# Étude de la robustesse de transistors GaN en régime de court-circuit

Matthieu Landel

▶ **To cite this version:**

Matthieu Landel. Étude de la robustesse de transistors GaN en régime de court-circuit. Autre. Université Paris-Saclay, 2022. Français. NNT : 2022UPAST013 . tel-03663453

**HAL Id: tel-03663453**
**https://theses.hal.science/tel-03663453**

Submitted on 10 May 2022

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE DE DOCTORAT

NNT : 2022UPAST013

université PARIS-SACLAY

# Étude de la robustesse de transistors GaN en régime de court-circuit

*Study of the short-circuit robustness of GaN transistors*

**Thèse de doctorat de l'université Paris-Saclay**

École doctorale n° 575 : electrical, optical, bio : physics and engineering (EOBE)
Spécialité de doctorat : Génie électrique
Graduate School : Sciences de l'ingénierie et des systèmes ; Référent : ENS Paris-Saclay

Thèse préparée dans l'unité de recherche **SATIE (Université Paris-Saclay, ENS Paris-Saclay, CNRS)**, sous la direction de **Stéphane LEFEBVRE**, Professeur des universités et le co-encadrement de **Cyrille GAUTIER**, Ingénieur de recherche.

**Thèse soutenue à Paris-Saclay, le 31 mars 2022, par**

**Matthieu LANDEL**

## Composition du Jury

| | |
|---|---|
| **Eric LABOURÉ**<br>Professeur des université, Université Paris-Saclay, GEEPS | Examinateur et président du jury |
| **Nicolas GINOT**<br>Professeur des universités, Université de Nantes, IETR | Rapporteur |
| **Frédéric RICHARDEAU**<br>Directeur de recherche, CNRS, LAPLACE | Rapporteur |
| **Stéphane AZZOPARDI**<br>Ingénieur de recherche, SAFRAN | Examinateur |
| **Zoubir KHATIR**<br>Directeur de recherche, CNRS, Université Gustave Eiffel | Examinateur |
| **David TRÉMOUILLES**<br>Chargé de recherche, CNRS, Université de Toulouse, LAAS | Examinateur |
| **Stéphane LEFEBVRE**<br>Professeur des universités, CNAM, SATIE | Directeur de thèse |

## Invité

**René ESCOFFIER**
Ingénieur de recherche, CEA-LETI

« The whole problem with the world is that fools and fanatics are always
so certain of themselves and wise people so full of doubts. »
**Bertrand Russell**

« La Science remplace du visible compliqué par de l'invisible simple. »
**Jean Perrin**

« We are not to tell nature what she's gotta be. She's always got better imagination than we have. »
**Richard Feynman**

« Mais, vous savez, moi je ne crois pas qu'il y ait de bonne ou de mauvaise situation. Moi, si je devais résumer ma vie aujourd'hui avec vous, je dirais que c'est d'abord des rencontres, des gens qui m'ont tendu la main, peut-être à un moment où je ne pouvais pas, où j'étais seul chez moi. Et c'est assez curieux de se dire que les hasards, les rencontres forgent une destinée […] »
**Astérix et Obélix : Mission Cléopâtre**

« […] Avec des craies de toutes les couleurs
Sur le tableau noir du malheur
Il dessine le visage du bonheur. »
**Jacques Prévert**, *Paroles*

« Il ne voyait pas que nos traces laissent des sillons dans le ciel,
que nos pas dessinent sur des pas anciens les motifs des siècles passés
et configurent l'itinéraire balisé des enfers à venir […]. »
**Vincent Landel**, *Place de l'Estrapade*

« En parlant à l'étoile j'ai dit, à voix basse : « Je ne vaux pas grand-chose,
je ne crois en rien et, pourtant, tous les matins, je me lève. » »
**Jean-Paul Dubois**, *Tous les matins je me lève*

« Une raie pourpre tombe des nuages sur les moirures de l'eau et un temps doré
va se répandre sur les maisons. Tout est rouge et ce rouge n'est pas normal. »
**Vincent Landel**, *Les larmes de Léa Keim*

Le toit noir l'arbre blond le chat gris le blé vert
Le ciel n'en finit plus d'imaginer le jour
Il cherche dans la nuit songeant les yeux ouverts
Aux couleurs que le noir évapore toujours.
**Claude Roy**, *Les soucis du ciel*

Pleased to meet you
Hope you guessed my name, oh yeah
But what's confusing you
Is just the nature of my game
**The Rolling Stones**, *Sympathy for the devil*

Y'a que les routes qui sont belles
Et peu importe où elles nous mènent […]
Et le temps perdu me dévore […]
On ira ; Et l'ombre ne nous rattrapera peut-être pas
On ne changera pas le monde
Mais il ne nous changera pas […].
**Jean Jacques Goldman**, *On ira*

# Remerciements

Ma formation ne me destinait pas vraiment à faire une thèse en électronique de puissance. C'est à travers des rencontres et grâce à l'aide de nombreuses personnes que j'y suis parvenu. Je tiens ici à les remercier.

Je pense tout d'abord aux permanents du laboratoire. J'ai découvert le SATIE grâce à Bertrand Revol, qui m'a recruté comme stagiaire de M2 pendant l'été 2015. Merci Bertrand de m'avoir fait confiance, malgré ma formation éloignée du domaine. Merci à Morgan Almanza, qui m'a encadré sur ce stage. Je tiens aussi à remercier vivement Denis Labrousse, tout d'abord pour m'avoir encadré en stage et m'avoir appris à utiliser Eagle (sans jeu de mots). Merci aussi pour tes nombreux coups de mains sur mes manips de thèse et pour le temps que m'as consacré. J'ai rêvé de l'écrire tellement de fois alors voilà : tu as perdu ton pari ! Et je ne sais toujours pas ce que j'ai gagné…

Je remercie aussi François Costa, directeur actuel du laboratoire, pour sa bienveillance lors de nos échanges variés. Je n'oublie pas Mickael Petit, pour sa disponibilité sans faille, son temps et sa sollicitude au quotidien. Merci à Mounira Berkani pour la répétition de soutenance, et pour nos discussions. Merci aussi à Gérard Chaplier, pour m'avoir aidé à concevoir les bancs de court-circuit, et pour le temps que tu m'as accordé.

Merci aussi à Zoubir Khatir de m'avoir laissé utiliser le matériel de l'Université Gustave Eiffel. Merci à Fadi Zaki pour ses explications détaillées sur le phénomène d'effondrement du courant, et pour son aide précieuse sur les manips menées ensemble, c'était un bon moment.

Merci à Dominique Bach - le ninja de l'informatique - qui a toujours su déjouer mes soucis de matériel, de logiciels et de bugs divers. Un grand merci aussi à l'équipe du secrétariat du laboratoire : Sophie, Catherine et Albine.

Je n'oublie pas Emmanuel Surjous de Teledyne LeCroy, avec qui j'ai passé des heures au téléphone suite à diverses interrogations. Votre SAV est en béton. Et merci pour le livre !

Je tiens à remercier dans un deuxième temps les personnes ayant participé à mon encadrement de thèse. Merci tout d'abord à mon encadrant, Cyrille Gautier, pour sa précision et ses conseils dans l'encadrement de ma thèse, la correction du manuscrit et la préparation de la soutenance.

Mes remerciements vont ensuite à mon directeur de thèse, Stéphane Lefebvre, infatigable coordinateur de ce marathon imprévisible. Merci Stéphane pour ta bienveillance, ta patience, ton sens de l'humour et ton expertise. Au début de la thèse, j'étais très impressionné quand tu calculais de tête l'énergie stockée dans un condensateur, mais je l'ai été encore plus le jour où je t'ai vu essuyer la panne du fer à souder sur ton pantalon, en affirmant le sourire aux lèvres : « avec un bon jean, ça ne risque rien ». J'aurais aimé te faire une carte en wrapping, pour te rappeler le bon vieux temps.

Merci au même Stéphane, à Bertrand et à Pascal Larzabal de m'avoir redonné de la motivation dans mes moments de doute. Enfin, je remercie aussi l'ensemble des acteurs du projet MEGaN (Modules Electronique en GaN) auquel ma thèse était reliée.

Dans un troisième temps, je tiens à remercier l'ensemble des membres du jury d'avoir évalué mon travail, et tout particulièrement Nicolas Ginot et Frédéric Richardeau pour leurs rapports précis et leurs remarques constructives.

Un grand merci aussi à René Escoffier, pour ton expertise sur les semiconducteurs, mais pas seulement. Je repense à mes innombrables questions auxquelles tu as répondu avec bienveillance et sympathie et t'en remercie encore. Je garde un très bon souvenir de nos échanges qui – j'en suis sur – ne sont pas terminés.

Quatrièmement, mes remerciements vont aux doctorants du laboratoire. Je dois remercier en premier Gaël Pongnot, mon si dévoué garant technique. Merci pour ton temps lors des répétitions et des tests du matériel. Grace à toi, j'étais moins stressé le jour J ! C'est toujours agréable de parler de photo, de politique et de tout avec toi. Si tu continues à organiser si bien tes tableaux blancs dans ton bureau, tu risques de finir prof, attention à toi !

Je remercie aussi Saïd, Rebecca, Sarah, Amina, Rita, Taha, Théodore, Anis, Jianhua, Roger, Yassine, Modhar, Mohsen, Tien-Anh et tous les autres. Merci pour votre empathie, votre soutien et votre présence pour les répétitions de soutenance ! Mention spéciale à Antoine, qui a eu la gentillesse de jouer le rôle du public à lui tout seul pour me faire répéter.

Je n'oublie pas non plus les thésards avec qui j'ai débuté ma thèse, qui ont quitté le SATIE depuis…un certain temps : Yoann Pascal, Thomas Martinez, XiaoShan Liu, Gnimdu Dadadema, Christelle Saber, Alex Aubert et d'autres encore. A l'époque il y avait du monde dans la salle de manips, et j'ai l'impression que c'était hier.

Enfin, mes remerciements vont bien entendu à ma famille et mes amis. Je ne sais comment remercier Yoann Pascal, qui s'est toujours montré disponible lorsque je me questionnais sur un concept, une idée, une manip, un bug de logiciel, ou encore tout et n'importe quoi. Je n'ose pas compter les heures passées à discuter, le nombre de mails de questions/réponses pendant le confinement, la quantité de notes que j'ai prises lors de nos échanges. Merci Yoann, tu as été l'un des piliers de ma thèse, en soient témoins Wagner et Berlioz.

Je tiens aussi à remercier vivement Benjamin Loyer, avec qui j'ai partagé tellement plus qu'un bureau. Je me rappelle des galères de la rédaction, mais aussi de tes idées un peu folles et de nos discussions décousues. Ça fait du bien de parler avec toi. C'est derrière nous tout ça maintenant, j'ai encore du mal à réaliser. Tu nous manques un peu au SATIE.

Merci à Théo et Paul, que je connais depuis un petit moment. Vous avez fini vos études un peu avant moi je crois. Je garde nos soirées en tête, les discussions en cours et surtout par mail (en italique). Merci aussi à Agathe et Lamia.

Je remercie chaleureusement toute ma famille pour leur soutien et leur curiosité : merci Alix, Laurent, Félix, Eloïse, Paulo, Désirée, Léonard, Julie, Christophe, Hadrien, Victoire. Je crois bien que ça va me manquer de ne plus entendre « et donc quand est-ce que tu termines ta thèse ? ». Merci à Annie, ma grand-mère. Merci à ma mère, à Christophe et Amandina d'avoir tout géré le jour J. Je ne remercierais jamais assez ma mère d'ailleurs, pour tant de choses ; je ne parlerai ici que de tes TR qu'on a si bien utilisés, et du chargeur à base de transistors GaN que tu m'as offert (comme quoi il fallait attendre 2022

pour soutenir) ! Merci à Hervé Boillot d'être venu assister à ma soutenance et de m'avoir encouragé pendant ma thèse.

Merci à mon père, Vincent Landel, de m'avoir transmis l'amour des mots, des phrases et des tournures. Tu disais qu'écrire c'était comme bricoler, ce que j'ai toujours aimé faire, un peu grâce à toi. Tu vois, moi aussi j'ai fini par écrire un livre, rempli de bricolages, et j'en suis fier ; un livre qui a l'odeur du fer à souder chaud et la précision technique du jargon scientifique. Malgré tout, ce sont bien des mots, les mêmes que ceux de tes livres, qui tiennent ensemble mes tâtonnements, mes interprétations et mes conclusions. J'aurais aimé que tu me voies le jour de ma soutenance. Tu nous as quittés en 2016, au détour d'une route, mais tu as sans doute reçu une copie de mon manuscrit. J'espère que seras indulgent et que le Comptoir me publiera, même si c'est vrai, l'intrigue n'est pas très vendeuse : la vie des transistors GaN, la plupart des gens s'en fichent pas mal !

Merci à mon frère, Théo Landel, ça m'a fait tellement plaisir que de t'avoir avec moi le soir de la soutenance. D'ailleurs allez faire un tour dans sa galerie de street art (Ground Effect) à Paris, rue Meslay.

Enfin, je ne remercierai jamais assez ma copine. Merci Amandina pour ton soutien, merci d'avoir été là quand je doutais. Je sais que ma thèse a débordé du cadre plusieurs fois et que ce n'était pas simple tous les jours. Merci pour tout ce que tu as fait et organisé pour la soirée, ça restera gravé dans ma tête et dans mon cœur. Jamais je n'aurais pu imaginer le dixième de ce que tu avais prévu pour moi ! Merci aussi pour tout le reste - tant de belles choses.

Merci à ceux qui m'ont fait la surprise de venir le soir de la soutenance : Renata, Adeline, Audrey et Johan, Sébastien et Camille, Théo et Agathe, Georges. Merci à toutes les personnes qui sont dans le beau cahier que j'ai reçu : Bernard, Jacinto, Graça, Joao, Tatiana, Marisa, Hélène, Cohante, Polymnie, Cléovée, Léa, Yann, Annie, Vincent, Elie, Danielle, Paul, Lamia.

# Table des matières


**Remerciements** ..... **3**

**Liste des figures** ..... **11**

**Liste des tableaux** ..... **25**

**Liste d'acronymes** ..... **27**

**Introduction générale** ..... **28**

**Chapitre I - Technologie des transistors GaN et robustesse en court-circuit** ..... **30**

**1. Caractéristiques des transistors au GaN** ..... **30**

1.1 Propriétés du GaN ..... 30

1.2 Structures de transistors GaN de puissance ..... 34

1.3 Phénomène d'effondrement du courant (*current collapse*) ..... 39

1.4 Utilisation du GaN dans des convertisseurs ..... 39

1.5 Futures tendances du GaN ..... 40

**2. Structure des transistors testés en court-circuit** ..... **41**

2.1 Transistors GaN Systems ..... 41

2.2 Transistors Panasonic ..... 44

2.3 Transistors CEA/LETI du projet MEGaN ..... 44

2.4 Transistors Transphorm ..... 45

2.5 Comparaison des transistors testés ..... 45

2.6 Autres fondeurs non étudiés ..... 46

**3. Robustesse en court-circuit des transistors GaN** ..... **47**

3.1 Généralités ..... 47

3.2 Comportement des transistors GaN en court-circuit ..... 49

3.3 Revue chronologique des essais de court-circuit ..... 54

3.4 Synthèse de la robustesse en court-circuit ..... 59

3.5 Vieillissement en court-circuit ..... 62

3.6 Protections contre les courts-circuits ..... 63

3.7 Conclusion ..... 66

**4. Estimation de la température de la puce en régime de court-circuit** ..... **67**

4.1 Généralités ..... 67

4.2 Thermique des transistors GaN en court-circuit ..... 69

**5. Conclusion du chapitre** ..... **71**

**Chapitre II -Bancs de tests et instrumentation** ..... **73**

**1. Conception des trois bancs et évolutions successives ..... 73**
1.1 Généralités sur les bancs ..... 73
1.2 Banc n°1 ..... 75
1.3 Banc n°2 ..... 80
1.4 Banc n°3 ..... 83
1.5 Comparaison des bancs ..... 87
**2. Mesures d'impédance des bancs ..... 89**
2.1 Motivations ..... 89
2.2 Protocole expérimental ..... 90
2.3 Résultats ..... 90
2.4 Comparaison de l'impédance des bancs ..... 107
**3. Instrumentation des bancs ..... 109**
3.1 Introduction ..... 109
3.2 Choix du matériel et incertitudes ..... 110
3.3 Synthèse de l'instrumentation des bancs ..... 111
**Chapitre III - Essais de courts-circuits ..... 112**
**1. Généralités ..... 112**
1.1 Vue d'ensemble des essais ..... 112
1.2 Choix faits pour les essais de court-circuit ..... 112
1.3 Surface des puces et calcul de l'énergie dissipée avant défaillance ..... 113
**2. Robustesse en court-circuit des composants GaN Systems ..... 114**
2.1 Caractéristiques des transistors ..... 114
2.2 Essais destructifs ..... 116
2.3 Essais non-destructifs ..... 134
2.4 Analyse de défaillance ..... 136
2.5 Conclusion ..... 139
**3. Robustesse en court-circuit des composants Panasonic ..... 140**
3.1 Caractéristiques des transistors ..... 140
3.2 Essais destructifs ..... 141
3.3 Essais non-destructifs ..... 143
**4. Robustesse en court-circuit des composants MEGaN (CEA/LETI) ..... 147**
4.1 Caractéristiques des transistors ..... 147
4.2 Essais destructifs ..... 148
**5. Robustesse en court-circuit des composants Transphorm ..... 150**
5.1 Caractéristiques des transistors ..... 150
5.2 Essais de court-circuit avec oscillations ..... 150

5.3 Essais de court-circuit sans oscillations ..... 155
**6. Synthèse des essais ..... 156**
**Chapitre IV - Caractérisations statiques ..... 157**
**1. Introduction ..... 157**
**2. Caractérisations statiques ..... 157**
2.1 Méthodologie ..... 157
2.2 Résultats ..... 158
2.3 Synthèse des caractérisations statiques ..... 169
**3. Caractérisation de collapse : mesure de drain lag ..... 169**
3.1 Phénomène de drain lag ..... 169
3.2 Méthodologie ..... 170
3.3 Résultats ..... 171
**4. Conclusion ..... 173**
**Conclusion générale et perspectives ..... 174**
**Annexes 176**
**1. Bancs de court-circuit ..... 176**
1.1 Condensateurs ..... 176
1.2 Banc n°1 ..... 178
1.3 Banc n°2 ..... 181
1.4 Banc n°3 ..... 185
1.5 Méthodologie de conception des bancs de courts-circuits ..... 189
**2. Incertitudes ..... 191**
2.1 Généralités, choix faits ..... 191
2.2 Propagation des incertitudes pour une grandeur calculée ..... 191
2.3 Incertitude de type A ..... 191
2.4 Incertitude de type B ..... 191
2.5 Elargissement de l'incertitude ..... 195
**3. Mesures d'impédance ..... 195**
3.1 Analyseur d'impédance Keysight E4990A-120 ..... 195
3.2 Compensation ..... 196
3.3 Mesures d'impédance des condensateurs ..... 198
3.4 Influence de la polarisation continue ..... 203
**4. Mesure de la capacité du banc n°3 sous polarisation continue ..... 204**
4.1 Motivations ..... 204
4.2 Protocole expérimental ..... 205

4.3 Résultats ..... 213
4.4 Interprétation ..... 216
**5. Instrumentation des bancs de court-circuit ..... 217**
5.1 Oscilloscopes ..... 217
5.2 Mesure des tensions ..... 220
5.3 Mesure des courants ..... 228
5.4 Retard entre sondes de tension et de courant ..... 238
**6. Validation du banc n°3 avec des transistors silicium ..... 246**
**7. Illustration de l'incertitude sur les courants de drain et de grille dans le banc n°3 ..... 247**
7.1 Incertitude sur le courant de drain ..... 247
7.2 Incertitude sur le courant de grille ..... 248
**8. Traceur de caractéristiques ..... 249**
8.1 Temps de repos et répétabilité ..... 249
8.2 Durée du pulse ..... 250
8.3 Durée de mesure ..... 251
8.4 Durée entre deux mesures ..... 252
**Bibliographie ..... 253**

# Liste des figures

Figure 1 : structure hexagonale du GaN (tiré de [8]). ..... 30
Figure 2 : a) comparaison des propriétés physiques du silicium, du GaN et du SiC (tiré de [10]) ; b) valeurs typiques de ces grandeurs (tiré de [8]). ..... 31
Figure 3 : résistance spécifique en fonction de la tension de claquage pour les MOSFETs silicium, les MOSFETs à superjonction et pour les HEMTs au GaN (tiré de [13])..... 31
Figure 4 : charge de grille $Qg$ en fonction de la résistance passante pour des transistors Si, SiC et GaN (tiré de [3]). ..... 32
Figure 5 : caractéristique $ID = f(VDS)$ pour un transistor GaN conduisant en inverse (tiré de [10]). 33
Figure 6 : comparaison des substrats possibles pour un transistor GaN (tiré de [4]). ..... 34
Figure 7 : structure HEMT à grille gravée, où la couche d'AlGaN est gravée partiellement pour recevoir la grille (tiré de [10]). ..... 35
Figure 8 : structure recessed gate MOS(MIS)-HEMT, où la couche d'AlGaN est gravée partiellement (tiré de [4]). ..... 35
Figure 9 : structure MOS(MIS)-HEMT, où la couche d'AlGaN est gravée complètement (tiré de [4]). ..... 36
Figure 10 : structure d'un MIS-HEMT (tiré de [33]). ..... 36
Figure 11 : Structure d'une grille de type P-AlGaN. Tiré de [34]..... 37
Figure 12 : structure cascode avec les capacités parasites (tiré de [37]). ..... 38
Figure 13 : boitier et puce d'un transistor GaN Systems GS66508T. a) face supérieure du boitier ; b) face inférieure du boitier ; c) face inférieure après abrasion mécanique de la résine ; d) face inférieure après abrasion plus poussée ; e) zoom sur la puce ; f) vue du transistor aux rayons X, montrant les trous de connexion ; g) vue de la tranche du transistor ; h) vue en coupe du transistor côté source (photos de SERMA Technologies). ..... 42
Figure 14 : Vue de la puce d'un transistor GS66508T de GaN Systems (photo de SERMA Technologies)..... 42
Figure 15 : zoom sur l'entrelacement des doigts de drain et de source d'un transistor GS66508T de GaN Systems (photo de SERMA Technologies). ..... 42
Figure 16 : vue en coupe d'un transistor GS66508T de GaN Systems (photo de SERMA Technologies). ..... 43
Figure 17 : structure des transistors GS66506T/GS66508T/GS66516T de GaN Systems. Le schéma n'est pas à l'échelle (tiré de [22])..... 43
Figure 18 : structure des transistors HD-GIT de Panasonic, avec une deuxième électrode de drain. ... 44
Figure 19 : structure des transistors D15E0242 PGN3 du CEA. Le schéma n'est pas à l'échelle (schéma du CEA). ..... 45
Figure 20 : circuit intégré commercialisé par Navitas (Tiré du site internet du fondeur : www.navitassemi.com). ..... 46
Figure 21 : structure cascode du transistor VisIC V22N65A. ..... 47
Figure 22 : schéma de principe d'un essai de court-circuit de type I (tiré de [61]). ..... 47
Figure 23 : court-circuit de type II (tiré de [57]). C'est le MOSFET du bas qui subit le court-circuit. 48
Figure 24 : court-circuit de type III (tiré de [57]). C'est le MOSFET du bas qui subit le court-circuit.48
Figure 25 : a) commande de l'IGBT et du DUT (tiré de [20]) ; b) courant de drain pour différentes durée $tstress$. ..... 50
Figure 26 : essais de court-circuit sur un transistor GaN Systems GS66516T avec $VGS = 6\,V$ pour différentes tensions de bus (tiré de [60]). A gauche : courant de drain pour deux températures différentes ; à droite : tension grille-source (en haut) et courant de grille (en bas). ..... 51

Figure 27 : durée avant défaillance en fonction de la tension grille-source lors d'essais de court-circuit réalisés sous différentes tension de bus (tiré de [81]). ..... 56
Figure 28 : schéma de principe du banc de court-circuit de [77] permettant d'injecter une puissance constante dans le DUT. ..... 57
Figure 29 : structure composite associant un transistor cascode avec un MOSFET silicium en série (tiré de [85]). ..... 58
Figure 30 : comparaison du TLF (à gauche) et de l'énergie critique (à droite) en court-circuit pour les MOSFET SiC, les MOSFET à superjonction, les cascode GaN et les HEMTs normalement bloqués (tiré de [63]). ..... 60
Figure 31 : durée avant défaillance (à gauche) et énergie dissipée (à droite)(tiré de [33]). Les références sont celles de l'article original. ..... 60
Figure 32 : TLF lors d'essais de court-circuit de la littérature en fonction de la tension de bus exprimée en pourcentage de la tension de claquage (à droite) (tiré de [17]). ..... 61
Figure 33 : comparaison du temps avant défaillance (à gauche) et de l'énergie critique (à droite) en court-circuit en fonction de la tension de bus, pour les MOSFET Si, les MOSFET SiC, les cascode GaN, les GaN GIT et les HEMTs à enrichissement (tiré de [60]). ..... 61
Figure 34 : schéma de principe d'une protection par coupe-circuit (SSCB). ..... 64
Figure 35 : circuit de désaturation (tiré de [67]). ..... 64
Figure 36 : à gauche : conductivité thermique normalisée de différents matériaux présents dans un transistor SiC ; à droite : capacité thermique normalisée de ces même matériaux (tiré de [62]). ..... 68
Figure 37 : à gauche : conductivité thermique du matériau SiC de trois articles différents ; à droite : capacité thermique à volume constant du matériau SiC selon les articles cités (tiré de [92]). ..... 68
Figure 38 : simulation TCAD donnant la puissance surfacique générée dans un transistor GaN en fonction de la distance à la grille et de la densité de courant (tiré de [91]). ..... 69
Figure 39 : augmentation de la température de jonction d'un transistor GS66502B lors d'un essai de court-circuit obtenue par simulation sous SPICE (tiré de [71]). ..... 69
Figure 40 : température (à droite, en noir) et courant de drain (à gauche, en rouge) lors d'un court-circuit destructif sur un transistor GS66508T sous $400\ V$ (tiré de [53]). ..... 70
Figure 41 : modélisation du champ de température dans un HEMT p-GaN à deux instants différents lors d'un court-circuit avec une tension de bus de $350\ V$ (tiré de [33]). ..... 71
Figure 42 : température maximale de jonction simulée lors d'un essai de court-circuit sous $400\ V$ (tiré de [88]). ..... 71
Figure 43 : structure générique d'un banc de court-circuit de type I. ..... 73
Figure 44 : schéma électrique simplifié du banc n°1. La résistance équivalente $RD$ représente les résistances de décharge : $RD = 24{,}5\ k\Omega$. ..... 76
Figure 45 : vue en coupe simplifiée de la partie puissance du banc n°1 représentant le chemin du courant de court-circuit délivré par le condensateur, et les trois cartes. Le schéma n'est pas à l'échelle. ..... 76
Figure 46 : a) banc n°1 avec le condensateur ($250\ \mu F$), les IGBTs, la logique de protection, la carte driver du DUT et les résistances de décharge ; b) autre face du banc où l'on voit le shunt, la commande des IGBTs et les trois vis de connexion de la carte driver sur le banc. ..... 77
Figure 47 : a) carte driver du DUT du banc n°1 comprenant le driver, les deux supports de sondes (pour $VGS$ et $VDR$), et deux pattes de connexion artisanales assurant la connexion avec le banc (grille et source du DUT) ; b) DUT neufs (du haut vers le bas : GaN Systems GS66506T, GS66508T et GS66516T), brasés sur les mini-cartes percées. ..... 77

Figure 48 : court-circuit destructif sur un transistor GS66516T (lot E025CHD) dans le banc n°1. $VDS = 400\,V$, $VGS = 5\,V$ et $RG = 33\,\Omega$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$. A gauche : vue d'ensemble de l'essai ; à droite : zoom sur le début de l'essai..... 78
Figure 49 : zoom sur la défaillance et l'action de la protection du banc n°1 lors d'un essai de court-circuit destructif sur un transistor GS66516T (lot E025CHD). $VDS = 400\,V$, $VGS = 5\,V$ et $RG = 33\,\Omega$. A gauche : tension drain-source $VDS$ ; à droite : courant de drain $ID$. ..... 78
Figure 50 : oscillations lors d'un court-circuit destructif sur un transistor GaN Systems GS66506T, dans le banc n°1. $VDS = 270\,V$, $VGS = 5\,V$, $RG = 33\,\Omega$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$..... 79
Figure 51 : oscillations lors d'un court-circuit sur un transistor Transphorm TPH3206LDG, dans le banc n°1. $VDS = 400\,V$, $VGS = 8\,V$, $RG = 33\,\Omega$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$..... 79
Figure 52 : schéma électrique simplifié du banc n°2. La résistance équivalente $RD$ représente les résistances de décharge : $RD = 1{,}5\,M\Omega$. ..... 81
Figure 53 : photo de la mini-carte du DUT avec sa source kelvin (composant Transphorm). ..... 81
Figure 54 : photos du banc n°2. a) banc complet avec les deux cartes driver montées sur des glissières : b) banc de profil avec le shunt et les sondes passives pour la mesure de la tension grille-source ($VGS$) et de sortie du driver ($VDR$). ..... 82
Figure 55 : a) vue en coupe simplifiée de la partie puissance représentant le chemin du courant de court-circuit délivré par le condensateur. La commande des IGBTs et du DUT n'est pas représentée, ni la logique de protection du banc ; b) Photo de la maille de puissance comprenant les condensateurs céramique (brasés de l'autre côté), un IGBT (le deuxième a été débrasé sur la photo), la mini-carte du DUT et le shunt. ..... 82
Figure 56 : oscillations lors d'un court-circuit destructif sur un transistor Transphorm TPH3206LDG, dans le banc n°2. $VDS = 400\,V$, $VGS = 8\,V$, $RG = 150\,\Omega$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$. ..... 83
Figure 57 : a) cartes DUT avec les transistors GS66516T de GaN Systems décapsulés après les essais destructifs ; b) fragments de boitiers de ces transistors. ..... 84
Figure 58 : schéma électrique simplifié du banc n°3. Ne sont pas représentés : l'alimentation haute tension, l'alimentation basse tension, le voltmètre de sécurité, l'oscilloscope et les résistances de décharge. ..... 85
Figure 59 : photo des trois cartes du banc n°3..... 85
Figure 60 : carte principale du banc n°3 sous le logiciel EAGLE..... 86
Figure 61 : photo de la partie puissance du banc n°3, montrant la carte du DUT vissée sur la carte principale, ainsi que deux condensateurs. ..... 86
Figure 62 : carte du DUT sous le logiciel EAGLE. ..... 87
Figure 63 : photo de la carte DUT comprenant le DUT, son driver et deux cavaliers recevant des supports de sondes (non présents sur la photo). ..... 87
Figure 64 : Courants de drain $ID$ superposés pour deux séries : la n°8 (banc n°1, en vert) et la n°9 (banc n°3, en violet). Référence testée : GS66516T ; $VGS = 5\,V$ ; $RG = 33\,\Omega$..... 88
Figure 65 : mesure de l'impédance complexe de la maille de puissance seule du banc n°1, le condensateur PM980 a été démonté. L modélise l'inductance parasite totale de la maille. Ne sont pas représentés : le circuit de commande des IGBTs et du transistor GaN et les résistances de décharge. ..... 91

Figure 66 : module (à gauche) et argument (à droite) de l'impédance complexe de la maille de puissance seule. Les trois droites en pointillés modélisent le module de l'impédance complexe de trois inductances pures de valeur $25\ nH, 35\ nH\ et\ 45\ nH$ ..... 91
Figure 67 : mesure de l'impédance complexe du banc n°1 entier, qui a été ouvert au niveau d'une piste de cuivre pour insérer la mesure. L modélise l'inductance parasite de la maille. ..... 92
Figure 68 : a) mesure de l'impédance complexe du banc n°1 entier, avec le connecteur SMA brasé pour insérer la mesure d'impédance ; b) inductances utilisées pour conduire le courant continu lors de la mesure. ..... 93
Figure 69 : module (à gauche) et argument (à droite) de l'impédance complexe du banc n°1 entier, avec une inductance de forte valeur connectée en parallèle du condensateur. Le module de l'impédance d'une inductance pure de valeur $60\ nH$ est tracée en traits discontinus. ..... 93
Figure 70 : schéma électrique équivalent du banc n°1, en approximant le comportement des IGBTs par un interrupteur idéal fermé. ..... 94
Figure 71 : architecture du banc n°2. $L1$ modélise l'inductance parasite des pistes de cuivre entre les condensateurs PM980 et les quatre condensateurs céramique ; $L2$ modélise l'inductance parasite de la maille de puissance (pistes, boitiers des IGBTs et du GaN, connectique du GaN et shunt). Ne sont pas représentés : l'ESR et l'ESL des condensateurs $C2$ ; le circuit de commande des IGBTs et du transistor GaN ; les résistances de décharge. ..... 94
Figure 72 : mesure de l'impédance complexe de la maille de puissance et des condensateurs céramique, avec les deux condensateurs PM980 démontés. ..... 95
Figure 73 : maille de puissance du banc n°2, montrant l'insertion du connecteur SMA brasé au niveau d'une piste de cuivre coupée pour la mesure. ..... 95
Figure 74 : module (à gauche) et argument (à droite) de l'impédance complexe de la maille de puissance et des condensateurs céramique. La droite en pointillés modélise le module de l'impédance complexe d'une inductance pure de valeur $40\ nH$. ..... 96
Figure 75 : mesure de l'impédance complexe de la portion de PCB reliant les condensateurs du banc n°2, avec les deux condensateurs PM980 démontés. ..... 97
Figure 76 : module (à gauche) et argument (à droite) de l'impédance complexe de la liaison entre condensateurs du banc n°2. La droite en pointillés modélise l'impédance complexe d'une inductance pure de valeur $5\ nH$. ..... 97
Figure 77 : modélisation sous LTspice du banc n°2. L'alimentation haute tension est modélisée par une condition initiale de tension sur le nœud n°1 ; le transistor GaN est modélisé par une source de courant imposant un courant identique à celui d'un court-circuit réel. ..... 98
Figure 78 : répartition des courants fournis par les condensateurs. En bleu : courant fourni par le condensateur céramique $C2, equ$ ; en rouge : courant tiré par le GaN ; en orange : somme des courants fournis par chaque condensateur $C1$ (réf. PM980 250 µF). A gauche : vue d'ensemble ; à droite : zoom. ..... 99
Figure 79 : schéma électrique équivalent du banc n°2, en approximant le comportement des IGBTs par un interrupteur idéal fermé. ..... 99
Figure 80 : architecture simplifiée du banc n°3 entier. L'ESL du condensateur bleu n'est pas représentée, et les ESR des condensateurs bleu et marron non plus. Le circuit de commande du transistor GaN n'est pas représenté, ainsi que les résistances de décharge du banc. ..... 100
Figure 81 : a) shunt vissé sur son support et plaque de compensation avec ruban de cuivre pour compenser en court-circuit ; b) shunt brasé sur la plaque pour la mesure. ..... 101
Figure 82 : module (à gauche) et argument (à droite) de l'impédance complexe du shunt monté sur son support. Le module de l'impédance d'une inductance pure de valeur $2{,}5\ nH$ est tracée en traits discontinus. ..... 101

Figure 83 : a) Mesure de l'impédance complexe de la carte GaN ; b) Connexion de la sonde d'impédance à la carte GaN avec un connecteur SMA. ..... 102
Figure 84 : module (à gauche) et argument (à droite) de l'impédance complexe de la carte GaN seule. La droite en pointillés modélise le module de l'impédance complexe d'une inductance pure de valeur $5\ nH$. ..... 102
Figure 85 : mesure de l'impédance complexe du banc n°3 sans la carte GaN. La mesure a été faite au niveau du contact vissé. $L3$ modélise l'inductance parasite de la maille. ..... 103
Figure 86 : insertion de la mesure d'impédance du banc n°3 sans la carte GaN, au niveau du contact vissé. ..... 103
Figure 87 : module (à gauche) et argument (à droite) de l'impédance complexe du banc sans la carte GaN. La droite en pointillés modélise le module de l'impédance complexe d'une inductance pure de valeur $10\ nH$. ..... 103
Figure 88 : mesure de l'impédance complexe du banc n°3 complet, avec la carte GaN. La mesure a été faite au niveau du fusible. ..... 104
Figure 89 : module (à gauche) et argument (à droite) de l'impédance complexe du banc n°3 avec la carte GaN vissée. La droite en pointillés modélise le module de l'impédance complexe d'une inductance pure de valeur $14\ nH$. ..... 105
Figure 90 : modélisation sous LTspice du banc n°3. L'alimentation haute tension est modélisée par une condition initiale de tension sur le nœud n°1 ; le transistor GaN est modélisé par une source de courant imposant un courant identique à celui d'un court-circuit réel. ..... 105
Figure 91 : répartition des courants fournis par les condensateurs. A gauche : en bleu : courant fourni par les deux condensateurs film $C1$ (PM980 250 µF) ; en rouge : courant fourni par le condensateur film $C2$ (EPCOS 50 µF) ; en orange : courant fourni par le condensateur céramique $C3$ (Eurofarad 6,7 µF) ; en violet : courant absorbé par le GaN. A droite : zoom. ..... 106
Figure 92 : simulation LTSpice du module (à gauche) et de l'argument (à droite) de l'impédance complexe du banc n°3 entier. ..... 106
Figure 93 : module (à gauche) et argument (à droite) de l'impédance complexe du banc n°3 seul, sans la carte GaN, avant et après les essais de court-circuit. ..... 107
Figure 94 : schéma électrique équivalent du banc n°2, sans le transistor GaN et en approximant le comportement des IGBTs par un interrupteur idéal fermé. ..... 107
Figure 95 : comparaison des mesures d'impédance des trois bancs, repérés par leurs numéros. La mesure est toujours insérée dans la maille de puissance. ..... 108
Figure 96 : Module de l'impédance complexe des trois bancs de courts-circuits après tous les essais. ..... 109
Figure 97 : Argument de l'impédance complexe des trois bancs de courts-circuits après tous les essais. ..... 109
Figure 98 : Boitiers explosés des transistors testés dans le banc n°3. a) GaN Systems GS66506T ; b) GaN Systems GS66508T ; c) GaN Systems GS66516T ; d) Panasonic PGA26E07BA ; e) CEA 10A ; f) Transphorm TPH3208LDG. ..... 113
Figure 99 : Photos des puces au microscope optique après explosion du boitier. a) GaN Systems GS66506T ; b) GaN Systems GS66508T ; c) GaN Systems GS66516T ; d) Panasonic PGA26E07BA ; e) CEA 10A ; f) Transphorm TPH3208LDG. ..... 114
Figure 100 : boitier d'un transistor GS66508T de GaN Systems (photos de SERMA Technologies). ..... 115
Figure 101 : routage de la carte DUT pour les composants GaN Systems, montrant la source kelvin routée. ..... 115

Figure 102 : court-circuit destructif sur un transistor GS66508T de la série n°6 (lot 9BNZ) dans le banc n°1. $VDS = 270\,V$, $VGS = 5\,V$ et $RG = 33\,\Omega$. A gauche : visualisation de l'essai jusqu'à défaillance ; à droite : zoom sur le début de l'essai. ..... 116
Figure 103 : court-circuit destructif sur un transistor GS66508T de la série n°6 (lot 9BNZ) dans le banc n°1. $VDS = 270\,V$, $VGS = 5\,V$ et $RG = 33\,\Omega$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$. ..... 117
Figure 104 : superposition des courants de drain des essais destructifs de la série n°9 dans le banc n°3. Référence GS66516T, $VDS = 400\,V$, $VGS = 5\,V$ et $RG = 33\,\Omega$. Une couleur correspond à un essai. ..... 118
Figure 105 : Durées avant défaillance pour les essais destructifs des 11 séries des transistors GaN Systems. Chaque marqueur (croix ou triangle) représente un essai destructif. Chaque couleur correspond à une référence, et le style de marqueur indique la tension $VDS$ ($270\,V$ ou $400\,V$). Lorsque le nombre de transistors est assez grand, des données statistiques sont affichées : « N » représente le nombre de transistors testé ; « µ », la moyenne des TLF ; « $\sigma$ », l'écart-type. ..... 120
Figure 106 : Énergie dissipée avant la casse pour les essais destructifs des 11 séries des transistors GaN Systems. Chaque marqueur (croix ou triangle) représente un essai destructif. Chaque couleur correspond à une référence, et le style de marqueur indique la tension $VDS$ ($270\,V$ ou $400\,V$). Lorsque le nombre de transistors est assez grand, des données statistiques sont affichées : « N » représente le nombre de transistors testé ; « µ » la moyenne des TLF ; « $\sigma$ » l'écart-type. ..... 121
Figure 107 : énergie surfacique dissipée avant la casse pour les essais destructifs des 11 séries des transistors GaN Systems. Chaque marqueur (croix ou triangle) représente un essai destructif. Chaque couleur correspond à une référence, et le style de marqueur indique la tension $VDS$ ($270\,V$ ou $400\,V$). Lorsque le nombre de transistors est assez grand, des données statistiques sont affichées : « N » représente le nombre de transistors testé ; « µ » la moyenne des TLF ; « $\sigma$ » l'écart-type. ..... 121
Figure 108 : zoom sur les énergies surfaciques dissipées avant la casse pour les composants GaN Systems robustes uniquement. Chaque marqueur (croix ou triangle) représente un essai destructif. Chaque couleur correspond à une référence, et le style de marqueur indique la tension $VDS$ ($270\,V$ ou $400\,V$). Lorsque le nombre de transistors est assez grand, des données statistiques sont affichées : « N » représente le nombre de transistors testé ; « µ » la moyenne des TLF ; « $\sigma$ » l'écart-type. ..... 122
Figure 109 : superposition des courants de drain (traits pleins) et de grille (pointillés) des 15 essais destructifs de la série n°6 dans le banc n°3. Référence GS66508T, $VDS = 270\,V$, $VGS = 5\,V$ et $RG = 33\,\Omega$. Une couleur correspond à un essai. ..... 124
Figure 110 : superposition des courants de drain (à gauche) et de grille (à droite) des 15 essais destructifs de la série n°6 dans le banc n°3. Référence GS66508T, $VDS = 270\,V$, $VGS = 5\,V$ et $RG = 33\,\Omega$. Une couleur correspond à un essai. ..... 125
Figure 111 : influence de la tension $VDS$ sur la référence GS66506T à travers tous les essais superposés des séries n°2 ($270\,V$, en traits gras discontinus) et n°3 ($400\,V$, en traits pleins continus) dans le banc n°3. $VGS = 5\,V$ ; $RG = 33\,\Omega$. En haut : courant de drain $ID$ ; en bas : courant de grille $IG$. ..... 126
Figure 112 : influence de la tension $VDS$ sur la référence GS66508T à travers tous les essais superposés des séries n°4 ($270\,V$, en traits gras discontinus) et n°5 ($400\,V$, en traits pleins continus) dans le banc n°3. $VGS = 5\,V$ ; $RG = 33\,\Omega$. En haut : courant de drain $ID$ ; en bas : courant de grille $IG$. ..... 127

Figure 113 : influence de la tension $VDS$ sur la référence GS66516T (lot 9M39) à travers tous les essais superposés des séries n°7 ($270\ V$, en traits gras discontinus) et n°8 ($400\ V$, en traits pleins continus) dans le banc n°3. $VGS = 5\ V$ ; $RG = 33\ \Omega$. En haut : courant de drain $ID$ ; en bas : courant de grille $IG$. ..... 128
Figure 114 : Influence de la résistance de grille sur un court-circuit destructif sur deux transistors GS66508T de la série n°5, dans le banc n°1. $VDS = 400\ V$, $VGS = 5\ V$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$..... 129
Figure 115 : Influence de la résistance de grille sur un court-circuit destructif de deux transistors GS66508T, avec $VGS = 6{,}0\ V$ et $VDS = 400\ V$, dans deux bancs différents. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$..... 130
Figure 116 : courant de drain lors d'essais de courts-circuits sur des HEMTs GaN Systems GS66516T pour différentes valeurs de tension grille-source, et pour une tension de bus de $400\ V$ (tiré de [60]). ..... 131
Figure 117 : influence de la tension $VGS$ sur un court-circuit destructif sur deux transistors GS66508T de la série n°5 dans le banc n°1. $VDS = 400\ V$, $RG = 33\ \Omega$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$. ... 132
Figure 118 : superposition des trois références testées en court-circuit dans le banc n°1. $VDS = 400\ V$, $VGS = 5\ V$ et $RG = 33\ \Omega$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$. ..... 133
Figure 119 : court-circuit avec oscillations sur un transistor GS66506T dans le banc n°1. $VDS = 270\ V$, $VGS = 5\ V$ et $RG = 33\ \Omega$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$. ..... 134
Figure 120 : zoom sur le même court-circuit oscillant sur un transistor sur un transistor GS66506T dans le banc n°1. $VDS = 270\ V$, $VGS = 5\ V$ et $RG = 33\ \Omega$.. A gauche : tension drain-source $VDS$ et courant de drain $ID$ ; à droite : tension grille-source $VGS$ et courant de grille $IG$..... 134
Figure 121 : essais répétitifs sur un transistor GS66508T dans le banc n°1. $VDS = 100\ V$ ; $VGS = 5{,}0\ V$ ; $RG = 34\ \Omega$. A gauche : courant de drain $ID$ ; à droite : courant de grille $IG$. Les nombres de la légende représentent le nombre d'essais subis par le transistor..... 135
Figure 122 : boitier d'un transistor GS66508T de GaN Systems après casse en court-circuit (photo de SERMA Technologies)..... 136
Figure 123 : vue aux rayons X du boitier d'un transistor GS66508T de GaN Systems après casse en court-circuit (photo de SERMA Technologies). ..... 136
Figure 124 : observation au microscope optique de la puce des 5 transistors GS66508T de GaN Systems après casse en court-circuit (photo de SERMA Technologies). ..... 137
Figure 125 : photos de la puce SN_3 (GS66508T de GaN Systems) après casse en court-circuit. a) vue d'une partie de la puce au microscope optique ; b) zoom au microscope optique ; c) et d) zones de fusion observées au microscope électronique. Photos de SERMA Technologies. ..... 138
Figure 126 : photos de la puce SN_5 (GS66508T de GaN Systems) après casse en court-circuit. a) vue d'une partie de la puce au microscope optique ; b) zoom au microscope optique ; c) et d) zones de fusion observées au microscope électronique. Photos de SERMA Technologies. ..... 138
Figure 127 : boitier DFN 8x8 des transistors PGA26E07BA. ..... 140
Figure 128 : routage de la carte DUT pour les composants Panasonic, montrant la source kelvin du boitier (non utilisée), et la source kelvin routée..... 141
Figure 129 : circuit de commande de la grille pour les transistors Panasonic..... 141

Figure 130 : court-circuit destructif sur un transistor Panasonic dans le banc n°3. $VDS = 400\,V$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$. ..... 142
Figure 131 : superposition des 5 essais destructifs de transistors Panasonic dans le banc n°3. $VDS = 400\,V$. A gauche : courant de drain $ID$ ; à droite : courant de grille $IG$. ..... 143
Figure 132 : court-circuit non-destructif sur un transistor Panasonic dans le banc n°3, en échelle linéaire. $VDS = 270\,V$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$. ..... 144
Figure 133 : même essai de court-circuit, en échelle logarithmique (banc n°3 ; $VDS = 270\,V$). En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$. ..... 144
Figure 134 : caractéristique tension-courant de la grille des transistors Panasonic. Tiré de [104]. .... 145
Figure 135 : courants de drain superposés pour les 7 premiers essais de fatigue d'un transistor Panasonic. a) Vue d'ensemble des essais ; b) zoom sur le début des essais ; c) zoom plus poussé sur la valeur maximale des courants. ..... 145
Figure 136 : courants de grille superposés pour les 7 premiers essais de fatigue d'un transistor Panasonic. a) Vue d'ensemble des essais ; b) zoom sur le début des essais ; c) zoom plus poussé sur la valeur maximale des courants. ..... 146
Figure 137 : succession de courts-circuits non-destructifs sur un transistor Panasonic dans le banc n°3. $VDS = 270\,V$. En haut : courant de drain $ID$ ; en bas : courant de grille $IG$. ..... 146
Figure 138 : à gauche : boitier D2pak générique ; à droite : transistor du CEA dans son boitier D2pak. ..... 148
Figure 139 : court-circuit destructif sur un transistor CEA 30A dans le banc n°3. $VDS = 400\,V$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$. ..... 148
Figure 140 : superposition des 4 essais destructifs de transistors CEA dans le banc n°3. $VDS = 400\,V$. A gauche : courant de drain $ID$ ; à droite : courant de grille $IG$. ..... 149
Figure 141 : à gauche : boitier PQFN montrant le positionnement de la source (S), du drain (D) et de la grille (G) ; à droite : transistor Transphorm TPH3208LDG décapsulé dans le banc n°3 montrant la puce à nu. ..... 150
Figure 142 : court-circuit destructif sur un transistor Transphorm dans le banc n°3. $VDS = 400\,V$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$. La tension $VGS$ a saturé la voie de l'oscilloscope, réglée sur le plus fort calibre. ..... 151
Figure 143 : zoom sur le même court-circuit destructif sur un transistor Panasonic dans le banc n°3. $VDS = 400\,V$. A gauche : tension drain-source $VDS$ et courant de drain $ID$ ; à droite : tension grille-source $VGS$ et courant de grille $IG$. ..... 152
Figure 144 : circuit de grille utilisés pour tenter d'atténuer les oscillations. a) ajout d'un RC entre drain et source ; b) ajout d'une perle de ferrite en série avec la résistance de grille. ..... 152
Figure 145 : court-circuit destructif sur un transistor Transphorm dans le banc n°3 avec un circuit RC snubber ($22\,pF + 15\,\Omega$). $VDS = 400\,V$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$ ..... 153
Figure 146 : court-circuit destructif sur un transistor Transphorm dans le banc n°3 avec un circuit RC snubber ($22\,pF + 15\,\Omega$). $VDS = 400\,V$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$ ..... 153

Figure 147 : zoom sur un court-circuit destructif sur un transistor Transphorm dans le banc n°3 avec un circuit RC snubber ($22\,pF$ + $15\,\Omega$). $VDS = 400\,V$. A gauche : tension drain-source $VDS$ et courant de drain $ID$ ; à droite : tension grille-source $VGS$ et courant de grille $IG$. ..... 154
Figure 148 : court-circuit destructif sur un transistor Transphorm dans le banc n°3 avec une perle de ferritte en sortie du driver. $VDS = 400\,V$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$ ..... 154
Figure 149 : court-circuit non-destructif sur un transistor Transphorm dans le banc n°2. $VDS = 100\,V$ ; $RG = 33\,\Omega$ ; $VGS = -2/+8\,V$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$. ..... 155
Figure 150 : fonctionnement des mesures pulsées du traceur de caractéristiques. $VGSQ$ : tension grille-source appliquée à l'état bloqué ; $VDSQ$ : tension drain-source appliquée à l'état bloqué ; $Tm$ : durée de mesure du courant de drain (tiré de [43]). ..... 157
Figure 151 : mesure de la tension de seuil pour les transistors GS66506T. ..... 159
Figure 152 : mesure de la tension de seuil pour les transistors GS66508T. ..... 159
Figure 153 : mesure de la tension de seuil pour les transistors GS66516T. ..... 159
Figure 154 : tension de seuil pour les transistors GS66506T (en bleu), GS66508T (en vert) et GS66516T (en orange) en fonction du TLF. ..... 160
Figure 155 : caractéristique $ID = f(VDS)$ pour les transistors GS66516T. ..... 161
Figure 156 : caractéristique $ID = f(VDS)$ pour les transistors GS66508T. ..... 161
Figure 157 : caractéristique $ID = f(VDS)$ pour les transistors GS66506T. ..... 162
Figure 158 : courant de saturation pour les transistors GS66506T (en bleu), GS66508T (en vert) et GS66516T (en orange) en fonction de la tension de seuil. ..... 162
Figure 159 : courant de saturation pour les transistors GS66506T (en bleu), GS66508T (en vert) et GS66516T (en orange) en fonction du TLF ($VDS = 1{,}5\,V$ et $VGS = 2{,}5\,V$) ..... 163
Figure 160 : courant de grille $IGSS$ pour les transistors GS66506T. ..... 163
Figure 161 : courant de grille $IGSS$ pour les transistors GS66508T. ..... 164
Figure 162 : courant de grille $IGSS$ pour les transistors GS66516T. ..... 164
Figure 163 : courants de grille des transistors GS66506T lors des essais de court-circuit. La défaillance des composants n'est pas montrée. ..... 165
Figure 164 : courants de grille des transistors GS66508T lors des essais de court-circuit. a) zoom sur le début des essais ; b) essais complets. ..... 165
Figure 165 : courants de grille des transistors GS66516T lors des essais de court-circuit. a) zoom sur le début des essais ; b) essais complets. ..... 166
Figure 166 : courant de grille pour les transistors GS66506T (en bleu), GS66508T (en vert) et GS66516T (en orange) en fonction du TLF ($VGS = 5{,}0\,V$). ..... 166
Figure 167 : courant de fuite de drain $IDSS$ pour les transistors GS66506T. ..... 167
Figure 168 : courant de fuite de drain $IDSS$ pour les transistors GS66508T. ..... 167
Figure 169 : courant de fuite de drain $IDSS$ pour les transistors GS66516T. ..... 168
Figure 170 : courant de fuite de drain pour les transistors GS66506T (en bleu), GS66508T (en vert) et GS66516T (en orange) en fonction du TLF ..... 168
Figure 171 : phénomène de courant de collapse [tiré du manuel du traceur B1505A]. ..... 170
Figure 172 : courant de drain (en bleu) et résistance à l'état passant (en rouge) lors d'un mesure de drain lag sur un transistor GaN Systems [43]. ..... 170
Figure 173 : illustration des paramètres ayant une influence sur les pièges [43]. ..... 171
Figure 174 : essai de drain lag de plus de 18 minutes. $VDS = 400\,V/1\,V$ ; $VGS = -6\,V/+2V$ ; $toff = 1{,}0\,s$ ; IM= $1{,}0\,s$. ..... 172
Figure 175 : drain lag pour les transistors GS66506T. ..... 172

Figure 176 : drain lag pour les transistors GS66508T..... 172
Figure 177 : drain lag pour les transistors GS66516T..... 173
Figure 178 : Classification des familles de condensateurs en fonction de la tension admissible et de la capacité [98]..... 176
Figure 179 : carte du banc n°1 sous le logiciel EAGLE. On distingue la partie puissance (condensateur, IGBTs, DUT et shunt) et la partie logique (comparateur, bascule, driver des IGBTs). L'alimentation du driver des IGBTs est en haut. Le courant circule par la face supérieure (pistes rouges : IGBTS, puis GaN et enfin shunt), puis passe en face inférieure à travers le shunt. Le plan de masse côté logique et le plan de cuivre de la face supérieure ne sont pas visibles pour plus de clarté..... 178
Figure 180 : carte driver du DUT du banc n°1 sous le logiciel EAGLE..... 179
Figure 181 : schéma électrique intégral du banc n°1. ..... 180
Figure 182 : carte principale du banc n°2 sous le logiciel EAGLE..... 182
Figure 183 : carte driver des IGBTs avec la logique de protection du banc n°2 sous le logiciel EAGLE. ..... 182
Figure 184 : carte driver du DUT du banc n°2 sous le logiciel EAGLE..... 183
Figure 185 : schéma électrique intégral du banc n°2. ..... 184
Figure 186 : photo de la carte d'alimentation du banc n°3 permettant de fournir une tension de grille réglable et isolée. ..... 186
Figure 187 : carte d'alimentation du banc n°3 sous le logiciel EAGLE. ..... 186
Figure 188 : schéma électrique intégral du banc n°3. ..... 188
Figure 189 : capacité en fonction de la tension continue appliquée pour le condensateur Murata KCM55QR71E336KH01 de 33µF. Pour une tension de $10\,V$, la capacité reste supérieure à $30\ \mu F$. ..... 189
Figure 190 : brouillon de dessin au tableau montrant la totalité du banc n°1 et les différentes connexions entre les parties du banc..... 189
Figure 191 : carte mentale faite pour concevoir le banc n°3..... 190
Figure 192 : brouillon utilisé pour concevoir le banc n°3, avec trois architectures différentes. ..... 190
Figure 193 : loi de densité de probabilité rectangulaire pour la valeur de composants passifs..... 192
Figure 194 : loi de densité de probabilité normale, issu de [115]. ..... 192
Figure 195 : précision de mesure $E$ de l'analyseur d'impédance associé à la sonde d'impédance E42941A, pour un temps de mesure de 3. Schéma tiré de [118], p.19..... 194
Figure 196 : vue d'ensemble d'une mesure avec la sonde d'impédance E42941A (à gauche) ; zoom sur le connecteur constitué d'un raccord SMA mâle/mâle et d'un connecteur SMA femelle à braser (à droite)..... 196
Figure 197 : a) accessoire artisanal constitué de raccords BNC et d'un câble SMA ; b) plaques de compensation. ..... 196
Figure 198 : module de l'impédance complexe après la deuxième étape de compensation, avec la plaque « court-circuit » (short) en orange, et avec la plaque « circuit ouvert » (open) en bleu. Les plaques sont vissées sur la sonde d'impédance..... 197
Figure 199 : mesures d'impédance de différents composants superposées avec les mesures des résidus de compensation. ..... 197
Figure 200 : mesure de l'impédance complexe du condensateur Eurofarad PM980 ($250\mu F$) sorti du banc n°1, à travers un PCB de liaison..... 198
Figure 201 : module (à gauche) et argument (à droite) de l'impédance complexe du condensateur PM980. Le module de l'impédance d'une inductance pure de valeur $31\ nH$ est tracée en traits discontinus. ..... 199
Figure 202 : condensateur céramique $KEC$ 5,6 µ$F$ testé, brasé sur la plaque de compensation. ..... 199

Figure 203 : module (à gauche) et argument (à droite) de l'impédance complexe du condensateur céramique $KEC$. Le module de l'impédance d'une inductance pure de valeur 2 $nH$ est tracée en traits discontinus..... 200
Figure 204 : module (à gauche) et argument (à droite) de l'impédance complexe du condensateur film EPCOS 50 µ$F$. Le module de l'impédance d'une inductance pure de valeur 2 $nH$ est tracée en traits discontinus. ..... 201
Figure 205 : a) condensateur testé, plaque de compensation et ruban de cuivre utilisé pour court-circuiter la plaque ; b) compensation en court-circuit ; c) condensateur brasé pour la mesure..... 202
Figure 206 : module (à gauche) et argument (à droite) de l'impédance complexe du condensateur film EPCOS 47 µ$F$. Le module de l'impédance d'une inductance pure de valeur 17 $nH$ est tracée en traits discontinus..... 202
Figure 207 : a) condensateur testé, plaque de compensation et ruban de cuivre utilisé pour court-circuiter la plaque ; b) compensation en court-circuit ; c) condensateur brasé pour la mesure..... 203
Figure 208 : module (à gauche) et argument (à droite) de l'impédance complexe du condensateur film EPCOS 50 µ$F$. Le module de l'impédance d'une inductance pure de valeur 2,5 $nH$ est tracée en traits discontinus..... 203
Figure 209 : influence de la polarisation continue sur le module (à gauche) et de l'argument (à droite) de l'impédance complexe du banc n°1 entier. L'inductance de forte valeur est toujours connectée en parallèle du condensateur. ..... 204
Figure 210 : schéma électrique du montage pour mesurer la capacité du banc n°3 sous polarisation continue. $R = 10\ k\Omega\ ; C = 250\ \mu F\ ; RGBF = 50\ \Omega$. ..... 206
Figure 211 : dispositif expérimental utilisé pour mesurer la capacité du banc n°3. Le banc ne comprend plus que le condensateur céramique ici (non visible sur la photo), les autres ont démontés. ..... 208
Figure 212 : composante alternative $uBanc$ de la tension (à gauche) et courant $iBanc$ (à droite) non filtrés et non fenêtrés, pour la mesure de la capacité totale du banc n°3, sans tension continue appliquée (mesure n°1). ..... 209
Figure 213 : composante alternative $uBanc$ de la tension (à gauche) et courant $iBanc$ (à droite), zoom sur une seule période (mesure n°1). ..... 209
Figure 214 : filtrage par moyenne glissante de la composante alternative $uBanc$ de la tension aux bornes du banc. La légende indique sur combien d'échantillon le filtrage a été réalisé. a) vue d'une période ; b) zoom autour d'un passage à zéro du signal. ..... 209
Figure 215 : filtrage par moyenne glissante du courant de part et d'autre du banc. La légende indique sur combien d'échantillon le filtrage a été réalisé. a) vue d'une période ; b) zoom autour d'un passage à zéro du signal. ..... 210
Figure 216 : composante alternative $uBanc$ de la tension aux bornes du banc pour la mesure n°1, filtré avec une moyenne glissante sur 12000 échantillons. Récupération des instants correspondant au 1er zéro et au dernier zéro sur un nombre de périodes entier (flèches rouges). ..... 210
Figure 217 : composante alternative $uBanc$ de la tension aux bornes du banc pour la mesure n°1, non filtré. Les zones rouges sont exclues pour conserver un nombre de périodes entier. ..... 210
Figure 218 : composante alternative $uBanc$ de la tension aux bornes du banc pour la mesure n°1, non filtré. Zoom sur la fin du signal. ..... 211
Figure 219 : FFT de la composante alternative $uBanc$ de la tension aux bornes du banc sans tension continue appliquée (mesure n°1). ..... 211
Figure 220 : FFT du courant de part et d'autre du banc sans tension continue appliquée (mesure n°1). ..... 212
Figure 221 : FFT (mesure n°1), zoom sur la composante continue. a) composante alternative $uBanc$ de la tension aux bornes du banc ; b) courant de part et d'autre du banc. ..... 212

Figure 222 : réponse en fréquence de type gaussienne d'un oscilloscope (référence non précisée) à une excitation sinusoïdale. L'axe vertical représente le pourcentage de l'amplitude du signal. Tiré de [125] ..... 218
Figure 223 : schéma de mesure de la bande passante de l'ensemble sonde et oscilloscope. Tiré de [127]. ..... 218
Figure 224 : a) spectre d'un signal composé de quatre harmoniques ; b) signal carré idéal et signal mesuré trapézoïdal, la raideur des front étant limitée par le système de mesure. Tiré de [127]. ..... 219
Figure 225 : a) modélisation des éléments parasites d'une sonde connectée à un circuit ; b) modélisation simplifiée de l'ensemble sonde et oscilloscope, qui tire du courant du circuit. Le potentiel TP peut chuter si les impédances $Zp$ et $Zi$ ne sont pas assez élevées devant l'impédance de la charge $ZS2$. Tiré de [127]. ..... 220
Figure 226 : impédance d'entrée (en $\Omega$), d'une sonde LeCroy PP018 connectée à une voie d'oscilloscope $1M\Omega$, en fonction de la fréquence de l'excitation (en Hz). Tiré de [131]. ..... 221
Figure 227 : Modèle électrique d'une sonde passive réductrice (1:10) montrant la compensation avec la capacité $Ccomp$. Tiré de l'article [102]. ..... 221
Figure 228 : influence de l'inductance de masse sur un signal carré mesuré avec une sonde passive : a) fil de masse de 17 cm ; b) fil de masse de 71 cm. Tiré de [127]. ..... 223
Figure 229 : a) sonde passive 1:10 insérée dans un support de sonde ; b) sonde passive 1:100 équipée d'un ressort et connectée à travers deux douilles au circuit. ..... 223
Figure 230 : modèle de la sonde PMK PHV1000-RO valable en continu uniquement. Les capacités de la sonde et de l'oscilloscope ne sont pas représentées. ..... 225
Figure 231 : a) Photo du ressort utilisé comme pointe de touche pour la masse, et de la connectique artisanale faite avec du fil de fer ; b) photo du ressort monté sur la sonde lors de la mesure ; c) photo de la sonde montée sur son support et reliée à la carte DUT à travers un PCB de liaison et un connecteur. ..... 227
Figure 232 : a) mesure de la tension grille-source ( $VGS$) avec trois connectiques différentes entre la sonde et le circuit : un fil de fer enroulé, un dispositif à ressort et enfin avec un support de sonde monté sur un connecteur ; b) zoom sur le début de l'acquisition. ..... 228
Figure 233 : a) mesure de la tension de sortie du driver ( $VDR$) avec trois connectiques différentes entre la sonde et le circuit : un fil de fer enroulé, un dispositif à ressort et enfin avec un support de sonde monté sur un connecteur. b) zoom sur le début de l'acquisition. ..... 228
Figure 234 : à gauche : schéma d'un shunt coaxial (tiré de [133]) ; à droite : vue 3D (tiré de [136]). 229
Figure 235 : à gauche : schéma de principe d'un capteur à mesure directe d'induction (tiré de [133]) ; à droite : photos d'un capteur LEM (tiré de [137]). ..... 229
Figure 236 : à gauche : schéma de principe d'un transformateur d'intensité (tiré de [133]) ; à droite : photos de transformateurs d'intensité (tiré de [138]). ..... 230
Figure 237 : à gauche : structure d'un capteur Rogowski, avec le bobinage et le circuit intégrateur (tiré de [133]) ; à droite : photo d'un capteur (tiré de [139]). ..... 230
Figure 238 : à gauche : shunt utilisé dans le banc n°1 ; à droite : shunt utilisé dans les bancs n°2 et n°3 (tiré de [136]). ..... 232
Figure 239 : mesure de la résistance du shunt en 4 fils. ..... 233
Figure 240 : représentation des valeurs de la résistance du shunt neuf (en vert) et vieilli (en bleu). L'estimateur est en rouge, son incertitude comprend celles des deux autres. Les doubles flèches représentent l'incertitude absolue élargie. ..... 234
Figure 241 : tensions mesurées par les deux sondes PP018 dans le banc n°3 lors de leur compensation, et écart relative (à droite, en orange) entre les deux : $VDR - VGSVGS \times 100$. ..... 235

Figure 242 : à gauche : schéma électrique des mesures réalisées sur le circuit imitant la grille d'un transistor GaN ; à droite : modélisation du circuit dans LTspice..... 237
Figure 243 : mesure des tensions $VDR$, $VGS$ et $VGBF$ et comparaison avec la tension $VGS$ simulée.237
Figure 244 : comparaison entre le courant de grille réel (calculé à partir de $VDR$ et $VGS$) et le courant de grille simulé (calculé à partir de $VGBF$ et $VGS$ SIMU..... 238
Figure 245 : zoom sur l'erreur commise entre les courants de grille réel et simulé..... 238
Figure 246 : (à gauche) schéma de principe de la mesure du retard entre le câble du shunt et la sonde passive PMK PHV1000-RO ; (à droite) raccord multiple entre le GBF, la sonde et le câble. ..... 240
Figure 247 : schéma de principe de la mesure du retard entre la sonde passive LeCroy PP018 et la sonde passive PMK PHV1000-RO. ..... 240
Figure 248 : schéma électrique des impédances ramenées au GBF pour la mesure avec les deux sondes passives. ..... 240
Figure 249 : schéma électrique des impédances ramenées au GBF pour la mesure avec la sonde passive PMK et la connectique du shunt. ..... 241
Figure 250 : front de tension mesuré par la sonde passive LeCroy PP018 (1:10) et par la sonde passive PMK PHV1000-RO (1:100) pour déterminer leur retard relatif. a) Vue d'ensemble ; b) zoom sur le transitoire. ..... 242
Figure 251 : front de tension mesuré par la sonde passive LeCroy PP018 (1:10) et par la sonde passive PMK PHV1000-RO (1:100) pour déterminer leur retard relatif. a)Vue d'ensemble ; b) zoom sur le transitoire. ..... 242
Figure 252 : tension drain-source $VDS$ et courant de drain $ID$ lors d'un essai de court-circuit d'un transistor GaN Systems GS66516T sous une tension de $400\ V$. a) Vue d'ensemble ; b) Zoom sur le début du court-circuit montrant la tension $VDS$ brute, en traits pleins (en retard sur le courant) et cette même tension décalée, en traits discontinus, pour compenser le retard. ... 243
Figure 253 : puissance dissipée avec et sans compensation du retard, et écart relatif entre les deux, lors d'un essai de court-circuit d'un transistor GaN Systems GS66516T sous une tension de $400\ V$. a) Vue d'ensemble ; b) Zoom sur le début du court-circuit montrant la puissance brute, en traits pleins et cette même puissance décalée, en traits discontinus, pour compenser le retard. ..... 244
Figure 254 : cumul de l'énergie dissipée avec et sans compensation du retard, et écart relatif entre les deux, lors d'un essai de court-circuit d'un transistor GaN Systems GS66516T sous une tension de $400\ V$. a) Vue d'ensemble ; b) Zoom sur le début du court-circuit montrant l'énergie brute, en traits pleins et cette même énergie décalée, en traits discontinus, pour compenser le retard. ..... 244
Figure 255 : superposition de cinq essais de court-circuit destructifs sur des transistors Infinéon IPA65R190E6 dans le banc n°3. $VDS = 400\ V$. En haut : tension drain-source $VDS$ et courant de drain $ID$ ; en bas : tension grille-source $VGS$ et courant de grille $IG$..... 247
Figure 256 : illustration de l'incertitude liée aux erreurs aléatoires sur le courant de drain. ..... 248
Figure 257 : illustration de l'incertitude liée aux erreurs aléatoires sur le courant de grille. ..... 249
Figure 258 : influence de la durée de repos du transistor sur la répétabilité d'une mesure $ID = f(VGS)$. Les nombres de la légende correspondent à la durée (en minutes) d'utilisation du traceur depuis son allumage..... 250
Figure 259 : zoom sur l'influence de la durée de repos du transistor sur la répétabilité d'une mesure $ID = f(VGS)$. ..... 250
Figure 260 : influence de la durée du pulse. Les nombres entre parenthèses correspondent au temps écoulé (en minutes) depuis l'allumage de l'appareil..... 251
Figure 261 : zoom sur l'influence de la durée du pulse. ..... 251

Figure 262 : influence de la durée de mesure. ..... 252
Figure 263 : influence de la durée entre deux pulses. Les nombres entre parenthèses correspondent au temps écoulé (en minutes) depuis l'allumage de l'appareil. ..... 252

# Liste des tableaux

Tableau 1 : comparaison des tensions de commande des transistors GaN de GaN Systems avec les MOSFETs Si, les IGBT et les MOSFETs SiC [18]. ..... 27
Tableau 2 : caractéristiques électriques principales des transistors testés en court-circuit. ..... 39
Tableau 3 : conductivité thermique à température ambiante pour différents matériaux semi-conducteurs (tiré de [71]). ..... 62
Tableau 4 : comparaison des trois bancs de court-circuit. ..... 82
Tableau 5 : Caractéristiques du condensateur PM 980 du banc n°1. ..... 84
Tableau 6 : Caractéristiques des condensateurs du banc n°2. ..... 89
Tableau 7 : Caractéristiques des condensateurs du banc n°3. ..... 94
Tableau 8 : comparaison des inductances parasites des trois bancs de court-circuit. ..... 103
Tableau 9 : instruments de mesure utilisés dans chacun des trois bancs. ..... 105
Tableau 10 : Valeurs de la tension grille-source ($VGS$) et de la résistance de grille ($RG$) lors des essais de courts-circuits destructifs selon la référence du composant. ..... 106
Tableau 11 : nombre d'échantillons sur lesquels sont effectués le filtrage pour la tension drain-source $VDS$, la tension de sortie du driver $VDR$, la tension grille-source $VGS$, le courant de drain $ID$ et le courant de grille $IG$. ..... 107
Tableau 12 : surfaces totales des différents transistors testés dans le banc n°3. ..... 108
Tableau 13 : caractéristiques électriques des trois références de transistors GaN Systems testés. ..... 109
Tableau 14 : Paramètres des essais de court-circuit des transistors GaN Systems. (1) Certains essais ont été faits avec une tension $VGS = 4\,V$ ou $6\,V$ ; (2) certains essais ont été réalisés avec $RG = 17\,\Omega$ ou $RG = 150\,\Omega$. ..... 112
Tableau 15 : récapitulatif des essais destructifs pour les transistors GaN Systems en fonction de la référence, du lot, du banc, de la tension $VDS$, de la tension $VGS$ et de la résistance de grille $RG$. TLF : Time Leading to Failure. ..... 113
Tableau 16 : dispersion sur les courants de drain et de grille en fonction des séries. ..... 117
Tableau 17 : caractéristiques électriques des transistors Panasonic PGA26E07BA. ..... 134
Tableau 18 : TLF et énergie absorbée pour les transistors Panasonic sous $400\,V$ ..... 137
Tableau 19 : caractéristiques électriques des transistors 30 A du CEA. ..... 141
Tableau 20 : TLF et énergie absorbée pour les transistors CEA. ..... 143
Tableau 21 : caractéristiques électriques des transistors Transphorm TPH3208LDG. ..... 144
Tableau 22 : durées avant défaillance (TLF) pour chaque transistor caractérisé. ..... 152
Tableau 23 : moyenne et écart-type des tensions de seuil pour les transistors GS66506T, GS66508T et GS66516T. ..... 154
Tableau 24 : moyenne et écart-type des courants de saturation pour les transistors GS66506T, GS66508T et GS66516T. ..... 157
Tableau 25 : moyenne et écart-type des courant de grille pour les transistors GS66506T, GS66508T et GS66516T. ..... 160
Tableau 26 : moyenne et écart-type des courants de fuite de drain pour les transistors GS66506T, GS66508T et GS66516T. ..... 162
Tableau 27 : paramètres appliqués pour le drain lag. ..... 165
Tableau 28 : caractéristiques des condensateurs du banc n°2. ..... 171
Tableau 29 : caractéristiques des condensateurs du banc n°3 ..... 172
Tableau 30 : paramètres des six essais menés pour calculer la capacité du banc n°3. ..... 199
Tableau 31 : caractéristiques de la sonde de courant LeCroy CP031 ..... 202
Tableau 32 : résultats des 6 mesures et calcul de la capacité du banc. ..... 207

Tableau 33 : fréquences (en Hertz) obtenues à partir des FFT de tension et de courant. ..... 209
Tableau 34 : incertitudes sur les capacités calculées ..... 210
Tableau 35 : caractéristiques des sondes de tension passives utilisées dans le banc n°3 ..... 211
Tableau 36 : caractéristiques de la sonde de tension passive utilisée dans les trois bancs pour mesurer $VDS$. ..... 218
Tableau 37 : caractéristiques des sondes de tension passives utilisées pour mesurer $VGS$ et $VDR$. ... 220
Tableau 38 : comparaison des différents types de capteurs de courant. ..... 224
Tableau 39 : caractéristiques du shunt utilisé dans le banc n°3 ..... 226
Tableau 40 : TLF et énergie absorbée pour les transistors Infinéon IPA65R190E6. ..... 241

# Liste d'acronymes

| | |
|---|---|
| CAVET | Current Aperture Vertical Electron Transistors |
| CEA | Commissariat à l'Energie Atomique |
| DUT | Device Under Test |
| ESL | Equivalent Series Inductance |
| ESR | Equivalent Series Resistance |
| GaN | Gallium Nitride |
| GIT | Gate Injection Transistor |
| HEMT | High Electron Mobility Transistor |
| HFET | Heterojunction Field Effect Transistor |
| HNPSG | High Nitrogen Pressure Solution Growth |
| HVPE | Hybrid Vapor Phase Epitaxy |
| ICP-RIE | Inductive Coupled Plasma Reactive Ion Etching |
| IGBT | Insulated Gate Bipolar Transistor |
| JFET | Junction Field Effect Transistor |
| LETI | Laboratoire d'Electronique et de Technologie de l'Information |
| MIS-HEMT | Metal Insulator Semiconductor High Electron Mobility Transistor |
| MOCVD | Metal Organic Chemical Vapor Deposition |
| MOSFET | Metal Oxyde Semiconductor Field Effect Transistor |
| MOS-HEMT | Metal Oxyde Semiconductor High Electron Mobility Transistor |
| PCB | Printed Board Circuit |
| PQFN | Power Quad Flat No-lead |
| SiC | Silicon Carbide |
| SSCB | Solid State Circuit Breaker |
| TCAD | Technology Computer-Aided Design |
| TLF | Time Leading to Failure |
| VQFN | Very Thin Profile Quad Flat No Lead |

# Introduction générale

Le secteur des transports émet 25% des émissions mondiales de $CO_2$, et 41% des émissions de $CO_2$ en France [1]. Ce secteur dépend presque exclusivement des produits pétroliers [2]. Le $CO_2$ rejeté par leur combustion aggrave le réchauffement climatique par effet de serre [1], et l'usage massif des énergies fossiles va conduire à leur épuisement. Par ailleurs, les polluants rejetés par ces combustions sont nocifs. Pour toutes ces raisons, le secteur des transports se tourne de plus en plus vers l'électrification totale ou partielle des véhicules [3]. Cette mutation a de nombreux avantages, à commencer par un meilleur rendement des systèmes et un moindre impact environnemental.

Un système de transport électrifié comprend en dehors du stockage d'énergie, un ou des convertisseur(s) de puissance et une ou plusieurs machines électriques. Les convertisseurs électroniques de puissance reposent sur des composants à semi-conducteur, et notamment des transistors, qui sont réalisés à partir de silicium depuis des dizaines d'années. Remplacer le silicium par des semi-conducteurs à grand gap comme le GaN, qui est le sujet de cette thèse, a de nombreux avantages [3] [4]. Cela réduit les pertes par conduction et par commutation, ce qui permet de diminuer les besoins de refroidissement. De plus, les transistors GaN commutent plus rapidement, ce qui permet d'augmenter la fréquence de travail des convertisseurs et donc de diminuer le volume des éléments passifs. Ainsi, l'adoption du GaN permettrait de réduire le poids des convertisseurs et d'augmenter leur rendement.

Si l'on trouve depuis 2018 des transistors GaN dans des chargeurs USB très compacts [5], ce matériau n'est pas encore utilisé en grande série dans le domaine des transports. Il est cependant probable qu'il diffuse largement dans ce secteur dans les années à venir, dans les domaines de la moyenne et basse tension. Les domaines d'application industriels du GaN pourraient concerner les voitures électriques et hybrides, l'avion plus électrique mais également des applications dans le domaine industriel ou de l'énergie. Dans le domaine de la voiture électrique, il serait possible d'utiliser des composants GaN $650\ V$ dans le chargeur de batterie, l'onduleur de traction mais aussi dans les filtres CEM [3]. Ensuite, dans le domaine de l'avion plus électrique, le GaN a un avantage : une meilleure tolérance aux radiations par rapport au silicium [6] [7]. Un mélange d'interrupteurs SiC et GaN pourrait être utilisé dans un convertisseur relié au bus $\pm\ 400\ V$ d'un avion tout électrique [6]. D'autres secteurs pourraient à terme utiliser des composants de puissance à base de GaN comme les navires plus électriques, les véhicules tout-terrain électrifiés et les trains électriques, mais cela nécessiterait une tenue en tension bien supérieure à celle constatée actuellement ($650\ V$) et ses applications ne sont pas envisagées avant plusieurs années [3].

L'un des freins à la diffusion des transistors GaN est leur tenue en court-circuit. La littérature s'est beaucoup étoffé ces dernières années sur ce sujet, et la durée avant défaillance est souvent inférieure à la microseconde lors d'un court-circuit sous $400\ V$ (pour un composant $650\ V$).

Cette thèse a été initiée dans le cadre du projet MEGAN (Modules Electronique en GaN), qui visait notamment des applications dans les domaines du transport automobile avec Renault, mais aussi la gestion énergétique avec Schneider Electric et l'aéronautique avec Safran. Le CEA-LETI avait en charge la conception de transistors GaN de puissance.

L'objectif de cette thèse est la caractérisation expérimentale de la robustesse en court-circuit de transistors GaN. Les travaux montrent les limitations actuelles de ces composants, à travers de nombreux tests dans des bancs dédiés. Ce travail pourra être utilisé pour comparer les composants de plusieurs fondeurs, définir une stratégie de protection en court-circuit efficace et comprendre les mécanismes de défaillance.

Le premier chapitre rappelle les principales propriétés du GaN et montre les différentes structures de transistors qu'il est possible de concevoir à partir de ce matériau. La structure des différents composants testés en court-circuit dans le cadre de la thèse est détaillée. Ensuite, les travaux de recherche sur la robustesse en court-circuit des transistors GaN et issus de la bibliographie sont passés en revue et synthétisés, de 2013 à 2021.

Dans le chapitre II, je présente en détail les trois bancs de court-circuit conçus pendant la thèse. Ces bancs sont peu inductifs et équipés d'une protection (disjoncteur statique ou fusible). L'impédance des bancs est mesurée et des modèles électriques sont établis. Une attention particulière est portée au routage, à l'instrumentation et aux incertitudes de mesure.

Le chapitre III constitue le cœur de la thèse ; il montre les différents essais de court-circuit réalisés et détaille les formes d'ondes observées. J'ai testé des composants de quatre fondeurs différents (GaN Systems, Panasonic, Transphorm et quelques prototypes du CEA-LETI), sous deux tensions de bus ($270\ V$ et $400\ V$). En tout, plus de 200 essais ont été menés, la quasi-totalité étant des essais destructifs. La robustesse est évaluée à travers la durée avant défaillance (*TLF*) et/ou l'énergie amenant à la défaillance. Le comportement en court-circuit est très hétérogène d'un fondeur à l'autre, et au sein d'un même fondeur il existe une forte dispersion de robustesse. Nous avons également cherché à évaluer, en dehors de la tension du bus continu, l'influence de la commande à travers la résistance de grille et la tension $V_{GS}$ appliquée. Enfin, quelques essais répétitifs ont été initiés afin de mieux caractériser la robustesse de ces composants.

Pour finir, le chapitre IV cherche, à partir de caractérisations initiales, à prévoir le comportement en court-circuit et notamment expliquer pourquoi certains composants d'un même lot présentent une robustesse tout à fait exceptionnelle alors que d'autres vont présenter une défaillance prématurée en court-circuit. Ce chapitre présente ainsi la mesure de caractéristiques statiques initiales d'une quinzaine de transistors du fabricant GaN Systems. Une mesure de *drain lag* est aussi réalisée. Les composants subissent ensuite un essai de court-circuit destructif. Nous avons cherché à corréler le *TLF* observé à l'ensemble des caractérisations initiales, ce qui s'est malheureusement révélé infructueux.

# Chapitre I - Technologie des transistors GaN et robustesse en court-circuit

## 1. Caractéristiques des transistors au GaN

### 1.1 Propriétés du GaN

#### 1.1.1 Bref historique

Le Nitrure de Gallium (GaN) est un matériau semi-conducteur à grand gap ayant une structure cristalline hexagonale nommée wurzite [8] comme le montre la Figure 1. Cette structure confère au GaN des propriétés piézoélectriques autorisant à l'interface GaN/AlGaN une conductivité supérieure aux autres matériaux semi-conducteurs.

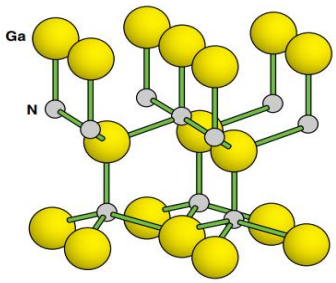



*Figure 1 : structure hexagonale du GaN (tiré de [8]).*

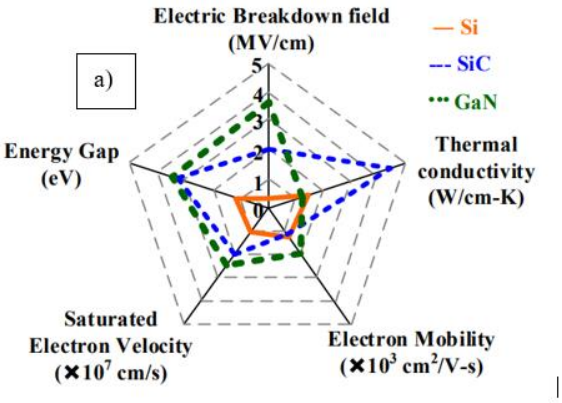
En 1969, le laboratoire RCA (New York, USA) parvient à déposer du GaN sur un substrat saphir en utilisant la méthode de l'épitaxie en phase vapeur hybride [9]. Il faudra attendre 1993 pour que les premières LED bleues au GaN soient fabriquées. Les transistors GaN à haute mobilité d'électrons (*High Electron Mobility Transistor* ou *HEMT*) sont apparus en 2004 dans le domaine RF (Eudyna Corporation, Japon). Ces transistors avaient un substrat SiC. En 2005, la société Nitronex parvient à faire croitre du GaN sur des wafers en silicium. Depuis 2009, on trouve des semiconducteurs de puissance moyenne tension en GaN, grâce aux progrès réalisés sur les matériaux et les procédés de fabrication [4]. A titre d'exemple, la société *EPC* commence à produire des transistors GaN de puissance normalement bloqués cette année-là. Depuis, de grands fondeurs comme Infineon et TI développent de tels transistors.

En comparaison, les *MOSFETs* de puissance au silicium ont été introduits en 1976, et ils ont peu à peu remplacé les transistors bipolaires. Il aura fallu environ 30 années pour que les *MOSFETs* atteignent leurs limites théoriques en termes de résistance spécifique [3]. La résistance passante spécifique (ou figure de mérite) $R_{DS,ON} \times S_{active}$ a diminué d'un facteur 50 environ entre l'IRF100 et un *MOSFET* moderne [8]. La fréquence de commutation des *MOSFETs* est limitée à quelques centaines de $kHz$. Les transistors GaN, eux, permettent d'atteindre des fréquences de l'ordre du $MHz$ (l'article [3] indique un facteur 30 entre la fréquence de commutation maximale du silicium et celle du GaN).

#### 1.1.2 Avantages du matériau GaN

Les composants à semiconducteur jouent un rôle central en électronique de puissance, et le silicium reste aujourd'hui le matériau le plus utilisé. Cependant, les semiconducteurs à grand gap comme le Carbure de Silicium (SiC) et le Nitrure de Gallium (GaN) possèdent des propriétés supérieures [4] [10] [11] [12] [13] [14] [15] [16] [17], comme le montre la Figure 2. Ces semiconducteurs permettent de

concevoir des convertisseurs de puissance à plus haut rendement, plus haute température de fonctionnement, plus haute tension et plus haute vitesse de commutation que ceux basés sur les composants au silicium [3] [18] [19] [20]. Aujourd'hui, le matériau GaN est principalement utilisé pour des tensions comprises entre $100\ V$ et $650\ V$. Au-delà de $1200\ V$, ce sont plutôt les composants SiC qui sont privilégiés, mais les transistors GaN pourraient bien les remplacer lorsque des composants $1200\ V$ apparaitront sur le marché, ce qui risque de prendre un certain temps selon [6].




b)

| Parameter | | Silicon | GaN | SiC |
|---|---|---|---|---|
| Band Gap $E_g$ | eV | 1.12 | 3.39 | 3.26 |
| Critical Field $E_{Crit}$ | MV/cm | 0.23 | 3.3 | 2.2 |
| Electron Mobility $\mu_n$ | $cm^2/V{\cdot}s$ | 1400 | 1500 | 950 |
| Permittivity $\varepsilon_r$ | | 11.8 | 9 | 9.7 |
| Thermal Conductivity $\lambda$ | W/cm·K | 1.5 | 1.3 | 3.8 |

*Figure 2 : a) comparaison des propriétés physiques du silicium, du GaN et du SiC (tiré de [10]) ; b) valeurs typiques de ces grandeurs (tiré de [8]).*

Concentrons-nous sur le GaN. La plupart de ses propriétés physiques sont supérieures à celles du SiC [3], sauf pour la conductivité thermique qui est nettement plus faible. La forte rigidité diélectrique du GaN permet de réduire la distance drain-source du transistor, ce qui diminue la résistance à l'état passant. Cette diminution est encore accrue par la forte mobilité des électrons, notamment dans le gaz 2D des transistors au GaN. Ces derniers peuvent ainsi atteindre des résistances passantes spécifiques très inférieures à celles du Si et du SiC (Figure 3). La taille de la puce est ainsi environ dix fois plus faible pour un transistor GaN que pour un transistor Si [3] [21].

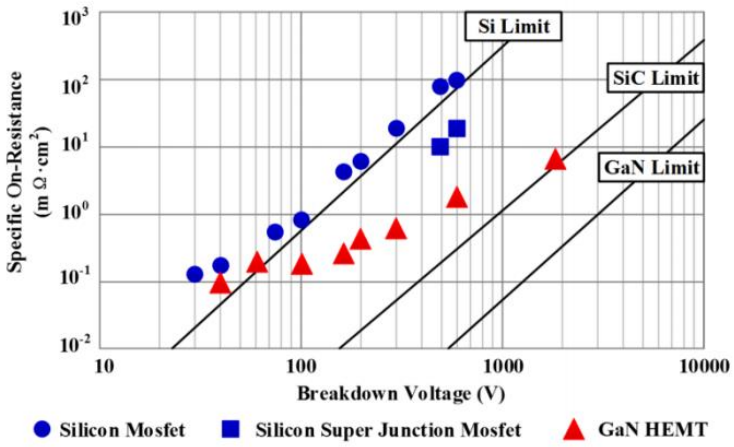



*Figure 3 : résistance spécifique en fonction de la tension de claquage pour les MOSFETs silicium, les MOSFETs à superjonction et pour les HEMTs au GaN (tiré de [13]).*

Cet effet de réduction de la taille de la puce (pour un calibre en courant donné) par rapport à un transistor au silicium, a pour conséquence de diminuer les capacités parasites. De plus, la structure latérale des transistors GaN leur procure naturellement une faible capacité de transfert $C_{GD}$ et une faible capacité $C_{GS}$ [3] [13]. Ainsi, la capacité d'entrée ($C_{ISS} = C_{GS} + C_{GD}$) est environ 30 fois plus faible pour un transistor GaN que pour un composant au silicium [3] de même caractéristiques, et la charge totale de la grille, bien plus faible [13] (Figure 4), explique la diminution des pertes de commande et l'augmentation de la vitesse de commutation. Par ailleurs, la capacité de sortie $C_{oss}$ est environ dix fois plus faible pour un transistor GaN que pour un *MOSFET* à superjonction [22]

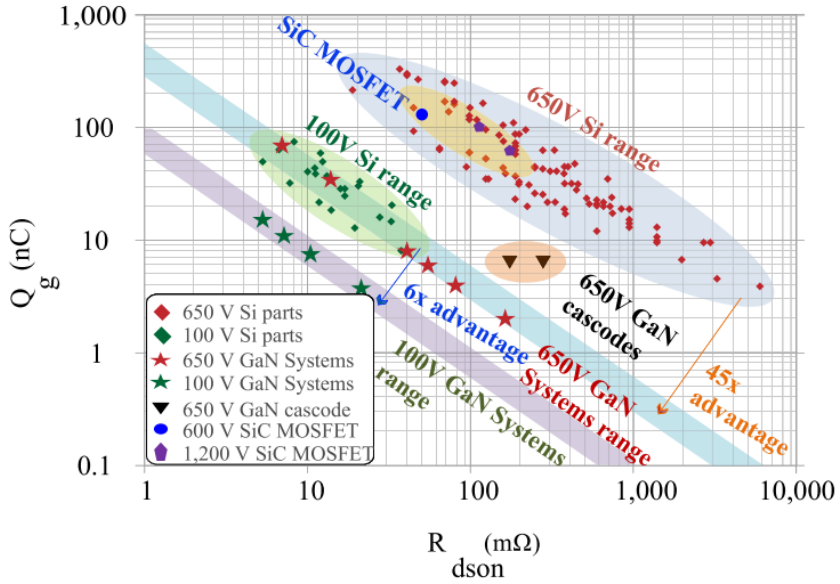



*Figure 4 : charge de grille $Q_g$ en fonction de la résistance passante pour des transistors Si, SiC et GaN (tiré de [3]).*

La vitesse de saturation élevée dans le GaN, combinée avec la faible valeur des capacités parasites, autorise des commutations plus rapides que le silicium. A titre d'exemple, sous $400\ V$, il est possible de commuter en moins de $10\ ns$ [10]. Le fondeur GaN Systems indique que la vitesse de commutation d'un transistor GaN est quatre fois plus grande à l'amorçage, et deux fois plus grande au blocage par rapport à un transistor SiC [22] de calibre similaire.

La conduction inverse d'un transistor GaN diffère de celle des *MOSFETs* silicium. Ces derniers possèdent une diode de corps de type PIN, qui est lente et oblige dans la plupart des applications à leur adjoindre une diode antiparallèle de type Schottky ou à les utiliser en mode redresseur synchrone. Du fait de leur structure, les transistors GaN n'ont pas de diode de corps, et donc pas de pertes par recouvrement inverse. En revanche, ces transistors présentent une chute de tension source-drain en conduction inverse lorsque la tension grille-source $V_{GS}$ est inférieure à la tension de seuil $V_{TH}$, comme le décrivent Jones et al. dans [10]. La chute de tension est égale à : $V_{SD} = V_{TH} - V_{GS-OFF}$. Utiliser une tension $V_{GS}$ négative permet de bloquer efficacement le composant mais cela augmente donc les pertes en conduction inverse.

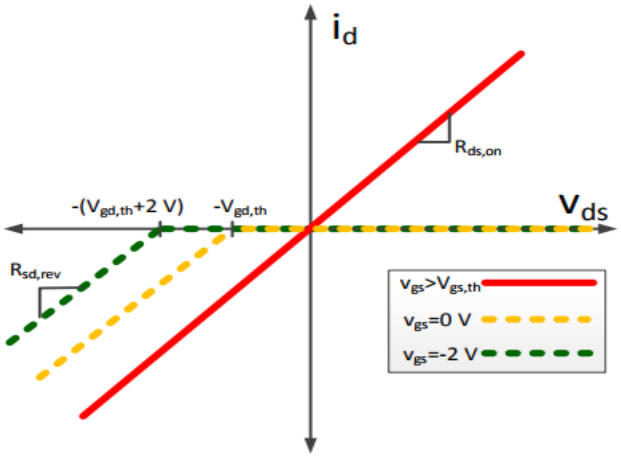



*Figure 5 : caractéristique $I_D = f(V_{DS})$ pour un transistor GaN conduisant en inverse (tiré de [10]).*

Enfin, du fait de leurs structures, la tension de seuil des différentes familles de transistors GaN est plus basse qu'un transistor *MOSFET* Si (1,5 $V$ environ pour un transistor GaN 650 $V$, contre 4 $V$ pour un *MOSFET* Si 650 $V$), et la tension de grille optimale est de 5 $V$ à 6 $V$ seulement [22], ce qui diminue aussi les pertes de commande car les *IGBTs*, les *MOSFETs* silicium et SiC nécessitent des tensions de l'ordre de 15 à 20 $V$ (Tableau 1).

*Tableau 1 : comparaison des tensions de commande des transistors GaN de GaN Systems avec les MOSFETs Si, les IGBT et les MOSFETs SiC [18].*

| Gate Bias Level | GaN Systems GaN E-HEMT | Si MOSFET | IGBT | SIC MOSFET |
|---|---|---|---|---|
| Maximum rating | -20/+10V | -/+20V | -/+20V | -8/+20V |
| Typical gate bias values | 0 or-3/+5-6V | 0/+10-12V | 0 or -9/+15V | -4/+15-20V |

Le GaN est donc un très bon candidat pour des applications à fort rendement et/ou de découpage haute fréquence [23]. Dès 2013, l'article [24] indiquait que ces transistors commençaient déjà à se répandre sur le marché grâce à leurs propriétés supérieures à celles du silicium.

### 1.1.3 Importance du substrat

Une étape cruciale dans la fabrication d'un transistor GaN est le dépôt du GaN sur un substrat. Ce dernier peut être du GaN (homo-épitaxie) ou bien un matériau étranger (hétéro-épitaxie).

L'homo-épitaxie sur substrat GaN est la solution idéale structurellement parlant [25] et assure une faible densité de défauts cristallins, mais sa fabrication est difficile. La méthode Czochralski (utilisée avec succès pour faire croitre du silicium) n'est pas adaptée car elle demanderait de très hautes température et pression [4]. L'épitaxie hybride en phase vapeur (*HVPE*) sur un matériau étranger comme le saphir reste la méthode la plus utilisée, par exemple dans [26]. Elle est décrite en détails dans [27] où les auteurs fabriquent un wafer de GaN de trois pouces. Le saphir est ensuite supprimé. D'autres techniques permettent de se passer de ce matériau étranger et font l'objet de recherches [10] : la méthode *HNPSG* (*High Nitrogen Pressure Solution Growth*), la méthode Na-Flux (solution à basse pression avec du sodium) et la méthode ammonothermale, qui semble prometteuse en termes de coût dans un futur proche. Dans l'article [28] de 2021, les auteurs présentent une technique innovante nommée FFC, mélange de la technique « Na Flux » et HVPE ; ils fabriquent ainsi un wafer GaN de deux pouces. La fabrication de ces derniers est encore un sujet actif de recherche.

L'hétéro-épitaxie est moins couteuse et c'est la solution retenue industriellement aujourd'hui. Le GaN est généralement déposé par hétéro-épitaxie sur un matériau étranger comme le SiC, le saphir ou le silicium, mais les distances atomiques et les propriétés thermiques du GaN sont différentes de ces derniers, ce qui engendre des contraintes et des dislocations [4] [3]. Il est donc nécessaire de placer une couche tampon sur le substrat, qui absorbe les contraintes mécaniques. Des couches alternées de GaN, d'AlGaN et d'AlN peuvent être utilisées [10], formant une épaisseur totale de quelques micromètres. La Figure 6 présente les caractéristiques physiques de trois matériaux pouvant être utilisés comme substrat.

| | SiC | Sapphire | Si |
|---|---|---|---|
| Lattice constant mismatch | 3.1% | 15% | 17% |
| Linear thermal expansion coefficient ( $\times$ $10^{-6}$ $K^{-1}$) (GaN value = 5.6) | 4.16 (*c*-axis) | 7.5 | 2.6 |
| Thermal conductivity (W $cm^{-1}$ $K^{-1}$) | 3.8–4.9 | 0.25 | 1.56 |
| Typical epitaxial GaN dislocation density | $>10^8$ $cm^{-2}$ | $>10^8$ $cm^{-2}$ | $>10^9$ $cm^{-2}$ |
| Cost | Expensive | Less expensive | Cheap |

*Figure 6 : comparaison des substrats possibles pour un transistor GaN (tiré de [4]).*

Le SiC est le meilleur choix, mais reste très cher. On le réserve aux très hautes densités de puissance. Le saphir est moins cher mais sa conductivité thermique est très inférieure au SiC. De plus, les wafers de saphir sont limités à une taille de deux pouces. Pour des applications commerciales sensibles au coût, le substrat Si est un bon compromis [3], et les wafers sont disponibles en grand diamètre. Pour rester compétitifs, les transistors GaN doivent être fabriqués sur des wafer de diamètre $150\ mm$ minimum (comme c'est le cas dans [29]), sachant que les *IGBTs* Si sont fabriqués sur des wafers de $200\ mm$ voire $300\ mm$ en pleine production. L'article [30] présente ainsi la fabrication de transistors GaN sur un wafer silicium de $300\ mm$. On réalise une hétéro-épitaxie par *MOCVD* (*Metal Organic Chemical Vapor Deposition*). La suite des étapes de fabrication du transistor dépend de la structure choisie (partie 1.2).

Les transistors GaN sont pour l'heure encore très couteux, mais leur diffusion massive devrait permettre de réduire leur prix [3], peut-être au niveau de celui du silicium [19].

## 1.2 Structures de transistors GaN de puissance

Les transistors GaN normalement passants peuvent être utilisés pour des applications basse tension à haute fréquence de commutation, mais le domaine de l'électronique de puissance exige un comportement normalement bloqué pour des raisons de sécurité [3] [10] [20] [23]. Cela permet aussi de simplifier la commande du transistor. Je me concentre donc sur ce type de composants. Les structures verticales sont également prometteuses, je les aborde brièvement dans la partie 1.2.2.

### 1.2.1 *HEMT* (HFET)

Ces transistors seront désignés par le terme *HEMT*, même si on trouve le terme *HFET* (*Heterojunction Field Effect Transistor*) dans la littérature, qui est équivalent.

#### 1.2.1.1 *HEMT* à grille gravée (*recessed gate*)

La structure *HEMT* est la plus étudiée et la plus répandue chez les industriels [10]. Elle est basée sur un phénomène spontané de polarisation piézoélectrique apparaissant à l'interface d'une hétérostructure AlGaN/GaN [8] [10]. La couche d'AlGaN a une épaisseur généralement comprise entre $20\ nm$ et $30\ nm$. Un gaz 2D d'électrons très dense et à haute mobilité ($1500 - 2000\ cm^2.V^{-1}.s^{-1}$ [8]) est alors créé. Les *HEMTs* sont ainsi de très bons candidats pour des applications de forte puissance et/ou de

découpage haute fréquence. Cependant, le gaz 2D rend ces transistors normalement passants. Le canal existe en permanence, même en l'absence d'une polarisation de grille positive.

Il existe plusieurs façons d'appauvrir le gaz 2D et ainsi fabriquer un transistor normalement bloqué, chacune ayant ses limitations et ses compromis [4] [23]. La méthode la plus répandue est de graver partiellement la couche d'AlGaN pour y loger la grille (*recessed gate*). On amincit en général cette couche uniquement sous la grille, en gravant avec du plasma (méthode *ICP-RIE* pour *Inductive Coupled Plasma Reactive Ion Etching* [31]). La concentration en aluminium de la couche d'AlGaN peut aussi être modifiée. La gravure diminue l'effet piézoélectrique et coupe le gaz 2D. La structure *HEMT* est assez difficile à fabriquer car elle exige un contrôle précis de la profondeur de gravure, ce paramètre influant directement sur la tension de seuil [23]. Si la gravure est mal contrôlée, cela peut générer un courant de fuite de grille et impacter l'uniformité de la tension de seuil. La Figure 7 montre la structure d'un *HEMT* à grille gravée.

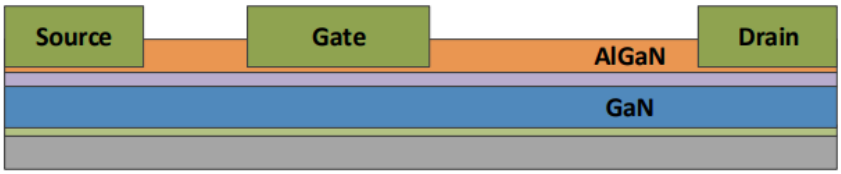



*Figure 7 : structure HEMT à grille gravée, où la couche d'AlGaN est gravée partiellement pour recevoir la grille (tiré de [10]).*

Les *HEMTs* de ce type présentent de très faibles valeurs de résistance à l'état passant.

#### 1.2.1.2 *MOS-HEMT* (ou *MIS-HEMT*)

Les termes *MOS-HEMT* (*Metal Oxyde Semiconductor High Electron Mobility Transistor*) et *MIS-HEMT* (*Metal Insulator Semiconductor High Electron Mobility Transistor*) désignent tous les transistors GaN *HEMT* possédant un isolant sous la grille. Si l'isolant est un oxyde, on parle de *MOS-HEMT*. Si ce n'est pas le cas, on parle de *MIS-HEMT*. Différentes structures de *MOS(MIS)-HEMT* existent.

La première structure possible est le *recessed gate MOS(MIS)-HEMT*. Cette structure est identique au *recessed gate HEMT*, à la différence près qu'il y a un isolant sous la grille (Figure 8).

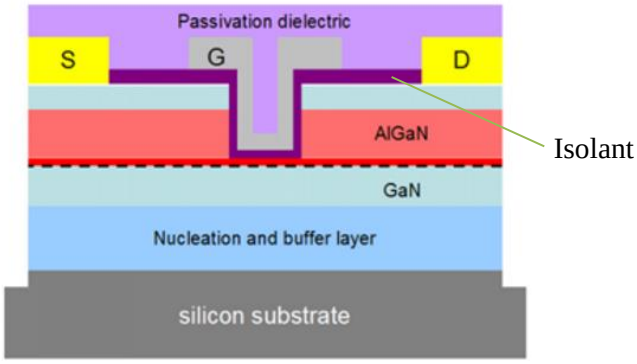



*Figure 8 : structure recessed gate MOS(MIS)-HEMT, où la couche d'AlGaN est gravée partiellement (tiré de [4]).*

Une deuxième structure possible est le *MOS(MIS)-HEMT* à gravure profonde, où la couche d'AlGaN est supprimée complètement sous la grille [4], comme présenté en Figure 9. Le gaz 2D est alors coupé. Le drain et la source doivent être connectés par une couche d'inversion pour rendre passant le composant

[10] [32]. Le choix de l'isolant est critique : il impacte à la fois la mobilité du canal et la stabilité de la tension de seuil.

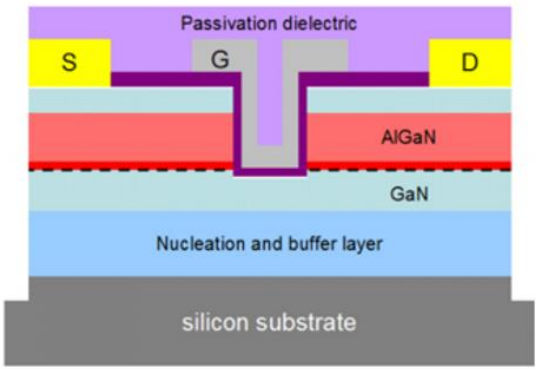



*Figure 9 : structure MOS(MIS)-HEMT, où la couche d'AlGaN est gravée complètement (tiré de [4]).*

La résistance spécifique des *MOS(MIS)-HEMT* à gravure profonde est supérieure à celle des *recessed gate HEMTs* puisque ces derniers bénéficient du gaz 2D d'électrons. Les premiers sont toutefois moins sensibles à la profondeur précise de gravure que les *HEMTs* et possèdent des tensions de seuil comprises entre $2\,V$ et $5\,V$, ce qui peut éviter les remises en conduction intempestives [23]. J'ai testé en court-circuit des *MOS-HEMT* à gravure profonde : les prototypes du laboratoire du CEA-LETI (partie 2.3).

On trouve aussi une autre structure hybride, dont la grille comprend à la fois une couche de p-GaN et un isolant, décrite dans l'article [33] notamment (Figure 10). Le diélectrique est critique pour la fiabilité et mesure une dizaine de nanomètres d'épaisseur. La tension de seuil peut souffrir d'instabilité car des charges peuvent se piéger sur les bords du diélectrique [33]. La grille peut souffrir d'un effet tunnel qui contribue à augmenter la valeur du courant de grille.

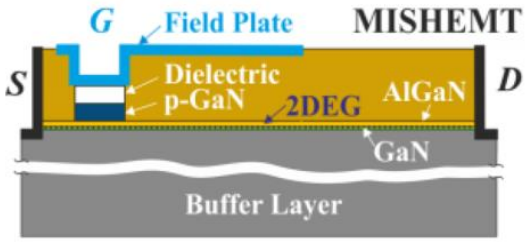



*Figure 10 : structure d'un MIS-HEMT (tiré de [33]).*

### 1.2.1.3 *HEMT* avec grille p-GaN

Tout en restant dans la famille des *HEMT*, on peut appauvrir le gaz 2D en insérant une couche de p-GaN (ou p-AlGaN) sous la grille [8] [4]. Cette dernière possibilité reste la plus prometteuse, et est utilisée notamment chez les fondeurs GaN Systems et Panasonic [23]. Cela forme avec le métal de l'électrode de grille un contact métal/semiconducteur. Ce dernier peut se comporter comme un contact ohmique ou comme un contact schottky, en fonction du métal choisi et d'autres paramètres liés au procédé de fabrication. Si le contact est ohmique, il existe en permanence un courant de grille lorsque le transistor est à l'état passant (c'est le cas des transistors du fondeur Panasonic, dont j'ai testé le *HD-GIT – Hybrid Drain-Gate Injection Transistor* – en court-circuit). Au contraire, si le contact est de type Schottky, ce courant est négligeable en dehors des phases de charge et de décharge de la grille (cette structure est celle du fondeur GaN Systems, dont j'ai étudié les transistors en détails dans cette thèse). Il faut noter que la fabrication d'un contact ohmique est délicate ; si celui-ci n'est pas parfaitement

réalisé, la caractéristique électrique peut être de type contact Schottky. Il est possible qu'un fondeur annonce un contact d'un certain type (ohmique ou Schottky), mais qu'en réalité la grille se comporte différemment.

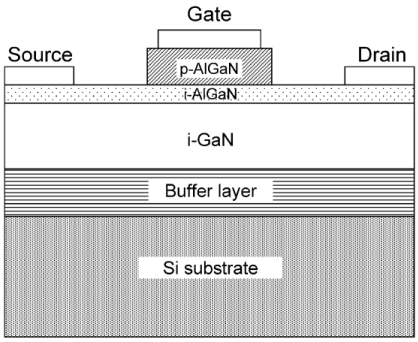



*Figure 11 : Structure d'une grille de type P-AlGaN. Tiré de [34].*

La grille p-GaN se comporte comme une diode, et est assez fragile. Un courant de grille trop important peut la détruire. La tension $V_{GS}$ admissible est donc assez faible ($-10\,V/+7\,V$ pour le fondeur GaN Systems par exemple).

Certains fondeurs combinent plusieurs techniques pour fabriquer leurs transistors. Il est possible de graver légèrement la couche d'AlGaN et d'utiliser en plus une grille p-GaN (cas de GaN Systems).

#### 1.2.1.4 *HEMT* avec injection de fluor (implanted gate)

Une autre possibilité est d'injecter du fluor en dessous de la grille (*implanted gate*) avec un traitement par plasma [8] [4] [23]. La charge négative des ions fluorés appauvrit le gaz 2D. Cela a pour inconvénient de dégrader la stabilité de la tension de seuil à haute température. On peut aussi introduire une couche à base d'oxydes de nickel en dessous de la grille, mais cette approche est peu répandue.

#### 1.2.1.5 Cascode

Pour obtenir un transistor normalement bloqué, une autre solution est d'associer en série un transistor GaN normalement passant avec un *MOSFET* silicium basse tension : c'est la structure cascode [13] (Figure 12). Elle est adaptée aux tensions supérieures à $200\,V$, sinon la résistance passante ramenée par le *MOSFET* est trop importante [8]. Le transistor GaN peut être rendu passant ou bloqué en appliquant une tension de grille sur le *MOSFET* basse tension. La tension de seuil est de l'ordre de $5\,V$, la commande est donc moins sensible aux bruits [14] [33] et il est possible d'utiliser un driver de *MOSFET* silicium classique fournissant une tension de commande égale à $15\,V$. Cette structure est intéressante car la structure d'un transistor GaN normalement passant est plus simple que celle d'un transistor normalement bloqué et qu'il est aisé d'ajouter en série un *MOSFET* silicium basse tension pour en faire un interrupteur normalement bloqué. Les pertes au blocage sont très faibles, ce qui en fait un bon choix pour des convertisseurs à fort courant [35]. La résistance passante spécifique est similaire à celle des structure p-GaN. Un autre avantage de cette structure est une meilleure robustesse car les grilles des transistors GaN à appauvrissement ne sont pas dopées et donc exemptes de défauts dans le cristal [36]. Les performances en commutation dépendent beaucoup des inductances parasites du package (connexion entre le *HEMT* et le *MOSFET* silicium) et de l'accord entre les capacités parasites des deux transistors [10].

Cette structure souffre cependant de certains inconvénients. Tout d'abord, la complexité du boitier est accrue [3] puisqu'il y a deux puces à connecter entre elles. Dans le circuit de grille du transistor GaN,

les inductances parasites des fils de bounding et les capacités parasites forment un circuit résonant très peu amorti [35]. Cela peut générer des oscillations qui sont parfois auto-entretenues [3], et d'autant plus fortes que la tension $V_{DS}$ est grande. Ceci peut affecter les commutations. En conduction inverse, la diode du *MOSFET* conduit et il y a un temps de recouvrement non nul, ce qui augmente les pertes [13]. Le fait d'utiliser deux transistors pose aussi des soucis de coût [4].

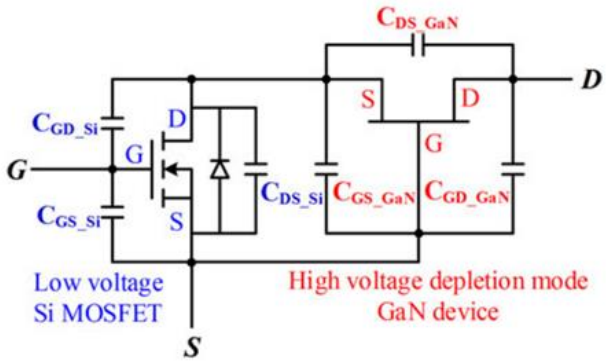



*Figure 12 : structure cascode avec les capacités parasites (tiré de [37]).*

J'ai réalisé des essais de court-circuit sur des transistors cascode du fondeur Transphorm.

### 1.2.2 Structures verticales

Les structures verticales ont des caractéristiques supérieures aux structures latérales, mais exigent en général une homo-épitaxie, c'est-à-dire un substrat en GaN, qui est coûteux, difficile à fabriquer et encore peu répandu [10]. Ces structures ont beaucoup moins de défauts dans la structure cristalline, et n'ont aucune différence de paramètre de maille. Ceci augmente leur fiabilité [3] et supprime le phénomène de résistance passante dynamique (partie 1.3). Par ailleurs, cette structure est capable de résister au phénomène d'avalanche, contrairement à la structure latérale. En général, les niveaux de courant des transistors verticaux sont plus élevés que ceux de leurs homologues latéraux [3]. La taille de la puce sur le wafer est plus petite car il suffit d'augmenter l'épaisseur de la zone de drift pour augmenter la tenue en tension [38]. Les structures verticales seraient plutôt adaptées à de fortes puissances [3]. La gestion de la thermique est aussi facilitée par rapport aux structures latérales [3].

La société Avogy a déposé de nombreux brevets dans ce domaine et proposait des échantillons de diodes $600\ V$, $1200\ V$ et $1700\ V$. Plus récemment, l'entreprise Nexgen montre sur son site des datasheets de transistors verticaux avec une tension de claquage de $700\ V$ ou $1200\ V$ [39]. Cependant, ces composants ne sont pas encore industrialisés. Par ailleurs, un transistor vertical à nanostructure 3D est présenté dans [40]. D'autres structures utilisant du GaN comme le *CAVET* (*Current Aperture Vertical Electron Transistors*) [41] [38] ou le *MOSFET* à tranchées [42] permettent d'atteindre des tensions de claquage supérieures à $1200\ V$, mais utilisent de coûteux substrats en GaN, et font parfois appel à des étapes de croissance de cristal spécifiques.

Il existe cependant des structures verticales à substrat silicium, étudiées notamment par le MIT (*Massachusetts Institute of Technology*, USA) et par l'entreprise Cambridge Electronics Inc [10]. Cependant, en 2020, l'article [3] indiquait qu'aucun transistor GaN vertical n'était encore commercialisé même si ces composants font l'objet de beaucoup de recherches [3].

## 1.3 Phénomène d'effondrement du courant (*current collapse*)

Les transistors GaN latéraux souffrent généralement de défauts dans la couche de GaN ou d'AlGaN, comme des dislocations ou des atomes étrangers (impuretés). On parle de pièges, qui s'activent ou se désactivent selon la tension appliquée. Ces pièges correspondent à des niveaux d'énergie dans le *gap* du GaN ou de l'AlGaN. Des charges peuvent se piéger et se dépiéger. La thèse de Fadi Zaki [43] indique que le phénomène de piégeage de charges est réversible mais peut affecter le comportement statique et dynamique des *HEMTs*.

Aussi appelé « résistance passante dynamique », le phénomène d'effondrement du courant dans les structures GaN latérales est directement lié aux pièges et reste un frein à la diffusion des transistors GaN [15]. Cela consiste en une augmentation temporaire de la résistance à l'état passant, qui est fonction de la tension drain-source $V_{DS}$ supportée à l'état bloqué [10] et de la durée d'application de cette tension. Quand le transistor est bloqué, des charges peuvent se piéger dans les défauts du cristal ou aux interfaces entre couches dans la puce [44]. Cela génère des zones chargées négativement au sein du transistor, ce qui a deux effets : la répartition du champ électrique dans le transistor est modifiée, et le gaz 2D est perturbé. La résistance à l'état passant augmente alors, ainsi que les pertes [15], pouvant aller jusqu'à la destruction du composant [45].

On distingue deux types de piégeage [10]. Tout d'abord, des charges situées en surface peuvent se piéger à côté du bord de la grille ou du côté du drain quand le composant est à l'état bloqué. Ces charges se comportent comme une grille virtuelle et affaiblissent le gaz 2D. Le second mécanisme est le piégeage d'électrons à haute énergie en profondeur, dans la couche tampon située au-dessus du substrat notamment. Cela affaiblit aussi le gaz 2D, augmente la résistance à l'état passant et peut endommager le transistor sur le long-terme. Le phénomène est dynamique car la résistance à l'état passant se met à augmenter au fil des commutations.

Les fondeurs ont fait beaucoup de progrès pour contrer le phénomène de courant de collapse, en utilisant par exemple des plaques de champ pour redistribuer le champ électrique entre le drain et la grille, ou en connectant le substrat à la source. Panasonic aurait éliminé le courant de collapse grâce à l'ajout d'une structure dopée P à côté du drain [10] [44] (structure *HD-GIT*). L'article [14] étudie les mécanismes de piégeage de charges causés par l'application d'une tension négative pulsée sur la grille de transistors cascode. Ils constatent une dégradation de la résistance passante et du courant de drain maximal ainsi qu'un déplacement de la tension de seuil. Les auteurs de l'article [15] caractérisent le phénomène de résistance passante dynamique sur des transistors GS66508T du fondeur GaN Systems. Ils conseillent de faire cette caractérisation à haute fréquence et haute température pour être dans des conditions proches d'un usage réel dans un convertisseur. La résistance passante dynamique augmente en effet fortement avec la température.

## 1.4 Utilisation du GaN dans des convertisseurs

En 2017, il n'y avait que trois fondeurs qui proposaient des transistors GaN à enrichissement à la vente, dont une structure cascode [10]. L'article [3], paru en 2020, indiquait les applications industrielles possibles du GaN dans les secteurs des voitures électriques et hybrides, de l'avion plus électrique, du navire plus électrique, des trains électriques et des véhicules tout terrain électrifiés. En 2021, on compte plus de neuf fondeurs mais les transistors GaN ne sont pas encore présents dans ces secteurs.

En 2013, l'article [13] montrait déjà l'utilisation de transistors GaN cascode dans un convertisseur résonnant LLC de 300 $W$ avec une fréquence de commutation de 1 $MHz$.

En 2014, le fondeur *EPC* publie un article [46] montrant l'utilisation de leurs transistors GaN basse tension dans un convertisseur DC/DC *POL* (*Point Of Load*) (entrée : $12 - 28\,V$ ; sortie : $1{,}2\,V$) travaillant à $1\,MHz$. La comparaison faite avec des transistors silicium donne un net avantage au GaN avec presque 4 points de rendement de plus pour ce dernier. Un peu plus tard, en 2015, les auteurs de l'article [47] intègrent des transistors cascode de Transphorm dans un convertisseur *PFC* (*Power Factor Corrector*). Ce dernier atteint un rendement maximal de 99 % et une densité de puissance égale à $220\,W/in^3$. Ensuite, courant 2016, l'article [48] présente l'utilisation de transistors du fondeur GaN Systems dans un onduleur triphasé de $10\,kW$. Le rendement atteint 98,8 % et le volume n'est que de $0{,}7\,L$. Puis, en 2017, l'article [49] présente un convertisseur résonant LLC à commutation douce à base de transistors GaN cascode du fondeur Transphorm. Leur tension de claquage vaut $600\,V$ et la tension d'entrée du convertisseur est de $400\,V$. Les auteurs comparent les pertes entre ces derniers et des transistors silicium et il apparait que le GaN présente des pertes 50 % plus faibles.

Plus tard, en 2019, dans l'article [50], les auteurs conçoivent et testent un convertisseur *NPC* (*Neutral Point Clamped*) à trois niveaux à base de transistors du fondeur GaN Systems (leur tension de claquage est de $650\,V$) et de diodes SiC. Leur prototype atteint un rendement de 98%. Ces transistors ont un boitier monté en surface, ce qui a impacté la façon de router le convertisseur ainsi que son refroidissement. Toujours en 2019, les auteurs de l'article [12] passent en revue plus de 160 papiers montrant une intégration de transistors GaN dans des convertisseurs de puissance de plus de $500\,W$ de différentes familles (DC/DC, DC/AC et AC/DC). Il ressort de tout cela que ces composants permettent de concevoir des convertisseurs à haut rendement (jusqu'à 99,8 %) dans la gamme moyenne tension, de moyenne à forte puissance (jusqu'à $80\,kW$). La fréquence de travail des systèmes passés en revue s'échelonne de 100 kHz à plus de $1\,MHz$. Onze papiers font état d'une fréquence supérieure à $1\,MHz$. La grande majorité des convertisseurs étudiés a un rendement compris entre 95% et 99% ; plus des deux tiers des convertisseurs ont une densité de puissance supérieure à $100 - 200W/in^3$ et le maximum atteint est de $9{,}5\,kW/in^3$.

Enfin, en 2020, l'article [51] montre l'utilisation de transistors GaN du fondeur *EPC* dans un convertisseur DC/DC résonant à commutations douces à $1\,MHz$ qui pourrait être utilisé dans le domaine spatial. Une comparaison est faite avec des *MOSFETs* silicium commutant à $100\,kHz$. Il est montré que la densité de puissance est accrue d'environ 80 % avec le GaN, et que le rendement reste identique.

Si les transistors GaN sont pour le moment absents dans l'industrie des transports, on trouve une application industrielle dans le domaine des chargeurs USB. Depuis 2018, il existe dans le commerce des chargeurs intégrant des transistors GaN [5] pour alimenter un téléphone portable, une tablette ou un ordinateur. C'est la seule utilisation industrielle du GaN recensée en 2021.

## 1.5 Futures tendances du GaN

Les défis à relever pour permettre la diffusion massive du GaN dans l'industrie sont : la robustesse et la fiabilité en court-circuit qui sont encore limitées, la tension de claquage encore limitée, la complexité de la commande de la grille, la gestion de la thermique et la conception des boitiers des transistors pour utiliser la pleine capacité de ces composants, et assurer une fiabilité à long terme [3]. Enfin, le coût élevé des composants freine encore leur adoption.

Concernant la robustesse des transistors GaN, nous verrons dans la partie 3 qu'elle est encore insuffisante en court-circuit lorsqu'on les utilise sous des tensions proches de la tension de claquage. La fiabilité est, elle aussi, encore perfectible même si certains composants comme le *HD*-GIT de Panasonic peuvent supporter de nombreux courts-circuits sous une tension de bus élevée.

La tension de claquage encore limitée des transistors GaN du commerce ($650\ V$) restreint aujourd'hui leur usage [50]. Il est encore difficile de fabriquer des transistors GaN haute tension ($1200\ V$) car cela nécessite des améliorations et des innovations dans le procédé de fabrication, au niveau du substrat. L'utilisation du nitrure d'aluminium polycristallin (AlN) comme substrat est prometteur pour fabriquer des composants $1200\ V$, car son coefficient d'expansion thermique est plus proche de celui du GaN par rapport aux substrats silicium classique [3]. Le substrat AlN autorise le dépôt d'une couche plus épaisse de GaN (avec des wafers de $200\ mm$), ce qui est nécessaire pour augmenter la tenue en tension.

Le routage du PCB d'un convertisseur à base de GaN est critique [46] à cause des vitesses de commutation élevées. Les inductances parasites peuvent avoir un impact important sur les pertes [13]. Les circuits de commande doivent être adaptés aux forts di/dt et dv/dt, ce qui impose un routage très soigné. Des oscillations peuvent apparaitre au niveau de la grille à cause des éléments parasites du circuit, la commande de la grille est donc critique [14]. Par ailleurs, du fait de leur vitesse de commutation, les transistors GaN posent des problèmes de pollution électromagnétique [3]. La grille des composants GaN discrets est vulnérable au bruit et aux surtensions causées par les commutations très rapides. La tension de seuil est très basse, ce qui peut causer des remises en conduction intempestives lors du blocage. A titre d'exemple, le choix de la valeur de la résistance de grille pour l'amorçage est critique : trop faible, elle entraine des oscillations et donc des pertes de commandes importantes ; trop grande, elle ralentit les commutations et augmente aussi les pertes. L'intégration monolithique du driver, des protections et du transistor GaN (voire d'un demi-pont complet) a de nombreux avantages [3] : un meilleur contrôle des inductances parasites, un meilleur contrôle du dv/dt, la possibilité d'intégrer des protections (au démarrage, contre les surcourants, contre un échauffement excessif et contre les courts-circuits). Cette intégration permet une conception plus modulaire du convertisseur, augmente sa densité de puissance et permet aussi de réduire les coûts.

Le boitier d'un transistor a de nombreuses fonctions : il protège la puce, permet de la monter sur un PCB et participe à l'évacuation de la chaleur. La conception d'un boitier et de ses connexions avec la puce est délicate car elle doit prendre en compte un besoin d'isolation contre de fortes tensions et une tenue à de forts courants, sans dégrader les performances de la puce. Le boitier joue un rôle important dans la fiabilité du transistor. Les transistors GaN nécessitent un boitier spécifique dédié, avec des connexions optimisées vers le radiateur. Le refroidissement est en effet critique du fait de la taille réduite de la puce.

La minimisation du poids et du volume des systèmes embarqués est un des objectifs principaux de l'industrie des transports. La grande densité de puissance et la fréquence de commutation élevée du GaN en font un très bon candidat pour les convertisseurs de puissance du secteur des transports. En effet, cela permet de diminuer la taille des composants passifs et donc d'alléger le véhicule. Si les différentes contraintes listées dans cette partie restent des freins à la diffusion des transistors GaN, il est probable que ces derniers soient massivement adoptés dans les années à venir [52].

# 2. Structure des transistors testés en court-circuit

J'ai testé des transistors de quatre fondeurs différents. Ce sont tous des *HEMTs* normalement bloqués, sauf les composants Transphorm qui ont une structure cascode.

## 2.1 Transistors GaN Systems

GaN Systems commercialise des *HEMT* depuis 2014, de différents calibres en tension et en courant. Le boitier de leurs transistors – qui est peu inductif et non standard – est constitué d'un *PCB* métallisé sur ses deux faces par des plaques de cuivre, recouvert d'une résine. Des trous de connexion remplis de

cuivre, réalisés dans le *PCB,* relient les métallisations externes aux métallisations internes connectées sur la puce. La Figure 13 présente le boitier ainsi que la puce.

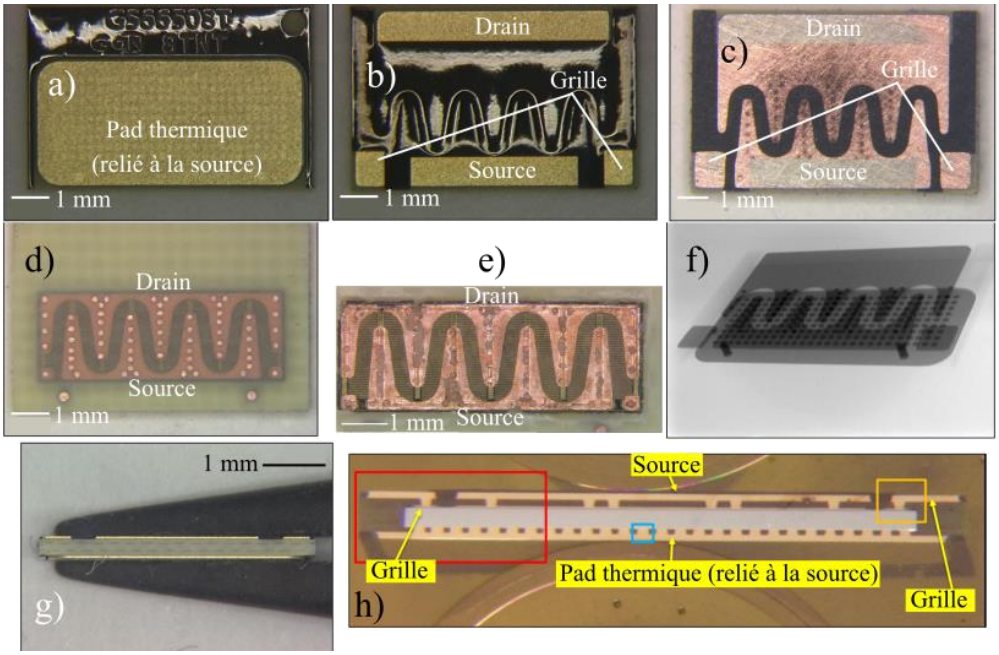



*Figure 13 : boitier et puce d'un transistor GaN Systems GS66508T. a) face supérieure du boitier ; b) face inférieure du boitier ; c) face inférieure après abrasion mécanique de la résine ; d) face inférieure après abrasion plus poussée ; e) zoom sur la puce ; f) vue du transistor aux rayons X, montrant les trous de connexion ; g) vue de la tranche du transistor ; h) vue en coupe du transistor côté source (photos de SERMA Technologies).*

La puce est constituée d'un entrelacement de doigts très fins, comme on le voit sur la Figure 14.

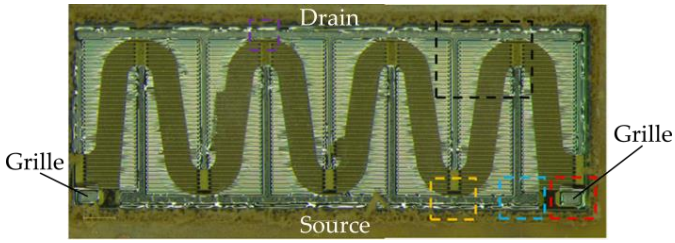



*Figure 14 : Vue de la puce d'un transistor GS66508T de GaN Systems (photo de SERMA Technologies).*

La Figure 15 montre plus précisément l'entrelacement des doigts ainsi que les contacts de grille ramenés.

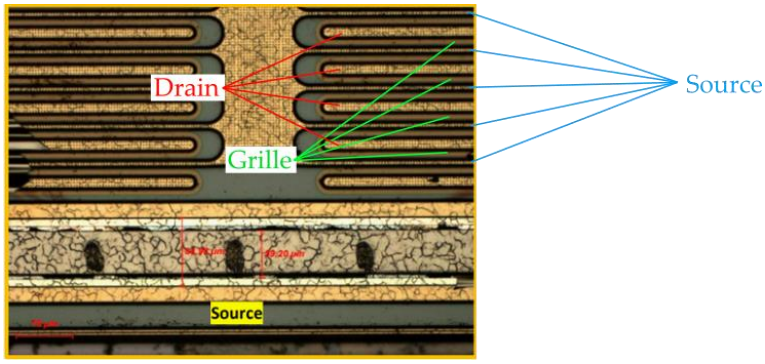



*Figure 15 : zoom sur l'entrelacement des doigts de drain et de source d'un transistor GS66508T de GaN Systems (photo de SERMA Technologies).*

Enfin, trois niveaux de métallisations assurent les interconnexions entre la puce et le boitier, comme on peut le voir sur la Figure 16.

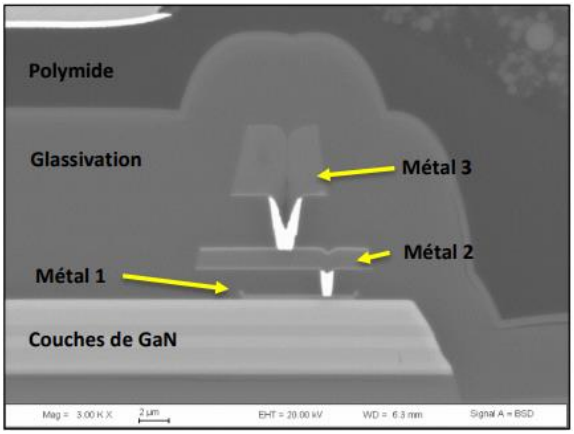



*Figure 16 : vue en coupe d'un transistor GS66508T de GaN Systems (photo de SERMA Technologies).*

La puce est constituée d'un substrat Si au-dessus duquel on trouve des couches de GaN et enfin une couche d'AlGaN. La faible épaisseur de cette dernière aide à appauvrir le gaz 2D. La grille est constituée d'une couche de GaN dopé P et d'un métal, ce qui forme un contact de type Schottky (Figure 17). Bien que la grille ne comporte pas d'isolant, la commande de ces transistors est identique à celle d'un *MOSFET*. Cependant, lorsque la température s'élève, un courant peut circuler entre la grille et la source par émission thermoionique. Ce courant peut atteindre des valeurs importantes pour de très hautes températures. La combinaison de cette grille dopée P et la faible épaisseur de la couche d'AlGaN permet d'appauvrir complètement le canal, rendant ainsi le transistor normalement bloqué en l'absence de polarisation sur la grille ($V_{GS} = 0\ V$).

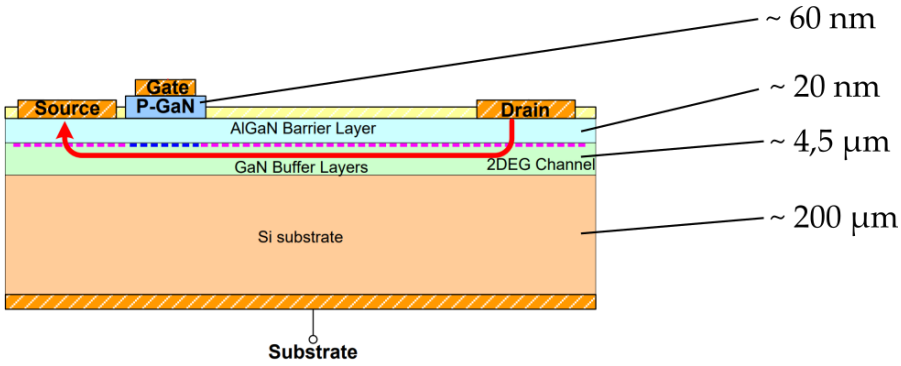



*Figure 17 : structure des transistors GS66506T/GS66508T/GS66516T de GaN Systems. Le schéma n'est pas à l'échelle (tiré de [22]).*

La robustesse des *HEMTs* p-GaN - et donc des transistors GaN Systems - serait meilleure que celle de la structure cascode selon [33] car le courant de drain des *HEMTs* p-GaN diminue très fortement et très rapidement au fil du court-circuit avec l'échauffement du composant. On parle d'auto-régulation thermoélectrique, qui sera développée dans la partie 3.2.1.

Les articles [33] et [53] désignent les transistors GaN Systems par le terme « *MISHEMT* », ce qui est incorrect car il n'y a pas d'isolant dans les transistors de ce fondeur. Cet abus de langage est probablement justifié par le fait que ces transistors ont un courant de grille quasi nul dans des conditions normales d'utilisation (en commutation).

## 2.2 Transistors Panasonic

La structure des transistors Panasonic est assez proche de celle des transistors GaN Systems puisque la grille est formée par un contact métal/semiconducteur (p-GaN). Cependant, le comportement est très différent car il s'agit ici d'un contact ohmique. Un courant de grille de l'ordre du milliampère circule en permanence à l'état passant par effet tunnel [44], et le circuit de commande de grille est différent. La circulation de ce courant permet d'améliorer la conduction du transistor [10].

Panasonic revendique le fait d'avoir créé une structure sans courant de collapse : la structure *HD-GIT* [54]. Dans cette dernière, la métallisation de drain est secondée par une électrode supplémentaire [10], constituée d'une couche de GaN dopée P (Figure 18). Cette électrode injecte des trous dans les couches d'AlGaN et de GaN, qui se recombinent avec les électrons piégés. Les transistors Panasonic sont souvent désignés par le terme *GIT* dans la littérature.

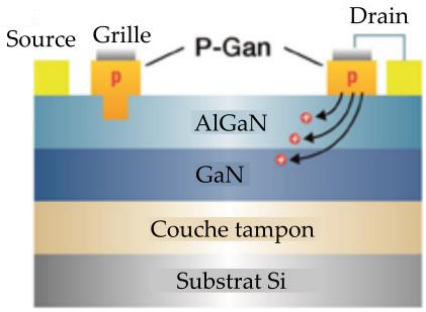



*Figure 18 : structure des transistors HD-GIT de Panasonic, avec une deuxième électrode de drain.*

La robustesse des transistors Panasonic serait meilleure que celle des structures cascode car la structure *HD-GIT* voit aussi son courant de drain diminuer fortement quand le transistor s'échauffe.

## 2.3 Transistors CEA/LETI du projet MEGaN

Le projet MEGaN (Module Electronique GaN) a débuté en 2012. Il avait pour objectif de mettre en place une filière française de fabrication de modules de puissance à base de composants électroniques GaN sur substrat Si. Ce projet avait pour objectif d'accélérer l'industrialisation de la technologie GaN sur silicium en fédérant les acquis d'autres projets (AAP Nano PowerGaN et AAP Nano ToPoFET) centrés sur le développement des substrats et des composants, pour aller jusqu'aux applications attendues par le marché.

Le CEA/LETI a fabriqué des transistors GaN qui ont une structure du type *MOS-HEMT* à gravure profonde (partie 1.2.1.2), donc très différente de celle des transistors GaN Systems et Panasonic. Sur la Figure 19, on trouve, du haut vers le bas, une couche de SiN, une couche d'AlGaN ($24\ nm$), une couche de GaN très fine ($200\ nm$), puis une couche de GaN dopé P et enfin une couche de GaN plus épaisse. En dessous, se trouve le substrat silicium. Les couches d'AlGaN et de GaN sont creusées pour recevoir la grille, qui est implantée en profondeur et coupe le gaz 2D d'électrons. La métallisation de cette dernière est isolée par un oxyde d'aluminium ($Al_2O_3$).

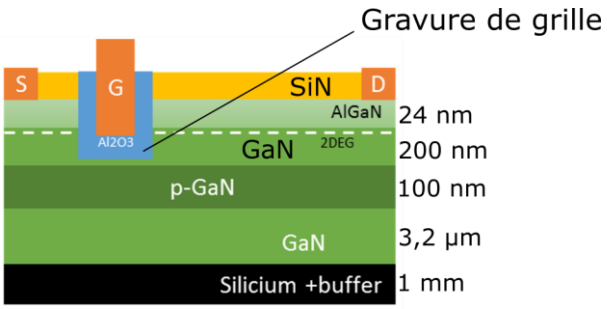



*Figure 19 : structure des transistors D15E0242 PGN3 du CEA. Le schéma n'est pas à l'échelle (schéma du CEA).*

## 2.4 Transistors Transphorm

Ces transistors ont une structure cascode. Ils ont obtenu la qualification *JEDEC* et satisfont aux standards automobiles AEC-Q101 [52]. Selon [33], cette dernière serait l'une des moins robustes en court-circuit car le courant de drain diminue très peu durant le court-circuit. Je l'ai d'ailleurs constaté expérimentalement dans le chapitre III.

Par ailleurs, des problèmes d'oscillations sont attendus en court-circuit selon [35] et [55], ce que nous constaterons expérimentalement dans le chapitre III. L'article [55] se concentre sur les oscillations auto-entretenues et explique qu'il existe deux boucles de rétroaction positives, la première étant reliée au transistor GaN, et la seconde provenant de l'interaction entre ce dernier et le *MOSFET* basse tension.

## 2.5 Comparaison des transistors testés

Le Tableau 2 recense les principales caractéristiques des transistors testés en court-circuit dans la thèse. Les trois références de transistors GaN Systems sont semblables : seul le calibre en courant diffère. La tension de seuil de la grille des composants Panasonic est plus élevée que celle des transistors GaN Systems. Les composants du CEA-LETI sont des prototypes souffrant d'une grande disparité de caractéristiques, et ces derniers ont une structure assez différente des transistors GaN Systems ou Panasonic.

*Tableau 2 : caractéristiques électriques principales des transistors testés en court-circuit.*

| **Composant** | **Structure** | **Tension de claquage drain-source (V)** | **Tension maximale grille-source (V)** | **Résistance à l'état passant (Tj=25°C) (mΩ)** | **Capacité d'entrée (pF)** | **Charge totale de la grille (nC)** | **Tension de seuil de la grille (V)** |
|---|---|---|---|---|---|---|---|
| GaN Systems GS66506T | Recessed p-GaN gate *HEMT* | 650 | -10/7 | 73 | 190 | 4,6 | 1,6 ($I_D$=6 mA) |
| GaN Systems GS66508T | Recessed p-GaN gate *HEMT* | 650 | -10/7 | 55 | 260 | 5,8 | 1,4 ($I_D$=6 mA) |
| GaN Systems GS66516T | Recessed p-GaN gate *HEMT* | 650 | -10/7 | 27 | 525 | 12 | 1,4 ($I_D$=6 mA) |
| Panasonic PGA26E07BA | Recessed p-GaN gate *HEMT* | 600 | Courant de grille max. : 50 mA | 56 | 405 | 5 | 2,8-4,2 ($I_D$=26 mA) |
| CEA-LETI 30A | *MISHEMT* | 400-600 | +/- 6 | 400-800 | 190-210 | - | 0,5-1,2 |
| Transphorm TPH3208LDG | Cascode | 650 | +/- 18 | 110 | 760 | 10 | 1,6-2,6 ($I_D$=0,3 mA) |

Enfin, les transistors du fondeur Transphorm ont une structure complètement différente (cascode). Ainsi, un large panel de composants a été testé et les comportements en court-circuit sont très variables comme nous le verrons dans le chapitre III.

## 2.6 Autres fondeurs non étudiés

La société Navitas, fondée en 2014, commercialise depuis mars 2018 des circuits intégrés comprenant un transistor GaN latéral normalement bloqué sur substrat silicium (la tension de claquage vaut $650\ V$) avec son driver, le tout dans un package PQFN standard (Figure 20). Cette intégration monolithique comprend aussi la logique et la protection, constituant ainsi une brique élémentaire de convertisseur. Ces transistors ont une résistance passante comprise entre $70\ m\Omega$ et $300\ m\Omega$.

*Figure 20 : circuit intégré commercialisé par Navitas (Tiré du site internet du fondeur : www.navitassemi.com).*

L'entreprise *EPC* (*Efficient Power Conversion*) a été un des pionniers du GaN, dans la gamme basse à moyenne tension ($< 200\ V$). Ils commercialisent des transistors GaN à enrichissement depuis 2009, et aussi des demi-ponts avec ou sans driver, dans des packages BGA. Je n'ai pas testé ces transistors car je me suis concentré sur la gamme $650\ V$.

Fondée en 2014, la société grenobloise EXAGAN fabrique des transistors GaN. Elle s'est associée à STMicroelectronics depuis 2020 afin d'accélérer le déploiement de ses produits. Ses transistors ne sont pas encore disponibles sur le marché mais des échantillons sont été produits depuis 2019.

De son côté, le fondeur Infineon commercialise depuis 2018 des transistors GaN à enrichissement dans les gammes $400\ V$ et $600\ V$.

Texas Instruments (TI) commercialise des circuits intégrés comprenant un transistor GaN latéral sur substrat silicium à enrichissement (tension de claquage de $600\ V$) avec son driver, le tout dans un package *VQFN*. La résistance passante est comprise entre $30\ m\Omega$ et $150\ m\Omega$.

Fondée en 2010, la société VisIC est basée en Israël. Elle développe des transistors GaN dans la gamme $650\ V$ et utilise une structure cascode particulière (Figure 21) comportant un transistor GaN à appauvrissement $Q_1$ et un *MOSFET* canal P $Q_2$ ; on trouve aussi l'étage de commande rapprochée basé sur deux autres transistors ($Q_3$ et $Q_4$) qui assurent la mise en conduction de $Q2$ (diode de corps de $Q3$ et mise en conduction de $Q4$ à travers la diode Zener $D2$.

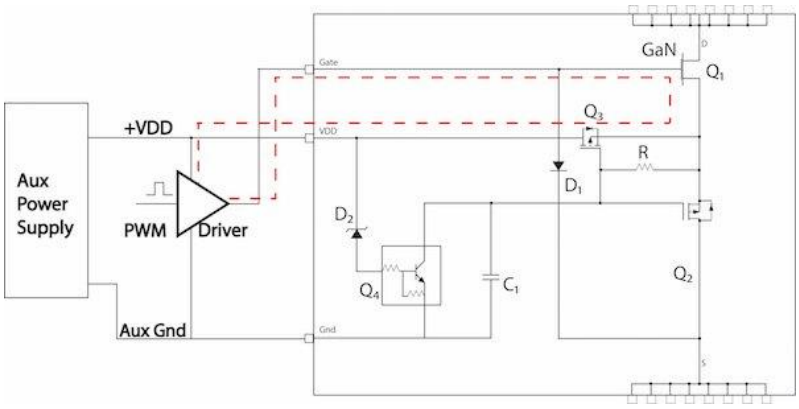



*Figure 21 : structure cascode du transistor VisIC V22N65A.*

# 3. Robustesse en court-circuit des transistors GaN

## 3.1 Généralités

### 3.1.1 Types de courts-circuits

Il existe trois types d'essais de court-circuit : le type I, le type II et le type III, notamment décrits dans [56], [57], [58] et [59]. Dans un court-circuit de type I (aussi nommé « défaut de commutation dure »), le transistor est initialement bloqué et supporte une forte tension $V_{DS}$ ; sa tension grille-source $V_{GS}$ est nulle ou négative. Suite à un défaut, le transistor s'amorce et entre en régime de court-circuit. Il s'agit du test le plus commun chez les fondeurs pour valider leurs transistors [60], bien qu'il soit moins contraignant que le court-circuit de type II [33]. Tous les essais faits dans cette thèse sont de type I, et la quasi-totalité des articles cités réalisent des essais de type I. La Figure 22 montre la structure du premier banc de court-circuit fabriqué dans le cadre de cette thèse, pour illustrer le court-circuit de type I.

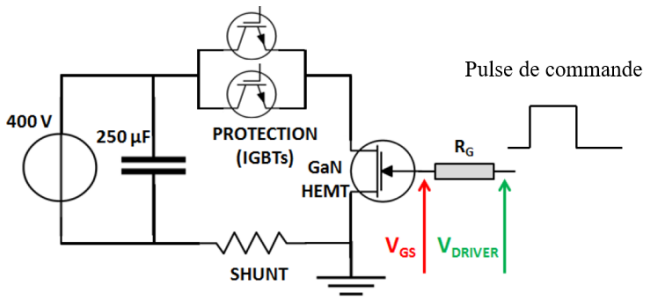



*Figure 22 : schéma de principe d'un essai de court-circuit de type I (tiré de [61]).*

Un court-circuit de type II (Figure 23) consiste en une mise en court-circuit du transistor alors que celui-ci est déjà passant et conduit un courant direct. Cela peut arriver si la charge est court-circuitée ou si l'autre transistor du bras est rendu malencontreusement passant. On nomme aussi cet évènement « défaut sous charge ». Le court-circuit de type II est plus contraignant qu'un court-circuit de type I car le défaut, en apparaissant, va venir augmenter la tension $V_{GS}$ du transistor en défaut.

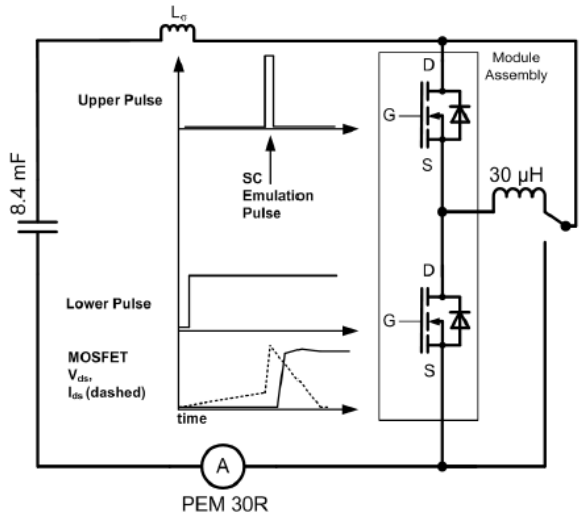



*Figure 23 : court-circuit de type II (tiré de [57]). C'est le MOSFET du bas qui subit le court-circuit.*

Enfin, on parle de court-circuit de type III (Figure 24) lorsque le transistor conduit le courant en inverse et qu'on le court-circuite. Le courant dans le transistor testé change donc de sens. Comme dans le type II, cela peut arriver si la charge est court-circuitée ou si l'autre transistor du bras est rendu malencontreusement passant.

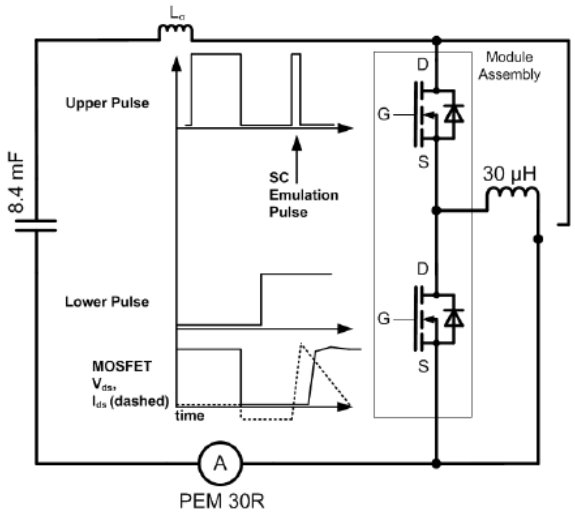



*Figure 24 : court-circuit de type III (tiré de [57]). C'est le MOSFET du bas qui subit le court-circuit.*

### 3.1.2 Critères d'évaluation de la robustesse

Le régime de court-circuit est un évènement très contraignant au cours duquel une forte puissance thermique est dissipée [20] [24] [62]. Le test de robustesse en court-circuit est un passage obligatoire pour un transistor [20] [33] [63] car il permet de mesurer sa durée avant défaillance (*Time Leading to Failure* ou *TLF*). Cette dernière est nécessaire pour concevoir et régler au mieux un éventuel circuit de protection qui pourra faire cesser le court-circuit [20] [33]. La capacité à résister à un tel évènement est donc nécessaire pour qu'un transistor puisse être utilisé dans un convertisseur [19]. Le comportement en court-circuit des transistors GaN est un champ de recherches très actif [6] [64].

Pour évaluer la robustesse en court-circuit, il faut que le transistor résiste à un essai pendant une durée minimale, sous une certaine tension. Les critères de durée et de tension varient selon les articles. Selon

[3], des transistors GaN $650\,V$ devraient être capables de résister à un essai de court-circuit sous une tension de $400\,V$, suffisamment longtemps pour que la protection intervienne. Dans [24], le critère serait de résister pendant $10\,\mu s$ sous 80% de la tension nominale. Selon [18], des transistors GaN $650\,V$ devraient être capables de résister $10\,\mu s$ sous une tension de $400\,V$. Selon [52], la durée avant défaillance doit être mesurée sous une tension égale aux deux tiers de la tension de claquage. La durée de $10\,\mu s$ est un critère lié aux composants silicium. Les transistors GaN ne respectent en général pas ces critères du fait de leur faible robustesse, même si nous verrons qu'ils peuvent parfois présenter des *TLF* supérieurs à la centaine de microsecondes.

### 3.1.3 Comparaison avec le silicium et le SiC

Si les structures verticales de transistors résistent assez bien aux courts-circuits, ce n'est pas le cas des structures latérales [4] [60]. De manière générale, les transistors GaN latéraux actuellement disponibles sur le marché présentent des durées avant défaillance bien plus courtes que les transistors silicium ou SiC lorsqu'ils sont testés sous une tension correspondant à une utilisation réelle dans un convertisseur [16] [6] [52] [63] (par exemple $400\,V$ pour un transistor ayant une tension de claquage égale à $650\,V$). En 2013, l'article [4] indiquait que de mauvaises performances en court-circuit étaient attendues. En 2021, l'article [52] mentionnait que tous les transistors GaN $600/650\,V$ du commerce confondus ne résistaient en général pas plus de $0{,}5\,\mu s$ lors d'un court-circuit sous $400\,V$ (il faudra nuancer cette affirmation car il existe des exceptions, comme nous le verrons dans le chapitre III). Cela est en partie dû à la forte densité de courant [52] des transistors GaN, ce qui implique une grande puissance thermique dissipée dans un volume réduit [52] [65] [66]. L'amélioration de la tenue en court-circuit des transistors GaN est donc indispensable pour permettre leur diffusion massive.

Au contraire, la robustesse en court-circuit des transistors SiC a été beaucoup étudiée. Il apparait qu'ils sont capables d'absorber une grande quantité d'énergie [18] ; leur robustesse est bonne, bien que potentiellement plus faible que celle des *IGBTs* et des *MOSFETs* Si [67] car la surface active des puces est plus faible dans le cas du SiC et la densité de courant supérieure. De manière générale, les transistors SiC $1200\,V$ présentent une durée avant défaillance comprise entre $8\,\mu s$ et $13\,\mu s$ pour une tension de bus de $600\,V$ ou $700\,V$ et une tension de commande $V_{GS} = 18\,V$ [67]. C'est la chaleur générée dans le transistor qui limite la tenue en court-circuit, surtout dans la région *JFET* (*Junction Field Effect Transistor*)[68]. Ces composants ont par ailleurs une bonne fiabilité. L'article [69] indique qu'ils sont capables de résister à plusieurs milliers de courts-circuits avec une fréquence de $10\,Hz$ (dans un banc de test comportant un circuit $RLC$ résonant permettant de générer des courants pulsés) ; sous $2\,Hz$, le nombre de courts-circuits dépasse $750\,000$. La défaillance intervient au niveau de l'oxyde de grille. Dans l'article [70], les auteurs font subir plus de $100\,000$ courts-circuits à des transistors SiC $1200\,V$ normalement passant (la tension de bus vaut $540\,V$ et la durée de chaque court-circuit est de $200\,\mu s$, ce qui est très contraignant pour le composant). Le courant de saturation diminue au fil des essais, et la résistance à l'état passant augmente [70].

## 3.2 Comportement des transistors GaN en court-circuit

### 3.2.1 Auto-réduction du courant de drain

Pour les HEMTs de type p-GaN (comme les transistors des fondeurs GaN Systems et Panasonic), le courant de drain se réduit rapidement et fortement au fil du court-circuit [20] [6] [33] [53] [60] [71] [72] [73]. Cette réduction est d'autant plus marquée que la tension de bus est grande [53] [74]. L'article [75] décrit en détails ce phénomène pour des HEMTs p-GaN HD-GIT du fondeur Panasonic. On ne retrouve pas une réduction si forte chez les *IGBTs* ou les *MOSFETs* silicium ou SiC, ceci constitue donc une

particularité des *HEMTs* p-GaN [20] [60]. Cet effet existe aussi chez les transistors GaN de structure cascode mais il est bien moins marqué [33]. Cette diminution du courant de drain est bénéfique pour la robustesse de ces composants, et a plusieurs causes.

Tout d'abord, comme le transistor s'échauffe fortement, la mobilité des porteurs de charge diminue, ce qui réduit le courant de drain. Ceci est vrai pour les *HEMTs* p-GaN, mais aussi pour les cascode.

Un deuxième phénomène se produit en parallèle, uniquement dans les structures p-GaN (pas chez les transistors cascode). L'augmentation de température dans la puce provoque l'accroissement du courant de grille, par un effet thermique au niveau du contact métal/p-GaN. Ceci augmente la chute de tension aux bornes de la résistance de grille, ce qui diminue la tension grille-source $V_{GS}$ et donc le courant de drain par la même occasion. En court-circuit, ce courant atteint la dizaine de milliampères, soit une valeur cent fois supérieure à celle relevée en usage normal [60]. Cet effet est bien plus marqué sur les composants dont la grille repose sur un contact schottky (comme chez le fondeur GaN Systems) que chez ceux dont la grille est un contact ohmique (comme sur le *HD-GIT* de Panasonic). En effet, pour ces derniers, il existe déjà un courant de grille permanent, même en utilisation normale. Ce courant augmente lors d'un court-circuit, mais de manière bien plus modérée que chez un transistor dont la grille repose sur un contact Schottky. Par ailleurs, plusieurs études ([33] [53] [76]) ont montré que la tension de seuil du transistor diminue quand la grille chauffe. Cela fait augmenter le courant de grille des structures dont la grille repose sur un contact ohmique [75].

Enfin, Sun et al. [20] ajoutent une autre cause à ce phénomène de réduction du courant de drain : le fait que la grille soit soumise à une certaine tension a tendance à faire augmenter la tension de seuil, et donc à réduire $I_D$. Pour le prouver, ils réalisent des essais de court-circuit dans un banc muni d'un *IGBT* en série avec le *DUT* (*Device Under Test*), commandent d'abord ce dernier (avec $V_{GS} = 6\ V$) pendant une certaine durée, puis mettent ensuite en conduction *l'IGBT* (Figure 25a). Cela permet d'appliquer une tension sur la grille du *DUT* sans pour autant démarrer le court-circuit tout de suite. Ils font varier la durée de commande du *DUT* et constatent que plus cette dernière augmente, plus le pic de courant de drain est faible (Figure 25b).

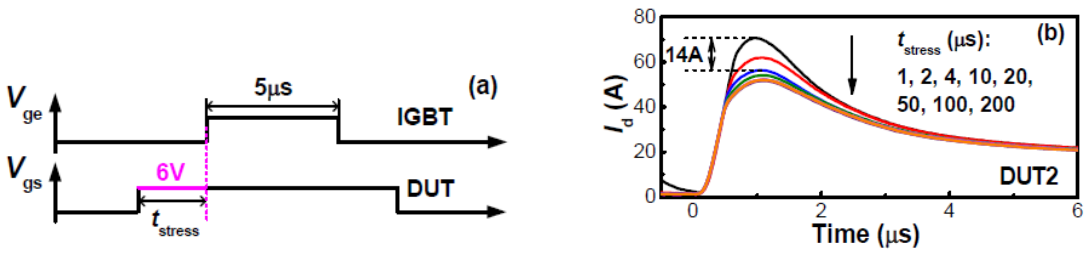



*Figure 25 : a) commande de l'IGBT et du DUT (tiré de [20]) ; b) courant de drain pour différentes durée $t_{stress}$.*

La Figure 26 montre la réduction du courant de drain, l'augmentation du courant de grille et la diminution de la tension $V_{GS}$ pour différentes tensions de bus.

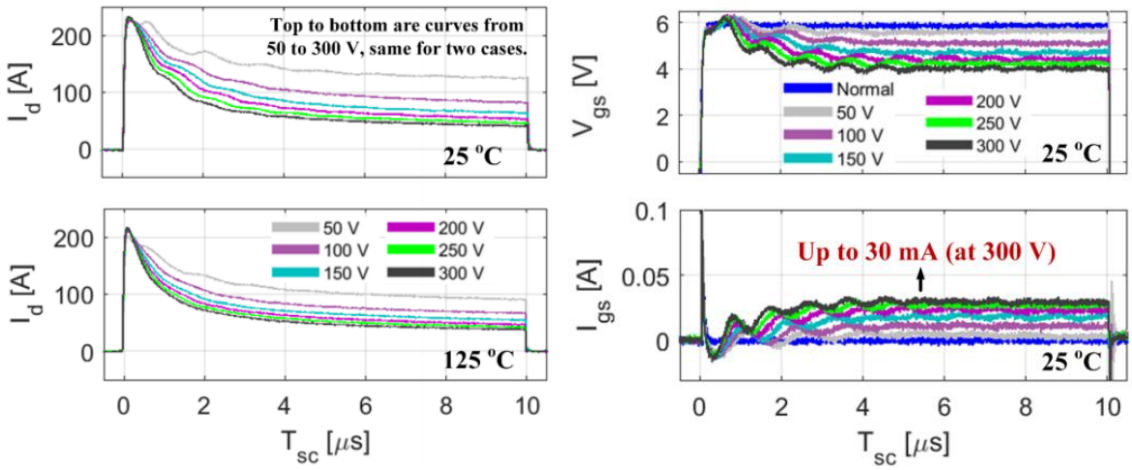



*Figure 26 : essais de court-circuit sur un transistor GaN Systems GS66516T avec $V_{GS} = 6\,V$ pour différentes tensions de bus (tiré de [60]). A gauche : courant de drain pour deux températures différentes ; à droite : tension grille-source (en haut) et courant de grille (en bas).*

Si la diminution de la mobilité des porteurs de charge a plus d'impact sur la diminution du courant de drain que la diminution de la tension $V_{GS}$ [33] liée à l'augmentation du courant de grille**,** ces deux effets agissent de concert, ce qui explique la très grande robustesse de certains transistors testés dans la littérature [53] [71] ou dans les bancs de court-circuit de cette thèse. Le courant de drain se réduit tellement après quelques microsecondes que la puissance dissipée devient très faible.

Des essais de court-circuit réalisés en imposant une haute température de jonction, dans [72] et [74], viennent conforter l'idée que la diminution du courant de drain a un impact positif et important sur la robustesse. En effet, si l'on augmente la température, les transistors testés présentent des durées avant défaillances plus grandes.

Cependant, tous les transistors HEMTs ne se comportent pas de cette façon. Dans l'article [24], les auteurs testent des composants moyenne tension ($200\,V$) du fondeur EPC, et il apparait que le courant de drain ne se réduit que pour de faibles valeurs de tension de bus, et de manière bien moins prononcée que pour des HEMTs p-GaN $650\,V$ comme les composants GaN Systems ou Panasonic. L'article indique que la réduction du courant de drain est causée par un phénomène de piégeage de charges. Pour de plus fortes valeurs de tension de bus, le courant de drain a tendance à augmenter jusqu'à la défaillance. Par ailleurs, le courant de grille augmente bien au fil du court-circuit. Ceci est causé par un effet tunnel vertical [24], d'autant plus marqué que la température est élevée.

### 3.2.2 Modes de défaillance en court-circuit

La robustesse en court-circuit diminue clairement quand la tension drain-source appliquée augmente [18] [60] [63] [72] [77]. La puissance dissipée dépend en effet de la valeur de cette tension. Les transistors GaN sont en revanche capables de résister à des courts-circuits longs ($10\,\mu s$ ou plus) sous de faibles tensions ($300\,V$ ou moins par exemple pour un transistor $650\,V$). Si l'on augmente graduellement la tension, essai après essai, on constate que la robustesse s'écroule brutalement, en général pour une tension supérieure à $300\,V$ ; la défaillance intervient alors en quelques centaines de nanosecondes [74]. Malgré tout, la durée avant défaillance reste imprévisible, comme nous le verrons dans le chapitre III : des essais de court-circuit réalisés dans les mêmes conditions expérimentales avec la même référence de composant peuvent conduire à des *TLF* très différents. Par ailleurs, certains transistors sont très robustes sous une forte tension ($400\,V$), et d'autres sont très fragiles sous une faible tension ($270\,V$).

Si les transistors SiC montrent un courant de fuite de grille important quelques microsecondes après le début du court-circuit [67], ce n'est pas le cas pour le GaN [53]. Les articles [33] et [53] ne mentionnent aucun signe avant-coureur de destruction pour les transistors de type p-GaN ou pour les *MISHEMTs*, ce qui complique la prédiction de la défaillance.

L'origine de la défaillance d'un transistor GaN en court-circuit fait débat dans les articles [78]. Les mécanismes dépendent entre autres de la durée avant défaillance, et on peut considérer d'un côté les défaillances prématurées qui sont très rapide (avec un *TLF* inférieur à quelques microsecondes, voire souvent quelques centaines de nanosecondes) et d'un autre côté les défaillances longues (avec un *TLF* supérieur à quelques dizaines de microsecondes).

#### 3.2.2.1 Défaillances prématurées

Une défaillance prématurée intervient en général moins d'une microseconde après le début de l'essai de court-circuit, lorsque la tension drain-source est élevée et avec un fort courant de drain [73] [79].Certains auteurs annoncent que la défaillance a une origine thermique, tandis que d'autres invoquent des raisons tout à fait différentes.

Fernandez et al. relèvent dans l'article [75] une défaillance après seulement quelques centaines de nanosecondes de court-circuit, sur un *HEMT* p-GaN du fondeur Panasonic, et donnent une explication purement thermique : le composant s'échauffe selon eux globalement, et sa température dépasse la température critique, ce qui entraine la défaillance.

Pour d'autres auteurs, la défaillance n'a pas de lien avec la température [74]. Elle serait causée par un champ électrique intense dans la puce [72], causé par l'accumulation de charges dans la structure du transistor [18] [74]. Lors d'un essai de court-circuit, des électrons très énergétiques peuvent être générés. Ces derniers vont parfois se piéger dans l'AlGaN, ce qui modifie la distribution du champ électrique depuis les bords de la grille vers le drain [53] [80]. Le champ augmente alors, allant parfois jusqu'à la défaillance. Pour éviter les défaillances prématurées, il faudrait donc augmenter la tenue au champ électrique des composants [53].

Cependant, cette explication électrique de la défaillance prématurée fait débat. En 2017, Abbate et al. [73] évoquaient une possibilité d'interaction champ-charge pour expliquer les défaillances prématurées : à cause du fort champ électrique, les porteurs de charges atteindraient leur vitesse de saturation et créeraient une zone de charge d'espace, qui augmenterait la valeur du champ électrique. Ce dernier dépasserait alors le champ de claquage, ce qui entrainerait la défaillance (ce mécanisme ressemble à celui de l'avalanche chez les diodes et les *IGBTs*). Cependant, en 2018, les mêmes chercheurs continuent leurs investigations sur la défaillance des mêmes transistors et excluent finalement l'hypothèse de l'interaction champ-charge [78], au travers de simulations par éléments finis 2D. Ils privilégient alors une explication thermique : celle du point chaud. Une forte dissipation de puissance aurait lieu dans une très petite zone de la puce, située sur le bord du métal de grille. Ceci provoquerait une forte élévation de température, et les limites du GaN et de l'AlGaN (800 $K$ selon les auteurs) seraient alors dépassées. En 2019, la même équipe de recherche développe dans l'article [81] un modèle électrothermique *TCAD*, et les résultats de simulation montrent deux points chauds situés sous la grille, ce qui confirme l'hypothèse du point chaud.

Par ailleurs, les mêmes auteurs avaient étudié en 2013 des transistors moyenne tension du fondeur *EPC* [24] ; ils annonçaient que l'énergie dissipée lors du court-circuit était bien trop faible pour échauffer globalement la puce. Leur hypothèse était donc celle de points chauds se formant dans la puce. Par ailleurs, les articles [33] et [53] indiquent qu'un pic de champ électrique peut aussi se former sous la

grille lors d'un court-circuit, ce qui crée un point chaud qui va faire chauffer encore davantage cette dernière. Il serait donc possible d'améliorer la tenue en court-circuit en homogénéisant la répartition du courant dans la puce.

Cette étude bibliographique sur l'origine physique des différents modes de défaillances observés ne permet pas de conclure définitivement sur les raisons qui amènent à la défaillance prématurée des transistors GaN, qui semble toujours faire débat.

#### 3.2.2.2 Défaillances longues

Une autre explication de la défaillance en court-circuit est l'auto-échauffement de la puce généré par la forte dissipation de puissance lors de l'essai [18] [52], et cela est souvent associé à de longs *TLF*. Si la température augmente exagérément, le GaN devient intrinsèque (autour de $1667\ K$ [53]), ce qui diminue la mobilité du gaz 2D d'électrons, qui devient plus résistif [53], ce qui entraine la défaillance [33]. L'article [72] indique une défaillance thermique de la grille pour des *HEMTs* p-GaN du fondeur Panasonic, mais uniquement lorsque la température de jonction est imposée et fixée à $150\ °C$ par un dispositif de chauffage externe. L'article [77] montre une défaillance d'origine thermique causée par un fort courant de grille pour un prototype de *HEMT* à grille Schottky (soit une structure relativement proche de celle du fondeur GaN Systems).

Il n'est pas nécessaire que la température de jonction atteigne une valeur aussi élevée que la température intrinsèque du GaN pour que la défaillance intervienne : dans l'article [73], Abbate et al. calculent la température atteinte après plusieurs centaines de microsecondes de court-circuit sur des *HEMTs* GaN Systems, et obtiennent $520\ °C$. Il faut toutefois noter que la méthode de calcul est basée sur l'impédance thermique transitoire de la datasheet. Cette température pourrait être la limite thermique de certaines métallisations des puces, ce qui est d'ailleurs confirmé en 2018 par les mêmes auteurs qui analysent physiquement des puces après leur défaillance [78]. Ils constatent de larges zones de fusion proches des contacts externes de drain, ce qui pourrait indiquer une non-homogénéité de courant au sein de la puce.

Les défaillances avec un long *TLF* ne sont pas toujours expliquées par le biais de la thermique. dans l'article [74], Oeder et al. comparent deux essais de court-circuit réalisés sous une tension de bus de $300\ V$ sur des *HEMTs* p-GaN du fondeur Panasonic. L'un des essais est réalisé avec une tension de commande de $12\ V$, et l'autre avec une tension de commande de $5\ V$. Les auteurs relèvent un courant pic de drain de $75\ A$ sous $12\ V$, et le transistor casse après $40\ \mu s$. Avec une tension de commande de $5\ V$, le courant pic de drain descend à $56\ A$, et le transistor subit le court-circuit pendant plus de $400\ \mu s$ sans casser. L'énergie dissipée est bien plus grande avec la tension de commande de $5\ V$, du fait de la grande durée de court-circuit. Les auteurs concluent que la défaillance observée sous $12\ V$ ne peut pas avoir une origine thermique ; ils privilégient l'explication électrique : le champ électrique dépasse le champ de claquage dans la puce, du fait du fort pic de courant de drain et de grille. Il faut toutefois noter que l'hypothèse du point chaud permettrait aussi d'expliquer cette défaillance ; il est difficile de trancher.

Enfin, en 2021, Sun et al. testent des *HEMTs* p-GaN du fondeur GaN Systems [20], qui résistent plusieurs centaines de microsecondes lors d'un court-circuit effectué avec une tension de bus de $400\ V$. Les auteurs indiquent que la défaillance est causée par la diffusion de chaleur dans une large zone au sein de la puce, ce qui peut causer une fracture du matériau.

En conclusion, dans la majorité des articles, les défaillances longues en court-circuit sont expliquées par un échauffement excessif de la puce.

## 3.3 Revue chronologique des essais de court-circuit

Les essais de court-circuit réalisés dans cette thèse se sont déroulés entre 2016 et 2019. Au début de la thèse, en 2015, on ne trouvait que très peu d'articles traitant de la robustesse en court-circuit des transistors GaN ; en revanche, un grand nombre de publications sont sorties en 2017 ainsi que dans les années qui ont suivi. Les résultats expérimentaux de cette thèse sont cohérents avec ceux des publications que je présente dans cette partie. Le grand nombre de transistors que j'ai testés confirme bien le comportement en court-circuit observé dans la littérature. Des résultats récents (de 2020 et 2021) ouvrent des pistes qu'il serait intéressant d'explorer.

En 2013, très peu d'articles mentionnaient des essais de court-circuit réalisés sur des transistors GaN [24]. Les auteurs de cet article ont fait subir des courts-circuits de type I de $10\ \mu s$ à des transistors du fondeur EPC (HEMT moyenne tension, normalement bloqués, à grille p-GaN) de calibre $200\ V$. Les expériences montrent une faible robustesse, notamment une défaillance après $2{,}0\ \mu s$ sous une faible tension de bus ($100\ V$). Pour des tensions de bus de $25\ V$ ou $50\ V$, le courant de drain diminue au fil du court-circuit, et tout se passe comme si le transistor limitait lui-même son courant de court-circuit ; en revanche, si la tension drain-source augmente, ce courant augmente peu et à peu après quelques microsecondes, allant parfois jusqu'à la défaillance. Le courant de grille augmente aussi en parallèle. Les auteurs constatent que la tension de seuil des transistors testés varie avec la température : en dessous de $150\ °C$ environ, le coefficient de température est positif, mais au-delà il devient négatif.

En 2014, l'article [18] indique que les études en court-circuit sur le GaN restent encore rares. Les auteurs testent des HEMTs normalement passants avec un substrat SiC, donc très différent des composants testés dans cette thèse. La robustesse dépend fortement de la tension drain-source imposée aux transistors : le TLF dépasse $20\ \mu s$ sous $250\ V$, mais il est inférieur à $1\ \mu s$ sous $400\ V$. L'article montre que la défaillance n'est pas liée à la température car cette dernière ne dépasse pas $150\ °C$. En revanche, il est possible qu'une accumulation de trous, causée par une ionisation durant le court-circuit, entraine la défaillance du composant. La tension $V_{GS}$ ne diminue pas au fil de l'essai, contrairement aux transistors de type p-GaN.

En 2014 toujours, les auteurs de l'article [19] font subir des tests de court-circuit d'une durée de $10\ \mu s$ à des transistors cascode $600\ V$ $20\ A$ du fondeur Transphorm. Ils augmentent la tension de bus par pas de $10\ V$ et constatent la défaillance entre $220\ V$ et $280\ V$ selon les transistors testés.

En 2015, lors de la conférence PCIM, les auteurs de [59] comparent la tenue en court-circuit du SiC, du GaN et du silicium. Pour le GaN, des défaillances extrêmement rapides et inexpliquées sont reportées pour des transistors cascode, sans plus de détails.

En 2016, les auteurs de l'article [63] testent deux types de transistors GaN $600\ V$ en court-circuit : des HEMTs normalement bloqués développés dans un laboratoire (FBH, Berlin) et des composants cascode du fondeur Transphorm. Le composant de FBH casse après $4{,}5\ \mu s$ sous une faible tension de $150\ V$ et avec une résistance de grille de faible valeur ($R_G = 6{,}3\ \Omega$). Sous $100\ V$ en revanche, le transistor résiste à un court-circuit de $10\ \mu s$. Les composants cascode ne montrent pas non plus une robustesse suffisante : sous $300\ V$, une défaillance est constatée en seulement $1{,}8\ \mu s$, et il faut descendre la tension de bus à $100\ V$ pour que la durée avant défaillance soit supérieure à $10\ \mu s$.

Toujours en 2016, les auteurs de l'article [29] fabriquent un prototype de transistor GaN $600\ V$ de structure cascode, pouvant résister plus de $5\ \mu s$ à un court-circuit sous $400\ V$. La structure de ce composant a été pensée dans le but de réduire la génération de chaleur et d'avoir une mise en conduction

uniforme sur toute la puce, ce qui augmente la tenue en régime de court-circuit. Cependant, ce transistor n'a pas une figure de mérite assez bonne pour être utilisé dans l'industrie car sa résistance spécifique est supérieure à 9 $m\Omega.cm^2$ [52]. Il pourrait y avoir un compromis à réaliser entre la robustesse en court-circuit et la résistance spécifique.

Les premiers travaux de cette thèse [82], publiés en 2016, se concentrent exclusivement sur les HEMTs p-GaN du fondeur GaN Systems. J'ai testé trois références de ce fondeur sous 270 $V$ ou 400 $V$ dans un banc dédié et montré que la robustesse était très dispersée ; la plupart des transistors testés sous 270 $V$ présentent des TLF supérieurs à 800 µ$s$ ; au contraire, sous 400 $V$, les trois quarts des composants ont des TLF très inférieurs à 10 µ$s$.

L'année 2017 est riche de publications. Cette année-là, Fernandez et al. [33] testent trois types de transistors GaN du commerce : des composants cascode (très probablement du fondeur Transphorm), des HEMTs p-GaN (probablement du fondeur Panasonic) et des « MISHEMTs » selon les auteurs. Il semble – sans certitude – que ces derniers soient en fait des composants GaN Systems, qui ne contiennent donc pas d'isolant ; la dénomination MISHEMT serait alors inadaptée puisque ce sont des HEMTs p-GaN. Aucun des transistors testés n'a réussi à survivre à un essai de 10 µ$s$ sous 400 $V$ : les cascodes ne passent pas le test à partir d'une tension de 150 $V$, ce qui fait d'eux les plus fragiles ; les composants GaN Systems passent le test jusqu'à une tension de 300 $V$ ; enfin, les composants Panasonic passent le test jusqu'à une tension de 350 $V$. Dans un autre article [75], les mêmes auteurs testent la robustesse en court-circuit de quatre HEMTs p-GaN du fondeur Panasonic. La durée de court-circuit est fixée à 10 µ$s$ et la tension est augmentée de 50 $V$ à 400 $V$. Comme dans l'article précédent ([33]), tous les composants passent le test jusqu'à 350 $V$, mais ils cassent sous 400 $V$ après seulement quelques centaines de nanosecondes.

La même année, l'article [53] présente des essais de court-circuit destructifs réalisés sous 400 $V$ sur deux composants *HEMTs* p-GaN différents : des transistors GaN Systems et des transistors Panasonic. Les essais sont menés jusqu'à ce que la défaillance apparaisse, et le *TLF* est relevé. La robustesse est très dispersée : soit les transistors cassent immédiatement (après 1 µ$s$ ou 2,4 µ$s$), soit ils sont extrêmement robustes (ils résistent plus de 60 µ$s$). Certains composants ont un *TLF* atteignant 350 µ$s$.

Toujours en 2017, Oeder et al. étudient les transistors p-GaN du fondeur Panasonic dans l'article [74]. Ils montrent que la robustesse dépend de la valeur du courant de grille continu qui existe en permanence lorsque ces composants sont à l'état passant. Les composants testés avec une résistance de grille de 4,7 $k\Omega$ résistent à un court-circuit de 10 µ$s$ sous 390 $V$, tandis que ceux testés avec une résistance de grille de 470 Ω ne résistent à un court-circuit de cette durée que jusqu'à 340 $V$. Par ailleurs, les auteurs montrent aussi que la robustesse dépend fortement de la valeur du pic de courant de drain au début de l'essai. Pour évaluer cela, ils font des essais avec deux tensions de commande différentes (5 $V$ et 12 $V$), ce qui va donner deux pics de courant très différents (55 $A$ contre 75 $A$ environ respectivement). Le transistor testé avec une tension de commande de 5 $V$ résiste plus de 300 µ$s$ (aucune défaillance n'est enregistrée) tandis que celui testé sous 12 $V$ casse après 30 µ$s$. Enfin, des essais sont menés avec une température ambiante élevée (475 $K$) et montrent une grande robustesse : les composants résistent jusqu'à une tension de bus de 480 $V$, et la durée avant défaillance vaut alors 225 µ$s$ environ. Comme le pic de courant de drain diminue avec la température, cela prouve que la robustesse dépend de ce pic de courant.

Peu après, Pappis et al. [79] testent des *HEMT*S p-GaN du fondeur GaN Systems et deux références cascode du fondeur Transphorm. Tous les composants sont détruits au-delà d'une tension de bus de 300 $V$ et le comportement des transistors est décrit comme instable. Les auteurs font varier la tension

grille-source lors des essais, mais même de faibles valeurs de $V_{GS}$ conduisent à des défaillances rapides (de quelques centaines de nanosecondes à quelques microsecondes). Pappis et al. constatent de la dispersion dans le comportement des transistors pour des tensions supérieures à $200\ V$ : des composants de la même référence subissant des conditions d'essai identiques réagissent différemment (sous $200\ V$, un composant Transphorm TPH3202PD résiste pendant $3\ \mu s$ tandis que l'autre casse au bout de seulement $0{,}6\ \mu s$). J'ai aussi constaté une très forte dispersion lors des essais de court-circuit réalisés dans les bancs de cette thèse, comme nous le verrons dans le chapitre III.

Toujours en 2017, Pribahsnik et al. [83] testent des *HEMT* p-GaN (aucune indication n'est fournie sur le fondeur) en court-circuit. Les auteurs indiquent que le temps avant défaillance n'est ni corrélé au pic de courant de drain, ni à l'énergie dissipée, ce qui est en accord avec le premier article de cette thèse [82].

La même année, Abbate et al. [73] réalisent des essais de court-circuit sur des *HEMTs* p-GaN du fondeur GaN Systems. Sous une tension de bus comprise entre $200\ V$ et $300\ V$ et une tension grille-source comprise entre $4{,}5\ V$ et $6\ V$, les transistors sont très robustes car la défaillance – d'origine thermique ici – intervient après $300\ \mu s$ à $500\ \mu s$. Cependant, le comportement change radicalement si l'on augmente la tension de bus. Le *TLF* chute alors en-dessous de la microseconde (avec $V_{GS} = 5\ V$ et sous une tension de bus de $360\ V$, cette durée vaut $661\ ns$). L'origine de cette défaillance prématurée fait débat mais ceci est expliqué dans la partie 3.2.2. Dans un autre article de 2018 [78], les mêmes auteurs continuent leurs investigations sur ces transistors GaN Systems en imposant différentes tensions grille-source ($4{,}5\ V, 5V\ et\ 6V$). Pour une tension grille-source donnée, ils réalisent plusieurs courts-circuits courts ($5\ \mu s$) sur un transistor en augmentant peu à peu la tension de bus et relèvent la tension ayant entrainé la défaillance. Par exemple, pour une tension grille-source de $5\ V$, cette tension est comprise entre $340\ V$ et $380\ V$ (7 transistors ont été testés avec cette tension grille-source). Une assez forte dispersion est relevée sur le *TLF* car pour $V_{GS} = 5\ V$ toujours, il est compris entre $262\ ns$ et $903\ ns$. La Figure 27 présente la durée avant défaillance en fonction de la tension $V_{GS}$ appliquée. La légende renseigne la valeur moyenne de la tension du bus ayant entrainé la défaillance pour une tension grille-source donnée. On constate que cette tension a un fort impact sur la robustesse car la tension de bus entrainant la défaillance vaut $320\ V$ pour $V_{GS} = 6\ V$, et $470\ V$ pour $V_{GS} = 4{,}5\ V$.

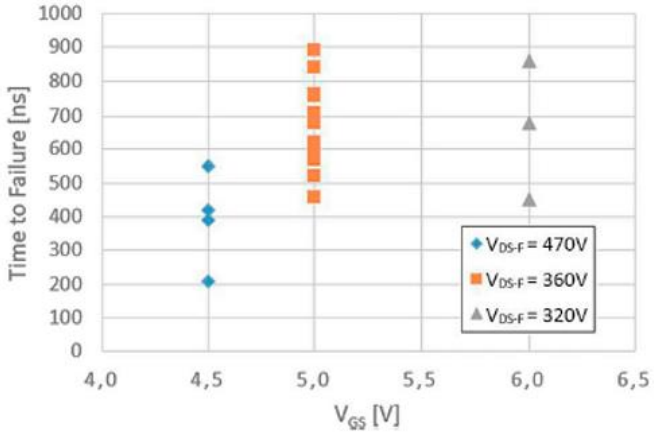



*Figure 27 : durée avant défaillance en fonction de la tension grille-source lors d'essais de court-circuit réalisés sous différentes tension de bus (tiré de [81]).*

En 2017 toujours, Abbate et al. [73] constatent des oscillations haute fréquence sur le courant de drain et la tension drain-source lors d'essais de court-circuit sous $200\ V$ sur des HEMTs p-GaN du fondeur GaN Systems. Les auteurs expliquent que cela est causé par le comportement capacitif de l'étage de

sortie du driver qui, dans leur banc de test, contient deux diodes zener tête-bêche qui protègent le driver et qui sont capacitives. L'ajout d'une perle de ferrite sur la patte d'une diode zener a permis de supprimer ces oscillations. Ces dernières devraient disparaitre dans des applications réelles, car la sortie du driver est généralement inductive.

Pour en finir avec l'année 2017, Unger et al. [77] testent deux prototypes de *HEMTs* $600\ V$ normalement passants, l'un à grille Schottky et l'autre à grille isolée. Ces composants ont une mesure de température intégrée à leur structure. L'idée des auteurs est de réguler la tension grille-source du transistor testé afin d'injecter un créneau de puissance constante dans ce dernier. Ceci prend tout son sens lorsque l'on souhaite comparer des transistors de structure différente, car sans ce dispositif de régulation la puissance injectée fluctue en même temps que le courant de drain, dont la forme d'onde est spécifique à chaque structure.

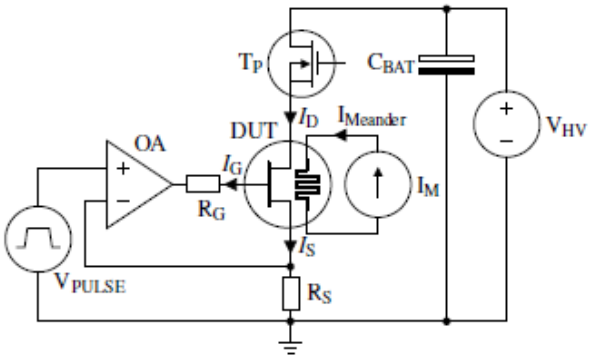



*Figure 28 : schéma de principe du banc de court-circuit de [77] permettant d'injecter une puissance constante dans le DUT.*

En 2018, l'article [71] présente la tenue en court-circuit de HEMTs p-GaN du fondeur GaN Systems. Les essais montrent une assez bonne robustesse, même si cette dernière dépend de la résistance de grille : les transistors résistent bien sous forte tension à condition que la résistance de grille ait une valeur élevée. Ainsi, les composants survivent à un court-circuit de $10\ \mu s$ sous une tension de $450\ V$ avec une résistance de grille de forte valeur (qui vaut $100\ \Omega$, $300\ \Omega$ ou $460\ \Omega$ selon le test). En revanche, les auteurs mentionnent des défaillances pour une résistance de grille de $46\ \Omega$ si la tension appliquée dépasse $260\ V$. Cela remet en question l'affirmation des auteurs de [52], qui pensent que le choix de la résistance de grille n'est pas critique (selon eux, la mise en conduction ne représente qu'une courte partie de l'évènement de court-circuit).

En 2019, l'article [60] teste une vingtaine de HEMTs p-GaN du fondeur GaN Systems (GS66516T). Les essais sont menés avec une durée fixe de $10\ \mu s$, la tension de bus varie entre $50\ V$ et $400\ V$ et la tension $V_{GS}$ peut prendre les valeurs $4\ V$, $5\ V$ ou $6\ V$. Pour une tension $V_{GS} = 6\ V$ et une tension de bus inférieure à $300\ V$, tous les transistors testés passent le test de $10\ \mu s$, ce qui n'a pas été toujours le cas dans les essais de cette thèse pourtant réalisés sous une tension grille-source plus faible ($V_{GS} = 5\ V$). Pour une tension de bus de $350\ V$ (et $V_{GS} = 6\ V$ encore) en revanche, les composants cassent en $700\ ns$ environ, et sous $400\ V$ la défaillance est encore plus rapide. Avec une tension $V_{GS}$ de $4\ V$ ou $5\ V$, la robustesse augmente considérablement car tous les composants testés passent le test de $10\ \mu s$, ce qui est assez inattendu selon les auteurs.

Toujours en 2019, Williford [72] teste en court-circuit des transistors p-GaN du fondeur Panasonic, et montre que la robustesse de ces derniers est bien meilleure à haute température qu'à température ambiante. En effet, si les essais menés à température ambiante se soldent par une défaillance en moins

de $350\,ns$ ($315\,ns$ sous $380\,V$ et seulement $160\,ns$ sous $500\,V$), ceux menés en imposant une température de jonction de $150\,°C$ montrent une durée avant défaillance supérieure à $35\,\mu s$ sous $400\,V$. La haute température de jonction entraine une réduction de la mobilité des porteurs de charge, ce qui réduit le courant maximal de drain et ralentit la mise en conduction du transistor. La température de jonction augmente alors moins rapidement. Par ailleurs, le fait que le courant de drain soit plus faible diminue aussi la valeur du champ électrique, ce qui augmente la robustesse.

En 2020, l'article [35] teste deux transistors cascode du fondeur Transphorm en court-circuit. Les auteurs constatent des oscillations d'autant plus marquées que la tension de bus est grande. La défaillance intervient à partir de $200 - 250\,V$. Utiliser une résistance de grille de plus forte valeur n'empêche pas les oscillations. Deux modes de défaillance sont identifiés : soit c'est le transistor GaN (D*HEMT*) qui est détruit par les oscillations sur $V_{DS}$ qui dépassent la tension de claquage, soit c'est la tension $V_{GS}$ qui s'amplifie anormalement et finit par entrainer la destruction du *MOSFET* basse tension.

Toujours en 2020, les auteurs de l'article [84] rapportent d'importantes oscillations lors de courts-circuits effectués sur des *HEMTs* p-GaN du fondeur Panasonic, sous une tension de bus comprise entre $80\,V$ et $240\,V$. L'inductance de source du boitier joue un rôle crucial, car ces oscillations n'apparaissent que lorsque la source kelvin n'est pas utilisée. Ces oscillations augmentent avec la tension de bus. Il faut noter que les auteurs ont choisi des résistances de grille de très faible valeur ($1\,\Omega$ ou $8\,\Omega$), ce qui n'est pas recommandé par le fondeur et pourrait entrainer un très fort courant de grille.

Encore en 2020, l'article [64] étudie la fiabilité de transistors p-GaN (très probablement du fondeur Panasonic) et indique qu'au-delà de $300\,V$, la casse intervient avant une durée de $2\,\mu s$.

Encore en 2020, dans l'article [85], les auteurs montrent qu'il est possible d'augmenter la robustesse en court-circuit de transistors cascode (du fondeur Transphorm) en leur associant un ou plusieurs *MOSFET(s)* silicium basse tension en série (Figure 29). Sous une tension grille-source de $8\,V$ et une tension de bus de $400\,V$, la durée avant défaillance passe de $0{,}33\,\mu s$ (avec un composant cascode seul) à plus de $3\,\mu s$ (avec la structure composite associant le cascode à un ou plusieurs *MOSFET* silicium en parallèle). L'inconvénient est que la résistance à l'état passant augmente d'environ 30%.

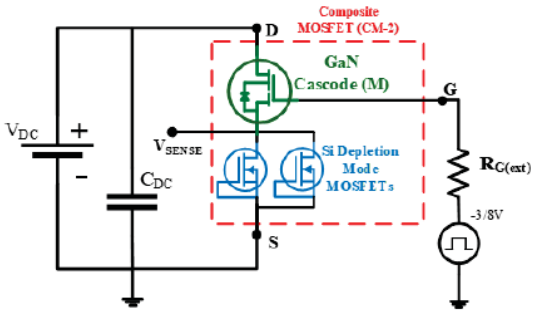



*Figure 29 : structure composite associant un transistor cascode avec un MOSFET silicium en série (tiré de [85]).*

En 2021, les auteurs de [80] fabriquent des prototypes de *HEMTs* p-GaN de résistance passante égale à $210\,m\Omega$ sur des wafers silicium de $200\,mm$ et les testent en court-circuit avec une résistance de grille de $15\,\Omega$ et sous une tension de $400\,V$. Certains composants résistent à un court-circuit de $10\,\mu s$, tandis que d'autres montrent une durée avant défaillance comprise entre $4\,\mu s$ et $7\,\mu s$.

La même année, des chercheurs du fondeur Transphorm décrivent dans l'article [52] comment ils ont amélioré la structure de leurs transistors cascode pour qu'ils résistent plus de $3\,\mu s$ à des courts-circuits

réalisés sous $400\,V$. La solution trouvée est de réduire le courant de court-circuit en supprimant des segments du gaz 2D. Les auteurs mesurent un courant de court-circuit trois fois plus faible et le test de $3\,\mu s$ n'entraine pas de défaillance ; en revanche, la résistance à l'état passant augmente de $35\%$ par rapport à un transistor avec un gaz 2D entier. Le compromis à réaliser entre résistance passante et robustesse en court-circuit semble se confirmer.

Toujours en 2021, Sun et al. testent des *HEMTs* p-GaN du fondeur GaN Systems en robustesse et en fatigue [20]. Les auteurs constatent une excellente robustesse : sous une tension de bus de $400\,V$ et une tension grille-source de $5\,V$, la durée de défaillance vaut plusieurs centaines de microsecondes (les cinq transistors testés cassent à $362\,\mu s$, $431\,\mu s$, $461\,\mu s$, $540\,\mu s$ et $673\,\mu s$). Ce comportement tranche avec la littérature des années précédentes et aussi avec les résultats expérimentaux de cette thèse (chapitre III), où environ la moitié des transistors testés a un *TLF* inférieur à $1\,\mu s$ pour une même tension de bus et de commande ($400\,V$ et $5\,V$ respectivement). Cela pourrait s'expliquer par des modifications faites par le fondeur, qui amélioreraient la robustesse de ces transistors. En revanche, en fatigue les composants sont très peu endurants car ils ne résistent qu'à une vingtaine de courts-circuits d'une durée de seulement $20\,ns$ sous $400\,V$. Si la durée est portée à $1\,\mu s$, certains composants cassent au 2$^{e}$ court-circuit. Les auteurs constatent ici encore une forte dispersion lorsqu'ils répètent le même test sur plusieurs composants.

## 3.4 Synthèse de la robustesse en court-circuit

La plupart des essais de court-circuit réalisés sous $400\,V$ montrent que les composants GaN du commerce, *HEMTs* p-GaN ou cascode, montrent des durées avant défaillance inférieures à $10\,\mu s$, même si certains transistors sont capables de supporter de très longues durées, en particulier dans des études réalisées récemment comme en 2021 chez Sun et al. [20]. Par ailleurs, la robustesse de ces composants est encore très dispersée.

En 2016, Badawi et al. [63] montraient de façon synthétique que les transistors cascode et les *HEMTs* normalement bloqués avaient une robustesse en court-circuit très faible devant celle des *MOSFETs* SiC et des *MOSFET* à superjonction (Figure 30). La durée en défaillance des deux premiers ne dépasse pas quelques microsecondes pour une tension de bus supérieure à $200\,V$. Il faut cependant noter que les auteurs ne mentionnent aucun essai fait sous $400\,V$, et qu'ils ne font pas état non plus de la robustesse exceptionnelle de certains composants qui sortent du lot. Ceci est lié au fait qu'à l'époque de parution de l'article, assez peu d'études avaient été réalisées sur le sujet. Sur la même figure, on constate que l'énergie dissipée avant défaillance des transistors GaN est aussi très inférieure à celle de leurs homologues en silicium ou en SiC.

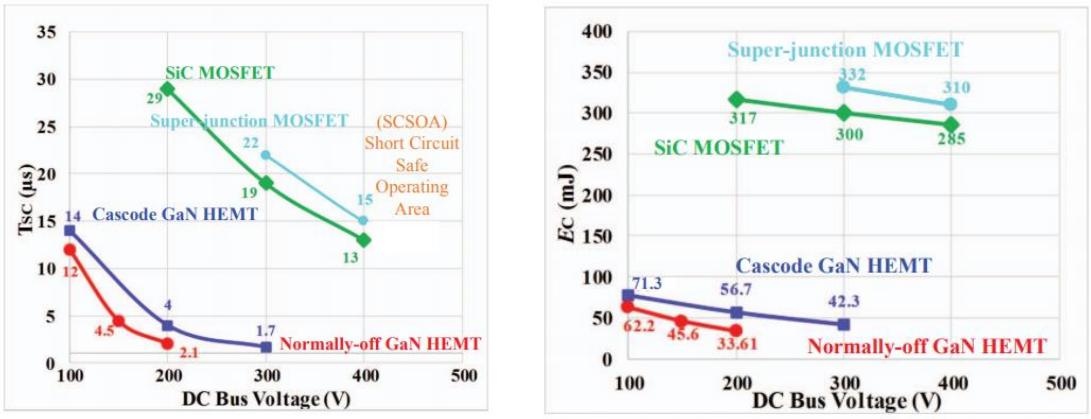



*Figure 30 : comparaison du TLF (à gauche) et de l'énergie critique (à droite) en court-circuit pour les MOSFET SiC, les MOSFET à superjonction, les cascode GaN et les HEMTs normalement bloqués (tiré de [63]).*

Plus tard, en 2017, Fernandez et al. récoltent les résultats de très nombreux essais de court-circuit dans l'article [33]. La Figure 31 montre leur synthèse. La robustesse est assez disparate, mais est très supérieure à ce que l'on pouvait observer précédemment en Figure 30. Le *TLF* reste inférieur à 5 µ$s$ pour des tensions supérieures à 300 $V$, sauf pour la série de trois transistors cascode testés sous 400 $V$ qui présentent des durées de l'ordre de 7 µ$s$. On constate cependant que certains composants sont extrêmement robustes, avec des durées avant défaillance supérieures à 500 µ$s$ pour les *HEMTs* du fondeur GaN Systems, sous 270 $V$ principalement (ces résultats sont tirés des travaux de cette thèse [82]).

| Device technology | $V_{BR}$ (V) - $I_D$(A)*** | $V_{DC}$ (V) | $t_{on}$\|\|$t_{SC}$ (µs) | $V_G$ (V) |
|---|---|---|---|---|
| GaN EHEMT [20] | 200 - 3 | 50* | 10 | +4/0 |
| | | 100 | 2 | +4/0 |
| GaN cascode [2] | 600 - 20 | 150* | 10 | +12/0 |
| | | 200* | 10 | +12/0 |
| | | <280*/** | 10 | +12/0 |
| GaN cascode [18] | 600 - 5 | 400 | 7.8 | N/A |
| | 600 - 16 | 400 | 7.7 | N/A |
| | 600 - 30 | 400 | 7 | N/A |
| GaN DHEMT [19] | 650 - N/A | 250* | 10 | 0/-15 |
| | | 300 | 4 | 0/-15 |
| | | 350 | 0.9 | 0/-15 |
| | | 400 | <0.5 | 0/-15 |
| | | 400 | 30 | -1.5/-15 |
| GaN cascode [16] | 600 - 18 | 100* | 10 | +10/0 |
| | | 100 | 14 | +10/0 |
| | | 200 | 4 | +10/0 |
| | | 300 | 1.8 | +10/0 |
| GaN EHEMT [16] | 600 - 16 | 100* | 10 | +5/-3 |
| | | 150 | 4.5 | +5/-3 |
| | | 150* | 4 | +5/-3 |
| | | 200* | 2 | +5/-3 |
| GaN EHEMT [17] | 650 - 60 | 400* | 10 | +5/0 |
| | | 400 | 1.2 | +5/0 |
| | | 400*/** | 500 | +5/0 |
| | 650 - 30 | 270** | >800 | +5/0 |
| | | 270** | >800 | +5/0 |
| | 650 - 22 | 400 | ~0.2 | +5/0 |
| | | 400 | ~0.2 | +5/0 |

* Non-destructive SC results / ** Only for few parts / *** Rated values

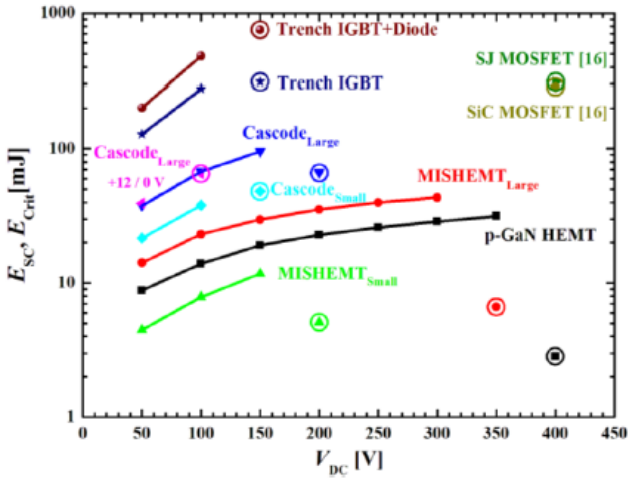



*Figure 31 : durée avant défaillance (à gauche) et énergie dissipée (à droite)(tiré de [33]). Les références sont celles de l'article original.*

Pour une durée de court-circuit donnée, l'énergie dissipée augmente avec la tension appliquée sur le transistor, comme on le constate en Figure 31. Cependant, pour de fortes tension (400 $V$ par exemple), on constate une défaillance très rapide. La quantité d'énergie dissipée est alors faible. Les énergies dissipées restent très inférieures à celles liées aux composants silicium ou SiC.

En 2018, Acuna et al. [17] montrent que la majorité des essais de court-circuit ne satisfont pas au critère des 10 µ*s* sous une tension de 65% environ de la tension de claquage, ce qui est faible. La zone en bleu de la Figure 32 représente ce critère, et on constate que si les *MOSFET* SiC et les CoolMOS silicium sont à l'intérieur de cette zone, ce n'est pas le cas de la très grande majorité des points représentant les essais de court-circuit des transistors GaN.

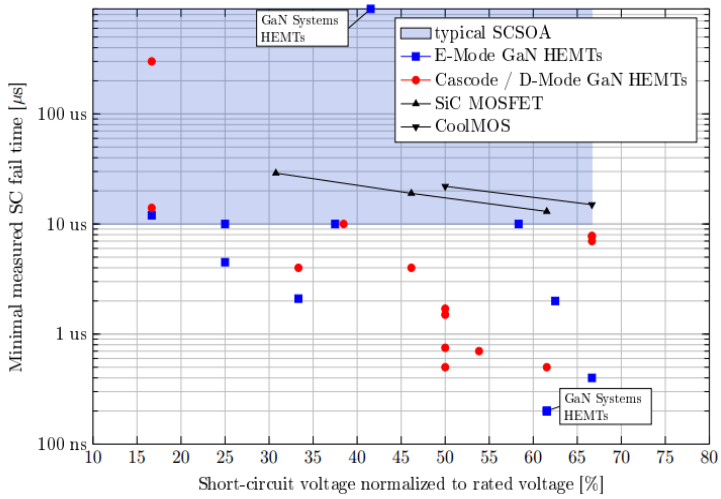



*Figure 32 : TLF lors d'essais de court-circuit de la littérature en fonction de la tension de bus exprimée en pourcentage de la tension de claquage (à droite) (tiré de [17]).*

Plus récemment (en 2019) Li et al. [60] présentent une synthèse enrichie du comportement en court-circuit des transistors GaN, qu'ils comparent aux *MOSFET* Si et SiC. La Figure 33 montre que pour les composants GaN, le *TLF* s'écroule quand la tension de bus augmente, en particulier pour la courbe verte (cascode) et la violette (*HEMT* p-GaN de GaN Systems). Les transistors silicium et SiC sont bien plus robustes et leur *TLF* ne s'écroule pas quand la tension de bus augmente. Malgré tout, on remarque que la durée avant défaillance de certains transistors GaN est maintenant supérieure à 10 µ*s* (du moins pour les *HEMTs* du fondeur GaN Systems, et pour une tension inférieure à 300 *V*).

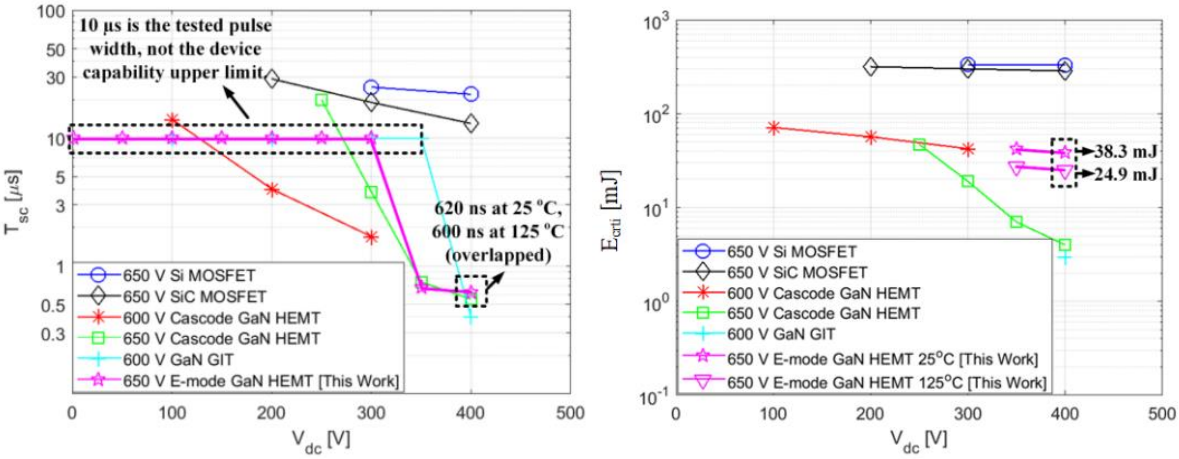



*Figure 33 : comparaison du temps avant défaillance (à gauche) et de l'énergie critique (à droite) en court-circuit en fonction de la tension de bus, pour les MOSFET Si, les MOSFET SiC, les cascode GaN, les GaN GIT et les HEMTs à enrichissement (tiré de [60]).*

Par rapport à la Figure 30, plus d'études ont été publiées et le comportement en court-circuit des transistors GaN était mieux connu. Il est aussi probable que les composants testés aient été améliorés par les fondeurs.

La comparaison entre les résultats de la littérature et les essais effectués dans cette thèse est parfois délicate car l'année de fabrication des transistors peut avoir un fort impact sur leur robustesse puisque les fondeurs améliorent probablement leurs composants au fil des années. Ceci pourrait expliquer les désaccords constatés.

## 3.5 Vieillissement en court-circuit

Si la robustesse en court-circuit est critique pour les transistors GaN, leur vieillissement après de multiples évènements l'est aussi. L'article [60] indique que les *IGBTs* et les *MOSFET* silicium $600\ V$ peuvent résister à près de $40\ 000$ essais de court-circuit de $10\ \mu s$ sous une tension de bus de $400\ V$.

En 2018, Fu et al [86] font subir plus de $150\ 000$ essais de courts-circuits répétitifs sous une faible tension de bus ($35\ V$) à des *HEMTs* p-GaN (probablement du fondeur Panasonic). La tension grille-source appliquée est faible ($V_{GS} = 3{,}6\ V$) et la durée du court-circuit très grande ($1{,}1\ ms$ ou $1{,}9\ ms$). Les auteurs constatent que le courant de saturation (sur la caractéristique $I_D = f(V_{DS})$) se réduit légèrement après $190\ 000$ courts-circuits. La résistance à l'état passant, elle, augmente après $150\ 000$ essais : elle passe de $75\ m\Omega$ à $85\ m\Omega$. Le courant de fuite de drain augmente légèrement après $150\ 000$ essais aussi. Enfin, le courant de fuite de grille n'est pas impacté au fil des essais. En 2018 toujours, les mêmes auteurs publient un autre article [87], dans lequel ils allongent la durée du court-circuit à $4\ ms$. Entre $20\ 000$ et $28\ 000$ essai sont réalisés. Au fil des essais, le courant de fuite de drain, la résistance à l'état passant et le courant de saturation varient de manière bien plus forte et plus rapide que lors des tests plus courts de [86]. La tension de seuil varie de façon instable. Le courant de fuite de grille, lui, ne varie pas (comme vu dans [86]). Les capacités parasite varient aussi au fil des courts-circuits.

En 2019, dans l'article [88], les auteurs font subir jusqu'à $30\ 000$ essais de court-circuit à des *HEMT* p-GaN du transistor Panasonic (la durée de chaque essai est de $150\ \mu s$ et la tension est égale à $400\ V$) et cherchent à quantifier les dégradations accumulées dans la puce. La durée entre deux essais est de $1{,}0\ s$. Au fil des essais, le courant pic de drain se réduit tandis que la tension $V_{GS}$ augmente. L'article met en lumière le fait qu'une légère variation de tension ou d'énergie dissipée lors du court-circuit a un fort impact sur la réduction du courant pic de drain. La conclusion est que ces composants sont fiables, au vu du grand nombre d'essais qu'ils sont capables de supporter. Le comportement de ces transistors en court-circuit est complètement différent de ce que j'ai observé lors de mes essais de court-circuit, où les transistors Panasonic testés sous $400\ V$ ont systématiquement cassé après moins de $0{,}5\ \mu s$ (chapitre III).

Les auteurs de l'article [60] ont caractérisé les dégradations de transistors *HEMT* p-GaN du fondeur GaN Systems en régime de court-circuit. Après un unique court-circuit sous $300\ V$, les composants présentent déjà des modifications de leur tension de seuil ainsi que du courant de grille, de la résistance à l'état passant et du courant de drain. Ces variations sont d'autant plus marquées que l'essai est long. Les auteurs insistent sur le fait que compte-tenu de la faible robustesse de ces transistors, il est délicat de répéter un grand nombre d'essais sur une puce car celle-ci peut casser à chaque court-circuit. Ils font ensuite subir à un transistor des essais de court-circuit de durée croissante en commençant à $200\ ns$ et en augmentant par pas de $200\ ns$ sous une tension de bus de $300\ V$. Le test s'arrête au septième court-circuit car le transistor casse, ce qui montrerait que le transistor se dégrade dès les premiers essais. Par ailleurs, si la durée est maintenue fixe et égale à $200\ ns$, ces transistors sont capables de résister à $50$

courts-circuits. Enfin, ils font subir 100 courts-circuits de $200\,ns$ à un transistor sous une tension extrêmement réduite ($20\,V$) et n'enregistrent pas de défaillance. La durée entre deux essais est supérieure à deux minutes, ce qui est infiniment plus long que dans l'article [88] et pose question quant à la durée suffisante pour refroidir correctement ces transistors et éviter l'accumulation de chaleur. Des modifications des caractéristiques statiques sont relevées après les 100 essais. La tension de seuil augmente de manière importante et le courant de drain se réduit au fil des essais.

En 2020, l'article [64] étudie la fiabilité de transistors p-GaN (très probablement du fondeur Panasonic) en répétant des essais de court-circuit assez courts (2 µ$s$) espacés de seulement $0{,}25\ s$ plusieurs dizaines de milliers de fois, sous $100\,V$ et sous $300\,V$. Au fil des essais, une dérive des caractéristiques de transfert ($I_D = V_{GS}$) et de sortie ($I_D = V_{DS}$) est constatée, mais l'effet diffère selon la tension de bus appliquée durant les essais. Les auteurs indiquent que ces dérives sont causées par un piégeage de charge sous l'électrode de grille, mais aussi au niveau de la région du drain.

Enfin, en 2021, Sun et al. [20] testent la fiabilité de *HEMTs* p-GaN du fondeur GaN Systems. Les composants ne sont pas fiables car ils ne résistent qu'à une vingtaine de courts-circuits d'une durée de seulement $20\,ns$ sous $400\,V$. Si la durée est portée à 1 µ$s$, certains composants cassent au 2e court-circuit. Les auteurs constatent ici encore une forte dispersion lorsqu'ils répètent le même test sur plusieurs composants. Des défauts thermiques de fatigue apparaissent dans la couche de GaN, entre le bord de la plaque de champ et le drain. Ceci est causé par des pics de température et des fluctuations locales de température.

En conclusion, il semble que, sous une tension de bus de $400\,V$, la fiabilité des transistors *HD-GIT* de Panasonic soit très supérieure à celle des transistors GaN Systems.

## 3.6 Protections contre les courts-circuits

La protection en court-circuit est nécessaire dans un convertisseur, où le transistor sera typiquement utilisé avec une tension de bus proche de 80 % de sa tension de claquage, c'est-à-dire dans des conditions où la défaillance en court-circuit est très rapide dans le cas du GaN ($TLF < 1$ µ$s$ souvent). Protéger un transistor GaN d'un court-circuit est assez difficile, tout d'abord à cause de leur faible robustesse [16]. Le circuit de protection doit agir rapidement (moins de 300 $ns$ selon [60], 300 $ns$ selon [33] et $400\,ns$ selon [89]) pour empêcher la défaillance. En comparaison, la durée d'action d'une protection d'*IGBT* est généralement de 6 µ$s$ à 10 µ$s$ [16]. Par ailleurs, la protection d'un transistor GaN est plus susceptible d'être déclenchée intempestivement que celle d'un transistor Si, car sa grande vitesse de commutation génère un bruit de dv/dt et di/dt plus élevé [16].

Plusieurs méthodes de protection existent :

- l'utilisation d'un coupe-circuit (SSCB) dans le bus continu [67] ;
- la désaturation [16] [67] qui consiste à surveiller la tension drain-source du transistor à protéger ;
- la surveillance d'un tension aux bornes d'une inductance parasite de la maille de puissance pour détecter le sur-courant [90].
- La mesure du courant de drain, avec un miroir de courant intégré dans la puce [66].

L'utilisation d'un coupe circuit dans le bus continu (Figure 34) est une méthode de protection universelle, pouvant fonctionner quel que soit le type de transistors utilisés dans le convertisseur [67]. Elle souffre cependant de plusieurs inconvénients : son coût est élevé, elle nécessite une alimentation auxiliaire, dissipe une forte puissance et ne convient pas à toutes les structures de busbar. Ce type de protection a une rapidité d'action dépendante de la valeur du condensateur de découplage du bras

d'onduleur considéré [67] : la durée est de $100\ ns$ à $300\ ns$ sans condensateur, mais peut monter à plusieurs microsecondes avec un condensateur de l'ordre du microfarad, car ce dernier continue à se décharger dans le transistors après l'ouverture du coupe-circuit.

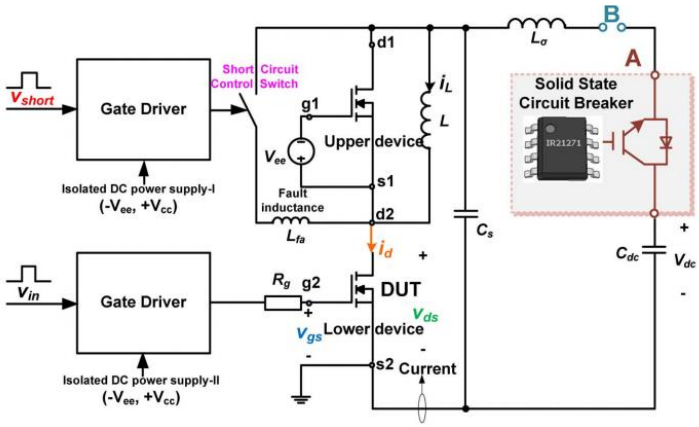



*Figure 34 : schéma de principe d'une protection par coupe-circuit (SSCB).*

La protection par désaturation est la plus répandue [65], mais pose problème quand il s'agit de protéger des transistors GaN [17]. Elle utilise les caractéristiques de sortie du transistor et est très répandue pour les *IGBTs* [67]. Elle consiste à surveiller l'état du transistor et détecter quand il entre dans la région saturée (comme c'est le cas en court-circuit). Pour cela, on mesure la tension $V_{DS}$ (dans le cas d'un *MOSFET*) ou $V_{CE}$ (dans le cas d'un *IGBT*), souvent grâce à une diode (Figure 35). La désaturation a pour inconvénients de ne pas fonctionner avec certains composants comme les *MOSFETs* basse tension. La tension $V_{DS}$ correspondant au courant de saturation est trop faible pour que la protection s'active, et le transistor est détruit avant. Cette méthode peut fonctionner pour un *MOSFET* SiC, bien que la transition entre la région ohmique et la région de saturation ne soit pas aussi nette que pour un *IGBT*.

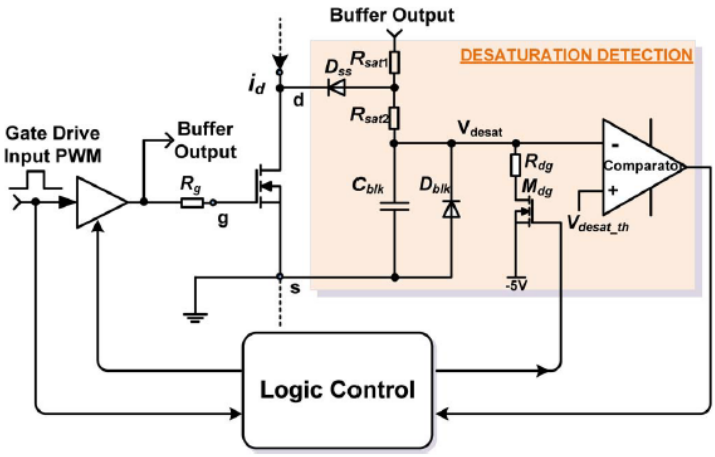



*Figure 35 : circuit de désaturation (tiré de [67]).*

Les drivers d'*IGBTs* ou de *MOSFETs* du commerce intégrant une détection de désaturation ont un temps de réponse d'environ 3 µ*s*, ce qui est trop long pour des *MOSFETs* SiC au regard de la fiabilité sur le long-terme [67] et bien trop long pour des transistors GaN. Le bruit des dv/dt perturbent le circuit de désaturation, qui doit donc être tolérant à ces perturbations. On peut s'affranchir de ce problème en ralentissant la protection, mais le temps de réponse atteint alors plusieurs microsecondes. On peut aussi réduire le *blanking time* (durée s'écoulant entre la mise en conduction du transistor et l'instant

d'activation de la protection par désaturation) du circuit de désaturation ; la protection devient alors assez rapide pour protéger un transistor GaN d'un court-circuit. En contrepartie, cela affaiblit la résistance au bruit du circuit de désaturation, qui peut se déclencher lors d'un fonctionnement normal du convertisseur [16]. L'article [16] présente un circuit de désaturation amélioré, agissant en $110\ ns$ et pouvant encaisser des dv/dt de $84\ V/ns$ au maximum. La protection par désaturation a pour inconvénients de rajouter une charge capacitive en parallèle de la capacité de sortie du transistor, à cause de la diode utilisée pour détecter le surcourant. Cela augmente les pertes par commutation [65].

La troisième méthode, basée sur l'utilisation des parasites de la maille de puissance, comme dans l'article [90], a un temps de réponse très court ($300\ ns$ pour [90]), mais elle nécessite la connaissance précise de la valeur d'une inductance parasite (qui peut être l'inductance parasité située entre le bras d'onduleur et le condensateur de découplage, ou d'autres inductances parasites). Comme cette dernière dépend du routage ou du boitier du transistor, il faut caractériser chaque circuit et chaque boitier. Par ailleurs, les forts di/dt des commutations en fonctionnement normal peuvent déclencher le circuit de protection de manière intempestive. L'article [67] présente une technique de protection innovante agissant en $200\ ns$, basée sur l'estimation de la valeur du pic de courant en intégrant le di/dt de ce même courant, avec un filtre RC. Cette méthode a une bonne immunité au bruit.

Enfin, la quatrième méthode repose sur un miroir de courant. Certains transistors, comme le GS66540C de GaN Systems [66], ont une structure monolithique comprenant un petit transistor ayant le même drain et la même grille que le transistor de puissance. Une petite fraction du courant de puissance circule dans le transistor miroir, et un circuit dédié mesure ce courant. Cette méthode de protection exige un transistor spécialement conçu dans ce sens, et n'est donc pas utilisable de façon générale. Ce genre de structure comprend aussi parfois un driver et des protections intégrées.

D'autres méthodes existent, et certaines combinent les techniques précédentes.

Une méthode très simple consiste à réduire en permanence la tension de commande des transistor GaN dans un convertisseur [60]. Une tension $V_{GS}$ légèrement plus faible que la tension nominale permettrait d'augmenter grandement la robustesse en court-circuit pour augmenter la robustesse. L'inconvénient de cette méthode est que cela augmente la résistance à l'état passant.

L'article [89] se concentre sur la protection de transistors GaN. Les auteurs proposent une protection en court-circuit basée sur la réduction de la tension $V_{GS}$, ce qui permet de réduire la valeur maximale du courant de drain et donc l'énergie dissipée lors du début du court-circuit. Trois étapes sont nécessaires : une phase de détection du court-circuit très rapide de $36\ ns$ (basée sur la mesure de la tension du bras complet), suivie d'une réduction de la tension grille-source qui dure $2\ \mu s$ environ, et enfin une confirmation avec un circuit de désaturation.

Une autre méthode est décrite dans [65], basée sur la surveillance de la tension grille-source pour des transistors de type *GIT* comme ceux du fondeur Panasonic. Les avantages de cette technique sont une grande rapidité de détection et de réponse ($70\ ns$ pour le temps total de réponse) ; pas d'augmentation des pertes par commutation ; une protection qui est presque indépendante de la température et de la tension de commande de la grille.

Enfin, l'article [57], qui a travaillé sur des transistors SiC, présente une méthode de protection hybride combinant la mesure de la tension drain-source (désaturation) et la mesure de la tension aux bornes de l'inductance parasite de source du transistor. Les auteurs annoncent une durée d'une microseconde pour la détection et la coupure (pour un di/dt de $10\ kA/\mu s$, une charge de $300\ A$ et une tension de bus égale à $1050\ V$). Cela pourrait permettre de protéger des transistors GaN, mais reste encore un peu trop lent.

En 2018, l'article [17] propose une protection adaptée aux transistors GaN. Cette dernière est basée sur la mesure du courant de drain à travers un capteur intégré dans le PCB. L'avantage est qu'il n'y a pas de *blanking time* et que le transistor n'a pas besoin d'avoir une structure spéciale comme c'est le cas pour le miroir de courant. Le temps de détection est de seulement 30 $ns$ et le court-circuit ne dure que 60 à 70 ns avant d'être stoppé par la protection, ce qui est extrêmement rapide.

## 3.7 Conclusion

La revue de la littérature a montré que les transistors GaN étaient globalement moins robustes en court-circuit que les transistors Si ou SiC, lorsque la tension de bus est proche de la tension de claquage (400 $V$ pour des composants 600 $V$ ou 650 $V$) ; on trouve cependant aussi dans la littérature des cas de transistors extrêmement robustes sous 400 $V$. Sous une faible tension de bus, les *HEMTs* à grille p-GaN peuvent présenter une robustesse exceptionnelle, supérieure à celle du Si ou du SiC. Le courant de drain se réduit drastiquement dès le début du court-circuit, surtout chez les *HEMTs* p-GaN, ce qui est bénéfique pour la robustesse.

La durée avant défaillance dépend fortement de la tension du bus continu, mais aussi de la valeur de la tension grille-source à l'état passant. La valeur de la résistance de grille pourrait aussi jouer. Pour les *HEMTs* p-GaN *GIT* de Panasonic, la valeur du courant de grille permanent ainsi que la valeur du pic de courant de drain initial influencent fortement la robustesse.

Les différentes structures de transistors GaN ne se comportent pas de la même manière en court-circuit. La structure cascode souffre de problèmes d'oscillations et semble moins robuste que la structure p-GaN. La littérature fait mention de transistors p-GaN résistant à un court-circuit de 10 µ$s$ sous une tension de 300 $V$ ou 350 $V$, et dans des articles très récents (2021 notamment), le *TLF* peut dépasser la centaine de microsecondes sous 400 $V$ (cela sera vérifié expérimentalement dans le chapitre III, mais pas systématiquement). Le courant de drain se réduit de manière bien plus marquée dans la structure p-GaN que pour les transistors cascode, à cause du comportement de la grille. De plus, les *HEMTs* p-GaN dont la grille possède un contact schottky (transistors GaN Systems) ne se comportent pas de la même façon que ceux avec un contact ohmique (HD-GIT de Panasonic).

La robustesse exceptionnelle qui ressort de certains essais de court-circuit, le plus souvent pour une faible tension de bus, laisse entrevoir des perspectives intéressantes pour les transistors GaN. En effet, si ce comportement peut être étendu à de plus hauts niveaux de tension par des améliorations technologiques, cela accélérera l'adoption du GaN dans l'industrie.

Depuis 2013, la compréhension du comportement des transistors GaN en court-circuit a beaucoup progressée. Plusieurs articles récents mentionnent des essais avec des *TLF* supérieurs à 10 µ$s$ sous une tension de bus proche de 400 $V$. La revue chronologique de la littérature a montré que la robustesse des transistors d'un fondeur donné avaient probablement évolué au fil des années.

Enfin, la fiabilité des transistors GaN reste globalement faible sous tension élevée, excepté pour les *HD-GIT* de Panasonic : répéter des essais de court-circuit sous une tension proche de la tension de claquage du composant entraine généralement des dégradations mesurables, même si les essais sont de courte durée.

# 4. Estimation de la température de la puce en régime de court-circuit

## 4.1 Généralités

La connaissance de la température de la puce est indispensable pour connaitre les limites des transistors GaN en court-circuit [53]. En effet, la mobilité et la vitesse des électrons dépendent de la température, ce qui impacte directement les performances du transistor [91]. Les mécanismes de défaillance dépendent aussi de la température, tout comme le comportement et le niveau d'énergie des pièges [91].

Les mesures directes de température sont coûteuses et chronophages (comme la spectroscopie micro-Raman [53], infrarouge ou UV-visible), mais permettent d'accéder au champ de température avec une bonne résolution spatiale. La puce doit être mise à nu. La dynamique d'un court-circuit est souvent incompatible avec la bande passante des mesures de température, même si certaines caméras thermiques infra-rouge sont très rapides (l'article [68] met en œuvre une telle mesure avec un million d'images par seconde).

Les mesures indirectes, elles, ne donnent pas d'informations sur le champ de température mais ont pour avantage d'être plus simples et plus rapides. Ces mesures se basent sur un paramètre thermosensible (comme le courant de drain par exemple).

Le recours à la simulation numérique est intéressant pour surmonter les limitations de la mesure physique de température [91]. La modélisation par éléments finis ou différences finies peut prendre différentes formes, selon le degré de raffinement que le concepteur souhaite. Certains modèles lourds couplent les phénomènes électrique, thermique et mécanique ; ils sont très précis mais ont un coût de calcul élevé, ce qui conduit souvent à ne simuler que la zone active du transistor. D'autres simulations se limitent à un problème thermique et permettent de simuler plus facilement la totalité du transistor. Pour diminuer le coût de calcul, les concepteurs simplifient beaucoup certains phénomènes physiques [91], ce qui peut conduire à d'importantes erreurs de température. Les modèles 3D apportent plus de précision, mais les modèles 2D sont bien plus rapides et couvrent une bonne partie des besoins. Enfin, il est aussi possible de simuler en 1D avec des réseaux RC de typer Cauer ou Foster [71], mais cela n'est pas toujours adapté aux structures complexes (cas des doigts entrelacés de certains transistors GaN). La dépendance en température de la conductivité et de la capacité thermique des matériaux n'est en général pas prise en compte dans ces modèles simples, et le fait de réduire le problème à une seule dimension reste problématique.

De manière générale, l'une des difficultés pour modéliser correctement un transistor réside dans le fait que la conductivité et la capacité thermique des matériaux de la puce varient fortement avec la température (la Figure 36 présente cet effet pour les matériaux d'un transistor SiC, mais c'est aussi le cas pour le GaN).

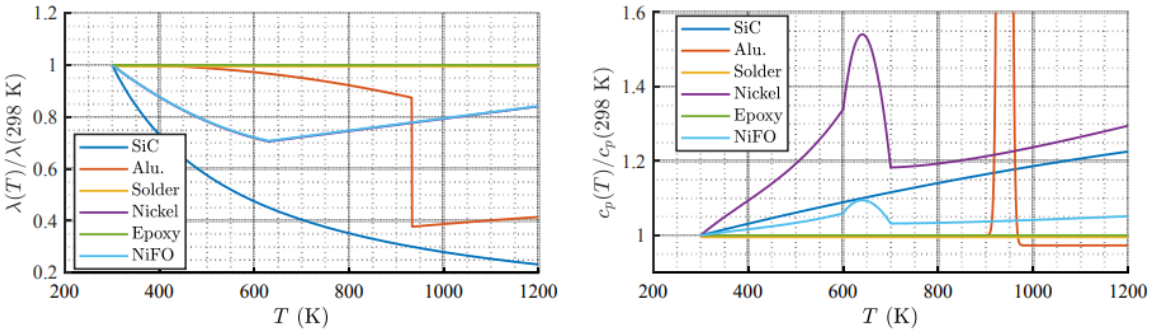



*Figure 36 : à gauche : conductivité thermique normalisée de différents matériaux présents dans un transistor SiC ; à droite : capacité thermique normalisée de ces même matériaux (tiré de [62]).*

Ces caractéristiques thermiques sont souvent mal connues, et les données des articles ne coïncident pas toujours (Figure 37).

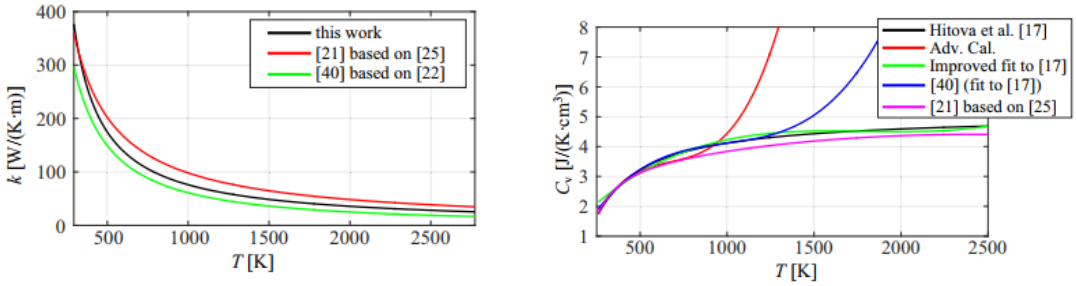



*Figure 37 : à gauche : conductivité thermique du matériau SiC de trois articles différents ; à droite : capacité thermique à volume constant du matériau SiC selon les articles cités (tiré de [92]).*

Par ailleurs, le dopage d'un semi-conducteur peut impacter ses caractéristiques thermiques [68]. Enfin, certains matériaux sont anisotropes et cela doit être pris en compte dans les simulations.

Négliger la présence de certaines métallisations ou la dépendance en température de la capacité thermique peut conduire à une erreur importante [62] [92]. Il faut aussi tenir compte de la chaleur latente de fusion des matériaux [62].

Le GaN a une conductivité inférieure au silicium et au SiC [3]. Cependant, l'article [71] indique que l'on trouve des valeurs assez différentes pour cette grandeur dans la littérature, comme on peut le constater dans le Tableau 3.

| Material | Si | Sapphire | GaN | $Al_xGa_{1-x}N$ | Sic |
|---|---|---|---|---|---|
| Thermal cond. (W/K cm) | 1.3–1.5 | 0.47 | 1.3–3.8 | 0.2 – 0.3 | 3.9–4.7 |

*Tableau 3 : conductivité thermique à température ambiante pour différents matériaux semi-conducteurs (tiré de [71]).*

La température maximale atteinte dans un transistor GaN dépend de la distance drain-source, et pas de la longueur de la grille [91]. La modélisation de la source de chaleur du modèle est critique [91]. Une hypothèse classique est de considérer que la génération de chaleur est uniforme sous la grille. Cette hypothèse est fausse selon les auteurs de [91]. Le pic de chaleur serait situé sur le bord de la grille (Figure 38), vers le drain, car le champ électrique y est intense. Par ailleurs, l'approche classique consistant à dire que la quasi-totalité de la chaleur est générée sous la grille conduit à surestimer la

température [91]. La longueur des métallisations de drain et de source a une influence modérée sur la température.

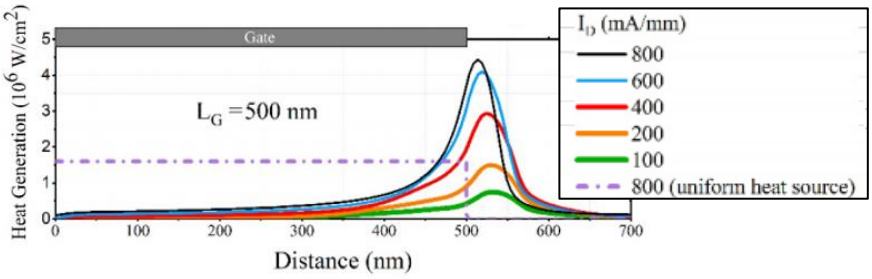



*Figure 38 : simulation TCAD donnant la puissance surfacique générée dans un transistor GaN en fonction de la distance à la grille et de la densité de courant (tiré de [91]).*

Il n'est pas toujours nécessaire de recourir à de lourdes simulations 3D électrothermiques ; une simulation thermique 2D peut parfois des résultats satisfaisants [91]. Cependant, pour établir un tel modèle, il faut commencer par créer un modèle 3D, produire une carte de génération de chaleur, et intégrer cette carte dans la simulation 2D.

## 4.2 Thermique des transistors GaN en court-circuit

L'article [71] propose d'estimer la température de jonction de *HEMTs* p-GaN du fondeur GaN Systems avec une modélisation 1D de type réseau RC de Cauer, dans le logiciel SPICE. Ils réalisent des essais réels de court-circuit puis injectent les formes d'ondes mesurées dans la simulation SPICE. La Figure 39 présente les résultats obtenus : la variation maximale de température est atteinte après moins de 2 $\mu s$ et atteint $+250\ °C$ sous une tension de $300\ V$. Cette variation diminue très vite après le maximum, à l'image du courant de drain. La modélisation proposée est très simple, et les températures atteintes sont assez différentes de ce que l'on trouve dans d'autres articles comme nous allons le voir. La décroissance marquée de la température semble peu probable physiquement car cela implique un transfert de chaleur important vers l'extérieur sur des échelles de temps de l'ordre de la microseconde.

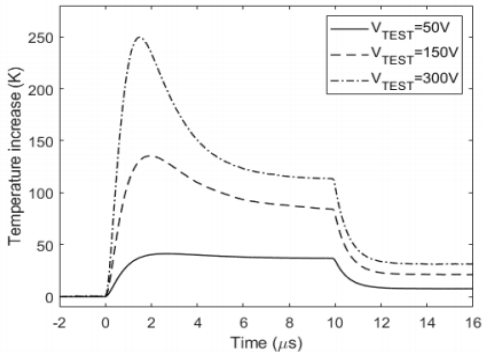



*Figure 39 : augmentation de la température de jonction d'un transistor GS66502B lors d'un essai de court-circuit obtenue par simulation sous SPICE (tiré de [71]).*

L'article [53] propose de mesurer indirectement la température en mesurant le courant de drain lors du court-circuit. La relation entre la valeur de ce courant et la température est caractérisée par les auteurs jusqu'à une température de $425\ K$, dans un traceur de caractéristiques avec un module chauffant. Ils extrapolent ensuite leurs résultats jusqu'à $1000\ K$. Même si les valeurs de $r^2$ trouvées sont élevées (supérieures à 0,995), l'extrapolation à des températures si éloignées des mesures reste discutable. De plus, la caractérisation est réalisée en statique alors que le court-circuit est un évènement dynamique.

Les auteurs du même article [53] distinguent deux cas : la défaillance longue en court-circuit, et la défaillance très rapide. Ils testent sous $400\,V$ deux composants *HEMTs* p-GaN différents : des transistors GaN Systems (avec un contact de type Schottky pour la grille), et des transistors Panasonic (avec un contact de type ohmique pour la grille).

Pour les défaillances longues, la température maximale obtenue est de $1100\,K$ après une durée égale à $270\,\mu s$ sur un composant GaN Systems (GS66508T), comme on peut le voir en Figure 40. A cette température, le matériau GaN commence à devenir intrinsèque, ce qui réduit la mobilité des porteurs de charges dans le gaz 2D. Ce dernier est alors plus résistif et la défaillance a une origine thermique. Avec le composant Panasonic, la température maximale est aussi de $1100\,K$ mais c'est la grille qui est à l'origine de la défaillance.

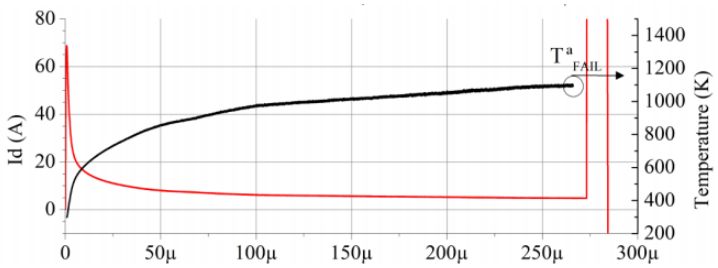



*Figure 40 : température (à droite, en noir) et courant de drain (à gauche, en rouge) lors d'un court-circuit destructif sur un transistor GS66508T sous* $400\,V$ *(tiré de [53]).*

Pour les défaillances très rapides, la température estimée est de $330\,K$ après $1\,\mu s$ de court-circuit sur un composant GaN Systems (GS66508T), et de $380\,K$ pour le transistor Panasonic après également $1\,\mu s$. La défaillance est expliquée par l'activation de pièges qui concentrent le champ électrique sur le bord du drain. Les résultats de cet article [53] sont en complet désaccord avec ceux de l'article précédent [71], tant sur les valeurs de température que sur son évolution temporelle. Les résultats de [53] semblent plus valides que ceux de [71].

Voyons maintenant une modélisation plus élaborée. Les auteurs de l'article [33] établissent le modèle électrothermique TCAD en 2D d'un transistor *HEMT* p-GaN. Ils prennent comme conditions aux limites un mur non adiabatique et insèrent une résistance thermique entre le substrat et la puce. Le substrat a une grande importance car ce dernier joue un rôle de puits de chaleur, cette dernière se diffusant depuis les couches de GaN et d'AlGaN vers le substrat. La température maximale ($950\,K$ environ) est atteinte après $800\,ns$, lorsque le courant de drain s'est déjà beaucoup réduit. La distribution de température est très hétérogène, avec un pic situé sous la grille, du côté du drain (Figure 41). Ce point chaud s'explique par la présence d'un champ électrique intense à cet endroit. Ces résultats sont en contradiction totale avec le premier article [71], mais sont relativement cohérents avec le deuxième [53] même si dans ce dernier, la température obtenue est moins élevée (seulement $600\,K$ après $10\,\mu s$ de court-circuit).

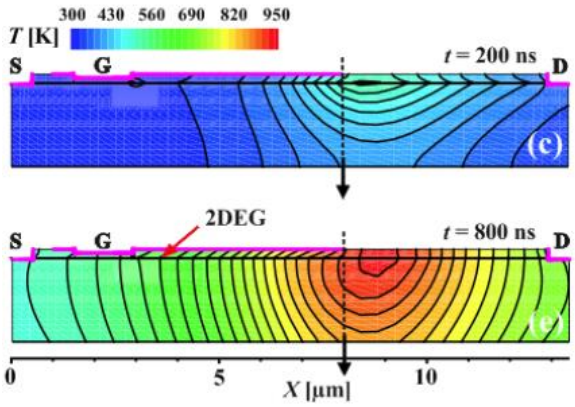



*Figure 41 : modélisation du champ de température dans un HEMT p-GaN à deux instants différents lors d'un court-circuit avec une tension de bus de* $350\ V$ *(tiré de [33]).*

Les auteurs de l'article [88] proposent une modélisation électro-thermique 3D de transistors *HEMTs* p-GaN Panasonic et obtiennent une température de jonction maximale de l'ordre de $900\ K$ à la fin d'un court-circuit de $150\ \mu s$ sous $400\ V$ (Figure 42). Ces résultats sont cohérents avec [53] et [33].

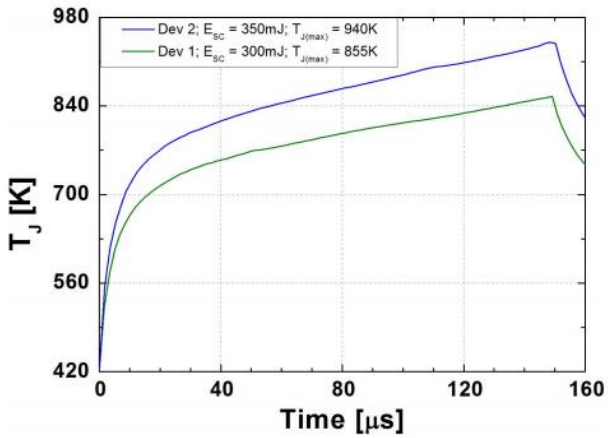



*Figure 42 : température maximale de jonction simulée lors d'un essai de court-circuit sous* $400\ V$ *(tiré de [88]).*

Les résultats présentés ici et issus de la littérature tendent à montrer qu'un transistor GaN soumis à un court-circuit voit sa température de jonction s'élever de plus de $500°C$ en moins d'une microseconde. Il est probable que des points chauds puissent se former sous la grille.

Les travaux de cette thèse se concentrent sur le comportement en court-circuit des transistors GaN de plusieurs fondeurs. Je n'ai pas établi de modèle thermique ou cherché à mesurer la température de jonction lors de ces essais, mais il est clair que l'estimation de la température et de sa distribution sur la puce constituerait une perspective pertinente aux travaux que j'ai menés.

# 5. Conclusion du chapitre

Le GaN est un semi-conducteur si prometteur qu'il est très probable que des transistors constitués de ce matériau soient largement diffusés dans l'industrie dans les années à venir. Plusieurs structures normalement bloquées existent, avec des avantages et des inconvénients. Deux structures répandues dans le commerce sont la structure cascode (chez le fondeur Transphorm) et la structure *HEMT* p-GaN (dont la grille peut être de type contact Schottky, comme chez le fondeur GaN Systems, ou de type contact ohmique, chez le fondeur Panasonic).

La revue de la littérature a montré que le comportement en court-circuit des transistors GaN était très variable selon la tension de bus et selon la tension de grille à l'état passant. Sous une faible tension de bus ($V_{DS} < 250/300\ V$), ces composants sont très robustes (le *TLF* peut atteindre plusieurs centaines de microsecondes). Le courant de drain se réduit drastiquement dès le début du court-circuit, surtout chez les *HEMTs* p-GaN, ce qui est bénéfique pour la robustesse. En revanche, sous une forte tension de bus, les transistors GaN sont globalement fragiles (le *TLF* est souvent inférieur à la microseconde). De plus, la robustesse est très dispersée : pour une tension de bus donnée et des paramètres expérimentaux identiques, certains transistors cassent en moins d'une microseconde, tandis que d'autres cassent après plusieurs centaines de microsecondes. Enfin, la robustesse a progressé au fil des années.

La robustesse en court-circuit des transistors GaN $600/650\ V$ doit être améliorée si l'on souhaite les utiliser sous $400\ V$ et avec une tension $V_{GS}$ nominale [60] [75]. On peut imaginer des modifications de la structure des composants pour limiter le pic de courant de drain. Une autre piste serait d'améliorer l'extraction de chaleur de la puce au niveau des contacts de cette dernière, ou en déposant au-dessus du boitier un matériau très conducteur thermiquement. Mais le plus pertinent serait peut-être d'utiliser ces transistors avec une tension de bus plus faible comme $300\ V$ ou $350\ V$, car la robustesse en court-circuit est bien supérieure sous ces tensions. Une autre solution serait de réduire la tension grille-source car cela a un impact fort sur la robustesse.

Diverses méthodes de protection adaptées aux transistors GaN existent, et certaines permettent de couper un court-circuit en moins de $100\ ns$. Lors d'un court-circuit, la température augmente très rapidement et il peut se former des points chauds au niveau de la grille. Cela pourrait expliquer les défaillances prématurées et validerait l'hypothèse du point chaud.

Le prochain chapitre sera consacré à la réalisation des bancs de court-circuit. Il décrira leurs caractéristiques ainsi que l'instrumentation associée.

# Chapitre II - Bancs de tests et instrumentation

## 1. Conception des trois bancs et évolutions successives

Trois bancs de court-circuit ont été réalisés durant la thèse. Les problèmes rencontrés sur le premier banc lors des essais m'ont conduit à en concevoir un deuxième pour l'améliorer, puis un troisième possédant une structure assez différente.

### 1.1 Généralités sur les bancs

#### 1.1.1 Types de courts-circuits

Les trois bancs permettent de réaliser des courts-circuits de type I (voir partie 3.1.1 du chapitre I). Les types II et III sont exclus car ils nécessitent une structure différente. Le transistor GaN testé – le *DUT* – est initialement bloqué et supporte la pleine tension du bus ($270\ V$ ou $400\ V$). On le rend ensuite passant en appliquant une tension grille-source ($V_{GS}$) adéquate et c'est donc le transistor qui limite le courant de court-circuit. On peut choisir d'imposer une durée finie de court-circuit, en bloquant le *DUT* lorsqu'on le souhaite (notamment pour des études de fiabilité, pour lesquelles on fait subir un grand nombre de courts-circuits à un *DUT*), mais on peut aussi attendre la destruction de ce dernier sur une durée plus longue (étude de robustesse, objet de la thèse).

Pour un transistor donné, la sévérité de l'essai dépend principalement de la tension du bus continu, de la tension grille-source ($V_{GS}$) à l'état passant mais également de l'inductance parasite (*PCB*, câblage et stockage d'énergie). Un ou plusieurs condensateurs reliés à une alimentation haute tension (décrite dans le document [93]) jouent le rôle de bus continu. Les parties 1.1.1 et 1.1.2 des annexes détaillent le choix de ces condensateurs et leur dimensionnement. Comme la majorité des *DUTs* voient leur drain et leur source court-circuités après leur défaillance, une protection est en général insérée dans la maille pour ouvrir le circuit. Ceci stoppe l'essai, évite une dégradation trop importante de la puce et éventuellement la projection des boitiers et de matières en fusion.

La structure de base d'un banc de court-circuit est présentée en Figure 43.

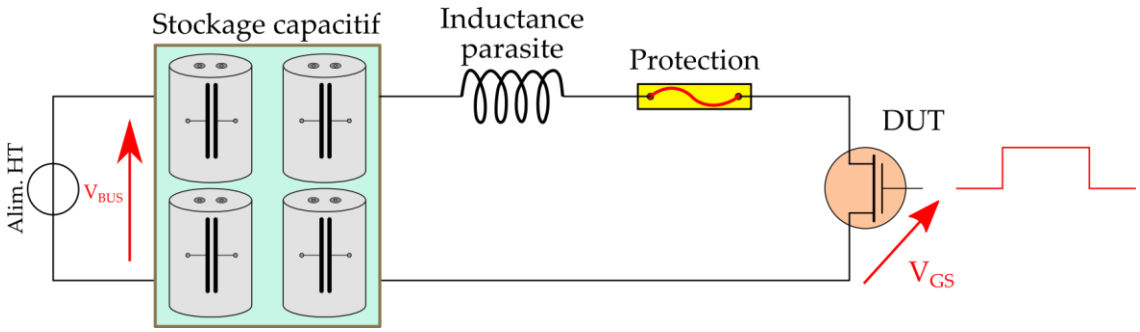



*Figure 43 : structure générique d'un banc de court-circuit de type I.*

#### 1.1.2 Destruction des transistors et sécurité

Les essais que j'ai menés sont des essais destructifs, et le *DUT* finit presque systématiquement en court-circuit entre son drain et sa source. Le courant augmente alors brutalement et n'est limité que par l'inductance de maille et la résistance équivalente du banc. Ce fort courant peut dégrader le stockage

capacitif et le banc, ainsi que le capteur de courant de drain. Une solution pour limiter le courant est d'insérer une protection dans les bancs.

Dans les bancs n°1 et n°2, cette protection est assurée par un ou plusieurs *IGBTs* de fort calibre en tension et en courant (disjoncteur statique), insérés en série avec le *DUT*. Cela a pour avantage une coupure rapide du courant de défaillance, mais l'inconvénient est que l'on augmente sensiblement l'inductance de maille à cause des boitiers volumineux de ces *IGBTs* (boîtiers TO-247). Comme le *DUT* ne finit pas décapsulé, j'ai pu faire analyser quelques transistors avec des techniques de microscopie pour analyser les dégradations internes.

Dans le banc n°3, j'ai remplacé les *IGBTs* par un simple fusible de petites dimensions (boitier 1206), pour réduire l'inductance du banc. Ce fusible est relativement lent, ce qui laisse le courant monter à près de 4 $kA$ avant d'ouvrir le circuit. Le composant finit systématiquement décapsulé. Il y a un compromis à réaliser entre protection du banc et diminution de son inductance parasite.

### 1.1.3 Inductance parasite

Idéalement, un banc de court-circuit devrait présenter les mêmes caractéristiques électriques qu'une maille de commutation, afin de simuler au mieux un court-circuit réel dans un convertisseur de puissance. Les composants GaN commutent très rapidement, ce qui impose un routage soigné (très peu inductif). L'inductance de maille est généralement de l'ordre de quelques nanohenrys [94].

Ainsi, le critère principal dans la conception de ces trois bancs de court-circuit était de minimiser leur inductance de maille. Pour cela, tous les bancs utilisent une structure verticale, ce qui est moins inductif qu'un routage horizontal [48]. Malgré tout, les trois bancs conçus présentent des inductances assez importantes (de l'ordre de quelques dizaines de nanohenrys), en grande partie à cause de *l'ESL* du stockage capacitif. En effet, la quantité d'énergie mise en jeu lors d'un court-circuit impose des condensateurs de forte capacité qui sont volumineux. Implanter des condensateurs *CMS* de faible capacité, au plus près de la maille de commutation, comme dans une maille de commutation, ne serait pas suffisant en termes d'énergie.

Les éléments parasites résistifs sont moins importants, car c'est le transistor GaN qui limite le courant au fur et à mesure de son échauffement. J'ai tout de même essayé de limiter les résistances parasites, avec des pistes de cuivre larges et d'épaisseur 70 $\mu m$ ainsi que des condensateurs à faible *ESR*.

### 1.1.4 Ergonomie et adaptation aux composants à tester

Chaque banc a été conçu pour tester plusieurs références de *DUT*, avec des caractéristiques différentes et des boitiers différents. J'ai brasé chaque *DUT* sur un petit *PCB*, qui est connecté au banc à travers des vis (bancs n°1 et n°3) ou un connecteur à broches (banc n°2). Cette connexion est importante car elle influe sur l'inductance totale du banc. Par ailleurs, un grand nombre d'essais ont été menés, il fallait donc que le changement de *DUT* soit rapide.

### 1.1.5 Intégration des mesures de tension et de courant

Chaque banc comprend quatre mesures, qui impactent directement l'architecture et le routage. Insérer une mesure oblige souvent à déplacer des éléments dans un banc, en particulier sur la carte de commande du *DUT*, qui est très petite. Le choix des sondes ou des capteurs, leurs dimensions et leur emplacement modifient les paramètres électriques des bancs (inductance parasite en particulier). Les mesures ont donc

été intégrées dans la conception des bancs, au même titre que les composants de base (stockage capacitif, sécurité, *DUT*).

## 1.2 Banc n°1

### 1.2.1 Choix de conception du banc n°1

Le laboratoire possédait déjà plusieurs bancs de court-circuit conçus pour des transistors silicium ou *SiC*, mais ces derniers étaient trop inductifs pour des transistors GaN. Par ailleurs, l'insertion des mesures dans ces bancs n'était pas adaptée à ces composants rapides ; en effet, et à titre d'exemple, les pinces de masse des sondes étaient utilisées, ce qui peut causer des artefacts de mesure (voir la partie 5.2.1 des annexes sur l'instrumentation).

J'ai donc conçu un nouveau banc de courts-circuits, le banc n°1. Les objectifs étaient de minimiser son inductance totale, de soigner l'insertion des mesures, d'être modulaire pour tester des *DUT* différents et de comprendre une sécurité assez efficace pour éviter leur explosion. Cela devait en effet permettre une analyse microscopique après la casse. Il s'est avéré que le courant est coupé en moins de $500\ ns$ après la casse du *DUT*, ce qui est satisfaisant.

### 1.2.2 Structure physique et électrique du banc n°1

J'ai essayé de concevoir un banc le plus compact possible. Ce dernier comporte trois cartes (Figure 44) :

- la carte principale, qui comporte la maille de puissance et la logique de protection ;
- la carte driver du *DUT*, vissée sur la carte principale ;
- la mini-carte du *DUT*, percée et prise en sandwich entre les deux dernières et pouvant être adaptée à plusieurs types de composants et empreintes.

La carte principale est un *PCB* double face organisé autour d'un condensateur de forte capacité, de deux *IGBT*s, du *DUT* et d'un shunt, comme le montre la Figure 44.

Voici les quatre mesures présentes sur le banc (voir la partie 3.1 pour plus de détail) :

- la tension drain-source ($V_{DS}$) du *DUT* avec une sonde passive $1:100$ ;
- les tensions grille-source ($V_{GS}$) et de sortie du driver ($V_{DR}$) avec deux sondes passives $1:10$ ;
- Le courant de drain ($I_D$) avec un shunt coaxial de $10\ m\Omega$.

La tension aux bornes du shunt est comparée à une tension de référence que l'on peut régler avec un potentiomètre, correspondant à la limite de courant souhaitée grâce à un comparateur. La sortie du comparateur est connectée à une bascule D qui permet de bloquer les *IGBTs* à travers leur driver.

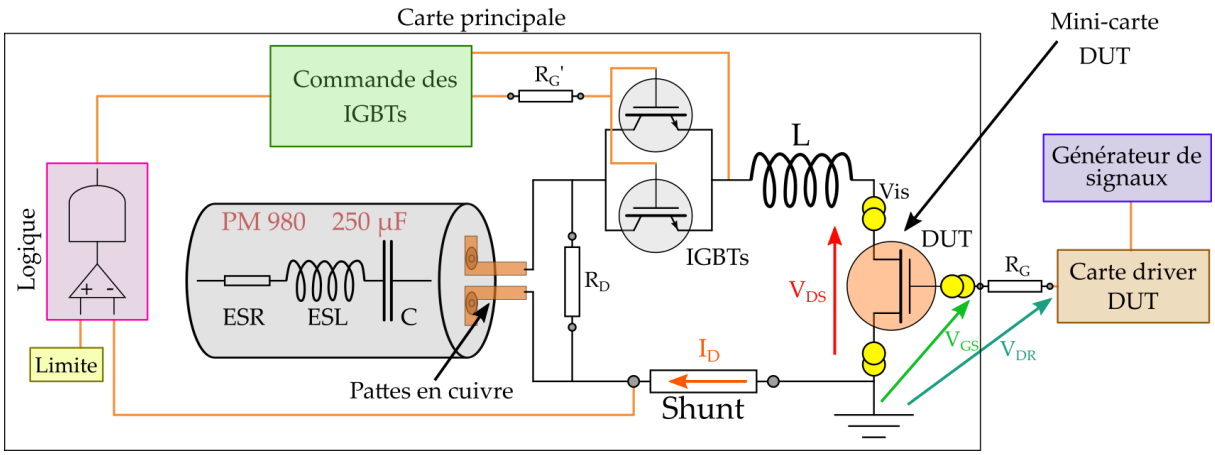



*Figure 44 : schéma électrique simplifié du banc n°1. La résistance équivalente $R_D$ représente les résistances de décharge : $R_D = 24{,}5\ k\Omega$.*

Chaque *DUT* est brasé sur une petite carte percée, qui est prise en sandwich entre le banc et la carte driver du *DUT* à travers des vis. La Figure 45 montre que le courant délivré par le condensateur passe alternativement d'une couche à l'autre du *PCB* : il transite par les pattes des *IGBTs*, puis par les vis de drain et de source du *DUT*, et enfin par le shunt.

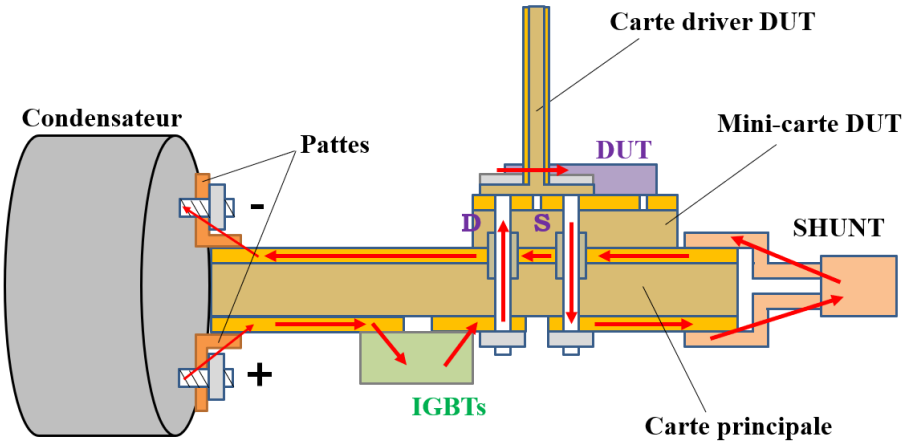



*Figure 45 : vue en coupe simplifiée de la partie puissance du banc n°1 représentant le chemin du courant de court-circuit délivré par le condensateur, et les trois cartes. Le schéma n'est pas à l'échelle.*

Le condensateur du banc est un condensateur film de 250 µ*F* (Exxelia PM980) dont les caractéristiques sont détaillées dans la partie 1.1.3 des annexes sur les bancs. Le condensateur a des connexions vissées, aussi j'ai fabriqué deux larges pattes en cuivre pour le relier à la carte principale (Figure 45 et Figure 46). Le shunt coaxial choisi a des connexions en forme de lamelles qui permettent de faire passer le courant d'une face à l'autre du *PCB*, ce qui réduit l'inductance du banc. La carte driver du *DUT* est montée perpendiculairement au banc.

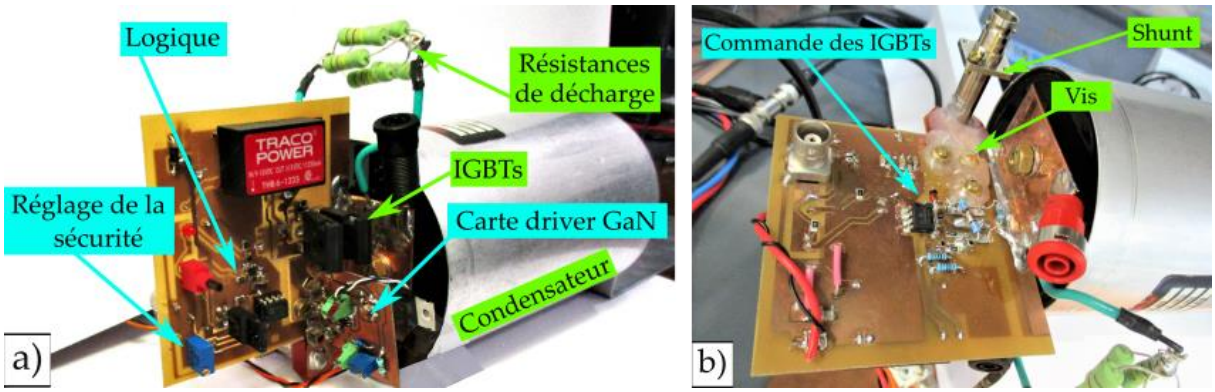



*Figure 46 : a) banc n°1 avec le condensateur (250 µF), les IGBTs, la logique de protection, la carte driver du DUT et les résistances de décharge ; b) autre face du banc où l'on voit le shunt, la commande des IGBTs et les trois vis de connexion de la carte driver sur le banc.*

La Figure 47 montre plusieurs *DUT* neufs et leur carte driver. Deux supports de sondes reçoivent les sondes passives 1: 10 qui mesurent les tensions $V_{GS}$ et $V_{DR}$.

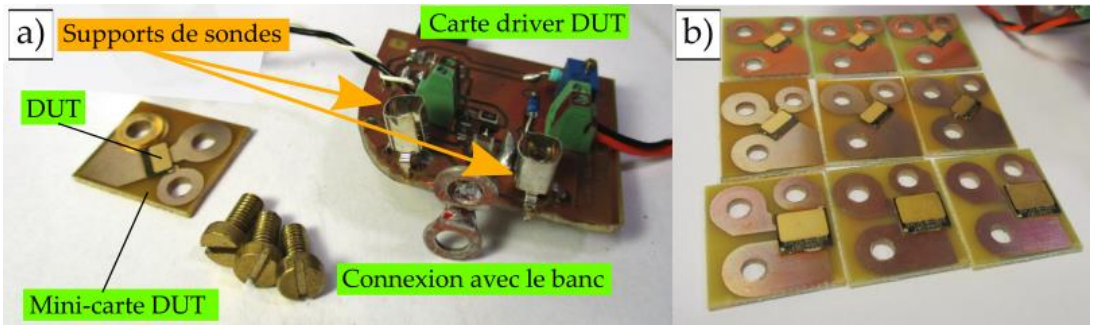



*Figure 47 : a) carte driver du DUT du banc n°1 comprenant le driver, les deux supports de sondes (pour $V_{GS}$ et $V_{DR}$), et deux pattes de connexion artisanales assurant la connexion avec le banc (grille et source du DUT) ; b) DUT neufs (du haut vers le bas : GaN Systems GS66506T, GS66508T et GS66516T), brasés sur les mini-cartes percées.*

La partie 1.2.1 des annexes présente le routage de la carte de puissance et de la carte driver du *DUT* en détails.

La partie 1.2.2 des annexes présente le schéma électrique complet du banc.

### 1.2.3 Comportement et limitations du banc n°1

Le banc n°1 a permis de réaliser un travail exploratoire important sur le comportement en court-circuit des HEMTs P-GaN du fondeur GaN Systems. J'ai réalisé plus de 40 essais destructifs, synthétisés dans l'article [82] de 2016. Ce banc a bien fonctionné dans l'ensemble. Il ne s'est pas détérioré au fil des essais et la protection réalisée avec les *IGBTs* est assez rapide pour éviter l'explosion des boitiers. A titre d'exemple, la Figure 48 présente un essai de court-circuit destructif de très longue durée (840 $\mu s$) réalisé sur un transistor GS66516T du fondeur GaN Systems. On note le fort pic de courant de drain (160 $A$) et sa décroissance rapide. Les formes d'ondes seront détaillées dans le chapitre III.

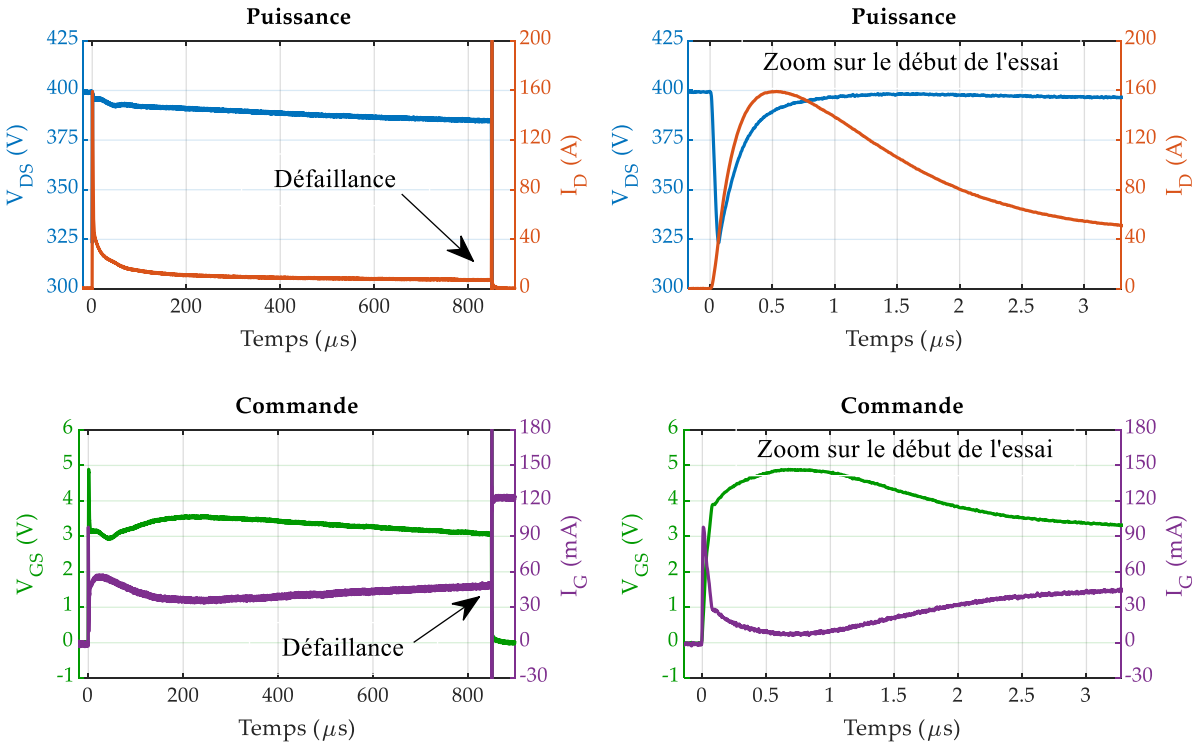



*Figure 48 : court-circuit destructif sur un transistor GS66516T (lot E025CHD) dans le banc n°1. $V_{DS} = 400\ V$, $V_{GS} = 5\ V$ et $R_G = 33\ \Omega$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$. A gauche : vue d'ensemble de l'essai ; à droite : zoom sur le début de l'essai.*

La Figure 49 présente le bon fonctionnement des *IGBTs* de protection du banc n°1. La défaillance intervient vers $t = 850{,}3\ \mu s$ et le courant augmente jusqu'à atteindre environ $600\ A$. Ce dernier est ensuite annulé par la protection vers $t = 850{,}75\ \mu s$.

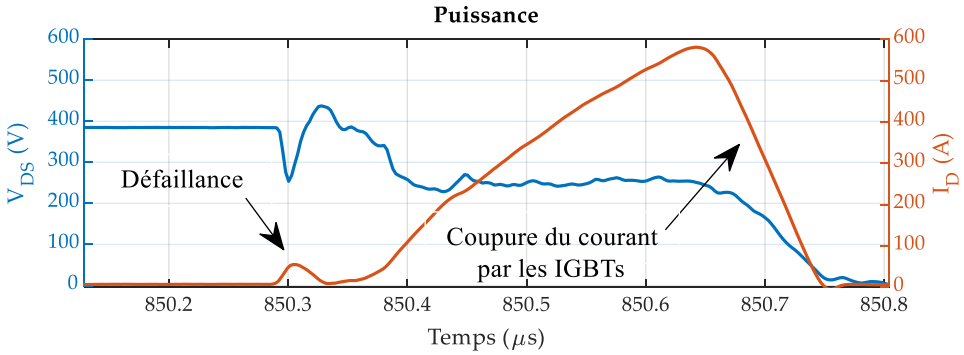



*Figure 49 : zoom sur la défaillance et l'action de la protection du banc n°1 lors d'un essai de court-circuit destructif sur un transistor GS66516T (lot E025CHD). $V_{DS} = 400\ V$, $V_{GS} = 5\ V$ et $R_G = 33\ \Omega$. A gauche : tension drain-source $V_{DS}$ ; à droite : courant de drain $I_D$.*

Cependant, j'ai rencontré plusieurs problèmes avec ce banc. Tout d'abord, certains transistors GaN Systems ont oscillé de façon surprenante, et je n'ai pas pu évaluer leur robustesse. La Figure 50 met en évidence ces oscillations auto-entretenues sur un essai de court-circuit qui était censé durer $10\ \mu s$. L'essai a finalement duré plusieurs millisecondes et on observe une série de cinq perturbations après environ $3\ ms$.

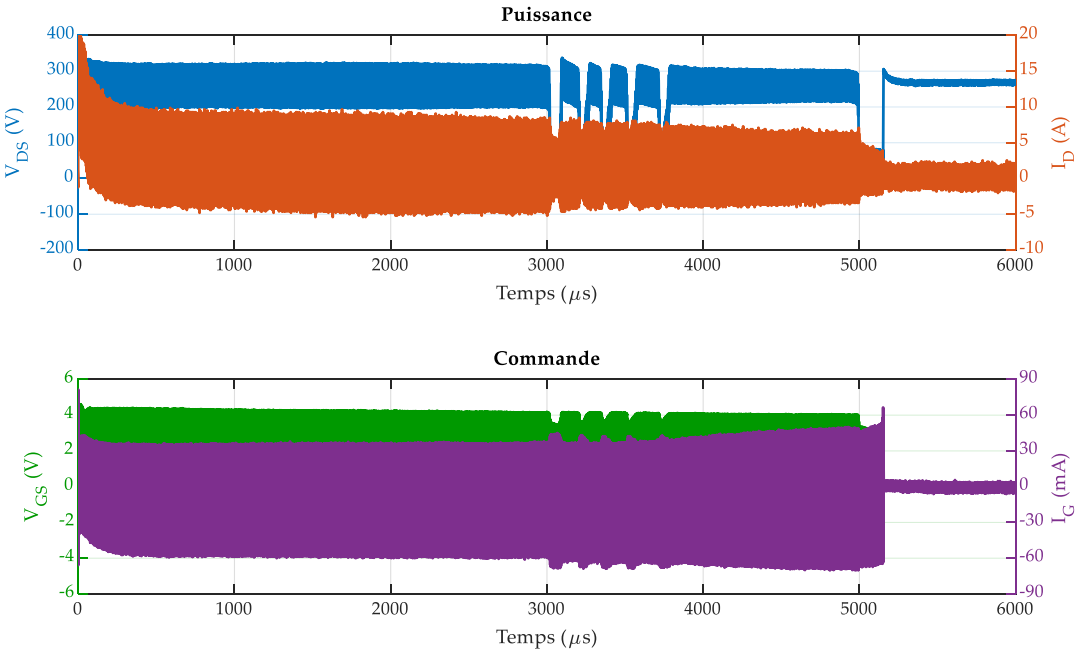



*Figure 50 : oscillations lors d'un court-circuit destructif sur un transistor GaN Systems GS66506T, dans le banc n°1. $V_{DS} = 270\ V$, $V_{GS} = 5\ V$, $R_G = 33\ \Omega$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

J'ai aussi testé des composants cascode (Transphorm), qui ont montré des oscillations encore plus marquées. La Figure 51 présente ce phénomène. Les voies de l'oscilloscope ont saturé, mais on peut noter les fortes valeurs prises par le courant de grille et la tension $V_{GS}$. Il est probable que des artefacts de mesure (comme des résonance dans la chaine de mesure) entachent les relevés de la Figure 51.

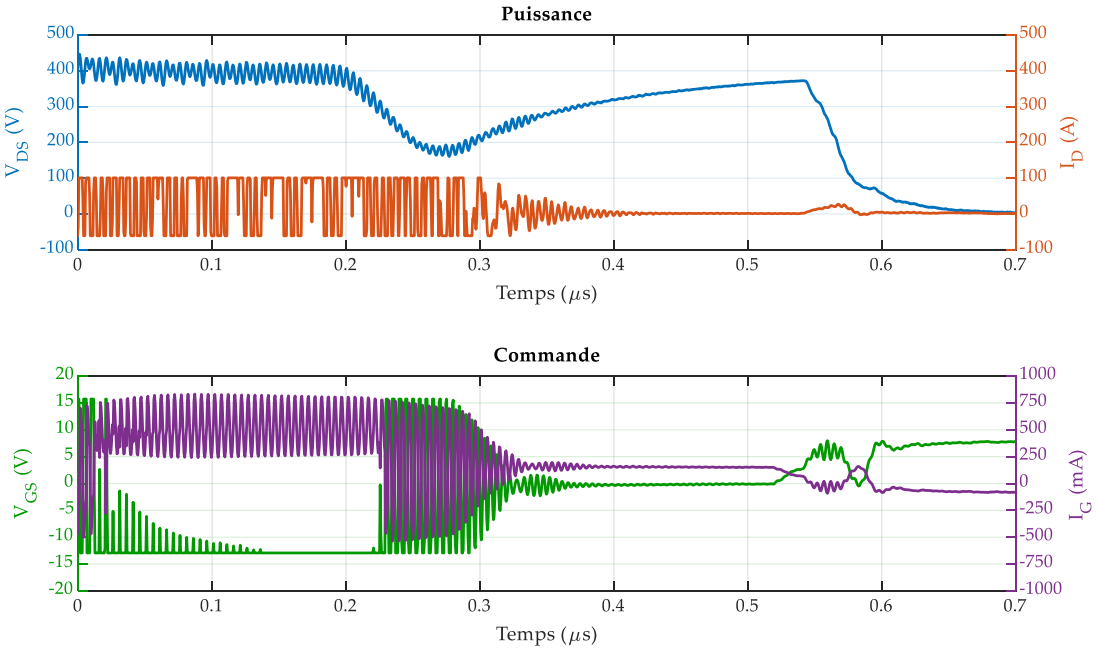



*Figure 51 : oscillations lors d'un court-circuit sur un transistor Transphorm TPH3206LDG, dans le banc n°1. $V_{DS} = 400\ V$, $V_{GS} = 8\ V$, $R_G = 33\ \Omega$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

Un autre problème du banc n°1 est qu'il est relativement inductif (voir la partie 2.3.1 : plus de 60 $nH$), car il ne contient qu'un seul condensateur de forte valeur qui fournit l'intégralité du courant. Cela

favorise l'apparition d'oscillations. En effet, si l'on modélise grossièrement le banc par un circuit RLC série, diminuer l'inductance réduit le facteur de qualité, ce qui atténue les oscillations.

Ensuite, il est possible que les courts-circuits destructifs fatiguent les éléments inamovibles du banc : la logique de protection, le driver des *IGBTs*, les *IGBTs* eux-mêmes, le shunt, ainsi que le driver du *DUT*. Ces composants ont parfois cassé lors d'un essai, et leur remplacement est chronophage. La dégradation possible du driver du *DUT* au fil des essais pourrait avoir une influence sur les formes d'ondes en court-circuit.

Enfin, le routage autour du *DUT* ne comprend pas de source kelvin, le fort courant de puissance qui circule par la piste reliée à la source peut donc perturber la tension $V_{GS}$ et favoriser les oscillations à l'amorçage. Pour toutes ces raisons, j'ai décidé de concevoir un autre banc de court-circuit.

## 1.3 Banc n°2

### 1.3.1 Améliorations par rapport au banc n°1

Ce deuxième banc reprend dans les grandes lignes la même structure que le premier, et comporte aussi une protection assurée par des *IGBTs*. Cependant, j'ai modifié et/ou ajouté plusieurs éléments. J'ai voulu que ce deuxième banc soit plus modulaire pour simplifier les réparations suite à un défaut (ex : défaillance du driver des *IGBTs* ou défaillance d'un élément de la logique de protection).

Comme la tension de bus diminuait de manière significative lors d'essais longs ($> 100\ \mu s$), j'ai ajouté un deuxième condensateur pour augmenter la réserve d'énergie du banc (référence identique au condensateur du premier banc : Exxelia PM980 $250\ \mu F$).

Par ailleurs, j'ai cherché à diminuer l'inductance de la partie puissance du banc, en ajoutant des condensateurs céramiques d'assez forte valeur au plus près de la maille de puissance, et en sélectionnant de nouveaux *IGBTs* possédant un package CMS moins inductif.

J'ai rendu le banc plus pratique lors du changement de *DUT* en remplaçant les trois vis de connexion utilisées dans le premier banc par un connecteur à broches de type carte à carte. L'inconvénient est que ce connecteur est assez inductif, ce qui impacte à la fois la maille de puissance du banc et sa maille de commande. Cette solution est intéressante mais il faudrait utiliser des connecteurs spécifiques faiblement inductifs, et optimiser le routage autour du connecteur.

Une source kelvin a été prévue dans le routage des *DUT* pour limiter les interactions puissance-commande.

J'ai aussi prévu un emplacement pour braser une perle de ferrite à la sortie du driver du *DUT*, au cas où des oscillations apparaitraient, comme conseillé dans la note d'application [95] de GaN Systems.

Enfin, j'ai tenté de limiter la circulation de courants de mode commun dans le banc. Tout d'abord, le driver du *DUT* est isolé (la capacité entrée/sortie vaut $0{,}5\ pF$), contrairement au premier banc. Ensuite, la carte driver des *IGBTs* comprend deux alimentations à découpage elles aussi isolées à faible capacité parasite ($7\ pF$ et $33\ pF$). Enfin, j'ai placé des filtres de mode commun de type CMS sur toutes les pistes d'alimentation ($+12\ V$ et $\pm V_{GS}$), secondés par des condensateurs $C_Y$ reliés à la terre. Par ailleurs, le banc comprend une large zone de cuivre reliée à la terre pour offrir un chemin privilégié aux courants de mode commun, sans passer par l'oscilloscope (Figure 185).

### 1.3.2 Structure physique et électrique du banc n°2

La Figure 52 présente l'architecture globale de ce banc. Il comporte quatre cartes (Figure 52) :

- la carte principale, qui comporte la maille de puissance ;
- la carte driver du *DUT* ;
- la carte driver des *IGBTs*, qui contient aussi la logique de protection ;
- la mini-carte du *DUT*.

Afin de réduire l'inductance parasite du banc, j'ai ajouté quatre condensateurs céramiques (formant une capacité totale de 5,6 µ*F*) au plus près de la maille de puissance, en prenant comme hypothèse que ces derniers fourniraient le courant au début du court-circuit, lors du transitoire brutal de l'amorçage. Cette hypothèse sera validée dans la partie 2.3.2.4. Les caractéristiques des condensateurs sont présentées dans la partie 1.1.4 des annexes.

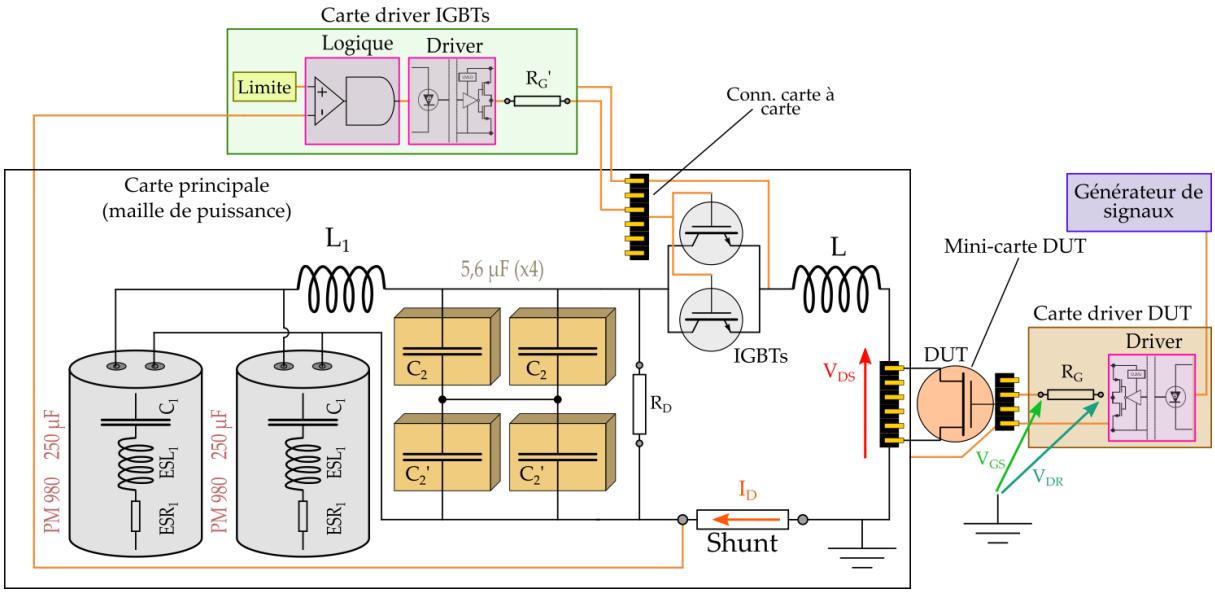



*Figure 52 : schéma électrique simplifié du banc n°2. La résistance équivalente $R_D$ représente les résistances de décharge : $R_D = 1{,}5\ M\Omega$.*

J'ai voulu rendre ce deuxième banc plus modulaire que le premier. Pour cela, j'ai séparé la partie puissance (condensateurs, *IGBTs*, *DUT* et shunt) de la partie commande des *IGBTs*, contrairement au premier banc qui regroupait tout sur une même carte. La commande du *DUT* est routée sur une autre carte, et le *DUT* est brasé sur une mini-carte (Figure 53). Il y a donc une carte principale pour la puissance, deux cartes driver et la mini-carte du *DUT* (Figure 52). Les deux cartes driver sont enfichées à travers des connecteurs à broches de type carte à carte sur le *PCB* de puissance, selon un angle de 90° pour limiter l'inductance mutuelle entre puissance et commande (Figure 54a et b). La logique de protection est intégrée dans la carte driver des *IGBTs*.

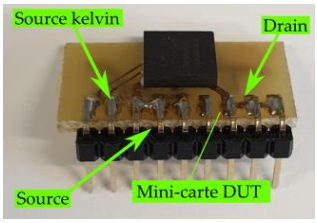



*Figure 53 : photo de la mini-carte du DUT avec sa source kelvin (composant Transphorm).*

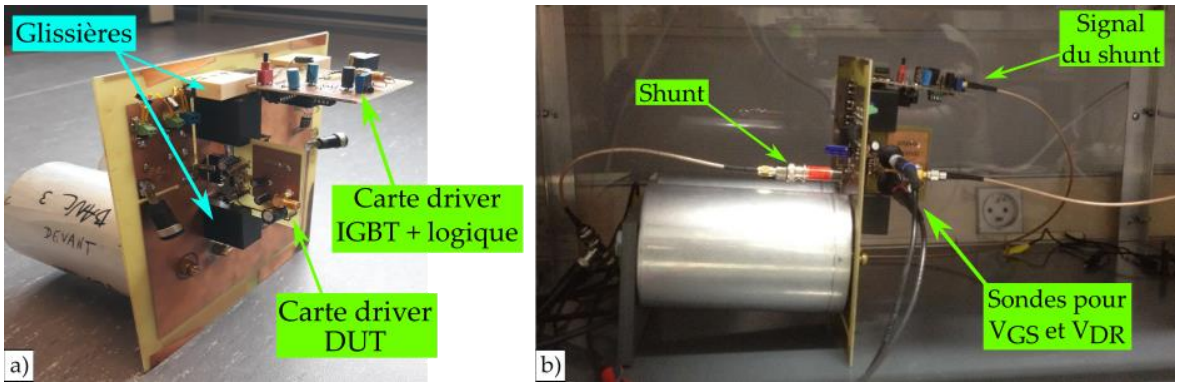



*Figure 54 : photos du banc n°2. a) banc complet avec les deux cartes driver montées sur des glissières : b) banc de profil avec le shunt et les sondes passives pour la mesure de la tension grille-source ($V_{GS}$) et de sortie du driver ($V_{DR}$).*

Le courant de court-circuit, fourni par les condensateurs du banc, passe par les *IGBTs* puis par le *DUT*, arrive au shunt coaxial et traverse la carte de puissance pour retourner aux condensateurs comme le montre la Figure 55.

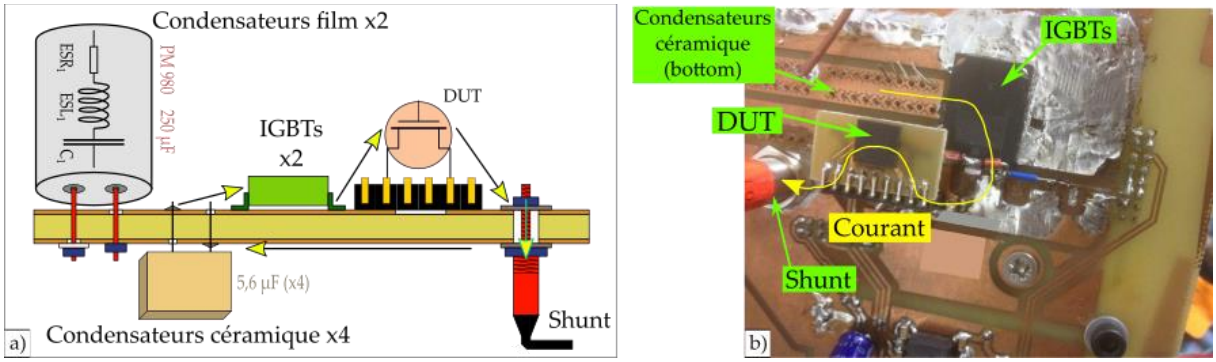



*Figure 55 : a) vue en coupe simplifiée de la partie puissance représentant le chemin du courant de court-circuit délivré par le condensateur. La commande des IGBTs et du DUT n'est pas représentée, ni la logique de protection du banc ; b) Photo de la maille de puissance comprenant les condensateurs céramiques (brasés de l'autre côté), un IGBT (le deuxième a été débrasé sur la photo), la mini-carte du DUT et le shunt.*

La partie 1.3.1 des annexes présente le routage de la carte de puissance et de la carte driver du *DUT* en détails.

La partie 1.3.2 des annexes présente le schéma électrique complet du banc.

### 1.3.3 Comportement et limitations du banc n°2

L'objectif principal de ce banc était donc d'être plus pratique et moins inductif que le premier banc, et c'est bien le cas. Ce deuxième banc est environ 30% moins inductif que le premier (voir parties 2.3.1.4 et 2.3.2.5), mais le gain n'est pas aussi important qu'espéré. Le connecteur à broches de type carte à carte utilisé pour le *DUT*, ainsi que le package volumineux des *IGBT*s en est probablement la cause.

L'objectif secondaire de ce deuxième banc était de pouvoir tester les transistors cascode du fondeur Transphorm, sans avoir les problèmes d'oscillations du banc n°1. J'ai réalisé en tout 15 essais non destructifs répartis sur trois composants Transphorm, et je n'ai observé des oscillations (de courte durée : moins de 2 µs) que sur 5 essais. Plusieurs transistors GaN Systems ont été testés, et je n'ai noté aucune oscillation avec ces derniers, contrairement au banc n°1. La Figure 56 montre les oscillations sur un transistor Transphorm. La tension $V_{DS}$ atteint des valeurs proches de la tension de claquage, et le courant

de drain oscille lui aussi. La tension $V_{GS}$ mesurée à l'oscilloscope dépasse les 75 $V$ en valeur absolue, ce qui n'est pas normal car cela entrainerait la casse de la grille et donc l'arrêt des oscillations. Ainsi, il est probable que les valeurs de la tension $V_{GS}$ mesurée soient causées par un artefact de mesure (une résonance dans la chaine de mesure). L'essai s'arrête spontanément au bout de 400 $ns$ environ.

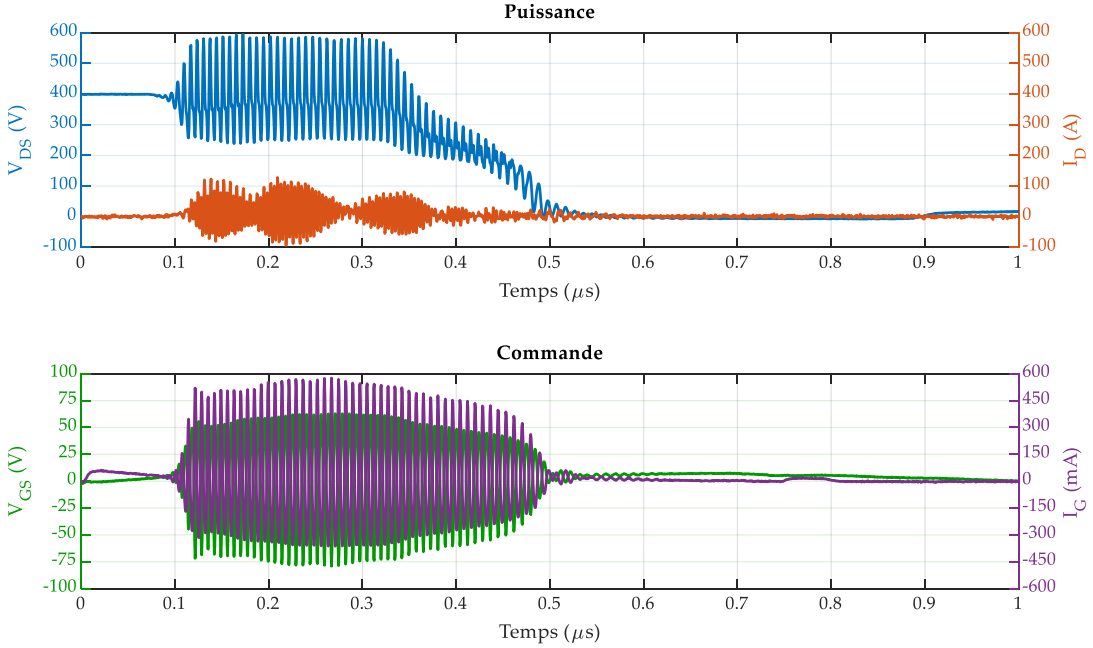



*Figure 56 : oscillations lors d'un court-circuit destructif sur un transistor Transphorm TPH3206LDG, dans le banc n°2. $V_{DS} = 400\ V$, $V_{GS} = 8\ V$, $R_G = 150\ \Omega$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

En tout, j'ai testé 7 transistors (4 transistors GaN Systems et 3 composants Transphorm) dans le banc n°2, soit beaucoup moins que dans le banc n°1. J'ai réalisé 31 essais de court-circuit, la plupart non-destructifs, dont une grande partie a été faite sous basse tension, pour valider le banc. Les oscillations mesurées sur les transistors Transphorm ont détruit des composants dans le banc à plusieurs reprises (driver du *DUT*, driver des *IGBTs* et logique de protection). Ceci a rendu l'utilisation de ce deuxième banc difficile. J'ai donc décidé de concevoir un banc très différent, le troisième et dernier de la thèse.

## 1.4 Banc n°3

Pour concevoir ce banc, je me suis aidé de nombreux schémas et dessins. J'ai aussi utilisé des cartes mentales (partie 1.5 des annexes).

### 1.4.1 Améliorations par rapport au banc n°2

Suite aux problèmes rencontrés dans les deux bancs précédents, j'ai décidé de concevoir un banc très différent. Les objectifs étaient les suivants :

- être moins inductif que le banc n°2, afin de limiter les oscillations constatées lors de certains essais ;
- ne plus accumuler de dégradations au niveau du driver du *DUT* ;
- être modulable pour pouvoir tester des transistors de différents fondeurs ;
- être réparable facilement ;
- mieux maitriser la circulation de courant de mode commun ;

- permettre des essais assez rapides car il y avait en tout plus d'une centaine d'essais à réaliser.

La conception du banc a été un compromis entre tous ces objectifs. Pour faire un banc moins inductif que le banc n°2, j'ai décidé de simplifier à l'extrême la fonction protection. Les *IGBTs* de protection augmentaient l'inductance du banc. Ces composants ont été remplacés par un simple fusible monté en surface, en format 1206. Cette simplification entraine cependant plusieurs inconvénients. Tout d'abord, les transistors explosent systématiquement si l'essai est destructif. L'analyse microscopique de défaillance après l'essai est a priori impossible, car la puce est détruite de façon grossière (le niveau sonore lors de l'explosion est si intense que j'ai porté un casque anti-bruit lors des essais).

La Figure 57 montre une série de transistors GaN Systems et l'explosion de leur boitier.

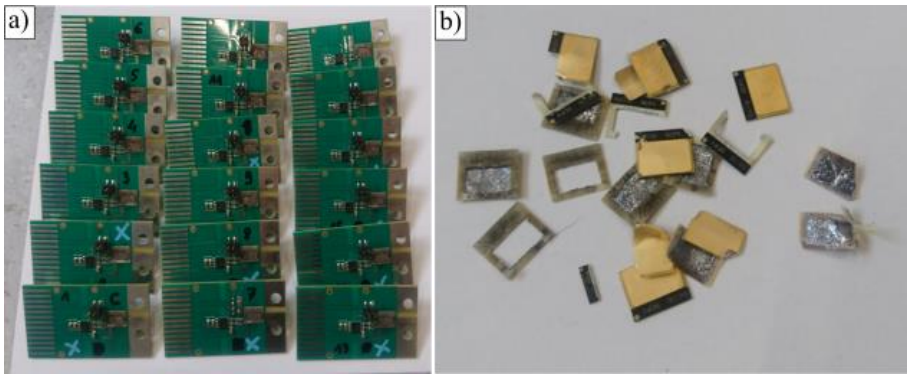



*Figure 57 : a) cartes DUT avec les transistors GS66516T de GaN Systems décapsulés après les essais destructifs ; b) fragments de boitiers de ces transistors.*

Ensuite, les pistes de cuivre du *PCB* de puissance sont soumises à un courant extrêmement important puisqu'après la défaillance du transistor, il peut dépasser les 4 $kA$.

Enfin, le fusible est détruit à chaque essai, il faut donc le débraser et en braser un neuf à chaque essai.

### 1.4.2 Structure physique et électrique du banc n°3

La Figure 58 présente l'architecture globale de ce banc. Il comporte plusieurs cartes (visibles en photo sur la Figure 59) :

- la carte principale, qui comporte uniquement la maille de puissance ;
- la carte du *DUT*, vissée sur la carte principale ;
- et enfin, la carte d'alimentation, connectée à la carte du *DUT* avec une nappe souple et un connecteur à broches de type bord de carte.

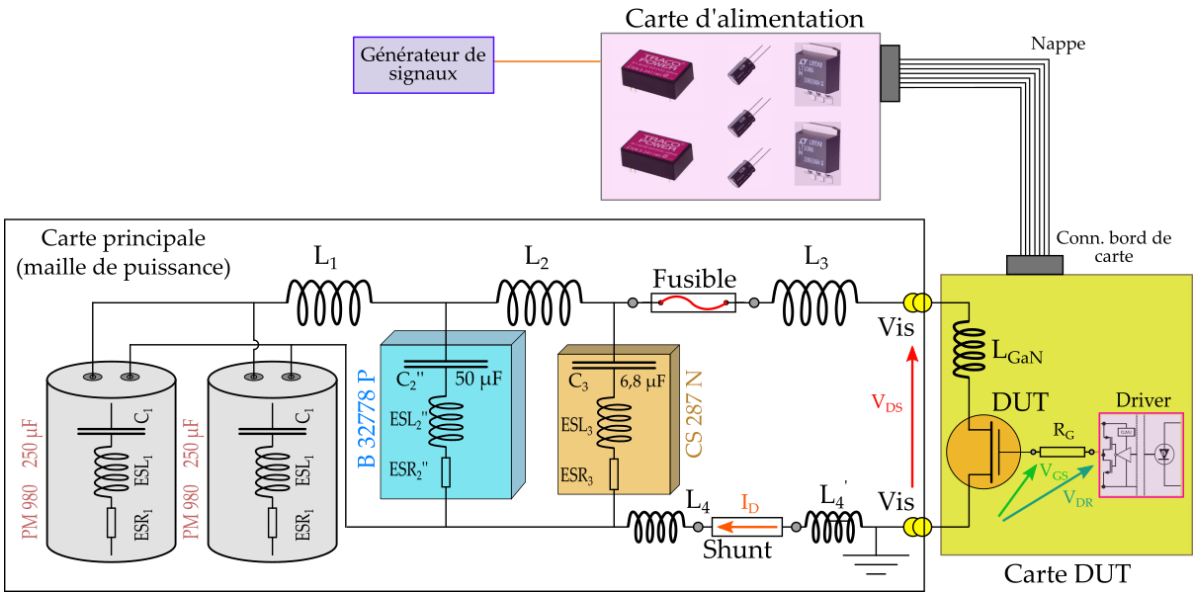



*Figure 58 : schéma électrique simplifié du banc n°3. Ne sont pas représentés : l'alimentation haute tension, l'alimentation basse tension, le voltmètre de sécurité, l'oscilloscope et les résistances de décharge.*

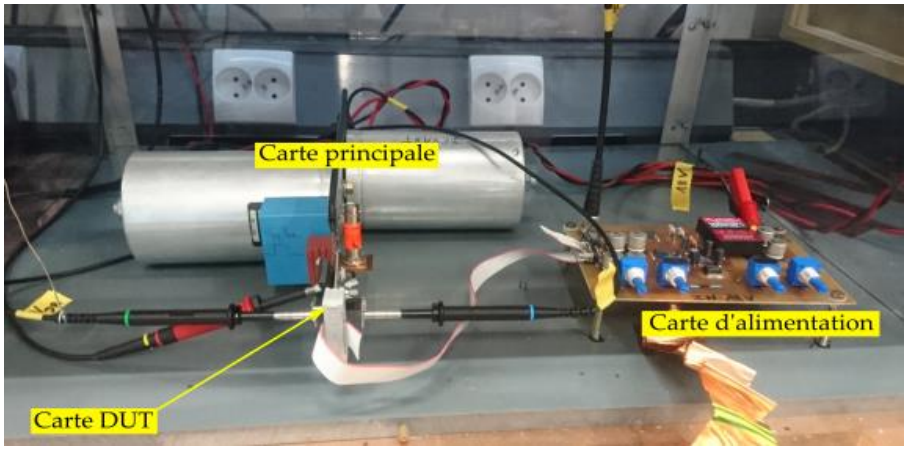



*Figure 59 : photo des trois cartes du banc n°3.*

La carte principale (Figure 58, à gauche) est un *PCB* double face très fin ($0{,}4\ mm$ d'épaisseur). Elle comporte quatre condensateurs : deux condensateurs *PM* 980 de $250\ \mu F$, identiques à ceux utilisés dans les deux autres bancs ; un condensateur à film métallisé polypropylène de $50\ \mu F$ ; enfin, un condensateur céramique très peu inductif d'une capacité de $6{,}8\ \mu F$. Les caractéristiques des condensateurs sont détaillées dans la partie 1.1.5 des annexes. Un fusible est inséré entre ce condensateur et le *DUT*, et un shunt coaxial de $9{,}93\ m\Omega$ complète la maille de puissance. Le routage de cette carte est différent des deux bancs précédents : les bornes positive et négative des condensateurs sont connectées à deux grands plans de cuivre qui sont cote à cote (séparés par une isolation de $2\ mm$), sur la face inférieure du *PCB*. Ceci ressemble à une ligne de transmission de type micro-ruban. La face supérieure, elle, est un simple plan de cuivre laissé flottant. La Figure 60 montre ce routage. L'article [96] montre que cette architecture est très faiblement inductive, même si les hypothèses de cet article sont assez différentes des essais de courts-circuits, notamment sur la raideur des fronts.

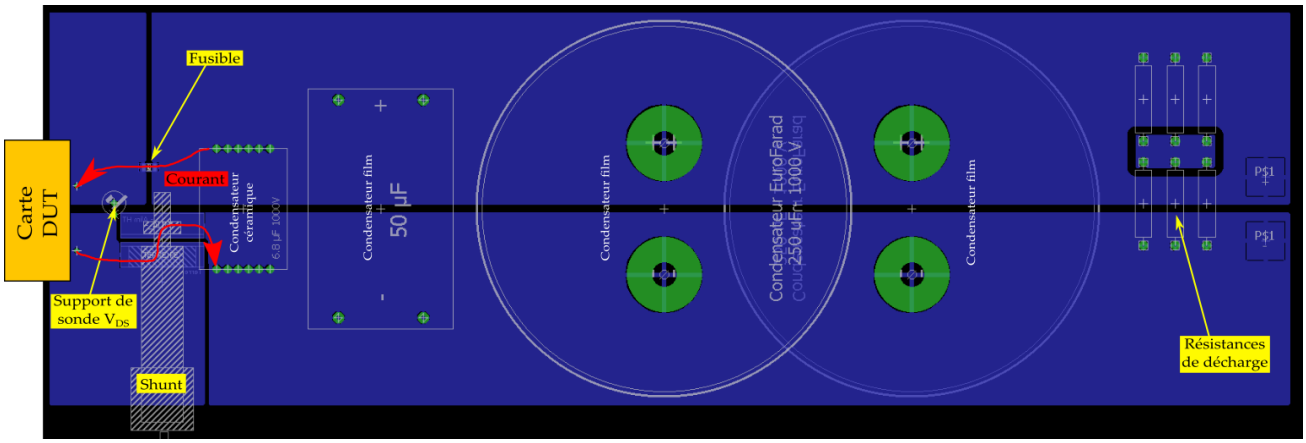



*Figure 60 : carte principale du banc n°3 sous le logiciel EAGLE.*

La carte du *DUT* (Figure 186b, en Annexe) est vissée sur la carte principale (Figure 61). La carte du *DUT* contient le driver du *DUT*, les condensateurs de découplage associés, deux supports de sondes ainsi que le *DUT* lui-même. Cette carte *DUT* est à usage unique : elle est jetée après l'essai destructif. Six références de *DUT* ont été testées, de quatre fondeurs différents : GaN Systems (références GS566506T, GS566508T et GS566516T), Transphorm (TPH3208LDG), Panasonic (PGA26E07) et enfin des composants du projet MEGaN du CEA-LETI. J'ai routé de façon quasi-identique les cartes des *DUT* de familles différentes, pour que les essais soient comparables entre eux.

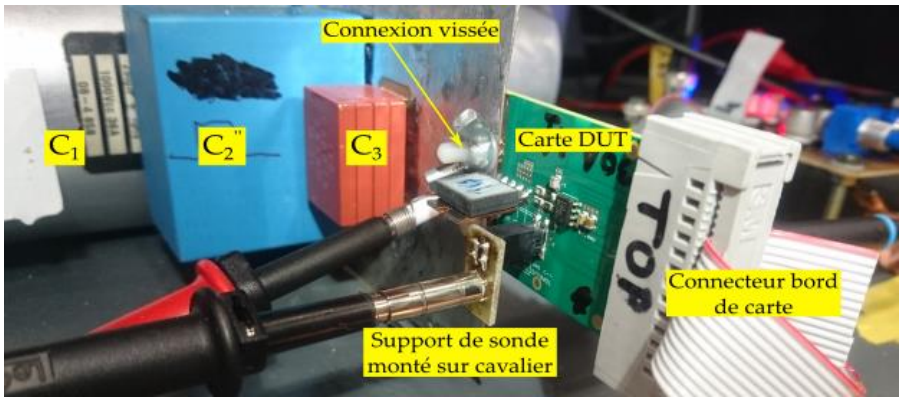



*Figure 61 : photo de la partie puissance du banc n°3, montrant la carte du DUT vissée sur la carte principale, ainsi que deux condensateurs.*

La Figure 62 montre le routage de la carte *DUT* avec un transistor GaN Systems GS566516T. J'ai placé les condensateurs de découplage au plus près de la grille du *DUT* et j'ai routé une source Kelvin avec de nombreux vias. L'inductance de sortie du driver est donc très faible. La Figure 63 présente une photo de la carte *DUT*.

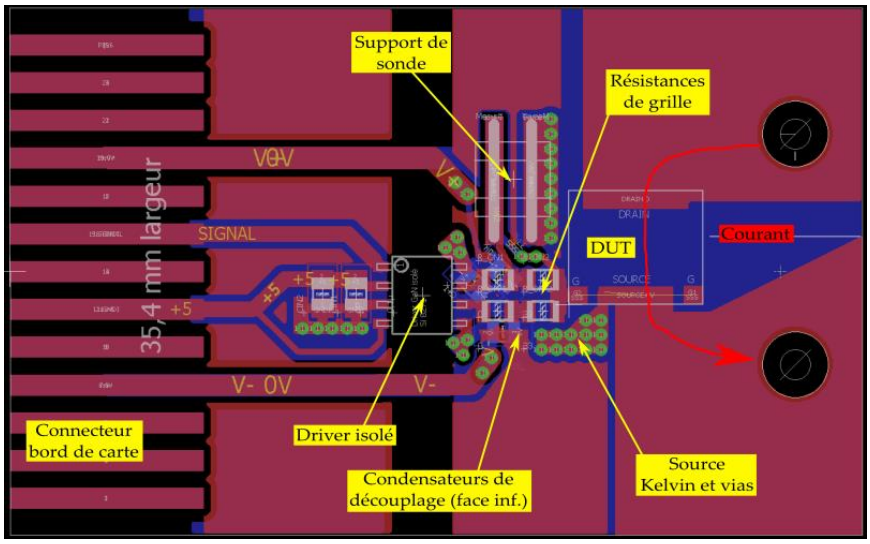



*Figure 62 : carte du DUT sous le logiciel EAGLE.*

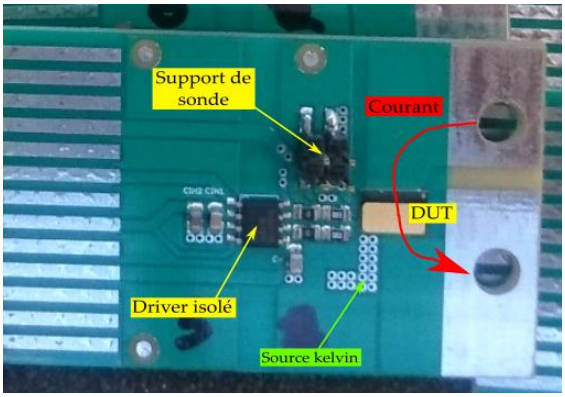



*Figure 63 : photo de la carte DUT comprenant le DUT, son driver et deux cavaliers recevant des supports de sondes (non présents sur la photo).*

Les caractéristiques de la carte d'alimentation et son routage sont détaillés dans la partie 1.4.1 des annexes.

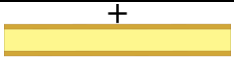
La partie 1.4.2 des annexes présente le schéma électrique complet du banc.

## 1.5 Comparaison des bancs

### 1.5.1 Comparaison de l'architecture des bancs

Le Tableau 4 montre les principales différences entre les trois bancs.

*Tableau 4 : comparaison des trois bancs de court-circuit.*

| Banc n° | 1 | 2 | 3 |
|---|---|---|---|
| **Routage de la maille de puissance** | +  - | | + - Flottant |
| **Condensateurs de puissance** | 250 µ$F$ film | (250 µ$F$ film) x2<br>(5,6 µ$F$ céramique) x4 | (250 µ$F$ film) x2<br>50 µ$F$ film<br>6,8 µ$F$ céramique |
| **Protection** | Comparateur + bascule + *IGBT*s | | Fusible |
| **Connexion entre carte principale et *DUT*** | Vissée | Connecteur à broches | Vissée |
| **Alimentation 5 $V$ (logique et signal)** | Alim. de labo. | Alim. de labo.<br>+ filtre de MC | Isolation (33 $pF$)<br>+ filtre de MC |
| **Alimentation $\pm V_{GE}$ (IGBTs)** | Alim. isolée (7 $pF$) | | |
| **Driver des IGBTs** | Isolé (1 $pF$) | | |
| **Alimentation $\pm V_{GS}$ (*DUT*)** | Alim. de labo. | Alim. de labo.<br>+ filtre de MC | Isolation (7 $pF$)<br>+ filtre de MC |
| **Driver du *DUT*** | Non isolé | Isolé (0,5 $pF$) + changé à chaque à chaque essai | |
| **Générateur de signaux** | Connexion directe au driver | | Isolation par optocoupleur |

## 1.5.2 Comparaison des formes d'ondes de court-circuit

Aucun essai du banc n°2 n'est comparable à ceux effectués dans les bancs n°1 et 3 ; je compare donc uniquement ces deux derniers. Afin de prendre en compte la dispersion importante constatée lors des essais d'un transistor à l'autre, je n'ai pas comparé deux essais mais deux séries d'essais comprenant respectivement 12 et 18 transistors pour les bancs n°1 et n°3. La Figure 64 superpose les essais de court-circuit des deux séries, chacune étant associée à un banc.

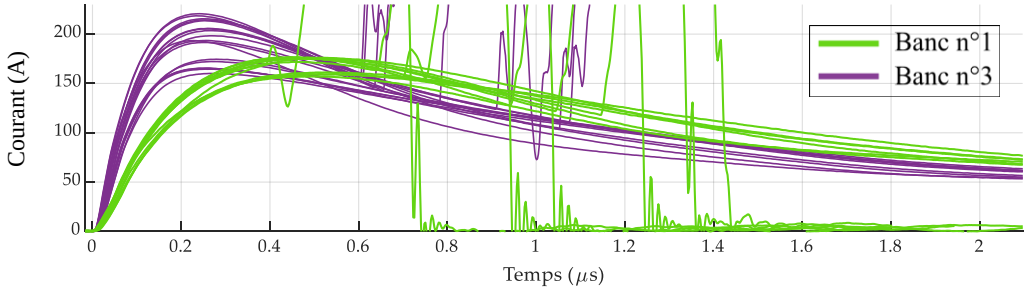



*Figure 64 : Courants de drain $I_D$ superposés pour deux séries : la n°8 (banc n°1, en vert) et la n°9 (banc n°3, en violet). Référence testée : GS66516T ; $V_{GS} = 5\ V$ ; $R_G = 33\ \Omega$.*

On voit clairement que le courant de drain varie plus rapidement dans le banc n°3, ce qui montre bien que ce dernier est moins inductif que le banc n°1.

Dans cette première partie, je me suis concentré sur l'architecture des bancs. Dans la partie qui suit, je les caractérise électriquement.

# 2. Mesures d'impédance des bancs

## 2.1 Motivations

À l'amorçage d'un essai de court-circuit, l'augmentation brutale du courant de drain est réglée en partie par l'inductance parasite de la maille de puissance. Connaitre sa valeur est donc important, mais compte-tenu de la géométrie des trois bancs, cette inductance ne peut pas être calculée simplement. Ensuite, la diminution progressive de la tension drain-source dépend de la valeur des capacités des condensateurs du banc, qui se déchargent peu à peu. Les fabricants donnent ces chiffres, mais comme les tolérances sont larges (souvent $\pm 10\%$, parfois même $\pm 20\%$), cela ne donne qu'une idée très approximative de leur capacité réelle.

En première approche, la partie puissance des bancs peut être modélisée par un circuit $RLC$ série ayant une pulsation propre $\omega_0$ et un facteur d'amortissement $\lambda$ définis par :

$$\omega_0 = \frac{1}{\sqrt{LC}} \qquad \lambda = \frac{R}{2L}$$

Avec : $R$, la somme de toutes les résistances de la maille de puissance ; $L$ l'inductance totale de la maille du puissance (comprenant les $ESL$ du ou des condensateur(s)) ; $C$ la capacité équivalente des condensateurs du banc.

Dans la carte de commande, l'inductance de sortie du driver interagit avec la capacité d'entrée du transistor GaN, ce qui forme un autre circuit résonant. Les paramètres *RLC* de ce circuit résonant sont aussi importants : quand ce dernier est excité par le signal de commande du driver, des oscillations peuvent apparaitre et cela perturbe l'évaluation de la robustesse du transistor.

Pour prévoir et limiter ces résonances, il faut connaitre les pulsations propres des circuits, ce qui impose de mesurer précisément les valeurs des inductances et des capacités.

Enfin, les éléments parasites résistifs des pistes de cuivre et surtout des contacts (vissés ou brasés) peuvent apporter un peu d'amortissement dans les circuits *RLC* que forment la maille de puissance et la maille de commande. Ces résistances parasites peuvent difficilement être déterminées précisément par le calcul.

Concevoir les bancs à travers un logiciel de CAO dédié (EAGLE [97]) puis les fabriquer (insolation, gravure chimique, et brasure) ne donne qu'une vague idée de leurs caractéristiques électriques. La mesure des caractéristiques électriques des bancs est nécessaire, au moins pour comparer les bancs entre eux, mais aussi pour établir un modèle électrique.

Ces derniers sont en effet assez différents. Certaines parties du banc ont été découpées puis pliées à la main (plaques de connexion du condensateur du banc n°1, support du shunt du banc n°3), et ensuite brasées en place, ce qui laisse une incertitude sur leurs dimensions et emplacements finaux. En particulier, l'une des motivations de la fabrication d'un deuxième puis d'un troisième banc de court-circuit était la diminution de l'inductance parasite de la maille de puissance. Effectuer une mesure de cette grandeur est important pour valider l'amélioration souhaitée.

Pour toutes ces raisons, j'ai caractérisé chacun des trois bancs en suivant le protocole expérimental que je décris dans la partie suivante.

## 2.2 Protocole expérimental

J'ai utilisé un analyseur d'impédance Keysight E4990A-120 dont le fonctionnement et l'incertitude de mesure sont détaillés dans la partie 3.1 des annexes. J'ai accordé un soin particulier à la compensation des impédances parasites, ceci est détaillé dans la partie 3.2 des annexes.

Concernant les incertitudes, seuls les résultats des calculs seront mentionnés. Ils sont basés sur le paramètre « précision » $E$ de la Figure 195 de cette annexe. Je ne mentionnerai pas cette dernière à chaque fois.

J'ai caractérisé chacun des trois bancs, et plusieurs mesures dans des configurations différentes ont été faites pour chacun d'entre eux : condensateur seul, banc sans le condensateur, banc entier, etc. Les mesures d'impédance des condensateurs sont présentées dans la partie 3.3 des annexes.

Pour chaque mesure, j'ai brasé un connecteur à un endroit du circuit, et pour certaines j'ai dû ouvrir la maille de puissance, en coupant une piste de cuivre puis en brasant le connecteur à la place. L'endroit ouvert a été choisi de telle sorte que cela ne modifie pas trop la circulation normale du courant.

Lorsque la mesure nécessitait que le composant GaN soit en place, j'ai utilisé un composant GaN Systems commandé avec la tension de grille la plus courante lors des essais de court-circuit ($V_{GS} = 5\ V$ généralement). Ainsi la mesure d'impédance est faite dans des conditions similaires à celle d'un court-circuit.

## 2.3 Résultats

### 2.3.1 Banc n°1

Le premier banc de court-circuit comporte un seul condensateur film métallisé de $250\ \mu F$, vissé sur des pattes en cuivre, elles-mêmes brasées sur une carte contenant à la fois la maille de puissance et la logique de protection (voir partie 1.2).

J'ai caractérisé chaque partie du banc séparément, afin de raffiner son modèle électrique. Cela a nécessité trois mesures :

- Mesure de l'impédance complexe du condensateur seul ;
- Mesure de l'impédance complexe de la maille de puissance et des pattes en cuivre ;
- Mesure de l'impédance complexe du banc entier.

Les paramètres extraits des deux premières mesures doivent se retrouver dans la troisième mesure, en particulier pour les inductances parasites. Faire ces trois mesures permet aussi de vérifier la cohérence des résultats obtenus.

#### 2.3.1.1 Condensateur PM980 250 µ$F$

La partie 3.3.1 des annexes présente en détails la mesure de l'impédance de ce condensateur. Le Tableau 5 renseigne ses caractéristiques extraites de cette mesure.

*Tableau 5 : Caractéristiques du condensateur PM 980 du banc n°1.*

| **Condensateur** | **Capacité (µ$F$)** | ***ESL*** $(nH)$ | ***ESR*** $(m\Omega)$ |
|---|---|---|---|
| PM 980 | $(2{,}7 \pm 0{,}3).10^2$ | $31 \pm 2$ | $4 \pm 1$ |

*L'ESL* de ce condensateur est assez grande, ce qui aura un impact direct sur les formes d'ondes de court-circuit puisque le banc n°1 ne comporte qu'un seul condensateur.

### 2.3.1.2 Maille de puissance

Dans cette partie, je présente la mesure de l'impédance de la maille de puissance seule, constituée des pattes en cuivre brasées sur la carte du banc n°1 (Figure 65). Les *IGBTs* sont commandés avec une tension grille-émetteur $V_{GE} = +15\,V$, et le transistor GaN (GaN Systems GS66508T, de résistance passante $50\,m\Omega$) avec une tension $V_{GS} = +5\,V$. Le connecteur SMA a été brasé sur les pattes en cuivre. J'ai utilisé l'accessoire artisanal pour cette mesure. Afin de mettre en conduction les *IGBTs*, j'ai appliqué une polarisation continue avec l'analyseur d'impédance. La partie 3.4 des annexes présente une mesure avec et sans polarisation pour valider le fait que les *IGBTs* soient bien passants.

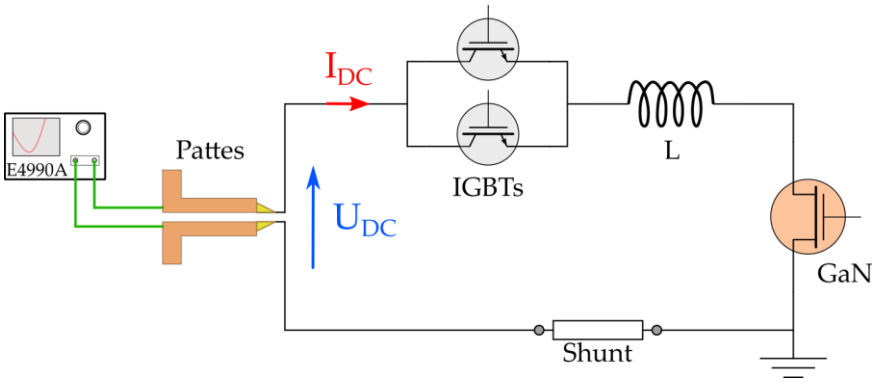



*Figure 65 : mesure de l'impédance complexe de la maille de puissance seule du banc n°1, le condensateur PM980 a été démonté. L modélise l'inductance parasite totale de la maille. Ne sont pas représentés : le circuit de commande des IGBTs et du transistor GaN et les résistances de décharge.*

L'inductance L modélise la somme de toutes les inductances parasites : celle des pattes en cuivre, du boitier des *IGBTs*, du boitier du composant GaN, du shunt et enfin celle des pistes en cuivre.

La Figure 66 présente cette mesure d'impédance. On retrouve dans les grandes lignes le comportement d'un circuit RL, et à partir de $20\,MHz$ la maille de puissance est proche d'une inductance pure. Cependant, la modélisation faite sur cette figure avec l'inductance pure de $35\,nH$ est assez éloignée de la courbe expérimentale, et le déphasage présente des fluctuations importantes autour de 90°.

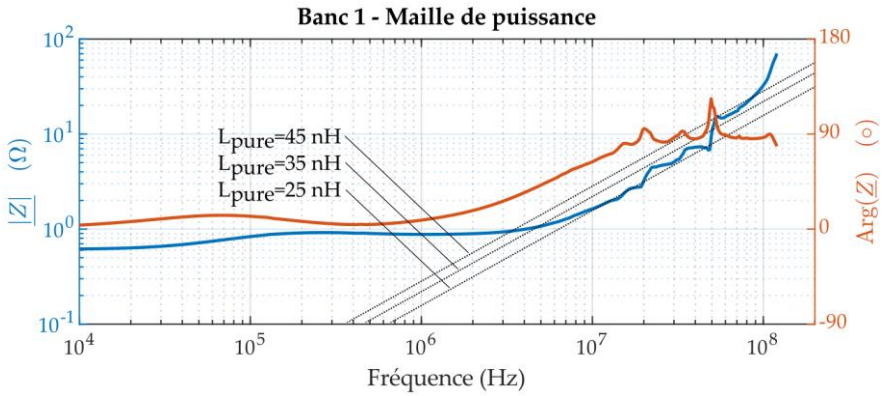



*Figure 66 : module (à gauche) et argument (à droite) de l'impédance complexe de la maille de puissance seule. Les trois droites en pointillés modélisent le module de l'impédance complexe de trois inductances pures de valeur $25\,nH, 35\,nH$ et $45\,nH$.*

Pour une inductance de 35 $nH$ et dans la plage de fréquence [20 $MHz$ − 120 $MHz$], l'incertitude-type relative élargie vaut 4%. L'incertitude ramenée par l'ajustement entre les courbes expérimentale et théorique est cependant très grande et la déterminer précisément est délicat. Le module de l'impédance mesurée étant encadré par les modélisations $L_{pure} = 25\ nH$ et $L_{pure} = 45\ nH$, je retiens un intervalle très large de :

$L = 35 \pm 10\ nH$ pour l'inductance parasite de la maille de puissance.

#### 2.3.1.3 Banc entier

Dans cette partie, la mesure d'impédance est insérée dans la maille de puissance, avec le condensateur en place. Cela permet de quantifier le comportement électrique du banc dans la même configuration que pendant les essais de court-circuit. La Figure 67 présente le schéma électrique de cette mesure. J'ai ouvert une piste en cuivre du banc, et brasé à cet endroit un connecteur SMA pour réaliser la mesure. L'endroit de l'ouverture a été choisi pour ne pas trop modifier le chemin habituel du courant (Figure 68a).

Le banc pouvant être assimilé à un circuit RLC série, aucun courant continu ne peut circuler dans la maille de puissance. J'ai donc connecté une inductance $L_{DC}$ de forte valeur ($130 \pm 20\ \mu H$) en parallèle du condensateur PM980, pour pouvoir assurer la circulation d'un courant DC dans les transistors. $L_{DC}$ est formée par deux inductances distinctes, connectées en série, ce qui est visible sur la Figure 68b. Comme l'ensemble présente une impédance bien plus grande que le condensateur, même pour la plus basse fréquence de mesure ($f = 10\ kHz$), on peut prendre l'hypothèse que le courant alternatif généré par l'analyseur d'impédance passe exclusivement par le condensateur. $L_{DC}$ ne perturbe donc a priori pas la mesure.

Les *IGBT*s sont commandés avec une tension grille-émetteur $V_{GE} = +15\ V$, et le transistor GaN avec une tension $V_{GS} = +5\ V$, comme pour la mesure précédente. L'analyseur d'impédance applique une polarisation continue $U_{DC} = 5\ V$. La sonde d'impédance 42941A a été utilisée.

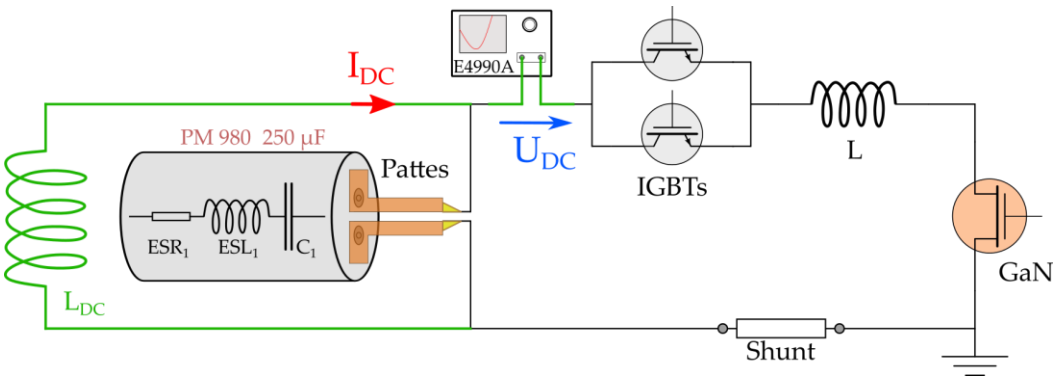



*Figure 67 : mesure de l'impédance complexe du banc n°1 entier, qui a été ouvert au niveau d'une piste de cuivre pour insérer la mesure. L modélise l'inductance parasite de la maille.*

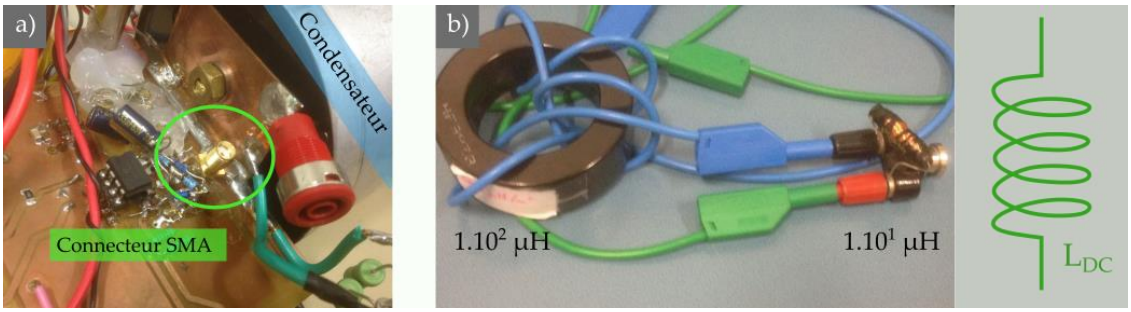



*Figure 68 : a) mesure de l'impédance complexe du banc n°1 entier, avec le connecteur SMA brasé pour insérer la mesure d'impédance ; b) inductances utilisées pour conduire le courant continu lors de la mesure.*

La Figure 69 montre le module de l'impédance complexe et le déphasage pour cette mesure. En basse fréquence, l'aspect capacitif du banc n'est pas visible, il est gommé par le comportement des *IGBT*s dont la chute de tension à l'état passant est interprétée par l'analyseur de réseau comme une impédance supplémentaire. De plus, la mesure ne commence qu'à $10\ kHz$.

Le comportement inductif en haute fréquence est en revanche très net. Le déphasage est en effet compris entre 80° et 90° à partir de $15\ MHz$, si l'on écarte trois fluctuations aux fréquences de $37\ MHz$, $75\ MHz$ et $107\ MHz$. La modélisation d'une inductance pure de $60\ nH$ est en assez bon accord avec la courbe expérimentale, du moins jusqu'à $30\ MHz$. Pour une telle inductance et dans la plage de fréquence $[1\ MHz - 120\ MHz]$, l'incertitude-type relative élargie vaut 4%. L'incertitude ramenée par l'ajustement entre les courbes expérimentale et théorique est assez faible cette fois-ci, tant qu'on ne dépasse pas $30\ MHz$. Je fixe arbitrairement l'incertitude-type relative élargie à 5%. On obtient un intervalle de :

$$ESL_1 + L = 60 \pm 3\ nH \text{ pour le banc complet.}$$

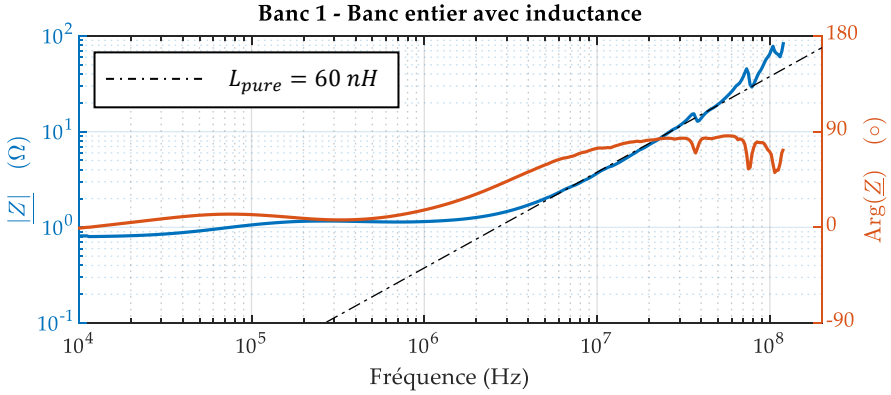



*Figure 69 : module (à gauche) et argument (à droite) de l'impédance complexe du banc n°1 entier, avec une inductance de forte valeur connectée en parallèle du condensateur. Le module de l'impédance d'une inductance pure de valeur $60\ nH$ est tracée en traits discontinus.*

La valeur minimale de $|\underline{Z}|$ vaut environ $0{,}8\ \Omega$ (à $f = 10\ kHz$). A cette fréquence, le module de l'impédance du condensateur de $250\ \mu F$ ne vaut que $70\ m\Omega$ environ (en tenant compte de son $ESL$ et de son $ESR$), ce qui est négligeable devant le module de l'impédance du banc entier. On retrouve bien l'ordre de grandeur trouvé pour la maille de puissance seule (0,6 Ω environ), ce qui montre la cohérence des mesures.

### 2.3.1.4 Synthèse pour le banc n°1

Dans cette partie, je me suis focalisé sur l'inductance parasite des éléments du banc n°1. Les mesures faites devraient normalement coïncider puisque ce dernier a été mesuré élément par élément, puis en entier. La mesure du condensateur a donné une $ESL$ de $31 \pm 2\ nH$ ; celle de la maille de puissance avec les pattes en cuivre a permis de mesurer une inductance parasite de $35 \pm 10\ nH$. Par ailleurs, la mesure du banc complet (avec le condensateur) a permis d'estimer son inductance globale à $60 \pm 3\ nH$. La somme des deux premières valeurs ($31\ nH + 35\ nH$) diffère de 10% de la dernière, soit un écart non négligeable. Cependant, compte-tenu des incertitudes calculées, on peut considérer que les mesures concordent.

La Figure 70 modélise de façon simplifiée le banc. Comme dit dans la partie 2.3.1.2, l'inductance parasite du boitier du composant GaN est comprise dans l'inductance L. Les dimensions des boitiers sont très proches, ce qui ne modifie que très peu l'inductance totale de la maille quand on change de composant à tester. Comme les *IGBTs* présentent une chute de tension négligeable par rapport à la tension continue appliquée sur le banc ($270\ V$ ou $400\ V$), ils ont été modélisés par un simple interrupteur fermé. L'inductance parasite de leur boitier est en revanche importante, elle est aussi comprise dans la valeur de $35\ nH$ correspondant à $L$.

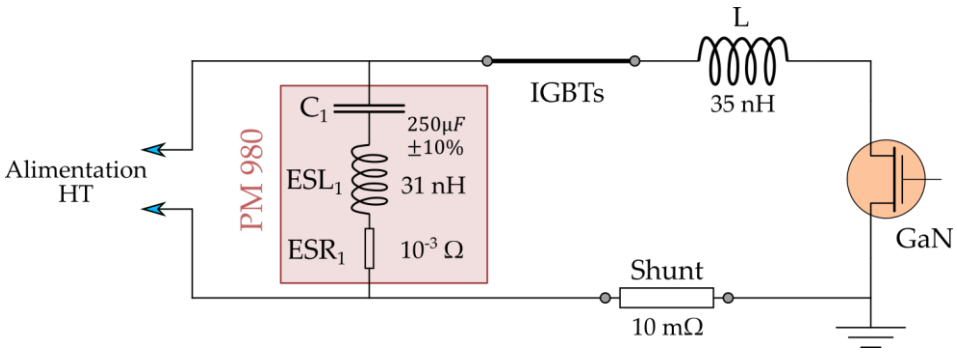



*Figure 70 : schéma électrique équivalent du banc n°1, en approximant le comportement des IGBTs par un interrupteur idéal fermé.*

## 2.3.2 Banc n°2

Ce deuxième banc de court-circuit a une architecture assez similaire au premier, mais au lieu d'un seul condensateur, il en comporte six (partie 1.3). La Figure 71 montre l'architecture simplifiée du banc.

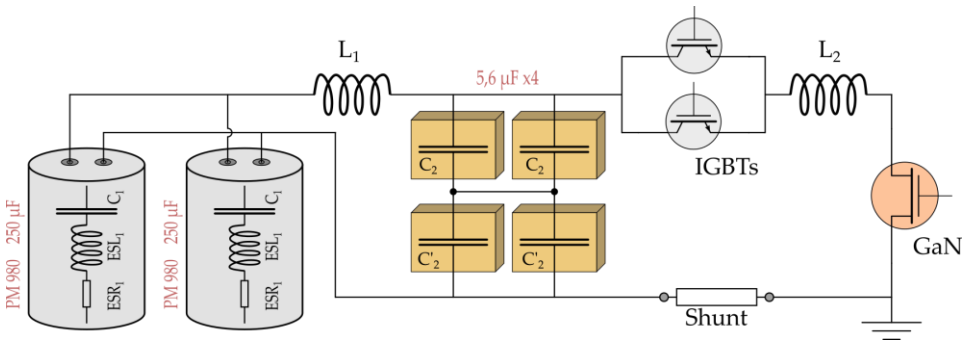



*Figure 71 : architecture du banc n°2. $L_1$ modélise l'inductance parasite des pistes de cuivre entre les condensateurs PM980 et les quatre condensateurs céramiques ; $L_2$ modélise l'inductance parasite de la maille de puissance (pistes, boitiers des IGBTs et du GaN, connectique du GaN et shunt). Ne sont pas représentés : l'ESR et l'ESL des condensateurs $C_2$ ; le circuit de commande des IGBTs et du transistor GaN ; les résistances de décharge.*

### 2.3.2.1 Condensateurs céramiques $KEC$ 5,6 µ$F$ et AVX 5,6 µ$F$

La partie 3.3.2 des annexes présente en détails la mesure de l'impédance de ces deux condensateurs ($C_2$ et $C_2{}'$). Le Tableau 6 renseigne leurs caractéristiques extraites des mesures.

*Tableau 6 : Caractéristiques des condensateurs du banc n°2.*

| **Condensateur** | **Capacité (µ$F$)** | ***ESL* ($nH$)** | ***ESR* ($m\Omega$)** |
|---|---|---|---|
| **KEC 5,6 µ$F$** | $5{,}5 \pm 0{,}07$ | $2 \pm 0{,}3$ | $5 \pm 1$ |
| **AVX 5,6 µ$F$** | $5{,}8 \pm 0{,}07$ | $2 \pm 0{,}3$ | $7 \pm 2$ |

### 2.3.2.2 Maille de puissance

Pour caractériser cette maille, j'ai inséré la mesure entre les *IGBTs* et le transistor GaN. La Figure 72 montre le schéma électrique de cette mesure. Les deux condensateurs PM980 sont démontés, une polarisation continue $U_{DC} = 5\ V$ est appliquée et une inductance (la même que dans la partie 2.3.1.3) est utilisée pour qu'un courant continu puisse circuler. La sonde d'impédance 42941A a été utilisée.

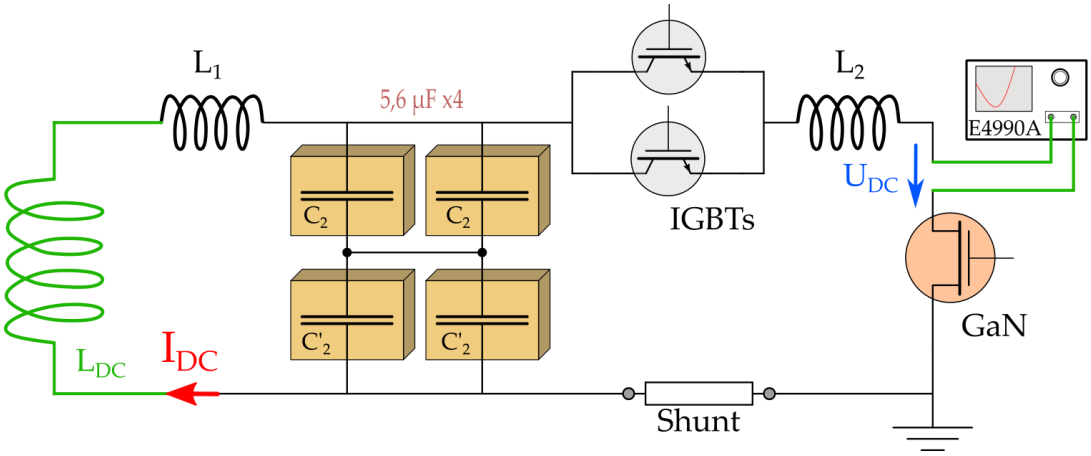



*Figure 72 : mesure de l'impédance complexe de la maille de puissance et des condensateurs céramiques, avec les deux condensateurs PM980 démontés.*

L'insertion de la mesure est présentée en Figure 73. J'ai ouvert le circuit en coupant la piste de cuivre puis brasé un connecteur SMA qui accueille la sonde d'impédance.

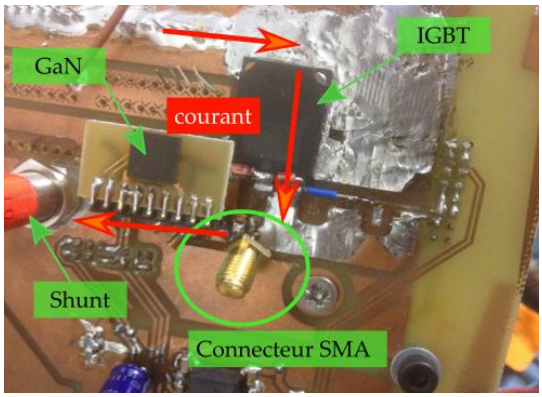



*Figure 73 : maille de puissance du banc n°2, montrant l'insertion du connecteur SMA brasé au niveau d'une piste de cuivre coupée pour la mesure.*

Compte-tenu de l'association série et parallèle de ces condensateurs, leur capacité équivalente vaut $C_{2,équ} = 5{,}65 \pm 0{,}05\ \mu F$. On peut aussi modéliser les quatre $ESL_2$ par une seule inductance série équivalente $ESL_{2,équ} = ESL_2 = 2\ \pm 0{,}2\ nH$. Ceci n'est vrai que si l'on néglige l'inductance parasite des connexions entre les condensateurs, ce qui est cohérent car je les ai brasés au plus près les uns des autres (partie 1.3). Enfin, de la même façon, je modélise les quatre $ESR_2$ par une seule résistance série équivalente $ESR_{2,équ}$ qui est telle que : $ESR_{2,équ} = 6\ m\Omega$.

La Figure 74 présente le module et l'argument de l'impédance complexe pour cette mesure.

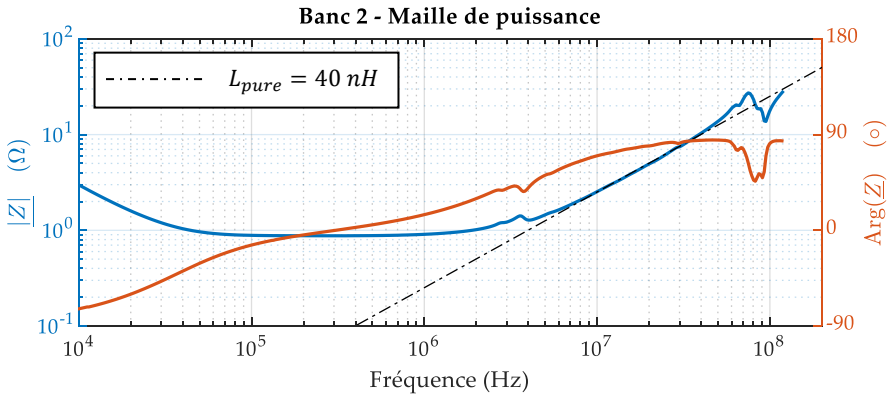



*Figure 74 : module (à gauche) et argument (à droite) de l'impédance complexe de la maille de puissance et des condensateurs céramiques. La droite en pointillés modélise le module de l'impédance complexe d'une inductance pure de valeur 40 $nH$.*

Le circuit se comporte comme un circuit $RLC$ série et le déphasage devient proche de $+90°$ à partir de $f = 20MHz$. A partir de ce moment-là, le comportement se rapproche d'une inductance pure comme le montre la modélisation avec $L_{pure} = 40\ nH$. Pour cette inductance, dans la plage de fréquence $[10\ MHz - 40\ MHz]$, l'incertitude-type relative élargie vaut 4%. L'incertitude ramenée par l'ajustement entre les courbes expérimentale et théorique est très faible pour ces fréquences. Je fixe arbitrairement l'incertitude-type relative élargie à 5%, ce qui donne un intervalle de $40 \pm 2\ nH$ pour la somme de $L_2$ et $ESL_{2,équ}$ : $ESL_{2,équ} + L_2 = 40\ \pm 2\ nH$. On obtient donc :

$L_2 = 38\ \pm 2\ nH$ pour l'inductance parasite de la maille de puissance.

### 2.3.2.3 Liaison entre condensateurs

Pour cette mesure, j'ai démonté les deux condensateurs PM980 pour caractériser la portion de *PCB* qui les relie aux condensateurs céramiques, qui eux sont présents. Un morceau de *PCB* a été brasé au niveau des perçages des condensateurs PM980 pour assurer la connexion avec l'analyseur d'impédance. La Figure 75 présente cette mesure. Pour des raisons pratiques, je n'ai pas pu isoler physiquement la liaison entre condensateurs du reste du banc. Les condensateurs $C_2$ et $C_2{}'$ sont donc présents, ainsi que la maille de puissance (*IGBTs*, transistor GaN et shunt). Comme vu dans les parties 2.3.2.1 et 2.3.2.2, l'inductance série équivalente $ESL_{2,équ}$ est nettement inférieure à l'inductance de la maille $L_2$. En haute fréquence, le courant passe donc plutôt par les condensateurs $C_2$.

Comme dans le premier banc, les *IGBTs* sont commandés avec une tension grille-émetteur $V_{GE} = +15\ V$. Le transistor GaN monté pendant les mesures a la même référence que celui utilisé dans le banc n°1 pour les mesures d'impédance (GaN Systems GS66508T), et ce dernier est commandé avec une tension identique $V_{GS} = +5\ V$.

La tension $U_{DC}$ représente la polarisation continue ($U_{DC} = 5\ V$) appliquée par l'analyseur, qui permet de rendre les *IGBT*s passants. La sonde d'impédance 42941A a été utilisée.

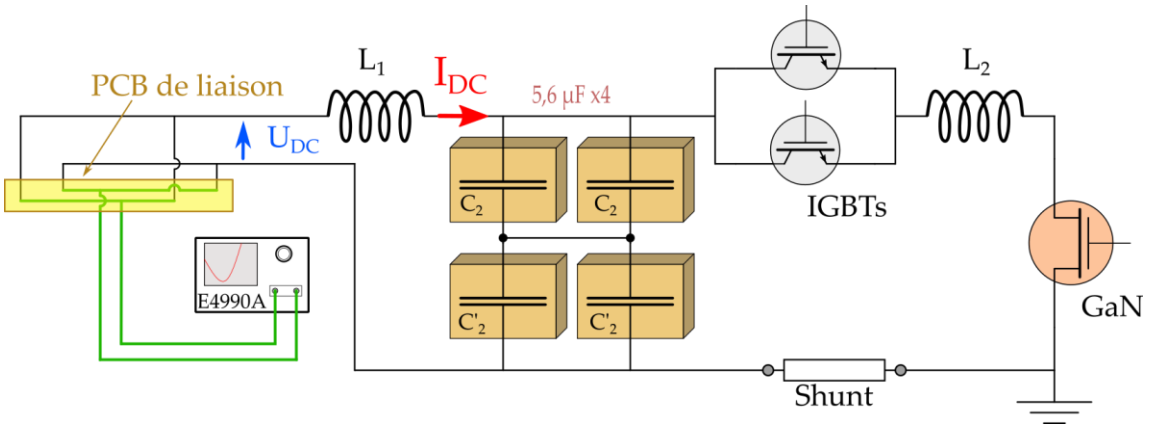



*Figure 75 : mesure de l'impédance complexe de la portion de PCB reliant les condensateurs du banc n°2, avec les deux condensateurs PM980 démontés.*

La Figure 76 montre le module de l'impédance complexe et le déphasage pour cette mesure.

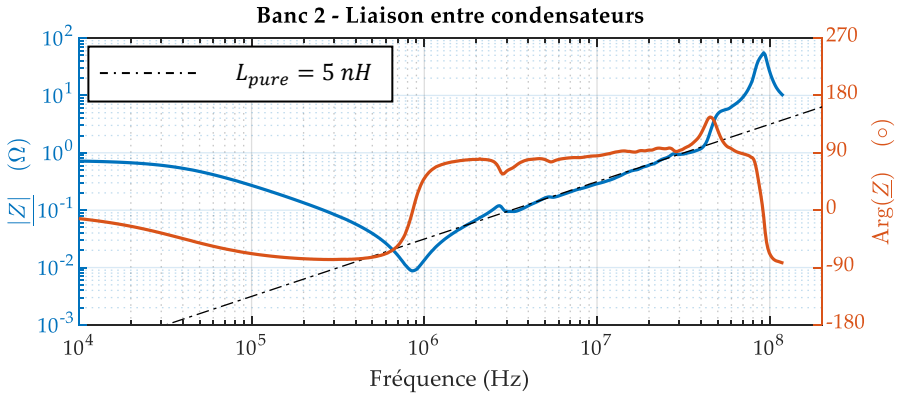



*Figure 76 : module (à gauche) et argument (à droite) de l'impédance complexe de la liaison entre condensateurs du banc n°2. La droite en pointillés modélise l'impédance complexe d'une inductance pure de valeur* $5\ nH$.

Le circuit formé par $L_1$ et les quatre condensateurs $C_2$ résonne vers $850\ kHz$ et le déphasage passe de $-90°$ à $+90°$. Le module de l'impédance complexe vaut alors environ $10\ m\Omega$, ce qui correspond à la somme de $ESR_{2,équ}$ et des parasites résistifs des pistes de cuivre reliant le *PCB* de liaison avec les condensateurs $C_2$.

J'ai modélisé sur le graphe une inductance pure de $5\ nH$, qui traduit assez bien le comportement expérimental pour la plage de fréquences [$4\ MHz$ – $40\ MHz$]. L'incertitude-type relative élargie vaut 11%. L'incertitude ramenée par l'ajustement entre les courbes expérimentale et théorique est très faible ici, tant qu'on ne dépasse pas $40\ MHz$. Je fixe arbitrairement l'incertitude-type relative élargie à 15% pour tenir compte du fait que $L_2$ impacte peut-être légèrement la mesure. On peut ainsi estimer la valeur de la somme des inductances $L_1$ et $ESL_{2,équ}$ : $L_1 + ESL_{2,équ} = 5\ \pm 1\ nH$. J'obtiens ainsi :

$L_1 = 3\ \pm 1\ nH$ pour l'inductance parasite de cette portion de *PCB*.

### 2.3.2.4 Modélisation électrique du banc n°2

J'ai modélisé ce banc sous LTspice XVII afin de savoir si les condensateurs céramiques $C_2$ et $C_2{}'$ fournissaient effectivement la quasi-totalité du courant en début de court-circuit. La Figure 77 montre la modélisation de ce banc, basée sur les paramètres électriques extraits des mesures précédentes.

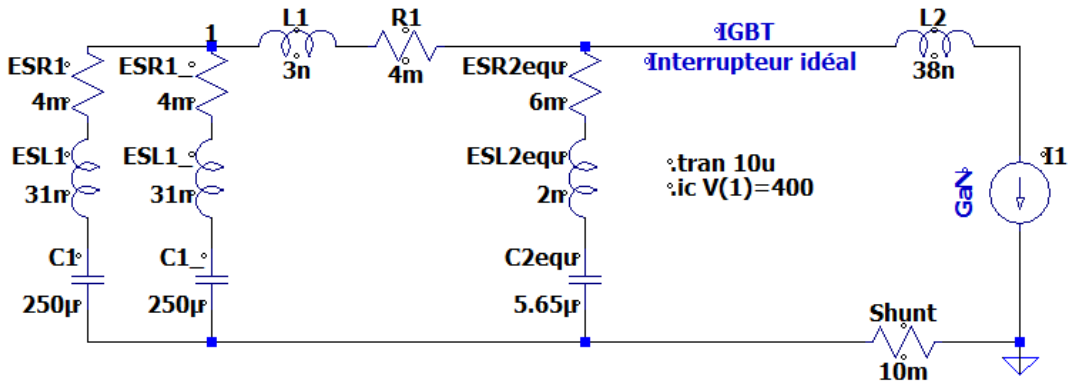



*Figure 77 : modélisation sous LTspice du banc n°2. L'alimentation haute tension est modélisée par une condition initiale de tension sur le nœud n°1 ; le transistor GaN est modélisé par une source de courant imposant un courant identique à celui d'un court-circuit réel.*

Le modèle a été établi en prenant comme hypothèse que la source de haute tension connectée aux condensateurs ne fournissait aucun courant durant l'essai de court-circuit, ce qui est acceptable puisque l'alimentation utilisée a toujours été limitée à un courant de l'ordre de la centaine de milliampères, ce qui est négligeable devant le courant de drain du GaN. Par ailleurs, l'inductance parasite du câblage entre cette alimentation et le banc est probablement élevée au vu de la longueur des câbles utilisés (environ $2\ m$).

Les condensateurs sont modélisés par leur *ESL*, *ESR* et leur capacité. La variation de la capacité des condensateurs céramiques en fonction de la tension à leurs bornes n'a pas été prise en compte, ce qui peut constituer un biais important. Les *IGBT*s sont modélisés par un interrupteur parfait (simple fil) car la tension à leurs bornes reste négligeable devant celle des condensateurs.

Les modèles des composants GaN fournis par les fabricants n'étant pas toujours valables en régime de court-circuit, j'ai choisi de modéliser le GaN par une source de courant imposant un courant égal à celui mesuré lors d'un essai sur un transistor GaN Systems GS66516T.

La Figure 78 montre le courant débité par chaque condensateur ainsi que le courant total imposé par le composant GaN au début d'un court-circuit simulé de $10\ \mu s$. Du début du court-circuit à environ $0{,}2\ \mu s$, on constate que c'est principalement le condensateur $C_{2,équ}$ qui fournit le courant, mais les deux autres condensateurs participent également au courant total, malgré leur forte inductance série équivalente $(ESL_1)$ .

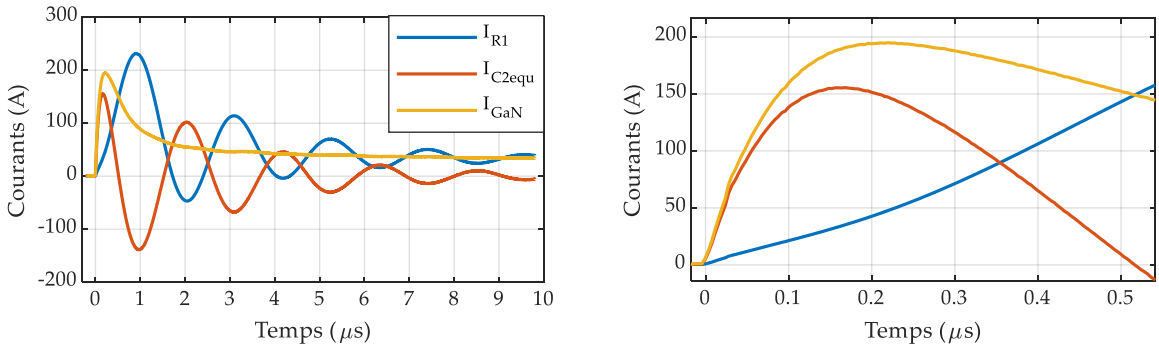



*Figure 78 : répartition des courants fournis par les condensateurs. En bleu : courant fourni par le condensateur céramique $C_{2,equ}$ ; en rouge : courant tiré par le GaN ; en orange : somme des courants fournis par chaque condensateur $C_1$ (réf. PM980 250 µF). A gauche : vue d'ensemble ; à droite : zoom.*

Il y a échange d'énergie entre les condensateurs au fur et à mesure du court-circuit simulé, l'un rechargeant l'autre. Ce comportement montre que le condensateur céramique ne fournit pas la totalité du courant de court-circuit, bien qu'il soit physiquement plus proche du transistor GaN et beaucoup moins inductif que les condensateurs $C_1$. Cependant, cela est vrai au tout début du court-circuit, au moment où le courant appelé par le transistor GaN varie le plus rapidement. On peut donc considérer que l'inductance parasite du banc est approximativement égale à la somme de : $ESL_{2,équ} + L_2 = 40 \pm 2\ nH$.

### 2.3.2.5 Synthèse pour le banc n°2

La Figure 79 récapitule les paramètres électriques extraits des mesures d'impédance. Le comportement du banc est assez bien représenté à travers l'inductance de la maille constituée des condensateurs céramiques, des boitiers des *IGBT*s, du GaN et du shunt (en bleu sur le schéma).

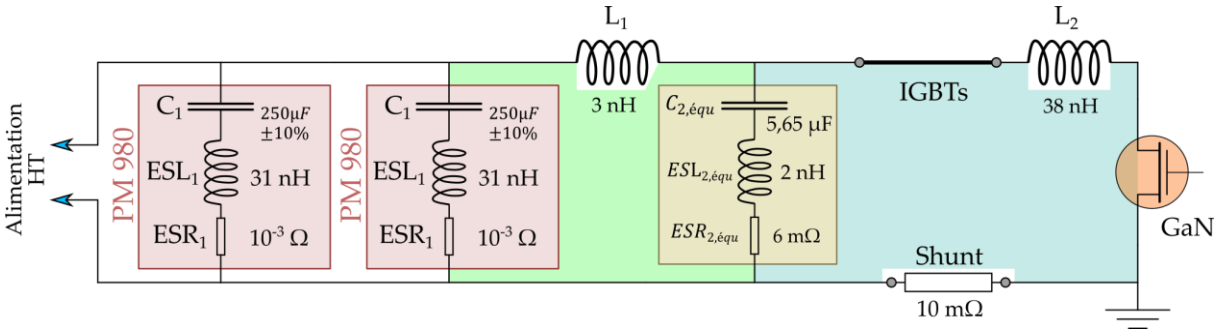



*Figure 79 : schéma électrique équivalent du banc n°2, en approximant le comportement des IGBTs par un interrupteur idéal fermé.*

En ne considérant que la maille bleue du GaN, à droite, le deuxième banc est environ 30% moins inductif que le premier.

## 2.3.3 Banc n°3

Ce dernier banc de courts-circuits est très différent des deux précédents. Il comporte quatre condensateurs et la protection assurée par les *IGBT*s dans les bancs n°1 et n°2 est remplacée par un simple fusible (partie 1.4). La Figure 80 montre l'architecture simplifiée de ce troisième banc.

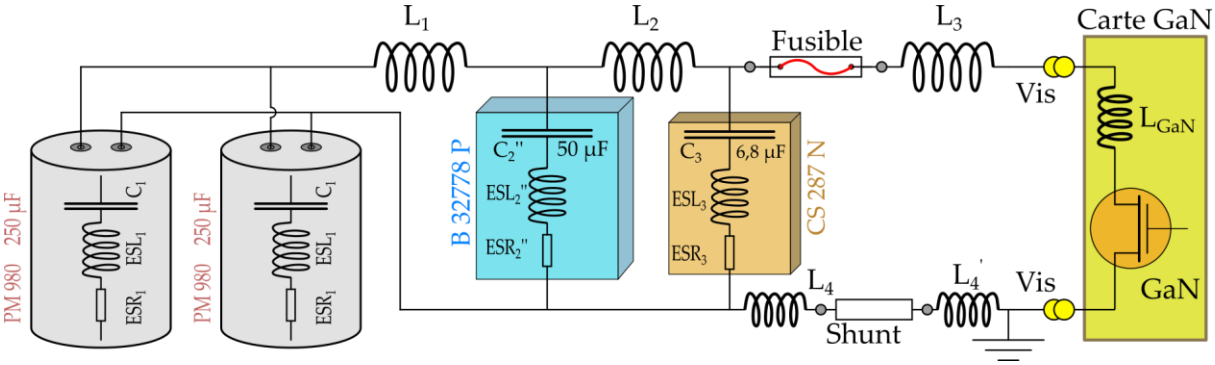



*Figure 80 : architecture simplifiée du banc n°3 entier. L'ESL du condensateur bleu n'est pas représentée, et les ESR des condensateurs bleu et marron non plus. Le circuit de commande du transistor GaN n'est pas représenté, ainsi que les résistances de décharge du banc.*

En tout, j'ai réalisé six mesures sur ce banc :

- le condensateur film métallisé polypropylène EPCOS 50 µ$F$ séparément ;
- le condensateur céramique Eurofarad 6,8 µ$F$ séparément ;
- le shunt monté sur son support séparément ;
- la carte GaN seule (que je n'avais pas caractérisé séparément pour les bancs n°1 et n°2) ;
- le banc sans la carte GaN ;
- et enfin le banc entier avec la carte GaN.

J'ai laissé en place les quatre condensateurs pour les trois dernières mesures.

### 2.3.3.1 Condensateur film métallisé polypropylène EPCOS 50 µ$F$ et condensateur céramique Eurofarad 6,8 µ$F$

La partie 3.3.3 des annexes présente en détail la mesure de l'impédance de ces deux condensateurs ($C_2$ et $C_2{}'$). Le Tableau 6 renseigne leurs caractéristiques extraites des mesures.

*Tableau 7 : Caractéristiques des condensateurs du banc n°3.*

| **Condensateur** | **Capacité (µ$F$)** | ***ESL* ($nH$)** | ***ESR* ($m\Omega$)** |
|---|---|---|---|
| **EPCOS 50 µ$F$** | $47 \pm 0{,}3$ | $17 \pm 2$ | $6 \pm 2$ |
| **Eurofarad 6,8 µ$F$** | $6{,}7 \pm 0{,}1$ | $2{,}5 \pm 0{,}3$ | $7 \pm 2$ |

Le condensateur Eurofarad 6,8 µ$F$ est un condensateur céramique de classe II, dont la capacité varie avec la tension à ses bornes [98], [99], [100]. J'ai mesuré sa capacité sous une polarisation continue de 400 $V$ dans la partie 4 des annexes et elle ne vaut plus que 4,4 µ$F$.

### 2.3.3.2 Shunt monté sur son support

Dans le banc n°3, le shunt est vissé sur un support fabriqué avec deux pattes en cuivre pliées (Partie 1.4). La Figure 81 montre la plaque de compensation fabriquée pour mesurer l'impédance complexe du support du shunt. La sonde d'impédance 42941A a été utilisée pour la mesure.

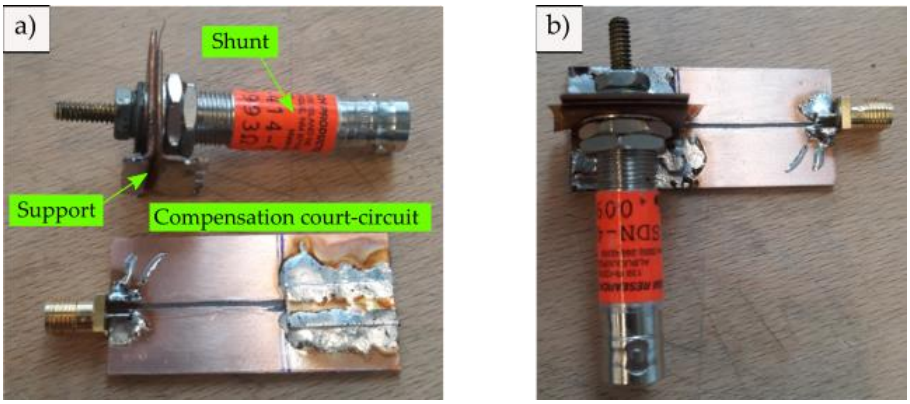



*Figure 81 : a) shunt vissé sur son support et plaque de compensation avec ruban de cuivre pour compenser en court-circuit ; b) shunt brasé sur la plaque pour la mesure.*

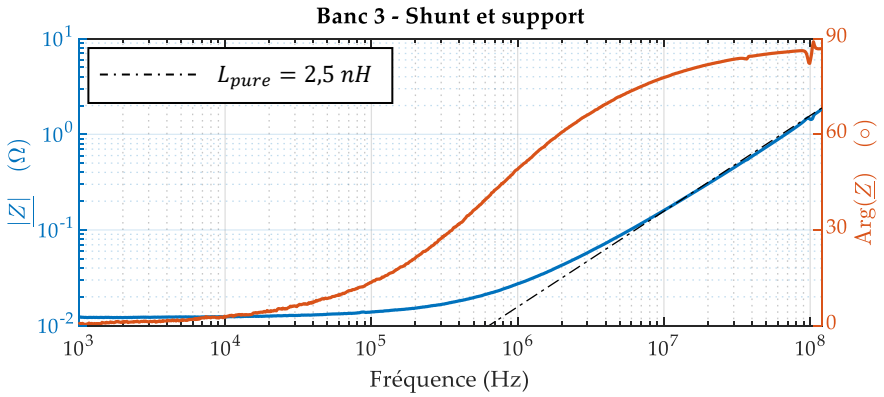



*Figure 82 : module (à gauche) et argument (à droite) de l'impédance complexe du shunt monté sur son support. Le module de l'impédance d'une inductance pure de valeur* $2{,}5\ nH$ *est tracée en traits discontinus.*

La Figure 82 présente l'impédance complexe de l'ensemble formé par le shunt et son support. Le comportement est très proche de celui d'un circuit $RL$. A partir de $10\ MHz$, le déphasage est proche de $+90°$. J'ai modélisé le comportement d'une inductance pure $L_{pure} = 2{,}5\ nH$ sur cette même figure. L'ajustement avec la mesure sur une plage de fréquence comprise entre $5\ MHz$ et $120\ MHz$ est assez bon. Dans cette bande de fréquences et pour cette valeur d'inductance, l'incertitude-type relative élargie vaut 12% en arrondissant par excès. Je retiens donc un intervalle tel que :

$$L_4 + L'_4 = 2{,}5 \pm 0{,}3\ nH \text{ pour l'inductance parasite du support de sonde.}$$

Le support du shunt est donc peu inductif.

### 2.3.3.3 Carte GaN seule

Cette mesure ne concerne que la carte du *DUT* (Figure 83 a et b). Le transistor GaN monté pendant les mesures est identique à ceux utilisés dans les bancs n°2 et 3 (GaN Systems GS66508T), et ce dernier est toujours commandé avec une tension $V_{GS} = +5\ V$. Les autres transistors testés lors des essais de court-circuit ont des dimensions de boitiers légèrement différentes, mais le routage reste quasiment identique. Je pourrais donc extrapoler le résultat de cette mesure et établir un modèle électrique générique. La sonde d'impédance 42941A a été utilisée.

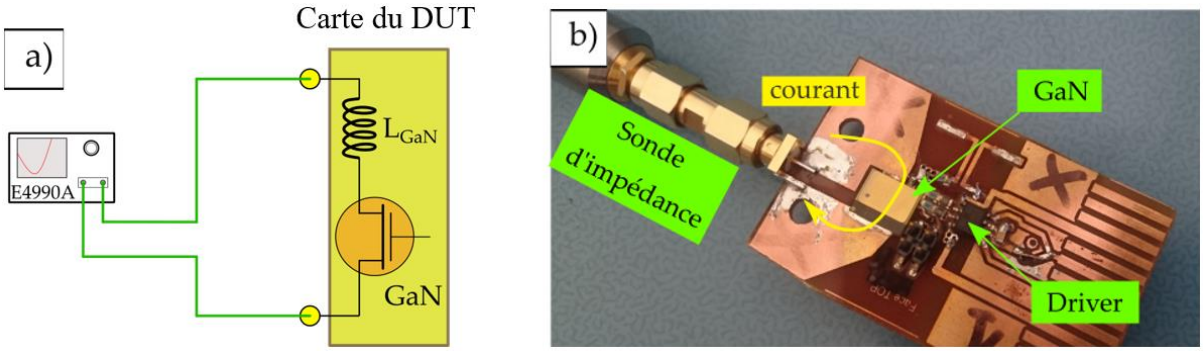



*Figure 83 : a) Mesure de l'impédance complexe de la carte GaN ; b) Connexion de la sonde d'impédance à la carte GaN avec un connecteur SMA.*

La Figure 84 présente le comportement électrique de la carte *GaN*, très similaire à celui d'un circuit RL. En basse fréquence, le module de l'impédance complexe vaut environ $20\ m\Omega$, ce qui correspond à la résistance à l'état passant du transistor en question donnée dans sa fiche technique [101]. Ensuite, au-delà de 2 MHz, le comportement inductif est très net (déphasage augmentant jusqu'à $+90°$) et la modélisation d'une inductance pure de $5\ nH$ est très bien ajustée par rapport à la courbe expérimentale.

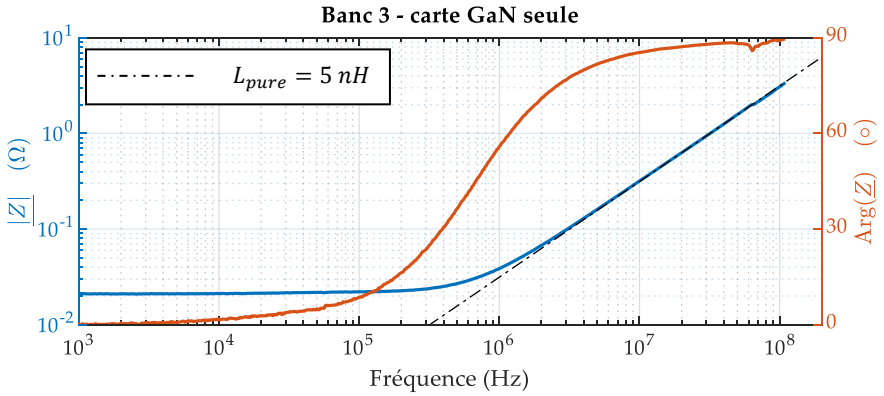



*Figure 84 : module (à gauche) et argument (à droite) de l'impédance complexe de la carte GaN seule. La droite en pointillés modélise le module de l'impédance complexe d'une inductance pure de valeur* $5\ nH$.

Pour ces fréquences et cette valeur d'inductance, l'incertitude-type relative élargie vaut 11%. L'incertitude ramenée par l'ajustement entre les courbes expérimentale et théorique est très faible ici, tant qu'on ne dépasse pas $50\ MHz$, je la néglige donc. L'inductance totale de la carte GaN (inductance du routage et du boitier du GaN) vaut donc :

$$L_{GaN} = 5 \pm 0{,}6\ nH \text{ pour l'inductance parasite de la carte GaN seule.}$$

### 2.3.3.4 Banc seul, sans la carte GaN

Cette mesure concerne le banc seul, la carte GaN étant dévissée. La Figure 85 montre le schéma électrique équivalent du banc et l'emplacement de l'analyseur.

Pour insérer la mesure, j'ai brasé un connecteur SMA au niveau de la zone de vissage de la carte GaN, comme le montre la Figure 86 (les deux perçages reçoivent les vis de connexion de cette dernière). Le chemin du courant est légèrement modifié par rapport à la configuration réelle où le banc est complet. La sonde d'impédance 42941A a été utilisée.

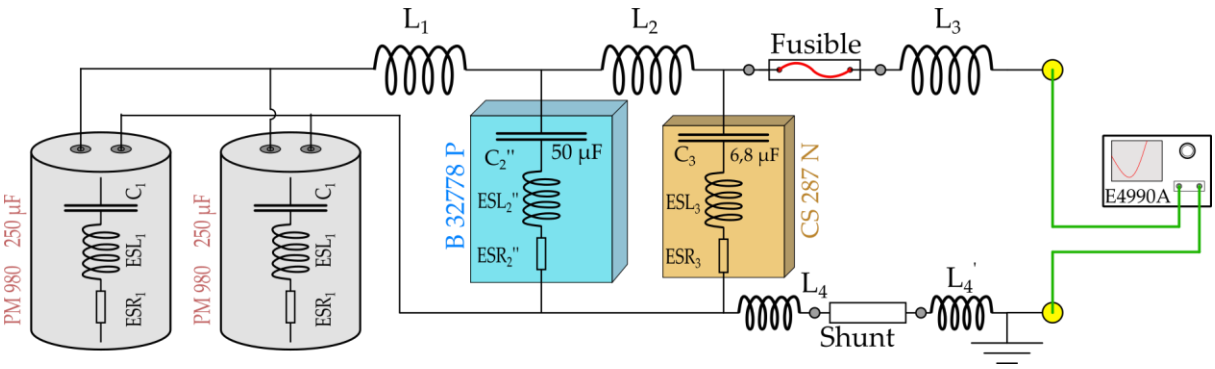



*Figure 85 : mesure de l'impédance complexe du banc n°3 sans la carte* GaN. *La mesure a été faite au niveau du contact vissé.* $L_3$ *modélise l'inductance parasite de la maille.*

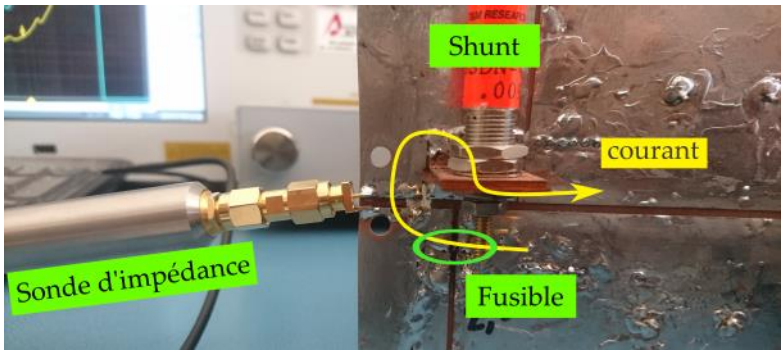



*Figure 86 : insertion de la mesure d'impédance du banc n°3 sans la carte GaN, au niveau du contact vissé.*

La Figure 87 présente le résultat de la mesure. Pour des fréquences inférieures à $10\ kHz$, le banc se comporte comme une capacité pure de $5{,}6.10^2\ \mu F$ environ, avec un déphasage de $-90°$ à $1\ kHz$. Ensuite, entre $0{,}1 MHz$ et $1\ MHz$, deux fluctuations apparaissent à la fois sur le module et sur l'argument. Enfin, au-delà de $2\ MHz$ environ, le banc se comporte comme une inductance pure, du moins jusqu'à $50\ MHz$. La modélisation faite avec une inductance de $10\ nH$ est très proche de la courbe expérimentale, et le déphasage est quasiment égal à $+90°$. Cette valeur d'inductance est nettement plus faible que celles trouvées pour les deux autres bancs.

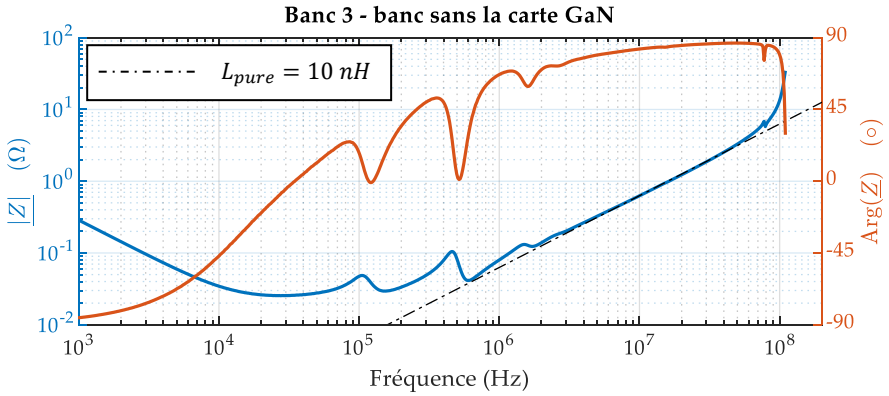



*Figure 87 : module (à gauche) et argument (à droite) de l'impédance complexe du banc sans la carte GaN. La droite en pointillés modélise le module de l'impédance complexe d'une inductance pure de valeur* $10\ nH$.

Ici, l'incertitude-type relative élargie vaut $11\%$. L'incertitude ramenée par l'ajustement entre les courbes expérimentale et théorique est très faible ici, tant qu'on ne dépasse pas $50\ MHz$, je la néglige donc. J'obtiens ainsi un intervalle de $10 \pm 1\ nH$.

*L'ESL* du condensateur céramique $C_3$ est près de sept fois plus faible que celle du condensateur film $C_2''$, je prends donc l'hypothèse que l'inductance identifiée avec la modélisation correspond à celle de la maille formée par le condensateur $C_3$, le fusible, le transistor GaN et le shunt : $ESL_3 + L_3 + L_4 + L_4' = 10 \pm 1\ nH$. Cette hypothèse sera validée dans la partie 2.3.3.6. J'en déduis la valeur de l'inductance $L_3$ :

$L_3 = 5\ \pm 1\ nH$ pour l'inductance parasite de la maille de puissance.

### 2.3.3.5 Banc entier avec la carte GaN

Cette dernière mesure concerne le banc entier, la carte GaN vissée sur ce dernier avec des rondelles crantées en cuivre pour un bon contact. Comme le banc et la carte GaN ont déjà été caractérisés séparément, cette mesure du banc entier n'est en toute rigueur pas nécessaire ; cependant, elle permet d'avoir une mesure supplémentaire pour mieux caractériser le banc n°3, ce qui est souhaitable car les inductances à mesurer sont très faibles. J'ai brasé le connecteur SMA à la place du fusible pour ne pas trop perturber le chemin normal du courant (Figure 88). La sonde d'impédance 42941A a été utilisée.

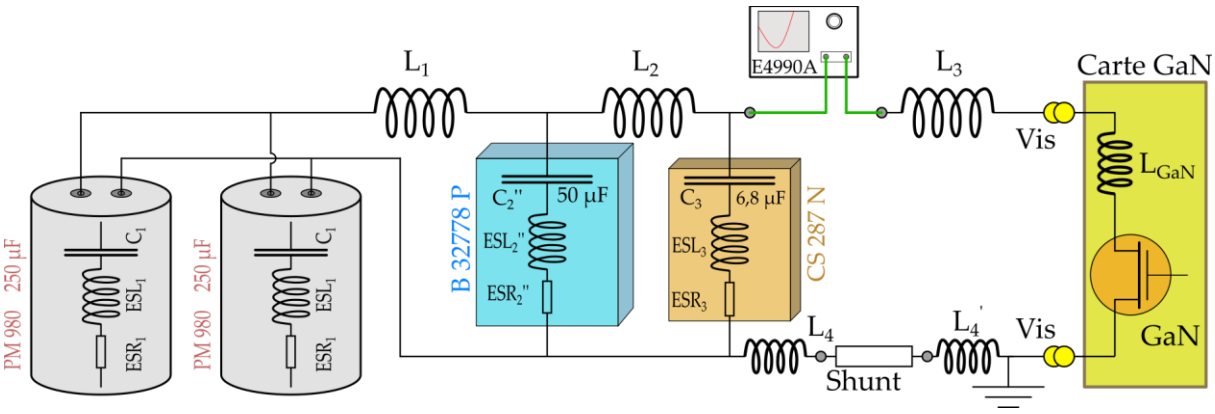



*Figure 88 : mesure de l'impédance complexe du banc n°3 complet, avec la carte GaN. La mesure a été faite au niveau du fusible.*

Le résultat de la mesure est présenté en Figure 89. Le banc complet a un comportement plus complexe que le banc seul (Figure 87) pour des fréquences comprises entre 1 $kHz$ et 1 $MHz$. Le module et le déphasage ne sont pas ceux d'une capacité pure en basse fréquence. Le module de l'impédance complexe du banc entier a une valeur minimale d'environ 40 $m\Omega$, ce qui est supérieur à celle relevée pour le banc seul (environ 25 $m\Omega$). L'écart entre les deux correspond à la somme de la résistance à l'état passant du transistor brasé sur la carte GaN et des résistance parasites (pistes et aussi connexions vissées entre carte GaN et banc).

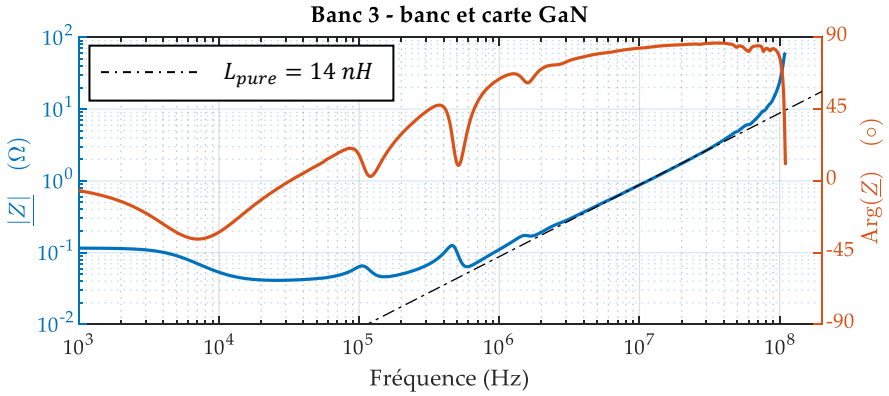



*Figure 89 : module (à gauche) et argument (à droite) de l'impédance complexe du banc n°3 avec la carte GaN vissée. La droite en pointillés modélise le module de l'impédance complexe d'une inductance pure de valeur* $14\ nH$.

Pour de plus hautes fréquences, le comportement du banc complet est en revanche bien plus simple puisqu'on peut le modéliser par une inductance pure de valeur $14\ nH$ tant qu'on ne dépasse pas $50\ MHz$.

Pour ces fréquences et cette valeur d'inductance, l'incertitude-type relative élargie vaut 11%. L'incertitude ramenée par l'ajustement entre les courbes expérimentale et théorique est très faible ici, tant qu'on ne dépasse pas $50\ MHz$, je la néglige donc. J'obtiens ainsi un intervalle de $14 \pm 2\ nH$.

En reprenant l'hypothèse faite dans la partie 2.3.3.4, je considère que cette inductance correspond à la somme suivante : $ESL_3 + L_3 + L_{GaN} + L_4 + L_4{}' = 14 \pm 2\ nH$. Ceci est cohérent avec les résultats obtenus aux parties 2.3.3.3 et 2.3.3.4.

### 2.3.3.6 Modélisation électrique du banc n°3

J'ai modélisé ce banc sous LTspice XVII afin de savoir si le condensateur céramique $C_3$ fournissait effectivement la quasi-totalité du courant en début de court-circuit. La Figure 90 montre la modélisation de ce banc, basée sur les paramètres électriques extraits des mesures précédentes. Les hypothèses de simulation sont identiques à celles prises dans la partie 2.3.2.4, à une différence près : la variation de la capacité du condensateur céramique $C_3$ a été prise en compte (sa capacité a été mesurée à 4,4 µ$F$ sous $400\ V$ dans la partie 4 des annexes.

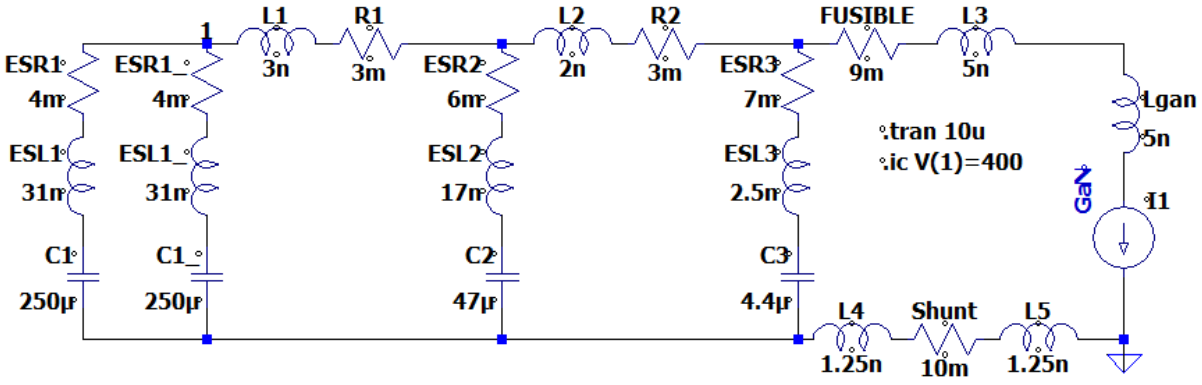



*Figure 90 : modélisation sous LTspice du banc n°3. L'alimentation haute tension est modélisée par une condition initiale de tension sur le nœud n°1 ; le transistor GaN est modélisé par une source de courant imposant un courant identique à celui d'un court-circuit réel.*

La Figure 91 montre le courant débité par chaque condensateur ainsi que le courant total absorbé par le composant GaN au début d'un court-circuit simulé de 10 µ$s$. Du début du court-circuit à environ 0,2 µ$s$, on constate que c'est principalement le condensateur céramique $C_3$ qui fournit le courant, mais les autres condensateurs participent aussi au courant total, malgré leur *ESL* bien plus grands.

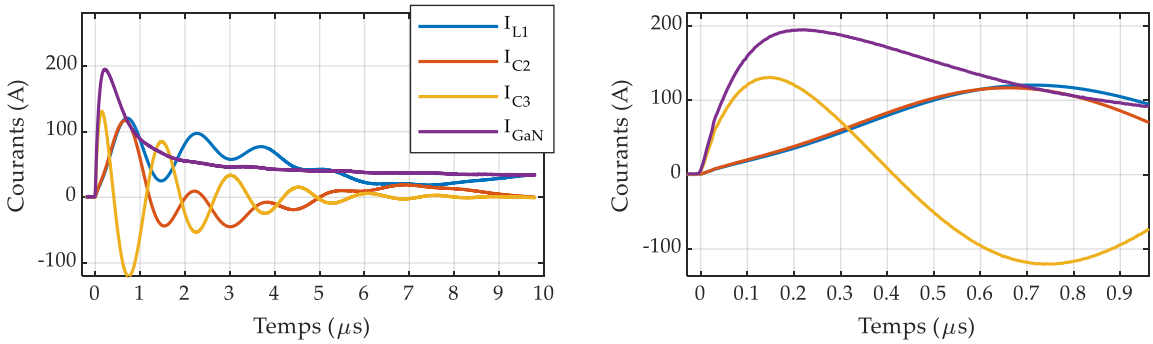



*Figure 91 : répartition des courants fournis par les condensateurs. A gauche : en bleu : courant fourni par les deux condensateurs film $C_1$ (PM980 250 µF) ; en rouge : courant fourni par le condensateur film $C_2$ (EPCOS 50 µF) ; en orange : courant fourni par le condensateur céramique $C_3$ (Eurofarad 6,7 µF) ; en violet : courant absorbé par le GaN. A droite : zoom.*

Il y a échange d'énergie entre les condensateurs au fur et à mesure du court-circuit. Ceci montre que le condensateur céramique ne fournit pas la totalité du courant de court-circuit, bien qu'il soit situé au plus proche du transistor GaN et qu'il soit beaucoup moins inductif que les autres condensateurs. Cependant, cela est vrai au tout début du court-circuit, au moment où le courant appelé par le GaN varie le plus rapidement. On peut donc considérer que l'inductance parasite du banc est approximativement égale à la somme de : $ESL_3 + L_3 + L_{GaN} + L'_4 + L_4 = 15 \pm 2\,nH$.

Une modélisation de l'impédance complexe du banc n°3 entier est présentée en Figure 92. On constate que la simulation est cohérente avec la mesure de la partie 2.3.3.5.

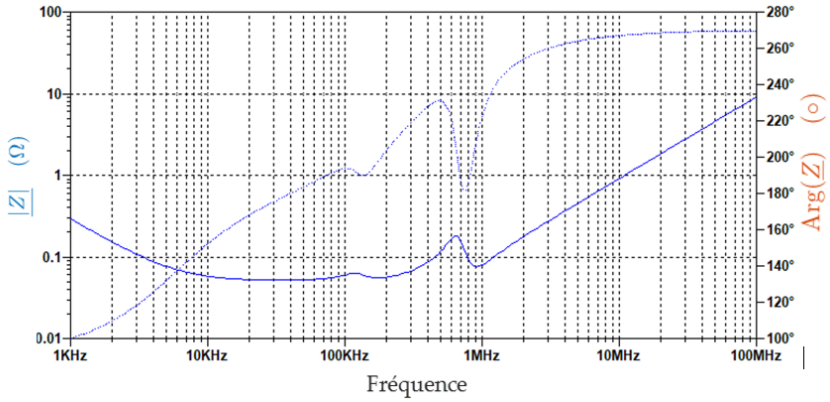



*Figure 92 : simulation LTSpice du module (à gauche) et de l'argument (à droite) de l'impédance complexe du banc n°3 entier.*

### 2.3.3.7 Vieillissement du banc après les essais de court-circuit

Le banc n°3 a servi à faire une centaine d'essais de court-circuit, avec une tension de bus de 270 $V$ ou 400 $V$. Durant ces expériences, le banc n'est protégé que par un fusible qui laisse le courant atteindre plusieurs milliers d'ampères avant de s'ouvrir. Cela peut endommager les contacts internes des

condensateurs et les pistes de cuivre du banc, ce qui créerait une dérive de ses caractéristiques électriques au fil des essais. Ces derniers ne seraient alors plus comparables.

J'ai remesuré l'impédance complexe du banc n°3 après tous les essais (avec la sonde d'impédance 42941A), qui est présentée en Figure 93, en traits discontinus. Le module et le déphasage de l'impédance complexe n'ont presque pas évolué avant et après les essais, donc le vieillissement du banc peut être négligé. Il est même probable que la différence entre les courbes soit due à l'incertitude de mesure de l'appareil.

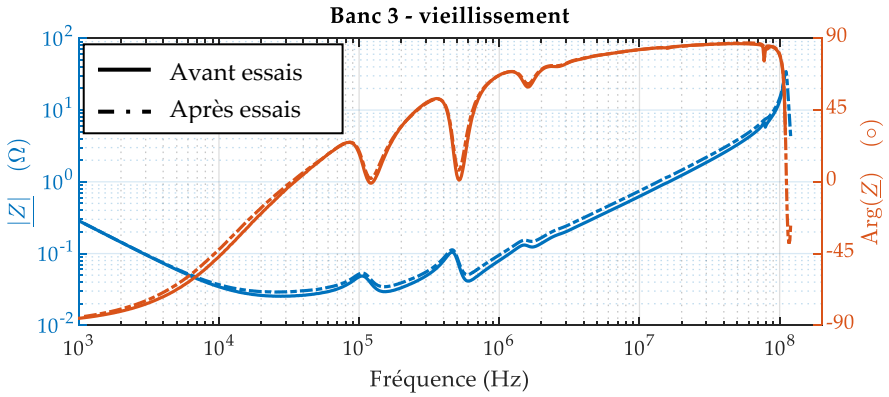



*Figure 93 : module (à gauche) et argument (à droite) de l'impédance complexe du banc n°3 seul, sans la carte GaN, avant et après les essais de court-circuit.*

### 2.3.3.8 Synthèse pour le banc n°3

Les parties 2.3.3.3 et 2.3.3.4 donnent une inductance totale du banc dans un intervalle $[14\ nH - 16\ nH]$. D'autre part, la partie 2.3.3.5 renvoie un deuxième intervalle $[12\ nH - 16\ nH]$. Les mesures faites se recoupent bien, elles sont donc cohérentes. La Figure 94 récapitule les paramètres électriques extraits des mesures d'impédance. L'inductance de la maille en bleu sur le schéma (constituée du condensateur céramique, du fusible, du GaN et du shunt) vaut donc une quinzaine de nH.

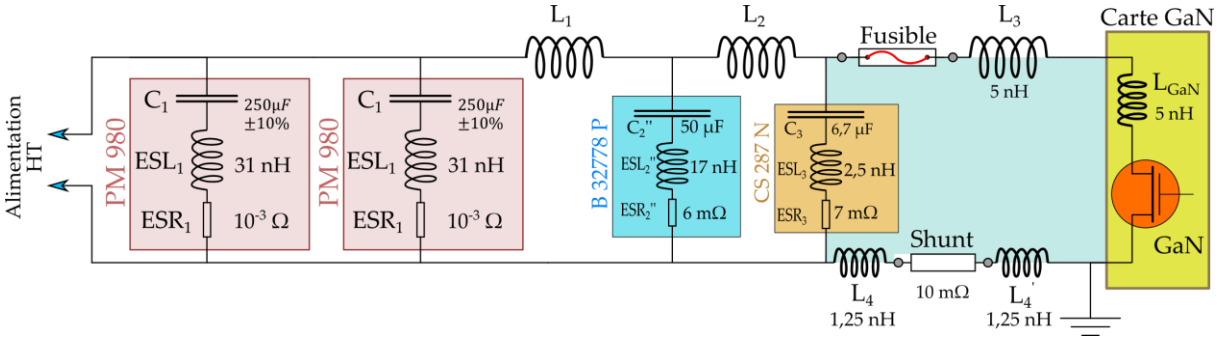



*Figure 94 : schéma électrique équivalent du banc n°2, sans le transistor GaN et en approximant le comportement des IGBTs par un interrupteur idéal fermé.*

## 2.4 Comparaison de l'impédance des bancs

Les deux premiers bancs ont une structure très proche, mais le troisième est assez différent. Les trois bancs ont été utilisés tout au long de la thèse pour tester des composants identiques, il est donc intéressant d'avoir une idée de leurs différences électriques pour mieux évaluer la robustesse des transistors. J'ai comparé les mesures de l'impédance des trois bancs, dans la configuration où l'analyseur est inséré dans la maille (Figure 95). Les mesures sont donc comparables, mais pas en basse fréquence

car pour le banc n°2, les condensateurs PM980 n'était pas présent lors de la mesure contrairement aux autres bancs. Compte-tenu de leur fort *ESL*, ces condensateurs ont une influence négligeable sur le comportement en transitoire du banc.

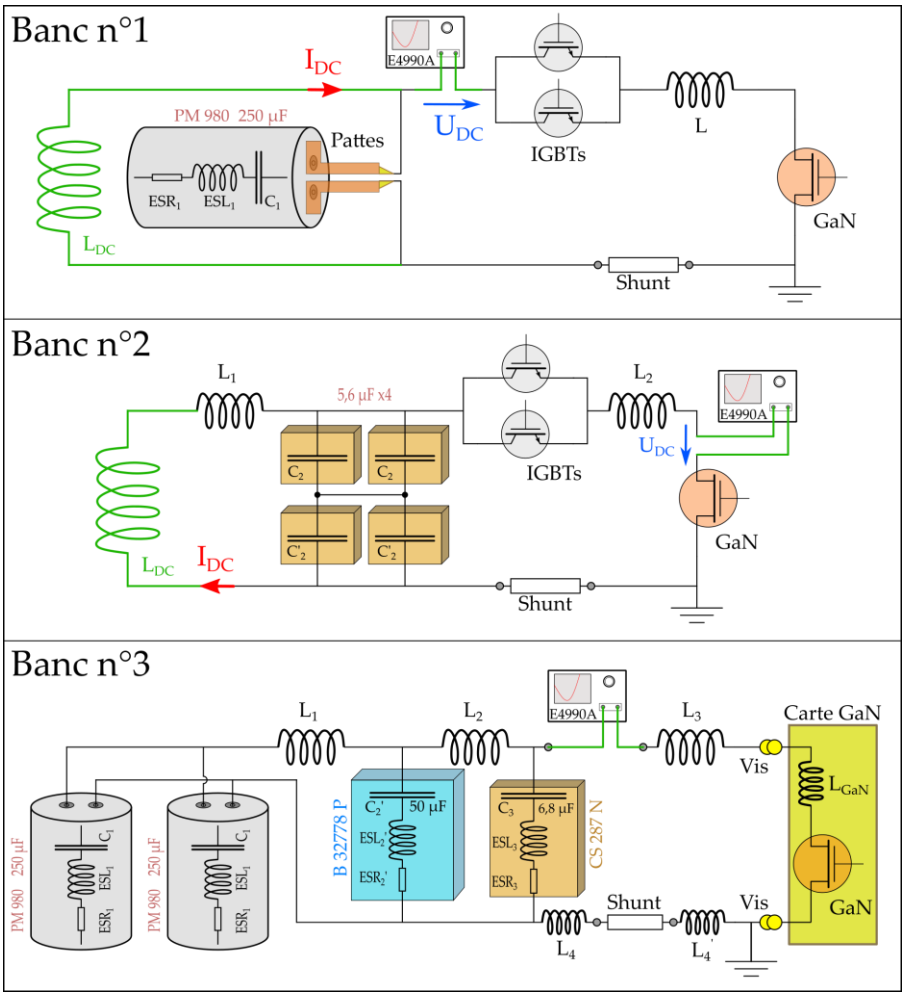



*Figure 95 : comparaison des mesures d'impédance des trois bancs, repérés par leurs numéros. La mesure est toujours insérée dans la maille de puissance.*

Les Figure 96 et 52 présentent respectivement le module et l'argument de l'impédance complexe des trois bancs. La comparaison du module de l'impédance de ces derniers montre que le troisième banc est nettement moins inductif que les deux autres. La forte valeur du module du banc n°2 est due à l'absence des condensateurs PM980 (250 µ*F*) lors de la mesure. En basse fréquence, le banc n°2 possède une impédance très supérieure à celle du banc n°3 à cause des *IGBTs*, absents dans le banc n°3 mais présents dans le banc n°2. La chute de tension aux bornes des *IBGTs* est interprétée par l'analyseur comme une impédance.

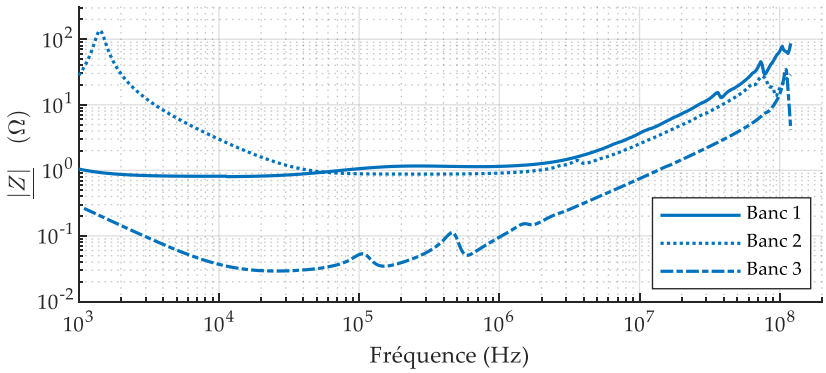



*Figure 96 : Module de l'impédance complexe des trois bancs de courts-circuits après tous les essais.*

Concernant le déphasage, le banc n°3 se démarque aussi des deux autres, et atteint des valeurs proches de $+90°$ pour des fréquences bien plus basses que ces derniers.

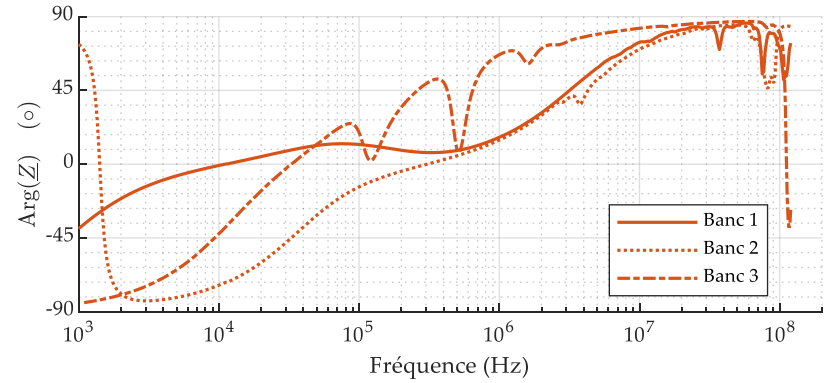



*Figure 97 : Argument de l'impédance complexe des trois bancs de courts-circuits après tous les essais.*

Le Tableau 8 montre l'inductance parasite de chaque banc, en ne considérant que la maille de puissance et donc le condensateur le plus proche du *DUT*. La diminution d'inductance de la maille de puissance est importante entre le premier et le dernier banc, les choix qui ont été faits dans le banc 3 ont donc été judicieux.

*Tableau 8 : comparaison des inductances parasites des trois bancs de court-circuit.*

| **Banc n°** | **1** | **2** | **3** |
|---|---|---|---|
| **Inductance parasite de la maille de puissance** | $60 \pm 3\ nH$ | $40\ \pm 2\ nH$ | $14 \pm 2\ nH$ |

Dans cette partie, les trois bancs de court-circuit ont été caractérisés et leurs différences mises en évidence. Intéressons-nous maintenant à l'instrumentation mise en place dans les bancs.

# 3. Instrumentation des bancs

## 3.1 Introduction

Le choix de l'instrumentation et sa mise en œuvre sont des sujets délicats : mesurer une grandeur électrique revient toujours à modifier légèrement le circuit, en y insérant des éléments parasites qui peuvent être plus ou moins invasifs. La conception des bancs est aussi directement impactée par les

mesures qui y sont insérées. Enfin, certains effets liés aux instruments peuvent générer des artefacts de mesures qui faussent l'interprétation des expériences. Tout est affaire de compromis entre l'incertitude, la bande passante, la tension (ou le courant) admissible et le type de connexion entre la sonde et le circuit. Pour une même mesure, il y a souvent plusieurs instruments possibles, en particulier pour la mesure des courants. Enfin, une chaine de mesure est aussi fiable que son élément le moins fiable : l'oscilloscope est aussi important que la sonde par exemple. La mesure est donc nécessaire, mais très gênante : mesurer, c'est modifier sans le vouloir. J'ai dû faire des choix imparfaits et je les expose dans cette partie.

Pour pouvoir caractériser la robustesse d'un transistor en court-circuit, il faut mesurer le courant de drain pour définir la durée avant défaillance. La croissance du courant de drain est relativement rapide lors de l'amorçage du court-circuit (moins de $200\,ns$ environ), ce qui demande une certaine bande passante. La mesure doit surtout être aussi peu intrusive que possible, pour ne pas augmenter trop l'inductance parasite de la maille de puissance.

Si l'on souhaite connaitre l'énergie dissipée dans le transistor, on peut calculer la puissance dissipée et l'intégrer. Cela implique une mesure supplémentaire : celle de la tension drain-source $V_{DS}$.

Ensuite, pour étudier la partie commande de l'essai de court-circuit, il faut mesurer la tension grille-source $V_{GS}$. Cela fait donc une troisième mesure.

Enfin, toujours côté commande, il est intéressant de relever le courant de grille $I_G$ pour étudier certains effets lors du court-circuit dus à l'échauffement. Cette quatrième mesure pose problème car la maille de commande (driver – résistance de grille - transistor) a de très petites dimensions, ce qui interdit l'utilisation d'une sonde de courant classique. J'ai donc mesuré $I_G$ de façon indirecte, en relevant la tension aux bornes de la résistance de grille. Ceci implique la mesure de la tension de sortie du driver $V_{DR}$.

Quatre mesures sont donc nécessaires, ce qui impacte profondément la structure des bancs.

J'ai essayé d'utiliser des câbles coaxiaux courts pour éviter les effets de ligne (réflexions et interférences). L'article [102] donne le critère suivant : si la longueur du câble est inférieure à un dixième de la longueur d'onde du signal, alors ces effets de lignes sont négligeables. Comme les signaux mesurés lors des essais de court-circuit sont des fronts plus ou moins raides, ils ont un contenu spectral assez riche, avec des fréquences assez élevées pour poser problème. D'autre part, j'ai été contraint d'utiliser parfois des câbles d'un mètre, il est possible que des effets de ligne aient généré des artefacts de mesure.

## 3.2 Choix du matériel et incertitudes

Je me suis renseigné sur les différentes familles de capteurs de tension et de courant pour choisir correctement les instruments de mesure. J'ai porté une grande attention aux incertitudes liées à ces instruments. Je me suis efforcé de toujours lister et quantifier les sources d'incertitudes afin de savoir quel crédit je pouvais accorder à mes relevés d'oscilloscope.

La partie 5 des annexes détaille le choix de l'instrumentation et contient les différents calculs d'incertitude. Cela couvre l'oscilloscope utilisé, les sondes de tensions choisies et le capteur de courant retenu pour les essais de court-circuit.

## 3.3 Synthèse de l'instrumentation des bancs

Concernant les oscilloscopes, les deux appareils utilisés dans la thèse ont une bande passante de $500\ MHz$ ($1\ M\Omega$), ce qui est largement suffisant vu les dynamiques observées en court-circuit. Leur résolution verticale est de 12 bits.

Pour mesurer les tensions des bancs, j'ai utilisé des sondes passives. Pour mesurer le courant de drain, j'ai choisi un shunt coaxial de faible valeur. Le Tableau 9 récapitule les différents moyens de mesure utilisés pour chaque banc. L'incertitude relative élargie est notée en rouge.

*Tableau 9 : instruments de mesure utilisés dans chacun des trois bancs.*

<table>
<tr><th>Banc n°</th><th>$V_{DS}$</th><th>$V_{GS}$</th><th>$V_{DR}$</th><th>$I_D$</th><th>$I_G$</th></tr>
<tr><td>1</td><td rowspan="3">Sonde passive 1:100 PMK PHV 1000-RO 400 MHz<br>(1, 2 %)</td><td colspan="2" rowspan="2">Sonde passive 1:10 LeCroy PP017 250 MHz<br>(1, 4 %)</td><td rowspan="3">Shunt coaxial 10 mΩ 400 MHz<br>(1, 9 %)</td><td rowspan="3">Mesure indirecte à travers les tensions et la résistance de grille :<br>$I_G = \frac{V_{DR} - V_{GS}}{R_G}$<br>(1, 3 %[1] )</td></tr>
<tr><td>2</td></tr>
<tr><td>3</td><td colspan="2">Sonde passive 1:10 LeCroy PP018 500 MHz<br>(1, 4 %)</td></tr>
</table>

La longueur des câbles est différente entre les sondes de tension et de courant, les signaux sont donc décalés dans le temps de quelques nanosecondes. Ce retard a été compensé avec un post-traitement sur Matlab. Tout est détaillé dans la partie 5.4 des annexes (retard entre sondes de tension et de courant).

[1] En ne considérant que les erreurs aléatoires. Si l'on prend en compte les erreurs systématiques, l'incertitude est nettement plus élevée et peut dépasser les 10% (partie 5.3.3.2 des annexes).

# Chapitre III - Essais de courts-circuits

## 1. Généralités

### 1.1 Vue d'ensemble des essais

Des transistors de quatre fondeurs différents ont été testés et évalués : GaN Systems (*HEMT* à grille p-GaN avec un contact schottky, dans un boitier très fin de type CMS), Panasonic (*HEMT* à grille p-GaN avec un contact ohmique, dans un boitier *PQFN*), Transphorm (cascode, dans un boitier *PQFN*) et quelques prototypes du CEA (MIS*HEMT*, c'est-à-dire à grille isolée, dans un package *D2pak* bien plus inductif que les trois autres composants). Le fait que les boitiers soient différents modifie légèrement l'inductance totale de la maille de puissance mais n'empêche pas la comparaison des transistors entre eux selon [33]. En effet, le court-circuit est un évènement d'une durée assez courte pour le considérer adiabatique, le boitier ne joue donc pas sur ce plan. D'un autre côté, la dynamique de mise en conduction lors du court-circuit est assez lente, il n'y a donc pas lieu de s'inquiéter d'éventuelles oscillations causées par un boitier inductif, comme ce serait le cas dans une maille de commutation réelle dans un convertisseur.

En comptant les essais de validation des bancs (généralement à basse tension), plus de 200 essais de court-circuit ont été effectués. Les transistors sont différents, et il n'est pas possible de les tester dans les mêmes conditions expérimentales. Le Tableau 10 recense les valeurs de la tension grille-source $V_{GS}$ appliquée à l'état passant et de la résistance de grille $R_G$ utilisée pour chaque fondeur.

*Tableau 10 : Valeurs de la tension grille-source ($V_{GS}$) et de la résistance de grille ($R_G$) lors des essais de courts-circuits destructifs selon la référence du composant.*

| | GS66506T | GS66508T | GS66516T | CEA 10A | CEA 30A | Panasonic PGA26E07 | Transphorm TPH3208LDG |
|---|---|---|---|---|---|---|---|
| $V_{GS-ON}$ (V) | 5 | | | 6 | | 10 | 8 |
| $R_G$ (Ω) | 33 | 33 | 33 (sauf exception) | 33 | | (6,2 Ω + 1500 pF) // 680 Ω | 33 |

### 1.2 Choix faits pour les essais de court-circuit

Concernant la tension appliquée à l'état bloqué ($V_{GS-OFF}$), Fernandez et al. indiquent dans [33] qu'une tension négative permet d'éviter les oscillations au blocage, mais la quasi-totalité des courts-circuits réalisés dans cette thèse étant destructifs, j'ai choisi d'imposer $V_{GS-OFF} = 0\,V$. De plus, cette tension nulle permet d'éviter un éventuel piégeage de charges par le phénomène de gate lag.

Dans la quasi-totalité des essais, la résistance de grille utilisée pour l'amorçage a une valeur élevée (33 Ω), bien supérieure aux valeurs utilisées en commutation, qui sont de l'ordre de 5 Ω [103]. Ce choix a été fait pour réduire le $dI/dt$ à l'amorçage et ainsi limiter l'apparition d'oscillations [33]. La valeur de la résistance de grille peut avoir un impact sur la robustesse, comme le montrent Riccio et al. dans [71] lorsqu'ils testent des transistors GaN Systems. La valeur que j'ai choisie (33 Ω) est sévère par rapport aux valeurs de résistance de cet article (entre 100 Ω et 460 Ω). Dans l'article [18], les auteurs préconisent une valeur de 50 Ω pour protéger le driver après la défaillance du transistor en court-circuit.

La majorité des essais de court-circuit présentés dans cette partie ont été réalisés avec le banc n°3, qui est le plus récent et le plus abouti. Cependant, le banc n°1 a aussi beaucoup été utilisé pour les composants GaN Systems. Ainsi, pour ces derniers, certaines séries de transistors ont été testées avec le banc n°1, et d'autres avec le banc n°3. Assez peu d'essais ont été faits dans le banc n°2, je montrerais principalement des essais concernant les composants Transphorm, mais aussi quelques essais de transistors GaN Systems avec une forte valeur de résistance de grille.

Pour valider le banc n°3, j'ai réalisé 5 essais de court-circuit destructifs avec un MOSFET silicium à superjonction (Infinéon IPA65R190E6). Cette technologie éprouvée en fait un composant mature, qui ne souffre pas de dispersion en court-circuit. J'ai obtenu des durées avant défaillances quasi identiques (entre $56\ \mu s\ et\ 60\ \mu s$), ce qui prouve que le banc est fonctionnel. La partie 6 des annexes présente les formes d'ondes.

Les signaux étant assez bruités, j'ai filtré les différentes grandeurs mesurées, sans pour autant casser les fronts des formes d'ondes en début de court-circuit. Il s'agit d'un filtrage par moyenne glissante. Le Tableau 11 présente le nombre d'échantillons que contient la fenêtre de filtrage en fonction des grandeurs électriques mesurées. Si l'essai présente des oscillations, je n'applique aucun filtrage. La fréquence d'échantillonnage vaut $2{,}0\ GS/s$ dans les bancs n°1 et n°2, et $2{,}5\ GS/s$ dans le banc n°3.

*Tableau 11 : nombre d'échantillons sur lesquels sont effectués le filtrage pour la tension drain-source $V_{DS}$, la tension de sortie du driver $V_{DR}$, la tension grille-source $V_{GS}$, le courant de drain $I_D$ et le courant de grille $I_G$.*

| | $V_{DS}$ | $V_{DR}$ | $V_{GS}$ | $I_D$ | $I_G$ |
|---|---|---|---|---|---|
| **Filtrage** | **15** | **5** | **15** | **20** | **5** |

## 1.3 Surface des puces et calcul de l'énergie dissipée avant défaillance

L'énergie dissipée dans un transistor doit être ramenée à une surface pertinente pour pouvoir comparer les différentes références testées. N'ayant pas accès à la structure interne de la plupart des transistors testés, je me suis basé sur les boitiers détruits suite aux essais du banc n°3. La zone que j'ai considérée est la zone mise à nu par l'explosion du boitier (Figure 98 et Figure 99) que je nomme « surface totale ».

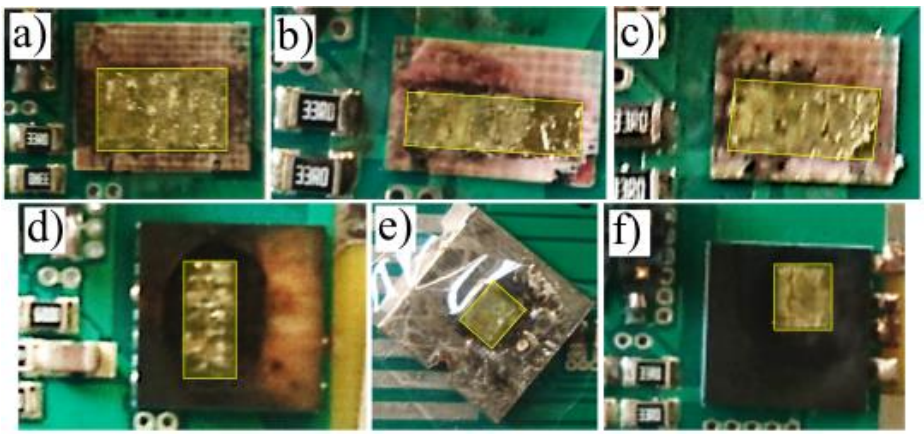



*Figure 98 : Boitiers explosés des transistors testés dans le banc n°3. a) GaN Systems GS66506T ; b) GaN Systems GS66508T ; c) GaN Systems GS66516T ; d) Panasonic PGA26E07BA ; e) CEA 10A ; f) Transphorm TPH3208LDG.*

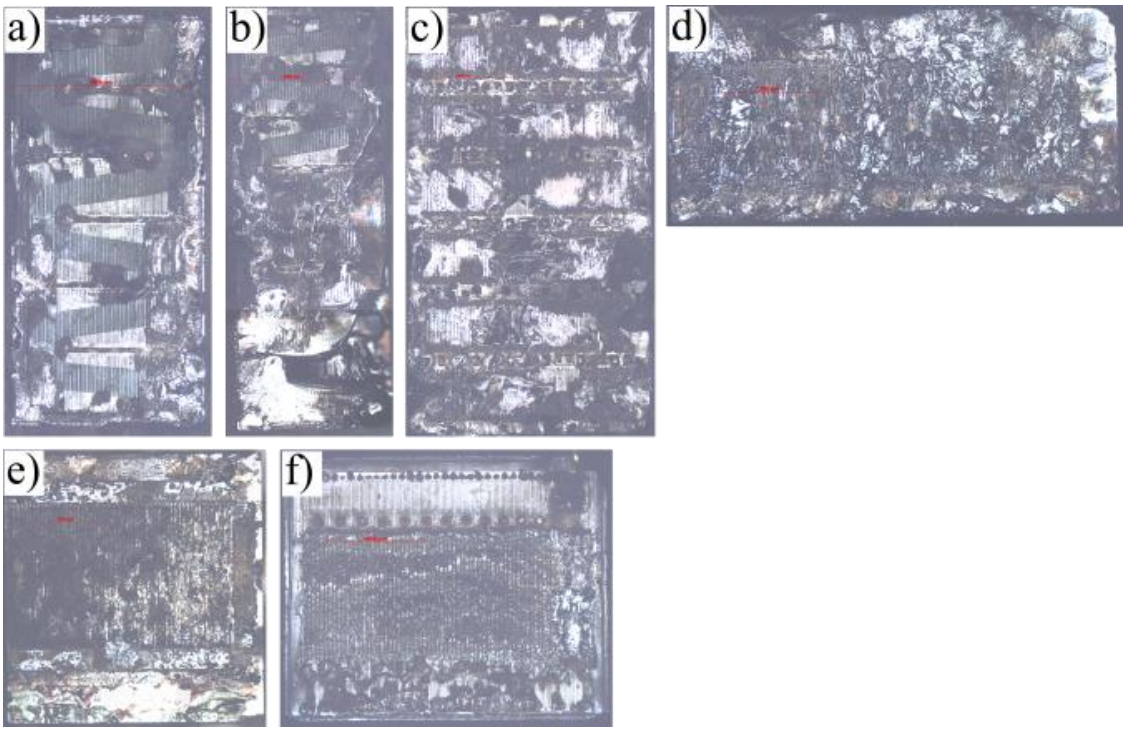



*Figure 99 : Photos des puces au microscope optique après explosion du boitier. a) GaN Systems GS66506T ; b) GaN Systems GS66508T ; c) GaN Systems GS66516T ; d) Panasonic PGA26E07BA ; e) CEA 10A ; f) Transphorm TPH3208LDG.*

Le Tableau 12 recense les différentes surfaces calculées après mesure des dimensions de la surface de puce, sur des photos prises avec un microscope optique.

*Tableau 12 : surfaces totales des différents transistors testés dans le banc n°3.*

| **Transistor** | **GS 66506T** | **GS 66508T** | **GS 66516T** | **PGA 26E07BA** | **CEA 10A** | **CEA 30A** | **TPH 3208LDG** |
|---|---|---|---|---|---|---|---|
| **Surface ($mm^2$)** | 9,5 | 12,7 | 26,6 | 10,2 | 13,4 | 18,4 | 8,7 |

# 2. Robustesse en court-circuit des composants GaN Systems

## 2.1 Caractéristiques des transistors

### 2.1.1 Caractéristiques électriques

Les transistors du fondeur GaN Systems sont des *HEMTs* normalement bloqués. Comme vu dans la partie 3.2.1 du chapitre I, un courant de grille assez important est attendu lorsque le transistor chauffe car la grille est du type P-GaN avec contact Schottky. Au sein de cette famille de transistors, j'ai testé trois références (GS66506T, GS66508T et GS66516T), qui ont la même structure, la même tenue en tension mais des calibres en courant différents et donc des surfaces de puce différentes. Le Tableau 13 recense leurs caractéristiques principales.

*Tableau 13 : caractéristiques électriques des trois références de transistors GaN Systems testés.*

| Paramètre | Symbole | GS66506T | GS66508T | GS66516T |
|---|---|---|---|---|
| Tension de claquage drain-source | $BV_{DSS}$ | 650 V | 650 V | 650 V |
| Tension maximale grille-source | V | -10 V/+7 V | -10 V/+7 V | -10 V/+7 V |
| Courant de drain continu (25°C) | I | 22 A | 30 A | 60 A |
| Courant de drain continu (100°C) | I | 17 A | 23 A | 47 A |
| Résistance à l'état passant (Tj=25°C) | $R_{DS(on)}$ | 73 mΩ | 55 mΩ | 27 mΩ |
| Résistance à l'état passant (Tj=150°C) | | 186 mΩ | 140 mΩ | 70 mΩ |
| Capacité d'entrée | $C_{ISS}$ | 190 pF | 260 pF | 525 pF |
| Charge totale de la grille | $Q_{G(TOT)}$ | 4.6 nC | 5.8 nC | 12.0 nC |
| Tension de seuil de la grille ($I_D$=6 mA) | $V_{GS(TH)}$ | 1.6 V | 1.4 V | 1.4 V |

## 2.1.2 Boitier

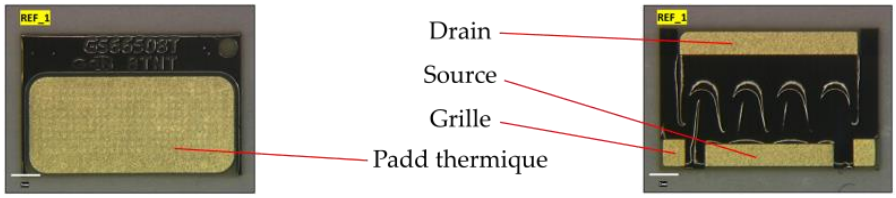



*Figure 100 : boitier d'un transistor GS66508T de GaN Systems (photos de SERMA Technologies).*

Le boitier des transistors GaN Systems est très peu inductif puisqu'il ne comporte pas de fils de bonding (Figure 100). La structure du boitier a été présentée en détails dans la partie 2.1 du chapitre I.

Ces transistors ne possèdent pas de source kelvin, ce qui n'est pas très gênant compte-tenu de la très faible inductance du boitier. J'ai routé la carte de telle sorte que le contact de source du driver soit séparé du contact de source de puissance pour imiter une source kelvin.

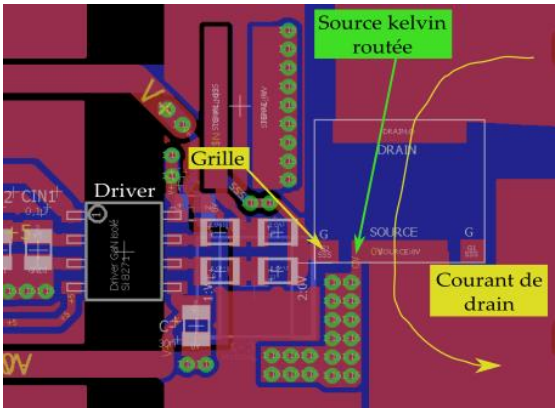



*Figure 101 : routage de la carte DUT pour les composants GaN Systems, montrant la source kelvin routée.*

## 2.2 Essais destructifs

### 2.2.1 Déroulement typique d'un essai destructif

La Figure 102 présente un essai de court-circuit destructif typique pour une tension de bus faible ($270\ V$) et montrant une excellente robustesse. Ces graphes montrent à quel point la croissance et la décroissance du courant de drain sont rapides au début de l'essai ($t < 10\ \mu s$). On retrouve bien le comportement détaillé dans la partie 3.2.1 du chapitre I. Cette décroissance conduit rapidement à une faible valeur de courant qui évolue ici de $120\ A$ au maximum à moins de $10\ A$ après $100\ \mu s$.

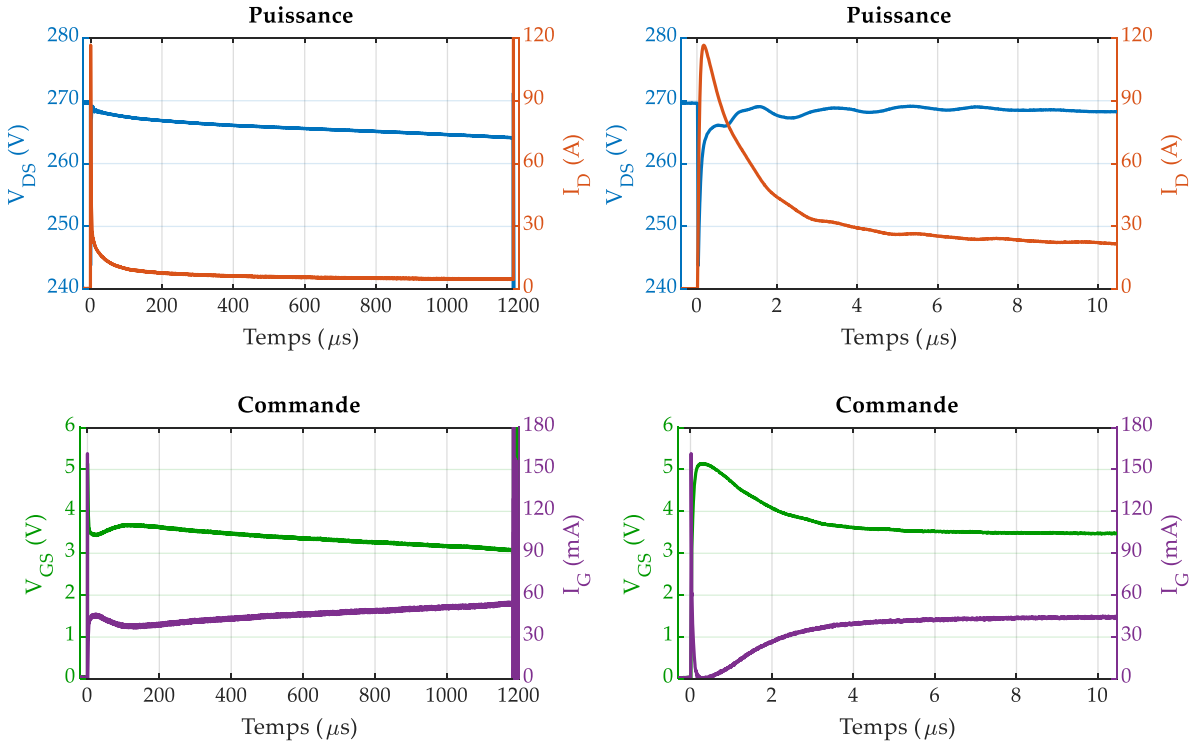



*Figure 102 : court-circuit destructif sur un transistor GS66508T de la série n°6 (lot 9BNZ) dans le banc n°1. $V_{DS} = 270\ V$, $V_{GS} = 5\ V$ et $R_G = 33\ \Omega$. A gauche : visualisation de l'essai jusqu'à défaillance ; à droite : zoom sur le début de l'essai.*

Étudions maintenant cet essai en détail. Le déroulement d'un essai de court-circuit est toujours identique, sauf en cas d'oscillations (partie 2.2.8). La Figure 103 présente les formes d'ondes pour ce court-circuit de durée $1200\ \mu s$ environ avec une échelle logarithmique sur l'axe des abscisses pour bien distinguer les différentes phases.

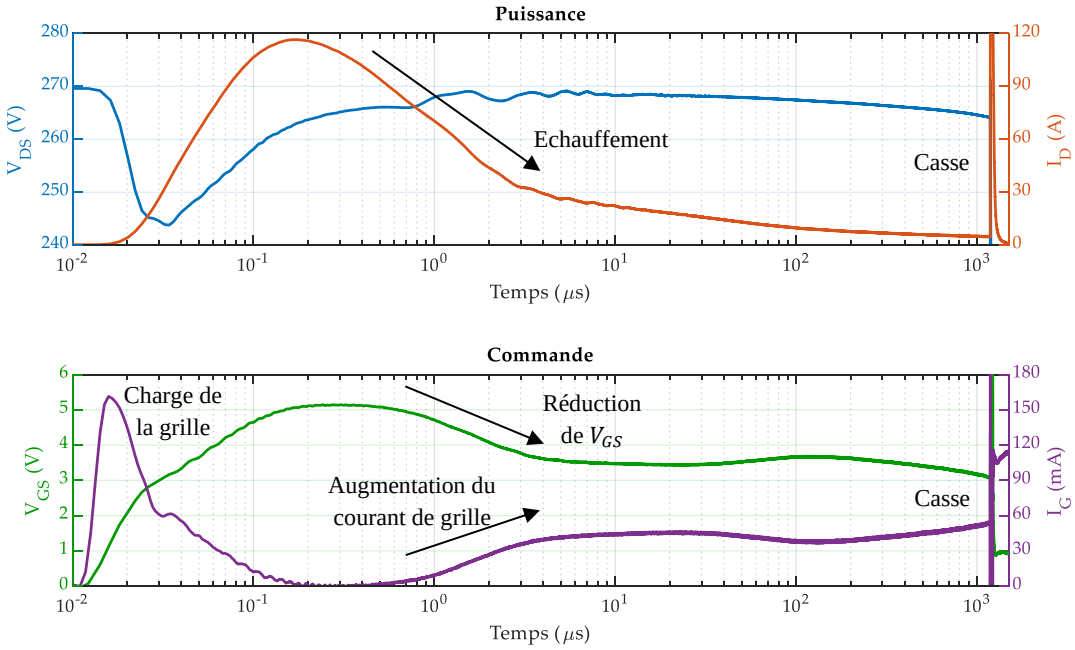



*Figure 103 : court-circuit destructif sur un transistor GS66508T de la série n°6 (lot 9BNZ) dans le banc n°1. $V_{DS} = 270\ V$, $V_{GS} = 5\ V$ et $R_G = 33\ \Omega$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

L'essai commence par la mise en conduction du transistor : le courant de grille augmente et cette dernière se charge. Le courant de drain augmente rapidement et atteint 120 A après $200\ ns$ environ ; l'inductance parasite du banc tend à s'opposer à cette variation de courant, ce qui provoque une chute de la tension $V_{DS}$. Le courant de grille se réduit peu à peu et s'annule vers $300\ ns$. A cet instant, la tension $V_{GS}$ a atteint sa valeur nominale de $5\ V$. Le transistor s'échauffe fortement, ce qui réduit la mobilité des porteurs de charge et entraine une diminution du courant de drain ; en même temps, un courant s'établit à travers la grille, ce qui crée une chute de potentiel aux bornes de la résistance de grille et provoque une diminution de la tension $V_{GS}$ qui participe également à la diminution du courant de Drain. Ensuite, le courant de grille garde une valeur élevée (de l'ordre de 50 mA) jusqu'à $100\ \mu s$ environ, puis augmente à nouveau jusqu'à la défaillance du transistor. S'ensuit alors sa destruction. Le drain et la source se court-circuitent, ce qui provoque une augmentation brutale du courant de drain (non visible sur la figure). La protection intervient ensuite (avec des *IGBTs* pour les bancs n°1 et n°2, avec un fusible pour le banc n°3), et le courant de drain s'annule.

### 2.2.2 Vue d'ensemble

Depuis 2015, j'ai réalisé en tout plus de 130 essais de court-circuit avec des transistors GaN Systems de trois références différentes (Tableau 14). Au sein de chacune des références, plusieurs lots ont été testés. Les essais ont été réalisés dans le banc n°1 (2016), dans le banc n°2 (2018) ou dans le banc n°3 (2019). J'ai voulu étudier l'influence de la tension de bus appliquée, la tension $V_{DS}$ peut donc prendre deux valeurs différentes ($270\ V$ ou $400\ V$). Concernant la tension $V_{GS}$, je l'ai fixée à $5\ V$ dans la quasi-totalité des essais, même si j'ai essayé de mesurer son influence en la faisant varier dans quelques tests. La résistance de grille vaut $33\ \Omega$ dans la plupart des essais, mais j'ai aussi étudié son influence en testant une valeur de $17\ \Omega$ et de $150\ \Omega$ avec quelques transistors.

*Tableau 14 : Paramètres des essais de court-circuit des transistors GaN Systems. (1) Certains essais ont été faits avec une tension $V_{GS} = 4\ V$ ou $6\ V$ ; (2) certains essais ont été réalisés avec $R_G = 17\ \Omega$ ou $R_G = 150\ \Omega$.*

| Référence | Nbre d'essais | Banc | $V_{DS}$ | $V_{GS}$ | $R_G$ |
|---|---|---|---|---|---|
| 66506T (2 lots) | 33 | n°1 ou n°3 | 270 $V$ ou 400 $V$ | 5 $V$ (1) | 33 Ω (2) |
| 66508T (4 lots) | 50 | | | | |
| 66516T (5 lots) | 55 | | | | |

Si j'écarte les essais de courte durée non destructifs et ceux faits à faible tension de drain pour valider les bancs, il reste 83 essais destructifs utilisables. Les essais présentant des paramètres identiques ont été regroupés en séries et j'ai constaté dès 2016 une très forte dispersion, au point qu'il est parfois difficile de conclure quant à l'influence d'un paramètre comme le lot du composant, la tension $V_{GS}$ ou la résistance de grille $R_G$, comme nous le verrons par la suite.

### 2.2.2.1 Durée avant défaillance et disparités de robustesse

Les essais menés ont montré une grande disparité de robustesse : en faisant subir un essai de court-circuit dans des conditions identiques (tension de bus, tension grille-source, résistance de grille, numéro de banc) à des transistors de la même référence et du même lot, j'ai obtenu des *TLF* très différents. La Figure 104 présente les courants de drain de 14 transistors GS66516T du lot 9CPY mesurés dans les mêmes conditions expérimentales. On constate une très forte dispersion sur le *TLF*. En effet, 5 transistors cassent avant 1 µ$s$ tandis que les 9 autres ont un *TLF* supérieur à 400 µ$s$. Les composants qui présentent les plus faibles pics de courant de drain sont les plus robustes.

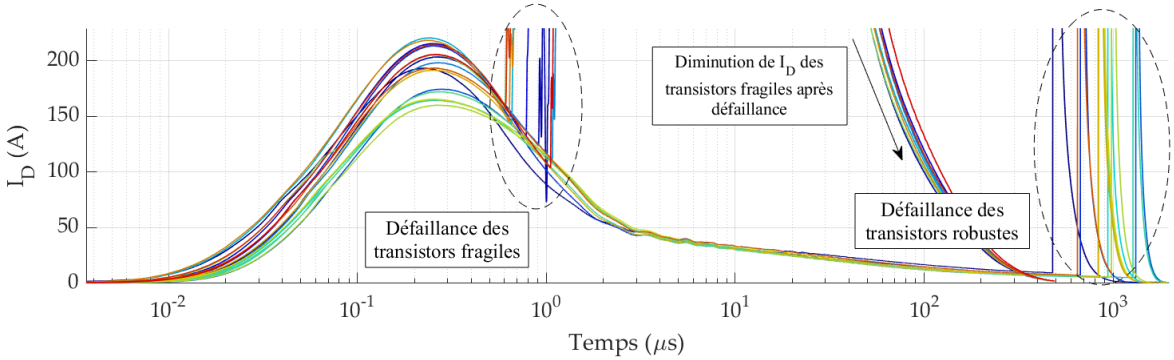



*Figure 104 : superposition des courants de drain des essais destructifs de la série n°9 dans le banc n°3. Référence GS66516T, $V_{DS} = 400\ V$, $V_{GS} = 5\ V$ et $R_G = 33\ \Omega$. Une couleur correspond à un essai.*

Le Tableau 15 présente une analyse synthétique des séries de tests effectués. Une couleur donnée désigne un lot ou un regroupement de lots[2]. La colonne « Mois/An » est relative à la date de fabrication du lot. Au milieu, la colonne « N » donne le nombre d'essais réalisés pour la série.

Le Tableau 15 fait apparaître le nombre de transistors testés (N) et le pourcentage des composants ayant été détruits en un temps inférieur à 5 µ$s$ et supérieur à 200 µ$s$ (durée avant défaillance ou *TLF*). Le tableau indique également dans ces deux cas la valeur moyenne des *TLF*, montrant pour certains d'entre eux une très grande disparité.

[2] Certains lots fabriqués à des dates rapprochées ont été regroupés car les transistors de ces lots présentaient des comportements semblables.

*Tableau 15 : récapitulatif des essais destructifs pour les transistors GaN Systems en fonction de la référence, du lot, du banc, de la tension $V_{DS}$, de la tension $V_{GS}$ et de la résistance de grille $R_G$. TLF : Time Leading to Failure.*

| n° série | Réf. | Lot | Mois/An | Banc | VDS | VGS | RG | N | TLF<5 µs | moy<5µs | TLF>200 µs | moy>200µs |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 1 | 66506T | E015A5A | 01/2015 | 1 | **400** | 5 | 33 | 7 | 100% | 0,6 µs | 0% | |
| 2 | 66506T | 9M39 | 04/2019 | **3** | 270 | **4** | 33 | 2 | 0% | | 100% | 3650 µs |
| 3 | 66506T | 9M39 | 04/2019 | **3** | **400** | **4** | 33 | 6 | 17% | 3 µs | 83% | 1616 µs |
| 4 | 66508T | E025CEJ +E0258JB | 01/2015 | 1 | 270 | 5 | 33 | 3 | 33% | 0,9 µs | 67% | 1167 µs |
| 5 | 66508T | E025CEJ +E0258JB | 01/2015 | 1 | **400** | 5 | 33 | 4 | 50% | 0,6 µs | 50% | 460 µs |
| 6 | 66508T | 8TNT + 9BNZ | 2018 et 2019 | **3** | 270 | 5 | 33 | 15 | 0% | | 100% | 1846 µs |
| 7 | 66516T | E025A69 E025CHD | 01/2015 | 1 | 270 | 5 | 33 | 3 | 0% | | 100% | 1653 µs |
| 8 | 66516T | E025A69 E025CHD | 01/2015 | 1 | **400** | 5 | 33 | 12 | 50% | 0,8 µs | 50% | 560 µs |
| 9 | 66516T | 9CPY | 01/2019 | **3** | **400** | 5 | 33 | 18 | 44% | 0,8 µs | 56% | 881 µs |
| 10 | 66516T | 9CPY+9CPX +732E | 01/2019 | **3** | 270 | 5 | **13** | 7 | 14% | 1,4 µs | 86% | 1129 µs |
| 11 | 66516T | 9CPY+9CPX +732E | 01/2019 | **3** | **400** | 5 | **13** | 7 | 57% | 0,7 µs | 43% | 531 µs |

La valeur de $V_{DS}$ impacte beaucoup la robustesse : pour une valeur de $270\,V$, le pourcentage de transistors fragiles ($TLF < 5\ \mu s$) est très faible (il vaut souvent zéro, et ne dépasse pas 33% pour la série n°4). En revanche, pour une valeur de $400\,V$, ce même pourcentage avoisine souvent les 50%, et monte à 100% pour la série n°1.

L'influence des lots dépend de la référence. Pour la référence GS66506T, on observe une différence très nette entre le lot E015A5A de 2015 (série n°1) et le lot 9M39 de 2019 (série n°3). Ces deux séries on été testées sous $400\,V$, et pour la première tous les transistors ont des *TLF* très faibles (la moyenne s'établit à $0{,}6\ \mu s$). Au contraire, pour la seconde série (n°3), les transistors sont extrêmement robustes puisque la très grande majorité montre des *TLF* dépassant les $1300\ \mu s$. La tension de grille est cependant différente ($5\,V$ pour la série E015A5A contre $4\,V$ pour l'autre), et il est possible que la différence de robustesse s'explique à travers la différence de tension grille-source, comme montré dans l'article [78].

Pour la référence GS66508T, on constate aussi une différence nette de robustesse entre la série n°4 (lots E025CEJ et $E0258JB$ de 2015) et la série n°6 (lots $8TNT$ de 2018 et $9BNZ$ de 2019). Sous $270\,V$, le pourcentage de défaillances prématurées ($TLF < 5\ \mu s$) passe de 33 % à 0 % entre la série n°4 et la série n°6. La valeur moyenne des *TLF* des transistors robustes ($TLF > 200\ \mu s$) grimpe aussi de $1167\ \mu s$ à $1846\ \mu s$ (série n°6).

En revanche, pour la référence GS66516T, l'influence des lots est moins marquée. Pour une tension de bus de $400\,V$, la série n°9 (lot de 2019) montre une robustesse légèrement supérieure à celle de la série n°8 (lots de 2015), en particulier pour les longs *TLF*.

La Figure 105 détaille le temps avant défaillance pour chaque série du Tableau 15. On constate un comportement très tranché : soit les transistors sont très fragiles et cassent en moins de quelques microsecondes (souvent moins d'une microseconde), soit ils sont très robustes puisqu'on constate des *TLF* supérieurs à $200\ \mu s$. Il n'y a pas de situation intermédiaire.

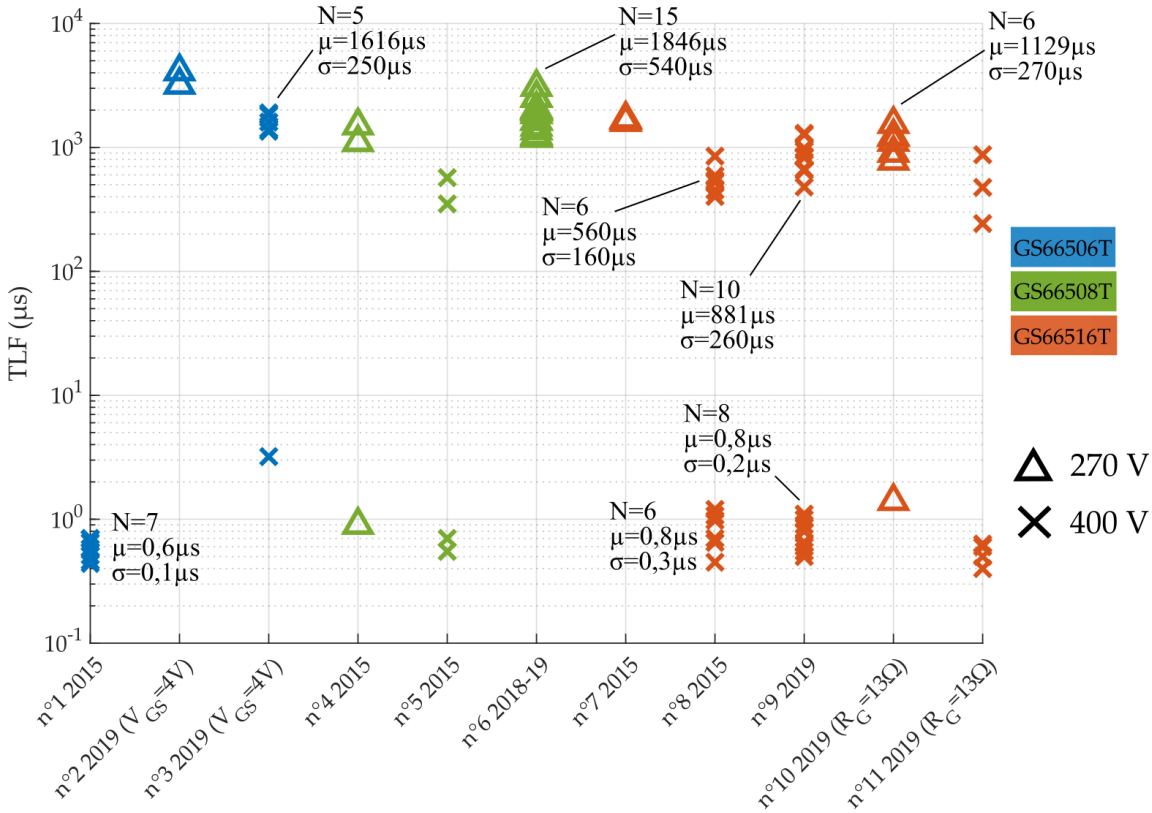



*Figure 105 : Durées avant défaillance pour les essais destructifs des 11 séries des transistors GaN Systems. Chaque marqueur (croix ou triangle) représente un essai destructif. Chaque couleur correspond à une référence, et le style de marqueur indique la tension $V_{DS}$ (270 $V$ ou 400 $V$). Lorsque le nombre de transistors est assez grand, des données statistiques sont affichées : « N » représente le nombre de transistors testé ; « μ », la moyenne des TLF ; « σ », l'écart-type.*

On constate à nouveau la très forte influence de la tension $V_{DS}$, il n'y a en effet presque aucun triangle en bas de la figure, dans la zone des faibles *TLF*. La robustesse est bien plus faible sous 400 $V$ que sous 270 $V$. L'influence des lots (anciens, 2015, ou récents, 2018 et 2019) est aussi visible plus précisément.

Enfin, on peut dire que la robustesse dépend aussi du calibre en courant, pour les composants robustes. En effet, les transistors robustes de plus faibles calibres en courant tendent à montrer un *TLF* plus élevé, en particulier sous une tension de 400 $V$. Il faut nuancer cette remarque pour les composants de plus faible calibre (GS66506T, en bleu) car ces derniers ont été testés avec une tension $V_{GS} = 4\ V$ seulement.

Par contre, lorsque la défaillance apparait rapidement, il semble que le *TLF* augmente légèrement avec le calibre en courant.

### 2.2.2.2 Énergie dissipée avant défaillance

Les énergies dissipées avant défaillance sont regroupées en Figure 106. On constate de fortes disparités d'une série à l'autre et un comportement global logiquement similaire à celui de la Figure 105. Il semblerait que pour les défaillances prématurées, les transistors de plus fort calibre dissipent plus d'énergie.

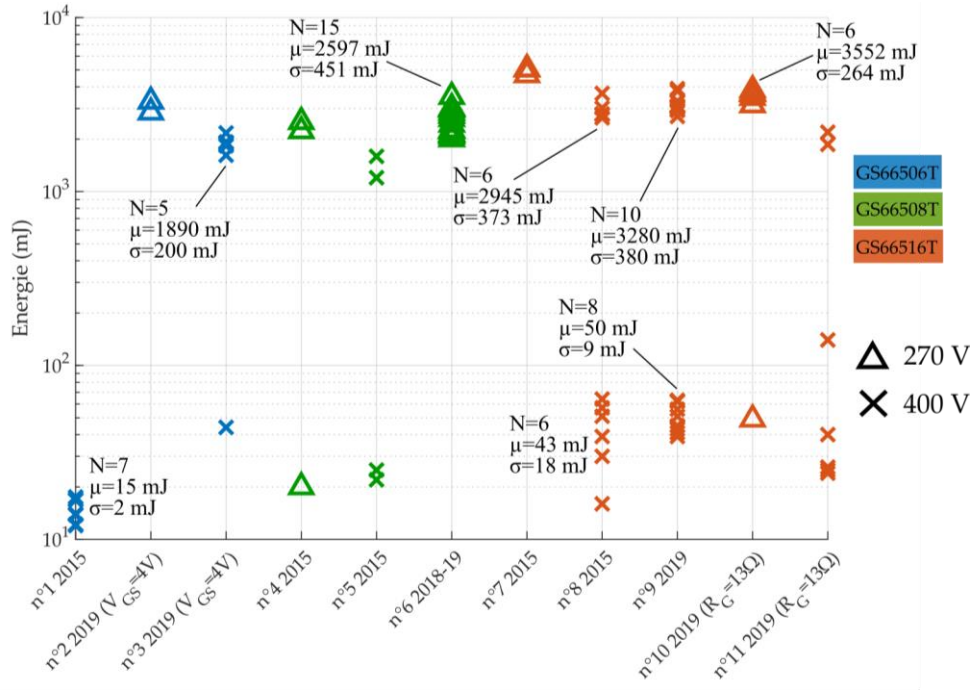



*Figure 106 : Énergie dissipée avant la casse pour les essais destructifs des 11 séries des transistors GaN Systems. Chaque marqueur (croix ou triangle) représente un essai destructif. Chaque couleur correspond à une référence, et le style de marqueur indique la tension $V_{DS}$ ($270\ V$ ou $400\ V$). Lorsque le nombre de transistors est assez grand, des données statistiques sont affichées : « N » représente le nombre de transistors testé ; « μ » la moyenne des TLF ; « σ » l'écart-type.*

La Figure 107 présente les énergies surfaciques $E_S$ : $E_S = E/S$ où $E$ est l'énergie calculée précédemment et $S$ la surface de puce (partie 1).

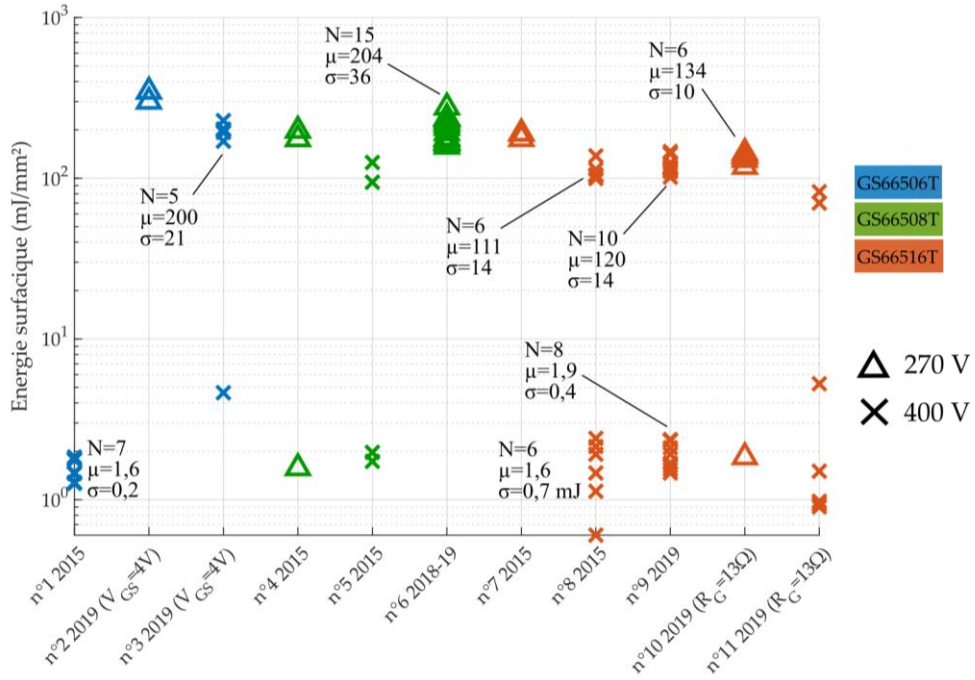



*Figure 107 : énergie surfacique dissipée avant la casse pour les essais destructifs des 11 séries des transistors GaN Systems. Chaque marqueur (croix ou triangle) représente un essai destructif. Chaque couleur correspond à une référence, et le style de marqueur indique la tension $V_{DS}$ ($270\ V$ ou $400\ V$).*

Le fait de ramener les énergies aux surfaces actives montre que les composants pouvant absorber le plus d'énergie surfacique sont les composants de plus faible calibre en courant (sous $270\,V$, la référence GS66508T a une énergie surfacique supérieure à la référence GS66516T).

La conclusion est bien moins évidente pour les composants ayant présenté une défaillance rapide.

La Figure 108 présente l'énergie dissipée avant défaillance uniquement pour les composants robustes, en échelle linéaire pour mieux montrer les différences entre les calibres. Pour les essais réalisés sous $270\,V$, on constate que la densité d'énergie amenant à défaillance a clairement tendance à diminuer quand le calibre en courant augmente. La conclusion est toutefois moins évidente sous $400\,V$. Cependant, il faut nuancer cette affirmation car la référence GS66506T a été testée avec une tension grille-source de $4\,V$ seulement, et qu'il n'y a que deux essais.

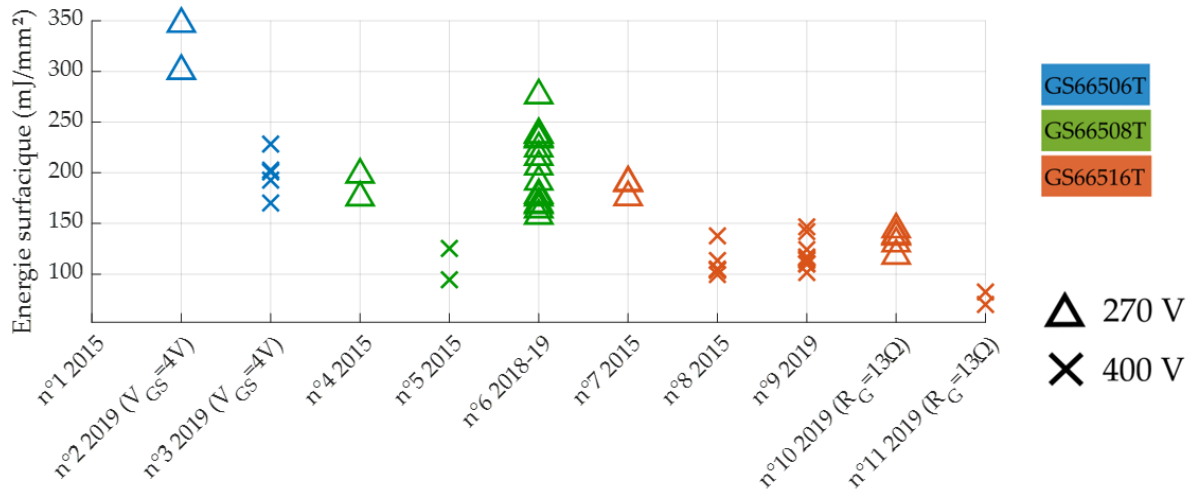



*Figure 108 : zoom sur les énergies surfaciques dissipées avant la casse pour les composants GaN Systems robustes uniquement. Chaque marqueur (croix ou triangle) représente un essai destructif. Chaque couleur correspond à une référence, et le style de marqueur indique la tension $V_{DS}$ ($270\,V$ ou $400\,V$). Lorsque le nombre de transistors est assez grand, des données statistiques sont affichées : « N » représente le nombre de transistors testé ; « μ » la moyenne des TLF ; « σ » l'écart-type.*

### 2.2.2.3 Evolution des lots de transistors et des bancs

Les fondeurs renseignent généralement un numéro de lot sur leurs transistors, qui correspond à la date de fabrication. Comme les essais de court-circuit se sont échelonnés de 2015 à 2020, j'ai testé plusieurs lots de transistors dans chaque référence. Les transistors GaN sont encore en cours de développement, il est donc probable que les fondeurs modifient ou fassent évoluer leur procédé de fabrication ou changent un matériau d'un lot à l'autre. J'ai interrogé le fondeur GaN Systems au sujet des modifications au fil des années. Ils m'ont dit avoir fait évoluer leurs procédés de fabrication ainsi que la structure de leurs transistors ; ils auraient ainsi changé le matériau de la métallisation de source en 2018. Selon eux, les nouveaux transistors comportant ce matériau ne devraient plus souffrir de dispersion en court-circuit ; les tests faits après 2018 prouvent cependant le contraire. En 2021, une autre personne interrogée chez ce fondeur m'a même dit qu'il n'y avait eu aucun changement significatif de technologie au fil des années. Je n'ai pas réussi à obtenir la date de chacune des modifications, pour pouvoir corréler cela avec les numéros de lot ; ils sont restés très flous à ce sujet, ces informations étant probablement confidentielles.

Par ailleurs, les lots anciens (2015) ont tous été testés dans le banc n°1 (et aussi dans le banc n°2 pour quelques rares transistors) et les lots récents (2018 et 2019) dans le banc n°3. Les bancs n°1 et n°3 ont des structures et des caractéristiques électriques très différentes. En toute rigueur, pour une référence de transistor donnée, il n'est donc pas possible de comparer des lots différents car cela va de pair avec des bancs différents. Cependant, j'ai constaté que les lots récents présentaient une meilleure robustesse que les lots anciens, alors que le banc n°3 est moins inductif, ce qui rend les essais plus sévères. Ceci prouve que le fondeur a fiabilisé ses transistors au fil des années.

### 2.2.3 Dispersion sur les grandeurs mesurées en court-circuit

Si le déroulement d'un court-circuit est toujours le même, les valeurs prises par les quatre grandeurs mesurées ($V_{DS}$, $V_{DR}$, $V_{GS}$, $I_D$) varient beaucoup d'un essai à l'autre.

Côté puissance, la grandeur la plus pertinente est le courant de drain. La tension $V_{DS}$ est importante pour calculer l'énergie dissipée, mais elle reste presque constante à part au début du court-circuit. Côté commande, la grandeur la plus pertinente est le courant de grille, calculé à partir des tensions $V_{DR}$ (sortie du driver) et $V_{GS}$. La tension $V_{DR}$ reste quasi constante lors des essais, elle n'est pas très utile pour interpréter les formes d'ondes.

Les six colonnes de droite du Tableau 16 représentent la dispersion des séries à travers deux critères :

- la valeur maximale du courant de drain, relevée 100 à 200 $ns$ après le début du court-circuit ; la colonne « Min » contient la plus faible valeur relevée sur tous les essais de la série ;
- la valeur maximale du courant de grille, relevée soit au début du court-circuit lorsque le *TLF* est faible, soit 10 à 20 µ$s$ après pour les transistors plus robustes.

Les colonnes « % » donnent l'écart relatif entre les valeurs minimales et maximales. On constate une dispersion marquée au niveau du courant de drain maximal, car seules quatre séries présentent un pourcentage inférieur à 15 %. Cette dispersion est encore plus marquée pour le courant de grille, qui prends parfois des valeurs extrêmement différentes entre le courant minimum et le courant maximum.

*Tableau 16 : dispersion sur les courants de drain et de grille en fonction des séries.*

| n° série | | | | | | | | | $I_D$ (max) (A) | | | $I_G$ (max) (mA) | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| | Réf. | Lot | Mois/An | Banc | $V_{DS}$ | $V_{GS}$ | $R_G$ | N | Min | Max | % | Min | Max | % |
| 1 | 66506T | E015A5A | 01/2015 | 1 | **400** | 5 | 33 | 7 | 76 | 88 | **16%** | 0 | 25 | |
| 2 | 66506T | 9M39 | 04/2019 | **3** | 270 | **4** | 33 | 2 | 53 | 58 | **9%** | 21 | 24 | **13%** |
| 3 | 66506T | 9M39 | 04/2019 | **3** | **400** | **4** | 33 | 6 | 53 | 62 | **17%** | 35 | 39 | **11%** |
| 4 | 66508T | E025CEJ +E0258JB | 01/2015 | 1 | 270 | 5 | 33 | 3 | 101 | 110 | **9%** | 17 | 30 | **81%** |
| 5 | 66508T | E025CEJ +E0258JB | 01/2015 | 1 | **400** | 5 | 33 | 4 | 83 | 112 | **35%** | 30 | 40 | **33%** |
| 6 | 66508T | 8TNT + 9BNZ | 2018 et 2019 | **3** | 270 | 5 | 33 | 15 | 87 | 117 | **34%** | 16 | 72 | **350%** |
| 7 | 66516T | E025A69 E025CHD | 01/2015 | 1 | 270 | 5 | 33 | 3 | 170 | 173 | **2%** | 45 | 62 | **38%** |
| 8 | 66516T | E025A69 E025CHD | 01/2015 | 1 | **400** | 5 | 33 | 12 | 157 | 168 | **7%** | 51 | 73 | **44%** |
| 9 | 66516T | 9CPY | 01/2019 | **3** | **400** | 5 | 33 | 18 | 160 | 221 | **38%** | 52 | 82 | **58%** |
| 10 | 66516T | 9CPY+9CPX +732E | 01/2019 | **3** | 270 | 5 | **13** | 7 | | | | 31 | 184 | **494%** |
| 11 | 66516T | 9CPY+9CPX +732E | 01/2019 | **3** | **400** | 5 | **13** | 7 | | | | 91 | 119 | **31%** |

La Figure 109 montre les courants de drain et de grille pour la totalité des 15 essais effectués avec la série n°6 qui ne présente que des composants robustes sous une tension d'essai de 270V. Si les courants de grille montrent une faible dispersion lors du pic de charge de la grille (vers $5\ ns$), ils divergent complètement lorsque les grilles commencent à fuir, vers $500\ ns$ environ. Pour $t = 200\ \mu s$, ce courant varie énormément selon les transistors (de $16\ mA$ à $72\ mA$). Ce comportement se retrouve sur toutes les séries. Ces composants souffrent donc d'une forte dispersion, probablement liée au procédé de fabrication.

Les courants de drain se comportent de manière opposée : ils divergent au début du court-circuit, avec des valeurs comprises entre $87\ A$ et $117\ A$ (autour de $150\ ns$) puis convergent rapidement. Après $5\ \mu s$, on ne les distingue plus sur le graphe tant ils sont proches.

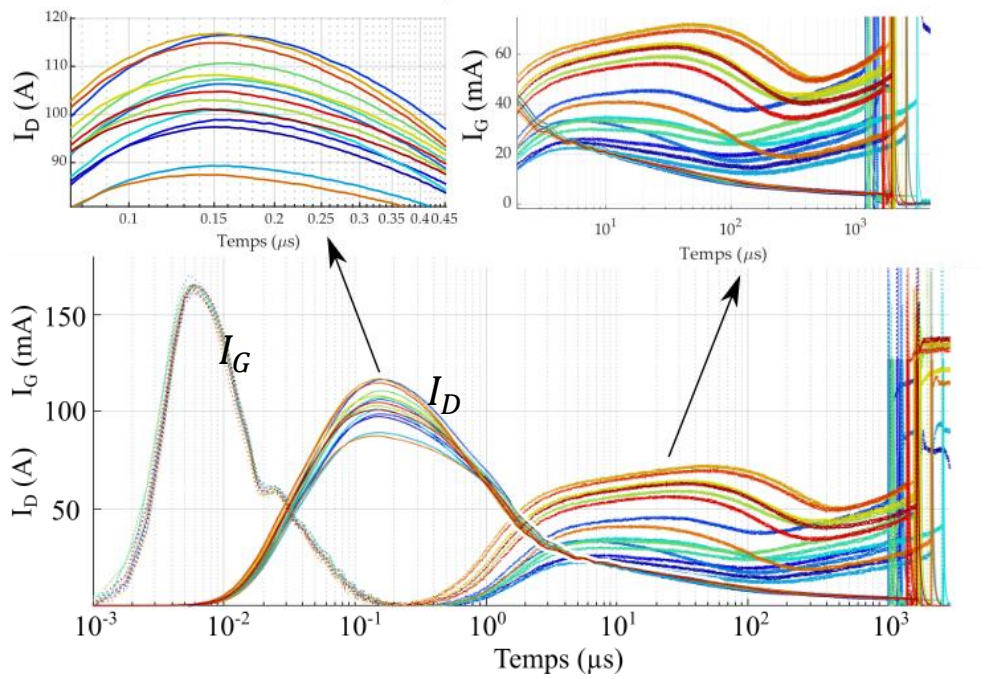



*Figure 109 : superposition des courants de drain (traits pleins) et de grille (pointillés) des 15 essais destructifs de la série n°6 dans le banc n°3. Référence GS66508T, $V_{DS} = 270\ V$, $V_{GS} = 5\ V$ et $R_G = 33\ \Omega$. Une couleur correspond à un essai.*

J'ai étudié l'ordre des courbes de chaque série pour savoir s'il existait un lien entre la valeur prise par le courant de drain ou de grille et la robustesse. Pour certains transistors, plus le courant maximal de drain (autour de $150\ ns$) est grand, moins il est robuste. Cependant, ceci n'est pas vrai pour tous les composants testés, et parfois c'est même l'inverse qui se produit. Il est donc impossible de tirer une conclusion. De la même manière, j'ai observé qu'un fort courant de grille entrainait parfois une casse prématurée, mais ici encore l'effet est assez flou, et on trouve de nombreux contre-exemples dans les essais.

La Figure 110 présente séparément les courants de drain et de grille des mêmes essais, avec une échelle linéaire cette fois-ci. On se rend mieux compte à quel point les *TLF* sont dispersés. A part au début du court-circuit, les courants de drain restent assez proches les uns des autres pendant presque toute la durée de l'essai ; en revanche, ce n'est pas le cas pour les courants de grille, qui divergent très rapidement et restent dispersés jusqu'à la défaillance.

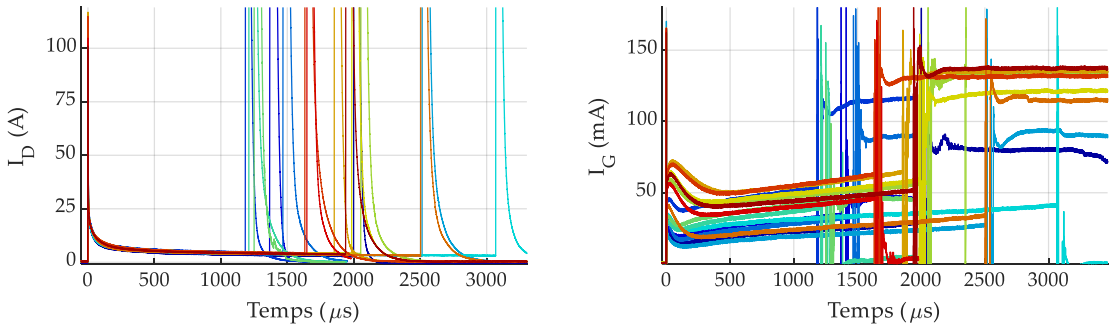



*Figure 110 : superposition des courants de drain (à gauche) et de grille (à droite) des 15 essais destructifs de la série n°6 dans le banc n°3. Référence GS66508T, $V_{DS} = 270\ V$, $V_{GS} = 5\ V$ et $R_G = 33\ \Omega$. Une couleur correspond à un essai.*

L'incertitude sur les courants de drain et de grille a été calculée dans la partie 5.3 du chapitre II. On peut se demander si la composante aléatoire des erreurs de mesure est assez importante peut entraver l'interprétation. De nombreuses courbes sont en effet très proches et il serait impossible d'affirmer que tel courant soit supérieur à tel autre courant sans quantifier l'importance de ces erreurs aléatoires. La partie 7 des annexes montre que l'incertitude liée aux erreurs aléatoires sur le courant de drain est en général suffisamment faible pour ne pas entraver l'interprétation. Pour le courant de grille, la même annexe montre que l'incertitude liée aux erreurs aléatoires est encore plus faible et ne pose aucun problème d'interprétation.

Par la suite, nous allons chercher à étudier l'influence de la résistance de grille et de la tension grille-source sous une tension de 400V, pour lesquels les transistors testés ont montré une défaillance rapide ($TLF < 1\mu s$).

### 2.2.4 Influence de la tension $V_{DS}$ sur les formes d'onde en court-circuit

Les deux valeurs choisies pour $V_{DS}$ sont assez différentes : $270\ V$ et $400\ V$. Comme vu dans la partie 2.2.1 de ce chapitre et dans la littérature (voir le chapitre I), le *TLF* dépend beaucoup de la valeur de la tension drain-source. On s'attend donc à voir des différences nettes sur les formes d'onde, ce qui est le cas même si la dispersion entre les transistors complique l'interprétation. Il est en effet parfois difficile de distinguer un essai réalisé sous $270\ V$ d'un autre fait sous $400\ V$ en étudiant les courants de drain et de grille. Les figures qui suivent sont une superposition de la totalité des essais de trois séries testées sous $270\ V$ et de trois autres séries testées sous $400\ V$, référence après référence, pour les courants de drain et de grille et séparément. L'axe des abscisses a une échelle logarithmique pour plus de lisibilité.

La Figure 111 présente l'influence de la tension $V_{DS}$ sur les transistors GS66506T

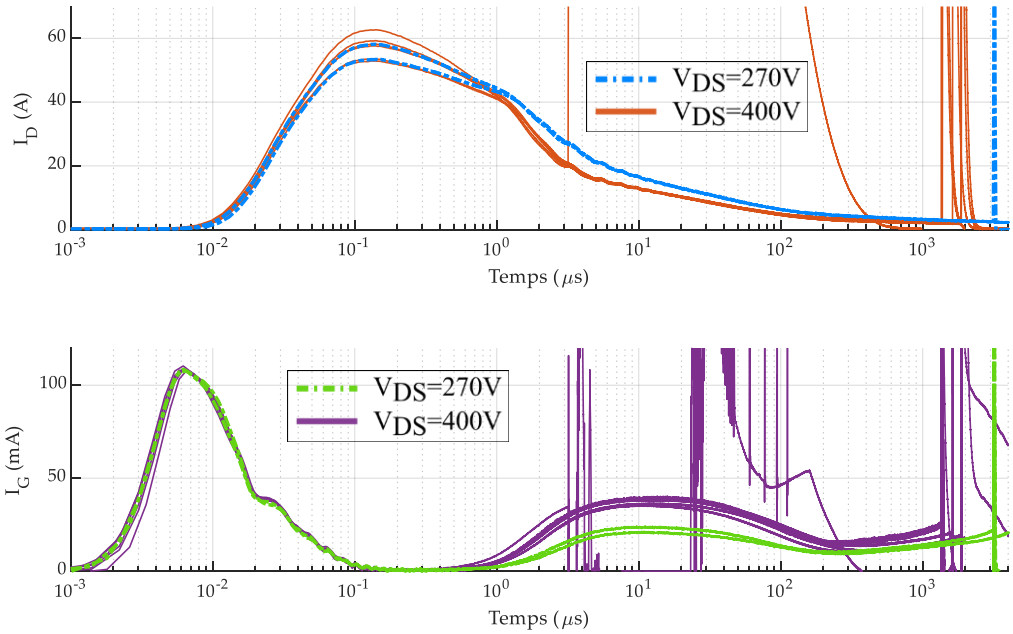



*Figure 111 : influence de la tension $V_{DS}$ sur la référence GS66506T à travers tous les essais superposés des séries n°2 (270 $V$, en traits gras discontinus) et n°3 (400 $V$, en traits pleins continus) dans le banc n°3. $V_{GS} = 5\ V$ ; $R_G = 33\ \Omega$. En haut : courant de drain $I_D$ ; en bas : courant de grille $I_G$.*

Les essais sous 270 $V$ sont mélangés aux courants de drain de ceux réalisés sous 400 $V$, du moins pour le début des courts-circuits (jusqu'à $t = 1\ \mu s$). Ensuite, les essais réalisés sous 270 $V$ présentent un courant de drain plus élevé que le courant de drain de ceux réalisés sous 400 $V$. Il faut noter que, sous 400 $V$, le transistor présentant le plus fort pic de courant de drain a la robustesse la plus faible (son *TLF* vaut 3 $\mu s$ environ). Tous les courants de drain finissent par converger à partir de 300 $\mu s$ environ.

Concernant les courants de grille (graphe du bas), il n'y a aucune différence notable au début des essais, lors de la charge de la grille. Ensuite, à partir de 1 $\mu s$, lorsque le courant de grille augmente, les transistors testés sous 270 $V$ présentent des courants nettement plus faibles que ceux des transistors testés sous 400 $V$.

Passons maintenant à la référence GS66508T (30A), sur la Figure 64, qui présente les séries n°4 (3 transistors) et n°5 (4 transistors).

Les courants de drain des essais sous 270 $V$ sont mélangés aux courants de drain de ceux réalisés sous 400 $V$, du moins pour le début des courts-circuits (jusqu'à $t = 1\ \mu s$), comme c'était le cas pour la référence GS66506T (Figure 111), exception faite d'un composant testé sous 400V et présentant clairement un courant pic de plus faible valeur et un *TLF* élevé. Il est extrêmement difficile d'analyser, à partir de ces relevés, pourquoi certains composants présentent un *TLF* très faible et d'autres une excellente robustesse.

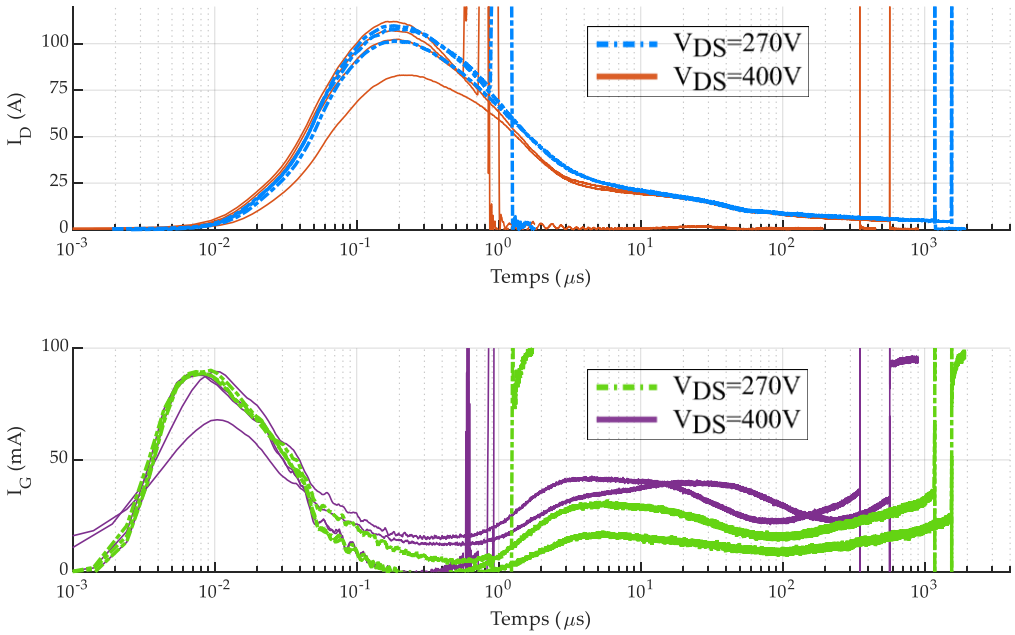



*Figure 112 : influence de la tension $V_{DS}$ sur la référence GS66508T à travers tous les essais superposés des séries n°4 ($270\ V$, en traits gras discontinus) et n°5 ($400\ V$, en traits pleins continus) dans le banc n°3. $V_{GS} = 5\ V$ ; $R_G = 33\ \Omega$. En haut : courant de drain $I_D$ ; en bas : courant de grille $I_G$.*

Etudions maintenant les courants de grille, sur le graphe du bas. Les courbes ne sont pas superposées lors de la charge de la grille (avant $t = 0{,}1\ \mu s$), ce qui diffère de la Figure 111. A partir de $1\ \mu s$, lorsque le courant de grille commence à augmenter, les transistors testés sous $270\ V$ présentent des courants nettement plus faibles que ceux des transistors testés sous $400\ V$, et l'effet est flagrant malgré une dispersion marquée. Il ne semble toutefois pas que la défaillance précoce observée sur certains composants puisse être reliée au courant de fuite de grille.

Enfin, étudions la référence de plus fort calibre en courant GS66516T (60A), avec la Figure 113 (séries n°7, comprenant 3 transistors et n°8, comprenant 12 transistors). Le grand nombre de transistors testés permet une bonne évaluation de l'influence de la tension $V_{DS}$ sur les courants de drain et de grille

Ici encore, on constate que les courants de drain des essais faits sous $270\ V$ sont mélangés à ceux réalisés sous $400\ V$ au début des essais (jusqu'à $t = 1\ \mu s$), comme c'était le cas pour les deux autres références GS66506T et GS66508T. On constate également que trois transistors testés sous $400\ V$ présentent un courant max de drain d'amplitude plus faible, et un *TLF* élevé.

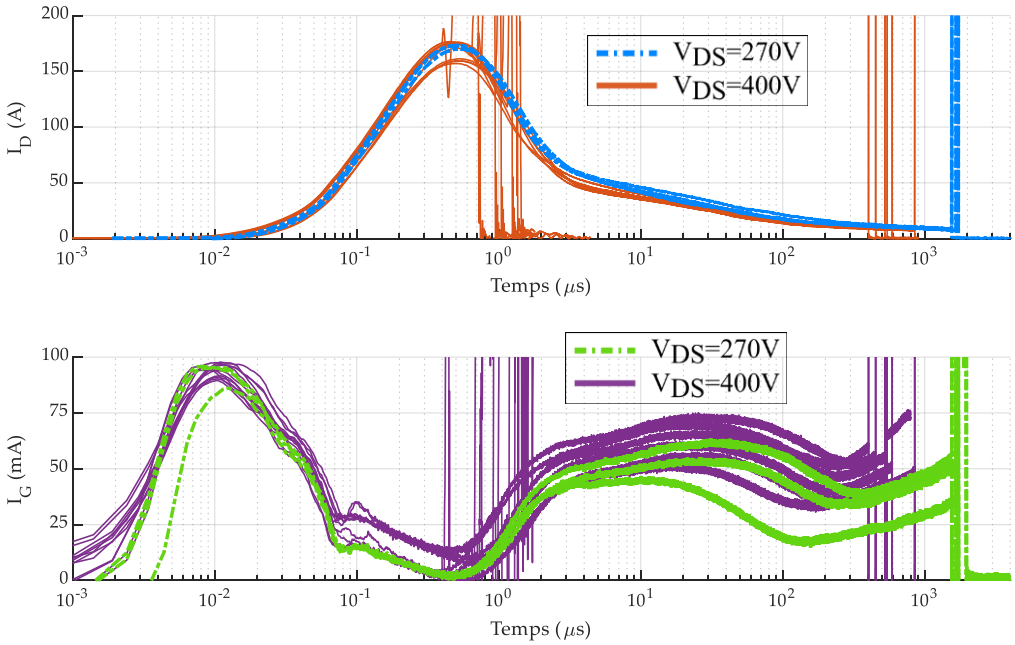



*Figure 113 : influence de la tension $V_{DS}$ sur la référence GS66516T (lot 9M39) à travers tous les essais superposés des séries n°7 ($270\ V$, en traits gras discontinus) et n°8 ($400\ V$, en traits pleins continus) dans le banc n°3. $V_{GS} = 5\ V$ ; $R_G = 33\ \Omega$. En haut : courant de drain $I_D$ ; en bas : courant de grille $I_G$.*

Etudions maintenant les courants de grille. Les courbes sont presque superposées lors de la charge de la grille (avant $t = 0{,}1\ \mu s$). Ensuite, à partir de $1\ \mu s$, lorsque le courant de grille augmente, les transistors testés sous $270\ V$ présentent des courants nettement plus faibles que ceux des transistors testés sous $400\ V$, comme nous l'avons déjà observé pour les références GS66506T et GS66508T. Si l'on considère les transistors robustes ($TLF > 100\ \mu s$), on constate que les courants de grille sont très dispersés, pourtant la robustesse de tous ces transistors reste toujours excellente. Il ne semble donc pas que l'origine des défaillances précoces puisse être reliée au courant de grille.

En conclusion, nous avons vu que le courant de drain pouvait être légèrement plus faible sous $400\ V$ que sous $270\ V$, et que le courant de fuite de grille était en moyenne nettement plus élevé sous $400\ V$ que sous $270\ V$, après environ une microseconde, une fois la charge de la grille passée. Ces deux effets sont probablement causés par une élévation de température plus marquée sous $400\ V$ que sous $270\ V$. L'influence de la tension de bus est donc faible sur le courant de drain, mais importante sur le courant de grille.

Les défaillances précoces observées sous $270\ V$ et plus régulièrement sous $400\ V$ ne semblent pas corrélées au courant de fuite de grille. Il est intéressant de noter que, pour certains transistors, un faible courant pic de drain va de pair avec un *TLF* élevé, et que d'autre part, un fort courant pic de drain va de pair avec un *TLF* faible. Cela n'est cependant pas toujours vérifié.

Si la thermique peut clairement expliquer la défaillance des composants les plus robustes, il est extrêmement difficile, à ce stade de l'étude, de conclure pour les composants présentant des défaillances précoces. Comme vu dans la partie 3.2.2.1 du chapitre I, la bibliographie tente d'expliquer ces défaillances par diverses hypothèses : l'apparition d'un fort champ électrique dans la puce ; une accumulation de charges ; l'apparition de points chauds liés à une distribution non homogène du courant dans la puce.

Nous allons maintenant chercher à évaluer l'effet de la résistance de grille sur la robustesse.

### 2.2.5 Influence de la résistance de grille

J'ai réalisé deux essais dans les mêmes conditions, en faisant varier la résistance de grille (33 Ω ou 17 Ω) pour des essais sous 400V présentant une défaillance précoce. La Figure 114 présente les formes d'ondes. On constate logiquement que le pic de courant de grille au début du court-circuit est bien plus élevé avec $R_G = 17\ \Omega$ car on obtient une valeur de 140 $mA$. Cette valeur est largement supérieure à la valeur maximale de la série n°5 (avec $R_G = 33\ \Omega$) qui vaut 90 $mA$ environ.

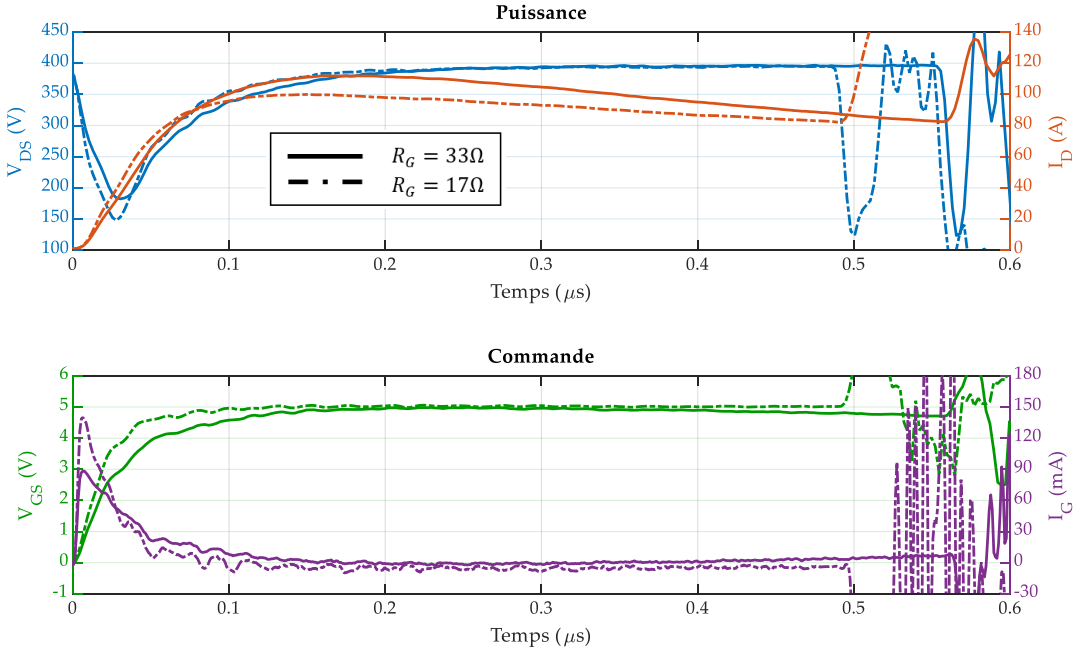



*Figure 114 : Influence de la résistance de grille sur un court-circuit destructif sur deux transistors GS66508T de la série n°5, dans le banc n°1. $V_{DS} = 400\ V$, $V_{GS} = 5\ V$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

Concernant le courant de drain, il croit plus rapidement avec $R_G = 17\ \Omega$, mais atteint une valeur maximale plus faible (100 $A$ contre 112 $A$ pour $R_G = 33\ \Omega$). La dispersion de la série n°5 est plus importante que l'effet observé car on trouve des valeurs comprises entre 83 $A$ et 112 $A$ (Tableau 16). Il est donc difficile de dire si la résistance de grille a une influence sur la valeur maximale du courant de drain. Enfin, les *TLF* des deux essais sont très proches (0,5 µ$s$ et 0,56 µ$s$).

J'ai également réalisé des essais avec une résistance de grille encore plus élevée ($R_G = 150\ \Omega$), dans le banc n°2 (initialement pour tester le banc et éviter l'apparition d'oscillations). Ces essais ont été réalisés avec une tension $V_{GS} = -2/+6\ V$. Je compare en Figure 115 l'un de ces essais avec un autre court-circuit réalisé dans le banc n°1 avec une résistance de grille de 34 Ω ($V_{GS} = 0/+6\ V$).

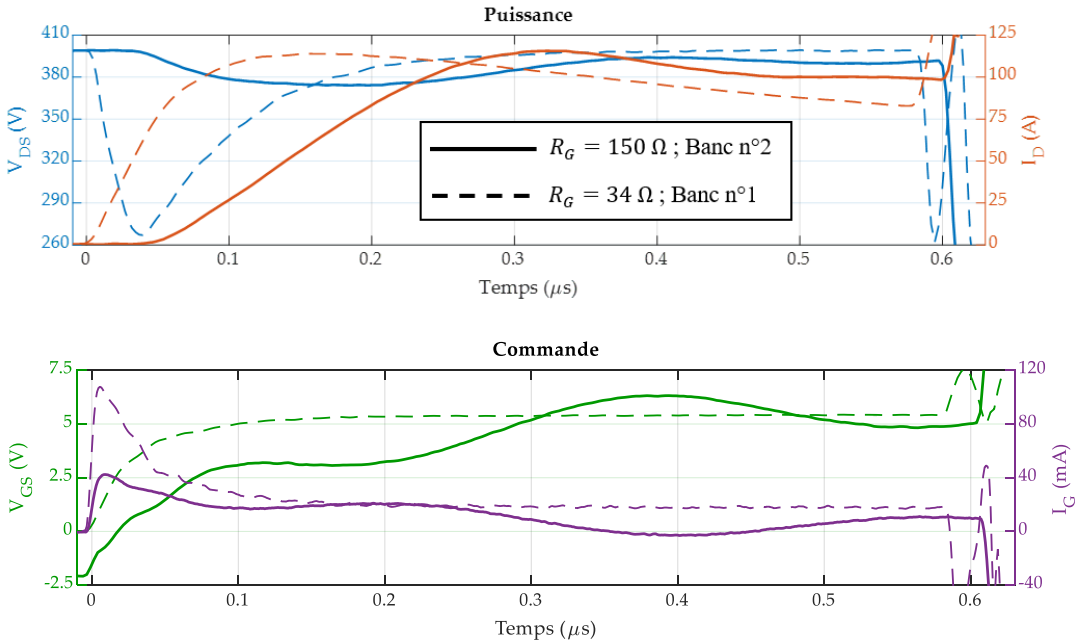



*Figure 115 : Influence de la résistance de grille sur un court-circuit destructif de deux transistors GS66508T, avec $V_{GS} = 6{,}0\ V$ et $V_{DS} = 400\ V$, dans deux bancs différents. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

Les formes d'ondes sont très différentes. Sur le graphe du haut, on constate que le courant de drain croit bien plus lentement avec $R_G = 150\ \Omega$, pourtant le banc n°2 est 33% moins inductif que le banc n°1. Ainsi, la chute de tension de $V_{DS}$ est nettement plus marquée pour $R_G = 34\ \Omega$. Les courants de drain atteignent des valeurs maximales très proches ici, malgré la différence importante de résistance de grille. Côté commande (graphe du bas), on note que le pic de courant de grille est logiquement bien plus faible pour $R_G = 150\ \Omega$ et que la tension grille-source $V_{GS}$ marque un palier très net (autour de $3{,}1\ V$) pour cette valeur de résistance de grille. Enfin, ici encore, les *TLF* des deux essais sont quasi identiques (défaillances prématurées).

Au vu des essais présentés dans cette partie, il ne semble pas que la résistance de grille impacte fortement la robustesse ou la valeur maximale du courant de drain. Le nombre d'essais est dans tous les cas trop faible pour tirer une conclusion.

Cependant, dans la partie 2.2.2.1, la Figure 105 montre que la série n°11 de 2019 (dans laquelle la résistance de grille vaut seulement 13 Ω) est légèrement moins robuste que la série n°9 de 2019 ($R_G = 33\ \Omega$), ce qui laisse penser que la valeur de cette résistance pourrait impacter la robustesse en court-circuit. D'autre part, dans l'article [71], Riccio et al. ont montré que la robustesse dépendait fortement de la valeur de la résistance de grille, et qu'il était possible d'observer des *TLF* supérieurs à $10\ \mu s$ sous une tension de bus de $450\ V$, à condition d'utiliser une résistance de grille de plusieurs centaines d'ohms.

### 2.2.6 Influence de la tension grille-source $V_{GS}$

Dans le chapitre I, il a été montré que réduire la tension $V_{GS}$ pouvait augmenter considérablement la robustesse en court-circuit. Dans l'article [60], Li et al. ont réalisé en 2019 des essais de court-circuit sur des *HEMTs* GaN Systems en faisant varier la tension grille-source entre $4\ V$ et $6\ V$. Ils ont observé une nette augmentation de la valeur maximale du courant de drain avec la tension $V_{GS}$, comme le montre la Figure 116, ainsi qu'une forte différence de robustesse entre $V_{GS} = 5\ V$ et $V_{GS} = 6\ V$ lorsque les essais sont réalisés avec une tension de bus de $400\ V$.

Les auteurs ne précisent cependant pas combien de transistors ont été testés pour chaque tension $V_{GS}$. Des résultats assez similaires sont montrés par Abbate et al. dans [78].

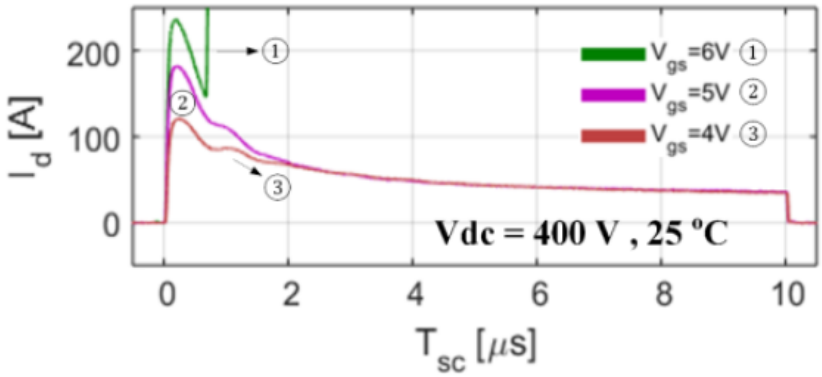



*Figure 116 : courant de drain lors d'essais de courts-circuits sur des HEMTs GaN Systems GS66516T pour différentes valeurs de tension grille-source, et pour une tension de bus de* 400 $V$ *(tiré de [60]).*

Dans cette thèse, il faut souligner que sur tous les essais menés sous 400 $V$, la série de transistors la plus robuste a été testée avec une tension grille-source de seulement 4 $V$. Il s'agit de la série n°3 (GS66506T, lot 9M39 de 2019), dont les *TLF* sont pour la majorité supérieurs à la milliseconde (Tableau 15). Ce lot étant aussi le plus récent, il est impossible de savoir si cette robustesse exceptionnelle est dû à des améliorations du fondeur ou à la faible tension grille-source.

J'ai réalisé deux essais dans les mêmes conditions, en faisant varier la tension grille-source à l'état passant (4 $V$ ou 6 $V$). La Figure 117 présente les formes d'ondes. Pour l'essai à 6 $V$, la tension de sortie du driver a bien été fixée à 6 $V$ mais on constate que $V_{GS}$ n'atteint jamais cette valeur, à cause de la chute de tension causée par le courant de grille à travers la résistance de grille. Les formes d'ondes sont assez différentes : la variation du courant de drain est plus rapide avec $V_{GS} = 6V$ et le courant maximal est significativement plus élevé, ce à quoi nous nous attendions logiquement.

Etant donné que je n'ai réalisé qu'un seul essai pour chaque valeur de $V_{GS}$, il est intéressant de comparer les formes d'ondes observées pour $V_{GS} = 4\ V$ et $V_{GS} = 6\ V$ avec les autres formes d'ondes de la série n°5. Après avoir superposé ces deux courbes avec les autres de la série n°5, je constate que le courant de drain correspondant à $V_{GS} = 4\ V$ est en fait compris dans l'enveloppe des autres courbes. En revanche, le courant de drain avec $V_{GS} = 6\ V$ sort légèrement du lot, avec une pente plus raide que les autres. La valeur maximale du courant de drain vaut 86 $A$ pour $V_{GS} = 4\ V$ et 115 $A$ pour $V_{GS} = 6\ V$. Ces valeurs sont comprises dans l'enveloppe de la série n°5, ce qui illustre encore une fois la très forte dispersion de ces transistors en court-circuit. Cela ne signifie pas pour autant que la tension $V_{GS}$ n'a aucune influence sur le courant de drain, car cela a été montré plusieurs fois dans la littérature, dans le chapitre I.

Concernant le courant de grille, on constate que ce dernier est nettement plus important lors de la charge de la grille au tout début de l'essai pour $V_{GS} = 6\ V$ par rapport à $V_{GS} = 4\ V$ (108 $mA$ contre 66 $mA$ respectivement), ce qui était attendu. Ensuite, le courant de grille garde une valeur plus élevée pour $V_{GS} = 6\ V$ que pour $V_{GS} = 4\ V$ au long de l'essai.

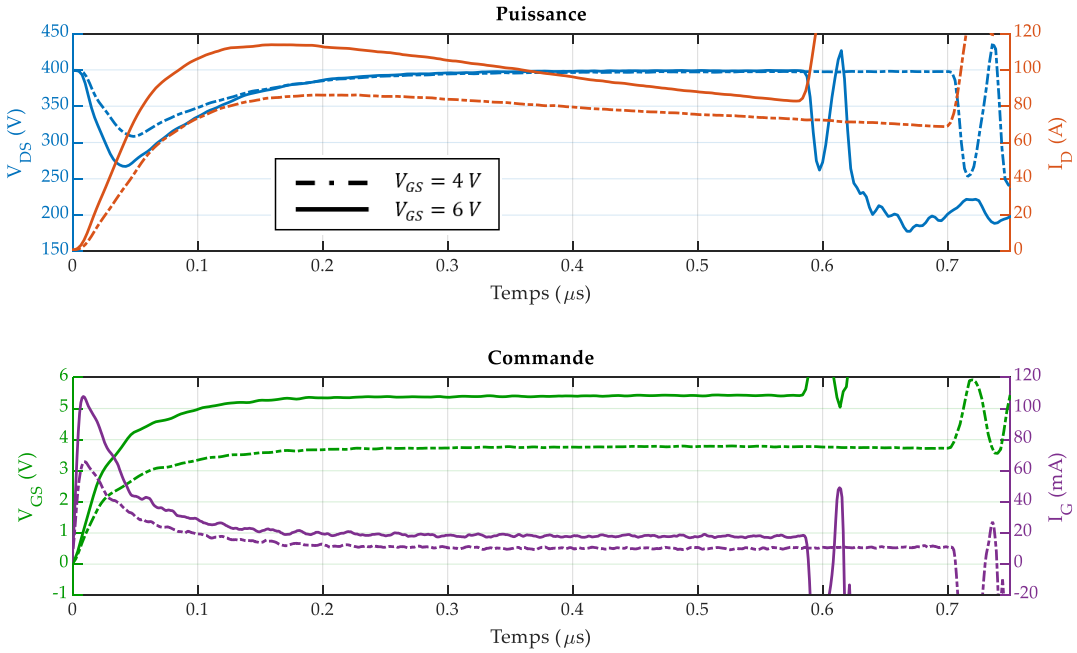



*Figure 117 : influence de la tension $V_{GS}$ sur un court-circuit destructif sur deux transistors GS66508T de la série n°5 dans le banc n°1. $V_{DS} = 400\ V$, $R_G = 33\ \Omega$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

La robustesse des transistors testés est très faible, que ce soit avec $V_{GS} = 6\ V$ ou $V_{GS} = 4\ V$, mais le *TLF* est légèrement plus court pour $V_{GS} = 6\ V$ ($580\ ns$ environ contre $700\ ns$ pour $V_{GS} = 4\ V$). L'article [60] montre que la tension grille-source a un très fort impact sur la robustesse, ce qu'on ne retrouve que partiellement ici car la différence de robustesse entre l'essai fait sous $V_{GS} = 6\ V$ et l'autre essai réalisé sous $V_{GS} = 4\ V$ est insignifiante. Je ne peux pas tirer de conclusion quant à l'influence de la tension grille-source sur la robustesse à partir de seulement deux essais. En revanche, les deux essais réalisés confirment ce qui a été montré dans la littérature : lorsque la tension $V_{GS}$ augmente, le courant de drain maximal augmente.

En conclusion, il est très probable que diminuer la tension grille-source permette d'augmenter la robustesse en court-circuit.

### 2.2.7 Influence du calibre en courant des transistors

Les trois références de transistors GaN Systems testées (GS66506T, GS66508T ou GS66516T) ont des calibres en courant différents. Les formes d'ondes sont donc différentes entre ces trois références. La Figure 118 montre la superposition de trois essais destructifs, un par référence. On constate logiquement que le courant de drain maximal augmente clairement avec le calibre. Cette grandeur augmente moins rapidement pour la référence GS66516T, probablement à cause de l'inductance parasite supérieure du boitier de cette référence, qui est plus volumineux que celui des autres références.

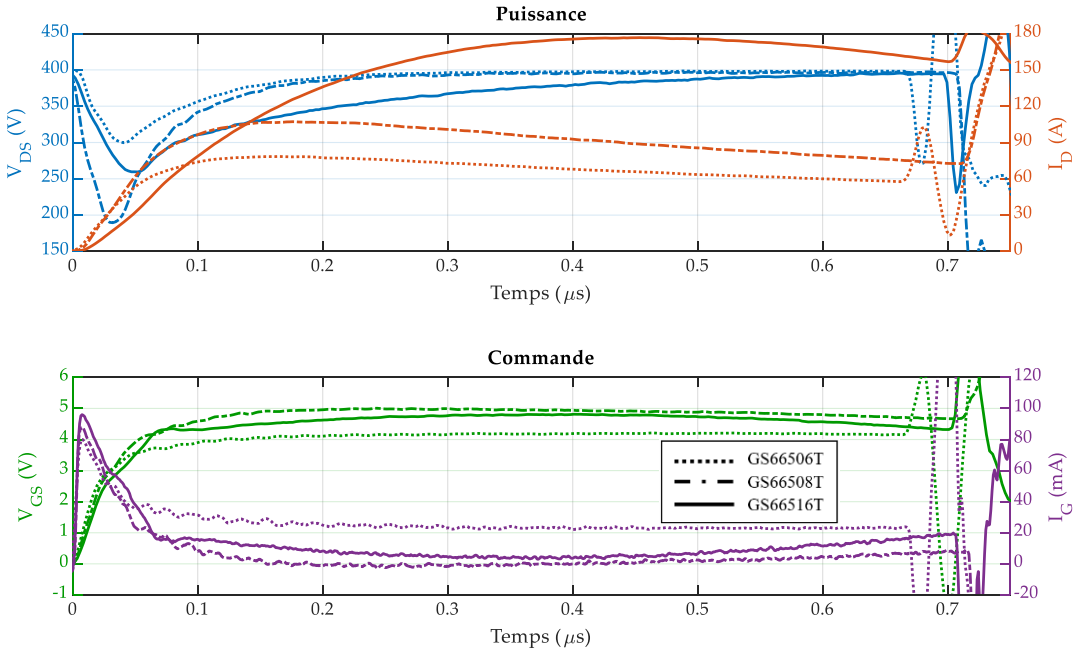



*Figure 118 : superposition des trois références testées en court-circuit dans le banc n°1. $V_{DS} = 400\ V$, $V_{GS} = 5\ V$ et $R_G = 33\ \Omega$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

Concernant le courant de grille, nous avons vu dans la partie 2.2.3 qu'il augmentait nettement avec le calibre ; cet effet n'est cependant pas visible sur la Figure 118 à cause de la dispersion.

Il est difficile d'affirmer, à partir des formes d'ondes ces trois essais montrant des défaillances précoces, si une référence est plus robuste qu'une autre. En revanche, nous avons vu dans la partie 2.2.2.1 que, pour une tension de $400\ V$, les lots de 2015 de la référence GS66506T étaient moins robustes que les lots de la même année des références GS66508T et GS66516T.

### 2.2.8 Oscillations

Certains transistors se sont mis à osciller dès le début du court-circuit, dans le banc n°1. Ce comportement est perturbant car d'autres transistors de la même référence, du même lot, testés avec les mêmes paramètres ($V_{DS}$, $V_{GS}$ et $R_G$) et dans le même banc n'oscillaient pas. Cela provient probablement de la dispersion entre transistors.

Les oscillations durent un temps variable selon le transistor (entre une dizaine de microsecondes et plusieurs millisecondes), et finissent par s'arrêter spontanément, sans entrainer la casse du composant. Dans certains essais, l'ordre de commande envoyé au driver dure un temps très court comme $10\ \mu s$ mais le composant oscille malgré tout pendant $5\ ms$ (Figure 119).

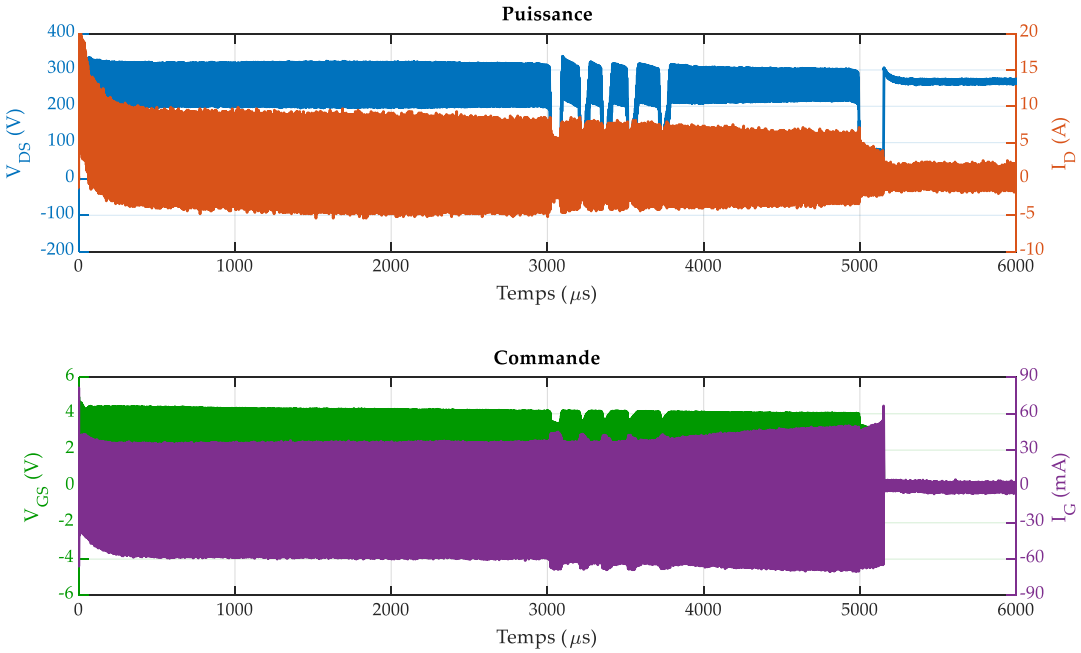



*Figure 119 : court-circuit avec oscillations sur un transistor GS66506T dans le banc n°1. $V_{DS} = 270\ V$, $V_{GS} = 5\ V$ et $R_G = 33\ \Omega$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

Si l'on zoome sur le début de l'essai (Figure 120), on observe des oscillations à 15 $MHz$.

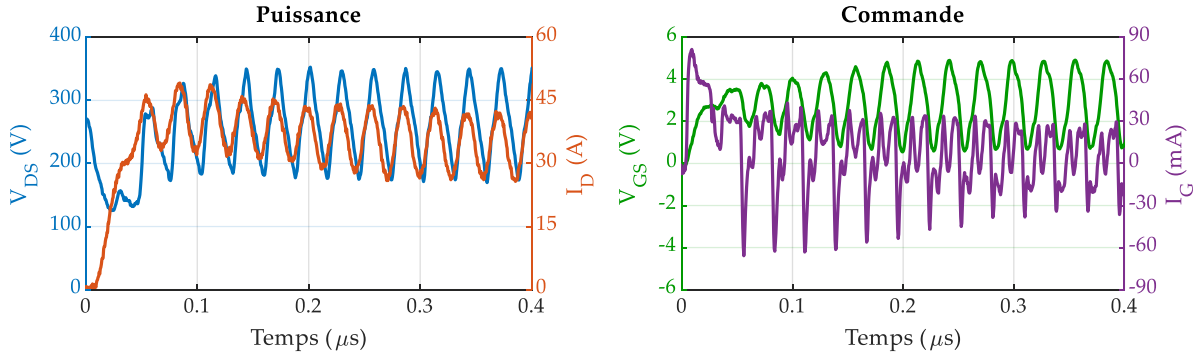



*Figure 120 : zoom sur le même court-circuit oscillant sur un transistor sur un transistor GS66506T dans le banc n°1. $V_{DS} = 270\ V$, $V_{GS} = 5\ V$ et $R_G = 33\ \Omega$.. A gauche : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; à droite : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

## 2.3 Essais non-destructifs

Au début de la thèse, j'ai cherché s'il existait une énergie critique de court-circuit, en-dessous de laquelle le composant peut supporter un grand nombre de courts-circuits. J'ai donc répété les essais sur quelques transistors, en augmentant la durée et/ou la tension $V_{DS}$. Tous ces essais ont eu lieu dans le banc n°1. Je n'ai pas réussi à trouver cette énergie critique, qui, pour les composants testés n'a pas de sens étant donnée la disparité en termes de robustesse des composants testés.

J'ai fait subir au transistor GS66516T n°1 plus de 60 essais sous 400 $V$ en augmentant la durée du court-circuit de 7,0 µ$s$ à 60 µ$s$. Il a fini par casser avec un $TLF$ de 50 µ$s$. Un autre transistor, le GS66516T n°3, a résisté à plus d'une trentaine d'essais de plus en plus long (de 60 µ$s$ à 400 µ$s$), sous 400 $V$ aussi. Le dernier essai qui a entrainé la destruction n'a duré que 1 µ$s$.

J'ai aussi réalisé plus de 100 essais sur le transistor GS66516T n°120, répartis en trois séries : une première avec une durée de 2,5 µ$s$, une deuxième de 5,0 µ$s$ et enfin un troisième de 7,5 µ$s$. Pour chaque série, j'ai augmenté progressivement la tension de 100 $V$ à 400 $V$ par pas de 10 $V$. Il a fini par casser à la fin de la troisième série, sous 400 $V$, au bout de 2,6 µ$s$.

J'ai aussi fait quelques essais de fatigue. Par exemple, le transistor GS66508T n°A4 a ainsi été soumis à 100 essais sous une tension $V_{DS} = 100\ V$, sans casser. La Figure 121 montre les formes d'ondes du courant de drain et du courant de grille au 1er essai, au 20e essai, au 40e essai, au 60e essai et enfin au 80e essai. Le courant de drain se réduit drastiquement entre le 1er et le 20e essai. Ensuite, on constate que le courant est bien plus important au 40e essai, ce qui est étonnant. Le 60e essai montre un courant de drain plus faible, proche de celui du 20e essai. Enfin, le courant du 80e essai est encore plus faible et presque superposé à celui du 20e essai. L'ordre des courbes est identique pour les courants de grille, ce qui signifie que ce dernier est plus grand pour le 1er essai que pour le 80e essai. Si on écarte le comportement du 20e essai, on peut dire que les courants de drain et de grille diminuent au fil des courts-circuits.

La diminution du courant de drain, déjà observée sur des composants silicium ou SiC, peut s'expliquer par le vieillissement de la métallisation de source ; la diminution du courant de fuite de grille, lui, pourrait être expliquée par une diminution de la température liée à la diminution du courant de drain.

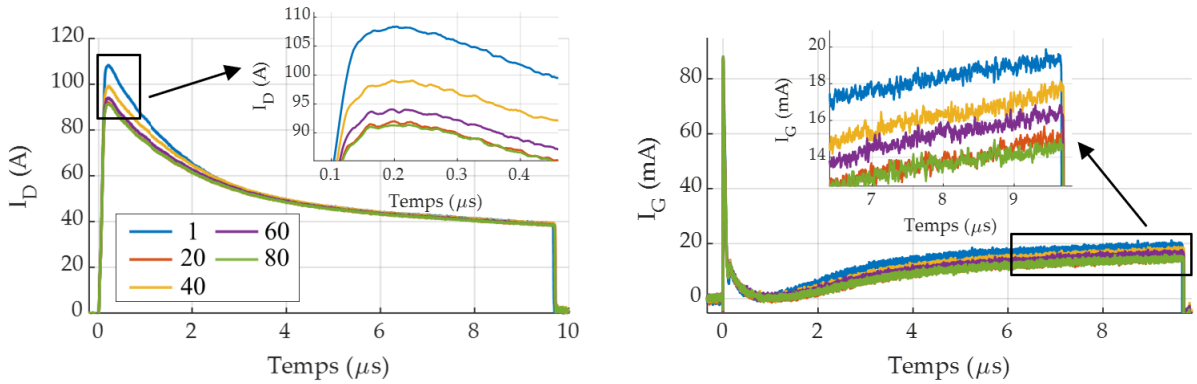



*Figure 121 : essais répétitifs sur un transistor GS66508T dans le banc n°1. $V_{DS} = 100\ V$ ; $V_{GS} = 5{,}0\ V$ ; $R_G = 34\ \Omega$. A gauche : courant de drain $I_D$ ; à droite : courant de grille $I_G$. Les nombres de la légende représentent le nombre d'essais subis par le transistor.*

Certains composants GaN Systems peuvent donc résister à des essais de court-circuit répétitifs. Au moment de ces essais répétitifs, en 2016, je n'avais pas encore réalisé assez d'essais pour me rendre compte de la très forte dispersion dont souffrent ces transistors. Ces observations ayant été faites sur un seul transistor, elles ne sont donc pas généralisables.

## 2.4 Analyse de défaillance

### 2.4.1 Analyse de Serma Technologies

J'ai confié à la société Serma Technologies cinq transistors GaN Systems de référence GS66508T pour une analyse microscopique. Ces transistors ont tous subi un essai de court-circuit destructif qui a entrainé un court-circuit entre leur drain, leur source et leur grille. Trois composants ont cassé prématurément ($TLF < 1\ \mu s$), et les deux autres ont un *TLF* supérieur à $300\ \mu s$. Le but de cette analyse est de voir si les dégradations physiques sont différentes selon le *TLF*. Le boitier de chaque transistor n'a pas explosé car les essais ont été menés avec le banc n°1, qui est équipé d'une protection rapide. La Figure 122 montre le boitier d'un des transistors (les quatre autres sont dans le même état extérieur).

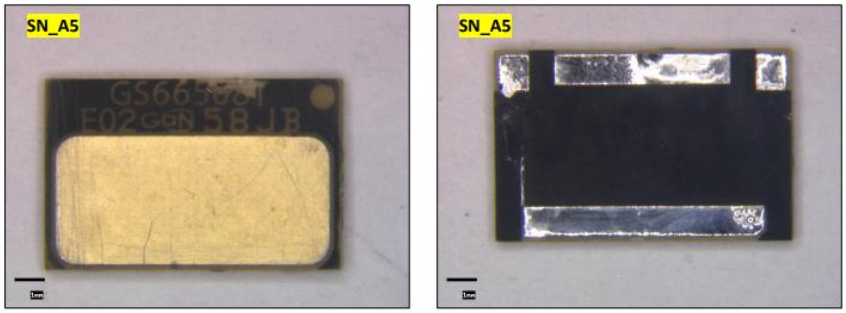



*Figure 122 : boitier d'un transistor GS66508T de GaN Systems après casse en court-circuit (photo de SERMA Technologies).*

L'inspection aux rayons X ne montre pas d'anomalie, à part une zone sombre dans la puce pour l'un des transistors ayant présenté une casse prématurée ($TLF = 0{,}5\ \mu s$) (Figure 123).

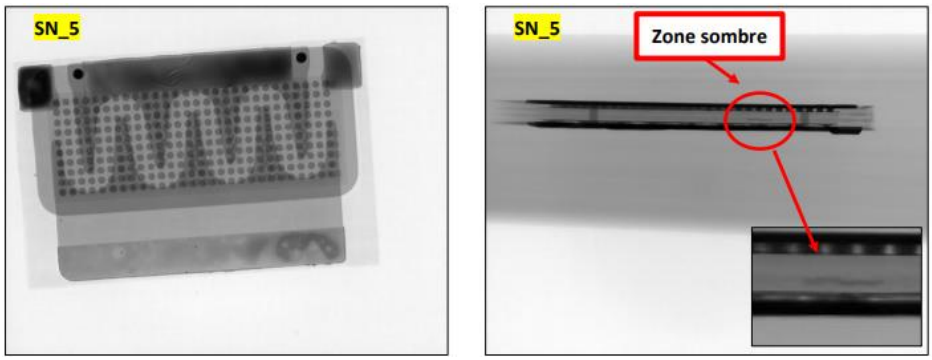



*Figure 123 : vue aux rayons X du boitier d'un transistor GS66508T de GaN Systems après casse en court-circuit (photo de SERMA Technologies).*

En observant plus précisément, on distingue des dégradations en surface des puces, à des endroits différents (Figure 124, zones encadrées en couleur). Il semble que les zones dégradées aient une plus grande surface lorsque le *TLF* est long, mais il est difficile de tirer une conclusion générale avec seulement cinq échantillons. La position des dégradations semble aléatoire.

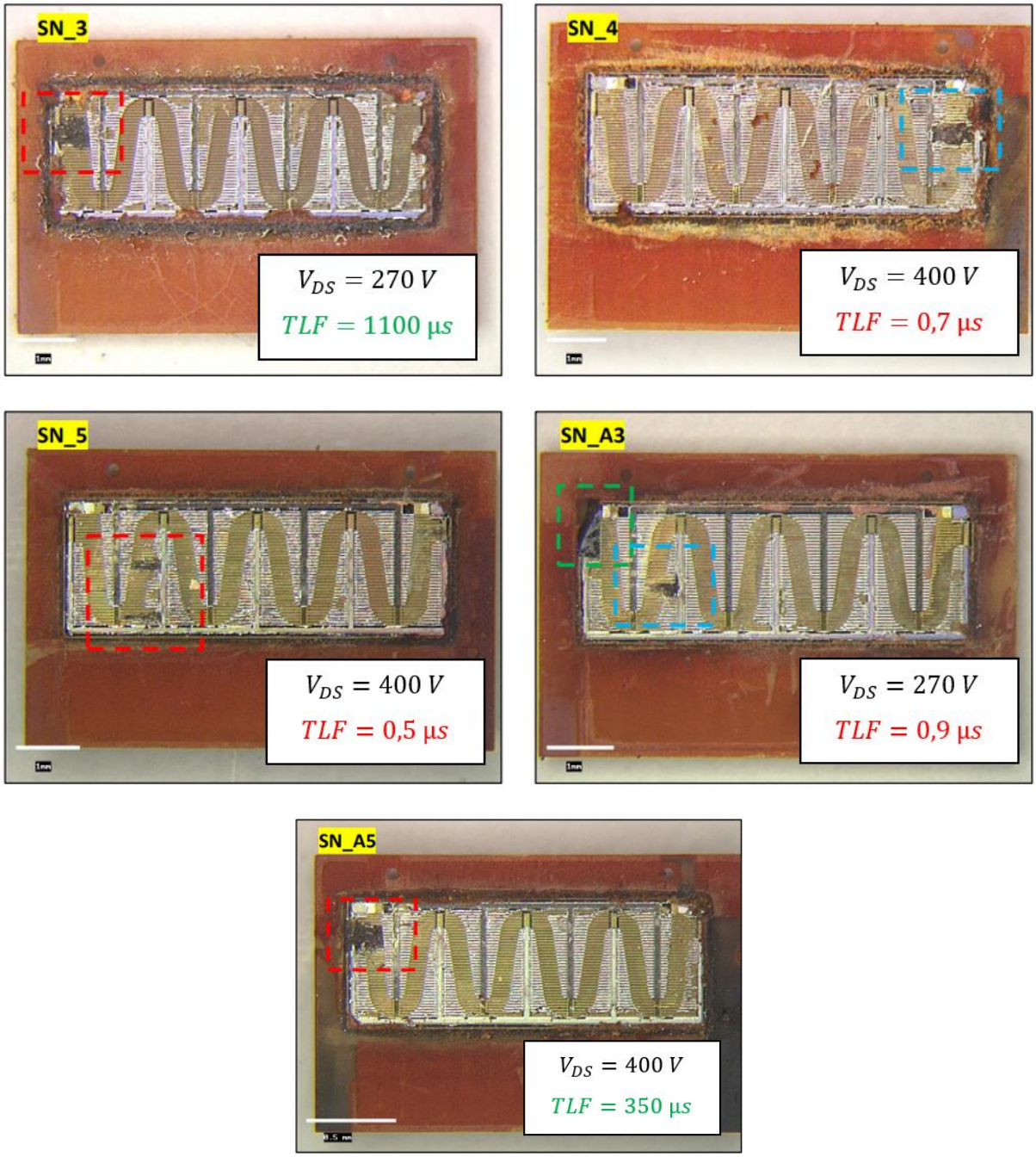



*Figure 124 : observation au microscope optique de la puce des 5 transistors GS66508T de GaN Systems après casse en court-circuit (photo de SERMA Technologies).*

Une analyse plus approfondie met en évidence des zones détruites et des zones de fusion en surface des puces. A titre d'exemple, la Figure 125 et la Figure 126 présentent ces zones pour les transistors n°3 et n°5 respectivement. Ici encore, il est impossible de tirer une conclusion générale car les destructions n'ont pas le même aspect d'une puce à l'autre. Il n'y a pas de corrélation entre l'aspect des dégradations et le *TLF* ou la tension de bus de l'essai.

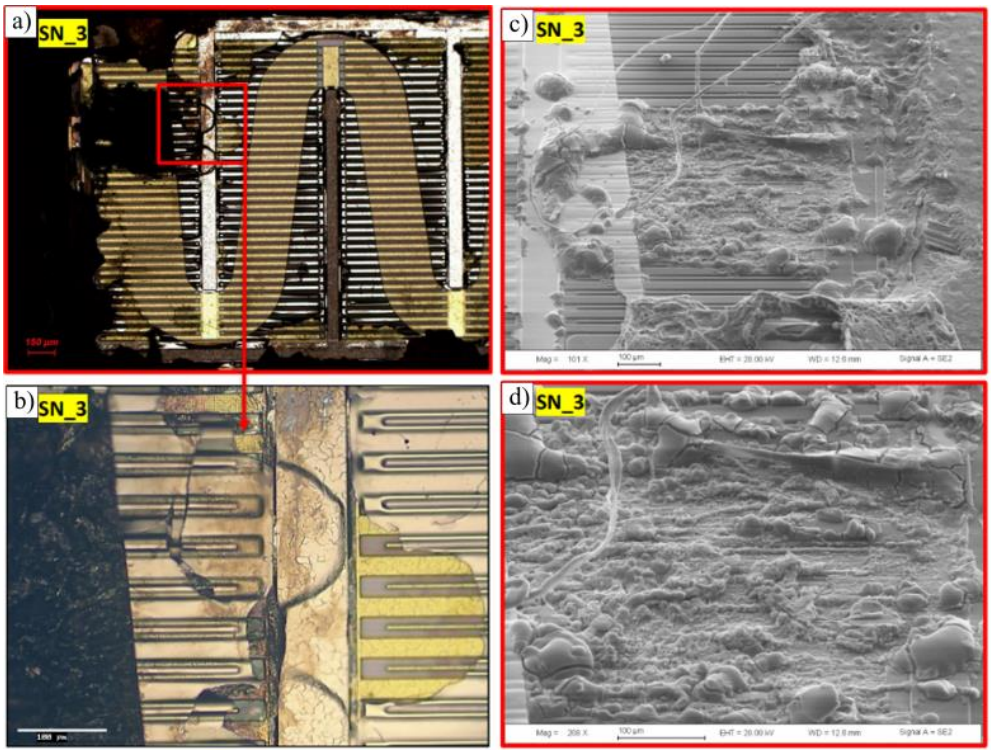



*Figure 125 : photos de la puce SN_3 (GS66508T de GaN Systems) après casse en court-circuit. a) vue d'une partie de la puce au microscope optique ; b) zoom au microscope optique ; c) et d) zones de fusion observées au microscope électronique. Photos de SERMA Technologies.*

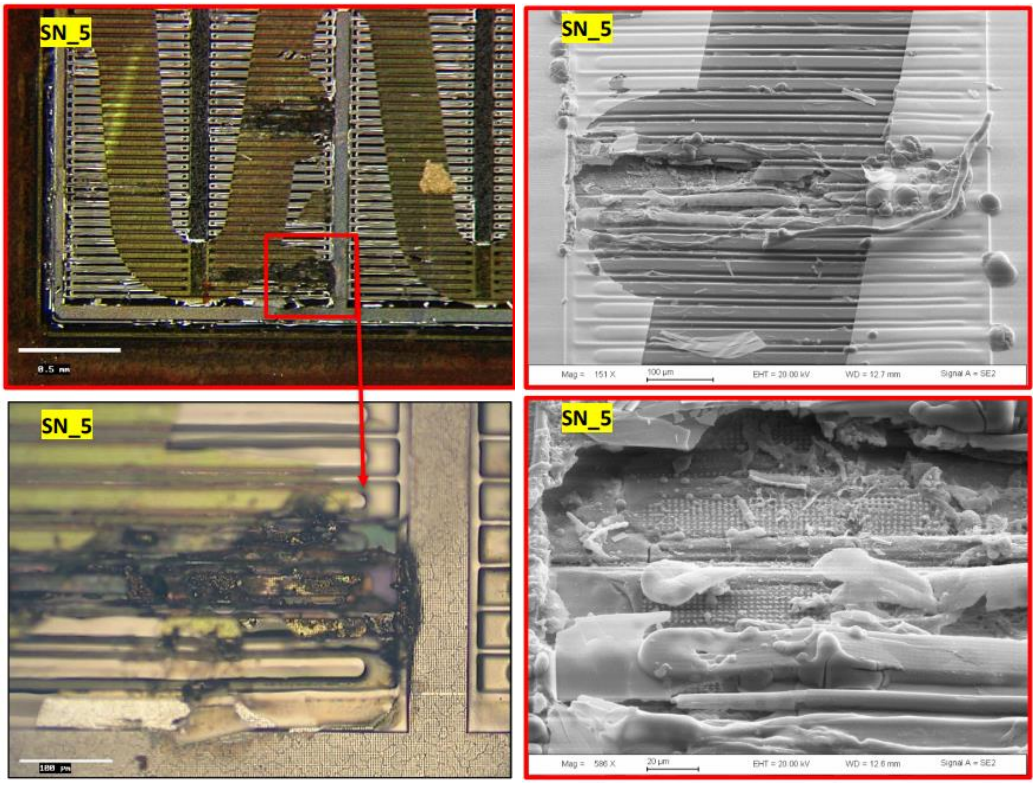



*Figure 126 : photos de la puce SN_5 (GS66508T de GaN Systems) après casse en court-circuit. a) vue d'une partie de la puce au microscope optique ; b) zoom au microscope optique ; c) et d) zones de fusion observées au microscope électronique. Photos de SERMA Technologies.*

### 2.4.2 Analyse de GaN Systems

J'ai envoyé au fondeur GaN Systems plusieurs transistors pour analyse, de référence GS66506T, GS66508T et GS66516T. Ces derniers ont subi un essai de court-circuit destructif dans le banc n°1. Les défaillances constatées sont diverses. Sur un transistor GS66506T, des zones brûlées ont été constatées, causées par un échauffement excessif. Ces zones sont proches de la grille, là où la tension grille-source est la plus élevée. Il est possible que les zones les moins résistives de la puce dissipent la majeure partie de l'énergie du court-circuit et il en résulte une défaillance localisée. Il a été constaté aussi une large zone de fusion sur un transistor GS66516T, et des zones de délamination (séparation entre deux couches du composant). Il n'est pas possible de tirer de règle générale sur les modes de défaillances physiques suite à cette analyse qui ne concerne que quelques échantillons.

## 2.5 Conclusion

Les essais destructifs des transistors du fondeur GaN Systems constituent la majorité des expérimentations de cette thèse. J'ai testé en tout 95 composants et il ressort de ces essais une robustesse très disparate, tantôt très faible ($TLF < 5\ \mu s$ voire même inférieure à $1\ \mu s$), tantôt très grande ($TLF > 200\ \mu s$). La robustesse a beaucoup évoluée avec les lots, et le fondeur ne donne pas d'explications sur l'évolution de son procédé de fabrication ou encore sur les matériaux utilisés. Le principal paramètre impactant nettement la robustesse est la tension drain-source $V_{DS}$ appliquée sur le transistor : plus elle est élevée, plus le *TLF* diminue.

Il est possible que la dispersion observée sur la robustesse soit liée à la présence de pièges comme l'indique la thèse de Fadi Zaki soutenue en mai 2018 ([43], chapitre 3). Selon lui, les transistors GaN Systems (ou du moins ceux testés avant cette date) souffrent d'instabilités causées par les pièges, et leur résistance passante dynamique est très variable d'un composant à l'autre, pour une référence donnée. Comme ces pièges sont introduits de façon massive mais non intentionnelle, ils peuvent générer de fortes disparités de comportement entre des transistors d'une même référence, supposés identiques. Par exemple, les pièges situés sous la grille et le drain peuvent impacter la densité du gaz 2D, les caractéristiques I-V et la résistance à l'état passant.

Pour une même référence de transistor et des conditions expérimentales identiques, les formes d'ondes diffèrent beaucoup d'un composant à l'autre. Il est ainsi difficile de conclure quant à l'influence de la résistance de grille sur la robustesse à cause de la dispersion, même si l'article [71] affirme que ce paramètre a une grande importance sur la tenue en court-circuit. En revanche, les résultats obtenus confirment les résultats de la littérature sur l'influence de la tension grille-source : plus $V_{GS}$ est élevé, plus le courant de drain augmente, ce qui tend à réduire le *TLF*. Par ailleurs, nous avons aussi observé que le courant de drain était légèrement plus faible sous une tension de bus de $400\ V$ que sous une tension de $270\ V$ ; le courant de grille, lui était plus élevé lors des essais réalisés sous $400\ V$ que lors des essais sous $270\ V$. Cela s'explique probablement par un échauffement supérieur sous $400\ V$.

Si certains des composants testés présentent des défaillances précoces ($TLF < 1\ \mu s$ souvent), des composants des trois références testées ont montré des robustesses exceptionnelles sous une tension de bus très élevée ($400\ V$).

Si l'origine de la défaillance précoce est difficile à expliquer, elle peut être liée à des piégeages de charge entrainant un claquage ou à un point chaud lié à une distribution non homogène du courant. Ces phénomènes sont probablement liés à un procédé de fabrication pas encore tout à fait mature.

Toutefois, ce que nous avons observé sur l'augmentation de la robustesse avec les lots plus récents tend à montrer que les composants GaN System pourraient à terme présenter une excellente robustesse en courts-circuits. L'apparition d'un courant de fuite de grille vient réduire la tension appliquée entre grille et source dès lors que le composant s'échauffe suffisamment pendant le court-circuit, ce qui permet de réduire significativement le courant de drain et participe grandement à l'excellente robustesse de ces composants. Cet effet est lié notamment au contact Schottky de la grille des *HEMT* P-GaN du fabricant GaN System.

# 3. Robustesse en court-circuit des composants Panasonic

## 3.1 Caractéristiques des transistors

### 3.1.1 Caractéristiques électriques

Les transistors testés portent la référence PGA26E07BA. Ce sont des *HEMTs* normalement bloqués, commandés en courant contrairement aux composants GaN Systems. La grille est également du type P-GaN, mais elle est ici formée par un contact ohmique métal/semiconducteur. Le Tableau 17 présente les caractéristiques électriques principales des transistors testés.

*Tableau 17 : caractéristiques électriques des transistors Panasonic PGA26E07BA.*

| Tension de claquage drain-source | Courant de grille maximal | Courant de drain continu (25°C) | Courant de drain continu (100°C) | Résistance à l'état passant (Tj=25°C) | Résistance à l'état passant (Tj=150°C) | Capacité d'entrée | Charge totale de la grille | Tension de seuil de la grille ($I_D$=2,6 mA) | Tension directe de la grille (IG=26 mA) |
|---|---|---|---|---|---|---|---|---|---|
| 600 V | 50 mA | 26 A | - | 56 $m\Omega$ | 110 m$\Omega$ | 405 pF | 5,0 nC | 0,9-1,6 V | 2,8-4,2 V |

### 3.1.2 Boitier

Le boitier de ces transistors est standard et donc un peu plus volumineux que celui de GaN Systems mais reste assez peu inductif (Figure 127).

*Figure 127 : boitier DFN 8x8 des transistors PGA26E07BA.*

Ces transistors possèdent une source kelvin mais sa position dans le boitier est telle que je n'ai pas pu l'utiliser. En revanche, j'ai routé de telle sorte que le contact de source du driver soit séparé du contact de source de puissance.

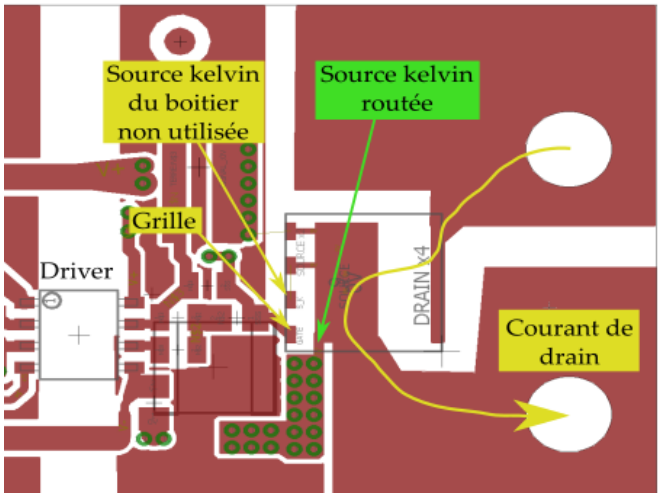



*Figure 128 : routage de la carte DUT pour les composants Panasonic, montrant la source kelvin du boitier (non utilisée), et la source kelvin routée.*

## 3.2 Essais destructifs

Une casse prématurée était attendue pour une tension $V_{DS}$ de $400\ V$, comme nous avons pu le voir dans la littérature, dans le chapitre I.

### 3.2.1 Généralités

C'est le banc n°3 qui a été utilisé pour tester un lot de 8 transistors. J'ai voulu réaliser des essais destructifs et j'ai pour cela imposé une durée de court-circuit considérée comme infiniment grande ($10\ ms$). Sous $400\ V$, les transistors ont bien cassé, et montrent une robustesse très faible, avec peu de dispersion (le $TLF$ est inférieur à $0{,}25 \mu s$). Sous $270\ V$, les composants n'ont pas cassé : le courant de drain a diminué sur plusieurs centaines de microsecondes pour finir par s'annuler, provoquant l'arrêt de l'essai. Ce comportement est très intéressant car le transistor gère seul le court-circuit sans l'aide d'un éventuel circuit de protection intégré au driver.

Les transistors Panasonic sont commandés en courant, le circuit de commande de la grille est donc différent des autres transistors testés (Figure 129).

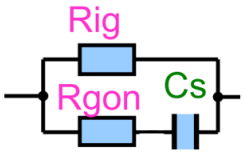



*Figure 129 : circuit de commande de la grille pour les transistors Panasonic.*

Le courant de grille est une somme de deux courant : celui circulant à travers la résistance $R_{ig}$ de $680\ \Omega$, et celui qui circule dans le circuit $RC$ formé par la résistance $R_{gon}$ de $6{,}2\ \Omega$ et le condensateur $C_s$ de $1500\ pF$. Une seule référence ayant été testée (PGA26E07BA), je ne la préciserai pas et nommerai simplement ces transistors « Panasonic ».

### 3.2.2 Essais destructifs sous 400 $V$

#### 3.2.2.1 Déroulement typique d'un essai

Les cinq essais présentés ici ont tous été réalisés avec une tension $V_{DS} = 400\ V$. La Figure 130 montre l'essai destructif du transistor n°3. Côté puissance (en haut), les formes d'ondes sont comparables à celles des transistors du fondeur GaN Systems, à la différence près que le courant de drain atteint sa valeur maximale plus tôt pour le transistor Panasonic. On constate des oscillations sur toutes les grandeurs, ce qu'on ne trouve pas chez les transistors GaN Systems. Le courant de drain diminue ensuite rapidement, comme c'est le cas pour les transistors GaN Systems dont la grille est constituée d'un contact Schottky.

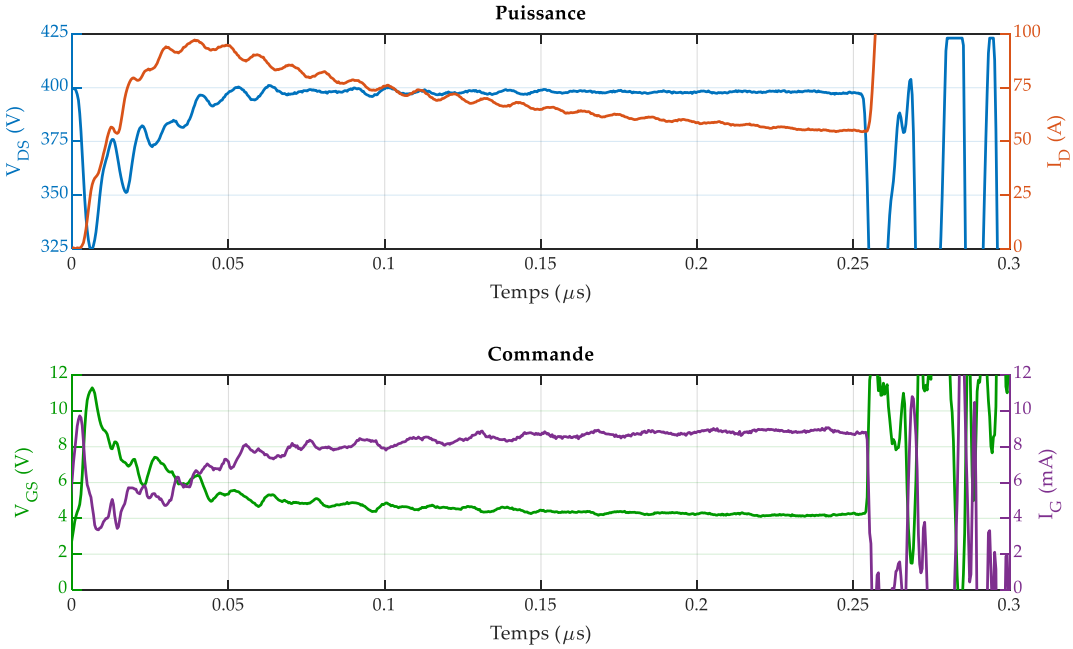



*Figure 130 : court-circuit destructif sur un transistor Panasonic dans le banc n°3. $V_{DS} = 400\ V$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

Côté commande (en bas), on constate un courant de grille non nul et qui augmente pour ensuite se stabiliser après environ $150\ ns$. A la différence des transistors GaN Systems, ce courant de grille n'a pas une origine thermique, il est simplement dû à la structure physique de la grille, constituée d'un contact de type ohmiquemétal/P-GaN. La grille s'échauffe tout de même, ce qui provoque une diminution de sa tension de seuil [75] ; cela entraine une augmentation du courant de grille, qui n'est pas visible sur la Figure 130 car la défaillance intervient très rapidement.

La diminution du courant de drain est donc principalement causée par la diminution de la mobilité des porteurs de charge du fait de l'échauffement du transistor.

La robustesse est ici très faible car le *TLF* ne dépasse pas $250\ ns$. Cette durée est plus faible que pour le plus fragile des transistors GaN Systems toutes références confondues. Le comportement observé est cohérent avec les essais de court-circuit des articles [33], [64], [72] et [75] où la défaillance intervient en moins d'une microseconde sous $400\ V$.

### 3.2.2.2 Dispersion

Les cinq transistors montrent une robustesse quasi-identique (Tableau 18). Les formes d'ondes (Figure 131) ne montrent pas beaucoup de dispersion, sauf pour un transistor qui sort légèrement du lot (en orange clair) et présente un courant de saturation plus faible et un courant de grille légèrement plus important que les autres transistors.

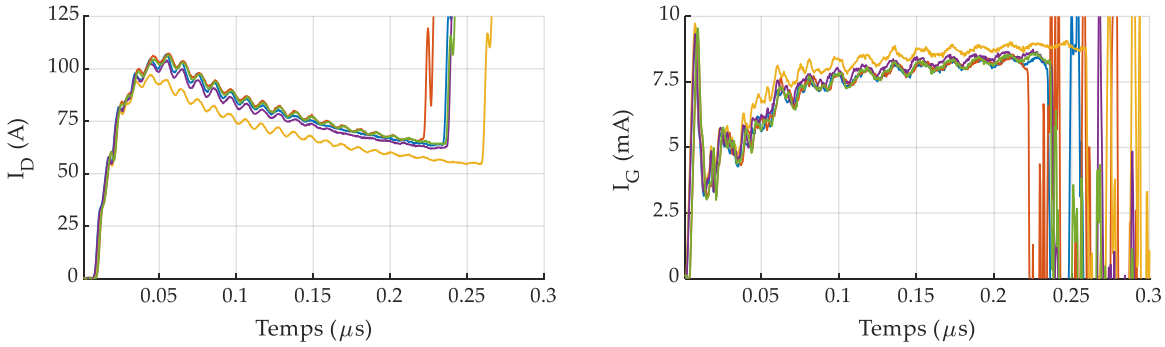



*Figure 131 : superposition des 5 essais destructifs de transistors Panasonic dans le banc n°3. $V_{DS} = 400\ V$. A gauche : courant de drain $I_D$ ; à droite : courant de grille $I_G$.*

### 3.2.2.3 Synthèse des essais destructifs sous 400 $V$

Le Tableau 18 présente le *TLF* et l'énergie absorbée avant défaillance pour chaque essai destructif. La série est très peu dispersée mais les valeurs sont beaucoup plus faibles que celles observées sur les transistors GaN Systems en moyenne.

*Tableau 18 : TLF et énergie absorbée pour les transistors Panasonic sous* 400 $V$.

| Essai n° | 1 | 2 | 3 | 4 | 5 | Moyenne | Ecart-type |
|---|---|---|---|---|---|---|---|
| *TLF* (µs) | 0,23 | 0,22 | 0,25 | 0,23 | 0,23 | 0,23 | 0,01 |
| Energie (mJ) | 6,9 | 6,6 | 6,7 | 6,8 | 7,0 | 6,8 | 0,14 |
| Energie surfacique (mJ/mm²) | 0,68 | 0,65 | 0,66 | 0,66 | 0,69 | 0,67 | 0,02 |

Sous une tension $V_{DS} = 400\ V$, les transistors Panasonic testés ne sont donc pas robustes.

## 3.3 Essais non-destructifs

Je comptais faire subir un court-circuit destructif à trois transistor Panasonic sous $270\ V$, en envoyant un pulse de commande que l'on peut considérer comme « infiniment » long ($100\ ms$) mais je n'ai pas réussi à en casser un seul. Les courts-circuits se sont arrêtés spontanément. La Figure 130 montre l'un de ces essais et ce phénomène d'arrêt spontané. Le court-circuit démarre normalement, et le courant de drain se réduit rapidement (Figure 132). Au fil de l'essai, le transistor s'échauffe, ce qui provoque la diminution de la tension de seuil de la grille. Cela a deux conséquences : le courant de grille se met à augmenter, et la tension grille-source diminue. Cette décroissance de la tension $V_{GS}$ finit par provoquer le blocage du transistor puisque la tension grille-source passe en-dessous de la tension de seuil de la grille (comprise entre $2\ V$ et $3\ V$ d'après la Figure 134), qui se comporte comme une diode.

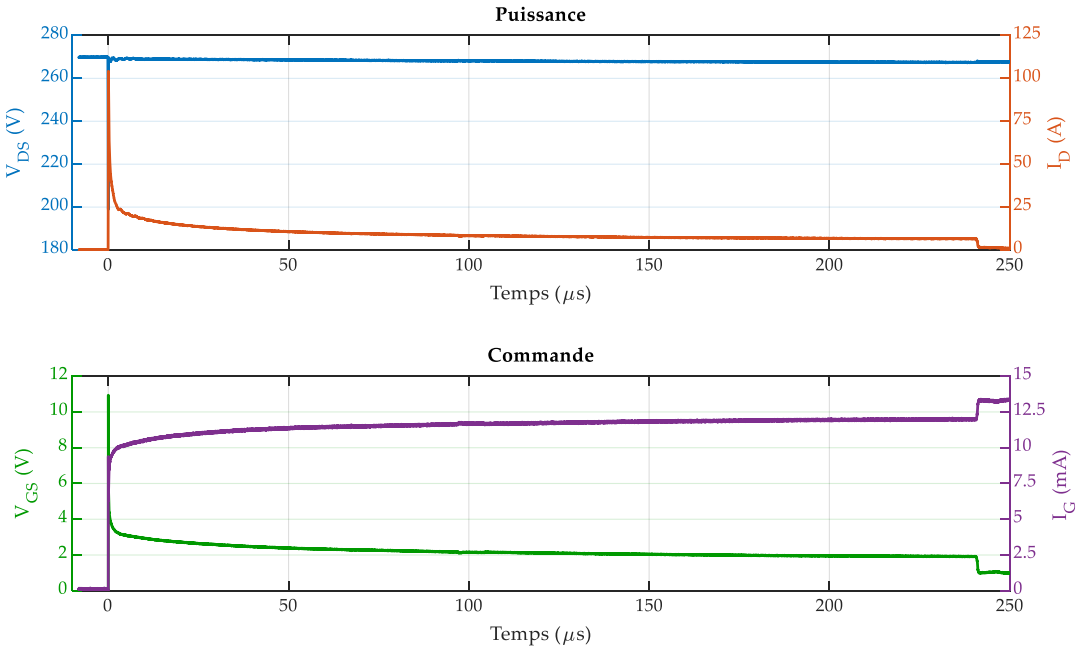



*Figure 132 : court-circuit non-destructif sur un transistor Panasonic dans le banc n°3, en échelle linéaire. $V_{DS} = 270\ V$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

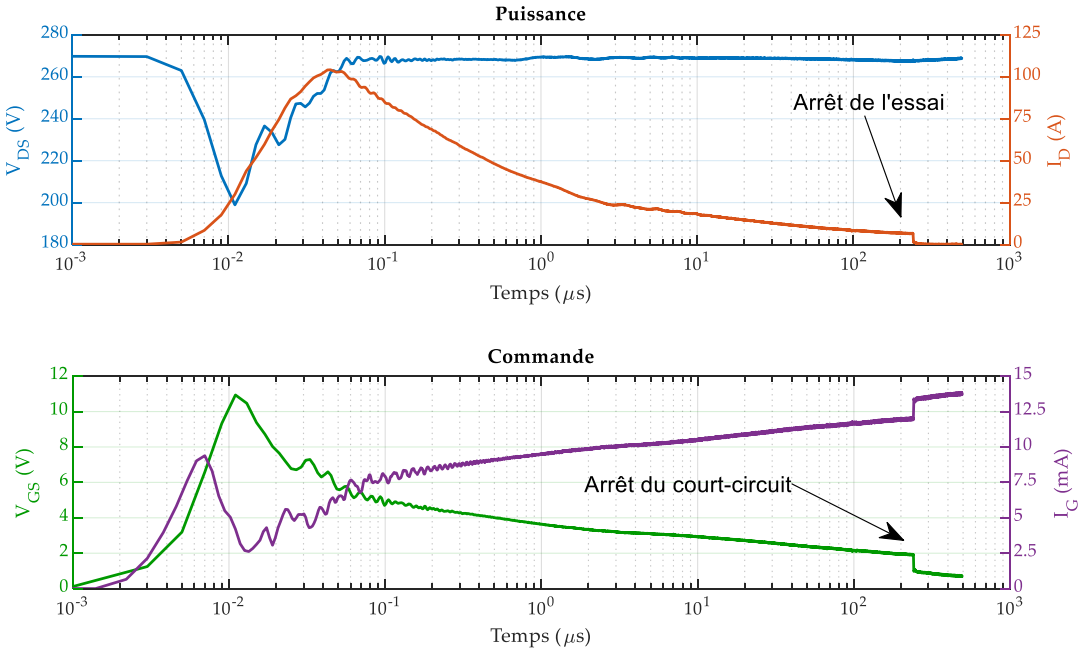



*Figure 133 : même essai de court-circuit, en échelle logarithmique (banc n°3 ; $V_{DS} = 270\ V$). En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

A la fin du court-circuit (vers $t = 230\ \mu s$), lorsque la tension $V_{GS}$ devient inférieure à la tension de seuil et que le courant de drain s'annule, on constate que l'annulation du courant de drain entraine à son tour une diminution « instantanée » de la tension $V_{GS}$ et une augmentation du courant de grille. Ce comportement est probablement dû à un effet résistif dans la structure de grille du composant.

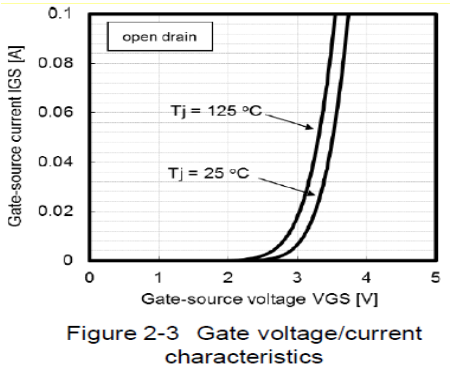



Figure 2-3 Gate voltage/current characteristics

*Figure 134 : caractéristique tension-courant de la grille des transistors Panasonic. Tiré de [104].*

Le transistor n°6 a ainsi subi 17 essais non-destructifs. Les essais n°1 à n°7 ont été réalisés avec un temps de repos de l'ordre de quelques minutes. Il n'était pas attendu que ce transistor résiste à plusieurs essais. La Figure 135 présente les courants de drain de ces 7 premiers essais.

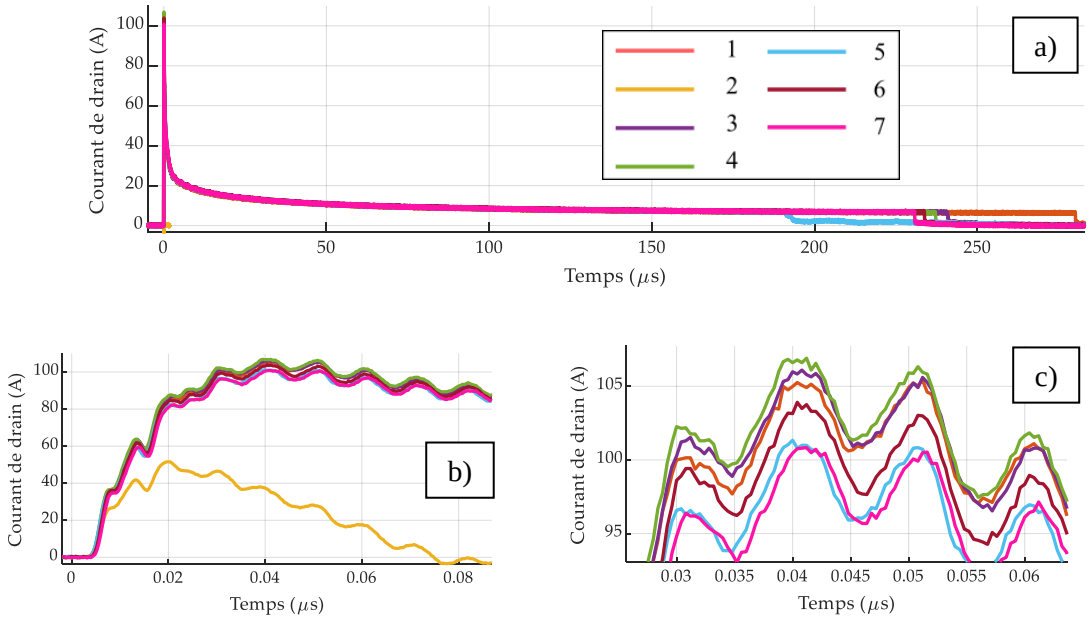



*Figure 135 : courants de drain superposés pour les 7 premiers essais de fatigue d'un transistor Panasonic. a) Vue d'ensemble des essais ; b) zoom sur le début des essais ; c) zoom plus poussé sur la valeur maximale des courants.*

Ces courants sont assez peu dispersés, mais l'essai n°2 sort complètement du lot : il présente un courant maximal deux fois plus faible que les autres (50 $A$ contre 100 $A$ environ). Ce deuxième essai s'arrête très vite, au bout de seulement 80 $ns$ (Figure 135b).

Le courant de drain fluctue essai après essai, mais de manière aléatoire. Il ne semble pas y avoir de lien entre la valeur du pic de courant de drain et le numéro de l'essai. Sept essais ne sont sans doute pas suffisants pour faire vieillir significativement ce transistor.

La Figure 136 montre les courants de grille de ces 7 essais sur le même transistor. On constate que l'essai n°2 sort aussi du lot : son courant de grille est environ deux fois plus élevé que les autres essais, et reste égal à 14 $mA$ environ après $t = 0{,}1$ µ$s$, une fois que le courant de drain s'est annulé (non visible en Figure 136). Les autres essais montrent un courant de grille assez peu dispersé. L'étude de l'ordre

des courbes n'amène aucune conclusion évidente car les courants maximaux visibles en Figure 136c fluctuent au gré des essais sans logique apparente.

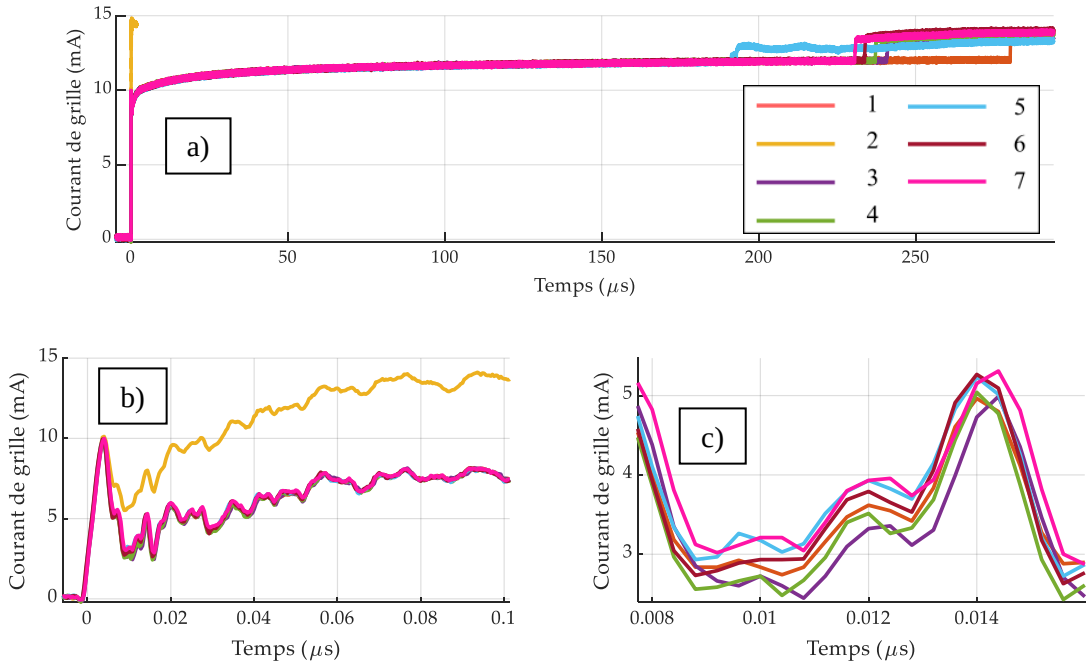



*Figure 136 : courants de grille superposés pour les 7 premiers essais de fatigue d'un transistor Panasonic. a) Vue d'ensemble des essais ; b) zoom sur le début des essais ; c) zoom plus poussé sur la valeur maximale des courants.*

Ensuite, j'ai fait subir à ce même transistor un train de 10 courts-circuits espacés de 10 $ms$ (Figure 137). Chaque court-circuit dure 2,0 $ms$.

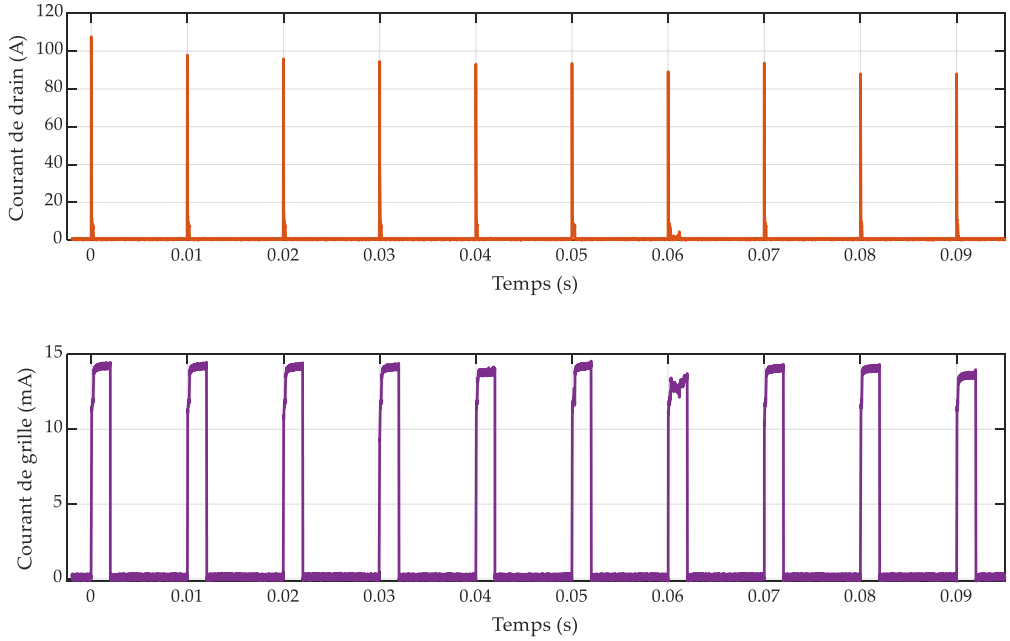



*Figure 137 : succession de courts-circuits non-destructifs sur un transistor Panasonic dans le banc n°3. $V_{DS} = 270\ V$. En haut : courant de drain $I_D$ ; en bas : courant de grille $I_G$.*

Le transistor a résisté à ces 10 essais, et montre une légère réduction du courant maximum de drain entre le premier et le dernier essai, probablement causée par une accumulation de chaleur (le composant n'a pas le temps de refroidir en 10 $ms$). Le courant de grille, lui, n'évolue pas de façon significative au fil des essais.

Dans tous les essais, le courant de court-circuit finit par s'annuler au bout d'une durée d'environ 200 µ$s$, mais le courant de grille continue à circuler après.

Ces tous premiers essais répétitifs montrent une robustesse de ces composants, au moins sous une tension de 270V. Le fait que le court-circuit s'arrête de lui-même est très intéressant pour une application dans un convertisseur.

# 4. Robustesse en court-circuit des composants MEGaN (CEA/LETI)

## 4.1 Caractéristiques des transistors

### 4.1.1 Caractéristiques électriques

Les transistors du CEA/LETI ont été développés spécifiquement dans le cadre du projet MEGaN (voir chapitre I). Ce sont des *MIS-HEMTs*. La grille comprend donc un isolant, contrairement aux composants GaN Systems ou Panasonic.

J'ai testé deux calibres différents : 10 $A$ et 30 $A$. Le lot est le D15E0242 PGN3. Le Tableau 19 présente les caractéristiques électriques principales des transistors testés. Les valeurs varient dans des plages assez larges car ces composants sont des prototypes en phase de développement.

*Tableau 19 : caractéristiques électriques des transistors 30 A du CEA.*

| **Tension de claquage drain-source** | **Courant de grille maximal** | **Courant de drain continu (25°C)** | **Courant de drain continu (200°C)** | **Résistance à l'état passant (Tj=25°C)** | **Résistance à l'état passant (Tj=200°C)** | **Capacité d'entrée** | **Charge totale de la grille** | **Tension de seuil de la grille ($I_D$=2,6 mA)** |
|---|---|---|---|---|---|---|---|---|
| 400-600 V | ±6 V | 7-30 A | 3-15 A | 400-800 mΩ | 810-1600 mΩ | 190-210 pF | - | 0,5-1,2 V |

Je n'ai pas pu obtenir toutes les caractéristiques électriques du calibre 10 $A$. Leur tension de claquage drain-source vaut 1000 $V$.

### 4.1.2 Boitier

Ces transistors possèdent un boitier D2pak standard, comprenant des fils de bonding (Figure 138). Ces composants sont munis d'une source kelvin, mais sa position dans le boitier est telle que je n'ai pas pu l'utiliser. En revanche, j'ai routé de telle sorte que le contact de source du driver soit séparé du contact de source de puissance, comme dans la partie 3.1.1.

*Figure 138 : à gauche : boitier D2pak générique ; à droite : transistor du CEA dans son boitier D2pak.*

## 4.2 Essais destructifs

### 4.2.1 Généralités

J'ai testé quatre transistors en tout : trois du calibre 30 $A$ et un du calibre 10 $A$, dans le banc n°3. La tension grille-source est fixée à 6,0 $V$ et la résistance de grille vaut 33 Ω.

Ces transistors doivent normalement être utilisés avec leur substrat relié à leur source pour limiter le phénomène de piégeage d'électrons dans la couche de GaN. Ce piégeage génère en effet un courant de collapse. Ce point n'a pas été respecté lors des essais de court-circuit (en partie à cause du routage de la carte). Le courant de drain aurait donc dû être plus élevé que celui mesuré, ce qui aurait probablement conduit à une robustesse encore plus faible.

### 4.2.2 Essais destructifs

J'ai testé les quatre transistors sous 400 $V$. La robustesse est faible et assez dispersée. Le *TLF* est compris entre 0,7 µ$s$ et 6 µ$s$.

Les formes d'ondes d'un des quatre essais sont visibles en Figure 139.

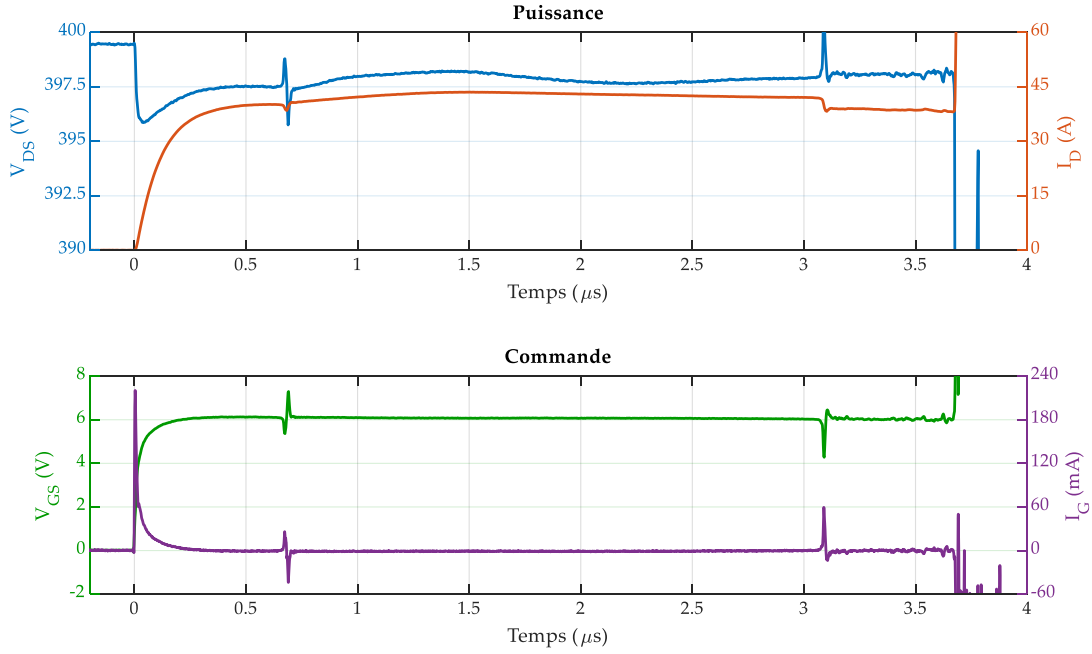



*Figure 139 : court-circuit destructif sur un transistor CEA 30A dans le banc n°3. $V_{DS} = 400\ V$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

Le comportement des transistors du CEA est très différent des composant GaN Systems ou Panasonic. Tout d'abord, au tout début du court-circuit, le courant de drain met un peu plus longtemps à atteindre sa valeur maximale, ce qui peut être dû à la forte inductance du boitier D2pak. Ensuite, au lieu de diminuer rapidement, le courant conserve une valeur quasi constante pendant plusieurs microsecondes, et présente donc un comportement significativement différent des composants GaN Systems et Panasonic.

Côté commande, après la charge de la grille, on ne constate pas de courant de grille, contrairement aux composants GaN Systems. Ceci est dû à la structure de la grille des composants CEA, qui est isolée et ne fuit donc pas, même si le transistor s'échauffe. La tension grille-source ne se réduit donc pas au fil de l'essai, ce qui pourrait expliquer le fait que le courant de drain reste constant. Il est tout de même probable que ce dernier diminue sur des essais plus longs du fait de la diminution de la mobilité des porteurs de charge lorsque le composant chauffe.

Deux pics sont visibles sur les quatre grandeurs mesurées à $t = 0{,}7\ \mu s$ et $t = 3{,}2\ \mu s$, il est difficile de les interpréter. Ce phénomène n'a été remarqué que sur les transistors du CEA/LETI.

La dispersion est assez importante au sein de la référence $30\ A$ (Figure 140), mais il est difficile de conclure à cause du faible nombre d'échantillons testés.

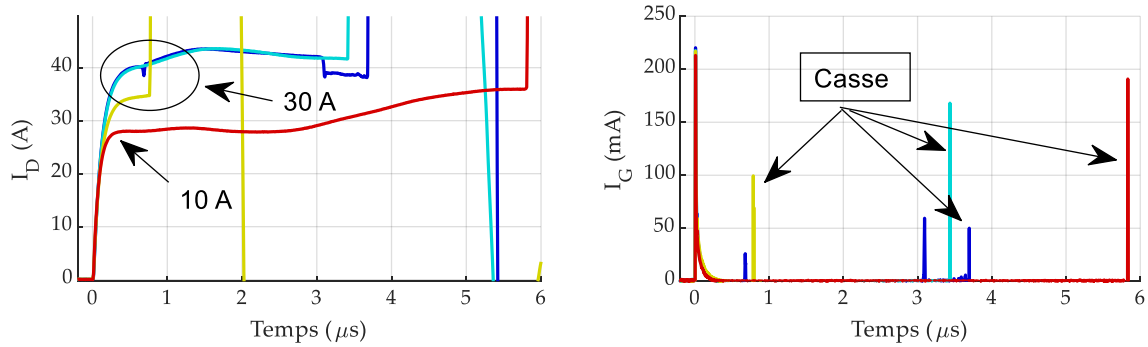



*Figure 140 : superposition des 4 essais destructifs de transistors CEA dans le banc n°3. $V_{DS} = 400\ V$. A gauche : courant de drain $I_D$ ; à droite : courant de grille $I_G$.*

### 4.2.3 Synthèse des essais

Le Tableau 20 recense les *TLF* et énergies absorbées lors des courts-circuits. Ces transistors semblent plus robustes que les plus fragiles des transistors GaN Systems, qui cassent généralement en moins d'une microseconde (partie 2.2.1).

*Tableau 20 : TLF et énergie absorbée pour les transistors CEA.*

| Réf. | 30A | | | 10 A |
|---|---|---|---|---|
| n° | 1 | 2 | 3 | - |
| *TLF* (µs) | 3,7 | 5,8 | 3,4 | 0,76 |
| Energie (mJ) | 59 | 70 | 55 | 9 |
| Energie surfacique (mJ/mm²) | 3,2 | 3,8 | 3,0 | 0,67 |

# 5. Robustesse en court-circuit des composants Transphorm

## 5.1 Caractéristiques des transistors

### 5.1.1 Caractéristiques électriques

La référence des transistors Transphorm testés est TPH3208LDG. Ce sont des composants cascode comprenant un *HEMT* normalement passant et un MOSFET silicium basse tension. Le Tableau 21 présente les caractéristiques électriques principales de ces transistors.

*Tableau 21 : caractéristiques électriques des transistors Transphorm TPH3208LDG.*

| Tension de claquage drain-source | Tension grille-source maximale | Courant de drain continu (25°C) | Courant de drain continu (100°C) | Résistance à l'état passant (Tj=25°C) | Résistance à l'état passant (Tj=150°C) | Capacité d'entrée | Charge totale de la grille | Tension de seuil de la grille ($I_D$=0,3 mA) |
|---|---|---|---|---|---|---|---|---|
| 650 V | ±18 V | 20 A | 13 A | 110 $m\Omega$ | 230 $m\Omega$ | 760 pF | 10 nC | 1,6-2,6 V |

### 5.1.2 Boitier

Ces composants sont commercialisés dans un boitier PQFN standard plus volumineux que les transistors GaN Systems (Figure 138).

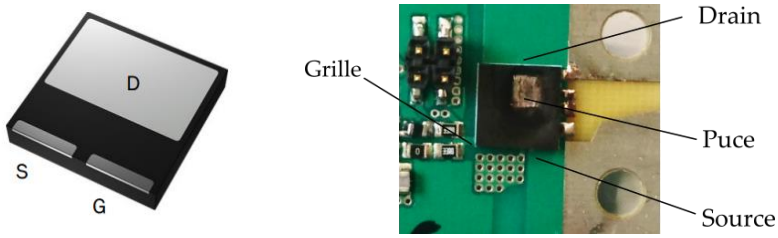



*Figure 141 : à gauche : boitier PQFN montrant le positionnement de la source (S), du drain (D) et de la grille (G) ; à droite : transistor Transphorm TPH3208LDG décapsulé dans le banc n°3 montrant la puce à nu.*

Ces transistors ne possèdent pas de source kelvin.

## 5.2 Essais de court-circuit avec oscillations

### 5.2.1 Généralités

Une seule référence ayant été testée (TPH3208), je ne la préciserai pas et nommerai simplement ces transistors « Transphorm ». Une faible robustesse ainsi que des problèmes d'oscillations étaient attendus à cause de la structure cascode (voir la partie 2.4 du chapitre I), et c'est ce que j'ai constaté expérimentalement, à de rares exceptions près.

La tension de sortie du driver est fixée à 8 $V$, comme conseillé dans la datasheet. La résistance de grille vaut 33 Ω. C'est le banc n°3 qui a été utilisé pour tester ces transistors.

### 5.2.2 Oscillations et remise en conduction

J'ai commencé par tester quatre transistors, sous une tension $V_{DS} = 400\ V$. Ils ont posé problème car ils ont systématiquement oscillé. Lors des oscillations, les grandeurs mesurées atteignent des valeurs extrêmement grandes, puis diminuent spontanément jusqu'à bloquer le transistor ; ce dernier se remet ensuite spontanément en conduction après environ 19 µs et casse rapidement. Les tensions $V_{DS}$ et $V_{GS}$ dépassent les valeurs maximales tolérées par le transistor, ce qui devraient entrainer sa destruction ou au moins celle de sa grille. Ainsi, il est probable que les mesures de ces tensions soient causées par un artefact de mesure comme une résonance dans la chaine de mesure.

La fréquence des oscillations est comprise entre $150\ MHz$ et $200\ MHz$. La Figure 142 montre les formes d'ondes de ces oscillations. Les quatre grandeurs mesurées oscillent et les valeurs atteintes sont beaucoup plus élevées que lors d'un court-circuit normal. Malgré tout, ces oscillations n'entrainent pas la casse du composant. Elles décroissent en amplitude jusqu'à ce que le transistor se bloque, vers $350\ ns$. Il se réamorce ensuite spontanément vers $20\ \mu s$ et casse immédiatement. Lors de la casse, l'allure du courant de drain est différente de celle des essais des composants GaN Systems.

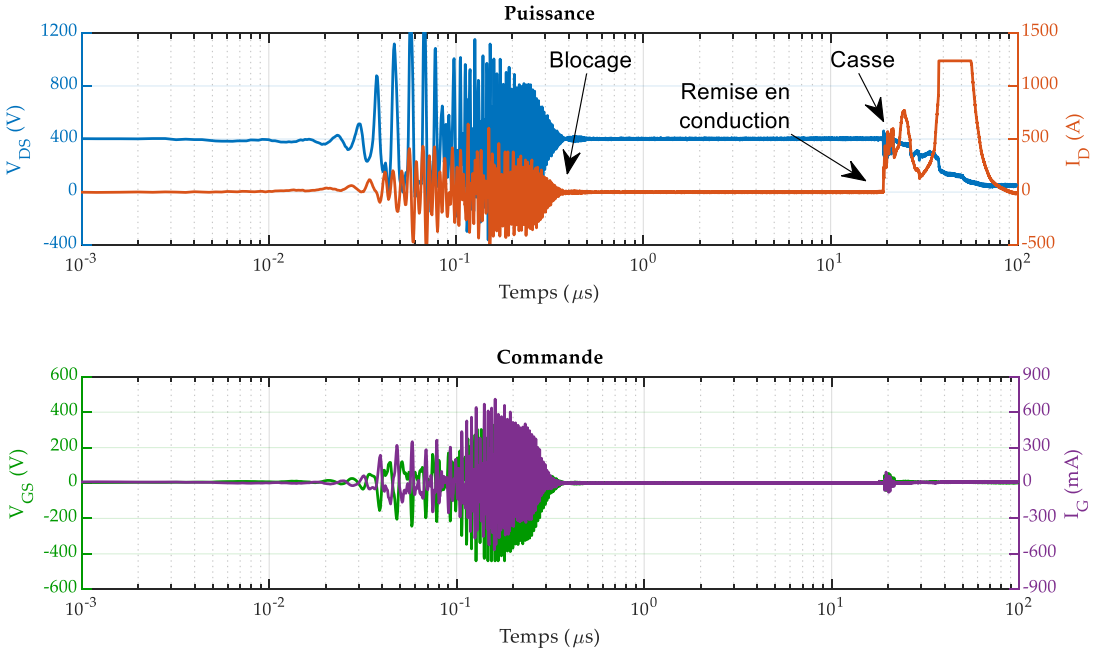



*Figure 142 : court-circuit destructif sur un transistor Transphorm dans le banc n°3. $V_{DS} = 400\ V$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$. La tension $V_{GS}$ a saturé la voie de l'oscilloscope, réglée sur le plus fort calibre.*

Côté commande, la tension $V_{GS}$ et le courant de grille $I_G$ présentent le même comportement : des oscillations qui finissent par s'arrêter spontanément.

La Figure 143 montre un zoom des formes d'ondes du même essai.

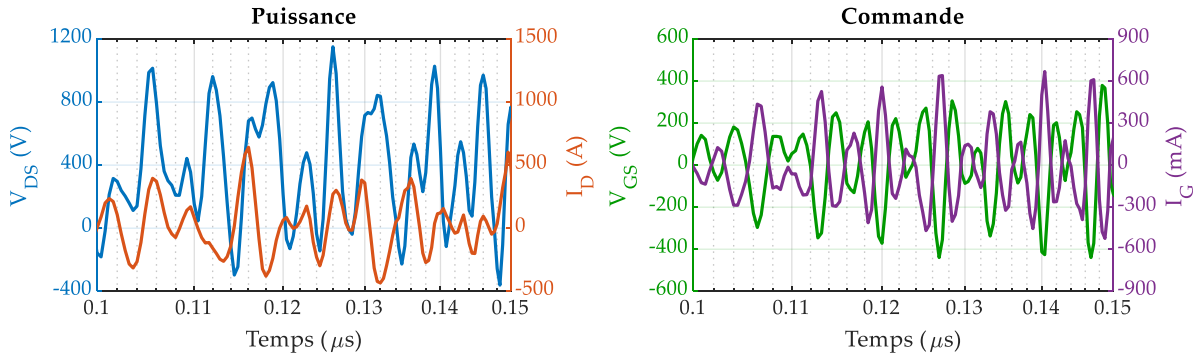



*Figure 143 : zoom sur le même court-circuit destructif sur un transistor Panasonic dans le banc n°3. $V_{DS} = 400\ V$. A gauche : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; à droite : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

Comme vu dans le chapitre I, ces oscillations sont causées par des boucles de rétroaction positives au sein du transistor, liées à la structure cascode. La résistance de grille n'influe pas sur la vitesse d'amorçage du transistor GaN à appauvrissement, ce dernier commute donc très rapidement, ce qui excite les éléments parasites du banc et, à travers la capacité entre drain et grille provoque l'apparition et l'entretien des oscillations.

### 5.2.3 Tentatives d'atténuation des oscillations

J'ai tenté de supprimer ces oscillations en modifiant le circuit de commande de deux façons différentes : en ajoutant un circuit RC jouant un rôle de snubber entre drain et source (Figure 144a) et en ajoutant une perle de ferrite. Ces modifications sont conseillées par le fondeur dans le document pour éviter les oscillations (Figure 144).

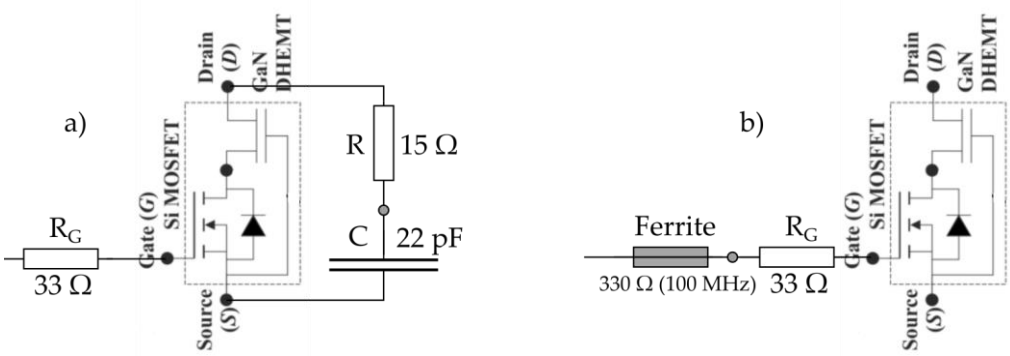



*Figure 144 : circuit de grille utilisés pour tenter d'atténuer les oscillations. a) ajout d'un RC entre drain et source ; b) ajout d'une perle de ferrite en série avec la résistance de grille.*

#### 5.2.3.1 Circuit RC entre drain et source

Après ces quatre essais, comme conseillé dans la datasheet du transistor, j'ai ajouté un circuit RC jouant le rôle de tampon entre le drain et la source ($22\ pF$ + $15\ \Omega$) dans le but d'atténuer les oscillations et j'ai testé ainsi trois autres transistors. Cela n'a pas empêché des oscillations d'apparaitre, même si leur amplitude a été réduite pour seulement un des trois transistors (Figure 145). Cette réduction d'amplitude est peut-être uniquement liée à la dispersion entre transistors et pas à l'ajout du circuit RC. Le transistor oscille, se bloque, puis se remet à conduire et la casse intervient vers $t = 1{,}3\ \mu s$.

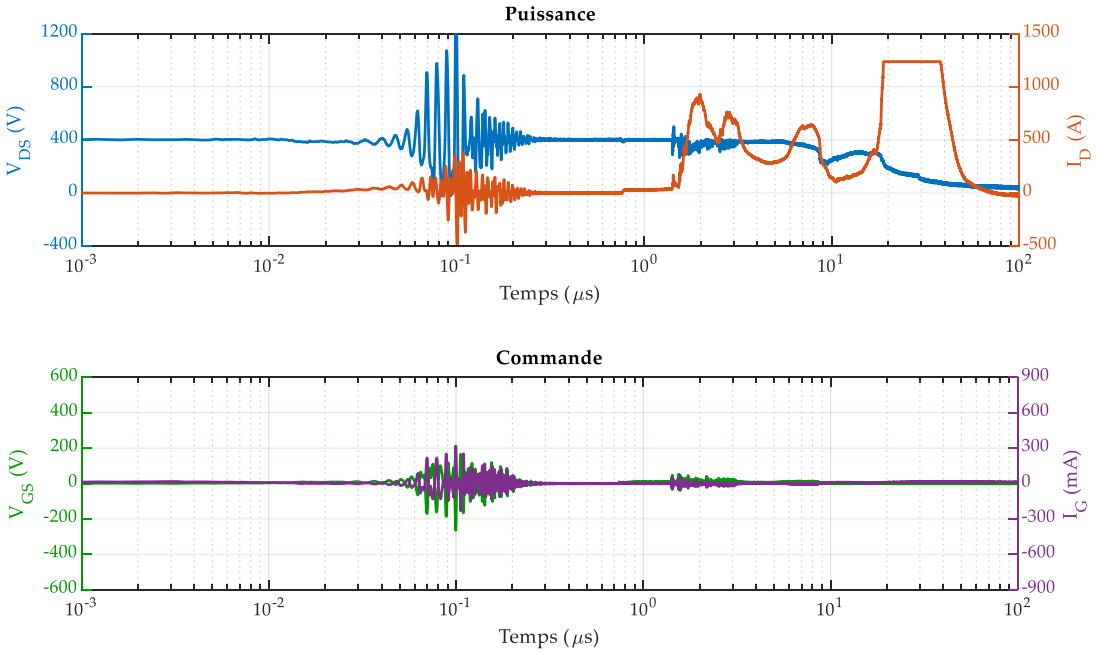



*Figure 145 : court-circuit destructif sur un transistor Transphorm dans le banc n°3 avec un circuit RC snubber ($22\ pF\ +\ 15\ \Omega$). $V_{DS} = 400\ V$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

Un des transistors testés a un comportement très particulier : le court-circuit est constitué d'une série de blocages et de remises en conduction durant $300\ ns$ environ, espacés de $20\mu s$ (Figure 146). L'ordre de commande était pourtant identique à celui des tests précédents.

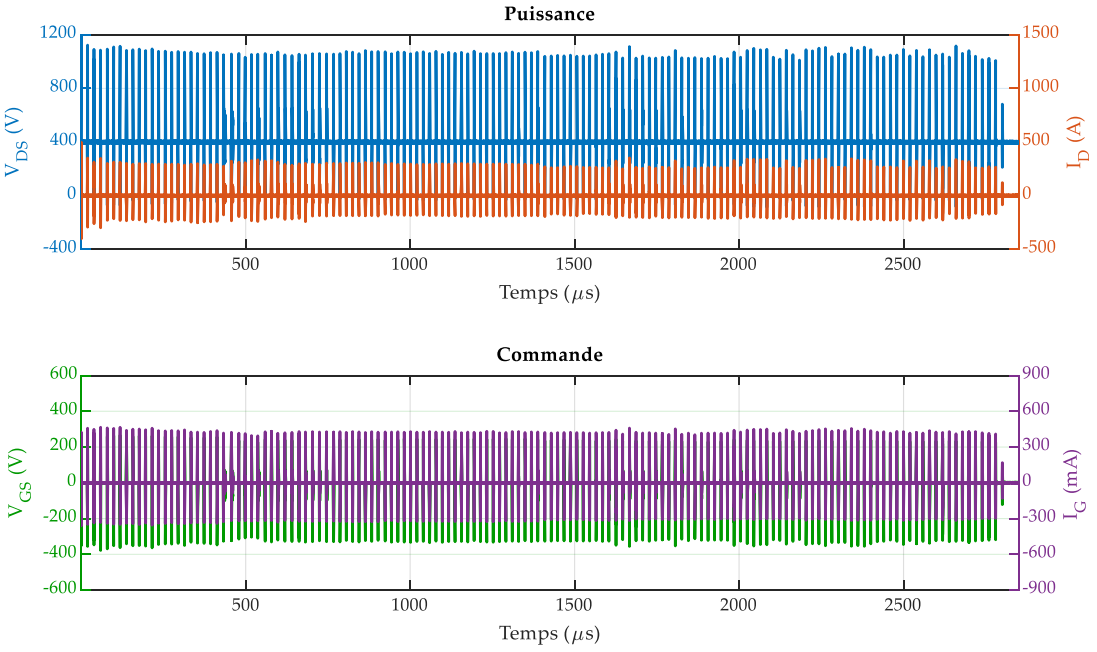



*Figure 146 : court-circuit destructif sur un transistor Transphorm dans le banc n°3 avec un circuit RC snubber ($22\ pF\ +\ 15\ \Omega$). $V_{DS} = 400\ V$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

La Figure 147 présente un zoom de la figure précédente sur une période de remise en conduction du transistor.

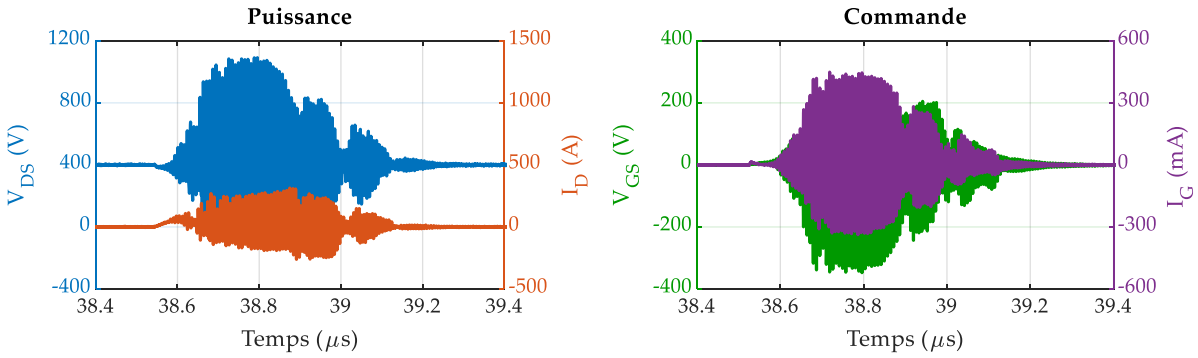



*Figure 147 : zoom sur un court-circuit destructif sur un transistor Transphorm dans le banc n°3 avec un circuit RC snubber (22 $pF$ + 15 $\Omega$). $V_{DS} = 400\,V$. A gauche : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; à droite : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

### 5.2.3.2 Ajout d'une perle de ferrite

Ensuite, j'ai ajouté une perle de ferrite (330 Ω à 100 $MHz$) en sortie du driver et j'ai testé les trois derniers transistors. Avec cette perle qui se comporte comme une inductance, les oscillations sont toujours présentes, leur amplitude est en moyenne identique aux essais précédents, mais elles durent plus longtemps. Elles s'arrêtent encore spontanément. Ensuite, pour deux transistors sur trois, je constate une remise en conduction après une vingtaine de microsecondes, ce qui entraine la casse du composant. Un transistor a montré un comportement différent : il casse à la fin des oscillations, sans remise en conduction.

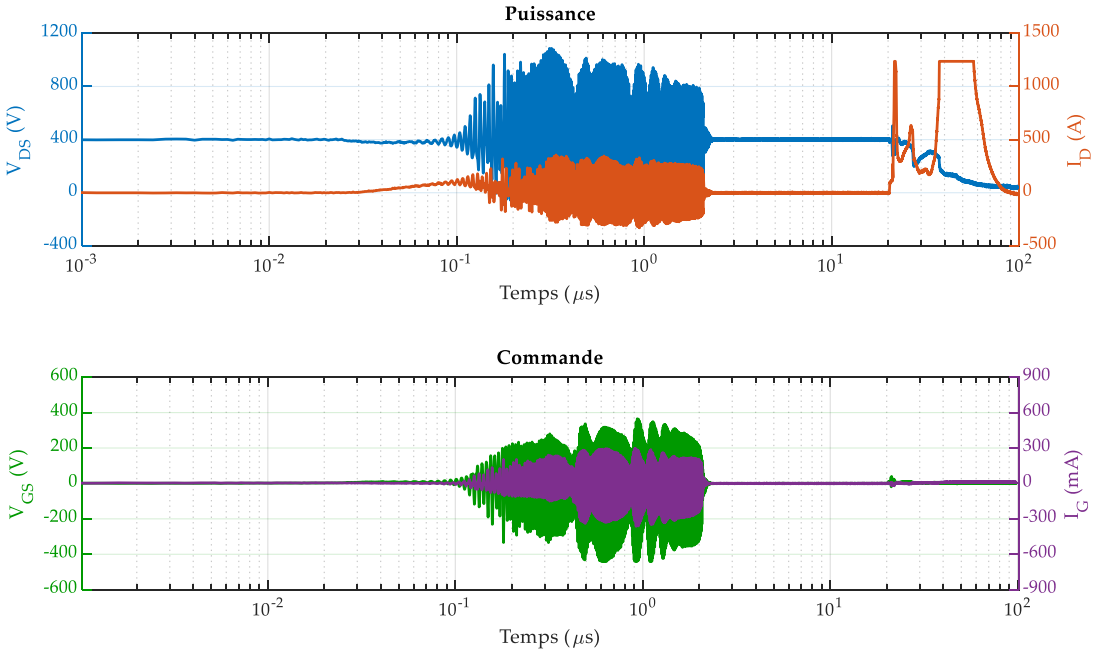



*Figure 148 : court-circuit destructif sur un transistor Transphorm dans le banc n°3 avec une perle de ferritte en sortie du driver. $V_{DS} = 400\,V$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

L'ajout d'un circuit RC tampon ou d'une perle de ferrite n'est donc pas efficace pour limiter les oscillations observées lors d'essais de court-circuit et améliorer la robustesse en court-circuit des transistors Transphorm.

Il n'est pas possible de définir de *TLF* ou d'énergie absorbée pour ces transistors sous une tension de 400V car il y a trop de dispersion sur les comportements des composants et trop d'oscillations. L'utilisation de ces transistors cascode dans un convertisseur réel semble difficile, même s'il est possible que les oscillations n'apparaissent pas puisque les valeurs des parasites inductifs pourraient être plus faibles dans un véritable bras d'onduleur que dans le banc de court-circuit n°3.

## 5.3 Essais de court-circuit sans oscillations

Si la plupart des essais de court-circuit des transistors Transphorm se sont soldés par de fortes oscillations, ce n'est pas le cas de tous les essais. Sous une tension de bus de $270\ V$ ou moins, j'ai pu relever des formes d'ondes sans oscillations, dans les bancs n°1 et n°2 uniquement.

La Figure 149 présente les formes d'ondes d'un essai réalisé sous $100\ V$, dans le banc n°2. Sur le graphe du haut, les courbes orange et bleu en traits pleins correspondent aux formes d'ondes du composant cascode, et la courbe orange en pointillés est le courant de drain d'un *HEMT* P-GaN GaN Systems lors d'un essai réalisé dans le même banc et sous la même tension de bus. Le courant de drain du transistor cascode diminue bien moins rapidement que celui du *HEMT* P-GaN, comme décrit dans la littérature (voir le chapitre I). On remarque aussi la forte chute de la tension $V_{DS}$ au début du court-circuit, causée par la croissance rapide du courant de drain.

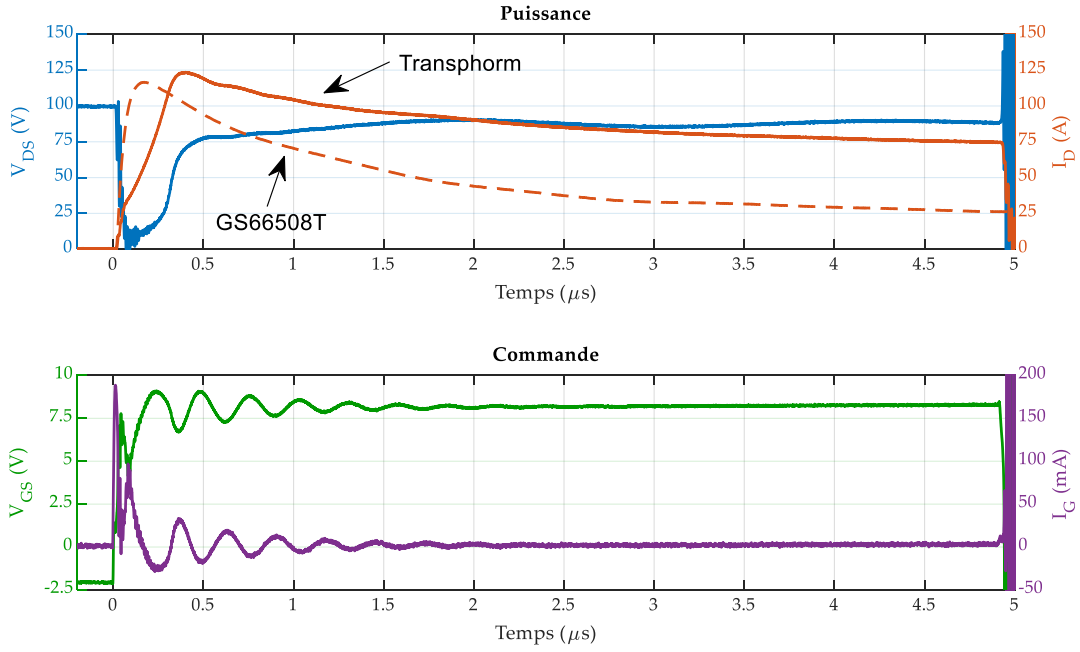



*Figure 149 : court-circuit non-destructif sur un transistor Transphorm dans le banc n°2. $V_{DS} = 100\ V$ ; $R_G = 33\ \Omega$ ; $V_{GS} = -2/+8\ V$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

Des oscillations sont visibles sur la tension $V_{GS}$ et sur le courant de grille mais elles s'arrêtent vers $t = 2\ \mu s$. Ce dernier est nul après la charge de la grille, contrairement aux transistors GaN Systems et Panasonic, ce qui est logique vu la structure cascode.

# 6. Synthèse des essais

J'ai réalisé plus de 200 essais de court-circuit répartis sur des transistors de quatre fondeurs : GaN Systems (*HEMT* P-GaN à contact schottky), Panasonic (*HEMT* P-GaN à contact ohmique), CEA/LETI (MIS-*HEMT*) et Transphorm (cascode). Les trois bancs de court-circuit ont été utilisés, mais c'est principalement le banc n°3 qui a servi à réaliser les essais. J'ai fait varier la tension grille-source $V_{GS}$, la résistance de grille $R_G$ et la tension drain-source $V_{DS}$ pour étudier leur influence sur la robustesse.

Les transistors GaN testés sont globalement fragiles. Les essais sous $400\,V$ se soldent souvent par une casse rapide ($TLF < 5\ \mu s$) tous fondeurs confondus. Cependant, les transistors GaN Systems montrent parfois une excellente robustesse, car certains composants ont des *TLF* supérieurs à la milliseconde (presque systématiquement pour une tension de bus de $270\,V$, et environ une fois sur deux pour une tension de 400V).

Ces essais de court-circuit ont mis en évidence une très forte dispersion, en particulier chez le fondeur GaN Systems, et aussi une évolution importante de la robustesse selon les lots, au fil des années. Il a été difficile de quantifier l'impact de la résistance de grille et de la tension grille-source sur la robustesse à cause de cette dispersion. Cependant, la littérature indique que la tension $V_{GS}$ influence fortement la robustesse : réduire légèrement ce paramètre peut permettre de passer le test des $10\ \mu s$ sous $400\,V$. En revanche, j'ai montré que le courant de grille augmentait avec la tension drain-source.

Les *HEMTs* P-GaN de type *GIT* du fondeur Panasonic sont très fragiles sous $400$ V, car leurs *TLF* sont inférieurs à $300$ ns. Ils présentent toutefois une robustesse exceptionnelle sous $270$ V car ils sont capables d'autolimiter le courant jusqu'à stopper le court-circuit.

Les composants du CEA/LETI ont montré une faible robustesse mais toutefois meilleure que les composants les moins robustes de GaN System avec des *TLF* de l'ordre de la microseconde.

Enfin, les transistors cascode Transphorm ont pour la grande majorité oscillé de façon très prononcée, il est impossible de leur attribuer un *TLF*. Quelques essais réalisés sous basse tension n'ont pas présenté d'oscillations ; on constate alors que le courant de drain ne se réduit pas aussi significativement que chez les P-GaN durant l'essai de court-circuit, ce qui augmente la puissance dissipée au début du court-circuit et tend à réduire la robustesse.

Ces essais montrent donc que les transistors GaN ayant été testés nécessitent une protection rapide (quelques centaines de nanosecondes environ) pour survivre à un épisode de court-circuit.

Toutefois, les transistors GaN (et en particulier les *HEMTs* P-GaN à contact schottky ou à contact ohmique) pourraient être extrêmement robustes, car en court-circuit, leur courant de drain se réduit drastiquement dès le début de l'essai – hors structure cascode. En effet, l'échauffement du transistor provoque la diminution de la mobilité des porteurs de charge, ce qui réduit le courant de drain. En parallèle, cette augmentation de température provoque l'augmentation du courant de grille, ce qui diminue la tension grille-source et donc également le courant de drain. Une excellente robustesse a ainsi été observée sous $400\,V$ pour les composants GaN System et sous $270\,V$ pour les composants Panasonic.

Lorsque les procédés de fabrication seront plus matures, il est probable que la robustesse de ces composants s'améliore encore, et que leur dispersion se réduise.

# Chapitre IV - Caractérisations statiques

## 1. Introduction

Dans le chapitre précédent, nous avons observé une très forte dispersion sur la robustesse en court-circuit. Suite aux premiers essais réalisés avec le banc n°1, j'ai cherché un moyen de prédire la robustesse d'un transistor à partir de caractérisations préliminaires non destructives. Nous imaginions à l'époque pouvoir corréler les dispersions observées à des différences de caractéristiques électriques. Pour cela, j'ai mené deux séries de mesures :

- une première pour évaluer la tension de seuil $V_{TH}$, la caractéristique $I_D=f(V_{DS})$ pour différents $V_{GS}$, le courant de fuite de grille $I_{GSS}$ et le courant de fuite de drain $I_{DSS}$ ;

- une seconde centrée sur le courant de collapse à travers le phénomène du drain lag.

Cette seconde série de mesures est motivée par l'importance du phénomène de piégeage de charges dans les transistors GaN, en particulier chez le fondeur GaN Systems [43]. Tous les tests ont été menés avec un traceur de caractéristiques. Pour les tests de collapse, j'ai utilisé un module spécifique du traceur. En tout, j'ai testé 18 transistors du fondeur GaN Systems (6 transistors GS66506T, 5 transistors GS66508T, et 7 transistors GS66516T). Pour une référence donnée, les transistors ne sont pas tous issus du même lot. Certains transistors ont déjà subi quelques essais de court-circuit, et certains ont oscillé. Cela sera précisé dans chaque partie.

Ensuite, j'ai fait subir aux transistors un essai de court-circuit destructif et j'ai tenté de corréler les résultats de chaque caractérisation à la robustesse et aussi aux formes d'ondes de court-circuit obtenues. Aucune corrélation nette n'a été trouvée.

## 2. Caractérisations statiques

### 2.1 Méthodologie

Les caractérisations statiques ont été réalisées à l'aide d'un traceur de caractéristiques (Keysight B1505A). Pour éviter l'échauffement des puces, l'instrument envoie une série de pulses en faisant varier la tension $V_{DS}$ ou la tension $V_{GS}$ entre deux pulses (Figure 150).

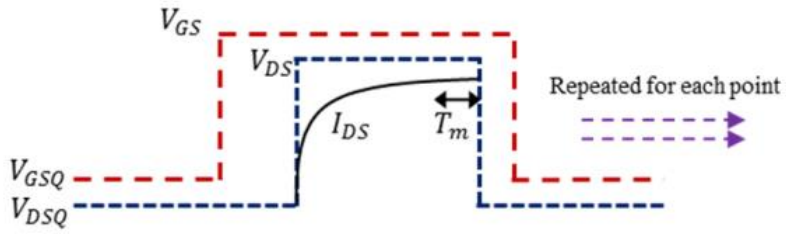



*Figure 150 : fonctionnement des mesures pulsées du traceur de caractéristiques. $V_{GSQ}$ : tension grille-source appliquée à l'état bloqué ; $V_{DSQ}$ : tension drain-source appliquée à l'état bloqué ; $T_m$ : durée de mesure du courant de drain (tiré de [43]).*

La durée qui s'écoule entre deux pulses, la durée d'un pulse, mais aussi la durée $T_m$ pendant laquelle l'appareil mesure le courant[3] impactent fortement les courbes obtenues, comme le montre la partie 8 des

[3] Le traceur fait une moyenne des valeurs mesurées durant la durée $T_m$.

annexes. Ceci est spécifique aux transistors GaN comme décrit dans la thèse de Fadi Zaki [43]. Les mesures peuvent être instables et il est nécessaire d'attendre un certain temps entre deux mesures. Cet effet est lié au piégeage de charge : il faut attendre que le transistor revienne à son état initial. Si l'on n'attend pas une durée suffisante, les mesures ne sont pas répétables.

## 2.2 Résultats

Tous les essais ont été réalisés à température ambiante. J'ai réalisé, dans l'ordre : la mesure de la tension de seuil ($V_{TH}$), la mesure de la caractéristique $I_D = f(V_{DS})$, le test de courant de grille ($I_{GSS}$) et enfin la mesure du courant de fuite de drain ($I_{DSS}$). J'ai choisi cet ordre car la mesure du courant de fuite de drain contraint fortement le transistor puisqu'il faut appliquer une tension $V_{DS} = 600\,V$. Cela va activer des pièges dans les transistors et risquerait de fausser les autres tests.

J'ai ensuite soumis chaque transistor à un essai destructif de court-circuit et j'ai relevé la durée avant défaillance (Tableau 22).

*Tableau 22 : durées avant défaillance (TLF) pour chaque transistor caractérisé.*

| | | | | | | | | |
|---|---|---|---|---|---|---|---|---|
| GS66506T | Réf. | *21* | *23* | *22* | *13* | *12* | *14* | |
| | TLF (µs) | 0,46 | 0,46 | 0,47 | 0,58 | 0,66 | 0,69 | |
| GS66508T | Réf. | *22* | *07* | *23* | *A5* | *21* | | |
| | TLF (µs) | 0,2 | 0,58 | 0,7 | 350 | 570 | | |
| GS66516T | Réf. | *B4* | *21* | *B2* | *B1* | *C1* | *B5* | *B6* |
| | TLF (µs) | 0,45 | 0,98 | 1,07 | 451 | 524 | 590 | 850 |

La référence GS66506T montre une faible robustesse et assez peu de dispersion (la moyenne des TLF vaut 0,6 µ$s$ et l'écart-type 0,1 µ$s$). En revanche, les références GS66508T et GS66516T présentent une robustesse très disparate, avec des transistors très peu robustes ($TLF < 1$ µ$s$) et d'autres extrêmement robustes ($TLF > 300$ µ$s$).

### 2.2.1 Tension de seuil $V_{TH}$

#### 2.2.1.1 Mesure de la caractéristique $I_D = f(V_{GS})$

La durée qui s'écoule entre deux pulses vaut 1,0 $s$, la durée d'un pulse est fixée à 100 µ$s$ et la durée de mesure à 40 µ$s$. J'ai mesuré le courant de drain en fonction de la tension $V_{GS}$, en fixant la tension $V_{DS}$ à 1,0 $V$. La Figure 151 montre cette mesure pour les transistors GS66506T, la Figure 152 pour les transistors GS66508T et la Figure 153 pour les transistors GS66516T.

Encore une fois, je constate une très forte dispersion, qui est homogène pour les trois références. Il arrive cependant que deux ou trois composants présentent presque la même caractéristique, mais cela est rare.

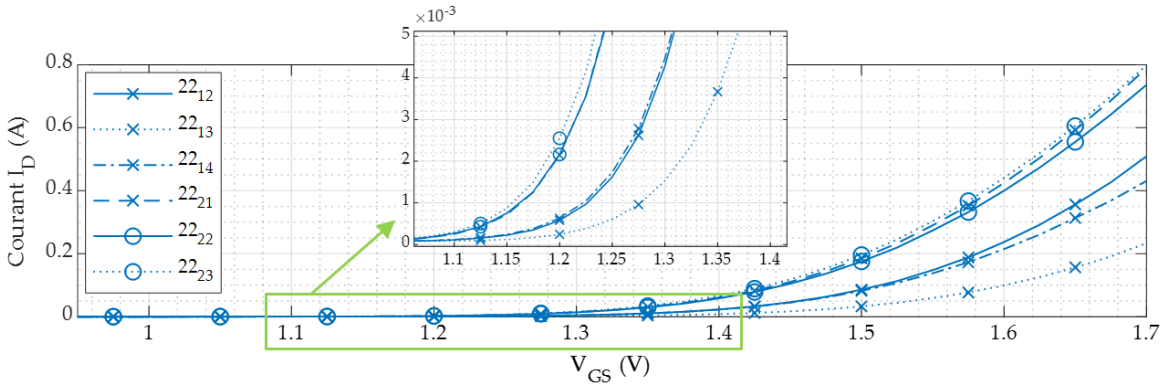



*Figure 151 : mesure de la tension de seuil pour les transistors GS66506T.*

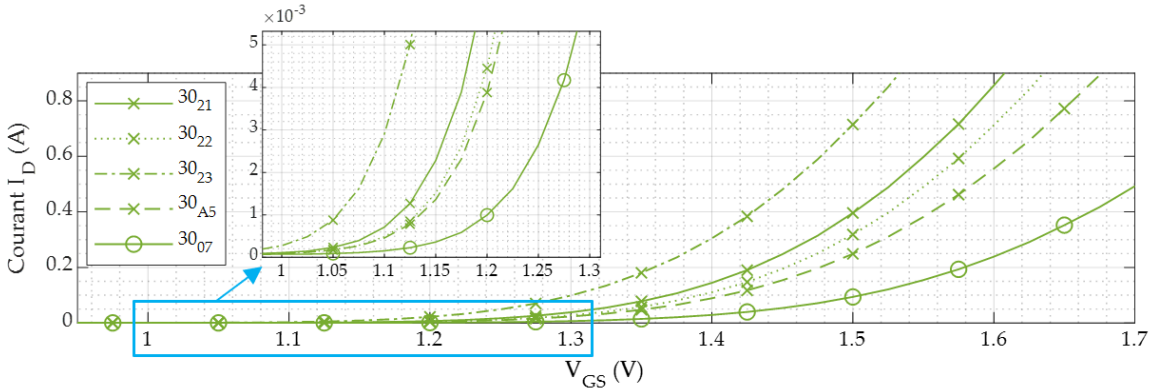



*Figure 152 : mesure de la tension de seuil pour les transistors GS66508T.*

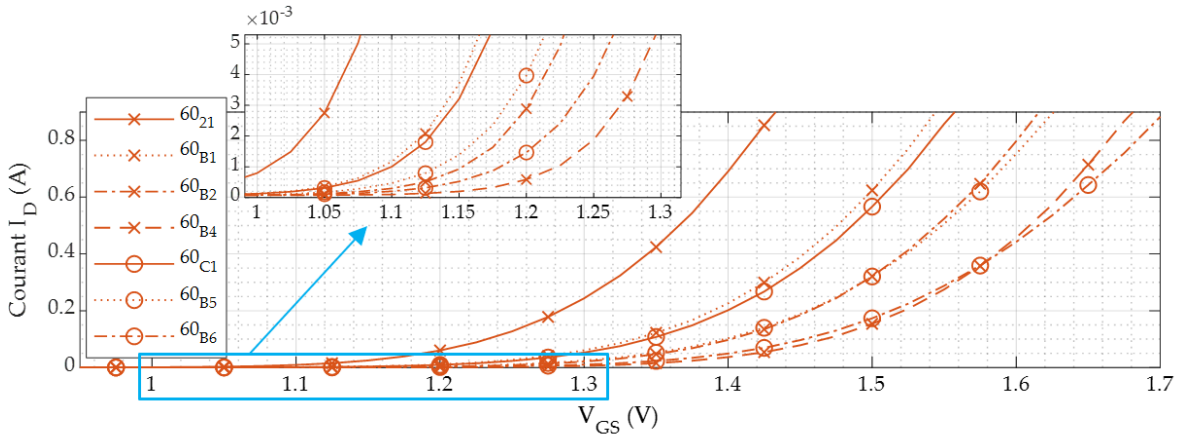



*Figure 153 : mesure de la tension de seuil pour les transistors GS66516T.*

### 2.2.1.2 Corrélation avec la robustesse

J'ai relevé la valeur de la tension de seuil pour un courant de drain $I_D = 6\ mA$ et j'ai cherché à voir s'il existait un lien entre ce paramètre et la durée avant défaillance constatée lors des essais destructifs en court-circuit. La Figure 154 présente les résultats. J'ai relevé la moyenne et l'écart-type des tensions de seuil, référence par référence (Tableau 23).

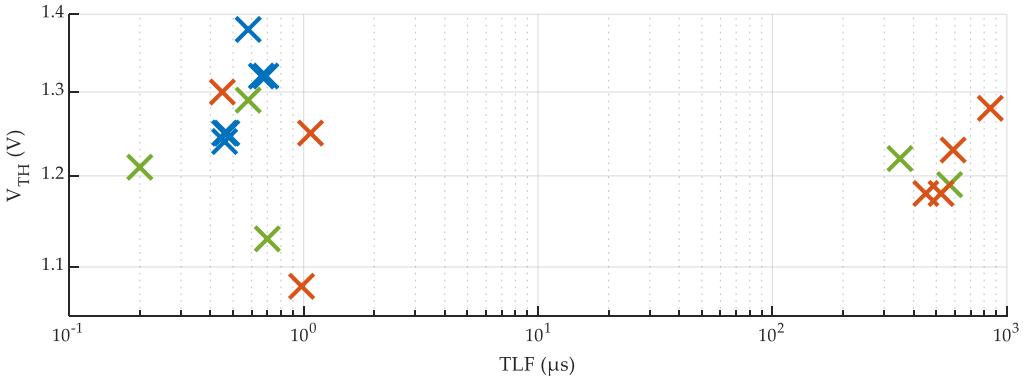



*Figure 154 : tension de seuil pour les transistors GS66506T (en bleu), GS66508T (en vert) et GS66516T (en orange) en fonction du TLF.*

*Tableau 23 : moyenne et écart-type des tensions de seuil pour les transistors GS66506T, GS66508T et GS66516T.*

| | **GS66506T** | **GS66508T** | **GS66516T** |
|---|---|---|---|
| **Moyenne (V)** | 1,29 | 1,21 | 1,21 |
| **Ecart type (V)** | 0,06 | 0,06 | 0,08 |

Les transistors GS66506T ont tous des *TLF* très petits et assez peu dispersés (Tableau 23), et les valeurs prises par la tension de seuil sont assez peu dispersées (elles s'étalent entre $1{,}24\ V$ et $1{,}38\ V$). Chez les transistors GS66508T, les *TLF* sont bien plus dispersés, avec des composants très robustes et d'autres très fragiles. Pour autant, les tensions de seuil des composants robustes ou fragiles prennent des valeurs comparables et la dispersion est semblable à celles des transistors GS66506T. On constate le même comportement pour les transistors GS66516T, avec cependant une dispersion plus forte. Ainsi, il n'y a pas de corrélation nette entre la tension de seuil et le *TLF*. Il semble que ce paramètre n'influe pas directement sur la robustesse.

### 2.2.2 $I_D = f(V_{DS})$

#### 2.2.2.1 Mesures

Les paramètres de mesure restent inchangés (la durée qui s'écoule entre deux pulses vaut $1{,}0\ s$, la durée d'un pulse est fixée à $100\ \mu s$ et la durée de mesure à $40\ \mu s$). Le traceur de caractéristiques étant limité à $20\ A$, j'ai fait varier $V_{GS}$ dans une plage restreinte (de $2{,}0\ V$ à $3{,}25\ V$) avec un pas de $250\ mV$, ce qui donne six courbes $I_D = f(V_{DS})$.

La Figure 155 présente ces courbes pour les transistors GS66516T. La dispersion est flagrante, car si les transistors se comportaient de manière identique, les courbes de chaque transistor seraient superposées pour une valeur de $V_{GS}$ donnée. Nous ne verrions que 6 courbes par graphe, ce qui n'est pas le cas.

Il arrive même souvent qu'une courbe avec un faible $V_{GS}$ passe au-dessus d'une autre avec un $V_{GS}$ plus élevé. Il faut noter malgré tout que l'ordre des transistors se conserve presque toujours pour chaque $V_{GS}$, c'est-à-dire que le transistor présentant le plus fort courant de drain pour un $V_{GS}$ donné, possède aussi le plus fort courant pour toutes les autres valeurs de $V_{GS}$.

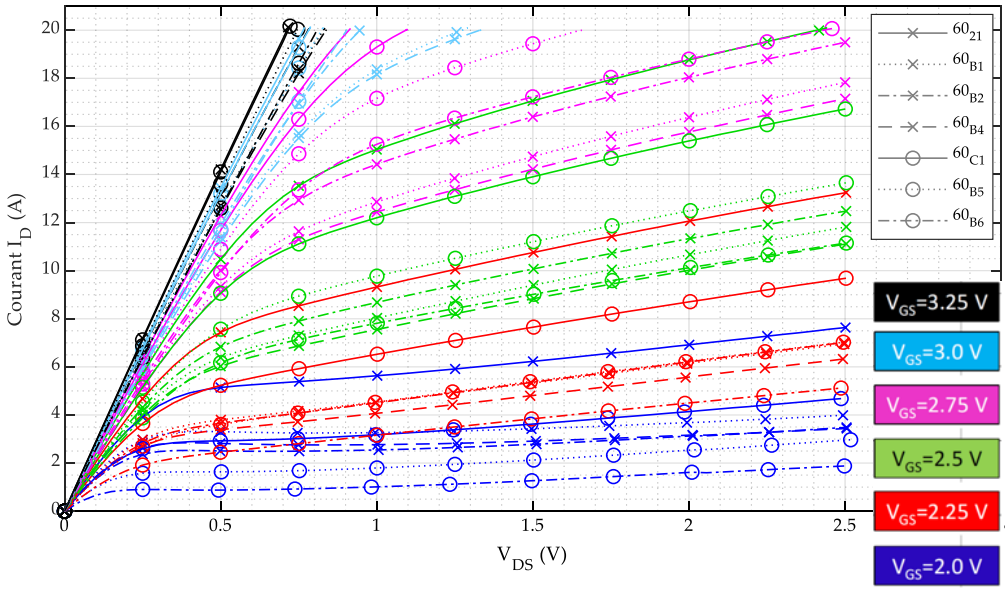



*Figure 155 : caractéristique $I_D = f(V_{DS})$ pour les transistors GS66516T.*

La Figure 156 présente ces courbes pour les transistors GS66508T. On constate également une très forte dispersion et un comportement semblable, à la différence près que les courant sont plus faibles, ce qui s'explique par le fait que la résistance à l'état passant des transistors GS66508T est plus élevée que celle des transistors GS66516T (50 $m\Omega$ contre 25 $m\Omega$ à 25°$C$ et $V_{GS} = 6{,}0\ V$).

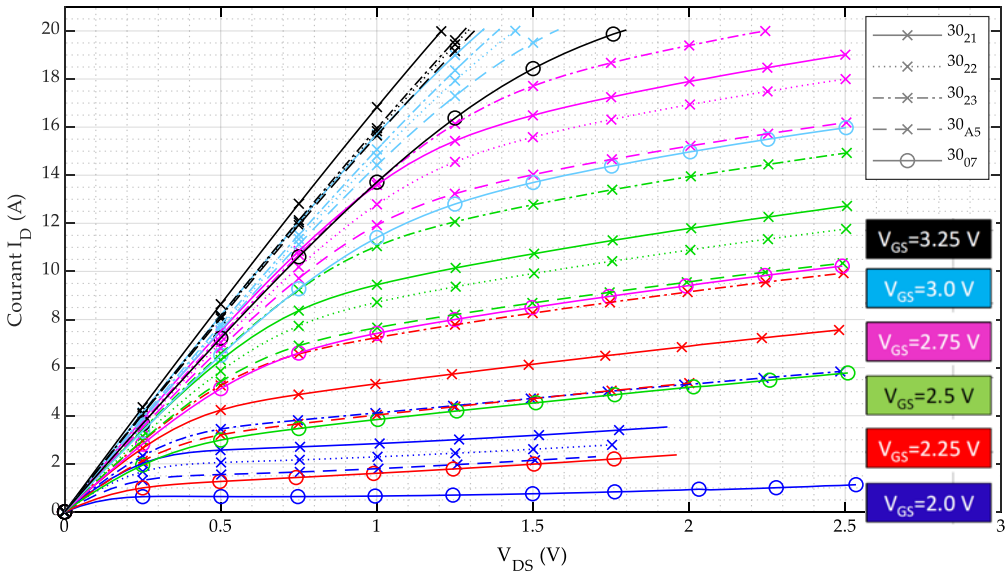



*Figure 156 : caractéristique $I_D = f(V_{DS})$ pour les transistors GS66508T.*

Enfin, si l'on observe la Figure 157 (transistors GS66506T), on note que les caractéristiques de cette référence se croisent nettement moins que celles des références GS66516T et GS66508T : les courbes correspondant à un certain $V_{GS}$ ne se mélangent pas avec d'autres courbes correspondant à un autre $V_{GS}$. Les courants sont encore plus faibles que les deux graphes précédents car la résistance à l'état passant est plus forte (67 $m\Omega$ ici).

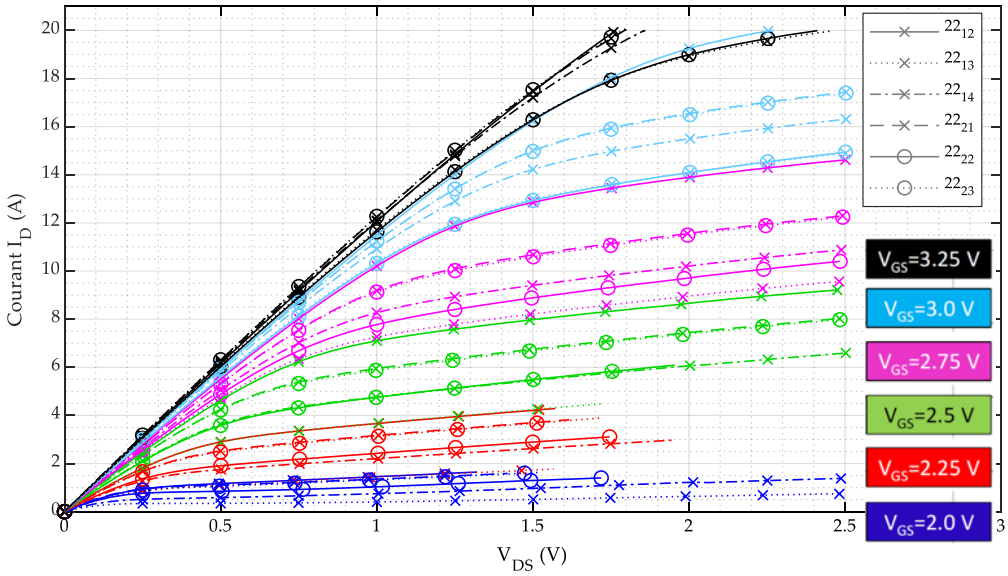



*Figure 157 : caractéristique $I_D = f(V_{DS})$ pour les transistors GS66506T.*

### 2.2.2.2 Corrélation entre le courant de saturation et la tension de seuil $V_{TH}$

J'ai relevé la valeur du courant de saturation pour $V_{DS} = 1{,}5\ V$ et $V_{GS} = 2{,}5\ V$ et j'ai cherché s'il existait un lien entre ce paramètre et la tension de seuil $V_{TH}$. La Figure 158 présente les résultats. Les droites de régression linéaire bleue, verte et orange correspondent respectivement aux références GS66506T, GS66508T et GS66516T. Au vu des valeurs de $R^2$, on voit que l'ajustement est très mauvais pour les GS66506T, très bon pour les GS66508T et médiocre pour les GS66516T.

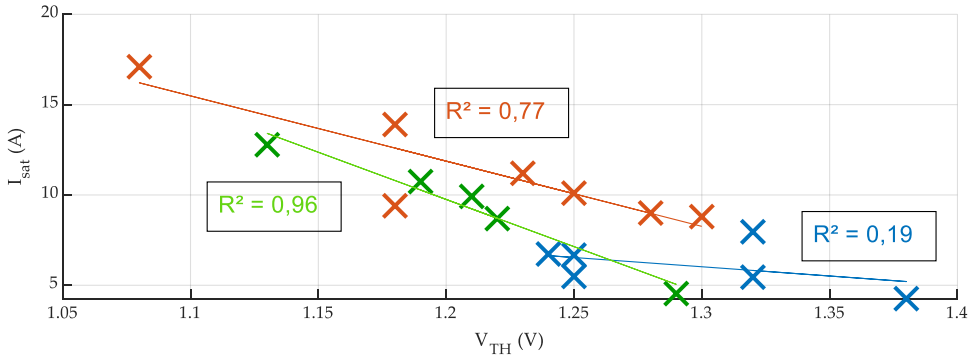



*Figure 158 : courant de saturation pour les transistors GS66506T (en bleu), GS66508T (en vert) et GS66516T (en orange) en fonction de la tension de seuil.*

J'ai relevé la moyenne et l'écart-type des courants de saturation, référence par référence (Tableau 24).

*Tableau 24 : moyenne et écart-type des courants de saturation pour les transistors GS66506T, GS66508T et GS66516T.*

| | GS66506T | GS66508T | GS66516T |
|---|---|---|---|
| **Moyenne (A)** | 6,1 | 9,3 | 11,4 |
| **Ecart type (A)** | 1,3 | 3,1 | 3,1 |

La valeur moyenne du courant de saturation augmente avec le calibre des transistors (dans l'ordre croissant des calibres en courant, on trouve les GS66506T, les GS66508T et enfin les GS66516T). Les

transistors GS66508T et GS66516T ont des courants de saturation plus dispersés que les transistors GS66506T. Il est probable qu'il y ait une corrélation entre le courant de saturation est la tension de seuil, mais cette dernière n'est pas très nette.

#### 2.2.2.3 Corrélation entre le courant de saturation et la robustesse

Dans cette partie, je cherche s'il existe une corrélation entre le courant de saturation et le *TLF* des transistors mesurés lors des essais de court-circuit destructifs. La Figure 159 présente les résultats.

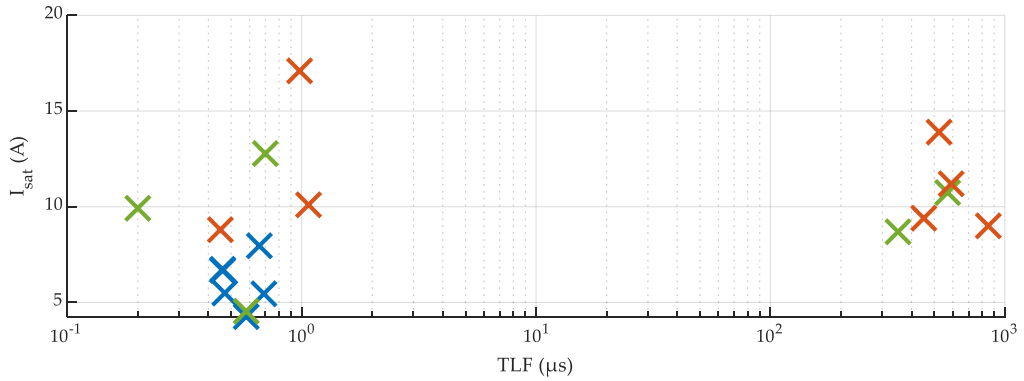



*Figure 159 : courant de saturation pour les transistors GS66506T (en bleu), GS66508T (en vert) et GS66516T (en orange) en fonction du TLF ($V_{DS} = 1{,}5\ V$ et $V_{GS} = 2{,}5\ V$).*

Les courants de saturation de la référence GS66506T ne montrent pas de corrélation avec le *TLF*. Concernant les transistors GS66508T et les GS66516T, les courants de saturation sont semblables, que le transistor montre une grande robustesse ou une faible robustesse. Il n'y a donc pas de corrélation nette entre le courant de saturation et le *TLF*.

### 2.2.3 Courant de grille $I_{GSS}$

#### 2.2.3.1 Mesures

J'ai mesuré le courant de grille en fixant la tension $V_{DS}$ à $0\ V$ et en appliquant une tension croissante sur la grille, sans dépasser $V_{GS} = 6{,}0\ V$ pour ne pas l'endommager. La Figure 160 montre cette mesure pour les transistors GS66506T, la Figure 161 pour les transistors GS66508T et la Figure 162 pour les transistors GS66516T. Les courants mesurés sont de l'ordre de 100 µA sous une tension $V_{GS} = 6\ V$, ce qui est normal car la grille est constituée par un contact schottky entre un métal et une couche de p-GaN.

La dispersion est très nette, pour chaque référence de transistor.

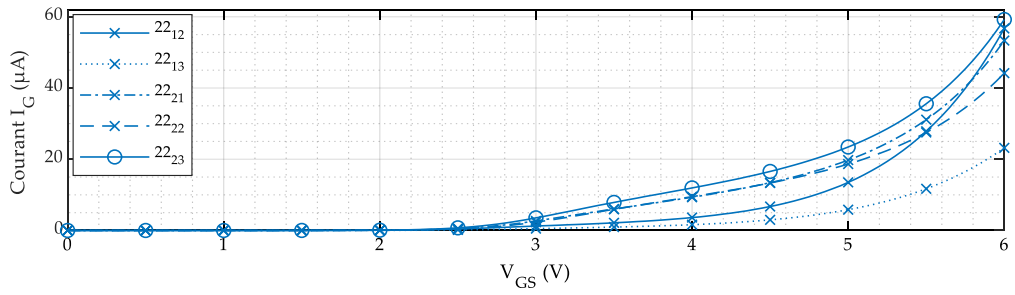



*Figure 160 : courant de grille $I_{GSS}$ pour les transistors GS66506T.*

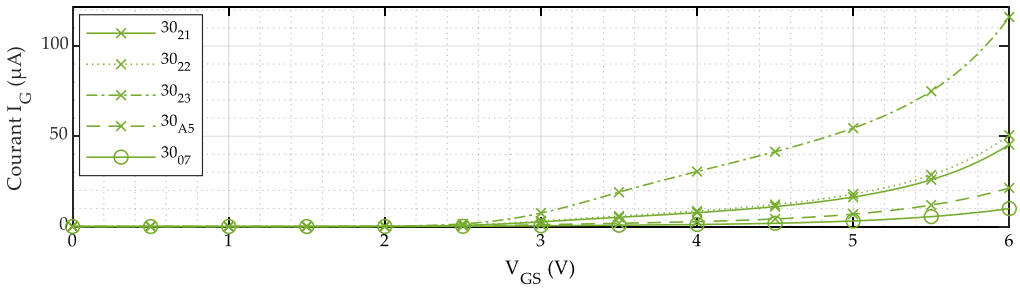



*Figure 161 : courant de grille $I_{GSS}$ pour les transistors GS66508T.*

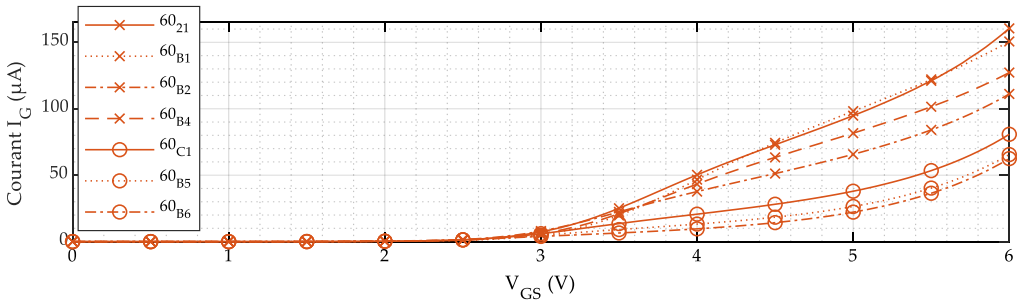



*Figure 162 : courant de grille $I_{GSS}$ pour les transistors GS66516T.*

Le courant de grille augmente fortement à partir de $V_{GS} = 2{,}5\ V$ environ. Les transistors GS66516T présentent des valeurs plus élevées en moyenne que les deux autres références (Figure 162).

Sur la Figure 160, le courant de grille du transistor n°14 n'est pas montré car il a augmenté très rapidement et sort du fenêtrage de l'appareil dès $V_{GS} = 0{,}1\ V$. Ce transistor était pourtant neuf avant la caractérisation et il a pu subir un essai destructif normal par la suite (le TLF vaut $0{,}69\ \mu s$). Par ailleurs, les transistors n°12 et n°13 montrent les courants de grille les plus faibles, pourtant ces deux derniers ont subi un essai de court-circuit non-destructif avant les caractérisations, durant lequel ils ont oscillé. Toujours sur cette figure, les transistors n°21 et n°22 ont subi un court-circuit avant caractérisation mais leurs courants de grille ne sortent pas du lot.

Sur la Figure 161, le transistor n°23 présente un courant de grille supérieur aux autres, pourtant c'est le seul à ne pas avoir subi de court-circuit non destructif avant les caractérisations.

Enfin, on note que les courants mesurés restent très inférieurs aux valeurs typiques données par le fondeur ($120\ \mu A$ pour les GS66506T, $160\ \mu A$ pour les GS66508T et $320\ \mu A$ pour les GS66516T pour un $V_{GS} = 6{,}0\ V$).

### 2.2.3.2 Corrélation avec le comportement en court-circuit

Je présente dans cette partie les courants de grille mesurés lors des essais destructifs, afin de voir s'il y a un lien avec le courant de grille mesuré lors des caractérisations statiques. La Figure 163 montre ce courant de grille pour les transistors GS66506T. Sur cette figure, le seul transistor dont le courant de grille sort du lot en court-circuit est le n°14. Il s'agit justement du transistor qui avait montré un courant de grille extrêmement élevé lors des caractérisations statiques, à tel point qu'il n'était pas montré sur la Figure 160.

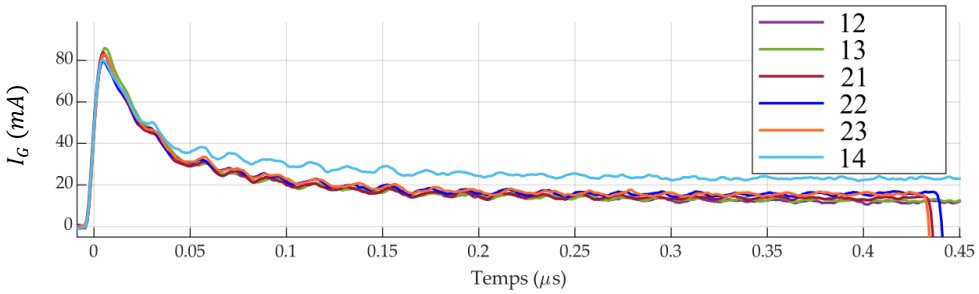



*Figure 163 : courants de grille des transistors GS66506T lors des essais de court-circuit. La défaillance des composants n'est pas montrée.*

La Figure 164 présente les courants de grille en court-circuit pour les transistors GS66508T. On constate que le transistor n°23 présente le courant de grille le plus faible en court-circuit, alors qu'il avait le courant le plus élevé lors des caractérisations statiques (Figure 161). Au contraire, le transistor n°22 présente le courant de grille le plus élevé en court-circuit, alors qu'il avait le courant le plus faible lors des caractérisations statiques. Une étude de l'ordre des courbes n'a montré aucune corrélation.

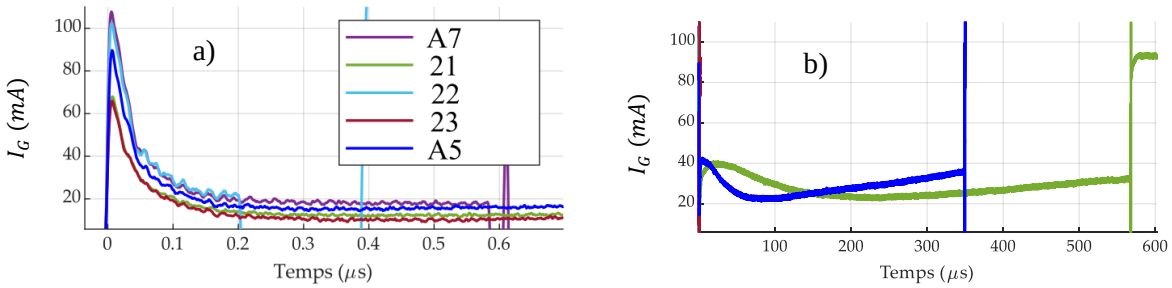



*Figure 164 : courants de grille des transistors GS66508T lors des essais de court-circuit. a) zoom sur le début des essais ; b) essais complets.*

Enfin, la Figure 165 présente les courants de grille en court-circuit pour les transistors GS66516T. On remarque que le courant de grille en court-circuit du transistor n°B1 prend la plus forte valeur de la série, or ce transistor était aussi celui qui présentait le courant de grille maximal lors des caractérisations (Figure 162). A l'inverse, les transistors n°B5 et B6 présentent les courants les plus faibles, et ces derniers présentaient aussi les courant de grille les moins élevés lors des caractérisations. Si l'on regarde le début des courts-circuits, on constate que les transistors n°B4 et B5 ont un courant de grille supérieur aux autres composants autour de $0{,}1\ \mu s$, or le transistor n°B4 avait un courant de grille élevé lors des caractérisations ; cependant, le transistor n°B5 avait, lui, un courant de grille élevé lors de ces tests, ce qui n'est pas cohérent.

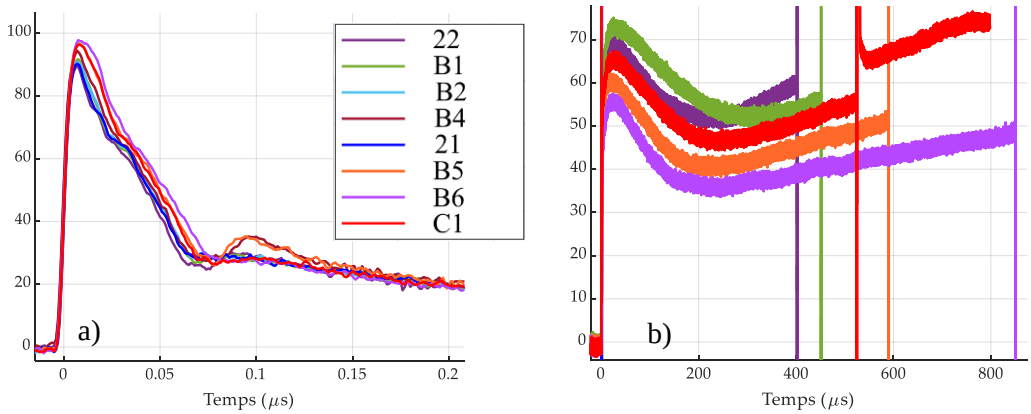



*Figure 165 : courants de grille des transistors GS66516T lors des essais de court-circuit. a) zoom sur le début des essais ; b) essais complets.*

Le courant de grille relevé en court-circuit prend des valeurs importantes lorsque le transistor s'échauffe fortement, alors que les mesures du courant de grille faites avant les essais destructifs ont été faites à température ambiante. Il n'y a donc pas forcément de lien entre les deux, ce qui peut expliquer le fait que nous n'ayons pas observé de corrélation nette.

### 2.2.3.3 Corrélation avec la robustesse

J'ai relevé la valeur du courant de grille avec le traceur de caractéristiques pour une tension $V_{GS} = 5{,}0\ V$ et j'ai cherché à voir s'il existait un lien entre ce paramètre et la durée avant défaillance constatée lors des essais destructifs en court-circuit. La Figure 166 présente les résultats. J'ai relevé la moyenne et l'écart-type des tensions de seuil, référence par référence (Tableau 25).

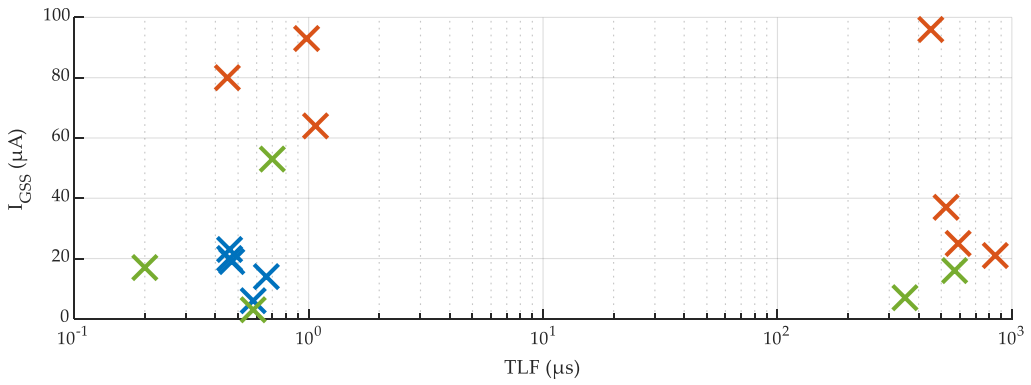



*Figure 166 : courant de grille pour les transistors GS66506T (en bleu), GS66508T (en vert) et GS66516T (en orange) en fonction du TLF ($V_{GS} = 5{,}0\ V$).*

*Tableau 25 : moyenne et écart-type des courant de grille pour les transistors GS66506T, GS66508T et GS66516T.*

| | GS66506T | GS66508T | GS66516T |
|---|---|---|---|
| **Moyenne (µA)** | 16,4 | 19,2 | 59,4 |
| **Ecart type (µA)** | 7 | 20 | 32 |

Les transistors GS66506T présentent des courants de grille plus faibles (de 6 $mA$ à 23 $mA$) et moins dispersés que les deux autres séries, et ont les plus petits *TLF*. Les transistors GS66508T ont des courants plus dispersés (Tableau 25) et plus élevés (de 3 $mA$ à 53 $mA$), et les transistors GS66516T montrent

encore plus de dispersion et des courants encore plus grands (21 $mA$ à 96 $mA$). Cependant, le courant de grille n'évolue pas de façon monotone avec le *TLF* et je n'ai trouvé aucune corrélation nette entre la tension de seuil et le *TLF*. Il semble ici aussi que ce paramètre n'influe pas directement sur la robustesse.

## 2.2.4 Courant de fuite de drain $I_{DSS}$

### 2.2.4.1 Mesures

La mesure du courant de fuite de drain est réalisée avec une tension $V_{GS}$ fixée à $0\,V$, et la tension $V_{DS}$ est balayée par le traceur de $0\,V$ à $600\,V$. La mesure de ce courant est visible en Figure 167 pour les transistors GS66506T, les GS66508T sont sur la Figure 168, et enfin les GS66516T sont visibles sur la Figure 169.

Pour toutes les références, le courant de fuite de drain se met à augmenter entre $300\,V$ et $400\,V$. Au-delà de cette plage de tension, les courbes divergent, ce qui montre encore une fois une forte dispersion. Il est fréquent que les courbes se croisent.

Concernant les transistors GS66506T (Figure 167), le composant n°14 sort du lot car il voit son courant de drain augmenter significativement pour de faibles valeurs de $V_{DS}$, pour ensuite stagner. Ce transistor n'a pourtant subi aucun essai de court-circuit avant cette caractérisation. Par ailleurs, on constate que le transistor n°12 voit son courant de fuite augmenter bien plus que les autres à partir de $V_{DS} = 525\,V$. Ce transistor avait déjà subi un essai de court-circuit non destructif avant les caractérisations statiques, et il avait oscillé. Il pourrait y avoir un lien entre son comportement en court-circuit et son courant de fuite de drain.

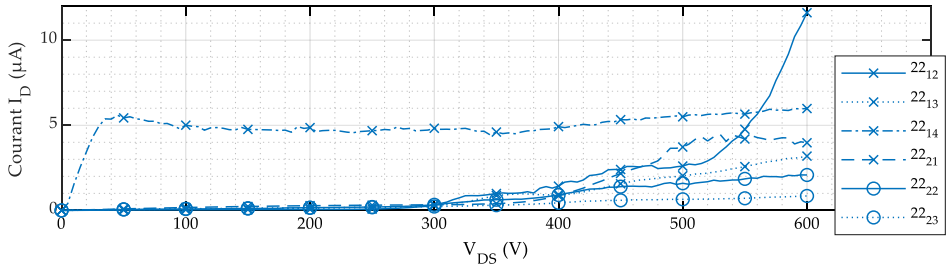



*Figure 167 : courant de fuite de drain $I_{DSS}$ pour les transistors GS66506T.*

Sur la Figure 168, on voit que le transistor n°A5 a un comportement instable. Ce dernier avait déjà subi un essai de court-circuit non destructif avant les caractérisations statiques, et il avait oscillé. Il pourrait y avoir un lien entre son comportement en court-circuit et son courant de fuite de drain. Les transistors n° 21, 22 et 07 ont tous les trois subi un essai de court-circuit non-destructif avant la caractérisation, et pourtant leurs courants de fuite de drain ne sortent pas du lot.

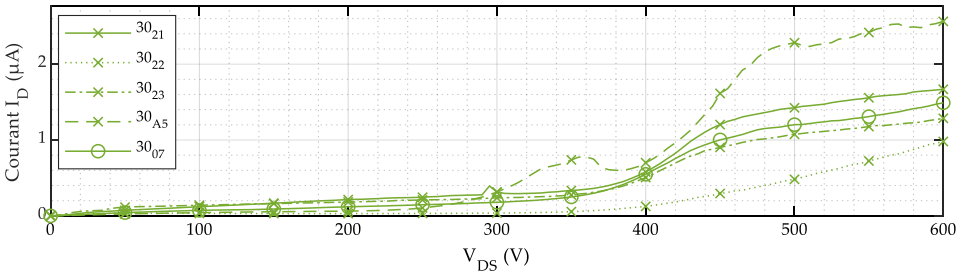



*Figure 168 : courant de fuite de drain $I_{DSS}$ pour les transistors GS66508T.*

Concernant les transistors GS66516T (Figure 169), on constate qu'au-delà de $350\,V$, le transistor GS66516T n°B6 (Figure 169) voit son courant de fuite de drain augmenter de manière prononcée par rapport aux autres composants. Pour autant, ce transistor a montré une robustesse excellente ($TLF = 850\ \mu s$) (Tableau 22).

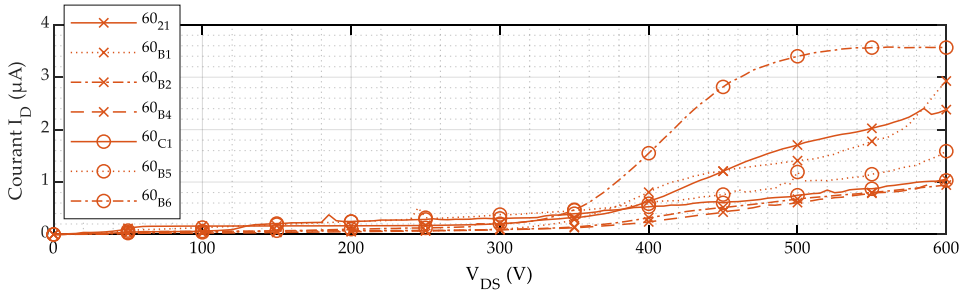



*Figure 169 : courant de fuite de drain $I_{DSS}$ pour les transistors GS66516T.*

Enfin, on note que les courants de fuite de drain mesurés restent très petits par rapport aux valeurs maximales données par le fondeur ($38\ \mu A$ pour les GS66506T, $50\ \mu A$ pour les GS66508T et $100\ \mu A$ pour les GS66516T pour un $V_{DS} = 650\ V$). Mes essais ont été faits avec une tension plus basse ($600\ V$) pour ne pas endommager les transistors. En revanche, si on regarde les valeurs typiques du fondeur ($1{,}5\ \mu A$ pour les GS66506T, $2{,}0\ \mu A$ pour les GS66508T et $4{,}0\ \mu A$ pour les GS66516T pour un $V_{DS} = 650\ V$), on constate que les transistors GS66506T présentent un courant largement supérieur à la valeur typique en moyenne ($4{,}6\ \mu A$). Pour les transistors GS66508T et GS66516T, les valeurs expérimentales restent inférieures aux valeurs typiques.

### 2.2.4.2 Corrélation avec la robustesse

J'ai relevé la valeur du courant de fuite de drain pour une tension $V_{DS} = 600\ V$ et j'ai cherché à voir s'il existait un lien entre ce paramètre et la durée avant défaillance constatée lors des essais destructifs en court-circuit. La Figure 170 présente les résultats. J'ai relevé la moyenne et l'écart-type des tensions de seuil, référence par référence (Tableau 26).

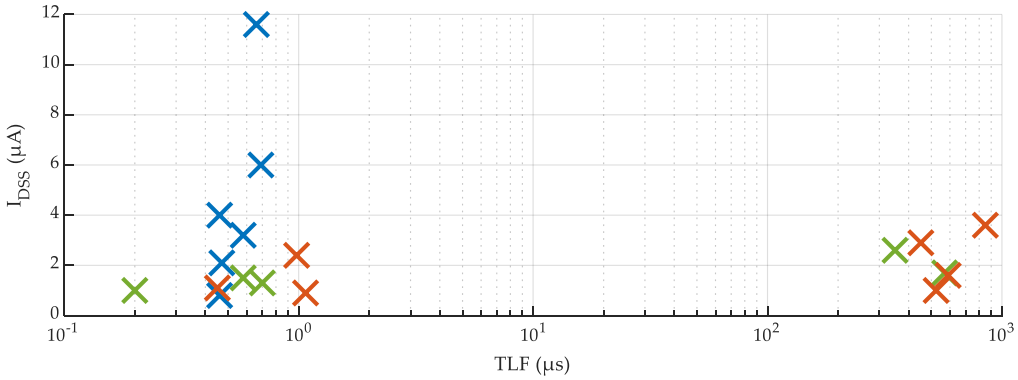



*Figure 170 : courant de fuite de drain pour les transistors GS66506T (en bleu), GS66508T (en vert) et GS66516T (en orange) en fonction du TLF.*

*Tableau 26 : moyenne et écart-type des courants de fuite de drain pour les transistors GS66506T, GS66508T et GS66516T.*

| | **GS66506T** | **GS66508T** | **GS66516T** |
|---|---|---|---|
| **Moyenne (µA)** | 4,6 | 1,6 | 1,9 |
| **Ecart type (µA)** | 3,8 | 0,6 | 1,1 |

On constate tout d'abord que ce courant ne varie pas de façon monotone avec le *TLF*. La référence GS66506T montre des courants très dispersés variant de 0,8 µ$A$ à 11,6 µ$A$, alors que les *TLF* sont très peu dispersés dans cette référence. Les deux autres références présentent des courants beaucoup moins dispersés (Tableau 26). Pour ces deux dernières, les courants mesurés sont semblables, que le transistor soit très fragile ou très robuste. Je n'ai trouvé aucune corrélation nette entre le courant de fuite de drain et le TLF. Il semble encore une fois que ce paramètre n'influe pas directement sur la robustesse.

Par ailleurs, si on observe les graphes de la partie précédente, on constate que certains transistors ont un comportement très différent des autres (n°12 et n°14 pour les transistors GS66506T ; n°A5 pour les transistors GS66508T ; n°B6 pour les transistors GS66516T). On peut donc se demander si ces transistors ont un comportement particulier en court-circuit. Leurs *TLF* sont plus élevés que les autres transistors testés série par série, mais vu la dispersion des trois séries, il est impossible de dire si leur grande robustesse est liée à leur courant de fuite de drain atypique.

## 2.3 Synthèse des caractérisations statiques

J'ai mesuré la tension de seuil, la caractéristique $I_D = f(V_{DS})$, le courant de grille et le courant de fuite de drain sur 18 transistors du fondeur GaN Systems avant de réaliser pour chacun d'entre eux un essai de court-circuit destructif. La tension de seuil souffre d'une forte dispersion, et il n'y a pas de corrélation entre ce paramètre et la robustesse en court-circuit. Les caractéristiques $I_D = f(V_{DS})$ sont aussi très différentes d'un transistor à l'autre, et il y a une corrélation entre le courant de saturation et la tension de seuil pour les références GS66508T et GS66516T : plus la tension de seuil est faible, plus le courant de saturation est élevé. En revanche, aucune corrélation n'a été trouvée entre ce paramètre et le *TLF*. Les courants de grille mesurés sont très dispersés à partir de $V_{GS} = 3\,V$, et je n'ai observé aucune corrélation nette entre ces courants et les courants de grille relevés lors des essais de courts-circuits. De plus, la comparaison entre les courants de grille mesurés lors des caractérisations statiques et le *TLF* montre qu'il n'y pas de corrélation entre eux. Enfin, les courants de fuite de drain ont été mesurés. Ces derniers sont regroupés jusqu'à $V_{DS} = 300\,V$, puis ils s'écartent les uns des autres rapidement et sont très dispersés pour de fortes valeurs de la tension drain-source. Aucune corrélation n'a été trouvée entre la valeur du courant de fuite de drain et le TLF.

Les caractéristiques statiques de ces composants sont très dispersées, ce qui est aussi le cas dans l'article [64] de 2020, où Kozarik et al. tirent la même conclusion sur des *GIT* de Panasonic.

Ainsi, ces quatre caractérisations statiques réalisées sur une vingtaine de transistors ne permettent pas de prédire leur robustesse en court-circuit : les transistors très robustes ne présentent pas des caractéristiques très différentes des transistors très fragiles.

# 3. Caractérisation de collapse : mesure de drain lag

## 3.1 Phénomène de drain lag

Le *drain lag* est un phénomène transitoire lié à la présence de pièges dans les transistors *GaN*. Il apparait lorsque le drain est soumis à une variation de polarisation. Quand le transistor passe de l'état bloqué à l'état passant, le courant de drain met alors un certain temps avant de se stabiliser [43]. Tout se passe comme si le canal avait une réponse retardée. Les pièges responsables de ce phénomène ont des constantes de temps assez grandes et sont localisés soit dans la couche d'AlGaN, soit dans la couche de GaN, soit à l'interface entre le drain et la grille. On peut aussi voir ce phénomène à travers la résistance

passante du transistor : lors d'une commutation, cette dernière va diminuer petit à petit, comme le montre schématiquement la Figure 171. Un transistor à l'état bloqué supporte une certaine tension de drain. Lorsqu'on le rend passant, il va présenter une forte résistance, qui va diminuer progressivement. Tout se passe comme si le courant de drain mettait un certain temps avant d'atteindre sa valeur finale. On peut le voir comme un retard, d'où le nom de *drain lag*.

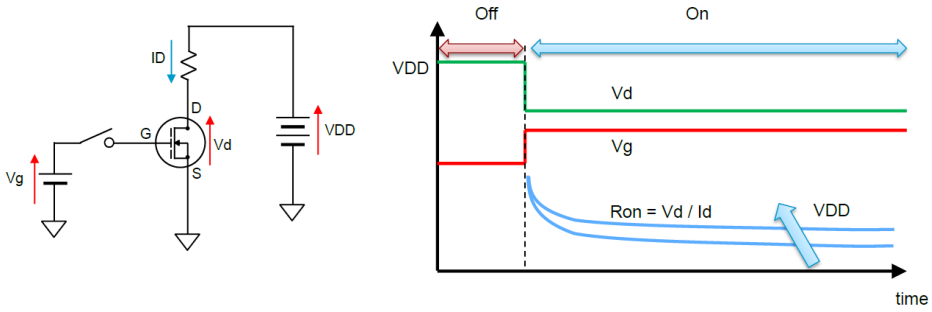



*Figure 171 : phénomène de courant de collapse [tiré du manuel du traceur B1505A].*

Le piégeage de charges et donc le phénomène de *collapse* est d'autant plus important que la tension drain-source appliquée sur le composant à l'état bloqué est importante (voir la partie 1.3 du chapitre I), ce qui explique l'allure des courbes $R_{ON} = f(t)$. L'autre facteur est la durée pendant laquelle cette tension est appliquée.

La Figure 172 montre des formes d'ondes expérimentales de *drain lag*.

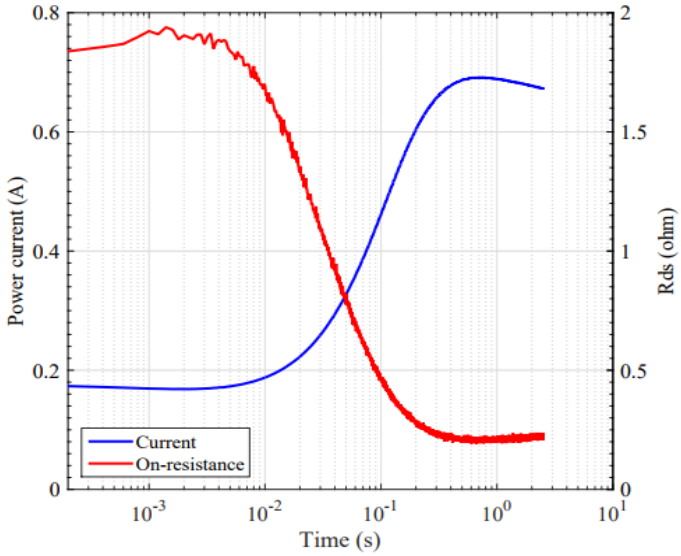



*Figure 172 : courant de drain (en bleu) et résistance à l'état passant (en rouge) lors d'un mesure de drain lag sur un transistor GaN Systems [43].*

## 3.2 Méthodologie

Pour caractériser qualitativement les pièges des transistors GaN Systems, j'ai mesuré le courant de drain de manière transitoire après un changement de polarisation du drain (méthode de la spectroscopie transitoire de courant décrite dans [105]).

La réponse des pièges dépend de plusieurs paramètres indiqués en Figure 173.

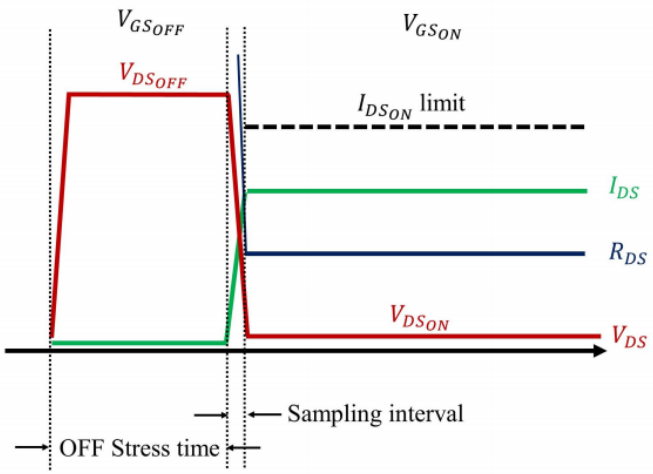



*Figure 173 : illustration des paramètres ayant une influence sur les pièges [43].*

Pour la tension de grille à l'état bloqué $V_{GS}(off)$, j'ai choisi la valeur la plus petite pour bloquer efficacement le transistor, soit ici $-6{,}0\ V$. La tension de grille à l'état passant $V_{GS}(on)$ est quant à elle choisie la plus faible possible pour limiter le courant de conduction et donc l'échauffement de la puce. La tension de grille à l'état passant $V_{GS}(on)$ doit cependant être supérieure à la tension de seuil. J'ai choisi une valeur de $+2{,}0\ V$. Concernant la tension drain-source, elle est fixée à $600\ V$ à l'état bloqué pour activer un maximum de pièges [43], et à $1{,}0\ V$ à l'état passant seulement pour limiter ici encore le courant de conduction. L'intervalle de mesure (IM) est la durée entre deux mesures du courant de drain. Je l'ai fixée à $25\ ms$, ce qui est suffisant vu la dynamique de ce courant. Enfin, le paramètre $t_{off}$ désigne la durée d'application de la tension $V_{DS}$ durant l'état bloqué, et vaut $1{,}0\ s$. Cette durée a été choisie après plusieurs essais, c'est un compromis permettant d'activer un maximum de pièges par rapport à la durée totale de mesure. Le Tableau 27 rassemble ces différents paramètres.

*Tableau 27 : paramètres appliqués pour le drain lag.*

| $V_{GS}(off)$ | $V_{GS}(on)$ | $V_{DS}(off)$ | $V_{DS}(on)$ | Intervalle de mesure (IM) | $t_{off}$ |
|---|---|---|---|---|---|
| $-6{,}0\ V$ | $+2{,}0\ V$ | $600\ V$ | $1{,}0\ V$ | $25\ ms$ | $1{,}0\ s$ |

Ces essais de drain lag ont été réalisés à l'IFSTTAR de Versailles Satory avec l'aide de Fadi Zaki et Zoubir Khatir. L'instrument de mesure utilisé est décrit en détails dans sa thèse (partie 3.3.2 de [43]), mais je n'ai pas utilisé le module chauffant. Tous les essais ont été réalisés à température ambiante.

## 3.3 Résultats

### 3.3.1 Essai très long sur un seul transistor

Afin d'illustrer le phénomène, j'ai commencé par réaliser un long essai de drain lag, présenté en Figure 174. On observe le courant de drain augmenter très lentement, et la résistance à l'état passant diminuer petit à petit.

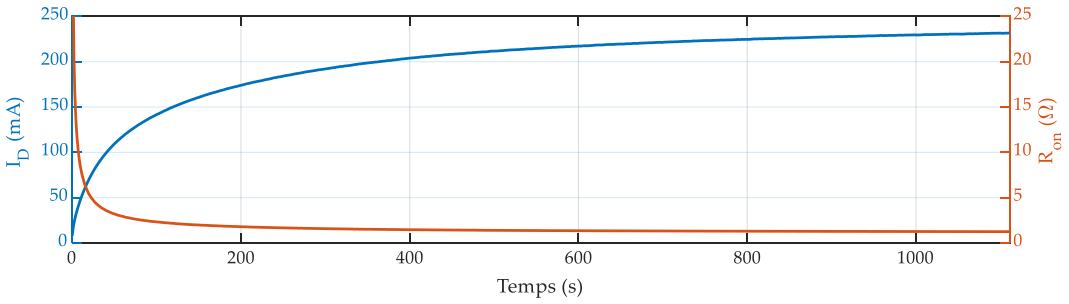



*Figure 174 : essai de drain lag de plus de 18 minutes. $V_{DS} = 400\,V/1\,V$ ; $V_{GS} = -6\,V/+2V$ ; $t_{off} = 1{,}0\,s$ ; $IM = 1{,}0\,s$.*

### 3.3.2 Essais comparatifs de drain lag

Les résultats sont assez différents selon la référence testée, mais on constate une forte dispersion dans tous les cas. La Figure 175 montre le comportement des transistors GS66506T. Je constate un comportement assez homogène, à une exception près : le transistor 22-21 se démarque complètement car son courant de drain augmente bien avant les autres et de façon beaucoup plus significative.

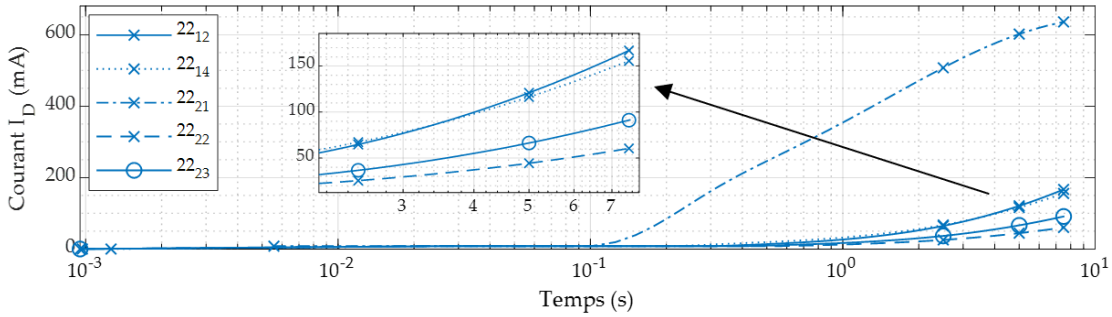



*Figure 175 : drain lag pour les transistors GS66506T.*

La Figure 176 montre le courant de drain des cinq transistors GS66508T. La dispersion est plus marquée que les transistors GS66506T.

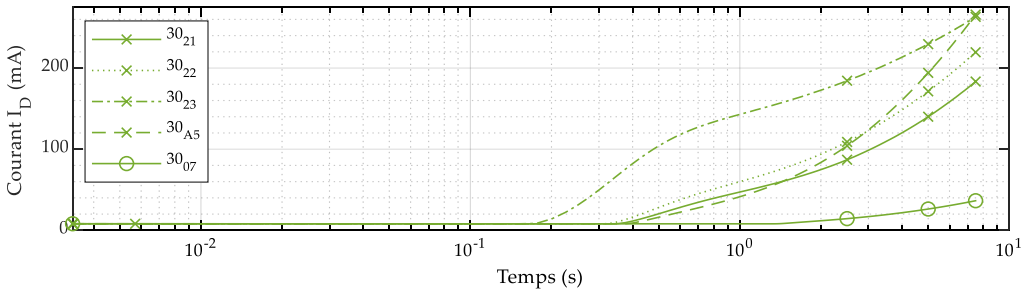



*Figure 176 : drain lag pour les transistors GS66508T.*

Enfin, la Figure 177 montre le courant de drain des cinq transistors GS66516T testés. La dispersion est ici encore très nette.

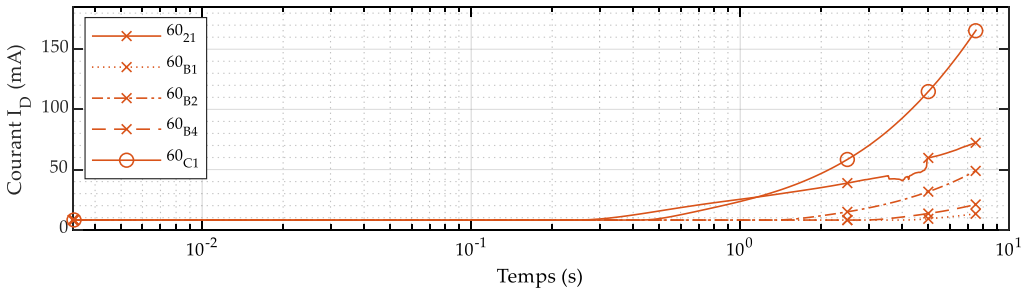



*Figure 177 : drain lag pour les transistors GS66516T.*

Il est difficile d'identifier quel mécanisme physique est responsable de l'évolution des courbes [43].

# 4. Conclusion

J'ai mené cinq séries de mesures sur 18 transistors du fondeur GaN Systems : quatre tests de caractérisations statiques et un test de *collapse*. Il ressort de tout cela une dispersion marquée pour les puces testées, et ce pour chaque série de mesures. La référence GS66506T présente une dispersion très légèrement plus faible que les références GS66508T et GS66516T, mais cela n'est pas vrai pour tous les tests. Il faut cependant relativiser cette dispersion car les tensions de seuil, les courants de grille et les courant de fuite de drain restent compris dans les valeurs indiquées par GaN Systems.

Les essais destructifs menés après cette phase de caractérisation n'ont pas montré de corrélation entre la durée avant défaillance et les paramètres mesurés. Les mesures faites ne permettent pas de détecter les transistors les plus fragiles ou les plus robustes.

# Conclusion générale et perspectives

Les transistors testés en court-circuit sont des *HEMTs* P-GaN à contact schottky de GaN Systems, des *HEMTs* P-GaN à contact ohmique de Panasonic (*HD-GIT*), des *MIS-HEMTs* produits par le laboratoire du CEA-LETI et, enfin, des transistors cascode du fondeur Transphorm. Les transistors GaN Systems sont les plus robustes, car même sous une tension de bus de $400\,V$, la durée avant défaillance peut dépasser la centaine de microsecondes. Les composants Panasonic se sont révélés fragiles sous $400\,V$ dans les expériences de cette thèse ; cependant, un article de 2019 [88] mentionne une excellente robustesse pour ces composants lors d'essais de fatigue. Les composants cascode sont les moins robustes, et oscillent en général lors des essais réalisés.

Ces expérimentations, menés entre 2016 et 2019, sont (à quelques exceptions près) cohérentes avec le travail de nombreux autres laboratoires dans le monde. Plusieurs articles parus dans cette période mentionnent des expériences similaires à celles de cette thèse. Il semble que la robustesse des transistors GaN ait augmenté au fil des lots (et donc des années). Ainsi, en 2021, on peut observer dans l'article [20] des *TLF* supérieurs à $300\,\mu s$ alors que la tension de bus vaut $400\,V$. Une telle robustesse est exceptionnelle.

Certains *HEMTs* P-GaN testés sous une tension modérée ($270\,V$) montrent une robustesse encore supérieure : il n'est pas rare que les *TLF* dépassent la milliseconde. Cela est probablement dû à la forte réduction du courant de drain au fil de l'essai. On peut donc dire que les transistors GaN peuvent être plus robustes que les transistors Si et SiC, car pour ces derniers on n'enregistre pas de si longues durées avant défaillance. La forte disparité relevée lors des essais des transistors GaN Systems laisse penser que leur procédé de fabrication n'est pas encore tout à fait maitrisé.

Les travaux menés dans le cadre de cette thèse ont permis d'explorer les limites en court-circuit de quatre types de transistors GaN différents, dans des bancs de court-circuit peu inductifs. Les essais montrent que le court-circuit reste un évènement problématique pour ces composants, et qu'ils ne peuvent pas encore être utilisés dans un convertisseur sous une tension proche de leur tension de claquage ($400\,V$ pour des transistors $650\,V$). Sous ces niveaux de tension, la plupart des composants sont détruits après un temps extrêmement court ($TLF < 1\,\mu s$) ce qui rend leur protection en court-circuit délicate. Toutefois, et de façon non expliquée encore, certains de ces composants présentent une robustesse tout à fait exceptionnelle avec des *TLF* de plusieurs centaines de microsecondes. On peut assez naturellement espérer qu'une meilleure maturité technologique ou des évolutions technologiques permettront, dans un futur proche, de profiter pleinement des caractéristiques du GaN et d'obtenir une robustesse suffisante.

En limitant la tension de bus à $300\,V$ ou $350\,V$ seulement pour ces composants $600/650\,V$, le *TLF* s'allonge nettement. Les composants présentent quasi systématiquement une grande robustesse, à tel point qu'il serait relativement aisé d'assurer leur protection en régime de court-circuit et de les utiliser dans un convertisseur sans risque vis à vis de ce régime extrême de fonctionnement.

Cette dispersion m'a conduit à ne donner que deux valeurs à la tension de bus lors des essais destructifs : $270\,V$ ou $400\,V$. Il aurait été intéressant de faire varier graduellement cette tension et de chercher ainsi la valeur d'un hypothétique tension critique, au-delà de laquelle les composants cassent en un temps très court. Cependant, une telle campagne d'essais nécessite de tester un nombre conséquent de transistors pour chaque palier de tension, pour que les conclusions soient valides malgré la dispersion.

Nous avons également clairement mis en évidence le rôle important de la tension de commande ($V_{GS}$) sur la robustesse des puces. Là encore, il aurait été intéressant d'évaluer de façon plus fine l'influence de la tension $V_{GS}$ sur la robustesse. Un compromis entre résistance à l'état passant et robustesse nécessite peut-être d'être mis en évidence. Une telle étude pourrait constituer une perspective supplémentaire à ces travaux expérimentaux.

Enfin, il serait pertinent de pouvoir accéder à la température de la puce, ainsi qu'à la répartition du champ électrique et du courant dans la puce pendant un régime de court-circuit. La mesure de la température lors du court-circuit pourrait être réalisée sur des puces nues, à travers le rayonnement émis, sur des essais dont le *TLF* est long ($> 50\ \mu s$), donc sous une tension modérée comme $270\ V$ par exemple. Cela permettrait de valider un modèle thermique et de mieux comprendre l'origine physique de la défaillance de ces transistors.

Toutefois, et pour aller plus loin, des modèles physiques doivent être développés afin de mieux comprendre les interactions champ-courant-température lors d'un court-circuit. Ces modèles sont difficiles à mettre en œuvre et nécessiteraient des collaborations avec des laboratoires possédant et maitrisant les outils de simulation physique adaptés à ces composants.

# Annexes

## 1. Bancs de court-circuit

### 1.1 Condensateurs

#### 1.1.1 Choix des condensateurs

Le stockage de l'énergie du banc se fait dans un ou plusieurs condensateurs. Ces derniers jouent un rôle important car leurs caractéristiques (*l'ESL*, et dans une moindre mesure *l'ESR*) impactent directement l'impédance du banc.

Plusieurs familles de condensateurs sont utilisées en électronique de puissance [106] :

- Les condensateurs électrochimiques ;
- Les condensateurs à film ;
- Les condensateurs céramiques.

La Figure 178 montre que toutes les familles ne se valent pas en termes de capacité et de tension admissible. Les condensateur céramiques haute tension sont limités en capacité par exemple.

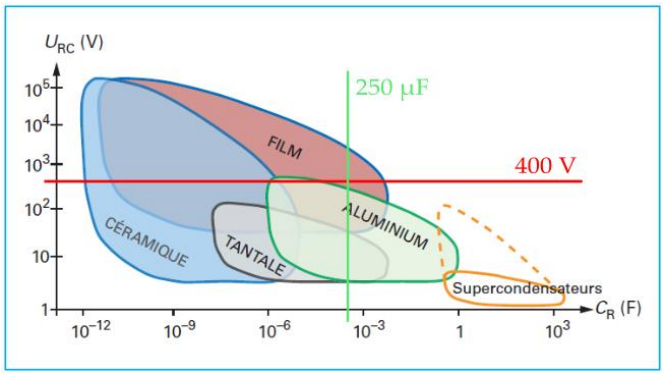



*Figure 178 : Classification des familles de condensateurs en fonction de la tension admissible et de la capacité [98].*

Les critères de choix que j'ai retenus sont les suivants :

- un faible *ESL*, pour augmenter la sévérité des essais ;
- une densité d'énergie élevée, car cela permet de réduire les dimensions du condensateur pour une quantité d'énergie donnée et donc de diminuer son *ESL* (a priori) ;
- une bonne fiabilité pour des raisons de sécurité, sachant que les condensateurs devront délivrer de forts courant transitoirement, et qu'ils peuvent être soumis à une tension négative lors de la casse des composants (oscillations) ;
- un vieillissement faible au fil des essais pour ne pas modifier les paramètres électrique du banc ;
- un faible *ESR*.

Les condensateurs électrochimiques sont intéressants car leur capacité volumique est assez importante du fait de la faible épaisseur du diélectrique et sa forte rigidité diélectrique [106] [98] [107]. Cependant, ils peuvent exploser et prendre feu en cas de mauvaise utilisation (la tension négative supportable ne dépasse pas 1,5 $V$) ou de surchauffe [108], ce qui constitue un risque réel dans un banc de court-circuit.

En effet, les courants délivrés lors des essais sont très grands ($> 100\ A$), ce qui peut échauffer fortement les contacts à l'intérieur du condensateur. Par ailleurs, l'*ESL* des condensateurs électrochimiques est en général élevé à cause de leur structure. J'ai donc exclu cette famille de condensateurs.

Les condensateurs à film sont autocicatrisables [106] [107], ce qui est intéressant au vu du fort courant impulsionnel qui circule lors d'un essai de court-circuit. Il existe plusieurs types de diélectriques, dont le polypropylène qui est bien adapté aux applications de puissance. La compacité volumique peut être très élevée et même supérieure aux condensateur électrochimiques d'après [106] et [107]. J'ai donc choisi cette famille de condensateurs pour assurer le stockage de la majeure partie de l'énergie des trois bancs.

### 1.1.2 Dimensionnement de la capacité des condensateurs

La tension des condensateurs devrait rester constante lors de l'essai de court-circuit, afin d'en faciliter l'interprétation et de rendre comparables des essais menés dans des bancs différents. Les condensateurs doivent donc contenir assez d'énergie pour que cette tension ne tombe pas en-dessous d'un seuil prédéfini. Comme le comportement en court-circuit de tous les *DUT* n'était pas connu précisément avant la conception du premier banc, j'ai commencé par faire quelques essais de court-circuit dans un banc existant, dédié à des transistors *SiC*. Je me suis aussi basé sur les caractéristiques des bancs décrites dans les articles [24] et [19]. Cela m'a permis de dimensionner la capacité du condensateur du premier banc. Le deuxième et le troisième banc ont été dimensionnés à partir des observations faites sur le premier.

### 1.1.3 Condensateur du banc n°1

Le condensateur unique du banc n°1 est un PM980 de $250\ \mu F$ [109], identique à ceux utilisés dans le banc n°2. Ses caractéristiques sont décrites dans le Tableau 28.

### 1.1.4 Condensateurs du banc n°2

Les caractéristiques des condensateurs du banc n°2 sont détaillées dans le Tableau 28.

*Tableau 28 : caractéristiques des condensateurs du banc n°2.*

| | $C_1$ | $C_2$ | $C_2'$ |
|---|---|---|---|
| **Fabricant** | Eurofarad | AVX | KEC |
| **Référence** | PM980 | 87106-207 | 565 K 0823 |
| **Famille** | Film | Céramique multicouches | Céramique multicouches |
| **Diélectrique** | Film métallisé polypropylène (PP) | Céramique classe 2 | Céramique classe 2 |
| **Capacité nominale et incertitude** | $250\ \mu F$ $\pm$ 10 % | $5{,}6\ \mu F$ $\pm$ 10 % | $5{,}6\ \mu F$ $\pm$ 10 % |
| **Tension nominale continue** | $1000\ V$ | $500\ V$ | $500\ V$ |
| ***ESR*** | $4\ m\Omega$ [4] | $5\ m\Omega$ [4] | $7\ m\Omega$ [4] |
| ***ESL*** | $16 \pm 2\ nH$ [4] | $2 \pm 0{,}3\ nH$ [4] | $2 \pm 0{,}3\ nH$ [4] |

[4] Mesuré au laboratoire avec un analyseur d'impédance

### 1.1.5 Condensateurs du banc n°3

Le Tableau 29 présente les caractéristiques des condensateurs du banc n°3. Sauf indication contraire, les valeurs proviennent des documentations techniques des fabricants [109]–[111].

*Tableau 29 : caractéristiques des condensateurs du banc n°3*

| | $C_1$ | $C_2''$ | $C_3$ |
|---|---|---|---|
| **Fabricant** | Eurofarad | Epcos | Eurofarad |
| **Référence** | PM980 | B32778P [110] | CS 287 N 685 KM [111] |
| **Famille** | Film | Film | Céramique multicouches (4 pavés) |
| **Diélectrique** | Film métallisé polypropylène (PP) | Film métallisé polypropylène (PP) | Céramique classe 2 (titanate de baryum) |
| **Capacité nominale et incertitude** | $250\ \mu F$ $\pm\ 10\ \%$ | $50\ \mu F$ $\pm\ 10\ \%$ | $6{,}8\ \mu F$ $\pm\ 20\ \%$ |
| **Tension nominale continue** | $1000\ V$ | $630\ V$ | $1000\ V$ |
| **ESR** | $4\ m\Omega$ à $50\ kHz$ [5] | $6\ m\Omega$ [5] | $7\ m\Omega$ [5] |
| **ESL** | $16\ \pm\ 2\ nH$ [5] | $17 \pm\ 2\ nH$ [5] | $2{,}5 \pm\ 0{,}3\ nH$ [5] |

## 1.2 Banc n°1

### 1.2.1 Routage du banc n°1

La Figure 179 présente la carte réalisée avec le logiciel EAGLE.

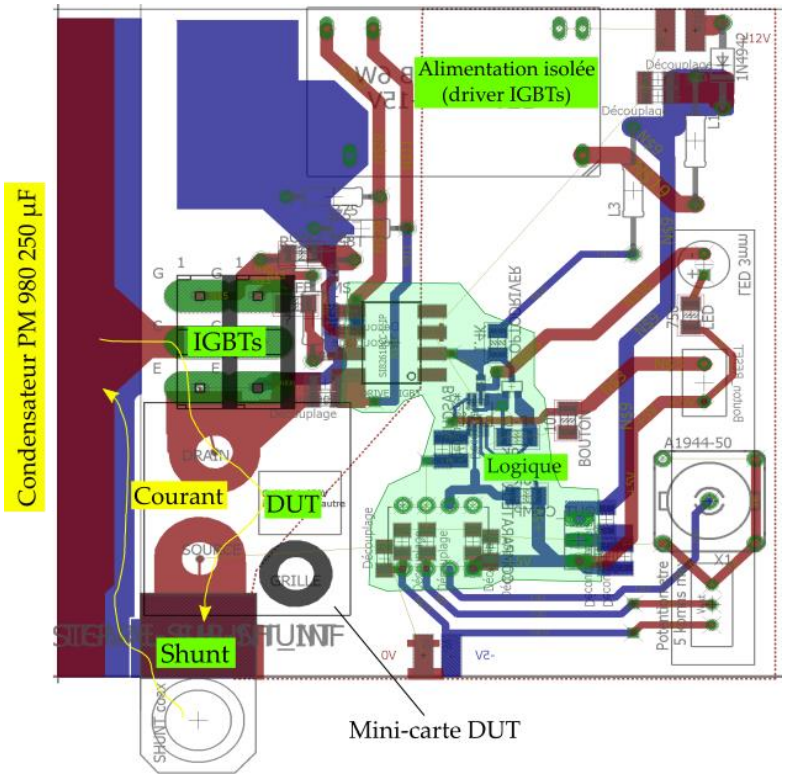



*Figure 179 : carte du banc n°1 sous le logiciel EAGLE. On distingue la partie puissance (condensateur, IGBTs, DUT et shunt) et la partie logique (comparateur, bascule, driver des IGBTs). L'alimentation du driver des IGBTs est en haut. Le courant circule par la face supérieure (pistes rouges : IGBTS, puis GaN et enfin shunt), puis passe en face inférieure à travers le shunt. Le plan de masse côté logique et le plan de cuivre de la face supérieure ne sont pas visibles pour plus de clarté.*

[5] Mesuré au laboratoire avec un analyseur d'impédance

La Figure 180 montre le routage de la carte driver du *DUT*. Le driver (non isolé) est en bas, les deux condensateurs de découplage sont au-dessus.

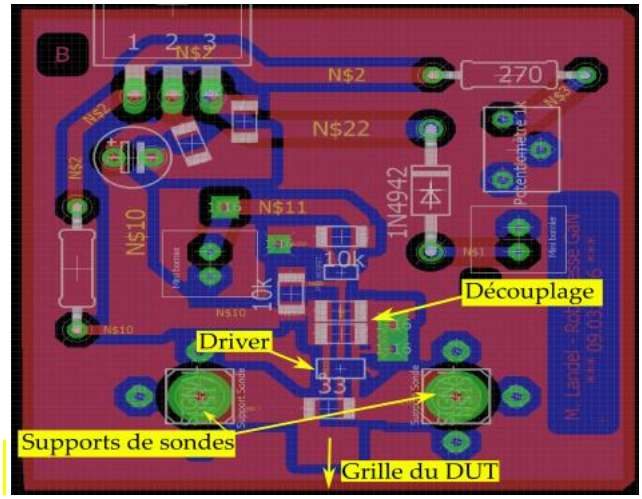



*Figure 180 : carte driver du DUT du banc n°1 sous le logiciel EAGLE.*

### 1.2.2 Schéma électrique du banc n°1

La Figure 181 montre le schéma électrique complet du banc.

Dans la partie « Puissance », le condensateur $C_1$ est le condensateur de puissance du banc (son *ESR* et son *ESL* ne sont pas représentés). La tension négative du shunt est transmise à la partie logique à travers un câble BNC. La résistance $R_{15}$ modélise les résistances de décharge du banc. La terre est ramenée sur le banc au niveau de la source du *DUT* par le shunt et les trois sondes passives, à travers l'oscilloscope qui est relié au secteur.

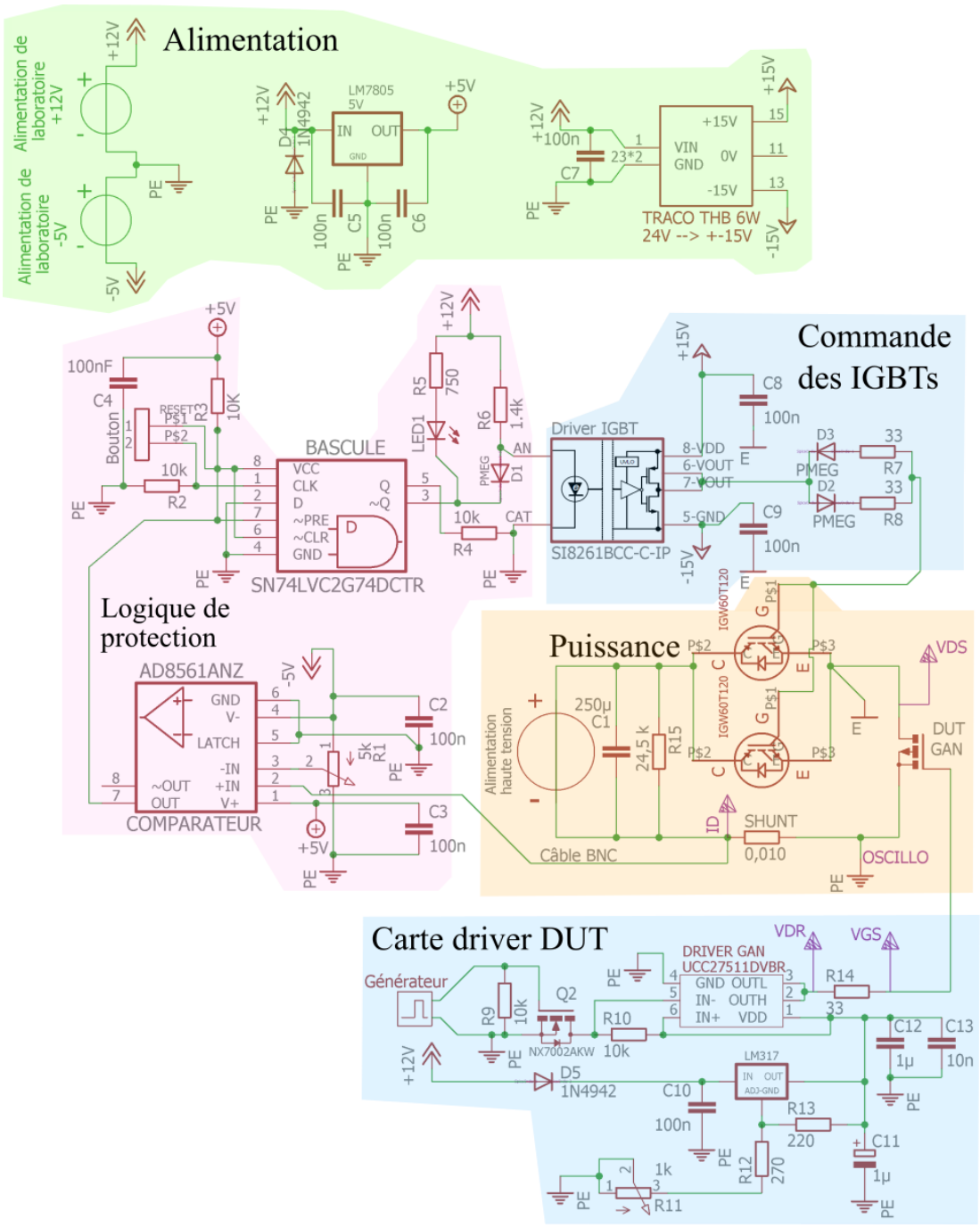



*Figure 181 : schéma électrique intégral du banc n°1.*

Dans la partie « Logique de protection », les condensateurs $C_2$ et $C_3$ servent à découpler l'alimentation $\pm 5\ V$. La résistance variable $R_1$ permet d'ajuster la tension de référence d'un comparateur rapide (délai de propagation de 7 $ns$), et donc le courant maximum autorisé dans le banc avant que la sécurité ne soit activée. La sortie non inversée du comparateur est connectée à une bascule D de type flip-flop (SN74LV). Le condensateur $C_4$ sert à découpler l'alimentation $+5\ V$. La résistance $R_2$ limite le courant circulant dans le bouton poussoir « Reset » qui permet de réarmer le banc après un essai destructif. La résistance $R_3$ permet de connecter l'alimentation à l'entrée « PRESET » de la bascule et limite le courant. La $LED_1$ s'allume lorsque la sécurité a été activée ; la résistance $R_5$ limite son courant. La résistance $R_6$ limite le courant circulant dans la diode du driver des *IGBT*s et dans la diode schottky $D_1$. La chute de tension à l'état passant aux bornes de cette dernière est petite devant celle du driver (0,42 $V$

maximum contre $1{,}6\ V$ minimum). Quand la sécurité est activée, la sortie inverseuse de la bascule par à l'état logique « 0 » et connecte ainsi $D_1$ et $LED_1$ à la masse, et cela bloque alors la diode du driver des *IGBT*s. La résistance $R_4$ permet de limiter le courant circulant à travers la sortie non inverseuse de la bascule.

Dans la partie « Commande des *IGBT*s », on trouve un driver isolé présentant une faible capacité de couplage entrée/sortie ($1\ pF$). La sortie de ce driver est alimentée en $\pm 15\ V$. Le driver des *IGBT*s est relié à deux diodes $D_2$ et $D_3$ et deux résistances de grilles $R_7$ et $R_8$, ce qui permet de différencier la charge et la décharge.

Dans la partie « Alimentation », on trouve une alimentation linéaire de laboratoire, isolée mais présentant une capacité de couplage avec la terre du réseau de forte valeur (environ $5\ nF$). Une alimentation à découpage isolée (de type TRACO) génère le $\pm 15\ V$ qui alimente le driver des *IGBT*s. Cette dernière présente elle aussi une faible capacité de couplage ($7\ pF$) ; les condensateurs $C_7$, $C_8$ et $C_9$ assurent le découplage. En haut à gauche du schéma, un régulateur LM7805 génère un $+5\ V$ non isolé. La diode $D_4$ protège le régulateur en cas d'inversion de polarité et les condensateurs $C_5$ et $C_6$ assurent le découplage et la stabilité du LM7805.

Enfin, on trouve tout en bas la partie « Carte driver du *DUT* ». Un générateur de signaux [112] est relié à la grille d'un MOSFET $Q_2$ ($R_9$ joue le rôle de pull-down). Le drain est relié à l'entrée inverseuse du driver du *DUT* non isolé UCC27511. Le transistor protège le générateur. La résistance $R_{10}$ limite le courant provenant de l'alimentation réglable venant du régulateur LM317 et permet de séparer les entrées IN+ et IN- du driver. La diode $D_5$ protège le régulateur en cas d'inversion de polarité ; les condensateurs $C_{10}$ et $C_{11}$ assurent le découplage et la stabilité du LM317 ; la résistance variable $R_{11}$, secondée par la résistance talon $R_{12}$ et la résistance $R_{13}$ permettent de régler la tension de sortie du régulateur entre $+2{,}5\ V$ et $+8{,}5\ V$. Enfin, la résistance de grille $R_{14}$ limite le courant de grille. Il n'est pas possible d'appliquer une tension négative sur la grille du *DUT* à l'état bloqué. Les condensateurs $C_{12}$ et $C_{13}$ assurent le découplage de l'alimentation du driver du *DUT* ; leurs valeurs ont été choisies en se basant sur la note d'application [95].

## 1.3 Banc n°2

### 1.3.1 Routage du banc n°2

Le routage de la carte principale est fait sur un *PCB* double face, où la face supérieure (en rouge sur la Figure 182) est connectée aux pôles positifs des condensateurs, et où la face inférieure (en bleu) est reliée à leurs pôles négatifs. On distingue sur cette figure les trois connecteurs à broches qui vont accueillir les trois autres cartes.

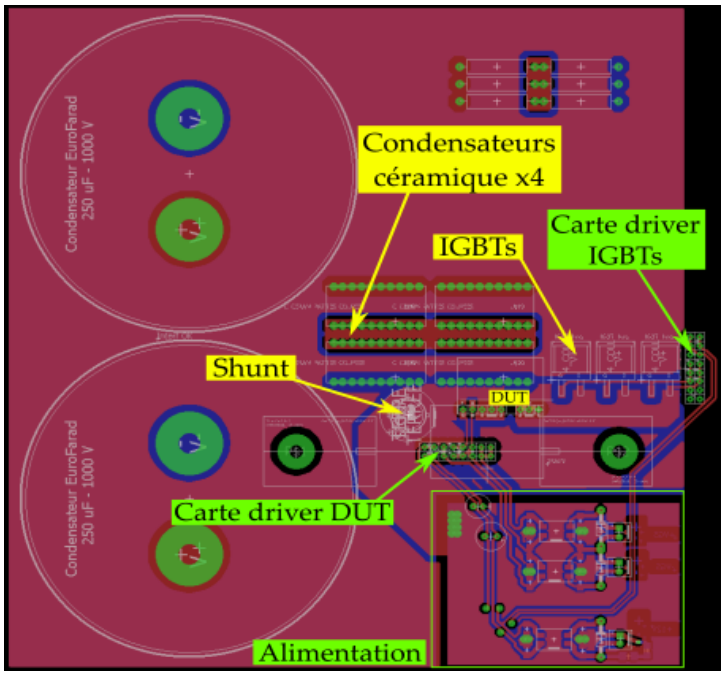



*Figure 182 : carte principale du banc n°2 sous le logiciel EAGLE.*

La Figure 183 présente la carte driver des *IGBT*s. L'isolation entre la grille de ces derniers et la logique est assurée par l'absence de cuivre en dessous du driver et de l'alimentation isolée fournissant le $\pm 15\ V$.

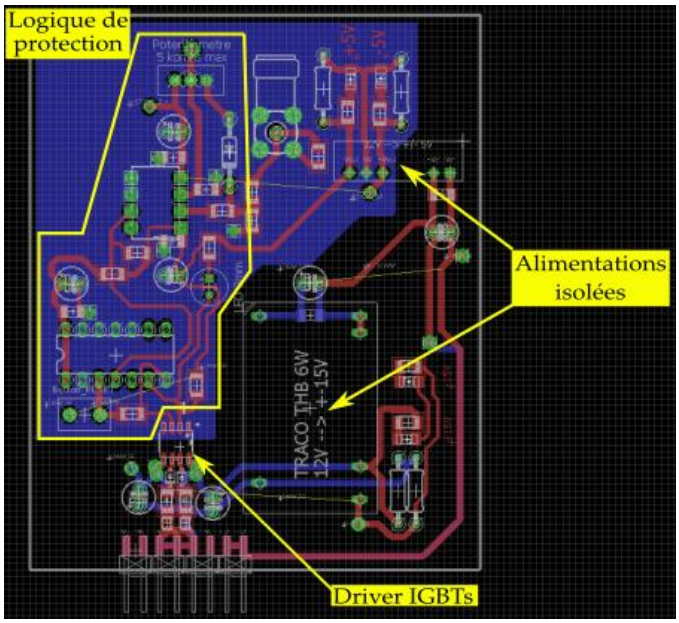



*Figure 183 : carte driver des IGBTs avec la logique de protection du banc n°2 sous le logiciel EAGLE.*

La Figure 184 montre le routage de la carte driver du *DUT*. J'ai placé les condensateurs de découplage en face inférieure (en bleu) du *PCB* pour réduire l'inductance de sortie du driver. Cela devait réduire les risques d'oscillations du *DUT*.

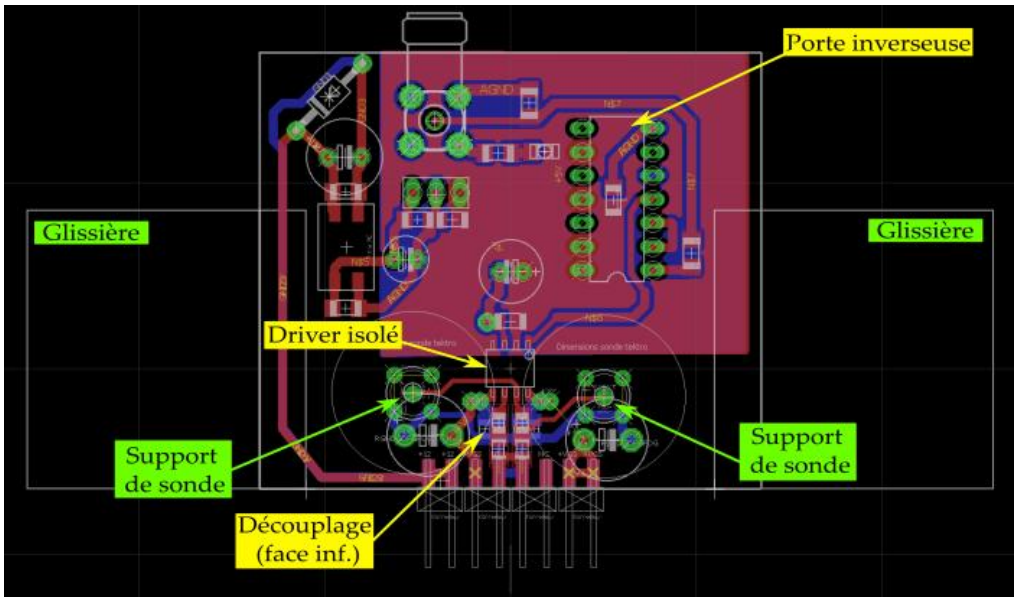



*Figure 184 : carte driver du DUT du banc n°2 sous le logiciel EAGLE.*

### 1.3.2 Schéma électrique du banc n°2

La Figure 185 montre le schéma électrique complet du banc.

Dans la partie « Puissance », les condensateurs $C_0$ et $C_1$ sont les condensateurs à film métallisé du banc (PM 950, 250 µ$F$). Leurs *ESR* et *ESL* ne sont pas représentés. Les quatre condensateurs céramiques sont modélisés par $C_2$, $C_3$, $C_4$ et $C_5$. La tension négative du shunt est transmise à la partie logique à travers un câble SMA. La résistance $R_{13}$ modélise les résistances de décharge du banc. La terre est ramenée sur le banc par le shunt et les trois sondes passives, à travers l'oscilloscope qui est relié au secteur, comme dans le banc n°1.

Dans la partie « Carte driver *IGBT*s + Protection », les condensateurs $C_6$ et $C_7$ servent à découpler l'alimentation $\pm 5\ V$. La résistance variable $R_1$ permet d'ajuster la tension de référence du comparateur (de même référence que dans le premier banc). La sortie non inversée du comparateur est connectée à une bascule D de type flip-flop. Le condensateur $C_8$ sert à découpler l'alimentation $+5\ V$. La résistance $R_2$ limite le courant circulant dans le bouton poussoir « Reset » qui permet de réarmer le banc après un essai destructif. La résistance $R_3$ permet de connecter l'alimentation à l'entrée « PRESET » de la bascule et limite le courant. La $LED_1$ s'allume lorsque la sécurité a été activée ; la résistance $R_5$ limite son courant. La résistance $R_6$ limite le courant circulant dans la diode du driver des *IGBT*s et dans la diode schottky $D_1$. Le fonctionnement de la protection est identique au premier banc. La résistance $R_4$ permet de limiter le courant circulant à travers la sortie non inverseuse de la bascule. On trouve ensuite le driver des *IGBT*s, ainsi que les composants associés, tous identiques au premier banc.

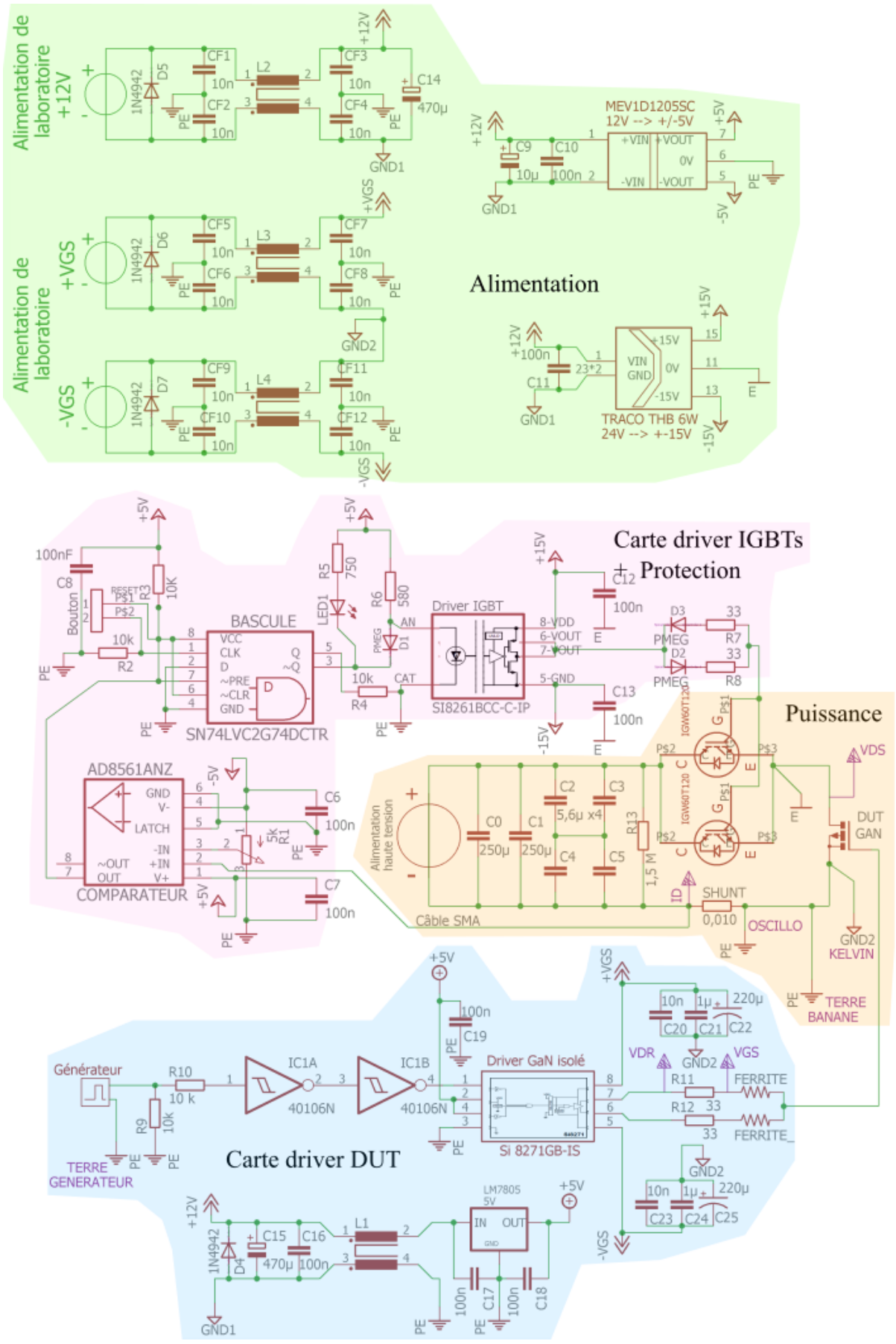



*Figure 185 : schéma électrique intégral du banc n°2.*

Dans la partie « Alimentation », on trouve deux alimentations linéaires de laboratoire à double sortie, isolées mais présentant une capacité de couplage avec la terre du réseau de forte valeur (environ $5\ nF$). Les diodes $D_5$, $D_6$ et $D_7$ protègent la carte en cas d'inversion de polarité. $L_1$, $L_2$ et $L_3$ sont des filtres de mode commun, associés aux condensateurs $C_{F1}$ à $C_{F12}$ (de type $C_Y$). Comme dans le premier banc, une alimentation à découpage isolée (avec une capacité parasite entrée/sortie de $7\ pF$) génère le $\pm 15\ V$ qui alimente le driver des *IGBT*s. Les condensateurs $C_{11}$, $C_{12}$ et $C_{13}$ assurent le découplage. Dans le premier banc, les tensions $\pm 5\ V$ de la logique étaient générées à travers une alimentation de laboratoire. Ici, j'ai placé une alimentation à découpage isolée ($MEV1D1205SC$) pour générer ces tensions, découplée par les condensateurs $C_9$ et $C_{10}$ ; l'alimentation présente une capacité de couplage entrée-sortie de $33\ pF$. Toutes ces améliorations permettent de limiter la circulation de courants de mode commun et constituent une évolution notable par rapport au premier banc.

Enfin, on trouve en bas la partie « Carte driver *DUT* ». Dans ce deuxième banc, le driver du *DUT* est maintenant isolé, avec une capacité parasite très faible de $0{,}5\ pF$. Un générateur de signaux est relié au driver à travers deux portes logiques inverseuses. Ces portes ainsi que la résistance $R_{10}$ permettent de protéger le driver. $R_9$ joue le rôle de pull-down. La terre est ramenée en cet endroit du circuit à travers la carcasse du générateur de signaux. Un régulateur $LM7805$ génère un $+5\ V$ qui alimente l'entrée du driver et les portes logiques. Le condensateur $C_{19}$ assure le découplage de l'entrée du driver. Le découplage du régulateur est assuré par les condensateurs $C_{15}$ et $C_{16}$. La diode $D_4$ protège le circuit en cas d'inversion de polarité, mais n'est pas indispensable. $L_1$ est un filtre de mode commun. Les condensateurs $C_{17}$ et $C_{18}$ améliorent la stabilité du régulateur. Côté sortie du driver, on trouve six condensateurs ($C_{20}$ à $C_{25}$), qui permettent de découpler efficacement la tension $\pm V_{GS}$ provenant de l'alimentation de laboratoire. Lors d'un court-circuit, l'échauffement important de certains *DUT* entraine des fuites à travers la grille (pour les transistors GaN Systems en particulier), et une quantité importante d'énergie est requise pour maintenir le transistor à l'état passant. Le câblage entre l'alimentation de laboratoire et le driver a une inductance importante, j'ai donc voulu découpler efficacement avec un condensateur de forte valeur. J'ai placé deux condensateurs de $220\ \mu F$ ($C_{22}$ et $C_{25}$) en sortie du driver du *DUT* pour fournir le courant lors de longs courts-circuits. Il s'est avéré que ces condensateurs n'étaient pas nécessaires et que l'alimentation de laboratoire fournissait ce courant.

Il n'est pas possible d'appliquer une tension négative sur la grille du *DUT* à l'état bloqué.

Enfin, les résistances de grille $R_{11}$ et $R_{12}$ règlent l'amorçage et le blocage du *DUT*. Des perles de ferrite en boitier CMS sont placées en série avec les résistances.

## 1.4 Banc n°3

### 1.4.1 Routage du banc n°3

La carte d'alimentation (Figure 186a) est alimentée en $+24\ V$ par une alimentation de laboratoire. Cette carte contient deux alimentations isolées à faible capacité entrée-sortie pour générer un $+5\ V$ isolé ainsi que les tensions $\pm V_{GS}$ (qui sont réglables). J'ai aussi ajouté des filtres de mode commun, secondés par des condensateurs $C_Y$ reliés à la terre. Enfin, la carte d'alimentation joue aussi un rôle tampon entre le générateur de signaux et la carte *DUT* car elle contient un optocoupleur rapide qui permet d'isoler la terre ramenée par le générateur de signaux de la carte *DUT*. Tout ceci limite la circulation de courants de mode commun.

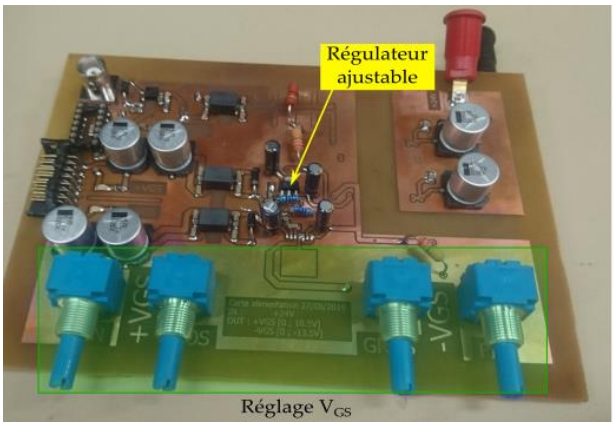



*Figure 186 : photo de la carte d'alimentation du banc n°3 permettant de fournir une tension de grille réglable et isolée.*

La Figure 187 présente le routage de la carte d'alimentation avec le logiciel EAGLE. Ce banc est plus modulaire que les deux précédents car les différentes fonctions sont séparées sur des cartes distinctes. Le réglage des tensions $\pm V_{GS}$ est facilité par la position des potentiomètres.

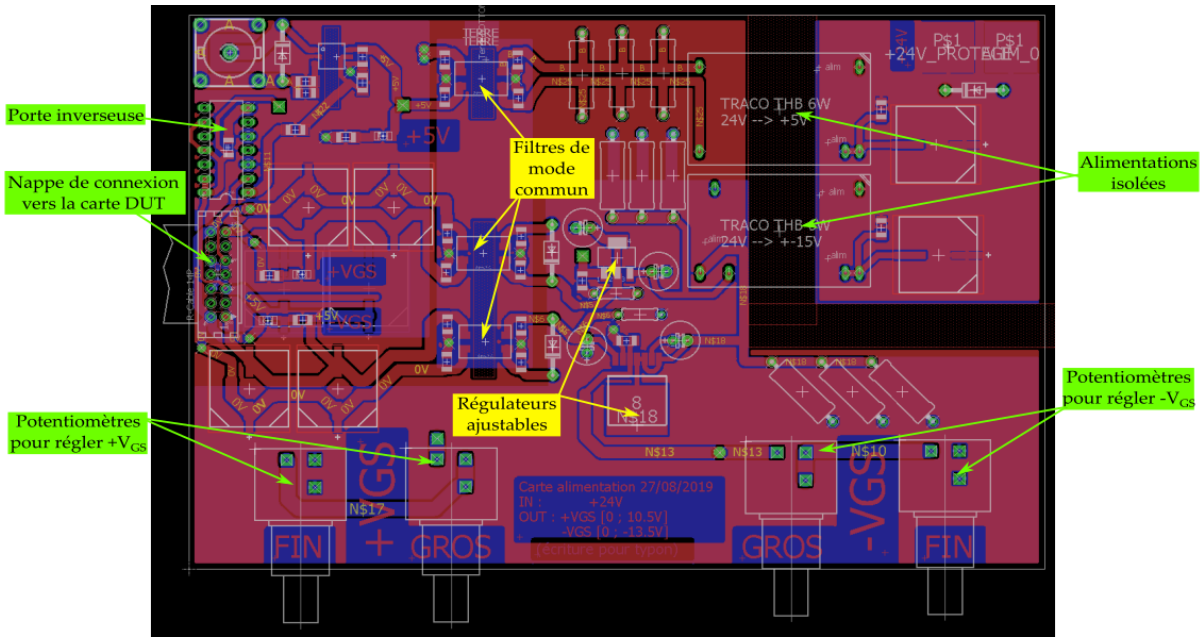



*Figure 187 : carte d'alimentation du banc n°3 sous le logiciel EAGLE.*

## 1.4.2 Schéma électrique du banc n°3

La Figure 188 montre le schéma électrique complet du banc.

Dans la partie « Puissance », les condensateurs $C_1$ et $C_2$ sont les condensateurs film métallisé du banc de 250 µ$F$ (leurs *ESR* et *ESL* ne sont pas représentés). $C_3$ est le condensateur film métallisé de moyenne capacité (50 µ$F$). Enfin, $C_4$ modélise le condensateur céramique de 6,8 µ$F$. La résistance $R_1$ modélise les résistances de décharge du banc.

Ensuite, dans la partie « Alimentation isolée et réglable $\pm V_{GS}$ », on trouve une alimentation isolée (TRACO THB 6W) avec une très faible capacité parasite entrée/sortie de 7 $pF$ ; le condensateur $C_{16}$ assure le découplage. L'alimentation *TRACO* est alimentée par une alimentation de laboratoire en

$+24\ V$. La diode $D_7$ permet d'éviter les inversions de polarité ; les condensateurs électrochimiques $C_{27}$ et $C_{28}$ assurent le découplage. La tension $+15\ V$ générée par le *TRACO* est appliquée sur un régulateur réglable ($LT3080$), découplé par le condensateur $C_{17}$. Les potentiomètres $R_7$ et $R_8$ permettent de régler la tension $+V_{GS}$ entre $0\ V$ et $+10{,}5\ V$. Les condensateurs $C_{19}$ et $C_{21}$ augmentent la stabilité du régulateur. La tension $-15\ V$ générée par le *TRACO* est appliquée sur un régulateur réglable ($LT3091$). Les potentiomètres $R_9$ et $R_{10}$ permettent de régler la tension $-V_{GS}$ entre $0\ V$ et $-13{,}5\ V$, ce qui constitue une amélioration par rapport au banc n°2 qui ne permettait pas d'appliquer de tension négative. Les condensateurs $C_{20}$ et $C_{22}$ augmentent la stabilité du régulateur. Les résistances $R_{13}$ et $R_{14}$ permettent d'assurer le fonctionnement des deux régulateurs. Les diodes $D_1$ et $D_4$ empêchent les inversions de polarité. Les filtres de mode commun $L_3$ et $L_4$, aidés par les condensateurs $C_{F5}$ à $C_{F12}$ permettent de limiter la circulation des courants mode commun. Enfin, les condensateurs $C_{23}$ à $C_{26}$ assurent un découplage des tensions $\pm V_{GS}$ sur la carte d'alimentation.

En vert, dans la partie « Alimentation isolée $+\ 5V$ », on trouve une deuxième alimentation isolée de la même famille avec la même capacité parasite entrée/sortie. Le filtre de mode commun $L_5$, aidé par les condensateurs $C_{F1}$ à $C_{F4}$ permettent de limiter la circulation des courants mode commun. Les condensateurs $C_{13}$, $C_{14}$ et $C_{15}$ assurent le découplage.

En rose, dans la partie « Signal de commande et isolation », j'ai mis un optocoupleur rapide de référence $APS1551$, qui possède un temps de propagation inférieur à $50\ ns$ et surtout une capacité parasite entrée/sortie de $0{,}5\ pF$. Cet optocoupleur, protégé par la diode $D_2$, permet de ne pas ramener la terre du générateur de signaux sur la carte d'alimentation, ce qui limite la circulation des courants de mode commun. La résistance $R_2$ limite le courant à l'entrée de l'optocoupleur et le condensateur $C_5$ augmente ses performances dynamiques. Le condensateur $C_6$ découple l'alimentation de l'optocoupleur. A sa sortie, on trouve une porte inverseuse ($IC1A$), protégée par la résistance $R_4$. La résistance $R_3$ sert de pull-down.

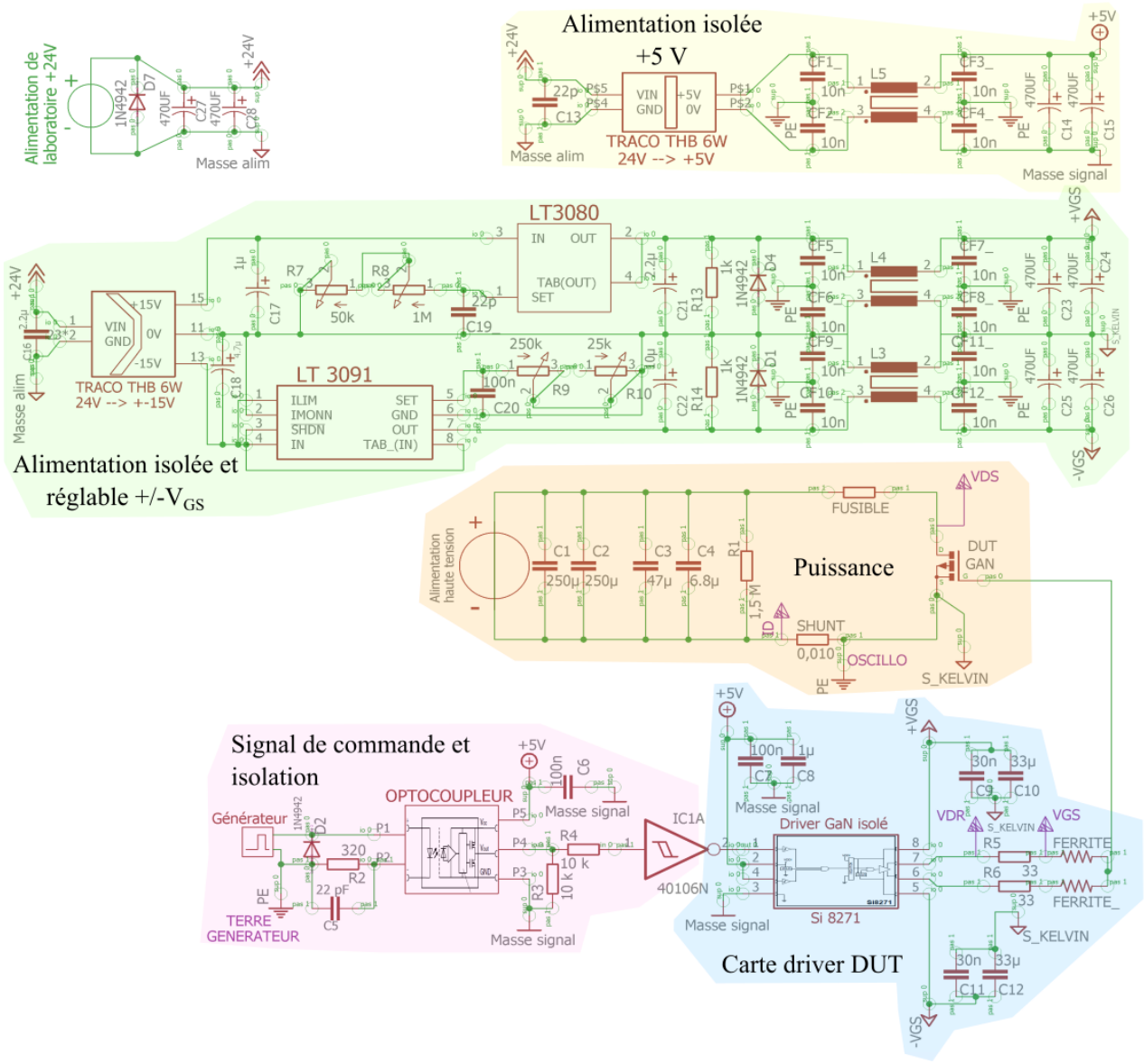



*Figure 188 : schéma électrique intégral du banc n°3.*

Enfin, dans la partie « Carte driver *DUT* » (en bas à droite), on distingue le driver isolé (identique au banc n°2), avec une capacité parasite très faible de $0{,}5\,pF$. Les condensateurs $C_7$ et $C_8$ assurent le découplage de l'entrée du driver. Côté sortie du driver, on trouve quatre condensateurs ($C_9$ à $C_{12}$), qui permettent de découpler efficacement la tension $\pm V_{GS}$ provenant des régulateurs réglables. J'ai dimensionné ces condensateurs en me basant sur les courants de fuite de grille mesurés sur les essais faits avec les bancs n°1 et 2. Ainsi, l'un des condensateurs possède une assez forte capacité ($33\ \mu F$). J'ai sélectionné des condensateurs céramiques de classe II (avec un diélectrique $X7R$) dont la capacité varie de façon acceptable avec la tension appliquée Figure 189.

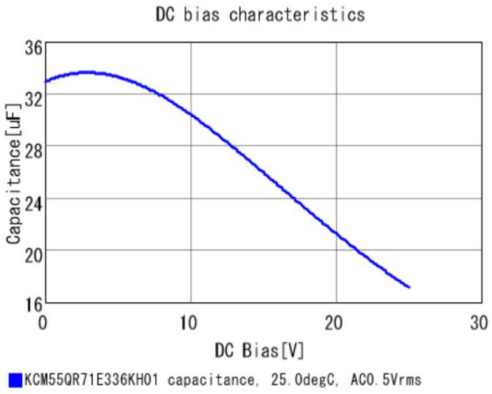



*Figure 189 : capacité en fonction de la tension continue appliquée pour le condensateur Murata KCM55QR71E336KH01 de 33µF. Pour une tension de* 10 $V$*, la capacité reste supérieure à* 30 µ$F$.

Les résistances de grille $R_5$ et $R_6$ règlent l'amorçage et le blocage du *DUT*. Des emplacements sont prévus pour des perles de ferrite en boitier CMS, mais dans la plupart des essais cela n'était pas nécessaire et j'ai brasé à la place une résistance de 0 Ω.

## 1.5 Méthodologie de conception des bancs de courts-circuits

Voici quelques traces de réflexion qui ont été utiles pour concevoir les bancs de court-circuit.

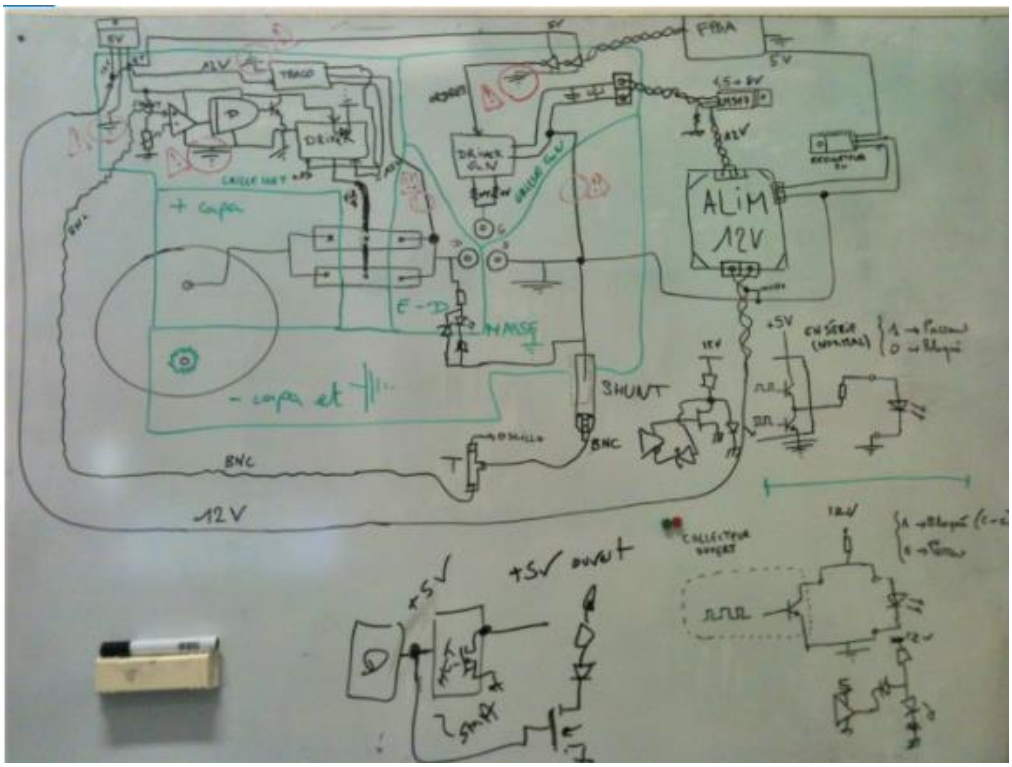



*Figure 190 : brouillon de dessin au tableau montrant la totalité du banc n°1 et les différentes connexions entre les parties du banc.*

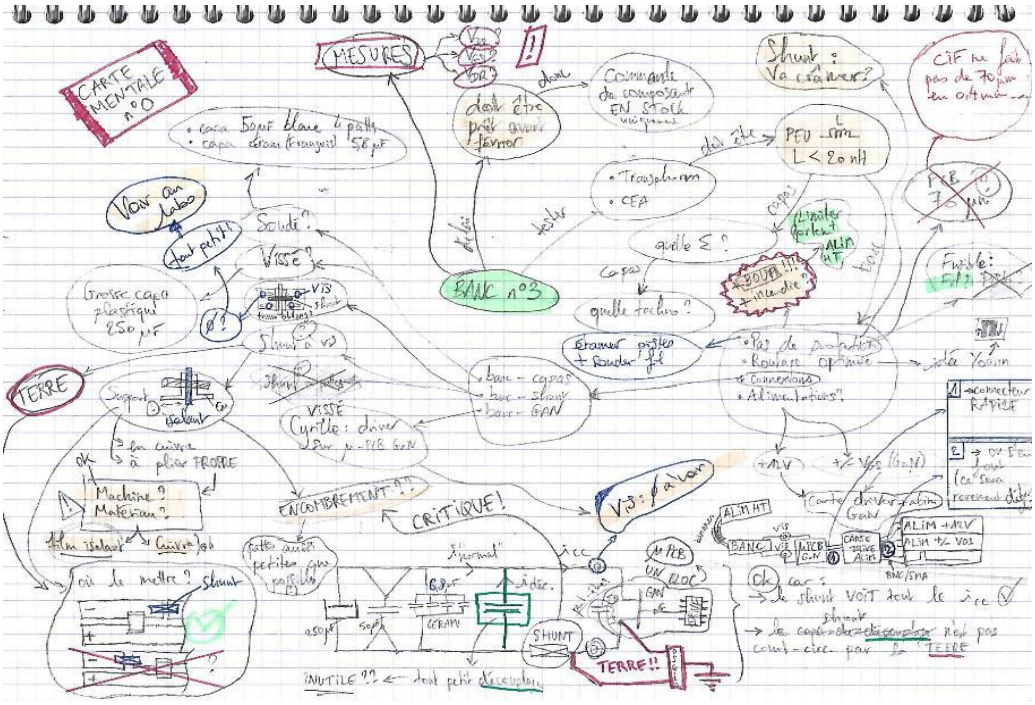



*Figure 191 : carte mentale faite pour concevoir le banc n°3.*

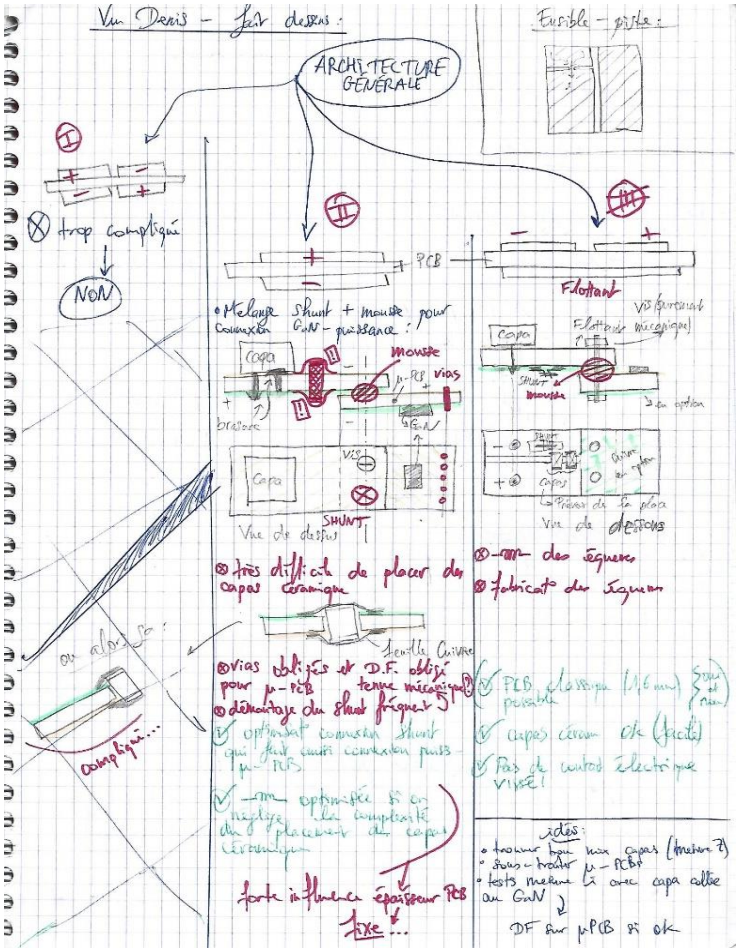



*Figure 192 : brouillon utilisé pour concevoir le banc n°3, avec trois architectures différentes.*

# 2. Incertitudes

## 2.1 Généralités, choix faits

Vu la forte composante expérimentale de cette thèse, je me suis efforcé d'estimer l'incertitude pour toutes les mesures de la thèse. J'ai utilisé le logiciel GUM_MC [113] (*Guide to the expression of Uncertainty in Measurement and Monte Carlo*), version 2018, pour la plupart des calculs d'incertitudes. Ce logiciel est basé sur les recommandations du Bureau International des Poids et Mesures (BIPM) [114], il est recommandé par l'inspection générale de l'éducation nationale, et aussi fréquemment utilisé dans le supérieur. GUM_MC propage les incertitudes selon la méthode de propagation analytique. J'ai choisi systématiquement un niveau de confiance de 95%.

## 2.2 Propagation des incertitudes pour une grandeur calculée

Dans les cas simples ne nécessitant pas l'utilisation de GUM_MC, j'ai appliqué les règles classiques de propagation, que l'on peut trouver dans [115].

## 2.3 Incertitude de type A

Si on considère une série de mesures indépendantes d'un mesurande $X$, il est possible de faire un calcul d'incertitude de type A avec cette série de valeurs. La distribution prise est alors celle de Student. La moyenne de la série est prise comme estimateur et l'écart-type expérimental $\sigma_{n-1}$ permet de calculer l'incertitude-type $u(X)$ d'après [115] :

$$u(f) = \frac{\sigma_{n-1}}{\sqrt{n}}$$

Avec : $\sigma_{n-1}$ l'écart-type expérimental et $n$ le nombre de mesures.

## 2.4 Incertitude de type B

### 2.4.1 Cas des composants passifs

#### 2.4.1.1 Cas général

Les fabricants de composants passifs ne donnent en général pas l'incertitude associée à la valeur nominale du composant (que je note $\bar{X}$). Ils donnent un paramètre que je nomme « tolérance » et que je note $t$, en pourcents ($\pm\ t$ %). Dans ce cas, d'après [115], [116], il faut considérer que la répartition des valeurs des composants suit une loi de densité de probabilité rectangulaire de demi-étendue $a$ (Figure 193), centrée sur la valeur nominale $\bar{X}$, avec :

$$a = \bar{X} \times \frac{t}{100}$$

Dans ce cas, l'incertitude-type $u(C_i)$ vaut alors : $a/\sqrt{3}$.

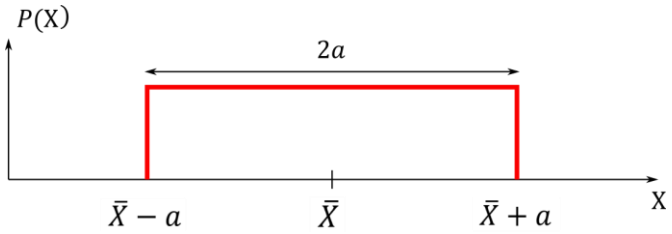



*Figure 193 : loi de densité de probabilité rectangulaire pour la valeur de composants passifs.*

#### 2.4.1.2 Exceptions

Cependant, dans certains cas bien particuliers, j'ai considéré une loi normale d'écart-type $\sigma$ (Figure 194) au lieu d'une loi rectangulaire. Les résistances d'entrée des voies des oscilloscopes LeCroy utilisés suivent par exemple une loi normale selon le service technique du fabricant que j'ai contacté.

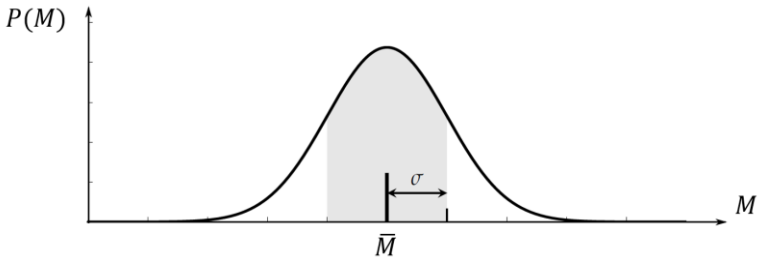



*Figure 194 : loi de densité de probabilité normale, issu de [115].*

La probabilité de trouver une mesure à une distance de $\pm 3\sigma$ de la valeur centrale vaut 99,73% (soit la quasi-totalité des mesures). D'après [115], [116], l'incertitude-type est prise égale à l'écart-type et on obtient alors :

$$u(X) = \sigma = \frac{M \times \frac{t}{100}}{3}$$

### 2.4.2 Cas des multimètres

Les documentation des multimètres, comme [117] par exemple, indiquent un paramètre « précision » (que je note $P$) sous la forme :

$$P = \pm(\, x\,\%\, de\, l'affichage + y\, digits)$$

$P$ dépend donc de la valeur prise par l'affichage à cause du paramètre $y$.

D'après [115], [116], il faut considérer que la répartition des valeurs renvoyées par un multimètre suit une loi de densité de probabilité rectangulaire de demi-étendue $P$, centrée sur la valeur affichée.

Dans ce cas, l'incertitude-type $u(C_i)$ vaut alors : $P/\sqrt{3}$.

### 2.4.3 Cas de l'analyseur d'impédance E4990A

#### 2.4.3.1 Précision E de l'appareil

La documentation du fabricant [118] ne donne pas directement l'incertitude de mesure. Elle fournit un paramètre noté $E$ que je nomme « précision ». L'incertitude sur le module de l'impédance complexe et sur son argument dépendent directement de $E$. Ce paramètre varie selon la fréquence, la valeur du module de l'impédance (ou du déphasage), l'accessoire utilisé et le temps de mesure. Ce dernier, exprimé en unité arbitraire, est paramétrable de 1 (mesure rapide, précision minimale) à 5 (mesure longue, précision maximale). Dans la plupart des mesures, j'ai choisi un compromis entre temps de mesure et exactitude, et je l'ai fixé à 3. Pour cette valeur, la durée de mesure d'un point vaut environ $0{,}02\ s$ (pour des fréquences supérieures à $10\ kHz$) [118].

Le calcul précis de la précision $E$ fait intervenir treize coefficients dont les valeurs dépendent entre autres de la fréquence, ce qui le rend assez fastidieux (p. 17 et 18 de [118]), et ceci ne tient pas compte des dérives en température. Cependant, cette même documentation fournit de façon simplifiée des zones de précision selon la fréquence et la valeur de l'impédance, ce qui est suffisant pour avoir un ordre de grandeur de l'erreur faite lors des mesures. Je me limiterai à utiliser ce graphe pour des raisons de simplicité. La Figure 195 présente ainsi ces zones de précision, avec la sonde d'impédance comme accessoire et un temps de mesure maximal de 3. Cette précision est donnée pour la sonde seule sans connectique, et pour prendre en compte cette dernière il faut majorer l'un des treize coefficients, ce qui diminue la précision. J'ai donc négligé l'effet de la connectique car la prendre en compte implique le calcul complet de la précision paramètre $E$. Par ailleurs, pour les bancs n°1 et n°2, j'ai dû appliquer une polarisation continue pour mettre en conduction les *IGBTs* de protection. Cela diminue aussi légèrement la précision en modifiant l'un des coefficients, et pour la même raison j'ai aussi négligé cet effet.

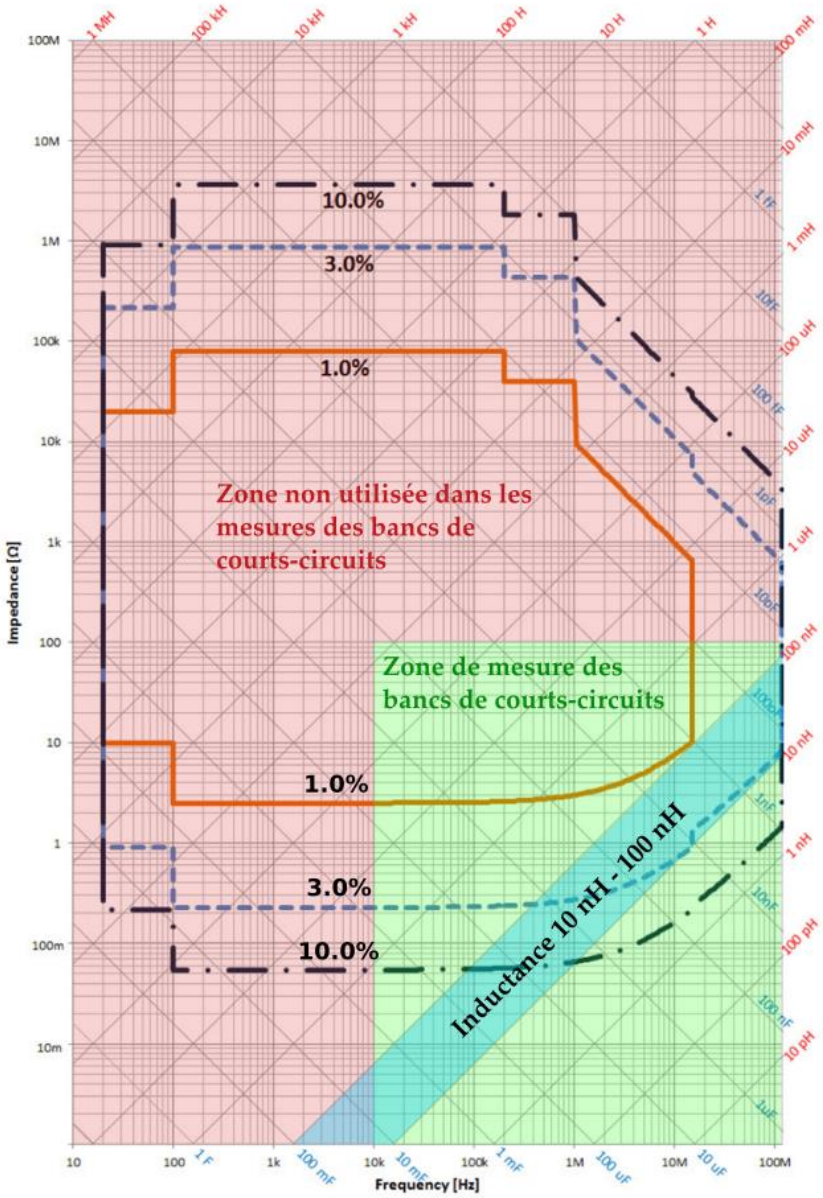



*Figure 195 : précision de mesure E de l'analyseur d'impédance associé à la sonde d'impédance E42941A, pour un temps de mesure de 3. Schéma tiré de [118], p.19.*

La surface rouge de la Figure 195 n'est pas utilisée pendant les mesures, ces dernières sont contenues dans la surface verte. La surface bleue correspond à l'impédance d'inductance pures comprises entre 10 nH et 100 nH, ce qui correspond aux ordres de grandeur des inductances parasites des bancs de court-circuit.

### 2.4.3.2 Calcul de l'incertitude

Pour le module de l'impédance complexe $|\underline{Z}|$, l'incertitude est donnée sous la forme d'un intervalle relatif $\pm E$ (en pourcents). On peut considérer une loi rectangulaire de demi-étendue $a$, centrée sur la valeur mesurée $|\underline{Z}|$ et on a :

$$a = |\underline{Z}| \times \frac{E}{100}$$

L'incertitude-type $u(|\underline{Z}|)$ vaut alors : $a/\sqrt{3}$. En raisonnant avec l'incertitude-type relative, on obtient :

$$\frac{u(|\underline{Z}|)}{|\underline{Z}|} = \frac{E/_{100}}{\sqrt{3}}$$

Enfin, pour l'argument de l'impédance complexe $Arg(\underline{Z})$, l'incertitude est donnée sous la forme d'un intervalle absolu $\pm E/100$ (en radians), sans préciser non plus la loi de densité de probabilité associée. On applique la même méthode mais on raisonne sur l'incertitude absolue cette fois :

$$u(Arg(\underline{Z})) = \frac{E/_{100}}{\sqrt{3}}$$

Certaines mesures ont été faites avec une moyenne glissante sur plusieurs mesures faites d'affilée, ce qui peut diminuer légèrement l'incertitude mais je ne l'ai pas quantifié.

Enfin, il y a aussi une incertitude sur la fréquence affichée par l'analyseur d'impédance, mais celle-ci est très faible : $\pm 7\ ppm\ \pm 1\ mHz$ ([118], p. 3). J'ai choisi de négliger cette incertitude pour simplifier les calculs.

## 2.5 Elargissement de l'incertitude

J'ai noté les incertitudes-types avec la lettre « $u$ » (minuscule), et les incertitudes élargies avec la lettre « $U$ » (majuscule). Pour élargir une incertitude-type $u(X)$ de type B, on utilise la table de Student [115] avec un nombre de degrés de liberté infini. Pour un niveau de confiance de 95%, le facteur d'élargissement $k$ vaut alors $k = 1{,}96$ :

$$U(X) = k \times\ u(X) = 1{,}96 \times u(X)$$

# 3. Mesures d'impédance

## 3.1 Analyseur d'impédance Keysight E4990A-120

Pour caractériser les bancs, j'ai utilisé un analyseur d'impédance Keysight E4990A-120, fonctionnant sur le principe du pont auto-équilibré (section 2-3 de [119]). Cette technique est très répandue pour des mesures à basse fréquence. L'amplitude et la phase de la tension et du courant traversant le composant à tester (*device under test : DUT*) sont mesurées, ce qui permet d'en déduire son impédance complexe $\underline{Z}$. On peut ensuite obtenir la réactance $X$ et la résistance $R$ ($\underline{Z} = R + jX$), ou encore le module de l'impédance complexe $|\underline{Z}|$ et son argument $Arg(\underline{Z})$. En notant $\underline{u}$ et $\underline{i}$ les grandeurs complexes associées à la tension et au courant, et $\Delta\phi$ le déphasage de la tension par rapport au courant, on a :

$$\underline{Z} = \frac{\underline{U}}{\underline{I}}$$

$$Arg(\underline{Z}) = \frac{Arg(\underline{U})}{Arg(I)} = Arg(\underline{U}) - Arg(\underline{I}) = \Delta\phi$$

Pour toutes les mesures, j'ai choisi de relever $|\underline{Z}|$ et $Arg(\underline{Z})$, ce qui facilite l'interprétation.

La plage de mesure de l'instrument s'étend de $20\ Hz$ à $120\ MHz$. Il présente une impédance de sortie de $25\ \Omega$.

L'analyseur est relié au circuit à mesurer à travers un accessoire, au bout duquel on vient mettre une petite connectique (désigné par le terme *fixture* dans la documentation de l'analyseur d'impédance) qui assure la liaison avec le circuit. Dans la plupart des mesures, l'accessoire était une sonde d'impédance Keysight conçue pour l'analyseur (référence 42941A). Pour certaines mesures, j'ai toutefois utilisé à la place un accessoire fabriqué au laboratoire, constitué d'une plaque de *PCB* comprenant quatre raccords BNC/BNC (côté analyseur d'impédance) et d'un câble coaxial SMA (côté circuit). Par la suite, ce dernier accessoire sera nommé « accessoire artisanal ». Il est visible sur la Figure 197a. Concernant la connectique, cela dépend de l'accessoire :

- Avec la sonde d'impédance, la connectique est un adaptateur SMA mâle/mâle vissé sur un connecteur SMA brasé sur le circuit ;
- Avec l'accessoire artisanal, la connectique est un connecteur SMA brasé sur le circuit.

La Figure 196 montre l'analyseur, la sonde et la connectique associée.

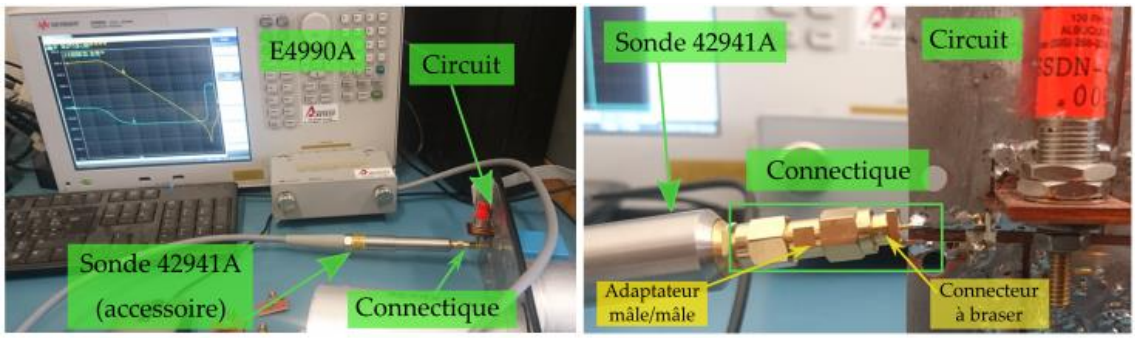



*Figure 196 : vue d'ensemble d'une mesure avec la sonde d'impédance E42941A (à gauche) ; zoom sur le connecteur constitué d'un raccord SMA mâle/mâle et d'un connecteur SMA femelle à braser (à droite)*

## 3.2 Compensation

L'accessoire et la connectique ramènent une impédance parasite qu'il faut impérativement compenser. D'après le manuel d'utilisation de la sonde [120], la compensation se déroule en deux étapes :

- la sonde doit d'abord être compensée seule, sans connectique (phase, circuit ouvert puis court-circuit avec un embout spécifique, et enfin charge 50 Ω avec un autre embout) ;
- on visse ensuite la connectique à l'extrémité de la sonde et on compense en circuit ouvert, court-circuit et enfin avec une charge 50 Ω (cette dernière étape étant facultative [120] p. 18).

Pour la deuxième étape de compensation, des plaques de compensation comprenant un connecteur SMA identique à celui brasé sur le circuit à mesurer ont été fabriquées (Figure 197b).

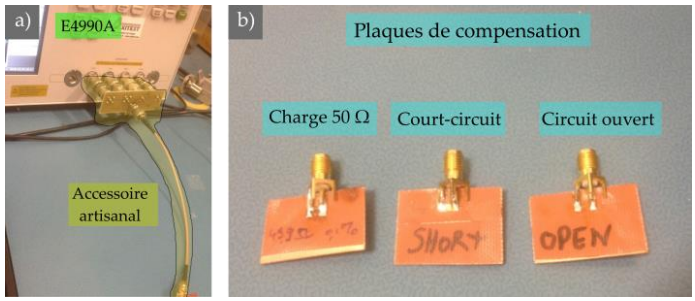



*Figure 197 : a) accessoire artisanal constitué de raccords BNC et d'un câble SMA ; b) plaques de compensation.*

Quand la plaque de compensation « court-circuit » est vissée, on devrait observer une courbe plate (0 Ω sur toute la bande de fréquences), mais le plancher de bruit de l'analyseur et l'imperfection de la compensation font augmenter cette impédance avec la fréquence. Le module de l'impédance reste cependant toujours inférieur à $5.10^{-2}$ Ω. Le document de Keysight [119] indique que la compensation est correcte lorsque le module de l'impédance complexe mesuré en court-circuit est 100 fois plus petit que celui du circuit à mesurer, ce qui ne sera pas toujours vérifié en pratique lors de mes mesures.

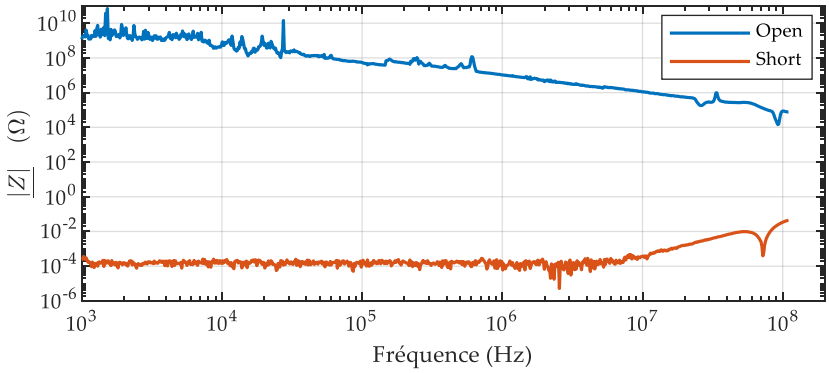



*Figure 198 : module de l'impédance complexe après la deuxième étape de compensation, avec la plaque « court-circuit » (short) en orange, et avec la plaque « circuit ouvert » (open) en bleu. Les plaques sont vissées sur la sonde d'impédance.*

Quand la plaque de compensation « circuit ouvert » est vissée, on devrait observer une impédance infinie sur toute la bande de fréquences, mais les imperfections de l'appareil et de la compensation font diminuer cette impédance avec la fréquence. Le module de l'impédance reste cependant toujours supérieur à 15 $k\Omega$. Le même document de Keysight [119] indique que la compensation est correcte lorsque le module de l'impédance complexe mesuré en circuit ouvert est 100 fois plus grand que celui du circuit à mesurer, ce qui est bien vérifié en pratique lors de mes mesures.

Une fois la compensation faite, j'ai vérifié que l'impédance ramenée par l'accessoire et sa connectique étaient effectivement compensée. La Figure 199Figure 198 présente des mesures d'impédance balayant tous les cas rencontrés dans les trois bancs, superposées avec la mesure de résidus de compensation de deux séries de mesure.

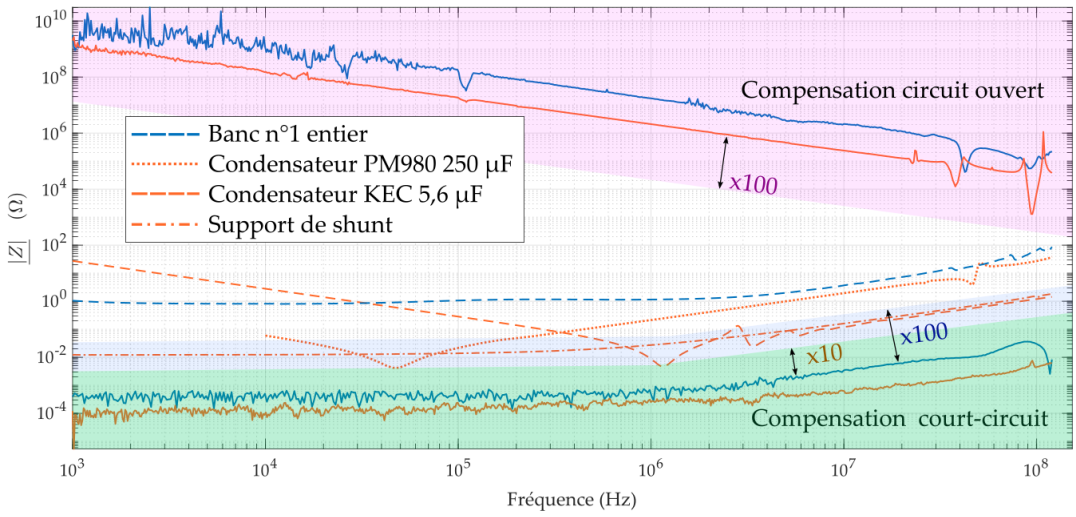



*Figure 199 : mesures d'impédance de différents composants superposées avec les mesures des résidus de compensation.*

Les mesures ont été faites en deux séries. L'une des séries est en bleu (novembre 2018), l'autre en orange (mars 2020).

Le graphe est partagé en trois parties : tout en haut, on trouve la mesure des résidus des deux compensations en circuit ouvert. Ces dernières devraient être confondues mais ce n'est pas le cas à cause de la dispersion sur le mode opératoire de la compensation. Toute mesure située plus bas que la zone rose a une impédance au moins cent fois inférieure à celle de la pire compensation (courbe orange en trait plein).

En bas et en traits pleins, on trouve la mesure des résidus des deux compensations en court-circuit. Ces dernières devraient être confondues mais ce n'est pas le cas, toujours à cause de la dispersion. Toute mesure située plus haut que la zone bleue a une impédance au moins cent fois supérieure à celle de la pire compensation (courbe bleue en trait plein). Toute mesure située plus haut que la zone verte a une impédance au moins dix fois supérieure à celle de la pire compensation (courbe bleue en trait plein).

Enfin, au milieu du graphe, on trouve quatre mesures décrites dans la légende. Ces mesures ont été choisies car elles couvrent l'étendue totale de toutes les mesures faites en termes d'impédance. Ces mesures devraient être en dehors des zones colorées pour respecter le facteur 100 préconisé par le document [119]. Si c'est le cas pour la compensation en circuit ouvert, cela n'est pas vérifié pour celle en court-circuit où seul un facteur 10 est atteint (dans le pire des cas).

Pour simplifier, j'ai malgré tout négligé l'incertitude liée à l'imperfection de la compensation.

## 3.3 Mesures d'impédance des condensateurs

### 3.3.1 Banc n°1

Pour mesurer l'unique condensateur du banc n°1, j'ai utilisé l'accessoire artisanal. J'ai fabriqué un *PCB* de liaison sur lequel un connecteur SMA a été brasé, connecté à l'analyseur (Figure 200).

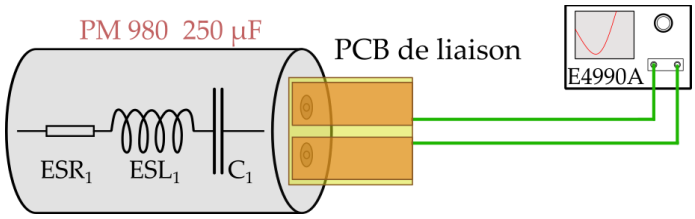



*Figure 200 : mesure de l'impédance complexe du condensateur Eurofarad PM980 (250µF) sorti du banc n°1, à travers un PCB de liaison.*

La Figure 201 présente la mesure de l'impédance complexe de ce condensateur. Il présente un comportement purement capacitif (déphasage de $-90°$) en basse fréquence. En me basant sur le premier point de mesure ($|\underline{Z}| = 6{,}0.10^{-2}$ Ω pour $f = 10\ kHz$), je calcule une capacité égale à $2{,}7.10^{2}$ µ$F$.

Pour cette valeur d'impédance et de fréquence, la précision vaut : $E \leq 10\%$ (Figure 195), ce qui donne une incertitude-type relative élargie de 11 %. On obtient : $C = (2{,}7 \pm 0{,}3).10^{2}$ µ$F$, ce qui est cohérent avec la valeur annoncée par le fabricant au vu de la tolérance que ce dernier annonce ($\pm 10\%$).

La résonance arrive vers $50\ kHz$ et en relevant la valeur minimale de $|\underline{Z}|$, on trouve graphiquement une résistance série équivalente ($ESR$) du condensateur de 4 $m\Omega$ environ. Cependant, ici, la précision $E$ est au-delà de la zone des 10%, donc inconnue. Je retiens un intervalle de : $4 \pm 1\ m\Omega$.

Ensuite, le comportement devient progressivement inductif, et à partir de $1\,MHz$ le déphasage vaut presque $+90°$. J'ai modélisé le comportement d'une inductance pure $L_{pure}$ sur la Figure 201, dont l'impédance complexe s'écrit : $\underline{Z} = jL_{pure}\omega$. Pour une valeur de $31\,nH$, on obtient un assez bon ajustement avec la mesure sur une plage de fréquence comprise entre $1\,MHz$ et $30\,MHz$. Dans cette bande de fréquences et pour cette valeur d'inductance, l'incertitude-type relative élargie vaut 4% en arrondissant par excès. A cela vient s'ajouter l'incertitude ramenée par l'ajustement imparfait entre la courbe expérimentale et le comportement théorique de l'inductance pure, mais cet ajustement est relativement bon sur la Figure 201. Calculer l'incertitude-type globale est assez délicat ici, aussi j'ai pris une valeur arbitraire de 5%. Je retiens donc un intervalle de :

$ESL_1 = 31 \pm 2\,nH$ pour l'inductance parasite du condensateur PM980.

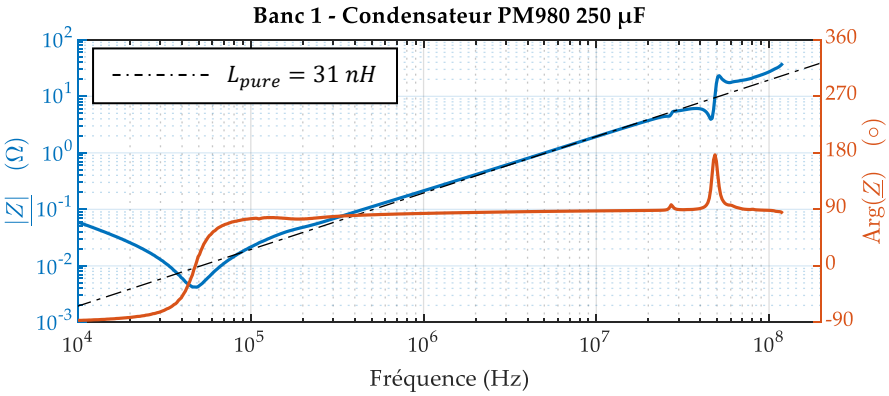



*Figure 201 : module (à gauche) et argument (à droite) de l'impédance complexe du condensateur PM980. Le module de l'impédance d'une inductance pure de valeur* $31\,nH$ *est tracée en traits discontinus.*

## 3.3.2 Banc n°2

### 3.3.2.1 Condensateur céramique $C_2$ KEC

Pour mesurer l'impédance de ce condensateur, j'ai fabriqué une plaque de compensation avec un morceau de *PCB* (Figure 202) et j'ai utilisé la sonde d'impédance 42941A pour mesurer l'impédance complexe de ce condensateur.

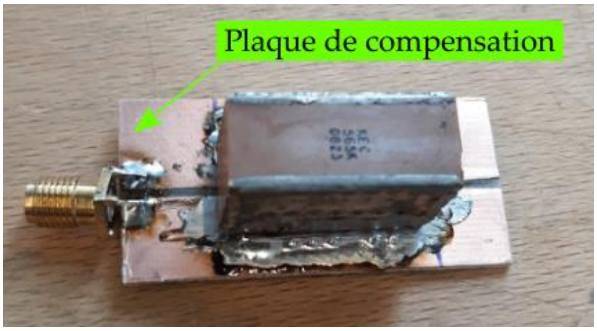



*Figure 202 : condensateur céramique KEC* 5,6 µ*F testé, brasé sur la plaque de compensation.*

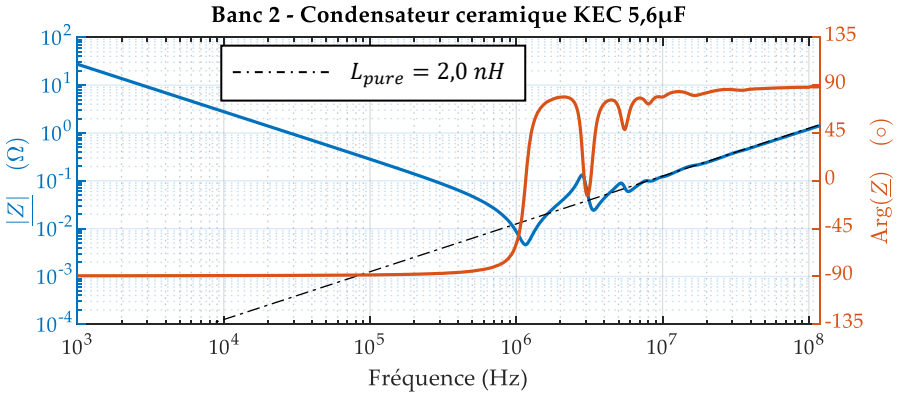



*Figure 203 : module (à gauche) et argument (à droite) de l'impédance complexe du condensateur céramique KEC. Le module de l'impédance d'une inductance pure de valeur 2 nH est tracée en traits discontinus.*

La Figure 203 présente l'impédance complexe de ce condensateur. Il présente un comportement purement capacitif (déphasage de $-90°$) en basse fréquence. En me basant sur le premier point de mesure ($|\underline{Z}| = 28{,}8\ \Omega$ pour $f = 1\ kHz$), je calcule une capacité égale à 5,5 µ$F$. Comme il s'agit d'un condensateur céramique de classe II, cette valeur de capacité varie avec la tension à ses bornes [98], [99], [100]. La valeur trouvée est donc probablement fausse sous 400 $V$.

Pour cette valeur d'impédance et de fréquence, l'incertitude-type relative élargie vaut 1,2 %. On obtient : $C_2'' = (5{,}5 \pm 0{,}07)\ \mu F$, ce qui est cohérent avec la valeur annoncée par le fabricant au vu de la tolérance que ce dernier annonce ($\pm 10\%$).

La résonance arrive vers 1,2 $MHz$ et en relevant la valeur minimale de $|\underline{Z}|$, on trouve graphiquement une résistance série équivalente ($ESR$) du condensateur de 5 $m\Omega$ environ. Cependant, ici, la précision $E$ est au-delà de la zone des 10%, donc inconnue. Je retiens donc un intervalle de : $5 \pm 1\ m\Omega$.

Ensuite, le comportement devient progressivement inductif, et à partir de 10 $MHz$ le déphasage vaut presque $+90°$. J'ai modélisé le comportement d'une inductance pure $L_{pure} = 2\ nH$ sur la Figure 206. On obtient un bon ajustement avec la mesure sur une plage de fréquence comprise entre 10 $MHz$ et 120 $MHz$. Ici, l'incertitude-type relative élargie vaut 12%. Je retiens donc pour la valeur d'inductance série $ESL_2$ un intervalle tel que :

$ESL_2 = 2 \pm 0{,}3\ nH$ pour l'inductance parasite du condensateur KEC.

### 3.3.2.2 Condensateur céramique $C_2'$ AVX

J'ai utilisé la même plaque de compensation que dans la partie précédente, et la mesure a aussi été réalisée avec la sonde d'impédance 42941A.

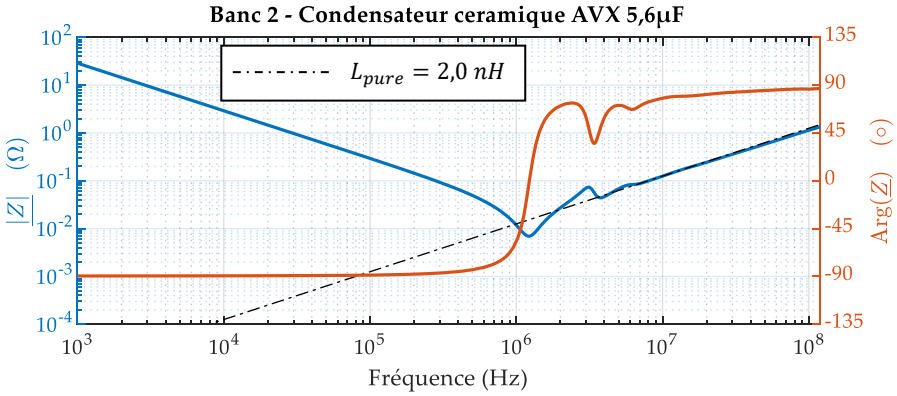



*Figure 204 : module (à gauche) et argument (à droite) de l'impédance complexe du condensateur film EPCOS* 50 µ$F$. *Le module de l'impédance d'une inductance pure de valeur* 2 $nH$ *est tracée en traits discontinus.*

La Figure 204 présente l'impédance complexe de ce condensateur. Il présente un comportement purement capacitif (déphasage de $-90°$) en basse fréquence. En me basant sur le premier point de mesure ($|\underline{Z}| = 27{,}4\ \Omega$ pour $f = 1\ kHz$), je calcule une capacité réelle égale à 5,8 µ$F$, probablement fausse sous 400 $V$ pour les mêmes raisons que dans la partie Chapitre II -2.3.2.1.

Pour cette valeur d'impédance et de fréquence, l'incertitude-type relative élargie vaut 1,2 %. On obtient : $C_2'' = (5{,}8 \pm 0{,}07)\ \mu F$, ce qui est cohérent avec la valeur annoncée par le fabricant au vu de la tolérance que ce dernier annonce ($\pm 10\%$).

La résonance arrive vers 1,2 $MHz$ et en relevant la valeur minimale de $|\underline{Z}|$, on trouve graphiquement une résistance série équivalente ($ESR$) du condensateur de 7 $m\Omega$ environ. Cependant, ici, la précision $E$ est au-delà de la zone des 10%, donc inconnue. Je retiens donc un intervalle large de $7 \pm 2\ m\Omega$.

Ensuite, le comportement devient progressivement inductif, et à partir de 10 $MHz$ le déphasage vaut presque $+90°$. J'ai modélisé le comportement d'une inductance pure $L_{pure} = 2\ nH$ sur la Figure 206. On obtient un bon ajustement avec la mesure sur une plage de fréquence comprise entre 10 $MHz$ et 120 $MHz$. Ici, l'incertitude-type relative élargie vaut 12% en arrondissant par excès. Je retiens donc un intervalle identique à $ESL_2$ :

$ESL_2' = 2 \pm 0{,}3\ nH$ pour l'inductance parasite du condensateur AVX.

## 3.3.3 Banc n°3

### 3.3.3.1 Condensateur $C_2$" EPCOS

Pour mesurer l'impédance de ce condensateur, j'ai fabriqué une plaque de compensation avec un morceau de *PCB* (Figure 205) et j'ai utilisé la sonde d'impédance 42941A pour mesurer l'impédance complexe de ce condensateur.

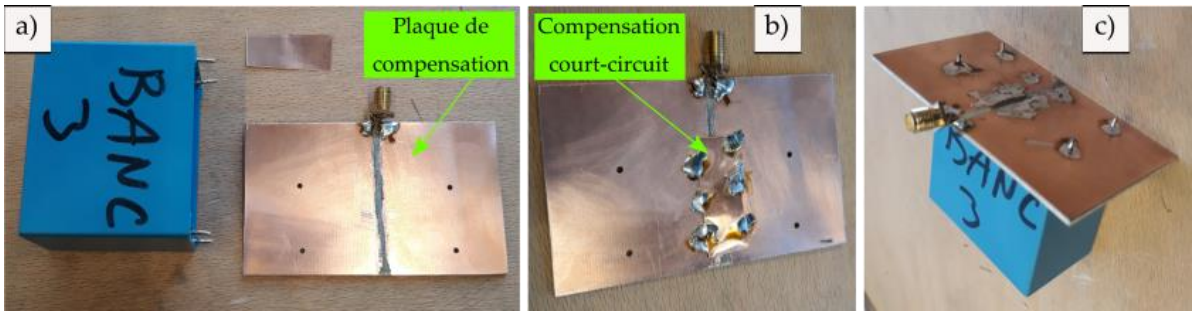



*Figure 205 : a) condensateur testé, plaque de compensation et ruban de cuivre utilisé pour court-circuiter la plaque ; b) compensation en court-circuit ; c) condensateur brasé pour la mesure.*

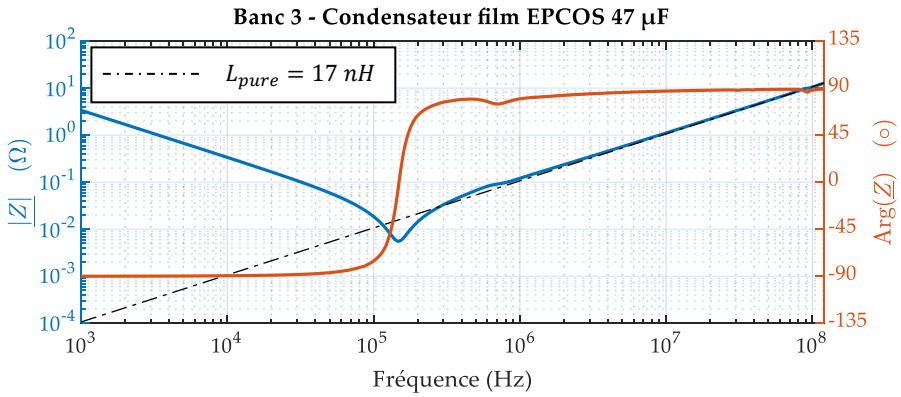



*Figure 206 : module (à gauche) et argument (à droite) de l'impédance complexe du condensateur film EPCOS 47 µF. Le module de l'impédance d'une inductance pure de valeur 17 nH est tracée en traits discontinus.*

La Figure 206 présente l'impédance complexe de ce condensateur. Il présente un comportement purement capacitif (déphasage de $-90°$) en basse fréquence. En me basant sur le premier point de mesure ($|\underline{Z}| = 3{,}38\ \Omega$ pour $f = 1\ kHz$), je calcule une capacité égale à 47 µ$F$. Ici, l'incertitude-type relative élargie vaut 1,2 %. On obtient : $C_2'' = (47 \pm 0{,}3)\ \mu F$, ce qui est cohérent avec la valeur annoncée par le fabricant au vu de la tolérance que ce dernier annonce ($\pm 10\%$).

La résonance arrive vers 147 $kHz$ et en relevant la valeur minimale de $|\underline{Z}|$, on trouve graphiquement une résistance série équivalente ($ESR$) du condensateur de 6 $m\Omega$ environ. Cependant, ici, la précision $E$ est au-delà de la zone des 10%, donc inconnue. Je retiens donc un intervalle de $6 \pm 2\ m\Omega$.

Ensuite, le comportement devient progressivement inductif, et à partir de 5 $MHz$ le déphasage vaut presque $+90°$. J'ai modélisé le comportement d'une inductance pure $L_{pure} = 17\ nH$ sur la Figure 206. On obtient un bon ajustement avec la mesure sur une plage de fréquence comprise entre 1 $MHz$ et 120 $MHz$. Ici, l'incertitude-type relative élargie vaut 12% en arrondissant par excès. Je retiens donc un intervalle tel que :

$ESL_2' = 17 \pm 2\ nH$ pour l'inductance parasite du condensateur EPCOS.

### 3.3.3.2 Condensateur $C_3$ Eurofarad

Pour cette mesure, j'ai aussi fabriqué une plaque de compensation (Figure 207) et j'ai utilisé la sonde d'impédance 42941A pour mesurer l'impédance complexe de ce condensateur.

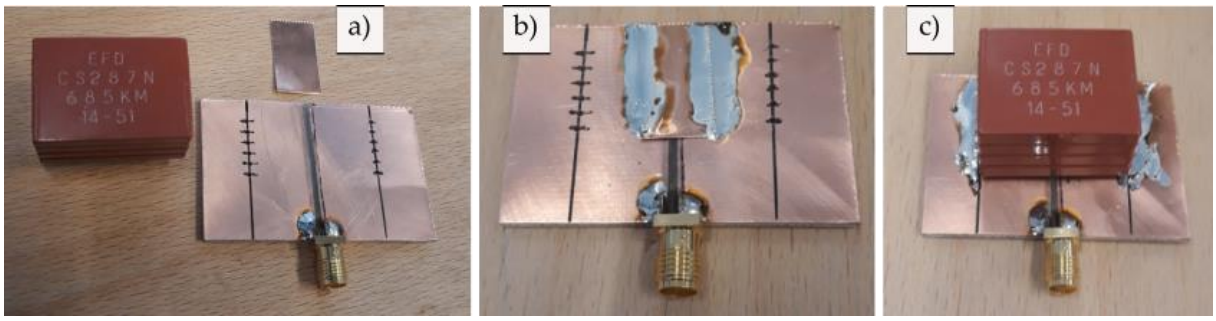



*Figure 207 : a) condensateur testé, plaque de compensation et ruban de cuivre utilisé pour court-circuiter la plaque ; b) compensation en court-circuit ; c) condensateur brasé pour la mesure.*

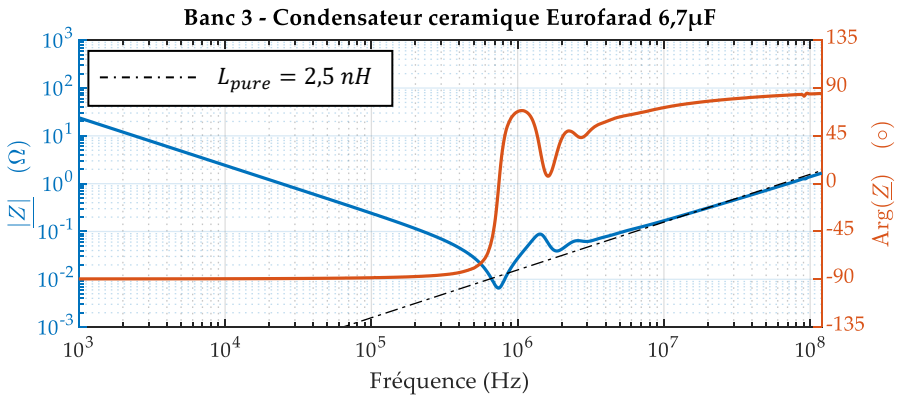



*Figure 208 : module (à gauche) et argument (à droite) de l'impédance complexe du condensateur film EPCOS* 50 µ$F$. *Le module de l'impédance d'une inductance pure de valeur* 2,5 $nH$ *est tracée en traits discontinus.*

La Figure 208 présente l'impédance complexe de ce condensateur. Il présente aussi un comportement purement capacitif (déphasage de $-90°$) en basse fréquence. En me basant sur le premier point de mesure ($|\underline{Z}| = 23{,}9\ \Omega$ pour $f = 1\ kHz$), je calcule une capacité égale à 6,7 µ$F$. Ici l'incertitude-type relative élargie vaut 1,2 %. On obtient : $C_3 = (6{,}7 \pm 0{,}1)\ \mu F$, ce qui est cohérent avec la valeur annoncée par le fabricant au vu de la tolérance que ce dernier annonce ($\pm 20\%$).

La résonance a lieu vers $746\ kHz$ et en relevant la valeur minimale de $|\underline{Z}|$, on trouve graphiquement une résistance série équivalente ($ESR$) du condensateur de 7 $m\Omega$ environ. Cependant, ici, la précision $E$ est au-delà de la zone des 10%, donc inconnue. Je retiens donc un intervalle de $7 \pm 2\ m\Omega$.

Ensuite, le comportement devient progressivement inductif, et à partir de $30\ MHz$ le déphasage est proche de $+90°$. J'ai modélisé sur la Figure 208 le comportement d'une inductance pure $L_{pure} = 2{,}5\ nH$ et on obtient un bon ajustement avec la mesure sur une plage de fréquence comprise entre $10\ MHz$ et $120\ MHz$. Ici, l'incertitude-type relative élargie vaut 12% en arrondissant par excès. Je retiens donc un intervalle tel que :

$ESL_3 = 2{,}5 \pm 0{,}3\ nH$ pour l'inductance parasite du condensateur céramique Eurofarad.

## 3.4 Influence de la polarisation continue

La polarisation continue appliquée par l'analyseur sur le circuit est cruciale pour certaines mesures car elle permet de rendre les *IGBTs* passants. Afin de vérifier la cohérence des mesures, j'ai mesuré l'impédance du banc entier sans polarisation continue. La Figure 209 présente la mesure de l'impédance complexe du banc n°1 en entier, avec et sans polarisation.

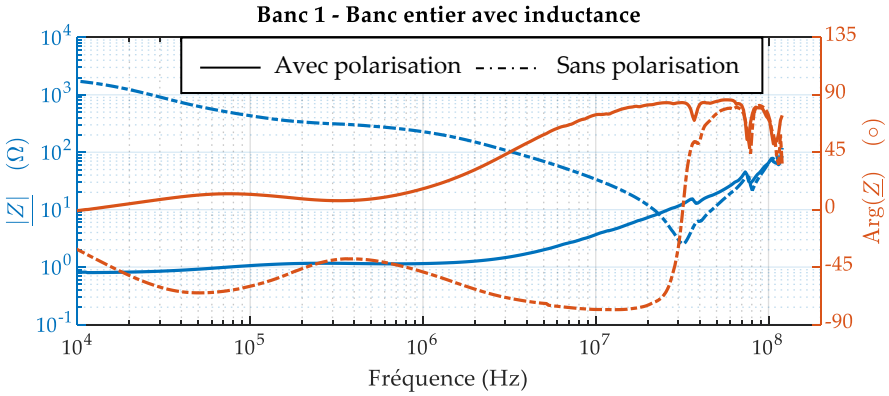



*Figure 209 : influence de la polarisation continue sur le module (à gauche) et de l'argument (à droite) de l'impédance complexe du banc n°1 entier. L'inductance de forte valeur est toujours connectée en parallèle du condensateur.*

En basse fréquence, le module et l'argument sont très différents selon la présence ou l'absence de la polarisation continue ; dans ce dernier cas, le signal alternatif généré par l'analyseur d'impédance est contraint de transiter par leurs capacités parasites ($C_{CE}$, $C_{GC}$ et $C_{GE}$), et le circuit se comporte alors comme un $RLC$ série, ce qui est visible sur la courbe bleue en pointillés.

En revanche, en haute fréquence (au-delà de $50\,MHz$), les courbes avec et sans polarisation se rejoignent, car l'impédance des *IGBTs* devient très faible dans les deux cas. En effet, même à l'état bloqué, l'impédance des capacités parasites devient très faible. Tout ceci confirme la cohérence des mesures.

# 4. Mesure de la capacité du banc n°3 sous polarisation continue

## 4.1 Motivations

Cette partie concerne uniquement le 3e banc de courts-circuits.

Le condensateur céramique Eurofarad est de classe II, sa capacité peut donc varier avec la tension continue qui lui est appliquée [98], [99], [100]. Comme les essais de courts-circuits sont réalisés à des tensions différentes, la capacité de ce condensateur peut changer selon les essais. De plus, d'après la simulation faite dans la partie 2.3.3.6, c'est ce composant qui fournit la majorité du courant au début d'un essai de court-circuit. J'ai donc trouvé utile de mesurer sa capacité seul.

Par ailleurs, les incertitudes sur la valeur de capacité des quatre condensateurs sont élevées. Additionner les valeurs de capacité donnerait une estimation surement fausse de la capacité totale du banc n°3. Comme je souhaitais établir un modèle électrique de ce banc, j'ai donc choisi de faire des mesures de capacité sous tension :

- une mesure du banc entier, avec les quatre condensateurs ;
- une 2e mesure du condensateur céramique seul (en ayant démonté les trois autres).

Pour me mettre dans les mêmes conditions que les essais de court-circuit, j'ai appliqué aux bornes du banc une tension de 270 V ou 400 V. Une mesure a aussi été faite sans appliquer aucune tension pour évaluer la variation de capacité du banc causée par le comportement du condensateur céramique. En tout, six mesures ont été réalisées. Elles sont regroupées dans le Tableau 30.

*Tableau 30 : paramètres des six essais menés pour calculer la capacité du banc n°3.*

| Mesure n° | Tension appliquée | Configuration du banc n°3 |
|---|---|---|
| **1** | 0 | Banc entier |
| **2** | 270 $V$ | Banc entier |
| **3** | 400 $V$ | Banc entier |
| **4** | 0 | Condensateur céramique seul |
| **5** | 270 $V$ | Condensateur céramique seul |
| **6** | 400 $V$ | Condensateur céramique seul |

## 4.2 Protocole expérimental

### 4.2.1 Principe

La mesure de la capacité du banc sous tension aurait pu être faite directement avec l'analyseur d'impédance Keysight E4990A, mais la polarisation continue maximale est de $40\,V$, ce qui est insuffisant.

Dans la partie 2.3.3.4, on peut voir que l'impédance du banc est presque purement capacitive pour des fréquences inférieures à $4\,kHz$ environ. On peut donc prendre l'hypothèse que le banc se comporte comme une capacité pure si on l'excite avec un GBF fournissant une tension sinusoïdale de fréquence $f < 4\,kHz$. J'ai choisi une fréquence de $100\,Hz$ pour toutes les mesures.

Un courant variable s'établira alors de part et d'autre du banc, qu'on note $i_{Banc}$. En mesurant ce courant ainsi que la tension $u_{Banc}$ aux bornes du banc, on peut calculer sa capacité. Si l'on note $\underline{Z_{Banc}}$ l'impédance complexe du banc, $C_{Banc}$ sa capacité et $\omega$ la pulsation de la tension d'excitation, on a :

$$\underline{Z_{Banc}} = \frac{1}{jC_{Banc}\omega}$$

En notant $\hat{U}_{Banc}$ l'amplitude de la tension aux bornes du banc, et $I_{Banc}$ l'amplitude du courant le traversant, on peut écrire :

$$\left|\underline{Z_{Banc}}\right| = \frac{\hat{U}_{Banc}}{\hat{I}_{Banc}}$$

On obtient donc :

$$\left|\frac{1}{jC\omega}\right| = \frac{\hat{U}_{Banc}}{\hat{I}_{Banc}} \quad soit \quad C = \frac{\hat{I}_{Banc}}{\hat{U}_{Banc}} \times \frac{1}{2\pi f} \qquad (1)$$

Mais l'excitation du GBF doit être complétée par une polarisation continue. Pour cela, j'ai utilisé une alimentation haute tension Agilent 5772A $600\,V$ $2{,}6\,A$, à découpage, limitée en interne à une faible valeur de courant. La liaison entre le GBF et le banc est assurée par un ensemble de condensateurs, qui permettent le passage du courant alternatif du GBF mais bloquent la tension continue de l'alimentation. Entre cette dernière et le banc, j'ai inséré une résistance $R$ pour éviter qu'une partie du courant alternatif du GBF ne dérive vers la branche de gauche du circuit représenté en Figure 210.

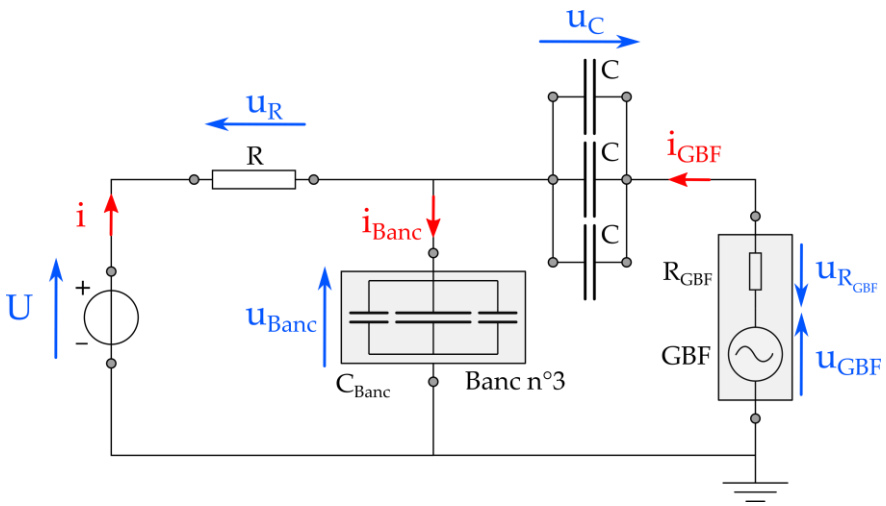



*Figure 210 : schéma électrique du montage pour mesurer la capacité du banc n°3 sous polarisation continue.* $R = 10\ k\Omega$ ; $C = 250\ \mu F$ ; $R_{GBF} = 50\ \Omega$.

L'expérience présente des risques pour le matériel, en particulier pour le GBF, qui pourrait être traversé par de forts courants pendant la charge et la décharge des condensateurs. Par ailleurs, si les condensateurs de liaison viennent à défaillir, le GBF sera soumis à la haute tension de l'alimentation et sera sans doute détruit. J'ai donc choisi d'utiliser un GBF ancien (Metrix GX 245), afin de préserver les générateurs de fonctions récents et onéreux du laboratoire. L'inconvénient est que la date de dernière calibration du GX 245 est inconnue. Par conséquent, je considère que la valeur de fréquence affichée par l'appareil souffre d'une forte incertitude et n'est donc pas utilisable. Ce problème sera résolu avec Matlab dans la partie 4.2.3.

On peut décomposer le courant $i_{Banc}$ traversant le banc en une composante continue $\langle i_{Banc} \rangle$ et une composante alternative $\tilde{\imath}_{Banc}$ :

$$i_{Banc} = \langle i_{Banc} \rangle + \tilde{\imath}_{Banc}$$

Quand on met sous tension, un courant $i$ fourni par l'alimentation s'établit pour charger le banc. Mais une fois la capacité totale du banc $C_{Banc}$ chargée, si on néglige le courant de fuite, ce courant s'annule et la composante continue du courant traversant le banc s'annule :

$$\langle i_{Banc} \rangle = 0$$

Le courant traversant le banc est donc alternatif et égal au courant fourni par le GBF :

$$i_{Banc} = \tilde{\imath}_{Banc} = i_{GBF}$$

La valeur de la résistance $R$ doit être assez grande pour éviter que le courant alternatif du GBF ne dérive dans la branche de gauche du circuit :

$$R \gg \left| \underline{Z_{Banc}} \right|$$

Le banc ayant une capacité d'environ $557\ \mu F$, une résistance de $10\ k\Omega$ est suffisante. En effet :

$$\left| \underline{Z_{Banc}} \right| = \left| \frac{1}{j C_{Banc} \omega} \right|$$

$$\left|\underline{Z_{Banc}}\right| = \frac{1}{C_{Banc} \times 2\pi f}$$

$$\left|\underline{Z_{Banc}}\right| \approx 2{,}9\ \Omega \text{ pour } f = 100\ Hz$$

On a bien : $R \gg \left|\underline{Z_{Banc}}\right|$.

De la même manière, on peut décomposer la tension aux bornes du banc $u_{Banc}$ en une composante continue $\langle u_{Banc} \rangle$ et une composante alternative $\tilde{u}_{Banc}$ :

$$u_{Banc} = \langle u_{Banc} \rangle + \tilde{u}_{Banc}$$

On écrit les lois des mailles dans le circuit :

$$\langle u_{Banc} \rangle = U - u_R$$

$$\tilde{u}_{Banc} = u_{GBF} - u_C - u_{R_{GBF}} \quad soit \quad u_{Banc} = U - u_R + u_{GBF} - u_C - u_{R_{GBF}}$$

La tension aux bornes de la résistance $u_R$ est nulle quand le courant qui la traverse est nul, ce qui est le cas lors des mesures puisqu'on attend la charge complète de la capacité totale du banc : $u_R = 0$

On obtient donc : $u_{Banc} = U + u_{GBF} - u_C - u_{R_{GBF}}$

L'amplitude de la composante alternative de la tension aux bornes du banc est notée $\widehat{U}_{Banc}$. On l'obtient comme un montage diviseur de tension :

$$\widehat{U}_{Banc} = \widehat{U}_{GBF} \times \frac{\left|\underline{Z_{Banc}}\right|}{\left|\underline{Z_{Banc}}\right| + \left|\underline{Z_C}\right| + \left|\underline{Z_R}\right|}$$

En considérant que les trois condensateurs de liaison se comportent comme des capacités pures, on trouve :

$$\widehat{U}_{Banc} = \widehat{U}_{GBF} \times \frac{1}{1 + C_{Banc}\left(\omega R_{GBF} + \frac{1}{3C}\right)}$$

La valeur de la résistance de sortie du GBF n'est pas modifiable ($R_{GBF} = 50\ \Omega$). Il faut donc maximiser la valeur de $C$ pour que l'amplitude $\widehat{U}_{Banc}$ de la tension aux bornes du banc soit la plus grande possible. Ceci permet de diminuer l'incertitude sur la valeur de cette tension lors de sa mesure. J'ai utilisé trois condensateurs de $250\ \mu F \pm 10\%$, connectés en parallèle (même référence que les condensateurs du banc : Eurofarad PM980, film polypropylène métallisé). La Figure 211 présente le montage expérimental.

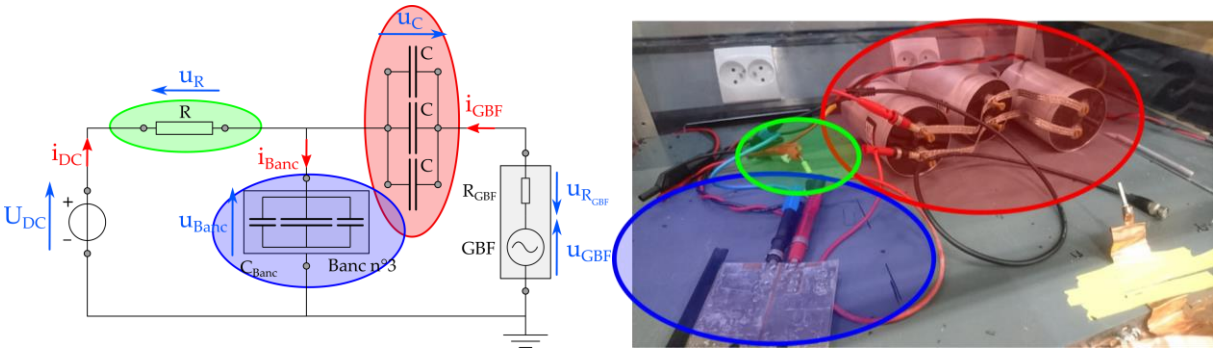



*Figure 211 : dispositif expérimental utilisé pour mesurer la capacité du banc n°3. Le banc ne comprend plus que le condensateur céramique ici (non visible sur la photo), les autres ont démontés.*

Toujours dans cette optique, on constate aussi qu'il faut privilégier une faible fréquence au niveau du GBF. En prenant les valeurs suivantes : $R = 10\ k\Omega$ ; $C = 250\ \mu F$ ; $C_{banc} \approx 557\ \mu F$, on obtient, pour une fréquence de GBF de $f = 100\ Hz$ : $\hat{U}_{Banc} \approx \hat{U}_{GBF} \times 0{,}052$.

Avec une amplitude $\hat{U}_{GBF} = 10V$, on aurait donc : $\hat{U}_{Banc} \approx 0{,}52\ V$. Cette valeur de tension reste mesurable avec une sonde d'oscilloscope, même si elle est faible.

### 4.2.2 Mesures de tension et de courant

La tension continue $U$ aux bornes du banc sera égale à $400\ V$ pour certains essais, ce qui impose l'utilisation d'une sonde haute tension pour mesurer $u_{Banc}$. J'ai choisi d'utiliser la sonde haute tension PMK PHV 1000 RO (cette dernière a servi à mesurer la tension drain-source des transistors lors des essais de courts-circuits). Ses caractéristiques ont été présentées dans la partie 5.2.2. Cette sonde présente en revanche un niveau de bruit pic-pic de l'ordre de $0{,}1\ V$ (valeur relevée expérimentalement). La mesure sera donc bruitée. J'ai réglé le déclenchement de l'oscilloscope sur *AC* afin de ne garder que la composante alternative $\tilde{u}_{Banc}$ de la tension aux bornes du banc.

Concernant la mesure du courant $i_{Banc}$, la sonde utilisée est une LeCroy CP031, dont les caractéristiques [121] sont présentées dans le Tableau 31.

*Tableau 31 : caractéristiques de la sonde de courant LeCroy CP031*

| Référence | Courant efficace max. | Bande passante | Technologie | Impédance d'insertion | Sensibilité | Bruit pic-pic[6] |
|---|---|---|---|---|---|---|
| LeCroy CP 031 | 30 A | 100 MHz | Effet Hall + Transfo. d'intensité | $< 1\ m\Omega$ ($f < 100\ kHz$) | $0{,}1\ V/A$ | $\leq 10\ mA$ |

Le niveau de bruit de cette sonde est assez élevé pour poser problème car l'amplitude des courants mesurés est comprise entre $20\ mA$ et $200\ mA$.

J'ai fait l'acquisition d'un grand nombre de périodes pour augmenter la précision de la mesure. La Figure 212 montre l'acquisition de la tension et du courant pour l'essai n°1. La Figure 213 zoome sur une période des signaux et montre que le courant est en avance sur la tension et que les deux sont en quadrature. Le comportement capacitif du banc est confirmé.

[6] Estimé à partir des acquisitions sur l'oscilloscope.

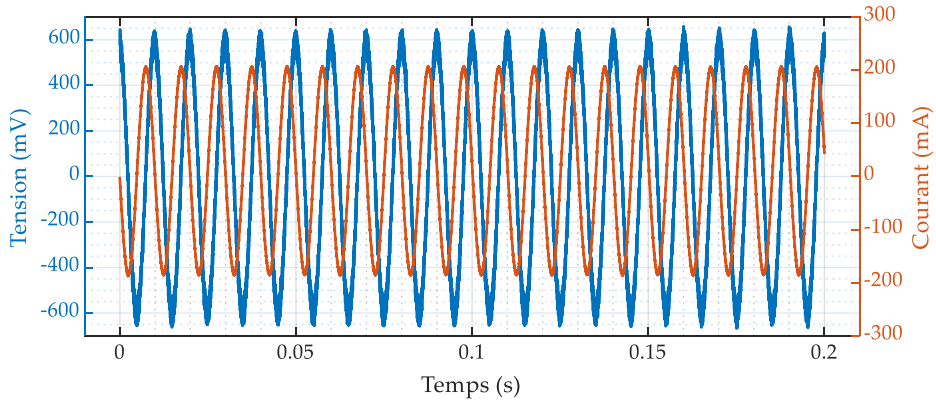



*Figure 212 : composante alternative $\tilde{u}_{Banc}$ de la tension (à gauche) et courant $i_{Banc}$ (à droite) non filtrés et non fenêtrés, pour la mesure de la capacité totale du banc n°3, sans tension continue appliquée (mesure n°1).*

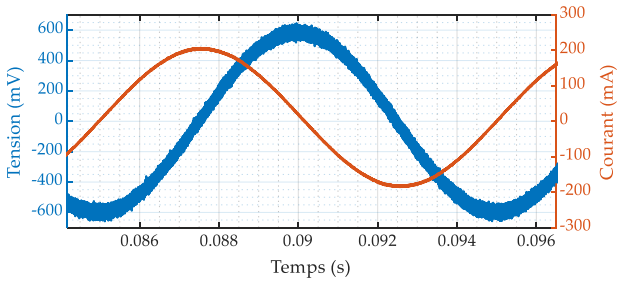



*Figure 213 : composante alternative $\tilde{u}_{Banc}$ de la tension (à gauche) et courant $i_{Banc}$ (à droite), zoom sur une seule période (mesure n°1).*

### 4.2.3 Traitement numérique des mesures

Les signaux récupérés sont fortement bruités et leur fréquence n'est pas connue précisément puisqu'elle est égale à celle du GBF qui est considéré très imprécis. J'ai choisi de calculer sous Matlab leur transformée de Fourier rapide (FFT), afin de récupérer directement leur fréquence et leur amplitude.

Le fenêtrage des signaux a été fait avec une fenêtre d'apodisation rectangulaire. J'ai donc dû conserver un nombre exactement entier de périodes avant de calculer la FFT, car le non-respect de cette condition génère de fortes erreurs à la fois sur la fréquence des pics et sur leur amplitude. J'ai codé un programme qui détecte les passages à zéro du signal et qui compte ainsi ses périodes. Le bruit faussant cette détection, il a fallu filtrer le signal très fortement avec une moyenne glissante sur quelques centaines à quelques milliers d'échantillons selon les signaux. La Figure 214 présente le filtrage de la tension de la mesure n°1 (banc complet, aucune polarisation continue).

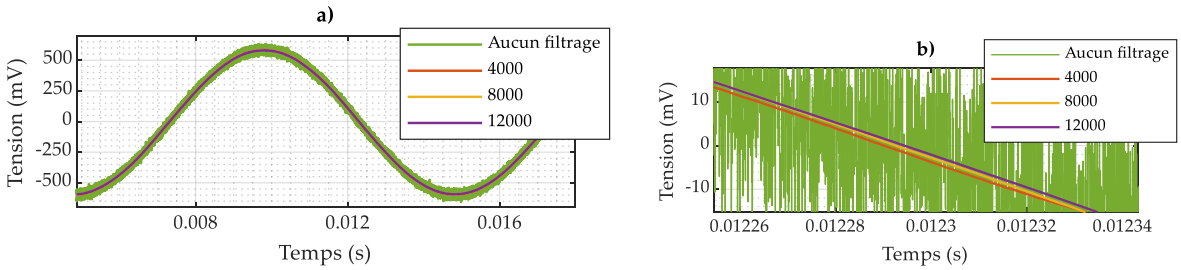



*Figure 214 : filtrage par moyenne glissante de la composante alternative $\tilde{u}_{Banc}$ de la tension aux bornes du banc. La légende indique sur combien d'échantillon le filtrage a été réalisé. a) vue d'une période ; b) zoom autour d'un passage à zéro du signal.*

J'ai utilisé le même procédé pour filtrer le courant (Figure 215), mais la moyenne glissante n'a été faite que sur quelques centaines d'échantillons car le signal est moins bruité que celui de la tension.

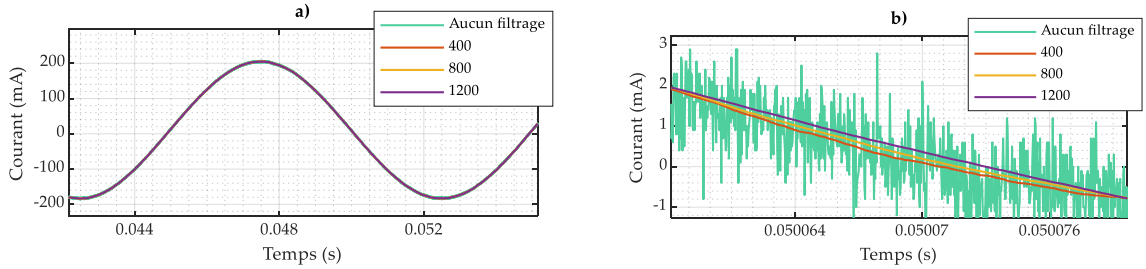



*Figure 215 : filtrage par moyenne glissante du courant de part et d'autre du banc. La légende indique sur combien d'échantillon le filtrage a été réalisé. a) vue d'une période ; b) zoom autour d'un passage à zéro du signal.*

Le filtrage nécessaire au bon fonctionnement du programme altère sensiblement les signaux. Cependant, ce signal filtré n'est utilisé que pour récupérer les instants correspondant au 1$^{er}$ zéro et au dernier zéro, comme le montre la Figure 216.

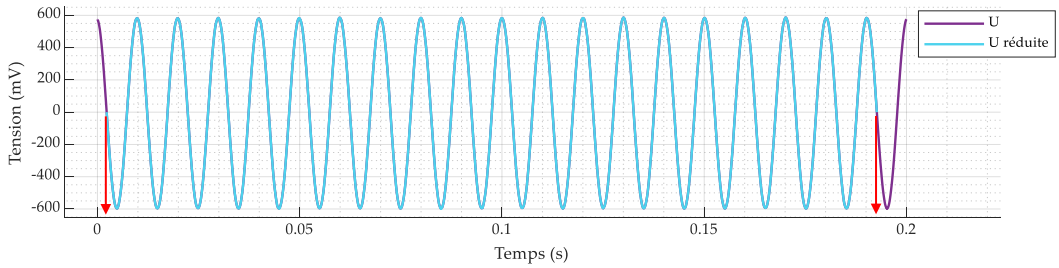



*Figure 216 : composante alternative $\tilde{u}_{Banc}$ de la tension aux bornes du banc pour la mesure n°1, filtré avec une moyenne glissante sur 12000 échantillons. Récupération des instants correspondant au 1$^{er}$ zéro et au dernier zéro sur un nombre de périodes entier (flèches rouges).*

Ensuite, le code reprend le signal brut, et réduit l'acquisition entre ces deux instants. Une partie du signal brut est donc rejetée, au début et à la fin, ce qui est visible sur la Figure 217 et sur la Figure 218.

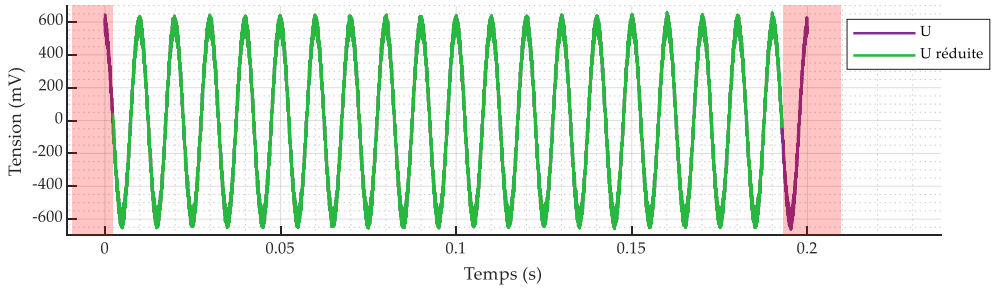



*Figure 217 : composante alternative $\tilde{u}_{Banc}$ de la tension aux bornes du banc pour la mesure n°1, non filtré. Les zones rouges sont exclues pour conserver un nombre de périodes entier.*

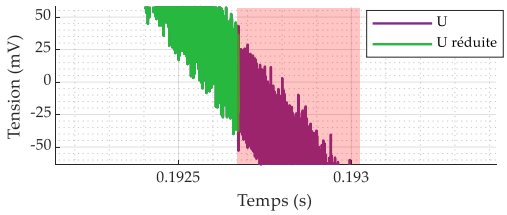



*Figure 218 : composante alternative $\tilde{u}_{Banc}$ de la tension aux bornes du banc pour la mesure n°1, non filtré. Zoom sur la fin du signal.*

La même méthode est utilisée pour conserver un nombre de périodes entier pour le courant.

Une autre technique possible aurait été de relever à la main, sur les graphes, l'amplitude de la tension et du courant, ainsi que la fréquence en comptant en grand nombre de périodes. Cependant, cette méthode est longue et surtout très imprécise, voire impossible pour certaines mesures, à cause du bruit. Ce dernier aurait pu être supprimé en partie en filtrant le signal très fortement, avec le risque de dégrader son allure. Une étude approfondie de la nature du bruit aurait été nécessaire pour choisir le bon filtrage. Quelques essais de filtrage avec une moyenne glissante sur plusieurs milliers d'échantillons ont de toutes façons montré que les signaux filtrés présentaient une amplitude variable dans le temps, ce qui complique encore la tâche.

J'ai ensuite calculé avec Matlab la FFT et je l'ai divisée par le nombre $N$ de points de l'acquisition afin de la pondérer. On récupère ensuite le module des nombres complexes obtenus. Comme la FFT d'un signal réel renvoie des raies comprises entre $-F_e$ et $+F_e$ (avec $F_e$ la fréquence d'échantillonnage) toute l'énergie du signal est répartie à la fois sur des fréquences négatives et positives. Pour ne conserver que les raies aux fréquences positives, je multiplie par deux l'amplitude de toutes les raies (sauf pour la raie à $f = 0\ Hz$). On obtient les spectres de la tension et du courant, visibles sur la Figure 219 et la Figure 220.

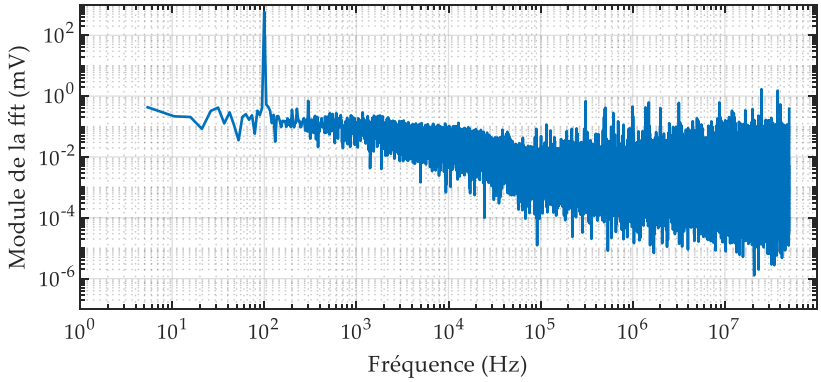



*Figure 219 : FFT de la composante alternative $\tilde{u}_{Banc}$ de la tension aux bornes du banc sans tension continue appliquée (mesure n°1).*

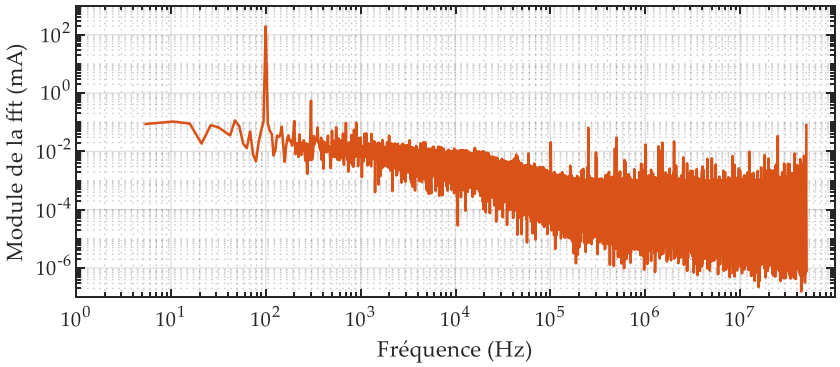



*Figure 220 : FFT du courant de part et d'autre du banc sans tension continue appliquée (mesure n°1).*

Les signaux présentent un pic très net à la fréquence d'excitation du GBF, et un bruit haute fréquence. J'ai relevé sur ces graphes les amplitudes des grandeurs, en paramétrant Matlab pour avoir assez de décimales sur les valeurs et ainsi pouvoir négliger les erreurs d'arrondi.

L'échelle logarithmique cache les composantes continues ($f = 0\ Hz$) de la tension et du courant. Elles sont visibles sur la Figure 221 qui ne montre que les fréquences les plus basses du spectre.

La composante continue de la tension n'est pas nulle mais très faible (au maximum $10\ mV$ sur les six mesures), sans doute à cause d'un déclenchement en AC imparfait dans l'oscilloscope. Pour le courant, la composante continue vaut quant à elle $10\ mA$ en moyenne sur les 6 mesures. Les résistances de décharge du banc forment une résistance équivalente de $1{,}5\ M\Omega$, et les résistances d'isolation des condensateurs du banc sont toutes supérieures à $10\ M\Omega$. Ces valeurs sont bien trop élevées pour expliquer cette composante continue ; elle est probablement due à un dégaussage imparfait de la sonde de courant. De plus, ce courant de fuite ne dépend presque pas de la tension appliquée sur le banc.

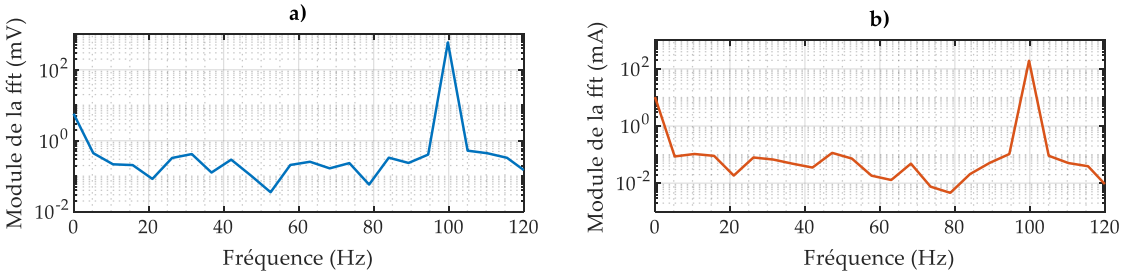



*Figure 221 : FFT (mesure n°1), zoom sur la composante continue. a) composante alternative $\tilde{u}_{Banc}$ de la tension aux bornes du banc ; b) courant de part et d'autre du banc.*

J'ai réalisé les mesures n°2 et 3 (Tableau 30) de la même façon.

En revanche, pour les mesures n°4, 5 et 6, les deux condensateurs PM980 de $250\ \mu F$ ont été dévissés, et le condensateur B32778P de $50\ \mu F$ a été débrasé. Il ne restait alors sur le circuit imprimé du banc n°3 que le condensateur céramique de $6{,}8\ \mu F$. La méthode utilisée reste la même, mais l'amplitude de la composante alternative de la tension est bien plus grande que pour les premières mesures ; en revanche, le courant a une amplitude plus faible. Ceci est causé par la variation d'impédance du banc suite au retrait des condensateurs.

La différence entre la fréquence mesurée sur les FFT de la tension et du courant ne dépasse pas 0,006 % (60 ppm), ce qui laisse penser que les signaux ont été correctement fenêtrés sur un nombre entier de

périodes. J'ai donc considéré que cette différence était négligeable et que les deux fréquences étaient identiques.

## 4.3 Résultats

### 4.3.1 Calcul de la capacité du banc

J'ai ensuite calculé la capacité grâce à l'équation ( 1 ). Les résultats sont regroupés dans le Tableau 32. Dans ce dernier, tous les chiffres des nombres ne sont pas significatifs compte-tenu des incertitudes de mesures que nous allons calculer.

*Tableau 32 : résultats des 6 mesures et calcul de la capacité du banc.*

| **Mesure n°** | **Tension appliquée** | **Config. du banc n°3** | **Amplitude de la tension** | **Amplitude du courant** | **Fréquence** | **Capacité calculée** |
|---|---|---|---|---|---|---|
| | ***V*** | | ***mV*** | ***mA*** | ***Hz*** | ***µF*** |
| 1 | 0 | Entier | 591,85 | 193,47 | 99,795 | 521,34 |
| 2 | 270 | Entier | 591,17 | 192,70 | 99,758 | 520,05 |
| 3 | 400 | Entier | 590,70 | 192,15 | 99,756 | 518,98 |
| 4 | 0 | Céram. | 9558,9 | 39,259 | 99,753 | 6,55 |
| 5 | 270 | Céram. | 9677,9 | 30,323 | 99,753 | 5,00 |
| 6 | 400 | Céram. | 9686,2 | 26,538 | 99,753 | 4,37 |

On constate que la capacité diminue avec la tension continue appliquée, pour les mesures n°1, 2 et 3. Ceci est probablement dû au comportement du condensateur céramique. Cette hypothèse est confirmée par les mesures n°4, 5 et 6. En effet, en notant $C_{tot,i}$ la capacitée calculée à la mesure $i$, on a :

$$C_{tot,3} - C_{tot,1} \approx C_{tot,6} - C_{tot,4} \approx 2{,}2\ \mu F$$

Pour savoir quelle confiance accorder à ces résultats, étudions les incertitudes liées d'une part aux capacités annoncées par les fabricants, et d'autre part celles liées aux mesures réalisées.

### 4.3.2 Incertitude sur les valeurs de capacité annoncées par les fabricants

Je cherche à vérifier que la capacité calculée pour le banc entier, sans polarisation continue appliquée (mesure n°1), est cohérente avec les tolérances des fabricants. La capacité totale du banc $C_{tot}$ vaut :

$$C_{tot} = 2 \times C_1 + C''_2 + C_3$$

L'incertitude-type sur chaque valeur de capacité est calculée à partir de la tolérance donnée par les fabricants (partie 2.4.1 des annexes). $C_{tot}$ étant une grandeur calculée, on propage les quatre incertitudes avec le logiciel, on obtient l'incertitude-type $u(C_{tot})$ sur la capacité totale et on l'élargit.

En ne gardant qu'un seul chiffre significatif pour l'incertitude élargie, l'écriture correcte est :

$$C_{tot} = 5{,}6.10^2 \pm 4.10^1\ \mu F.$$

Cette grandeur est donc connue assez peu précisément (l'incertitude élargie relative $U(C_{tot})/C_{tot}$ dépasse les 7%).

Revenons aux résultats du Tableau 32. La valeur calculée pour la mesure n°1 vaut $521{,}34\ \mu F$ (sans tenir compte des chiffres significatifs). Cette valeur appartient à l'intervalle calculé, elle est donc cohérente.

On constate que les valeurs de capacité calculées pour les mesures n°2 et 3 sont légèrement plus faibles que pour la mesure n°1. Plus la tension continue est élevée, plus la capacité est faible.

Passons maintenant aux mesures n°4, 5 et 6. En appliquant la même méthode sur les incertitudes, on trouve le résultat suivant pour la capacité $C_3$ du condensateur céramique CS 287 N :

$$C_3 = 6{,}8 \pm 1{,}6\ \mu F$$

Ici, deux chiffres significatifs ont été conservés pour l'incertitude élargie afin d'éviter de trop la surestimer. La valeur calculée pour la mesure n°4 (aucune polarisation continue) est $6{,}55\ \mu F$, ce qui est cohérent avec l'intervalle.

### 4.3.3 Incertitude sur la capacité calculée

La capacité calculée dépend de l'amplitude du courant, de celle de la composante alternative de la tension aux bornes du banc et de la fréquence des signaux, d'après l'équation (2) réécrite ici avec l'indice $exp$ (pour « expérimental ») sur la capacité pour ne pas confondre avec les valeurs théoriques annoncées par les fabricants :

$$C_{exp} = \frac{\hat{I}_{Banc}}{\hat{U}_{Banc}} \times \frac{1}{2\pi f} \qquad (3)$$

L'incertitude-type de chaque grandeur se répercute sur la capacité calculée, dont l'incertitude-type relative s'écrit (partie 2.2 des annexes) :

$$\frac{u(C_{exp})}{C_{exp}} = \sqrt{\left(\frac{u(\hat{I}_{Banc})}{\hat{I}_{Banc}}\right)^2 + \left(\frac{u(\hat{U}_{Banc})}{\hat{U}_{Banc}}\right)^2 + \left(\frac{u(f)}{f}\right)^2} \qquad (4)$$

#### 4.3.3.1 Incertitude-type relative sur le courant

Pour la mesure du courant, il y a principalement deux sources d'incertitude, considérées indépendantes :

- l'incertitude sur la sonde CP031, notée $u(I_{sonde})$ ;
- l'incertitude sur l'oscilloscope (en vertical), notée $u(I_{osc})$.

On a alors :

$$\frac{u(\hat{I}_{Banc})}{\hat{I}_{Banc}} = \sqrt{\left(\frac{u(I_{sonde})}{\hat{I}_{Banc}}\right)^2 + \left(\frac{u(I_{osc})}{\hat{I}_{Banc}}\right)^2}$$

L'incertitude sur la sonde est représentée par une tolérance de $\pm 1\%$ [121] en basse fréquence (ce qui est le cas pour notre mesure qui se fait à environ $100\ Hz$) ;

L'incertitude verticale de l'oscilloscope (erreur et non-linéarité du convertisseur analogique/numérique) est représentée par une tolérance de $\pm 0{,}5\%$ en basse fréquence selon [122] (spécifié en continu mais utilisable à $100\ Hz$ d'après le service technique de LeCroy). Sur les conseils de LeCroy, je considère une loi de densité de probabilité normale d'écart-type $\sigma$ pour ces deux incertitudes (partie 2.4.1.2 des

annexes). Les tolérances annoncées seraient en effet légèrement surestimées et choisir une loi rectangulaire ne serait pas adapté.

On trouve donc :

$$\frac{u(\hat{I}_{Banc})}{\hat{I}_{Banc}} = \sqrt{\left(\frac{t(I_{sonde})/100}{3}\right)^2 + \left(\frac{t(I_{osc})/100}{3}\right)^2} \quad soit \quad \frac{u(\hat{I}_{Banc})}{\hat{I}_{Banc}} = 0{,}3737\ \%$$

#### 4.3.3.2 Incertitude-type relative sur la tension

Pour la mesure de tension, il y a aussi deux sources d'incertitude, considérées indépendantes :

- l'incertitude sur le ratio d'atténuation $(100:1)$, notée $u(U_{att})$;
- l'incertitude sur l'oscilloscope (en vertical), notée $u(U_{osc})$.

L'incertitude sur le ratio d'atténuation est représentée par une tolérance de $\pm 2\%$ [123] en basse fréquence (ce qui est le cas pour notre mesure qui se fait à environ $100\ Hz$) ; l'incertitude verticale de l'oscilloscope est représentée par une tolérance de $\pm 0{,}5\%$ comme précédemment.

Je considère aussi une loi de densité de probabilité normale d'écart-type $\sigma$ pour ces deux incertitudes.

On a de même :

$$\frac{u(\hat{U}_{Banc})}{\hat{U}_{Banc}} = \sqrt{\left(\frac{t(U_{att})/100}{3}\right)^2 + \left(\frac{t(U_{osc})/100}{3}\right)^2} \quad soit \quad \frac{u(\hat{I}_{Banc})}{\hat{I}_{Banc}} = 0{,}6872\ \%$$

#### 4.3.3.3 Incertitude-type relative sur la fréquence

Enfin, pour la mesure de la fréquence, j'ai choisi de ne pas me baser sur les caractéristiques du GBF car celui utilisé est très ancien et sa date de dernière calibration est inconnue. L'incertitude sur la fréquence dépend donc :

- de l'erreur horizontale de l'oscilloscope, qui est a priori très petite au vu de la très grande précision de l'horloge interne et la faible valeur du jitter [122] ;
- de l'opération de fenêtrage sur un nombre entier de périodes ;
- et enfin du calcul de la FFT.

Comme toutes les mesures ont été faites sans modifier le réglage de fréquence du GBF, j'ai en fait accès à douze mesures de la même fréquence (six pour les tensions et six pour les courants). Le Tableau 32 ne présente cependant que les six fréquences obtenues sur les FFT de tension, car elles diffèrent très peu de celles des FFT de courant. Le Tableau 33 montre ces douze valeurs de fréquence.

*Tableau 33 : fréquences (en Hertz) obtenues à partir des FFT de tension et de courant.*

| | | | | | |
|---|---|---|---|---|---|
| 99,79481 | 99,79246 | 99,75273 | 99,75289 | 99,75624 | 99,75568 |
| 99,75793 | 99,75652 | 99,75286 | 99,74760 | 99,75347 | 99,75182 |

En considérant que ces mesures sont indépendantes, il est possible de faire un calcul d'incertitude de type A avec cette série de valeurs (partie 2.3 des annexes). On obtient une moyenne de 99,76042 $Hz$ et une incertitude-type $u(f) = 0{,}00455\ Hz$. L'incertitude-type relative vaut alors :

$$\frac{u(f)}{f} = 0{,}004561\ \%$$

#### 4.3.3.4 Incertitude sur la capacité calculée

En reprenant l'équation ( 4 ), on obtient :

$$\frac{u(C_{exp})}{C_{exp}} = 0{,}7818\ \%$$

L'incertitude-type relative sur la fréquence aurait pu être négligée devant celles sur le courant et la tension. Je calcule alors l'incertitude élargie relative :

$$\frac{U(C_{exp})}{C_{exp}} = 1{,}532\ \%$$

Cette valeur permet d'indiquer l'intervalle dans lequel on a 95% de chances de trouver la valeur vraie de la capacité. Le Tableau 34 récapitule les résultats avec un nombre de chiffres significatifs adaptés.

*Tableau 34 : incertitudes sur les capacités calculées*

| **Mesure n°** | 1 | 2 | 3 | 4 | 5 | 6 |
|---|---|---|---|---|---|---|
| **Tension appliquée (V)** | 0 | 270 | 400 | 0 | 270 | 400 |
| **Configuration du banc n°3** | Entier | Entier | Entier | Céram. | Céram. | Céram. |
| **Capacité (µ*F*)** | $521 \pm 8$ | $520 \pm 8$ | $519 \pm 8$ | $6{,}6 \pm 0{,}1$ | $5{,}00 \pm 0{,}08$ | $4{,}37 \pm 0{,}07$ |

## 4.4 Interprétation

### 4.4.1 Capacité du banc n°3

Les incertitudes obtenues pour les mesures n°1, 2 et 3 sont importantes et les intervalles associés se recoupent très largement. Ces mesures ne permettent pas d'affirmer que la capacité du banc diminue avec la tension appliquée.

En revanche, pour les mesures n°4, 5 et 6, on voit que l'incertitude élargie est bien plus petite que la différence de capacité entre deux tensions différentes. Les intervalles associés ne se recoupent pas, je peux donc affirmer que la capacité du condensateur céramique $C_3$ diminue bien avec la tension appliquée.

Cette étude a permis de déterminer assez précisément la capacité du banc sous tension, ce qui sera utile pour l'établissement du modèle électrique du banc n°3.

### 4.4.2 Limites de la méthode utilisée

La méthode utilisée est assez simple, mais comporte plusieurs défauts. Tout d'abord, même à 100 $Hz$, le banc n'est pas parfaitement capacitif et le modèle très simple utilisé est très légèrement faux.

Ensuite, la composante continue du courant de part et d'autre du banc représente entre 20 % et 28 % de l'amplitude pour les mesures n°4, 5 et 6 (en revanche, elle ne représente que 3 % à 6 % de l'amplitude pour les mesures n°1, 2 et 3). Le dégaussage très imparfait de la sonde de courant affecte peut-être la justesse des mesures. Il aurait été judicieux d'utiliser une sonde de plus faible calibre et de vérifier le dégaussage.

Concernant la mesure de tension, le très fort bruit aurait pu être réduit en ne récupérant que la composante alternative de la tension avec un circuit analogique jouant le rôle de filtre passe-haut. Il aurait alors été possible d'utiliser une autre sonde plus juste (sonde $1:10$ ou sonde active). Il est aussi probable que le bruit comporte une composante à la fréquence de la mesure (autour de 100 Hz), ce qui pollue cette dernière.

Une autre méthode aurait été d'utiliser un analyseur d'impédance ou un analyseur vectoriel, avec une polarisation continue externe. La justesse des mesures aurait sans doute été meilleure.

Enfin, il aurait été intéressant de mesurer séparément le condensateur $C_2$ (EPCOS B32778P), et de balayer d'autres valeurs de tension continue appliquée sur le banc.

Finalement, la détermination de la fréquence aurait été bien plus simple et rapide en utilisant un GBF fiable qui aurait directement fourni sa valeur.

# 5. Instrumentation des bancs de court-circuit

## 5.1 Oscilloscopes

### 5.1.1 Instruments utilisés

Deux instruments ont été utilisés : le LeCroy HRO66Zi pour les bancs n°1 et n°2, et le LeCroy HDO 8108A pour le banc n°3. Les caractéristiques des oscilloscopes sont présentées dans le Tableau 35. Elles sont tirées des documentations des fabricants [122], [124].

*Tableau 35 : caractéristiques des sondes de tension passives utilisées dans le banc n°3*

| Référence | Nombre de voies | Bande passante ($-3dB$) | Résolution verticale | Impédance d'entrée | Fréquence d'éch. |
|---|---|---|---|---|---|
| **LeCroy HDO 8108 A** | 8 | $1\ GHz$ (50 Ω)<br>$500\ MHz$ ($1\ M\Omega$) | 12 bits<br>(8,4 bits[7]) | $1\ M\Omega \pm 2\%$<br>$50\ \Omega \pm 2\%$<br>$\|\|\ 16\ pF$ | $2{,}5\ GS/s$ |
| **LeCroy HRO 66 Zi** | 4 | $600\ MHz$ (50 Ω)<br>$500\ MHz$ ($1\ M\Omega$) | 12 bits<br>(ENOB non indiqué) | $1\ M\Omega \pm 2\%$<br>$50\ \Omega \pm 2\%$<br>$\|\|\ 17\ pF$ | $2{,}0\ GS/s$ |

J'ai choisi ces instruments pour leur bande passante suffisante par rapport aux dynamiques mises en jeu dans les essais de court-circuit, mais aussi pour leur résolution verticale de 12 bits qui diminue l'erreur de quantification numérique. Les voies de ces oscilloscopes disposent d'un relais pouvant passer la résistance d'entrée de $1\ M\Omega$ à $50\ \Omega$, mais en pratique j'ai toujours réglé les voies sur $1\ M\Omega$ et ajouté un bouchon $50\ \Omega$ si nécessaire (voie du shunt de mesure du courant de drain). Cela protège l'oscilloscope.

[7] Nombre de bits effectifs (ENOB).

### 5.1.2 Bande passante

Les instruments utilisés ont tous une bande passante commençant en continu (à $0\ Hz$). J'utilise donc le terme bande passante pour désigner à la fois la plage de fréquences utilisable de l'instrument, mais aussi la fréquence maximale au-delà de laquelle les mesures ne sont plus justes. Je note $f_{BP}$ cette fréquence.

L'étage d'entrée de la voie d'un oscilloscope peut être modélisé par une capacité de faible valeur (une quinzaine de picofarads en général) placée en parallèle d'une résistance de $1\ M\Omega$. Quand un circuit est connecté à l'oscilloscope, à travers une sonde ou pas, l'ensemble se comporte comme un filtre passe-bas. Au fur et à mesure que la fréquence du signal à mesurer augmente, ce dernier est de plus en plus atténué.

La valeur de $500\ MHz$ annoncée par LeCroy est donc à prendre avec précaution. On ne peut pas mesurer correctement l'amplitude d'un signal qui a une fréquence égale à cette bande passante, car ce point de $-3\ dB$ correspond à une division par deux de la puissance du signal, soit une diminution d'environ $29\%$ de son amplitude, comme le montre la Figure 222.

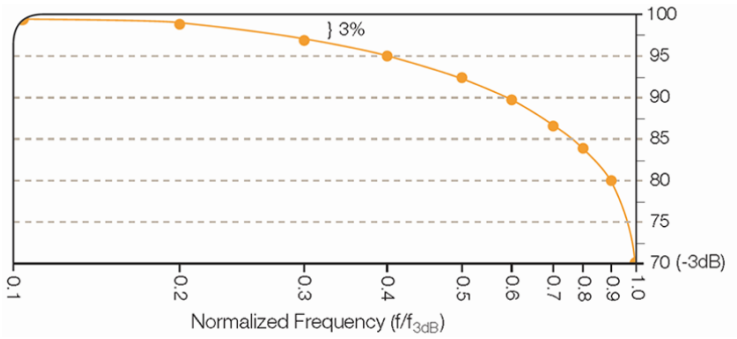



*Figure 222 : réponse en fréquence de type gaussienne d'un oscilloscope (référence non précisée) à une excitation sinusoïdale. L'axe vertical représente le pourcentage de l'amplitude du signal. Tiré de [125]*

La réponse en fréquence des oscilloscopes utilisés n'est pas fournie par le fabricant. La seule information que j'ai pu récupérer de la part du service client de LeCroy est qu'il s'agit d'une réponse gaussienne, par opposition à la réponse « plate » (*flat* ou *brick-wall*) [126].

Un autre biais est que cette bande passante est mesurée par le fabricant avec une source d'impédance faible ($25\ \Omega$) (Figure 223), mais en pratique l'impédance du circuit à mesurer peut être plus élevée, ce qui diminue alors la bande passante.

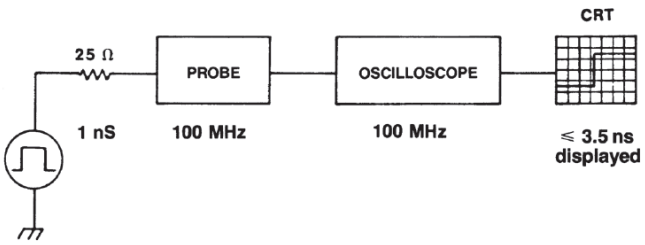



*Figure 223 : schéma de mesure de la bande passante de l'ensemble sonde et oscilloscope. Tiré de [127].*

Ensuite, elle ne prend pas en compte l'influence de la sonde, ce qui pose problème car les sondes utilisées ont des bandes passantes inférieures ou égales aux $500\ MHz$ des oscilloscopes utilisés. Ces derniers ont des réponses en fréquence gaussiennes, ce qui permet de calculer la bande passante totale de l'ensemble {oscilloscope + sonde}, à $-3\ dB$, avec l'équation ( 5 ), tirée de l'article [126] :

$$BP_{syst} = \frac{1}{\sqrt{\left(\frac{1}{BP_{sonde}}\right)^2 + \left(\frac{1}{BP_{osc}}\right)^2}} \quad (5)$$

Avec : $BP_{syst}$, la bande passante de l'ensemble formé par la sonde branchée sur l'oscilloscope ; $BP_{sonde}$ la bande passante de la sonde ; $BP_{osc}$ la bande passante de l'oscilloscope.

Ainsi, l'ensemble formé par une sonde passive ayant une bande passante de $500\ MHz$ branchée sur une voie d'oscilloscope ayant aussi une bande passante de $500\ MHz$, donne une bande passante totale d'environ $350\ MHz$.

Enfin, cette bande passante est valable pour un signal purement sinusoïdal, or les signaux que j'ai mesurés lors des essais sont plutôt trapézoïdaux. Leur contenu spectral est riche, avec des harmoniques de haute fréquence, ce qui peut dégrader légèrement la raideur des fronts et fausser ainsi la mesure. La Figure 224 présente ce problème.

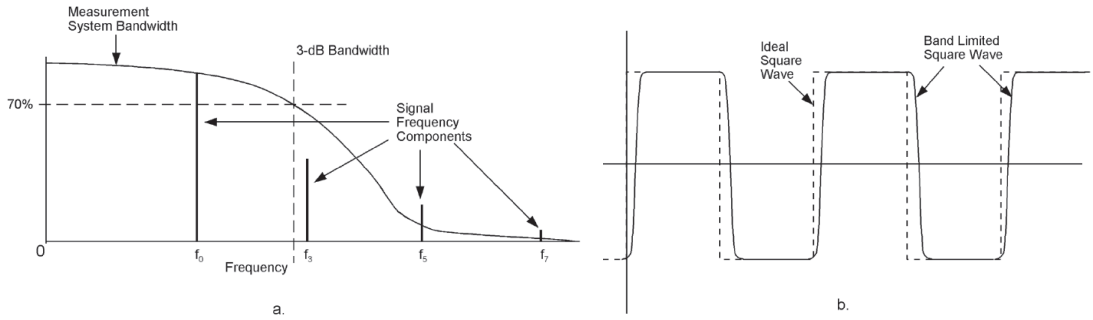



*Figure 224 : a) spectre d'un signal composé de quatre harmoniques ; b) signal carré idéal et signal mesuré trapézoïdal, la raideur des front étant limitée par le système de mesure. Tiré de [127].*

Pour un signal trapézoïdal ayant un temps de montée $\tau$, on peut définir une fréquence de coupure $f_C$, ou fréquence équivalente du front (p. 34 de la thèse de G. Regnat [128]), telle que :

$$f_C = \frac{1}{\pi\tau} \quad (6)$$

Cette fréquence n'est donc pas la plus haute du spectre du signal, mais elle partage ce dernier en deux parties : une première où les harmoniques décroissent en $1/f$, et une seconde où ils décroissent en $1/f^2$. On peut donc considérer que si $f_C$ est petite devant la bande passante du système complet de mesure, alors la mesure est fiable et le signal n'a pas été détérioré.

Pour toutes ces raisons, il n'est pas possible de quantifier l'erreur faite lors de la mesure d'un signal contenant des harmoniques haute fréquence (proches ou supérieurs à $f_{BP}$). Ainsi, les fabricants de sondes et d'oscilloscopes préconisent de garder beaucoup de marge : un rapport trois à cinq entre la bande passante $f_{BP}$ de la chaine de mesure et la fréquence maximale du spectre du signal [127] [129]. En pratique, dans les essais de court-circuit, cela sera presque toujours vérifié. Ainsi, les formes d'ondes présentées sont fidèles aux signaux réels.

### 5.1.3 Incertitudes liées à l'oscilloscope

La première incertitude est celle liée à la bande passante limitée de l'oscilloscope, qui tend à atténuer les signaux mesurés s'ils sont de haute fréquence, comme vu dans la partie 5.1.2.

Le deuxième effet est la tolérance sur la valeur des résistances d'entrée annoncée par LeCroy est assez élevée (2%), ce qui impacte directement la précision des mesures en continu ou en très basse fréquence lorsque l'on utilise une sonde passive réductrice (1:10 ou 1:100). En effet, la tension mesurée par la sonde s'obtient comme un montage diviseur de tension et la valeur précise de la résistance d'entrée de l'oscilloscope a un impact direct sur la mesure. Cela est gênant car lors d'un essai de court-circuit, on observe des phases où les grandeurs varient très lentement voire pas du tout (la tension $V_{DS}$ est presque constante par exemple, et la tension $V_{DR}$ est vraiment constante).

Ensuite, il y a une incertitude liée au convertisseur analogique-numérique des voies de l'oscilloscope (et à certains effets liés à la numérisation). Le fabricant conseille de quantifier cela par une erreur de $\pm$ 0,5 % avec une loi de probabilité normale.

Enfin, dans toutes les mesures, j'ai appliqué un décalage vertical sur toutes les voies de l'oscilloscope (*offset*), pour bien fenêtrer. Cela revient à ajouter une tension positive ou négative à la tension mesurée. Selon le fabricant, cela augmenterait légèrement l'incertitude de mesure, mais en l'absence d'informations précises j'ai choisi de négliger cet effet.

## 5.2 Mesure des tensions

### 5.2.1 Sondes de tension

#### 5.2.1.1 Généralités

S'il est possible de mesurer une tension à l'oscilloscope sans utiliser de sonde [130], cela est réservé à des cas bien particuliers qui ne correspondent pas aux essais de court-circuit. L'utilisation de sondes passives réductrices (1:10 ou 1:100), ou encore de sondes actives, permet de diminuer beaucoup la charge appliquée au circuit, d'augmenter la bande passante de mesure et aussi d'adapter les tensions mesurées aux voies de l'oscilloscope.

Une sonde charge toujours le circuit mesuré (elle fait partie de ce dernier, comme le montre la Figure 225a), et il faut toujours s'assurer que cette charge soit la plus faible possible, c'est-à-dire que l'impédance d'entrée de l'ensemble sonde et oscilloscope soit grande devant celle du circuit mesuré. Si ce n'est pas le cas, la sonde ne mesurera qu'une fraction de la tension réelle du circuit, par effet de pont diviseur (Figure 225b).

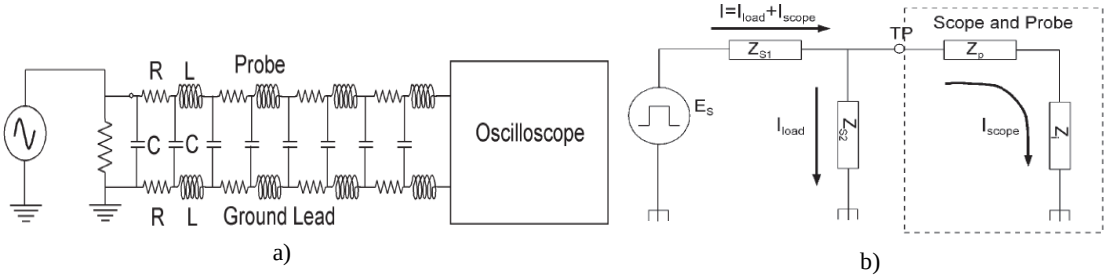



*Figure 225 : a) modélisation des éléments parasites d'une sonde connectée à un circuit ; b) modélisation simplifiée de l'ensemble sonde et oscilloscope, qui tire du courant du circuit. Le potentiel TP peut chuter si les impédances $Z_p$ et $Z_i$ ne sont pas assez élevées devant l'impédance de la charge $Z_{S2}$. Tiré de [127].*

La charge ramenée par la sonde et l'oscilloscope est à la fois résistive, inductive et capacitive. L'impédance d'une sonde diminue rapidement avec la fréquence, à cause de ce comportement capacitif (Figure 226). L'amplitude de la tension mesurée par la sonde diminue donc rapidement avec la

fréquence, il faut donc rester dans une plage de fréquences petites devant $f_{BP}$ afin que le signal affiché à l'oscilloscope soit fidèle au signal réel.

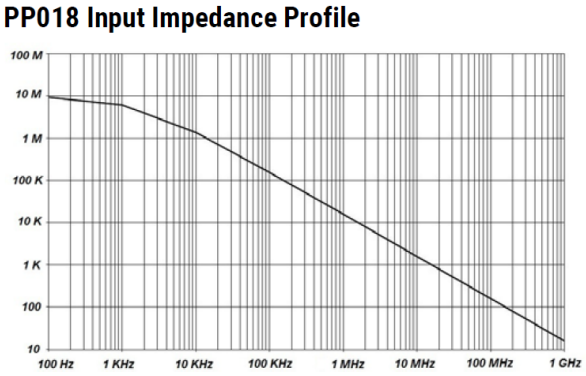



*Figure 226 : impédance d'entrée (en Ω), d'une sonde LeCroy PP018 connectée à une voie d'oscilloscope 1MΩ, en fonction de la fréquence de l'excitation (en Hz). Tiré de [131].*

Il existe une autre catégorie de sondes : les sondes actives. Ces dernières ont l'avantage d'une grande bande passante et leur capacité d'entrée est très inférieure à celle des sondes passives réductrices 1:10. Leur inconvénient est une dynamique en tension limitée (quelques dizaines de volts voire quelques volts seulement comme la série TAP de Tektronix). Ce type de sonde n'est pas adaptée aux essais de court-circuit.

Enfin, le choix d'un type de sonde est aussi guidé par la référence de tension de la mesure : si cette référence est la terre alors une mesure non différentielle est possible. Si la référence est un potentiel qui fluctue, ou simplement un potentiel élevé, alors il faut utiliser une sonde différentielle. Dans ce cas, il faut faire attention à sa capacité à rejeter le mode commun du signal mesuré.

### 5.2.1.2 Incertitudes sur une mesure faite avec une sonde passive réductrice

Les sondes les plus utilisées sont des sondes passives réductrices 1:10. Elles comportent une résistance $R_{div}$ de 9 $M\Omega$ et un condensateur $C_t$ monté en parallèle, d'une quinzaine de picofarads, au niveau de la pointe, ainsi qu'un condensateur ajustable à air $C_{comp}$ (Figure 227). Cette structure peut cependant varier d'une sonde à une autre.

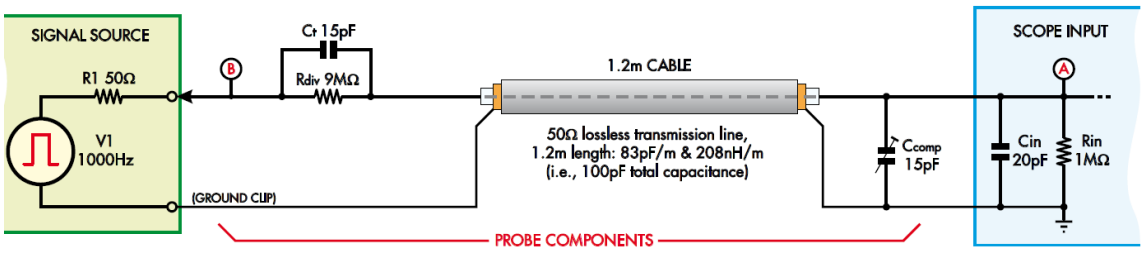



*Figure 227 : Modèle électrique d'une sonde passive réductrice (1:10) montrant la compensation avec la capacité $C_{comp}$. Tiré de l'article [102].*

L'incertitude sur la mesure d'une tension avec une telle sonde dépend :

- de l'adéquation entre la bande passante de l'ensemble {oscilloscope + sonde} et la bande passante du signal à mesurer (partie 5.1.2). Si la bande passante n'est pas suffisante, le signal réel sera altéré, tant sur son amplitude que sur sa phase (ce premier effet est valable en haute fréquence) ;

- des tolérances sur les résistances de la sonde et de l'oscilloscope (ce deuxième effet est valable en continu et en basse fréquence) ;
- de la qualité de la compensation (valable en moyenne et haute fréquence) ;
- de l'oscilloscope (convertisseur analogique-numérique) (valable tout le temps).

Concernant le premier point, il n'est pas évident de calculer l'incertitude liée à la bande passante[8] car pour cela il faudrait connaitre précisément le comportement de la sonde en fonction de la fréquence, qui dépend entre autre de sa compensation. Dans toute la suite, je prends donc l'hypothèse que la bande passante de l'ensemble {oscilloscope + sonde} est suffisante et je néglige cette incertitude.

Deuxièmement, l'atténuation de la sonde (1:10) est spécifiée en continu ou pour des fréquences très basses devant la bande passante, et en considérant que l'impédance d'entrée de la sonde est très supérieure à celle du circuit. En continu, le courant de mesure tiré par la sonde ne circule que par la résistance de 9 $M\Omega$ de la sonde et par celle de l'oscilloscope ($R_{in} = 1\ M\Omega$). Si l'on néglige la résistance du circuit mesuré ($R_1$) La tension $V_{DC}$ mesurée par l'oscilloscope s'obtient comme un pont diviseur résistif :

$$V_{DC} = \frac{R_{in}}{R_{div} + R_{in}} V_1 \qquad (7)$$

Avec : $R_{in}$ la résistance d'entrée de l'oscilloscope, $R_{div}$ la résistance de la pointe de la sonde et $V_1$, la tension de la source.

L'incertitude de mesure dépend alors des tolérances annoncées sur ces résistances, mais aussi de l'oscilloscope comme vu dans la partie 5.1.3.

Troisièmement, pour des signaux variables, le courant de mesure transite à la fois par ces résistances mais aussi par les capacités de la sonde (d'autant plus que la fréquence est élevée) et par la capacité d'entrée de l'oscilloscope ($C_{in}$). Pour des fréquences assez élevées, on peut négliger l'influence des résistances et voir le montage comme un pont diviseur purement capacitif. La tension $V_{HF}$ mesurée par l'oscilloscope vaut alors :

$$V_{HF} = \frac{C_t}{C_t + (C_{cable} + C_{comp} + C_{in})} V_1 = \frac{1}{k} . V_1 \qquad (8)$$

Avec : $C_t$ la capacité de la pointe de la sonde, $C_{câble}$ la capacité totale du câble coaxial de la sonde, $C_{in}$ la capacité d'entrée de la voie d'oscilloscope, $V_1$ la tension de la source et $k$ l'atténuation.

Comme la capacité d'entrée d'une voie d'oscilloscope varie légèrement d'une voie à une autre et que les capacités de la sonde souffrent de tolérance de fabrication, il est impossible de garantir la valeur de l'atténuation. C'est pour cela qu'on doit compenser la sonde. Cette méthode reste cependant qualitative et la précision de la compensation peut varier d'un opérateur à l'autre, l'appréciation étant purement visuelle. J'ai attaché beaucoup d'importance à cette étape de compensation puisque cela influe directement sur les formes d'ondes. Malgré tout, cela est insuffisant pour quantifier l'incertitude sur l'atténuation en haute fréquence. Pour cela, il faudrait connecter la sonde sur la voie d'oscilloscope et utiliser un générateur de signaux variables très précis (un simple GBF comme le Keysight 33210A utilisé

[8] A la page 8 du document [127], on trouve une estimation de l'erreur commise en fonction du ratio entre la bande passante de l'instrument et celle du signal à mesurer.

ne suffit pas, sa précision sur l'amplitude est insuffisante : $\pm 2$ % d'après [112]) ce que je n'ai pas fait. Par la suite, je négligerai donc cette incertitude.

#### 5.2.1.3 Influence de l'inductance de masse

La façon dont est connectée la sonde est importante, en particulier au niveau de la masse qui correspond à la terre de l'oscilloscope. Si l'inductance de masse est importante, lorsqu'on utilise la pince de masse et son fil par exemple, des aberrations de mesure peuvent apparaitre si les signaux mesurés sont rapides [102] [127] [132]. La Figure 228 montre les oscillations qu'on peut observer sur un signal carré avec un très long fil de masse.

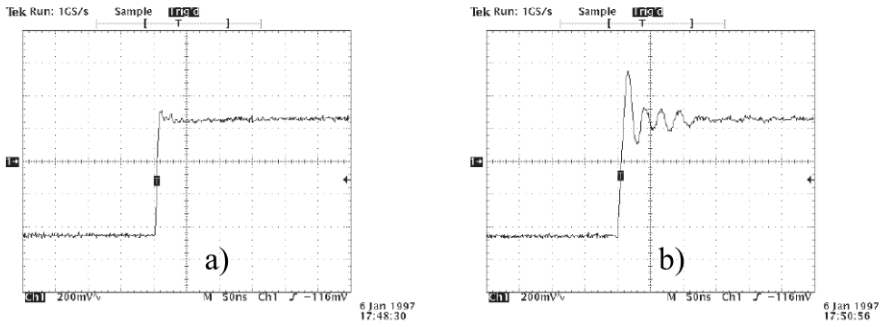



*Figure 228 : influence de l'inductance de masse sur un signal carré mesuré avec une sonde passive : a) fil de masse de 17 cm ; b) fil de masse de 71 cm. Tiré de [127].*

Pour éviter ces aberrations de mesure, j'ai utilisé quasi systématiquement des supports de sondes ou des douilles permettant à la fois de réduire l'inductance de masse au minimum et d'assurer une bonne tenue mécanique de chaque sonde. La Figure 229 présente ces deux solutions sur le banc n°3.

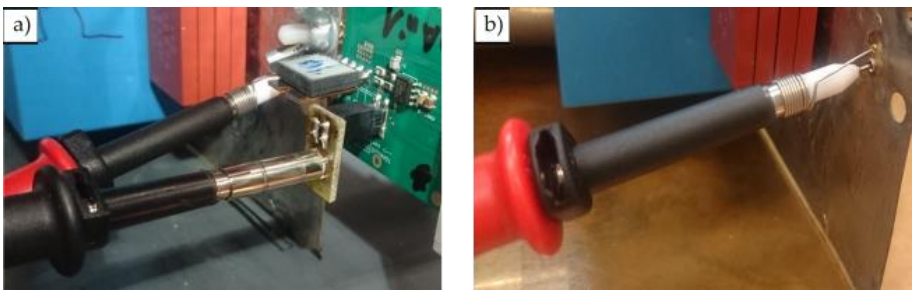



*Figure 229 : a) sonde passive 1:10 insérée dans un support de sonde ; b) sonde passive 1:100 équipée d'un ressort et connectée à travers deux douilles au circuit.*

#### 5.2.1.4 Choix du type de sonde pour chaque mesure

Trois tensions doivent être mesurées :

- la tension drain-source du transistor GaN, notée $V_{DS}$, fixée en général soit à $270\ V$ soit à $400\ V$, avec des pics importants lors de la destruction des composants ;
- la tension grille-source du transistor GaN, notée $V_{GS}$, pouvant varier entre $-5\ V$ et $+10\ V$ selon les composants testés, avec d'importants pics aussi lors de la casse ;
- la tension entre la sortie du driver et la source du transistor GaN, ou plus simplement tension du driver, notée $V_{DR}$, qui varie aussi de $-5\ V$ et $+10\ V$.

Ces trois tensions sont référencées à la terre, donc l'utilisation de sondes différentielles n'est pas nécessaire. Cependant, le point de masse de chaque sonde n'est pas exactement au même endroit à cause des contraintes de place. L'inductance parasite - très faible - qui existe entre chacun de ces points peut ainsi générer des artefacts de mesure. Cet effet est inévitable et devrait être négligeable car les signaux mesurés ne varient pas suffisamment rapidement. D'autre part, le fait de connecter ces trois masses voisines court-circuite cette partie du circuit puisque la terre de l'oscilloscope est ramenée à trois endroits différents. Cela impacte très légèrement le circuit, mais je n'ai pas quantifié cet effet.

Comme les capacités parasites des transistors GaN testés sont de l'ordre de grandeur de la dizaine ou de la centaine de picofarads, il est important que les sondes de tension choisies ne rajoutent pas une capacité trop importante, car cela perturberait la mise en conduction du transistor et les mesures effectuées. Une sonde active serait donc l'idéal car leur capacité d'entrée est de l'ordre du picofarad ; cependant, elles ne sont pas adaptées à cause de leur dynamique en tension trop faible.

L'utilisation de sondes passives réductrices s'impose donc. Vu les valeurs des tensions, j'ai choisi une sonde 1:100 pour mesurer la tension $V_{DS}$ et une sonde 1:10 pour mesurer les tensions $V_{GS}$ et $V_{DR}$.

Pour des raisons liées au matériel, les références des sondes ne sont pas les mêmes selon les bancs, ce qui constitue un biais lors de la comparaison d'essais de court-circuit réalisés sur des bancs différents. Cependant, cet effet est faible devant la différence de caractéristiques électriques que présentent les trois bancs. La comparaison sera donc toujours difficile.

### 5.2.2 Tension drain-source $V_{DS}$

#### 5.2.2.1 Sonde utilisée pour $V_{DS}$

Les caractéristiques de la sonde utilisée pour mesurer $V_{DS}$ sont tirées de la documentation du fabricant [123], et présentées dans le Tableau 36.

*Tableau 36 : caractéristiques de la sonde de tension passive utilisée dans les trois bancs pour mesurer $V_{DS}$.*

| Référence | Grandeur mesurée | Atténuation[9] | Impédance d'entrée[10] | Bande passante $(-3dB)$ | Temps de montée | Tension efficace max. | Longueur du câble |
|---|---|---|---|---|---|---|---|
| **PMK PHV 1000-RO** | $V_{DS}$ | 100 : 1 | 50 $M\Omega$ // 7,5 $pF$ | 400 $MHz$ | 0,9 $ns$ | 1000 $V$ | 2,0 $m$ |

Cette sonde passive réductrice 1:100 a une architecture différente des sondes 1:10 (Figure 230), avec un résistance de 1 $M\Omega$ associée à une autre de 49,5 $M\Omega$. En continu, la sonde connectée sur une voie d'oscilloscope de 1 $M\Omega$ présente une impédance d'entrée de 50 $M\Omega$.

[9] Spécifié en continu
[10] Avec la sonde correctement compensée et connectée à une voie d'oscilloscope de résistance d'entrée de 1 $M\Omega$.

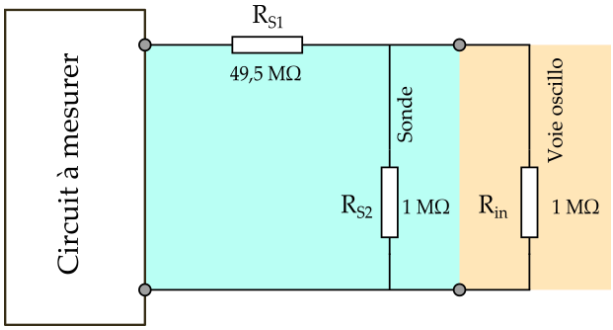



*Figure 230 : modèle de la sonde PMK PHV1000-RO valable en continu uniquement. Les capacités de la sonde et de l'oscilloscope ne sont pas représentées.*

#### 5.2.2.2 Incertitude sur $V_{DS}$

Il y a donc quatre sources d'incertitudes : celle liée à la bande passante de l'ensemble {sonde + oscilloscope}, que je néglige ; celle sur le ratio d'atténuation de la sonde en basse fréquence ; celle liée à la compensation, négligée aussi ; enfin, celle liée à l'oscilloscope.

Concernant la sonde PMK PHV 1000-RO, on peut estimer l'incertitude-type sur le facteur d'atténuation (en continu ou en très basse fréquence) à partir des tolérances des résistances [123] :

- $\pm$ 1 % pour la résistance $R_{S1}$ de 49,5 $M\Omega$ ;
- $\pm$ 2 % pour la résistance $R_{S2}$ de 1 $M\Omega$ ;
- $\pm$ 2 % pour la résistance $R_{in}$ de 1 $M\Omega$.

La marque PMK ne fournit pas la loi de densité de probabilité pour la répartition des valeurs de $R_{S1}$ et $R_{S2}$. J'ai pris l'hypothèse arbitraire qu'il s'agissait d'une loi normale.

Le ratio d'atténuation s'écrit :

$$ratio = \frac{R_{S2} \,//\, R_{in}}{R_{S1} + R_{S2} \,//\, R_{in}} = \frac{1}{1 + \frac{R_{S1}(R_{S2} + R_{in})}{R_{S2} R_{in}}} \qquad (9)$$

L'expression obtenue comprenant à la fois des sommes et un quotient, j'ai utilisé GUM_MC pour propager les incertitudes-types. J'obtiens une incertitude-type relative de 0,572 %.

D'autre part, l'incertitude verticale de l'oscilloscope (erreur et non-linéarité du convertisseur analogique/numérique) est représentée par une tolérance de $\pm$0,5% en basse fréquence selon [122]. Sur les conseils de LeCroy, je considère une loi de densité de probabilité normale. L'incertitude-type relative vaut alors 0,167 %.

En considérant les sources d'incertitudes indépendantes, j'obtiens une incertitude-type globale relative de 0,596 %. L'incertitude relative élargie vaut alors :

$$\frac{U(V_{DS,bf})}{V_{DS,bf}} = 1{,}2\ \%$$

### 5.2.3 Tension grille-source $V_{GS}$ et tension driver $V_{DR}$

#### 5.2.3.1 Sondes utilisées pour $V_{GS}$ et $V_{DR}$

Le Tableau 37 présente les caractéristiques des deux sondes utilisées pour mesurer ces tensions. La PP017 a été utilisée dans les bancs n°1 et 2, et la PP018 dans le banc n°3. Les caractéristiques de ces sondes sont tirées de la documentation du fabricant [131].

*Tableau 37 : caractéristiques des sondes de tension passives utilisées pour mesurer $V_{GS}$ et $V_{DR}$.*

| Référence | Grandeur mesurée | Atténuation[11] | Impédance d'entrée[12] | Bande passante $(-3dB)$ | Temps de montée | Tension efficace max. | Longueur du câble |
|---|---|---|---|---|---|---|---|
| **LeCroy PP017** | $V_{GS} + V_{DR}$ | 10 : 1 | 10 $M\Omega$ // 12 $pF$ | 250 $MHz$ | 1,4 $ns$ | 300 $V$ | 1,3 $m$ |
| **LeCroy PP018** | $V_{GS} + V_{DR}$ | 10 : 1 | 10 $M\Omega$ // 10 $pF$ | 500 $MHz$ | 0,7 $ns$ | 300 $V$ | 1,3 $m$ |

#### 5.2.3.2 Incertitude sur $V_{GS}$ et $V_{DR}$

Ici aussi, comme vu dans la partie 5.2.1.2, il y a quatre sources d'incertitudes : celle liée à la bande passante de l'ensemble {sonde + oscilloscope}, que je néglige ; celle sur le ratio d'atténuation de la sonde en basse fréquence ; celle liée à la compensation, négligée aussi ; enfin, celle liée à l'oscilloscope.

D'après la partie 5.2.1.2, le ratio d'atténuation s'écrit :

$$ratio = \frac{R_{in}}{R_{div} + R_{in}} \qquad (10)$$

On peut donc calculer l'incertitude-type sur l'atténuation (en continu ou en très basse fréquence) à partir des tolérances des résistances (valable pour les sondes PP017 et PP018) :

- $\pm$ 1% pour la résistance de la sonde $R_{div}$ = 9 $M\Omega$ [131] ;
- $\pm$ 2% pour la résistance d'entrée de l'oscilloscope $R_{in}$ = 1 $M\Omega$ (valable pour les deux oscilloscopes utilisés) [122], [124].

Selon LeCroy, on peut prendre une loi de densité de probabilité normale pour ces deux résistances. L'expression obtenue comprenant à la fois une somme et un quotient, j'ai utilisé GUM_MC pour propager les incertitudes-types.

Concernant l'incertitude verticale de l'oscilloscope, l'incertitude-type relative vaut toujours 0,167 %, comme vu dans la partie 5.2.2.2.

En considérant les sources d'incertitudes indépendantes, j'obtiens une incertitude-type globale de 0,69 %. L'incertitude relative élargie vaut alors :

$$\frac{U(V_{GS,bf})}{V_{GS,bf}} = \frac{U(V_{DR,bf})}{V_{DR,bf}} = 1{,}4\ \%$$

Il aurait été intéressant de quantifier directement l'exactitude du ratio d'atténuation des sondes ainsi que l'erreur numérique de l'oscilloscope en mesurant une tension continue à la fois avec la sonde et avec un

[11] En continu
[12] En continu, avec la sonde connectée à une voie d'oscilloscope de résistance d'entrée de 1 $M\Omega$.

multimètre de précision (moins de 0,01% en tolérance par exemple). Si on néglige l'incertitude de ce dernier, l'écart avec la valeur de l'oscilloscope aurait donné une valeur très précise du ratio d'atténuation réel de la sonde.

#### 5.2.3.3 Mise en œuvre de la mesure des tensions $V_{GS}$ et $V_{DR}$ dans le banc n°3

J'ai utilisé des supports de sonde pour mesurer la tension grille-source ($V_{GS}$) et la tension de sortie du driver ($V_{DR}$), afin de minimiser l'inductance de masse et éviter des artefacts de mesure (voir partie 5.2.1.3). Cependant, ces supports étant onéreux, il n'était pas envisageable d'en braser un neuf sur chaque carte *DUT*. J'aurais pu braser et débraser les supports pour les passer d'une carte *DUT* à une autre, mais ils sont trop fragiles pour cela. J'ai donc conçu un système constitué d'un connecteur, d'un tout petit *PCB* de liaison et d'un support de sonde (Figure 231c). Ce dernier est brasé sur le *PCB* de liaison. Un connecteur femelle est brasé sur ce *PCB*, et chaque carte *DUT* comprend un connecteur mâle. Il suffit de clipser et déclipser l'ensemble pour chaque essai.

L'inconvénient de ce système est que cela augmente l'inductance de masse de la mesure. Afin de vérifier que cette augmentation ne posait pas problème, j'ai mesuré les tensions $V_{GS}$ et $V_{DR}$ avec trois connectiques différentes (Figure 231) :

- Un ressort assez grand vendu avec la sonde, servant de pointe de touche pour la masse ;
- Un fil de fer artisanal enroulé pour jouer le même rôle que le ressort ;
- Enfin, le système conçu pour le banc avec le support de sonde et le connecteur.

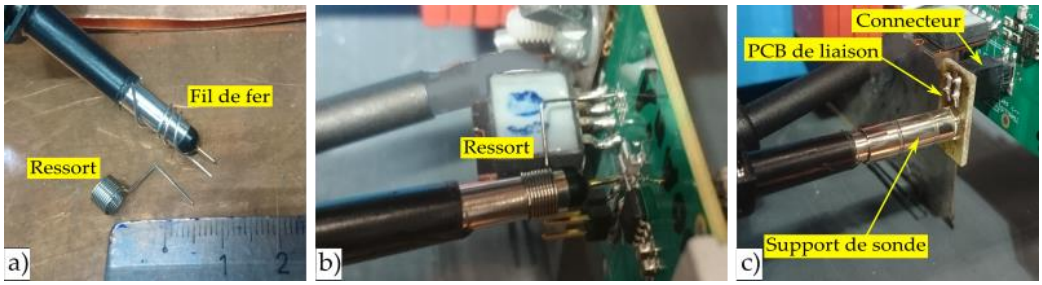



*Figure 231 : a) Photo du ressort utilisé comme pointe de touche pour la masse, et de la connectique artisanale faite avec du fil de fer ; b) photo du ressort monté sur la sonde lors de la mesure ; c) photo de la sonde montée sur son support et reliée à la carte DUT à travers un PCB de liaison et un connecteur.*

La Figure 232 montre la tension grille-source ($V_{GS}$) mesurée avec ces trois connectiques. Les courbes sont superposées, j'en déduis que l'inductance ramenée par le système avec *PCB* de liaison ne génère pas d'artefact de mesure.

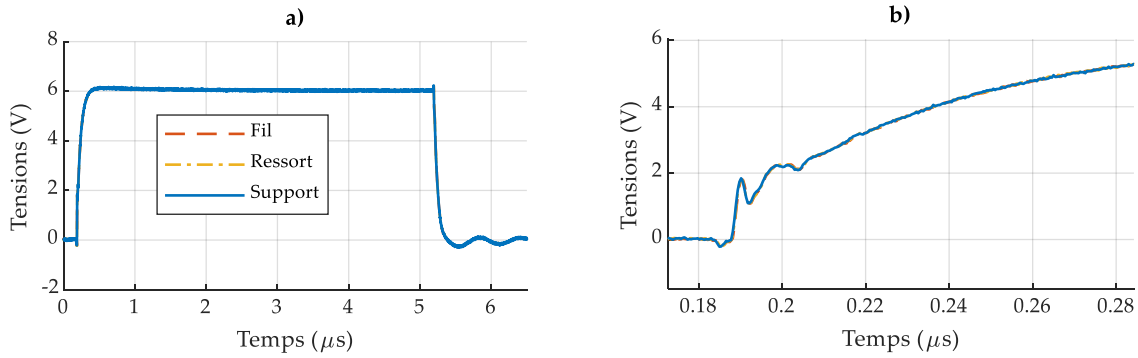



*Figure 232 : a) mesure de la tension grille-source ( $V_{GS}$) avec trois connectiques différentes entre la sonde et le circuit : un fil de fer enroulé, un dispositif à ressort et enfin avec un support de sonde monté sur un connecteur ; b) zoom sur le début de l'acquisition.*

La Figure 233 montre la tension de sortie du driver ($V_{DR}$) mesurée avec ces trois connectiques. Les courbes sont là aussi superposées, cela conforte la conclusion précédente.

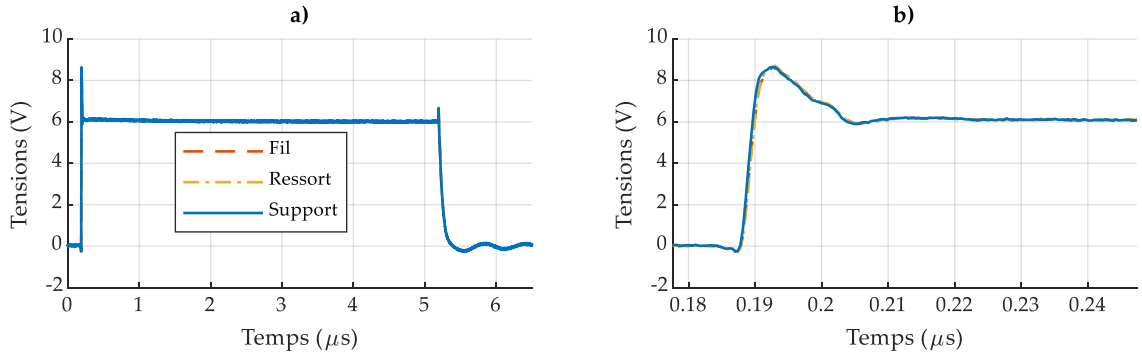



*Figure 233 : a) mesure de la tension de sortie du driver ( $V_{DR}$) avec trois connectiques différentes entre la sonde et le circuit : un fil de fer enroulé, un dispositif à ressort et enfin avec un support de sonde monté sur un connecteur. b) zoom sur le début de l'acquisition.*

## 5.3 Mesure des courants

### 5.3.1 Généralités sur la mesure de courant

La mesure de courant en électronique de puissance doit répondre à plusieurs contraintes : [133] [134]

- Les contraintes liées au signal à mesurer : amplitude, fréquence, variations dynamiques et présence d'une composante continue, entre autres ;
- les contraintes d'environnement : température, vibrations, nécessité d'isolation, encombrement, impédance ramenée.

L'électronique de puissance est un domaine très sévère vis-à-vis de la mesure de courant, à cause des fortes variations des tensions et des courants dans les convertisseurs. Les circuits électroniques du capteur de courant peuvent souffrir de ces variations par conduction (injections de courants parasites), et/ou par rayonnement (induction de tensions dans ces circuits).

Les transistors GaN commutent très rapidement, ce qui rend la mesure de courant difficile [135]. Dans le cas des bancs de court-circuit, l'amorçage n'est pas aussi rapide que lors de commutation dans un convertisseur car une assez forte résistance de grille ralentit le transitoire. Cependant, les contraintes sur la mesure de courant dans les bancs sont réelles.

Il existe plusieurs types de capteurs de courant, en voici quatre utilisés en électronique de puissances : les shunts, les capteurs à mesure directe d'induction (effet Hall par exemple), les transformateurs de courant et les capteur Rogowski (qui n'utilisent pas de matériau magnétique).

### 5.3.1.1 Les shunts

Il s'agit d'insérer une résistance de faible valeur dans un circuit, et de mesurer la tension à ses bornes lors du passage du courant. C'est une méthode simple mais intrusive et ne présentant pas d'isolation. L'inductance parasite ramenée par le shunt peut être extrêmement faible à condition d'utiliser une structure coaxiale (Figure 234).

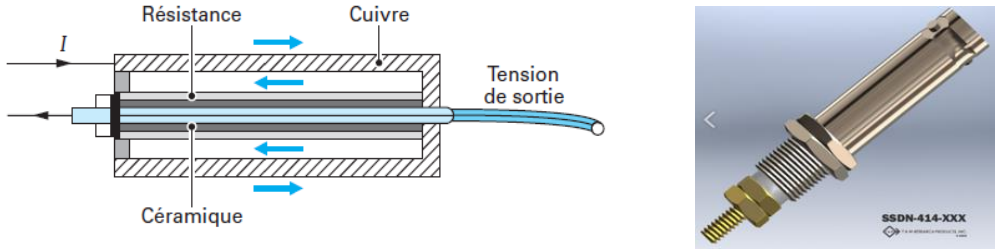



*Figure 234 : à gauche : schéma d'un shunt coaxial (tiré de [133]) ; à droite : vue 3D (tiré de [136]).*

Le shunt a comme avantage de permettre la mesure d'un courant continu. La bande passante est limitée par son inductance parasite et sa résistance. On trouve des shunts coaxiaux présentant des bandes passantes de quelques centaines de MHz à plusieurs GHz et leur précision est en général très bonne ($< 0.5$ %) [136]. L'effet de peau limite la fréquence maximale d'utilisation.

### 5.3.1.2 Les capteurs à mesure directe d'induction

Ils utilisent la proportionnalité qui existe entre le champ magnétique mesuré et le courant circulant dans le conducteur à tester. Ces capteurs comportent un circuit magnétique et un capteur d'induction, mais pas de bobinage. La précision est variable selon les capteurs, mais reste en général inférieure à celle d'un shunt. Il est possible de mesurer un courant continu, mais la bande passante reste en général inférieure à quelques centaines de kHz.

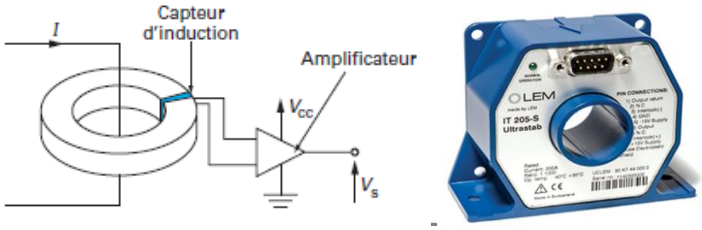



*Figure 235 : à gauche : schéma de principe d'un capteur à mesure directe d'induction (tiré de [133]) ; à droite : photos d'un capteur LEM (tiré de [137]).*

### 5.3.1.3 Les transformateurs de courant

Ces capteurs sont constitués d'un bobinage enroulé autour d'un matériau magnétique. On fait passer le conducteur parcouru par le courant à mesurer à l'intérieur et la tension mesurée aux bornes de la résistance $R$ (Figure 236) donne l'image du courant circulant dans le conducteur primaire, au rapport de transformation près. La fréquence de coupure haute peut atteindre quelques centaines de MHz, mais ils ne peuvent pas mesurer un courant continu. La précision de ces capteurs est assez bonne ($+1\%/-0\%$) [138].

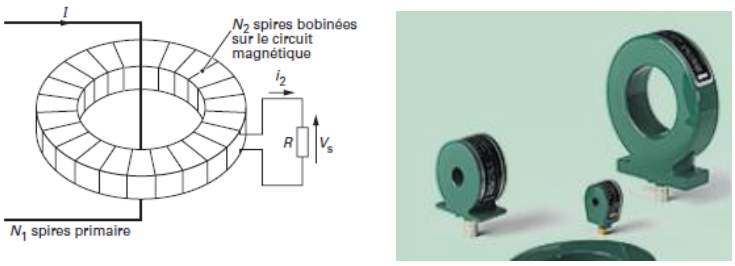



*Figure 236 : à gauche : schéma de principe d'un transformateur d'intensité (tiré de [133]) ; à droite : photos de transformateurs d'intensité (tiré de [138]).*

Pour un banc de court-circuit, ce type de capteur a comme avantage une bonne robustesse face aux sur-courants lors de la casse du transistor [53]. L'inductance ramenée par le transformateur est toutefois à considérer, ainsi que son insertion dans le circuit, qui modifie le routage.

### 5.3.1.4 Les capteurs Rogowski

Ces capteurs sont constitués d'un conducteur enroulé sur lui-même et n'utilisent pas de matériau magnétique (Figure 237). Ils sont basés sur la loi de Faraday, et un circuit intégrateur permet de donner une image du courant à partir des variations de flux dans le bobinage. Ils ne peuvent pas mesurer un courant continu mais la fréquence basse de leur bande passante est extrêmement basse (proche de 1 $Hz$).

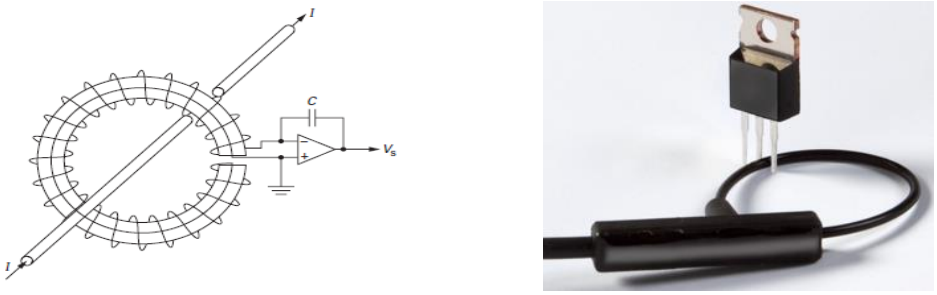



*Figure 237 : à gauche : structure d'un capteur Rogowski, avec le bobinage et le circuit intégrateur (tiré de [133]) ; à droite : photo d'un capteur (tiré de [139]).*

Les capteurs Rogowski ne sont donc pas sensibles à la saturation, peuvent mesurer de très forts courants et présentent une bonne linéarité. Le grand nombre de spires du bobinage limite la bande passante en hautes fréquences à quelques dizaines de MHz [139]. Un des avantages de ces capteurs est qu'ils sont démontables, donc très pratiques. Leur précision est moyenne ($\pm 2\%$). Le capteur Rogowsky peut être intégré dans le *PCB*, comme dans l'article [140] qui montre un capteur avec une bande passante de 10 $MHz$.

### 5.3.1.5 Récapitulatif

Le Tableau 38 récapitule les caractéristiques principales des capteurs de courant. Les chiffres de ce tableau sont indicatifs et correspondent aux capteurs les plus répandus, mais on peut trouver de meilleures performances pour une famille donnée [134].

*Tableau 38 : comparaison des différents types de capteurs de courant.*

| | **Shunt** | **Mesure d'ind.** | **Tranf. d'int.** | **Rogowski** |
|---|---|---|---|---|
| **Isolation** | Non | Oui | Oui | Oui |
| **Bande passante inf. (Hz)** | 0 (DC) | 0 (DC) | $1 - 400$ | 1 |
| **Bande passante sup. (MHz)** | $400 - 2000$ | $0{,}1 - 1$ | $2 - 200$ | $10 - 50$ |
| **Précision** | $\pm 0{,}2\%$ | $\pm 0{,}2\%$ à $\pm 4\%$ | $+1\%/-0\%$ | $\pm 2\%$ |
| **Courant pic maxi (kA)** | variable[13] | $0{,}05 - 25$ | $0{,}1 - 500$ | 600 |

Pour des applications spécifiques, il est aussi possible de combiner deux capteurs afin d'étendre la bande passante [141], mais cela nécessite une mise en forme des signaux avec un circuit dédié, permettant aussi de sommer les signaux.

## 5.3.2 Courant de drain $I_D$

### 5.3.2.1 Capteur utilisé pour $I_D$

Le courant de drain est un courant de puissance : c'est celui qui est délivré par les condensateurs des bancs et qui traverse le composant GaN. Au début d'un essai de court-circuit, le courant atteint $60\ A$ à $200\ A$ environ, et lors de la destruction du transistor, celui-ci est court-circuité entre le drain et la source. Le courant peut alors atteindre plusieurs centaines d'ampères (bancs n°1 et 2 protégés par des *IGBTs*), ou plusieurs milliers d'ampères, dans le banc n°3 qui n'est protégé que par un fusible relativement lent.

La mesure de ce courant est délicate car elle nécessite l'insertion d'un instrument de mesure dans la maille de puissance. Cela impacte directement la structure du banc, et potentiellement l'inductance parasite de cette maille. Afin de visualiser correctement d'éventuelles oscillations mais aussi la forte a augmentation du courant lors de la destruction des transistors testé, il fallait un capteur possédant une grande bande passante. Lors d'un essai de court-circuit, le courant de drain présente en effet des dynamiques très différentes : au début, la croissance du courant est rapide, ensuite ce dernier se stabilise jusqu'à prendre une valeur presque constante, et enfin il augmente très brutalement lors de la destruction. La limite basse de la bande passante devait ainsi être proche de $0\ Hz$, et la limite supérieure largement au-delà du $MHz$.

Ceci a permis d'écarter directement les capteurs à mesure directe d'induction, à cause de leur bande passante limitée et de leur sensibilité au bruit. Les capteurs Rogowski souffrent d'une précision limitée, et leur bande passante reste insuffisante. Un transformateur d'intensité aurait pu convenir, à condition d'en choisir un possédant une bande passante commençant en très basse fréquence. L'étude [142] de Hollander research montre que les performances d'un shunt coaxial sont similaires à celles d'un transformateur de courant, bien que ce dernier soit légèrement moins sensibles aux perturbations électromagnétiques. L'impédance ramenée par ces deux capteurs est a priori comparable, puisque dans les deux cas il faut prévoir un emplacement spécifique pour le capteur, et donc rallonger la maille de puissance.

C'est finalement le shunt coaxial (du fabricant *T and M research* ) qui a été retenu pour les trois bancs. Ce dernier est en effet plus précis, et il permet de mesurer un courant continu. L'inconvénient est que la

[13] Les shunts ne sont pas limités en courant, mais plutôt en énergie, ils peuvent absorber de $1\ J$ à près de $100\ 000\ J$ selon les modèles, pendant un temps assez court pour négliger les pertes thermiques.

mesure n'est pas isolée, et que cela ramène la terre sur le banc, ce qui peut poser problème. Les shunts résistent bien aux surcharges impulsionnelles, ce qui a aussi fait pencher la balance en leur faveur.

La bande passante d'un shunt est proportionnelle à la valeur de sa résistance [133], il est donc tentant de sélectionner la plus grande valeur du catalogue. Cependant, il fallait que le signal renvoyé par ce dernier soit compatible avec l'oscilloscope. D'une part, la résistance du shunt devait avoir une valeur assez faible pour ne pas endommager le bouchon $50\ \Omega$ installé sur la voie de l'oscilloscope (installé pour éviter les réflexions) ; d'autre part, cette résistance devait être assez grande pour fournir une tension mesurable par l'oscilloscope. Le compromis trouvé est $R_{shunt} = 10\ m\Omega$. Cette faible valeur permet aussi de ne pas ajouter trop de parasites résistifs dans les pistes du banc.

Les caractéristiques du shunt choisi sont présentées dans le Tableau 39 [136].

*Tableau 39 : caractéristiques du shunt utilisé dans le banc n°3*

| Référence | Résistance (neuf) | Bande passante | Temps de montée | Energie max. | Puissance max. | Connecteur de sortie |
|---|---|---|---|---|---|---|
| **T&M SSDN-414-01** | $9{,}93\ m\Omega$ $\pm 0{,}2\ \%$ | $400\ MHz$ | $1\ ns$ | $6\ J$ (pulse unique) | $2\ W$ (continu) | BNC |

La connectique de puissance du shunt est différente selon les bancs : dans le premier, il s'agit de pattes en cuivre juste séparées par un isolant ; dans le banc n°2 et n°3, il s'agit de deux filetages concentriques (Figure 238). Les deux structures imposent que le courant passe d'une face à l'autre sur le *PCB*, ce qui a constitué une contrainte de routage dans les bancs.

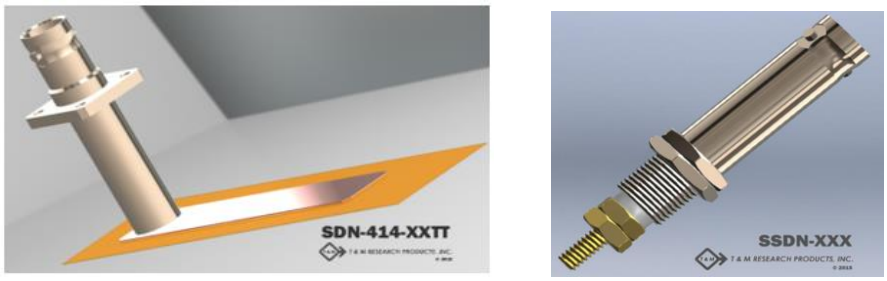



*Figure 238 : à gauche : shunt utilisé dans le banc n°1 ; à droite : shunt utilisé dans les bancs n°2 et n°3 (tiré de [136]).*

Lors des essais de court-circuit, l'énergie dissipée dans le shunt peut atteindre $2\ J$ environ dans le pire des cas (dans le banc n°3, où le courant atteint environ $4\ kA$ pendant la casse), sur une durée inférieure à quelques millisecondes. Cette quantité d'énergie reste inférieure au maximum spécifié pour le shunt (Tableau 39), mais il est possible que sa valeur de résistance dérive au fil des essais répétés [136]. Cette dérive pourrait aussi provenir de contraintes mécaniques générées par les forces de Laplace s'exerçant sur les conducteurs du shunt.

#### 5.3.2.2 Mesure de la résistance du shunt du banc n°3 en 4 fils

J'ai mesuré la résistance du shunt après tous les essais de court-circuit réalisés dans le banc n°3, avec une mesure en quatre fils, et je l'ai comparée à la valeur fournie par le fabricant quand le shunt était neuf. Il s'est avéré que la résistance avait légèrement augmenté ($+1{,}2\ \%$).

### Dispositif expérimental

Le shunt présente une résistance très faible, la mesure 4 fils est donc indispensable. J'ai injecté un courant d'environ 5 $A$ dans le shunt brasé sur le banc n°3 et j'ai mesuré la tension à ses bornes (Figure 209). Le courant et cette tension sont mesurés avec deux multimètres de paillasse identiques (ISOTECH IDM 8351) présentant une précision relativement élevée.

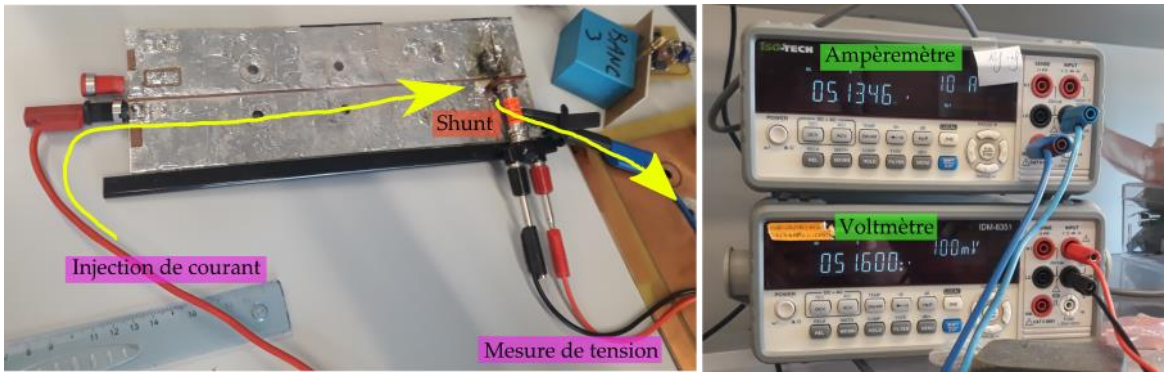



*Figure 239 : mesure de la résistance du shunt en 4 fils.*

### Résultat et incertitude

Le courant mesuré vaut $I = 5{,}1346\ A$ ; la tension mesurée vaut $U = 51{,}600\ mV$. La documentation [117] indique une tolérance de $0{,}2\ \% + 5$ digits pour le courant (soit $0{,}0108\ A$) et de $0{,}012\ \% + 8$ digits pour la tension (soit $0{,}0142\ mV$). Dans le cas d'une tolérance donnée par le constructeur ($\pm\ a$), comme pour ces deux multimètres, l'incertitude-type sur une grandeur $X$ vaut :

$$u(X) = \frac{a}{\sqrt{3}}$$

La résistance $R$ est calculée à partir de ces mesures : $R' = \frac{U}{I}$.

En propageant les incertitudes avec GUM_MC, j'obtiens $U(R') = 0{,}025\ m\Omega$, soit :

$$R' = 10{,}05 \pm 0{,}025\ m\Omega$$

L'incertitude relative élargie vaut sur la valeur de la résistance du shunt vaut $0{,}25\ \%$. L'écart entre la valeur de la résistance à l'état neuf ($9{,}93\ m\Omega$) et la valeur après vieillissement est environ dix fois supérieur aux incertitudes absolues élargies associées à ces deux valeurs. L'augmentation de la résistance est donc réelle : ce n'est pas un artefact de mesure.

## 5.3.2.3 Incertitude sur $I_D$

Il y a trois sources d'incertitudes : l'incertitude sur la valeur de la résistance (en prenant en compte son vieillissement), celle du convertisseur analogique-numérique des voies de l'oscilloscope, l'incertitude liée à la bande passante de l'instrument et enfin celle liée au vieillissement du shunt.

Concernant la première, le fabricant donne une valeur de $9{,}93\ m\Omega$ avec une tolérance de $\pm 0{,}2\ \%$. Ces valeurs ne sont pas utilisables directement à cause du vieillissement du shunt. Comme je ne peux pas savoir comment la dégradation a évolué au fil des essais, j'ai considéré que l'estimateur $\bar{R}$ de la valeur de la résistance du shunt valait la moyenne des valeurs neuf et usé :

$$\bar{R} = \frac{9{,}93 + 10{,}05}{2} = 9{,}99\ m\Omega$$

J'ai calculé l'incertitude sur $\bar{R}$ à partir des incertitudes sur $R$ et sur $R'$ (Figure 240) :

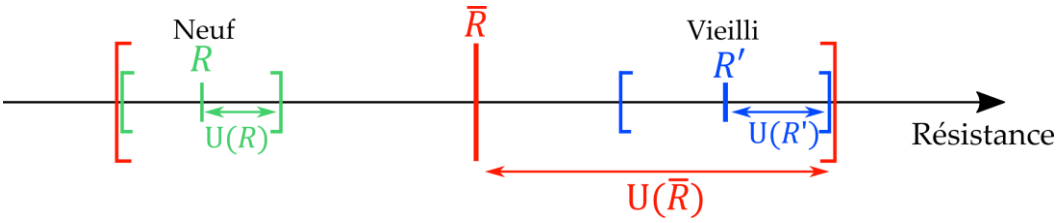



*Figure 240 : représentation des valeurs de la résistance du shunt neuf (en vert) et vieilli (en bleu). L'estimateur est en rouge, son incertitude comprend celles des deux autres. Les doubles flèches représentent l'incertitude absolue élargie.*

On a : $U(R') > U(R)$, j'ai pris le pire cas (intervalle le plus large) donc :

$$U(\bar{R}) = \frac{R' - R}{2} + U(R') = 0{,}09\ m\Omega$$

J'obtiens une incertitude relative de 0,9 % sur la valeur du shunt en tenant compte du vieillissement. Cette méthode a cependant tendance à surestimer les incertitudes.

Pour l'incertitude verticale de l'oscilloscope, l'incertitude-type relative vaut toujours 0,167 %, comme vu dans la partie 5.2.2.2.

Enfin, concernant la bande passante du shunt ($400\ MHz$), je prends l'hypothèse que celle-ci est suffisante pour considérer que le signal délivré n'est pas atténué. La dynamique du courant de drain est en effet relativement lente (le temps de montée 10-90 en début de court-circuit est supérieur à 0,25 µ$s$). J'ai donc choisi de négliger cette incertitude).

En considérant les sources d'incertitudes indépendantes, j'obtiens une incertitude-type globale de 0,92 %. L'incertitude relative élargie vaut donc :

$$\frac{U(I_D)}{I_D} = 1{,}9\ \%$$

## 5.3.3 Courant de grille $I_G$

### 5.3.3.1 Capteur utilisé pour $I_G$

Le courant de grille est un courant de commande : il est fourni par le driver et permet de charger la capacité d'entrée du composant GaN lors de son amorçage.

Sur les trois bancs, la carte driver a de très petites dimensions, ce qui interdit l'utilisation des quatre familles de capteurs vues dans la partie 5.3.1. Comme les tensions $V_{DR}$ et $V_{GS}$ sont mesurées, il était pratique de mesurer le courant de grille à partir de la valeur de la résistance de grille $R_G$ et de ces deux tensions :

$$I_G = \frac{V_{DR} - V_{GS}}{R_G} \qquad (11)$$

Le calcul de $I_G$ est réalisé en post-traitement sous Matlab. L'avantage de cette méthode est de bénéficier de la grande bande passante des sondes de tension ($250\ MHz$ ou $500\ MHz$ selon les bancs). Ces dernières proviennent du même fabricant, ont la même référence et ont été compensées en même temps, sur la même sortie de compensation de l'oscilloscope.

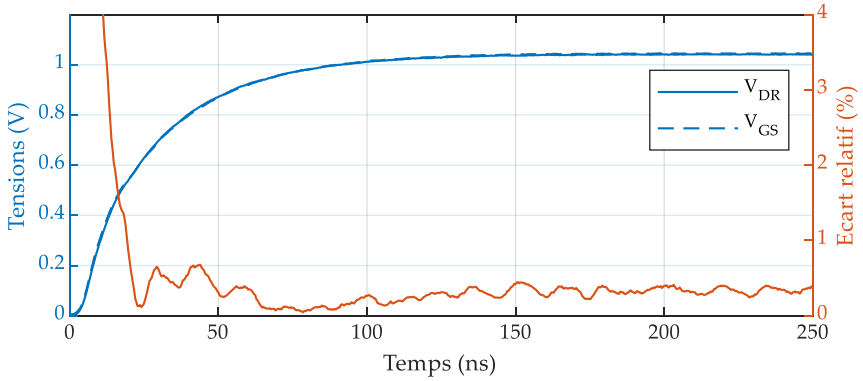



*Figure 241 : tensions mesurées par les deux sondes PP018 dans le banc n°3 lors de leur compensation, et écart relative (à droite, en orange) entre les deux :* $\frac{|V_{DR}-V_{GS}|}{V_{GS}} \times 100$.

On voit sur la Figure 241 que les deux signaux renvoyés par les sondes sont presque superposés, et que l'écart relatif ne dépasse pas 1%. L'écart prend une très grande valeur quand on se rapproche de $t = 0$ car la valeur des deux tensions tend alors vers zéro, ce qui fait tendre l'écart vers l'infini.

Il est en général déconseillé d'utiliser deux sondes pour mesurer une tension non référencée à la terre, à moins que les signaux soient de basse fréquence et que leur amplitude soit assez grande pour négliger les problèmes de bruit [127]. Si la deuxième condition est vérifiée dans les essais de court-circuit, la première ne l'est pas. Le taux de réjection de mode commun est mauvais et il est impossible de les compenser exactement de la même façon à cause des dispersions de fabrication.

La mesure de la tension aux bornes de la résistance de grille aurait pu être réalisée avec une sonde différentielle [143]. Le taux de réjection de mode commun (*common mode rejection ratio, CMRR*) de ces sondes est en effet bien meilleur que dans le cas de la mesure avec les deux sondes passives. Cependant, dans le cas des bancs de court-circuit, la source du transistor est à la terre (ramenée par le shunt), la tension de mode commun est donc presque nulle.

Les sondes différentielles ont pour deuxième avantage de moins charger le circuit à mesurer car elles présentent une capacité d'entrée plus faible que les sondes passives 1:10. Il faut relativiser cet effet car la capacité d'entrée $C_{iss}$ du transistor est de l'ordre de $150\ pF$ à $400\ pF$, ce qui est très grand devant les $10\ pF$ d'une sonde passive 1:10.

Un inconvénient des sondes différentielles est leur bande passante. S'il est courant que les sondes passives classiques (1:10) aient des bandes passantes de $500\ MHz$ (comme la LeCroy PP018 utilisée dans le banc 3), la plupart des sondes différentielles ne dépassent pas les $200\ MHz$. Pour les essais de court-circuit du banc n°3, au vu des dynamiques observées sur $V_{GS}$ et $V_{DR}$, cela aurait affecté les temps de montée, en particulier pour $V_{DR}$.

Le deuxième inconvénient des sondes différentielles est et leur calibre en tension, largement inférieur à celui des sondes passives 1:10. On trouve généralement des sondes différentielles permettant de mesurer seulement environ $\pm 20\ V$ (avec une tension maximale de mode commun autour de $\pm 60\ V$). Si cela est

largement suffisant pour le début des essais de court-circuit, lors de la casse du transistor j'ai observé des pics de tension avoisinant la centaine de volts, ce qui aurait sans doute détruit une sonde différentielle. Utiliser une sonde différentielle haute tension peut résoudre ce problème, mais leur facteur d'atténuation élevé (souvent 1:50 ou 1:100) augmente le bruit de mesure, ce qui rend très difficile la mesure de faibles tension comme celle aux bornes de la résistance de grille (souvent moins d'un volt). De plus, ces sondes ont en général une bande passante inférieure à $150\ MHz$ [144].

Enfin, utiliser une sonde différentielle aurait surchargé de sondes les bancs et cela aurait dégradé le routage des cartes de commande. En effet, mettre une sonde différentielle aux bornes de la résistance de grille permet de mesurer efficacement le courant de grille ($I_G(t) = U_{diff}(t)/R_G$), mais cela ne donne pas la tension grille-source $V_{GS}$ ni la tension de sortie du driver $V_{DR}$.

Il existe des sondes comme la ZD200 de Lecroy, qui présente un taux de réjection de mode commun de $50\ dB$ à $10\ MHz$, une capacité d'entrée de $3{,}5\ pF$, une bande passante de $200\ MHz$ et des tensions de $\pm 20\ V$ (avec une tension maximale de mode commun de $\pm 60\ V$). Les valeurs sont tirées de [145].

#### 5.3.3.2 Incertitude sur $I_G$

Il y a de nombreuses sources d'incertitudes ici : celle sur la mesure de $V_{DR}$, celle sur la mesure de $V_{GS}$, celle sur la valeur de la résistance de grille, mais aussi celle du convertisseur analogique-numérique des voies de l'oscilloscope. Enfin, et c'est probablement la source d'incertitude prépondérante : les deux sondes ne sont pas compensées exactement de la même façon.

L'incertitude-type relative sur $V_{DR}$ est identique à celle sur $V_{GS}$ et vaut $0{,}69$ %, comme vu dans la partie 5.2.3.2.

Pour l'incertitude sur les résistances de grille, le fabricant renseigne une tolérance de 1% donc je considère une loi de probabilité rectangulaire et l'incertitude-type relative vaut $0{,}577$ % d'après [115].

Concernant l'incertitude verticale de l'oscilloscope, l'incertitude-type relative vaut toujours $0{,}167$ %, comme vu dans la partie 5.2.2.2.

Enfin, il est difficile de quantifier l'incertitude liée à la compensation non symétrique des deux sondes. Cette erreur dépend de la fréquence, de la valeur des tensions $V_{DR}$ et $V_{GS}$ et des sondes. Un très petit écart dans leur réponse impulsionnelle peut entrainer une grande erreur sur l'estimation de la différence $V_{DR} - V_{GS}$. Cette erreur est bien du type systématique car la compensation ne dérive pas au fil des essais (en l'absence de chocs ou de vibrations, les vis de réglages ne bougent pas car les sondes sont neuves).

Pour tenter de quantifier l'incertitude liée à la compensation des sondes, j'ai fabriqué un circuit simple (Figure 242) imitant la grille d'un transistor GaN, et j'ai comparé les formes d'ondes expérimentales avec les résultats d'une simulation LTspice du même circuit. Le circuit est excité par le signal d'un GBF avec un temps de montée de $5\ ns$ environ. Ce dernier est du même ordre de grandeur que celui de la tension de sortie du driver dans les bancs de court-circuit. Le GBF modélise ainsi l'étage de sortie du driver dans le banc de court-circuit, la résistance $R_G$ modélise la résistance de grille, le condensateur $C$ au tantale modélise la capacité d'entrée d'un transistor GaN (le transistor GS66508T a une capacité d'entrée de $242\ pF$, ce qui est proche de la capacité de C). Enfin, la résistance $R$ a deux fonctions : elle laisse circuler un courant continu de $20\ mA$ environ (donc du même ordre de grandeur que le courant de grille mesuré lors des essais de court-circuit des transistors GaN Systems), et permet aussi de fixer le potentiel mesuré par la sonde « $V_{GS}$ ».

J'ai mesuré le signal du GBF au niveau de la résistance $R_G$, en connectant ce point à l'oscilloscope directement, sans utiliser de sonde. Pour cela, j'ai utilisé à la place un adaptateur BNC/BNC. Par ailleurs, deux sondes passives mesurent la tension de part et d'autre de la résistance $R_G$. Ces deux sondes sont celles que j'ai utilisées dans le banc n°3 (LeCroy PP108) lors des essais de court-circuit.

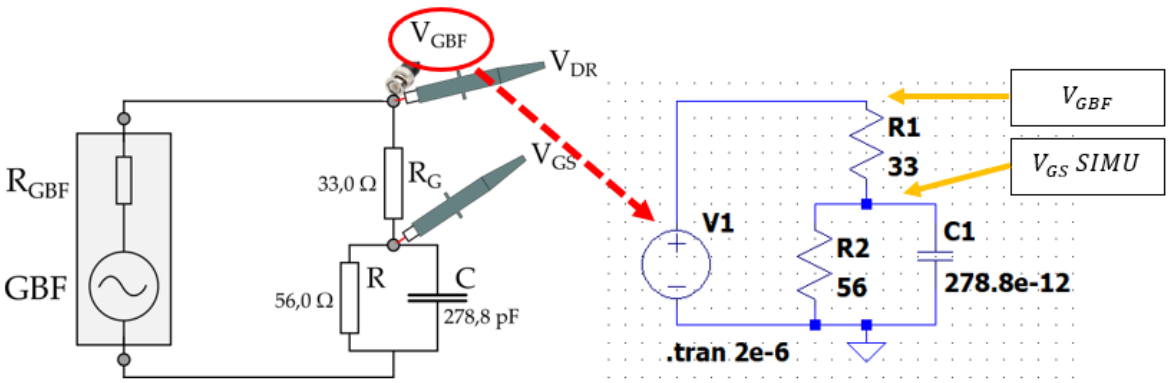



*Figure 242 : à gauche : schéma électrique des mesures réalisées sur le circuit imitant la grille d'un transistor GaN ; à droite : modélisation du circuit dans LTspice.*

Dans la simulation (Figure 242), le signal de tension qui excite le circuit n'est pas une source de tension idéale, il s'agit du signal du GBF mesuré sur le circuit réel, que j'ai injecté dans LTspice.

La Figure 243 présente les tensions mesurées et simulées. On constate un écart assez important entre les courbes de $V_{DR}$ et de $V_{GBF}$, et pourtant ces deux tensions devraient être identiques. Cela est probablement causé par une compensation HF imparfaite de la sonde passive qui mesure $V_{DR}$. On voit aussi que les tensions $V_{GS}$ et $V_{GS\ SIMU}$ sont assez différentes.

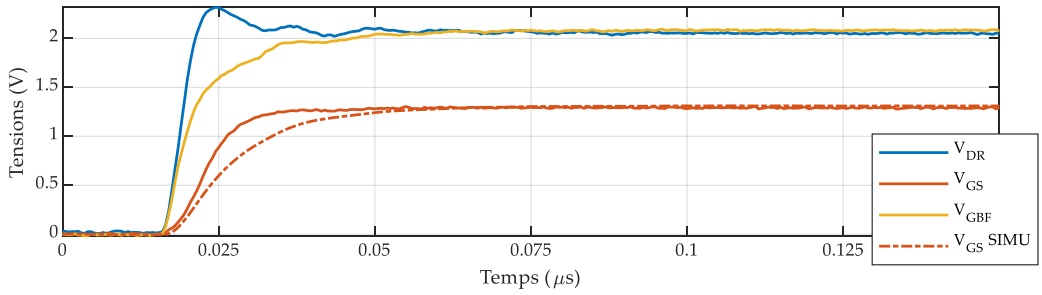



*Figure 243 : mesure des tensions $V_{DR}$, $V_{GS}$ et $V_{GBF}$ et comparaison avec la tension $V_{GS}$ simulée.*

La Figure 244 montre les courants de grille ($I_G$ et $I_{G\ SIMU}$) obtenus expérimentalement et par simulation, calculés de cette manière :

$$I_G = \frac{V_{DR} - V_{GS}}{R_G} \quad ; \quad I_{G\ SIMU} = \frac{V_{GBF} - V_{GS\ SIMU}}{R_G}$$

En transitoire, on voit que les deux courbes ne sont pas superposées ; l'erreur relative peut parfois dépasser les 100 %. En régime établi, l'erreur diminue mais reste importante (1,5 % en moyenne) comme le montre la Figure 245.

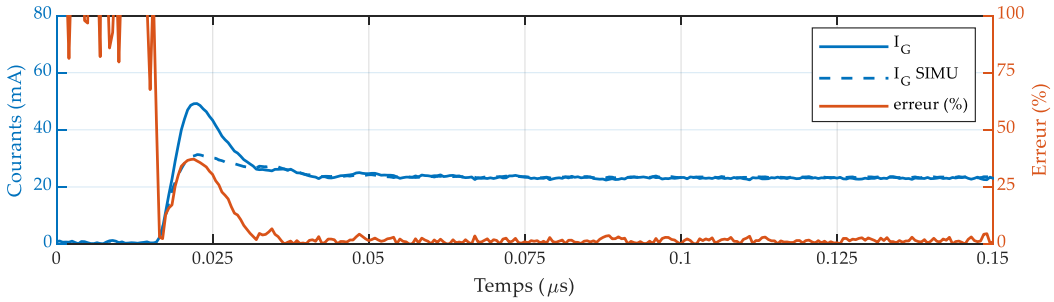



*Figure 244 : comparaison entre le courant de grille réel (calculé à partir de $V_{DR}$ et $V_{GS}$) et le courant de grille simulé (calculé à partir de $V_{GBF}$ et $V_{GS}$ SIMU.*

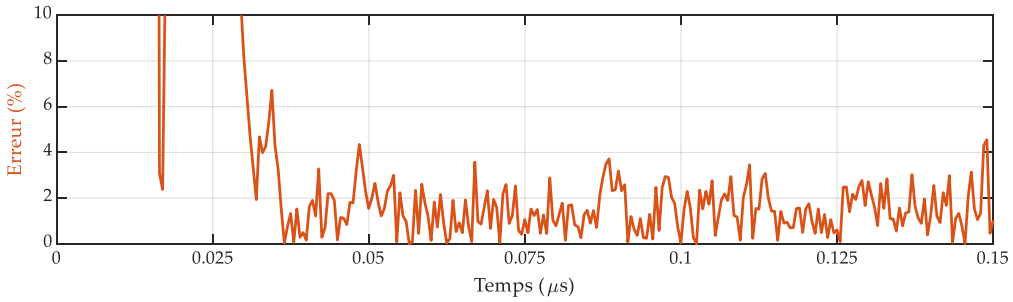



*Figure 245 : zoom sur l'erreur commise entre les courants de grille réel et simulé.*

La mesure du courant de grille présente donc une mauvaise justesse (les valeurs de courant obtenues sont éloignées de leur valeur vraie), surtout en transitoire. Cependant, cette mesure possède une assez bonne fidélité (si l'on répète plusieurs fois la mesure d'un courant de grille sur un transistor donné, on obtiendra des valeurs peu dispersées).

Il est donc a priori raisonnable de comparer les courants de grille de différents essais entre eux, mais il faut garder en tête que les courants mesurés sont assez peu exacts.

## 5.4 Retard entre sondes de tension et de courant

Cette partie concerne les sondes utilisées dans le banc n°3, mais les résultats obtenus pourront être généralisés aux bancs n°1 et 2.

### 5.4.1 Motivations

Les sondes que j'ai utilisées pour mesurer les grandeurs électriques lors d'un court-circuit ont des caractéristiques différentes. La tension drain-source $V_{DS}$, la tension grille-source $V_{GS}$ et la tension de sortie du driver $V_{DR}$ sont mesurées avec des sondes passives qui présentent de faibles capacités d'entrée (partie 5.2) ; en revanche, le courant de drain $I_D$ est mesuré avec un shunt à travers un câble coaxial SMA qui présente une capacité répartie bien plus importante ($101 \pm 5\ pF.m^{-1}$ [146]). Les fonctions de transfert des sondes sont donc différentes. Par conséquent, les signaux renvoyés par ces dernières peuvent être déphasés, surtout pour des fréquences élevées ou lors de transitoires rapides. Ce déphasage potentiel sera négligé car il aurait nécessité la détermination des fonctions de transfert de chaque sonde, ce que je n'ai pas fait.

Par ailleurs, la longueur des câbles des sondes et de la connectique du shunt est différente. Le temps de propagation des signaux varie donc selon la sonde et cela décale les formes d'ondes observées sur l'oscilloscope (retard pur). En effet, même un léger retard entre la tension $V_{DS}$ et le courant $I_D$ peut

causer des problèmes d'interprétation des phénomènes pendant le court-circuit, mais peut aussi fausser le calcul de la puissance (et donc de l'énergie) dissipée dans la puce.

Il y a en tout quatre sondes sur le banc n°3, mais comme les sondes passives mesurant $V_{GS}$ et $V_{DR}$ sont de la même référence (LeCroy PP018) et qu'elles ont été compensées en même temps (partie 5.2), je n'en ai mesuré qu'une seule. Cela fait donc trois sondes en tout ($V_{DS}, I_D$ *et* $V_{GS}/V_{DR}$).

Le recalage du retard entre une sonde de tension et une sonde de courant classique peut être fait avec un module vendu par le fabricant. Chez LeCroy, il s'agit d'une petite source générant un signal de tension et de courant parfaitement en phase (*Deskew calibration source* DCS025) sur laquelle on vient connecter les deux sondes. On règle alors les voies de l'oscilloscope séparément pour que tension et courant soient en phase.

Cependant, ici, il est difficile d'utiliser ce module à cause de la connectique du shunt (ce n'est pas une sonde de courant classique). J'ai donc mesuré le retard entre les différentes sondes, en utilisant une méthode similaire, basée sur la réponse temporelle des sondes à un échelon de tension. Je discuterai aussi des inconvénients de cette méthode.

### 5.4.2 Protocole expérimental

J'ai connecté la sortie d'un GBF (Agilent 33210a) à la fois à une voie de l'oscilloscope et aux pointes des sondes, en utilisant un raccord multiple fait avec plusieurs « T ». Les sondes sont aussi connectées à l'oscilloscope par leur autre extrémité. La pince de masse étant inductive et peu pratique ici, j'ai utilisé des supports de sonde (Figure 246) afin d'éviter des aberrations de mesure comme des oscillations et du bruit, comme l'explique le document [127] de Tektronix. La distance entre le raccord multiple et l'oscilloscope est de l'ordre de quelques centimètres, mais elle n'a pas d'importance dans les mesures. J'ai fait en sorte que le chemin parcouru par le signal depuis le GBF jusqu'à l'entrée de chaque sonde soit identique.

Pour des raisons pratiques liées au raccord multiple, j'ai mesuré le retard entre deux sondes seulement, puis j'ai fait une deuxième mesure en remplaçant une des deux sondes par la troisième :

- mesure de la sonde haute tension PMK PHV1000-RO avec la mesure du courant par le shunt ;
- mesure de la sonde haute tension PMK PHV1000-RO avec la sonde PP018.

Pour la mesure du courant par le shunt, il était impossible de le connecter au GBF directement (côté puissance) car cela aurait chargé ce dernier avec une résistance de 9,93 $m\Omega$, et la tension aux bornes de tout le montage côté sondes aurait été extrêmement faible, non mesurable même (moins de 0.02% de l'amplitude du GBF). J'ai donc simplement mesuré le retard de toute la connectique (câble coaxial SMA et adaptateur SMA/BNC) utilisé lors des essais de court-circuit pour relier le shunt à l'oscilloscope.

La Figure 246 présente le dispositif expérimental pour la mesure du retard entre la sonde haute tension PMK PHV1000-RO et la mesure du courant par le shunt. La Figure 247 montre le dispositif expérimental pour la mesure du retard entre la sonde haute tension PMK PHV1000-RO et la sonde passive PP018.

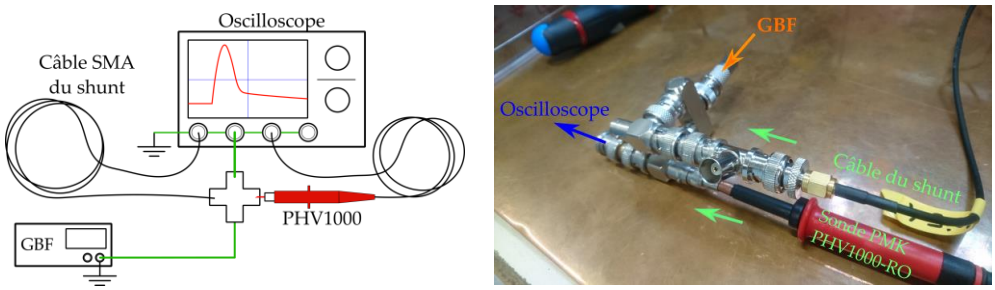



*Figure 246 : (à gauche) schéma de principe de la mesure du retard entre le câble du shunt et la sonde passive PMK PHV1000-RO ; (à droite) raccord multiple entre le GBF, la sonde et le câble.*

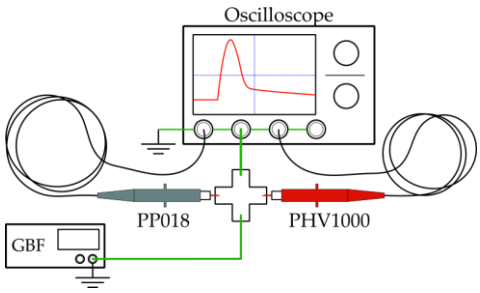



*Figure 247 : schéma de principe de la mesure du retard entre la sonde passive LeCroy PP018 et la sonde passive PMK PHV1000-RO.*

Un signal carré est généré par le GBF, et je relève à l'oscilloscope les signaux temporels récupérés par chaque sonde. L'allure et la position des courbes va permettre d'estimer le retard des sondes entre elles. Les voies de l'oscilloscope ont toutes une résistance d'entrée de 1 $M\Omega$ pour ces mesures.

Le GBF est toujours chargé par la capacité répartie du câble BNC (100 $pF.m^{-1}$ environ) allant au raccord multiple. Quand on connecte les sondes, les capacités et les résistances d'entrée de ces dernières se rajoutent. Dans le cas de la mesure avec les deux sondes passives, cela ne pose pas de problème car leur impédance d'entrée est très élevée ; cependant, dans le cas de la mesure avec la sonde PMK PHV1000-RO et la connectique du shunt, cette dernière présente une capacité répartie importante, ce qui va charger davantage le GBF.

La Figure 248 présente de façon simplifiée le chargement du GBF quand les deux sondes passives sont connectées. La capacité répartie du câble BNC est modélisée par une capacité de 100 $pF$, les sondes sont modélisées uniquement par leur résistance et capacité d'entrée. Les valeurs des résistances et capacités n'ont pas été mesurées, elles proviennent des documentations des fabricants. La Figure 249 schématise ce chargement, mais cette fois-ci pour la sonde PMK PHV1000-RO et la connectique du shunt. Dans ce cas, la capacité totale vue par le GBF est plus importante à cause du câble SMA du shunt.

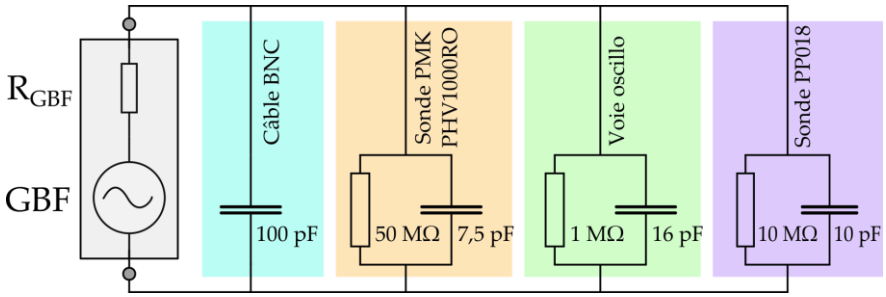



*Figure 248 : schéma électrique des impédances ramenées au GBF pour la mesure avec les deux sondes passives.*

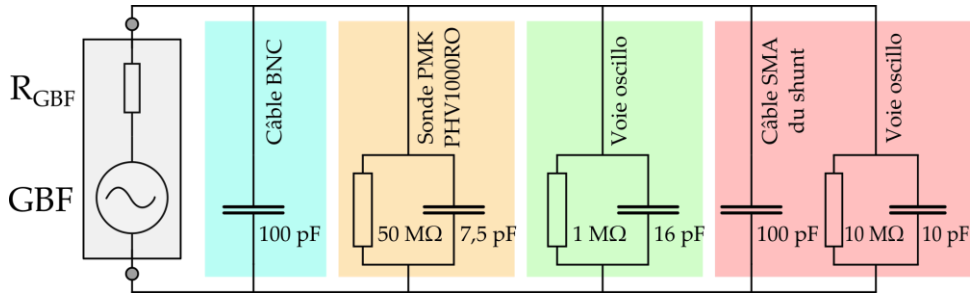



*Figure 249 : schéma électrique des impédances ramenées au GBF pour la mesure avec la sonde passive PMK et la connectique du shunt.*

Le circuit RC formé par la résistance de sortie de 50 Ω du GBF et par la capacité équivalente à toutes les capacités impose le temps de montée du GBF. Ce dernier possède aussi une capacité de sortie mais en l'absence d'indication du fabricant je la néglige devant la capacité équivalente.

En considérant que le GBF est idéal (front infiniment raide), on peut déterminer le temps de montée $t_R$ (10% - 90%) de la tension $u_C(t)$ aux bornes du condensateur équivalent. La capacité de ce dernier est notée $C$, et la résistance du GBF est notée $R$. Cette tension s'écrit :

$$u_C(t) = E\left(1 - e^{-\frac{t}{RC}}\right)$$

On exprime l'instant $t$ en fonction de la tension :

$$t = RC \times ln\left(\frac{1}{1 - \frac{u_C(t)}{E}}\right)$$

En notant $t_{10\%}$ et $t_{90\%}$ les instants correspondant à une tension égale à respectivement 10% de $E$ et 90% de $E$, le temps de montée $t_R$ s'écrit :

$$t_R = t_{90\%} - t_{10\%} = RC \times ln\left(\frac{1 - \frac{0{,}10 \times E}{E}}{1 - \frac{0{,}90 \times E}{E}}\right)$$

$$t_R = RC \times 2{,}197 \qquad (12)$$

Dans le cas de la sonde PMK PHV1000-RO et de la connectique du shunt, on obtient :

$$t_R = 50 \times (100 + 7{,}5 + 16 + 100 + 10) \times 10^{-12} \times 2{,}197 = 26\,ns$$

Le signal de sortie du GBF devrait donc être assez peu raide.

### 5.4.3 Résultats

Les formes d'ondes relevées expérimentalement pour la connectique du shunt et la sonde PMK PHV1000-RO sont présentés en Figure 251. Le signal du GBF est aussi présenté. On observe des oscillations sur les trois signaux, autour de $50\,MHz$, sans doute causées par l'interaction des inductances des câbles coaxiaux (bien que faibles, elles peuvent représenter quelques dizaines de nH) avec les différentes capacités du circuit.

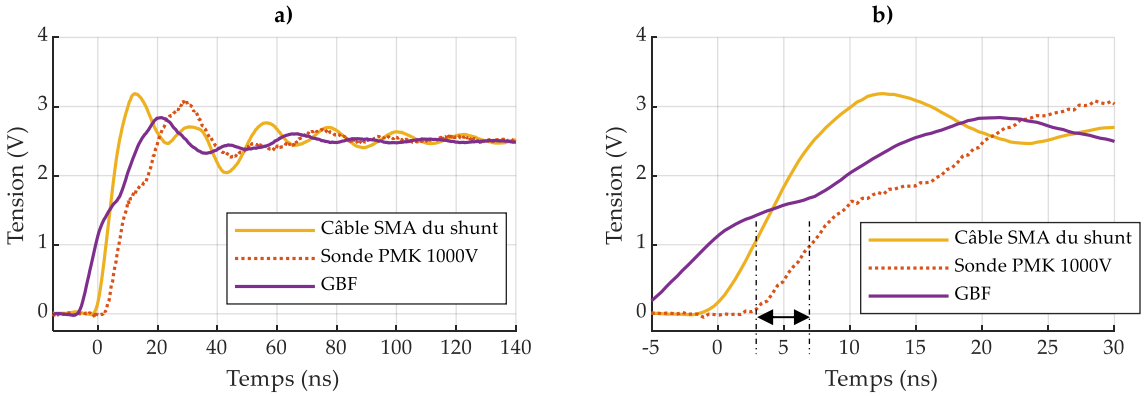



*Figure 250 : front de tension mesuré par la sonde passive LeCroy PP018 (1:10) et par la sonde passive PMK PHV1000-RO (1:100) pour déterminer leur retard relatif. a) Vue d'ensemble ; b) zoom sur le transitoire.*

Si le signal renvoyé par le shunt ressemble à la réponse indicielle théorique d'un second ordre faiblement amorti, ce n'est pas le cas pour la sonde PMK PHV1000-RO et pour le GBF. Leurs formes d'ondes montrent une rupture de pente au milieu de la montée des fronts, et cela complique la détermination du retard. Par ailleurs, le fait que le front du signal du shunt soit plus raide que celui du signal du GBF est probablement un artefact de mesure. Enfin, on retrouve un temps de montée cohérent avec celui calculé dans la partie 5.4.2.

J'ai donc choisi un critère visuel arbitraire et je considère que le retard est la durée qui sépare les pointillés sur le graphe b). Vu la méthode employée, l'incertitude sur cette durée peut être estimé à $1\ ns$. Le signal de la sonde PMK est en retard sur celui du shunt d'environ $4 \pm 1\ ns$.

La Figure 251 présente les mêmes formes d'ondes, mais pour la sonde LeCroy PP018 et la sonde PMK PHV1000-RO. On observe des oscillations davantage amorties sur le signal de la sonde PP018, mais pas d'oscillations sur celui de la sonde PMK.

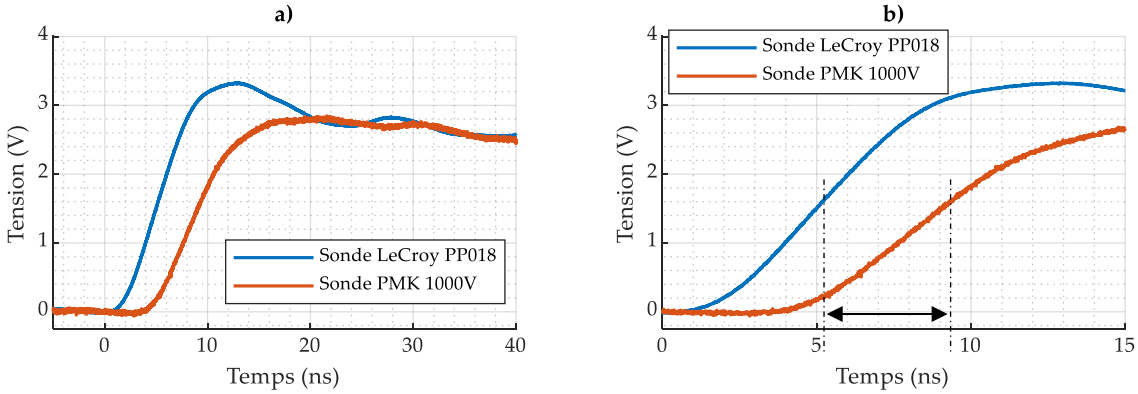



*Figure 251 : front de tension mesuré par la sonde passive LeCroy PP018 (1:10) et par la sonde passive PMK PHV1000-RO (1:100) pour déterminer leur retard relatif. a)Vue d'ensemble ; b) zoom sur le transitoire.*

Cette quasi-disparition des oscillations peut peut-être s'expliquer par la diminution de la capacité totale du circuit, puisque la capacité répartie du câble SMA est supprimée ici. Ici, le signal de la sonde PMK est en retard sur celui de la sonde LeCroy d'environ $4 \pm 1\ ns$.

On peut donc dire que les signaux renvoyés par le shunt et par la sonde LeCroy PP018 sont en phase, tandis que le signal généré par la sonde PMK PHV1000-RO est en retard de $4 \pm 1\ ns$ sur les deux premiers.

### 5.4.4 Conséquences et compensation du retard

Les signaux de commande (courant de grille $I_G$ et tension grille-source $V_{GS}$) ne sont pas impactés par le retard car ils proviennent de deux sondes identiques. Cette partie ne s'intéresse donc qu'aux signaux de puissance (courant de drain $I_D$ et tension drain-source $V_{DS}$).

Comme le retard est faible (quelques nanosecondes), il influe assez peu sur les grandeurs mesurées (tension drain-source) ou calculées (puissance dissipée et énergie). J'ai systématiquement compensé ce retard, que ce soit dans les graphes de court-circuit ou dans les calculs de puissance et d'énergie.

#### 5.4.4.1 Effet du retard sur la tension et le courant lors d'un court-circuit

La tension drain-source mesurée à l'oscilloscope est en retard de 4 $ns$ sur le courant. J'ai décalé dans le temps cette tension avec Matlab pour compenser ce retard. La Figure 252 présente cette compensation sur un essai de court-circuit.

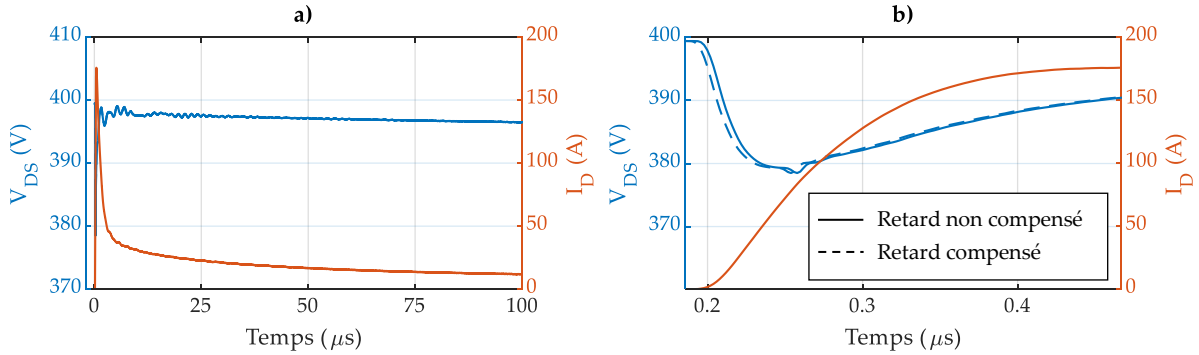



*Figure 252 : tension drain-source $V_{DS}$ et courant de drain $I_D$ lors d'un essai de court-circuit d'un transistor GaN Systems GS66516T sous une tension de 400 $V$. a) Vue d'ensemble ; b) Zoom sur le début du court-circuit montrant la tension $V_{DS}$ brute, en traits pleins (en retard sur le courant) et cette même tension décalée, en traits discontinus, pour compenser le retard.*

Les deux courbes bleues sont très proches car le retard est faible. Cependant, il m'a paru important d'en tenir compte. Le négliger peut fausser l'interprétation au début d'un court-circuit. Ainsi, sur tous les graphes de court-circuit, la tension $V_{DS}$ a été décalée pour compenser ce retard.

#### 5.4.4.2 Effet du retard sur la puissance dissipée lors d'un court-circuit

La puissance dissipée par effet Joule lors d'un essai est importante car elle conditionne l'augmentation de température de la puce. Elle est égale au produit de la tension $V_{DS}$ aux bornes de la puce (mesurée au plus près de cette dernière avec un support de sonde, comme sur la Figure 229) par le courant de drain $I_D$.

La Figure 253 présente ainsi cette puissance dissipée avec et sans prise en compte du retard, ainsi que l'écart relatif entre les deux. Elle est calculée à partir de la grandeur $V_{DS}$ brute ou décalée, le courant $I_D$ n'étant pas impacté par le retard.

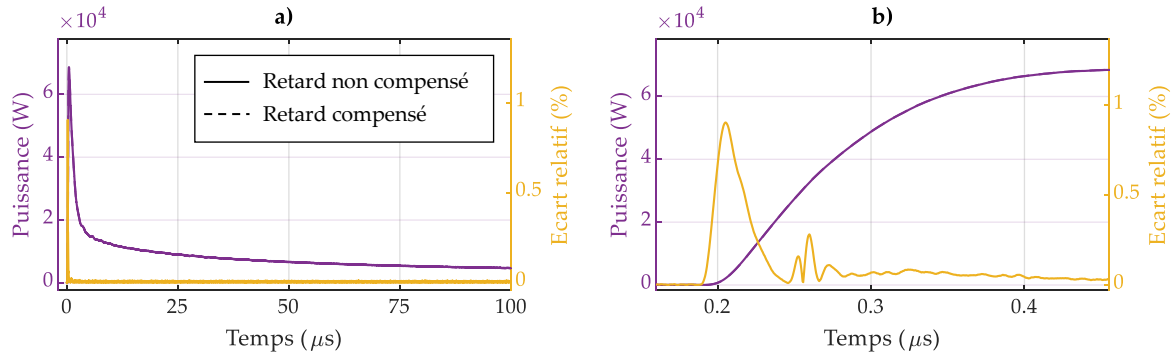



*Figure 253 : puissance dissipée avec et sans compensation du retard, et écart relatif entre les deux, lors d'un essai de court-circuit d'un transistor GaN Systems GS66516T sous une tension de* $400\ V$*. a) Vue d'ensemble ; b) Zoom sur le début du court-circuit montrant la puissance brute, en traits pleins et cette même puissance décalée, en traits discontinus, pour compenser le retard.*

Les deux courbes de puissance (en violet) sont presque superposées et l'écart relatif est assez faible (inférieur à 1%).

### 5.4.4.3 Effet du retard sur l'énergie dissipée lors d'un court-circuit

La quantité totale d'énergie dissipée par effet Joule lors d'un essai (avant la destruction de la puce) est un paramètre important car elle permet de comparer les puces entre elles. J'ai calculé cette quantité (notée $E$) en intégrant la puissance entre l'instant de début du court-circuit, $t_i$, et l'instant de fin, $t_f$ :

$$E = \int_{t_i}^{t_f} V_{DS}(t) \times I_D(t)$$

La Figure 254 montre cette énergie avec et sans prise en compte du retard, ainsi que leur écart relatif.

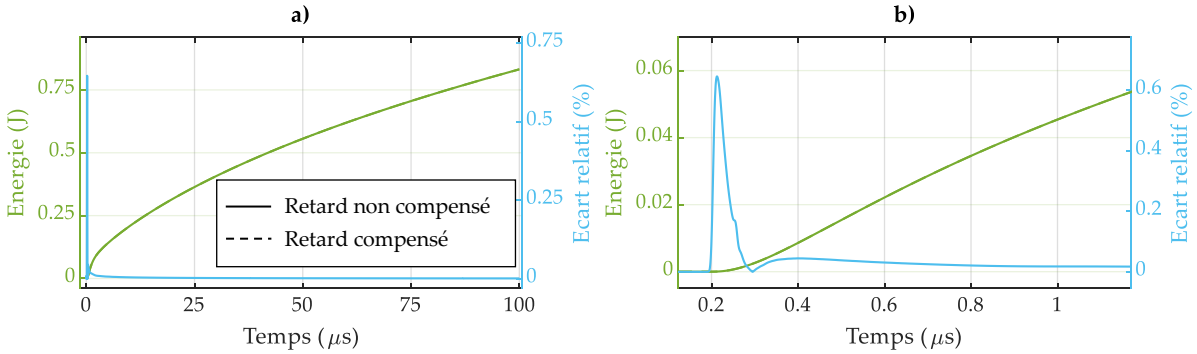



*Figure 254 : cumul de l'énergie dissipée avec et sans compensation du retard, et écart relatif entre les deux, lors d'un essai de court-circuit d'un transistor GaN Systems GS66516T sous une tension de* $400\ V$*. a) Vue d'ensemble ; b) Zoom sur le début du court-circuit montrant l'énergie brute, en traits pleins et cette même énergie décalée, en traits discontinus, pour compenser le retard.*

Les courbes verts sont presque superposées, et l'écart relatif ne dépasse pas 0,7%. On voit ici encore que ce retard de quelques nanosecondes a un effet très faible sur les grandeurs relevées ou calculées lors d'un essai de court-circuit.

### 5.4.5 Interprétation

#### 5.4.5.1 Longueur des câbles

Comme je ne m'intéresse ici qu'au retard pur entre sondes, celui-ci devrait dépendre des longueurs des câbles de ces dernières, et de la célérité de l'onde de tension dans les câbles.

La sonde PMK PHV1000-RO a un câble de $L_{PMK} = 2{,}0\ m$ mais celui de la sonde 1:10 LeCroy PP018 ne fait que $L_{PP} = 1{,}3\ m$ ([131] [123]). Le câble SMA du shunt mesure $1{,}06\ m$ , auquel je rajoute la longueur d'une connectique BNC ajoutée pour modéliser le corps du shunt (Figure 246), valant $0{,}05\ m$. J'obtiens une longueur totale $L_{shunt} = 1{,}11\ m$.

La célérité $c$ de l'onde dans un câble coaxial est généralement comprise entre 60% et 90% de la célérité de la lumière dans le vide $c_0$ [147]. Elle dépend de la permittivité relative de l'isolant ($\epsilon_r$) utilisé selon la relation :

$$c = \frac{c_0}{\sqrt{\epsilon_r}}$$

Pour la sonde PMK PHV1000-RO, d'après le fabricant, l'isolant utilisé est du polypropylène (PP). D'après [148] (p. 40-41), la permittivité relative (notée $\epsilon_{r,PMK}$) de ce matériau est comprise entre 2,1 et 2,3 à $1\ MHz$. L'estimateur de cette grandeur sera donc : $\epsilon_{r,PMK} = 2{,}2$. La célérité vaut donc $c_{PMK} = 2{,}0.10^8\ m.s^{-1}$. Pour majorer l'incertitude sur cette grandeur, je considère une loi de probabilité rectangulaire ([115], p.17), l'incertitude-type vaut alors :

$$u(\epsilon_{r,PMK}) = \frac{2{,}3 - 2{,}1}{2\sqrt{3}} = 0{,}06$$

On obtient ainsi : $c_{PMK} = c = 2{,}0.10^8\ \pm 0{,}06\ m.s^{-1}$

Concernant la sonde LeCroy PP018, le diélectrique du câble utilisé est aussi du polypropylène. On a donc : $c_{PP} = 2{,}0.10^8 \pm 0.06\ m.s^{-1} = c_{PMK}$.

Enfin, pour la connectique du shunt, le câble coaxial utilisé porte la référence RG174, la célérité de l'onde est donc égale à 66% de la célérité de la lumière [146] soit : $c_{shunt} = 1{,}98.10^8 m.s^{-1} \approx c_{PMK}$.

Pour simplifier le calcul qui va suivre, je considère que : $c_{shunt} = c_{PMK} = c_{PP} = c$. Le retard $\Delta t$ entre la sonde PMK PHV1000-RO et le câble du shunt se calcule ainsi :

$$\Delta t = \frac{L_{PMK} - L_{shunt}}{c} = 4{,}45\ ns$$

On retrouve bien l'ordre de grandeur du retard estimé à partir des courbes ($4\ ns$).

Le retard $\Delta t'$ entre la sonde PP018 et le shunt se calcule de la même façon :

$$\Delta t' = \frac{L_{PP} - L_{shunt}}{c} = 0{,}95\ ns$$

$\Delta t'$ est environ quatre fois inférieur à $\Delta t$, donc on peut négliger $\Delta t'$ et considérer que ces signaux sont en phase. Ceci est cohérent avec les observations expérimentales, au vu de la méthode graphique assez peu précise utilisée.

#### 5.4.5.2 Autres bancs de court-circuit

Les bancs n°1 et 2 ont une structure différente du banc n°3, mais le retard entre les signaux mesurés ne change pas car les sondes utilisées dans ces deux premiers bancs ont une connectique de même longueur. Ceci est vrai pour la sonde de tension mesurant $V_{DS}$, pour les deux sondes mesurant $V_{GS}$ et $V_{DR}$, et enfin pour le câble coaxial du shunt. J'ai donc compensé le retard de la même manière pour les trois bancs.

#### 5.4.5.3 Limites de la méthode utilisée

Les mesures faites ne donnent que la réponse indicielle des sondes, ce qui permet uniquement de déterminer le retard lié aux durées de propagation dans les câbles. De plus, seule la connectique du shunt a été caractérisée, il est possible que le shunt lui-même présente un certain déphasage à des fréquences élevées.

Pour palier à ces deux problèmes, il aurait été intéressant de déterminer la fonction de transfert de chaque sonde, avec un analyseur vectoriel de réseau. Cela aurait permis de récupérer le comportement en fréquence ainsi que le déphasage. Le retard entre sondes aurait été traduit par un retard pur sur le diagramme de Bode.

Enfin, je n'ai caractérisé qu'une seule sonde sur les deux LeCroy PP018 utilisées. Même si elles sont de la même référence, en toute rigueur elles restent légèrement différentes et il aurait fallu caractériser les deux. Cette remarque n'est valable que pour la détermination de la fonction de transfert car la durée de propagation le long du câble varie surement de façon négligeable. Cette longueur est en effet identique à moins d'un centimètre près.

# 6. Validation du banc n°3 avec des transistors silicium

J'ai fait subir un test de court-circuit à cinq transistors de technologie silicium (le MOSFET à superjonction Infinéon IPA65R190E6). La tension $V_{DS}$ vaut $400\ V$, et la résistance de grille $R_G$ vaut $3{,}4\ \Omega$. Ces essais ont servi à valider le banc n°3. La Figure 255 présente les cinq essais superposés, avec des styles de traits différents.

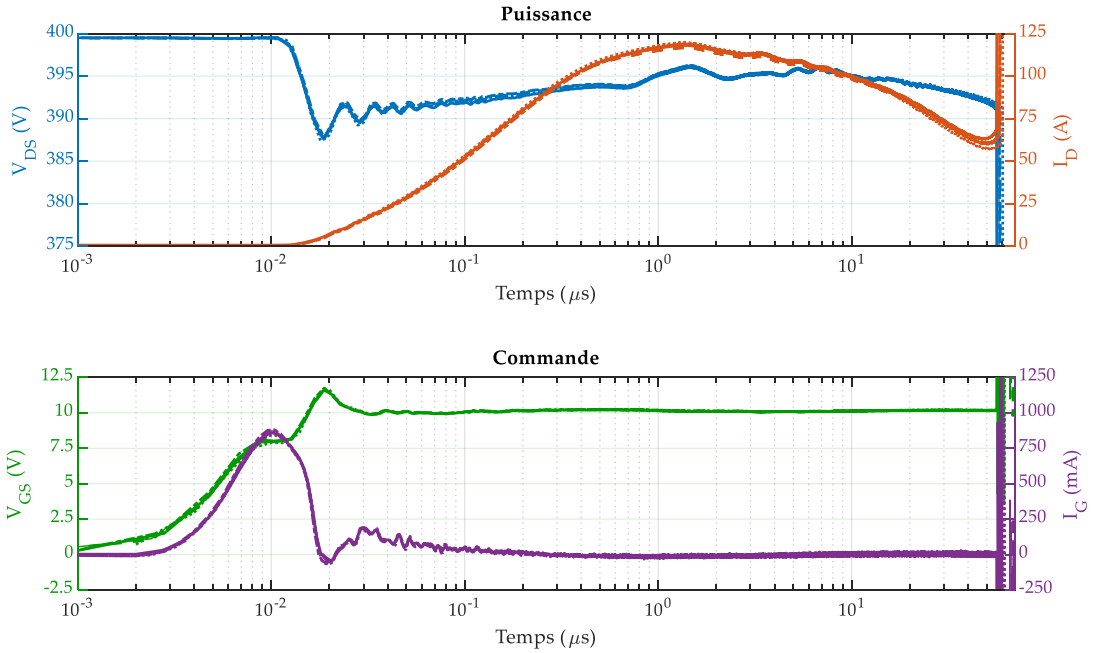



*Figure 255 : superposition de cinq essais de court-circuit destructifs sur des transistors Infinéon IPA65R190E6 dans le banc n°3. $V_{DS} = 400\ V$. En haut : tension drain-source $V_{DS}$ et courant de drain $I_D$ ; en bas : tension grille-source $V_{GS}$ et courant de grille $I_G$.*

Les courbes sont presque superposées, la dispersion est extrêmement faible ici, contrairement aux transistors GaN testés. Le *TLF* est compris entre $56\ \mu s$ et $60\ \mu s$ et l'énergie absorbée vaut entre $1750\ mJ$ et $1810\ mJ$ (Tableau 40).

*Tableau 40 : TLF et énergie absorbée pour les transistors Infinéon IPA65R190E6.*

| Essai n° | 1 | 2 | 3 | 4 | 5 | Moyenne | Ecart-type |
|---|---|---|---|---|---|---|---|
| *TLF* (µs) | 56 | 59 | 60 | 59 | 58 | 58,4 | 1,5 |
| Energie (mJ) | 1787 | 1808 | 1756 | 1799 | 1785 | 1787 | 20 |

# 7. Illustration de l'incertitude sur les courants de drain et de grille dans le banc n°3

Les erreurs de mesure sont de deux types : les erreurs aléatoires et les erreurs systématiques. Ces dernières vont entacher la justesse des mesures, mais n'empêchent en aucun cas la comparaison de formes d'ondes issues d'essais de transistors différents. Je me concentre dans cette partie sur les erreurs aléatoires.

## 7.1 Incertitude sur le courant de drain

L'incertitude relative élargie sur le courant de drain vaut 1,9 % en tenant compte du vieillissement du shunt. La composante majoritaire de l'incertitude est la dérive de la valeur du shunt au fil des essais. Comme je ne sais pas à quelle vitesse s'est produite cette dérive, je considère qu'il s'agit d'une erreur aléatoire. La Figure 256 illustre cette incertitude graphiquement. Cette dernière présente le courant de drain de quinze essais de court-circuit (en couleurs). J'ai sélectionné un courant de drain situé au centre

du faisceau de courbes, et j'ai délimité par des pointillés noirs la zone dans laquelle la valeur vraie de ce courant a 95% de chances de se trouver. Les deux courbes en pointillés correspondent aux courants de drain minimal et maximal calculés en utilisant l'incertitude.

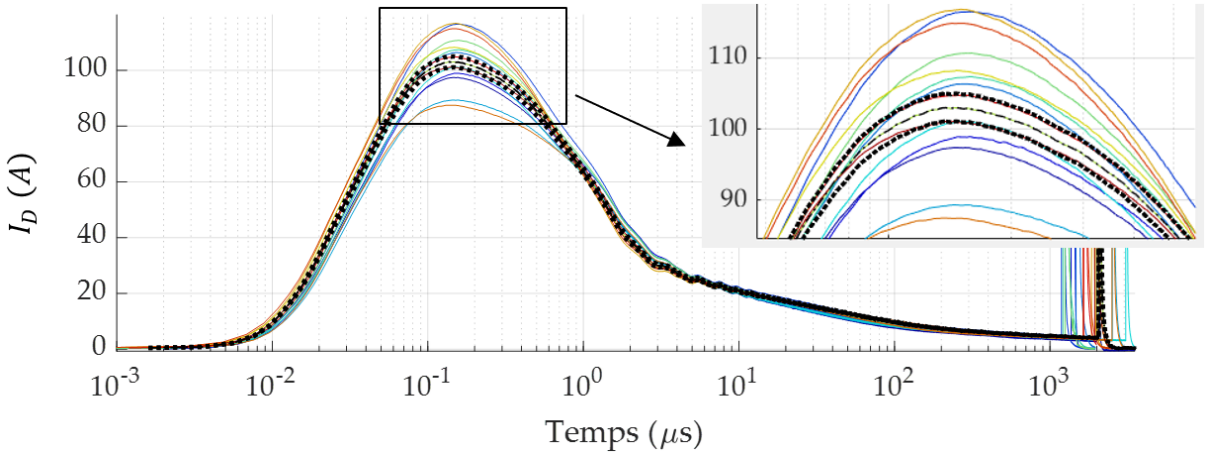



*Figure 256 : illustration de l'incertitude liée aux erreurs aléatoires sur le courant de drain.*

Il apparait que l'incertitude sur ce courant est assez faible compte-tenu de la dispersion des courbes, mais non négligeable. En effet, l'écart entre les deux courbes en pointillés est parfois plus grand que l'écart entre deux courants de drain, ce qui signifie que l'interprétation est parfois impossible car la différence entre ces deux courbes pourrait être causée uniquement par l'incertitude de mesure et ne serait donc pas significative.

## 7.2 Incertitude sur le courant de grille

Dans les trois bancs, le courant de grille est mesuré indirectement à travers la tension qui s'établit aux bornes de la résistance de grille, en utilisant deux sondes passives 1: 10. Comme nous l'avons vu dans la partie 5.3.3.2 des annexes, il y a plusieurs sources d'erreur de mesure. Je me concentre dans cette partie sur les erreurs aléatoires, qui peuvent fausser l'interprétation lors de la comparaison de courants de grille issus d'essais faisant intervenir des transistors différents. En utilisant les valeurs trouvées dans la partie 5.3.3.2 des annexes, on obtient une incertitude relative élargie de 1,3 % pour les erreurs aléatoires seules, la principale erreur étant liée à la valeur de la résistance de grille.

La Figure 257 illustre cette incertitude graphiquement. Cette dernière présente le courant de grille des mêmes quinze essais de court-circuit (en couleurs). J'ai sélectionné un courant de grille situé au centre du faisceau de courbes, et j'ai délimité par des pointillés noirs la zone dans laquelle la valeur vraie de ce courant a 95% de chances de se trouver. Les deux courbes en pointillés correspondent aux courants de grille minimal et maximal calculés en utilisant l'incertitude.

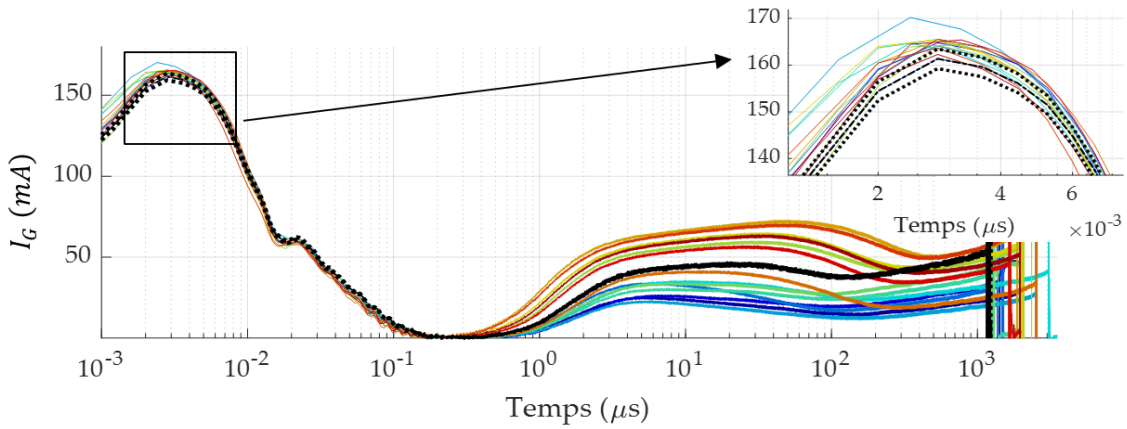



*Figure 257 : illustration de l'incertitude liée aux erreurs aléatoires sur le courant de grille.*

Il apparait que l'incertitude liée aux erreurs aléatoire du courant de grille est faible comparée à la dispersion des courbes. Toutefois, lors du pic de charge de la grille, on constate que l'écart entre les deux courbes en pointillés est parfois plus grand que l'écart entre deux courants de grille, ce qui signifie que l'interprétation est parfois impossible car la différence entre ces deux courbes pourrait être causée uniquement par l'incertitude de mesure et ne serait donc pas significative. En revanche, lorsque le courant se met à augmenter ($t > 1\ \mu s$), on constate que l'incertitude est négligeable devant la dispersion entre les courbes (les courbes noires en pointillés sont superposées). Comme c'est cette deuxième phase qui est la plus intéressante en termes de robustesse, on peut dire que l'incertitude sur le courant de drain ne pose pas de problèmes d'interprétation pour comparer des essais entre eux.

# 8. Traceur de caractéristiques

## 8.1 Temps de repos et répétabilité

J'ai répété de nombreuses fois une même mesure sur un transistor GaN Systems de référence GS66506T. Cette mesure est la caractéristique $I_D = f(V_{GS})$ avec un $V_{DS}$ fixé à $1{,}0\ V$ pour ne pas dépasser la limite en courant de $20\ A$ de l'appareil. En répétant cette mesure à une minute d'intervalle, il apparait que les courbes ne sont pas superposées pour des valeurs de $V_{GS}$ comprises entre la tension de seuil (de l'ordre de $1{,}5\ V$) et $V_{GS} = 3{,}0\ V$. Pour de plus grandes valeurs de $V_{GS}$, les courbes sont confondues. La Figure 258 montre ce comportement à travers trois séries de quatre mesures. Chaque couleur correspond à une série, et il s'écoule toujours une minute entre deux mesures d'une même série. La courbe noire en pointillés montre la différence entre la courbe la plus haute et la courbe la plus basse.

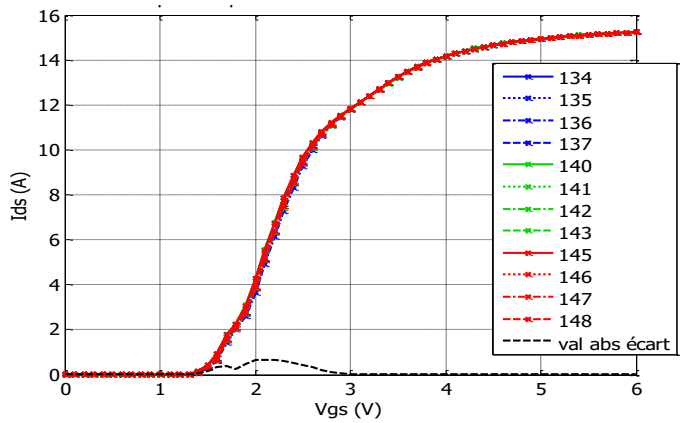



*Figure 258 : influence de la durée de repos du transistor sur la répétabilité d'une mesure $I_D = f(V_{GS})$. Les nombres de la légende correspondent à la durée (en minutes) d'utilisation du traceur depuis son allumage.*

Pour voir si ce comportement dépendait de la durée de repos du transistor, j'ai laissé trois minutes s'écouler entre la première série et la deuxième, et deux minutes entre cette dernière et la troisième. La Figure 259 montre un zoom de la figure précédente. Les flèches partent de la première mesure de chaque série (134, 140 et 145) et indiquent la chronologie des mesures suivantes. Les premières mesures sont bien superposées, alors que ce n'est pas le cas pour les autres.

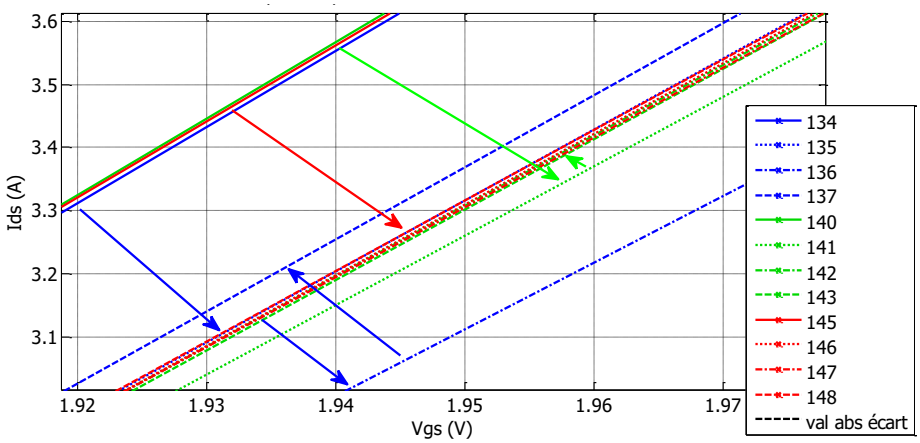



*Figure 259 : zoom sur l'influence de la durée de repos du transistor sur la répétabilité d'une mesure $I_D = f(V_{GS})$.*

Ceci laisse penser que le temps de repos nécessaire est compris entre une et deux minutes. Cependant, d'autres expériences menées dans les mêmes conditions montrent que les premières mesures ne sont pas du tout confondues. J'ai aussi constaté lors d'autres mesures que la première mesure était confondue avec celle qui suit une minute après. Il est possible que le comportement observé soit causé par la dispersion de l'appareil. Influence des paramètres du traceur

## 8.2 Durée du pulse

La durée du pulse doit être assez grande pour dépasser le régime transitoire de la mise en conduction du transistor, mais pas trop longue pour éviter que ce dernier ne s'échauffe. J'ai fait varier cette durée de 50 µ$s$ à 1,0 $ms$, en fixant la durée de mesure à 80 % de la durée du pulse, et en laissant 100 $ms$ entre

deux pulses. La Figure 260 montre que ce paramètre à une influence faible pour des $V_{GS}$ inférieurs à 2,5 $V$, mais très important au-delà de 3,5 $V$.

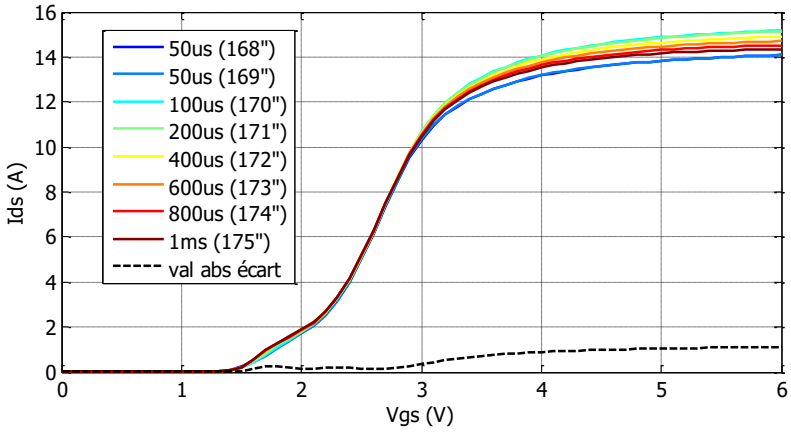



*Figure 260 : influence de la durée du pulse. Les nombres entre parenthèses correspondent au temps écoulé (en minutes) depuis l'allumage de l'appareil.*

L'ordre des courbes semble suivre une certaine logique, mais il est difficile de l'expliquer. Quand la durée du pulse augmente, le transistor devrait chauffer, ce qui aurait tendance à diminuer le courant de drain. Ce n'est pas ce qu'on observe expérimentalement (Figure 261).

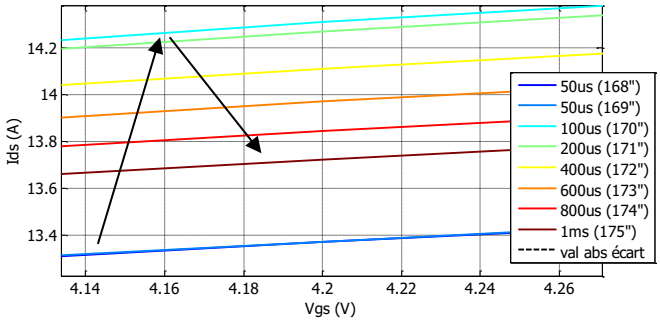



*Figure 261 : zoom sur l'influence de la durée du pulse.*

Cette série de mesure a été refaite dans les mêmes conditions et j'ai obtenu la même chose, preuve que ce comportement n'est pas causé par la dispersion du traceur.

J'ai refait cette expérience avec un MOSFET SiC CREE, et j'ai obtenu un comportement différent : le courant augmente de façon monotone avec la durée du pulse. Ceci prouve que le GaN a un comportement spécifique pour ce test.

## 8.3 Durée de mesure

La durée de mesure est la durée pendant laquelle l'appareil va relever des valeurs de courant, pour ensuite moyenner ces valeurs. Une grande durée de mesure est plus précise car le moyennage augmente, mais une durée trop grande va couvrir le début du pulse et donc le transitoire de l'amorçage, ce qui n'est pas souhaitable. J'ai fait varier la durée de mesure entre 2 µ$s$ et 30 µ$s$, en fixant à 50 µ$s$ la durée du pulse et à 5,0 $ms$ la durée entre deux pulses. Les courbes obtenues sont assez différentes (Figure 262), du moins pour des valeurs de $V_{GS}$ comprises entre la tension de seuil $V_{th}$ et 3,0 $V$.

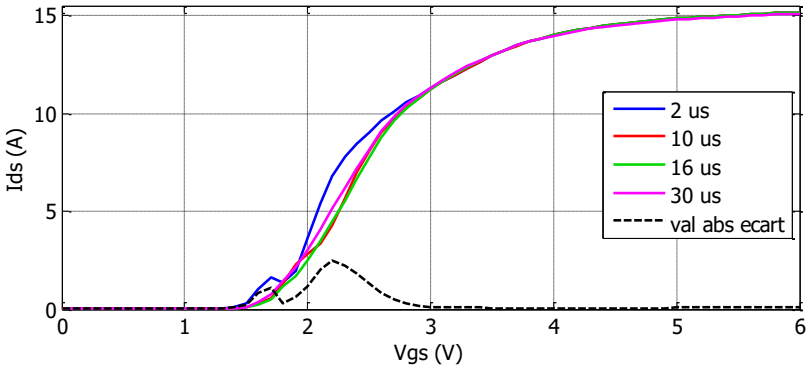



*Figure 262 : influence de la durée de mesure.*

Avec une durée de mesure de 2 µ$s$, les mesures semblent instables, et cela s'améliore quand cette durée augmente. Une durée de 16 µ$s$ semble suffisante.

## 8.4 Durée entre deux mesures

La durée entre deux mesures influe sur le temps de refroidissement du transistor entre deux pulses. Une grande durée serait donc préférable. J'ai fait varier cette durée entre 5 $ms$ et 800 $ms$, en fixant la durée du pulse à 50 µ$s$ et en imposant une durée de 20 µ$s$ pour la durée de mesure (Figure 263).

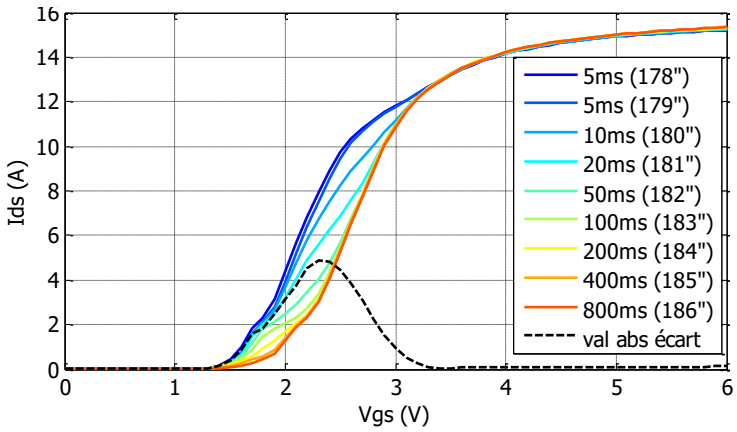



*Figure 263 : influence de la durée entre deux pulses. Les nombres entre parenthèses correspondent au temps écoulé (en minutes) depuis l'allumage de l'appareil.*

Ce paramètre qui au premier abord semblait assez peu important, a en fait un impact extrêmement fort sur les courbes, du moins entre la tension de seuil $V_{th}$ et $V_{GS} = 3{,}5\ V$. Plus la durée augmente, plus le courant diminue, et il peut y avoir plus de 4,0 $A$ d'écart entre la courbe 5 $ms$ et la courbe 800 $ms$. Il est difficile de faire émerger une valeur idéale.

# Bibliographie


[1] Ministère de la transition écologique et Institute for climate economics, « Chiffres clés du climat - France, Europe et Monde ». déc. 2020. [En ligne]. Disponible sur: https://www.statistiques.developpement-durable.gouv.fr/edition-numerique/chiffres-cles-du-climat

[2] Institut Français du Pétrole, « Les énergies pour le transport : avantages et inconvénients ». déc. 2008. [En ligne]. Disponible sur: https://inis.iaea.org/collection/NCLCollectionStore/_Public/42/016/42016175.pdf

[3] N. Keshmiri, D. Wang, B. Agrawal, R. Hou, et A. Emadi, « Current Status and Future Trends of GaN HEMTs in Electrified Transportation », *IEEE Access*, vol. 8, p. 70553-70571, 2020, doi: 10.1109/ACCESS.2020.2986972.

[4] M. Su, C. Chen, et S. Rajan, « Prospects for the application of GaN power devices in hybrid electric vehicle drive systems », *Semicond. Sci. Technol.*, vol. 28, nº 7, p. 074012, juin 2013, doi: 10.1088/0268-1242/28/7/074012.

[5] Ganfast, « Site internet de ganfast ». [En ligne]. Disponible sur: https://ganfast.com/products/

[6] H. Schefer, L. Fauth, T. H. Kopp, R. Mallwitz, J. Friebe, et M. Kurrat, « Discussion on Electric Power Supply Systems for All Electric Aircraft », *IEEE Access*, vol. 8, p. 84188-84216, 2020, doi: 10.1109/ACCESS.2020.2991804.

[7] S. J. Pearton, F. Ren, E. Patrick, M. E. Law, et A. Y. Polyakov, « Review—Ionizing Radiation Damage Effects on GaN Devices », *ECS J. Solid State Sci. Technol.*, vol. 5, nº 2, p. Q35, nov. 2015, doi: 10.1149/2.0251602jss.

[8] A. Lidow, M. De Rooij, J. Strydom, D. Reusch, et J. Glaser, *GaN Transistors for Efficient Power Conversion*.

[9] S. Nakamura et M. R. Krames, « History of Gallium–Nitride-Based Light-Emitting Diodes for Illumination », *Proc. IEEE*, vol. 101, nº 10, p. 2211-2220, oct. 2013, doi: 10.1109/JPROC.2013.2274929.

[10] E. A. Jones, F. F. Wang, et D. Costinett, « Review of Commercial GaN Power Devices and GaN-Based Converter Design Challenges », *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 4, nº 3, p. 707-719, sept. 2016, doi: 10.1109/JESTPE.2016.2582685.

[11] A. Castellazzi, « Opportunities and challenges of integrated WBG power electronics development », in *2021 Third International Symposium on 3D Power Electronics Integration and Manufacturing (3D-PEIM)*, juin 2021, p. 1-6. doi: 10.1109/3D-PEIM49630.2021.9497265.

[12] C.-T. Ma et Z.-H. Gu, « Review of GaN HEMT Applications in Power Converters over 500 W », *Electronics*, vol. 8, nº 12, Art. nº 12, déc. 2019, doi: 10.3390/electronics8121401.

[13] X. Huang, Z. Liu, Q. Li, et F. C. Lee, « Evaluation and Application of 600 V GaN HEMT in Cascode Structure », *IEEE Trans. Power Electron.*, vol. 29, nº 5, p. 2453-2461, mai 2014, doi: 10.1109/TPEL.2013.2276127.

[14] S. Elangovan, S. Cheng, et E. Y. Chang, « Reliability Characterization of Gallium Nitride MIS-HEMT Based Cascode Devices for Power Electronic Applications », *Energies*, vol. 13, nº 10, Art. nº 10, janv. 2020, doi: 10.3390/en13102628.

[15] Y. Li *et al.*, « Evaluation and Analysis of Temperature-Dependent Dynamic $R_\mathrmDS,\mathrmON$ of GaN Power Devices Considering High-Frequency Operation », *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 8, nº 1, p. 111-123, mars 2020, doi: 10.1109/JESTPE.2019.2947575.

[16] J. Wu, W. Meng, F. Zhang, G. Dong, et J. Shu, « A Short-Circuit Protection Circuit With Strong Noise Immunity for GaN HEMTs », *IEEE Trans. Power Electron.*, vol. 36, nº 2, p. 2432-2442, févr. 2021, doi: 10.1109/TPEL.2020.3013984.

[17] J. Acuna, J. Walter, et I. Kallfass, « Very Fast Short Circuit Protection for Gallium-Nitride Power Transistors Based on Printed Circuit Board Integrated Current Sensor », in *2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe)*, sept. 2018, p. P.1-P.10.

[18] X. Huang *et al.*, « Experimental study of 650V AlGaN/GaN HEMT short-circuit safe operating area (SCSOA) », in *2014 IEEE 26th International Symposium on Power Semiconductor Devices IC's (ISPSD)*, juin

2014, p. 273-276. doi: 10.1109/ISPSD.2014.6856029.
[19] R. Mitova, R. Ghosh, U. Mhaskar, D. Klikic, M.-X. Wang, et A. Dentella, « Investigations of 600-V GaN HEMT and GaN Diode for Power Converter Applications », *IEEE Trans. Power Electron.*, vol. 29, nº 5, p. 2441-2452, mai 2014, doi: 10.1109/TPEL.2013.2286639.
[20] J. Sun, J. Wei, Z. Zheng, et K. J. Chen, « Short Circuit Capability Characterization and Analysis of p-GaN Gate High-Electron-Mobility Transistors Under Single and Repetitive Tests », *IEEE Trans. Ind. Electron.*, vol. 68, nº 9, p. 8798-8807, sept. 2021, doi: 10.1109/TIE.2020.3009603.
[21] D. Ueda *et al.*, « Present and future prospects of gan-based power electronics », in *2008 9th International Conference on Solid-State and Integrated-Circuit Technology*, oct. 2008, p. 1078-1081. doi: 10.1109/ICSICT.2008.4734738.
[22] GaN Systems, « GN001 Application Note "An introduction to GaN Enhancement-mode HEMTs ». avr. 16, 2020.
[23] G. Greco, F. Iucolano, et F. Roccaforte, « Review of technology for normally-off HEMTs with p-GaN gate », *Mater. Sci. Semicond. Process.*, vol. 78, p. 96-106, mai 2018, doi: 10.1016/j.mssp.2017.09.027.
[24] C. Abbate, F. Iannuzzo, et G. Busatto, « Thermal instability during short circuit of normally-off AlGaN/GaN HFETs », *Microelectron. Reliab.*, vol. 53, nº 9, p. 1481-1485, sept. 2013, doi: 10.1016/j.microrel.2013.07.119.
[25] H. Hamza K., D. Nirmal, et L. Arivazhagan, « Impact of AlGaN Back Barrier in AlGaN/GaN HEMT on GaN substrate », in *2020 5th International Conference on Devices, Circuits and Systems (ICDCS)*, mars 2020, p. 290-293. doi: 10.1109/ICDCS48716.2020.243601.
[26] H. Ohta, T. Nakamura, et T. Mishima, « High quality free-standing GaN substrates and their application to high breakdown voltage GaN p-n diodes », in *2016 IEEE International Meeting for Future of Electron Devices, Kansai (IMFEDK)*, juin 2016, p. 1-2. doi: 10.1109/IMFEDK.2016.7521696.
[27] T. Yoshida *et al.*, « Fabrication of 3-in GaN substrates by hydride vapor phase epitaxy using void-assisted separation method », *J. Cryst. Growth*, vol. 310, nº 1, p. 5-7, janv. 2008, doi: 10.1016/j.jcrysgro.2007.10.014.
[28] M. Imanishi, S. Usami, M. Maruyama, M. Yoshimura, et Y. Mori, « Growth of a High Quality GaN Wafer from Point Seeds by the Na-Flux Method », in *2021 28th International Workshop on Active-Matrix Flatpanel Displays and Devices (AM-FPD)*, juin 2021, p. 70-72. doi: 10.23919/AM-FPD52126.2021.9499151.
[29] T. Nagahisa, H. Ichijoh, T. Suzuki, A. Yudin, A. O. Adan, et M. Kubo, « Robust 600 V GaN high electron mobility transistor technology on GaN-on-Si with 400 V, 5 µs load-short-circuit withstand capability », *Jpn. J. Appl. Phys.*, vol. 55, nº 4S, p. 04EG01, févr. 2016, doi: 10.7567/JJAP.55.04EG01.
[30] H. W. Then *et al.*, « Gallium Nitride and Silicon Transistors on 300 mm Silicon Wafers Enabled by 3-D Monolithic Heterogeneous Integration », *IEEE Trans. Electron Devices*, vol. 67, nº 12, p. 5306-5314, déc. 2020, doi: 10.1109/TED.2020.3034076.
[31] W. B. Lanford, T. Tanaka, Y. Otoki, et I. Adesida, « Recessed-gate enhancement-mode GaN HEMT with high threshold voltage », *Electron. Lett.*, vol. 41, nº 7, p. 449-450, mars 2005, doi: 10.1049/el:20050161.
[32] H. Kambayashi *et al.*, « Over 100A operation normally-off AlGaN/GaN hybrid MOS-HFET on Si substrate with high-breakdown voltage », *Solid-State Electron.*, vol. 54, nº 6, p. 660-664, juin 2010, doi: 10.1016/j.sse.2010.01.001.
[33] M. Fernández *et al.*, « Short-Circuit Study in Medium-Voltage GaN Cascodes, p-GaN HEMTs, and GaN MISHEMTs », *IEEE Trans. Ind. Electron.*, vol. 64, nº 11, p. 9012-9022, nov. 2017, doi: 10.1109/TIE.2017.2719599.
[34] Y. Uemoto *et al.*, « Gate Injection Transistor (GIT)—A Normally-Off AlGaN/GaN Power Transistor Using Conductivity Modulation », *IEEE Trans. Electron Devices*, vol. 54, nº 12, p. 3393-3399, déc. 2007, doi: 10.1109/TED.2007.908601.
[35] P. Xue, L. Maresca, M. Riccio, G. Breglio, et A. Irace, « Experimental Study on the Short-Circuit Instability of Cascode GaN HEMTs », *IEEE Trans. Electron Devices*, vol. 67, nº 4, p. 1686-1692, avr. 2020, doi: 10.1109/TED.2020.2974518.
[36] S. Ben-Yaakov et L. Van de Perre, « A Novel Circuit Topology for Turning a 'Normally On' GaN Transistor into 'Normally Off' that Can be Driven by Popular Drivers ». juin 2018.

[37] X. Huang, W. Du, F. C. Lee, Q. Li, et W. Zhang, « Avoiding Divergent Oscillation of a Cascode GaN Device Under High-Current Turn-Off Condition », *IEEE Trans. Power Electron.*, vol. 32, nº 1, p. 593-601, janv. 2017, doi: 10.1109/TPEL.2016.2532799.

[38] S. Chowdhury, B. L. Swenson, M. H. Wong, et U. K. Mishra, « Current status and scope of gallium nitride-based vertical transistors for high-power electronics application », *Semicond. Sci. Technol.*, vol. 28, nº 7, p. 074014, juin 2013, doi: 10.1088/0268-1242/28/7/074014.

[39] Nexgen, « Site internet de Nexgen ». [En ligne]. Disponible sur: https://nexgenpowersystems.com/datasheets

[40] K. Strempel *et al.*, « Vertical 3D gallium nitride field-effect transistors based on fin structures with inverted p-doped channel », *Semicond. Sci. Technol.*, vol. 36, p. 9, nov. 2020, doi: 10.1088/1361-6641/abc5ff.

[41] I. Ben-Yaacov, Y.-K. Seck, U. K. Mishra, et S. P. DenBaars, « AlGaN/GaN current aperture vertical electron transistors with regrown channels », *J. Appl. Phys.*, vol. 95, nº 4, p. 2073-2078, févr. 2004, doi: 10.1063/1.1641520.

[42] T. Oka, T. Ina, Y. Ueno, et J. Nishii, « 1.8 mΩ·cm2 vertical GaN-based trench metal–oxide–semiconductor field-effect transistors on a free-standing GaN substrate for 1.2-kV-class operation », *Appl. Phys. Express*, vol. 8, nº 5, p. 054101, avr. 2015, doi: 10.7567/APEX.8.054101.

[43] F. N. F. Zaki, « Characterization, modeling and aging behavior of GaN power transistors », phdthesis, Université Paris Saclay (COmUE), 2018. Consulté le: sept. 09, 2021. [En ligne]. Disponible sur: https://tel.archives-ouvertes.fr/tel-01794546

[44] « Panasonic GaN power transistors white paper ».

[45] G. Meneghesso *et al.*, « Reliability and parasitic issues in GaN-based power HEMTs: a review », *Semicond. Sci. Technol.*, vol. 31, nº 9, p. 093004, août 2016, doi: 10.1088/0268-1242/31/9/093004.

[46] D. Reusch et J. Strydom, « Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter », *IEEE Trans. Power Electron.*, vol. 29, nº 4, p. 2008-2015, avr. 2014, doi: 10.1109/TPEL.2013.2266103.

[47] Z. Liu, F. C. Lee, Q. Li, et Y. Yang, « Design of GaN-based MHz totem-pole PFC rectifier », in *2015 IEEE Energy Conversion Congress and Exposition (ECCE)*, sept. 2015, p. 682-688. doi: 10.1109/ECCE.2015.7309755.

[48] H. Li, X. Li, Z. Zhang, C. Yao, et J. Wang, « Design consideration of high power GaN inverter », in *2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, nov. 2016, p. 23-29. doi: 10.1109/WiPDA.2016.7799904.

[49] W. Zhang, F. Wang, D. J. Costinett, L. M. Tolbert, et B. J. Blalock, « Investigation of Gallium Nitride Devices in High-Frequency LLC Resonant Converters », *IEEE Trans. Power Electron.*, vol. 32, nº 1, p. 571-583, janv. 2017, doi: 10.1109/TPEL.2016.2528291.

[50] P. Grzejszczak, A. Kulpa, et R. Barlik, « Design of a high-efficiency three-phase three-level NPC converter based on GaN HEMT and SiC SB diode », in *2019 Progress in Applied Electrical Engineering (PAEE)*, juin 2019, p. 1-6. doi: 10.1109/PAEE.2019.8788993.

[51] E. Maset *et al.*, « Optimized Design of 1 MHz Intermediate Bus Converter Using GaN HEMT for Aerospace Applications », *Energies*, vol. 13, p. 6583, déc. 2020, doi: 10.3390/en13246583.

[52] D. Bisi *et al.*, « Short-Circuit Capability Demonstrated for GaN Power Switches », in *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*, juin 2021, p. 370-375. doi: 10.1109/APEC42165.2021.9486987.

[53] P. J. Martínez *et al.*, « Unstable behaviour of normally-off GaN E-HEMT under short-circuit », *Semicond. Sci. Technol.*, vol. 33, nº 4, p. 045006, mars 2018, doi: 10.1088/1361-6641/aab078.

[54] K. Tanaka *et al.*, « Suppression of current collapse by hole injection from drain in a normally-off GaN-based hybrid-drain-embedded gate injection transistor », *Appl. Phys. Lett.*, vol. 107, nº 16, p. 163502, oct. 2015, doi: 10.1063/1.4934184.

[55] P. Xue, L. Maresca, M. Riccio, G. Breglio, et A. Irace, « Investigation on the Short-Circuit Oscillation of Cascode GaN HEMTs », *IEEE Trans. Power Electron.*, vol. 35, nº 6, p. 6292-6300, juin 2020, doi: 10.1109/TPEL.2019.2947274.

[56] J. Lutz et T. Basler, « Short-circuit ruggedness of high-voltage IGBTs », *2012*

*28th Int. Conf. Microelectron. Proc.*, 2012, doi: 10.1109/MIEL.2012.6222845.

[57] E. Velander *et al.*, « Analysis of short circuit type II and III of high voltage SiC MOSFETs with fast current source gate drive principle », in *2016 IEEE 8th International Power Electronics and Motion Control Conference (IPEMC-ECCE Asia)*, mai 2016, p. 3392-3397. doi: 10.1109/IPEMC.2016.7512839.

[58] N. Degrenne, A. Roy, J. Le Lesle, E. David, et S. Mollov, « Short-Circuit Robustness of Discrete SiC MOSFETs in Half-Bridge Configuration », in *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, mai 2017, p. 1-7.

[59] L. Yu, S. Araujo, D. Pappis, et P. Zacharias, « Short-circuit capability: benchmarking SiC and GaN devices with Si-based technologies », in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, mai 2015, p. 1-5.

[60] H. Li *et al.*, « Robustness of 650-V Enhancement-Mode GaN HEMTs Under Various Short-Circuit Conditions », *IEEE Trans. Ind. Appl.*, vol. 55, nº 2, p. 1807-1816, mars 2019, doi: 10.1109/TIA.2018.2879289.

[61] M. Landel, C. Gautier, D. Labrousse, S. Levebvre, F. Zaki, et Z. Khatir, « Dispersion of Electrical Characteristics and Short-Circuit Robustness of 600 V Emode GaN Transistors », in *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, mai 2017, p. 1-9.

[62] Y. Pascal, M. Petit, D. Labrousse, et F. Costa, « Thermal simulations of SiC MOSFETs under short-circuit conditions: influence of various simulation parameters », in *2019 IEEE International Workshop on Integrated Power Packaging (IWIPP)*, avr. 2019, p. 137-142. doi: 10.1109/IWIPP.2019.8799085.

[63] N. Badawi, A. E. Awwad, et S. Dieckerhoff, « Robustness in short-circuit mode: Benchmarking of 600V GaN HEMTs with power Si and SiC MOSFETs », in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, sept. 2016, p. 1-7. doi: 10.1109/ECCE.2016.7855410.

[64] J. Kozárik *et al.*, « Degradation of 600V GaN HEMTs under Repetitive Short Circuit Conditions », in *2020 13th International Conference on Advanced Semiconductor Devices And Microsystems (ASDAM)*, oct. 2020, p. 127-130. doi: 10.1109/ASDAM50306.2020.9393866.

[65] E. A. Jones, P. Williford, et F. Wang, « A fast overcurrent protection scheme for GaN GITs », in *2017 IEEE 5th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, oct. 2017, p. 277-284. doi: 10.1109/WiPDA.2017.8170560.

[66] J. Roberts, G. Klowak, D. Chen, et A. Mizan, « Drive and protection methods for very high current lateral GaN power transistors », in *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, mars 2015, p. 3128-3131. doi: 10.1109/APEC.2015.7104798.

[67] Z. Wang, X. Shi, Y. Xue, L. M. Tolbert, F. Wang, et B. J. Blalock, « Design and Performance Evaluation of Overcurrent Protection Schemes for Silicon Carbide (SiC) Power MOSFETs », *IEEE Trans. Ind. Electron.*, vol. 61, nº 10, p. 5570-5581, oct. 2014, doi: 10.1109/TIE.2013.2297304.

[68] G. Romano *et al.*, « A Comprehensive Study of Short-Circuit Ruggedness of Silicon Carbide Power MOSFETs », *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 4, nº 3, p. 978-987, sept. 2016, doi: 10.1109/JESTPE.2016.2563220.

[69] J. A. Schrock *et al.*, « Failure Analysis of 1200-V/150-A SiC MOSFET Under Repetitive Pulsed Overcurrent Conditions », *IEEE Trans. Power Electron.*, vol. 31, nº 3, p. 1816-1821, mars 2016, doi: 10.1109/TPEL.2015.2464780.

[70] M. Berkani, S. Lefebvre, et Z. Khatir, « Saturation Current and On-Resistance Correlation during During Repetitive Short-Circuit Conditions on SiC JFET Transistors », *IEEE Trans. Power Electron.*, vol. 28, nº 2, p. 621-624, févr. 2013, doi: 10.1109/TPEL.2012.2215629.

[71] M. Riccio *et al.*, « Experimental analysis of electro-thermal interaction in normally-off pGaN HEMT devices », in *2018 IEEE International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles International Transportation Electrification Conference (ESARS-ITEC)*, nov. 2018, p. 1-6. doi: 10.1109/ESARS-ITEC.2018.8607347.

[72] P. Williford, F. Wang, S. Bala, et J. Xu, « Short Circuit Study of 600 V GaN GITs », in *2019 IEEE 7th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, oct. 2019, p. 36-42. doi: 10.1109/WiPDA46397.2019.8998919.

[73] C. Abbate, G. Busatto, A. Sanseverino, D. Tedesco, et F. Velardi, « Experimental study of the instabilities observed in 650V enhancement mode GaN HEMT during short circuit », *Microelectron. Reliab.*, vol. 76-77, p. 314-320, sept. 2017, doi: 10.1016/j.microrel.2017.07.020.

[74] T. Oeder, A. Castellazzi, et M. Pfost, « Electrical and thermal failure modes of 600V p-gate GaN HEMTs », *Microelectron. Reliab.*, vol. 76-77, p. 321-326, sept. 2017, doi: 10.1016/j.microrel.2017.06.046.

[75] M. Fernández *et al.*, « P-GaN HEMTs Drain and Gate Current Analysis Under Short-Circuit », *IEEE Electron Device Lett.*, vol. 38, nº 4, p. 505-508, avr. 2017, doi: 10.1109/LED.2017.2665163.

[76] A. M. Bouchour, A. E. Oualkadi, O. Latry, P. Dherbécourt, et A. Echeverri, « Estimation of losses of GaN HEMT in power switching applications based on experimental characterization », *Comput. Electr. Eng.*, vol. 84, p. 106622, juin 2020, doi: 10.1016/j.compeleceng.2020.106622.

[77] C. Unger, M. Mocanu, M. Pfost, P. Waltereit, et R. Reiner, « Pulse robustness of AlGaN/GaN HEMTs with Schottky- and MIS-gates », in *2017 29th International Symposium on Power Semiconductor Devices and IC's (ISPSD)*, mai 2017, p. 451-454. doi: 10.23919/ISPSD.2017.7988915.

[78] C. Abbate, G. Busatto, A. Sanseverino, D. Tedesco, et F. Velardi, « Failure analysis of 650 V enhancement mode GaN HEMT after short circuit tests », *Microelectron. Reliab.*, vol. 88-90, p. 677-683, sept. 2018, doi: 10.1016/j.microrel.2018.07.071.

[79] D. Pappis, K. Goebel, et P. Zacharias, « Short Circuit Capability of 650 V Normally Off GaN E-HEMT and MOSFET-HEMT Cascode », in *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, mai 2017, p. 1-8.

[80] I. Hwang *et al.*, « Estimation of Short Circuit Capability of GaN HEMTs Using Transient Measurement », *IEEE Electron Device Lett.*, vol. 42, nº 8, p. 1208-1211, août 2021, doi: 10.1109/LED.2021.3090341.

[81] C. Abbate, G. Busatto, A. Sanseverino, D. Tedesco, et F. Velardi, « Failure mechanisms of enhancement mode GaN power HEMTs operated in short circuit », *Microelectron. Reliab.*, vol. 100-101, p. 113454, sept. 2019, doi: 10.1016/j.microrel.2019.113454.

[82] M. Landel, C. Gautier, D. Labrousse, et S. Lefebvre, « [131] Experimental study of the short-circuit robustness of 600V E-mode GaN transistors », *Microelectron. Reliab.*, vol. 64, p. 560-565, sept. 2016, doi: 10.1016/j.microrel.2016.07.042.

[83] F. P. Pribahsnik *et al.*, « Exploring the thermal limit of GaN power devices under extreme overload conditions », *Microelectron. Reliab.*, vol. 76-77, p. 304-308, sept. 2017, doi: 10.1016/j.microrel.2017.07.046.

[84] P. Xue, L. Maresca, M. Riccio, G. Breglio, et A. Irace, « A Comprehensive Investigation on Short-Circuit Oscillation of p-GaN HEMTs », *IEEE Trans. Electron Devices*, vol. 67, nº 11, p. 4849-4857, nov. 2020, doi: 10.1109/TED.2020.3022614.

[85] A. Kanale et B. J. Baliga, « Achieving Short Circuit Capability for 600 V GaN FETs Using a Gate-Source-Shorted Si Depletion-Mode MOSFET in Series with the Source », in *2020 IEEE Workshop on Wide Bandgap Power Devices and Applications in Asia (WiPDA Asia)*, sept. 2020, p. 1-6. doi: 10.1109/WiPDAAsia49671.2020.9360275.

[86] J.-Z. Fu, F. Fouquet, M. Kadi, et P. Dherbécourt, « Experimental study of 600V GaN transistor under the short-circuit aging tests », in *2018 19th IEEE Mediterranean Electrotechnical Conference (MELECON)*, mai 2018, p. 249-253. doi: 10.1109/MELCON.2018.8379102.

[87] J. Z. Fu, F. Fouquet, M. Kadi, et P. Dherbécourt, « Evolution of C-V and I-V characteristics for a commercial 600 V GaN GIT power device under repetitive short-circuit tests », *Microelectron. Reliab.*, vol. 88-90, p. 652-655, sept. 2018, doi: 10.1016/j.microrel.2018.06.034.

[88] F. D'Aniello, A. Fayyaz, A. Castellazzi, T. Oeder, et M. Pfost, « Damage accumulation in GaN GITs exposed to repetitive short-circuit », in *2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, mai 2019, p. 451-454. doi: 10.1109/ISPSD.2019.8757692.

[89] X. Lyu *et al.*, « A Reliable Ultra-Fast Short Circuit Protection Method for E-mode GaN HEMT », *IEEE Trans. Power Electron.*, p. 1-1, 2020, doi: 10.1109/TPEL.2020.2968865.
[90] F. Karakaya, O. S. Alemdar, et O. Keysan, « Layout-Based Ultrafast Short-Circuit Protection Technique for Parallel-Connected GaN HEMTs », *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 9, nº 5, p. 6385-6395, oct. 2021, doi: 10.1109/JESTPE.2021.3052611.
[91] O. Odabaşı, M. Ö. Akar, B. Bütün, et E. Özbay, « Improved TMAX Estimation in GaN HEMTs Using an Equivalent Hot Point Approximation », *IEEE Trans. Electron Devices*, vol. 67, nº 4, p. 1553-1559, avr. 2020, doi: 10.1109/TED.2020.2976030.
[92] A. Tsibizov, I. Kovacevic-Badstuebner, B. Kakarla, et U. Grossner, « Accurate Temperature Estimation of SiC Power MOSFETs under Extreme Operating Conditions », *IEEE Trans. Power Electron.*, vol. PP, p. 1-1, mai 2019, doi: 10.1109/TPEL.2019.2917221.
[93] Keysight, « Keysight N5700 Series System DC Power Supplies ». août 03, 2014.
[94] E. Gurpinar, A. Castellazzi, F. Iannuzzo, Y. Yang, et F. Blaabjerg, « Ultra-low inductance design for a GaN HEMT based 3L-ANPC inverter », in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, sept. 2016, p. 1-8. doi: 10.1109/ECCE.2016.7855540.
[95] « 343654_GaNSystems__GN001_How_To_drive_GaN_EHEMT_Rev_20160426.pdf ». Consulté le: févr. 17, 2021. [En ligne]. Disponible sur: https://www.mouser.com/pdfDocs/343654_GaNSystems__GN001_How_To_drive_GaN_EHEMT_Rev_20160426.pdf
[96] Y. Pascal, M. Petit, D. Labrousse, et F. Costa, « Study of the Impedance of the Bypassing Network of a Switching Cell – Influence of the Positioning of the Decoupling Capacitors », avr. 2019. doi: 10.1109/IWIPP.2019.8799093.
[97] « Eagle ». Autodesk. [En ligne]. Disponible sur: https://www.autodesk.fr/products/eagle/overview?plc=F360&term=1-YEAR&support=ADVANCED&quantity=1
[98] H. LAVILLE, « Caractéristiques générales des condensateurs – Condensateurs céramiques », *Ref : TIP350WEB - « Électronique »*, nov. 10, 2018. https://www-techniques-ingenieur-fr.ezproxy.universite-paris-saclay.fr/base-documentaire/42271210-materiaux-pour-l-electronique-et-dispositifs-associes/download/e1925/caracteristiques-generales-des-condensateurs-condensateurs-ceramiques.html (consulté le févr. 03, 2021).
[99] M. Fortunato, « Temperature and Voltage Variation of Ceramic Capacitors, or Why Your 4.7µF Capacitor Becomes a 0.33µF Capacitor ». Maxim Integrated, déc. 04, 2012. [En ligne]. Disponible sur: https://www.edn.com/temp-and-voltage-variation-of-ceramic-caps-or-why-your-4-7-uf-part-becomes-0-33-uf/
[100] A. Tyshko et S. Balevicius, *Specifics of the X7R Capacitors Application in the High Frequency Inverters*. New York: Ieee, 2016, p. 267-270.
[101] GaN Systems, « GS66516T Top-side cooled 650 V E-mode GaN transistor - Datasheet ».
[102] D. Ford, « The secret world of oscilloscope probes ». Silicon Chip magazine, juin 29, 2009.
[103] « GN009-PCB-Layout-Considerations-with-GaN-E-HEMTs_20190118.pdf ». Consulté le: févr. 17, 2021. [En ligne]. Disponible sur: https://gansystems.com/wp-content/uploads/2019/01/GN009-PCB-Layout-Considerations-with-GaN-E-HEMTs_20190118.pdf
[104] Panasonic, « GaN-Tr application b=note (PGA26E07BA) ». avr. 05, 2019.
[105] J. Joh et J. A. del Alamo, « A Current-Transient Methodology for Trap Analysis for GaN High Electron Mobility Transistors », *IEEE Trans. Electron Devices*, vol. 58, nº 1, p. 132-140, janv. 2011, doi: 10.1109/TED.2010.2087339.
[106] A. BEAUGER, J.-M. HAUSSONNE, et J.-C. NIEPCE, « Condensateurs », *Ref : TIP350WEB - « Électronique »*, févr. 10, 2007. https://www-techniques-ingenieur-fr.ezproxy.universite-paris-saclay.fr/base-documentaire/archives-th12/archives-electronique-tiaea/archive-1/condensateurs-e1925/ (consulté le févr. 03, 2021).
[107] H. LAVILLE, T. DOYTCHINOV, A. DIDION, et G. DOUGLADE, « Condensateurs électrochimiques et condensateurs films - Technologies et évolution », *Ref : TIP350WEB - « Électronique »*, nov. 10, 2018. https://www-techniques-ingenieur-fr.ezproxy.universite-paris-saclay.fr/base-

documentaire/electronique-photonique-th13/materiaux-pour-l-electronique-et-dispositifs-associes-42271210/condensateurs-electrochimiques-et-condensateurs-films-e1926/ (consulté le févr. 03, 2021).
[108] CDM Cornell Dubilier, « Aluminum Electrolytic Capacitor Application Guide ».
[109] Exxelia, « Catalogue 154 « Condensateurs film » ». 2015.
[110] TDK-EPCOS, « Metallized Polypropylene Film Capacitor (MKP) » ». 2018.
[111] Eurofarad-Exxelia, « Catalogue 142 « Condensateurs céramique » »,.
[112] Keysight, « Keysight 33210A 10 MHz Function/Arbitrary Waveform Generator ». déc. 02, 2017.
[113] J.-M. Biansan, « GUM_MC ». 2018. [En ligne]. Disponible sur: http://jeanmarie.biansan.free.fr/gum_mc.html
[114] Groupe de travail 1 (JCGM/WG 1), « Evaluation des données de mesure - Guide pour l'expression de l'incertitude de mesure ». JCGM - BIPM, 2008. [En ligne]. Disponible sur: https://www.bipm.org/utils/common/documents/jcgm/JCGM_100_2008_F.pdf
[115] M. Vérot, « Mesure, erreur, incertitude ». ENS Lyon. [En ligne]. Disponible sur: https://cahier-de-prepa.fr/pc*1-parc/download?id=227
[116] J.-M. Biansan, C. Nicoules, S. Blat, et J.-F. Olive, « Stage PAF - Notion d'erreurs et d'incertitudes en sciences expériementales ». févr. 2017. [En ligne]. Disponible sur: https://disciplines.ac-toulouse.fr/physique-chimie/sites/physique-chimie/files/fichiers/stage_mesures_et_incertitudes/support_prof-stage_paf-fevrier2017.pdf
[117] ISOTECH, « ISOTECH IDM-8351 Datasheet ». [En ligne]. Disponible sur: https://pdl.designspark.com/api/v1/manufacturers/b0ea38377fe642d88e9216b4/part/062467f208b04c1fbd98bd97/ca20c72b7a65440ab85897a9/1.pdf
[118] Keysight, « E4990A Impedance Analyzer 20 Hz to 10/20/30/50/120 MHz - Datasheet ». nov. 22, 2018.
[119] Keysight, « Impedance Measurement Handbook. A guide to measurement technology and techniques (6th Edition) ». nov. 02, 2016.
[120] Keysight, « Keysight 42941A Impedance Probe Kit - Operation and service manual ». août 02, 2019.
[121] Teledyne Lecroy, « Current probes ». juill. 25, 2017. [En ligne]. Disponible sur: http://cdn.teledynelecroy.com/files/pdf/current-probes-datasheet.pdf
[122] Teledyne LECROY, « HDO8108a ». [En ligne]. Disponible sur: https://teledynelecroy.com/oscilloscope/hdo8000a-hi gh-definition-oscilloscopes/hdo8108a
[123] PMK, « PHV 1000-RO High Voltage Passive Probe Instruction Manual ». oct. 2014. [En ligne]. Disponible sur: https://www.pmk.de/files/downloads/860-622-A02_Manual%20PHV1000-RO_en.pdf
[124] Teledyne LECROY, « HRO 12 bit High Résolution Oscilloscopes ». oct. 24, 2014.
[125] Tektronix, « xyzs scopes ». [En ligne]. Disponible sur: https://fr.tek.com/document/online/primer/xyzs-scopes/ch3/evaluating-oscilloscopes
[126] D. Weller, « Relating wideband DSO rise time to bandwidth: Lose the 0.35! » Agilent Technologies, déc. 12, 2002.
[127] Tektronix, « ABCs of probes (primer) ». 2016.
[128] G. Regnat, « Onduleur à forte intégration utilisant des semi-conducteurs à grand gap », Grenoble Alpes, 2016.
[129] J. Chang et Agilent tech., « 6 hints for better scope probing ». déc. 2007.
[130] P. D. Hiscocks, J. Gaston, et Syscomp Electronic Design Limited, « Oscilloscope Probes : Theory and Practice ». juill. 12, 2007.
[131] Teledyne LECROY, « Operator's manual PP017 and PP018 Passive Probes ». 2017. [En ligne]. Disponible sur: http://cdn.teledynelecroy.com/files/manuals/pp017-pp018-probes-manual.pdf
[132] Teledyne LECROY, « Passive Probe Ground Lead Effects - Technical brief ». juin 20, 2013. [En ligne]. Disponible sur: http://cdn.teledynelecroy.com/files/appnotes/passive_probe_ground_lead_effects.pdf
[133] F. Costa et P. Poulichet, « Sondes pour la mesure de courant en électronique de puissance », nov. 10, 2005. https://www.techniques-ingenieur.fr/base-documentaire/energies-th4/outils-d-analyse-en-electronique-de-puissance-et-metrologie-42278210/sondes-pour-la-mesure-de-

courant-en-electronique-de-puissance-d3085/ (consulté le août 12, 2020).
[134] T. Zhang, E. Shelton, L. Shillaber, et P. Palmer, « High Current, High Bandwidth Current Measurement Techniques », in *2020 IEEE Energy Conversion Congress and Exposition (ECCE)*, oct. 2020, p. 3464-3470. doi: 10.1109/ECCE44975.2020.9235469.
[135] « GN003-Measurement-Techniques-for-High-Speed-GaN-E-HEMTs_20180816.pdf ». Consulté le: févr. 17, 2021. [En ligne]. Disponible sur: https://gansystems.com/wp-content/uploads/2018/08/GN003-Measurement-Techniques-for-High-Speed-GaN-E-HEMTs_20180816.pdf
[136] « T and M research ». [En ligne]. Disponible sur: http://www.tandmresearch.com/
[137] LEM, « Site internet de LEM ». [En ligne]. Disponible sur: www.lem.com
[138] Pearson, « Site internet de Pearson ». [En ligne]. Disponible sur: https://www.pearsonelectronics.com/products/wideband-current-monitors
[139] PEM, « Site internet de PEM ». [En ligne]. Disponible sur: http://www.pemuk.com/products/cwt-current-probe.aspx
[140] H. Li, Z. Xin, X. Li, J. Chen, P. C. Loh, et F. Blaabjerg, « Extended Wide-Bandwidth Rogowski Current Sensor With PCB Coil and Electronic Characteristic Shaper », *IEEE Trans. Power Electron.*, vol. 36, nº 1, p. 29-33, janv. 2021, doi: 10.1109/TPEL.2020.3001058.
[141] G. Hérault, D. Labrousse, S. Lefebvre, et G. Rostaing, « Conception d'un capteur de courant large bande pour la régulation de courant auto-oscillante d'un convertisseur Boost fortement intégré », Nancy, France, juill. 2018. Consulté le: janv. 29, 2021. [En ligne]. Disponible sur: https://hal.archives-ouvertes.fr/hal-02981830
[142] Hollander research, « High frequency oscillations measured with high bandwidth current sensors at low current ». avr. 11, 2014.
[143] Teledyne LECROY, « Why differential? » [En ligne]. Disponible sur: http://cdn.teledynelecroy.com/files/whitepapers/wp_differential_measurements.pdf
[144] Teledyne LECROY, « High Voltage Differential Probes HVD3605A, HVD3206A, HVD310xA ». mars 14, 2018.
[145] Teledyne LECROY, « ZD200 Active Differential Probes 200 MHz ». oct. 25, 2013.
[146] RS, « RG174 coaxial cable datasheet ».
[147] Picotest, « Measuring PCB, Cable and Interconnect Impedance, Dielectric Constants, Velocity Factor, and Lengths (application note) ». juin 06, 2018.
[148] M. BIRON, « Propriétés des thermoplastiques - Tableaux comparatifs », *Ref : TIP100WEB - « Plastiques et composites »*, oct. 10, 2014. https://www-techniques-ingenieur-fr.ezproxy.universite-paris-saclay.fr/base-documentaire/materiaux-th11/matieres-thermoplastiques-monographies-42147210/proprietes-des-thermoplastiques-am3306/ (consulté le mai 20, 2020).

université PARIS-SACLAY

DOCTORAL SCHOOL
Electrical, Optical, Bio: Physics and Engineering (EOBE)

**Titre :** Étude de la robustesse de transistors GaN en régime de court-circuit.

**Mots clés :** GaN, HEMT, Court-circuit, Robustesse, Electronique de puissance.

**Résumé :** cette thèse vise à évaluer la robustesse en court-circuit de transistors GaN 600 V *normally-off* du commerce. Une revue de la littérature décrit les différentes structures des transistors GaN, leurs applications possibles, et balaie les essais de court-circuit réalisés de 2013 à 2021. La robustesse des transistors est évaluée par la mesure de la durée avant défaillance (*Time Leading to Failure* ou *TLF*). Pour les transistors 600 V, lorsque la tension du bus continu est réglée à 400 V, il en ressort une faible robustesse ($TLF < 10\ \mu s$). Pour de plus faibles tensions (en dessous de 300/350 V), des défaillances rapides sont aussi enregistrées ($TLF < 500\ ns$), mais on constate parfois une très grande robustesse chez certains transistors ($TLF \gg 100\ \mu s$).

Trois bancs de court-circuit ont été réalisés, en cherchant à minimiser leur inductance parasite pour éviter des oscillations auto-entretenues.

Quatre structures de HEMTs ont été testées : deux HEMTs P-GaN (des fondeurs GaN Systems et Panasonic) ; un composant cascode (du fondeur Transphorm) ; enfin, un MIS-HEMT, prototype du CEA-Leti. Entre 2016 et 2019, plus de 200 essais de courts-circuits destructifs ont été réalisés. La robustesse est en moyenne faible, et très dispersée. La tension de bus impacte fortement le *TLF*. La robustesse s'est améliorée au fil des lots testés pour le HEMT P-GaN du fabricant GaN Systems. En revanche, le transistor cascode (Transphorm) et le HEMT GIT (Panasonic) restent fragiles sous 400 V.

Enfin, une quinzaine de HEMTs à grille P-GaN ont été caractérisés en statique avant de les soumettre à un essai de court-circuit destructif, et aucune corrélation n'a été trouvée entre la durée avant défaillance constatée et l'un des paramètres mesuré lors de ces caractérisations.

**Title** : Study of the short-circuit robustness of GaN transistors.

**Keywords** : GaN, Short circuit, robustness, power electronics, ageing.

**Abstract** : This thesis aims to evaluate the short-circuit robustness of commercial GaN 600 V normally-off transistors. A review of the literature describes the different structures of GaN transistors, their possible applications, and study the short-circuit tests carried out from 2013 to 2021. The robustness of the transistors is evaluated by measuring the Time Leading to failure (TLF). For 600/650 V transistors, when the DC bus voltage is set to 400 V, the TLF is less than 10 µs. For lower DC bus voltages (below 300/350 V), rapid failures are also recorded (TLF<500 ns), but one can sometimes notice a very great robustness for some transistors (TLF>100 µs).

Three short-circuit benches were manufactured, with low parasitic inductance to avoid self-sustaining oscillations.

Four HEMT structures were tested: two P-GaN HEMTs (from GaN Systems and Panasonic manufacturers), a cascode component (from the Transphorm manufacturer) and a MIS-HEMT, prototype of the CEA-LETI. Between 2016 and 2019, more than 200 destructive short-circuit tests were carried out. The robustness is on average low, and very dispersed. The bus voltage strongly impacts the TLF. The robustness has improved batch after batch for the P-GaN gate HEMTs of GaN Systems. On the other hand, the cascode transistor (Transphorm) and the HEMT GIT (Panasonic) are fragile when the DC bus voltage is set to 400 V.

Finally, around fifteen P-GaN gate HEMTs were characterized before subjecting them to a destructive short-circuit test, and no correlation was found between the TLF observed and any of the parameters measured during these characterizations.