



**HAL**  
open science

# Caractérisations et évolutions des structures de collecte d'énergie RF sur substrats Si et SOI: application à la gestion d'énergie des systèmes microwatts

Édouard Rochefeuille

► **To cite this version:**

Édouard Rochefeuille. Caractérisations et évolutions des structures de collecte d'énergie RF sur substrats Si et SOI: application à la gestion d'énergie des systèmes microwatts. Micro et nanotechnologies/Microélectronique. Université de la Réunion, 2021. Français. NNT: 2021LARE0014. tel-03403431

**HAL Id: tel-03403431**

**<https://theses.hal.science/tel-03403431>**

Submitted on 26 Oct 2021

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

# Thèse de Doctorat

POUR LE GRADE DE DOCTEUR DE L'UNIVERSITÉ DE LA RÉUNION  
EN PHYSIQUE ÉNERGÉTIQUE SPÉCIALITÉ MICROÉLECTRONIQUE ET NANOTECHNOLOGIES

Présentée par **Edouard ROCHEFEUILLE**

PRÉPARÉE AU LABORATOIRE *LE<sup>2</sup>P/Energy – Lab* (LABORATOIRE D'ÉNERGÉTIQUE,  
ELECTRONIQUE ET PROCÉDÉS) EN COLLABORATION AVEC L'*IMEP – LAHC* (INSTITUT DE  
MICROÉLECTRONIQUE, ELECTROMAGNÉTISME ET PHOTONIQUE ET LE LABORATOIRE  
D'HYPERFRÉQUENCES ET DE CARACTÉRISATION)

---

**Caractérisations et évolutions des structures de collecte d'énergie  
RF sur substrats Si et SOI : Application à la gestion d'énergie des  
systèmes microwatts**

---

Soutenue le 12/07/2021 Pour le jury composé de :

Mr. Pascal XAVIER, <i>Professeur</i>	Président
Mr. Bruno ALLARD, <i>Professeur</i>	Rapporteur
Mme. Nathalie DELTIMPLE, <i>H.D.R</i>	Rapportrice
Mme. Nathalie RAVEU, <i>Professeure</i>	Examinatrice
Mr. Pierre-Olivier LUCAS-DE-PESLOUAN, <i>MCF</i>	Examineur
Mr. Tân-Phu VUONG, <i>Professeur</i>	Directeur de thèse
Mr. Frédéric ALICALAPA, <i>MCF</i>	Co-Encadrant
Mr. Alexandre DOUYERE, <i>MCF</i>	Co-Encadrant

Invités : Jean-Baptiste SAUVAGE & Alejandro NIEMBRO

## Remerciements

Je suis avant tout profondément reconnaissant à mon directeur de thèse, le Professeur Tân-Phu VUONG qui m'a proposé un sujet de stage, cette thèse et a fait en sorte qu'elle se déroule dans les meilleures conditions possibles malgré les difficultés. Cette thèse a été la première collaboration entre les laboratoires IMEP de Grenoble et LE2P à la Réunion.

Je remercie mes encadrants les Docteurs Frédéric ALICALAPA et Alexandre DOUYÈRE pour leurs conseils, leurs soutiens et parfois quelques leçons de vie qui donnent à réfléchir.

Je remercie le Professeur Pascal XAVIER d'avoir accepté de présider mon Jury de thèse avec bienveillance.

J'adresse également mes remerciements aux rapporteurs, la Docteure H.D.R Nathalie DEL-TIMPLE, et le Professeur Bruno ALLARD pour leurs critiques constructives et leurs conseils.

J'ai été honoré de compter la participation de la Professeure Nathalie RAVEU et du Docteur Pierre-Olivier LUCAS-DE-PESLOUAN comme membres de mon Jury.

Je suis reconnaissant aux industriels Messieurs Jean-Baptiste SAUVAGE et Alejandro NIEMBRO d'avoir assisté à ma soutenance et fait part d'une vision plus concrète des travaux.

Je remercie toutes les personnes liées de près ou de loin au bon déroulement de ma thèse que ce soit pour des heures de mesures et manipulations ou des tonnes de papiers à signer : Nicolas, Xavier, Kelly, Isabelle, Valérie, Anaïs, Brigitte, Dalhila et Fabienne.

Je n'aurais pu comprendre et utiliser correctement les logiciels de CAO intégrés sans l'aide d'Aziz, Jing, Mohamad et Pierre-Olivier.

Je salue mes potos Nicolas, Erik, Alexandre (P), Alexandre (Deluxe), Natha, Aymeric et Bruno (Bourno) qui ont (souvent) du supporter mon ras le bol à cause de la politique menée par un certain Didier sur les conditions de mon doctorat, au détriment de notre amusement et épanouissement dans nos activités collectives.

Je n'oublie pas mes camarades d'études devenus amis : Maître Chhay avec qui j'en apprends tous les jours et Clément et Erika avec qui nous partageons un café au bureau du temps où c'était possible.

Je remercie également les doctorants et anciens doctorants et enseignants que j'ai connu dans chaque laboratoire et avec qui j'ai pu passer des moments agréables et fermenter des discussions intéressantes : Christophe, Etienne, Maxime, Camille, Madhi, Sebastien, Leticia, Fabrice, Ludovic, Yannick, Donghi.

Je dédie ce manuscrit et ces travaux à mon père, ma mère et ma soeur qui m'ont poussé et me poussent à toujours aller plus loin et ne rien lâcher malgré la difficulté. Merci de m'avoir supporté et soutenu pendant ces longues années et encore aujourd'hui.

# Table des matières

<b>1</b>	<b>Introduction</b>	<b>7</b>
1.1	Contexte . . . . .	8
1.2	Problématique et objectifs . . . . .	14
<b>2</b>	<b>Les technologies intégrées AMS CMOS BULK 350 nm et ST CMOS FDSOI 28 nm</b>	<b>16</b>
2.1	Introduction . . . . .	17
2.2	Les technologies intégrées . . . . .	17
2.3	La technologie CMOS BULK 350 nm . . . . .	20
2.3.1	Le transistor, composants et modules . . . . .	22
2.3.2	Le process de fabrication . . . . .	23
2.4	La technologie ST CMOS FDSOI 28 nm . . . . .	24
2.4.1	Le transistor, composants et modules . . . . .	26
2.4.2	Le process de fabrication . . . . .	27
2.5	Études et comparaisons des paramètres des transistors des technologies BULK 350 nm et FDSOI 28 nm . . . . .	29
2.5.1	Les modes de fonctionnement et la connexion en diode du transistor MOS intégré . . . . .	30
2.5.2	Les caractéristiques I-V et les tensions de seuil . . . . .	32
2.5.3	Effet de la connexion substrat, polarisation de la grille arrière . . . . .	34
2.5.4	Les temps de commutations et courants aux états ON/OFF . . . . .	37
2.5.5	Le comportement en température et fréquence . . . . .	38
2.6	Conclusion . . . . .	41
<b>3</b>	<b>Les structures de conversion RF-DC et DC-DC en technologies intégrées</b>	<b>42</b>
3.1	Introduction . . . . .	43
3.2	Les convertisseurs RF-DC . . . . .	43
3.2.1	Le fonctionnement du redressement par diode . . . . .	44
3.2.2	L'état de l'art : les structures de redresseurs intégrées . . . . .	47
3.2.2.1	Les redresseurs série et parallèle . . . . .	47
3.2.2.2	Le redresseur double alternance . . . . .	48
3.2.2.3	Le redresseur "Inductor-Peaked" . . . . .	49
3.2.2.4	Redresseur P-MOS à grille flottante . . . . .	50
3.2.3	Le redresseur avec technique de compensation de la tension de seuil (VTC)	51

3.2.4	Structure proposée de Redresseur VCT à N étages . . . . .	53
3.2.5	L'adaptation d'impédance d'entrée et son importance en technologie intégrée . . . . .	54
3.2.6	Performances des redresseurs . . . . .	55
3.2.6.1	Performances des redresseurs intégrés . . . . .	56
3.2.7	Conclusion . . . . .	58
3.3	La pompe de charge : un convertisseur DC-DC . . . . .	58
3.3.1	Présentation . . . . .	58
3.3.1.1	Les critères de comparaison . . . . .	59
3.3.1.2	Les propriétés cruciales des pompes de charge . . . . .	62
3.3.2	L'état de l'art des structures communes de pompe de charge . . . . .	64
3.3.2.1	La structure de Greinacher / Cockcroft-Walton . . . . .	64
3.3.2.2	La structure de Dickson . . . . .	65
3.3.2.3	Les structures Dickson modifiées "NCP-1 et NCP-2" . . . . .	67
3.3.2.4	Conclusion . . . . .	68
3.4	L'oscillateur : élément indispensable à la pompe de charge Dickson . . . . .	68
3.5	Etat de l'art des circuits de redressement intégrés associant redresseur RF-DC et pompe de charge . . . . .	71
3.6	Conclusion . . . . .	73

**4 Dessins et simulations des circuits : redresseurs, pompe de charge et oscillateur** **74**

4.1	Introduction . . . . .	75
4.2	Méthode de dimensionnement . . . . .	75
4.2.1	Les transistors . . . . .	77
4.2.2	Les capacités . . . . .	80
4.3	Dessin et simulations de la pompe de charge de Dickson avec la polarisation du substrat en FDSOI . . . . .	81
4.3.1	Dimensionnement des composants . . . . .	81
4.3.2	Impact de la taille des transistors, des capacités et de la charge . . . . .	81
4.3.3	Impact du nombre d'étage . . . . .	86
4.3.4	Impact de la tension d'entrée . . . . .	87
4.3.5	Impact de l'horloge . . . . .	87
4.3.6	Effets des parasites (post-layout) . . . . .	88
4.3.7	Conclusion . . . . .	90

4.4	Dessin et simulation de l'oscillateur en anneau contrôlé en tension (VCO) en FDSOI . . . . .	90
4.4.1	Choix de la structure capacitive des cellules RC . . . . .	90
4.4.2	Impact de la tension d'entrée et d'alimentation sur la fréquence . . . . .	91
4.4.3	Impact de la taille des transistors . . . . .	92
4.4.4	Oscillateur tout-transistor proposé . . . . .	93
4.4.5	Effets des parasites(post-layout) . . . . .	96
4.4.6	Conclusion . . . . .	97
4.5	Dessins et simulations du redresseur VCT avec polarisation de la backgate en FDSOI . . . . .	98
4.5.1	Dimensionnement des composants . . . . .	98
4.5.2	Impact de la taille des transistors, des capacités et de la charge . . . . .	98
4.5.3	Impact de la puissance d'entrée . . . . .	101
4.5.4	Impact du nombre d'étage sur l'impédance d'entrée . . . . .	103
4.5.5	Rendement du redresseur VCT . . . . .	105
4.5.5.1	Premier cas : Redresseur proposé avec paramètre d'application .	105
4.5.5.2	Second cas : Rendements maximums obtenus en utilisant des redresseurs avec polarisation de la grille arrière . . . . .	105
4.5.6	Effets des parasites (post-layout) . . . . .	106
4.5.7	Conclusion . . . . .	108
4.6	Comparaison des performances du redresseur VCT et de la pompe de charge selon les tailles de transistors en BULK 350 nm et FDSOI 28 nm . . . . .	108
4.6.1	Redresseur VCT 8 étages . . . . .	108
4.6.1.1	A dimensions égales L = 350 nm (BULK) . . . . .	108
4.6.1.2	A dimensions optimales L = 30 nm (FDSOI) . . . . .	109
4.6.2	Pompe de charge Dickson 8 étages . . . . .	110
4.6.2.1	A dimensions égales L = 350 nm (BULK) . . . . .	110
4.6.2.2	A dimensions optimales L = 30 nm (FDSOI) . . . . .	111
4.6.3	Conclusion . . . . .	112

**5 Réalisations et mesures expérimentales sous pointes 113**

5.1	Introduction . . . . .	114
5.2	"Setup" et protocole de mesure sous pointes . . . . .	116
5.3	Résultats et comparaisons des mesures en BULK 350 nm et FDSOI 28 nm . . .	119
5.3.1	Redresseurs . . . . .	120
5.3.1.1	Redresseurs VCT à un étage . . . . .	120

---

5.3.1.2	Redresseur VCT à 8 étages . . . . .	122
5.3.2	Pompe de charge . . . . .	124
5.3.3	Oscillateur . . . . .	125
5.4	Problèmes rencontrés . . . . .	127
5.4.1	Puissance RF absorbée par la protection ESD des pads . . . . .	127
5.4.2	Mauvais contact aux pads . . . . .	129
5.4.3	Reproductibilité des résultats . . . . .	130
5.5	Réalisation annexe : Antenne à polarisation croisée à cavité en croix . . . . .	132
5.6	Conclusion . . . . .	137
	<b>Conclusion Générale</b>	<b>139</b>
	<b>Bibliographie</b>	<b>141</b>
	<b>Annexes</b>	<b>150</b>
	<b>Résumé</b>	<b>161</b>

# 1 Introduction

## 1.1 Contexte

La quantité de circuits électroniques dans la vie de l'homme au quotidien ne cesse d'augmenter. De nouveaux besoins électroniques avec leurs applications sont sans cesse créés pour divertir, organiser ou industrialiser. Dans ces nouveautés, on retrouve toutes les innovations commerciales telles que les smartphones (ex : du smartphone pliable de Samsung, le Galaxy Fold2), les ordinateurs portables (ex : le Macbook Pro d'Apple avec sa nouvelle puce M1 capable de 20 heures de batteries et des performances supérieures aux PC fixes), ou encore toute la multitude d'objets connectés (ex : montres, électroménager, TV etc...). Côté industriel et logistique, on retrouve des solutions de monitoring basses consommations connectées (ex : boîtiers connectés de DSA Technologies). Mais pour pouvoir rendre ces produits et services attractifs les constructeurs doivent les faire évoluer avec la tendance écologique de la basse consommation mais aussi la facilité de transport, l'installation et le confort d'utilisation sans pour autant perdre en performance.

Pour cela une première réponse est de réduire la taille des circuits électroniques, utiliser des technologies dites "intégrées" permettant de réduire la taille du composant primaire : le transistor. Cette réduction de taille et miniaturisation a été pratiquée depuis le milieu du 20ème siècle jusqu'à aujourd'hui en suivant le loi empirique de Gordon E. Moore<sup>1</sup> qui disait que le nombre de transistors sur une puce de type microprocesseur doublerait tous les deux ans. Cette loi a été vérifiée jusqu'au début du 21ème siècle, puis les scientifiques et industriels tels que les Fondateurs<sup>2</sup> ont remarqué qu'il était de plus en plus difficile de suivre cette loi, comme l'a annoncé le Président Directeur Général de la société NVIDIA<sup>3</sup>, Jensen Huang lors de la conférence GTC 2017 à Taipei. Un travail de synthèse issu de différents sites d'informations nous permet de vous proposer sur la Figure 1 l'évolution du nombre de transistors dans les processeurs Intel selon les années. Intel étant le leader fabricant mondial de semi-conducteurs (processeurs). On voit que cette évolution peine à suivre la prédiction de la loi de Moore par la présence de petits plateaux où le nombre de transistors dans les processeurs à stagner pendant plusieurs années. Cela est dû aux limites technologiques et plus précisément de limites physiques de conception. Par exemple, le plateau des années 1998 jusqu'à 2008 s'est produit car il n'y a pas eu d'évolution significative de technologie de gravure des transistors. La finesse de cette gravure est passée de 250 nm à 130 nm. En revanche, à partir de 2008, la technologie de gravure est passée en 45 nm ce qui a permis d'augmenter significativement les performances et le nombre de transistors, permettant ainsi de rattraper la prédiction de Moore.

---

1. Il est le co-fondateur d'Intel, entreprise américaine et premier fabricant mondial de microprocesseur.

2. Des entreprises spécialisées dans la fabrication de puces électroniques, exemple : Intel, ST Microelectronics, TSMC, Samsung, SoiTec...

3. Entreprise leader mondial de conception d'unités de calcul graphique

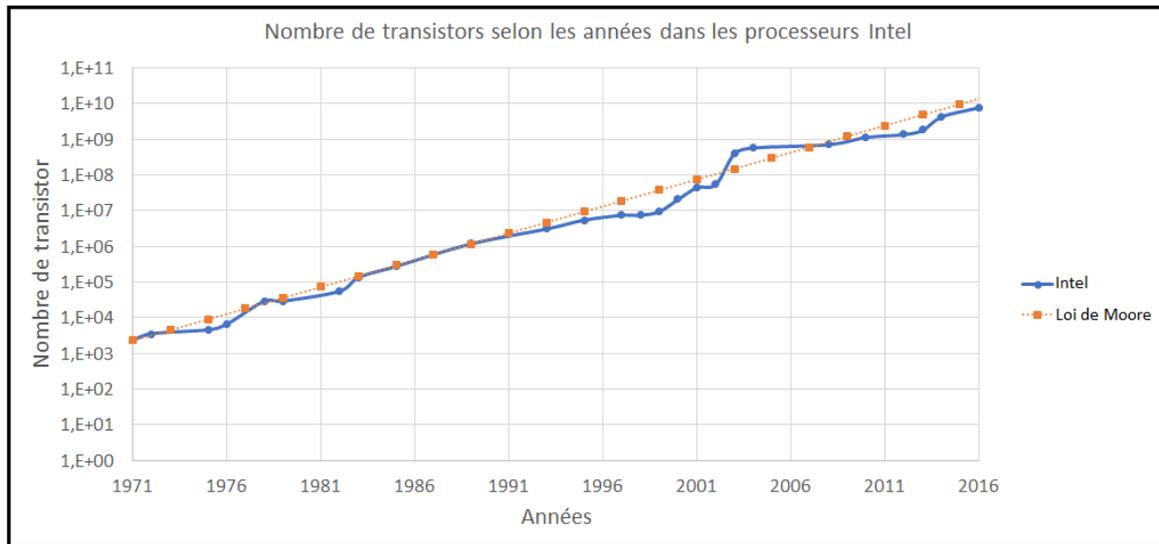


FIGURE 1 – Evolution du nombre de transistors dans les processeurs Intel selon les années

Autrement exprimé, le monde moderne et les besoins devenant de plus en plus importants en capacité de calcul numérique, les processeurs se doivent d'être de plus en plus performants.

Cependant ces souhaits compliquent les approches nomades de ces systèmes. Ils ont même tendance à complexifier l'approche énergétique en installant un dilemme : puissance de calcul versus minimisation de l'énergie consommée. Ainsi un des objectifs est de minimiser l'emprunte carbone de ces systèmes. L'emprunte carbone étant un terme "à la mode" utilisé dans le combat écologique de la consommation énergétique des systèmes. Des pistes pour réaliser cette action sont : minimiser la consommation de ces systèmes et augmenter la durée de vie des batteries comme dans le cadre des objets connectés à caractère nomade qui nécessitent d'être rechargés au quotidien.

Un des avantages de la miniaturisation des transistors est de pouvoir réduire la consommation des circuits. La réduction de la taille du process de fabrication (process) joue par ailleurs un rôle important quant à la surface totale de la puce mais aussi du nombre de transistors implémentables. Un process de fabrication plus petit permet d'implanter des transistors physiquement plus petits. La Figure 2 montre les évolutions des processus de fabrication et de la surface des processeurs Intel selon les années. Le nombre de transistors augmente, les process s'améliorent mais on finit toujours par avoir une taille plus importante du fait de la limite technologique et du besoin de puissance grandissant. Ainsi, le gain obtenu par la limite de dimension nanométrique du transistor est rattrapé par l'ajout de nouvelles fonctionnalités qui augmentent le nombre de transistors et au final la taille globale et la consommation de la puce.

En outre, la technologie intégrée apporte la possibilité de réaliser des fonctions électroniques spécifiques allant dans le sens de la minimisation de l'emprunte carbone au niveau utilisateur (différent de l'emprunte carbone nécessaire à la réalisation et indépendante de l'utilisateur fi-

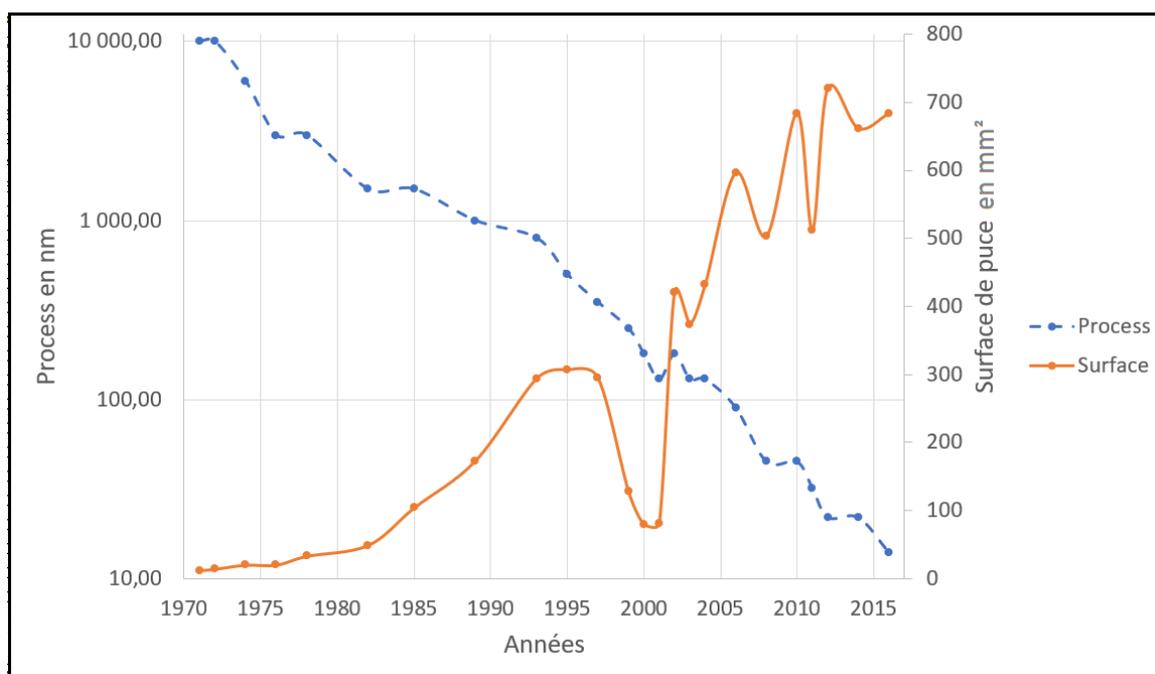


FIGURE 2 – Évolution de la taille des process et de la surface en mm<sup>2</sup> des puces dans les processeurs Intel

nal), dépassant ainsi sa seule utilisation pour des calculs numériques.

Dans ce contexte de multiplication grandissante d'objets connectés et la forte demande de mobilité et d'autonomie, la fonction de récupération d'énergie ambiante peut être une réponse complémentaire à la miniaturisation des circuits.

Les systèmes de récupération d'énergie (Energy Scavenging ou Energy Harvesting en anglais) deviennent de plus en plus présents dans notre environnement sous différentes formes. Nous connaissons très bien la récupération d'énergie solaire avec le photovoltaïque mais il existe aussi d'autres formes telles que la récupération d'énergie thermique, la production d'énergie grâce au vent (éolien), la récupération d'ondes radiofréquences, etc. De plus, la technologie à caractère nomade étant en grande et rapide expansion, il faut alors leur trouver des solutions d'alimentations non-limitées ou complémentaires vis à vis de la coexistence avec la présence de batteries. C'est là qu'interviennent les systèmes de récupération d'énergie. Notre choix a été de travailler sur les ondes radiofréquences (**RF**) pour deux raisons distinctes. La première est liée aux travaux historiques du laboratoire en récupération d'énergie mais également en transfert d'énergie sans-fi. La seconde, concerne le caractère contrôlé des radiofréquences. Car à contrario des autres sources d'énergies, elles sont directement générées par une activité humaine. L'énergie RF est choisie car sa disponibilité immédiate et théoriquement infinie. Elle varie certes selon l'environnement mais est très peu dépendante des conditions extérieures telles que les fluctuations de la météo. La figure 3 est un exemple de représentation du monde actuel ou

presque tous les dispositifs sont connectés au réseau et échangent des données. Ces échanges nécessitent un grand nombre d'antennes cellulaires, satellitaires et réseaux locaux. Ainsi, pour pouvoir couvrir tous les utilisateurs sur des distances raisonnables (à l'échelle urbaine par exemple), ces antennes émettent des puissances suffisamment élevées (jusqu'à 200W en 5G, 2W en Wifi) pour participer à la communication des systèmes électroniques.



FIGURE 3 – Représentation d'un environnement composé de dispositifs RF

Les ondes RF peuvent être récupérées par un système appelé Rectenna (Rectifying Antenna) composé d'une antenne réceptrice accompagnée d'un ou plusieurs éléments de conversion RF-DC (courant direct). Un convertisseur DC-DC (pompe de charge) est souvent rajouté, ce qui leur permettent ensemble de transformer des ondes électromagnétiques en une tension continue stable capable d'alimenter un capteur actif (voir Figure 4). Dans ces travaux, nous nous concentrerons sur les circuits de conversion RF-DC appelés "redresseurs" dans le but de récupérer une énergie à **0 dBm** et de la transmettre à un dispositif (nœud de réseau sans-fil dans notre étude). En fixant la valeur de 0 dBm qui est assez élevée, nous nous rapprochons plus de la récupération d'énergie issue d'un transfert de puissance sans-fil plutôt d'une récupération ambiante. Cependant, la finalité de l'étude est bien la récupération d'énergie ambiante afin de permettre une autonomie plus grande des dispositifs. Ce sont des circuits réalisés à l'aide composants primaires basiques tels que diodes, transistors et capacités.

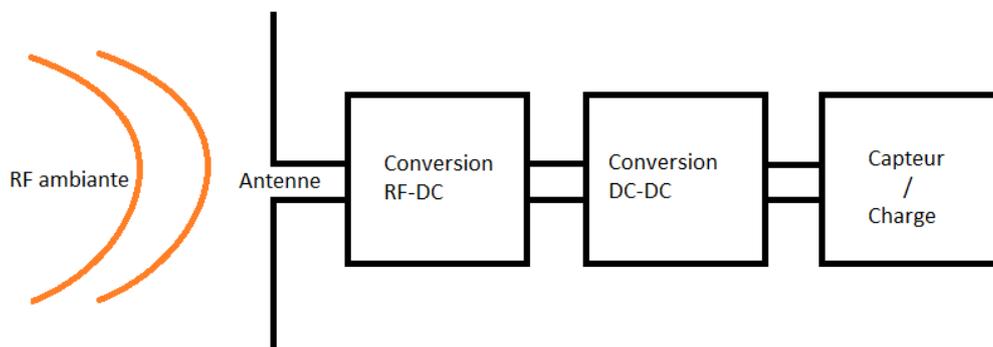


FIGURE 4 – Schéma bloc simplifié d'un système de récupération d'énergie RF

Bien que nos travaux de recherche se portent à la puissance de 0 dBm, pour illustrer la notion d'énergie ambiante, nous avons pu procéder à un relevé de puissances ambiantes dans une salle de travaux pratiques du laboratoire *LE<sup>2</sup>P – Energy\_LAb* sur une plage de fréquence de 2.405 GHz à 2.464 GHz sur trente minutes grâce à l'appareil Spectran HF 6065. La courbe correspondant à ce relevé est donnée sur la figure 5.

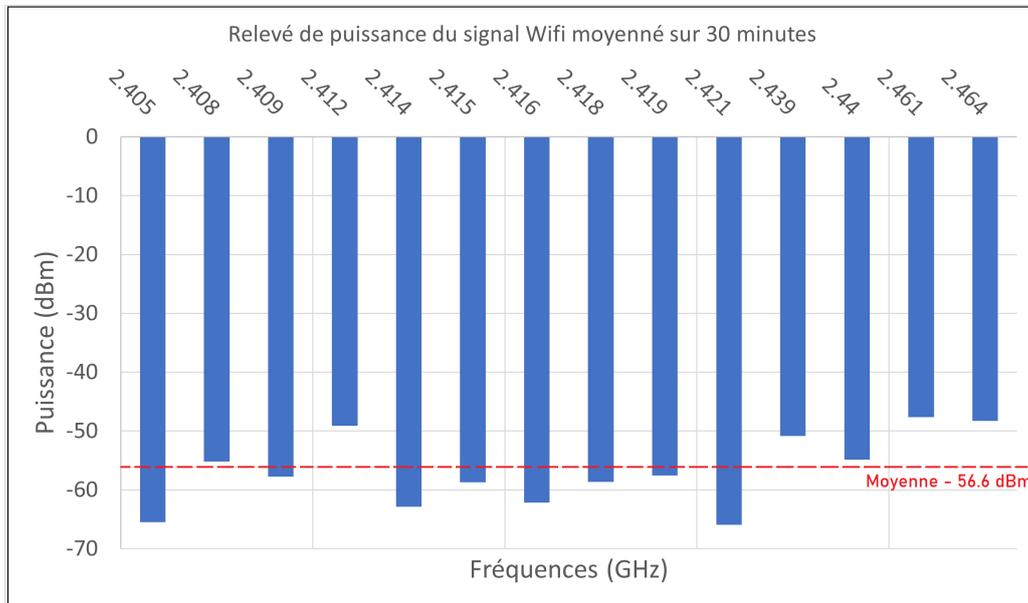


FIGURE 5 – Relevé des puissances moyennées sur 30 minutes à des fréquences proches de 2.45 GHz (soit la bande wifi, zigbee et bluetooth)

La figure 5, nous montre bien que les puissances moyennes récupérées selon chaque fréquence avec un positionnement arbitraire en distance de l'appareil de mesure sont faibles. Exploiter ces puissances inférieures à -56 dBm en moyenne demanderait un temps d'accumulation d'énergie conséquent. Cependant, l'appareil de mesure a été placé dans notre cas de manière arbitraire sans connaissance de l'emplacement des sources RF. C'est pour cela qu'il faut positionner de manière stratégique les dispositifs qui seront amenés à récupérer l'énergie. Par exemple, placés au plus proche des sources émettrices d'ondes, ces dispositifs seraient alors capables de récupérer d'avantage d'énergie et dans des conditions idéales, fourniraient une puissance pouvant attendre 0 dBm. Ce positionnement est démontré par la formule des télécommunications<sup>4</sup> dans la quelle la puissance reçue par le dispositif sera diminuée s'il se trouve à une grande distance de la source.

Une approche que nous adoptons aussi pour ces travaux est la mise en oeuvre d'une pompe de charge pour accumuler ces petites quantités d'énergie de l'ordre du micro watt, afin de

4. Formule des télécommunications : Le rapport de la puissance reçue par un dispositif sur la puissance d'émission est égal au produit des gain des antennes et du rapport de la longueur d'onde sur quatre pi par distance au carré

libérer une énergie plus conséquente de l'ordre du milli watt. Cette thématique de récupération d'énergie constitue un point majeur de cette thèse et plus précisément il s'agit de l'application visée à savoir pouvoir participer à l'alimentation d'un dispositif grâce à la récupération d'énergie RF.

L'objectif de nos travaux est d'améliorer la tension DC en sortie du redresseur et de la pompe de charge (cf figure 4) associée à la collecte de cette énergie radio-fréquence en utilisant les avantages de la technologie intégrée. Notre choix consiste à explorer les apports des technologies intégrées pour statuer sur leur performances en comparaison avec des systèmes conventionnels à base d'éléments micro-rubans et éléments discrets (diode Schottky) tout en proposant une taille de surface réduite. Les améliorations apportées par la technologie intégrée serviraient à réaliser un but concret : la co-alimentation d'un capteur dans son état de fonctionnement à basse énergie. C'est à dire que le capteur pourrait être alimenté par une source primaire d'énergie comme un capteur solaire et une source secondaire provenant de la récupération d'énergie RF pour les besoins moins importants en énergie comme en mode veille. Le capteur choisi est un capteur sans fil TelosB de Berkeley (spécifications en Annexe 5.6) présent au laboratoire d'étude *LE<sup>2</sup>P – Energy\_LAb* est largement utilisé pour des applications de monitoring et des études scientifiques. Par ailleurs, des mesures réalisées au laboratoire montrent que le capteur est majoritairement en mode "standby" sur l'ensemble de sa période de fonctionnement pour une application spécifique de monitoring.

Le capteur TelosB, détaillé en annexe 5.6, est pris en référence pour cette étude. Il est utilisé massivement au laboratoire *LE<sup>2</sup>P – Energy\_LAb* afin de monitorer le trafic réseau et renvoyer ces données vers l'utilisateur. Ce capteur nécessite pour l'heure une alimentation fixe filaire ou par batterie et ce même lorsqu'il ne communique pas, ni n'effectue un relevé de donnée. Le capteur TelosB nécessite une tension d'alimentation comprise en 2,1 V et 3,6 V pour fonctionner [1] et agit donc comme une charge de 54 k $\Omega$  maximum en mode "idle" pour une tension par exemple de 2,9 V (courant de 54  $\mu$ A) selon la datasheet complète du telosB en référence [2]. Le capteur consomme alors plusieurs dizaines de microwatts (10,7  $\mu$ W dans le meilleur cas et 194  $\mu$ W dans le pire cas). Nous prendrons alors comme paramètres de cahier des charges ces valeurs pour ajuster les performances de nos circuits.

Les travaux effectués dans le cadre de cette thèse se sont déroulés sur deux sites distincts dans deux régions françaises dans le prolongement d'un stage de fin d'étude de Master. D'un côté, le laboratoire *LE<sup>2</sup>P – Energy\_LAb* (Laboratoire d'énergétique, électronique et procédés) situé sur l'île de la Réunion à Saint-Denis qui est rattaché à l'Université de la Réunion et qui possède des antécédents importants dans la récupération d'énergie et le transfert de puissance sans-fil. D'un autre côté, le laboratoire IMEP-LAHC (Institut de micro électronique, électro-

magnétique et photonique et le laboratoire d'hyperfréquences et de caractérisation) situé à Grenoble en région Auvergne-Rhône-Alpes, rattaché au groupe d'école Grenoble-INP et possédant des groupement de recherche technologique importante. Cette thèse constitue la première collaboration entre ces deux laboratoires.

Le *LE<sup>2</sup>P – Energy\_LAb* [3] a été créé en 2006. Il compte aujourd'hui environ 13 enseignants-chercheurs, 5 ingénieurs et techniciens et 10 doctorants. Il est situé au sein de la Faculté des Sciences et Technologies de l'Université de la Réunion. Le laboratoire est axé sur un objectif précis : "L'optimisation de systèmes énergétiques solaires photovoltaïques intelligents". Cet objectif divise la recherche en opérations scientifiques travaillant sur le gisement solaire à la Réunion, le stockage et la conversion d'énergie et l'optimisation énergétique des réseaux de capteurs. Ces points de recherche se trouvent au centre des projets menés à la Réunion dont le but est de promouvoir l'île au plan mondial comme territoire expérimental dans les tests d'innovations environnementales concernant la production, le stockage et l'utilisation de l'énergie. Les enjeux sont de pouvoir se passer des énergies fossiles. Le *LE<sup>2</sup>P – Energy\_LAb* a donc un rôle important dans ce projet et il est aussi représentant des connaissances et compétences de la Réunion dans ce domaine.

L'IMEP-LaHC [4] a été créée en 2007. Il se répartit sur deux sites, un à Grenoble et l'autre à Chambéry. Il compte aujourd'hui en ressources pas moins de 45 enseignants-chercheurs, 15 ingénieurs, techniciens et administratifs, 8 Post-docs et 55 doctorants. Ses domaines d'études concernent les composants, dispositifs et systèmes intégrés en électronique, électromagnétique et photonique. Les activités du laboratoire regroupent donc toute la micro-électronique de pointe telle que des études les technologies FDSOI et CMOS, mais une grande partie des travaux sont orientés en radio-fréquences avec les ondes millimétriques, téra-Hertz et photonique. De part son emplacement dans le bassin Grenoblois et par la variété de ses domaines d'études l'IMEP-LaHC est reconnu sur le plan régional et européen. Il a ainsi les capacités de gérer des projets tels que les sciences et technologies de l'information du futur, les capteurs pour le nucléaire, la santé, les transports...etc.

## 1.2 Problématique et objectifs

Ainsi, pour répondre à la problématique et apporter une contribution au problème d'autonomie et encombrement, les travaux présentés dans cette thèse couvrent une partie de l'**alimentation de ces capteurs sans fil**. Le but étant, à l'aide de la récupération d'énergie RF et des technologies intégrées, de proposer un circuit permettant d'alimenter un capteur pendant ses longues phases en état de veille ou "standby" [5]. Cet état est principalement visé du fait de la faible consommation du capteur durant cette période (150  $\mu$ W) rendant propice une co-alimentation par énergie RF. Car on peut trouver des émetteurs Wifi à 100 mW (maximum autorisé par la

législation française) et Bluetooth à 1 mW en puissance d'émission dans l'environnement. Dans de plus larges applications, on peut retrouver des puissances émises allant jusqu'à 2 W pour le Wifi. Nous avons choisi ainsi comme référence pour l'étude la puissance la plus **basse de 1 mW** correspondant à 0 dBm comme étant le pire cas, le bluetooth classe 3 [6]. En prenant pour exemple le capteur TelosB alimenté par une batterie de 3 V, 2500 mAh, le fait de s'affranchir de la consommation du capteur pendant son état "idle" permettrait d'allonger la durée de vie de la batterie de 9 jours supplémentaires sur 156 jours de durée de vie de batterie initiale avec un temps de fonction de 90% en veille. Ce gain n'est pas très important mais il constitue un pas en avant significatif dans l'enjeu de la réduction de consommation des dispositifs et leur dépendance en énergie. Ainsi, dans notre cas d'étude, nous proposerons des structures capables de récupérer de l'énergie provenant d'une source de 0 dBm fixe, s'apparentant ainsi à un transfert d'énergie sans-fil.

La solution retenue est donc de proposer un circuit de redressement de tension RF-DC associé à un convertisseur DC-DC pompe de charge le plus performant possible. Cette association permettra l'alimentation du capteur visé en utilisant les technologies intégrées et en tenant compte des contraintes de miniaturisation et faible consommation du circuit énergétique. Ainsi, ces travaux de thèse ne seront pas axés sur la recherche à la performance absolue mais sur une étude concrète de faisabilité. La question qui traduirait la problématique de ces travaux est alors : **Les nouvelles technologies intégrées permettent-elles de réaliser des circuits suffisamment performants pour participer à l'alimentation des capteurs sans-fil faibles puissances grâce à la collecte d'énergie RF ?**

Pour répondre à cette question, le second chapitre présentera deux technologies intégrées. Dans le troisième chapitre, nous présenterons l'état de l'art des structures de conversion RF-DC et aborderons la pompe de charge associée ainsi que l'oscillateur nécessaire à son fonctionnement. Le quatrième chapitre abordera les dessins des masques, dimensionnement et simulations des composants permettant de justifier du choix de la technologie et des structures de convertisseurs retenues. Nous proposerons aussi dans ce chapitre notre contribution à l'état de l'art en introduisant les résultats d'une nouvelle structure de redresseur proposant de meilleures performances et une miniaturisation convenable. Le cinquième chapitre abordera la partie mesure et validation expérimentale avec les mesures sous pointes mais aussi quelques réalisations sur des antennes. Enfin, nous conclurons sur les résultats de nos travaux et ouvriront quelques perspectives sur la continuité des recherches.

## **2 Les technologies intégrées AMS CMOS BULK 350 nm et ST CMOS FDSOI 28 nm**

## 2.1 Introduction

Ce chapitre présente les technologies intégrées CMOS BULK 350 nm et CMOS FDSOI 28 nm. La première partie aborde les deux technologies, leur conception et processus de fabrication. La seconde partie présente une comparaison des caractéristiques primaires des deux technologies et met en évidence la possibilité de polarisation du substrat en FDSOI.

## 2.2 Les technologies intégrées

Les circuits discrets de récupération d'énergie RF réalisés en PCB (Printed Circuit Board, Circuit imprimé), bien que fonctionnels, sont entre autres choses soumis aux contraintes des effets parasites de part leur dimensions et la taille des pistes cuivres [7]. C'est là que les technologies intégrées peuvent permettre de réduire ces dimensions tout en réduisant les effets parasites et donc les pertes. Dans une étude passée [8], S. Borkar a montré que les nouvelles générations de technologies devaient permettre des tensions d'alimentation plus faibles et que si cette tension diminuait de 30% alors la puissance consommée serait 50% inférieure à l'ancienne génération technologique, proposant ainsi de bonnes perspectives pour le circuit de récupération d'énergie intégrée. Ainsi, dans le cadre de nos travaux nous proposons d'étudier les effets de la diminution de taille de la technologie, sur le concept de récupération d'énergie. Le présent chapitre aborde donc la technologie des circuits intégrés sur substrat silicium. Ainsi, les performances de ces technologies intégrées ont évolué depuis plusieurs décennies selon la loi de Moore puis selon la feuille de route de l'ITRS [9] (International Technology Roadmap for Semiconductors) jusqu'en 2014. C'est à partir de cette date qu'ont été définis les termes "More than Moore" et "Beyond CMOS" afin de modifier la feuille de route initiale pour qu'elle se rapproche au mieux des besoins et avancées du monde industriel. Cette feuille de route se nomme à présent IRDS [10] (International Roadmap for Devices and Systems). L'évolution des nœuds technologiques de process de fabrication industriels étant très proche de la taille atomique (5 nm en 2020, 3 nm en 2022) l'évolution des process de fabrication s'en retrouve limitée. Du côté de la recherche académique, un transistor de 1 nm de longueur de grille a été réalisé en 2016 [11]. Parmi ces technologies, on retrouve des technologies anciennes et abondamment utilisées comme la CMOS BULK (Complementary-Metal-Oxide-Semiconductor<sup>5</sup>), mais aussi des technologies plus récentes et coûteuses comme le FinFET (Fin Field Effect Transistor), la FDSOI (Fully Depleted Silicom On Insulator) ou PDSOI (Partially Depleted Silicom On Insulator). Ainsi, on évalue généralement ces technologies par la longueur minimale du canal de ses transistors. Par exemple, la technologie BULK 350 nm possède une longueur de canal minimale de 350 nm. Un tableau comparatif des caractéristiques de quatre technologies est disponible en annexe 5.6 et

5. BULK fait référence à une puce fabriquée sur une plaque de silicium standard (wafer)

la figure 6 récapitule les quatre technologies et leur intérêt.

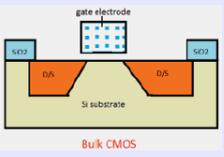
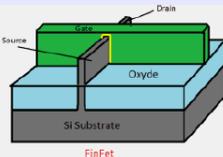
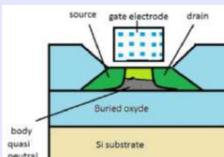
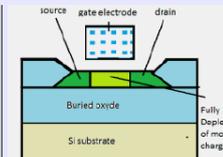
Comparatif des technologies				
	Bulk LP CMOS	FinFET	PD-SOI	FD-SOI
Structure				
Intérêt pour notre étude	Technologie standard, les structures existent déjà. Pas d'innovation mais parfait pour comparer et valoriser	Quelques études menées sur ULP FinFet, qq centaines de $\mu A$ mais $V_{th}$ à $\sim 400$ mV	Pour de la puissance, pas d'intérêt ici à cause du kink effect et floating body	Le plus intéressant dans notre, avantageux pour les ULP, permet des tensions de seuil très petite jusqu'à $\sim 150$ mV Prometteur pour notre cas

FIGURE 6 – Comparatif des technologies phares pour notre cas d'étude

Dans le cadre de cette thèse, au delà des performances technologiques des transistors, le choix des technologies est conditionné par leur disponibilité et l'expérience au sein des laboratoires. La technologie BULK 350 nm est disponible au *LE<sup>2</sup>P – Energy\_Lab* et à l'IMEP-LAHC, et des réalisations dans le domaine de la conversion d'énergie ont été faites sur cette technologie [12]. La FDSOI 28 nm est quant à elle disponible à l'IMEP-LAHC, où elle est utilisée dans des applications de circuits passifs et actifs [13], [14], [15]. Le Centre Multi-Projets (CMP) à Grenoble fait office d'intermédiaire dans la réalisation des circuits de ces technologies. En choisissant ces deux technologies, nous nous posons la question de savoir si l'utilisation des technologies intégrées permet de réduire les parasites et améliorer les performances des redresseurs mais aussi la nécessité d'utiliser une technologie plus récente ou non. Nous voulons alors apporter une contribution comparative à l'étude de la problématique permettant de statuer sur l'utilité d'utiliser une technologie récente permettant de réduire les pertes pour les applications de récupération d'énergie RF. Les technologies intégrées sont principalement définies par les dimensions et performances de leur transistors. La figure 7 montre une coupe de transistor avec les grandeurs remarquables telles que la largeur  $W$ , la longueur  $L$  du canal de transmission des électrons, l'épaisseur de la couche isolante en dioxyde de silicium ( $SiO_2$ )  $T_{ox}$  et de leurs épaisseurs des jonctions de source et de drain  $X_{jSDE}$  et de leur connexion  $X_{jCon}$ .

La structure présentée sur la figure 7 est physiquement symétrique côté drain et source. Ce sera le cas de toutes les autres structures de transistors étudiées dans ces travaux de thèse.

Dans ce chapitre nous sommes amenés à présenter les couches constitutives des transistors

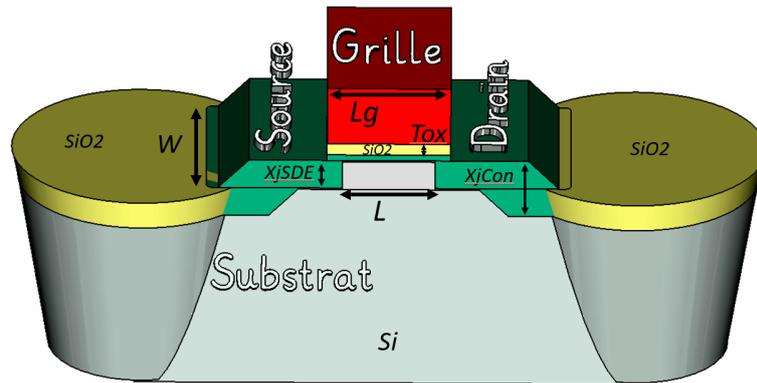


FIGURE 7 – Vue en coupe d'un transistor en technologie BULK

pour expliciter notre réflexion sur le choix entre une technologie BULK et une technologie FDSOI. L'environnement logiciel de conception de nos circuits se prête bien à la visualisation de ces différentes couches. Dans le cadre de ces travaux, ces technologies seront utilisées par le biais de bibliothèques de composants disponibles dans le logiciel Cadence Virtuoso de Cadence Design Systems. Une fois que les spécifications (cahier des charges) est déterminé, les étapes de dessin et conception d'un circuit intégré au niveau utilisateur sont réalisées et décrites sur la figure 8. Elles ont été suivies pour cette thèse et font parties de l'étude en technologies intégrées.

Les étapes 6 et 8 de la figure 8 sont généralement les plus longues car il faut repérer les erreurs physiques présentes dans le layout tel qu'un chevauchement de couches métalliques, des courts circuits, des couches trop proches générant des effets de couplages inductifs ou capacitifs, des effets antennaires, etc. Ces effets indésirables sont d'autant plus critiques pour des signaux RF que DC.

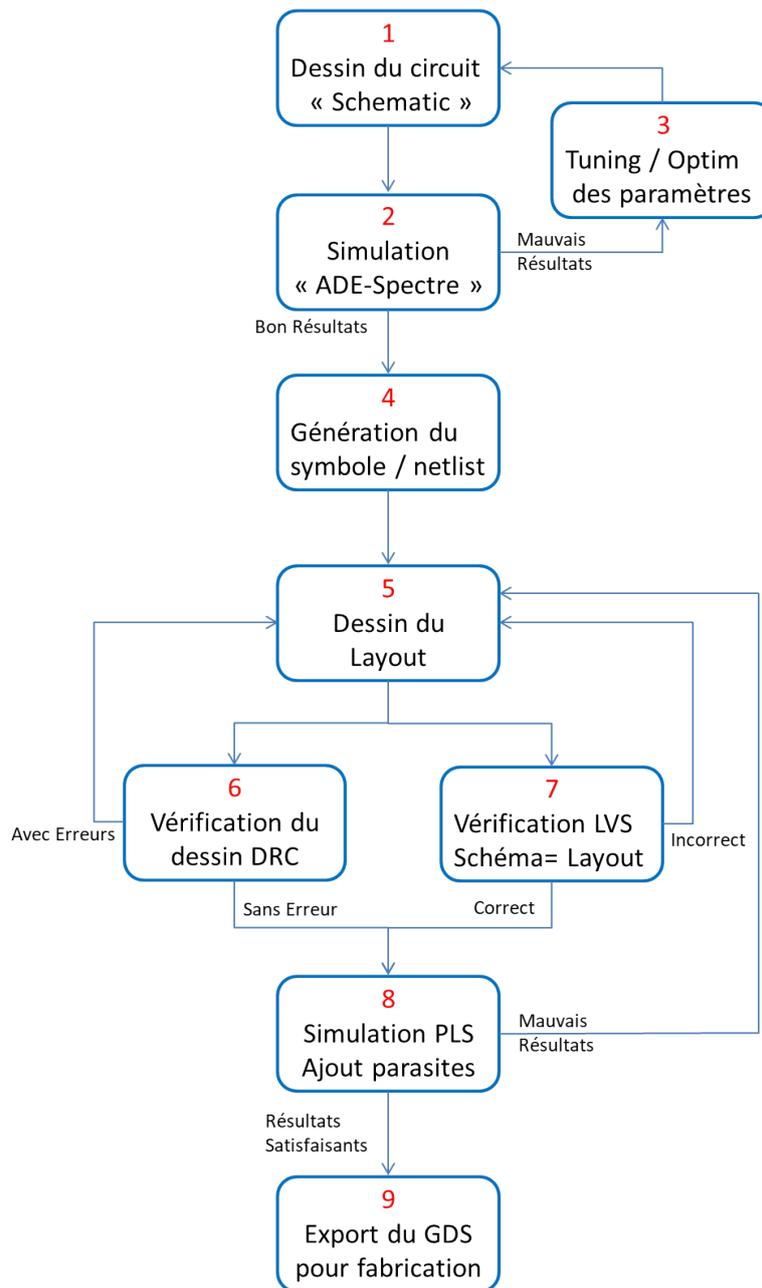


FIGURE 8 – Étapes de conception jusqu'à réalisation d'un circuit intégré

### 2.3 La technologie CMOS BULK 350 nm

La technologie CMOS BULK 350 nm est fournie par la société de semi-conducteur AMS basée en Autriche. La technologie CMOS BULK a été premièrement commercialisée par Sony en 1993. Cependant, en recherche, un MOSFET (Métal-Oxyde-Semiconductor Field Effect Transistor) avec une longueur de canal de 300 nm avait été fabriqué par une équipe de recherche de l'entreprise Japonaise NTT (Nippon Telegraph and Telephone) depuis 1985 [16]. Les premières applications grand public sont apparues en 1995 avec le processeur Pentium d'Intel. Depuis, la technologie CMOS BULK est utilisée dans de nombreuses applications avec comme domaines phares les micro-processeurs hautes performances, l'optique, les portes logiques et la RF lo-

gique. Cette technologie a pour avantage un coût très bas au  $\text{mm}^2$ , un process de fabrication maîtrisé et de bonnes performances en analogique. Aussi, le développement de la technologie a été confié à TSMC (Taiwan Semiconductor Manufacturing Company) et est parfaitement compatible avec le nœud technologique de 350 nm de ce dernier fondeur [17].

Cependant, il existe des technologies plus performants et avancés que la 350 nm en technologie CMOS BULK. En effet, les scientifiques pensaient que la technologie CMOS BULK ne passerait pas en deçà du nœud technologique des 50 nm [18] en 1999. À l'heure de rédaction de cette thèse en 2020, la technologie CMOS BULK a bien évolué et possède un nœud à 20 nm fabriqué par TSMC. Pour des raisons de disponibilités et coûts nous avons choisi l'étude du nœud à 350 nm.

La figure 9 montre une vue en coupe d'un transistor dopé N en technologie CMOS BULK.

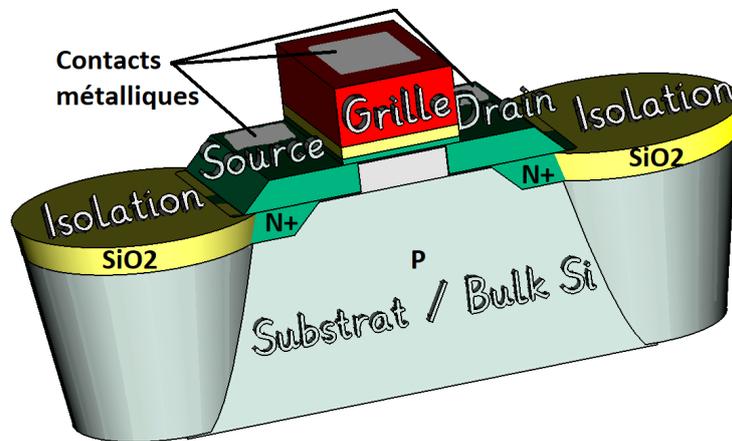


FIGURE 9 – Vue en coupe d'un transistor N en technologie CMOS BULK

En prenant l'exemple d'un MOSFET canal N (NMOS), la source et le drain sont des contacts métalliques reliés à une couche de silicium dopée N. Ces couches sont insérées par épitaxie<sup>6</sup> dans le substrat ou "BULK" ou "Body" du transistor qui est faiblement dopé en P. La grille du transistor est réalisée en silicium polycristalin puis métallisée et elle est séparée du BULK par une fine couche d'oxyde de silicium  $\text{SiO}_2$ . Cette disposition crée alors une capacité parasite  $C_{gs}$  entre la grille et le substrat. L'accès au substrat se fait par une zone dopée P. Cependant, en technologie BULK pour un transistor à canal N, le substrat doit être relié au potentiel bas, soit généralement la masse du circuit. Enfin, les accès source et drain sont isolés par de l'oxyde de silicium.

6. Epitaxie : Technique de croissance dirigée permettant de faire croître des couches minces de faibles épaisseur par dépôt d'atome sur la surface du substrat(monocristal).

### 2.3.1 Le transistor, composants et modules

Les transistors de la technologie CMOS BULK 350 nm sont des transistors à effet de champ à grille isolée plus communément appelés MOSFETs. La bibliothèque de la technologie compte deux transistors standards, un NMOS et un PMOS (MOSFET canal P) avec pour dimensions en longueur de canal,  $L = 350$  nm et largeur  $W = 10$   $\mu\text{m}$ . Deux autres transistors sont présents avec des longueurs de canal à 500 nm. La figure 10 montre la représentation schématique et layout de ces transistors ainsi que la représentation d'une capacité de la technologie. Les différentes couleurs de la représentation layout correspondent à différentes couches de matériaux, métaux ou isolants. Les carrés de couleur vert foncé signalent les points de contact inter-couche appelés communément "vias". La source et le drain des transistors sont séparés par la grille représentée sous forme d'un bâtonnet rouge. Cette dernière dispose en layout d'une double connexion par le haut, le bas ou les deux. Les capacités sont réalisées avec deux couches métalliques en vis-à-vis et entourées par la connexion substrat. Les transistors peuvent eux aussi être entourés du substrat. Il est alors possible de choisir quel contact substrat à garder de manière à pouvoir organiser proprement les connexions par lignes métalliques entre les composants.

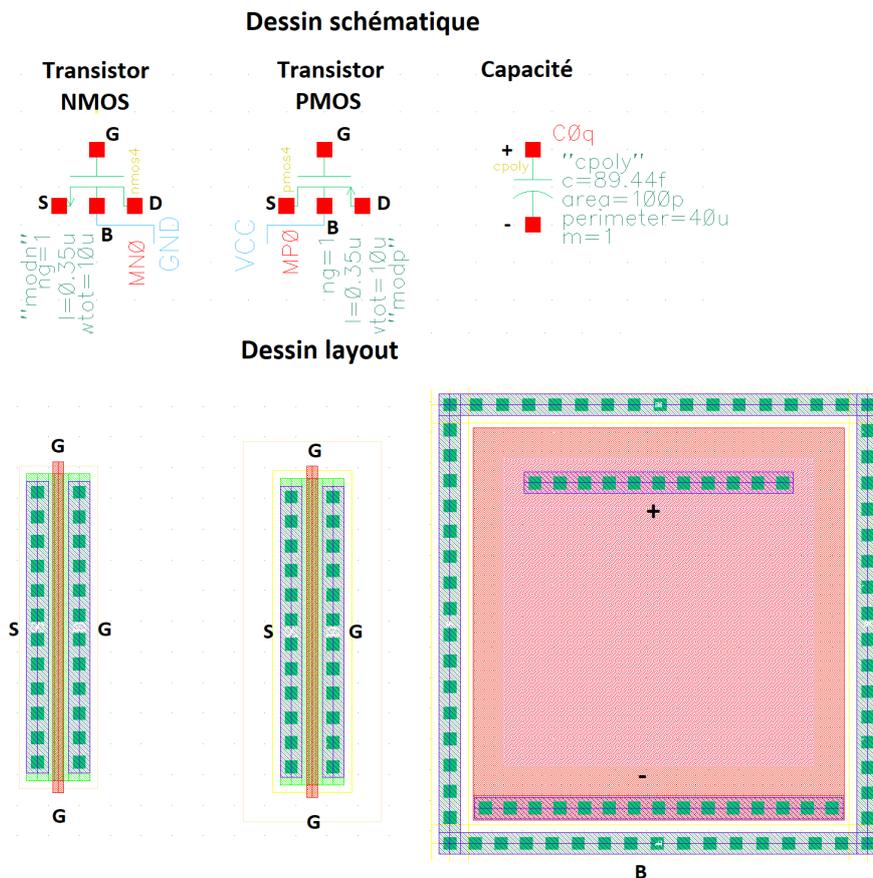


FIGURE 10 – Représentations schématiques et layout des transistors et d'une capacité en BULK 350 nm

Outre les transistors et capacités, la bibliothèque de la technologie BULK 350 nm possède de nombreuses portes logiques et divers modules pour des applications analogiques et numériques dont l'application va déterminer l'utilisation. Il faudra aussi tenir compte du processus de fabrication décrit dans la section suivante afin de réaliser correctement le routage et layout de la puce.

### 2.3.2 Le process de fabrication

Une même technologie peut avoir plusieurs process. C'est le cas du noeud à 350 nm d'AMS. Le process que nous utilisons est le C35B4. Les différentes couches de la technologie sont montrées sur la figure 11. Elles sont globalement similaires pour tous les process avec quelques différences notables comme par exemple dans notre cas, la C35B4 ne permet pas de polariser le substrat des transistors avec un signal spécifique. Cette opération est par exemple réalisable avec le process H35B4.

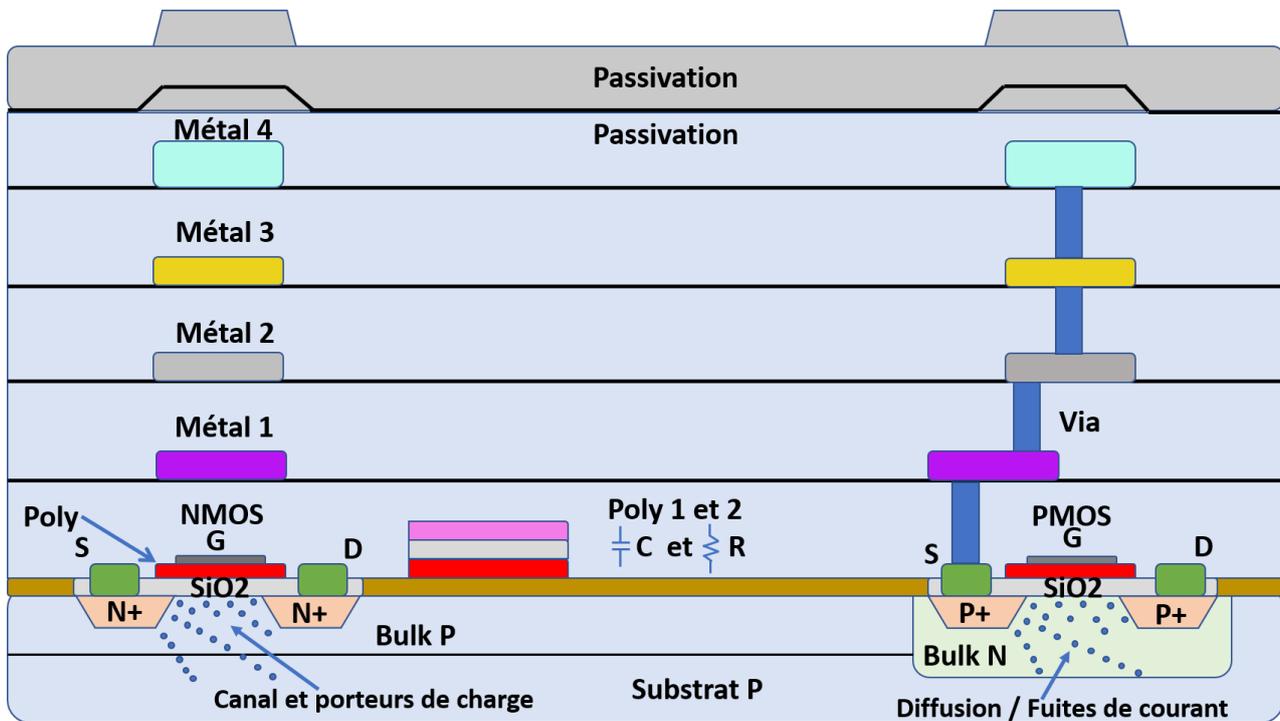


FIGURE 11 – Représentation des couches de la technologie AMS 350 nm

En somme, les couches de la technologie BULK 350 nm reprennent les couches de base du transistor montré en figure 9 avec, en supplément, un empilement de quatre couches métalliques séparées par des isolants. Ces couches métalliques servent à réaliser les liaisons internes entre composants et créer des composants tels que des capacités qui sont deux plans métalliques en vis à vis. Il existe généralement suffisamment de couches métalliques pour permettre d'éviter tout chevauchement d'une même piste en utilisant des vias (tunnel traversant conducteur reliant

une couche métallique à une autre couche métallique). Enfin, le tout est recouvert par deux couches de passivation afin de protéger l'ensemble de la structure. Le process de fabrication quand à lui se résume en cinq étapes :

- 1 - Croissance de la couche d'oxyde et oxyde de grille
- 2 - Création par diffusion d'une région N-Well formant un puit N
- 3 - Dépôt et modélisation de la couche de polysilicium
- 4 - Implémentation des contacts source, drain et substrat
- 5 - Croissance de la couche de nitrure et dépôt des contacts métalliques

Le process détaillé est illustré en Annexe 5.6 pour le cas d'un inverseur CMOS sur substrat de type P, il est fourni par la référence [19] qui mentionne que les contacts grille et source/drain ne sont en pratique pas réalisés dans le même plan de couche.

## 2.4 La technologie ST CMOS FDSOI 28 nm

La technologie FDSOI 28 nm est fournie par ST Microelectronics depuis 2012 et a été élaborée par le laboratoire LETI (Laboratoire d'électronique et de technologie de l'information) [20]. Le LETI est mondialement connu pour ses travaux en microélectronique et nanotechnologie. Il fait parti de l'organisme de recherche français CEA (Commissariat à l'énergie atomique et aux énergies alternatives). La recherche en FDSOI a débuté dans les années 1960 avec les procédés SOS (Silicium On Sapphire) et des applications orientées au secteur militaire ont émergé à partir de 1970. En 1992, une technique de fabrication révolutionnaire appelée "Smart Cut" a été inventée par Michel Bruel (LETI) et est de nos jours utilisée par le fondeur SOITEC dans le bassin Grenoblois. Les étapes suivies par la technique sont détaillées en figure 16. La figure 12 montre le degré de précision atteint par la technique "Smart Cut" [21] pratiquée par ST en 2016 en FDSOI en comparaison avec un procédé de fabrication en SIMOX (Separation par IMplantation d'OXYgen). On voit bien que la précision de la technique "Smart Cut" est sans égale et difficilement comparable au procédé SIMOX. Le transistor réalisé avec la technique "Smart Cut" est propre avec des coupes nettes.

La précision est un facteur critique en FDSOI car les performances du transistor varient selon l'épaisseur du substrat. Si cette épaisseur n'est pas contrôlée à quelques nanomètres près, la répétabilité et la commercialisation des transistors est impossible. Toutefois, la technologie FDSOI est largement utilisée par les fondeurs Samsung, GlobalFoundries et STMicroelectronics qui, grâce à elle, réalisent une multitude de dispositifs tels que capteurs, mémoires et divers objets connectés. En effet, la FDSOI promet des transistors 25% plus rapides qu'en technologie BULK pour une technologie de dimension identique tout en réduisant la consommation de plus de 30% [22]. Cet exploit est du à l'ajout d'une fine couche d'oxyde isolante permettant

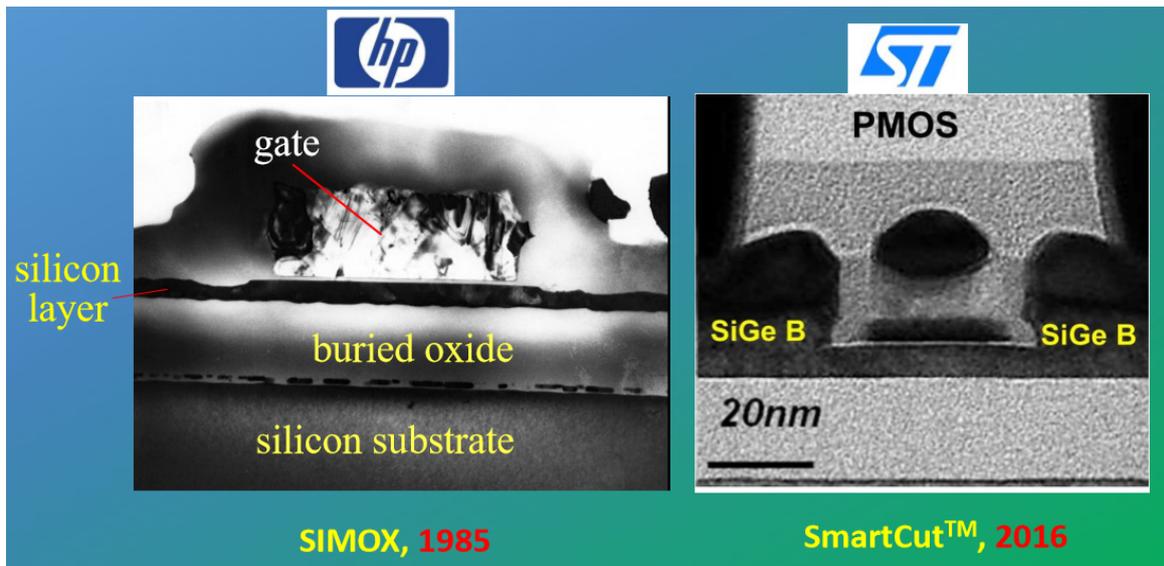


FIGURE 12 – Précision de la technique Smart Cut comparée au procédé SIMOX

de limiter la diffusion du courant dans le substrat forçant ainsi les porteurs de charge à se déplacer uniquement dans le canal du transistor. Aussi, le transistor FDSOI possède la particularité d'avoir un substrat non dopé qui peut être polarisé à la manière d'une grille arrière ou seconde grille permettant ainsi d'avoir un degré de contrôle supplémentaire sur le transistor et ses performances [23], notamment la tension de seuil. La polarisation du substrat permet aussi de réduire le DIBL (Drain-Induced-Barrier-Lowering) qui est un effet de canal-court introduit par la réduction de la tension de seuil et par des fortes tensions appliquées sur le drain.

La FDSOI est particulièrement intéressante car elle est capable de traiter des tensions très petites (Transistor Low Voltage). Elle permet d'atteindre actuellement des réalisations de l'ordre de 7 à 10 manomètres au mieux. La figure 13 montre une vue en coupe d'un transistor en technologie FDSOI.

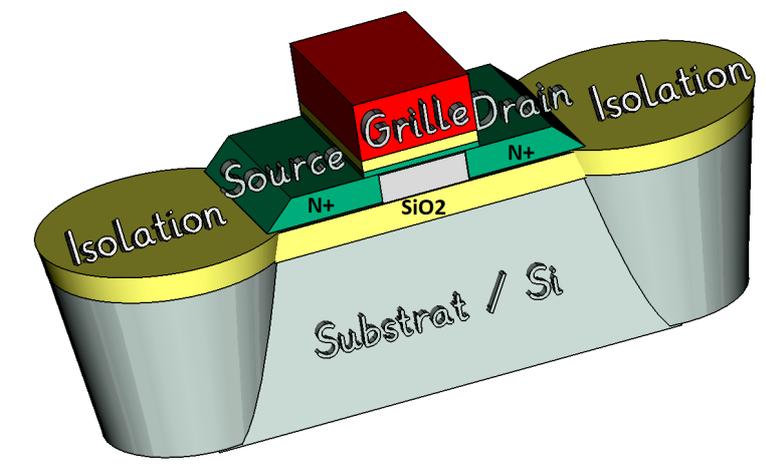


FIGURE 13 – Vue en coupe d'un transistor en technologie CMOS FDSOI

### 2.4.1 Le transistor, composants et modules

Les transistors de la technologie CMOS FDSOI 28 nm sont, comme pour la technologie BULK, des transistors à effet de champs. Les nœuds technologiques étudiés dans cette thèse pour les deux technologies étant nettement différents, les dimensions des transistors en FDSOI 28 nm sont bien plus petites. Il existe cependant dans la librairie du Design-Kit (DK, bibliothèque de la technologie sur le logiciel Cadence) un grand nombre de transistors aux propriétés différentes et visant diverses applications. Parmi eux, les modèles Low Voltage Threshold (LVT) et Regular Voltage Threshold (RVT) sont remarquables ainsi que leur déclinaisons RF spécifiques aux applications radiofréquences. Ces transistors ont pour dimensions de grilles minimales une largeur de 80 nanomètres (nm) et une longueur de 30 nm, excepté pour les transistors RF qui sont limités à 206 nm en largeur de grille. Plusieurs versions sont proposées avec des tensions nominales entre drain et source,  $V_{ds}$ , allant de 1V à 1,8V. La différence entre les transistors LVT et RVT est que le LVT possède un caisson silicium "Bulk" de type N alors que le RVT en a un de type P. La figure 14 montre la vue schématique et layout des composants primaires de la technologie FDSOI 28 nm.

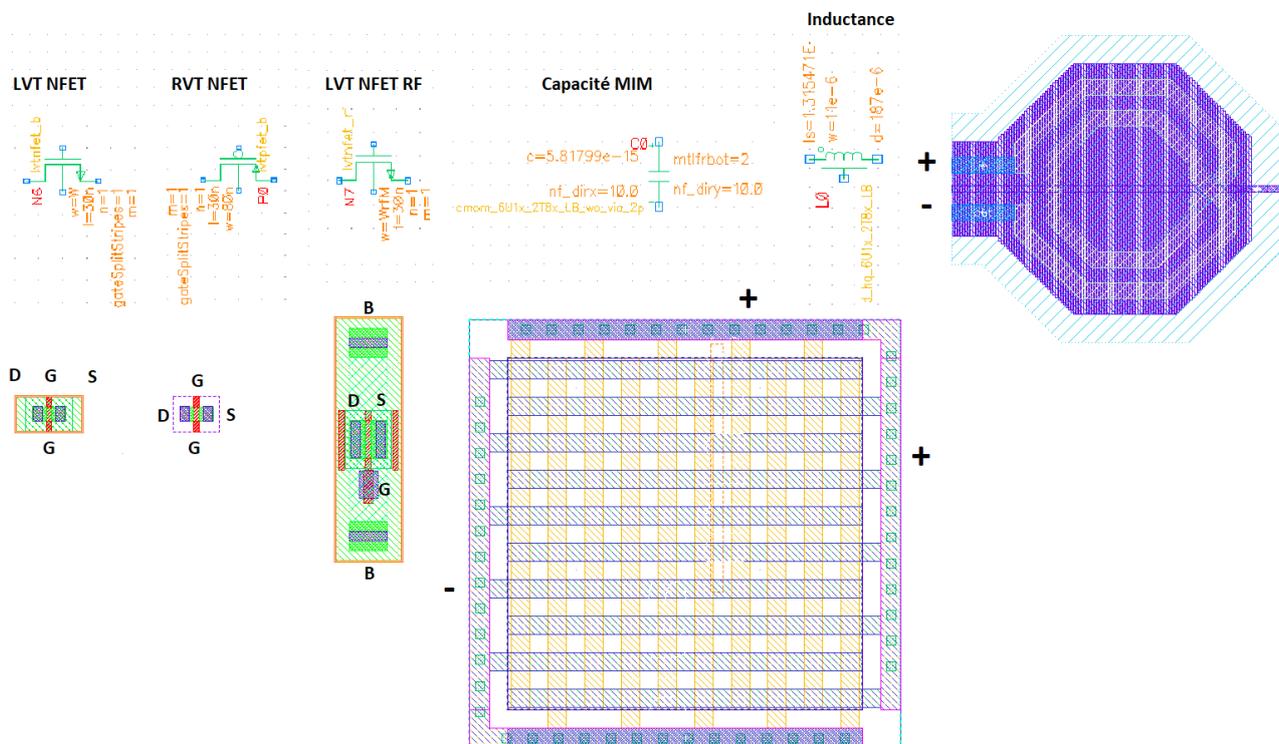


FIGURE 14 – Représentation schématique et layout des composants primaires en FDSOI 28 nm

La figure 14 montre des capacités inter-digitées à plusieurs niveaux de métaux permettant

d'augmenter les valeurs de capacités sous la contrainte de surface silicium utilisée. L'accès aux connexions en layout y est plus facile qu'en technologie BULK car deux côtés sont accessibles pour la connexion positive et deux autres pour la connexion négative. Les inductances sont de formes octogonales et prennent considérablement la place. Les transistors RF, quand à eux, diffèrent légèrement en conception. Ils ont un contact substrat forcé et le nombre de points de contacts métalliques sont aussi différents car leur dimensions sont plus grandes qu'un LVT ou RVT.

### 2.4.2 Le process de fabrication

La technologie FDSOI a elle aussi plusieurs process différents et principalement portés sur le choix du nombre de couches réalisables. Il est possible de choisir entre 10, 8 et 6 couches de métal. Plusieurs versions de DK sont disponibles mais seules les dernières versions sont prises en compte pour la fabrication pour les fondeurs ou intermédiaires (CMP). Outre l'ajout de la couche isolante et la possibilité de polariser le substrat, en pratique, la FDSOI apporte plus de possibilités que la technologie BULK. La FDSOI possède au moins neuf couches métalliques utilisables, séparées par de l'isolant. Les capacités inter-digitées sont empilables sur les six niveaux de métaux permettant ainsi d'augmenter leur capacité de charge. Ces niveaux de métaux, ainsi que les différentes couches, sont montrés sur la figure 15.

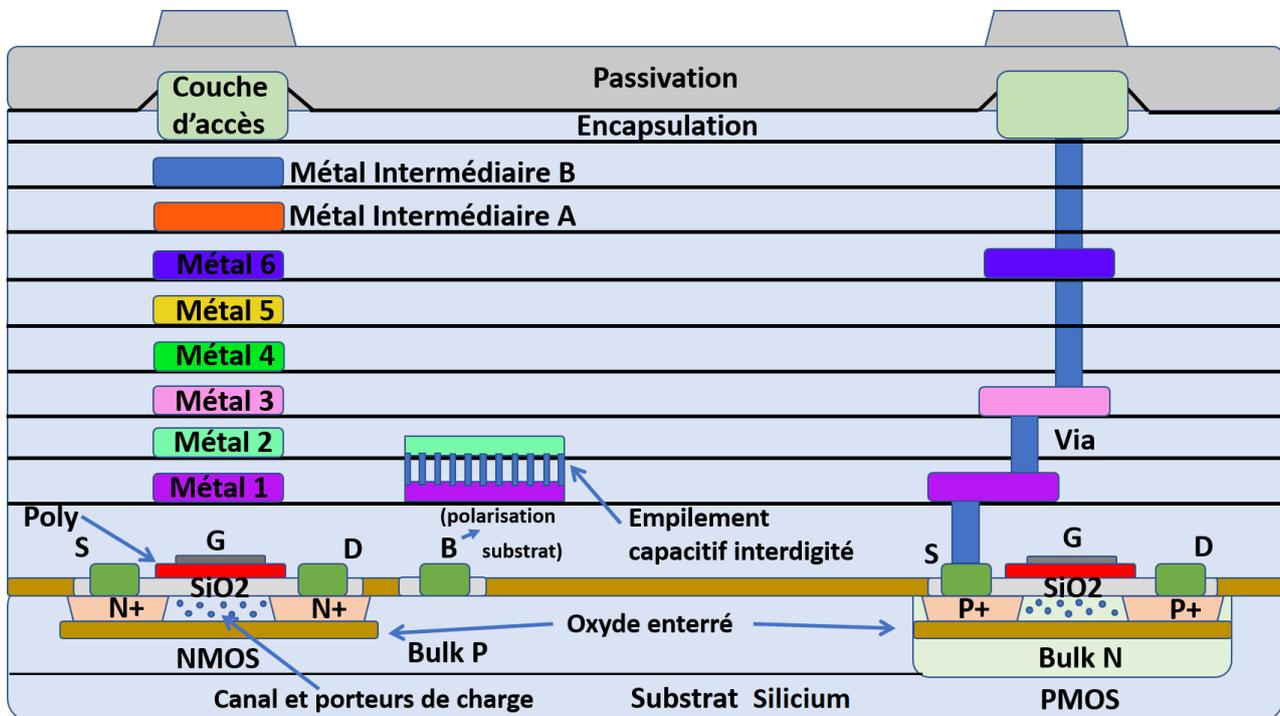


FIGURE 15 – Représentation des couches de la technologie FDSOI 28 nm

Les plaques de silicium sur isolant ou wafers sont fabriqués grâce à la technologie "Smart

Cut" chez SOITEC. Proclamée comme "scalpel à l'échelle atomique" cette technologie associe l'implantation d'ions et le collage par adhésion moléculaire dans le but de transférer des couches mono-cristallines très fines d'un substrat à un autre [24]. La figure 16 montre les étapes de fabrication d'un wafer de silicium sur isolant grâce au procédé "Smart Cut". Et la figure 17 détaille les étapes du procédé de fabrication pour un transistor en FDSOI.

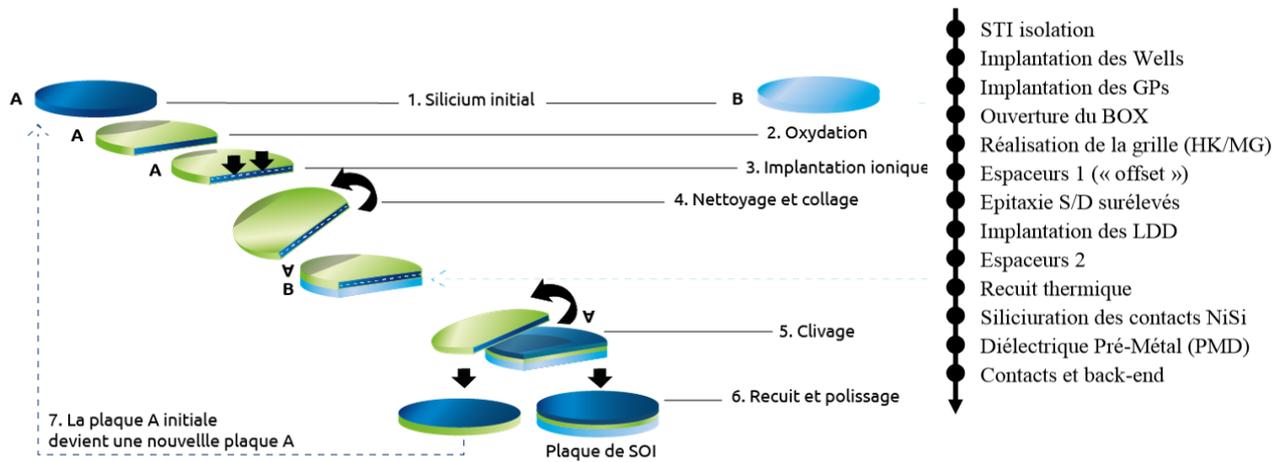


FIGURE 16 – Technique "Smart Cut" de fabrication d'un wafer SOI (SOITEC) [24]

FIGURE 17 – Étapes détaillées de fabrication d'un transistor en FDSOI [25]

## 2.5 Études et comparaisons des paramètres des transistors des technologies BULK 350 nm et FDSOI 28 nm

Bien que leur process et tailles technologiques diffèrent, le fonctionnement des transistors MOSFET reste le même. Le transistor MOSFET est uni-polaire car seul un type de porteur de charge est utilisé (électrons ou trous) dépendant du type MOSFET N ou P. Son fonctionnement est basé sur le champ électrique appliqué entre la grille, l'isolant et le substrat. Si le potentiel appliqué est nul, alors le transistor N est inactif. Cependant, plus la différence de potentiel augmente entre la grille et le substrat, plus les charges libres stockées dans ce dernier y sont repoussées en faisant apparaître une zone de déplétion de charge. En augmentant encore cette différence de potentiel, il apparaît une zone d'inversion dans laquelle les porteurs de charge sont opposés majoritairement aux charges présentes dans le substrat, créant ainsi la zone de conduction du transistor. Ces changements d'états sont bien caractérisés par le nom du transistor MOSFET en faisant intervenir le métal de grille, l'oxyde isolant et le semi-conducteur qu'est le substrat en silicium. Le fonctionnement des états de passages des porteurs de charge ainsi que des niveaux d'énergies aux interfaces métal-oxyde-semi-conducteur est décrit dans la référence [14].

Cette section fera état et étude des propriétés des transistors en commençant avec leur modes de connexions. **Toutefois, la technologie FDSOI étant toujours à caractère confidentiel, nous n'avons pas accès aux valeurs fondamentales telles que la résistivité des pistes de métal et via mais aussi, nous ne pouvons pas récupérer les valeurs des paramètres petits signaux qui auraient permis une étude comparative plus profonde entre les deux technologies BULK et FDSOI.** Une méthode qui aurait permis de mesurer ces paramètres est décrite dans la référence [26]. Cette simulation nous aurait permis d'avoir plus d'information sur le fonctionnement interne du transistor. C'est-à-dire, le comportement de ses paramètres internes en fonction du temps dans le cadre du redressement et nous aurions pu les regrouper avec les études théoriques réalisées dans l'ouvrage de R. Baker [27] sur les dessins, simulations et conception de layout des puces CMOS afin d'étoffer notre compréhension du fonctionnement des transistors et de la fonction de redressement "CMOS" utile à notre étude.

**Par conséquent, des études par simulations en technologies intégrées BULK 350 nm et FDSOI 28 nm sont menées afin de déterminer les caractéristiques primaires des transistors, mais aussi leur comportement face à une polarisation du substrat, la fréquence de l'onde à traiter ou encore la température de fonctionnement.**

### 2.5.1 Les modes de fonctionnement et la connexion en diode du transistor MOS intégré

Le transistor MOSFET peut être utilisé dans plusieurs configurations qui sont étroitement liées avec ses modes de fonctionnement. Ces modes, appelés aussi régimes, se distinguent sur les caractéristiques courant - tension (I-V). Un exemple illustratif est montré figure 18.

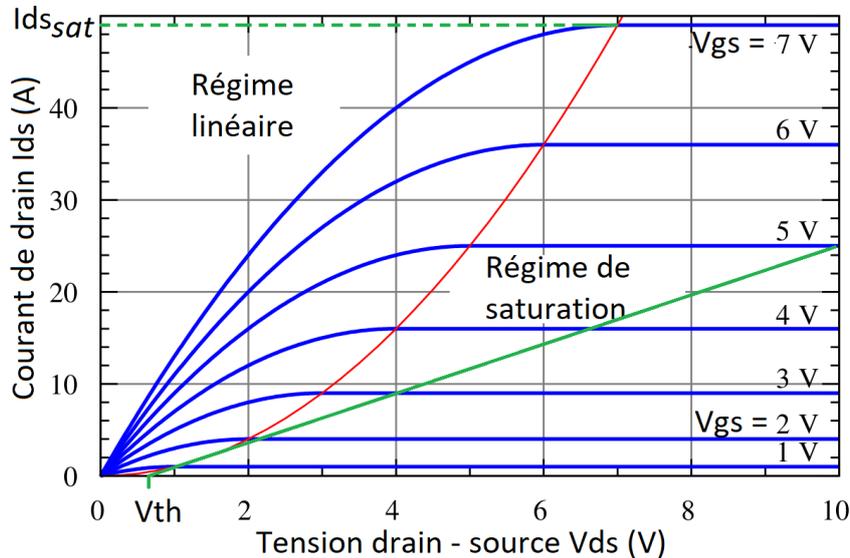


FIGURE 18 – Exemple générique de la caractéristique I-V d'un transistor MOSFET - hors design-kits des travaux de thèse

Sur cette figure 18 nous pouvons voir le régime linéaire à faible  $V_{ds}$  et le régime de saturation à fort  $V_{ds}$ . Ces deux régimes suivent le fonctionnement du transistor depuis son état bloqué, lorsqu'aucun courant ne passe, à son état passant. Le transistor devient passant lorsqu'une tension  $V_{gs}$  supérieure à la tension de seuil  $V_{th}$  du transistor est appliquée sur sa grille. Remarquons que la tension de seuil est un paramètre propre au transistor mais peut cependant varier selon certains paramètres externes tels que :

$$V_{th} = \alpha \times \frac{kT}{q} \quad (1)$$

Avec  $\alpha$  le paramètre propre au transistor,  $k$  la constante de Boltzman,  $T$  la température et  $q$  la charge élémentaire. De plus, le courant de grille est nul car la grille du MOSFET est composée d'une couche isolante de  $\text{SiO}_2$  la séparant du reste de la structure (cf figure 7). Dans le régime linéaire, la caractéristique I-V évolue sur une droite linéaire avec une proportionnalité s'assimilant au comportement d'une résistance. Dans ce cas, il s'agit alors de la résistance interne appelée  $R_{ds_{on}}$  du transistor et qui varie selon la tension  $V_{gs}$ . En régime linéaire, la relation entre la tension drain-source  $V_{ds}$  et le courant drain-source  $I_{ds}$  est une relation de proportionnalité. L'équation 2 donne la valeur du courant  $I_{ds}$  en régime linéaire :

$$I_{ds} = \beta \times (V_{gs} - V_{th} - \frac{1}{2} \times V_{ds}) \times V_{ds} \quad (2)$$

Dans laquelle :

$$\beta = \frac{W}{L} \times \mu \times C_{ox}$$

Avec  $W$  la largeur du canal,  $L$  la longueur du canal,  $\mu$  la mobilité des porteurs de charge et  $C_{ox}$  la capacité d'oxyde de grille.

Le point de séparation entre les deux régimes linéaire et saturé est appelé point de pincement. Il apparaît dès lors que :

$$V_{ds_{sat}} = V_{gs} - V_{th} \quad (3)$$

Où

$$I_{ds_{sat}} = \frac{1}{2} \times \beta \times (V_{gs} - V_{th})^2$$

Nous n'avons pas fait d'étude sur la validité de cette équation en cas de faible valeur de polarisation. Toutefois, nous pouvons déjà déceler une limite liée à la tension seuil. Où la tension de polarisation doit être supérieure à la tension de seuil pour que la formule soit valide. De plus, ces formules ne font pas intervenir la polarisation du substrat en FDSOI qui joue un rôle sur la tension de seuil et les performances du transistor. Lorsque le courant  $I_{ds}$  sature et n'augmente plus, il est alors indépendant de la valeur de  $V_{ds}$  si l'on néglige les effets de canal court. On dit que le transistor est en régime de saturation. Ce régime apparaît lorsque :

$$V_{gs} > V_{th} \quad \text{et} \quad V_{ds} > V_{gs} - V_{th} \quad (4)$$

Soit

$$I_{ds} = I_{ds_{sat}} = \frac{L}{L - X}$$

Avec

$$X = X_0 \times \ln\left(1 + \frac{V_{ds} - V_{ds_{sat}}}{V_{ds_{sat}}}\right)$$

et

$$X_0 = \sqrt{\frac{\epsilon_{si}}{\epsilon_{ox}} \times x_j \times T_{ox}}$$

C'est généralement dans ce régime de saturation que le transistor joue le rôle d'un interrupteur contrôlé en tension. Il laisse ou non passer une tension et un courant selon la tension de

grille  $V_{gs}$  qui lui est appliquée. On utilise ce mode de connexion pour contrôler un passage de courant fort par exemple depuis un micro-contrôleur. Le schéma équivalent du transistor devient alors un interrupteur accompagné d'une faible résistance série  $R_{ds_{on}}$ , comme il apparaît sur la figure 19.

Dans le cadre de nos travaux de collecte d'énergie, il nous sera nécessaire d'aborder la fonction de redressement de tension alternative (ou RF) en tension continue. Une configuration de transistor MOS nous intéresse dans cette optique : le cas où celui-ci est connecté en diode. A savoir lorsque la tension appliquée à la grille est la même que la tension appliquée sur le drain (voir figure 19). Le point de fonctionnement perd alors un degré de liberté mais la caractéristique I-V de diode est observée [28], [29]. Le transistor s'assimile alors à un dipôle et sa caractéristique primaire est similaire à celle d'une diode. La caractéristique  $I_{ds}$  en fonction de  $V_{gs}$  fait apparaître la tension de seuil. L'intérêt d'utiliser le transistor comme diode en technologie intégrée pourrait permettre une meilleure tension de seuil du fait que les parasites sur les composants montés en surface sont plus importants tels que les effets de couplage, résistance de contact, taille du dispositif et limites fréquentielles.

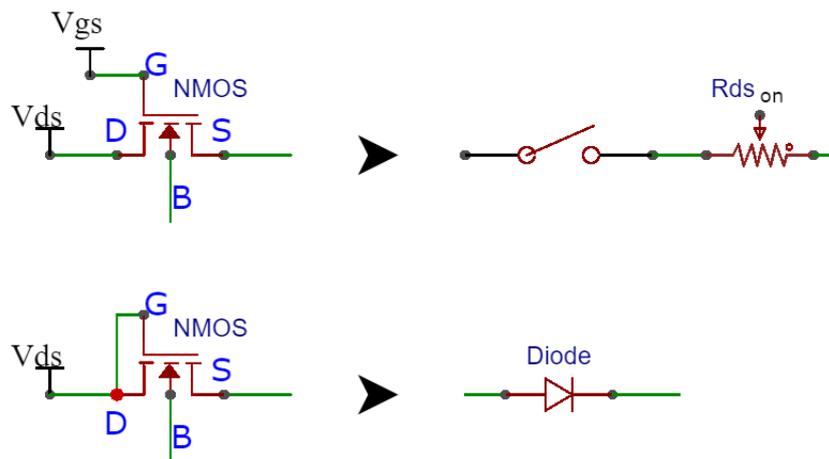


FIGURE 19 – Équivalence des modes de fonctionnement et connexions d'un transistor

### 2.5.2 Les caractéristiques I-V et les tensions de seuil

Les technologies, par le biais de leur transistors, sont définies par un certain nombre de caractéristiques qui leur sont propres. La plus évoquée quand il s'agit de transistor est la tension de seuil. C'est la tension minimale nécessaire à fournir à la grille pour qu'il y ait une conduction entre le drain et la source du transistor. La figure 20 montre les relevés des caractéristiques  $I_{ds}$  ( $V_{gs}$ ) pour quatre modèles de transistors intégrés considérés pour nos travaux (BULK 350 nm NMOS et FDSOI 28 nm LVT (Low Voltage Threshold), RVT (Regular Voltage Threshold) et LVT-RF. Ces transistors sont des NFET (Field Effect Transistor à canal N) dont les dimensions

$W$  et  $L$  sont celles par défaut dans la technologie et proches des limites minimales.

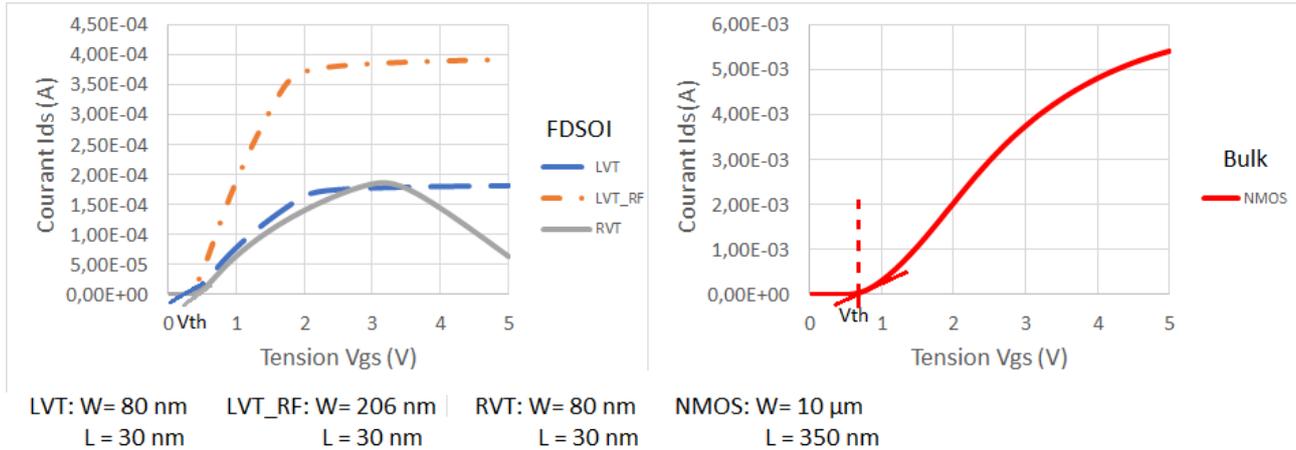


FIGURE 20 – Caractéristiques  $I_{ds}(V_{gs})$  selon les transistors des technologies BULK et FDSOI

La figure 20 montre que la technologie FDSOI 28 nm possède des transistors LVT et LVT\_RF avec des tensions de seuil bien en dessous des autres transistors. Ces tensions de seuil de 200 mV sont obtenues grâce à des petites dimensions des transistors mais aussi grâce à la composition des transistors LVT (absence de caisson P dans le substrat à contrario du RVT). Le transistor RVT à une tension de seuil de 400 mV et le NMOS en technologie BULK possède une tension de seuil  $V_{th}$  de 600 mV. Cette observation laisse déjà entendre que le transistor LVT sera favorisé pour les applications faibles puissances car son déclenchement se fait avec des tensions plus faibles. Et cela se confirme grâce au relevé des courbes  $I_d(V_{gs})$  de ces quatre transistors avec des dimensions égales sur la figure 21. C'est à dire que les dimensions des transistors LVT, LVT\_RF et RVT ont été augmentées à la dimension du transistor BULK NMOS qui est le plus gros avec une largeur de canal  $W = 10$   $\mu$ m et une longueur  $L = 350$  nm.

Sur la figure 21 on retrouve en dernière position le transistor BULK NMOS qui possède les moins bonnes performances au classement en termes de courant et tension de seuil. Cependant le transistor RVT est celui qui passe le plus de courant du drain vers la source, il a une tension de seuil qui s'approche de celle du NMOS. **Le meilleur compromis et la meilleure solution pour une application basse énergie est donc le transistor LVT qui possède à la fois une très basse tension de seuil et un bon courant de drain.**

Une autre caractéristique des transistors sont les courbes  $I_{ds}(V_{ds})$  pour différents  $V_{gs}$ . Ce sont les courbes qui délimitent les régimes de fonctionnement des transistors. Ces tracés sont disponibles sur la figure 22 et 23.

Sur les figures 20, 22 et 23, les ordres de grandeurs des courants  $I_{ds}$  ne sont pas les mêmes, car les largeurs de canal des transistors diffèrent. Cela a pour effet que certains transistors comme le LVT\_RF et le NMOS se retrouvent avec un canal de conduction plus large et donc un courant

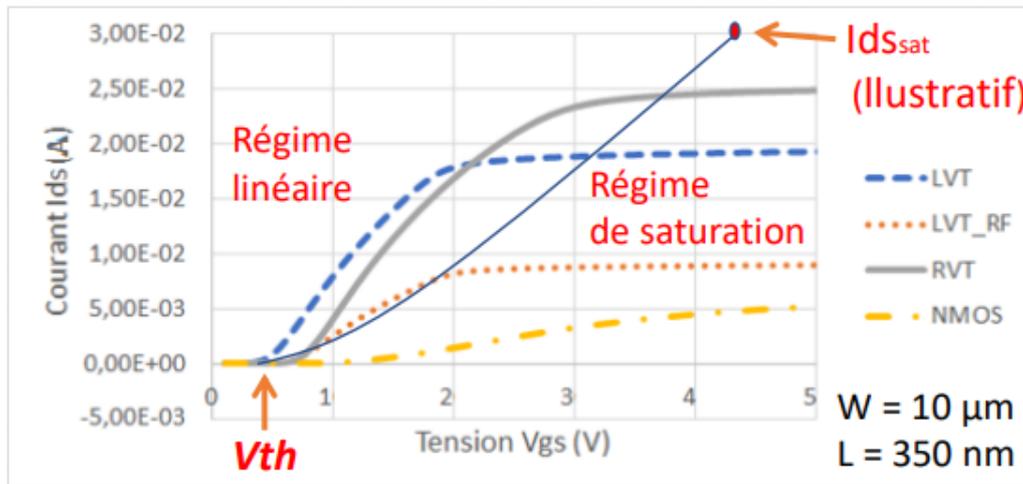


FIGURE 21 – Caractéristiques  $I_{ds}(V_{gs})$  selon les transistors des technologies BULK et FDSOI avec les mêmes dimensions  $W = 10 \mu\text{m}$  et  $L = 350 \text{ nm}$

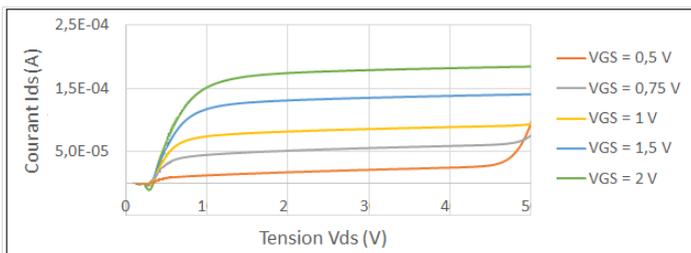


FIGURE 22 – Caractéristique  $I_{ds}$  de  $V_{ds}$  selon différentes valeurs de  $V_{gs}$  pour un transistor LVT de  $W = 80 \text{ nm}$  et  $L = 30 \text{ nm}$

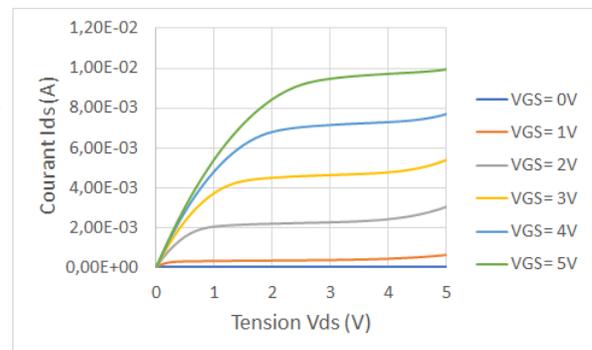


FIGURE 23 – Caractéristique  $I_{ds}$  de  $V_{ds}$  selon différentes valeurs de  $V_{gs}$  pour un transistor NMOS de  $W = 10 \mu\text{m}$  et  $L = 350 \text{ nm}$

plus important peut y passer. Pour le reste des études de ce chapitre nous n'étudierons que les transistors LVT et NMOS. Le LVT étant le transistor le plus performant et avec la plus petite largeur de canal possible disponible, et le BULK NMOS, son opposé dans l'étude.

### 2.5.3 Effet de la connexion substrat, polarisation de la grille arrière

À l'étude de la formation des transistors MOS de la technologie FDSOI, nous notons la présence d'une connexion du substrat. La technologie FDSOI 28 nm nous permet ainsi de polariser le substrat du transistor qui est assimilé à une grille arrière. Cela est possible grâce à la présence de la couche d'oxyde enterré  $\text{SiO}_2$  présente dans la formation du transistor, permettant alors un degré de contrôle supplémentaire. La première grandeur sur laquelle influe la polarisation du substrat est la tension de seuil. La figure 24 montre l'évolution de la caractéristique  $I_{ds}(V_{gs})$

selon la tension positive  $V_{bulk}$  appliquée au substrat d'un transistor LVT canal N.

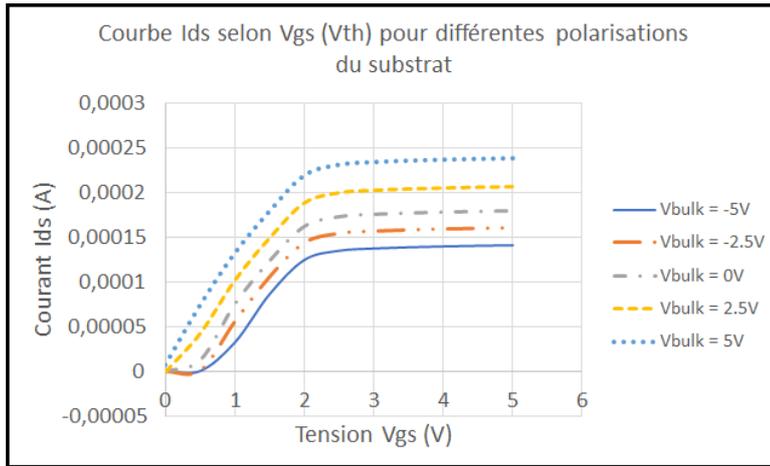


FIGURE 24 – Caractéristiques  $I_{ds}$  ( $V_{gs}$ ) selon la polarisation substrat du transistor LVT  $W=80$  nm et  $L=30$  nm

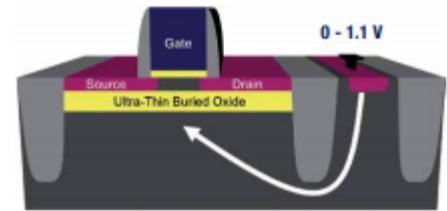


FIGURE 25 – Polarisation du substrat en vue de coupe d'un transistor FDSOI par ST [30]

Ainsi, la tension de seuil est diminuée avec une tension positive appliquée sur le substrat par exemple, pour une tension  $V_{bulk}$  de 2,5 V, la tension de seuil simulée est proche de 100 mV. Cela permet donc de réduire la tension nécessaire au passage de courant du transistor. Pour le cas d'une tension négative appliquée, la tension de seuil va augmenter mais les pertes par courants de fuite vont diminuer affirme la référence [14]. Cela est tout à fait logique car le substrat fonctionne comme une seconde grille. Avec une tension  $V_{bulk}$  positive, les pertes augmentent. Pour le constater, nous avons produit un signal carré d'amplitude et de fréquence arbitraire afin de passer le transistor en état ON et OFF. Nous montrons alors sur la simulations dans la figure 26 que le courant à l'état off du transistor configuré normalement et contrôlé par la grille est plus important de  $100 \mu A$  avec une tension  $V_{bulk}$  de 5V. L'effet inverse se produit pour une tension négative de  $V_{bulk}$ . On voit cependant sur la figure 26 que les pertes de courant dans le substrat restent très proche indépendamment de la polarisation ce qui limite les contraintes et l'utilisation de cette polarisation substrat au seul compromis de la tension de seuil et des pertes engendrées.

L'effet de la polarisation du substrat impacte aussi le transistor monté en diode. En effet, la tension de seuil étant abaissée, le signal redressé aura une valeur plus importante. Sur la figure 27, le substrat est directement connecté au drain, d'où il est directement polarisé avec la valeur de  $V_{ds}$ . Le substrat est alors dynamiquement polarisé dans le cas d'une tension  $V_{ds}$  fluctuante comme pour un signal RF par exemple.

Sur la figure 27, le redressement par simple diode est meilleur en utilisant une polarisation

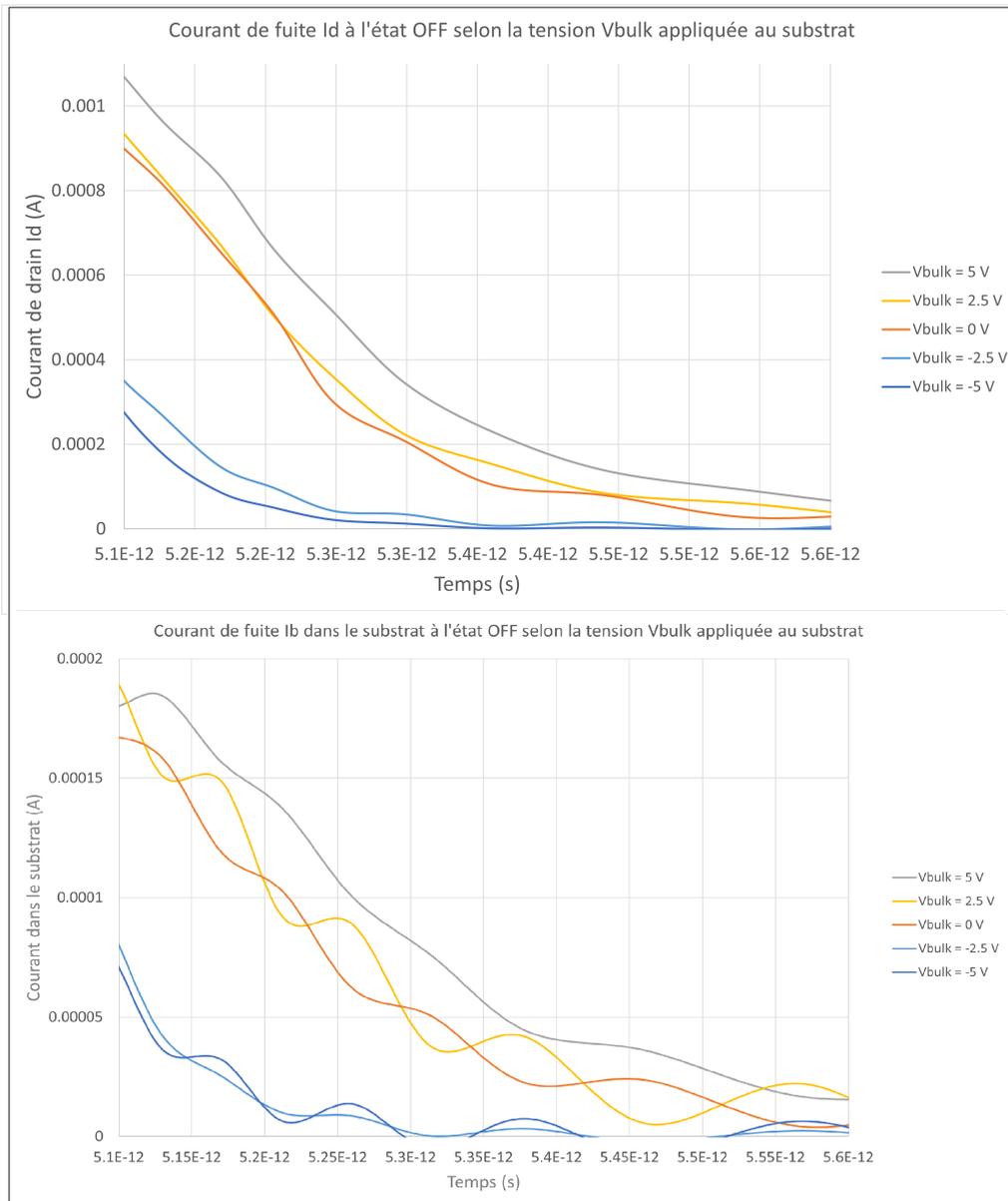


FIGURE 26 – Pertes à l'état "OFF" du transistor dans les courants de drain et bulk

connectée au drain. Cela se voit en observant l'amplitude du signal. Ainsi, comme montré sur la figure 26, cela permet de diminuer la tension de seuil et par conséquent d'augmenter les performances en redressement du transistor monté en diode.

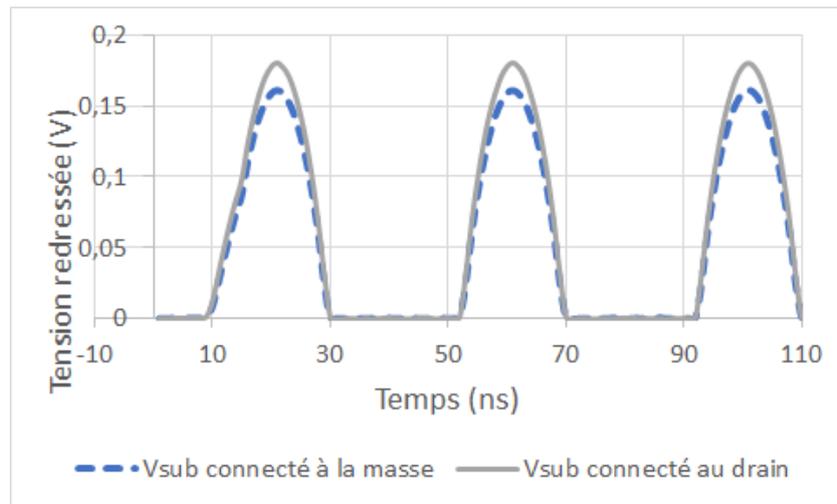


FIGURE 27 – Effet de la polarisation sur le redressement d'un signal alternatif par un transistor LVT en diode

#### 2.5.4 Les temps de commutations et courants aux états ON/OFF

Les pertes par courants de fuite d'un transistor sont définies par la nature du transistor à laisser passer le courant même lorsque ce dernier n'est pas dans un état de conduction. Il laisse passer une très petite quantité de courant qui peut plus ou moins être importante selon l'application visée. Les figures 28 et 29 montrent les courants dans les états ON et OFF des transistors FDSOI LVT et BULK MOS pour les canaux N et P. L'état ON représente les signaux avec un niveau de courant le plus haut, et l'état OFF ceux avec un niveau de courant le plus bas. Pour réaliser ces simulations, nous avons utilisé un signal carré passant de 0 à 1V permettant de passer le transistor de l'état OFF à ON. Une résistante de sortie permet de visualiser le changement d'état.

Les conditions de simulation pour la mesure des courants ON et OFF des transistors en technologies BULK et FDSOI sont les mêmes à l'exception des dimensions et des fréquences de commande de commutation qui sont propres à chaque technologie. La fréquence de commande de commutation des transistors BULK MOS en figure 29 est de 2 GHz et la commutation des transistors LVT en figure 28 est effectuée avec une commande à 10 GHz. La fréquence officielle maximale de la technologie BULK est donnée à 2 GHz. Cependant, nous n'avons pas d'information officielle concernant la technologie FDSOI. Ainsi, de ces courbes, il est aussi possible d'en déduire les temps de commutation. La figure 30 montre les grandeurs remarquables et la figure 31 montre les temps de commutation du LVT N, soit son temps de montée  $\tau_m$  (10% à 90% de la valeur finale du palier haut) et son temps de descente  $\tau_d$  (90% à 10% de la valeur finale du palier bas). On y définit aussi le temps de retard  $\tau_r$  et le temps de stockage  $\tau_s$ . Le temps de retard est le délai que va prendre le transistor avant d'appliquer la commande de commutation à l'état haut et le temps de stockage est le temps que va attendre le transistor

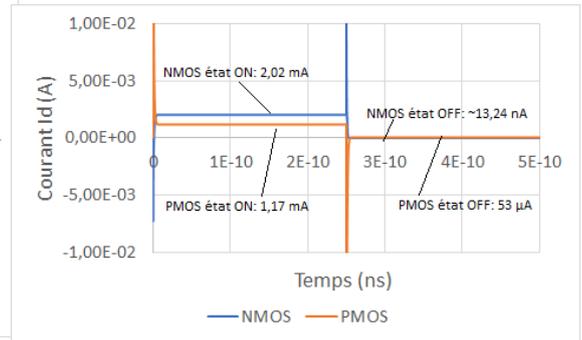
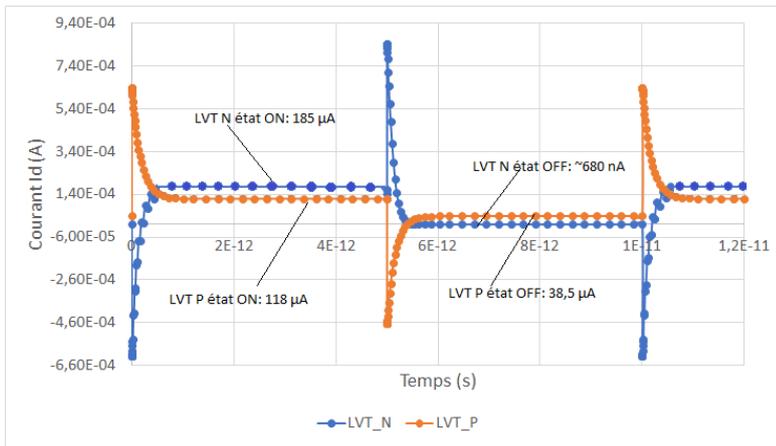


FIGURE 28 – Courants aux états ON et OFF pour les transistors LVT N et P en FDSOI 28 nm sans polarisation du substrat

FIGURE 29 – Courants aux états ON et OFF pour les transistors NMOS et PMOS en BULK 350 nm

avant d'appliquer la commande de commutation à l'état bas.

En technologie BULK, le transistor MOS possède quant à lui un temps de montée de 1,39 pico-secondes (ps), un temps de descente de 1,84 ps et on peut voir apparaître un temps de délai de 1,20 ps et un temps de stockage de 783 femto-secondes (fs), alors qu'en FDSOI les temps sont de l'ordre de quelques centaines de femto-secondes (cf figure 31). On peut alors dire que le transistor LVT N commute presque instantanément comparé au transistor NMOS. Afin de réaliser ces mesures de temps de commutation, il est nécessaire d'ajouter une charge purement résistive en bout du circuit sur la source du transistor. Car les technologies ayant des temps de commutation de transistors différents, les valeurs de charges nécessaires pour observer le signal sont donc différentes. Ces charges influent sur les temps de commutation de quelques femto-secondes et son influence est donc considérée comme négligeable. Pour le LVT N nous avons utilisé une charge de 100 k $\Omega$  et pour le NMOS nous avons utilisé une charge de 100  $\Omega$ .

### 2.5.5 Le comportement en température et fréquence

Dans l'étude des semi-conducteurs et de l'électronique en général, deux facteurs sont souvent critiques pour les performances. Il s'agit de la fréquence de fonctionnement et de la température ambiante. La température peut être parfois une condition extérieure non contrôlée comme le montre l'équation (1). Il nous a semblé intéressant de réaliser une petite étude sur les transistors LVT N et NMOS. Le relevé du courant Ids lorsque le transistor LVT N commute d'un état ON à OFF est montré figure 32 pour des températures allant de -144 degrés Celsius à +300 degrés Celsius. Les fréquences de commande de commutation utilisées sont les mêmes que dans la section précédente à savoir, 2 GHz pour le BULK NMOS et 10 GHz pour le FDSOI LVT N.

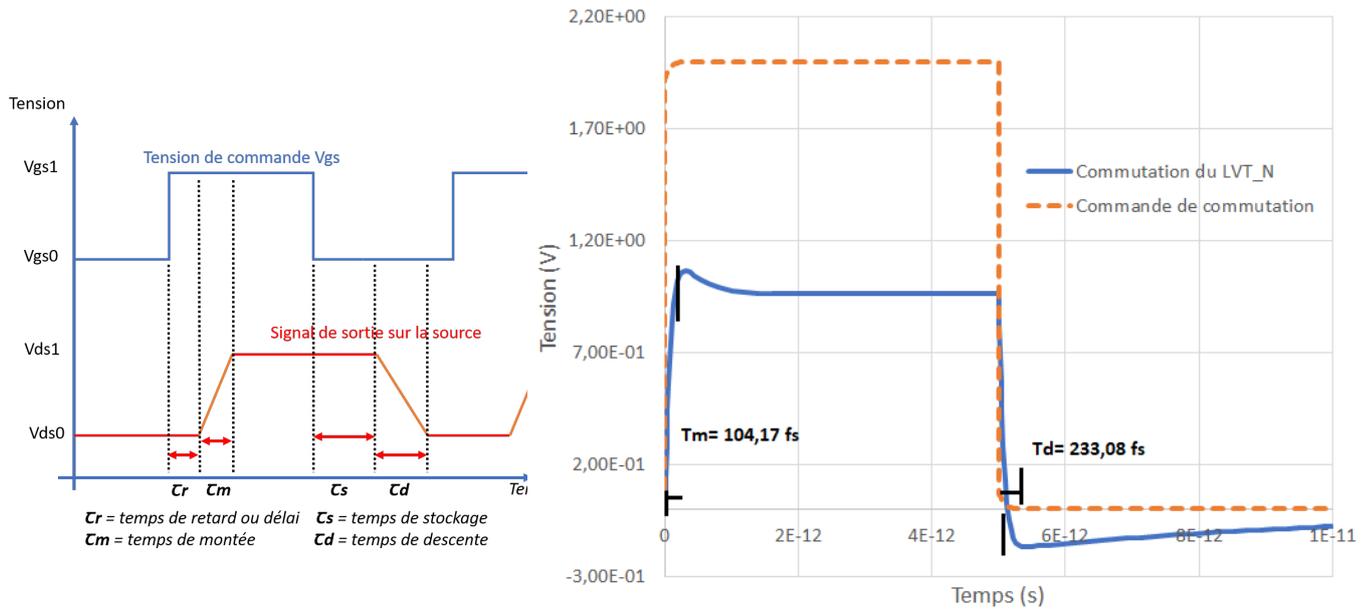
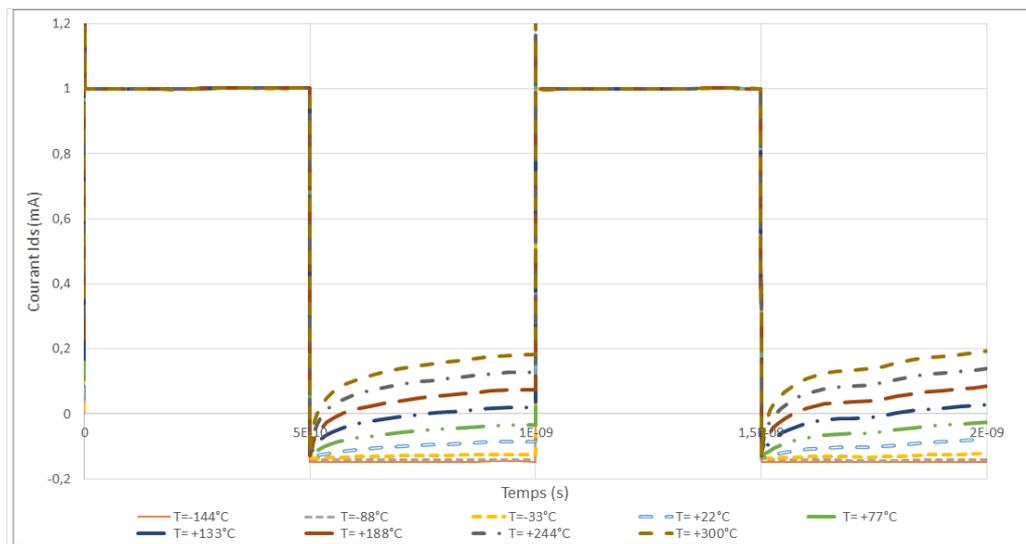


FIGURE 30 – Graphique de définition

des temps remarquables lors d'une commutation d'un transistor LVT N

FIGURE 32 – Relevé du courant  $I_{ds}$  lors de la commutation du transistor LVT N selon la température

Nous pouvons voir sur la figure 32 que la température n'a aucun effet lorsque le transistor est à l'état passant ON dans nos conditions d'étude. Cependant, lorsqu'il est à l'état OFF, plus la température est élevée plus le courant de fuite qui passe sera élevé. Les courants de fuite augmentent fortement avec la température. Le relevé du courant  $I_{ds}$  lorsque le transistor NMOS commute d'un état ON à OFF est tracé en figure 33 pour des températures allant de -200 degrés Celsius à +300 degrés Celsius. Ces valeurs extrêmes sont prises afin de mieux percevoir l'impact de la variation. La référence [31] apporte une analyse profonde sur de l'impact de la

température sur les transistors en FDSOI.

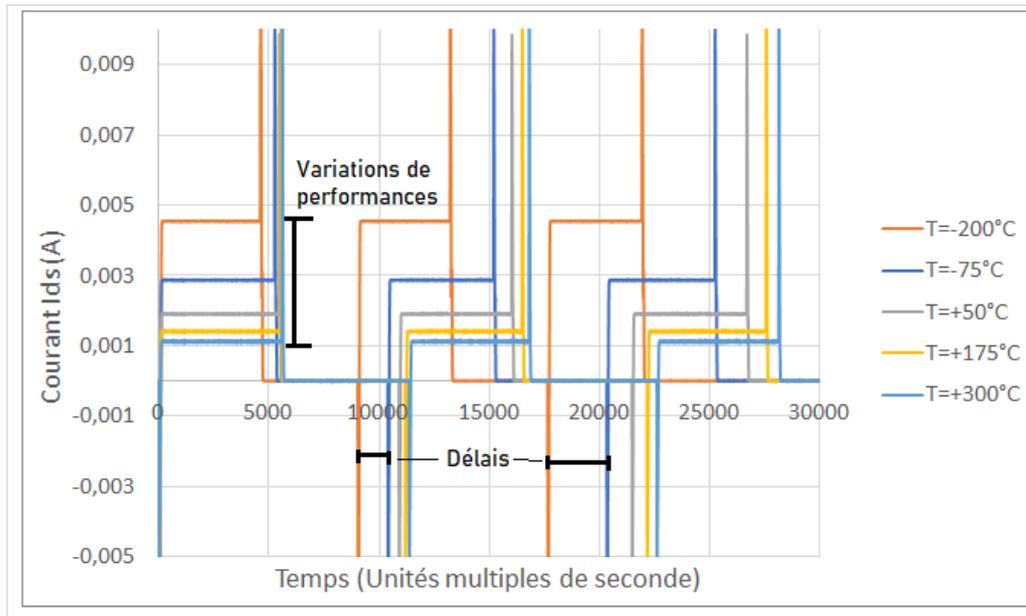


FIGURE 33 – Relevé du courant  $I_{ds}$  lors de la commutation du transistor NMOS selon la température

Nous pouvons voir sur la figure 33 que le comportement du transistor NMOS diffère du LVT N. Il n'y a aucun effet visible de la température sur le courant à l'état OFF cependant, le courant à l'état ON diminue fortement avec l'augmentation de la température. Nous constatons aussi, l'apparition d'un délai assez important selon la température ce qui diffère du transistor LVT en FDSOI. Nous pouvons toutefois statuer sur le fait que les performances des deux transistors FDSOI LVT N ou BULK NMOS sont bien meilleures dans des conditions de très basses températures comme c'est le cas pour la majorité des circuits en micro électronique. Plus les températures de jonctions sont basses, plus la quantité de courant qui passe sera importante. En revanche, si la température dépasse un certain seuil haut, alors la vitesse des porteurs de charges dans le canal du transistor se dégrade et impacte directement les performances [31]. Les limites de température sont définies par le logiciel de simulation mais ne représentent pas le cas pratique. Selon ST et AMS, les températures de fonctionnement maximales des circuits sont données à 125 degrés maximum. Dans notre étude, la température n'est pas un problème car nos circuits comportent peu de composants qui sont généralement assez espacés. Ainsi, il n'y a pas de puissance supplémentaire à dissiper hors puce. A contrario, les puces tels que les processeurs qui sont très denses et doivent obligatoirement posséder une solution de refroidissement importante.

Nous avons aussi étudié la fréquence maximale de commutation des transistors. Nous ne pouvons cependant pas proposer de relevé graphique car les fréquences étant très élevées, le

nombre de points calculés par le logiciel est très important et donc difficilement exploitable par des tableurs standards. Nous aurions pu peut être développé un script permettant de tracer ce nombre important de données sous un outil tel que Matlab ou en programmation Python. Toutefois, par observation, nous avons pu constater que le transistor NMOS ne commute plus proprement à partir de 40 GHz et que la commutation du transistor LVT N commence à se dégrader à partir de 500 GHz. Ces temps de montée et descente vont s'allonger jusqu'à ce que le signal en sortie sur la source du transistor soit presque semblable à un signal sinusoïdal de fréquence d'1 téra-Hertz. En fait, la commutation est tellement rapide que transistor ne peut pas suivre et reste dans un régime transitoire.

## 2.6 Conclusion

Ce chapitre introduit deux technologies intégrées : la CMOS BULK 350 nm standard et la récente CMOS FDSOI 28 nm. Ces deux technologies diffèrent de part leur taille de transistor et le process de fabrication. La technologie FDSOI possède des transistors LVT à faibles tensions de seuil qui ont des dimensions minimales jusqu'à 100 fois plus petites que les transistors MOS de la technologie BULK. Le transistor FDSOI LVT est le plus intéressant comparé au LVT\_RF et au RVT de la même technologie car il a la meilleure tension de seuil avec les dimensions les plus petites. La FDSOI permet d'avoir un contrôle sur le substrat du transistor qui agit comme seconde grille arrière et ainsi lui permet d'accroître ses performances. Le transistor LVT possède une meilleure tension de seuil lui permettant d'avoir de meilleurs résultats en redressement de tension (montage en diode). Cela fait de lui un candidat idéal pour la réalisation de circuits basses tensions. Le nœud technologique étant plus petit, le transistor LVT est beaucoup plus rapide que le transistor NMOS. Il peut atteindre des fréquences de fonctionnement à plus de 300 GHz comparé au transistors BULK limité à quelques GHz (2 GHz officiellement). Ainsi, pour le reste de notre étude nous garderons uniquement le transistor LVT en FDSOI et le transistor NMOS en BULK pour la comparaison qui sont les meilleurs et le pire cas à notre disposition. Toutefois, nous devons rappeler que les études qui ont été faites dans ce chapitre sont issues de simulations "schématiques". Il n'a pas été pris en compte les effets parasites propres aux technologies et les sources d'excitations sont considérées comme idéales.

### **3 Les structures de conversion RF-DC et DC-DC en technologies intégrées**

### 3.1 Introduction

Ce chapitre détaille l'état de l'art des structures d'études du coeur de la thèse à savoir les redresseurs RF-DC et les pompes de charge. Cet état de l'art permettra de choisir les structures qui seront réalisées avec les technologies intégrées vues au chapitre précédent 2. La première partie présente l'état de l'art des redresseurs RF-DC ainsi que la redresseur structure proposée. La seconde partie présente rapidement les structures communes de pompe de charge. Enfin, l'oscillateur, élément indispensable de la pompe de charge est présenté et un comparatif de structures de redressement RF-DC et DC-DC est proposé.

### 3.2 Les convertisseurs RF-DC

Le principe de conversion RF-DC est en pratique très simple. Nous l'avons déjà montré en partie sur la figure 27 où un élément non linéaire tel qu'une diode effectue le redressement d'un signal alternatif (AC). Pour produire un signal DC continu, il faut rajouter une capacité de charge, appelée aussi capacité de sortie  $C_{out}$ . Cette dernière va accumuler une charge suffisante pour produire une tension continue. Un exemple de structure de redressement appelée "redresseur série" est illustrée sur la figure 34. Dans notre cas d'étude, nous parlons d'un signal d'entrée RF qui sera principalement caractérisé par sa fréquence en Hertz fixée à 2,45 GHz et sa puissance exprimée en dBm. Dans le cas de notre étude nous ne nous intéresserons pas à l'amplitude du signal RF.

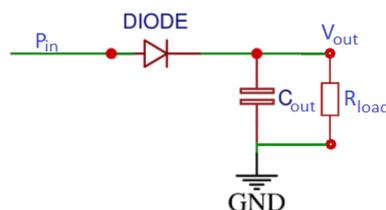


FIGURE 34 – Schéma d'un redresseur série

Ainsi, il est intéressant de définir certaines relations telles que la puissance de sortie  $P_{out}$  exprimée en Watt et le rendement  $\eta$ . La puissance de sortie d'un redresseur s'exprime par :

$$P_{out} = \frac{(V_{out}^2)}{(R_{load})} \quad (5)$$

Où  $V_{out}$  est la tension de sortie produite par le redressement et  $R_{load}$ , la charge. Le rendement est alors obtenu par :

$$\eta(\%) = 100 \times \frac{P_{out}}{P_{in}} \quad (6)$$

Où  $P_{in}$  est la puissance RF d'entrée du redresseur en Watt. Cependant, l'équation 6 ne tient pas compte des paramètres de la diode de redressement utilisée. Cette équation peut alors se réécrire [32], [33], [34] :

$$\eta(\%) = 100 \times \frac{P_{out}}{P_{in}} = B_o \times \sum_i P_{in} \quad (7)$$

Où  $B_o$  est dépendant des paramètres de la diode.

De manière générale, un circuit complet de redressement RF-DC, appelé rectenna, se compose :

- d'une antenne permettant de capter le signal RF et de le transformer en grandeur électrique,
- d'un circuit d'adaptation d'impédance permettant de maximiser le transfert de puissance entre l'antenne et le redresseur mais permet aussi de stopper les harmoniques retournant vers l'antenne de réception,
- d'un circuit de redressement à base de diodes et capacités de stockage,
- d'un filtre passe bas pour éliminer les harmoniques résultants qui créent des oscillations dans le régime établi,
- et enfin d'une charge.

Ces éléments sont visibles sur la figure 35.

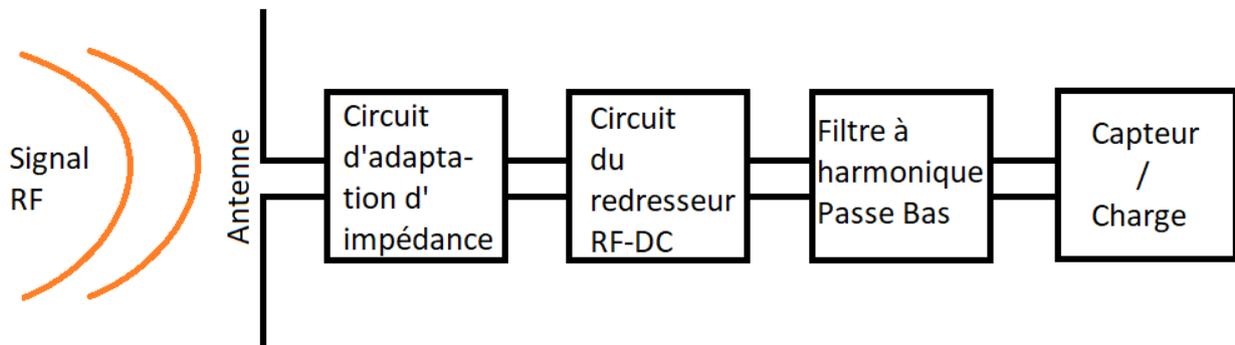


FIGURE 35 – Schéma bloc d'une rectenna

### 3.2.1 Le fonctionnement du redressement par diode

La fonction de redressement RF-DC est assurée par un composant primaire remplissant la fonction de diode c'est à dire un composant uni-polaire et polarisé laissant passer le courant dans un seul sens. La diode est aussi un semi-conducteur à base de jonction métal-semi-conducteur permettant le passage entre deux états de fonctionnement, bloqué ou passant. Le semi-conducteur utilisé est le plus souvent dopé N mais il existe aussi des configurations de diode dopées P ou avec un semi-conducteur intrinsèque (diode PIN) [35]. Les états de la diode sont contrôlés par la tension  $V_d$  aux bornes de la diode et le courant  $I_d$  qui la traverse. A ce

moment intervient la tension de seuil  $V_{th}$  qui correspond à la tension à laquelle la diode passe d'un état bloqué à un état passant. Ainsi, lorsque la diode sera passante, du fait de sa propriété uni-polaire, elle laissera passer le courant dans son sens de polarisation uniquement.

Dans le cas d'un signal d'entrée RF alternatif, la diode va récupérer uniquement la partie du signal positif ou négative correspondant à sa polarisation comme montré sur la figure 36.

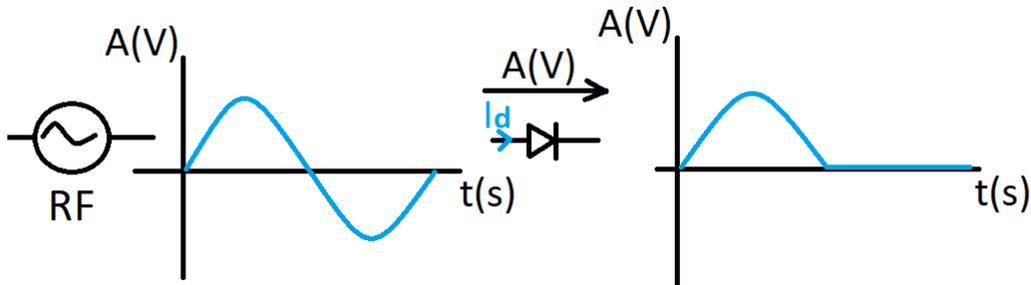


FIGURE 36 – Principe de fonctionnement du redressement par diode

Le redressement débute lorsque la tension d'entrée dépasse la tension de seuil  $V_{th}$  de la diode suivant une courbe caractéristique I-V qui est propre à chaque diode. Cette caractéristique est généralement fournie par le constructeur du composant. Cependant, la diode est aussi un composant non linéaire dont le comportement ne dépend pas d'une simple loi d'Ohm. Elle peut se représenter comme dans [32] sur la figure 37 par une résistance série  $R_s$ , une capacité de jonction  $C_j$  et une résistance de jonction  $R_j$ . Ces paramètres dépendent de la tension d'entrée. Les éléments parasites introduits sont une inductance série  $L_p$  et une capacité parallèle  $C_p$  pour un boîtier type SOT23 [36].

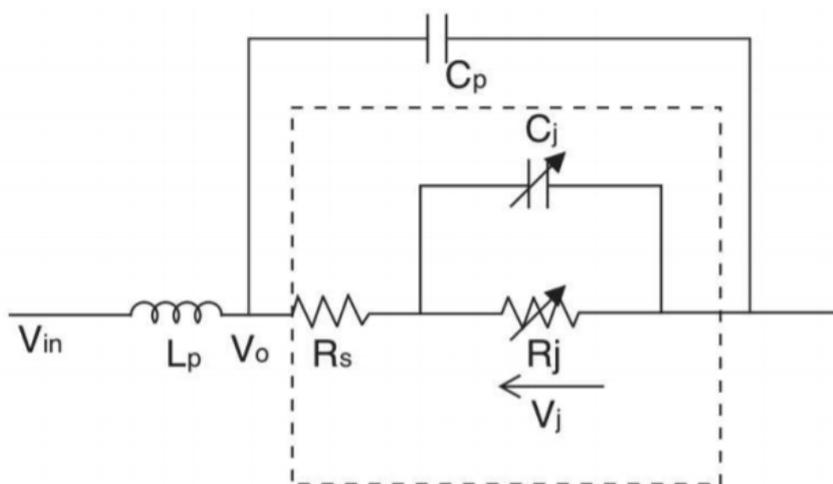


FIGURE 37 – Modèle parasitique de la diode [32]

Ce modèle est appelé modèle de Schokley. La caractéristique I-V correspondant à ce modèle est donnée par l'équation 8 [37] :

$$I_d = I_s \times \left( e^{\frac{V_j}{n \times V_t}} \right) - 1 \quad (8)$$

$V_j$  est la tension à travers la jonction de la diode exprimée en Volt.  $I_s$  est le courant de saturation de la diode exprimé en Ampère.  $V_t$  est défini par  $k \cdot T / q$  avec  $k$ , la constante de Boltzman,  $T$  la température absolue en degrés Kelvin et  $q$  la charge de l'électron.  $n$  est le facteur de qualité de la diode.  $I_s$  et  $n$  peuvent être directement obtenus de manière expérimentale en utilisant la caractéristique I-V [38].

Enfin, pour finaliser l'opération de redressement RF-DC, une capacité est ajoutée en parallèle de la diode. Cette dernière permet alors d'accumuler la partie du signal récupérée par la diode et de produire un signal continu DC. Ainsi, la tension aux bornes du condensateur se détermine par les équations 9 :

$$P = U(t) \times I(t) = \frac{dE(t)}{dt} \quad (9)$$

Avec  $E$ , l'énergie emmagasinée et  $P$ , la puissance équivalente, et

$$i_c = \frac{C \times du(t)}{dt} = \frac{dE(t)}{U \times dt} \quad (10)$$

Avec  $U$ , la tension aux bornes du condensateur, soit

$$dE = C \times U(t) \times dU(t) \quad (11)$$

En intégrant 11 on a :

$$E = \frac{1}{2} \times C \times U^2 \quad (12)$$

Finalement, la tension de sortie correspondant au redressement et à l'énergie emmagasiné dans la capacité s'écrit en 13 :

$$V_{\text{out}} = U = \sqrt{\frac{2E}{C}} - V_{\text{th}} \quad (13)$$

$P$  est la puissance fournie par la capacité en Watts.  $C$  est la charge de la capacité en Coulomb.  $U$  et  $i_c$  sont la tension et le courant aux bornes de la capacité.  $E$  est l'énergie emmagasinée dans la capacité et  $V_{th}$  est la tension de seuil de la diode. La représentation finale du redressement de la tension incluant diode et capacité et formant donc un redresseur série simple à 1 étages est montré figure 38.

Sur la figure 38, le fait que la tension DC redressée en pratique ne soit pas une constante (tracé rouge) vient du fait que des oscillations résultantes des harmoniques du à la diode et son comportement non linéaire sont injectés dans la tension de sortie. Ces harmoniques sont en général atténuées en optimisant la valeur de la capacité comme montré sur la figure 35.

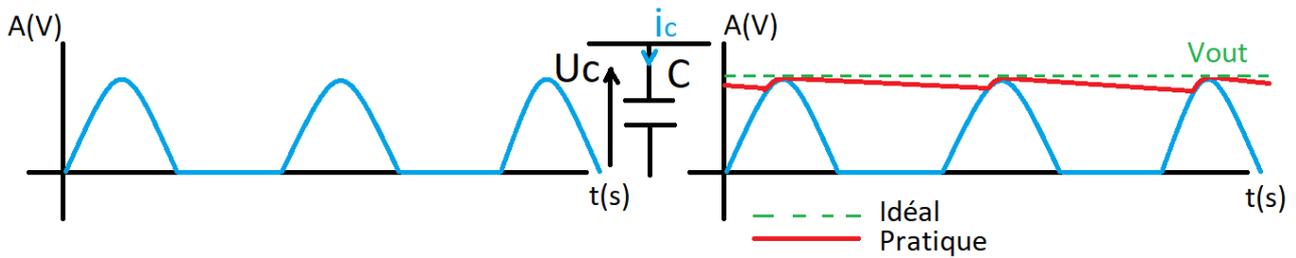


FIGURE 38 – Représentation d'un redressement de tension AC en signal DC

### 3.2.2 L'état de l'art : les structures de redresseurs intégrées

La littérature scientifique actuelle compte un bon nombre de topologies de redresseurs. Ces topologies sont pour la plupart optimisées pour des applications spécifiques ou choisies selon certains critères :

- encombrement de la topologie
- difficulté d'intégration
- élément de redressement
- adaptation d'impédance
- possibilité de cascade / mise en réseau
- performances pour l'application visée

Dans notre étude, nous avons pris en compte tous ces critères avec en priorité les performances pour notre application, la possibilité d'adaptation d'impédance et l'encombrement. Ainsi, six structures de redresseurs présentes dans le fondement de l'état de l'art seront présentées et comparées. Il s'agira alors selon les critères définis ci-dessus d'en tirer la structure la plus apte à permettre d'atteindre nos objectifs. Les structures présentées fonctionnent avec des diodes assurant le redressement du signal. Ces diodes peuvent être remplacées par des transistors, assurant la même fonction montrée en figure 19.

#### 3.2.2.1 Les redresseurs série et parallèle

Le redresseur série est la topologie la plus simple. Il suffit d'une diode de redressement en série et d'une capacité de stockage. On retrouve dans ces topologies le plus souvent des diodes Schottky, disposant d'une tension de seuil très basse ainsi qu'un temps de commutation court [39]. Il s'agit de la topologie la plus simple pour réaliser des rectennas compactes [40]. Cependant, à cause de la diode, ce circuit ne peut redresser qu'une alternance du signal entrant en fonction du positionnement de la diode. Il en va de même pour la topologie parallèle qui

visé à placer la diode en parallèle avec la capacité et la charge. La diode va alors redresser la partie négative du signal entrant dans le cas de la figure montrée 39. C'est pour cela que ces topologies sont aussi appelées "mono-alternance". De plus, dans l'opération de redressement, la diode consomme une partie de la tension égale à sa tension de seuil soit de l'ordre de 0,6 V pour les diodes standards et de 0,2 V pour les diodes Schottky. L'ajout d'un circuit d'adaptation d'impédance entre la source RF et la diode est plus que nécessaire afin d'avoir des performances acceptables. La figure 39 représente les schémas des structures série et parallèle.

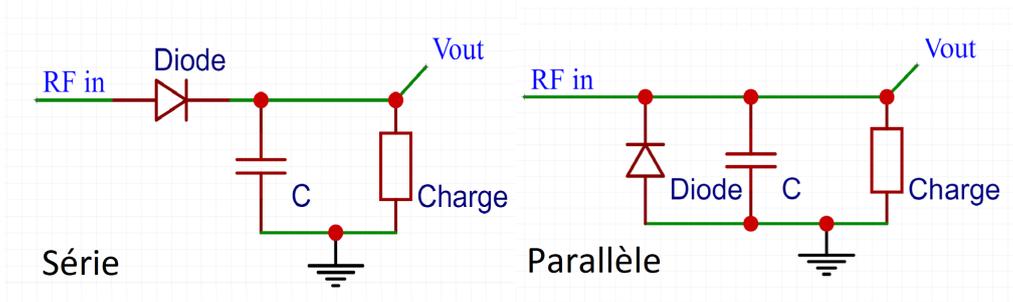


FIGURE 39 – Schéma des structures série et parallèle

Les structures mono-alternance sont les plus simples à réaliser y compris en technologie intégré où un simple transistor monté en diode effectue le redressement [41]. Elles sont toutefois capables d'atteindre des performances de l'ordre de 70% de rendement (puissance de sortie sur la puissance d'entrée du circuit) comme montré dans [42]. Une comparaison a été réalisée dans [43] entre un redresseur série et parallèle. Les auteurs ont conclu que les performances étaient très similaires et que seul la phase de réalisation et d'adaptation d'impédance selon l'utilisation visée pourrait départager les deux structures. Mais nous rajoutons aussi le fait que le point fonctionnement doit aussi être pris en compte ainsi que l'ajout de diodes supplémentaires dans le circuit ce qui a pour conséquences l'augmentation des pertes. Ainsi, en basses puissances, de manière générale, un circuit à une seule diode sera plus performante 47 .

### 3.2.2.2 Le redresseur double alternance

Le redresseur double alternance est l'addition d'un redresseur série avec un redresseur parallèle. Cette structure permet ainsi de redresser à la fois la partie positive et négative du signal entrant. De même que les structures distinctes, le redresseur double alternance possède une capacité de stockage pour chaque diode. La capacité parallèle de sortie permettra de stocker la charge résultante des deux opérations de redressement. En théorie, la tension de sortie de ce redresseur est deux fois supérieure à celle d'un redresseur "mono-alternance" selon [44], [45] en utilisant des diodes Schottky. C'est pourquoi on appelle aussi cette structure "redresseur doubleur de tension". Il existe aussi des structures variantes avec ajout d'une inductance à la

sortie afin d'éliminer complètement les harmoniques restantes [46]. Le schéma du redresseur doubleur est présenté sur la figure 40. La structure la plus connue de la littérature est le pont de Graetz [47].

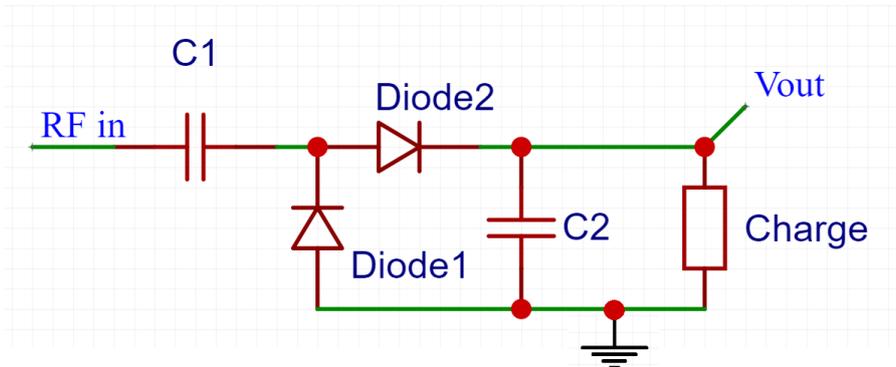


FIGURE 40 – Schéma du pont Graetz : redresseur double alternance

Le principe de fonctionnement est simple. Lorsque la tension d'entrée est positive, la capacité  $C2$  se charge avec la tension d'entrée et la charge issue de  $C1$ . Et quand la tension d'entrée devient négative, c'est  $C1$  qui se charge. La capacité  $C2$  doit alors être dimensionnée de sorte à pouvoir stocker les deux tensions issues de l'entrée et de  $C1$ .

La tension théorique de sortie à vide aux bornes de la capacité  $C2$  est donnée par l'équation 14 :

$$V_{\text{out}} = 2 \times V_{\text{inc}} - 2 \times V_{\text{th}} \quad (14)$$

Où  $V_{\text{inc}}$  est la tension de crête du signal d'entrée et  $V_{\text{th}}$  est la tension de seuil de la diode. L'équation (14) est considérée sans perte. La structure doubleur a été portée en technologie intégrée pour la première fois en BULK 65 nm par N. Weissman en 2014 [48]. En termes de performances, la structure de Weissman se trouve donc par les meilleurs redresseurs car elle double la tension d'entrée mais elle subit la chute de tension sur ces diodes.

### 3.2.2.3 Le redresseur "Inductor-Peaked"

Le redresseur "inductor-peaked" est réalisé à base d'un transistor monté en diode sur lequel une inductance est insérée entre la grille et le drain du transistor. Ensuite, il se compose d'une capacité et d'une charge de même manière qu'un redresseur série. L'inductance rajoutée permet d'accroître les performances et la sensibilité du redresseur selon la référence [49]. La valeur de l'inductance est calculée de sorte à ce qu'avec les capacités parasites  $C_{gs}$  et  $C_{gd}$  du transistor, elles forment un résonnateur à la fréquence d'entrée du redresseur [49]. La structure de redresseur "inductor-peaked" est présentée sur la figure 41.

Cette structure étant en grande partie un ajout à la structure de base de redressement, il est donc possible d'appliquer cette modification à d'autres structures, par exemple, au doubleur

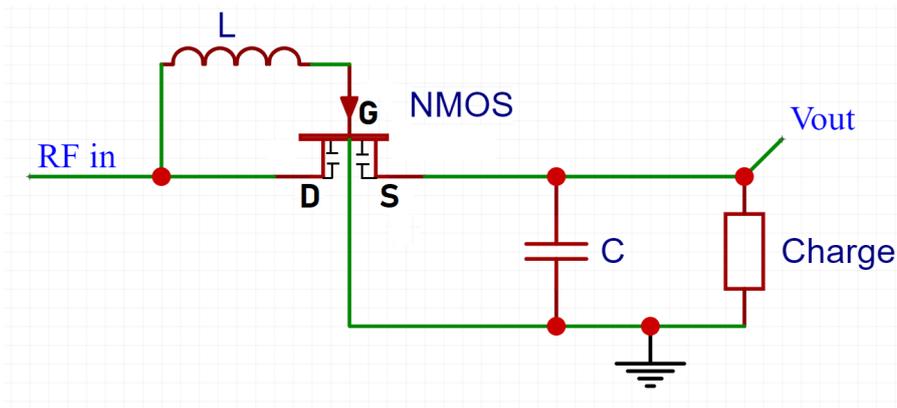


FIGURE 41 – Schéma d'un redresseur inductor-peak

de tension. On obtient alors un redresseur doubleur "inductor-peaked" [50]. Son avantage est malheureusement son inconvénient en cas de réalisation intégrée car les inductances prennent une place très importante sur la puce (coût monétaire).

### 3.2.2.4 Redresseur P-MOS à grille flottante

Le redresseur P-MOS à grille flottante est comme son nom l'indique composé par des transistors MOS à canal P. Ces transistors (D1 et D2 sur la figure 42) sont montés en diode par l'intermédiaire d'une capacité entre la grille et le drain. Cette capacité est réalisée par un transistor dont le drain et la source sont connectés ensemble. Sa valeur est alors équivalente à la capacité de grille  $C_g$  du transistor utilisé. L'intérêt de cette structure est de réduire la tension de seuil des transistors. Ainsi, lorsqu'une charge arrive sur la grille d'un transistor à grille flottante, cette charge reste piégée dans l'oxyde de grille à cause de la haute impédance générée par cette couche d'oxyde de grille [51], [52]. Dans cette structure, les capacités de charge et de sortie sont aussi réalisées grâce à des transistors. Le schéma est montré en figure 42.

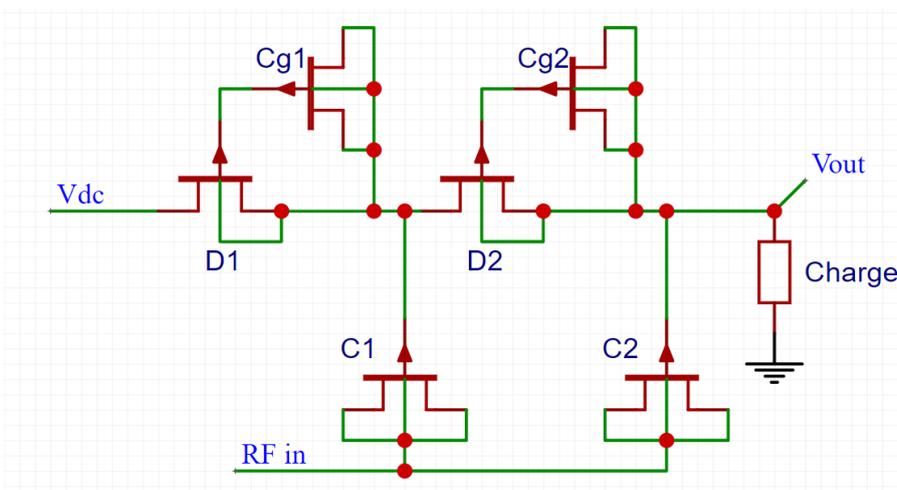


FIGURE 42 – Schéma d'un redresseur P-MOS à grille flottante

$V_{dc}$  représente la tension DC issue de l'étage précédent. Cette connexion étant reliée à la masse pour le premier étage du redresseur. Cette structure est faite pour être utilisée en cascade à la même manière qu'un redresseur Dickson [14]. Toutefois, l'avantage de cette structure est aussi son point faible en comparaison aux autres topologies car elle est limitée en performance par ses capacités inter-étages qui sont des transistors. Les valeurs de ces capacités se limitent alors aux capacités parasites internes des transistors qui sont au mieux de quelques femto-Farad [53] pour des technologies intégrées petites et incomparable avec des composants discrets.

### 3.2.3 Le redresseur avec technique de compensation de la tension de seuil (VTC)

L'opération de redressement de tension assurée par une diode ou un transistor monté en diode consomme une tension égale à la tension seuil de la diode ou transistor. C'est pourquoi dans certaines applications très basses tensions où toute chute de tension est importante, il faut avoir la plus basse tension de seuil possible. C'est pourquoi de nombreuses méthodes ont été mises en place pour tenter de compenser ces tensions de seuils et ainsi améliorer les performances des redresseurs [54], [55], [56]. Dans [54], la méthode requiert une tension d'entrée suffisamment élevée pour que le circuit puisse démarrer en plus d'utiliser une résistance de polarisation de valeur élevée. La méthode décrite dans [55], la structure de compensation souffre des mêmes contraintes que [54] avec en plus la nécessité d'un circuit externe pour générer une tension de polarisation et une horloge différentielle. La figure 43 montre le schéma correspondant au circuit de compensation de la tension de seuil.

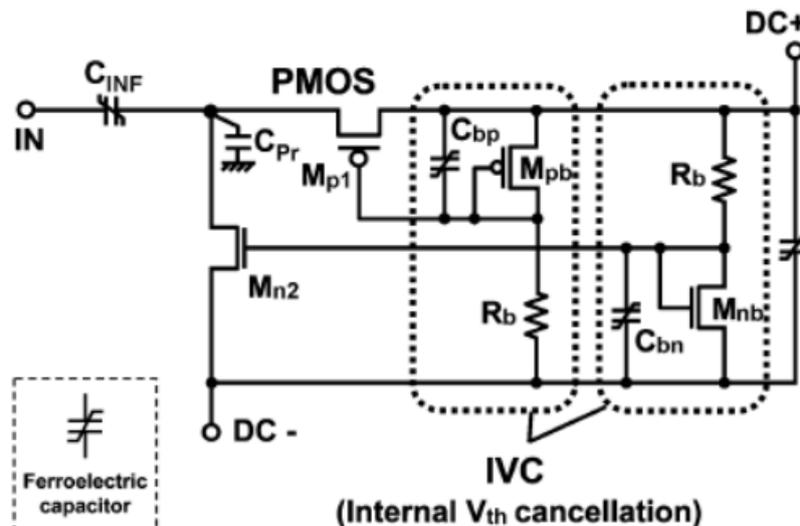


FIGURE 43 – Schéma de la technique de compensation de la tension seuil [54]

Comme le montre la figure 43, cette structure nécessite des capacités ferro-électrique, plusieurs résistances ainsi qu'une alimentation extérieure. Bien que cette alimentation puisse être

générée de plusieurs manières [54]- [57], il est plus intéressant d'avoir une structure de compensation autonome. C'est ce que propose [58], [57] et [59] avec une structure appelée "Self-Vth-cancellation method" ou technique de compensation autonome de tension de seuil montrée en figure 44.

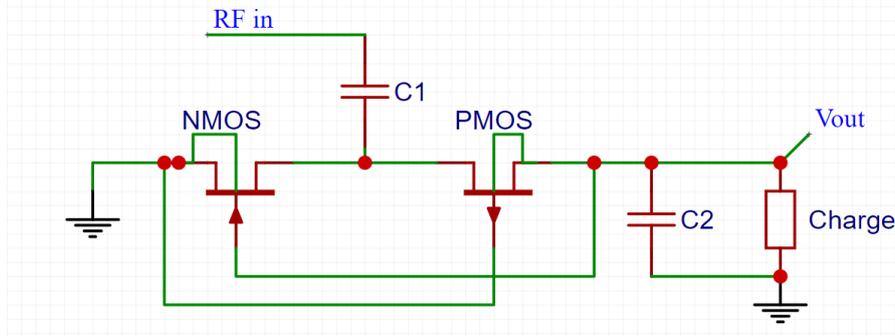


FIGURE 44 – Schéma d'un redresseur série avec technique de compensation autonome de tension seuil [57]

Ainsi pour compenser la tension de seuil des transistors, la méthode consiste à ne pas directement connecter le drain et la grille entre eux pour les transistors qui devraient être montés en diode. À la place, il faut fournir une tension entre drain et grille de sorte que le transistor fonctionne en régime linéaire. Cette structure est similaire au redresseur PMOS [60] mais les transistors sont contrôlés par rétroaction de l'étage supérieur afin de fournir une tension entre grille et drain. Dans le cas d'une réalisation en BULK, les transistors canal N ont leur substrat connecté à la masse et les transistors à canal P ont le leur connecté au potentiel haut. Prenons l'exemple d'un redresseur série à deux étages. Sa tension de sortie peut s'exprimer grâce aux équations (15),(16) et la référence [13] :

$$V_{out} = 2 * N * (V_{inc} - V_{ds}) \quad (15)$$

Avec  $V_{out}$  la tension de sortie du redresseur,  $V_{inc}$  la tension d'entrée,  $V_{ds}$  la tension entre drain et source et  $N$  le nombre d'étage. Soit :

$$V_{out} = 2 \times N \times (V_{inc} - V_{th}) \quad (16)$$

En appliquant la méthode de compensation de la tension de seuil, une tension  $V_b$  est introduite. L'équation de la tension de sortie du redresseur série à deux étages devient alors :

$$V_{out} = 2 \times N \times (V_{inc} - V_{th} + V_b) \quad (17)$$

Et lorsque cette tension  $V_b$  introduite est égale à la tension de seuil du transistor on obtient en théorie une compensation totale de la tension de seuil 18 :

$$V_{\text{out}} = 2 \times N \times (V_{\text{inc}}) \quad (18)$$

Il faut toutefois ne pas oublier que si la tension  $V_b$  augmente trop, les pertes par courant de fuite vont aussi augmenter significativement [14]. Dans [61], les auteurs ont étudié plusieurs structures de redresseurs dans le but d'une intégration en technologie intégrée BLUK 65 nm. La technique d'annulation de la tension de seuil est abordée pour des redresseurs séries à un et à deux étages. Les transistors utilisés sont des NMOS avec la particularité pour chaque transistor d'avoir un caisson N-Well profond lui permettant d'avoir sa propre connexion substrat. Cela est fait dans le but de réduire les variations de la tension de seuil entre les étages du redresseur en limitant leur connexion commune.

### 3.2.4 Structure proposée de Redresseur VCT à N étages

La structure de compensation de la tension seuil nous paraît être la plus intéressante pour notre cas d'étude car elle permet d'utiliser l'avantage de la polarisation du substrat en FDSOI. De plus, c'est une structure qui permet d'avoir les performances d'un redresseur doubleur sans avoir à subir la chute de tension liée aux diodes. Cette structure est aussi par ailleurs très compacte puisqu'un seul étage se compose seulement de deux transistors dont un en diode et de deux capacités. Cette structure sera moins compacte que la structure à grille flottante mais devrait permettre de fournir une tension de sortie plus importante du fait de la non limitation des capacités. La figure 45 montre le redresseur avec technique de compensation de la tension seuil proposé. Ainsi, pour pouvoir appliquer la polarisation du substrat au transistor de redressement PMOS sur la figure 44 nous avons remplacé ce dernier par un transistor NMOS en suivant les résultats du chapitre 2 2.5.3 sur la polarisation du substrat et son effet sur la tension de seuil du transistor. En gardant le transistor PMOS, nous aurions eu moins de pertes mais aussi des tensions seuil plus élevées et finalement de moins bonnes performances, ce qui aurait entraîné une baisse globale des performances de la chaîne de redressement vue en figure 4.

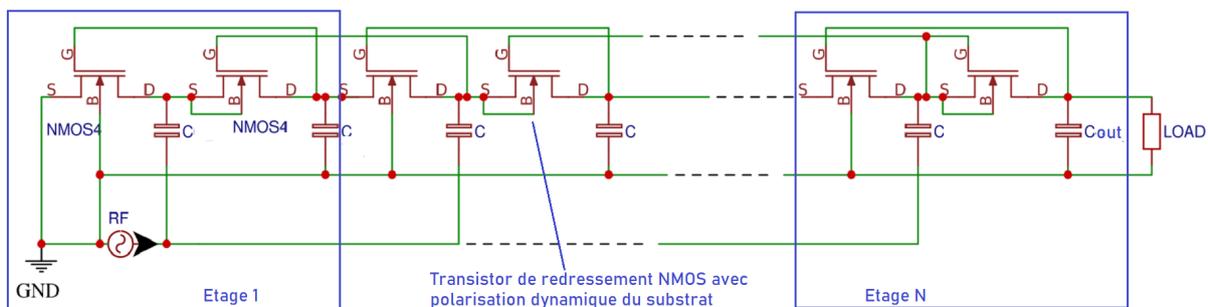


FIGURE 45 – Redresseur proposé avec technique d'annulation de la tension de seuil et polarisation du substrat

En mettant en cascade les étages de redresseurs VCT de la façon montrée sur la figure 45, chaque étage profite d'une rétroaction sur l'étage précédent. Cette rétroaction permet de faciliter le démarrage du redressement. Le dimensionnement et l'étude de cette structure selon les différents paramètres tel que la puissance d'entrée, taille de transistors, capacités, nombre d'étages et charge est disponible dans le chapitre 4 (4.5). La structure proposée n'est pas la plus intéressante en termes de performances. Mais nous l'avons choisie car elle regroupe plusieurs critères importants tels que son empreinte physique, sa tension de sortie et la facilité à être adaptée en impédance d'entrée. En effet, les appareils de mesure étant généralement en  $50 \Omega$ , nous voulons que notre circuit soit aussi en  $50 \Omega$ . Une réponse apportée à cette problématique par la structure proposée est que le fait d'augmenter le nombre d'étage du redresseur VCT permet de réduire l'impédance d'entrée. Cette étude est montrée au chapitre 4 3.2.5.

### 3.2.5 L'adaptation d'impédance d'entrée et son importance en technologie intégrée

Dès lors que des signaux radiofréquences sont impliqués il est important de traiter la question de l'adaptation d'impédance entre la source du signal radiofréquence et le redresseur. L'adaptation d'impédance permet par le biais de lignes microrubans (lignes sur circuit PCB classique)<sup>7</sup> de différentes formes appelés "stub" [62] ou d'éléments discrets [63] de maximiser le transfert d'énergie entre la source et le circuit à adapter. Dans le cadre d'une rectenna où la source du signal radiofréquence provient d'une antenne, cette adaptation doit se faire en faisant un compromis entre la bande passante valable de l'adaptation d'impédance (plage de fréquence ou mono-fréquence) et entre les éventuelles pertes d'insertions dues au circuit d'adaptation lui-même [32], [64]. Le circuit d'adaptation est positionné avant le redresseur comme montré sur la figure 46. Le circuit d'adaptation fait liaison entre deux éléments d'impédances différentes. De manière générale, et notamment pour la topologie série, le circuit d'adaptation discret le plus utilisé est un réseau composé de deux éléments avec une inductance en série et une capacité parallèle. Les valeurs de ces éléments sont déterminées par l'impédance d'entrée du redresseur à compenser vis-à-vis de celle de la source. Pour cela, on utilise le diagramme de Smith, un outil montré en référence [65]. Cette opération est le plus souvent réalisée de manière logicielle à l'aide par exemple d'Agilent Advanced Design Software (ADS) qui propose cet outil de calcul. Il permet alors de calculer les valeurs des éléments discrets mais aussi des dimensions de lignes microstrips nécessaires pour l'adaptation d'impédance.

Enfin, dans notre cas d'étude en technologie intégrée, nous poserons la question de faisabilité du circuit d'adaptation. Car bien qu'il soit très facile à implémenter sur un PCB standard, il

7. PCB : Printed Circuit Board, circuit imprimé)

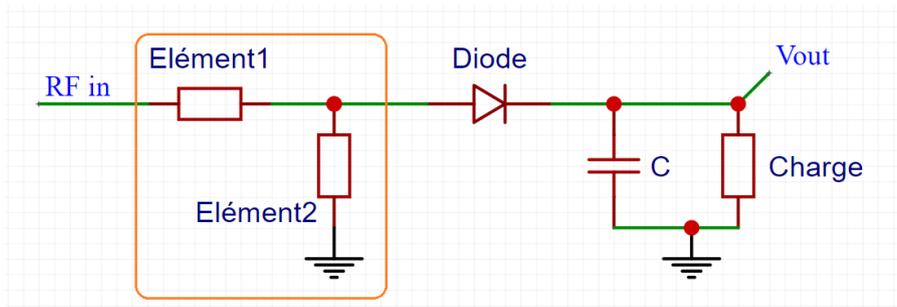


FIGURE 46 – Positionnement du circuit d'adaptation d'impédance devant un redresseur série n'en est pas de même en technologie intégrée où il faut prendre en compte l'espace physique nécessaire pour le réaliser en plus des effets parasites. Il faut également prendre en compte l'adaptation à 50 ohms des appareils de mesures.

### 3.2.6 Performances des redresseurs

Cette section fait état de l'art des performances des redresseurs RF selon leur topologie et le type d'élément de redressement utilisé. De manière générale, les auteurs de [66] montre sur la figure 47 l'efficacité de redressement qu'il est possible d'obtenir avec des redresseurs composés de différents types d'éléments de redressement.

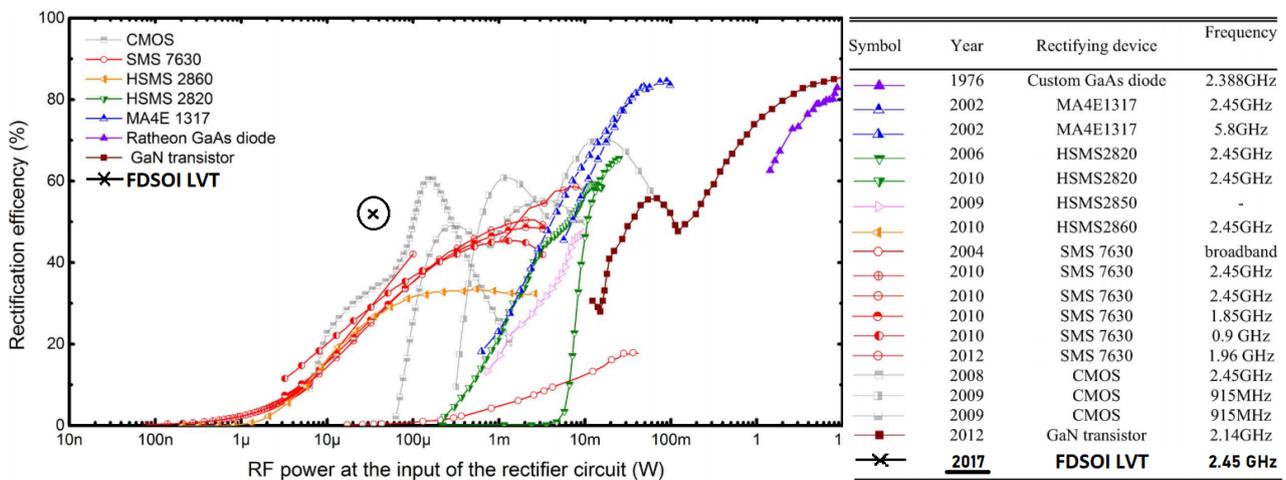


FIGURE 47 – Efficacité de redressement selon la technologie de l'élément de redressement en 2014 [66]

Sur la figure 47, on voit que les meilleures performances en basses puissances sont atteintes pour des circuits de redressement à base de transistors. Le transistor GaN arrive en tête avec une efficacité de redressement à plus de 80% et le transistor CMOS est en 4ème position avec 70%.

Cependant, il faut remarquer dans la littérature deux approches aux performances. La première

est la performance au rendement comme par exemple dans la revue des structures [67] où l'on va chercher à avoir le meilleur rendement possible dans des conditions données. La seconde, est l'approche applicative, où l'on va chercher à obtenir les performances voulues pour une application visées, quel qu'en soit le rendement puisque les conditions sont définies par l'application comme dans [68] pour le cas d'un implant biomédical. Ces études sont réalisées avec des conditions différentes, optimales à chaque circuit. Cela fait que les courbes d'efficacité de redressement montrées figure 47 pour différentes technologies de diodes reste une comparaison générale. Dans cette optique de comparaison, nous avons proposé un redresseur doubleur pour une charge de  $10\text{ k}\Omega$  optimale et une puissance d'entrée de  $-15\text{ dBm}$  optimale. Il obtient une efficacité de  $52\%$  à une puissance d'entrée de  $-15\text{ dBm}$ . L'impédance du redresseur est adaptée idéalement et permet à notre circuit de proposer les meilleurs performances en basses puissances par rapport aux autres technologies comparées sur la figure 47. Toutefois, nous rappelons que notre intérêt se porte à la puissance de  $0\text{ dBm}$ .

### 3.2.6.1 Performances des redresseurs intégrés

Cette section est dans la continuité de la comparaison montrée en figure 47. En effet, l'étude menée dans cette thèse porte uniquement sur des structures qui seront amenées à être intégrées dans le cadre de la récupération d'énergie RF. C'est pourquoi nous nous concentrons principalement sur l'état de l'art des structures de redresseurs intégrées dans ce domaine. Dans la littérature on retrouve des études similaires [67] et [69]. Le tableau 1 ci-dessous fait état de l'art de structures intéressantes selon différents critères de comparaison.

Travaux	Technologie	Structure	RF in	Fréquence	Nb étages	Charge	Rendement / Vout
[59]	180 nm CMOS	IVC PMOS	-	402 MHz	2	-	1,4 V
[67]	65 nm CMOS	Cross Connected	-6 dBm	900 MHz	3	100 k $\Omega$	64%
[68]	180 nm SOI	Series	1V in (amp max)	434 MHz	3	20 $\mu$ A	1,7 V
[69]	180 nm CMOS	Modular Adaptive IVC	-8 dBm	902 MHz	1	200 k $\Omega$	33% / 2,5 V
[70]	65 nm CMOS	DC Boosted Gate	500 mV in (amp max)	2,45 GHz	1	2,2 k $\Omega$	48,9% / 1,7 V
[71]	180 nm CMOS	Coupled IVC	350 mV in (amp max)	915 MHz	2	0,9 $\mu$ F	1,1 V
[72]	130 nmos CMOS	Cross Coupled	-16 dBm	915 Mhz	10	500 k $\Omega$	42,8% / 2,32 V
[73]	90 nm CMOS	Differential Cross Coupled	350 mV in (amp max)	950 MHz	1	50 k $\Omega$	73,5%
[74]	250 nm SOS CMOS	Cross Coupled	-4 dBm	915 MHz	1	30 k $\Omega$	71% / 0-3 V
[75]	130 nm CMOS	Cross Coupled	-17 dBm	850 MHz	3	100 k $\Omega$	70% / 1 V
[14]	28 nm FDSOI	Dickson	-6 dBm	915 MHz	1	4 k $\Omega$	31%
<b>Ce travail</b>	<b>28 nm FDSOI</b>	<b>Doubleur</b>	<b>- 15 dBm</b>	<b>2,45 GHz</b>	<b>1</b>	<b>10 k<math>\Omega</math></b>	<b>52%</b>

TABLE 1 – Tableau comparatif de structures de redresseurs intégrés

La structure qui revient le plus souvent en technologie intégrée est la structure à grille croisée "Cross Coupled". C'est elle qui à notre connaissance selon la littérature apporte les meilleures performances en termes de rendement avec un maximum à 71% montré dans le tableau 1. Mais elle est aussi complexe à étudier et à mettre en cascade. De plus, cette structure nécessite quatre signaux d'horloges différents afin de commander ces transistors. L'étape la plus difficile serait alors de concevoir le générateur d'horloge plutôt que le redresseur en lui même. De plus, ce générateur d'horloge nécessiterait aussi une alimentation. Cette structure ne correspond donc pas à notre application de vouloir récupérer de l'énergie en basse puissance.

### 3.2.7 Conclusion

Dans cette section nous avons montré quelques structures de redresseurs RF-DC qui sont plus ou moins basées sur les mêmes fondements et font appel à des éléments primaires inchangés nécessaires au redressement tels que la diode et la capacité. Ces structures évoluent pour s'implémenter en technologie intégrée grâce au montage du transistor en diode. Ce passage permet d'apporter au composant bipolaire qu'est la diode deux connections supplémentaires (grille et substrat) qui peuvent être modifiées et ajustées pour optimiser les performances comme le montre la technique de compensation de la tension de seuil du transistor. Ainsi, même si la littérature montre que la topologie la plus intéressante en terme de rendement est celle du redresseur à grille croisée, nous gardons en tête le fait de rester sur une topologie plus simple telle qu'un redresseur série sur lequel la technique de compensation de la tension seuil peut être appliquée plus facilement. De plus, les comparatifs que nous avons montrés des redresseurs selon différentes diodes ou topologies, donnent des résultats prometteurs pour notre étude en FDSOI.

## 3.3 La pompe de charge : un convertisseur DC-DC

### 3.3.1 Présentation

Dans les applications d'alimentations, le redresseur est souvent accompagné d'une pompe de charge permettant d'élever la tension à un niveau suffisant pour l'application. Car la tension uniquement issue du redressement AC-DC est peu intéressante en l'état. La pompe de charge est un convertisseur DC-DC aussi connu sous le nom de multiplicateur de tension. La structure de base a été inventée par H. Greinacher en 1913 [76] et le multiplicateur est intervenu pour la première fois en 1919. Le nom de doubleur de tension lui est parfois donné pour des applications en réseau électrique urbain. Le schéma du doubleur de tension est montré sur la figure 48.

Cependant, ce circuit a été redécouvert en 1932 par J. Cockroft et E. Walton dans le but

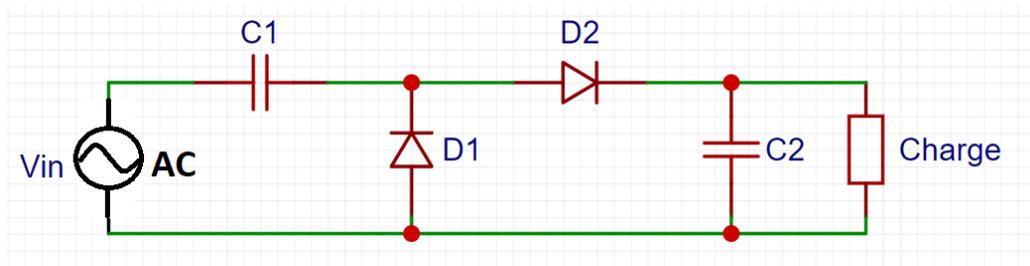


FIGURE 48 – Structure de Greinacher, Cockcroft et Walton 48

d'expérimentation sur la désintégration nucléaire [77]. Enfin, en 1976, J. F. Dickson introduit sa pompe de charge [78]. C'est une version modifiée du multiplicateur de Greinacher dans laquelle le signal d'entrée est un signal continu et non un signal alternatif. Cependant, le circuit recourt à des horloges pour la commande des capacités. Par la suite, d'autres structures de pompes de charge ont vu le jour comme la structure de Fibonacci [79], Makowski [80] ou Starzik [81]. Les circuits de pompe de charge sont grandement utilisés dans les mémoires Flash afin d'avoir une tension suffisamment élevée pour effacer la mémoire. Des tensions jusqu'à 10 V sont nécessaires à cette opération. La tension s'élève petit à petit puis est relâchée pour surcharger l'isolant contenant l'électron et donc l'information à stocker [82].

### 3.3.1.1 Les critères de comparaison

Dans le cadre de la pompe de charge intégrée, plusieurs critères de comparaison et conception sont à prendre en compte. Ces critères sont plus ou moins importants selon la finalité de l'étude : applicative ou démonstration de performances. Les critères sont listés ci-dessous :

- La taille du circuit intégré

La taille physique du circuit est un critère très important. Elle est fixée en fonction de l'espace disponible pour la réalisation qui est lui même fixé par le tarif de réalisation de la puce fixé par le Centre Multi Projet (CMP) dans notre cas [83]. Dans notre cas, nous avons une dimension minimale de  $1 \text{ mm}^2$ . Ainsi, selon les technologies intégrées et la dimension des transistors, on préférera maximiser l'espace et placer autant de circuits à tester que possible, plutôt que de laisser de l'espace non utilisé. Il faut toutefois savoir que les éléments qui sont les plus gourmands en espaces sont les capacités et les inductances.

- Le gain en tension [84]

Le gain de multiplication de tension fourni par la pompe de charge est un facteur important, il augmente généralement avec le nombre d'étage en commençant par doubler la tension à la

sortie du deuxième étage. C'est pour cette raison que les structures multiplicateurs de Dickson à deux étages sont appelées "doubleurs de tension". Ce critère dépend de la finalité de l'étude, soit atteindre le gain le plus élevé soit trouver le gain optimal dans le but d'une application spécifique. Une étude sur le gain en tension en fonction du nombre d'étage est présentée dans le chapitre 4 67.

- La puissance d'entrée / sortie

La puissance d'entrée dépend de la source de tension d'entrée. Cette dernière doit fournir suffisamment de courant pour que la tension de sortie de la pompe de charge soit maintenue (selon la charge utilisée) et qu'il n'y est pas d'effondrement de la tension de sortie produite par la pompe de charge. Parfois, à la manière d'un redresseur RF-DC il est intéressant de regarder l'impédance d'entrée afin de voir si un circuit d'adaptation est nécessaire pour maximiser la puissance de sortie. Dans le cadre d'une association redresseur-pompe charge, nous allons concevoir le redresseur avec une telle charge de sortie pour qu'il soit adapté à l'impédance d'entrée pompe de charge.

- La tension DC d'entrée / startup

La pompe de charge est un convertisseur DC-DC et fait parti de la famille des éleveurs de tension. Elle fonctionne avec des diodes ou des transistors montés en diode qui ont des tensions de seuil. Ainsi, afin de pouvoir opérer correctement, la tension d'entrée fournie doit le plus souvent être égale ou supérieure à la tension de seuil des composants utilisés. Dans le cas contraire, ces composants ne fonctionnent pas. Par exemple, si la tension d'entrée est inférieure à la tension seuil d'un transistor, celui-ci ne peut pas devenir passant.

- La charge optimale [81]

La notion de charge optimale dépend de la finalité de l'étude et de l'objectif. Ainsi, si l'objet de l'étude est de maximiser le rendement afin de statuer sur la performance maximale d'une structure de pompe de charge, alors un processus de simulations et mesures de recherche de charge optimale doit être effectué. En technologie intégrée, il s'agira de réaliser des simulations paramétriques. Cependant, dans le cas où la pompe de charge doit servir à une application précise comme dans notre cas pour participer à l'alimentation d'un capteur, la charge sera alors fixée à celle du capteur (la charge est le capteur). On ne parlera alors plus de charge optimale mais de paramètres optimaux pour les autres composants de la pompe de charge telles que capacités et le dimensionnement des transistors.

- Le courant de sortie

Les pompes de charge peuvent fournir des courants de sortie de plusieurs milliampères [85]. Ce sont des circuits pouvant proposer de bonnes performances que ce soit à faibles tensions ou fortes tensions. Le courant de sortie dépend de la charge, du dimensionnement des transistors, de leur caractéristiques I-V (pour des transistors en diode), de la puissance et du signal d'entrée.

- Taux d'ondulation de sortie

Le taux d'ondulation de sortie représente la variation de tension observable sur le signal de sortie. Ce paramètre est aussi important car il définit le taux d'ondulation acceptable pour le signal de sortie. La pompe de charge requiert des horloges complémentaires qui fournissent les commandes de déclenchement de charge et décharge des capacités. Ainsi, à cause de ces horloges introduisant un signal AC, à la même manière qu'un redressement RF-DC ou AC-DC à base de diode, il arrive que des harmoniques résultantes de la conversion soient toujours présentes dans le régime établi. Ces ondulations sont généralement acceptables en dessous de 5% de la valeur de tension finale établie. Les paramètres principaux à prendre en compte pour réduire les ondulations sont la valeur de la capacité de sortie et de la fréquence d'horloge qui doit être suffisamment élevée en technologie intégrée. En effet, la capacité de sortie agit aussi comme un filtre passe bas. On pourrait aussi introduire l'effet d'une oscillation sur la tension d'entrée, cependant, ce phénomène n'est pas forcément significatif du fait que le signal va passer par plusieurs diodes de redressement qui vont lisser l'oscillation.

- Temps d'établissement

Le temps d'établissement correspond au temps de montée à 90% de la valeur finale de la tension de sortie et d'arrivée en régime établi du signal converti DC. Ce temps est très fortement impacté par le temps de charge et décharge des capacités. Si le temps d'établissement est critique pour l'application visée il faudra alors faire un compromis entre ondulation, performances et temps d'établissement. Dans notre cas d'étude, le temps d'établissement n'est pas un critère important.

- Horloge et puissance consommée

A l'inverse de plusieurs autres structures de conversion DC-DC, la pompe de charge requiert deux signaux d'horloges complémentaires afin de charger et décharger les capacités d'un étage en complément du second étage. Quand un étage se charge, l'autre se décharge et ainsi de suite.

Ces horloges ont un impact non négligeable sur la tension de sortie de la pompe de charge selon leur amplitude en tension. Plus l'amplitude des horloges est élevée plus la tension de sortie sera élevée. Idéalement et toujours selon l'application visée, la pompe de charge ne doit pas consommer du courant sur ses horloges de sorte à ne pas fausser le bilan de puissance [53] et ne pas sur-consommer [86]. Ces horloges sont généralement réalisées par des oscillateurs en anneaux, auxquels on rajoute des buffers et inverseurs pour produire deux signaux carrés le plus complémentaires possible. Il faudra dimensionner avec soin les transistors des buffers pour éviter le phénomène "d'overlap" (superposition des signaux).

Ainsi, dans notre étude, nous prendrons en compte ces critères afin dimensionner notre pompe de charge.

### 3.3.1.2 Les propriétés cruciales des pompes de charge

Outre les critères de comparaisons, la pompe de charge possède aussi des défauts qu'il faut aussi prendre en compte lors du dimensionnement des composants afin de satisfaire les résultats voulus. Ces défauts sont listés ci-dessous :

- Pertes et chute de tension de seuil des transistors

Le premier défaut remarquable est celui des pertes en courant et tension, soit des pertes par conduction et de la tension de seuil [84]. La chute de tension intervient lorsque que le transistor ou la diode devient passant. Cette chute de tension est de valeur égale à la tension de seuil du composant. Pour ce qui est des pertes de conduction elles interviennent précisément lors du contrôle des grilles des transistors et de leur commutation [87]. En effet, le courant de grille est donné nul en théorie. EN pratique, même si ce dernier est de très petite grandeur, de l'ordre du micro-ampère et nano-ampère, il est présent et peut jouer un rôle dans certaines applications très faibles puissances. Pour remédier à ces problèmes il existe des solutions au niveau du process de fabrication comme par exemple la polarisation du substrat du transistor [88], mais aussi en design comme la technique d'annulation de la tension de seuil [89].

- Effet de la connexion substrat

Dans la plupart des process de technologies intégrées standards, la connexion substrat est toujours reliée à une valeur de tension fixe [90], [84], soit à la tension VCC ou GND selon la nature de transistor. La connexion substrat est faite ainsi à cause de la large capacité pouvant se créer entre cette connexion du transistor et le caisson du substrat (directement en vis-à-vis). Cependant, il est possible de relier autrement cette connexion en utilisant des designs un peu

plus complexes, compliquant ainsi l'analyse et l'optimisation du circuit. Par l'exemple, l'utilisation d'un caisson flottant (floating well) comme indiqué dans la référence [91]. Le but étant de contrôler les transistors MOS avec des ajouts de circuits de contrôle supplémentaires.

- L'effet de "Latchup"

L'effet de "latchup" ou encore appelé "court-circuit" peut intervenir dans un circuit de pompe de charge durant la phase de démarrage lorsque la tension n'est pas suffisamment élevée (inférieure à la tension de seuil). Ainsi, pendant cette phase les jonctions p-n qui sont en conduction peuvent introduire un courant dans le substrat entraînant alors une perte au sein du nœud de pompage de l'étage de la pompe de charge. Ce courant introduit dans le substrat est à l'origine du "latchup" et peut potentiellement rendre inutilisable la totalité du circuit intégré. Cette effet de "latchup" peut aussi être avéré pour une variation importante de la tension substrat [92]. Des solutions sont proposées pour réduire le "latchup-up" comme par exemple pour une structure de pompe de charge à grilles croisées où l'addition de transistors "switchs" bloquent l'interaction avec le substrat. Ces "switchs" sont placés en série avec les transistors de transfert de charge et contribuent à séparer le substrat des transistors P-MOS des nœuds de transfert de charge.

- Limitation de la tension de sortie et oscillations

La pompe de charge est un dispositif d'élévation de tension pouvant fournir en sortie jusqu'à plusieurs fois la tension d'entrée. Cependant, elles sont utilisées pour des applications données qui nécessitent des tensions précises différentes et parfois avec le même courant (EEPROM). Ces tensions de sortie doivent alors être limitées. Pour cela, il sera nécessaire d'ajouter d'autres circuits complémentaires tel qu'un circuit de "bandgap" qui sert à produire une tension de référence stable et fixe en plus du générateur d'horloges nécessaire au fonctionnement de la pompe de charge. L'autre problème lié à la tension sortie est l'ondulation. Les ondulations en régime établi ont plusieurs origines. La première origine vient des transistors pour lesquels un transistor monté diode est utilisé. De même manière qu'une diode standard, les transistors en diode produisent des harmoniques lors de l'opération de rectification/redressement. Ces harmoniques se répercutent d'étages en étages jusqu'à la tension de sortie. Ils peuvent être atténués ou augmentés selon la valeur des capacités d'étages et de sortie. Une version améliorée propose d'utiliser des transistors "switch" à transfert de charge statique [93], [94]. Cependant, ces transistors ont pour inconvénient de ne pas pouvoir être complètement "ouvert" et ainsi, laisser un libre échange de charge entre capacités. Le dimensionnement des transistors a aussi un impact non-négligeable sur les oscillations de la tension de sortie.

### - Les capacités parasites

L'apparition de capacités parasites est un phénomène à prendre en compte lors du design de circuit. Et qui plus est en technologie intégrée car les dimensions sont bien plus petites qu'un PCB standard. Une capacité parasite se apparaît lorsque deux conducteurs métalliques de largeur suffisamment grande sont superposés et séparés par un diélectrique. On peut imaginer une large piste conduisant un signal  $V_{cc}$  en vis à vis d'un plan de masse [27]. Une capacité parasite apparaît alors entre le plan de masse et la piste  $V_{cc}$ . Cette effet peut avoir un impact sur la qualité du signal et dégrader les performances du circuit. Pour résoudre ce problème, il faut soigneusement organiser et dimensionner les longueurs et largeurs des pistes conductrices qui par exemple doivent être divisées en plusieurs brins pour une même piste.

### 3.3.2 L'état de l'art des structures communes de pompe de charge

Dans cette section nous aborderons quelques structures de pompes de charge issues de l'état de l'art. Elles sont globalement toutes dérivées des structures de Dickson [78] et Cockroft-Walton [77] et donc indirectement dérivées de la structure primaire de Greinacher [76]. Les pompes de charge présentées sont pour la plupart réalisées à base de transistors montés en diode et donc propice à notre intérêt pour la réalisation d'une pompe de charge en technologies intégrées BULK et FDSOI.

#### 3.3.2.1 La structure de Greinacher / Cockcroft-Walton

La conception du circuit de Greinacher [76] devait à la base, en 1913, lui servir à alimenter ses dispositifs nécessitant jusqu'à 300V à partir du réseau de ville de 110V. Son circuit mis alors en cascade, lui permis d'élever la tension jusqu'à atteindre la tension voulue. Il s'agit dans ce cas d'un convertisseur AC-DC. Quelques années plus tard, en 1932, J. Cockroft et E. Walton [77] redécouvrent le circuit de Greinacher pour l'alimentation d'un accélérateur de particules. La structure commune au découverte des trois scientifiques est montrée sur la figure 49.

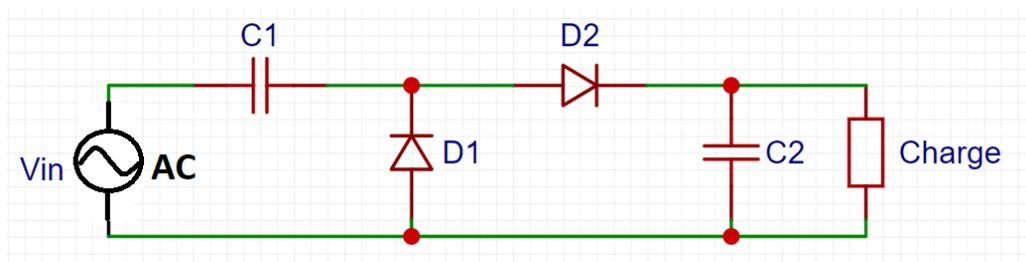


FIGURE 49 – Schéma du circuit de redressement de Greinacher, Cockroft et Walton

La structure présentée sur la figure 49 est aussi appelée doubleur de tension et correspond au redresseur double alternance présenté en figure 40 dans la section des redresseurs RF-DC 3.2.2. La tension de sortie de ce montage est en théorie :

$$V_{\text{out}} = Vin_{\text{max}} \times 2 \times n \quad (19)$$

Où  $Vin_{\text{max}}$  correspond à l'amplitude maximum de la tension d'entrée et  $n$  au nombre d'étage. Mais de même manière que pour les redresseurs RF-DC, la structure utilise toujours des montages diodes et doit s'affranchir de la chute de tension liée à la tension de seuil de ces dernières. C'est pourquoi, des transistors sont aussi utilisés à la place des diodes afin de réduire la chute de tension.

### 3.3.2.2 La structure de Dickson

La structure de Dickson [78] est une modification de la structure de Cockroft-Walton dans laquelle les capacités ne sont plus inter-connectées dans le circuit mais contrôlées par des signaux d'horloges externes. La structure est présentée sur la figure 50.

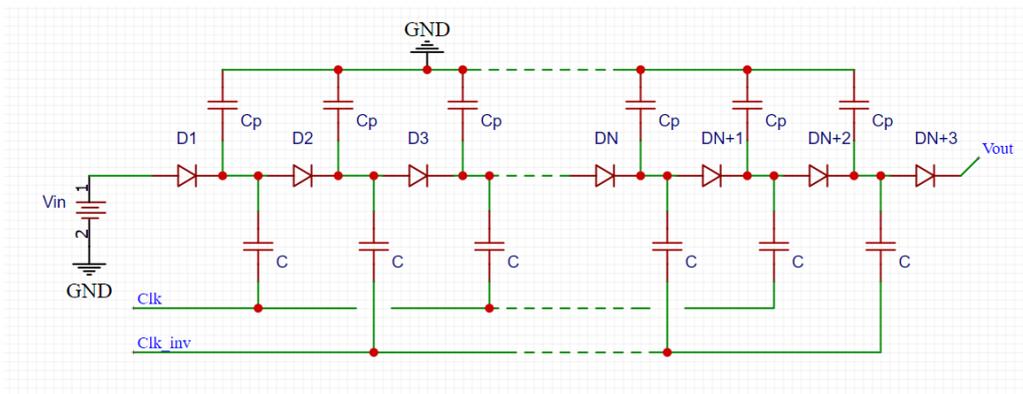


FIGURE 50 – Structure originale de Dickson

Le fonctionnement de la pompe de charge est basé sur la commutation de capacités et est relativement simple. Les horloges  $Clk$  et  $Clk\_inv$  sont en phase inversée mais de même amplitude afin de contrôler la charge et décharge des capacités. Ainsi, lors de la première étape, l'horloge  $Clk$  est au potentiel bas afin de charger la première capacité avec la tension  $Vin$  au travers de la diode  $D1$ . Ensuite, à la seconde étape, l'horloge  $Clk$  passe au potentiel haut et permet alors à la première capacité de se décharger dans l'étage suivant via la diode  $D2$  et donc de charger la seconde capacité. Car pendant que  $Clk$  est en potentiel haut,  $Clk\_inv$  est à son potentiel bas, de cette manière, la tension aux bornes de la seconde capacité est théoriquement égale au double de la tension d'entrée  $Vin$  correspondant à la charge  $Vin$  contenue dans la capacité  $D1$  additionnée à la tension d'entrée de la ligne principale. Chaque étage va ensuite ramener une

charge correspondant à une tension  $V_{in}$  additionnelle en se chargeant et déchargeant à tour de rôle selon les horloges créant ainsi un pompage de charge itérative selon le nombre d'étage. Dans la figure 50 des capacités  $C_p$  sont présentées. Il s'agit des capacités parasites nommées aussi "stray capacitances,  $C_s$ ". Nous ne parlerons pas en détail de ces capacités car leur étude reste très complexe [78]. Cependant, pour que la structure fonctionne correctement il faut choisir des capacités  $C$  de manière à ce que :

$$C > C_s > 0,1 \times C \quad (20)$$

Initialement introduite par J-F. Dickson, la tension de sortie peut s'exprimer en fonction de tous les paramètres de la structure :

$$V_{out} = V_{max} + N \times \left( \left( \frac{C}{C + C_p} \right) \times V_{clk} - V_{th} \right) - V_{th} - \frac{N * I_{out}}{(C + C_p) \times f} \quad (21)$$

Où  $N$  est le nombre d'étage,  $V_{max}$  l'amplitude d'entrée maximale,  $C$  représente la capacité d'étage,  $C_p$  la capacité parasite,  $f$  la fréquence d'horloge,  $I_{out}$  le courant de sortie et  $V_{th}$  la tension de seuil de la diode ou transistor.

Cependant, dans la littérature la tension de sortie du pompe charge de Dickson s'exprime généralement de manière simplifiée :

$$V_{out} = 2 \times N \times (V_{max} - V_{th}) \quad (22)$$

Où  $N$  est le nombre d'étage,  $V_{max}$  l'amplitude d'entrée maximale et  $V_{th}$  la tension de seuil des diodes. La chute de tension correspondant à chaque diode est incluse dans la multiplication par le nombre d'étage. La limite de cette structure est qu'à partir d'un certains nombre d'étage, généralement entre 7 et 10, les pertes introduites par la chute de tension des diodes sont trop importantes. La structure requière alors un plus grand nombre d'étage pour garder un gain d'élévation de tension correspondant au gain du second étage par exemple. Dans [95] sur la figure 51, les auteurs montrent que le gain entre étage est relativement le même jusqu'à 9 étages. Puis, pour obtenir à nouveau le même gain, il faut passer à 19 étages ce qui double la dimension totale du circuit. Sur la figure 51, la pompe de charge est utilisée en tant que redresseur RF-DC, aussi appelé "redresseur Dickson". Car les diodes du circuit servent aussi de diode de redressement.

Cette limite du nombre d'étage est aussi démontrée par M-S. Makowski dans [80] prenant spécifiquement l'exemple des convertisseurs à capacités commutées (Switched Capacitors). La pompe de charge de Dickson reste un circuit d'élévation de tension relativement performant et simple à mettre en oeuvre pour le faible encombrement de composant, rendant son utilisation fréquente en circuits intégrés.

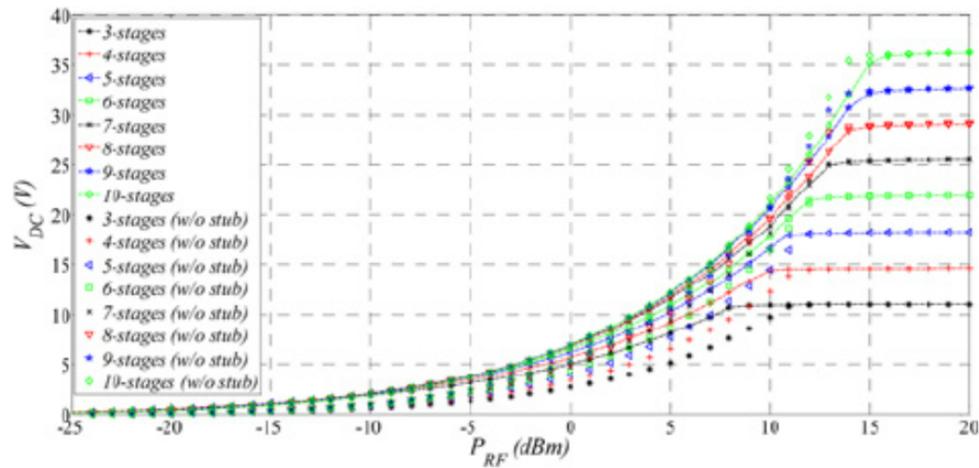


FIGURE 51 – limitation du nombre d'étage de la pompe de charge de Dickson [95]

### 3.3.2.3 Les structures Dickson modifiées "NCP-1 et NCP-2"

La structure de Dickson a été largement utilisée et dérivée depuis sa création. Toutes les tentatives de modifications ont pour but d'améliorer les performances et de réduire les pertes induites par la chute de tension des diodes ou par la commutation des transistors dans le cas de transistors montés en diode. Deux structures appelées NCP-1 et NCP-2 [94] ont été étudiées précédemment au laboratoire LE2P dans des travaux internes [12]. Ces deux structures modifiées de Dickson ont été élaborées en technologie intégrée. La structure NCP-1 consiste à rajouter des transistors qui permettent de contrôler les transistors servant au transfert de charge entre les étages de la pompe de charge. La structure est illustrée par la figure 52.

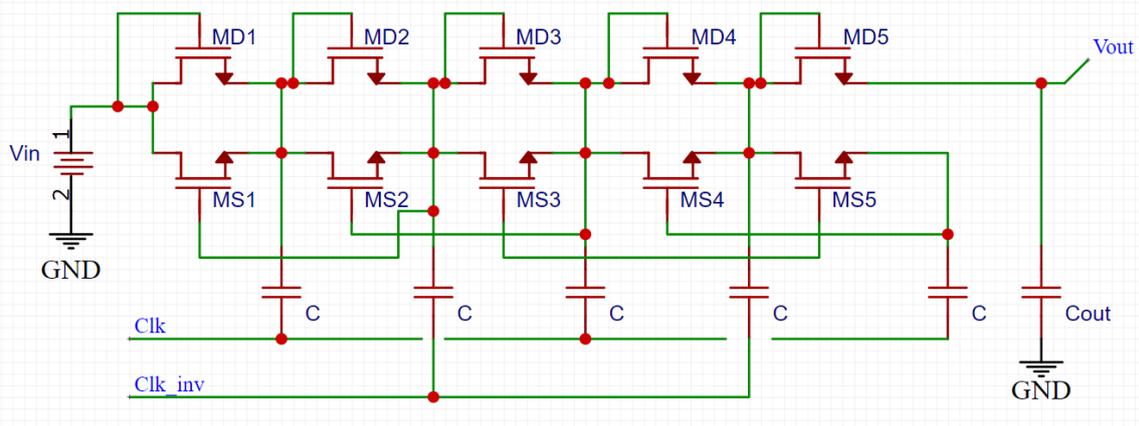


FIGURE 52 – Structure améliorée de Dickson NCP-1

La structure Dickson NCP-1 a pour avantage de fournir de meilleurs résultats que la structure de Dickson originale selon les résultats des travaux [12]. Cependant, selon les auteurs de la référence [94], un phénomène de retour de charge intervient, limitant les performances globales. Pour résoudre ce problème, ils ont décidé de contrôler les transistors de transfert de charge de

manière dynamique en introduisant la structure NCP-2 en figure 53.

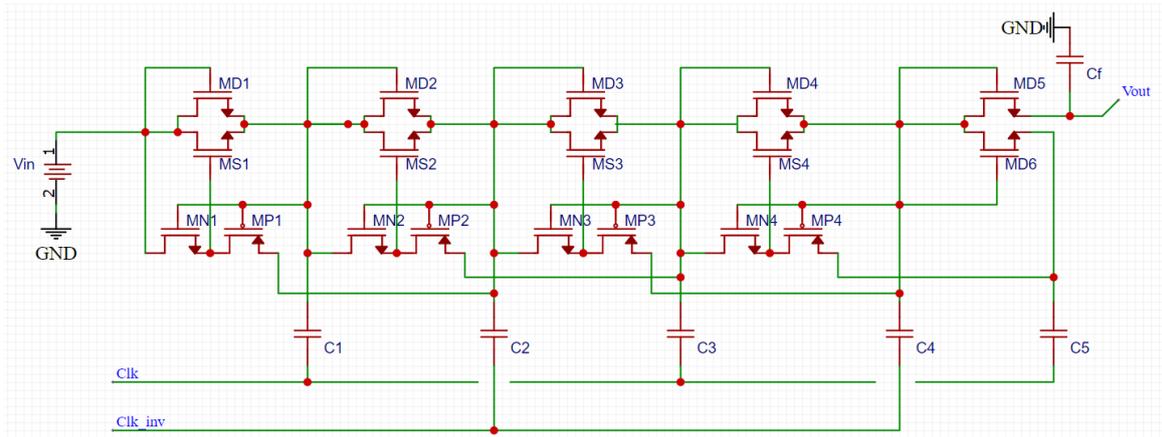


FIGURE 53 – Structure améliorée de Dickson NCP-2

La structure Dickson NCP-2 permet de limiter les retours de charge et d'accroître les performances. Cependant, les transistors de contrôle sont difficiles à démarrer et particulièrement le transistor PMOS qui est connecté à la capacité d'étage et nécessite une tension nulle ou négative pour démarrer. Dans des travaux préliminaires réalisés lors d'un stage de Master [53], nous avons conclu après une étude complète des échanges de courants et tensions dans la structure NCP-2 que le transistor PMOS restait toujours bloqué et consommait alors un courant non négligeable devenant alors des pertes et rendant cette structure finalement peu intéressante.

### 3.3.2.4 Conclusion

Au vu des problèmes de fuites de courants introduites par les structures NCP-1 et NCP-2 nous avons décidé de garder la structure originale de Dickson pour notre étude. Cette structure a l'avantage d'être relativement simple, compacte et permettra d'exploiter plus facilement la polarisation du substrat en technologie FDSOI. En effet, les transistors d'étage montés en diode simple pourront tirer avantage de la polarisation substrat pour voir leur tension seuil diminuer et de meilleures performances en termes de tension de sortie pourraient être obtenues.

## 3.4 L'oscillateur : élément indispensable à la pompe de charge Dickson

Pour que le transfert de charge se fasse correctement entre les étages de la pompe de charge, un oscillateur est nécessaire afin de produire deux signaux d'horloges complémentaires. Pour réaliser cette fonction nous utiliserons un oscillateur en anneau contrôlé en tension (VCO) comme proposé dans [12]. L'oscillateur en anneau est composé de trois étages rebouclés au minimum, chacun comprenant un transistor NMOS avec un transistor PMOS formant un inverseur et une capacité créant ainsi une cellule RC. Le dimensionnement des transistors et de

la capacité détermine la fréquence de l'oscillateur. La structure de l'oscillateur en anneau est montrée sur la figure 54.

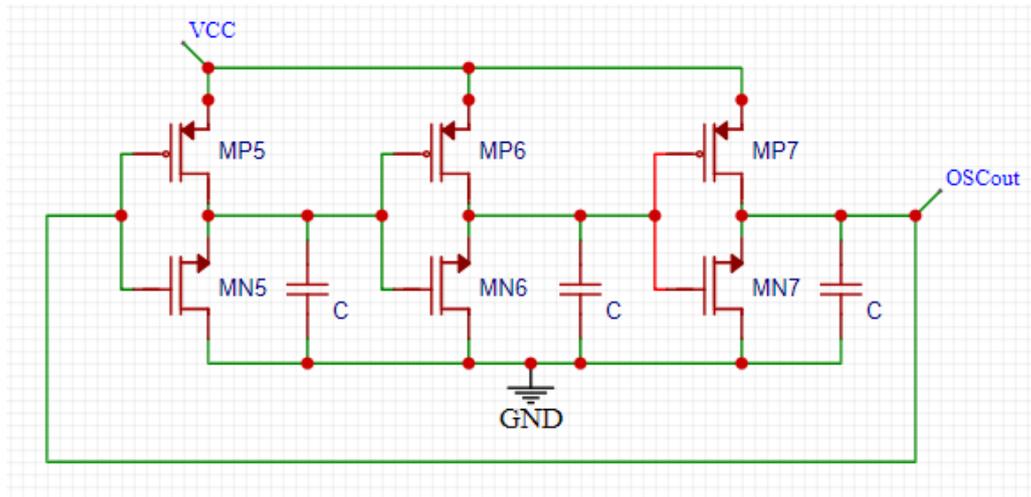


FIGURE 54 – Structure d'un oscillateur en anneau à base d'inverseurs et de capacités

Pour que la structure fournisse un signal oscillant il faut un minimum de trois étages. Notez que dans notre étude ainsi que dans la référence [12], la fréquence du VCO dépend de la tension d'alimentation VCC, des dimensions du transistor, de la taille de capacité ainsi que du nombre d'étage. Après plusieurs simulations paramétriques, nous avons conclu sur la variation de ces paramètres sur le comportement VCO. Ces résultats sont montrés sur la figure 55.

	Augmente ↗	Diminue ↘
Vcc	F ↗	F ↘
C	F ↘	F ↗
N étages	F ↘	F ↗
W	F ↗	F ↘
L	F ↘	F ↗

FIGURE 55 – Résumé du comportement de la fréquence F du VCO selon l'augmentation ou la diminution des valeurs des paramètres de ses composants

Ainsi, la structure de l'oscillateur en anneau propose déjà plusieurs degrés de liberté. Toutefois, dans le cadre de plusieurs applications [96] et pour les technologies intégrées, les capacités sont souvent remplacées par deux transistors en vis à vis : un NMOS et un PMOS. Ce remplacement permet de rajouter un degré de liberté supplémentaire en introduisant une tension de

contrôle  $V_{control}$  sur la grille des deux transistors rajoutés. De même, cette modification permet à la structure d'être composée entièrement de transistors et ainsi de réduire la taille globale. Une comparaison entre le VCO à base de capacités et celui à base de cellules de transistors est faite dans l'étude 4.4.1. La structure modifiée est montée sur la figure 56.

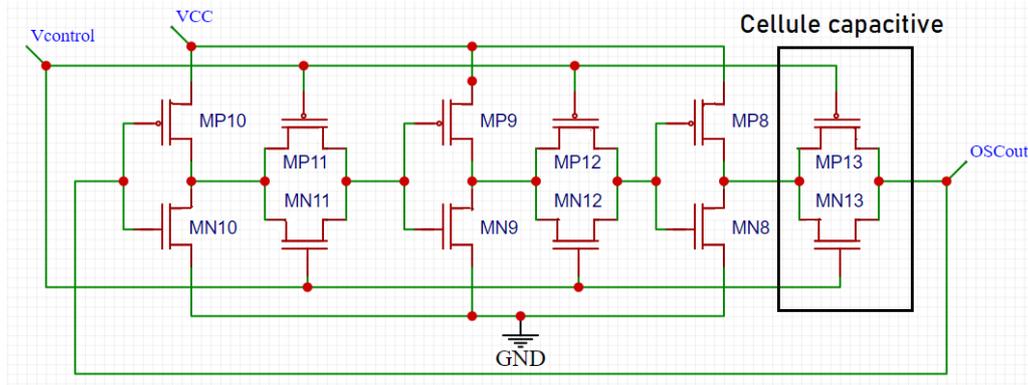


FIGURE 56 – Structure d'un oscillateur en anneau à base d'inverseurs et de cellule capacitives à transistors

Pour notre application, cette structure est la plus appropriée car elle est simple et composée uniquement de transistors. La fréquence du VCO est donnée par l'équation :

$$F = \frac{1}{2N\tau} \quad (23)$$

où

$$\tau = RC \quad (24)$$

R et C sont la capacité équivalente des transistors des inverseurs et des portes de transmissions remplaçant les capacités standard du VCO et R la résistance équivalente des de ces mêmes circuits. La fréquence est directement liée au dimension des transistors et à la capacité renvoyée par ces derniers. Un autre avantage majeur de ce circuit, est que la cellule capacitive à base de transistors utilise les capacités internes des transistors. Ces capacités sont bien plus faibles que celles que l'on peut avoir en utilisant un condensateur standard. Pour cette raison, il est possible d'obtenir des fréquences bien plus élevées. Cela est tout simplement du au temps nécessaire pour charger les capacités. Plus les capacités sont importantes, plus le temps nécessaire pour les charger est grand. Ainsi, pour l'étude de ce VCO nous nous sommes servis de connaissances de la référence [97] sur le VCO, faisant intervenir les principaux points caractéristiques des VCO, à savoir : les fréquences d'oscillation et de transition, la linéarité, le pulling et pushing. Le pulling correspond au changement de fréquence du VCO introduit par une modification de la charge. Le pushing correspond au changement de fréquence du VCO introduit par une variation de la tension d'alimentation. La fréquence de transition correspond

directement à la fréquence de commutation du transistor. Dans notre cas, nous sommes bien loin du maximum théorique de la technologie FDSOI qui peut opérer à plusieurs centaines de GHz. Dans nos travaux de recherche, nous nous intéresserons seulement au pushing et à la fréquence d'oscillation car la charge sera fixe. Dans la littérature, un VCO a été réalisé en 2019 en FDSOI 28 nm [98]. Selon les informations données sur la structure globale du circuit, il semble conçu de manière similaire à l'oscillateur en anneau mais utilise à la place d'une tension d'alimentation un miroir de courant pour alimenter les inverseurs. Ce VCO possède une plage fréquence de fonctionnement de 300 MHz à 2,92 GHz pour une consommation maîtrisée de 3,6 W à une alimentation de 1 V. Les auteurs affirment et démontrent par comparaison que la réalisation en FDSOI permet de réduire drastiquement la taille du circuit ( $37,5 \mu\text{m}^2$ ) et avoir de meilleures performances qu'en technologie BULK standard. Cette étude nous conforte donc pour la notre.

### 3.5 Etat de l'art des circuits de redressement intégrés associant redresseur RF-DC et pompe de charge

Le but de ces travaux de thèse est d'associer un système de redressement RF-DC et DC-DC de type pompe charge afin de récupérer l'énergie RF. Dans la littérature, on retrouve quelques travaux qui ont allié ces deux structures en technologies intégrées. Elles sont classées dans le tableau 2. Notez que certains travaux ne dévoilent pas toutes les informations. Par exemple, nous retrouverons des publications présentant leur résultats en tension de sortie mais le rendement des circuits n'est pas mentionné. On peut alors faire l'hypothèse que le rendement n'est pas optimal voir bas et que les auteurs n'ont pas voulu donner cette information où alors qu'elle n'était pas pertinente dans le cas de leur étude [99], [100].

Dans les structures montrées dans le tableau 2, diverses ambitions et motivations sont à la base des publications. Dans [99], les auteurs utilisent l'ensemble redresseur - pompe de charge afin d'augmenter la sensibilité du signal RF reçu en augmentant la tension d'entrée. Dans [100], les auteurs s'attaquent au problème de la tension de seuil des transistors MOS qui impact ainsi le fonctionnement de la pompe de charge. Ils proposent une technique d'annulation de la tension de seuil. Dans [102], la motivation des auteurs rejoint celle que nous avons dans le cadre de cette thèse, c'est-à-dire le point énergétique. Et plus précisément, le fait que dans le futur, nous aurons besoin de tirer avantage de la récupération d'énergie pour aider à rendre les dispositifs autonomes. Notez que dans ces travaux, les puissances d'entrées des circuits sont globalement proches de 0 dBm et que pour atteindre des tensions exploitables il est nécessaire d'avoir plusieurs étages de redresseurs et pompe de charge.

Travaux	Technologie	Structure	RF in	Fréquence	Nb étages	F Horloge	Charge	Rendement / Vout
[101]	130 nm CMOS	Cross coupled	-6 dBm	900 MHz	4 red	25 MHz	100k $\Omega$	74% CP
[99]	130 nm CMOS	Charge pump rectifier	-24 dBm	2,45 GHz	6 red + 7 cp	200 kHz	50 M $\Omega$	1 V
[100]	180 nm SOI	Cross coupled	-1 dBm	915 MHz	5 red + 5 cp	915 MHz	100 k $\Omega$	1,2 V
[102]	180 nm CMOS	Charge pump rectifier	-13 dBm	13,56 MHz	5	sans	100 k $\Omega$	33% / 1,3 V
<b>Ce travail, simulation individuelle</b>	<b>28 nm FDSOI</b>	<b>VCT red + Dickson</b>	<b>0 dBm</b>	<b>2,45 GHz</b>	<b>8 red + 8 cp</b>	<b>200 MHz</b>	<b>54 k<math>\Omega</math></b>	<b>3,3V</b>

TABLE 2 – Tableau comparatif de structures de redresseurs et pompe charge combinés intégrés

### 3.6 Conclusion

Dans cette section une étude bibliographique concernant les redresseurs est présentée. Nous avons fait l'état de l'art des structures de redresseurs les plus connues et abordé quelques structures de pompe de charge ainsi que l'oscillateur nécessaire pour la faire fonctionner. Nous avons retenu pour notre étude la structure de redresseur série avec technique d'annulation de la tension de seuil 3.2.4 pour sa facilité de réalisation mais aussi sa capacité à pouvoir être modifiée afin de tirer parti de la polarisation du substrat offerte par la technologie FDSOI. De plus, cette structure offre des performances supérieures au redresseur doubleur de tension tout en compensant les inconvénients de chute de tension seuil des transistors. Nous avons aussi choisi la structure de pompe de charge de Dickson pour être associée au redresseur car la structure de Dickson est la structure qui semble la plus simple et la moins contraignante en termes de pertes et fuites de courant lors des phases de transfert de charge entre étages. Enfin, au même titre que le redresseur avec compensation de la tension de seuil (VCT), la structure de Dickson est favorable à la polarisation du substrat en FDSOI. Nous utiliserons un oscillateur en anneau contrôlé en tension pour générer les horloges de pompe de charge. Le chapitre 4 détaille le dimensionnement de ces circuits dans la technologie FDSOI.

## **4 Dessins et simulations des circuits : redresseurs, pompe de charge et oscillateur**

## 4.1 Introduction

Notre étude a ainsi pour but d'utiliser les technologies intégrées associés à la récupération d'énergie afin d'améliorer l'autonomie de certains dispositifs. Dans notre cas, nous avons choisi le capteur TelosB comme démonstrateur de faisabilité. Pour ce faire, et selon le schéma bloc de la récupération d'énergie RF en figure 4 notre capteur représente la charge du circuit. C'est alors la première condition de ce qu'on pourrait appeler le cahier des charges. La valeur de cette charge est fixée à  $54\text{ k}\Omega$ , correspondant à la charge présentée par le capteur en état de veille vue en Annexe [5.6]. La tension à fournir au capteur pour qu'il puisse fonctionner dans cet état est comprise en 2.1 et 3.6 Volts. Cette plage de tension est associée à la consommation d'environ  $21\text{ }\mu\text{A}$  du capteur en veille. La puissance minimum requise est alors de  $44\text{ }\mu\text{W}$ . Ainsi, pour atteindre notre but, nous devons procéder à partir de la fin de la chaîne en figure 4 et commencer ainsi par dimensionner la pompe de charge en utilisant comme charge le capteur. Il ne restera alors qu'une variable qui sera la tension d'entrée de la pompe de charge. Cette tension sera aussi celle qui déterminera la fréquence du VCO contrôlant les capacités de la pompe de charge. Cette tension d'entrée correspondra à la tension que devra fournir le redresseur en aval. Et alors, la pompe de charge, son VCO et le capteur deviendront la charge du redresseur. Il restera alors à dimensionner le redresseur pour arriver à alimenter cette nouvelle charge. Une étude sur les puissances d'entrées du redresseur sera menée, mais nous nous sommes fixés comme but d'alimenter le capteur à l'aide d'une puissance d'entrée de  $0\text{ dBm}$  correspondant à la puissance que l'on peut trouver en milieu ambiant de  $1\text{ mW}$ . L'objectif à réaliser est synthétisé sur la figure 57.

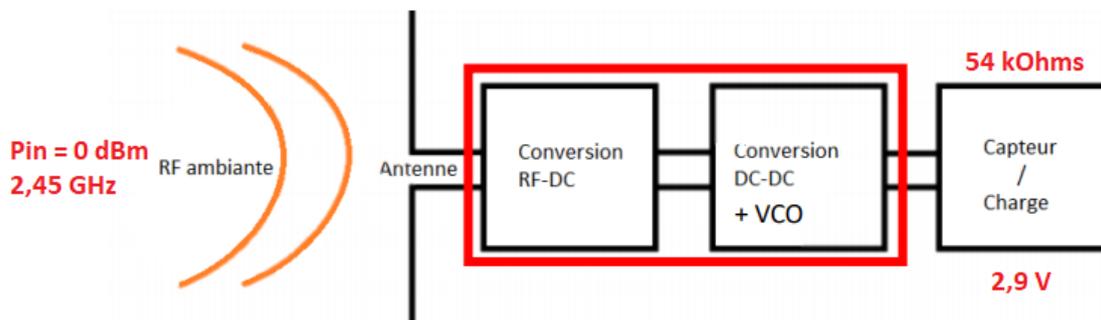


FIGURE 57 – Objectifs de réalisation et du dimensionnement

## 4.2 Méthode de dimensionnement

La méthode de dimensionnement des composants est principalement de la simulation paramétrique. C'est une méthode permettant de lancer plusieurs simulations sur un circuit en faisant varier un ou plusieurs paramètres. Nous obtenons ensuite un résultat propre à chaque

association de paramètres et de la valeur de sortie choisie. Cette méthode peut être très précise mais nécessite un temps de calcul très long. Parfois, plusieurs jours de calcul sont nécessaires afin de d'obtenir un résultat attendu. Cette méthode représente une boucle des étapes 1,2 et 3 présentées à la figure 8 des étapes de conception. À notre connaissance et à l'heure de la rédaction de cette thèse, il existe d'autres méthodes plus complexe et lourdes à mettre en oeuvre comme des optimisations en passant par liaison entre Cadence et Matlab. La méthode par calcul paramétrique que nous avons utilisé est la plus directe pour obtenir les résultats et nous permet une certaine liberté dans les valeurs à varier. Elle se fait sur l'environnement graphique de Cadence. Toutefois, nous mentionnons aussi le fait que l'environnement de simulation Cadence et ADE peut être contrôlé totalement par script à l'aide de Cadence Ocean. Cette dernière méthode est certes moins intuitive et nécessite beaucoup de temps de prise en main, mais est beaucoup moins limité que son homologue graphique. La figure 58 montre un exemple de simulation par script Ocean ainsi que les quatre étapes menant à l'obtention des résultats.

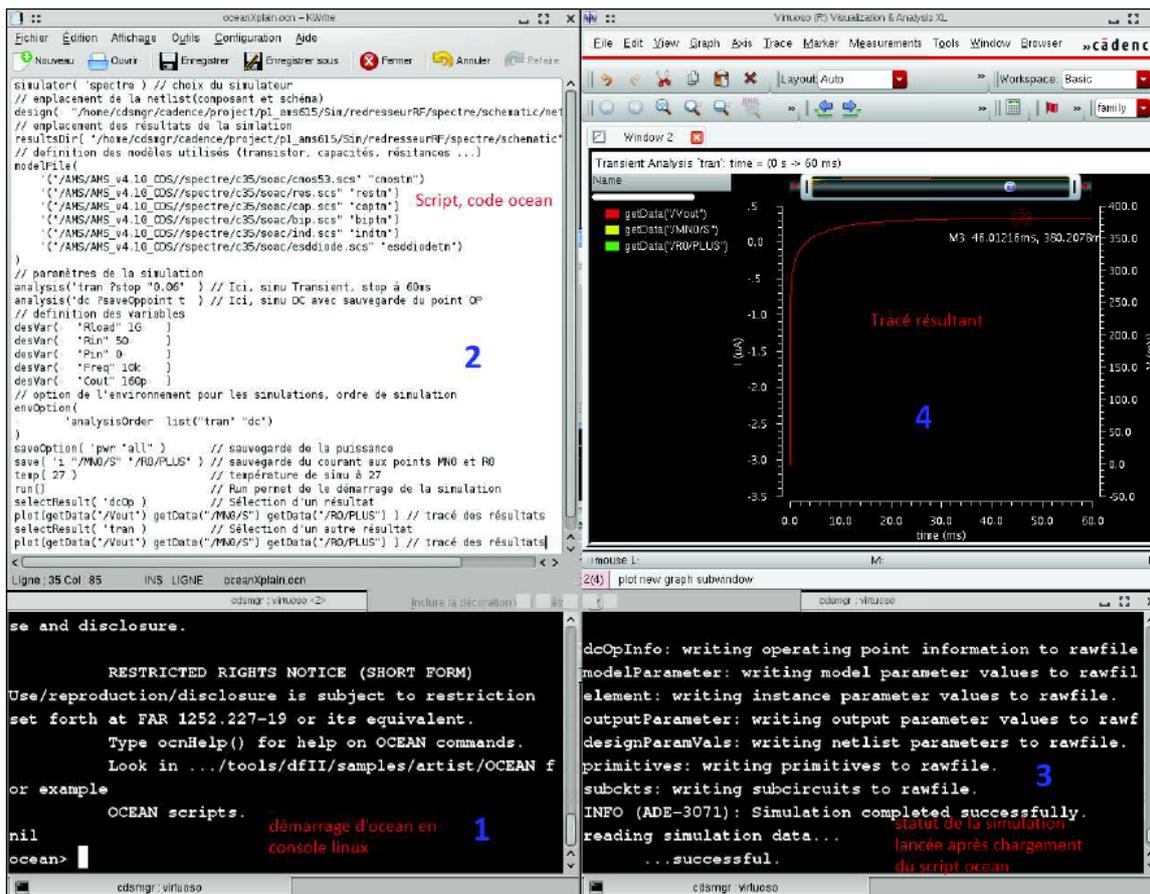


FIGURE 58 – Exemple de simulation par script Ocean [53]

Mais aussi, les technologies récentes et surtout la FDSOI 28 nm sont confidentielles et très peu d'informations nous sont communiquées. En d'autres termes il ne nous est pas possible d'accéder aux valeurs internes des composants. Ceux-ci se comportent alors comme une boîte

noire avec entrée et sortie. La technologie FDSOI est celle qui présente le plus d'intérêt à nos travaux, c'est pourquoi l'étude de simulation reposera principalement sur cette technologie. Les circuits redresseur et pompe de charge que nous proposons sont réalisés à base de transistors et capacités. Ce sont alors les deux éléments primaires dont nous devons connaître le comportement en cas de variation de leur paramètres (tailles, tensions). Ainsi, dans notre étude et dans le cas de l'utilisation de transistors montés en diode de redressement (redresseurs ou pompe de charge), nous évaluons le plus souvent la capacités du transistor à sortir du courant selon la tension d'entrée qui est directement relié aux caractéristiques  $I_d$  ( $V_d$ ) et  $I_d$  ( $V_g$ ). Cette caractéristique s'appelle la transconductance du transistor nommée  $G_m$  et elle est défini selon l'équation 25.

$$G_m = \sqrt{2 \cdot \nu_n \cdot C_{ox} \cdot \left(\frac{W}{L}\right) \cdot I_d} \quad (25)$$

Avec  $\nu_n$ , la mobilité des électrons,  $C_{ox}$  la capacité d'oxyde de grille du transistor,  $I_d$  le courant de drain,  $W$  la largeur du transistor et  $L$  la longueur du transistor.

L'équation 25 montre que notre cas, la seule manière d'agir sur la transconductance et le courant  $I_d$  est d'utiliser le rapport de dimension  $W$  sur  $L$ . Il faut mentionner que la mobilité des électrons est 2.7 fois supérieure à celle des trous. Or dans un transistor à canal P, les porteurs de charge majoritaire sont des trous et sont donc "moins rapides" que les porteurs majoritaires (électrons) du transistor à canal N. C'est pour cela qu'en pratique lors de l'utilisation simultanée d'un transistor N et P, il faut dimensionner le transistor P avec une taille environ 2,7 fois plus grande afin d'obtenir des performances similaires en termes de commutation par exemple (cas des buffers montrés en figure 77. La transconductance  $G_m$  est donc directement liée à au courant  $I_d$  et à la tension  $V_g$  aussi représentation de la résistance interne  $R_{DS_{on}}$ . Cette résistance traduit directement la puissance à dissiper par le transistor. Et, plus le transistor est de taille importante et laisse passer beaucoup de courant plus la puissance à dissiper est importante. Ainsi, tout cela rentre en compte dans l'étude de la variation des paramètres des circuits utilisant des transistors tels que le redresseur. Une fois cela fait, nous dimensionnerons la pompe de charge et son oscillateur et enfin le redresseur. Cette logique de dimensionnement est montrée sur la figure 59.

#### 4.2.1 Les transistors

Le transistor constitue le premier élément de tout circuit intégré. Dans notre cas, il est essentiel pour remplir les fonctions de redressement et est irremplaçable car la technologie FDSOI ne possède pas de diode pouvant servir au redressement de tension. Dans la section 2.5.2, nous avons montré que le transistor FDSOI LVT est le plus intéressant pour l'application de redressement. Car parmi ceux étudiés, il est celui laissant passer le plus de courant avec la

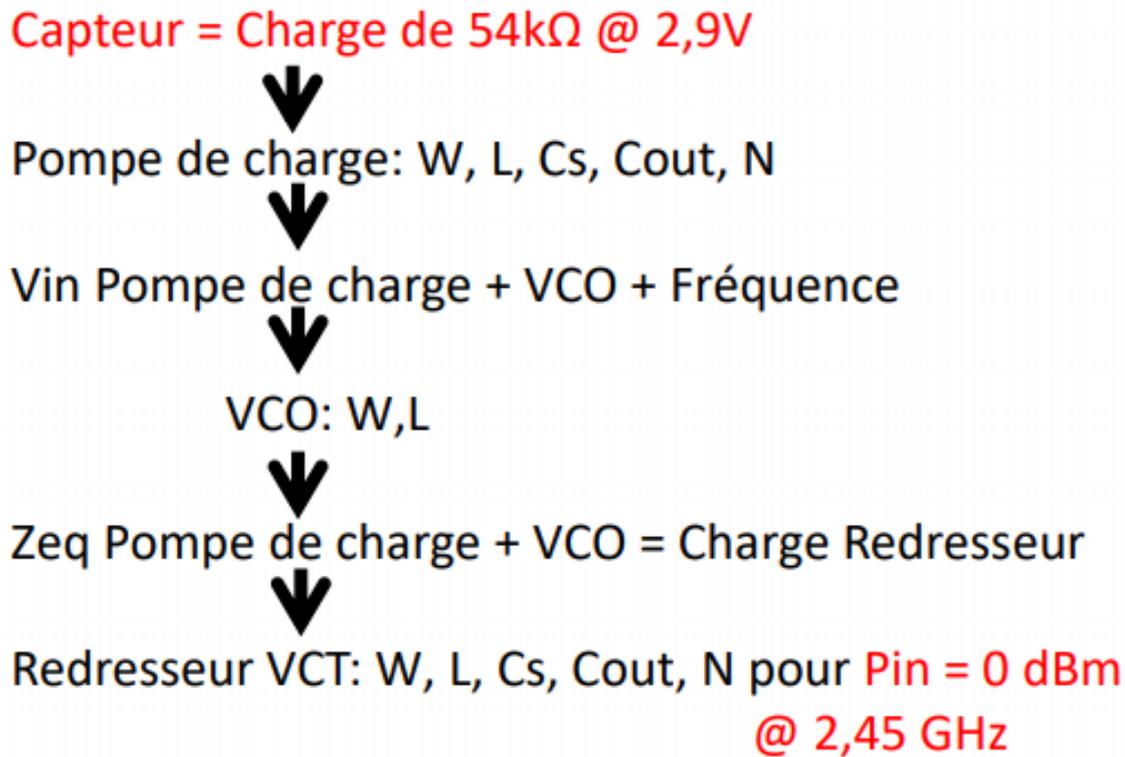
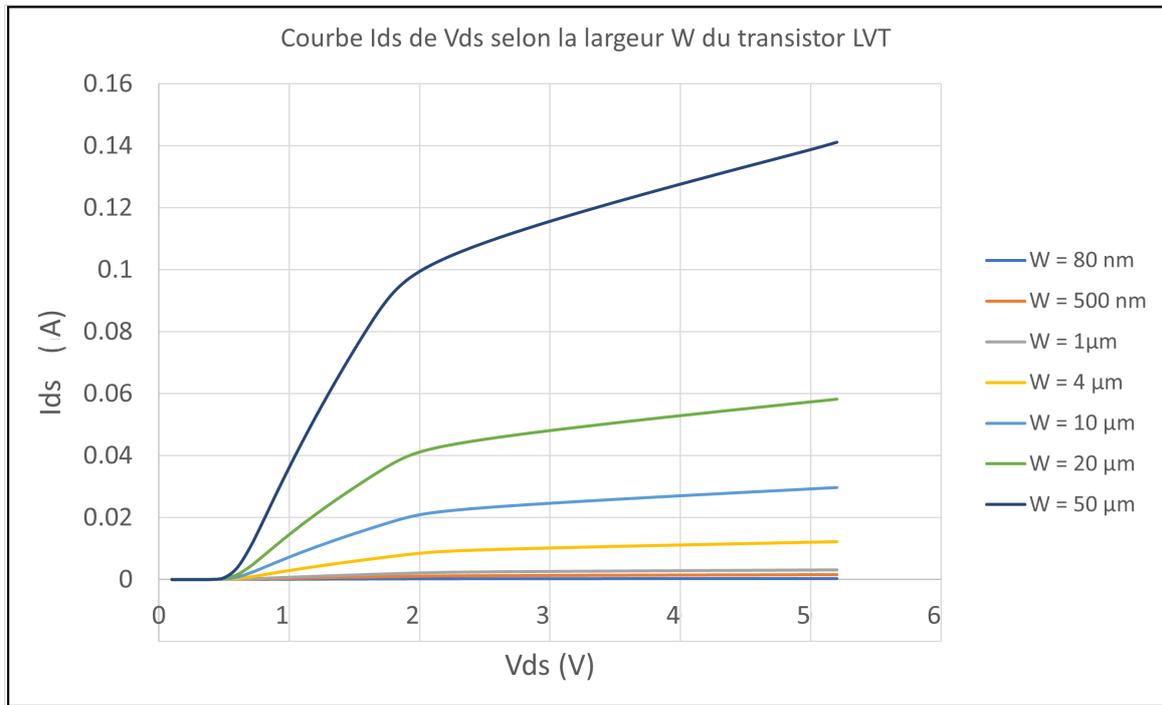
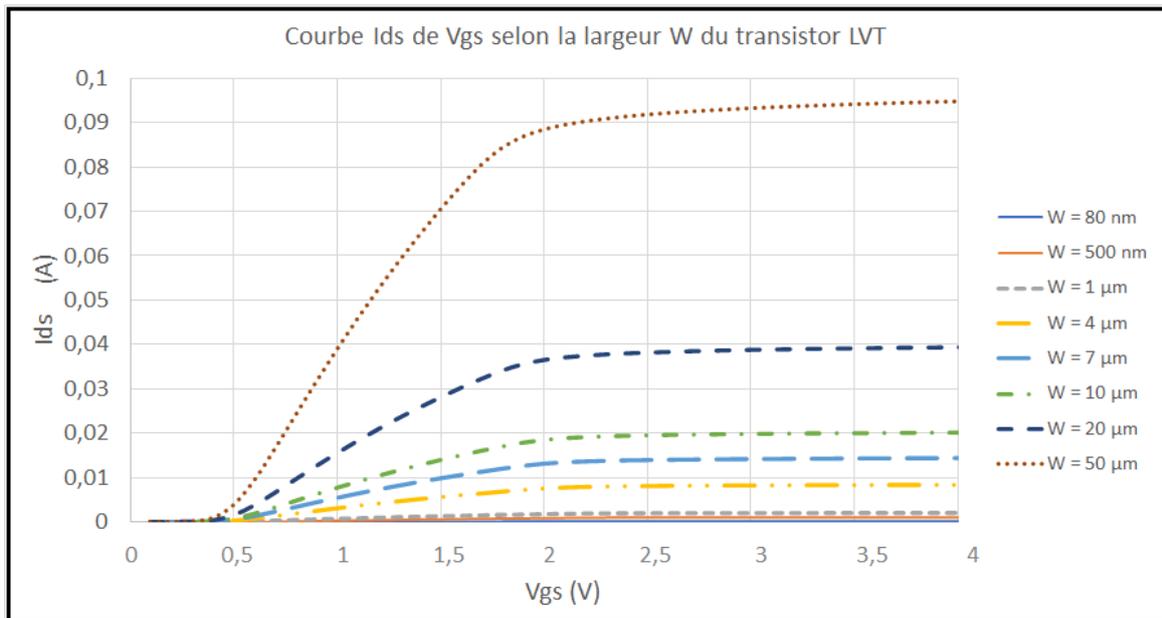


FIGURE 59 – Méthodologie de dimensionnement des paramètres des circuits proposés

tension de seuil la plus basse. Ce transistor possède trois degrés de liberté : sa largeur, sa longueur et sa connexion substrat. Dans le cas d'application de redressement, nous ne pouvons pas changer la longueur du transistor qui doit rester la plus petite possible (30 nm) pour que les électrons puisse passer le plus rapidement possible. Il reste alors la largeur et le substrat. L'effet de la connexion substrat à été montré dans le chapitre 2.5.3. Les meilleurs résultats de redressement sont obtenus lorsque le substrat est connecté au drain du transistor. Enfin il reste la largeur du transistor, qui est la variable primaire qui permet de définir la quantité d'électron simultanée qui passe dans le canal. Pour exprimer le comportement de ce paramètre nous avons tracé la courbe  $I_d$  fonction de  $V_{ds}$  selon la largeur du transistor pour un transistor monté en diode sur la figure 60. Pour cette simulation le circuit est uniquement composé de la source de tension  $V_{ds}$  et la source du transistor est à la masse. Le transistor est monté en diode et sa connexion substrat est rebouclée sur le drain. Hormis l'oscillateur, nous utiliserons uniquement des transistors montés en diode pour les circuits de redresseurs et pompe de charge.

On peut logiquement voir que le courant de drain qui passe par le transistor est plus important pour un transistor de largeur plus importante. Cependant, cela à pour effet d'accélérer le passage à la zone de saturation qui se visualise par un palier plus incliné. Nous pouvons ensuite observer les tracés  $I_d$  fonction de  $V_{gs}$  sur la figure 61. Pour cette simulation le circuit est uniquement composé de la source de tension  $V_{gs}$  et la source du transistor est à la masse. La tension  $V_{ds}$  est fixée à 1 V et le substrat est connecté au drain.

FIGURE 60 – Impact de la largeur du transistor monté en diode sur la caractéristique  $I_d(V_{ds})$ FIGURE 61 – Impact de la largeur du transistor sur la caractéristique  $I_d(V_{gs})$ 

Ce tracé confirme les observations concernant l'augmentation du courant avec la taille du transistor mais il permet aussi de voir que le fait d'augmenter la largeur du transistor n'influence pas sa tension de seuil. La largeur  $W$  du transistor est donc un paramètre important qu'il ne faudra pas négliger dans les circuits de redresseur et pompe de charge car il permet directement l'accroissement des performances.

### 4.2.2 Les capacités

La capacité est le second et dernier élément nécessaire à la réalisation de nos circuits. Elle permet d'emmagasiner l'énergie issue de la tension redressée par le transistor en diode. A l'instar du transistor, la capacité possède un seul degré de liberté : sa valeur en Farad. Cependant, cette dernière influe directement sur plusieurs aspects de la tension obtenue en sortie de la capacité. Il s'agit dans l'ordre, du temps d'établissement ou temps de montée, de la tension de sortie et de l'ondulation de la tension de sortie dans l'application pompe de charge. Ces aspects sont visibles sur la figure 64 dans l'exemple de la capacité de sortie d'une pompe de charge à huit étages.

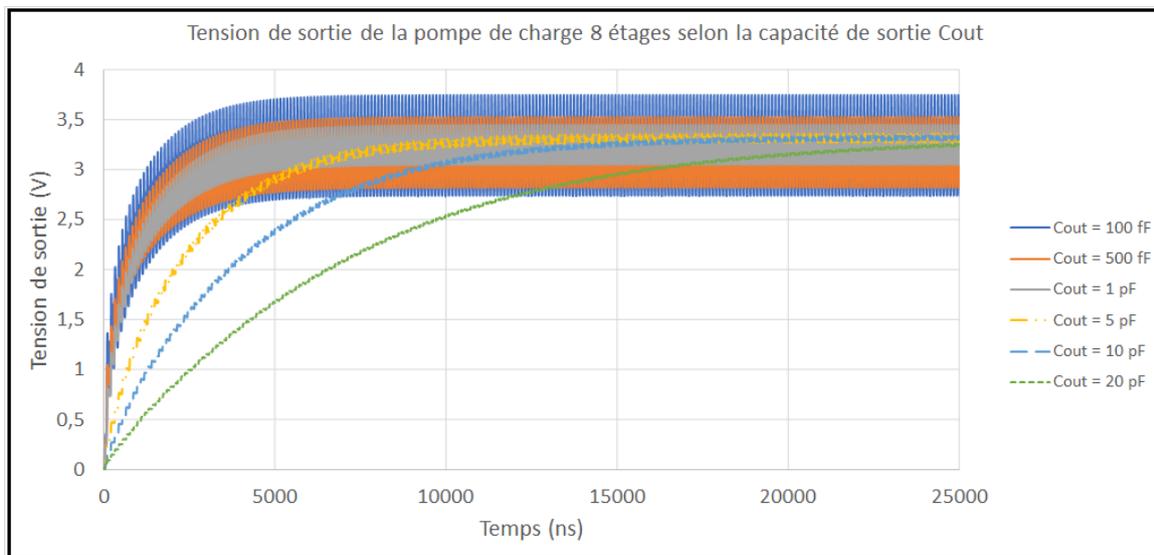


FIGURE 62 – Impact de la capacité de sortie sur la tension de sortie de la pompe de charge

La figure 64 montre que plus la valeur de la capacité est élevée, plus le temps d'établissement est important mais le signal de sortie est sans ondulation. A l'inverse, si la capacité est trop faible devant la tension qui lui est injectée, elle va se charger très rapidement mais aura une tension de sortie ondulée. L'ondulation n'est pas visible à proprement parler car la fréquence d'ondulation est trop rapide devant le temps d'établissement du signal. c'est pour cette raison qu'un trait plein épais apparaît sur la figure 64. Dans ce cas, il faut trouver le bon compromis. Ce compromis est alors régi par le circuit global, la tolérance sur la forme et les performances du signal souhaité et par l'emprunte physique utilisée par la capacité. En suivant ces points, nous enchaînons sur le dimensionnement de la pompe de charge.

### 4.3 Dessin et simulations de la pompe de charge de Dickson avec la polarisation du substrat en FDSOI

La pompe de charge de Dickson est une structure simple et performante très utilisée pour les applications d'élévation de tension et de redressement (lors de la présence d'une source AC). Son choix est parfait pour compléter le redresseur RF-DC en technologie intégrée car elle nécessite uniquement des transistors et des capacités pour sa réalisation. Certes un oscillateur est requis mais de la même manière, il peut se réaliser uniquement à partir de transistors. Ce qui dans notre cas, est un avantage permettant de tirer profit de la technologie intégrée FDSOI avec des tailles de transistors plus petites.

#### 4.3.1 Dimensionnement des composants

Le dimensionnement des composants reprend la méthode de simulation paramétrique utilisée pour les transistors et les capacités avec les variables de largeur  $W$  de transistors, les capacités d'étages  $C_s$  et la capacité de sortie  $C_{out}$ . La pompe de charge a aussi deux paramètres supplémentaires, le nombre d'étage et la tension d'entrée. Ce sont autant de paramètres qui feront parti de la simulation paramétrique. L'objectif à atteindre avec la pompe de charge, est d'obtenir un signal continu d'une tension supérieure à 2,8 V aux bornes d'une charge de 54 k $\Omega$  correspondant à la charge du capteur TelosB. La méthode consiste à simuler tous les paramètres simultanément afin de déterminer les valeurs qui donneront le résultat voulu.

#### 4.3.2 Impact de la taille des transistors, des capacités et de la charge

Comme nous l'avons montré dans la partie dimensionnement des transistors, la modification de la largeur  $W$  du transistor produit un effet immédiat sur les performances du circuit. Dans ce cas d'étude nous avons pris une pompe de charge à huit étages avec un comportement représentatif de la structure définitive avec une tension d'entrée de 600 mV, des capacités d'étages de 1 pF, de sortie de 10 pF et une charge de 54 k $\Omega$ . Ainsi, nous montrons les études de simulation en faisant varier le paramètre d'intérêt et fixant les autres paramètres à leur valeur finale, trouvée par simulation paramétrique dans la suite de l'étude. En effet, il est difficile de présenter une multitude de simulations paramétriques sur plusieurs paramètres dans une seule courbe de résultats. Ici, la tension de sortie produite par la pompe de charge est montrée sur la figure 63 selon la largeur  $W$  du transistor.

La figure 63 que la modification de la largeur  $W$  du transistor LVT influe uniquement sur le niveau de tension de sortie. Cette variable  $W$ , n'a dans ce cas aucun impact ni sur l'oscillation de tension en régime établi, ni sur le temps de montée. En revanche, il faut noter que passé une certaine valeur de  $W$ , le niveau de tension cesse d'augmenter et diminue à partir de ce point.

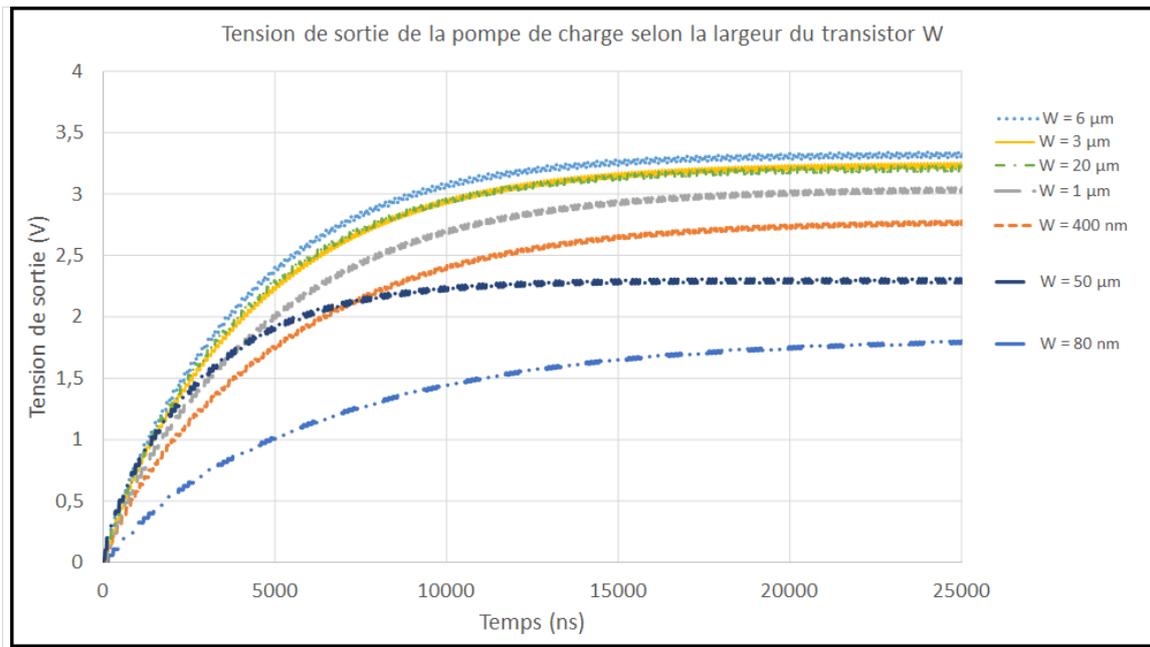


FIGURE 63 – Impact de la largeur du transistor sur la tension de sortie de la pompe de charge

Nous n'avons pas recherché la valeur du point critique d'inversion précisément car cela aurait demandé un temps de simulation paramétrique considérable. Nous pouvons affirmer selon la figure 63 qu'il se trouve entre les valeurs de  $W$  :  $20\mu\text{m}$  et  $50\mu\text{m}$ . Nous avons aussi observé qu'après la valeur de largeur de  $6\mu\text{m}$ , le gain apporté par une plus grande valeur de  $W$  est très faible jusqu'à atteindre le point d'inversion. Il est probable que pour ces grandes valeurs de  $W$ , trop de courant passe à travers le transistor et les capacités qui le suivent sont trop faibles ( $1\text{pF}$  dans notre cas d'étude) pour pouvoir stocker l'énergie.

Après l'étude de la largeur du transistor, les deux autres éléments à traiter sont les capacités d'étage et de sortie. Pour dimensionner ces composants nous suivons la procédure de simulation paramétrique décrite dans la partie dimensionnement des capacités vu à la section 4.2.2. Dans notre cas d'étude, pour une charge de  $54\text{ k}\Omega$  le meilleur résultat est obtenu pour une capacité de sortie  $C_{out}$  de  $10\text{ pF}$ . C'est pour cette valeur que nous obtenons un signal sans ondulation de la tension. Comme on peut le voir sur la figure 64, des valeurs de capacités plus faibles rendent le signal trop oscillant ( $+ \text{ ou } -5\%$  de la valeur finale) et alors inutilisable pour une application d'alimentation DC. Hormis les ondulations et le temps de montée, la capacité de sortie n'influe pas sur le niveau de tension de sortie.

Le circuit de pompe de charge est aussi composé de capacités d'étage  $C_s$ . À chaque étage correspond une capacité. Les capacités d'étage sont chargées et déchargées selon le signal d'horloge qui leur est injecté et sont directement liées à la tension de sortie de la pompe de charge. A contrario de la capacité de sortie  $C_{out}$ ,  $C_s$  n'a pas d'impact sur le temps de montée et le taux d'ondulation du signal. L'évolution de la tension de sortie de la pompe de charge selon  $C_s$  est

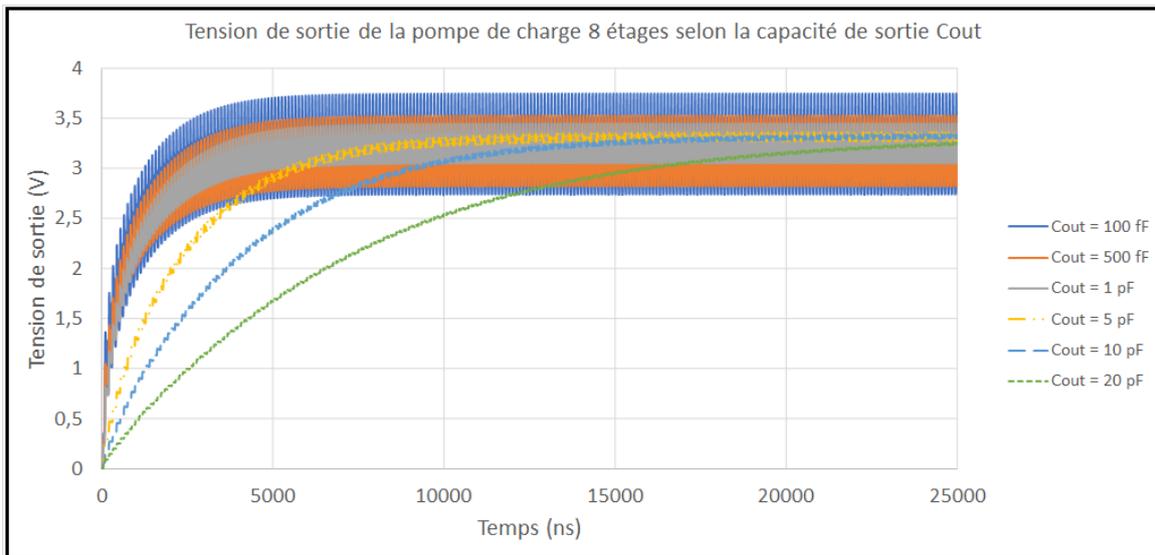


FIGURE 64 – Impact de la capacité de sortie sur la tension de sortie de la pompe de charge montrée sur la figure 65.

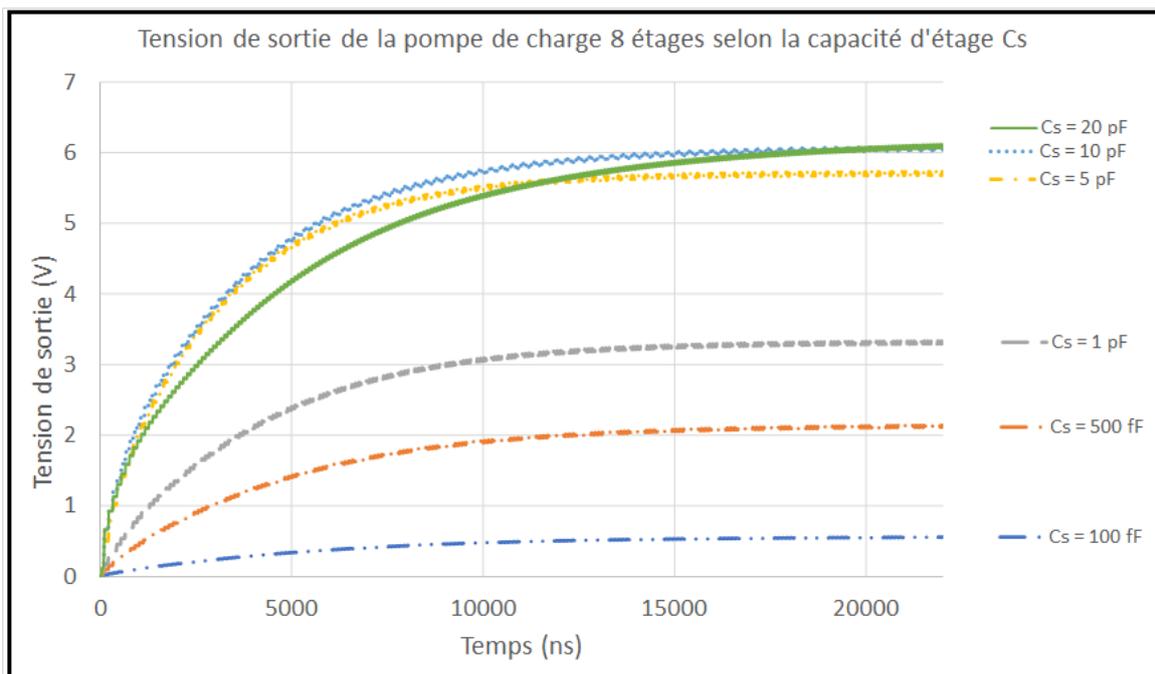


FIGURE 65 – Impact des capacités d'étage sur la tension de sortie de la pompe de charge

Selon la figure 65, les résultats auraient suggéré de choisir des capacités de 5 pF. Car c'est la capacité la plus proche de la saturation de tension. En d'autres termes, le circuit ne produit pas assez d'énergie pour charger pleinement les capacités de valeurs supérieures. Mais, pour des raisons d'encombrement au niveau de la puce, nous avons choisi la valeur de 1 pF. Cela s'explique par l'emprunte physique nécessaire à la réalisation des capacités en FDSOI. Plus la valeur est grande plus la taille est importante et ce malgré le chevauchement des couches métalliques de la technologie vues en figure 14. En pratique, et lors du dessin du layout, une capacité de 5

pF équivaut à deux capacités de 1 pF en terme de taille. Et une capacité de 10 pF revient à quatre capacités de 1 pF. Ainsi, le fait de choisir une capacité de 5 pF revient à doubler la taille globale du circuit de pompe de charge. Sans oublier, qu'il faudrait par conséquent des lignes plus longues pour relier les capacités aux transistors. Dans notre cas d'étude, la capacité de 1 pF est suffisante et nous permet d'atteindre nos objectifs tout en libérant de l'espace qui servira à rajouter d'autres circuits sur la puce. Dans un but d'amélioration, nous nous sommes posés la question de l'échelonnement des valeurs de capacités en fonction des étages de la pompe de charge. Nous avons ainsi augmenté la taille de la capacité d'étage en faisant en sorte qu'elle soit plus grande pour l'étage suivant. Car nous paraissions logique que plus la tension serait grande plus il faudrait une grande capacité. Hors nous avons vu en simulation qu'il n'y avait pas d'intérêt à le faire car les résultats n'étaient pas significatif.

Après les capacités, se trouve la charge  $R_{load}$ . Il est intéressant de voir l'évolution de la tension de sortie de la pompe de charge pour d'autres valeurs de charge. Nous avons ainsi réalisé une simulation paramétrique pour des valeurs allant de  $100 \Omega$  à  $10 M\Omega$ . Les résultats sont montrés sur la figure 66.

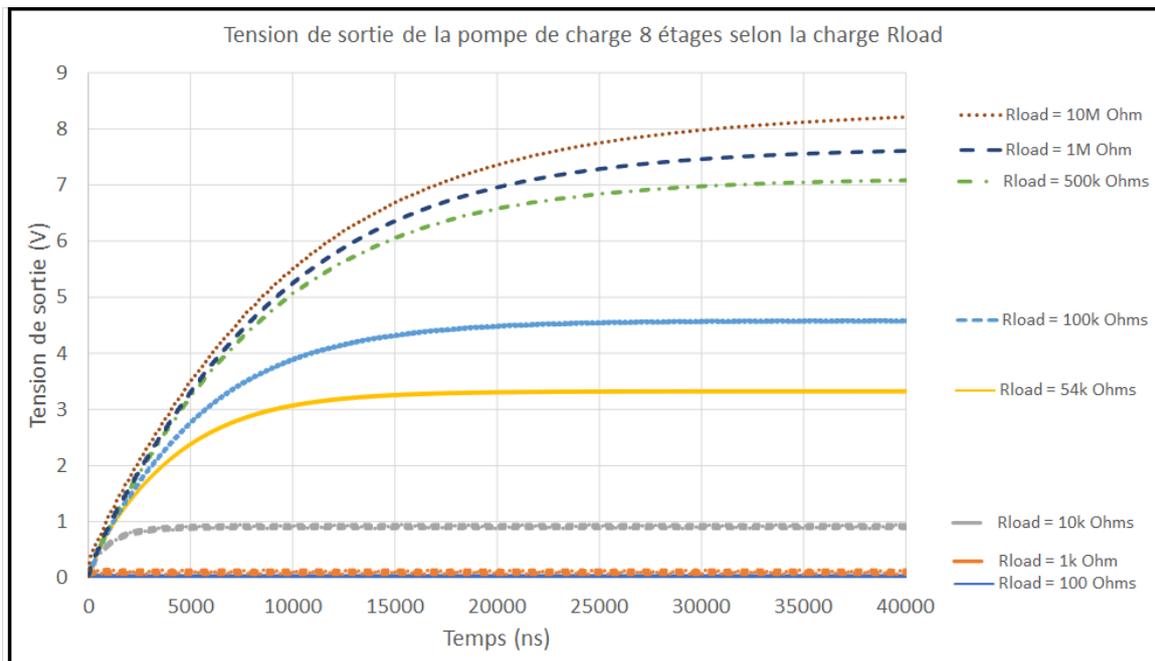


FIGURE 66 – Impact de la charge sur la tension de sortie de la pompe de charge

La pompe de charge fonctionne à partir d'une charge de  $10 k\Omega$  et plus la valeur de charge augmente plus la tension augmente aussi. Les plus grandes valeurs de charge ont un léger impact sur le temps d'établissement du signal. Nous observons qu'avec des valeurs de charge plus importantes la tension de sortie augmente très rapidement jusqu'à atteindre plus de 8V pour une charge  $10 M\Omega$  ce qui fait un gain d'élévation d'un peu plus de 8. La présente étude

ne comporte pas de conception d'une partie de contrôle de la tension en entrée ou en sortie. En effet, pour diverses raisons la tension pourrait se retrouver trop basse ou trop haute. Des solutions existantes tel qu'un composant S882Z permettrait de contrôler la tension à envoyer à l'oscillateur par exemple pour ajuster l'horloge et donc les performances du pompe charge. Ou alors un circuit de "bandgap" pourrait être ajouté afin de générer une tension de référence fixe comme fais dans ces travaux [12]. Cette réflexion est d'autant plus importe car dans notre cas nous considérons uniquement le mode veille du capteur et nous ne prenons pas en compte ses autres modes ni l'effet de ses modes sur notre circuit d'alimentation.

### 4.3.3 Impact du nombre d'étage

Le choix du nombre d'étage doit prendre en compte la taille des capacités. En effet, nous obtenons les meilleurs résultats pour des capacités d'étages  $C_s$  de 1 pF et une capacité de sortie  $C_{out}$  de 10 pF. Ces capacités ont un impact significatif sur les dimensions physiques du circuit. Il faut alors choisir un nombre d'étage cohérent avec les performances visées. Le nombre d'étage le plus approprié pour notre étude est de 8. Il permet d'amener la tension de sortie de la pompe de charge juste au dessus de 3.3V avec une charge de 54 k $\Omega$  et une tension d'entrée de 600 mV. L'évolution de la tension de sortie de la pompe de charge selon le nombre d'étages N est montré sur la figure 67.

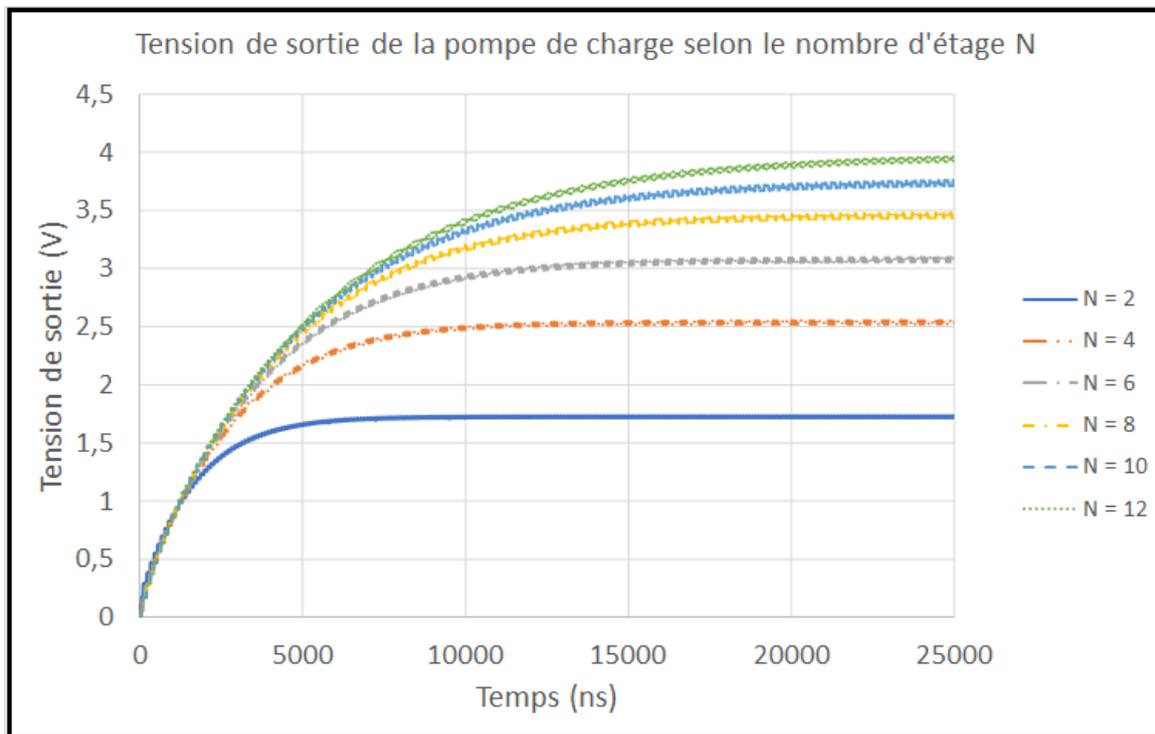


FIGURE 67 – Impact du nombre d'étage sur la tension de sortie de la pompe de charge

La figure 67 montre le comportement de la tension de sortie est cohérent avec l'état de l'art [95]. Le gain sur la tension de sortie diminue avec l'augmentation du nombre d'étage jusqu'à devenir presque nul. Dans notre cas, il n'était pas intéressant d'aller au delà de 8 étages. Nous aurions pu aussi choisir 6 étages mais nous aurions été trop proche de la limite basse de la tension d'alimentation du capteur TelosB de 2,8V. De plus, le fait de choisir 8 étages apporte une marge de sécurité quand aux potentiels parasites et effets indésirables qui viendraient par la suite impacter les performances.

#### 4.3.4 Impact de la tension d'entrée

Dans notre méthode de dimensionnement inverse, en partant de la fin de la chaîne et donc du capteur, le dimensionnement de la pompe de charge se termine par la tension d'entrée  $V_{in}$  qui lui est nécessaire pour produire une tension de sortie de plus de 3V. Nous obtenons cette tension de sortie pour une tension d'entrée  $V_{in}$  de 600 mV. L'impact de la tension d'entrée sur la sortie est montré sur la figure 68.

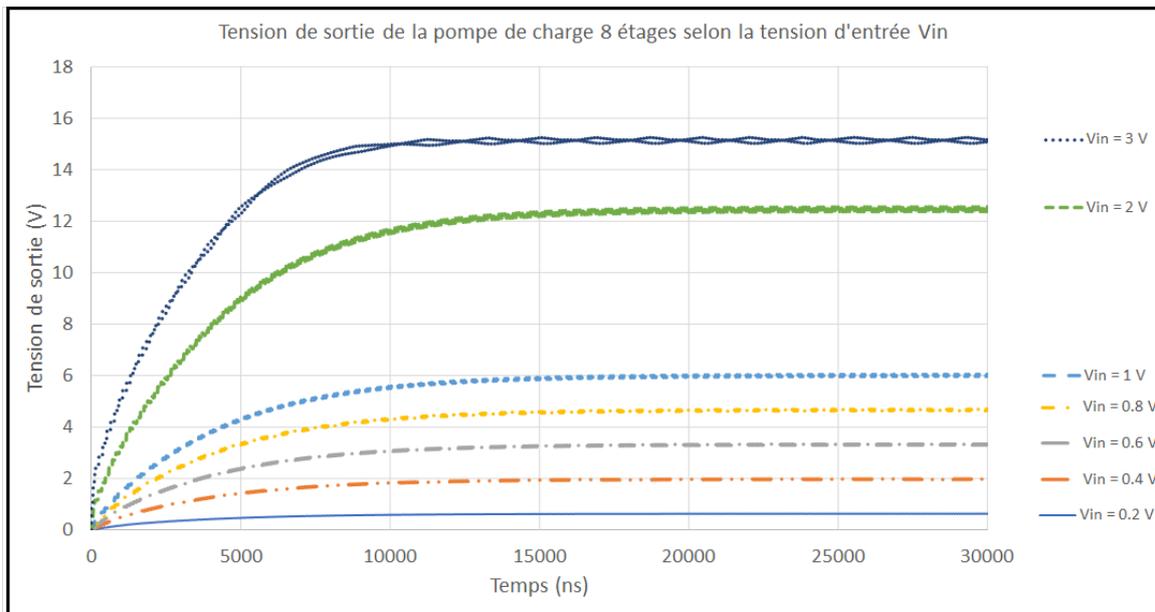


FIGURE 68 – Impact de la tension d'entrée sur la tension de sortie de la pompe de charge

Ce résultat est intéressant car les tensions observées sont cohérentes avec ce que peuvent fournir les redresseurs RF-DC en technologie intégrée en tension cf partie 1, [40].

#### 4.3.5 Impact de l'horloge

L'oscillateur nécessite une tension d'alimentation qui aura un impact sur la fréquence qu'il produira. Nous rappelons que l'oscillateur doit fournir un signal qui servira d'horloge de commande pour les capacités de la pompe de charge. Toutefois, selon la nature de notre étude visant à l'alimentation d'un dispositif grâce à l'énergie RF récupérée, nous utiliserons alors la même valeur de tension pour la pompe de charge et pour le VCO. Dans la chaîne complète, les tensions du VCO et de la pompe de charge seront toutes deux issues de la tension produite par le redresseur VCT proposé. La figure 69 montre la tension de sortie de la pompe de charge selon la fréquence VCO utilisée toujours pour une tension d'entrée de 600 mV.

Nous remarquons deux points extrêmes, un point bas pour les fréquences inférieures à 10 MHz et un point haut pour les fréquences supérieures à 2 GHz. Dépasser ces extrémités réduira énormément les performances de la pompe de charge. Ainsi, en dessous de 10 MHz, la pompe

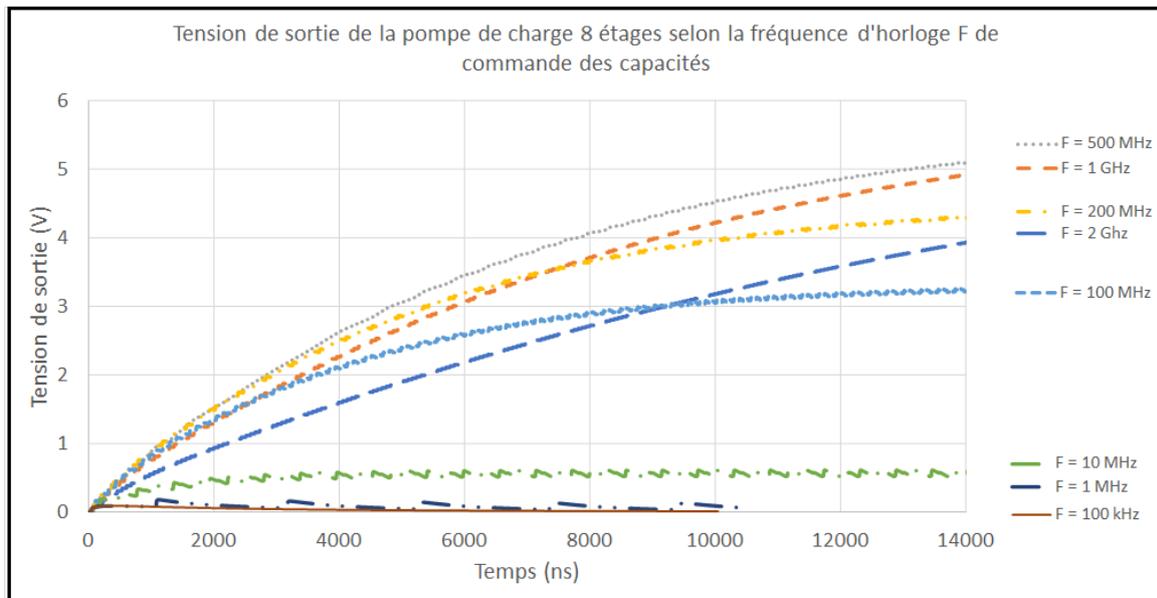


FIGURE 69 – Impact de la fréquence d'horloge sur la tension de sortie de la pompe de charge

de charge ne fonctionne tout simplement pas et au delà de 2 GHz les performances diminuent sévèrement car la commande horloge de charge et décharge est trop rapide et les capacités n'ont pas le temps de se charger et décharger correctement. Ainsi, une fréquence de 100 MHz minimum permet alors d'atteindre l'objectif fixé de 2,9 V en sortie de la pompe de charge.

#### 4.3.6 Effets des parasites (post-layout)

Après avoir obtenu la tension de sortie désirée en simulation schématique (idéale) nous réalisons le layout du circuit de la pompe de charge Dickson à 8 étages. Le dessin post-layout est montré sur la figure 70. Les 8 capacités d'étages de 1 pF de la pompe de charge sont représentés par les huit carrés à gauche et la capacité de sortie de 10 pF est représenté par les quatre carrés à droite. En raison de la limite de taille maximale d'une capacité (3pF), nous avons du diviser la capacité de 10 pF en une somme de 4 capacités parallèles de 2,5 pF.

Sur la figure 70, peu d'effets parasites sont observés. Ces parasites sont extraits automatiquement par le logiciel QRC de Cadence. Il s'agit d'une extraction de capacité découplée au travers des pistes de métal réalisées. Le logiciel fait ensuite la différence entre la ligne de conduction parfaite et la ligne réalisée avec sa conductivité, résistivité et ses dimensions. Il renvoie alors la capacité équivalente à chaque portion de ligne et couche. Dans notre cas, les seuls effets présents sont capacitifs et se trouvent à l'intérieur des transistors. Les transistors ayant 6  $\mu\text{m}$  de largeur, une dizaine de capacités parasites de quelques atto-Farad ( $10^{-18}$ ) sont présentes entre les doigts des grilles de transistors. Dans le cas de la pompe de charge, ces parasites capacitifs viennent s'ajouter aux capacités inter-étages. Ce qui a pour effet d'augmenter légèrement la valeur globale de la capacité d'étage. Le résultat est une légère augmentation de la tension de

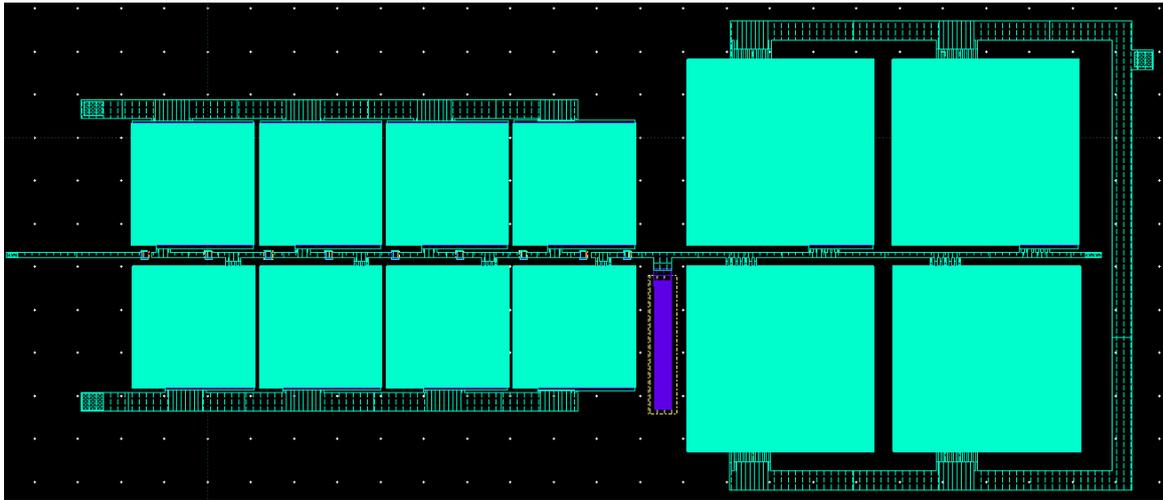


FIGURE 70 – Visualisation post-layout de la pompe de charge

sortie en accord avec la simulation montrée en figure 65. L'impact des parasites sur la tension de sortie de la pompe de charge est montré sur la figure 71 pour une tension d'entrée de 600 mV.

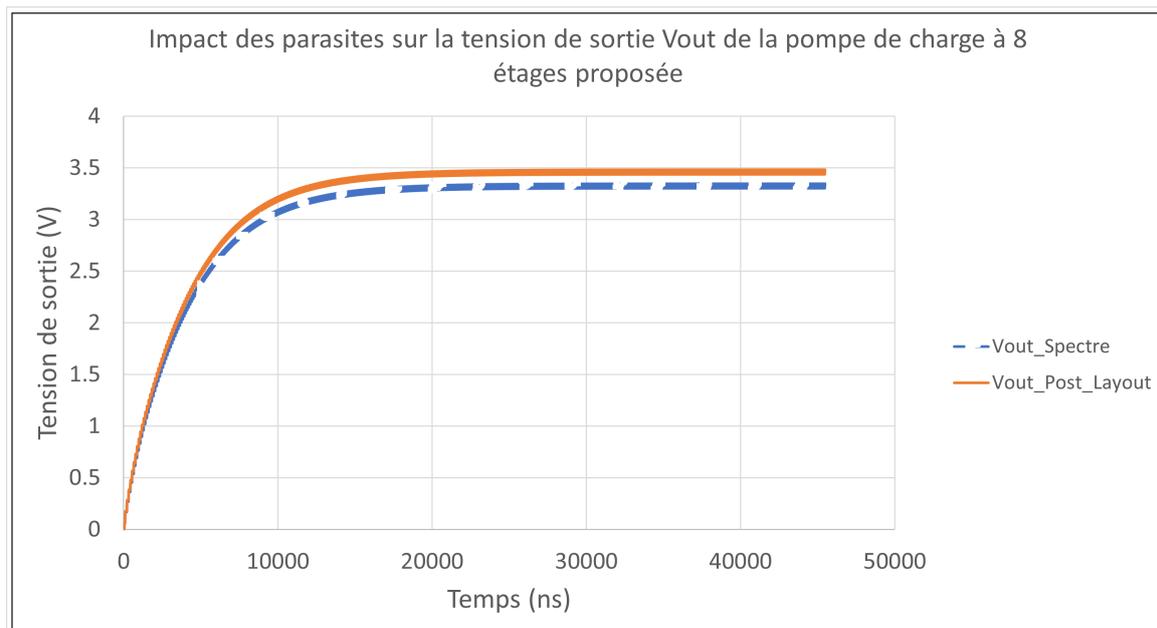


FIGURE 71 – Impact des parasites sur la tension de sortie de la pompe de charge

Ainsi, on se retrouve avec une tension de sortie de 3,45 V en tenant compte des effets parasitiques contre 3,3 V pour la simulation Spectre. La figure 71 montre aussi que la tension de sortie produite est un signal continue avec une ondulation inférieure à 1% de la valeur finale (l'ondulation n'est pas visible à cause de la fréquence élevée). Nous n'avons pas fait d'étude plus détaillée sur les phénomènes parasitiques car nous n'avons pas accès à toutes les informations des composants. La référence [103], détaille un grand nombre de phénomène survenant en FDSOI. Il est surtout intéressant pour son approche plutôt théorique, même si nous sommes restés sur

une étude par simulation.

#### 4.3.7 Conclusion

Les simulations paramétriques nous ont permis de définir les valeurs des éléments primaires de la pompe de charge type Dickson. Ainsi, pour pouvoir alimenter le capteur TelosB dans sa phase de veille soit équivalent à une charge de  $54\text{ k}\Omega$ , notre pompe de charge doit avoir huit étages, une fréquence d'horloge d'au moins 100 MHz, des transistors de largeur de  $6\text{ }\mu\text{m}$  et des capacités d'étage de 1 pF. Pour assurer une tension de sortie continue avec une oscillation de la valeur finale de moins de 1%, une capacité de sortie au minimum de 10 pF est nécessaire. Finalement, la pompe de charge produira une tension de 3,45 V à partir d'une tension d'entrée de 600 mV. Cette tension devra être fournie pour le redresseur que nous dimensionnerons dans la suite de l'étude. La pompe de charge occupe un espace de  $266\text{ }\mu\text{m}$  par  $109\text{ }\mu\text{m}$ , principalement à cause de la taille de ces capacités.

### 4.4 Dessin et simulation de l'oscillateur en anneau contrôlé en tension (VCO) en FDSOI

L'oscillateur est nécessaire au fonctionnement de la pompe de charge pour régler les cycles de charge et décharge des capacités d'étage. Cette partie montre le comportement du circuit VCO selon la variation des degrés de liberté qu'il propose. Ces degrés de liberté sont la longueur et largeur des transistors, la valeur des capacités dans le cas du VCO, avec cellules capacitives à armatures et la tension d'alimentation. Les simulations comparatives utiliseront les valeurs finales comme paramètres prédéfinis, soit une tension d'alimentation de 600 mV, une largeur de transistor de 80 nm, une longueur de transistor de 30 nm ainsi que trois étages pour le VCO. La tension d'alimentation est la même que pour la pompe de charge, à rappeler 600 mV. Ces valeurs sont choisies selon les courbes de simulations montrées successivement au fur et à mesure de l'étude.

#### 4.4.1 Choix de la structure capacitive des cellules RC

Dans la partie 3.4, nous avons introduit deux types d'oscillateurs en anneaux à base de capacités et transistors. Le principal avantage d'utiliser le VCO tout-transistor est sa taille. En effet, n'utilisant que des transistors il n'y a pas besoin de créer des plans métalliques pour créer des capacités. Uniquement les capacités parasites internes aux transistors sont utilisées. La figure 72 montre les fréquences obtenues par le VCO tout-transistor et par le VCO pour différentes valeurs de capacités avec une tension d'alimentation de 600 mV.

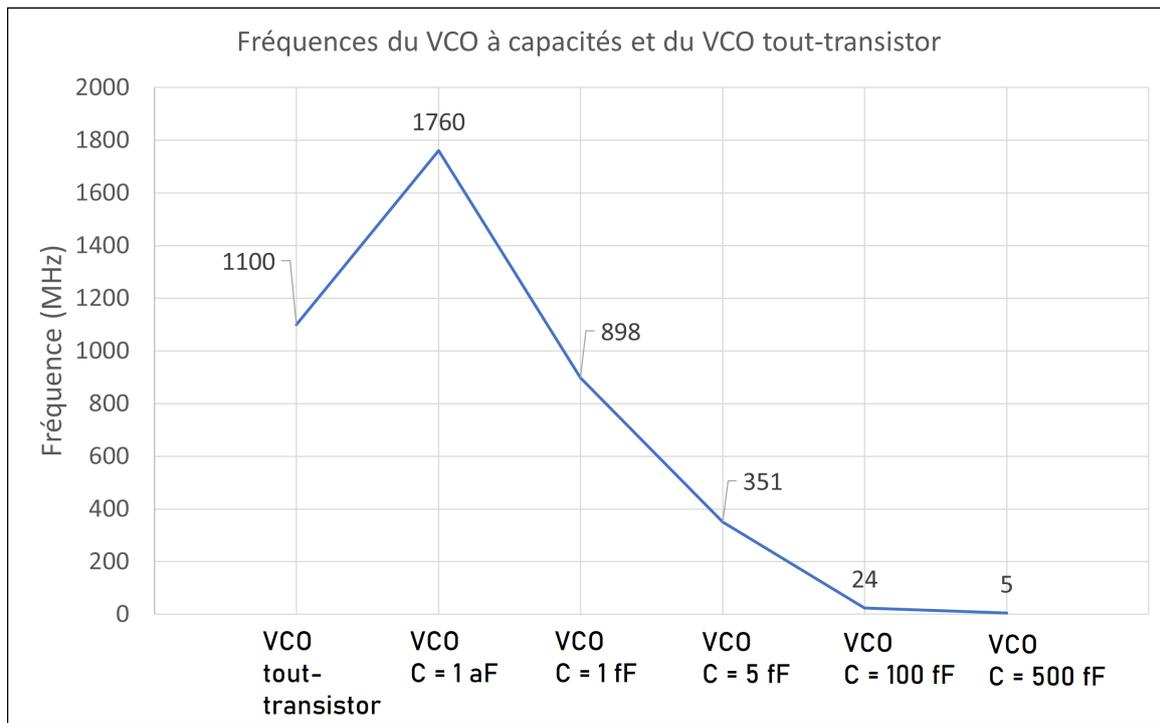


FIGURE 72 – Fréquences générées par le VCO tout-transistor et le VCO avec différentes valeurs de capacités

Sur la figure 72, le VCO tout-transistor fournit une fréquence de 1,1 GHz ce qui est une valeur satisfaisante pour contrôler les capacités de la pompe de charge. Pour le cas du VCO utilisant des capacités réelles à armatures, plus la valeur de la capacité est élevée plus la fréquence diminue. Cela est logique car plus la capacité met du temps à se charger, plus le cycle d'oscillation est long. Le VCO avec des capacités de 1 aF, 1 fF et 5 fF fournissent eux aussi des fréquences utilisables par la pompe de charge. Cependant, à notre connaissance, seulement des capacités minimales de 5 fF ont pu être réalisées sans problème. De plus, nous n'avons pas retenu le choix des capacités à armatures car en pratique, des parasites capacitifs pourraient augmenter la valeur globale capacitive et réduire la fréquence finale produite pour les valeurs de capacité ainsi réalisées supérieures à 5 fF. Ces effets parasites sont introduits dans la suite 4.4.5.

#### 4.4.2 Impact de la tension d'entrée et d'alimentation sur la fréquence

Dans notre étude, l'alimentation du VCO et de la pompe de charge sera issue d'une seule tension provenant du redresseur. C'est pourquoi dans notre cas, nous avons retiré un degré de liberté au circuit de VCO standard en regroupant tension d'alimentation et tension de contrôle. A l'origine, la tension de d'alimentation est reliée aux transistors inverseurs et permet de contrôler l'amplitude du signal alors que la tension de contrôle est reliée aux transistors formant la capacité et permet alors de contrôler la fréquence. Ainsi, nous pouvons contrôler ces deux variables avec un seul signal. La figure 73 montre la fréquence produite par le VCO

tout-transistor selon la tension  $V_{dd}$  injectée. Cette simulation est montrée ici à titre indicatif car notre tension  $V_{dd}$  est fixée à 600 mV. Cela nous permet de voir le comportement du VCO dans le cas où cette tension serait plus élevée.

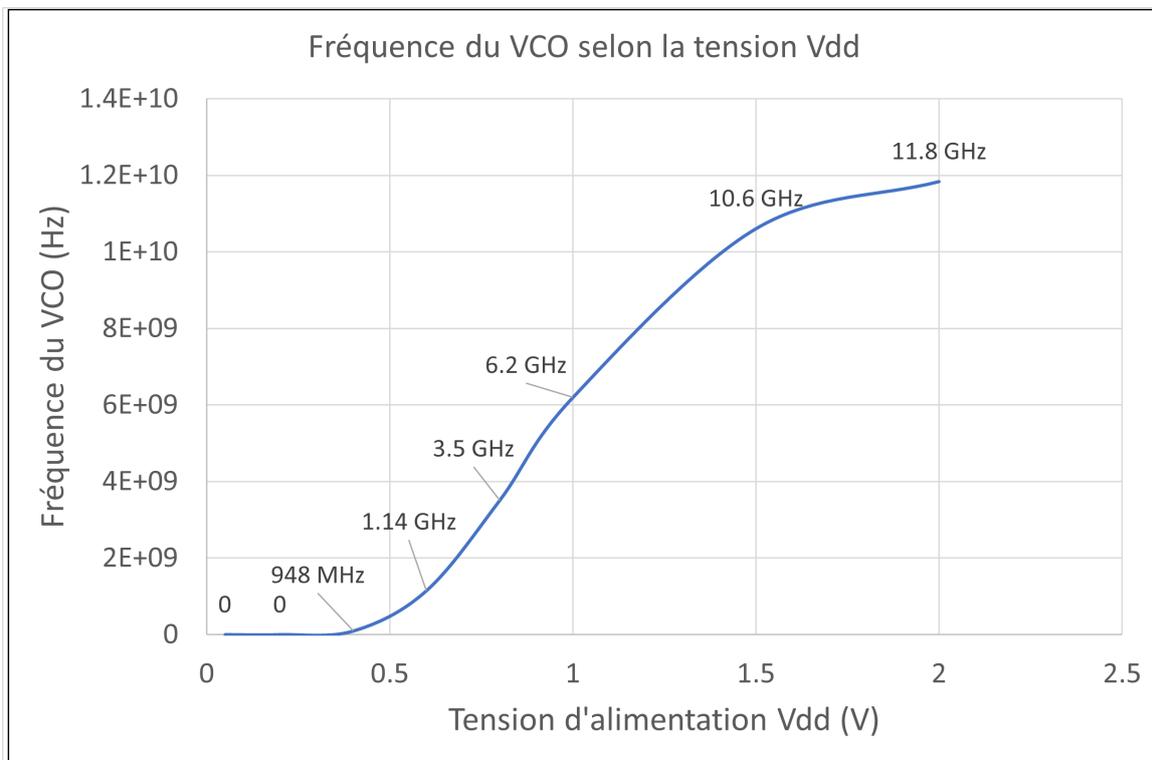


FIGURE 73 – Fréquence du VCO tout-transistor selon la tension  $V_{dd}$  injectée

La figure 73 nous montre que la tension  $V_{dd}$  a un impact élevé sur la fréquence du VCO. Cette dernière ne suit pas une croissance proportionnelle. La fréquence semble atteindre un palier passé une alimentation de 2V en atteignant un pic à 11,8 GHz. Au cours de nos simulations, nous avons pu produire des fréquences de quelques centaines de kHz au minimum jusqu'à 11.8 GHz. Nous pouvons alors calculer le "pushing" du VCO correspondant à la variation en fréquence introduite par l'incrément de 1 volt de l'alimentation. Pour notre VCO tout-transistor il est alors de 10 GHz/V. Dans notre étude, la fréquence du VCO est déterminée par la tension d'alimentation de ce dernier qui est elle-même défini à termes par la tension de sortie du redresseur. On pourrait imaginer un contrôle de la tension d'alimentation par le biais des différents niveaux de tensions produits à chaque étage du redresseur ou alors en rétroaction des étages de la pompe de charge.

#### 4.4.3 Impact de la taille des transistors

Comme pour tout circuit intégré, la taille des transistors est un paramètre non-négligeable. Nous avons ainsi fait varier la longueur  $L$  et la largeur  $W$  des transistors afin de voir leur impact sur la fréquence du VCO. Les résultats sont montrés sur les figures 74 et 75.

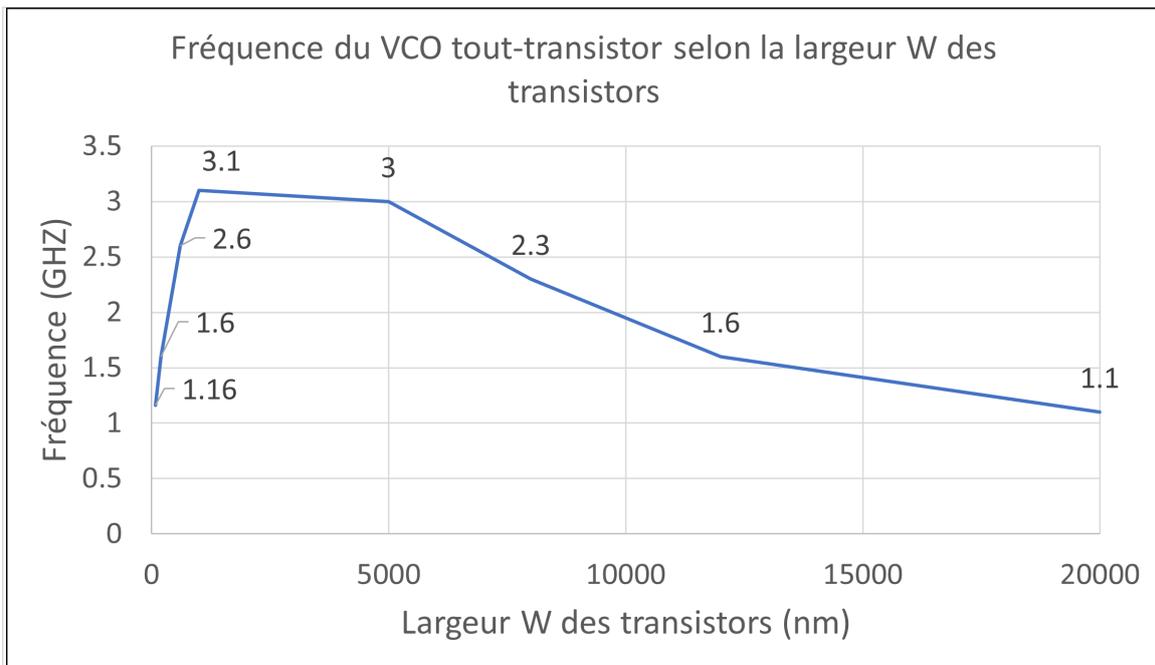


FIGURE 74 – Impact de la largeur  $W$  des transistors sur la fréquence du VCO

La figure 74 montre une tendance similaire à celle que nous avons eu pour la pompe de charge. C'est à dire qu'un plus grand  $W$  augmente de manière significative les performances en fréquence du VCO jusqu'à un certain point d'inversion qui vaut dans notre cas  $1\mu\text{m}$ . Passer ce point, la fréquence du VCO se dégrade progressivement. La variation de la longueur  $L$  du transistor nous montre une dégradation d'emblée sans pour autant nécessiter de grandes longueurs. Passer de 30 nm à 400 nm suffit à diviser la fréquence produite par 20.

Dans notre cas d'étude, nous étions satisfait par la fréquence produite par les valeurs par défaut et minimales de la technologie FDSOI soit  $W = 80$  nm et  $L = 30$  nm. Nous sommes alors restés sur ces valeurs nous permettant d'obtenir 1,1 GHz.

#### 4.4.4 Oscillateur tout-transistor proposé

Grâce à ces études de simulation nous proposons alors un VCO avec une fréquence d'oscillation de 1,1 GHz. Toutefois, pour obtenir un signal d'horloge propre nous avons rajouté des étages d'inverseurs en sortie de l'oscillateur. Ces étages sont souvent appelés "buffers" car ils permettent en plus d'inverser le signal, d'y introduire un délai et de nous permettre jouer sur le rapport cyclique. Le schéma final du VCO comportant les buffers est montré sur la figure 76.

La figure 77 montre le signal produit par le VCO avec le rajout des buffers.

Comme on peut le voir sur la figure 77, l'ajout des buffers dégrade le signal du VCO. L'oscillation est toujours présente mais le signal est plus proche d'un signal triangulaire que sinusoïdal. De plus, une légère baisse de fréquence est visible. Dans notre cas d'étude cela ne représente pas un problème car l'ajout des buffers vont de toute façon transformer le signal

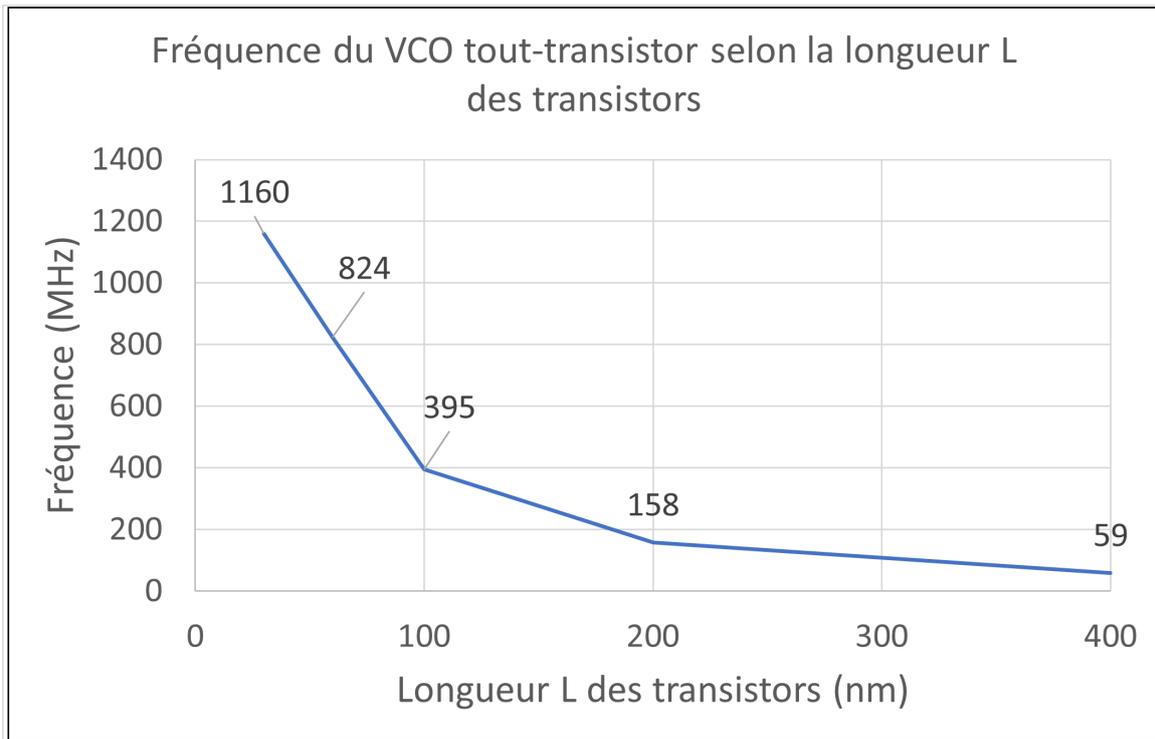
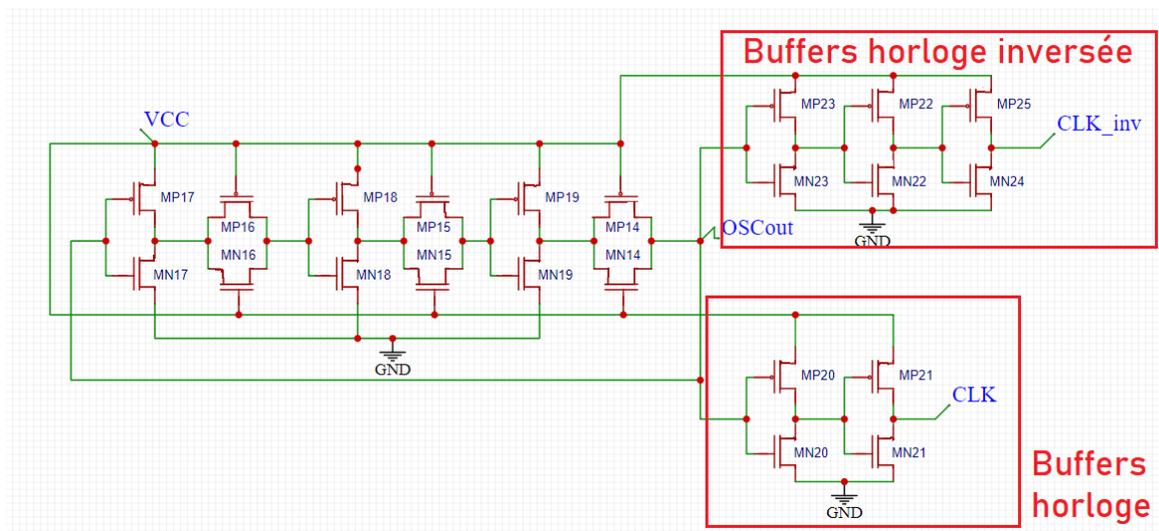
FIGURE 75 – Impact de la longueur  $L$  des transistors sur la fréquence du VCO

FIGURE 76 – Schéma final du VCO proposé avec ajout d'étages de buffers

en signal d'horloge. La fréquence quand à elle reste toujours de l'ordre du GHz. Nous n'avons pas plus détaillé la partie consommation d'énergie introduite par le rajout des buffers mais en FDSOI, nous avons observé en simulation une consommation globale de l'ordre d'une dizaine de  $\mu\text{W}$ . Les buffers consomment normalement plus d'énergie que la cellule oscillante du VCO car les buffers sont réalisés avec des transistors de plus grandes tailles. Les signaux d'horloge et horloge inversée produits par les étages inverseurs des buffers sont montrés sur la figure 78.

Nous avons représenté sur la figure 78 le temps d'une période qui vaut 1,07 ns. Ce temps nous permet de calculer le rapport cyclique de l'horloge générée qui est alors de 60%/40%.

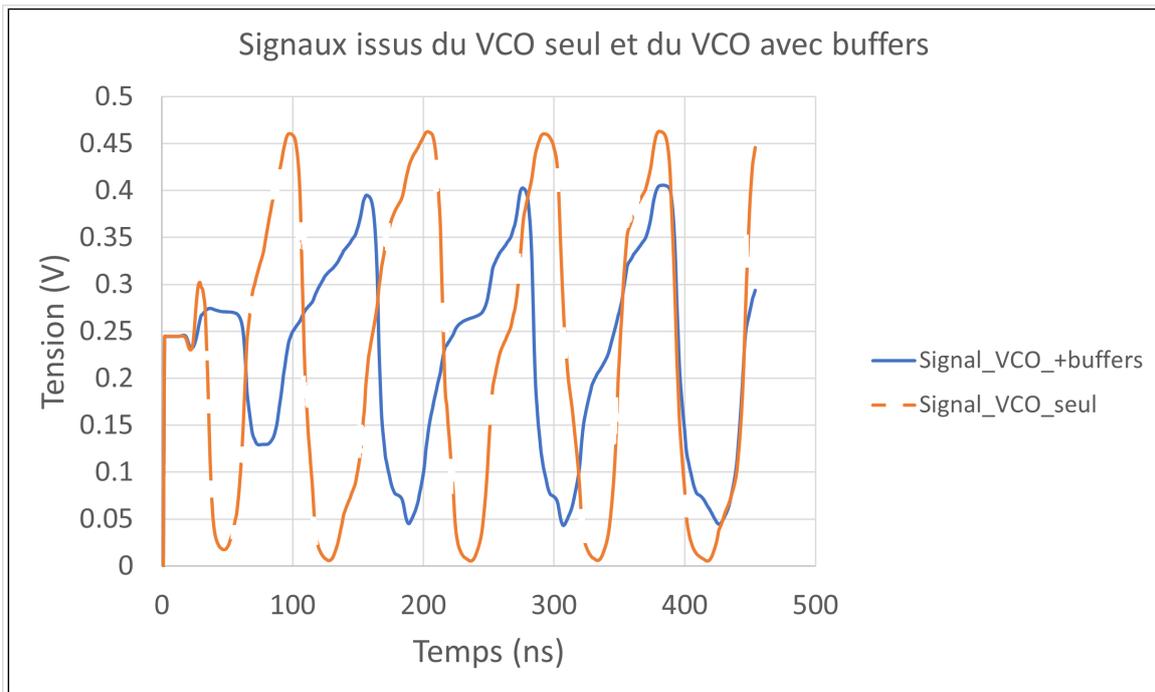


FIGURE 77 – Impact du rajout des buffers sur le signal générée par le VCO

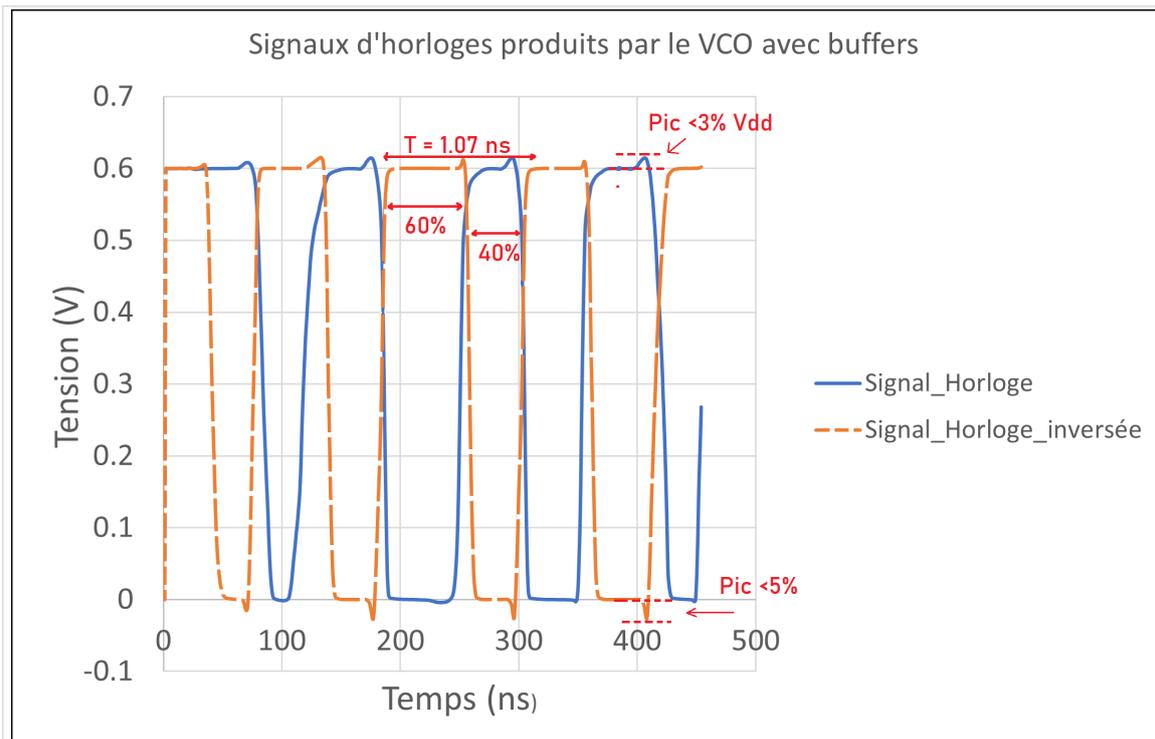


FIGURE 78 – Signaux d'horloges générés par le VCO avec buffers proposés

C'est le meilleur rapport cyclique que nous avons pu obtenir en faisant varier les dimensions des buffers et leur nombre. Notre but idéal étant 50% pour chacun des deux temps d'horloge afin d'équilibrer la charge et décharge des capacités, cependant nous n'avons pas observé de changement de comportement avec un rapport cyclique de 60%/40%. Nous avons toutefois

réussi à limiter les pics de tension à moins de 3% de la valeur de  $V_{dd}$  pour les changements de front descendant et à moins de 5% de la valeur de  $V_{dd}$  pour les changements de front montant en jouant sur les dimensions des transistors des buffers. Ces pics sont négligeables dans notre cas d'étude. Les résultats obtenus étant satisfaisants pour notre étude, l'étape suivante est la réalisation du layout et la prise en compte des parasites.

#### 4.4.5 Effets des parasites(post-layout)

Après avoir obtenu des résultats satisfaisants en simulation, il faut dessiner le layout du VCO et vérifier que l'agencement physique des transistors ne crée pas trop de parasites pouvant dégrader le fonctionnement. Le layout et les parasites introduits sont montrés sur la figure 79.

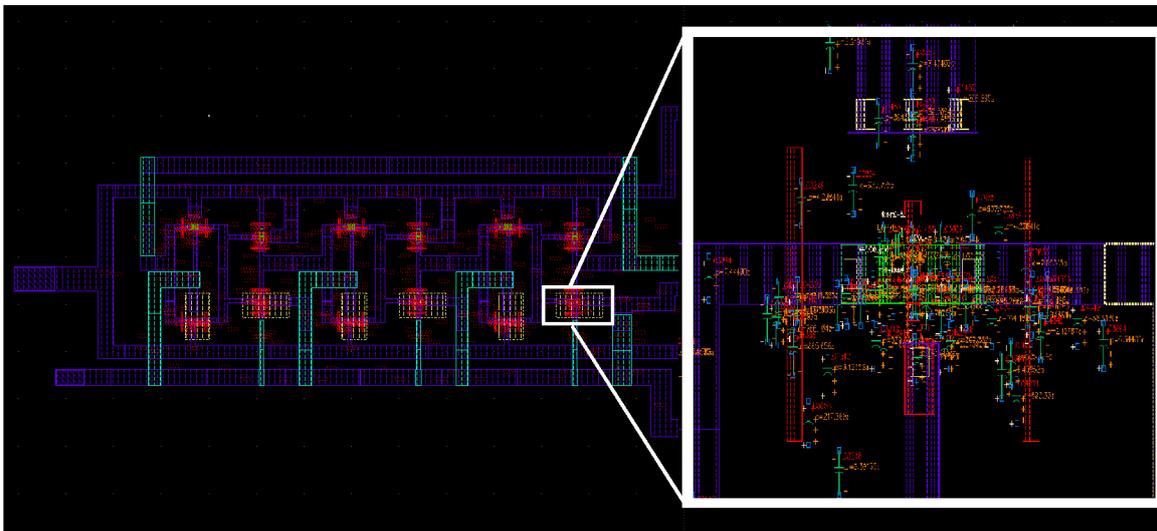


FIGURE 79 – Visualisation des parasites sur le VCO après la réalisation du layout.

On peut voir sur la figure 79 le layout du VCO représenté par les blocs violet et bleu clair. Les petits points rouges en grand nombre représentent les parasites capacitifs générés par les éléments physiques composant le VCO. Ces éléments parasitiques sont principalement localisés dans et autour des transistors qui de part leur très petites tailles font cohabiter bon nombre de couches métalliques et isolantes côte à côte et en superposition. Ainsi, même si ces capacités parasites sont individuellement de très faibles valeurs (de l'ordre de plusieurs centaines de zepto Farad voir d'atto Farad), mis bout à bout en grand nombre, elles suffisent à avoir un impact visible important sur les performances du VCO. Cet impact est montré sur la figure 80.

La fréquence finale ainsi produite par le VCO tenant compte des parasites est alors de 482 MHz, soit réduite de plus de la moitié comparé à la fréquence de 1,1 GHz obtenue en simulation. Le temps de démarrage est aussi impacté. Initialement relevé à 100 ns, le signal d'horloge est généré à partir de 400 ns. Ces valeurs plus faibles sont dues à l'addition du grand nombre capacités parasites avec les capacités internes des transistors. Cela crée au final une capacité

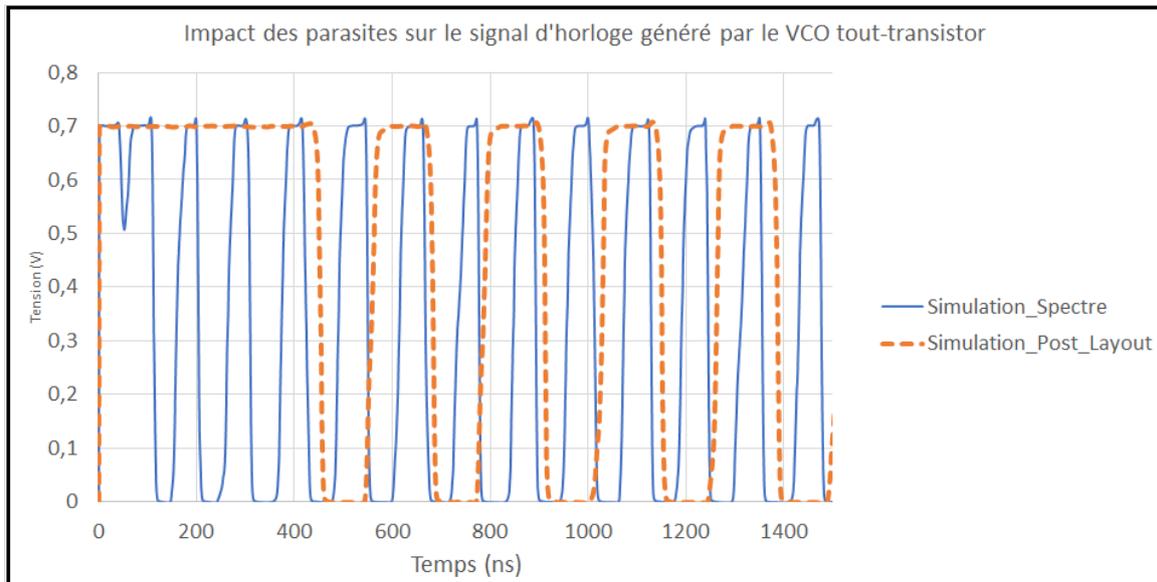


FIGURE 80 – Impact des parasites sur les performances du VCO

globale importante augmentant le produit RC des cellules. La période étant directement liée à l'inverse du produit RC, la fréquence est alors diminuée pour toute augmentation de ce produit. La qualité du signal reste inchangée avec des paliers haut et bas proprement réalisés. Enfin, même si les parasites capacitifs provoquent un important changement de fréquence, cette dernière est toujours valable pour la commande des capacités de la pompe de charge qui doit être supérieure à 100 MHz.

#### 4.4.6 Conclusion

Pour conclure, nous sommes parvenu à dimensionner un oscillateur en anneau (VCO) produisant une fréquence d'horloge de 482 MHz en utilisant uniquement des transistors. Son temps de démarrage est de 400 ns et son rapport cyclique de 60/40. Sa taille sur puce se limite à 23  $\mu\text{m}$  par 10  $\mu\text{m}$ . Enfin, nous avons relevé une consommation de 60  $\mu\text{A}$  pour l'association du VCO et de la pompe de charge (avec charge à 54 k $\Omega$ ). Cette consommation de 60  $\mu\text{A}$  correspond à une valeur de charge de 10 k $\Omega$  dans le cas où la tension d'alimentation est de 600 mV. Cette valeur de 10 k $\Omega$  sera alors la charge vue par le redresseur RF-DC et correspond à l'ensemble oscillateur + pompe de charge + capteur. Nous devons maintenant dimensionner le redresseur afin qu'il produise une tension supérieure à 600 mV pour une charge de 10 k $\Omega$  en ayant comme puissance d'entrée 0 dBm.

## 4.5 Dessins et simulations du redresseur VCT avec polarisation de la backgate en FDSOI

Le redresseur VCT à 8 étages est le dernier élément à dimensionner. Mais aussi le plus important car c'est le premier élément de la chaîne de conversion RF-DC après l'antenne. Ainsi, grâce aux études précédentes sur la pompe de charge et le VCO, nous savons que pour alimenter le capteur TelosB pendant sa phase de veille, il faudra que le redresseur VCT fournisse une tension d'au moins 600 mV pour une charge de 54 k $\Omega$ . Le redresseur étant fortement similaire à la pompe de charge, cette partie comportera des études de simulations similaires, comme la variation de la capacité de sortie, la taille des transistors, le nombre d'étages et la charge. A cela, on y ajoutera des études sur la puissance d'entrée, même si nous nous sommes fixés 0 dBm dans notre cas d'étude. Une étude est aussi proposée sur l'impédance d'entrée. Les simulations comparatives utiliseront les valeurs finales comme paramètres prédéfinis soit des capacités d'étages de 1 pF, une capacité de sortie de 10 pF, 8 étages, une largeur  $W$  de transistor de 7  $\mu\text{m}$  et une longueur  $L$  de transistor de 30 nm.

### 4.5.1 Dimensionnement des composants

Le dimensionnement des composants reprend la méthode de simulation paramétrique utilisée pour les transistors et les capacités avec les variables de largeur  $W$  de transistors et les capacités d'étages  $C_s$  et la capacité de sortie  $C_{out}$ . Le redresseur VCT a aussi deux paramètres supplémentaires, son nombre d'étage  $N$  et sa puissance d'entrée  $P_{in}$ . Ce sont autant de paramètres qui feront parti de la simulation paramétrique. De même manière que pour la pompe de charge, la méthode va consister à simuler tous les paramètres en simultanément afin de déterminer les valeurs qui donneront le résultat voulu, à savoir une tension de sortie de 600 mV minimum pour une charge fixée de 10 k $\Omega$  correspondant à l'ensemble pompe de charge, VCO et capteur TelosB.

### 4.5.2 Impact de la taille des transistors, des capacités et de la charge

Comme nous l'avons montré dans la partie dimensionnement des transistors, la modification de la largeur  $W$  du transistor produit un effet immédiat sur les performances du circuit de redressement. Dans ce cas d'étude nous avons pris un redresseur VCT à huit étages avec des paramètres prédéfinis représentatifs de la structure définitive. La tension de sortie produite par le redresseur VCT selon la largeur  $W$  des transistors est montrée sur la figure 81 pour une puissance d'entrée de 0 dBm, des capacités d'étages de 1pF et de sortie de 10 pF, 8 étages et une charge de 10 k $\Omega$ .

On voit ainsi que la modification de la largeur  $W$  du transistor LVT influe uniquement sur

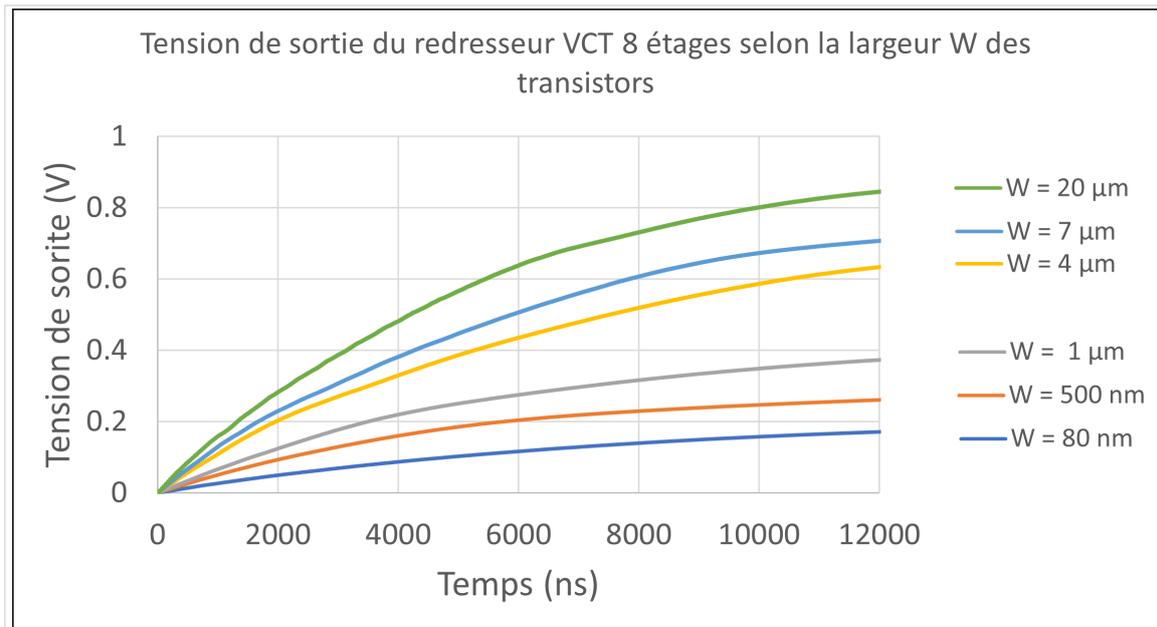


FIGURE 81 – Impact de la largeur du transistor sur la tension de sortie du redresseur VCT à 8 étages

le niveau de tension de sortie. Cette variable  $W$ , n'a dans ce cas aucun impact ni sur l'oscillation de tension en régime établi, ni sur le temps de montée. En revanche, il faut noter que, passé une valeur de largeur de  $W$  égale à  $7 \mu\text{m}$ , le niveau de tension cesse d'augmenter et diminue à partir de ce point. Il est alors probable que pour des grandes valeurs de  $W$ , trop de courant passe à travers le transistor et les capacités qui le suivent sont trop faibles ( $1\text{pF}$  dans notre cas d'étude) pour pouvoir stocker l'énergie convenablement.

Après étude de la largeur du transistor, les deux autres éléments à traiter sont les capacités d'étages  $C_s$  et de sortie  $C_{out}$ . Pour dimensionner ces composants nous suivons la procédure de simulation paramétrique décrite dans la partie dimensionnement des capacités 4.2.2. Dans notre cas d'étude, pour une charge de  $10 \text{ k}\Omega$  le meilleur résultat est obtenu pour une capacité de sortie  $C_{out}$  de  $10 \text{ pF}$ , similaire aux résultats obtenus pour la pompe de charge. C'est pour cette valeur que nous obtenons un signal sans oscillation de la tension. Comme on peut le voir sur la figure 82, des valeurs de capacités plus faibles rendent le signal trop oscillant ( $+5\%$  de la valeur finale) et alors difficilement utilisable pour une application d'alimentation DC. Nous pouvons aussi voir que dans notre cas, hormis les oscillations et le temps de montée, la capacité de sortie n'influe pas sur le niveau de tension de sortie.

Le redresseur VCT est aussi composé de capacités d'étages  $C_s$ . A chaque étage correspond deux capacités. La première capacité se charge avec le signal RF et la tension est introduite dans le circuit par le biais du premier transistor. La seconde capacité d'étage se charge après que le signal RF issue de la première capacité est été redressé par le second transistor. A contrario de la capacité de sortie  $C_{out}$ , les capacités d'étage  $C_s$  n'ont pas d'impact sur le temps de montée

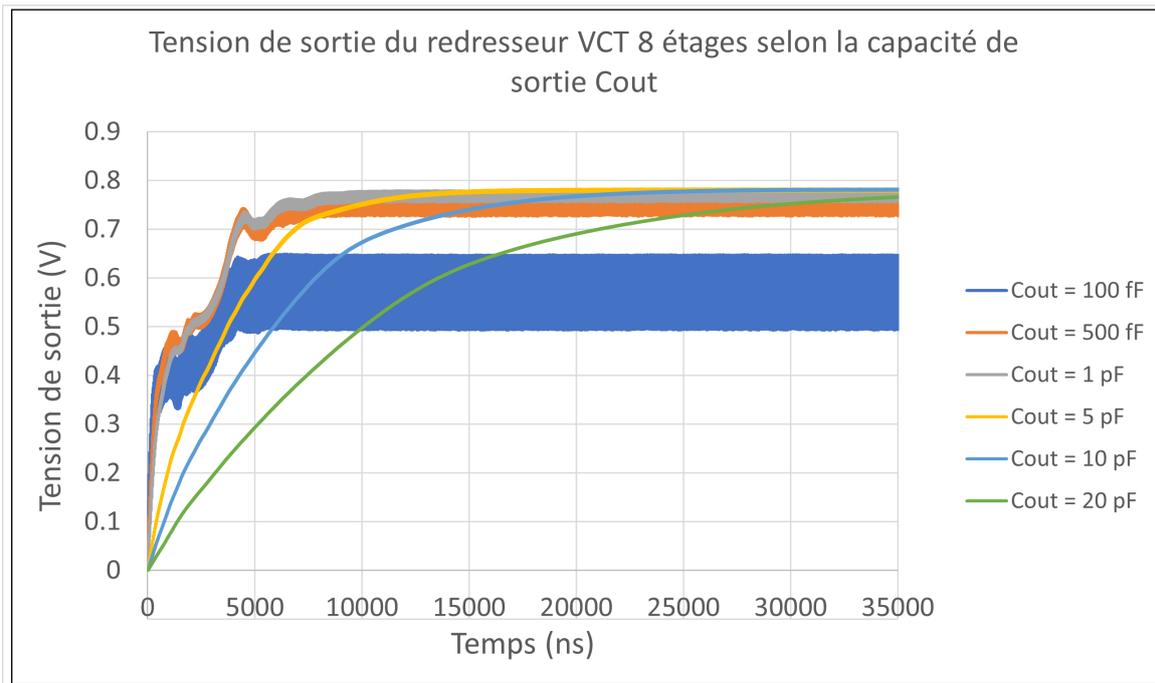


FIGURE 82 – Impact de la capacité de sortie sur la tension de sortie du redresseur VCT 8 étages et la qualité (pas oscillation) du signal. L'évolution de la tension de sortie du redresseur VCT selon  $C_s$  est montré sur la figure 83.

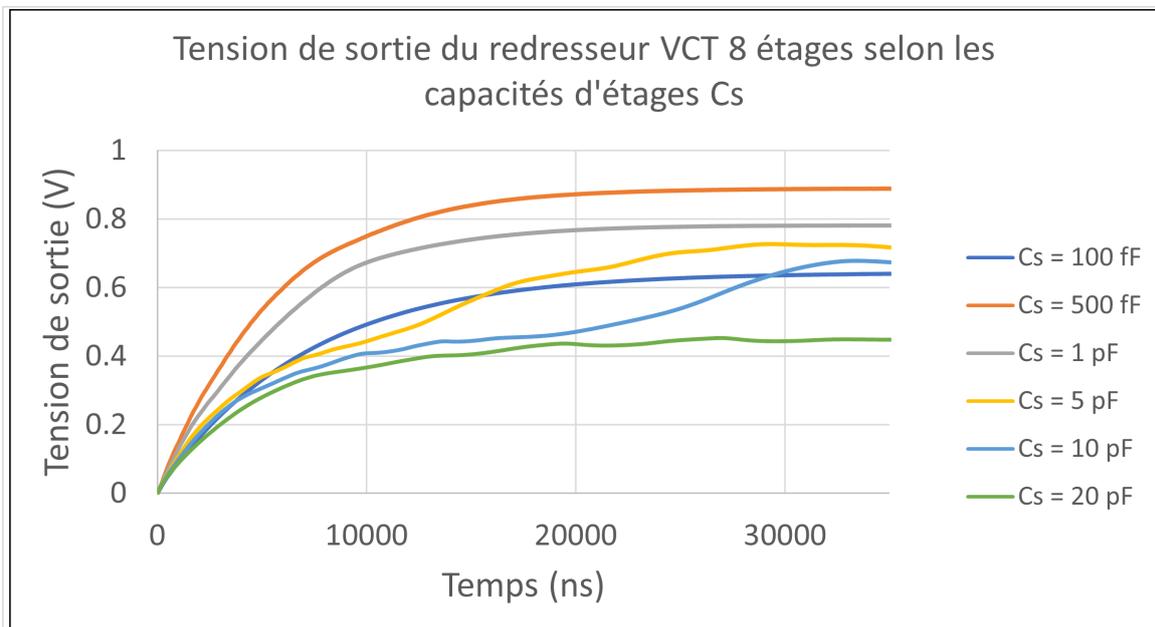


FIGURE 83 – Impact des capacités d'étage sur la tension de sortie du redresseur VCT 8 étages

Ainsi, selon la figure 83, les résultats auraient suggéré de choisir des capacités de 500 fF. Car c'est la capacité donnant des meilleurs performances. Cependant, nous avons choisi une valeur de 1 pF car elle permet d'avoir les mêmes résultats et nous permettra d'agencer le layout de manière similaire à celui de la pompe de charge qui utilise aussi des capacités de 1 pF.

L'élément suivant les capacités est la charge  $R_{load}$ . Dans notre étude, la charge est déterminée par l'ensemble pompe de charge, VCO et capteur TelosB qui équivaut à une charge de  $10k\Omega$  vue par le redresseur. Mais il est aussi intéressant de voir l'évolution de la tension de sortie du redresseur VCT 8 étages pour d'autres valeurs de charges. Nous avons ainsi réalisé une simulation paramétrique pour des valeurs allant de  $100\Omega$  à  $10M\Omega$ . Les résultats sont montrés sur la figure 84.

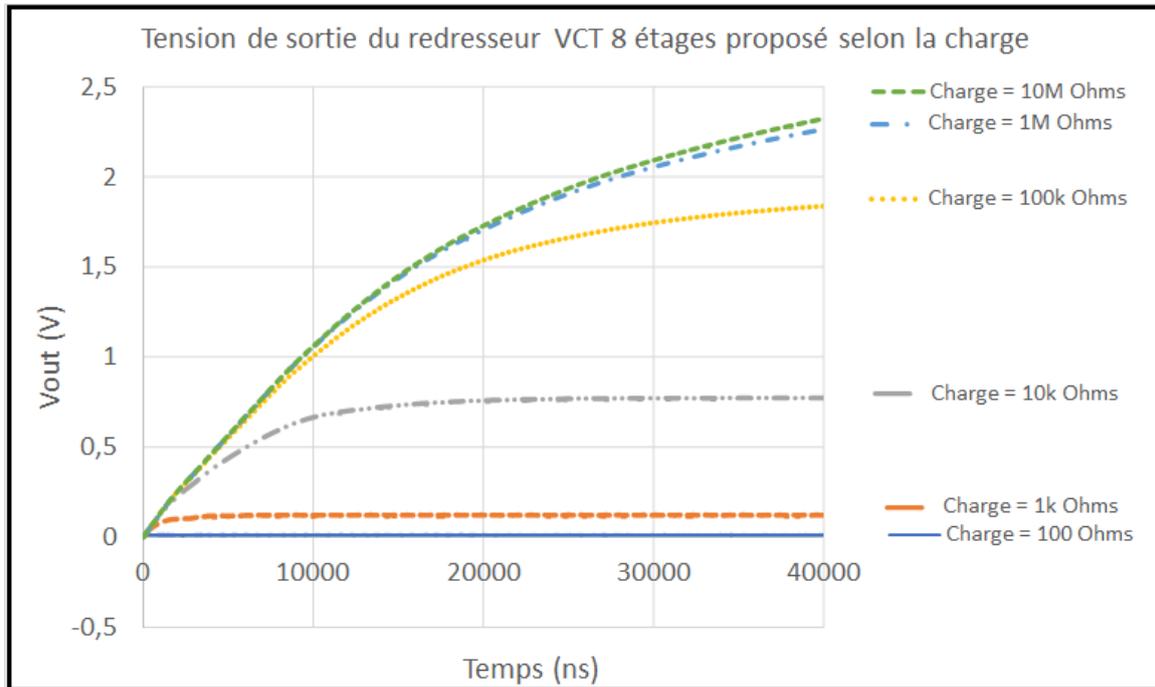


FIGURE 84 – Impact de la charge sur la tension de sortie du redresseur VCT à 8 étages

La figure 84 montre que le redresseur fonctionne à partir d'une charge de  $1k\Omega$  et plus la valeur de charge augmente plus la tension augmente aussi. Les plus grandes valeurs de charge ont un léger impact sur le temps d'établissement du régime continu permanent mais le signal n'est pas dégradé. On voit clairement qu'avec des valeurs de charge plus importantes, la tension de sortie augmente très rapidement jusqu'à atteindre plus de 2,5 V pour une charge  $10M\Omega$ . Le résultat le plus intéressant selon l'étude est obtenu pour une charge de  $100k\Omega$ . A cette valeur, la tension de sortie est de 2 V, ce qui est déjà suffisant pour alimenter certains circuits faibles puissances (micro-contrôleur, capteur, indicateurs lumineux) consommant quelques micro-ampères.

#### 4.5.3 Impact de la puissance d'entrée

Dans notre étude, nous nous sommes fixés pour condition une puissance d'entrée du redresseur à 0 dBm correspondant à la puissance d'émission d'un boîtier Wi-Fi standard (type

routeur/modem). Cependant, il peut être intéressant de voir l'évolution des performances du redresseur dans le cas où cette condition de puissance d'émission ne serait pas atteinte ou alors serait surpassée comme dans le cas d'un boîtier haute performance délivrant 2 mW ou alors dans le cas où le signal serait entravé par des obstacles ou la distance. L'évolution de la tension de sortie du redresseur selon la puissance d'entrée  $P_{in}$  est montrée sur la figure 85.

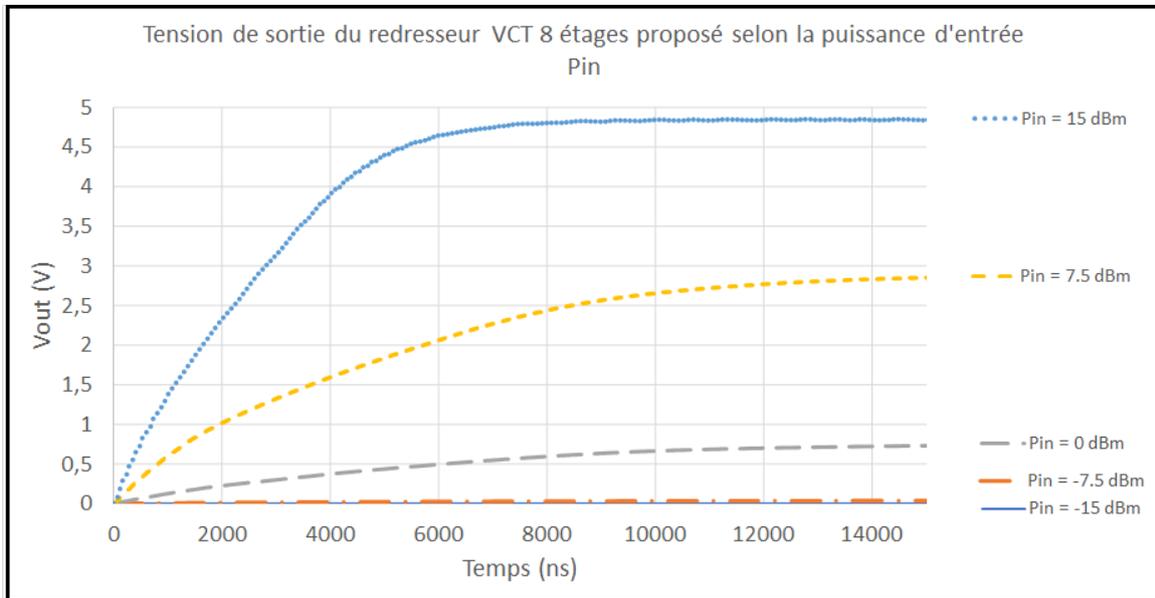


FIGURE 85 – Impact de la puissance d'entrée sur la tension de sortie du redresseur VCT à 8 étages

Notre circuit étant optimisé à 0 dBm il nous paraît normal qu'il ne produise pas ou peu de tension de sortie en dessous de cette valeur. C'est ce qu'on remarque sur la figure 85. En effet, les transistors utilisés ont une largeur assez importante de 7  $\mu\text{m}$ . Cette largeur a été optimisée pour une puissance d'entrée de 0 dBm. Pour des puissances d'entrées plus faibles, il nous paraît logique que de plus petites tailles de transistors doivent être utilisées afin de réduire la tension de seuil et ainsi d'avoir une meilleure sensibilité au signal. En revanche, si l'on dépasse 0 dBm, les performances augmentent considérablement jusqu'à multiplier la tension de sortie par 5 en utilisant une puissance d'entrée de +15 dBm. Toutefois, hormis des cas exceptionnels comme les stations émettrices cellulaires "Base Transceiver Station" qui émettent plusieurs centaines de mW, nous ne retrouverons pas ces puissances dans la zone ambiante, de plus il faudrait rajouter un circuit de limitation de tension pour ne pas saturer le TelosB qui est limité à 3,6 V en tension d'entrée. Mais cela montre tout de même que notre circuit a plus de facilité à fonctionner avec des puissances fortes que faibles. Nous n'avons pas réalisé d'étude supplémentaire sur la sensibilité du redresseur à la fréquence ni l'impact de la puissance d'entrée sur l'amplitude du signal alternatif reçu par le circuit. Les simulations ont uniquement montré que ce signal reçu n'était pas dégradé avec la charge de 10  $\text{K}\Omega$  requise.

#### 4.5.4 Impact du nombre d'étage sur l'impédance d'entrée

Il existe deux manières d'augmenter le nombre d'étage d'un circuit de redressement. On peut rajouter des étages en série ou en parallèle. L'ajout des étages en série permet d'augmenter la tension de sortie. L'ajout d'étages en parallèle, permet d'augmenter le courant de sortie. Dans notre cas d'étude, notre charge, et donc le courant que nous devons fournir en sortie est fixé à  $51 \text{ k}\Omega$  soit  $21 \mu\text{A}$  selon la datasheet en mode "idle" 5.6 . Et la valeur qui va alors être critique est la tension de sortie du redresseur qui doit être suffisamment élevée pour que l'ensemble pompe de charge, VCO et le capteur puisse fonctionner. Ainsi, selon les études précédentes sur la pompe de charge et du VCO, une tension minimale de  $600 \text{ mV}$  doit être fournie par le redresseur. Nous montrons donc la tension de sortie du redresseur en fonction du nombre d'étage sur la figure 86.

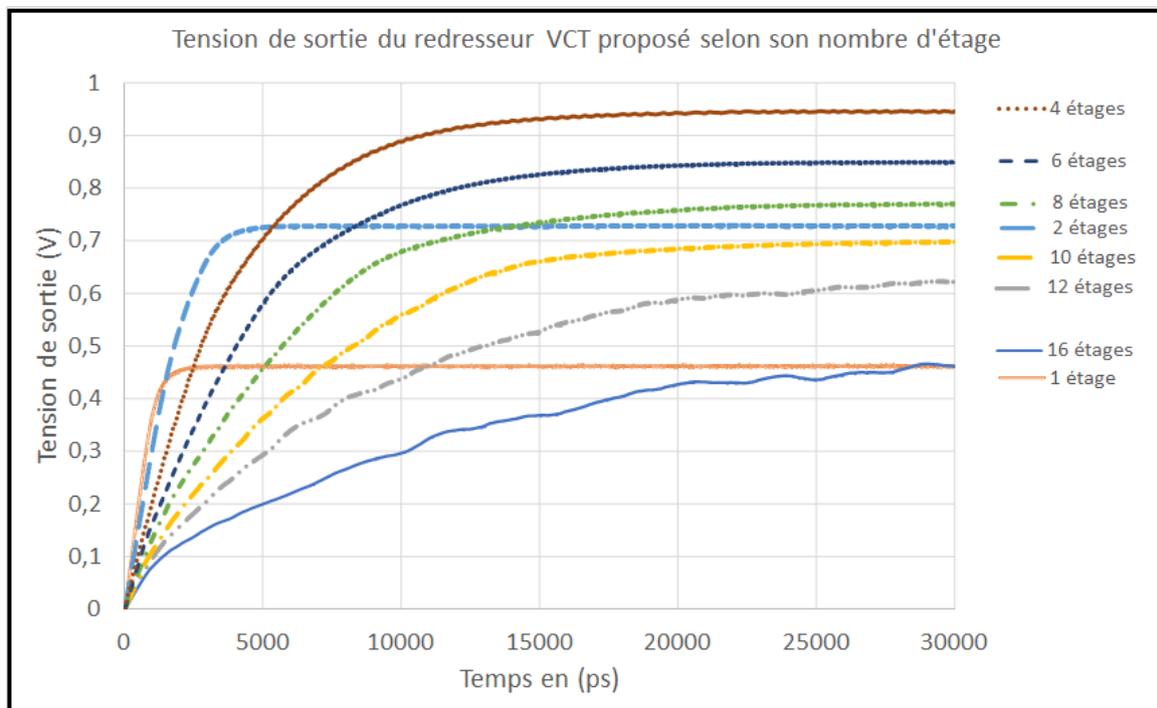


FIGURE 86 – Impact du nombre d'étage du redresseur VCT proposé sur la tension de sortie

On peut remarquer sur la figure 86 que le comportement de la tension de sortie du redresseur est similaire à celui de la pompe de charge Dickson. C'est à dire qu'au bout d'un certain nombre d'étages, le gain diminue jusqu'à ce que les pertes introduites dans le circuit soient plus importantes que le gain apporté. Dans notre cas d'étude, la tension maximale atteinte par le redresseur pour une puissance d'entrée de  $0 \text{ dBm}$  et une charge de  $10 \text{ K}\Omega$  est  $950 \text{ mV}$  avec 4 étages. Au delà, la tension chute jusqu'à avoir des performances similaires avec 16 étages plutôt qu'un.

En se fiant à cette simulation, seul des redresseurs avec 1 étage et 16 étages ne permettent pas d'obtenir  $600 \text{ mV}$ . Nous avons donc le choix entre différents nombre d'étages. Ce choix va se faire en prenant en compte un autre critère : l'impédance d'entrée du redresseur. L'impédance des

redresseurs est introduite dans le chapitre 3.2.5 et permet de maximiser le transfert de puissance entre deux éléments du circuit, ici la source du signal RF et le redresseur. Mesurer l'impédance d'entrée du circuit peut nous indiquer si le circuit peut alors être facilement adaptable ou non. Cette étude a été publiée dans la référence [89]. L'impédance mesurée à l'entrée du redresseur VCT proposé (TVC en anglais) est montrée sur la figure 87 en fonction du nombre d'étage et de la topologie.

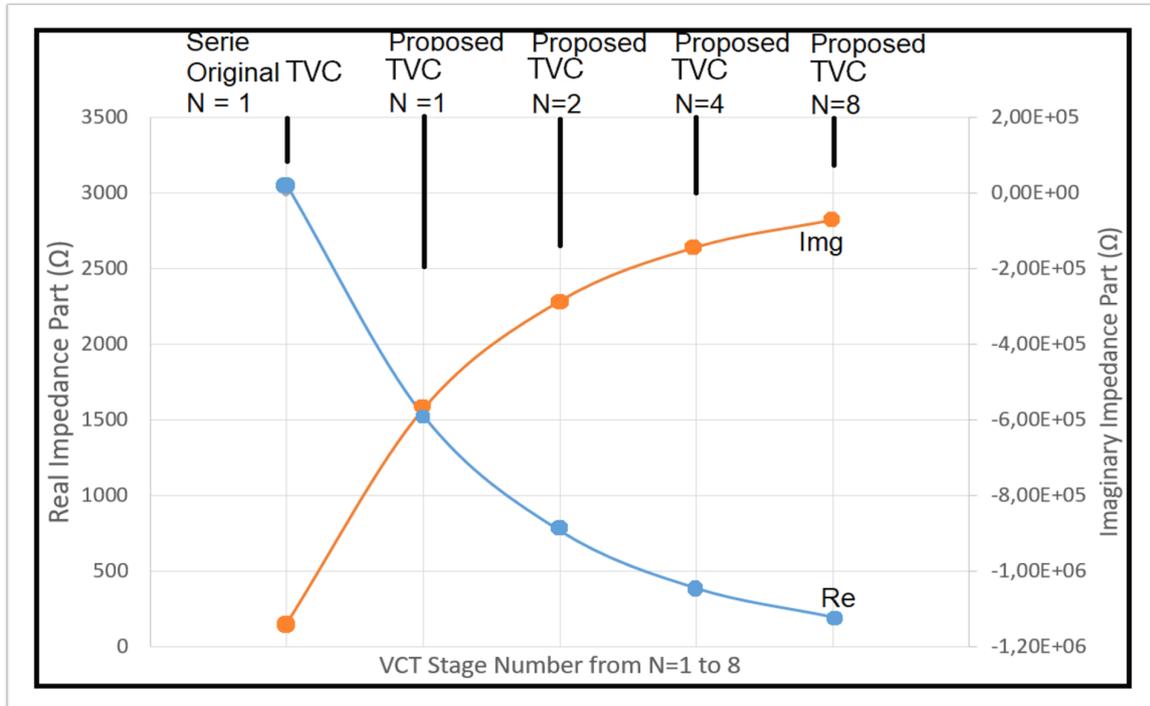


FIGURE 87 – Impact de la structure proposée (TVC = VCT) et du nombre d'étage du redresseur VCT sur l'impédance d'entrée [89]

L'adaptation de l'impédance d'entrée permet aussi de garantir une bonne liaison avec les appareils de mesures qui sont adaptés en  $50 \Omega$ . Notre but est donc de se rapprocher de cette valeur. Ainsi, nous avons remarqué qu'en polarisant le substrat des transistors de redressement du redresseur VCT, il est possible de réduire l'impédance d'entrée de moitié. Ensuite, en augmentant son nombre d'étage, on peut à nouveau réduire l'impédance de manière significative jusqu'à atteindre 8 étages. Au delà, la différence se compte en quelques ohms uniquement. Ainsi, avec le redresseur proposé de 8 étages nous avons pu atteindre une impédance d'entrée avec  $33 \Omega$  de partie réelle et une partie imaginaire négative proche de  $1 \text{ k}\Omega$ . Nous avons pu ainsi réduire d'un facteur 15 l'impédance ramenée par un redresseur série simple (cf partie 3.9) ou un redresseur VCT standard (cf partie 3.2.3). Nous avons tenté d'adapter cette valeur d'impédance à  $50 \Omega$  en utilisant des éléments discrets tels que des réseaux L et C en utilisant le diagramme de Smith pour les calculs. L'adaptation est possible mais difficilement réalisable dans notre cas en technologie intégrée car elle requière une inductance de plusieurs nano-Henri ( $6 \text{ nH}$  pour le

VCT). Le problème est que cette inductance pour cette valeur prendrait à elle seule une trop grande place sur le circuit. Dans le cadre de notre étude nous avons une place totale de 1,2 mm par 1,2 mm en FDSOI 28 nm. Au vu du prix de réalisation il n'est alors pas concevable d'utiliser la majorité de l'espace pour réaliser une inductance ou capacité. Mais il serait possible de réaliser cette adaptation à l'extérieur de la puce dans le cas où le circuit est en-capsulé, le rendant plus simple à être interfacé avec des éléments extérieurs. Nous avons donc décidé de ne pas adapter le circuit et nous contenter de cette valeur de  $33 \Omega$  déjà satisfaisante même si une désadaptation engendre des pertes sur les performances et le rendement du circuit. En simulation, les sources sont à 50 Ohms et les structures sont non-adaptées à ces sources.

#### 4.5.5 Rendement du redresseur VCT

L'étude du rendement n'est pas prioritaire dans nos travaux car nous visons une application spécifique. Cependant, à titre comparatif et pour situer notre étude vis à vis de l'état de l'art nous avons calculé le rendement du redresseur VCT à 8 étages proposé dans deux cas. Le premier cas concerne le redresseur avec ses paramètres pour l'application d'alimentation du capteur TelosB. Le second cas concerne le redresseur VCT avec une recherche rapide du rendement optimal.

##### 4.5.5.1 Premier cas : Redresseur proposé avec paramètre d'application

Pour notre application, nous avons donc certaines conditions à respecter. La puissance d'entrée, la charge et le nombre d'étage sont fixés. La puissance d'entrée est fixée à 0 dBm dans notre étude, soit 1 mW. En sortie du redresseur nous obtenons pour une charge de 10 k $\Omega$ , une tension de sortie de 750 mV et un courant correspond à la charge de 75  $\mu$ A. Nous avons une puissance d'entrée de 1 mW et une puissance de sortie de 56  $\mu$ W.

Ainsi, selon l'équation 6, nous obtenons un rendement de 5,6%. Nous rappelons que le redresseur n'est pas adapté et que l'impédance de la source est de 50 $\Omega$ .

##### 4.5.5.2 Second cas : Rendements maximums obtenus en utilisant des redresseurs avec polarisation de la grille arrière

Sans nous attarder sur la question, nous avons obtenu par simulations paramétriques un rendement de 16,1% pour une structure de redresseur VCT proposée à 2 étages à une puissance de -5 dBm. Avec la technologie FDSOI, nous avons obtenu pour un redresseur série simple avec adaptation d'impédance idéale (conjugué d'impédance sur la source RF) un rendement de 53% à une puissance d'entrée de -15 dBm pour une charge de 10 k $\Omega$ . Ce résultat de 53% a été obtenu avec un redresseur doubleur de tension utilisant dans capacités de 10 pF, des transistors à la

taille par défaut de 80 nm utilisant la polarisation du substrat.

#### 4.5.6 Effets des parasites (post-layout)

De la même manière que la pompe de charge et le VCO, le redresseur est soumis aussi aux effets parasitiques physiques survenant avec l'empilement des couches du circuit. La figure 88 montre le layout de redresseur VCT à 8 étages.

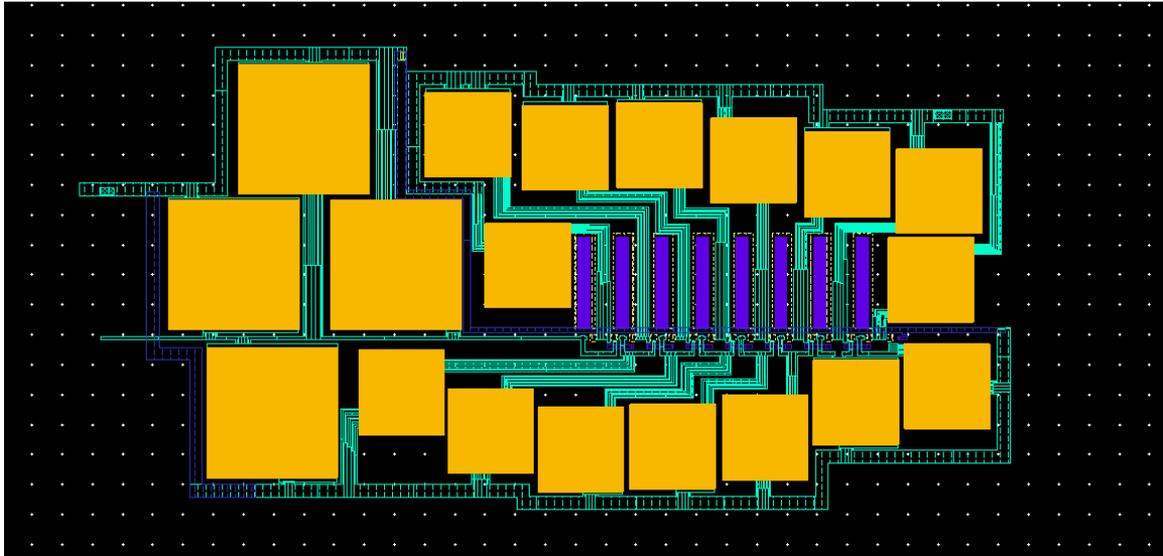


FIGURE 88 – Visualisation du layout et des parasites du redresseur VCT à 8 étages

Du fait que le redresseur VCT possède deux capacités par étage, le nombre total de capacité est de vingt en incluant la capacité de sortie de 10 pF divisée en quatre capacités de 2,5 pF. Ainsi, pour limiter les effets capacitifs créés par les lignes reliant les transistors aux capacités, il faut placer ces deux éléments au plus proche. D'autre part, pour que le courant circule correctement, il faut s'assurer d'avoir des lignes presque aussi large que les transistors eux même pour maximiser le passage du courant. Mais ces lignes créées à leur tour des capacités entre les couches métalliques de la technologie. C'est pourquoi nous avons du diviser les lignes en plusieurs pistes véhiculant le même signal comme montré sur la figure 89.

Ce phénomène de ligne n'est pas le plus important puisque nous avons pu le corriger. En effet, les effets parasitiques capacitifs sont présents en grand nombre à l'intérieur du transistor, de la même manière que pour le VCO. Sauf que dans le cas présent, le transistor est de largeur beaucoup plus grande. Cela nous mène à penser que cela est dû au signal RF injecté en entrée et qui est ramené à chaque étage du redresseur. L'effet de ces parasites restant est montré sur la figure 90 et impactera le signal de sortie.

La tension de sortie produite en tenant compte des parasites à un niveau satisfaisant, toutefois elle oscille à 5% de la valeur finale. Sans surprise, cette oscillation a une fréquence de 2,45 GHz résultante de l'opération de redressement et du fait que le signal d'entrée à 2,45 GHz

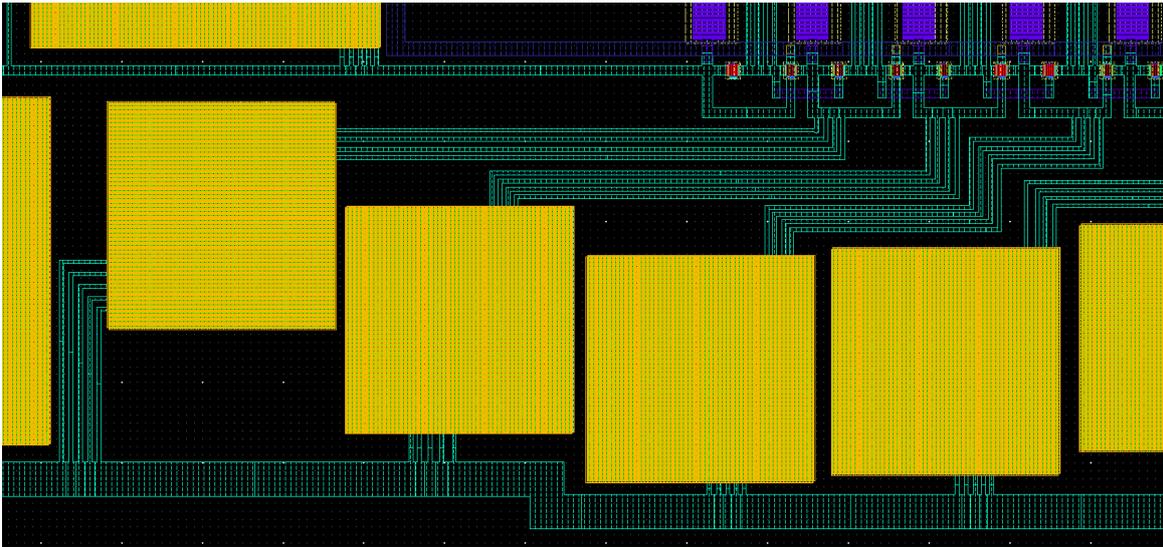


FIGURE 89 – Visualisation de la suppression des effets capacitifs par division de ligne du redresseur VCT à 8 étages

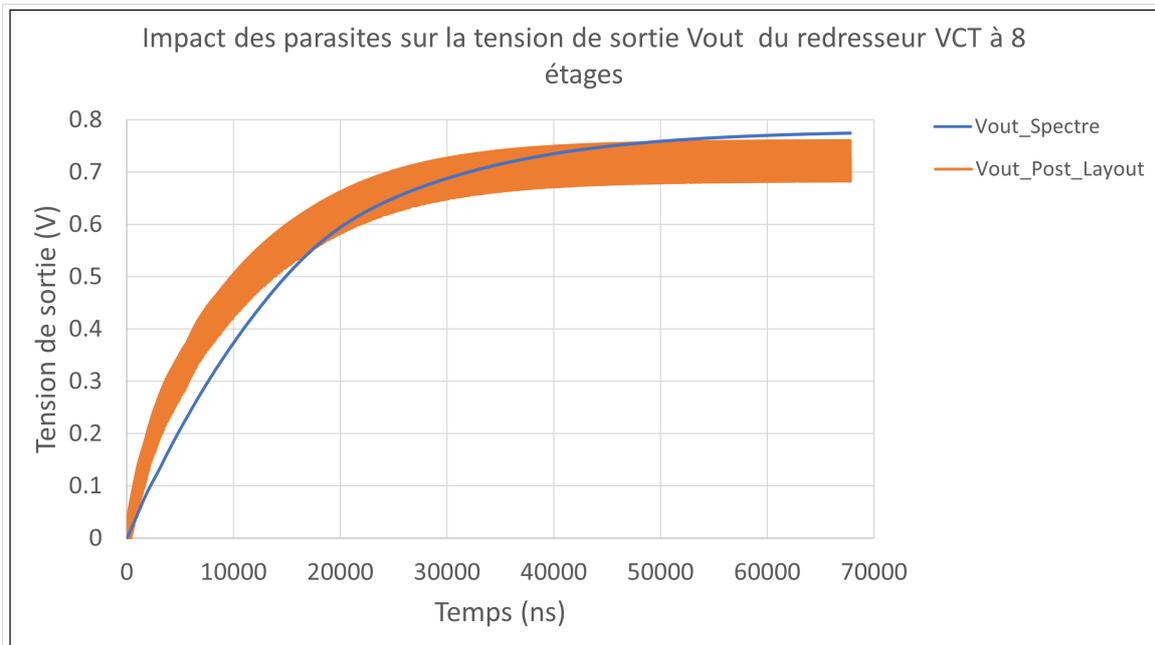


FIGURE 90 – Impact des parasites sur la tension de sortie du redresseur VCT

soit ramené à chaque étage. Pour avoir une tension moins oscillante il aurait fallu augmenter la valeur de capacité de sortie  $C_{out}$  mais nous sommes déjà au maximum compte-tenu de la taille physique de cette dernière cf partie 88, 106. L'ajout d'un filtre pose le même problème de taille, mais encore une fois, il est possible de réaliser ces opérations de manière extérieure. Nous avons donc gardé ce résultat nous permettant tout de même de produire une tension en sortie du redresseur de 750 mV avec une charge de 10 k $\Omega$  pour une puissance d'entrée de 0 dBm.

#### 4.5.7 Conclusion

A l'issue de cette étude, nous sommes en mesure de proposer un redresseur avec technique d'annulation de la tension de seuil (VCT) à 8 étages capable de fournir une tension de 750 mV à partir d'une puissance d'entrée de 0 dBm et pour une charge de 10 k $\Omega$  (correspondant à l'ensemble pompe de charge, VCO et capteur). Le redresseur proposé à 8 étages permet aussi de réduire d'un facteur 15 l'impédance d'entrée comparé à un redresseur série. Son impédance d'entrée n'est cependant pas adaptable en technologie intégrée de part la nécessité d'une inductance trop imposante sur la puce. Toutefois, la valeur réelle ramenée de 33  $\Omega$  est assez proche de 50  $\Omega$ , ce qui intéressant pour les mesures de la puce une fois réalisée. Le redresseur VCT proposé occupe 410  $\mu\text{m}$  par 105  $\mu\text{m}$ .

### 4.6 Comparaison des performances du redresseur VCT et de la pompe de charge selon les tailles de transistors en BULK 350 nm et FDSOI 28 nm

Dans cette section nous comparons les circuits de redresseur VCT et pompe de charge pour les deux technologies intégrées FDSOI 28 nm et BULK 350 nm afin de pouvoir statuer sur le gain apporté par la diminution de la taille des transistors (principalement la longueur  $L$ ). Les circuits sont réalisés de la même manière à la différence qu'en BULK 350 nm il n'est pas possible de polariser le substrat, celui-ci est donc mis à la masse pour les transistors canal N et au Vdd pour les transistors canal P. Nous effectuerons donc deux types de comparaisons pour les deux circuits. La première consiste à égaliser les dimensions des deux technologies. Nous prendrons les dimensions de la technologie présentant la plus grande taille (c'est à dire la technologie BULK 350 nm) et la seconde consiste à utiliser les dimensions optimales permises par la FDSOI 28 nm (jusqu'à 30 nm). Nous commençons par le redresseur VCT.

#### 4.6.1 Redresseur VCT 8 étages

##### 4.6.1.1 A dimensions égales $L = 350$ nm (BULK)

Nous comparons dans un premier temps le circuit du redresseur VCT à 8 étages dans les deux technologies en utilisant des dimensions égalisées pour les transistors, soit une largeur  $W$  de 10  $\mu\text{m}$  et une longueur  $L$  de 350 nm. Les conditions de simulations sont les mêmes, soit une puissance d'entrée de 0 dBm, une charge de 10 k $\Omega$  et des capacités d'étages de 1 pF et de sortie de 10 pF. La fréquence du signal d'entrée est toujours de 2,45 GHz.

La figure 91 montre qu'il y a un écart de performance relativement important entre les deux technologies. La FDSOI possède une bien meilleure tension de sortie malgré le fait que

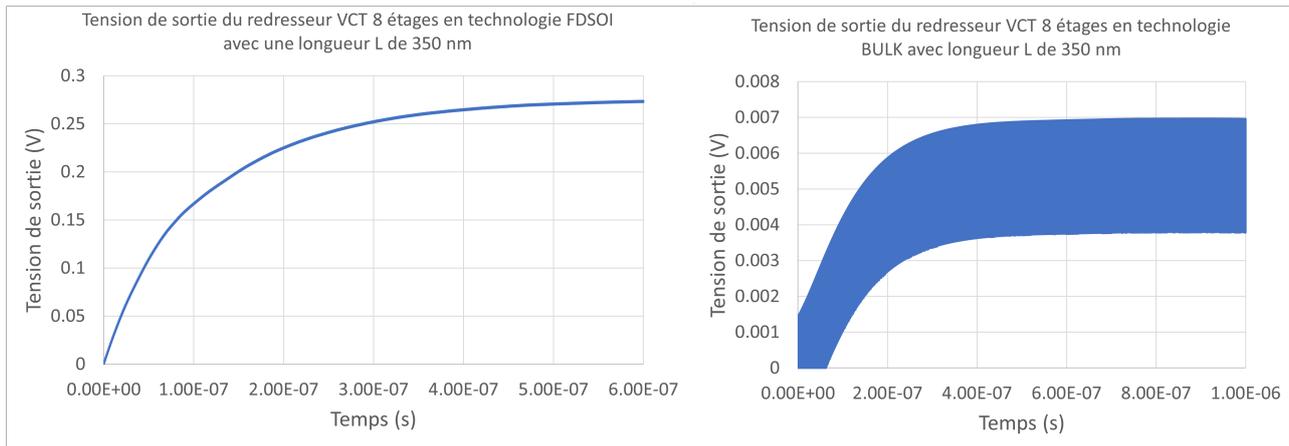


FIGURE 91 – Comparaison de la tension de sortie du redresseur VCT en FDSOI et BULK à dimensions égales.

la longueur de ses transistors ne soient pas optimales. Le signal obtenu en BULK est quand à lui inutilisable de part sa faible amplitude mais aussi par son redressement incomplet (présence d'oscillations en sortie). Il faut comprendre que dans le cas de la FDSOI, le fait d'égaliser aussi la largeur à celle de la technologie BULK à  $10\ \mu\text{m}$ , augmente fortement le courant qui passe dans le transistor. Alors qu'en technologie BULK, il s'agit de sa largeur par défaut et donc de ces performances minimales. La présence d'oscillation à la fréquence de 2,45 GHz pour la technologie BULK, révèle une défaillance de la fonction de redressement de type filtrage passe bas qui doit normalement être assurée par le redresseur.

#### 4.6.1.2 A dimensions optimales $L = 30\ \text{nm}$ (FDSOI)

Dans un second temps, nous comparons les tensions de sortie du redresseur VCT à 8 étages dans les mêmes conditions de simulation à l'exception des dimensions des transistors qui sont optimales et propre à chaque technologie (résultats optimaux obtenus par simulations paramétriques). C'est à dire qu'en FDSOI les transistors ont une largeur  $W$  de  $6\ \mu\text{m}$  et une longueur  $L$  de 30 nm alors qu'en BULK les transistors ont une largeur  $W$  de  $35\ \mu\text{m}$  et une longueur  $L$  de 350 nm. Voici donc les simulations pour deux puissances d'entrée différentes : 0 et +7 dBm.

Sur la figure 92, nous avons tenté d'égaliser la tension de sortie obtenue en FDSOI avec le circuit en BULK en jouant sur la puissance d'entrée. Car les dimensions des transistors, bien qu'étant optimales n'auraient pas permis d'avoir les mêmes performances en utilisant la même puissance d'entrée pour les deux technologies. C'est pourquoi, pour atteindre un niveau de tension similaire au redresseur VCT en FDSOI, il faut au redresseur VCT en BULK une puissance d'entrée supérieure de 7 dBm (comparé à 0 dBm en FDSOI). Si la puissance d'entrée était restée à 0 dBm en BULK, la tension de sortie aurait été de quelques dizaines de mV. De

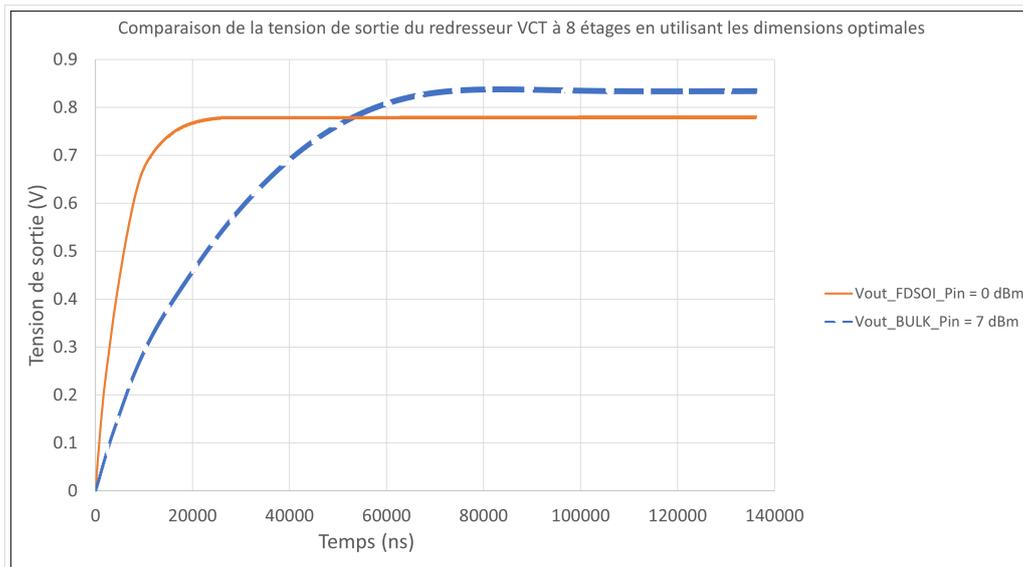


FIGURE 92 – Comparaison de la tension de sortie du redresseur VCT en FDSOI et BULK à dimensions optimales à 0 et +7 dBm

plus, on voit aussi que le temps d'établissement est plus long pour la technologie BULK ce qui est logique car les transistors plus petits en FDSOI commutent avec un ordre de grandeur 100 fois plus rapidement (montré au chapitre 2.5.4) et peuvent donc traiter des signaux de plusieurs centaines de GHz. Nous poursuivons la même étude pour la pompe de charge.

#### 4.6.2 Pompe de charge Dickson 8 étages

##### 4.6.2.1 A dimensions égales $L = 350$ nm (BULK)

Nous comparons dans un premier temps le circuit de pompe de charge à 8 étages dans les deux technologies en utilisant des dimensions égalisées pour les transistors soit une largeur de  $10\ \mu\text{m}$  et une longueur  $L$  de  $350$  nm. Les conditions de simulations sont les mêmes, soit une tension d'entrée de  $600$  mV, une charge de  $54\ \text{k}\Omega$  et des capacités d'étages de  $1\ \text{pF}$  et de sortie de  $10\ \text{pF}$  dimensionnées en figures 64, 83 et 65, 83. La fréquence d'horloge associée aux commutations des capacités est de  $100$  MHz et d'amplitude égale à la tension d'entrée soit  $600$  mV.

Comme nous pouvons le voir sur la figure 93, le résultat est sans appel. La tension générée par la pompe de charge en FDSOI dépasse de loin celle produite par la technologie BULK qui paraît "obsolète". La tension de sortie de la pompe de charge est légèrement diminuée à cause de l'augmentation de la longueur  $L$  de ces transistors à  $350$  nm mais est compensée par le passage de sa largeur  $W$  à  $10\ \mu\text{m}$ . Nous observons le même comportement que pour le cas du redresseur précédemment.

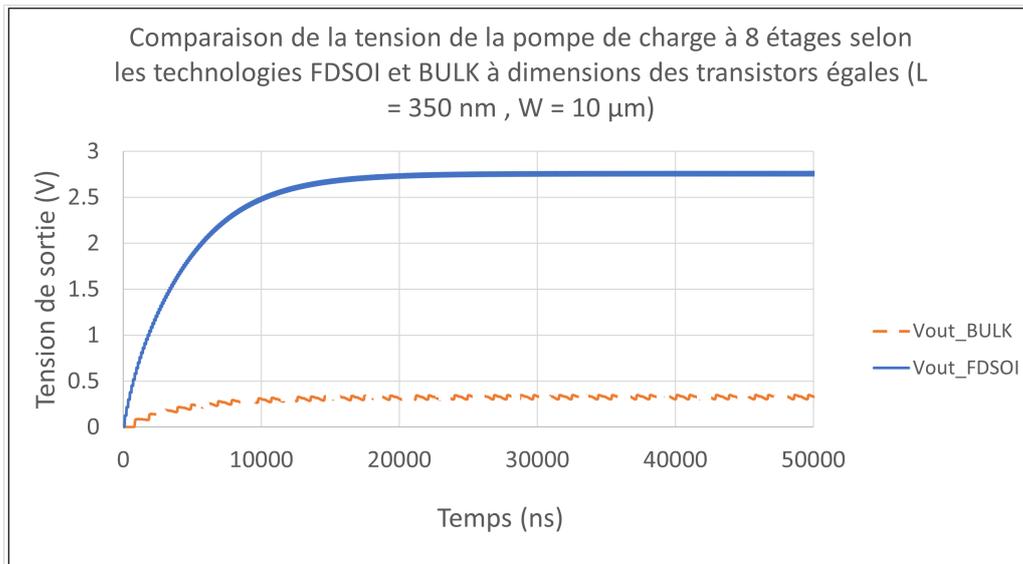


FIGURE 93 – Comparaison de la tension de sortie de la pompe de charge en FDSOI et BULK à dimensions égales pour  $V_{in} = 600 \text{ mV}$

#### 4.6.2.2 A dimensions optimales $L = 30 \text{ nm}$ (FDSOI)

Dans un second temps, nous comparons les tensions de sortie de la pompe de charge à 8 étages dans les mêmes conditions de simulation à l'exception des dimensions des transistors qui sont optimales et propre à chaque technologie. C'est à dire qu'en FDSOI les transistors ont une largeur  $W$  de  $7 \mu\text{m}$  et une longueur  $L$  de  $30 \text{ nm}$  alors qu'en BULK les transistors ont une largeur  $W$  de  $70 \mu\text{m}$  et une longueur  $L$  de  $350 \text{ nm}$ .

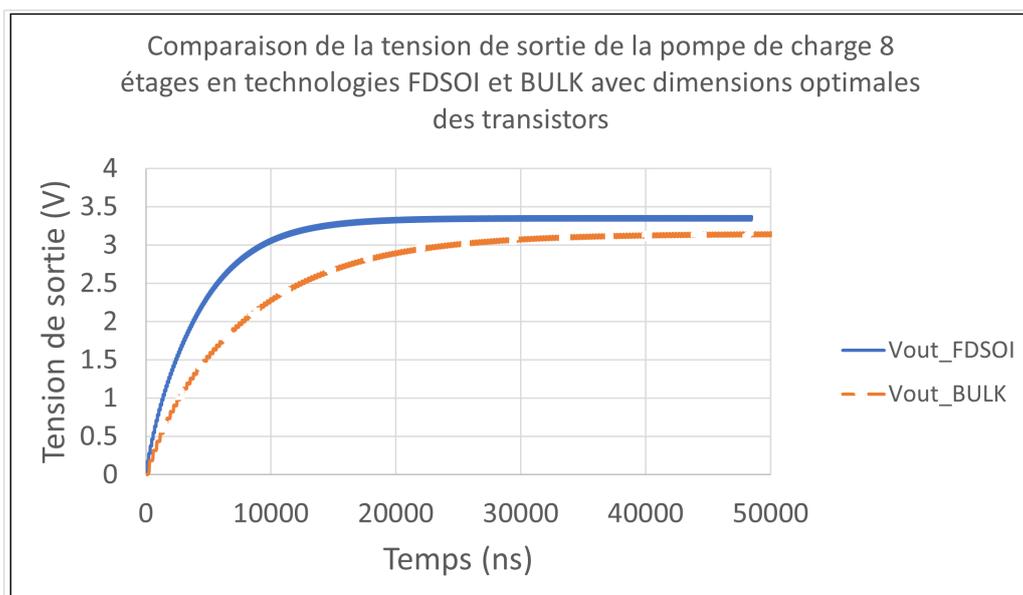


FIGURE 94 – Comparaison de la tension de sortie de la pompe de charge en FDSOI et BULK à dimensions optimales pour des tensions de  $600 \text{ mV}$  et  $1 \text{ V}$  en entrée

Sur la figure 94, nous avons tenté d'égaliser la tension de sortie en jouant sur la tension d'en-

trée. Car les dimensions des transistors, bien qu'étant optimales n'auraient pas permis d'avoir les mêmes performances en utilisant la même puissance d'entrée pour les deux technologies. C'est pourquoi, pour atteindre un niveau de tension similaire à la pompe de charge en FDSOI, il faut au circuit en BULK une tension d'entrée supérieure à 1V (comparé à 600 mV en FDSOI). La cause principale vient de la tension de seuil des transistors NMOS en BULK qui est de 600 mV. Les transistors nécessitent donc au minimum cette tension pour démarrer leur fonctionnement. Cette observation est à nouveau la même que pour le redresseur. Ce qui nous pousse à affirmer que la technologie FDSOI peut fonctionner dans le cas des applications de redressement à des puissances et niveau de tension bien plus bas qu'en BULK. Ceci est confirmé par les études menées précédemment sur les tension de seuil des transistors des technologies.

### 4.6.3 Conclusion

Nous concluons cette partie d'étude par simulation avec des résultats prometteurs que ce soit par simulation Spectre ou avec les résultats post-layout incluant les effets parasites des circuits. Ainsi, nous avons dimensionné avec succès la pompe de charge qui fournira au capteur les 3V nécessaires à son fonctionnement à partir d'une tension d'entrée de 600 mV. Nous avons pu aussi réaliser l'oscillateur qui contrôle la pompe de charge en le permettant de fonctionner à la même tension d'entrée. Ces deux éléments ainsi que le capteur sont vus comme une charge totale de 10 k $\Omega$  par le redresseur. Ensuite, nous avons dimensionné un redresseur avec technique d'annulation de la tension de seuil à huit étages capable de fournir une tension de sortie de 750 mV pour une charge de 10 k $\Omega$  à partir d'une puissance d'entrée de 0 dBm. Pour finir, nous avons montré en comparant les circuits VCT et pompe de charge dans les technologies FDSOI et BULK avec des dimensions égales et optimales, que la technologie FDSOI est nettement plus performante dans ces applications de redressement tout en ayant une taille physique plus petite. De plus, nous avons vu que pour atteindre les mêmes performances que la FDSOI, il était nécessaire dans le cas du redresseur d'augmenter fortement la puissance d'entrée passant ainsi de 0 dBm à +7 dBm. De même pour la pompe de charge, qui nécessite en BULK une tension d'entrée de 1V au lieu de 600 mV, pour produire une tension de sortie de plus de 3V. Ces résultats sont encourageants et prometteurs en vue d'une réalisation pratique et des mesures sous pointes des circuits qui sont présentés dans la partie suivante.

## **5 Réalisations et mesures expérimentales sous pointes**

## 5.1 Introduction

Les résultats obtenus en simulations idéale et post-layout tenant compte des effets parasites montrés au chapitre (4) sont suffisamment satisfaisants pour une réalisation des circuits. Les circuits de redresseurs VCT, oscillateur et pompe de charge ont été regroupés au sein d'une même puce sur les deux technologies ST FDSOI 28 nm et AMS BULK 350 nm. D'autres circuits "tests" plus simples ont été rajoutés tels que des redresseurs VCT standards et modifiés à un étage afin de comparer les résultats entre les deux technologies. Une fois les circuits regroupés, nous ajoutons le PADring qui constitue un anneau de PADs de connections autour du circuit (voir 96). Chaque PAD est connecté à une entrée ou une sortie des circuits et il relie toutes les masses des circuits entre elles. Les PADs permettent ensuite de venir réaliser une mesure avec des sondes à pointes qui viennent se glisser sur les PADs et faire contact. Les PADs ont des dimensions respectives de 60  $\mu\text{m}$  par 60  $\mu\text{m}$  et 100  $\mu\text{m}$  par 100  $\mu\text{m}$  pour les technologies FDSOI et BULK. L'espace entre chaque centre de PAD est d'environ 100  $\mu\text{m}$ . Ainsi, l'ajout du padring à chaque circuit nous donne des dimensions totales de puces de 1,2 mm par 1,2 mm pour la réalisation en FDSOI 28 nm et 3,6 mm par 3,6 mm pour celle en BULK. Les puces sont alors prêtes pour l'envoi en réalisation. Cette réalisation ce fait par l'intermédiaire du Centre Multi-Projets de Grenoble (CMP).

Toutefois, à ce moment d'envoyer les puces en fabrication nous avons du faire face à un choix vis à vis des PADs utilisés sur notre circuit. En premier lieu, nous projetions l'utilisation de PADs full custom réalisés à l'IMEP par J. Liu dans ces travaux [15]. Ces PADs "RF" ont été dépossédés de leurs couches de protection ESD les rendant parfaits pour les applications RF. Cependant pour le circuit en FDSOI, à l'heure de validation de notre circuit par le CMP, nous avons été informés d'un risque de claquage des transistors lors de la fabrication à cause du retrait des protections ESD des PADs custom. Avec notre recul limité et dans un timing très court, nous avons alors fait le choix de retirer les PADs custom et d'utiliser les PADs fournis par la bibliothèque de la technologie FDSOI. Comme pour les PADs fournis par la technologie BULK, avec des protections ESD, il est fort possible que les signaux RF injectée dans la puce soit dégradés par la présence de ces protection ESD. Il faut ensuite compter 6 mois de délai pour recevoir les puces fabriquées en BULK par AMS et 12 mois pour les puces en FDSOI fabriquées par ST dans notre cas. La figure 95 montre les jeux de puces reçues pour le mesure sous pointes.

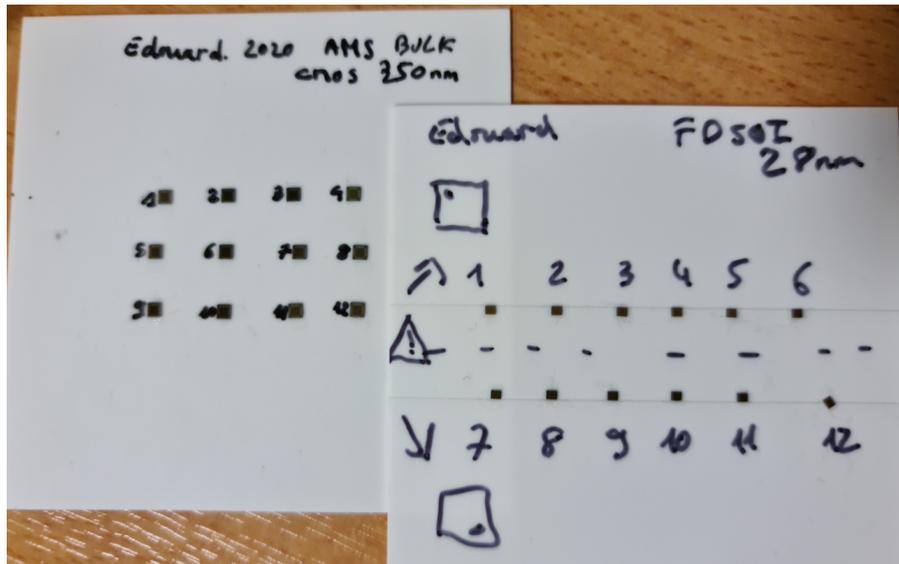


FIGURE 95 – Photographie des jeux de puces nues réalisées en BULK 350 nm par AMS et en FDSOI 28 nm par ST Microelectronics

Sur la figure 95, les puces nues reçues ont été collées sur un substrat à l'IMEP-LAHC pour pouvoir faciliter leur manipulation lors de la mesure. Nous avons choisi de coller une douzaine de puces dans chaque technologie afin de pouvoir par la suite statuer sur la reproductibilité des résultats en passant d'une puce à une autre. Les puces des deux technologies sont à l'oeil nues différentes car nous pouvons apercevoir nos différents circuits et les layouts correspondant sur la puce en technologie BULK alors qu'en FDSOI, nous ne pouvons voir que les PADS de connections. La photographie de la surface des puces dans les deux technologies est montrée sur la figure 96.

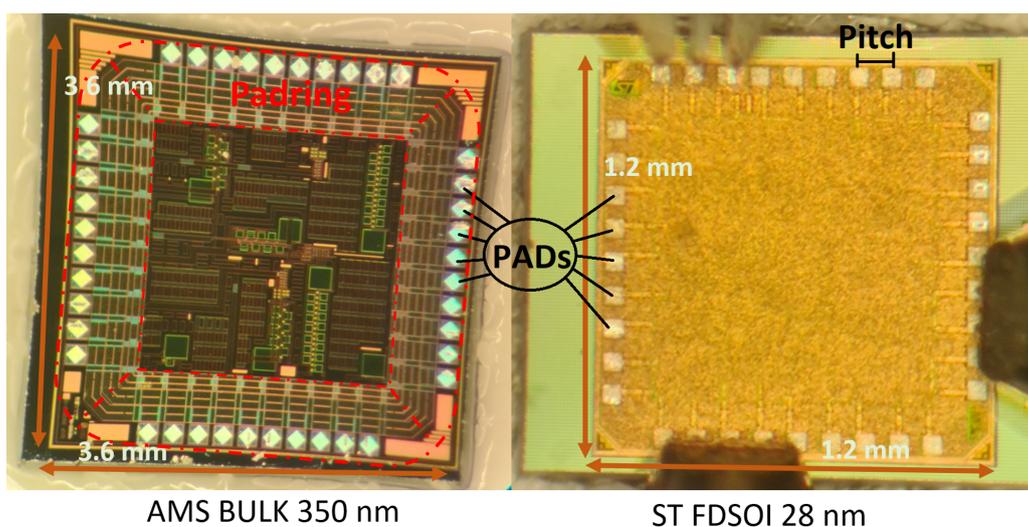


FIGURE 96 – Photographie de la surface des puces en BULK 350 nm et FDSOI 28 nm

Les puces sont prêtes pour la phase de mesure sous pointes. La section suivante présente le

protocole de mesure ainsi que le "setup" de manipulation.

## 5.2 "Setup" et protocole de mesure sous pointes

La réalisation des mesures nécessite de l'équipement spécialisé permettant la mesure sous pointes et le contact direct avec la puce. L'élément principal est la station sous pointes. Cette station sert de support sur coussin d'air aux sondes (pointes) et aux circuits sous test. Elle permet alors par le biais des sondes et de connecteurs coaxiaux de type SMAs de réaliser la liaison entre les PADs de la puce et les appareils de mesures. Les appareils de mesures sont des appareils standards tels que multimètre et oscilloscope. La station permet aussi par le même moyen de connecter les sources d'entrée de tension ou générateur de puissance RF à la puce. La figure 97 montre une photographie du "setup" global de mesure.

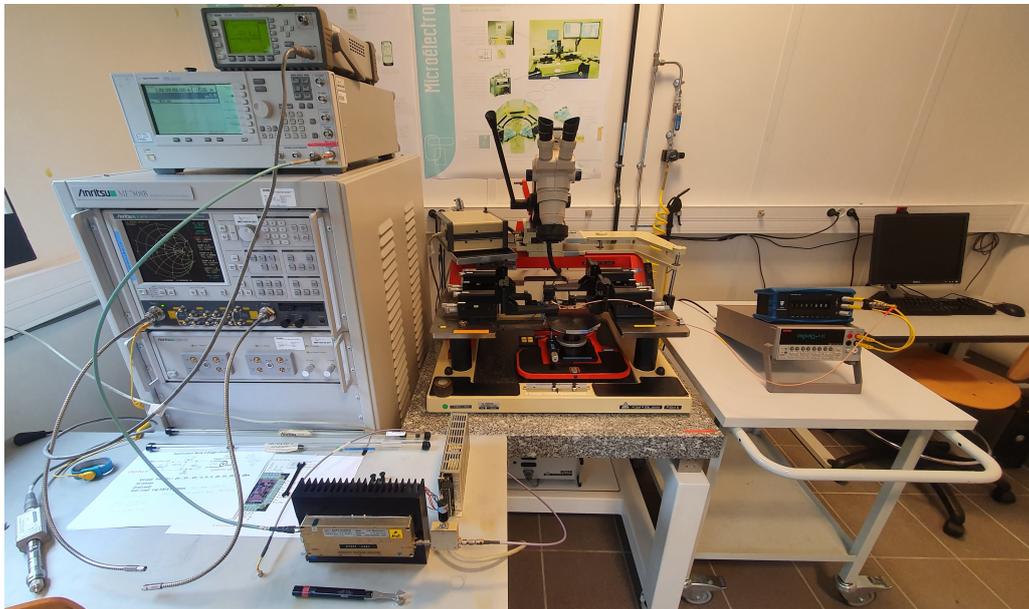


FIGURE 97 – Photographie du setup utilisé pour la mesure sous pointes des puces en BULK et FDSOI

Sur la figure 97, l'élément le plus important est donc la station sous pointe (Thomson Semiconductors, Karl Suss PSM 6). Elle se compose d'un plateau central sur coussin d'air appelé "Chuck" (en rouge sur la figure 98). Ce plateau peut être manipulé librement et permet de déplacer les puces sous test aisément. Les puces sont placées directement sur la partie métallique du "Chuck". Elles sont maintenues en place par une aspiration appelé "vide". Nous retrouvons ensuite de part et d'autre du "Chuck", montés sur deux plateaux métalliques, des blocs noirs accompagnés de vis métalliques grises. Ces blocs sont des positionneurs de sondes. Ils servent à positionner précisément les sondes de mesures sur le circuit. Ces positionneurs sont précis au micromètre près. Ils ont chacun trois axes permettant de régler le décalage horizontal X, vertical Y et la hauteur Z de la sonde. Sur la partie supérieure de la station, nous retrouvons

un microscope accompagné d'une lampe permettant un zoom suffisamment important pour pouvoir visualiser les puces nues et la pose des sondes sur les PADS du circuit.

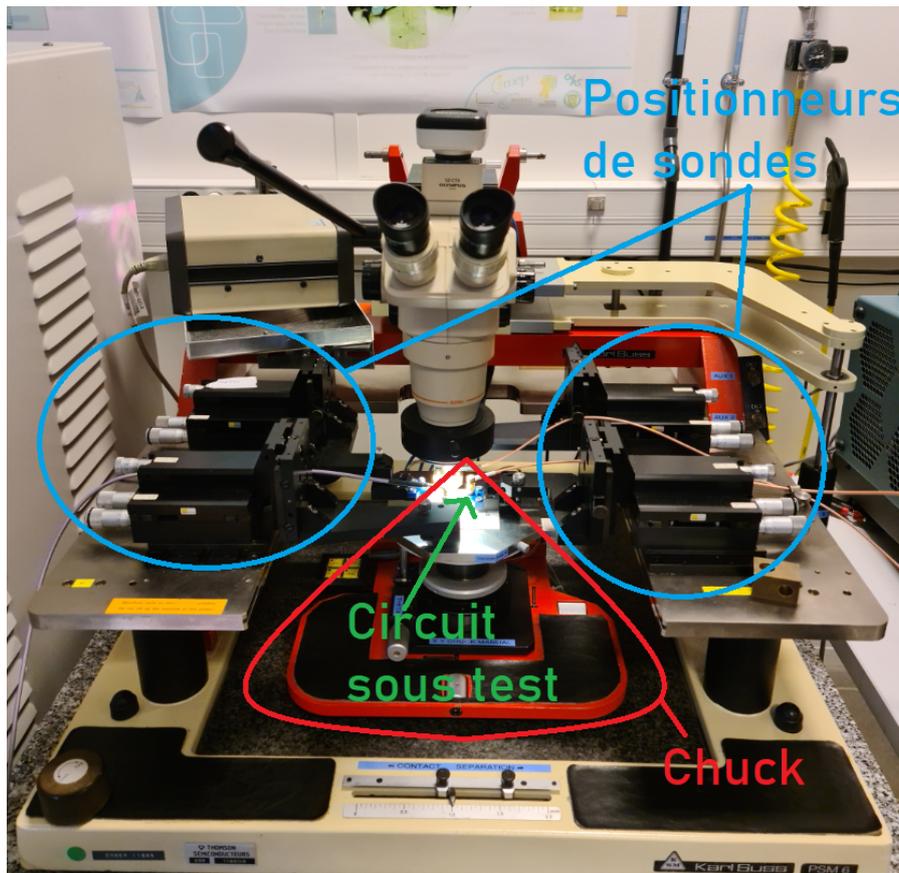


FIGURE 98 – Photographie de la station permettant la pose des sondes et la mesure sous pointes

Les sondes utilisées sont montrées sur la photographie 99. Il existe des sondes avec plusieurs dispositions de pointes. Une sonde nommée "GS" indique qu'elle possède respectivement une pointe de connexion pour la masse "G" et une pointe pour le signal "S" dans cet ordre. Une sonde nommée "GSG" indique qu'elle possède en plus une pointe pour un second signal masse "G". Le nombre écrit, ici 100, indique le pitch (espace) entre chaque pointe. Soit, entre la pointe de masse "G" et la pointe du signal "S" il y a  $100\ \mu\text{m}$  d'écart. Bien entendu, il faut choisir des sondes ayant le même pitch que celui des PADS du circuit réalisé. Cependant, en pratique, il faut réaliser son circuit en tenant compte des sondes déjà disponibles dans l'environnement de mesure afin d'éviter des dépenses non nécessaire en sondes de mesure (très coûteuses). Comme montré sur la photographie 99, notre setup permet de positionner au maximum quatre sondes.

Ces sondes sont ainsi connectées aux générateurs et aux équipements de mesures par le biais de câbles coaxiaux SMAs adaptés à  $50\ \Omega$ . Ainsi, pour réaliser nos mesures et vérifier les résultats obtenus en simulation au chapitre 4 nous utilisons trois types de sources en entrées des circuits. Le premier type d'entrée est une source de tension continue DC servant à alimenter le padring du circuit. En effet, le padring doit être alimenté à une tension de 1V pour

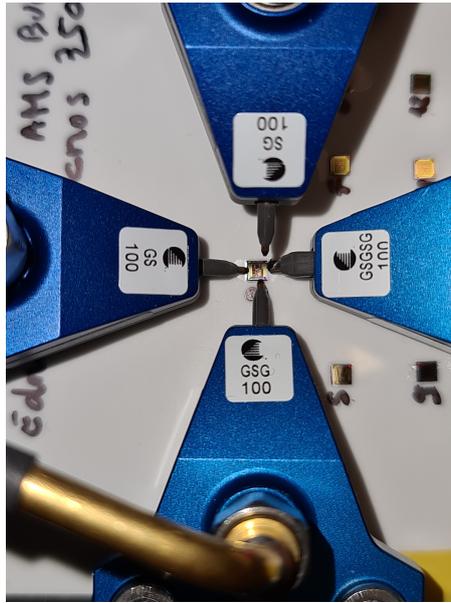


FIGURE 99 – Photographie des sondes entourant la puce pour la mesure

la puce en FDSOI et 3V pour la puce en BULK. Les circuits de pompe de charge et oscillateur nécessitent aussi une entrée en tension continue DC. Dans notre cas, la source de tension utilisée possède deux voies de sortie et permet de voir le courant consommé sur chaque voie cf 100. Cette fonctionnalité nous sera utile par la suite. Le second type de source nécessaire est un signal RF, issu d'un générateur RF amplifié par un amplificateur externe. Ce combo permet de fournir un signal RF d'une puissance allant jusqu'à +30 dBm à l'entrée de la puce. Il fournit le signal RF de 2,45 GHz nécessaire aux redresseurs. Le troisième type d'entrée est un signal carré de fréquence et d'amplitude variables servant d'horloge au circuit de pompe de charge. Les appareils permettant de générer ces entrées sont montrés sur la photographie 100.

La photographie 100 montre aussi les appareils de mesures sur la partie droite de la photographie. Nous retrouvons un multimètre permettant le relevé des tensions de sortie des différents circuits sous tests. Ces tensions sont relevées dans notre cas d'étude pour une charge de sortie variable. Nous faisons varier la charge grâce à une boîte de résistances variables à décade. Nous utilisons aussi un oscilloscope permettant de relever et mesurer la fréquence produite par l'oscillateur. Enfin, une fois que tout le matériel de mesure est en place et correctement paramétré il ne reste plus qu'à poser les sondes sur les entrées/sorties du circuit sous test. Les sondes posées sur le circuit sont visibles sur la photographie 101.

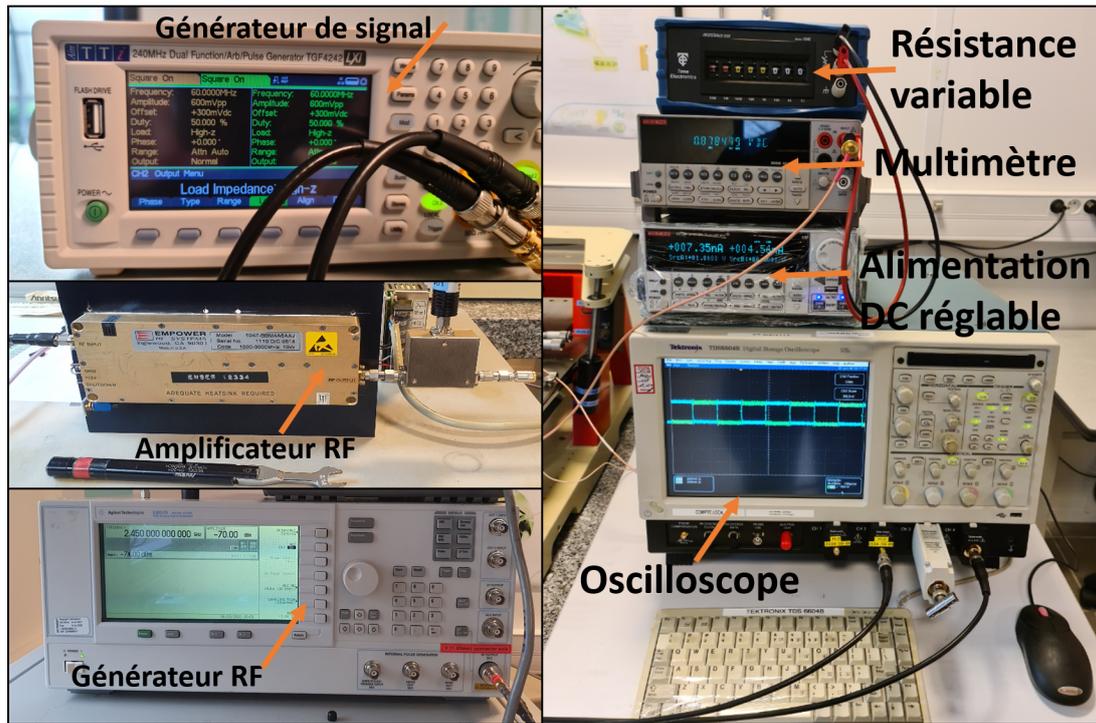


FIGURE 100 – Photographie des équipements nécessaires pour la mesure sous pointes

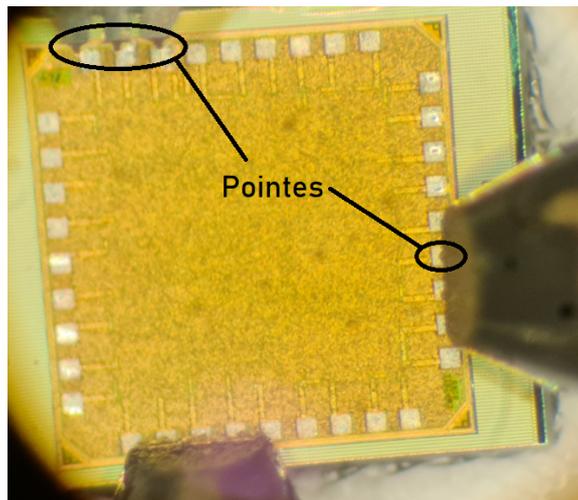


FIGURE 101 – Photographie des sondes posées sur la puce

Sur la photographie 101, les pointes des sondes sont remarquables par les petites griffes noires dépassant légèrement de la sonde. En se posant, elles laissent une trace grisée sur le PAD. Les sondes étant positionnées nous passons aux relevés des résultats.

### 5.3 Résultats et comparaisons des mesures en BULK 350 nm et FDSOI 28 nm

Cette section traite des résultats obtenus lors de la mesure sous pointes des puces en technologies BULK 350 nm et FDSOI 28 nm. Les circuits de redresseur VCT, pompe de charge et

oscillateur y sont mesurés. Mais en premier lieu, nous avons introduit un redresseur VCT à un seul étage sur la puce en FDSOI afin de faciliter la comparaison en cas de problème divers sur les autres circuits plus complexe.

### 5.3.1 Redresseurs

Nous commençons la mesure par le redresseur VCT proposé dans le chapitre 4.4. Pour ce faire, nous avons intégré sur la puce un redresseur VCT à un étage standard, un redresseur VCT à un étage avec la polarisation dynamique du substrat et le redresseur final proposé à huit étages montré sur la figure 102.

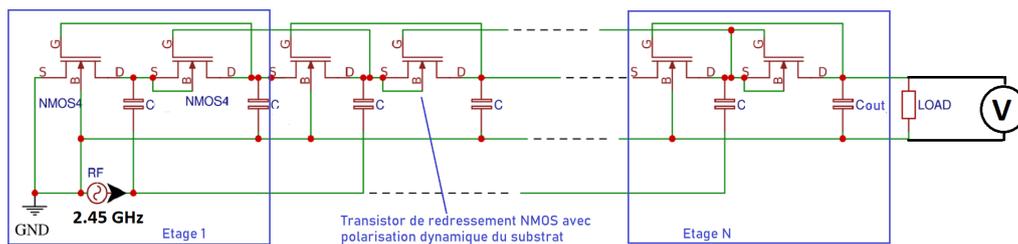


FIGURE 102 – Schéma du redresseur VCT proposé

Les mesures sont effectuées à la fréquence d'intérêt de 2,45 GHz, fournie par le générateur RF accompagné de l'amplificateur montré en photographie 100. Les valeurs qui nous intéressent dans notre étude sont les tensions de sorties principalement. Les résultats de mesures sont superposés au résultats obtenus en simulations post-layout en faisant varier la puissance d'entrée pour une charge de 10 k $\Omega$  et la charge. Le redresseur à un seul étage est le premier circuit étudié.

#### 5.3.1.1 Redresseurs VCT à un étage

Les redresseurs VCT à un étage ont été implémentés sans optimisation en technologie FDSOI 28 nm. Ils possèdent des transistors avec des dimensions par défaut soit une largeur  $W$  de 80 nm et une longueur  $L$  de 30 nm. Ces deux circuits permettent de comparer directement l'impact de la polarisation du substrat du transistor sur les performances de redressement de tension. Cette comparaison ne peut se faire qu'en FDSOI car dans la technologie BULK que nous utilisons, il n'est pas possible de polariser le substrat. Ainsi, dans un premier temps, la tension de sortie mesurée du redresseur VCT à un étage standard (substrat à la masse) est montré sur la figure 103 superposée au résultat obtenu en simulation post-layout selon la puissance d'entrée.

Nous obtenons sur la figure 103 un résultat de mesure cohérent avec la simulation post-layout. Cependant, les résultats obtenus en mesure sont meilleurs que ceux obtenus en simulation post-layout avec un gain d'environ 250 mV sur la plage de mesure. Ce gain en mesure peut

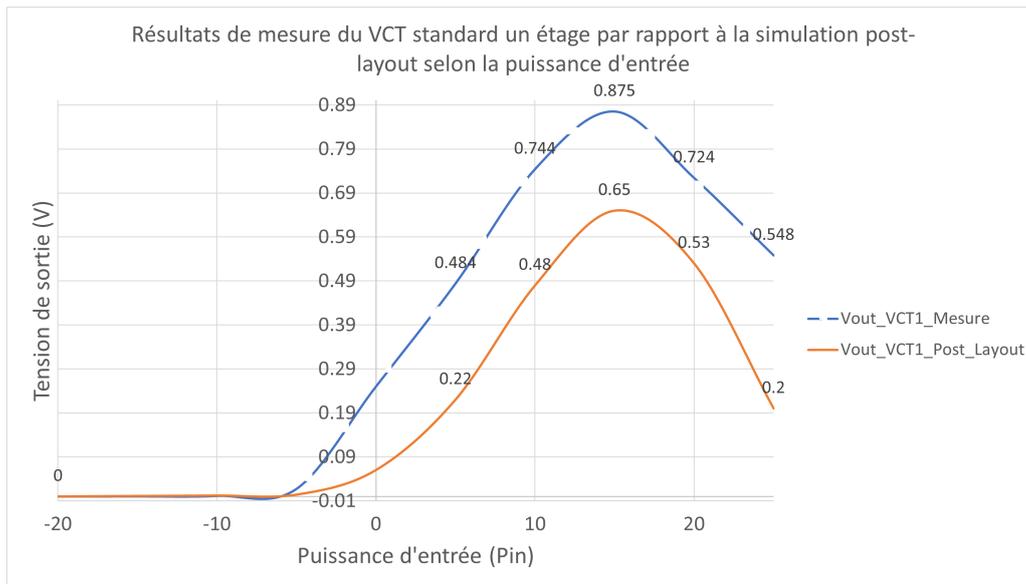


FIGURE 103 – Courbes comparatives des tensions de sortie des redresseurs VCT standards en mesures et simulations selon la charge

s'expliquer par le fait que les capacités parasites présentes en grand nombre dans les transistors de petites tailles pourraient être plus importantes en pratique et ainsi contribuer à accroître la valeur de capacité d'étage du redresseur et ainsi augmenter les performances comme montré dans le chapitre 4 83. Le circuit atteint son maximum de performance à +15 dBm pour les deux relevés avant de voir ses performances chuter. Ce phénomène est dû aux transistors de 80 nm qui sont trop petits pour la quantité de puissance fournie par la source RF et agissent alors comme un goulot d'étranglement 81. Ce phénomène n'est pas observé lors de la mesure du même circuit mais en utilisant la polarisation dynamique du substrat (substrat connecté au drain) montré sur la figure 104.

Sur la figure 104, on observe que les courbes de simulations post-layout et de mesure suivent deux tendances différentes. Les performances en simulation post-layout ne sont pas limitées par la taille du transistor et la tension continue à évoluer avec la puissance d'entrée. Pour ce qui est des résultats de mesure, au delà d'une puissance d'entrée de +10 dBm, on observe le début de formation d'un plateau. En effet, la tension de sortie semble stagner sur le reste de la plage de puissances d'entrées jusqu'au maximum testé à +25 dBm. Ce plateau stagnant nous indique alors que le problème ne vient pas des transistors car sinon nous aurions eu le même comportement que pour le relevé du circuit VCT standard montré figure 103. Nous supposons donc que la puissance émise par la source RF n'arrive pas correctement jusqu'au circuit sous test et que c'est pour cette raison que le circuit VCT proposé avec polarisation du substrat a de moins bonnes performances que le circuit VCT standard. Plus précisément, le début de formation du plateau stagnant démarre lorsque la puissance d'entrée approche les +10 dBm. Toutefois, en se basant uniquement sur la simulation post-layout, on peut voir que le fait de

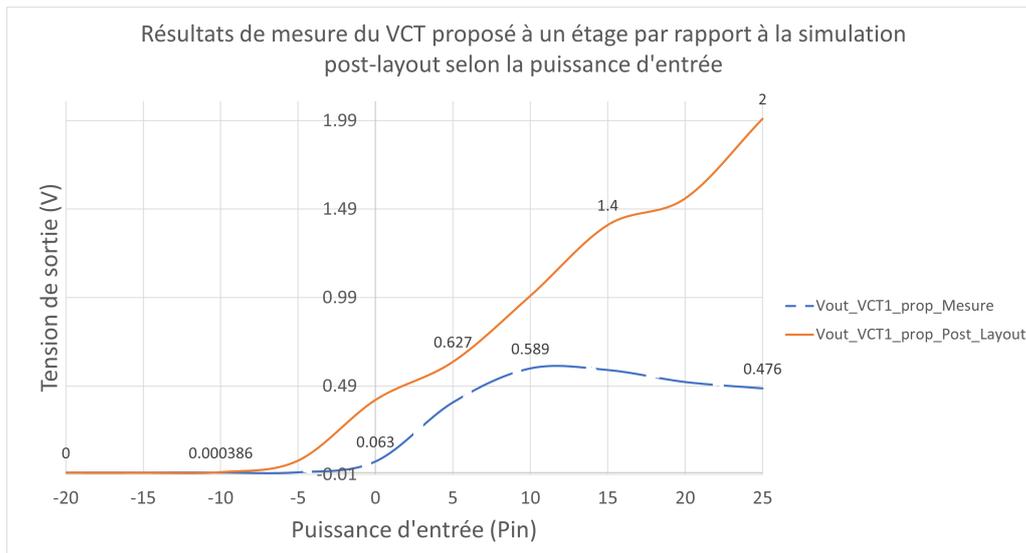


FIGURE 104 – Courbes comparatives des tensions de sortie des redresseurs VCT proposés en mesures et simulations selon la charge

polariser le substrat des transistors permet d'élever la performance du redresseur et ce même avec de petites dimensions de transistors. En comparant les résultats post-layout, le redresseur VCT à un étage proposé permet de doubler ou tripler les performances selon la puissance d'entrée fournie. L'impact de la polarisation dynamique est très significative sur performances du circuit.

### 5.3.1.2 Redresseur VCT à 8 étages

Dans un second temps, nous mesurons la tension de sortie du redresseur VCT à 8 étages proposé en FDSOI avec polarisation du substrat des transistors et en BULK avec le substrat à la masse. Les tensions de sortie sont comparées et relevées selon la charge à une puissance RF d'entrée de 0 dBm pour les résultats mesurés, simulés en post-layout et en simulation spectre (idéale sous schematic) sur la figure 105.

Sur la figure 105, les courbes en traits pleins représentent les résultats des redresseurs en technologie FDSOI 28 nm et les résultats pointillés représentent les résultats en technologie BULK 350 nm. Comme nous l'attendions, les résultats sont bien meilleurs en technologie FDSOI 28 nm. En comparant uniquement les résultats de mesure nous observons des résultats à partir d'une charge de 8 K $\Omega$  en FDSOI alors que le circuit en BULK peine à démarrer sur toute la plage. Pour une charge de 10 M $\Omega$ , le redresseur VCT proposé en FDSOI fournit une tension de sortie de 1.66 V alors qu'en BULK, la tension produite se limite à 100 mV. Toutefois, nous observons comme pour le redresseur VCT à un étage une différence notable entre les résultats de mesure et les simulations. Dans le cas de la technologie FDSOI l'écart est de 800 mV à 10 M $\Omega$  et de 150 mV en BULK. Le comportement des courbes de mesures et simulations étant

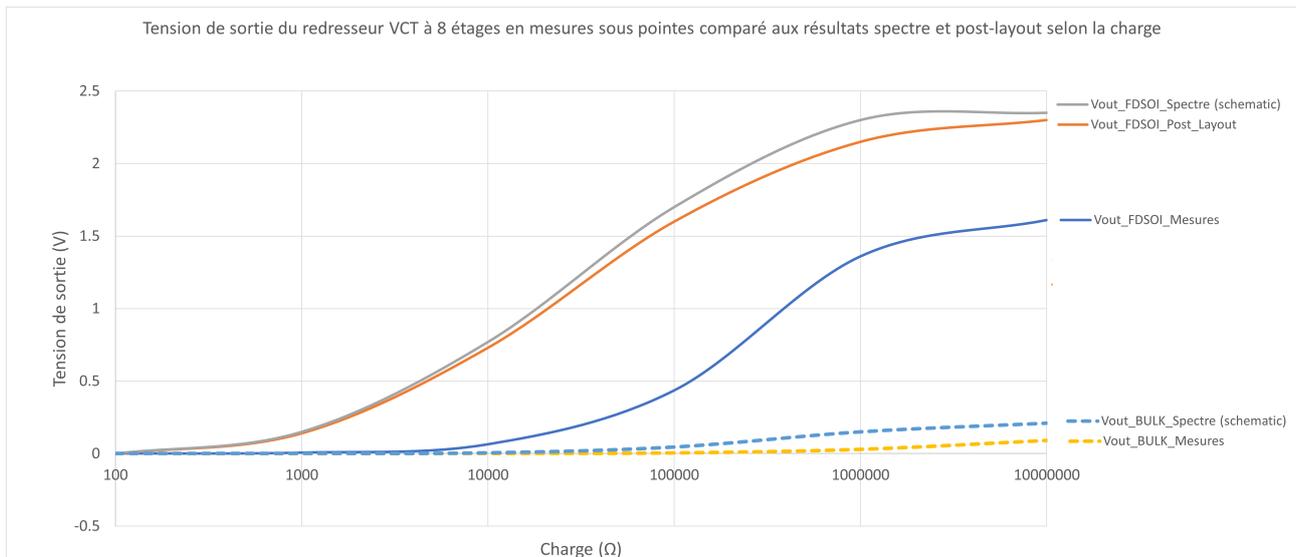


FIGURE 105 – Courbes comparatives des tensions de sortie du redresseur VCT à 8 étages proposé en mesures et simulations selon la charge

similaires nous confortons notre hypothèse formulée précédemment sur la possibilité qu'une partie de la puissance RF transmise par la source n'arrive pas jusqu'au circuit. Cette hypothèse ne concerne pas l'adaptation d'impédance du circuit par rapport à la source. En effet, nous n'avons pas adapté le circuit à la source ( $50 \Omega$ ) en raison de la taille trop importante prise sur la puce par l'inductance nécessaire à cette opération. Mais nous savons que la différence de performance en mesure ne vient pas de l'adaptation d'impédance car les circuits ne sont pas non plus adaptés en simulation. Cette hypothèse sera vérifiée par la suite dans la section 5.4.

Ainsi, les résultats obtenus en mesures pour le redresseur VCT à 8 étages proposés sont dans un premier temps non satisfaisant car ils ne permettent pas de réaliser l'objectif fixé de pouvoir alimenter le capteur TelosB. En effet, la tension relevée en mesure pour une charge de  $10 \text{ k}\Omega$  est de moins de  $100 \text{ mV}$ , là où elle est de  $750 \text{ mV}$  en simulation post-layout. L'écart entre simulation et mesure est de  $30\%$  dans le cas de la valeur de charge la plus haute à  $10 \text{ M}\Omega$ . Dans un second temps, les résultats sont bien meilleurs en mesure pour la technologie FDSOI  $28 \text{ nm}$  que ceux produits en simulation par technologie BULK  $350 \text{ nm}$ , ce qui nous conforte sur le fait de choisir la technologie la plus récente pour les opérations de récupération d'énergie. Après le redresseur vient la pompe de charge. Nous effectuons alors les mesures similaires pour le circuit de pompe de charge de Dickson proposé.

### 5.3.2 Pompe de charge

Les circuits de récupération d'énergie associent au redresseur une pompe de charge afin d'élever la tension produite à un niveau exploitable. Dans notre cas, nous avons pour but d'alimenter un capteur nécessitant une tension d'alimentation au minimum de 2,8 V et correspondant à une charge de 54 k $\Omega$ . Nous avons alors réalisé la pompe de charge de huit étages montrée sur la figure 106 qui doit permettre d'obtenir les conditions d'alimentation du capteur.

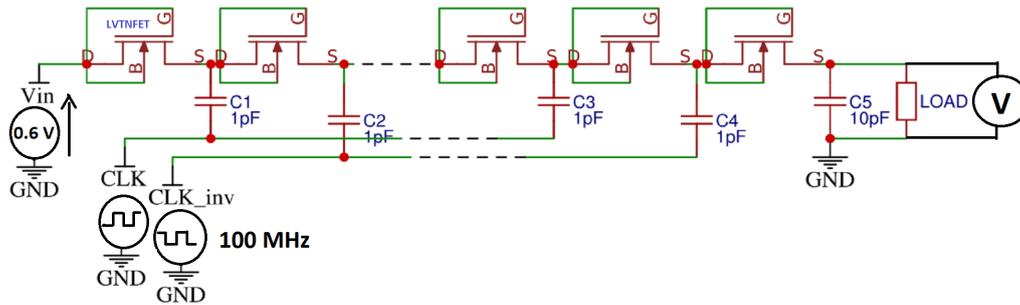


FIGURE 106 – Schéma de la pompe de charge proposée à 8 étages

Le dimensionnement de la pompe de charge a été proposé dans le chapitre 4.4. Ainsi, le circuit proposé en technologie FDSOI 28 nm utilise la polarisation dynamique du substrat des transistors et permet de maximiser les performances [41] par rapport à une connexion substrat standard à la masse. Nous pouvons alors comparer la tension de sortie de la pompe de charge proposée en FDSOI avec celle en technologie BULK ne proposant pas de polarisation dynamique du substrat. Les résultats de mesures et de simulations obtenus dans les deux technologies sont présentés sur la figure 107 pour une tension d'entrée de 600 mV et une fréquence d'horloge de 100 MHz.

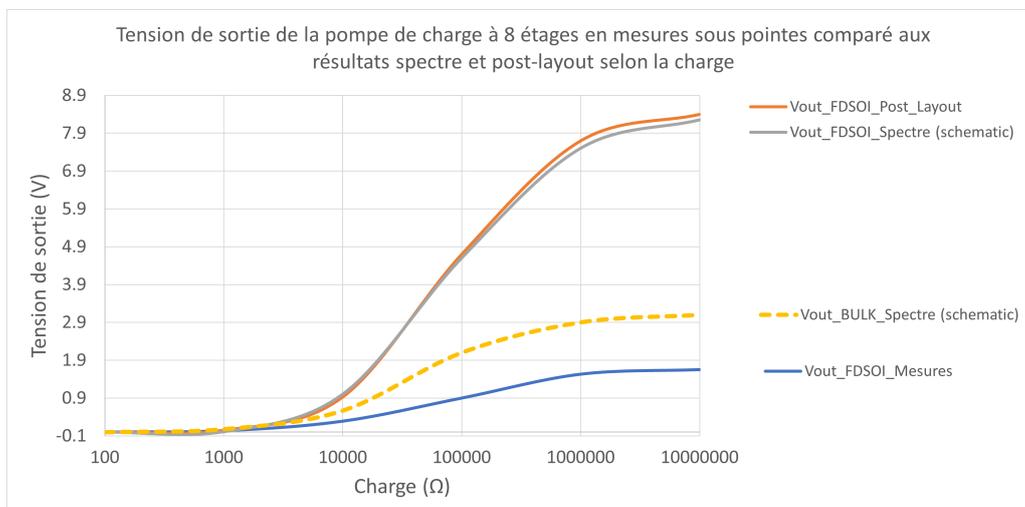


FIGURE 107 – Courbes comparatives des tensions de sortie de la pompe de charge à 8 étages proposée en mesures et simulations

Sur la figure 107 nous n'avons pas obtenu de résultat de mesure pour le circuit en technologie BULK 350 nm. Le circuit de pompe de charge nécessitant des horloges pour fonctionner il est possible comme pour le circuit de redressement que le signal est été bloqué par la protection ESD du padding. De plus, les transistors BULK possèdent une tension de seuil bien supérieure à celles des transistors FDSOI, il paraît normal que sans signal d'horloge correct le circuit n'est pas en mesure de démarrer et ce malgré une charge élevée en sortie car les pertes introduites par les transistors ne sont pas compenser par le fonctionnement de la pompe de charge. Cependant, si nous nous basons sur les résultats obtenus par le redresseur (105) en mesure en technologie BULK, nous pouvons penser que l'écart de performance entre la mesure et la simulation aurait été relativement proche. Nous aurions alors eu 1 V en mesure pour 3 V obtenus en simulation. Quoiqu'il en soit, les résultats de mesures obtenus par le circuit en FDSOI ne correspondent pas à la simulation (courbe bleu). En effet, les performances mesurées sont quatre fois moindre qu'en simulation. Nous supposons ici aussi que le signal d'horloge nécessaire est bloqué par le PADring et ne parvient pas correctement au circuit. Sans charge et décharge le circuit de pompe de charge reste alors bloqué dans son état initial où sont état dans lequel il était avant blocage. Le blocage étant le moment où les capacités restent en état de charge ou de décharge et que le phénomène de pompe ne produit plus. En observant la courbe mesurée en FDSOI, la tendance correspondant aux résultats de simulations ce qui renforce notre hypothèse du problème de blocage de puissance RF.

Cela étant dit, notre but n'est pas atteint car pour une charge de 54 k $\Omega$  correspondant au capteur TelosB que nous voulons alimenter, la pompe de charge en FDSOI produit une tension de 700 mV ce qui est insuffisant face aux 2,1 V nécessaires. Aussi, en se basant sur les résultats de mesures du redresseur en BULK, le circuit de pompe de charge en BULK n'aurait pas démarrer avec une charge de 54 k $\Omega$ . Ainsi, étant donné que l'entrée et la sortie du circuit sont des signaux DC uniquement l'horloge impacterait les performances en mesures de la pompe de charge. La sous section suivante traite donc des mesures réalisées sur le circuit de l'oscillateur (VCO).

### 5.3.3 Oscillateur

L'oscillateur est réalisé selon le circuit d'oscillateur VCO contrôlé en tension montré dans l'état de l'art au chapitre 3 72 et en simulation au chapitre 4 4. En plus des trois étages d'inverseurs et de cellules capacitives produisant l'oscillation sinusoïdale, des buffers ont été rajoutés pour produire deux signaux carrés et ajuster l'inversion. Le signal d'horloge  $CLK$  nécessite deux buffers et le signal d'horloge inversé  $CLK_{inv}$  nécessite un buffer supplémentaire pour l'inversion. Le schéma du VCO proposé est rappelé sur la figure 108.

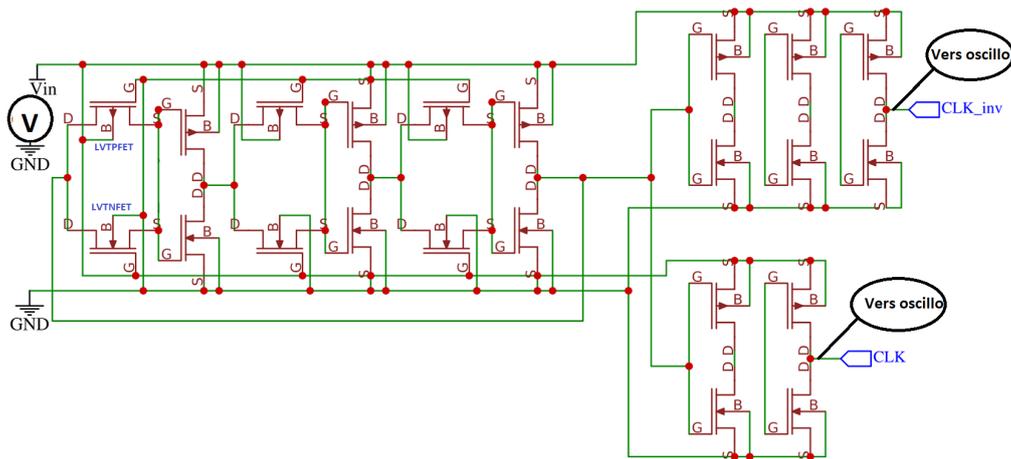


FIGURE 108 – Schéma complet du VCO proposé

Ainsi, dans le cas de notre étude, nous devions vérifier que le VCO fournisse bien une fréquence utilisable en sortie du circuit. Cela n'a pas été le cas pour la puce réalisée en FDSOI. Nous n'avons pu obtenir de résultat pour le circuit du VCO. Nous avons statué sur un problème de contact aux PADS car peu importe nos tentatives, nous n'avons eu aucun signal ni changement en monitorant la sortie du VCO et le courant d'entrée consommé.

Cependant, les mesures n'ont pu être menées à bien que pour le circuit de VCO réalisé en BULK. Les résultats sont montrés sur la figure 109 en utilisant une charge en haute impédance sur l'oscilloscope.

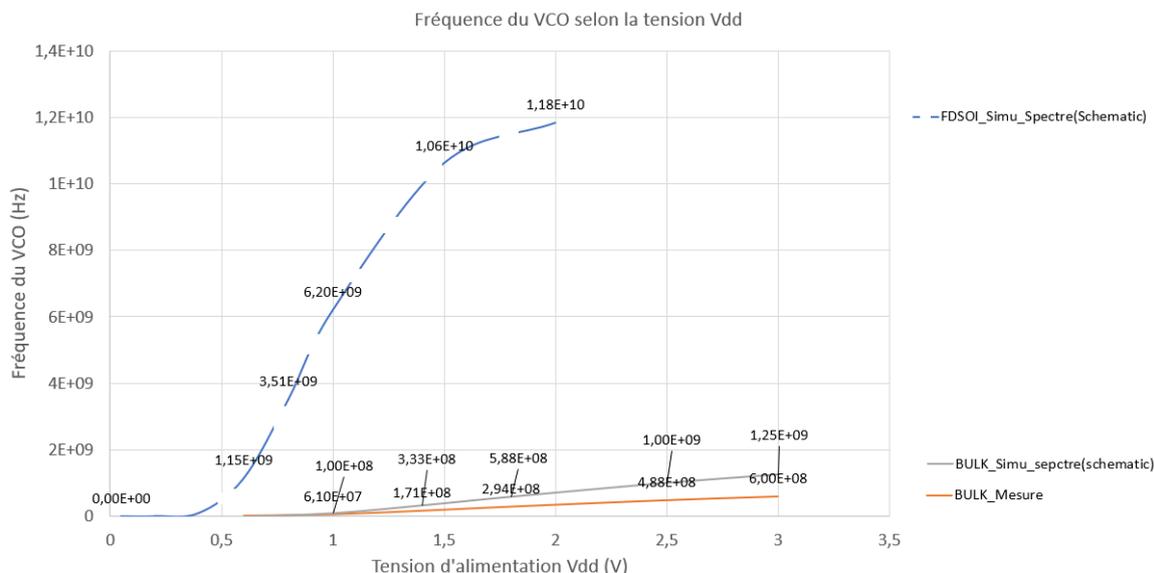


FIGURE 109 – Courbes comparatives des fréquences du VCO proposées selon la tension d'alimentation Vdd en mesures et simulations

Comme on peut le voir sur la figure 109, les fréquences obtenues en simulation en FDSOI et en BULK sont d'un ordre de grandeur différent. Pour la même structure, la technologie FDSOI

produit une fréquence de 10 GHz supplémentaire avec un maximum à 11,8 GHz dans notre cas avec un  $V_{dd}$  à 1,2 V. La technologie BULK atteint un maximum de 1,25 GHz en simulation et 600 MHz en mesure pour une tension  $V_{dd}$  de 3 V. Là encore nous pouvons voir l'avantage de la technologie FDSOI permettant d'obtenir une fréquence plus élevée qu'en BULK avec une tension plus faible, bien que nous n'ayons pu obtenir de résultat pour le VCO en FDSOI. Ce résultat est cependant normal, car la technologie BULK est certifiée pour des basses fréquences de l'ordre de 2 GHz alors que la technologie FDSOI peut atteindre plusieurs dizaines de GHz. Cela étant dit, les résultats obtenus par le VCO BULK sont satisfaisants puisque pour une tension de 1 V il est capable de produire un signal oscillant de 100 MHz. Ce qui est suffisant pour commander les capacités de la pompe de charge, dont nous avons évalué la plage de fonctionnement au chapitre 4. Toutefois, la baisse de performance, et le fait de n'avoir obtenu aucun résultat sur la puce en FDSOI a fait l'objet d'une étude présentée dans la section suivante 5.4.

## 5.4 Problèmes rencontrés

Les résultats de mesures sur les puces en AMS 350 nm et ST FDSOI 28 nm donnés dans les sections 5.3.1.2 et 5.3.2 font état d'une baisse de performance remarquable sur les circuits de redresseur VCT et pompe de charge. Nous avons alors fait deux hypothèses permettant d'identifier l'origine de cette baisse de performance. La première est que la puissance RF et son signal envoyé sur l'entrée des circuits est absorbée par le PAD des puces. Ces PADS qui présentent des protections ESD pourraient être à l'origine de la perte de puissance. La seconde hypothèse concerne principalement la technologie FDSOI et le retour d'expérience au laboratoire IMEP-LAHC sur les mesures de puces. En effet, la plupart des mesures en FDSOI ont été rendues difficiles par un contact au PAD douteux. Enfin, nous avons mesuré les performances d'un circuit sur une dizaine de puces différentes afin d'écartier toute erreur et vérifier la reproductibilité des résultats.

### 5.4.1 Puissance RF absorbée par la protection ESD des pads

Le problème d'absorption de puissance par les PADS a un impact très important sur les performances du circuit. Car si la puissance ne peut rentrer totalement dans le circuit, elle ne peut non plus en ressortir. Fort heureusement, il est possible de vérifier ce phénomène d'absorption de puissance par les PADS en relevant la consommation de courant de l'alimentation du PADring. Nous prenons le cas de la puce en technologie FDSOI nécessitant une alimentation de 1V pour son PADring. Nous avons choisi le circuit le plus simple de redresseur VCT standard à un étage pour illustrer le phénomène. Le courant consommé par le PADring est montré sur

la figure 110 selon la puissance d'entrée injectée au circuit.

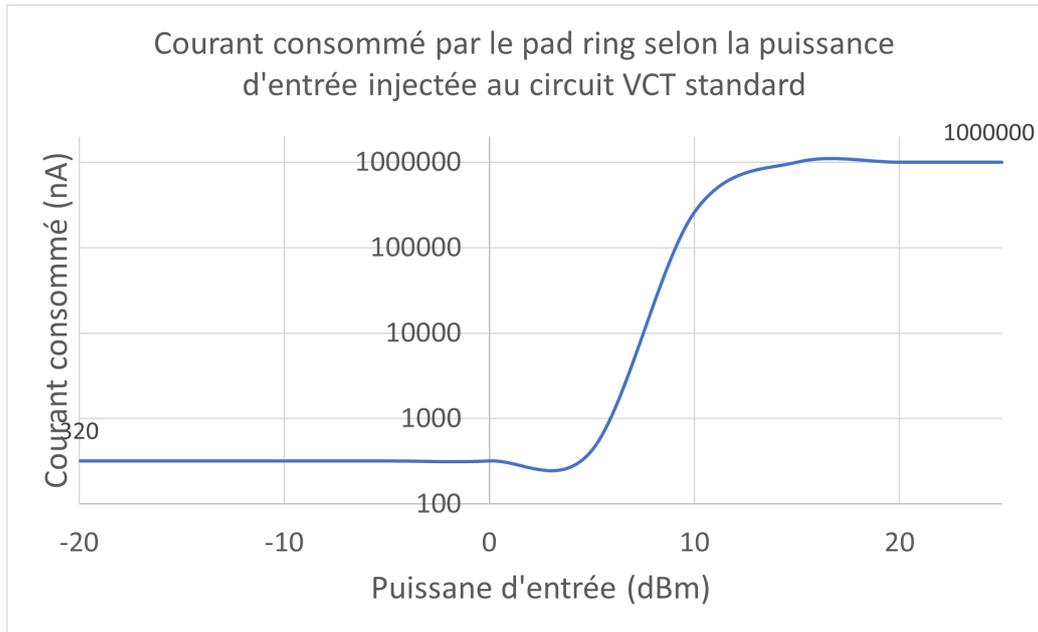


FIGURE 110 – Évolution de la consommation en courant du pad ring selon la valeur de la charge en sortie du circuit redresseur VCT

Sur la figure 110, on peut nettement voir que lorsque la puissance injectée dépasse un certain seuil, environ à 5 dBm, la consommation du PADring augmente fortement. Nous avons délibérément fixé la consommation de courant maximal à 1 mA de manière à protéger le circuit. Mais sinon, le courant aurait continué d'augmenter et aurait fini par détruire le circuit. Le courant du PADring au repos, soit sans puissance injectée ni utilisation d'un circuit est de l'ordre de quelques centaines de pico-ampère. L'application d'entrée sur le circuit élève ce courant à environ 320 nA. Ce dernier reste stable jusqu'au seuil d'entrée RF de plus 5 dBm. Ce courant consommé par le padring est aussi affecté par la charge mise au bout du circuit. C'est pourquoi nous avons tracé sur la figure 111 le courant consommé par le padring selon la charge placée à la sortie du circuit (redresseur VCT à un étage).

Ainsi, sur la figure 111, nous pouvons voir que le courant consommé par le PADring diminue lorsque la charge de sortie augmente. Cela confirme bien le fait que plus la charge demande un courant important au circuit et moins celui-ci est apte à le lui fournir car il est absorbé par le PADring. Le PADring limite alors le courant qui circule à l'intérieur de la puce.

Ainsi, selon les tracés 110 et 111, nous pouvons déduire que dans le cas de notre étude, et principalement pour le redresseur VCT le problème vient du fait que le courant demandé par la charge de 10 k $\Omega$  en sortie est trop élevé et déclenche alors le seuil de protection du PADring. Ce problème est aussi présent en technologie AMS BULK 350 nm avec un comportement similaire.

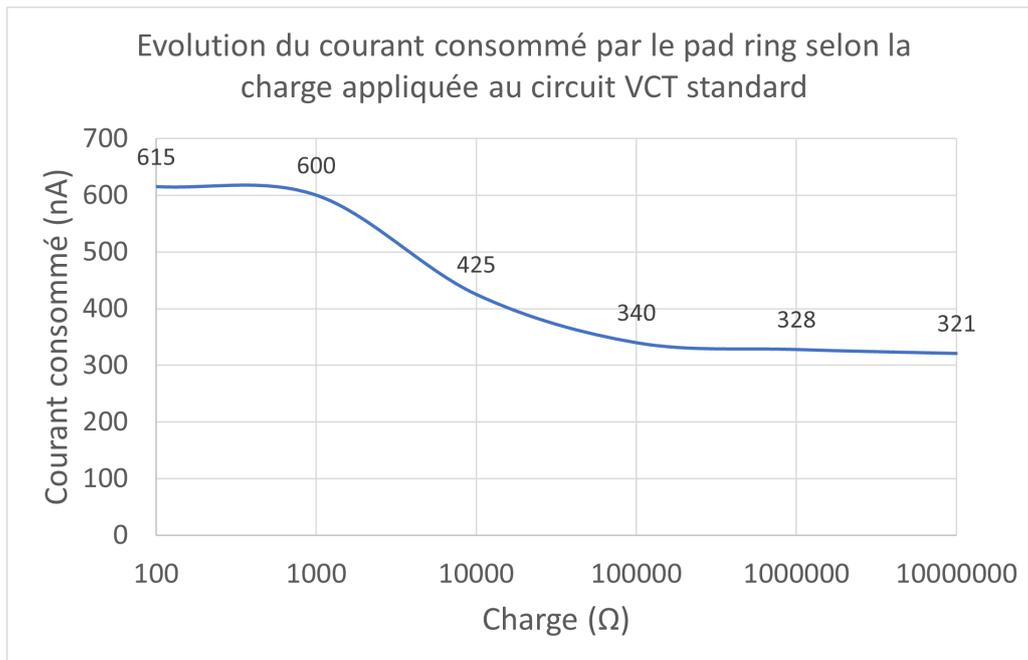


FIGURE 111 – Évolution de la consommation en courant du pad ring selon la puissance RF injectée en entrée du circuit redresseur VCT

#### 5.4.2 Mauvais contact aux pads

Le second problème rencontré provient du contact des sondes avec les PADS du circuit. En effet, il est assez facile de poser la sonde sur le PAD en remarquant la traînée grisâtre laissée par celle-ci lors du frottement sur le PAD. Dès lors que l'on aperçoit cette traînée, on considère que le PAD est posé et qu'il y a contact. Cependant, en technologie FDSOI, lors de nos mesures dans le cadre de ces travaux mais aussi d'antécédents au laboratoire IMEP-LAHC, des défauts de contact ont été rapportés lors de la pose des sondes. Ainsi, malgré la traînée laissée par la sonde sur le PAD nous avons souvent peiné à obtenir un contact stable et ceux malgré le type de sonde utilisée. Ce problème engendre une destruction du PAD qui après une dizaine de tentatives de contact finit par laisser une trace noire comme un trou. Ce phénomène est montré sur la figure 112.

Sur la figure 112, nous avons aussi essayé de passer outre les PADS de contact en venant poser les sondes sur les lignes métalliques visibles amenant les PADS directement aux circuits. En faisant cette manipulation nous espérons pouvoir résoudre le problème de contact et aussi outrepasser la protection ESD des PADS nous permettant d'accéder directement aux circuits de la puce. Cette manipulation n'a malheureusement pas été fructueuse. En effet, la couche de passivation sur la puce empêche tout contact, et dès lors que celle-ci est creusée légèrement, des court-circuits surviennent. Ces derniers se traduisent par une augmentation du courant consommé par le PADring. Au vu de ces problèmes nous avons alors réalisé des mesures sur plusieurs puces afin de vérifier qu'elles présentent toutes les mêmes résultats.

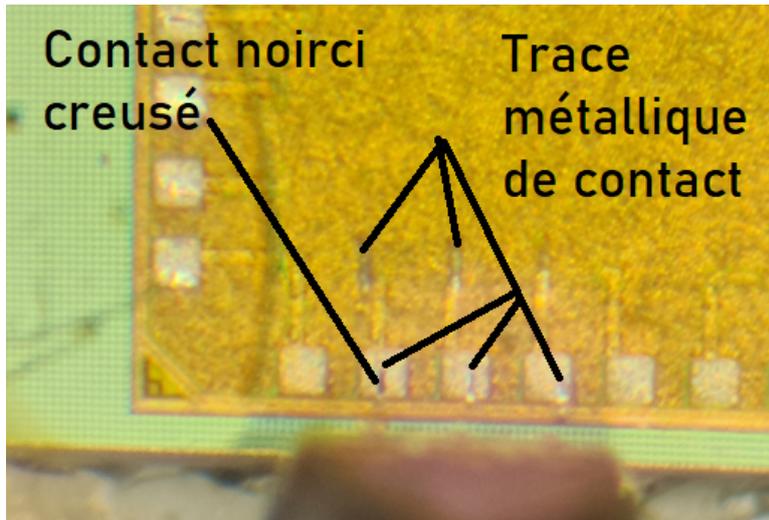


FIGURE 112 – Photographie de la pose des sondes sur le pad métallique

### 5.4.3 Reproductibilité des résultats

Pour vérifier la reproductibilité des résultats, nous avons mesuré la tension de sortie du redresseur VCT à huit étages sur une dizaine de puces différentes en FDSOI 28 nm selon la charge. Le résultat est montré sur la figure 113.

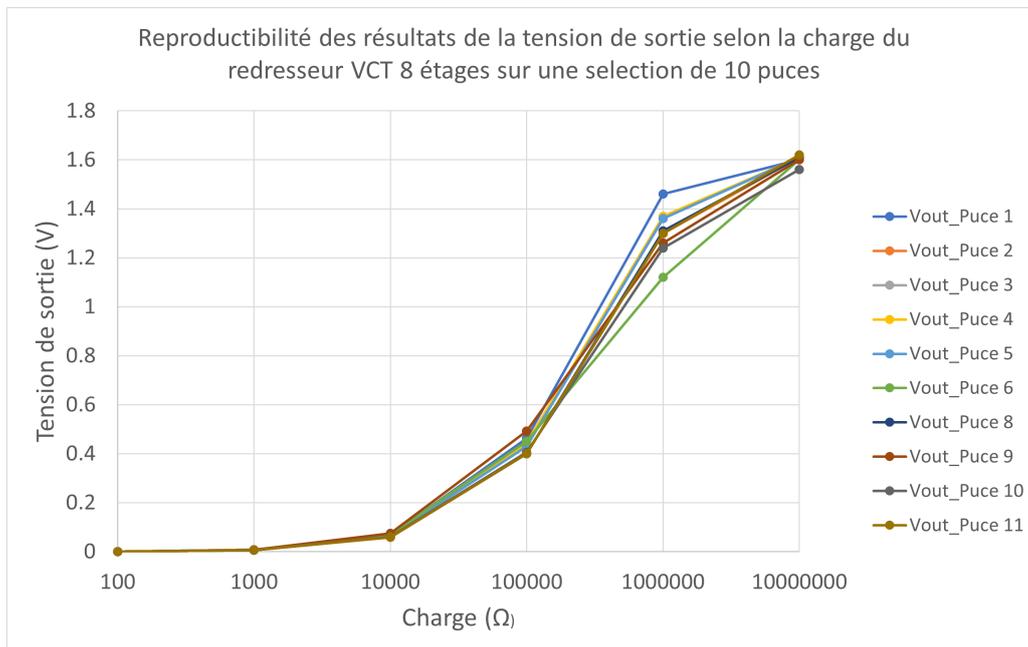


FIGURE 113 – Étude de la reproductibilité des résultats sur un jeu de 10 puces en mesurant la tension de sortie sur un circuit redresseur VCT

Sur la figure 113, les tensions de sortie des redresseurs selon les puces testées possèdent la même allure et les résultats sont cohérents avec peu d'écart selon la valeur de la charge de sortie du circuit. Seul le point de mesure à 1 MΩ entraîne une variation de tension plus importante entre les puces avec 400 mV d'écart entre les deux résultats extrêmes. La moyenne des résultats

pour cette valeur de charge se trouve autour de 1,3 V et pour ces deux valeurs extrêmes, l'écart à la moyenne est de 200 mV soit un écart de 15%. Cet écart est non négligeable et pourrait être critique pour certaines applications (régulation de tension de coeurs de processeur par exemple) mais n'est pas suffisamment important pour expliquer la baisse de performances observée lors des mesures 5.3.1.2 et 5.3.2 dans notre cas d'étude. Ainsi, à part ce point particulier à 1 M $\Omega$ , les puces opèrent de manières très similaires. Si l'on compare les résultats de l'étude de reproductibilité aux résultats post-layout et la limite satisfaisante des 10% d'écart que nous nous sommes fixés, si l'on garde cette valeur de 10% par rapport à la valeur moyenne des tensions obtenues, cela voudrait dire que deux puces sur 10 ne sont pas aux normes. Soit un taux de défaut de 20%.

## 5.5 Réalisation annexe : Antenne à polarisation croisée à cavité en croix

Pour accompagner notre étude nous avons pris le temps de concevoir une antenne patch permettant de récupérer l'énergie RF de manière plus efficace qu'une antenne patch standard. Cette antenne est le premier élément rendant possible la récupération d'énergie RF montrée 4. L'objectif final de ces travaux aurait été de concevoir la chaîne complète et de réaliser l'assemblage des différents éléments.

Ainsi, depuis plusieurs années, la recherche scientifique s'est portée sur la récupération d'énergie issue des radiofréquences afin d'alimenter des capteurs et objets connectés de faibles puissances. Cependant, cette récupération d'énergie ne peut se faire sans des antennes spécifiques comme dans [104] qui transforment cette énergie RF en signal électrique. Ces antennes se doivent d'être les plus petites et performantes possibles afin d'accommoder les dimensions et la demande des applications visées. Comme il est connu que les sources et récepteurs utilisent de plus en plus de largeur de canal (par exemple en Multiple-Input-Multiple-Output system [105]) et depuis que l'onde électromagnétique incidente a un angle d'incidence inconnu capté par l'antenne, cela peut réduire la puissance reçue par le système. Une manière de résoudre ce problème est d'utiliser la polarisation croisée, ce qui permet de récolter plus d'énergie RF selon la polarisation des signaux incidents [106]. Les fréquences d'intérêts qui sont aussi utilisées par les projets des laboratoires concernent la bande ISM et précisément le 2,45 GHz et 5 GHz. Concernant la bande Wi-Fi, la fréquence centrale à 2,45 GHz est bien connue mais la 5 GHz, en particulier de 4,9 à 5 GHz, est moins connue et pourtant utilisée dans certains réseaux dénommés Wi-Fi 802.11j. Ces bandes fréquences sont de plus en plus chargées en utilisateurs. Ainsi, à notre connaissance bibliographique, les antennes à double polarisation sont communément excitées par un câble coaxial central qui vient séparer l'antenne en deux parties symétriques [107]. Cependant, deux ports d'excitation distincts sont aussi utilisés [108] pour obtenir la double polarisation. C'est dans ce contexte que nous proposons le design et la réalisation d'une antenne patch à polarisation croisée fonctionnant à 2,45 GHz et 5 GHz ayant pour but la récupération d'énergie RF. L'antenne proposée a la particularité de posséder une ligne unique d'excitation pour faciliter son utilisation, ses mesures et son intégration avec les composants déjà existants. Le prototype de l'antenne à polarisation croisée à cavité centrale est montré sur la figure 114.

L'antenne proposée est réalisée avec le logiciel CST Microwave. La forme de l'antenne est similaire à une antenne patch traditionnelle mais avec une cavité en croix creusée au centre du patch. La cavité s'étend du plan de cuivre de masse jusqu'au plan de cuivre composant le patch. Elle est donc de hauteur égale à 1,610 mm en incluant donc les couches de diélectrique

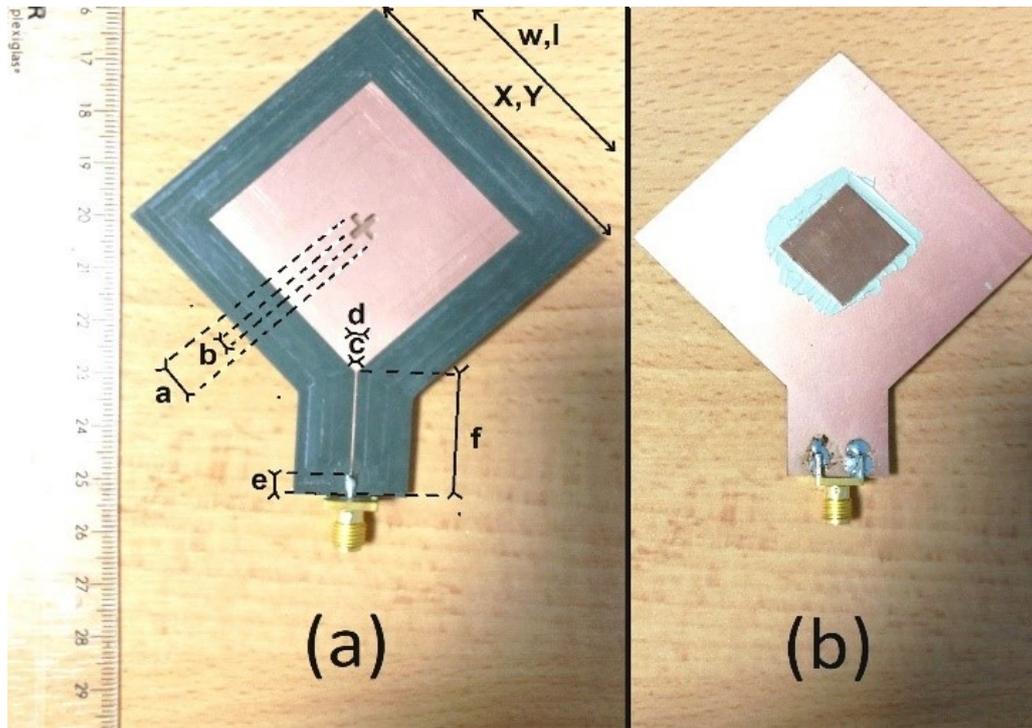


FIGURE 114 – Photographie du prototype d'antenne réalisé. (a) vue dessus. (b) vue dessous. Les dimensions des paramètres sur la figure sont les suivants :  $w = l = 39,4$  mm,  $X = Y = 60$  mm,  $a = 6$  mm,  $b = 1,6$  mm,  $c = 0,5$  mm,  $d = 4$  mm,  $e = 4,8$  mm,  $f = 22$  mm.

de 1,575 mm et de cuivre de 0,035 mm creusées. Dans la référence [106], la cavité en croix est uniquement creusée dans le cuivre et permet de réduire les dimensions. L'antenne proposée est légèrement plus grande au niveau de la surface de cuivre du patch mais nécessite une surface de diélectrique moins importante grâce à la cavité. L'antenne à polarisation croisée à cavité en croix proposée est réalisée avec le substrat Rogers 5880. C'est un substrat de bonne qualité qui a été choisi pour son faible coefficient de perte (0,0009) et parce qu'il propose une permittivité relative de 2,2. Car il est connu comme le montre la référence [109] qu'un substrat à faible permittivité est favorable à un fort gain d'antenne.

Ainsi, l'unique ligne d'excitation est positionnée dans un coin du patch. Cette position précise, divisant en deux parties égales l'antenne ainsi que la croix centrale, permet la polarisation croisée. La croix creusée renforce le gain dans les composantes co-polarisation et cross-polarisation. La ligne d'excitation réalisée est une ligne microstrip avec une transition pour être adaptée à 50 Ohms. Cette transition permet de réduire l'effet critique des dimensions de la ligne d'excitation primaire. La conception de l'antenne fait appel aux équations utilisées dans le cadre de l'antenne patch 5.5 :

Ensuite, à partir des valeurs théoriques obtenues, un tuning des dimensions est nécessaire pour obtenir des résultats aux fréquences voulues. Les deux parties symétriques de l'antenne donnent les diagrammes de rayonnement pour E et H selon l'angle Phi en co et cross-polarisation

$$Width = \frac{c}{2f_0\sqrt{\frac{\epsilon_R+1}{2}}}; \quad \epsilon_{eff} = \frac{\epsilon_R+1}{2} + \frac{\epsilon_R-1}{2} \left[ \frac{1}{\sqrt{1+12\left(\frac{h}{W}\right)}} \right]$$

$$Length = \frac{c}{2f_0\sqrt{\epsilon_{eff}}} - 0.824h \left( \frac{(\epsilon_{eff}+0.3)\left(\frac{W}{h}+0.264\right)}{(\epsilon_{eff}-0.258)\left(\frac{W}{h}+0.8\right)} \right)$$

en suivant le champ électromagnétique excité. Les premiers résultats obtenus concernent le paramètre S11 de réflexion sur la figure 115.

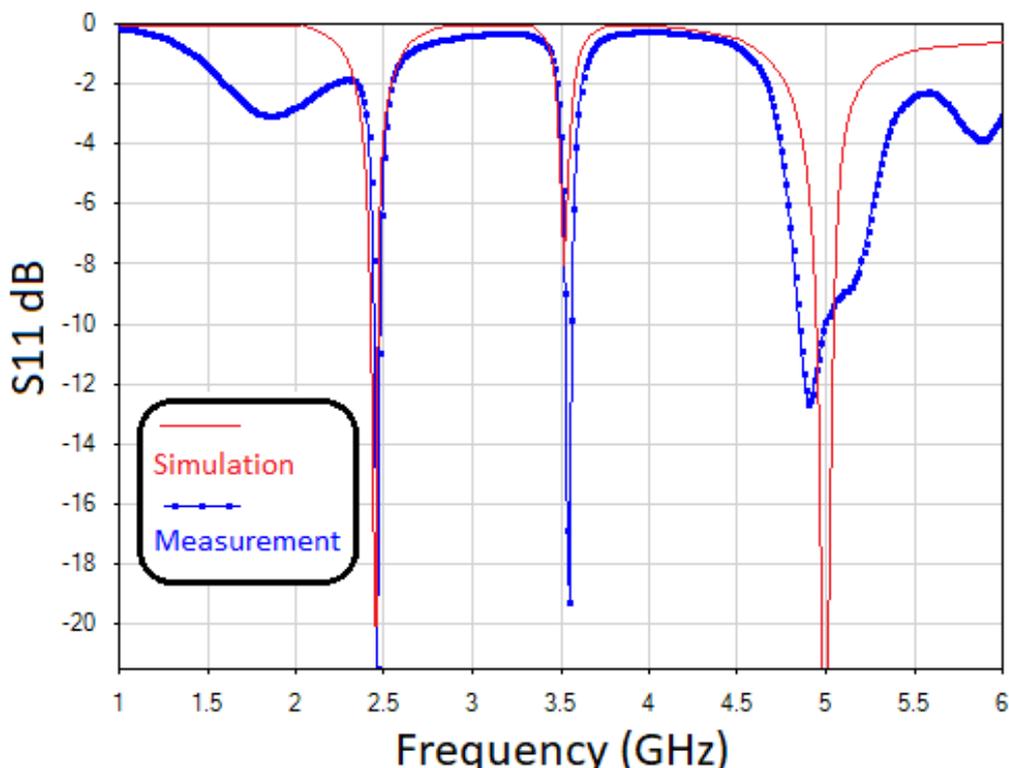


FIGURE 115 – Paramètre S11 de réflexion simulé et mesuré de l'antenne proposée

La figure 115, montre que l'antenne a des possibilités intéressantes concernant l'adaptation pour trois fréquences distinctes : 2,45 GHz, 3,56 GHz et 5 GHz. Les mesures à l'analyseur vectoriel de réseau (ou VNA) sont en accord avec la simulation bien que l'adaptation à 5 GHz soit un peu moins bonne en mesure. Les valeurs sont détaillées dans le tableau 117. La fréquence de résonance située à 3,56 GHz n'est pas concernée par l'étude, mais il est intéressant de la mentionner car elle figure à une fréquence proche de la bande utilisée pour la 5G (5ème génération) et pourrait donc potentiellement être exploitée à cette fin. La figure 116 montre les diagrammes de polarisations co et cross-polarisations.

Les résultats du prototype réalisé concordent avec la simulation là aussi. Les formes des

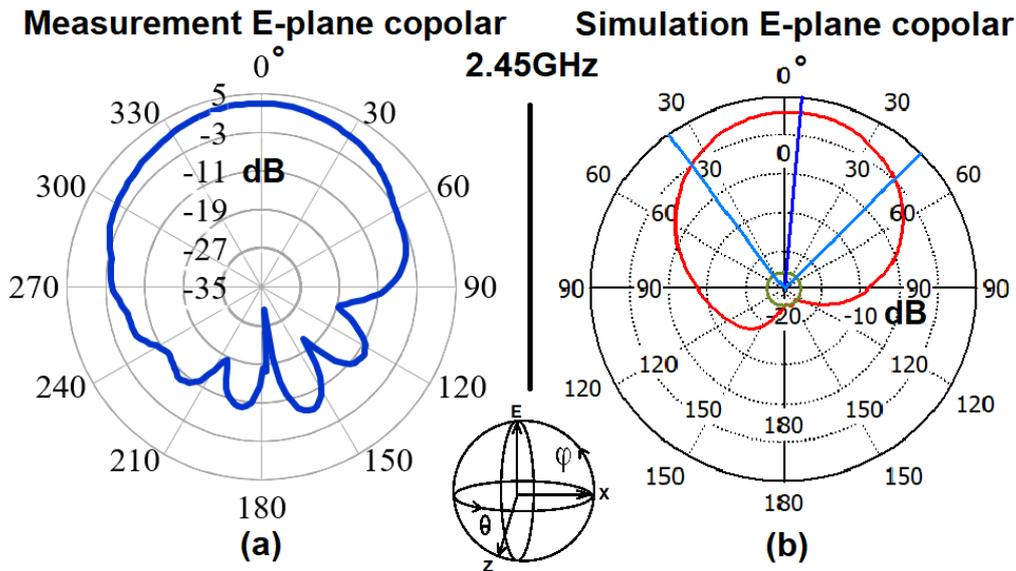


FIGURE 116 – Diagramme de polarisation au plan E en co-polarisation simulé et mesuré de l'antenne proposée

diagrammes de rayonnement sont très proches. Nous obtenons ainsi un gain supérieur à 3dB dans pratiquement toutes les polarisations E et H ainsi qu'un gain remarquable de 1,86 dB à 3,56 GHz. Pour 5 GHz, nous n'avons pas obtenu les mêmes résultats qu'en simulation bien que la forme du diagramme de rayonnement soit très proche. Plusieurs paramètres rentrent alors en compte tels que l'environnement de mesure, la configuration des appareils, le design . . . etc. En effet, les mesures ont été effectuées dans une chambre anéchoïque de 5 mètres cube en utilisant des antennes de références de 10 dB pour l'émission et la réception (mesure de calibrage, puis en émission uniquement).

Results (dB)	Simulation		Measured	
	2.45GHz	5GHz	2.45GHz	5GHz
S11	-20.2	-26.8	-22	-10
Gain Abs	6.27	5.56	-	-
E-co-pol	3.07	5.43	3.07	-6.65
E-cross-pol	3.42	-9.92	3.53	0.44
H-co-pol	3.33	-9.9	2.93	-6.33
H-cross-pol	2.98	5.44	1.81	-6

FIGURE 117 – Tableau résumant les résultats de simulation et des mesures de l'antenne proposée

Ainsi, au vu des résultats du Tableau 1, nous pouvons conclure que la polarisation croisée est bien effectuée avec des résultats encourageant très proches en simulation et mesure pour 2,45 GHz. Cette particularité d'avoir une antenne à polarisation croisée est intéressante sachant que

l'énergie à collecter est en constante variation. Cet aspect expérimental est montré ci-dessous avec un exemple associant l'antenne double polarisation à cavité en croix à un circuit de redressement existant présenté dans [110]. Le tout, est comparé au même circuit de redressement lié à une antenne patch standard rectangulaire. La figure 118 montre les circuits tests à comparer.

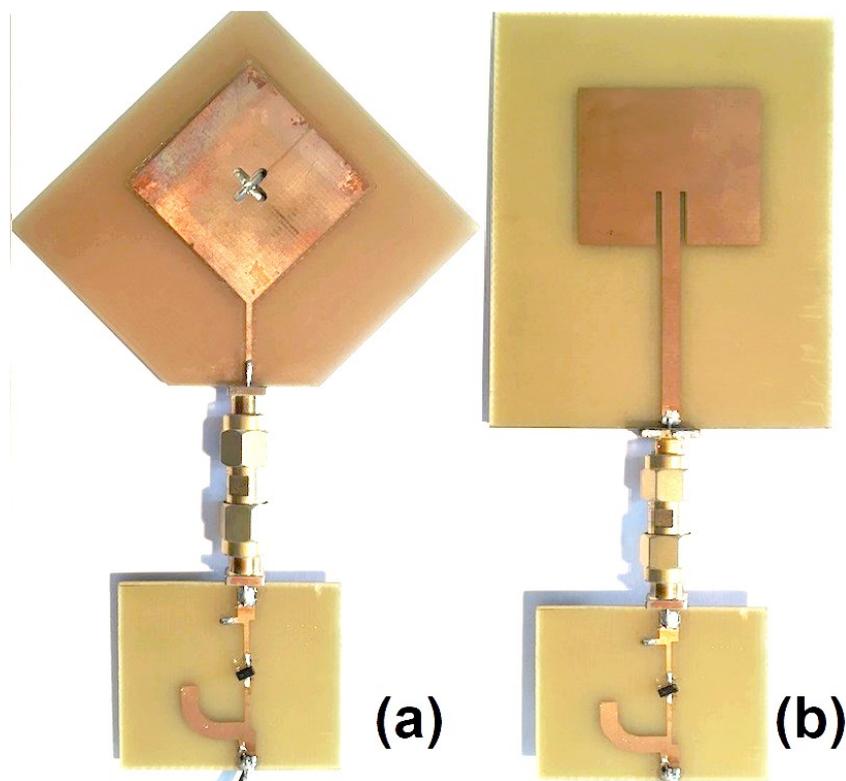


FIGURE 118 – Photographies des circuits de rectification réalisés en FR4 : (a) antenne double polarisation en croix. (b) patch standard rectangulaire.

Pour pouvoir être comparable, l'antenne à cavité en croix a été réalisée en substrat FR4 et associée au circuit de redressement montré Figure 5. Le circuit de redressement issu de [110] est composé d'un réseau d'adaptation, d'une diode SMS7630 et d'un filtre d'harmoniques. Les deux antennes sont positionnées à 2 mètres d'une antenne papillon émettant un signal à 2,45 GHz à une puissance de 316mW. Les tensions DC obtenues pour chaque dispositif sont présentées à la figure 119. D'autres mesures seront effectuées dans le futur pour d'autres polarisations de la source.

Pour conclure, les résultats de la figure 119 témoignent alors des performances qu'apporte cette nouvelle antenne par rapport à une antenne standard. Un gain de 48% maximum en tension est observé pour une charge de 4 k $\Omega$  avec l'antenne proposée. L'amélioration moyenne sur une plage de résistance allant de 1 k $\Omega$  à 10 M $\Omega$  est de 40%. Ce qui dans le cas de la récupération d'énergie en fait une antenne plus intéressante qu'un patch standard. Une idée d'étude pour poursuivre ces travaux serait de mettre en oeuvre la liaison entre le circuit de redressement intégré présenté en FDSOI et cette antenne à polarisation croisée.

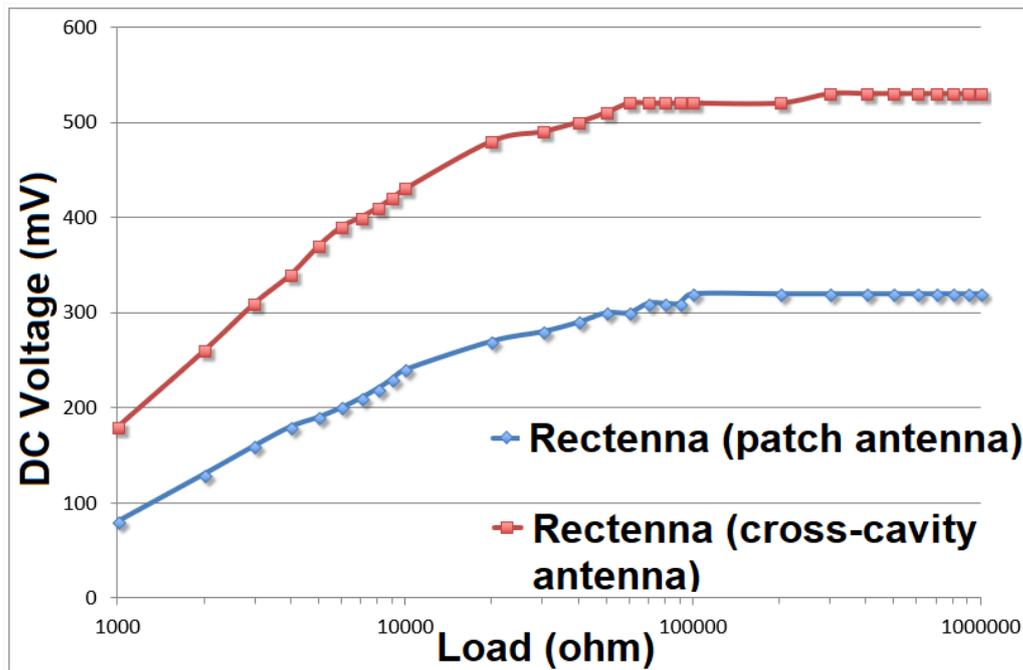


FIGURE 119 – Tension de sortie issues des rectennes avec l'antenne standard et proposée en cavité à croix

## 5.6 Conclusion

Nous concluons ce chapitre de mesures et réalisations en confirmant que les résultats obtenus avec la technologie FDSOI 28 nm sont nettement meilleurs que ceux obtenus avec la technologie BULK 350 nm pour notre étude. Cette affirmation est surtout prouvée par les résultats de simulations spectre et post-layout obtenues mais aussi dans certains résultats de mesure comme pour le circuit redresseur VCT à 8 étages, où la tension de sortie mesurée sur la puce en FDSOI est supérieure à celle obtenue en simulation BULK. En effet, l'écart de performance pour une charge donnée de 10 M $\Omega$  est de 1,4 V. Cependant, les résultats obtenus pour la pompe de charge et le VCO ne sont pas tout à fait similaires. En FDSOI, les résultats de mesures sont éloignés de 80% face à la simulation post-layout et moins bons de 40% face à la simulation en BULK. Pour le VCO, les résultats sont bien meilleurs dans le cas de la FDSOI du fait des tensions de seuil plus basses permettant un démarrage plus rapide et une tension nécessaire au fonctionnement plus basse. Les transistors étant plus petits, la fréquence maximale du VCO en FDSOI est atteinte dans notre cas d'étude à 11,8 GHz contre 1,25 GHz en BULK. Nous n'avons toutefois obtenu aucun résultat pour le VCO en FDSOI. Finalement, aucun des circuits réalisés n'a permis d'atteindre les objectifs fixés pour l'alimentation du capteur TelosB. Mais notre étude menée sur la baisse des performances ou leur absence a montré un problème de contact entre les PADS de la puce et la sonde de mesure sur la technologie FDSOI. Une tentative de pose hors PADS a été tentée mais sans succès. Concernant les baisses de performances, nous avons fait

l'hypothèse que les PADS intégrant des protection ESD natives, pouvaient absorber la puissance RF au dessus d'un certain seuil. En mesurant le courant consommé par le PADring, nous avons vérifié cette hypothèse et montré qu'à partir de 5 dBm, la majorité de la puissance envoyée dans la puce est dissipée dans le padring. Les résultats sont synthétisés dans les tableau 3.

	Simulations	Post-Layout	Mesures
Pompe de charge FDSOI	Vout = 3,3 V	Vout = 3,45 V	Vout = 700 mV
VCO FDSOI	F= 1,1 GHz	F= 482 MHz	-
Redresseur FDSOI	Vout= 745 mV	Vout= 700 mV	Vout= 100 mV
Pompe de charge BULK	3 V	-	-
VCO BULK	F= 100 MHz	-	F= 61 MHz
Redresseur BULK	Vout= 250 mV	-	Vout= 100 mV

TABLE 3 – Tableau synthétique des résultats de simulations et de mesures

Pour finir, dans le but de réaliser un élément démonstrateur à la chaîne de récupération d'énergie montrée 4, nous avons réalisée une antenne patch à polarisation croisée permettant d'augmenter la tension redressée de 48% supplémentaire par rapport à une antenne patch standard et dans les mêmes conditions de mesure.

## Conclusion Générale

Les travaux présentés dans cette thèse apportent une contribution au problème d'autonomie et d'encombrement des capteurs sans fil en couvrant une partie de leur alimentation en utilisant les avantages de la technologie intégrée FDSOI 28 nm. Notre but était, à l'aide de la récupération d'énergie RF et des technologies intégrées, de proposer un circuit permettant d'alimenter un capteur pendant ses longues phases en état de veille ou "standby" à partir d'une puissance d'entrée RF de 0 dBm à une fréquence de 2,45 GHz. Ces conditions définies introduisent également notre étude dans la thématique du transfert de puissance sans-fil, puisque les conditions d'émissions de puissance sont fixées. Pour ce faire, nous avons étudié différentes structures de redresseurs RF-DC et choisi parmi elles d'utiliser un redresseur série modifié avec la technique de compensation de la tension de seuil permettant de compenser la chute de tension du transistor monté en diode de redressement. La technologie FDSOI 28 nm nous permet de polariser le substrat des transistors afin d'ajouter un degré de liberté à son contrôle. Cette option permet donc de polariser le substrat du transistor dynamiquement selon le signal qui arrive sur son drain. Nous avons ainsi montré que cette opération pouvait réduire la tension de seuil du transistor et ainsi augmenter les performances en redressement de tension au double voir triple. Le redresseur VCT proposé se compose de huit étages et produit une tension de sortie de 750 mV pour une charge de 10 k $\Omega$  et une puissance d'entrée de 0 dBm. Puis, afin de rendre utilisable cette tension nous avons rajouté une pompe de charge de type Dickson pour élever la tension autour de 3V, tension nécessaire pour le capteur. Huit étages de Dickson sont nécessaires pour atteindre cet objectif et produire un peu plus de 3.3 V pour une charge de 54 k $\Omega$  correspondant au pire cas de veille du capteur TelosB pris comme exemple dans cette étude. Pour commander les capacités de la pompe de charge nous avons aussi réalisé un oscillateur contrôlé en tension capable de fournir une fréquence d'horloge de 482 MHz. Ces résultats encourageants ont été obtenus en simulation post-layout et nous aurions dû les retrouver lors de nos mesures sur la puce. Toutefois, nous avons rencontré deux problèmes lors des mesures, le premier étant la difficulté d'avoir un bon contact entre les sondes de mesure et le PAD des puces FDSOI. Et le second, étant l'absorption de la puissance RF en entrée du circuit par le Pading de la puce. Nous avons montré que plus cette puissance d'entrée augmentait et plus le Pading consommait en courant afin de la contenir et "protéger" le circuit. Malgré cela, nous avons tout de même comparé nos résultats en technologie FDSOI 28 nm avec une technologie standard BULK 350 nm. Et même avec les problèmes rencontrés nous avons montré que la technologie FDSOI est le meilleur choix pour alimenter le capteur TelosB à 0 dBm en fournissant de meilleurs résultats que la technologie BULK pour les trois circuits étudiés. De plus, l'empreinte physique de la puce réalisée en FDSOI est trois fois moindre que celle en BULK

avec seulement  $1,2\text{mm}^2$ . Enfin, la structure de redresseur VCT proposée à huit étages a permis de réduire l'impédance d'entrée du circuit à une valeur proche de  $50\ \Omega$  soit  $33\ \Omega$ . Ainsi, cette étude ainsi que le dimensionnement et les résultats obtenus en simulations post-layout nous permettent d'affirmer que la FDSOI permet de réaliser des circuits performants pour participer à l'alimentation des capteurs grâce à la collecte d'énergie RF. Ces circuits (antenne, redresseur, pompe de charge et VCO) une fois assemblés au complet permettent alors d'éviter de saturer la structure en câblage et facilitent l'installation, le fonctionnement et la maintenance.

Finalement, le problème d'absorption de puissance des Pads ouvre les perspectives sur la nécessité d'étudier le comportement de ce derniers. La réalisation et l'étude de Pads custom pour la RF est plus que nécessaire afin de pouvoir traiter la chaîne complète de récupération d'énergie. Nous savons également qu'il existe des technologies BULK plus abordables permettant de polariser le substrat des transistors de manière libre. De plus, les technologies BULK possèdent également des tailles de transistors relativement petites (22 nm) et finalement proches de la FDSOI 28 nm. Cependant, outre la partie de récupération d'énergie, la rectenna peut aussi jouer un rôle crucial en ce qui concerne le couplage d'énergie RF associé à de l'information. La rectenna ferait donc partie essentielle du capteur dans le but d'améliorer sa consommation d'énergie tout en utilisant la même empreinte physique, d'autant plus que le capteur TelosB communique à 2,45 GHz. Le circuit doit également être optimisé en rajoutant des circuits de contrôle de la tension (limiteurs entre autres tel qu'un bandgap) afin de protéger le capteur à alimenter des tensions trop élevées. Dans le cas de tension trop petite récupérée, un système d'accumulation de type batterie pourrait être associé.

## Références

- [1] <https://http://www2.ece.ohio-state.edu/~bibyk/ee582/telosMote.pdf>.
- [2] Energie d'un CONDENSATEUR : <http://www2.ece.ohio-state.edu/~bibyk/ee582/telosMote.pdf>.
- [3] <https://www.le2p.fr/>.
- [4] <http://imep-lahc.grenoble-inp.fr/>.
- [5] [https://media.springernature.com/lw685/springer-static/image/art%3A10.1186%2F1687-1499-2011-92/MediaObjects/13638\\_2011\\_Article\\_94\\_Fig1\\_HTML.jpg](https://media.springernature.com/lw685/springer-static/image/art%3A10.1186%2F1687-1499-2011-92/MediaObjects/13638_2011_Article_94_Fig1_HTML.jpg).
- [6] [https://fr.wikipedia.org/wiki/Bluetooth#:~:text=La%20plupart%20des%20fabricants%20d,type%20GFSK%20\(Gaussian%20FSK\)](https://fr.wikipedia.org/wiki/Bluetooth#:~:text=La%20plupart%20des%20fabricants%20d,type%20GFSK%20(Gaussian%20FSK)).
- [7] D. L. Luong : Thèse de doctorat de l'Université de Lyon en hyperfréquences intitulée : "Aide à la conception de lignes microrubans à onde lente sur substrat structuré dans les bandes RF et millimétriques : applications aux coupleurs et dispositifs passifs non RÉCIPROQUES" : 2019.
- [8] S. BORKAR : Design challenges of technology scaling. *IEEE Micro*, 19(4):23–29, 1999.
- [9] <http://www.itrs2.net/>.
- [10] <https://irds.ieee.org/>.
- [11] S. B. Desai *et al* : Mos2 transistors with 1-nanometers gate lengths. *Science, Sciencemag*, 2016.
- [12] Rahma Aloulou Hajtaieb : Thèse de doctorat de l'école Nationale d'Ingénieurs de Sfax et de l'Université de la Réunion en Électronique intitulée : "Etude et réalisation de circuits intégrés d'alimentation et de conditionnement d'énergie pour les réseaux de capteurs sans FIL" : 2015.
- [13] A. Hamani : Thèse de doctorat de l'Université des Sciences et Technologies Houari Boumediene en électronique intitulée : "Design of an RFID TAG" : 2017.
- [14] M. Awad : Thèse de doctorat de l'Université Grenoble Alpes en nanoélectronique intitulée : "Conception d'un circuit électronique pour la récupération d'énergie électromagnétique en technologie FDSOI 28 NM" : 2018.
- [15] J. Liu : Thèse de doctorat de l'Université Grenoble Alpes en nanoélectronique intitulée : "Développement de cellules élémentaires radiofréquences ultra faible consommation en technologie FDSOI pour des applications liées à l'internet des OBJETS" : 2019.

- [16] K. DEGUCHI, K. KOMATSU, H. NAMATSU, M. SEKIMOTO, M. MIYAKE et K. HIRATA : Step-and-repeat x-ray, photo hybrid lithography for 0.3 um mos devices. *In 1985 Symposium on VLSI Technology. Digest of Technical Papers*, pages 74–75, May 1985.
- [17] <https://ams.com/process-technology>.
- [18] H. . P. WONG, D. J. FRANK, P. M. SOLOMON, C. H. J. WANN et J. J. WELSER : Nanoscale cmos. *Proceedings of the IEEE*, 87(4):537–570, April 1999.
- [19] CC BY-SA 3.0 BY OWN WORK : <https://commons.wikimedia.org/w/index.php?curid=16935119>.
- [20] <http://www.cea.fr/multimedia/Documents/infographies/le-transistor-FDSOI.pdf>.
- [21] CEA-TECH JEAN-PIERRE COLINGE, LETI : 40 ans de soi; <https://www.minatec.org/fr/vie-de-campus/les-midis-minatec/>, 24 janvier, les midis minatec. 2020.
- [22] [http://www.cea.fr/cea-tech/leti/Documents/presse/CEA\\_Hors%20serie%20Leti\\_May2017-UK-BDissuHD-19juin.pdf](http://www.cea.fr/cea-tech/leti/Documents/presse/CEA_Hors%20serie%20Leti_May2017-UK-BDissuHD-19juin.pdf).
- [23] W. DGHAIS : Utbb fdsoi back-gate biasing for low power and high speed chip design. *Institute of Telecommunications, Aveiro, Portugal*, 2015.
- [24] <https://www.soitec.com/fr/produits/smart-cut>.
- [25] A. Litty : Thèse de doctorat de l'Université Grenoble Alpes en nanoélectronique intitulée : "Conception fabrication caractérisation et modélisation de transistor MOSFET haute tension en technologie avancée SOI(SILICON-ON-INSULATOR)" : 2015.
- [26] [https://designers-guide.org/forum/Attachments/gmid\\_ruida.pdf](https://designers-guide.org/forum/Attachments/gmid_ruida.pdf).
- [27] R. J. BAKER : Circuit design, layout and simulation. *IEEE Press*, 2010.
- [28] [https://en.wikipedia.org/wiki/Diode-connected\\_transistor](https://en.wikipedia.org/wiki/Diode-connected_transistor).
- [29] A. ASHRY, K. SHARAF et M. IBRAHIM : A simple and accurate model for rfid rectifier. *IEEE Systems Journal*, 2(4):520–524, 2008.
- [30] [https://www.st.com/content/ccc/resource/sales\\_and\\_marketing/presentation/technology\\_presentation/group0/35/54/24/df/5d/39/4f/39/BRFDSOI0616/files/BRFDSOI0616.pdf/jcr:content/translations/en.BRFDSOI0616.pdf/](https://www.st.com/content/ccc/resource/sales_and_marketing/presentation/technology_presentation/group0/35/54/24/df/5d/39/4f/39/BRFDSOI0616/files/BRFDSOI0616.pdf/jcr:content/translations/en.BRFDSOI0616.pdf/).
- [31] N. SACHDEVA et N. JULKA : Effect of temperature fluactions on mosfet characteristics. *IJEET International Journalof EElectronics Communication and Technology*, 2011.
- [32] E. Vandelle : Thèse de doctorat de l'Université Grenoble-Alpes : "Exploration de solutions antennaires et de formation passive de faisceaux pour la récupération et le transfert d'énergie sans FIL" : 2019.

- [33] C. H. P. LORENZ, S. HEMOUR, W. LIU, A. BADEL, F. FORMOSA et K. WU : Hybrid power harvesting for increased power conversion efficiency. *IEEE Microwave and Wireless Components Letters*, 25(10):687–689, 2015.
- [34] X. GU, S. HEMOUR et K. WU : Integrated cooperative radiofrequency (rf) and kinetic energy harvester. In *2017 IEEE Wireless Power Transfer Conference (WPTC)*, pages 1–3, 2017.
- [35] S. SAWANT et B. J. BALIGA : 4 kv merged pin schottky (mps) rectifiers. In *Proceedings of the 10th International Symposium on Power Semiconductor Devices and ICs. ISPSD'98 (IEEE Cat. No.98CH36212)*, pages 297–300, 1998.
- [36] [https://www.mouser.fr/Semiconductors/Discrete-Semiconductors/Diodes-Rectifiers/Schottky-Diodes-Rectifiers/\\_/N-ax1mj?P=1z0y497Z1z0z7vb](https://www.mouser.fr/Semiconductors/Discrete-Semiconductors/Diodes-Rectifiers/Schottky-Diodes-Rectifiers/_/N-ax1mj?P=1z0y497Z1z0z7vb).
- [37] W. SHOCKLEY : The theory of p-n junctions in semiconductors and p-n junction transistors. *The Bell System Technical Journal*, 28(3):435–489, 1949.
- [38] D. H. N. Bui : Thèse de doctorat de l'Université Grenoble Alpes en nanoélectronique intitulée : "Printed flexible antenna for energy HARVESTING" : 2017.
- [39] CC BY-SA 3.0 BY OWN WORK : [https://fr.wikipedia.org/wiki/Diode\\_Schottky#:~:text=Une%20diode%20Schottky%20\(nomm%C3%A9e%20d,utile%20par%20exemple%20en%20radioastronomie](https://fr.wikipedia.org/wiki/Diode_Schottky#:~:text=Une%20diode%20Schottky%20(nomm%C3%A9e%20d,utile%20par%20exemple%20en%20radioastronomie).
- [40] A. DOUYÈRE, S. RIVIÈRE, J. RIVIÈRE, F. ALICALAPA et J-D. LAN SUN LUK : Conception et réalisation d'un convertisseur rf/dc dédié à la collecte de faibles niveaux de puissance. In *2013 Journées Nationales Microondes*, pages 1–4, 2013.
- [41] E. ROCHEFEUILLE, F. ALICALAPA, A. DOUYÈRE et T. P. VUONG : Rectenna design for rf energy harvesting using cmos 350nm and fdsoi 28nm. In *2017 IEEE Radio and Antenna Days of the Indian Ocean (RADIO)*, pages 1–4, 2017.
- [42] B. R. FRANCISCATTO, V. FREITAS, J. DUCHAMP, C. DEFAY et T. P. VUONG : High-efficiency rectifier circuit at 2.45 ghz for low-input-power rf energy harvesting. In *2013 European Microwave Conference*, pages 507–510, 2013.
- [43] S. GAO et H. ZHANG : Topology comparison of single-diode rectifiers : Shunt diode vs. series diode. In *2019 12th International Workshop on the Electromagnetic Compatibility of Integrated Circuits (EMC Compo)*, pages 177–179, 2019.
- [44] F. MEDDOUR et Z. DIBI : An efficient small size electromagnetic energy harvesting sensor for low-dc-power applications. *IET Microwaves, Antennas Propagation*, 11(4):483–489, 2017.

- [45] T. YO, C. LEE, C. HSU et C. LUO : Compact circularly polarized rectenna with unbalanced circular slots. *IEEE Transactions on Antennas and Propagation*, 56(3):882–886, 2008.
- [46] J. HEIKKINEN et M. KIVIKOSKI : A novel dual-frequency circularly polarized rectenna. *IEEE Antennas and Wireless Propagation Letters*, 2:330–333, 2003.
- [47] CC BY-SA 3.0 BY OWN WORK : [https://en.wikipedia.org/wiki/Diode\\_bridge#cite\\_note-7](https://en.wikipedia.org/wiki/Diode_bridge#cite_note-7).
- [48] N. WEISSMAN, S. JAMESON et E. SOCHER : W-band cmos on-chip energy harvester and rectenna. In *2014 IEEE MTT-S International Microwave Symposium (IMS2014)*, pages 1–3, 2014.
- [49] H. GAO, M. K. MATTERS-KAMMERER, D. MILOSEVIC, A. VAN ROERMUND et P. BAL-TUS : A 62 ghz inductor-peaked rectifier with 7 In *2013 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, pages 189–192, 2013.
- [50] TSAI-FU WU, CHENG-TAO TSAI, YAOW-MING CHEN et Y. . CHANG : Analysis and implementation of an improved current-doubler rectifier with coupled inductors. *IEEE Transactions on Power Electronics*, 23(6):2681–2693, 2008.
- [51] T. LE, K. MAYARAM et T. FIEZ : Efficient far-field radio frequency energy harvesting for passively powered sensor networks. *IEEE Journal of Solid-State Circuits*, 43(5):1287–1302, 2008.
- [52] J. KILLEN : Utilizing standard cmos process floating gate devices for analog design. *Master's Thesis, Dept. Electr. Comput. E*, 2001.
- [53] E. ROCHEFEUILLE : Stage de fin d'étude à Grenoble INP PHELMA : "Etude de récupération d'énergie sans-fil "RF et microonde" avec une gestion d'énergie micro WATT" : 2016.
- [54] H. Nakamoto et AL : A passive uhf rfid tag lsi with 36.6% efficiency cmos-only rectifier and current-mode demodulator in 0.35 um feram technology. *2006 IEEE Int. Solid-State Circuits Conf. Dig. Tech. Pape*, pages 310–311, 2010.
- [55] T. Umeda et AL : A 950 mhz rectifier circuit for sensor networks with 10-m distance. in *2005 IEEE Int. Solid-State Circuits Co*, pages 256–597, 2005.
- [56] T. UMEDA, H. YOSHIDA, S. SEKINE, Y. Fujita T. SUZUKI et S. OTA : A 950-mhz rectifier circuit for sensor network tags with 10-m distance. *IEEE J. Solid-State Circuit*, pages 35–41, 2006.
- [57] K. KOTANI et T. ITO : High efficiency cmos rectifier circuits for uhf rfids using vth cancellation techniques. *IEEE 8th International Conference on ASIC*, 2009.

- [58] K. KOTANI et T. ITO : High efficiency cmos rectifier circuit with self-vth- cancellation and power regulation functions for uhf rfid. *IEEE Asian Solid-State Circuits Conference*, 2007.
- [59] M. A. AL-ABSI et S. R. AL-BATATI : Hybrid internal vth cancellation rectifiers for rf energy harvesting. *IEEE Access*, 8:51976–51980, 2020.
- [60] Z. HAMEED et K. MOEZ : Fully-integrated passive threshold-compensated pmos rectifier for rf energy harvesting. In *2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS)*, pages 129–132, 2013.
- [61] H. DAI, Y. LU, M. LAW, SAI-WENG SIN, U. SENG-PAN et R. P. MARTINS : A review and design of the on-chip rectifiers for rf energy harvesting. In *2015 IEEE International Wireless Symposium (IWS 2015)*, pages 1–4, 2015.
- [62] I. ADAM, Najib YASIN, Muhammad Ezanuddin ABDUL AZIZ et Mohamad Ismail SULAIMAN : Rectifier for rf energy harvesting using stub matching. *Indonesian Journal of Electrical Engineering and Computer Science*, 13:1007–1013, 03 2019.
- [63] S. CHANDRAVANSHI et M. J. AKHTAR : Design of efficient rectifier circuit in the gsm band for energy harvesting applications. In *2017 IEEE MTT-S International Microwave and RF Conference (IMaRC)*, pages 1–5, 2017.
- [64] C. H. P. LORENZ, S. HEMOUR et K. WU : Modeling and influence of matching network insertion losses on ambient microwave power harvester. *2015 IEEE MTT-S International Conference on Numerical Electromagnetic and Multiphysics Modeling and Optimization (NEMO)*, pages 1–3, 2015.
- [65] [https://fr.wikipedia.org/wiki/Abaque\\_de\\_Smith](https://fr.wikipedia.org/wiki/Abaque_de_Smith).
- [66] S. HEMOUR, Y. ZHAO, C. H. P. LORENZ, D. HOUSSAMEDDINE, Y. GUI, C. HU et K. WU : Towards low-power high-efficiency rf and microwave energy harvesting. *IEEE Transactions on Microwave Theory and Techniques*, 62(4):965–976, 2014.
- [67] H. DAI, Y. LU, M. LAW, SAI-WENG SIN, U. SENG-PAN et R. P. MARTINS : A review and design of the on-chip rectifiers for rf energy harvesting. In *2015 IEEE International Wireless Symposium (IWS 2015)*, pages 1–4, 2015.
- [68] T. ALAFGHANI, N. K. MANDLOI et S. HA : Adaptive-stage rectifier for mm-scale implants. *Electronics Letters*, 56(2):66–68, 2020.
- [69] D. KHAN, S. J. OH, K. SHEHZAD, M. BASIM, D. VERMA, Y. G. PU, M. LEE, K. C. HWANG, Y. YANG et K. LEE : An efficient reconfigurable rf-dc converter with wide input power range for rf energy harvesting. *IEEE Access*, 8:79310–79318, 2020.
- [70] W. W. Y. LAU et L. SIEK : A 2.45ghz cmos rectifier for rf energy harvesting. In *2016 IEEE Wireless Power Transfer Conference (WPTC)*, pages 1–3, 2016.

- [71] M. M. MNIF, H. MNIF et M. LOULOU : New design of rf-dc rectifier circuit for radio frequency energy harvesting. *In 2016 IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pages 664–667, 2016.
- [72] S. M. NOGHABAEI, R. L. RADIN, Y. SAVARIA et M. SAWAN : A high-efficiency ultra-low-power cmos rectifier for rf energy harvesting applications. *In 2018 IEEE International Symposium on Circuits and Systems (ISCAS)*, pages 1–4, 2018.
- [73] D. RIVADENEIRA, M. VILLEGAS, L. M. PROCEL et L. TROJMAN : Optimization of active voltage rectifier / doubler designed in 90 nm technology. *In 2020 IEEE 11th Latin American Symposium on Circuits Systems (LASCAS)*, pages 1–4, 2020.
- [74] P. T. THEILMANN, C. D. PRESTI, D. KELLY et P. M. ASBECK : Near zero turn-on voltage high-efficiency uhf rfid rectifier in silicon-on-sapphire cmos. *In 2010 IEEE Radio Frequency Integrated Circuits Symposium*, pages 105–108, 2010.
- [75] Y. WANG et M. SAWAN : High-efficiency cmos rectifier dedicated for multi-band ambient rf energy harvesting. *In 2014 21st IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, pages 179–182, 2014.
- [76] H. GREINACHER : [https://fr.wikipedia.org/wiki/Doubleur\\_de\\_tension#:~:text=Ce%20circuit%20a%20%C3%A9t%C3%A9%20invent%C3%A9,multiplicateur%20de%20tension%20plus%20performant./](https://fr.wikipedia.org/wiki/Doubleur_de_tension#:~:text=Ce%20circuit%20a%20%C3%A9t%C3%A9%20invent%C3%A9,multiplicateur%20de%20tension%20plus%20performant./).
- [77] J. D. COCKROFT et E. T. S. WALTON : [https://fr.wikipedia.org/wiki/G%C3%A9n%C3%A9rateur\\_Cockcroft-Walton./](https://fr.wikipedia.org/wiki/G%C3%A9n%C3%A9rateur_Cockcroft-Walton./).
- [78] J. F. DICKSON : On-chip high-voltage generation in mmos integrated circuits using an improved voltage multiplier technique. *IEEE Journal of Solid-State Circuits*, 11(3):374–378, 1976.
- [79] D. MATOUŠEK, O. ŠUBRT et J. HOSPODKA : Fibonacci charge pump design, test and measurement. *In 2017 11th International Conference on Measurement*, pages 135–138, 2017.
- [80] M. S. MAKOWSKI et D. MAKSIMOVIC : Performance limits of switched-capacitor dc-dc converters. *In Proceedings of PESC '95 - Power Electronics Specialist Conference*, volume 2, pages 1215–1221 vol.2, 1995.
- [81] J. A. STARZYK, YING-WEI JAN et FENGJING QIU : A dc-dc charge pump design based on voltage doublers. *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications*, 48(3):350–359, 2001.
- [82] [https://fr.wikipedia.org/wiki/Nano\\_Random\\_Access\\_Memory](https://fr.wikipedia.org/wiki/Nano_Random_Access_Memory).
- [83] <https://mycmp.fr/>.

- [84] ATMEL fichier : [Repro%5CART\\_7\\_2.pdf](#) C. PAPAIX, J.M. Daga.
- [85]
- [86] Etude interne au laboratoire LE2P sur les pompes de charge et leurs PHÉNOMÈNES : Université de la réunion, sts.
- [87] JINTAE KIM, GWANBON KOO et CHUNG YUEN WON : Loss analysis design of charge-pumped voltage supply for floating gate driver circuits in battery management system. *In 2016 IEEE Transportation Electrification Conference and Expo, Asia-Pacific (ITEC Asia-Pacific)*, pages 061–065, 2016.
- [88] E. Rochefeuille et AL : Fdsoi 28nm performances study for rf energy scavenging. *In IOP Conf. Series : Materials Science and Engineering 321 (2018) - Cape Town*, 2018.
- [89] E. Rochefeuille et AL : Fdsoi 28 nm rectifiers for rf energy harvesting. *In Journées Nationales sur la Récupération et le Stockage de l'Energie (2019) - Blois, France*, 2019.
- [90] JONGSHIN SHIN, IN-YOUNG CHUNG, YOUNG JUNE PARK et HONG SHICK MIN : A new charge pump without degradation in threshold voltage due to body effect [memory applications]. *IEEE Journal of Solid-State Circuits*, 35(8):1227–1230, 2000.
- [91] KI-HWAN CHOI, JONG-MIN PARK, JIN-KI KIM, TAE-SUNG JUNG et KANG-DEOG SUH : Floating-well charge pump circuits for sub-2.0v single power supply flash memories. *In Symposium 1997 on VLSI Circuits*, pages 61–62, 1997.
- [92] S-J. Park et AL. : Cmos cross-coupled charge pump with improved latch-up immunity. *In IEICE Electronic express*, volume 6, pages 736–742, 2009.
- [93] R. Perigny et AL. : Area efficient cmos charge pump circuit. *In Department of Electrical and Computer Engineering, Oregon State University*.
- [94] Shobha B N STUTI SHARON, Vani V et Archana H R : Design, implementation and comparison of various cmos charge pumps. *IJECET IAEME*, 5(8):97–106, 2014.
- [95] Luis BORGES, Norberto BARROCA, Ilangko BALASINGHAM, Raúl CHÁVEZ-SANTIAGO et Fernando VELEZ : Radio-frequency energy harvesting for wearable sensors. *Healthcare Technology Letters*, 2:22–27, 02 2015.
- [96] Payam MASOUMIFARAHABADI, H MIAR-NAIMI et Ataollah EBRAHIMZADEH : A new solution to analysis of cmos ring oscillators. *Iran J Electr Electron Eng*, 5, 03 2009.
- [97] B. CABON : Cours de master 2 (or) sur les mmic / vco. *Institut Polytechnique de Grenoble (INP-Phelma)*, 2010.
- [98] A. B. KHAN, J. CARDENAS, L. CHEN, M. KHAN et A. QURESHI : A low power and low noise voltage-controlled oscillator in 28-nm fdsoi technology for wireless communication

- applications. In *2019 IEEE Canadian Conference of Electrical and Computer Engineering (CCECE)*, pages 1–5, 2019.
- [99] D. AL-SHEBANEE, R. WUNDERLICH et S. HEINEN : Design of highly sensitive cmos rf energy harvester using ultra-low power charge pump. In *2015 IEEE Wireless Power Transfer Conference (WPTC)*, pages 1–4, 2015.
- [100] S. s. CHOUHAN et K. HALONEN : A modified cross coupled rectifier based charge pump for energy harvesting using rf to dc conversion. In *2013 European Conference on Circuit Theory and Design (ECCTD)*, pages 1–4, 2013.
- [101] K. YOU, H. KIM, M. KIM et Y. YANG : 900 mhz cmos rf-to-dc converter using a cross-coupled charge pump for energy harvesting. In *2011 IEEE International Symposium on Radio-Frequency Integration Technology*, pages 149–152, 2011.
- [102] S. S. UDUPA, P. S. SUSHMA et CHAITHRA : An orthogonally switching charge pump rectifier for rf energy harvester. In *2017 2nd IEEE International Conference on Recent Trends in Electronics, Information Communication Technology (RTEICT)*, pages 447–450, 2017.
- [103] T. SAKURAIKIRA et M. DOUSEKI : Fully-depleted soi cmos circuits and technology. Springer, 2006.
- [104] E. VANDELLE, P. L. DOAN, D. H. N. BUI, T. P. VUONG, G. ARDILA, K. WU et S. HEMOUR : High gain isotropic rectenna. In *2017 IEEE Wireless Power Transfer Conference (WPTC)*, pages 1–4, 2017.
- [105] S. V. NESTERUK et P. I. TRAVKIN : Double-polarization antenna for mimo system of wireless communication. In *2011 VIII International Conference on Antenna Theory and Techniques*, pages 214–216, 2011.
- [106] W. HABOUBI, H. TAKHEDMIT, O. PICON et L. CIRIO : A gsm-900 mhz and wifi-2.45 ghz dual-polarized, dual-frequency antenna dedicated to rf energy harvesting applications. In *2013 7th European Conference on Antennas and Propagation (EuCAP)*, pages 3959–3961, 2013.
- [107] K. S. PHOO, M. Z. A. A. AZIZ, B. H. AHMAD, M. A. OTHMAN, M. K. SUAIDI et F. A. MALEK : Design of broadband dual-polarized antenna with single slanted feed. In *2014 IEEE International Conference on Control System, Computing and Engineering (ICCSCE 2014)*, pages 218–222, 2014.
- [108] Y. GOU, S. YANG, Q. ZHU et Z. NIE : A compact dual-polarized double e-shaped patch antenna with high isolation. *IEEE Transactions on Antennas and Propagation*, 61(8):4349–4353, 2013.

- [109] D. H. SCHAUBERT, D. M. POZAR et A. ADRIAN : Effect of microstrip antenna substrate thickness and permittivity : comparison of theories with experiment. *IEEE Transactions on Antennas and Propagation*, 37(6):677–682, 1989.
- [110] A. DOUYÈRE, J. RIVIÈRE, J. L DUBARD et J. D. LAN SUN LUK : Etude du couplage et analyse des performances d'une rectenna pifa à faibles niveaux de puissance. *AG GDR Ondes 2017, Sophia Antipolis*, 2017.
- [111] Energie d'un CONDENSATEUR : [https://fr.wikibooks.org/wiki/%C3%89lectricit%C3%A9/Le\\_condensateur](https://fr.wikibooks.org/wiki/%C3%89lectricit%C3%A9/Le_condensateur).
- [112] [http://www.ief.u-psud.fr/~jok/Articles\\_PDF/JFAAA02\\_33\\_moutault.pdf](http://www.ief.u-psud.fr/~jok/Articles_PDF/JFAAA02_33_moutault.pdf).
- [113] R. MERAT, R. MOREAU, L. ALLAY, J-P. DUBOS, J. LAFARGUE et R. LE GOLF : Génie électrique principes et montages. *Nathan, Collection étapes Mémento*, 92(8):384, 1999.
- [114] <http://nte-serveur.univ-lyon1.fr/guide/energie.pdf>.

## Annexes

## Annexe 1 : Le capteur TelosB

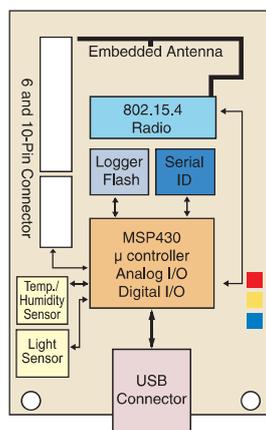
### TELOSB

TELOSB MOTE PLATFORM

- IEEE 802.15.4 Compliant
- 250 kbps, High Data Rate Radio
- TI MSP430 Microcontroller with 10kB RAM
- Integrated Onboard Antenna
- Data Collection and Programming via USB Interface
- Open-source Operating System
- Integrated Temperature, Light and Humidity Sensor

### Applications

- Platform for Low Power Research Development
- Wireless Sensor Network Experimentation



TPR2420CA Block Diagram

### TELOSB

MEMSIC's TelosB Mote TPR2420 is an open-source platform designed to enable cutting-edge experimentation for the research community. The TPR2420 bundles all the essentials for lab studies into a single platform including: USB programming capability, an IEEE 802.15.4 radio with integrated antenna, a low-power MCU with extended memory and an optional sensor suite. TPR2420 offers many features, including:

- IEEE 802.15.4 compliant RF transceiver
- 2.4 to 2.4835 GHz, a globally compatible ISM band
- 250 kbps data rate
- Integrated onboard antenna
- 8 MHz TI MSP430 microcontroller with 10kB RAM
- Low current consumption
- 1MB external flash for data logging
- Programming and data collection via USB
- Sensor suite including integrated light, temperature and humidity sensor
- Runs TinyOS 1.1.11 or higher



The TelosB platform was developed and published to the research community by UC Berkeley. This platform delivers low power consumption allowing for long battery life as well as fast wakeup from sleep state. The TPR2420 is compatible with the open-source TinyOS distribution.

TPR2420 is powered by two AA batteries. If the TPR2420 is plugged into the USB port for programming or communication, power is provided from the host computer. If the TPR2420 is always attached to the USB port no battery pack is needed.

TPR2420 provides users with the capability to interface with additional devices. The two expansion connectors and onboard jumpers may be configured to control analog sensors, digital peripherals and LCD displays.

TinyOS is a small, open-source, energy-efficient software operating system developed by UC Berkeley which supports large scale, self-configuring sensor networks. The source code software development tools are publicly available at: <http://www.tinyos.net>

Specifications	TPR2420CA	Remarks
<b>Module</b>		
Processor Performance	16-bit RISC	
Program Flash Memory	48K bytes	
Measurement Serial Flash	1024K bytes	
RAM	10K bytes	
Configuration EEPROM	16K bytes	
Serial Communications	UART	0-3V transmission levels
Analog to Digital Converter	12 bit ADC	8 channels, 0-3V input
Digital to Analog Converter	12 bit DAC	2 ports
Other Interfaces	Digital I/O,I2C,SPI	
Current Draw	1.8 mA	Active mode
	5.1 $\mu$ A	Sleep mode
<b>RF Transceiver</b>		
Frequency band <sup>1</sup>	2400 MHz to 2483.5 MHz	ISM band
Transmit (TX) data rate	250 kbps	
RF power	-24 dBm to 0 dBm	
Receive Sensitivity	-90 dBm (min), -94 dBm (typ)	
Adjacent channel rejection	47 dB	+ 5 MHz channel spacing
	38 dB	- 5 MHz channel spacing
Outdoor Range	75 m to 100 m	Inverted-F antenna
Indoor Range	20 m to 30 m	Inverted-F antenna
Current Draw	23 mA	Receive mode
	21 $\mu$ A	Idle mode
	1 $\mu$ A	Sleep mode
<b>Sensors</b>		
Visible Light Sensor Range	320 nm to 730 nm	Hamamatsu S1087
Visible to IR Sensor Range	320 nm to 1100nm	Hamamatsu S1087-01
Humidity Sensor Range	0-100% RH	Sensirion SHT11
Resolution	0.03% RH	
Accuracy	$\pm$ 3.5% RH	Absolute RH
Temperature Sensor Range	-40°C to 123.8°C	Sensirion SHT11
Resolution	0.01°C	
Accuracy	$\pm$ 0.5°C	@25°C
<b>Electromechanical</b>		
Battery	2X AA batteries	Attached pack
User Interface	USB	v1.1 or higher
Size (in)	2.55 x 1.24 x 0.24	Excluding battery pack
(mm)	65 x 31 x 6	Excluding battery pack
Weight (oz)	0.8	Excluding batteries
(grams)	23	Excluding batteries

## Notes

<sup>1</sup>Programmable in 1 MHz steps, 5 MHz steps for compliance with IEEE 802.15.4/D18-2003.

Specifications subject to change without notice



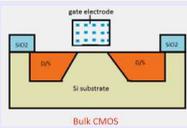
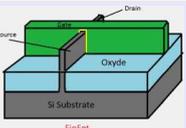
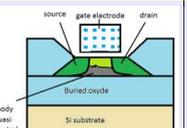
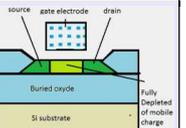
TPR2420 with Sensor Suite

## Ordering Information

Model	Description
TPR2420CA	IEEE 802.15.4 TelosB Mote with Sensor Suite

MEMSIC Inc. | San Jose, California | [www.memsic.com](http://www.memsic.com) | 6020-0094-03 Rev A

## Annexe 2 : Tableau comparatif des technologies intégrées

Comparatif des technologies				
	Bulk LP CMOS	FinFET	PD-SOI	FD-SOI
<b>Structure</b>	 Bulk CMOS	 FinFet	 PD-SOI	 FD-SOI
<b>Applications</b>	<ul style="list-style-type: none"> <li>- <math>\mu</math>-processeurs hautes performances</li> <li>- RF logics</li> <li>- Optiques</li> <li>- NAND gates</li> <li>- TTL</li> </ul>	<ul style="list-style-type: none"> <li>- <math>\mu</math>-processeurs hautes performances</li> <li>- surtout en low power logics</li> <li>- SRAM et DRAM</li> </ul>	<ul style="list-style-type: none"> <li>- <math>\mu</math>-processeurs hautes performances</li> <li>- Surtout, intégrée analogique pour de la puissance : RF, aérospatial, automobile...</li> </ul>	<ul style="list-style-type: none"> <li>- <math>\mu</math>-processeurs hautes performances</li> <li>- Electronique faible puissance</li> <li>- Ultra Low Power</li> </ul>
<b>Avantages</b>	<ul style="list-style-type: none"> <li>- Coût</li> <li>- Simplicité du process de fabrication</li> <li>- Performances analogiques</li> <li>- Dissipation de chaleur (tend à la limite sur certaines applications)</li> </ul>	<ul style="list-style-type: none"> <li>- grande densité de transistors</li> <li>- TB possibilité DVFS</li> <li>- Ultra Low Voltage capability</li> <li>- Réduction du courant de fuite « leakage current »</li> </ul>	<ul style="list-style-type: none"> <li>- procédé et industrialisation bien connue</li> <li>- facile à réaliser</li> <li>- selon les applications : utilité du « floating body effect » ex : mémoires ou gain en perf</li> </ul>	<ul style="list-style-type: none"> <li>- procédé et industrialisation bien connue</li> <li>- facile à réaliser</li> <li>- consommation et courants de fuite grandement réduits</li> <li>- control facile du canal car pas de « kink effect »</li> <li>- TB immunité SER</li> <li>- TB possibilité DVFS</li> <li>- Bonne dissipation de chaleur</li> <li>- Grâce à la zone complètement déplétée : vitesse plus rapide</li> </ul>
<b>Inconvénients</b>	<ul style="list-style-type: none"> <li>- Limité en puissance</li> <li>- DVFS limité</li> <li>- Pas d'ULV</li> <li>- Immunité SER limitée</li> </ul>	<ul style="list-style-type: none"> <li>- Complexité du process</li> <li>- Dissipation de chaleur</li> <li>- Immunité SER limitée</li> <li>- Coût</li> </ul>	<ul style="list-style-type: none"> <li>- effet de corps flottant « kink effect » : apparition de transistors parasites dans la structure</li> </ul>	<ul style="list-style-type: none"> <li>- corps mince difficile à réaliser</li> <li>- boost de performance difficile à entreprendre</li> </ul>
<b>Challenges</b>	<ul style="list-style-type: none"> <li>- Limitations physiques, thermiques économiques et en termes de matériaux</li> </ul>	<ul style="list-style-type: none"> <li>- Contrôle du process et de la métrologie</li> </ul>	<ul style="list-style-type: none"> <li>- Limites physiques atteintes dans le cas de l'évolution en haute performance</li> </ul>	<ul style="list-style-type: none"> <li>- Besoin de nouvelles techniques de métrologie pour détection des couches</li> </ul>

	- en voie d'extinction			
Tailles	20 nm	2017- 7 nm 14 nm	180 nm – 22 nm	2017- 7 nm 14 nm 150 nm pour ULP
Coûts (100mm <sup>2</sup> USD \$ / Node)	Pour 28 nm : ~5 \$	Pour 14nm : >10\$		Pour 14 nm : ~7\$
Intérêt pour notre cas d'étude	Pas d'innovation, les circuits de récupérations d'énergie existent déjà	Quelques études menées sur ULP Finfet, qq centaines de $\mu A$ et $V_{th}$ à ~ 400 mV, peut nécessiter de l'intérêt.	Pour de la puissance, pas d'intérêt ici à cause du kink effect, floating body	Le plus intéressant dans notre, avantageux pour les ULP, permet des tensions de seuil très petite jusqu'à ~150 mV Prometteur pour l'énergy scavenging

**Bulk LP CMOS :** LP Complementary Metal Oxyde Semiconductor (CMOS) is a variant of GP CMOS which is optimized to reduce leakage.

**FinFET :** A thin silicon « fin » Field Effect Transistor (FET)

**PD-SOI :** Partially Depleted Silicon On Insulator, la couche de silicium sous le canal est partiellement dépourvu de charge de mobile.

**FD-SOI :** Fully Depleted Silicon On insulator, la couche de silicium est tellement fine sous la grille qu'elle est dépourvue de charge mobile.

**ULV :** Ultra Low Voltage ( $V_{th}$ ) / **ULP :** Ultra Low Power

**TB :** Très bonnes ...

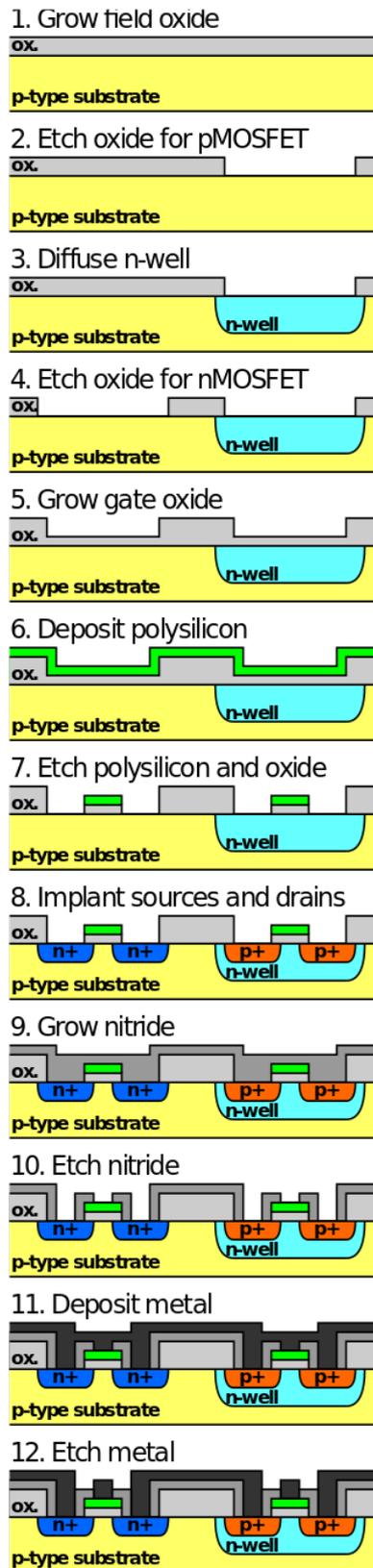
**DVFS :** Dynamic Voltage and Frequency Scaling : capacité à ajuster la fréquence et la tension en fonction de l'application

**Immunité SER :** Radiation-induced Soft Errors : « erreur de décision logique créée par les particules alphas libérées au sein de la puce, ex : ces particules sont chargées +, et vont interférer sur une mémoire... »

**Effet de corps flottant, floating effect, kink effect :** « c'est effet résultant de l'interaction électrique entre le corps flottant d'un transistor et le substrat isolant sur lequel il repose. Ils forment ensemble un condensateur électrique. Les charges s'accumulent dans ce dernier, causant des effets généralement (mais pas toujours ex : mémoires) indésirables comme l'apparition de transistors parasites dans la structure, causant des fuites de courant, ce qui a pour résultat une augmentation de ce dernier. » \_ Wiki.

La tension de seuil du transistor dépend de ce paramètre, ce qui en fait un paramètre critique quand à l'utilisation d'un tel élément dans une chaîne ULV / ULP.

## Annexe 3 : Process détaillé de fabrication d'un inverseur CMOS en technologie BULK



## Annexe 4 : Principe de charge et décharge des capacités

Le fonctionnement d'un circuit de pompe de charge repose sur les principes de base de charge, décharge et transfert de charges des capacités. Ainsi, dans la constitution d'une pompe de charge, la première étape consiste à charger la première capacité du premier étage grâce à la tension d'entrée (ou générateur) voir figure 120.

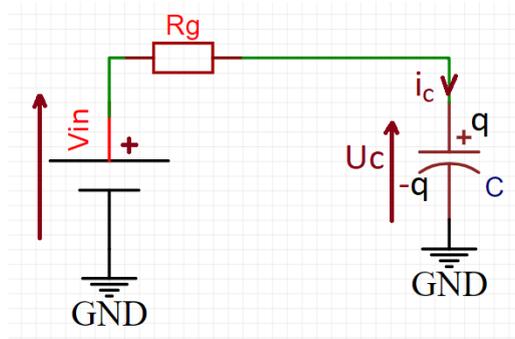


FIGURE 120 – Charge d'une capacité par un générateur et sa résistance

L'énergie stockée dans une capacité est égale au travail dépensé pour la charger [111]. Soit par exemple une capacité  $C$ , avec une charge  $+q$  et  $-q$  sur ses armatures. Déplacer une charge infinitésimale  $dq$ , d'une armature vers l'autre, à contre chemin de la tension,  $u = \frac{q}{C}$  (la tension  $u$  est variable), présente entre les armatures, nécessiterait un travail  $dW$  :

$$dW = u \cdot dq = \frac{q}{C} dq \quad (26)$$

Où  $W$  est le travail mesuré en Joules,  $q$  la charge en Coulomb et  $C$  la capacité en Farads. En effet, pour expliquer cette formule, soit un dipôle  $D$ . Pendant un temps  $t$ , une quantité de charge  $Q$  a traversé ce dipôle  $D$  sous l'action d'un générateur imposant une tension  $V_{dd}$  aux bornes du dipôle (le temps que la capacité se charge totalement). L'énergie qui a été fournie par le générateur pour transférer la charge  $Q$  au condensateur est :

$$W_{\text{fournit par generateur}} = W_{\text{gene}} = V_{dd} \cdot Q = C \cdot V_{dd}^2 \quad (27)$$

Nous pouvons trouver l'énergie stockée dans la capacité en intégrant l'équation (26). En partant d'une capacité déchargée ( $q=0$ ) et déplaçant des charges d'une armature à l'autre jusqu'à atteindre  $+Q$  et  $-Q$ , requiert un travail  $W$  :

$$W_{\text{stockée dans } C, t \rightarrow \infty} = \int_0^Q \frac{q}{C} dq = \frac{1}{2} \frac{Q^2}{C} = \frac{1}{2} \cdot C \cdot V_{dd}^2 = W_{\text{stored}} \quad (28)$$

Dans l'opération de charge d'une capacité par un générateur, la moitié de l'énergie fournie par le générateur charge la capacité (c'est l'énergie libre ou utilisable), l'autre moitié est dis-

sipée dans R. Ainsi pour stocker une énergie  $E1$  dans une capacité, il faut avoir  $2.E1$  Joules disponibles au niveau du générateur.

Dans les structures de pompe charge, des capacités sont souvent mises en parallèle en fermant des switches. Dans la figure 5.6, soient 2 capacités de même valeur : la capacité de gauche est initialement chargée à la valeur  $Q$  et la tension à ses bornes vaut  $U$ . Celle de droite est déchargée.

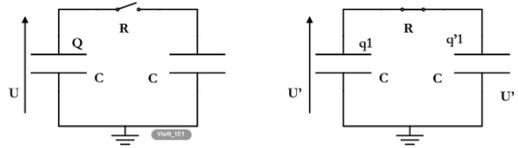


FIGURE 121 – Mise en parallèle d'une capacité chargée et d'une non chargée [112]

Dans cette configuration, après fermeture du switch, la charge initiale  $Q$  du système est conservée  $\mapsto Q = q1 + q'1$ , la charge finale des 2 capacités vaut (suivant les notations du circuit) :

$$q1 = q'1 = CU' = Q/2 = \frac{CU}{2} \mapsto U' = U/2 \quad (29)$$

Le bilan énergétique devient :

- énergie initiale  $E1$  stockée dans une capacité vaut :  $\frac{1}{2}.C.U^2$
- énergie finale  $E'1$  stockée dans les 2 capacités :

$$E'1 = \frac{1}{2}.C.(U')^2 + \frac{1}{2}.C.(U')^2 = \frac{1}{4}.C.U^2 \quad (30)$$

$$\Delta E_1 = E1 - E'1 = \frac{1}{4}.C.U^2 \quad (31)$$

Lors de la mise en connections de 2 capacités (1 chargée et l'autre déchargée) : 50% de l'énergie initiale stockée dans la capacité chargée, est partie sous forme de rayonnement électromagnétique lors de la fermeture de l'interrupteur (= dissipation dans la résistance R). 50% de l'énergie initiale stockée est stockée dans les 2 capacités [113].

Dans le même esprit, nous avons la configuration suivante, ou les deux capacités sont cette fois-ci chargées initialement, sous les tensions  $V_1$  et  $V_2$  différentes, et de valeurs  $C_1, C_2$  différentes :

On démontre [85], que l'énergie dissipée lors de la mise en contact de ces 2 éléments est :

$$\Delta E_2 = \frac{C_1.C_2.(V_1 - V_2)^2}{2.(C_1 + C_2)} \quad (32)$$

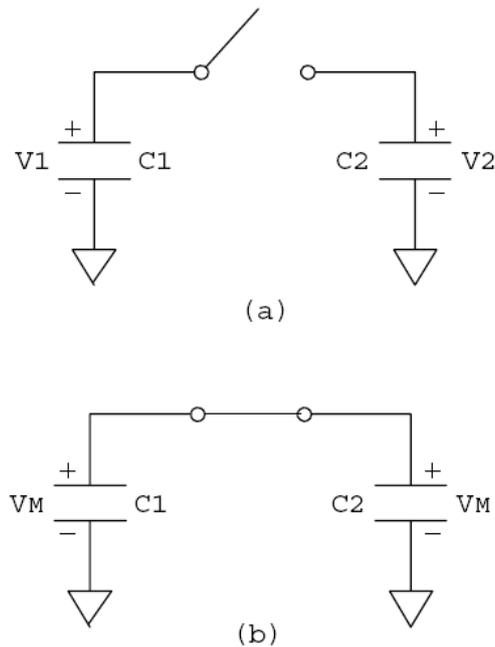


FIGURE 122 – Mise en parallèle de capacités chargées différentes [85]

$$Tension_{commune_{C_1 C_2}} = V_M = \frac{C_1 \cdot V_1 + C_2 \cdot V_2}{C_1 + C_2} \quad (33)$$

Si  $V_1 = V_2$  la perte d'énergie est nulle (Zero-Voltage Switching ZVS). Plus  $V_1$  et  $V_2$  sont éloignées, plus les pertes seront importantes. Si  $C_1$  et  $C_2$  augmentent en terme de valeur,  $\Delta E$  diminue? -> à priori non. Si l'écart entre  $V_1$  et  $V_2$  diminue en revanche cela peut peut-être diminuer, mais diminuer le gain de l'étage...

Si  $V_1 = U$  et  $V_2 = U/2$ , alors  $V_1 - V_2 = U/2 \mapsto (V_1 - V_2)^2 = U^2/4$  :

$$\Delta E_2 = \frac{C_1 \cdot C_2 \cdot U^2}{8(C_1 + C_2)} \quad (34)$$

Si en plus  $C_1 = C_2 = C$  alors :

$$\Delta E_2 = \frac{C \cdot U^2}{16} \quad \text{avec } V_1 = U, V_2 = U/2, C_1 = C_2 = C. \quad (35)$$

Le résultat obtenu ici est en cohérence avec la loi précédente. En effet la différence  $V_1 - V_2$  est inférieure dans le cas où  $V_1 = U$  et  $V_2 = U/2$ .

La figure 5.6 montre la charge d'une capacité au travers d'une résistance R.

L'énergie fournie par le générateur est donnée par le produit entre la tension aux bornes du générateur et la charge stockée dans le système :

$$E_{\text{fournit gene}} = V_{dd} \cdot Q = V_{dd} \cdot C \cdot V_{dd} = C \cdot (V_{dd})^2 \quad (36)$$

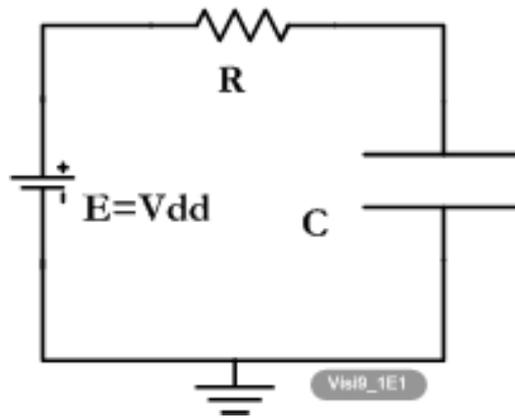


FIGURE 123 – Charge d'une capacité [85]

L'énergie stockée dans la capacité est :  $E_{\text{stockée } C} = E_C = \frac{1}{2} \cdot C \cdot (V_{dd})^2$  Le bilan énergétique révèle donc la dissipation d'une quantité :  $E_R = \frac{1}{2} \cdot C \cdot (V_{dd})^2$ , dans la résistance R. Nous avons donc :

$$E_{\text{fournit gene}} = E_C + E_R \quad \text{et} \quad E_C = E_R = \frac{1}{2} \cdot C \cdot (V_{dd})^2 \quad (37)$$

Une autre configuration rencontrée dans les pompes charges est la mise en parallèle d'une capacité chargée C (sous une tension initiale V) et d'une capacité non chargée C', par le biais d'un interrupteur de résistance R :

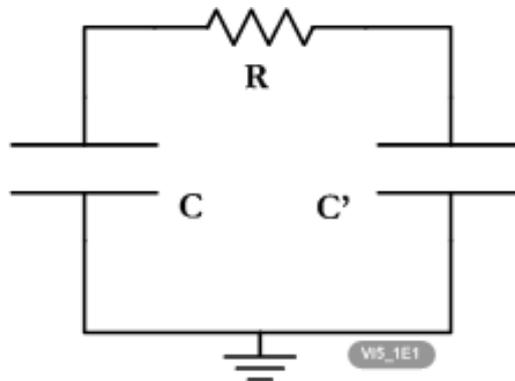


FIGURE 124 – Mise en parallèle par le biais d'une résistance [114]

La constante de temps de ce système est de :

$$\tau = R \cdot \frac{C \cdot C'}{C + C'} = R \cdot C_{eq} \quad (38)$$

L'équation temporelle qui gouverne l'évolution de la tension aux bornes de la capacité et l'énergie initiale stockée dans le système sont :

$$U_c(t) = (V_{\text{initiale}} - V_{\text{finale}})e^{-t/\tau} + V_{\text{finale}} \quad (39)$$

$$W_{\text{initiale}} = \frac{1}{2} \cdot C \cdot V^2 \quad (40)$$

En terme de bilan de charge (et non d'énergie), nous avons ici conservation de la charge car le système est isolé de l'extérieur. Appelons la charge initiale du système Q. Celle-ci après

transfert se retrouve sous deux quantités :  $q$  et  $q'$ . Par rapport aux notations introduites, nous avons :

$$Q = C * V = q + q' = (C + C') * U \quad (41)$$

$$\text{soit au niveau tension : } U = \frac{C}{C + C'} * V \quad (42)$$

$$\text{soit encore } U_{\text{finale}} = \frac{C}{C + C'} * U_{\text{initiale aux bornes C}} \quad (43)$$

Lors de ce transfert de charge, une énergie est transférée de C vers C'. Au passage une certaine partie de cette énergie est perdue dans R (sous forme d'effet Joule) [114]. Une fois le régime transitoire de transfert terminé, la tension aux bornes de C et C' est la même et vaut maintenant U au lieu de V. L'énergie finale stockée dans le système vaut donc au final :

$$W_{\text{final}} = \frac{1}{2} * C * U^2 + \frac{1}{2} * C' * U^2 = \frac{1}{2} * (C + C') * U^2 \quad (44)$$

D'où la nouvelle expression de l'énergie finale stockée dans le système :

$$W_{\text{final}} = \frac{1}{2} * (C + C') * U^2 = \frac{1}{2} * (C + C') * \left(\frac{C}{C + C'} V\right)^2 \quad (45)$$

$$W_{\text{final}} = \frac{1}{2} \frac{C^2}{C + C'} * V^2 \quad (46)$$

$$W_{\text{initiale}} - W_{\text{final}} = \frac{1}{2} * C * V^2 - \frac{1}{2} \frac{C^2}{C + C'} * V^2 \quad (47)$$

$$\Delta E = W_{\text{initiale}} - W_{\text{final}} = \frac{1}{2} \frac{C * C'}{C + C'} * V^2 \quad (48)$$

La quantité d'énergie perdue est indépendante de R. Au niveau de la résistance R, la puissance de ce transfert électrique  $\mapsto$  thermique, est d'autant plus grande que le temps de décharge de C dans C', est petite  $P = \frac{W}{t}$ . Ce qui correspond à une faible valeur de R. Danger : si R est proche de  $0 \Omega$ , la puissance thermique transférée conduit à un échauffement important de R.

Fin

# Résumé

## Résumé

Les avancées en micro-électronique et technologies intégrées ont permis l'évolution et l'accroissement du monde des objets connectés nomades. Cependant, ces appareils sans-fil nécessitent d'être alimentés et font intervenir des notions de maintenance, d'accès et d'autonomie. Ainsi, dans le but de rendre ces dispositifs totalement autonomes, cette thèse propose l'étude d'un circuit participant à l'alimentation de ces objets connectés en utilisant les technologies intégrées avec comme source la récupération d'énergie radiofréquence (RF) à 2,45 GHz. La confrontation entre deux technologies intégrées est présentée : une plus récente la FDSOI 28 nm et l'autre plus connue et standard, la BULK 350 nm. Pour réaliser la fonction d'alimentation, un circuit de redressement d'énergie RF (rectenna) est associé à un circuit élévateur de tension connu sous le nom de pompe de charge. La polarisation du substrat en technologie FDSOI montre qu'une amélioration des performances de redressement est envisageable. Cela permet de répondre à la problématique : les nouvelles technologies intégrées permettent-elles de réaliser des circuits suffisamment performants pour participer à l'alimentation des capteurs sans-fil grâce à la collecte d'énergie RF ? En premier lieu, nos travaux de simulations mettent en évidence le fait que la technologie FDSOI grâce à la polarisation du substrat rend possible la diminution de la tension de seuil du transistor et donc l'augmentation de la tension de sortie du redresseur (transistor monté en diode). En second lieu, les circuits sont dimensionnés en utilisant une méthode de simulations paramétriques à plusieurs variables. Enfin, après prise en compte des parasites issus de simulations post-layout, deux jeux de puces dans chaque technologie sont réalisés. Les résultats de simulation et mesure indiquent que la méthodologie adoptée contribue à l'alimentation d'un capteur tel que le TelosB dans sa phase de veille en utilisant la récupération d'énergie RF et les topologies de circuits proposés. Toutefois, l'assemblage des différents circuits n'a pas été abordé dans cette thèse et constitue une piste de réflexion pour les travaux futurs de même manière que pouvoir coupler l'énergie RF servant à l'alimentation à de l'information.

Mots clés : récupération d'énergie, redresseur intégré, pompe de charge Dickson, polarisation du substrat, CMOS BULK, FDSOI, rectenna.

# Summary

Advances in microelectronics and integrated technologies have allowed the evolution and growth of the world of nomad connected objects. However, these wireless devices require power and involve notions of maintenance, access and autonomy. Thus, with the aim of contributing to making these devices totally autonomous, this thesis proposes the study of a circuit participating in the supply of these connected objects using integrated technologies and RF Energy Harvesting at 2.45 GHz. We will study and compare two integrated technologies : a more recent one, the FDSOI 28 nm and the other more known and standard, the BULK 350 nm. To achieve a power supply function, we will combine an RF to DC energy rectifier circuit with a voltage boost circuit known as a charge pump. The use of FDSOI technology will allow us to use the advantage of substrate biasing, allowing additional gain in voltage rectification performance. This will allow us to respond to the problem : do the new integrated technologies make it possible to create sufficiently high-performance circuits to participate in the supply of wireless sensors thanks to RF Energy Harvesting? Firstly, our simulation work shows that the FDSOI technology thanks to the polarization of the substrate makes it possible to obtain better threshold voltages for its transistors and thus increase the voltage produced in rectification (transistor mounted as a diode). Second, we dimensioned our circuits using a method of parametric analysis. Finally, after taking into account the parasites resulting from post-layout simulations, we produced two sets of chips in each technology. The results of the simulations and measurements show that it is quite possible to contribute to the power supply of a sensor such as the TelosB in its standby phase by using RF energy recovery and our proposed rectifier circuits. However, the assembly of the different circuits has not been approached in this thesis and constitutes a line of thought for future work as well as the possibility of coupling the RF energy used to supply information.

Keywords : Energy Harvesting, integrated rectifier, Dickson charge pump, substrat biasing, CMOS BULK, FDSOI, rectenna.



**POLE RECHERCHE**  
Ecoles Doctorales

### LETTRÉ D'ENGAGEMENT DE NON-PLAGIAT

Je, soussigné(e) ROCHEFEUILLE Edouard, en ma qualité de doctorant(e) de l'Université de La Réunion, déclare être conscient(e) que le plagiat est un acte délictueux passible de sanctions disciplinaires. Aussi, dans le respect de la propriété intellectuelle et du droit d'auteur, je m'engage à systématiquement citer mes sources, quelle qu'en soit la forme (textes, images, audiovisuel, internet), dans le cadre de la rédaction de ma thèse et de toute autre production scientifique, sachant que l'établissement est susceptible de soumettre le texte de ma thèse à un logiciel anti-plagiat.

Fait à Grenoble, le (date) 09/06/2021

Signature :

**Extrait du Règlement intérieur de l'Université de La Réunion**  
(validé par le Conseil d'Administration en date du 11 décembre 2014)

**Article 9. Protection de la propriété intellectuelle – Faux et usage de faux, contrefaçon, plagiat**

L'utilisation des ressources informatiques de l'Université implique le respect de ses droits de propriété intellectuelle ainsi que ceux de ses partenaires et plus généralement, de tous tiers titulaires de tels droits.

En conséquence, chaque utilisateur doit :

- utiliser les logiciels dans les conditions de licences souscrites ;
- ne pas reproduire, copier, diffuser, modifier ou utiliser des logiciels, bases de données, pages Web, textes, images, photographies ou autres créations protégées par le droit d'auteur ou un droit privatif, sans avoir obtenu préalablement l'autorisation des titulaires de ces droits.

**La contrefaçon et le faux**

Conformément aux dispositions du code de la propriété intellectuelle, toute représentation ou reproduction intégrale ou partielle d'une œuvre de l'esprit faite sans le consentement de son auteur est illicite et constitue un délit pénal.

L'article 444-1 du code pénal dispose : « Constitue un faux toute altération frauduleuse de la vérité, de nature à causer un préjudice et accomplie par quelque moyen que ce soit, dans un écrit ou tout autre support d'expression de la pensée qui a pour objet ou qui peut avoir pour effet d'établir la preuve d'un droit ou d'un fait ayant des conséquences juridiques ».

L'article L335\_3 du code de la propriété intellectuelle précise que : « Est également un délit de contrefaçon toute reproduction, représentation ou diffusion, par quelque moyen que ce soit, d'une œuvre de l'esprit en violation des droits de l'auteur, tels qu'ils sont définis et réglementés par la loi. Est également un délit de contrefaçon la violation de l'un des droits de l'auteur d'un logiciel (...) ».

**Le plagiat** est constitué par la copie, totale ou partielle d'un travail réalisé par autrui, lorsque la source empruntée n'est pas citée, quel que soit le moyen utilisé. Le plagiat constitue une violation du droit d'auteur (au sens des articles L 335-2 et L 335-3 du code de la propriété intellectuelle). Il peut être assimilé à un délit de contrefaçon. C'est aussi une faute disciplinaire, susceptible d'entraîner une sanction.

Les sources et les références utilisées dans le cadre des travaux (préparations, devoirs, mémoires, thèses, rapports de stage...) doivent être clairement citées. Des citations intégrales peuvent figurer dans les documents rendus, si elles sont assorties de leur référence (nom d'auteur, publication, date, éditeur...) et identifiées comme telles par des guillemets ou des italiques.

Les délits de contrefaçon, de plagiat et d'usage de faux peuvent donner lieu à une sanction disciplinaire indépendante de la mise en œuvre de poursuites pénales.