



HAL
open science

Etude et contribution à l'optimisation de la commande des HEMTs GaN

Mamadou Lamine Beye

► **To cite this version:**

Mamadou Lamine Beye. Etude et contribution à l'optimisation de la commande des HEMTs GaN. Electronique. Université de Lyon; Université de Sherbrooke (Québec, Canada), 2020. Français. NNT : 2020LYSEI102 . tel-03186729

HAL Id: tel-03186729

<https://theses.hal.science/tel-03186729>

Submitted on 31 Mar 2021

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



INSA



UNIVERSITÉ DE
SHERBROOKE

THESE de DOCTORAT DE L'UNIVERSITE DE LYON

Opéré au sein de
INSA LYON

En cotutelle internationale avec
Université de Sherbrooke

Ecole Doctorale N° accréditation

ELECTRONIQUE ELECTROTECHNIQUE AUTOMATIQUE

Spécialité : Génie électrique :

Soutenue publiquement le 19/11/2020, par :

(Mamadou Lamine BEYE)

**Etude et Contribution à l'optimisation
de la commande des HEMTs GaN**

Devant le jury composé de :

M Nadir IDIR : Professeur des Universités à l'Université de Lille, **Président**

MME ALONSO Corinne : Professeur des Universités LAAS CNRS, **Rapporteur**

M COUSINEAU Marc : Maître de Conférences à l'INP Toulouse, **Rapporteur**

MME BERKANI Mounira : Maître de Conférences Université Paris-Est Créteil, **Examinatrice**

M TROVAO Joao : Professeur à l'université de Sherbrooke, **Examineur**

M ALLARD Bruno : Professeur des Universités, Ampère, INSA LYON : **Directeur de thèse**

M MAHER Hassan : Professeur de l'Universités de Sherbrooke : **Co-directeur de thèse**

M PHUNG Luong Viêt : Maitre de conférences, Ampère, INSA LYON : Co-encadrant

M MOGNIOTTE Jean-François : Enseignant-chercheur : **Co-encadrant**

Département FEDORA – INSA Lyon - Ecoles Doctorales – Quinquennal 2016-2020

SIGLE	ECOLE DOCTORALE	NOM ET COORDONNEES DU RESPONSABLE
CHIMIE	<u>CHIMIE DE LYON</u> http://www.edchimie-lyon.fr Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage	M. Stéphane DANIELE Institut de recherches sur la catalyse et l'environnement de Lyon IRCELYON-UMR 5256 Équipe CDFA
E.E.A.	<u>ÉLECTRONIQUE,</u> <u>ÉLECTROTECHNIQUE,</u> <u>AUTOMATIQUE</u> http://edeea.ec-lyon.fr	M. Gérard SCORLETTI École Centrale de Lyon 36 Avenue Guy DE COLLONGUE 69 134 Écully
E2M2	<u>ÉVOLUTION, ÉCOSYSTÈME,</u> <u>MICROBIOLOGIE,</u> <u>MODÉLISATION</u> http://e2m2.universite-lyon.fr Sec. : Sylvie ROBERJOT Bât. Atrium, UCB Lyon 1	M. Philippe NORMAND UMR 5557 Lab. d'Ecologie Microbienne Université Claude Bernard Lyon 1 Bâtiment Mendel 43, boulevard du 11 Novembre 1918
EDISS	<u>INTERDISCIPLINAIRE</u> <u>SCIENCES-SANTÉ</u> http://www.ediss-lyon.fr Sec. : Sylvie ROBERJOT Bât. Atrium, UCB Lyon 1	Mme Sylvie RICARD-BLUM Institut de Chimie et Biochimie Moléculaires et Supramoléculaires (ICBMS) - UMR 5246 CNRS - Université Lyon 1 Bâtiment Curien - 3ème étage Nord 43 Boulevard du 11 novembre 1918 69622 Villeurbanne Cedex
INFOMATHS	<u>INFORMATIQUE ET</u> <u>MATHÉMATIQUES</u> http://edinfomaths.universite-lyon.fr Sec. : Renée EL MELHEM Bât. Blaise PASCAL, 3e étage	M. Hamamache KHEDDOUCI Bât. Nautibus 43, Boulevard du 11 novembre 1918 69 622 Villeurbanne Cedex France Tel : 04.72.44.83.69 hamamache.kheddouci@univ-lyon1.fr
Matériau x	<u>MATÉRIAUX DE LYON</u> http://ed34.universite-lyon.fr Sec. : Stéphanie CAUVIN Tél : 04.72.43.71.70	M. Jean-Yves BUFFIÈRE INSA de Lyon MATEIS - Bât. Saint-Exupéry 7 Avenue Jean CAPELLE
MEGA	<u>MÉCANIQUE, ÉNERGÉTIQUE,</u> <u>GÉNIE CIVIL, ACOUSTIQUE</u> http://edmega.universite-lyon.fr Sec. : Stéphanie CAUVIN Tél : 04.72.43.71.70	M. Jocelyn BONJOUR INSA de Lyon Laboratoire CETHIL Bâtiment Sadi-Carnot 9, rue de la Physique

ScSo	ScSo* http://ed483.univ-lyon2.fr Sec. : Véronique GUICHARD INSA : J.Y. TOUSSAINT Tel : 04 78 69 72 76	M. Christian MONTES Université Lyon 2 86 Rue Pasteur 69 365 Lyon CEDEX 07 christian.montes@univ-lyon2.fr
-------------	---	---

*ScSo : Histoire, Géographie, Aménagement, Urbanisme, Archéologie, Science politique, Sociologie, Anthropologie

Etude et Contribution à l'optimisation de la commande des HEMTs GaN

Résumé

Cette thèse s'inscrit dans un contexte de développement durable où les enjeux énergétiques consistent à concevoir des convertisseurs de puissance plus disséminés, donc avec une spécification ambitieuse en termes de densités massique et volumique. Les composants à semi-conducteur dit à grand Gap permettent l'augmentation de la fréquence de commutation et permettent un fonctionnement à plus haute température locale. Les commutations à front raides et à haute fréquence des transistors rendent le système plus sensible aux éléments parasites. Ceci perturbe en retour la commutation des transistors et génère des pertes joules supplémentaires. Dans ce contexte les travaux ont été effectués dans le cadre d'une cotutelle entre les laboratoires Ampère (INSA Lyon) et LN2 (Université de Sherbrooke), le but étant d'apporter des contributions à l'optimisation de la commutation des HEMTs GaN.

Le premier axe des travaux consiste à mettre en place des stratégies de contrôle de vitesses de commutation en tension et en courant, par la grille, dans le but d'améliorer la signature CEM. Les circuits de contrôle proposés sont développés dans un premier temps en boucle ouverte puis dans un second temps en boucle fermée afin de compenser des non-linéarités (température, courant de charge et tension de fonctionnement). Les prototypes de contrôle de grille ont été testés à partir de composants discrets du marché. Des limites apparaissent, que l'intégration monolithique GaN doit corriger à terme, en particulier en atténuant fortement le problème des inductances parasites. Les analyses en simulation ont reposé sur l'adoption d'un modèle comportemental de HEMT GaN identifiable.

Le deuxième axe des travaux consiste à vérifier de manière systémique différentes stratégies de contrôle de grille notamment pour la gestion du compromis entre pertes joule pendant les temps morts au sein d'un à bras d'onduleur et la performance fréquentielle des commutations.

Aux termes de ces travaux, les systèmes de contrôles développés en boucle ouverte ont permis de ralentir les vitesses de commutation d'au moins 30 %, occasionnant une augmentation des pertes de commutation, dans un ordre de grandeur inférieur à 50 %. Due à la rapidité de commutation des HEMT GaN et aux limites des composants discrets du marché, le taux de réduction des vitesses de commutation obtenu avec la boucle fermée (taux de réduction inférieur à 20 %) est moins intéressant qu'avec la boucle ouverte. L'utilisation d'un circuit monolithique peut être une alternative pour augmenter le taux de réduction des vitesses de commutation en boucle fermée. Des résultats de simulation sous SPICE en vue du circuit monolithique sont à la base de cette hypothèse. Concernant le deuxième axe, l'application de commande multiniveaux de grille des transistors du bras d'onduleur a permis de réduire les pertes de conduction inverse et les pertes dues aux phénomènes de Cross Talk d'au moins 30 %.

Mots clés :

HEMT GaN, Vitesses de commutation en tension et en courant, CEM, éléments parasites, Composants discret, intégration monolithique GaN, Modèle Comportemental HEMT GaN, Boucle ouverte, boucle fermée

Abstract :

This thesis is part of the sustainable development context where the energy challenges rely on designing numerous and lumped power converters with good power density and high efficiency. New power semiconductor devices, namely wide band semiconductors (GaN, SiC) are used in designing the converters. The high frequency control of these converters makes the system more sensitive to parasitic elements. The latter elements disrupt the switching behavior of the transistors and generate additional losses. In this context this work was carried out in a cotutelle partnership between Ampère Laboratory in Villeurbanne and LN2 laboratory at the University of Sherbrooke; the aim being to make a contribution in optimizing the switching conditions of GaN HEMTs.

The first work axis consists in managing the voltage and current switching speed through gate control strategies in order to improve the conducted EMI. Firstly, most of the proposed control circuits are developed in open-loop and then secondly in closed-loop in order to compensate the effects of non-linearities (with respect to temperature, load current and operating voltage). Concerning the development of control systems, it can be done first by the use of available discrete components, then by the alternative of the monolithic GaN integration which is considered in order to bring more speed and efficiency. Monolithic integration would also solve the problem of parasitic inductances. To facilitate the design of integrated circuits and control systems, the development of a behavioral model of HEMT GaN will serve as a modeling tool.

The second axis of the work consists in experimentally validating well-adapted control system for the gate of the power transistor in order to master the transient behaviors of the power transistors. Namely it is necessary to allow a satisfying management of losses during dead time in a half bridge converter.

At the end of this work, the control systems developed in open loop made it possible to slow the switching speeds by at least 30 % but causing an increase in switching losses up to 50% in some cases. Due to the fast switching speed of HEMT GaNs and the limitations of discrete components on the market, the reduction rate of switching speeds obtained with the closed loop (reduction rate less than 20%) is less attractive than that of the open loop. Using a monolithic circuit can be an alternative to increase the rate of reduction of closed loop switching speeds. SPICE simulation toward monolithic circuit are the basis of this hypothesis. Concerning the second axis, the application of multilevel gate voltage control of the transistors of half bridge made it possible to reduce the losses of reverse conduction and the losses due to the phenomena of Cross Talk by at least by 30 %.

Keywords :

HEMT GaN, Voltage and current switching speeds, EMC, parasitic elements, Discrete components, monolithic GaN integration, HEMT GaN behavioral Model, Open loop, close loop

Remerciements :

A travers ces mots, j'aimerais remercier toutes les personnes qui ont participé de près ou de loin à la réussite de ces années de recherche au Laboratoire Ampère de Lyon et à 3IT.

Tout d'abord je tiens à remercier tous les membres du Jury. Plus précisément à Monsieur Nadir idr qui m'a honoré de présider cette thèse. Je tiens aussi à vous remercier pour les différents conseils et orientations. Je remercie également M Marc Cousineau, Madame Corinne ALONSO, et Monsieur Joao TROVAO qui ont accepté de rapporter ce travail. Je tiens à remercier également Madame Mounira BERKANI qui a examinée la thèse.

Ensuite j'adresse un sincèrement remerciement à Monsieur Bruno Allard, mon directeur thèse pour m'avoir donné l'opportunité de poursuivre mes études. Merci aussi pour les conseils scéniques qui m'ont permis de réaliser ces travaux. Je tenais aussi à vous remercier pour les visites guidées à Washington DC et à Gênes.

Je remercie également Monsieur Hassan Maher mon co-directeur de thèse pour sa confiance et ses conseils tout au long de la thèse.

Je remercie mes deux encadrants Luong Viet Phung et Jean François Mognotte pour leurs conseils et leur disponibilité.

Je tiens à adresser une mention spéciale à Abderrahim Zaoui, Thilini, Hervé Morel, Bessar et Pascal BEVILACQUA pour tout leur aide et leur conseil.

Je remercie également tout le personnel du laboratoire Ampère et du groupe III.V du 3IT : Marie Clara, Bilal, Hassan, Soudous, Nidal, Ammar Chafi, Christophe Adrien Cutivet, Adrien Ietellier Sandrine, Dominique, Edwige, Remy, Etienne, Ralph, Ousseynou, Christian Martin, Christian Volaire et Pierre.

Enfin, je tiens à adresser un sincèrement remerciement à ma famille et à tous mes amis pour leur soutien, leurs conseils et la motivation qu'ils n'ont cessé de me donner.

Listes des Symboles et Acronymes

Si :	Silicium
SiC :	Carbure de Silicium
GaN	nitruure de gallium
MOSFET :	Metal Oxyde Semiconductor Field Effect Transistor
BJT	Bipolar Jonction transistor
HEMT :	High Electron Mobility Transistor
2DEG :	Two-dimensional Electron gas
DCFL	Direct coupled field logic
ECL	Emitter coupled logic
SCL	Source Coupled logic
PCB	Printed Circuit Board
Eg (eV)	Largeur de bande interdite
μ_n ($\text{cm}^{-2} \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	Mobilité des électrons
μ_p ($\text{cm}^{-2} \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	Mobilité des trous
E_c ($\text{MV} \cdot \text{cm}^{-1}$)	Champs critique de claquage
n_i (cm^{-3})	Concentration intrinsèque des porteurs
λ ($\text{W} \cdot \text{cm}^{-1} \cdot \text{k}^{-1}$)	Conductivité thermique
ϵ_r	Permittivité relative
V_{sat} ($10^7 \text{cm} \cdot \text{s}^{-1}$)	Vitesse de saturation des électrons
V_{Br} [V]	Tenue en tension du transistor (Breakdown Voltage)
R_{dson} (Ω)	Résistance à l'amorçage
V_{dd} (V)	Tension positive d'alimentation du driver
V_{dr} (V)	Tension de sortie du driver
I_{d} (A)	Courant de drain
I_{ds} (A):	Courant de drain
I_{ch}	Courant de la charge
I_{L}	Courant de la charge
V_{ds} (V):	Tension entre le drain et la source
V_{gs} (V):	Tension entre la grille et la source
V_{gd} (V)	Tension entre la grille et le drain
C_{gd} (F)	Capacité entre la grille et le drain
C_{gs} (F)	Capacité entre la grille et la source
C_{ds} (F)	Capacité entre la source et le drain
V_{th} (V)	Tension de seuil
dv/dt (V/ns)	Pente de commutation de la tension

di/dt (A/ns)	Pente de commutation du courant
R_{on} (Ω)	Résistance à l'amorçage
ON	amorçage
OFF	blocage
R_g (Ω)	Résistance de grille
R_d (Ω)	Résistance interne du drain du transistor
R_s (Ω)	Résistance interne de la source du transistor
PWM	Pulse Wide modulation
I_g (A)	Courant de grille
P_{tm} (W)	Pertes de conduction inverse
E_{on}	Pertes dues à l'amorçage
E_{off}	Pertes dues au blocage
g_f :	Transconductance en régime direct ou en régime inverse.
V_{dc}	Tension du bus DC
CATS	Commande au Tours de la tension de seuil (AGVC en anglais)
SC	Sans contrôle ou commande classique
AV	Avec contrôle

Table des matières

Résumé.....	4
Abstract :	6
Remerciements :	7
Listes des Symboles et Acronymes	8
Table des matières.....	10
Listes des figures :.....	14
Listes des Tables :	20
Introduction Générale	22
Chapitre 1 : Etude Bibliographique.....	25
I. Les Interrupteurs de puissance à semiconducteur	26
Le passage Si vers le grand gap (SiC et GaN)	27
A) Le silicium et ses limites :.....	27
B) La transition vers les semi-conducteurs à grand gap :.....	28
II. Le « driver » :	36
Les phénomènes responsables du dysfonctionnement de l'association (driver - transistor de puissance) :	38
A) Sensibilité aux inductances parasites :	40
Solutions proposées pour pallier la sensibilité aux éléments parasites :	41
➤ Par des transistors dotés d'une source Kelvin	41
➤ Par la diminution des inductances parasites par le routage du convertisseur	42
➤ Par l'intégration du driver	44
B) Fortes vitesses de commutation : conséquences, solutions proposées dans la littérature et leurs limites	52
C) Conséquence d'un temps mort dans le cas des HEMT GaN :	66
Définition du domaine d'action de la thèse :	68
Conclusion :	69
Chapitre 2 : Modèle Comportemental de HEMT GaN	71
I. Etat de l'art :	71
A) Modélisation basée sur l'approche statiques de détermination des paramètres :.....	71
➤ Modélisation Comportementale	71
B) Modélisation basée sur des mesures dynamiques	79
II. Modèle comportemental pour la simulation de circuits.....	84
A. Identification expérimentale des paramètres du modèle	85
a) Présentation des bancs de Test.....	85
b) Extraction des paramètres :	88

B) Evaluation du modèle.....	100
Conclusion :	107
Chapitre 3 : Contrôle des vitesses de commutation	108
I. Contexte.....	109
II. Etude de la commande <i>CATS</i> en boucle ouverte	112
A) Contrôle du courant lors de la phase d’amorçage	113
➤ Principe.....	113
➤ Proposition de circuit de commande de grille :	113
➤ Validation Expérimentale	115
B) Contrôle de la tension lors de la phase de blocage.....	120
➤ Principe :	120
➤ Structure :	121
➤ Validation expérimentale	121
C) Evaluation de la commande <i>CATS</i> en boucle ouverte.....	122
a) Commande <i>CATS</i> pour le contrôle du courant lors de la phase d’amorçage :.....	122
b) Commande <i>CATS</i> pour le contrôle de la tension lors de la phase de blocage:.....	123
D) Analyse CEM à l’amorçage	124
a) Etude temporelle.....	125
b) Etude fréquentielle :	127
III. Mise en place technique de commande en boucle fermée :	128
A) Commande <i>CATS</i> « par boucle inductive » pour le contrôle du courant lors de la phase d’amorçage.....	129
➤ Simulation.....	130
➤ Résultats expérimentaux.....	133
B) Commande <i>CATS</i> « par fonction dérivée » pour le contrôle de la tension lors de la phase de blocage	134
➤ Simulation.....	135
➤ Résultats expérimentaux de la commande <i>CATS</i> par fonction dérivée	138
Conclusion :	140
Chapitre 4 : Gestion des pertes en conduction inverses et du phénomène de <i>Cross Talk</i>	141
I. Approche :	141
➤ Temps mort	144
II. Structure de driver multi-niveaux	145
A. La commande de grille à 2 niveaux de tension (2N)	145
Structure du driver	145
B. La commande de grille à 3 niveaux de tension (3N)	147
Structure du driver	147

C.	La commande de grille à 4 niveaux de tension (4N)	148
	Structure du driver :	149
D.	La commande de grille à 4 niveaux de tension améliorée (4NA).....	150
	Structure du driver	150
III.	Proposition de commande optimale pour le contrôle d'un « Buck » ou d'un « Boost	151
A.	Analyse de l'impact de la commande des transistors du bras d'onduleur sur les pertes de conduction inverses et le phénomène de Cross Talk.....	152
a)	Etude de l'impact de la commande de grille du transistor Low-side (Q_2) du convertisseur « Buck » (étude 1) :.....	152
b)	Etude de l'apport de commande de grille multi-niveaux des deux transistors du bras (Q_1 et Q_2) par rapport à une commande classique à deux niveaux de Q_1 et de Q_2 (2N0).....	158
B.3)	Etude 3	160
C)	Validation :	160
	Conclusion :	164
	Chapitre 5 : Etude de l'intégration monolithique à base de composants GaN	165
I.	Présentation des Structures possibles :	165
➤	Structure 1 : « Push Pull » avec deux signaux d'entrée.....	166
➤	Structure 2 : Système intégré à base de la logique DCFL :	168
✓	1 ^{ère} Possibilité: Push Pull inverseur:	168
✓	2 ^{ème} Possibilité : « Push Pull » non inverseur :	168
➤	Structure 3 : Système intégré à base de la logique ECL :	169
II.	Comparaison des deux inverseurs	171
A)	Les caractéristiques des transistors	171
➤	Les caractéristiques du transistor de puissances :	171
➤	Les caractéristiques des transistors de l'étage « Push Pull »	172
➤	Les caractéristiques des transistors des inverseurs	173
	Inverseurs DCFL	174
	Inverseur ECL.....	175
B)	Etude comparative des deux structures monolithiques :	176
III.	Contrôle de la vitesse de commutation en courant par boucle inductive	177
	Conclusion	179
	Conclusion Générale :	180
	Perspectives :	181
	Références	183
	Annexe.....	192
	Annexe I.....	192
	Modèle du transistors GaN GS66508 P :	192

STMicroelectronics STW11NM80 (800 V /11A)	194
Annexe II	195
Modèle du transistors GaN EPC 2010 :	195
Modèle Statique et dynamique développés dans le cadre de la thèse :.....	198
Modèle Statique :	198
Modèle dynamique :	199
Annexe III :	200
Contrôle de la vitesse de commutation en tension lors de la phase d’amorçage	200
➤ Principe :	200
➤ Structure :	200
Validation Expérimentale :	201
Annexe VI :	205
Schéma électrique permettant la génération des commandes cmd 1 et cmd2 pour les commandes 2N et 3N.....	205
Schéma électrique permettant la génération des commandes cmd 1 et cmd2 pour la commande 4N	205
205	
Schéma électrique permettant la génération des commandes cmd 1 et cmd2 pour la commande 4NA	206
206	
Carte de puissance convertisseur multi-niveaux	206

Listes des figures :

Figure I.1 : Schéma simplifié d'une structure de l'électronique de puissance	25
Figure I.2 : domaine d'application des différents types d'interrupteurs de puissances [11]	26
Figure I.3 : Comparaison des limites techniques de différents types de MOSFET [14]	28
Figure I.4 : Comparaison des limites techniques de différents types de semi-conducteurs [25].....	29
Figure I.5 : Structure d'un HEMT [33]	31
Figure I.6 : Structure de HEMT Normally-OFF par injection d'ion de fluor [35]	31
Figure I.7 : Evolution de la tension pour un HEMT Normally-OFF par injection d'ion de fluor [35].....	32
Figure I.8 : Structure de HEMT Normally-OFF par grille encastrée [37][55]	32
Figure I.9 : Structure de HEMT Normally-OFF par grille pGaN [37].....	33
Figure I.10 : Structure de HEMT Normally-OFF par structure cascode [37].....	33
Figure I.11 : Mise en évidences des pièges dans le HEMT GaN [38]	34
Figure I.12 : Dégradation des caractéristiques du HEMT due à des courant de fuites sous une polarisation négative de la grille [41]	35
Figure I.13 : Comparaison, des avantages et des inconvénients des différents substrats pour les transistors HEMT GaN [43]	36
Figure I.14 : Structure d'un bras d'onduleur avec son driver [44]	37
Figure I.15 : commutation du transistor par un driver [45-48]	39
Figure I.16 : mise en évidence des différentes inductances parasites dans un convertisseur Buck [45, 46, 47, 48].....	40
Figure I.17 : Comparaison de l'impact de l'inductance parasite (L_{S1}) commune entre un convertisseur à base de HEMT GaN et un convertisseur à base de MOSFET Si	41
Figure I.18 : Les différents types de routages [50].....	42
Figure I.19 : Comparaison des différents types de routage [50].....	43
Figure I.20 : Evaluation d'une autre technique de routage vertical optimisé [52].....	44
Figure I.21 : Evaluation des temps de transition de la logique inverseur de l'intégration hybride CMOS/GaN [54]	45
Figure I.22 : Présentation d'une structure monolithique à GaN et comparaison de ces résultats avec une structure discrète à base de GaN et Si [56]	46
Figure I.23 : Présentation de structure DCFL utilisant la technologie GaN [55].....	46
Figure I.24 : trois structures de bras onduleur monolithique [58]	47
Figure I.25 : source de courant associé d'une résistance [58]	48
Figure I.26 : structure monolithique à base de GaN pour un convertisseur moyenne tension [59]	49
Figure I.27 : Comparaison de deux chargeurs d'ordinateur [61]	50
Figure I.28 : Comparaison de deux chargeurs d'ordinateur [61, 62]	51
Figure I.29 : évaluation d'une commutation d'un GaN monolithique [63]	51
Figure I.30 : structure conventionnelle d'un driver pour bras d'onduleur [64]	52
Figure I.31 : Classification des différents types de driver pour le contrôle des vitesses de commutation.	53
Figure I.32 : driver passif pour le contrôle des vitesses de commutation [69].	54
Figure I.33 : driver passif en boucle ouverte pour le contrôle des vitesses de commutation.....	55
Figure I.34 : Structure d'un driver actif en boucle ouverte par injection d'un courant de grille constant [70]	55
Figure I.35 : Structure d'un driver actif en boucle ouverte par application de plusieurs pallier de tension de grille.[89]	56
Figure I.36 : Structure de circuits actifs en boucle fermée [73].	58
Figure I.37 : Structure de circuits actifs en boucle fermée dans le cas d'un HEMT GaN[74]	59

Figure I.38 : comparaison d'un contrôle passif et d'un contrôle actif en boucle fermée dans le cas d'un HEMT GaN [74]	60
Figure I.39 : comparaison des performances des deux types de driver [75]	61
Figure I.40 : Structure de circuits actifs en boucle fermée dans le cas d'un HEMT GaN utilisant la technologie NMOS [69].	61
Figure I.41 : mécanisme d'interaction des deux transistors d'un bras d'onduleur.	63
Figure I.42 : structure de driver pour la suppression du phénomène de « Cross Talk » par une technique de la variation de l'impédance de la grille source du transistor.	65
Figure I.43 : structure de driver multiniveaux pour la suppression du phénomène de « Cross Talk » [65, 78].....	66
Figure I.44 : structure d'un convertisseur Buck et ses signaux de commande	67
Figure I.45 : driver à 3 niveaux de tension pour la gestion des pertes de temps mort [81].....	68
Figure I.46 : Stratégie de travail pour la mise en place de technique d'optimisation du rendement de la sécurité	69
Figure II.1: quelques structures de modèle du HEMT GaN.	72
Figure II.2 : représentation des deux régimes de fonctionnement du transistor	73
Figure II.3 : Comparaison des modèles de la source de courant du HEMT avec des résultats de caractéristique statique $I_d=f(V_{ds})$	75
Figure II.4 : Comparaison des différentes techniques de modélisation sur des capacités extrinsèques par mesure statique.....	77
Figure II.5 : Comparaison de résultats de commutation des modèles HEMT GaN utilisant les différentes techniques de modélisation des capacités extrinsèques.	78
Figure II.6 : évaluation du modèle physique	79
Figure II.7 : Structure possible de modèle comportemental de HEMT GaN Normally-OFF [8].....	80
Figure II.8 : signaux utilisés pour l'extraction des capacités du HEMT GaN [8].....	81
Figure II.9 : profil des capacités obtenu par l'extraction dynamique HEMT GaN [8]	83
Figure II.10 : Résultats de commutation obtenu avec la méthode dynamique [8].	83
Figure II.11 : modèle comportemental du HEMT GaN.....	84
Figure II.12 : banc de caractérisation dynamique GaN	85
Figure II.13 : signaux de commande des interrupteurs de puissance du banc de test dynamique.....	86
Figure II.14 : le B1505A et ses caractéristiques.....	87
Figure II.15 : Schéma électrique permettant de mesurer les caractéristiques $I(V)$ en utilisant le B1505A.	88
Figure II.16 : mesure $I_d = f(V_{ds})$ à 25° C.....	89
Figure II.17 : mesure $I_d = f(V_{ds})$ à 50° C.....	89
Figure II.18 : mesure $I_d = f(V_{ds})$ à 125° C.....	90
Figure II.19 : mesure $I_d = f(V_{gs})$ et $R_{dson}(V_{gs})$ pour différentes températures et $V_{ds} = 5V$	90
Figure II.20 : mesure $C(V)$ du GS66508P	92
Figure II.21 : Comparaison des $C(V)$ du GS66508P.....	93
Figure II.22: mesure de V_{dson} et de R_{on} dynamique pour plusieurs températures de fonctionnement du HEMT pour un courant de drain de 1 A ($I_d = 1$ A) et une tension grille source de 4 V	94
Figure II.23 : Amorçage sous $V_{DC} = 100V$, $I_d = 6A$ et $R_{gs} = 500 \Omega$	95
Figure II.24 : Comparaison de C_{gd} statique et le profil de C_{gd} à partir de l'équation II.36	97
Figure II.25 : profil de C_{gd} et C_{gs} par approche dynamique obtenu avec la méthode #1	98
Figure II.26 : profil par approche dynamique des capacités et comparaison des capacités	99
Figure II.27 : Banc de test	100
Figure II.28 : schéma électrique du driver	101

Figure II.29 : comparaison des modèles avec l'expérimentation lors de la phase d'amorçage pour $V_{dc}=100$ V, $R_g = 3 \Omega$, $I_d = 6$ A et $T = 25$ °C.....	103
Figure II.30 : comparaison des modèles avec l'expérimentation lors de la phase de blocage pour $V_{dc}=100$ V, $R_g = 3 \Omega$, $I_d = 6$ A et $T = 25$ °C.....	103
Figure II.31 : banc de test en température	104
Figure II.32 : comparaison des modèles avec l'expérimentation lors de la phase d'amorçage pour $V_{dc}=100$ V, $R_g = 3 \Omega$, $I_d = 6$ A et $T = 50$ °C	104
Figure II.33 : comparaison des modèles avec l'expérimentation lors de la phase de blocage pour $V_{dc}=100$ V, $R_g = 3 \Omega$, $I_d = 6$ A et $T = 50$ °C.....	104
Figure II.34: comparaison des modèles avec l'expérimentation lors de la phase d'amorçage pour $V_{dc}=100$ V, $R_g = 3 \Omega$, $I_d = 6$ A et $T = 100$ °C	105
Figure II.35 : comparaison des modèles avec l'expérimentation lors de la phase de blocage pour $V_{dc}=100$ V, $R_g = 3 \Omega$, $I_d = 6$ A et $T = 100$ °C	105
Figure II.36 : comparaison des modèles avec l'expérimentation lors de la phase d'amorçage pour $V_{dc}=100$ V, $R_g = 3 \Omega$, $I_d = 6$ A et $T = 25$ °C.....	106
Figure II.37 : comparaison des modèles avec l'expérimentation lors de la phase de blocage pour $V_{dc} = 100$ V, $R_g = 3 \Omega$, $I_d = 6$ A et $T = 25$ °C	106
contrôlée.....	108
Figure III.1 : Structure d'un convertisseur Boost (a) et ses signaux lors de l'amorçage (b).....	109
Figure III.2 : processus de bloacage et vitesses de commutation	112
Figure III.3: signaux du driver pour les deux types de commandes	113
Figure III.4 : Deux structures simples pour générer la commande CATS pour le contrôle du courant lors de l'amorçage du HEMT.....	114
Figure III.5 : banc de test.....	115
Figure III.6 : représentation électrique du banc de test testé en mode impulsionnel	116
Figure III.7 : Les tensions de grille du HEMT GaN des deux commandes lors de la phase d'amorçage (pour $V_{dc} = 80$ V, $I_{ch} = 0$ A, $V_{dint} = 4$ V et différent T_{int}).....	117
Figure III.8 : Les signaux du GaN lors de la phase d'amorçage pour $V_{dc} = 80$ V, $I_L = 5$ A, $V_{dint} = 4$ V et différents T_{int} :.....	118
Figure III.9 : Les signaux du GaN lors de la phase d'amorçage pour $V_{dc} = 80$ V, $I_L = 28$ A, $V_{dint} = 4$ V et différents T_{int}	118
Figure III.10 : Evaluation de l'impact de la température sur la commande CATS pour $V_{dint} = 3.5$ V et $T_{int} = 120$ ns	119
Figure III.11: signaux du driver pour les deux types de commande	120
Figure III.12 : Signaux d'entrée des deux drivers et des deux structures pour le contrôle de tension pour la phase de blocage.....	120
Figure III.13 : Les signaux du GaN lors de la phase de blocage pour $V_{dc} = 100$ V, pour différent $V_{int0} = 4$ V, $T_{int0} = 30$ ns et $T_o = 5$ ns et un faible courant de charge.....	121
Figure III.14 : Les signaux du GaN lors de la phase de blocage pour $V_{dc} = 100$ V, $V_{int0} = 1$ V, différent T_o , différent T_{int0} et un faible courant de charge.....	121
Figure III.15 : Les signaux du GaN lors de la phase de blocage pour $V_{dc} = 100$ V, $V_{int0} = 1$ V, $T_{int0} = 30$ ns, $T_o = 5$ ns et differente temperature.....	122
Figure III.16 : Banc d'évaluation des perturbations électromagnétiques	125
Figure III.17 : comparaison des I_{cm} obtenus avec la commande CATS et la commande standard lors de la phase d'amorçage dans le cas du contrôle du <i>didt</i> par la commande CATS en boucle ouverte ($V_{dc} = 100$ V et $R_g = 3 \Omega$).....	125

Figure III.18 : comparaison des I_{cm} obtenus avec la commande CATS et la commande standard lors de la phase d'amorçage dans le cas du contrôle du <i>didt</i> par la commande CATS en boucle ouverte ($I_L = 2$ A et $R_g = 3$ Ω).....	126
Figure III.19 : comparaison des courants de mode commun de la commande CATS en courant lors de la phase d'amorçage avec celui de la commande classique	127
Figure III.20 : comparaison des courants de mode commun de la commande CATS en courant lors de la phase d'amorçage avec celui de la commande classique	128
Figure III.21 : Classification des commandes en boucle fermée :	128
Figure III.22: Structure proposée pour le contrôle de courant par la commande CATS en boucle fermée par boucle inductive lors de la phase d'amorçage.....	129
Figure III.23 : description du déroulement de la commande CATS en boucle fermée par boucle inductive lors de la phase d'amorçage	130
Figure III.24 : Signaux obtenu pour un courant de charge de 30 A et une valeur de L_s de 1 nH	131
Figure III.25 : Signaux obtenu pour un courant de charge de 5 A et une valeur de L_s de 2 nH.....	132
Figure III.26 : Signaux obtenu pour un courant de charge de 30 A et une valeur de L_s de 2 nH	132
Figure III.27 : Signaux obtenu pour différents courants de charge et une valeur de L_s de 2 nH.....	133
Figure III.28: Structure de la commande CATS « par fonction dérivée » pour le contrôle de la tension lors de la phase de blocage.....	134
Figure III.29 : Détection de la dérivée de la tension V_{ds} aux bornes du transistor	134
Figure III.30 : génération du signal de commande V_{deriv} par le circuit dérivateur	135
Figure III.31 : Signal de grille	135
Figure III.32 : Signaux obtenu pour un courant de charge de 5 A et une $V_{dc} = 100$ V	136
Figure III.33 : Signaux obtenu pour un courant de charge de 5 A et une V_{dc} de 50 V.....	137
Figure III.34 : Signal de grille	138
Figure III.35 : Signaux obtenu pour différents courants de charge et différentes V_{dc}	139
Figure IV.1 : Structure d'un Buck synchrone et ses signaux de commandes typiques.....	141
Figure IV.2 : Circuit simplifié du déroulement du cross talk	142
Figure IV.3 : Evolution du V_{gspic} (max) selon la tension de commande de Q_2	143
Figure IV.4 : Impact de V_{gstm} sur V_{ds} pendant les phases de temps mort.....	144
Figure IV.5 : commande avec 2 Niveaux de tension	145
Figure IV.6: structure du driver.....	146
Figure IV.7: signaux d'entrée (cmd1 et cmd2) et de sortie (V_{gs}) du driver pour l'approche à 2 niveaux (2N)	146
Figure IV.8 : commande à 3 Niveaux de tension.....	147
Figure IV.9 : signaux d'entrée (cmd1 et cmd2) et de sortie (V_{gs}) pour l'approche à 3 niveaux (3N)	148
Figure IV.10 : commande à 4 Niveaux de tension.....	149
Figure IV.11 : signaux d'entrées (cmd1 et cmd2) et de sortie (V_{gs}) du driver pour le 4 niveaux (4N) ..	149
Figure IV.12 : commande à 4 Niveaux de tension.....	150
Figure IV.13 : signaux d'entrée (cmd1 et cmd2) et de sortie (V_{gs}) du driver pour le 4 niveaux (4NA) .	151
Figure IV.14 : simulation de l'impact de la commande de Q_2 (V_{gsl}) pour $V_{ds} = 100$ V, $I_{ch} = 10$ A, $R_g = 10$ Ω	152
Figure IV.15 : Simulation de l'impact des différents types de commande (2N,3N,4N et 4NA) sur l'impact du Cross Talk sur la tension de grille de Q_2 ($vgsLpicmax_{onTs}$) et les vitesses de commutation en tension et en courant dû au amorçage de Q_2 (amorçage de Q_1).....	153
Figure IV.16 : Simulation de l'impact des différents types de commande (2N,3N,4N et 4NA) sur l'impact du Cross Talk sur la tension de grille de Q_2 ($vgsLpicmax_{offTs}$) et les vitesses de commutations en tension et en courant pour l'amorçage spontané de Q_2 (blocage de Q_1).....	153

Figure IV.17 : Simulation des conséquences de la commande durant le temps-mort sur le convertisseur Buck pour plusieurs points de fonctionnement ($R_g = 10 \Omega$).....	154
Figure IV.18 : Simulation de l'impact de la commande de Q_2 sur la vitesse de commutation au blocage de Q_2 ($dv/dsdt$), le pic de V_{gs} causé par Cross Talk et les pertes lors la phase de blocage de Q_2 pour $I_{ch} = 10 A$ et $R_g = 10 \Omega$	155
Figure IV.19 : Simulation de l'impact de la commande de Q_2 sur la vitesse de commutation à l'amorçage de Q_2 ($dv/dsdt$), le pic de V_{gs} causé par le Cross Talk et les pertes lors la phase d'amorçage de Q_2	156
Figure IV.20 : forme possible de la commande de Q_2 dans le cas d'une optimisation (4N2A)	157
Figure IV.21 : Comparaison de deux types de commande possible pour un convertisseur Buck	158
Figure IV.22 : Comparaison des pertes obtenues avec les commandes multi-niveaux proposées et la commande classique à deux niveaux (2N) pour une tension de 100V, un courant de charge de 10 A, un temps mort de 100 ns et une résistance de grille de 10Ω	159
Figure IV.23 : proposition d'une commande multi-niveau le plus optimal dans le cas d'un convertisseur Buck	159
Figure IV.24 : Structure d'un convertisseur Boost et la suggestion de la commande multi-niveaux. ...	160
Figure IV.25 : Mesure de la tension appliquée à Q_2 pour $V_{ds} = 100 V$, $I_{ch} = 10 A$, $R_g = 10 \Omega$	161
Figure IV.26 : Mesure expérimentale de l'impact des différents types de commande (2N,3N,4N et 4NA) sur l'impact du Cross Talk sur la tension de grille de Q_2 ($V_{gsLpicmax_on} (Ts)$) et les vitesses de commutation en tension et en courant pour la phase de blocage de Q_2 (amorçage de Q_1).....	161
Figure IV.27 : Mesure expérimentale de l'impact des différents types de commande (2N,3N,4N et 4NA) sur l'impact du Cross Talk sur la tension de grille de Q_2 ($V_{gsLpicmax_off} (Ts)$) et les vitesses de commutation en tension et en courant pour la phase d'amorçage spontané de Q_2 (blocage de Q_1).	162
Figure IV.28 : Mesure expérimentale de l'impact de la commande de Q_2 sur la phase d'amorçage de de Q_2 pour $V_{ds} = 100 V$, $I_{ch} = 10 A$, $R_g = 10 \Omega$	162
Figure IV.29: Mesure expérimentale de l'impact de la commande de Q_2 sur la phase de blocage de de Q_2 pour $V_{ds} = 100 V$, $I_{ch} = 10 A$, $R_g = 10 \Omega$	162
Figure IV.30 : Mesure expérimentale de l'impact de la commande de Q_2 sur la tension de conduction inverse de de Q_2 pour $V_{ds} = 100 V$, $I_{ch} = 10 A$, $R_g = 10 \Omega$	163
Figure IV.31 : forme de la commande 4N2A permettant la maîtrise des deux phénomènes, la diminution de l'apparitions de courant de court circuit et l'amélioration de l'état de santé.	163
Figure V.1 : Schéma bloc de la commande du transistor de puissance par un driver avec ses différents étages	166
Figure V.2 : Structure 1 pour l'intégration monolithique à base de GaN	167
Figure V.3 : Comparaison de la commande d'un transistor GaN classique avec la commande d'un transistor GaN intégré utilisant la structure 1	167
Figure V.4 : Structure d'un système intégré GaN avec un Push Pull inverseur utilisant la logique DCFL.	168
Figure V.5 : Structure d'un système intégré GaN avec un Push Pull non inverseur utilisant la logique DCFL.....	169
Figure V.6 : Structure améliorée d'un système intégré GaN avec un Push Pull non inverseur utilisant la logique DCFL	169
Figure V.7 : Structure d'un système intégré GaN utilisant la logique ECL.....	170
Figure V.8: présentation des deux modes de fonctionnement de l'inverseur ECL	170
Figure V.9 : présentation des deux circuits monolithiques à base de GaN	171
Figure V.10 : Schéma de caractérisation du HEMT permettant la modélisation paramétrique des transistors de la partie commande	172

Figure V.11 : Vitesses de commutation du transistor de puissance obtenues par simulation paramétrique sous Ltspice pour différentes longueurs de Q_1 pour une longueur constante de Q_2 (0.2 mm).	173
Figure V.12 : pertes ON du transistor de puissance obtenues par simulation paramétrique sous Ltspice pour différentes longueurs de Q_1 pour une longueur constante de Q_2 (0.2 mm).	173
Figure V.13 : Structures des deux convertisseurs monolithiques asynchrones	174
Figure V.14 : pertes de l'étage « Push Pull » obtenues par simulation paramétrique sous Ltspice pour différentes longueurs de grille de Q_3 et Q_5	174
Figure V.15 : pertes de l'étage « Push Pull » obtenues par simulation paramétrique sous Ltspice pour différentes longueurs de grille de Q_3 et Q_4	175
Figure V.16 : rappel des structures des deux convertisseurs monolithiques asynchrones.....	176
Figure V.17 : phase d'amorçage.....	176
Figure V.18 : phase de blocage.	177
Figure V.19 : Pertes totales (conduction et commutation) du transistor de puissance pour une période découpage	177
Figure V.20: Structure de la commande CATS par boucle inductive.....	178
Figure V.21 : Signaux obtenus par simulation sous Ltspice pour un courant de charge de 30 A et une valeur de L_s de 1 nH.....	178
Figure V.22 : Signaux obtenus par simulation sous Ltspice pour un courant de charge de 30 A et une valeur de L_s de 2 nH.....	179
Figure VI.1 : signaux du driver pour les deux types de commandes	200
Figure VI.2: Signaux d'entrée des deux drivers de chaque structure pour la CATS pour le contrôle de la tension lors de l'amorçage.....	201
Figure VI.3 Les signaux du GaN lors de la phase d'amorçage pour $V_{dc} = 80$ V, $I_L = 2$ A, $V_{intv} = 4$ V et différent $T_{intv} = 40$ ns:.....	201
Figure VI.4 : Les signaux du GaN lors de la phase d'amorçage pour $V_{dc} = 50$ V, $I_L = 6$ A, $V_{intv} = 4$ V et différent $T_{intv} = 40$ ns.....	202
Figure VI.5 : Les signaux du GaN lors de la phase d'amorçage pour $V_{dc} = 50$ V, $I_L = 6$ A, $V_{intv} = 4$ V et différent $T_{ov} = 5$ ns.....	203
Figure VI.6 : Les signaux du GaN lors de la phase d'amorçage pour $V_{dc} = 100$ V, différent I_L , $V_{intv} = 4$ V et différent $T_{ov} = 5$ ns	204

Listes des Tables :

Tableau I.1 : Comparaison à 300 K des propriétés des matériaux semi-conducteur conventionnels et à grand gap [21].....	29
Tableau I.2 : Comparaison des différents types d'isolation galvanique [9].....	38
Tableau I.3 : Valeurs typiques des inductances parasites pour un convertisseur classique [45, 46, 47, 48].....	40
Tableau I.4 : Comparaison des deux types de batteries [61]	50
Tableau I.5 : comparaison des performances des deux types de contrôles [74]	60
Tableau I.6 : synthèses de la bibliographie des systèmes de contrôle des <i>dvdt</i> et des <i>didt</i> mise en place dans le cas des HEMT GaN.	62
Tableau II. 1 : V_{th} et R_{on} statique du GaN en fonction de la température.....	91
Tableau II. 2 : les différents paramètres du modèle des capacités	93
Tableau II. 3 : Valeur de R_{on} obtenue avec l'approche dynamique	95
Tableau II.4 : présentation de la R_{on} obtenue avec le mode dynamique.....	96
Tableau II.5 : les différents paramètres du modèle dynamique des capacités par la méthode #1.....	98
Tableau II.6 : les différents paramètres du modèle dynamique des capacités par la méthode #2.....	99
Tableau II.7 : instruments de mesure du banc de test.....	102
Tableau II.8 : Comparaison des vitesses de commutation et des pertes de commutation pour $V_{dc}= 100$ V, $R_g = 3 \Omega$, $I_d = 6$ A. et $T=25$ °C.....	103
Tableau II. 9 : Comparaison des vitesses de commutation et des pertes de commutation pour $V_{dc}= 100$ V, $R_g = 3 \Omega$, $I_d = 6$ A. et $T=50$ °C.....	105
Tableau II. 10 : Comparaison des vitesses de commutation et des pertes de commutation pour $V_{dc}= 100$ V, $R_g = 3 \Omega$, $I_d = 6$ A. et $T=100$ °C.....	106
Tableau III.1 : résumé des différents types de commandes étudiés ainsi que la vitesses de commutation contrôlée.....	108
Tableau III.2 : avantages et inconvénients des deux structures.....	115
Tableau III.3 : instrument du banc de test	116
Tableau III.4 : approximation de la durée des phases de commutation du GS66508P ($C_{iss} = 260$ pF, $R_g = 3 \Omega$, $V_{dmax} = 3$, $L_s = 3$ nH, $g_{fs} = 20$ S et $V_{th} = 1.5$ V)	117
Tableau III.5 : comparaison de la commande CATS avec la commande Standard pour le contrôle de	123
Tableau III.6 : comparaison de la commande CATS pour la réduction de la vitesse de commutation de la tension avec la commande Standard	124
Tableau III.7 : caractéristique des courants de mode commun	126
Tableau III.8 : Evaluation de la commande BF par rétroaction de la tension V_{ds}	137
Tableau III.9 : taux de réduction maximale des vitesses de commutation pour les différents types de commande.....	140
Tableau IV.1 : récapitulatif de la synthèse de la tension V_{gs} en fonction de cmd1 et cmd2 pour les différents types de commandes	151
Tableau V.1 : les caractéristiques du transistor de puissance (Q).....	172
Tableau V.2 : les caractéristiques de la technologie de Sherbrooke par longueur de grille.....	172
Tableau V.3 : résumé des longueurs des transistors pour les deux systèmes de circuit intégré	176

Introduction Générale

Selon [1], le changement climatique sera la principale préoccupation du monde pour la décennie à venir. A cet effet, les secteurs de la production d'énergie et du transport sont responsables de ce changement climatique, ils représentent 49 % des causes de la dégradation de notre planète [2].

Déjà en 2007, [3, 4] estimaient que 80% de la production mondiale provenaient des énergies fossiles. Pour espérer la pérennité de cette ressource naturelle qui devient de plus en plus coûteuse, l'activité industrielle mondiale devrait se défaire de sa dépendance aux énergies fossiles. Dans le domaine du transport, le recours à de nouvelles alternatives occasionnent plusieurs types de recherche. A cet effet, le secteur du transport s'oriente vers des énergies renouvelables et des systèmes plus électriques qui nécessitent l'utilisation de convertisseurs de puissance. A ce jour, les convertisseurs peinent à répondre aux exigences actuelles en termes de puissance, de rendement, de densité de puissance, de longévité et de rentabilité. Ils sont de surcroît encombrant.

Contexte technique

Dans ce contexte où les exigences des convertisseurs (densité et rendement) ne cessent de croître, le principal matériau (semi-conducteur à base de silicium) utilisé pour la fabrication des interrupteurs de puissances touchent ses limites. De nouveaux matériaux à semi-conducteur (dits à grand gap) tels que le GaN et le SiC sont matures. Ils ont une résistance à l'état passant très faible, une charge de recouvrement presque nulle (pour les composants à base de GaN), un coefficient thermique intéressant et une capacité à fonctionner à très haute fréquence de commutation [5, 6, 7]. Cette possibilité de fonctionnement en haute fréquence leur permet de répondre aux exigences concernant le rendement et la densité de puissance. Ces avantages impliquent également des inconvénients tels que la production de fortes vitesses de commutation en tension, la production de fortes vitesses de commutation en courant, une forte sensibilité aux inductances parasites, et de fortes pertes de conduction inverse dans le cas des convertisseurs à bras d'onduleur à base de GaN.

Les fortes vitesses de commutation de courant des convertisseurs à base de transistors GaN qui atteignent plus de 1.5 A/ns créent des surtensions et des sous-tensions via la présence d'éléments parasites inductifs [8]. Comparées aux convertisseurs à base de silicium, ces surtensions ou sous-tensions augmentent les perturbations électrostatiques de manière considérable. S'agissant des fortes vitesses de commutation de tension, elles créent des surintensités et des courants de mode commun qui rendent les perturbations électromagnétiques conséquentes. Ces deux perturbations (électromagnétique et électrostatique) amoindrissent l'efficacité du fonctionnement des convertisseurs à base de transistors GaN et peuvent conduire à la réduction de la durée de vie des convertisseurs et des autres éléments électriques qui sont en aval du convertisseur.

Le fonctionnement en haute fréquence d'un bras d'onduleur à transistors GaN produit de fortes pertes pendant les périodes de temps mort. Dans certains cas, ces pertes pénalisent de manière significative le rendement.

Dans le but de répondre aux problématiques que présentent les convertisseurs de puissance à grand gap (plus particulièrement ceux à base de HEMPT GaN), ce projet a été mis en place avec la collaboration du LN2 de l'université de Sherbrooke (acteur de la conception de composants de puissance à base de GaN), et du laboratoire Ampère (acteur de conception de circuits de commande pour composants grand gap). Ainsi ces travaux tenteront d'apporter des solutions pour contrôler les fortes vitesses de commutation en tension et en courant tout en minimisant les effets négatifs des éléments parasites sur les pertes de commutation. Pour ce qui concerne les fortes pertes dues aux temps morts, de nouvelles techniques de pilotage du transistor seront proposées tout en minimisant l'effet des fortes vitesses de commutation en tension par le phénomène de « Cross Talk » dans le cas d'un bras d'un onduleur. Pour pouvoir mettre en place ces solutions de manière efficace, un modèle comportemental du transistor GaN sera adapté avec un nombre réduit de paramètres [8,9]. Ce modèle sera un élément clé dans le dimensionnement des briques du driver qui rendront possible l'intégration des éléments du driver sur la puce de puissance GaN afin de minimiser de la manière la plus optimale les effets dus à la présence d'inductances parasites entre la partie commande et la partie puissance.

Ainsi pour mieux nous approprier l'ensemble de ces points, nous avons commencé notre activité de recherche par un approfondissement de nos connaissances. Ce qui nous mène à consacrer la première partie de ce mémoire de la thèse à l'état de l'art des transistors à grand gap et plus particulièrement à ceux à base de GaN. Cette partie est suivie d'une étude bibliographique sur les driver pour HEMT GaN et leurs exigences afin de comprendre les techniques existantes permettant de faire face aux problèmes des inductances parasites, et aux fortes vitesses de commutation. L'étude de la commande rapprochée permettra aussi de comprendre les avantages et les inconvénients des techniques développées pour réduire les pertes durant les temps morts et le phénomène de « Cross Talk » dans le cas d'un bras d'onduleur.

Le chapitre 2 débutera par une étude bibliographique sur les modèles de HEMPT GaN. Cela nous permettra de faire le choix de la structure du modèle qui sera utilisé dans le cadre de ce projet. Les techniques de caractérisation statique et dynamique utilisées pour extraire les paramètres de ce modèle sont détaillées. La validation de ce modèle est le dernier point traité dans cette partie.

Le chapitre 3 présentera dans un premier temps le développement et les limites de la commande de grille autour de la tension de seuil en boucle ouverte (commande dite CATS [10]) dans le cas d'un transistor GaN. Puis pour compléter cette partie, quelques techniques de contrôle des vitesses de commutation en boucle fermée sont proposées afin de repousser les limites de la commande CATS en boucle ouverte. Ceci sera suivi par le développement d'une

autre technique de réduction de la vitesse de commutation en courant utilisant la présence de l'inductance parasite source commune entre la partie puissance et la partie commande. La comparaison de ces différentes techniques va permettre de tirer une conclusion sur les avantages et les inconvénients de chacune.

Dans le quatrième chapitre une commande de grille à multi-niveaux de tension sera développée dans le cas d'un convertisseur Buck synchrone et d'un convertisseur « Boost » synchrone. Cette technique est mise en place dans le but de réduire les pertes durant les temps morts dans le cas d'un bras d'onduleur tout en réduisant l'effet du phénomène de « Cross Talk » dû à la forte vitesse de commutation en tension. La commande multi-niveaux proposée est comparée à une commande classique et d'autres commandes multi-niveaux proposées dans la littérature.

Le cinquième chapitre est consacré à l'analyse des avantages et des inconvénients des solutions possibles permettant l'intégration du driver sur la puce du transistor GaN de puissance.

Chapitre 1 : Etude Bibliographique

L'électronique de puissance utilise des convertisseurs de puissance. Le propos est ici concentré sur le bras d'onduleur (DC/AC) et les convertisseurs DC-DC non isolés. Les convertisseurs sont construits autour d'interrupteurs de puissance qui peuvent être à commutation commandée ou spontanée. De nos jours la majeure partie des interrupteurs à commutation commandée sont contrôlés par un autre dispositif nommé commande locale de grille ou driver. La figure ci-dessous représente un schéma simplifié d'une structure d'électronique de puissance.

Les convertisseurs de puissances sont caractérisés par les points suivants :

- Tenue en tension et courant (puissance)
- Rendement énergétique
- Coût
- Densité de puissance
 - Densité volumique
 - Densité massique
- Durée de vie
- Taux de perturbation CEM émis
- Taux d'immunisation par rapport aux perturbations des autres équipements de son environnement de fonctionnement
- Sécurité et fiabilité

Ces caractéristiques dépendent fortement de la nature de l'interrupteur de puissance, de son driver et de la nature de la charge du convertisseur de puissance.

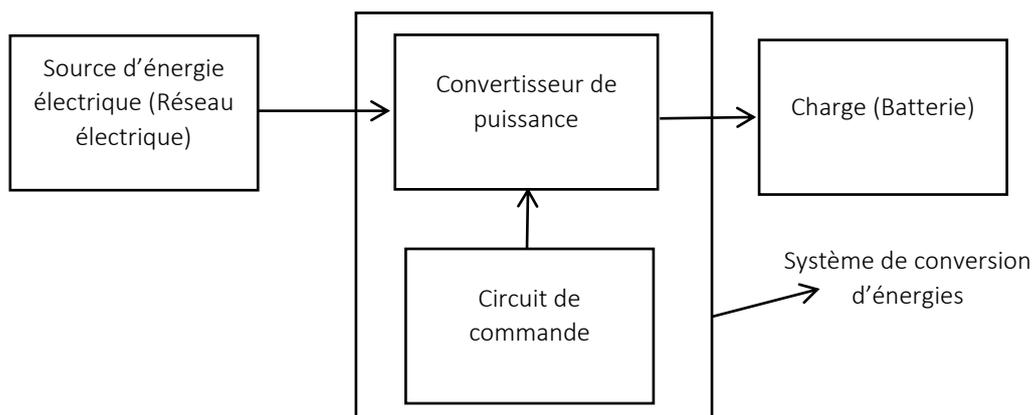


Figure I.1 : Schéma simplifié d'une structure de l'électronique de puissance

Afin de comprendre l'impact des interrupteurs (plus spécifiquement des transistors de puissance) sur les éléments caractéristiques d'un convertisseur, cette partie débutera par une brève présentation de quelques interrupteurs de puissance ainsi que leurs avantages et inconvénients. Ce qui permettra de justifier le choix des transistors HEMT GaN dans le cadre de cette thèse. La compréhension de cet aspect, permettra d'aborder une autre partie qui traitera

du rôle et des éléments du driver plus particulièrement dans les cas d'un transistor GaN. Cette première approche du driver va permettre de lister les limites du driver du HEMT GaN et les différentes techniques mises en place pour transcender ces barrières. La limite des solutions proposées dans la littérature ainsi que la conclusion clôtureront ce chapitre.

I. Les Interrupteurs de puissance à semiconducteur

Selon leur mode de contrôle (pour l'amorçage et pour le blocage), les composants à semi-conducteur sont nombreux et nous retenons ici les transistors (commandables à l'amorçage et au blocage, non bi-directionnels en général).

Suivant l'application, certains interrupteurs de puissance sont plus adaptés que d'autres. La figure I.2, propose une classification des types d'interrupteurs pour plusieurs applications de l'électronique de puissance.

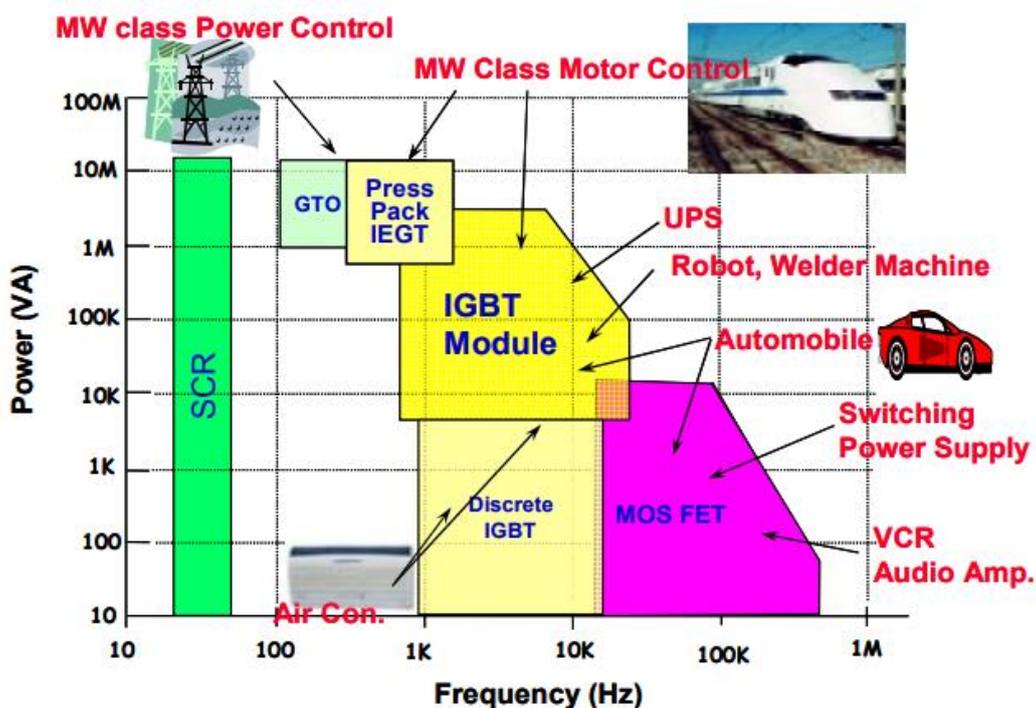


Figure I.2 : domaine d'application des différents types d'interrupteurs de puissances [11]

Selon la figure ci-dessus (figure I.2), les transistors MOSFETS, grâce à leur facilité à fonctionner à de très hautes fréquences de commutation, sont plus utilisés dans les domaines de l'automobile et de la télécommunication. Concernant les thyristors, ils sont plus utilisés dans le domaine des transports ferroviaires et du transport de l'énergie. Cette préférence pour les thyristors peut s'expliquer par leur aptitude à fonctionner avec de très hautes tensions et de forts courants. Ces éléments (fréquence, tension et courant de fonctionnement) caractérisent les interrupteurs de puissances et leur permettent d'être plus adaptés dans certaines applications. Les caractéristiques des interrupteurs de puissance dépendent de leurs structures et également des matériaux à semi-conducteur utilisés pour les fabriquer

Vu que cette thèse vise à améliorer le rendement et la sécurité des convertisseurs utilisés dans le domaine de la mobilité électrique, la partie qui suit est essentiellement axée sur les transistors de puissance.

Le passage Si vers le grand gap (SiC et GaN) .

A) Le silicium et ses limites :

L'application d'une tension entre la grille et la source d'un transistor MOSFET d'une tension inférieure à la tension de seuil va rendre ce composant non conducteur avec un courant de drain extrêmement faible (courant de fuite). Cet état correspond à l'état bloqué (turn off). Pendant cet état, le MOSFET va supporter une certaine tension appliquée entre le drain et la source. Cette tension ne doit pas dépasser un certain seuil. Ce seuil est appelé tension de claquage (V_{BR}). La tension de claquage est un élément caractéristique très déterminant dans le choix d'un interrupteur de puissance [12].

L'application d'une tension entre la grille et la source d'une tension supérieure à la tension de seuil (V_{th}) va rendre ce composant conducteur avec un courant de drain non nul. Cet état correspond à l'état passant (turn on). La résistance à l'état passant R_{on} et le courant de drain sont les éléments caractéristiques pour cet état. Cette résistance doit être la plus faible possible afin de réduire les pertes de conduction.

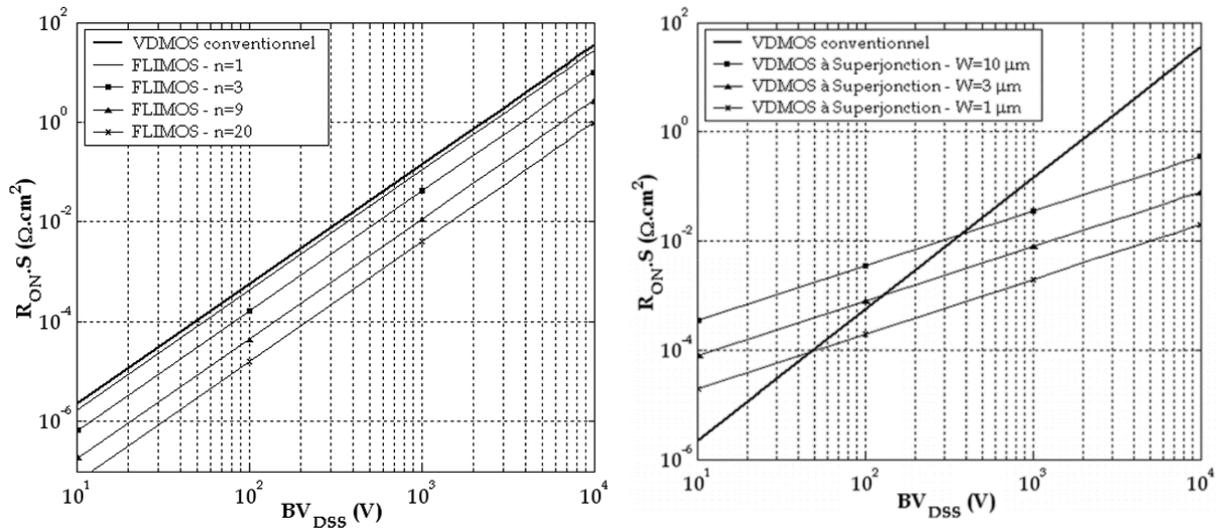
Limites des MOSFETS à silicium

Comme expliqué précédemment la tension de claquage et la résistance à l'état passant (R_{dson}) sont deux des éléments caractéristiques permettant de faire le choix d'un interrupteur de puissance. Avec l'augmentation croissante des exigences de l'électronique de puissance, ces deux grandeurs physiques commencent à montrer leurs limites face aux besoins grandissants.

Comme le montre la relation de l'équation I.1., la tension de claquage et la résistance à l'état passant sont étroitement liées. D'après [12, 13], les modifications apportées à l'un de ces paramètres dans le but de l'améliorer, cause souvent la dégradation du second. Parmi les nouvelles techniques mises au point à cet effet, nous pouvons citer le MOSFET à îlots flottants qui consiste à introduire une couche de diffusion P et de dopants P dans la zone N faiblement dopée d'un MOSFET conventionnel [14, 15]. Cette technique permet à une tension de claquage donnée d'augmenter la concentration N de l'épitaxie qui a pour conséquence une diminution considérable de la résistance à l'état passant (R_{on}). La figure I.3a présente les limites de compromis entre la tenue en tension et la résistance à l'état passant d'un MOSFET conventionnel et d'un MOSFET à îlots flottants.

Toujours dans le but d'améliorer le fonctionnement des MOSFETS conventionnels, des MOSFETS à super-jonction ont été mis en place. Ce principe consiste à une alternance de bandes N et P dans la zone drift. Cette technique a permis de réduire la résistance à l'état passant avec un taux plus important que celui du MOSFET conventionnel [15, 16, 17, 18, 19,

20]. La figure I.3b présente la comparaison entre les limites d'un MOSFET à super-jonction et celles d'un MOSFET conventionnel.



a) Limite théorique entre un MOSFET à ilot flottant et un MOSFET conventionnel

b) Limite théorique entre un MOSFET à super-jonction et un MOSFET conventionnel

Figure I.3 : Comparaison des limites techniques de différents types de MOSFET [14]

La littérature présente également d'autres techniques visant à améliorer le fonctionnement du MOSFET à silicium. Malgré la multiplication de ces techniques, les MOSFETS à silicium peinent à répondre aux exigences requises pour concilier la tension de claquage et la résistance à l'état passant. A cet effet, pour avoir un coût de fabrication rentable les MOSFETS doivent avoir de très fortes tensions de claquage (> 500 V).

La difficulté du silicium à répondre aux futures exigences des interrupteurs de puissance coïncide avec l'apparition de nouveaux semi-conducteurs dits à grand gap (SiC et GaN) qui promettent de répondre à ces exigences grâce à de meilleures propriétés physiques par rapport au silicium.

B) La transition vers les semi-conducteurs à grand gap :

Pour comprendre l'intérêt porté aux matériaux à grand gap (au détriment du silicium), une analyse des propriétés physiques est nécessaire.

	Silicium Si	Semi-conducteurs grand gap		
		6H-SiC	4H-SiC	GaN
Largeur de bande interdite E_g (eV)	1.12	3.03	3.26	3.39
Mobilité des électrons μ_n ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	1450	85	980	1250
Mobilité des trous μ_p ($\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$)	450	101	115	35
Champs critique de claquage E_c ($\text{MV} \cdot \text{cm}^{-1}$)	0.3	2.5	3	3.3
Concentration intrinsèque des porteurs n_i (cm^{-3})	1.1×10^{10}	2.3×10^{-6}	8.2×10^{-9}	10^{-10}
Conductivité thermique λ ($\text{W} \cdot \text{cm}^{-1} \cdot \text{K}^{-1}$)	1.42	4.9	4.9	1.3
Permittivité relative ϵ_r	11.8	9.66	10.1	9.5
Vitesse de saturation des électrons V_{sat} ($10^7 \text{cm} \cdot \text{s}^{-1}$)	1	2	2	2.2

Tableau I.1 : Comparaison à 300 K des propriétés des matériaux semi-conducteur conventionnels et à grand gap [21]

La tenue en tension V_{Br} d'un interrupteur semi conducteur peut être exprimée de la manière suivante [22, 23, 24].

$$V_{Br} = \frac{W_{DRIFT} \cdot E_c}{2} \quad (\text{I.1})$$

Avec pour épaisseur de la zone de drift : W_{DRIFT} . Les matériaux grands gap (SiC et GaN) ont un champ électrique de claquage beaucoup plus important que celui du silicium, donc pour une même épaisseur de drift, les matériaux grand gap ont une tenue en tension bien plus importante. Pour ce qui concerne la résistance à l'état passant, elle est fonction de la tension de claquage, du champ électrique de claquage, de la mobilité des électrons et de la permittivité relative.

$$R_{dson} = \frac{4 \cdot V_{Br}^2}{\mu_n \cdot \epsilon_r \cdot \epsilon_0 \cdot E_c^3} \quad (\text{I.2})$$

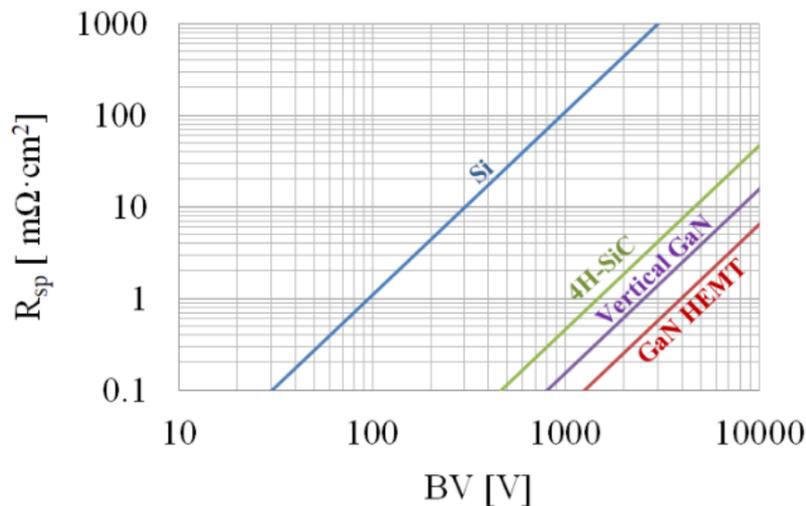


Figure I.4 : Comparaison des limites techniques de différents types de semi-conducteurs [25]

Selon l'équation 2, pour une même tension de claquage, les semi-conducteurs grand gap ont une résistance à l'état passant plus faible que celui du silicium. Avec ces deux précédentes équations, il est bien possible d'observer que les matériaux à grand gap présentent par rapport

au silicium un meilleur compromis entre la tension de claquage et la résistance à l'état passant (figure I.4). En plus de ces avantages, lorsque ces composants *grand gap* sont exposés à de hautes températures, grâce à leur bande interdite qui est plus élevée que celle du silicium, ils vont présenter des courants de fuite moindre que le silicium [26, 27, 28, 29]. Ces courants de fuites sont la conséquence d'un phénomène d'ionisation dû à l'exposition en haute température.

De par ces analyses, il peut être conclu que les matériaux à grand gap (GaN, SiC) font partis des matériaux en mesure de répondre aux exigences actuelles des applications de conversion d'énergie en termes de rendement et de fonctionnement dans des environnements sévères de hautes températures et hautes tensions, contrairement au silicium. Il faut noter également l'existence d'un troisième matériaux grand gap (le diamant) qui répondra à ces nouvelles exigences. Le diamant présente des caractéristiques physiques meilleures que celles du GaN et du SiC mais du fait de la non-maturité de ce matériau et des coûts d'exploitation importants, l'utilisation de ce matériau reste incertaine pour l'électronique de puissance.

Pour des applications en haute fréquence le GaN est plus avantageux que le SiC [30, 31]. Ce qui signifie que les systèmes de conversion à base de GaN répondront mieux aux exigences en termes de densité massique et volumique. C'est la réduction de la densité volumique qui a motivé l'orientation de cette thèse vers les convertisseurs à base de composants GaN. Afin d'améliorer le rendement et la densité de puissance des convertisseurs utilisés dans les transports plus électriques (avion et voiture).

➤ Les transistors GaN : Structure et design

Le MODFET GaN (Modulation Doped Field Effect Transistor GaN), HFET GaN (Heterostructure Field Effect Transistor GaN) et le HEMT GaN (Hight Electron Mobility Transistor) sont les trois types de transistor à base de GaN recensés dans la littérature. Le HEMT GaN reste le plus répandu et le plus utilisé à cause de sa plus grande maturité [32]. Pour cette raison, nous faisons le choix technologique d'orienter cette thèse autour du HEMT GaN. Il est donc la seule structure de transistor GaN étudiée dans la suite.

✓ Les Transistors HEMT GaN :

Un transistor HEMT est fait à partir du rapprochement de deux matériaux ayant deux gaps différents. Dans le cas d'un HEMT GaN, une couche par exemple d'AlGaN de gap plus grand est déposée sur une couche GaN ayant un gap plus petit. La jonction de ces deux matériaux a pour conséquence l'alignement de leurs niveaux de Fermi qui a pour conséquence l'apparition d'un puit d'électrons dans la couche du matériau qui a le gap le plus faible [17, 33, 34]. Ainsi, La concentration des électrons dans ce puit est à l'origine de la formation d'un canal appelé gaz 2D (figure I.5). Ce canal va permettre aux électrons d'avoir une mobilité très importante, ce qui assure ainsi une résistance très faible lors de la phase de conduction du transistor.

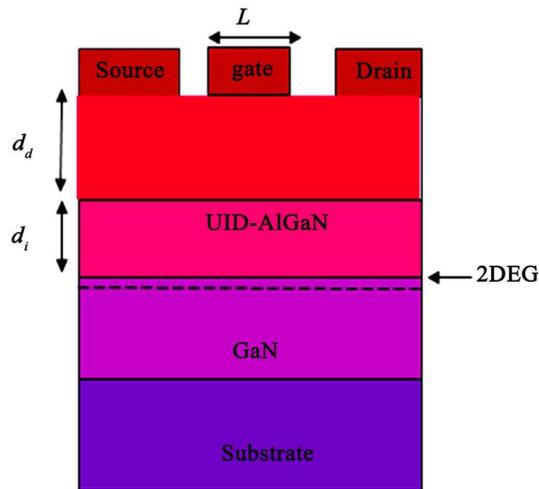
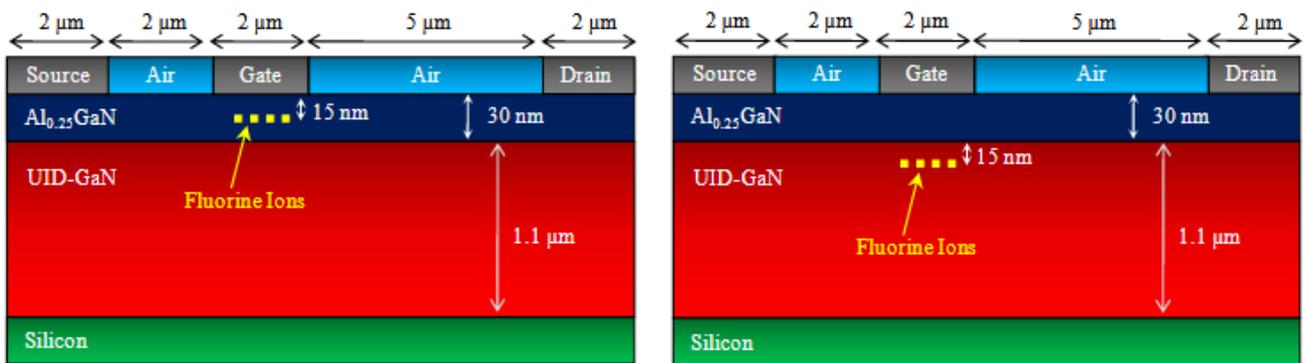


Figure I.5 : Structure d'un HEMT [33]

Etant un composant Normally-ON (qui se ferme sans l'application de tension de grille), ce composant GaN présente certains dangers dans le domaine de l'électronique de puissance. Pour pouvoir l'utiliser, la mise en place de circuit assurant la sécurité du fonctionnement au démarrage est nécessaire. C'est cet inconvénient qui fait du HEMT un composant peu attractif à son apparition. Il faut noter que l'augmentation de l'utilisation des composants à semi-conducteur GaN est due à l'aboutissement de plusieurs années de recherche qui ont permis de mettre en place des transistors GaN à enrichissement (composant Normally-OFF ou E_GaN). Ces E_GaN sont plus adaptés pour l'électronique de puissance que les transistors GaN à déplétion (D_GaN ou Normally-ON). Les composants Normally-OFF peuvent être réalisés à partir de 4 méthodes.



a) implantation d'ion de fluor dans la couche

b) implantation d'ion de fluor dans la couche GaN

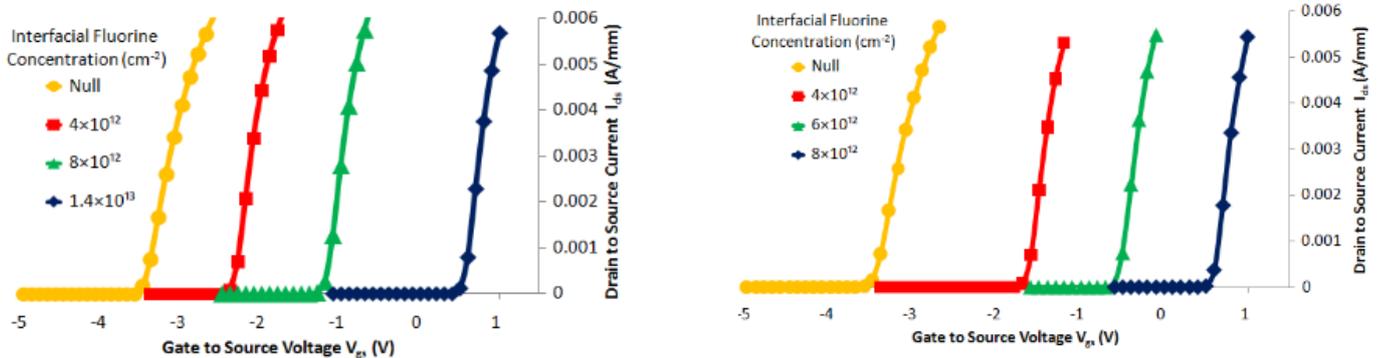
Figure I.6 : Structure de HEMT Normally-OFF par injection d'ion de fluor [35]

✓ Les transistors GaN « Normally OFF »

- GaN Normally-OFF par Implantation de fluor :

Cette méthode consiste à implanter des ions de fluor dans la couche d'AlGaN ou dans la couche de GaN (figure I.6). Ces ions créent des charges qui ont pour conséquence la séparation du gaz 2D en deux parties distinctes rendant ainsi le HEMT Normally-OFF [34]. Selon [35], pour

la même concentration d'ions de fluor, l'implantation est plus efficace dans la couche de GaN que celle de l'AlGaIn (figure I.7). Cette technique est simple à mettre en place. Elle présente cependant une forte instabilité de la tension de seuil. Cette technique est très utilisée par le fabricant EPC.



a) i implantation d'ion de fluor dans la couche AlGaIn

b) implantation d'ion de fluor dans la couche GaN

Figure I.7 : Evolution de la tension pour un HEMT Normally-OFF par injection d'ion de fluor [35]

- GaN Normally-OFF par recess gate ou grille enterrée :

Comme la méthode précédente, celle-ci permet d'obtenir un E-HEMT GaN par la séparation du gaz 2D en deux parties distinctes. Cette séparation est obtenue par diminution de l'épaisseur de la couche AlGaIn qui a pour conséquence la réduction de la tension due à l'effet piézoélectrique [34, 36, 37] (figure I.8). Ainsi l'augmentation de cette tension par une application d'une tension positive au niveau de la grille va permettre de rétablir le 2DEG par attraction des électrons au niveau de la jonction AlGaIn / GaN. En termes de coût cette approche est moins rentable que l'implantation des ions de fluor. De plus, elle a tendance à augmenter les courants de fuites [37].

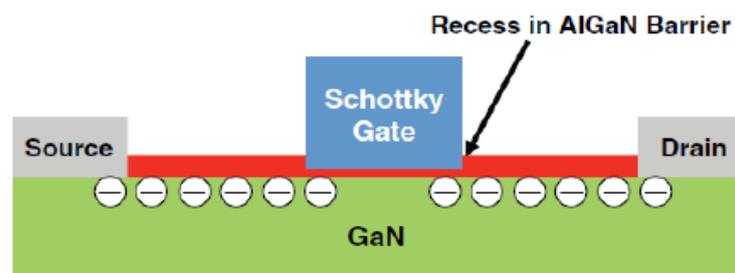


Figure I.8 : Structure de HEMT Normally-OFF par grille encastrée [37]

- GaN Normally-OFF par grille P:

La séparation du gaz 2D en deux zones est aussi l'objectif de cette méthode. Pour y arriver une couche de GaN dopé P est déposée sur la couche AlGaIn créant des charges positives qui génèrent une tension positive supérieure à la tension générée par l'effet piézoélectrique. Ce phénomène a pour conséquence la séparation du 2DEG [34, 37] (figure I.9). Pour rétablir ce gaz et rendre le transistor E-GaN conducteur, l'application d'une tension positive entre la grille et la source est nécessaire.

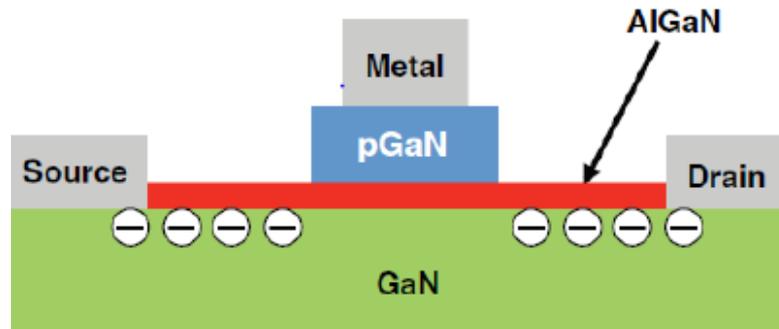


Figure I.9 : Structure de HEMT Normally-OFF par grille pGaN [37]

- **GaN Normally-OFF par structure *cascode* :**

Cette technique est différente des méthodes précédentes car pour obtenir un E_GaN le HEMT Normally-ON est associé en série avec un MOSFET Normally-OFF en silicium de type N [34, 37] (figure I.10). Avec cette combinaison (D_GaN et N MOSFET), la mise en ON et OFF du transistor dépendra du transistor MOSFET. L'association de ce transistor MOSFET avec le transistor GaN a pour conséquence l'augmentation et la dégradation de la résistance à l'état passant surtout pour les faibles tensions de fonctionnement [37].

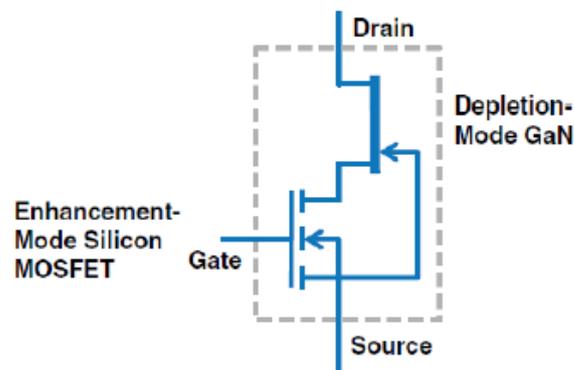


Figure I.10 : Structure de HEMT Normally-OFF par structure cascode [37]

Cette technologie est principalement utilisée par le fabricant Panasonic (Infineon). Cependant il faut noter que si les efforts de recherche ont permis de résoudre les problèmes que présentent le GaN Normally-ON, il reste néanmoins des problèmes comme les phénomènes de pièges, les courants de fuite et les effets thermiques qui limitent l'utilisation des transistors GaN dans les convertisseurs de puissance industriels.

- ✓ **Les pièges et les dérives électriques dans les transistors HEMTs :**

Le fonctionnement des transistors GaN est actuellement amoindri par les phénomènes de pièges qui font considérablement varier les caractéristiques électriques de manière négative. Ces phénomènes sont à l'origine de l'écart entre les performances actuelles des transistors GaN et les performances théoriques espérées [33, 34, 37, 38, 39, 40]. Cette variation négative des caractéristiques électriques et physiques proviendrait de la capture de porteurs de charge réduisant ainsi le nombre de porteurs de charges du 2DEG qui participent à la conduction. Les pièges proviennent des impuretés des semi-conducteurs (GaN / AlGaN). Dû aux grands gaps de

ces semi-conducteurs, ces impuretés génèrent des niveaux d'énergies intermédiaires qui capturent les porteurs de charge [33, 34, 37, 38, 39, 40].

Le « gate lag » et « le drain lag » sont deux types de dérives électriques rencontrées dans le fonctionnement du GaN. Le « gate lag » est observé lorsque, pour une tension de drain constante ; une variation négative rapide de tension est appliquée sur la grille. Les porteurs de charge capturés sont libérés suite à une variation positive de la tension grille. Pour le « drain lag » ces captures et émissions interviennent suite à une variation brusque de la tension de drain pour une tension de grille constante comme le présente la figure I.11. Ces deux types de phénomènes sont à l'origine d'une diminution drastique de la tenue en courant du transistor HEMT GaN.

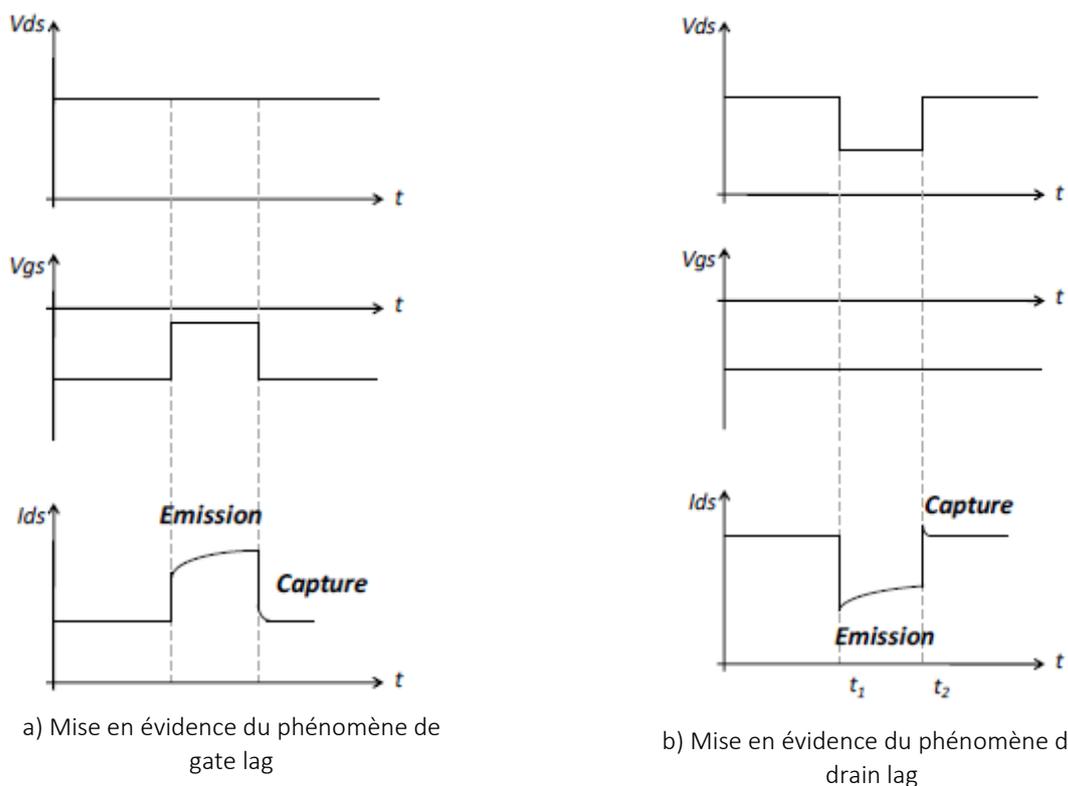


Figure I.11 : Mise en évidence des pièges dans le HEMT GaN [38]

✓ Dégradation des caractéristiques électriques par effet thermique :

L'augmentation de la température de fonctionnement du HEMT va occasionner une réduction de la vitesse et de la mobilité des porteurs de charge du gaz 2D. Ce qui va entraîner une diminution de la tenue en courant du transistor et une légère baisse de sa fréquence limite de fonctionnement [41]. Dans le cadre de cette thèse, pour connaître les limites des solutions proposées ; des tests en température sont réalisés.

✓ Courant de fuite dû à une polarisation négative de la grille du transistor GaN :

Une polarisation négative de la grille du HEMT a tendance à augmenter les courants de fuite. Cette hausse du courant de fuite proviendrait d'une intensification considérable de l'effet tunnel dû à une augmentation des pièges de grille sur la couche AlGaIn [38, 41]. Cette fuite de

courant va entraîner une variation de la résistance à l'état passant dans le temps, un vieillissement prématuré du GaN et une diminution du courant de drain comme le montre les caractéristiques $I_d(V_{ds})$ de la figure I.12. Cette diminution du courant de drain augmente les pertes à cause de la réduction du $\frac{di}{dt}$.

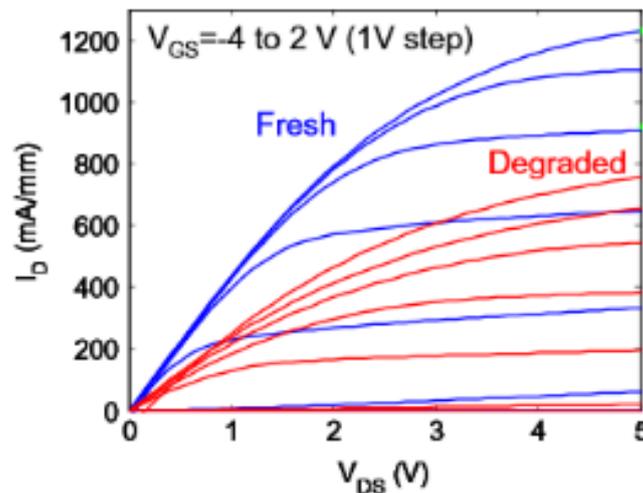


Figure I.12 : Dégradation des caractéristiques du HEMT due à des courant de fuites sous une polarisation négative de la grille [41]

Ce phénomène de fuite est plus observé avec les HEMTs à grille Schottky [41]. Le développement de grille MIS (métal isolant semi-conducteurs) a permis de réduire ces courants de fuite de manière considérable par rapport à la grille Schottky [42]. Dans le chapitre 4 de ce document, les techniques de commande optimale sont développées en tenant compte de cet effet négatif dû à une polarisation négative de la grille.

En résumé, le phénomène de piège, l'effet thermique et les courants des fuite issus d'une polarisation négative de la grille; sont les phénomènes qui empêchent les transistors GaN d'atteindre leurs performances théoriques. Selon le substrat utilisé, la manifestation de ces phénomènes n'est pas la même. La figure I.13 présente les avantages et les inconvénients des différents types de substrats utilisés dans le cas d'un transistor GaN en termes de coût et de conductivité thermique etc. La réduction des performances dues à la température peut être améliorée par l'utilisation de substrats à base de SiC. Ce dernier présente une conductivité thermique plus élevée. Cependant il est moins répandu que les substrats Si et Saphir à cause de son coût de fabrication qui reste élevé.

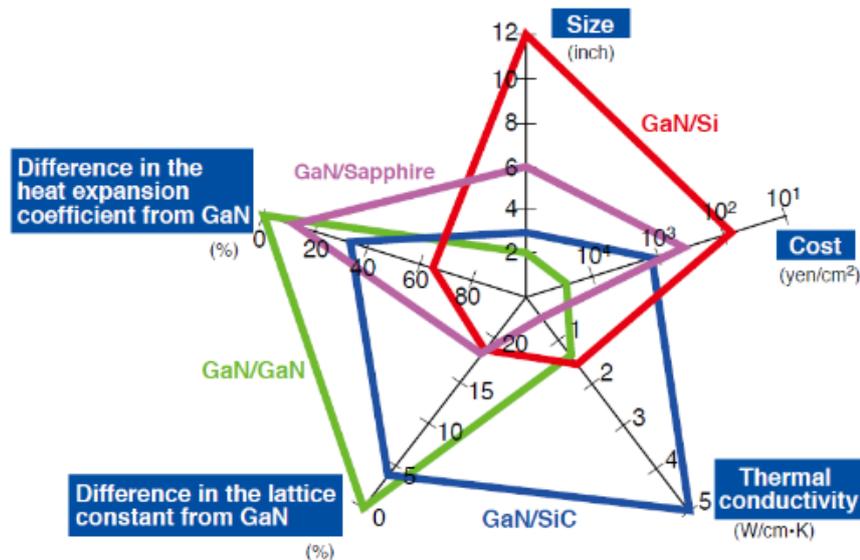


Figure I.13 : Comparaison, des avantages et des inconvénients des différents substrats pour les transistors HEMT GaN [43]

A part les substrats, il existe d'autres moyens pour améliorer les effets limitants du HEMT GaN. Pour ce faire, les solutions apportées interviennent lors du processus de fabrication, ces techniques ne seront pas étudiées dans le cadre de la thèse. En outre, la mise en place d'un driver optimal peut permettre de faire fonctionner le HEMT GaN dans les zones appropriées afin d'éviter l'apparition d'effets négatifs (phénomène de piège et fuites). Pour mieux comprendre le fonctionnement du driver la partie suivante est consacrée dans un premier temps à l'étude de sa structure. Dans un second temps, les limites actuelles du driver GaN sont exposées. Cette partie se terminera par la présentation des solutions proposées dans la littérature. L'étude des limites de ces solutions constitue les perspectives de recherche de cette thèse.

II. Le « driver » :

Comme expliqué en début de chapitre, pour adapter l'énergie électrique d'une charge par rapport à une source d'énergie électrique, une carte électronique faisant office de commande rapprochée (**driver**) doit fournir l'énergie nécessaire à la grille du transistor de puissance (MOSFET Si, IGBT, MOSFET SiC, **HEMT GaN**) pour assurer son blocage et son amorçage à des temps bien définis. Ce driver est composé d'une partie primaire (commande éloignée), d'une partie secondaire (commande rapprochée) et d'une isolation galvanique permettant de séparer ces deux parties (figure I.14).

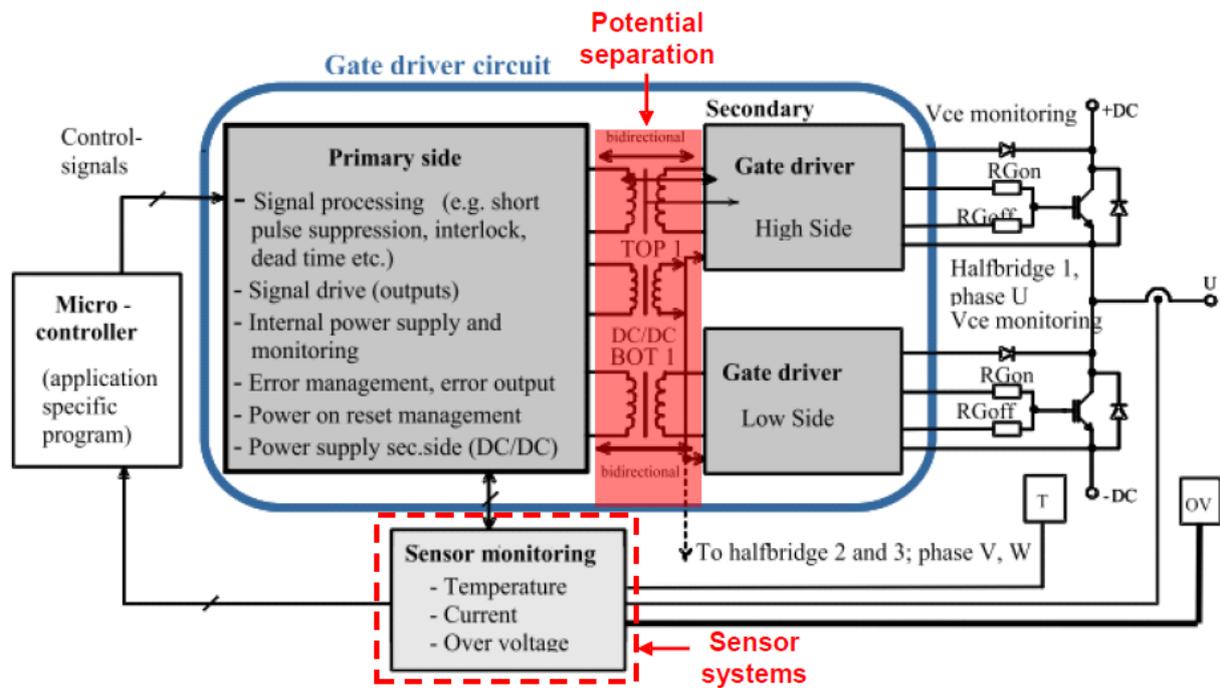


Figure I.14 : Structure d'un bras d'onduleur avec son driver [44]

La commande éloignée (« Primary Side ») : a pour principale fonction la génération des ordres logiques de commutation des différents interrupteurs du convertisseur de puissance. Ces ordres de commande peuvent être générés à partir d'un microcontrôleur, d'un FPGA ou d'un générateur de signal. En plus de cela, la commande éloignée va superviser le système dans sa globalité tout en assurant la sécurité et la fiabilité du système.

La commande rapprochée (« Secondary ») : est l'adaptation des signaux logiques venant de la commande éloignée en signaux électriques afin d'apporter l'énergie nécessaire pour activer les changements d'état du transistor. Cette partie assure la protection des interrupteurs de puissance par des capteurs qui déterminent le point électrique de fonctionnement. A chaque fois que ces caractéristiques électriques (courant, tension, température) tendent vers des points de fonctionnement non recommandés, la commande rapprochée va générer un signal électrique pour ramener l'interrupteur dans une zone sécuritaire de fonctionnement. Parmi les éléments qui composent cette partie, il y a les alimentations, l'étage d'amplification, les capteurs etc.

L'isolation galvanique : permet de séparer électriquement ces deux parties (commande éloignée et commande rapprochée) qui ont dans la plupart des cas des potentiels de référence différents (obligatoire pour le transistor « High Side » d'un bras d'onduleur). Plusieurs techniques d'isolation (transformateur magnétique, opto-coupleur, fibre optique, condensateurs couplés, "translateur de niveau" ou "level shifter" pour les applications faible tension) sont utilisées pour faire fonctionner les convertisseurs de puissance. Le tableau I.2 résume les avantages et les inconvénients de trois de ces types d'isolation.

Caractéristique	Transformateurs	Opto-coupleur	Fibre optique
$\frac{dv_{max}}{dt}$	$\leq 100 \text{ KV}/\mu\text{s}$	$\leq 50 \text{ KV}/\mu\text{s}$	$> 100 \text{ KV}/\mu\text{s}$
Tension d'utilisation	$>10 \text{ KV}$	1200 V	$>10 \text{ KV}$
Capacité parasite	# nF	# nF	-
Temps de propagation	10 ns à 100 ns	10 ns à 100 ns	$< 10 \text{ ns}$
Possibilité d'intégration	non	oui	oui
Limites en température	200 °C	150 °C	200 °C
Isolation galvanique	bon	médiocre	Très bon
Taux de transfert	bon	médiocre	médiocre
Immunité face aux EM	bon	bon	Très bon
Stabilité thermique	bon	mauvais	médiocre
Robustesse mécanique	bon	médiocre	bon
Energie consommée	mauvais	médiocre	médiocre
Intégration logique	-	Très bon	mauvais
Transfert d'énergie	bon	Très mauvais	médiocre
Taille	Très mauvais	bon	médiocre
Coût	mauvais	bon	mauvais

Tableau I.2 : Comparaison des différents types d'isolation galvanique [9]

Afin d'assurer une conversion d'énergie avec moins de pertes possibles et plus de sécurité, le driver doit contrôler le transistor en assurant des temps de transition de la tension et du courant les plus rapides possibles. Cependant des phénomènes issus de l'association du driver et du transistor vont venir perturber cet objectif (avoir un bon équilibre entre perte et CEM). Vu que le HEMT GaN commute avec des vitesses extrêmement élevées, les phénomènes seront plus visibles. Dans la suite de cette partie, les conséquences d'une commutation rapides sont étudiées ainsi que les différentes solutions proposées et leurs limites dans les cas des transistors, plus spécifiquement dans le cas d'un HEMT.

Les phénomènes responsables du dysfonctionnement de l'association (driver - transistor de puissance) :

Pour mieux comprendre le contrôle d'un transistor par un driver, le driver peut être remplacé par son « buffer » (« push pull ») qui est le dernier étage du driver et a pour principal rôle l'amplification du signal provenant de la commande éloignée (Figure I.15). Ainsi, l'application d'un signal de niveau haut à la grille du « push pull », va permettre de charger les capacités d'entrée du transistor par une résistance externe de grille (R_g). Ce chargement des capacités va être à l'origine de l'amorçage du transistor qui se traduit par le changement d'état de la tension à ses bornes (V_{ds} passe de l'état haut à l'état bas) et du courant qui le traverse (I_d passe de l'état bas à l'état haut). Le déchargement des capacités d'entrée du transistor via R_g par l'application d'un signal bas à l'entrée du « push pull » va occasionner le blocage du transistor qui se traduit par le changement du courant (bas vers haut) et de la tension (bas vers haut). Le temps de

transition de ces caractéristiques (courant et tension) dépend fortement de R_g : plus cette dernière est faible plus le temps de transition est faible [8]. Ces faibles temps de transition auraient tendance à diminuer les pertes issues de ces changements d'état du courant et de la tension. Cependant, ce n'est pas toujours le cas car l'association du driver avec le transistor génère des éléments parasites (inductances, capacités) qui produisent des perturbations électromagnétiques qui peuvent générer de fortes pertes ainsi que la destruction du transistor de puissance dans le cas de faibles résistances. Ainsi, mettre en place un driver optimal reviendrait à trouver un compromis entre les pertes et les perturbations électromagnétiques. Dans le cas des transistors HEMT GaN, cette équilibre (perte / CEM) n'est pas facile à déterminer car sa commutation produit de forts fronts de commutation en courant et en tension qui rendent le système plus sensible aux inductances parasites. Dans le cas d'un bras d'onduleur, dû à l'interaction des deux transistors, une commutation produisant de forts $\frac{dv}{dt}$ peut entraîner des court-circuits (issue du phénomène de Cross-Talk) qui occasionnent de fortes pertes.

Ainsi pour pouvoir utiliser le HEMT tout en bénéficiant de ces propriétés physiques, certaines techniques ont été développées dans la littérature pour réduire la sensibilité aux inductances et minimiser l'impact du phénomène de Cross-Talk.

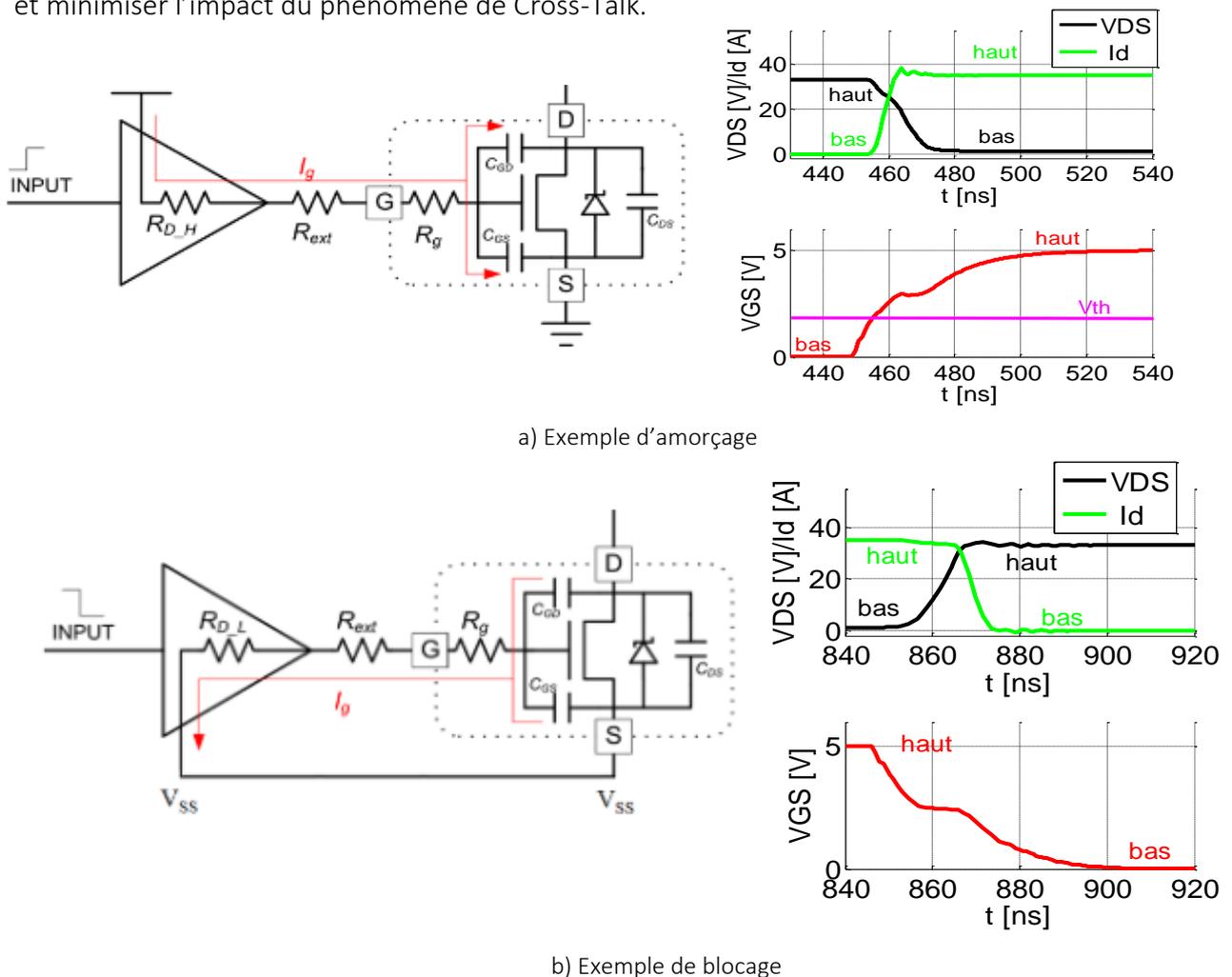
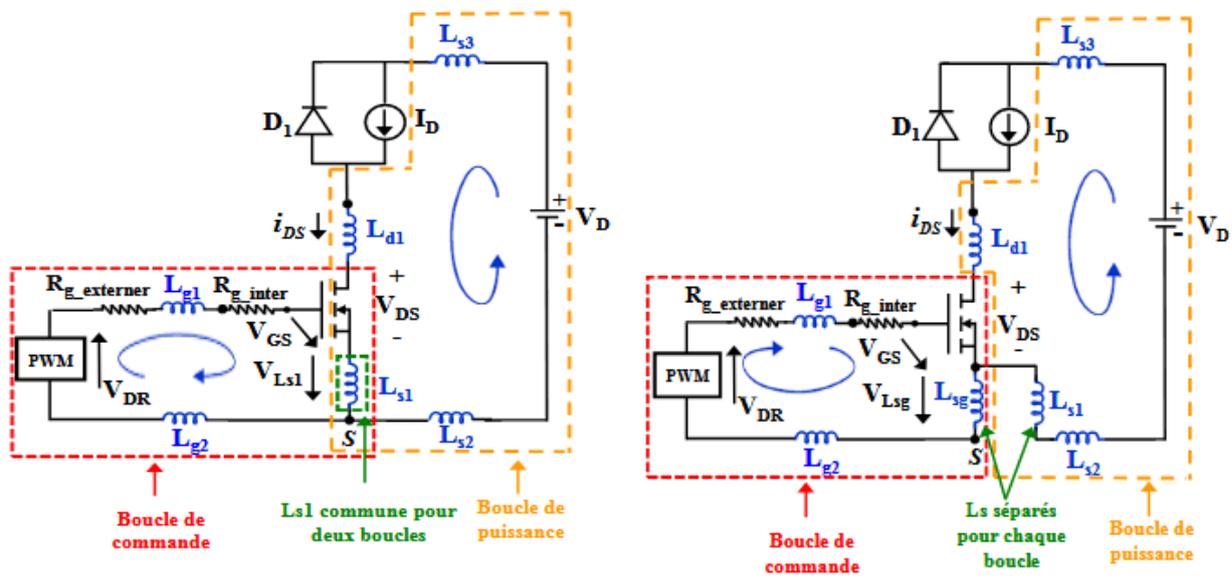


Figure I.15 : commutation du transistor par un driver [45-48]

A) Sensibilité aux inductances parasites :

Les pistes de cuivre du PCB, permettant de relier le driver et le transistor de puissance, vont introduire des inductances parasites dans la partie commande et dans la partie puissance comme le montre la figure I.16. La présence d'inductances parasites va causer une augmentation des pertes dues au ralentissement de la charge et de la décharge des capacités d'entrée du transistor au niveau de la grille. Pour la maille de puissance, des surtensions issues de l'inductance parasite sont à l'origine de cette augmentation des pertes. Ces surtensions peuvent conduire à la destruction du HEMT. Due à la sensibilité de la grille du HEMT (6V max pour la tension entre la grille et la source), cette destruction peut aussi provenir des oscillations de la tension de grille dues aux capacités du transistor, de la résistance de grille R_g et des inductances parasites et surtout de l'inductance commune entre la partie commande et la partie puissance. Le tableau I.3 donne les valeurs typiques dans le cas des convertisseurs à base de silicium.



a) inductances parasite pour un routage classique

b) inductances parasite pour un routage optimisé

Figure I.16 : mise en évidence des différentes inductances parasites dans un convertisseur Buck [45, 46, 47, 48]

L_{g1}	5 nH
L_{g2}	5 nH
L_{d1}	4.5 nH
L_{s1}	7.5 nH
L_{s2}	10 nH
L_{s3}	10 nH
L_{sg}	7.5 nH

Tableau I.3 : Valeurs typiques des inductances parasites pour un convertisseur classique [45, 46, 47, 48]

Afin d'évaluer l'impact de cette inductance commune (L_{S1}), le convertisseur de la figure I.16a a été simulé sous SPICE en remplaçant le transistor dans un premier temps par un transistor GaN System GS66508 (650 V/30 A), puis dans un second temps par un MOSFET silicium STMicroelectronics STW11NM80 (800 V /11A). Ces deux modèles sont fournis en annexe I.

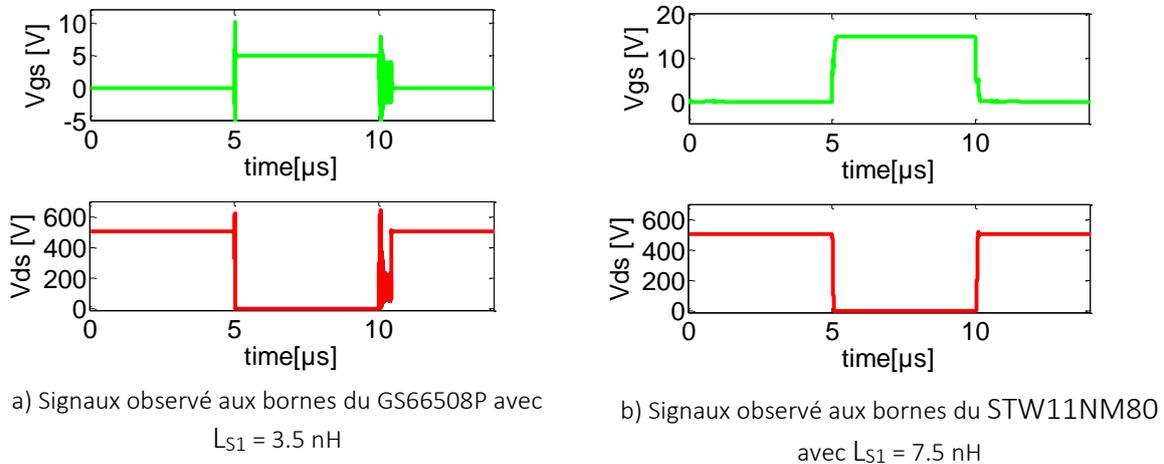


Figure I.17 : Comparaison de l'impact de l'inductance parasite (L_{S1}) commune entre un convertisseur à base de HEMT GaN et un convertisseur à base de MOSFET Si

Une inductance parasite L_{S1} de 3.5 nH occasionne des oscillations de tension qui peuvent atteindre 25 V au niveau de la grille du HEMT GaN. Au niveau de la tension de drain, ces surtensions atteignent les 900V ($L_{S1} = 3.5 \text{ nH}$). Ces niveaux de tension qui sont en dehors des limites de fonctionnement autorisées ($V_{gs\max} < 10\text{V}$ et $V_{ds\max} < 650 \text{ V}$) vont entraîner un vieillissement accéléré du composant. Alors que pour le MOSFET Si, une inductance de L_{S1} de 7.5 nH n'occasionne pratiquement pas de fluctuation de V_{gs} et de V_{ds} . Afin de profiter pleinement des avantages qu'offrent le GaN par rapport aux autres composants de puissance, ces inductances doivent être réduites (surtout L_{S1} et L_{S3}).

Solutions proposées pour pallier la sensibilité aux éléments parasites :

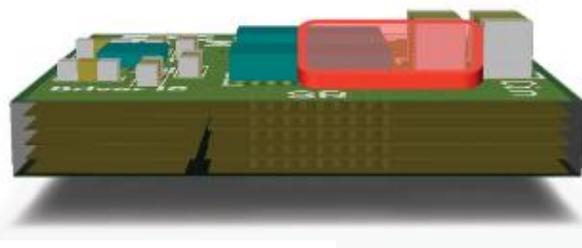
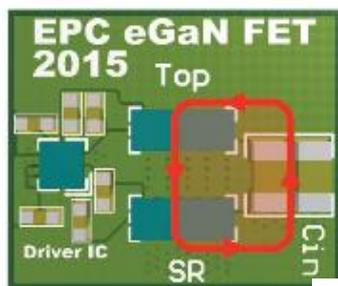
- Par des transistors dotés d'une source Kelvin

Dans le but de pallier les effets négatifs dus aux parasites, (surtout ceux de l'inductance commune (L_{S1})), *GaN System* développe des composants avec une source Kelvin qui permet de séparer la source de la partie puissance et la source de la partie commande. Cette séparation aide à mettre en place un routage plus optimisé réduisant l'inductance L_{S1} (figure I.16b) permettant ainsi celles des oscillations de la tension V_{gs} [46, 47, 48, 49].

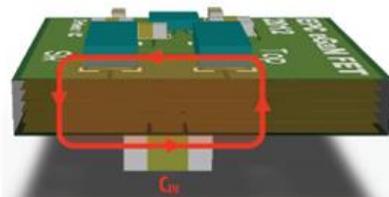
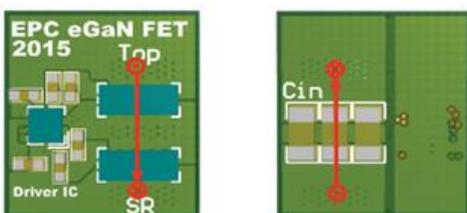
Cette solution ne suffira pas pour pouvoir utiliser pleinement les avantages qu'offrent les transistors GaN car la présence de fortes inductances (L_{S1} et L_{S3}) crée des oscillations non négligeables au niveau de la tension V_{ds} [49]. La technique de routage utilisée lors de la conception complète du convertisseur peut être un moyen pour régler ce dernier problème.

➤ Par la diminution des inductances parasites par le routage du convertisseur

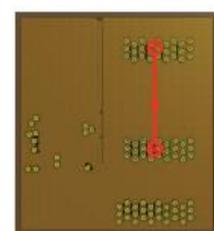
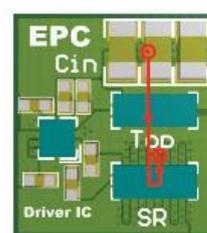
Ces inductances peuvent être réduites en faisant appel à de nouvelles techniques de routage comme le propose [49, 50, 51, 52,53] afin de créer une boucle verticale. La boucle verticale proposée par [68] consiste à placer sur le même plan et de manière juxtaposées les condensateurs de découplage et les deux HEMT GaN du bras d'onduleur. Les condensateurs de découplage sont à proximité du drain du HEMT « high side ». Des vias sont placés du côté des condensateurs de découplage et du côté de la source du GaN « low side » ce qui permet de fermer la boucle de puissance en passant par le « Bottom side » du PCB. Cette manière de reboucler la maille de puissance permet une circulation parallèle et dans le sens opposé du courant. Avec ce mode de circulation du courant, le champ électrique, le champ magnétique, les effets de Foucault et les effets de proximité sont réduits. La réduction de ces phénomènes permet d'obtenir de faibles inductances parasites contrairement au système de routage latéral et au système de routage conventionnel. Le système latéral consiste à placer les deux transistors et les condensateurs de découplage sur la même couche de PCB. Cependant le système de routage vertical consiste à placer les deux transistors sur une face du PCB et les condensateurs de découplage sur la face opposée. Les figures I.18 et I.19 présentent la structure de ces différents types de routage et leurs inductances parasites.



a) Routage lateral conventionnel

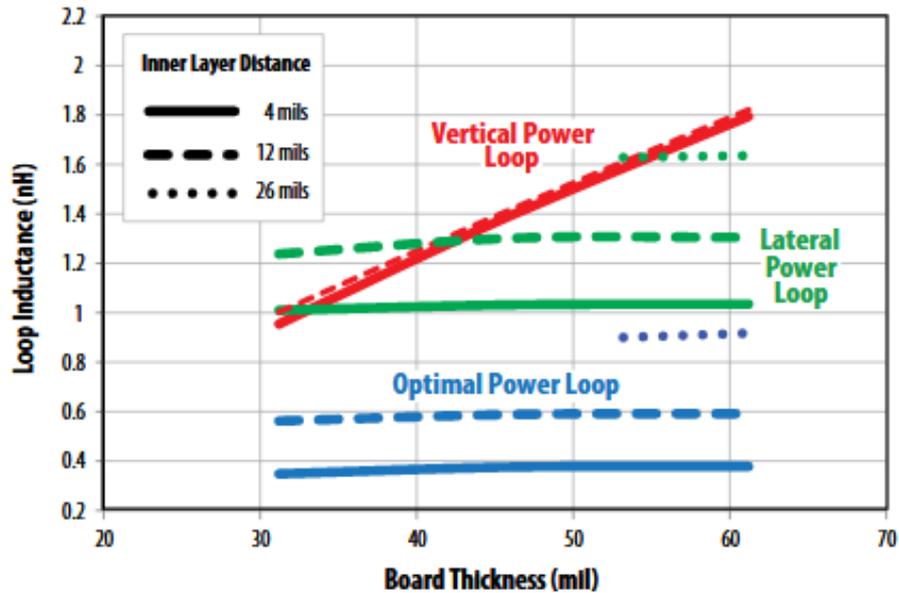


b) Routage Vertical conventionnel

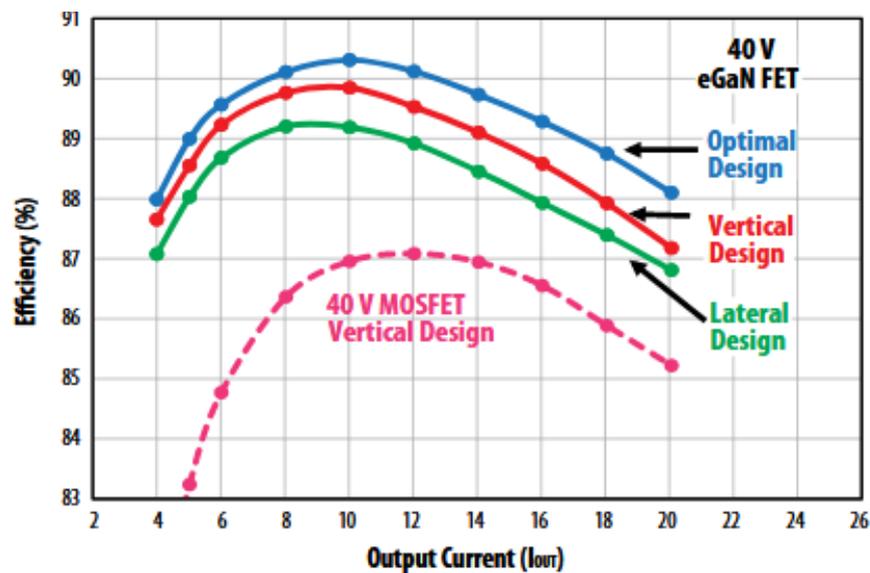


c) Routage Vertical optimisé

Figure I.18 : Les différents types de routages [50]



a) comparaison des inductances parasites des différentes techniques de routage



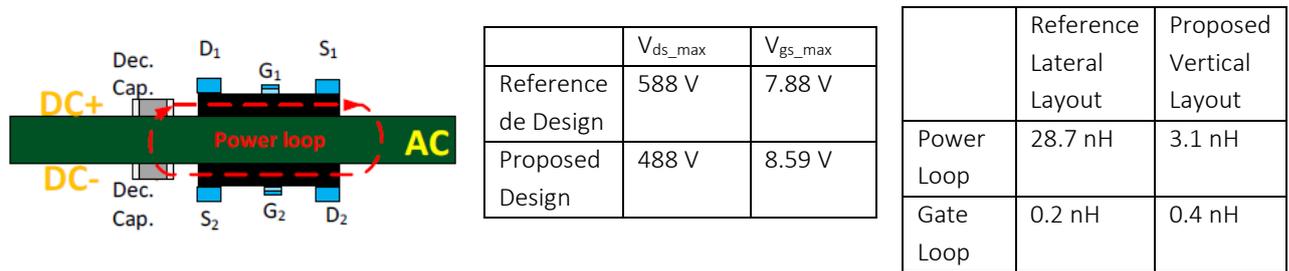
b) comparaison de l'efficacité énergétique selon les différentes techniques de routage

Figure I.19 : Comparaison des différents types de routage [50]

Pour un routage latéral et un routage vertical optimisé, l'inductance parasite de la maille ne dépend pas de l'épaisseur du PCB. Concernant les deux autres types de routage, l'inductance parasite dépend fortement du nombre de couches du PCB : les inductances parasites sont réduites avec l'augmentation du nombre de couches. Le rendement le plus important est obtenu avec un routage optimal comme le montre la figure I.18b.

Ce type de routage vertical proposé par EPC peut être optimisé en utilisant une autre technique de routage optimisé. Cette technique a été proposée par [52] et consiste à placer un des transistors sur une face du PCB et l'autre transistor sur la face opposée du PCB. Afin d'optimiser l'inductance parasite de la maille de puissance, les condensateurs de découplage sont enfoncés

dans le PCB, ce qui permet de créer une boucle de circulation perpendiculaire à la source PCB. La figure I.18a présente un convertisseur utilisant cette technique de routage.



a) Structure d'un routage vertical optimisé avec enfouissement de capacités de découplage

b) Comparaison d'un routage vertical optimisé avec enfouissement de capacités de découplage avec un routage latéral conventionnel

Figure I.20 : Evaluation d'une autre technique de routage vertical optimisé [52]

Cette technique permet de réduire considérablement l'inductance parasite de la maille de puissance par rapport au routage latéral conventionnel, par ailleurs, elle augmente les inductances parasites de la maille de la commande de 0.2nH. C'est ce qui explique qu'avec le routage vertical optimisé; la surtension de V_{ds} est moins importante tandis que la surtension de V_{gs} est plus importante. Malgré ces nouvelles techniques de routage, la présence d'inductances parasites dans les convertisseurs à base de GaN reste problématique et empêche les convertisseurs GaN d'atteindre le rendement théorique de 1. Ainsi pour amoindrir les effets parasites avec un bon compromis Perte / CEM, GaN System recommande dans [53] l'utilisation de deux résistances de grille distinctes, une pour l'amorçage ($10 \Omega \leq R_{gon} \leq 20 \Omega$) et une autre résistance pour le blocage ($1 \leq R_{goff} \leq 3 \Omega$).

➤ Par l'intégration du driver

Malgré la mise en place des nouvelles techniques de routage permettant de réduire les effets des inductances parasites, le rendement des convertisseurs progresse peu. La solution serait de rapprocher au maximum le driver sur la puce du transistor de puissance. Pour ce faire, il suffira d'intégrer les éléments du driver et le transistor de puissance sur une même puce. Un tel système est nommé un circuit monolithique. Cette intégration peut être unique ou mixte. En plus de la réduction des effets parasites, l'intégration offre la possibilité d'améliorer sans doute la densité massique et volumique.

• L'intégration mixte ou hybride

Cette technique consiste à intégrer lors de la phase de fabrication un driver CMOS sur la puce du HEMT GaN. Grâce à la complémentarité des transistors de type P et N de la technologie CMOS, ce système mixte assure une facilité de conception des briques du driver intégré avec un coût de fabrication limité [54, 55]. Malgré les avantages et la réduction des inductances parasites obtenues avec cette intégration hybride, les temps de transition restent assez

importants pour assurer un meilleur contrôle du transistor GaN. La dégradation des caractéristiques des MOSFETS (surtout le MOSFET de type P) lors du processus de fabrication est à l'origine de ces temps de transition. Cette hypothèse est confirmée par les travaux de [54]. Travaux au sein desquels la commutation de la logique inverseuse se fait avec un temps de montée de 500 ns. Ce temps est 5 fois plus important que celui du NMOS dû à la différence de mobilité des porteurs entre les trous et les électrons (figure I.21).

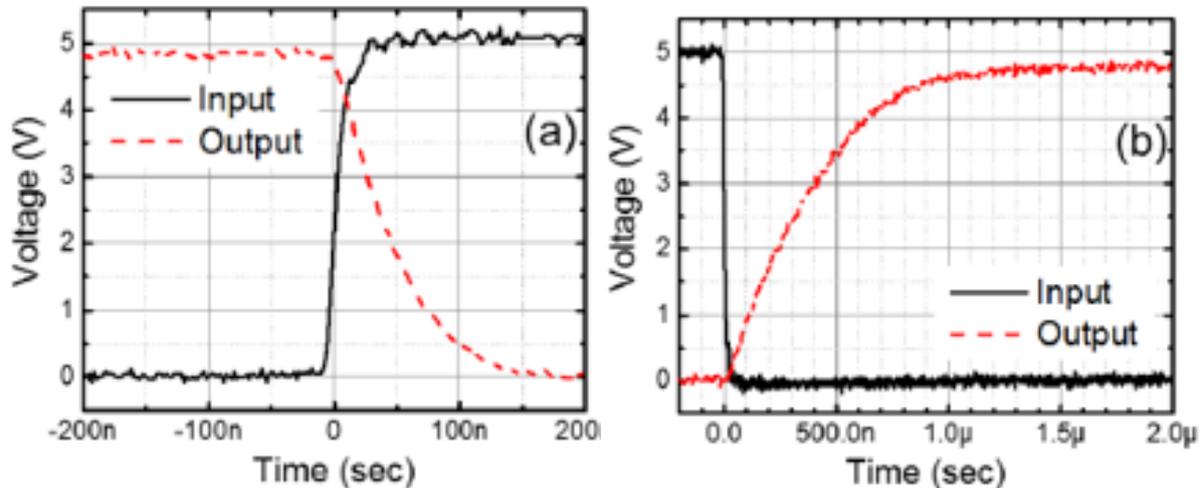


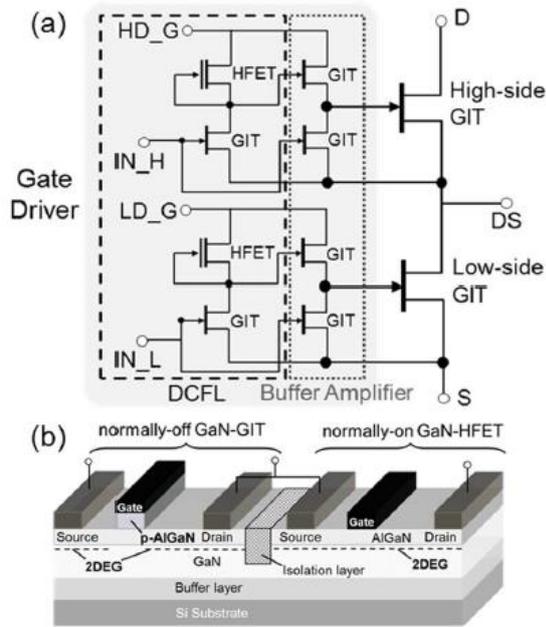
Figure I.21 : Evaluation des temps de transition de la logique inverseuse de l'intégration hybride CMOS/GaN [54]

L'utilisation du silicium pour les briques du driver semble limiter l'utilisation de la structure hybride pour des applications à hautes fréquences ou à hautes températures. Le recours à la technologie GaN pour la partie driver pourrait être une solution pour dépasser ces limites.

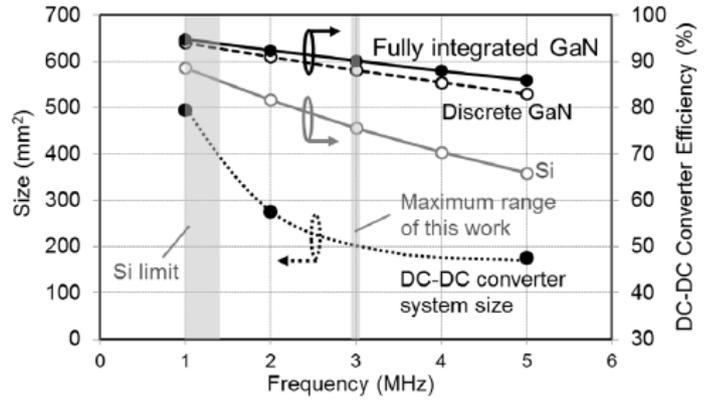
- **L'intégration monolithique uniquement à base GaN :**

Dans le but de dépasser les limites de la technologie hybride, des recherches se multiplient depuis 2007 pour mettre en place des systèmes monolithiques à base de GaN. Cela permet de profiter des propriétés du GaN dans la partie driver ainsi que dans la partie puissance.

Ces recherches ont permis à [56, 57] de mettre en place des systèmes monolithiques à base uniquement de GaN. Le convertisseur DC-DC synchrone tout GaN développé par [56], où chaque transistor a son driver intégré de manière monolithique. Celui-ci a permis non seulement d'augmenter la densité volumique par rapport à un même convertisseur DC du même type à base de Si ou à base de GaN discret mais il a permis d'avoir des rendements largement supérieurs par rapport à ses concurrents. Ce convertisseur a pu fonctionner au-delà des limites des convertisseurs à base de silicium avec une fréquence de commutation de 3 MHz. La réduction des éléments parasites par l'intégration est responsable de ces résultats. La figure I.22 présente la structure du convertisseur monolithique ainsi qu'une comparaison de ces résultats avec un convertisseur GaN discret.



a) Structure d'un convertisseur DC-DC monolithique à base de GaN.

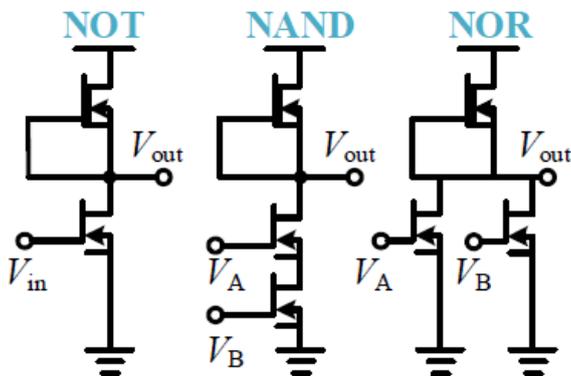


material	Si	GaN
Architecture	Discrete	Fully integrated
Operation frequency (MHz)	1	3
System size (mm ²)	500	200
Efficiency of DC-DC converter (%)	88	90

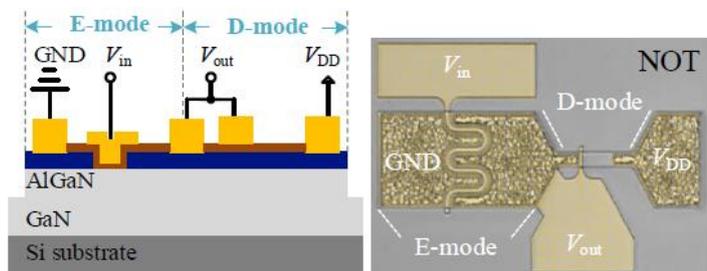
a) Comparaison d'une structure monolithique GaN avec des structures discrètes à base de GaN et Si.

Figure I.22 : Présentation d'une structure monolithique à GaN et comparaison de ces résultats avec une structure discrète à base de GaN et Si [56]

Cependant, Il faut noter que la mise en place d'un circuit de driver à base de GaN n'est pas évidente car contrairement aux transistors « MOS » ou « Bipolaire », il n'existe pas de composants GaN complémentaires. Le recours à la logique DCFL (direct coupled field logic) par la combinaison de D_GaN et de E_GaN a permis de mettre en place des circuits logiques à base de GaN. La figure I.23 présente la structure d'une porte « Not », « Nand » et « Nor » à base de GaN utilisant la logique DCFL. Afin de comprendre le fonctionnement de ces circuits logiques (surtout celui de la porte « Not » qui est l'élément de base qui a permis la mise en place de driver tout en GaN) le circuit monolithique de la figure I.24 développé par [58] peut être utilisé.

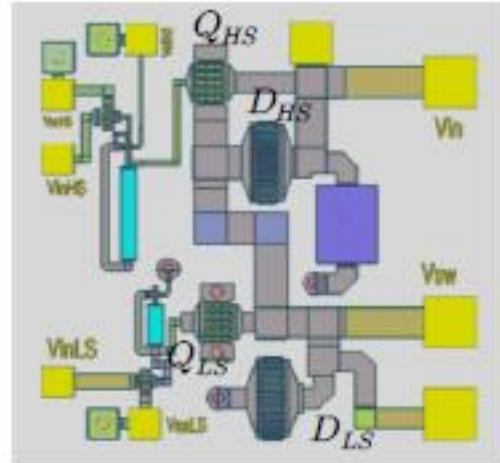
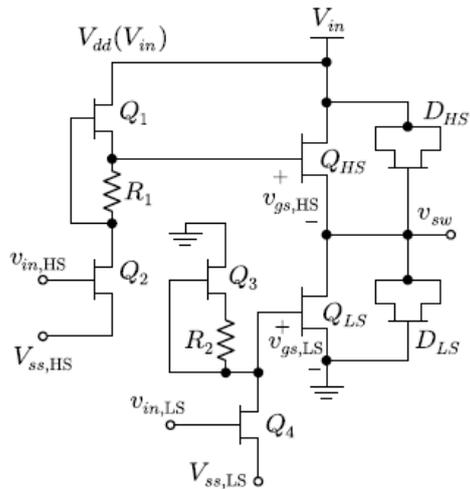


a) Structure d'une porte logique Not, Nand et Nor

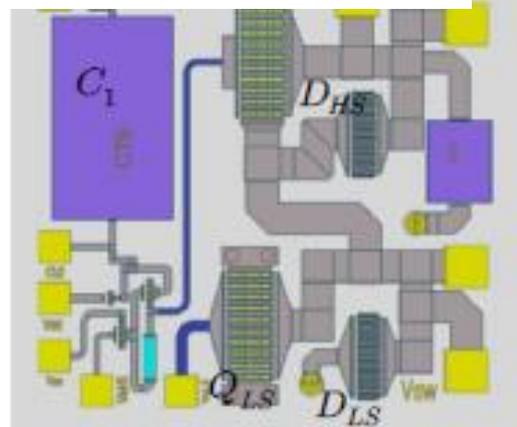
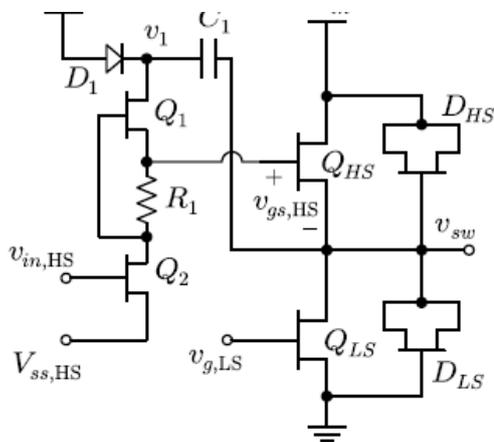


b) Structure de la porte Not avec les différentes couches de semi-conducteur

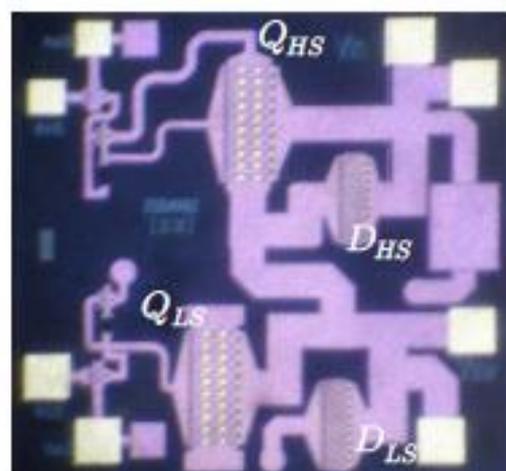
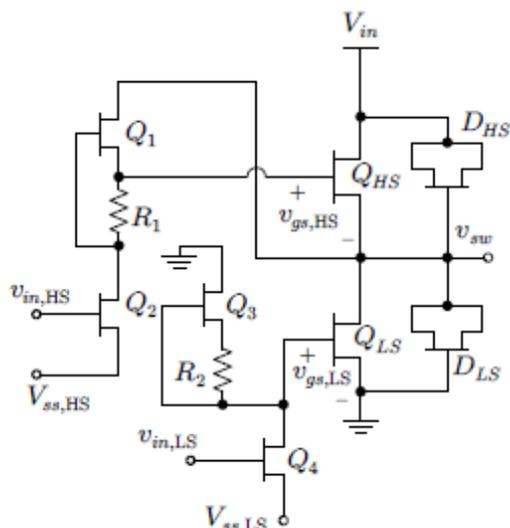
Figure I.23 : Présentation de structure DCFL utilisant la technologie GaN [55]



a) bras onduleur monolithique avec une alimentation push pull pour le transistor « High Side »



b) bras onduleur monolithique avec une alimentation « Bootstrap » pour le transistor « High Side »



c) bras onduleur monolithique avec une alimentation push pull modifié pour le transistor High Side

Figure I.24 : trois structures de bras onduleur monolithique [58]

Dans ces travaux [58] propose trois structures de circuit monolithique possibles dans le cas d'un bras d'onduleur. Pour chaque structure, chaque transistor de puissance est un D_GaN. Ces dernières sont commandées par des drivers GaN intégrés sur la puce du D_GaN. La différence entre ces trois circuits se situe au niveau du type d'alimentation utilisé pour alimenter le driver « High side ». La première structure consiste à alimenter le driver (V_{dd}) par l'alimentation de la partie puissance (V_{dd}) alors que pour la deuxième structure, une alimentation « Bootstrap » (Diode + condensateur) est utilisée.

La deuxième structure est plus avantageuse en termes de perte et de sécurité car contrairement à la première structure, lors de la phase de démarrage du système, les deux transistors (Q_{HS} et Q_{LS}) ne sont pas passants en même temps. La troisième structure (push pull) modifiée consiste à connecter l'alimentation du driver « High Side » au niveau du point milieu des deux transistors de puissance (Q_{HS} et Q_{LS}). Une telle structure permet de réduire fortement la consommation du driver car lorsque le point milieu est connecté à la référence 0V, le driver ne consomme pas d'énergie. Si l'utilisation d'une telle structure pour des convertisseurs monolithiques de moyennes puissances est envisageable, c'est parce que la tension d'alimentation de la partie puissance ne sera pas en dehors des limites de fonctionnement des transistors de la partie commande. Concernant la manière de commander les transistors de puissance (Q_{HS} et Q_{LS}) des trois structures, il n'y a pas de grandes différences. Le driver de la structure « push pull » peut être utilisé pour comprendre le fonctionnement des drivers intégrés qui utilisent la logique DCFL. Pour la structure « push pull », chaque transistor de puissance (Q_{HS} et Q_{LS}) a son étage d'amplification. Le transistor « Low side » (Q_{LS}) utilise un étage d'amplification (Q_3 et Q_4) avec la logique DCFL. Cette logique consiste à utiliser un des transistors comme source de courant (Q_3) de telle sorte que la commande du transistor de puissance (Q_{LS}) dépendra de l'état inverse de commande de l'autre transistor de l'étage d'amplification (Q_4). Pour faire fonctionner le transistor Q_3 comme source de courant, il doit être utilisé dans sa zone de saturation c'est-à-dire avec une tension entre drain et source très large. Pour l'exemple ci-dessous, la source de courant du système logique est associée à une résistance R dont le but est de régler le courant du générateur de courant indépendamment de la tension de seuil ; comme le montrent les équations I.4, I.5, I.6 et I.7.

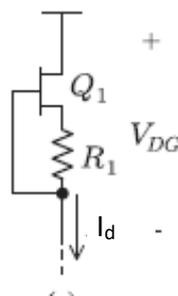


Figure I.25 : source de courant associé d'une résistance [58]

$$V_{GS} = -R_1 \cdot I_d \quad (I.4)$$

Etant donné que Q_1 fonctionne en zone de saturation donc le courant de drain I_d s'exprime de la manière suivante.

$$I_d = K \cdot (V_{gs} - V_{th}) \quad (I.5)$$

K est la transconductance de Q_1 , V_{th} sa tension de seuil et V_{gs} la tension entre grille et source de Q_1 .

$$I_d = K \cdot (-R_1 \cdot I_d - V_{th}) \quad (I.6)$$

La résolution de l'équation I.6, donne l'expression générale et finale suivante :

$$I_d = \frac{-KV_{th}}{(1+K.R_1)} \quad (I.7)$$

Avec cette source de courant, un seul transistor de l'étage « push pull » est commandé. Pour qu'un tel système fonctionne correctement, un dimensionnement judicieux doit être effectué.

En faisant fonctionner un des transistors de l'étage push pull en zone de saturation, ce système subit de fortes pertes par conduction au niveau du driver. Ceci peut ne pas être tolérable pour des applications dont le rendement est primordial. Un autre inconvénient d'un tel système est son ralentissement, en cas de présence d'un condensateur parasite. Ces systèmes logiques sont aussi très sensibles au bruit.

La technique de la logique DCFL a aussi été utilisée pour mettre en place des circuits monolithiques pour la moyenne puissance. L'intégration du driver GaN sur la puce de la puissance a permis d'augmenter le rendement par rapport au convertisseur à base de composants GaN discrets. Des vitesses de commutation allant de 91 V/ns à 177 V/ns ont permis d'obtenir de tels rendements [59]. Comme le présente la figure I.26 ; de telles vitesses de commutation ont permis d'obtenir des temps de réponses qui sont inférieurs à 6 ns ($V_{ds} = 97$ V).

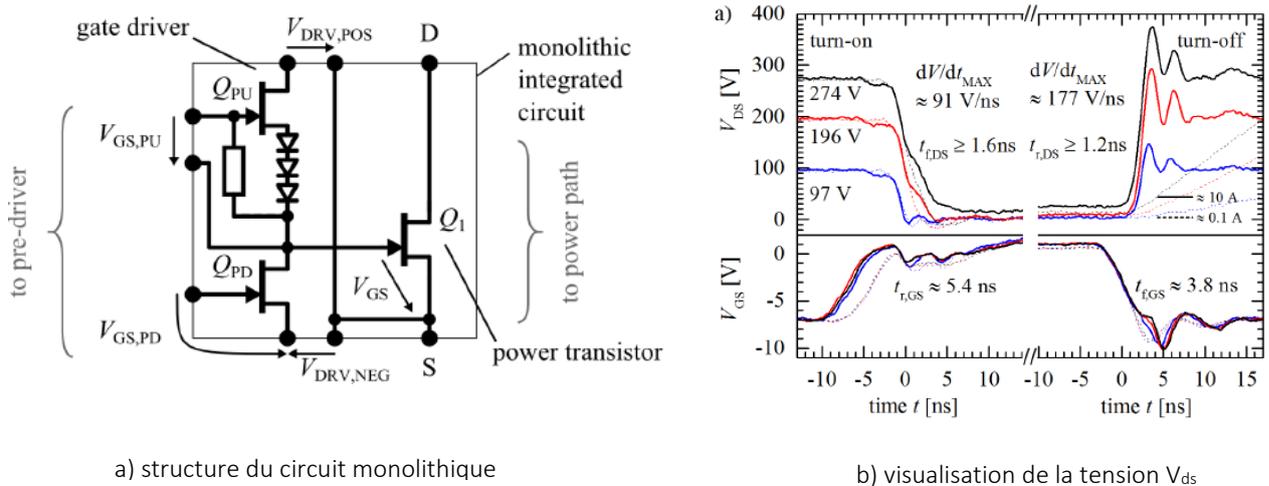


Figure I.26 : structure monolithique à base de GaN pour un convertisseur moyenne tension [59]

Tous les circuits présentés jusque-là ont été développés dans le domaine académique. Depuis 2 ans des entreprises comme Texas instrument et Navitas ont commencé à mettre des circuits

monolithiques GaN (une start-up grenobloise a également vu le jour – Wise Integration- en marge de développement de transistors de puissance au CEA/LETI [60]). Cependant la mise en place de chargeur à base de circuits GaN monolithique permet à Navitas de se démarquer par rapport aux autres. La figure I.27 présente un chargeur de batterie pour ordinateur développé par Navitas : il est possible de voir que le chargeur proposé avec des circuits monolithiques permet d'améliorer la densité de puissance pour la même puissance.

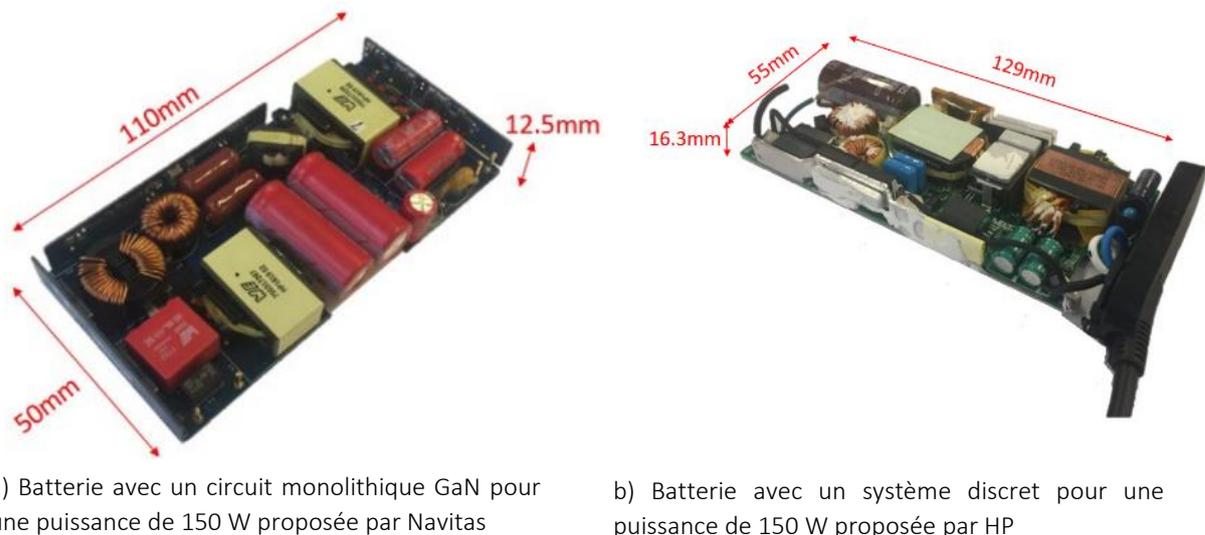


Figure I.27 : Comparaison de deux chargeurs d'ordinateur [61]

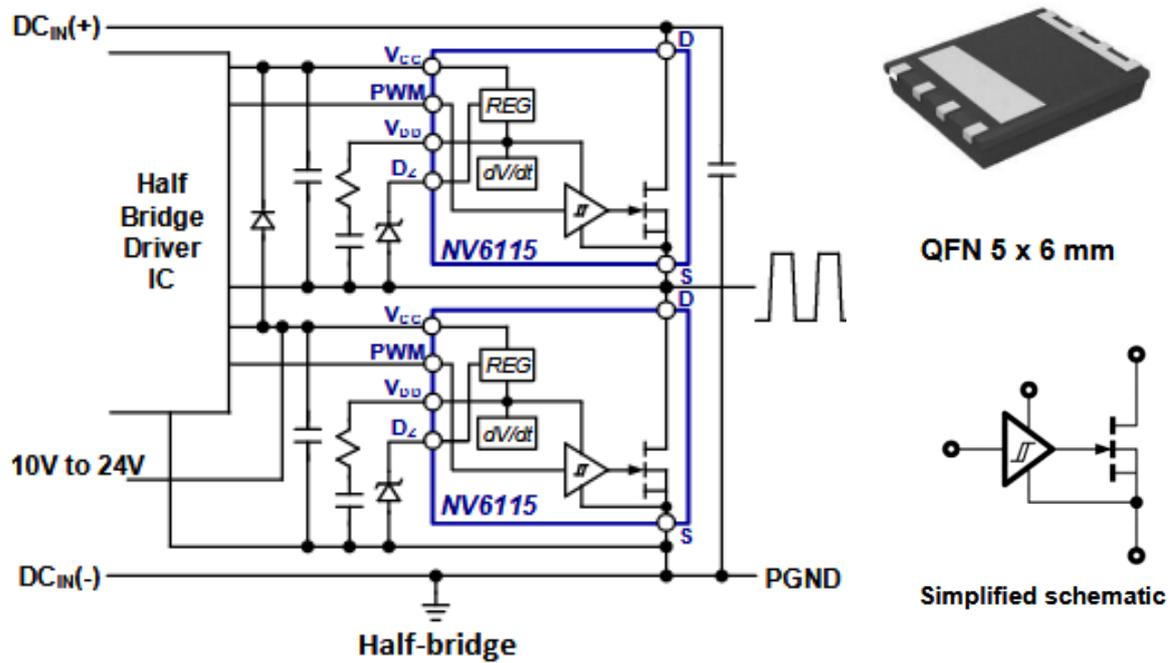
Le tableau I.4 résume une comparaison entre les différents paramètres de ces deux types de chargeurs.

	L x W x H (mm) (sans boîtier)	Dimension (cc) (uncased)	Densité de puissance (W/in ³) (sans boîtier)	Rendement (%)
Batterie Navitas	110 x 50 x 12.5	68.8	18.1	92.3
Batterie HP	129 x 55 x 16.3	115.65 (+40.6%)	11.9 (-34.3%)	92.7

Tableau I.4 : Comparaison des deux types de batteries [61]

Cependant, il faut noter que la technologie utilisée par Navitas pour mettre en place ces circuits n'est pas expliquée dans leur document.

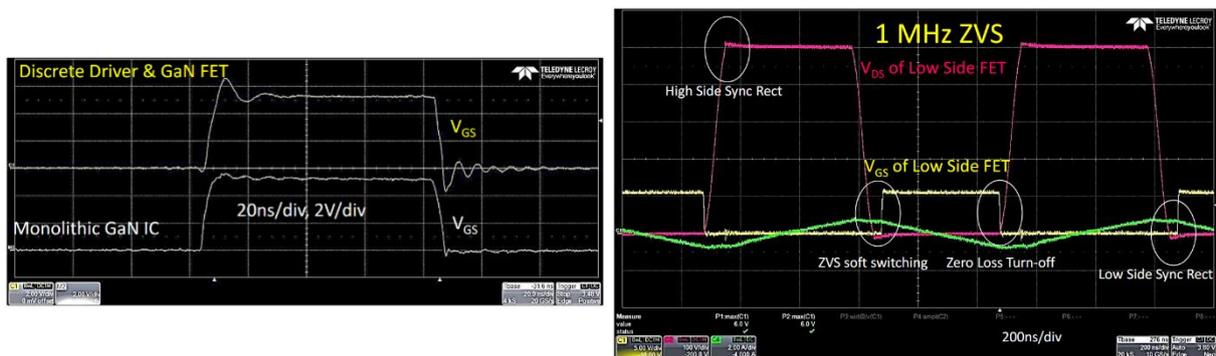
Pour mieux comprendre l'avantage de ces circuits intégrés, une analyse des résultats de la figure I.29 peut être effectuée. Ces résultats peuvent être obtenus à partir du convertisseur de la figure I.28 qui utilise le **NV6115 (650 V/ 8A)** composant GaN intégré de Navitas.



a) Structure du bras d'onduleur

b) Puces du NV6115

Figure I.28 : Comparaison de deux chargeurs d'ordinateur [61, 62]



a) Comparaison de la V_{gs} entre un GaN monolithique et un GaN discret

a) V_{ds} d'un HEMT GaN monolithique

Figure I.29 : évaluation d'une commutation d'un GaN monolithique [63]

L'élimination par l'intégration de l'inductance parasite commune entre la partie commande et la partie puissance a permis de supprimer les surtensions et sous-tensions de la tension V_{gs} . Ce qui n'est pas le cas d'un HEMT GaN commandé par un driver discret. L'absence de surtensions et de sous-tensions sur V_{gs} due à l'élimination des inductances parasites permet de réduire les pertes durant la phase de blocage du HEMT.

Les limites de ces solutions :

Dans la partie précédente, les solutions proposées dans la littérature ont été présentées pour régler les effets néfastes des inductances parasites dans un convertisseur GaN. L'intégration monolithique uniquement à base de GaN se présente comme la solution la plus intéressante.

En revanche, l'utilisation de logique DCFL leur empêche d'atteindre certains rendements. L'utilisation de logique de type SCL (source coupled logic) pourrait encore améliorer la rapidité de fonctionnement des circuits intégrés. La logique SCL pourra également permettre de réduire la sensibilité aux condensateurs parasites et aux bruits.

B) Fortes vitesses de commutation : conséquences, solutions proposées dans la littérature et leurs limites

Comme démontré dans les deux précédentes parties, la commutation du GaN dans les conditions optimales produit de forts fronts de tension et de forts fronts de courant. Ces forts fronts peuvent créer plusieurs problèmes :

- ✓ L'apparition et l'augmentation du courant de mode commun qui est très nuisible pour le driver.
- ✓ Une remise en conduction non désirée des transistors du bras d'onduleur. Ce phénomène est appelé « Cross Talk ».
- ✓ La production de surcourants dus aux $\frac{dv}{dt}$ appliqués à la capacité de sortie (C_{oss}).
- ✓ La production de surtensions dues à la présence des inductances de parasites.

➤ Courant de mode commun : origine, conséquences, solutions, et limite de ces solutions

Comme l'illustrent la figure I.30 et l'équation I.8 ; lors d'une variation de tension ($\frac{dv}{dt}$) issue de la commutation des transistors GaN, la présence de capacités parasites (C_{ps}) (dues à l'isolation galvanique et à l'alimentation isolée du driver) sont à l'origine d'un courant de mode commun ($I_{Noisy current}$) .

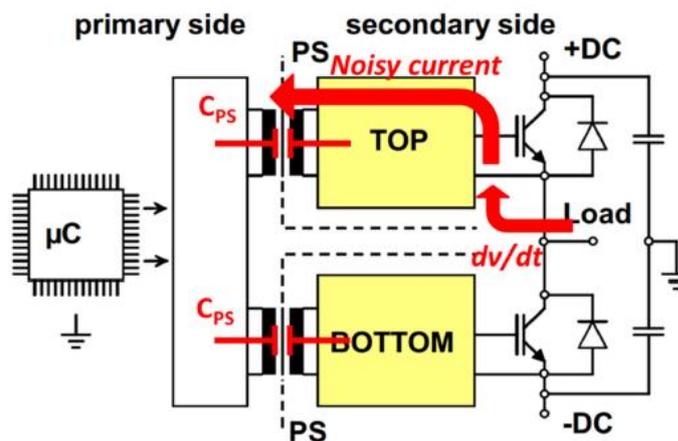


Figure I.30 : structure conventionnelle d'un driver pour bras d'onduleur [64]

$$I_{Noisy current} = C_{ps} \cdot \frac{dv}{dt} \quad (I.8)$$

La commutation des transistors GaN peut générer des $\frac{dv}{dt}$ qui peuvent aller de **10 V/ns à 150 V/ns** [64]. Ainsi, selon l'équation I.8, pour une capacité parasite $C_{ps} = 50 \text{ pF}$ et un $\frac{dv}{dt}$ de **80 V/ns**,

le courant de mode commun est de 4A. Ce courant généré va aller dans la partie driver en passant par l'alimentation isolée du driver du transistor haut du bras d'onduleur. Ce courant va entraîner des effets perturbateurs.

Pour limiter ce courant de mode commun, trois actions sont possibles :

- Réduire la capacité parasite de l'isolation galvanique et des alimentations. Cette action se fait lors de la phase de fabrication. [65, 66, 67, 68] proposent des méthodes de fabrication pour réduire la capacité parasite, ce qui ne sera pas traité dans cette thèse.
- Modifier le chemin du courant de mode commun de telle sorte qu'il n'impacte pas les éléments du driver. Une mise en cascade des alimentations isolées du driver du transistor bas avec l'alimentation isolée du transistor haut peut minimiser l'effet de ce courant [68]. On peut également placer la partie commande en basse impédance durant la commutation dv/dt .
- Réduire les fronts de tension et de courant. Plusieurs techniques existent pour réduire les fronts. La figure I.31 présente un classement sommaire de ces différentes techniques.

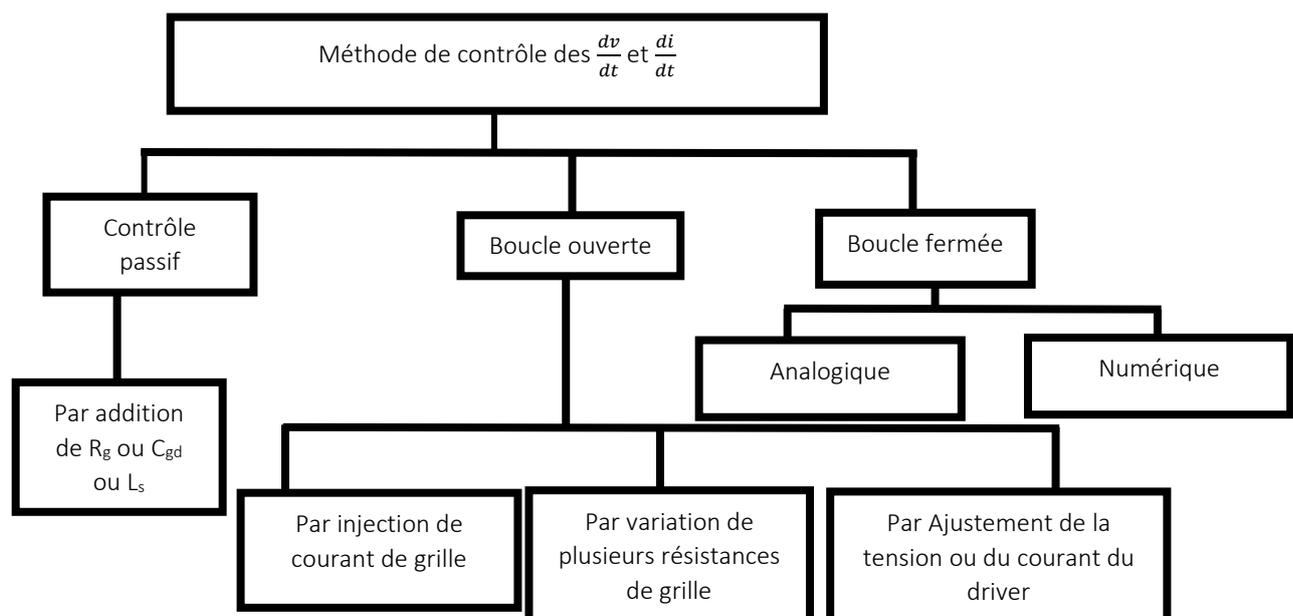


Figure I.31 : Classification des différents types de driver pour le contrôle des vitesses de commutation.

➤ Contrôle passif pour le contrôle des vitesses de commutation :

Ce principe consiste à ajuster la résistance de grille et/ou à ajuster les capacités parasites du transistor (capacité de Miller ou la capacité entre la grille et la source) par la mise en parallèle de capacité externe comme le présente la figure I.32. Les éléments en vert sont ceux qui sont ajustés pour modifier la vitesse de commutation. Ces éléments peuvent être ajustés de manière simultanée ou séparée.

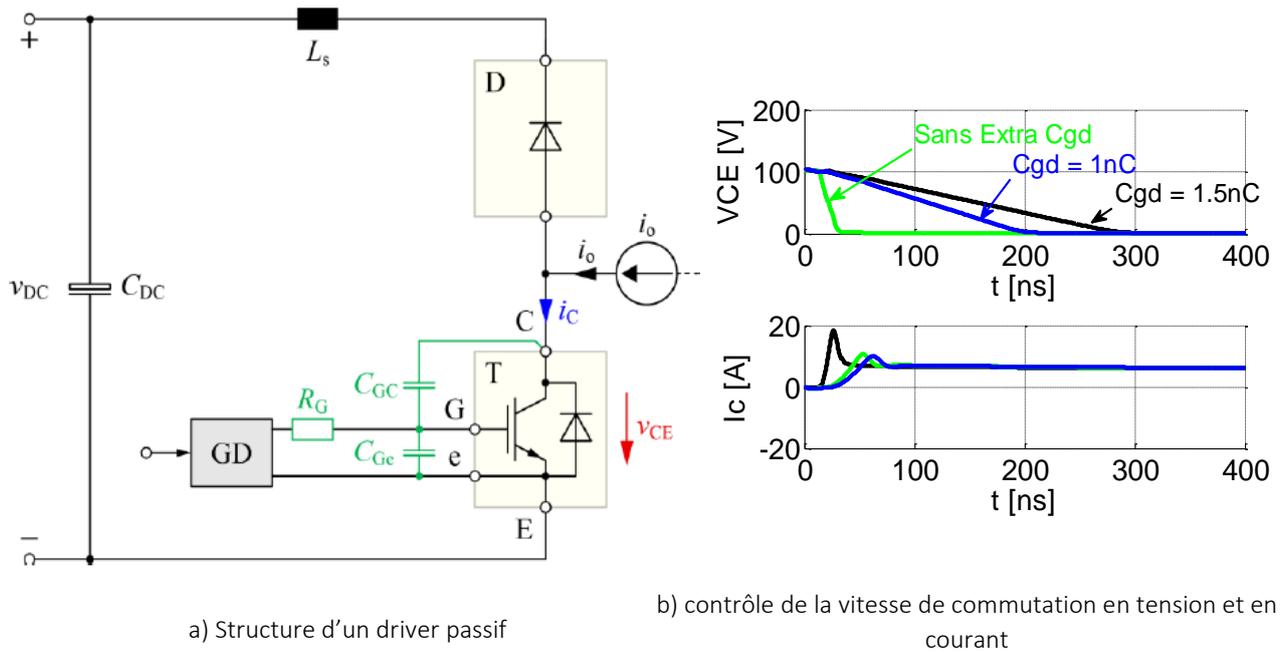
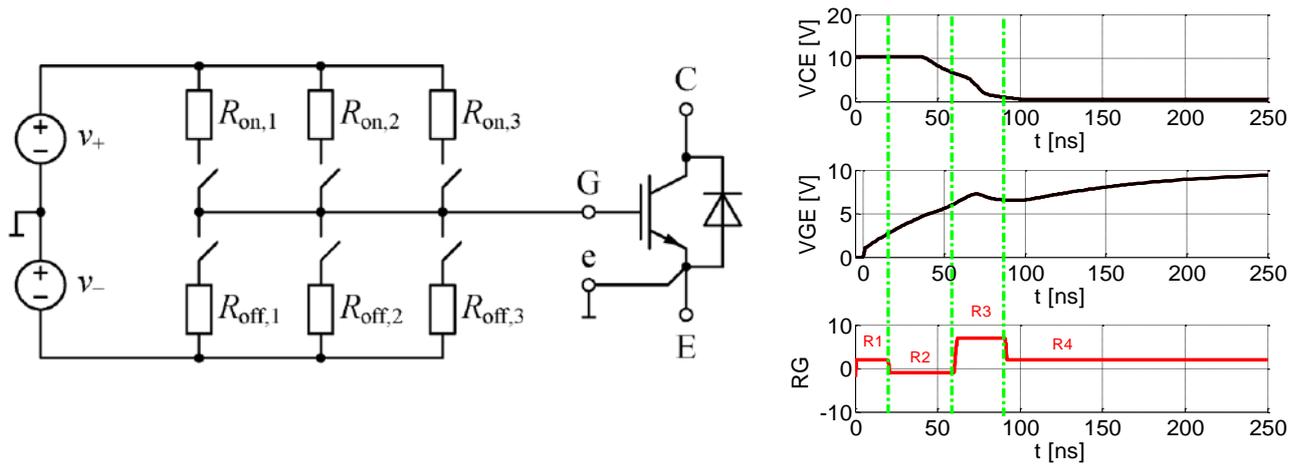


Figure I.32 : driver passif pour le contrôle des vitesses de commutation [69].

Cette technique est peu coûteuse et simple à mettre en place. Cependant elle présente quelques inconvénients comme la non-compensation des variations des paramètres du circuit (courant ou tension) et la production de fortes pertes au niveau du transistor et du driver.

Contrôle des vitesses de commutation en boucle ouverte

Ce type de contrôle peut être du type passif ou actif. Le passif consiste à diviser la commutation en plusieurs séquences et à introduire un élément passif pour chaque séquence de commutation. L'utilisation d'éléments passifs différents pour chaque phase de la commutation permet d'avoir un meilleur contrôle des vitesses de commutation en tension et en courant comparée à la technique présentée précédemment (contrôle passif standard). C'est ce qui permet au contrôle passif en boucle ouverte d'avoir un meilleur équilibre entre les perturbations électromagnétiques et les pertes de commutations. La première limite de cette méthode est l'application exacte de chaque élément passif à la séquence voulue. Cette limite provient de la non-linéarité des paramètres des transistors de puissance (C_{gs} , C_{gd} , V_{th} etc). La figure I.33 présente un exemple de contrôle passif utilisant plusieurs résistances pour contrôler un IGBT.



a) Structure d'un driver passif en boucle fermée [69]

b) variation de la résistance de grille suivant les différentes séquences de la commutation

Figure I.33 : driver passif en boucle ouverte pour le contrôle des vitesses de commutation

Le type actif consiste à utiliser un circuit à base d'éléments actifs (par exemple des transistors et ou des diodes) pour imposer le courant fourni au transistor pendant une partie ou durant toute la commutation. Dans certain cas, au lieu d'imposer le courant, c'est la tension qui est imposée. La figure I.34 présente un driver actif proposée par [70, 71]. Ce driver permet d'appliquer un courant constant durant toute la phase de commutation d'un IGBT. C'est la source de courant formée par la diode zener, le transistor bipolaire NPN et les deux résistances qui permettent d'imposer un courant constant. Deux sources de courant sont utilisées afin de pouvoir contrôler de manière indépendante l'amorçage et le blocage. Le courant de chaque source peut être calculé par l'équation I.9.

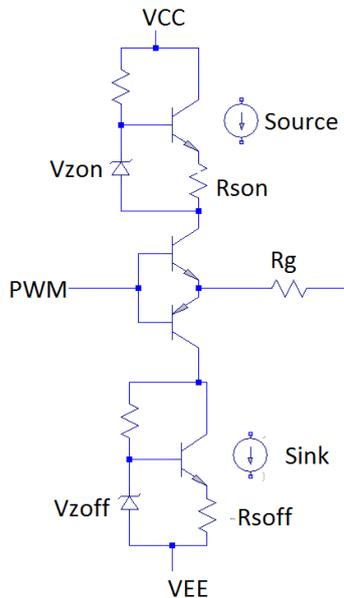
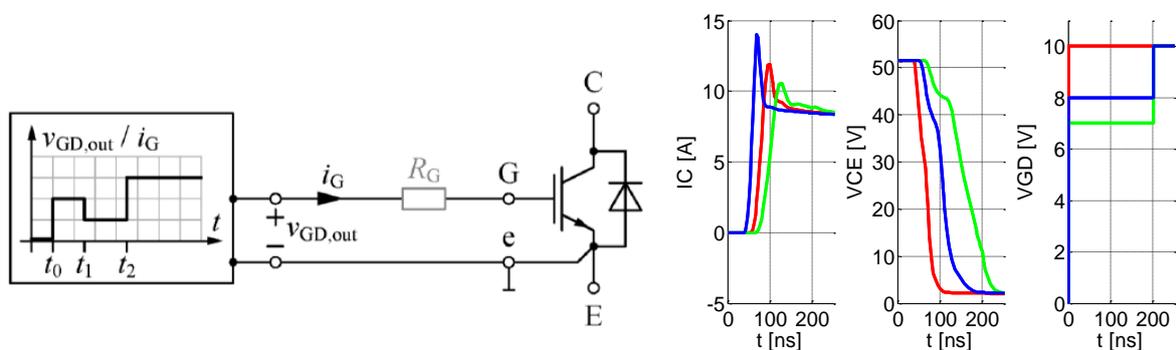


Figure I.34 : Structure d'un driver actif en boucle ouverte par injection d'un courant de grille constant [70]

$$I_g = \frac{V_z - V_{BE}}{R_s} \quad (I.9)$$

Avec I_g : le courant de grille, V_z : la tension de la diode Zener et V_{BE} : la tension entre l'émetteur et la base du transistor bipolaire.

Ce type de contrôle est bien adapté pour les transistors de puissance de type bipolaire qui sont commandés en courant. Par contre pour les transistors de type MOSFET ou HEMT qui sont contrôlés en tension, l'utilisation de tel driver reste à étudier. Le driver proposé à la figure I.35 est un driver qui est adapté pour la plupart des transistors voire même pour tous les transistors à base de silicium [69]. Ce driver consiste à appliquer une tension de commande autour de la tension de seuil du transistor afin de ralentir le courant lors de la mise ON ou la tension lors de l'amorçage d'un IGBT. Cette technique est connue sous le nom de contrôle actif autour de la tension de seuil (ou CATS). La figure I.35 présente la structure de ce driver. Ce type de driver sera plus détaillé dans le chapitre 3 pour les cas des GaN.



a) Structure d'une commande CATS [69]

b) Mise en ON d'un transistor MOSFET utilisant la commande CATS. Relevés effectués pour $V = 300V$, $I = 6A$, et différentes valeurs de V_{INT} ($V_{INT} = 6 ; 7,2$ et $7,8V$) [72]

Figure I.35 : Structure d'un driver actif en boucle ouverte par application de plusieurs paliers de tension de grille.

La figure I.35b montre que l'application d'une tension intermédiaire autour de la tension seuil de l'IGBT pendant la phase de transition du courant a permis de ralentir la vitesse de commutation en courant. Cette tension intermédiaire est appliquée pendant une durée de 700 ns. Cependant une question apparaît : « vue la rapidité de la commutation du GaN, est-il possible d'envisager l'utilisation de la commande CATS ? » Concernant l'intégration monolithique à base de GaN, la commande CATS se présente comme une bonne candidate car elle facile à mettre en place ».

Une commande active permet d'avoir un meilleur équilibre entre les pertes en commutation et les perturbations électromagnétiques. Cela s'explique par le fait qu'une commande active ne ralentit qu'un paramètre à la fois (courant ou tension) alors qu'une commande passive a un effet de ralentissement sur les deux paramètres à la fois (courant et tension). De plus, cette technique est peu coûteuse. Malgré ces avantages cités, cette commande CATS en boucle ouverte ne permet pas pour autant de compenser les non-linéarités du composant et du circuit.

Contrôle des vitesses de commutation en boucle fermée :

Contrairement aux autres, cette technique permet de compenser les non-linéarités. Cet avantage implique un coût plus important. Parmi tous les types de contrôle en boucle fermée, la commande active reste la moins coûteuse. Parfois elle peut être la plus simple à mettre en place.

Commande active en boucle fermée ou commande analogique.

Ce type de contrôle utilise des composants actifs avec un système de rétroaction qui permet aux circuits de contrôler et de régler le courant ou la tension imposée au transistor en fonction du point de fonctionnement du transistor (courant, tension, température et paramètres intrinsèques). L'élément de rétroaction peut être un composant actif ou passif. Afin de contrôler la vitesse de commutation en courant, [73] propose un circuit actif qui dévie une partie du courant venant du driver, ce qui va diminuer le courant qui alimente la grille de l'IGBT. C'est cela qui sera à l'origine du ralentissement de la vitesse de commutation de courant du drain. Pour pouvoir polariser ce circuit actif, l'inductance parasite source L_s (commune entre la partie commande et la partie puissance) est utilisée. Ainsi cette inductance va permettre de déterminer la quantité de courant à dévier selon le point de fonctionnement du transistor. Une inductance d'une valeur de 50 nH est utilisée pour pouvoir polariser ce système actif. Cependant, il faut noter que l'utilisation d'une telle inductance n'est pas acceptable dans le cas d'un transistor GaN.

Pour contrôler les vitesses de commutation en tension (amorçage et blocage), [73,99, 100] utilise des circuits similaires. Dans ce cas pour avoir la rétroaction, un condensateur est mis en parallèle avec le condensateur intrinsèque entre la grille et l'émetteur de l'IGBT. La figure I.36 présente la structure de ces différents circuits proposés par [73].

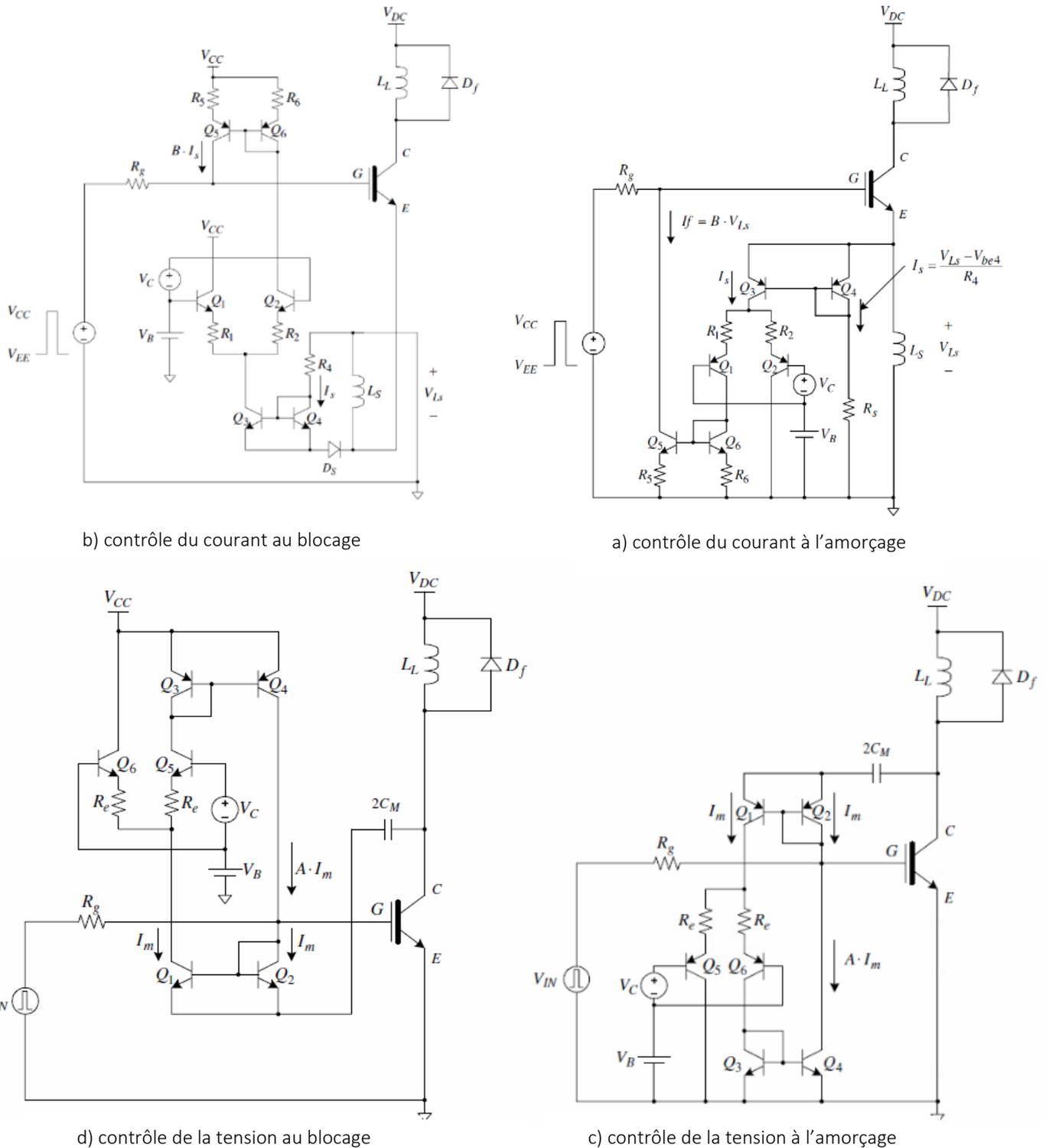


Figure 1.36 : Structure de circuits actifs en boucle fermée [73].

[74] propose des circuits du même type pour pouvoir contrôler le front de tension d'un HEMT. Le condensateur de rétroaction utilisée dans le cas du HEMT est 10 fois plus important que le C_{gd} du HEMT. Alors que dans le cas d'un IGBT ce condensateur est 2 fois plus important que le condensateur entre la grille et l'émetteur. Ainsi avec ces circuits, il est possible d'atteindre un $\frac{dv}{dt}$ de 8.7 V/ns lors de la phase d'amorçage. Lors de la phase de blocage, il est possible

d'atteindre un $\frac{dv}{dt}$ de 16.9 V/ns. Pour atteindre de telle vitesse de commutation dans le cas d'un contrôle passif il faut une résistance de 24 Ω avec des pertes qui sont 3 fois plus importantes. Cette résistance de grille est en dehors des valeurs recommandées dans le cas d'un GaN. Même si ce circuit a permis d'obtenir de meilleur compris entre les pertes et le rapport de réduction du $\frac{dv}{dt}$, il faut cependant préciser qu'une telle valeur de condensateur conduit à une dégradation des propriétés du GaN qui se traduit par des pertes supplémentaires. Avec la perturbation du transistor du haut dans le cas d'un bras d'onduleur, ce condensateur peut conduire à une remise en conduction non désirée du transistor du bas. L'autre effet négatif que présentent ces circuits dans le cas d'un GaN est lié à une légère augmentation des inductances parasites. Vu la rapidité de commutation des transistors HEMT GaN, pour pouvoir assurer le ralentissement, ce circuit actif à base de transistor bipolaire doit avoir une fréquence de transition assez élevée ($F_T > 200 \text{ MHz}$) [74].

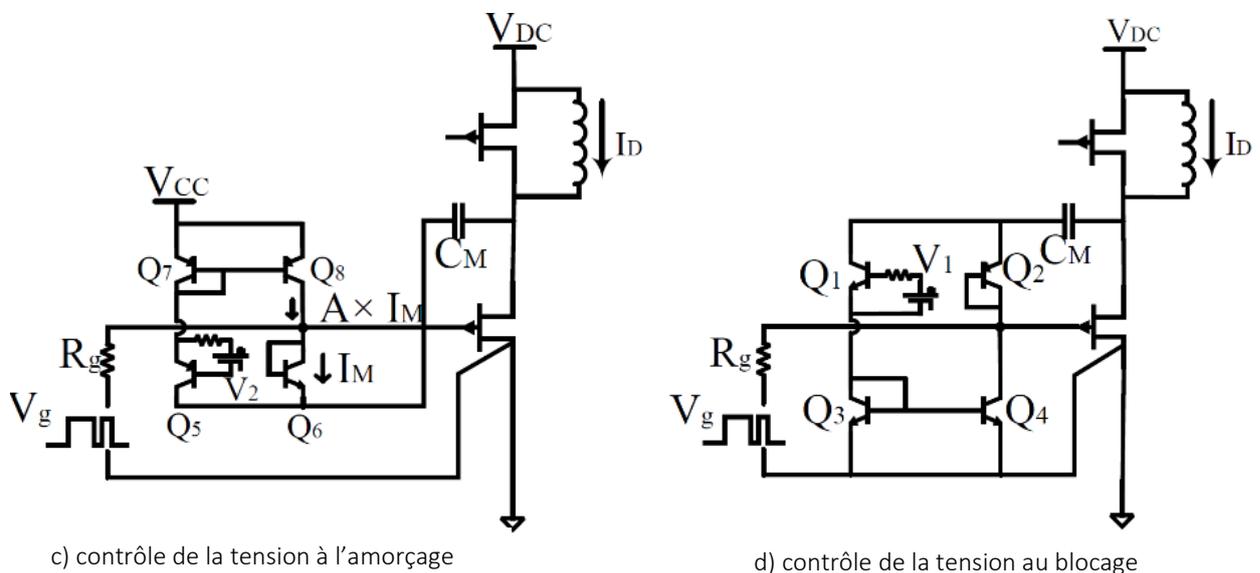
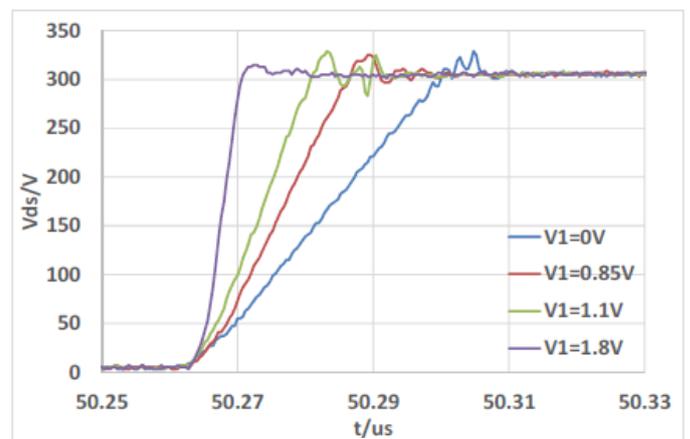
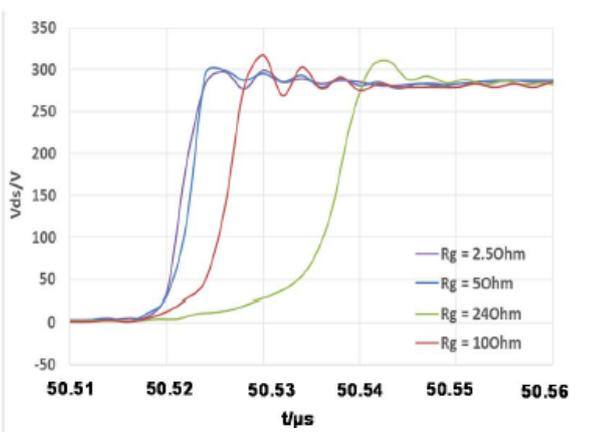
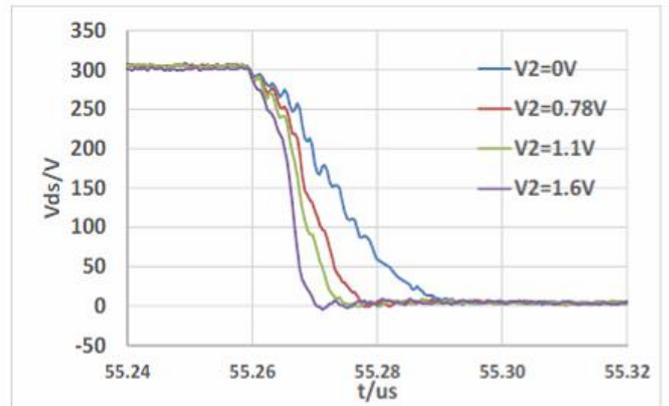
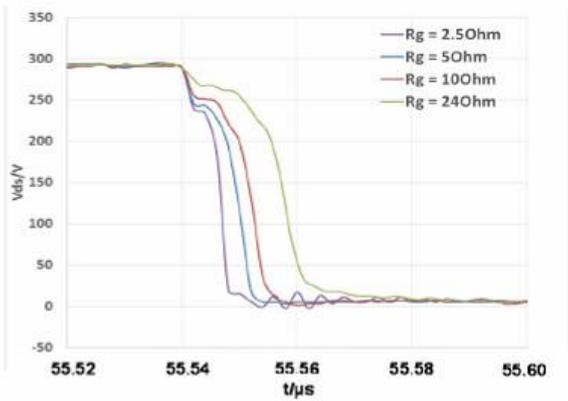


Figure 1.37 : Structure de circuits actifs en boucle fermée dans le cas d'un HEMT GaN[74]

Afin d'éliminer les effets négatifs à ce circuit de contrôle, [75] propose un circuit actif intégré du même type pour contrôler la vitesse de commutation en tension. L'intégration de ce circuit actif a permis d'obtenir un meilleur compromis entre la réduction de la vitesse de commutation et les pertes de commutation. La figure 1.37 présente la structure de ce driver et la figure 1.38 les différents résultats qui sont issues de ce driver. Ce driver a permis de réduire le $\frac{dv}{dt}$ avec un facteur de réduction de 8 avec des temps de montée inférieurs à 1 ns alors que dans le cas du driver proposé par [74], ce facteur de réduction est légèrement inférieur à 4 avec des temps de montée 10 fois plus importants. L'utilisation de la technologie MOS dans le cas [75] peut être à l'origine de ces différences. Un autre élément qui peut expliquer cette différence est l'utilisation de deux transistors GaN ayant des calibres différents. Dans le cas [74] un transistor GS66508P (650 V/ 30 A) de GaN System est utilisé alors dans [75] c'est le transistor EPC2001 (100 V/36 A) d'EPC qui est utilisé.



a) Contrôle passif amorçage / blocage

b) Contrôle actif amorçage / blocage

Figure I.38 : comparaison d'un contrôle passif et d'un contrôle actif en boucle fermée dans le cas d'un HEMT GaN [74]

	$\frac{dv}{dt}$ [V/ns]	$V_{ds} \cdot I_{ds}$ [μ J]
Control actif ($V_2 = 0$ V, $R_g = 0$ Ω)	8.78	133.2
Control passif ($R_g = 24$ Ω)	12.54	154.6

	$\frac{dv}{dt}$ [V/ns]	$V_{ds} \cdot I_{ds}$ [μ J]
Control actif ($V_2 = 1.1$ V, $R_g = 0$ Ω)	16.95	3.7
Control passif ($R_g = 24$ Ω)	14.95	16.8

Tableau I.5 : comparaison des performances des deux types de driver [74]

Le condensateur de rétroaction (figure I.37 et figure I.39) pourrait perturber la commande du transistor bas d'un bras d'onduleur par un phénomène appelé Cross Talk.

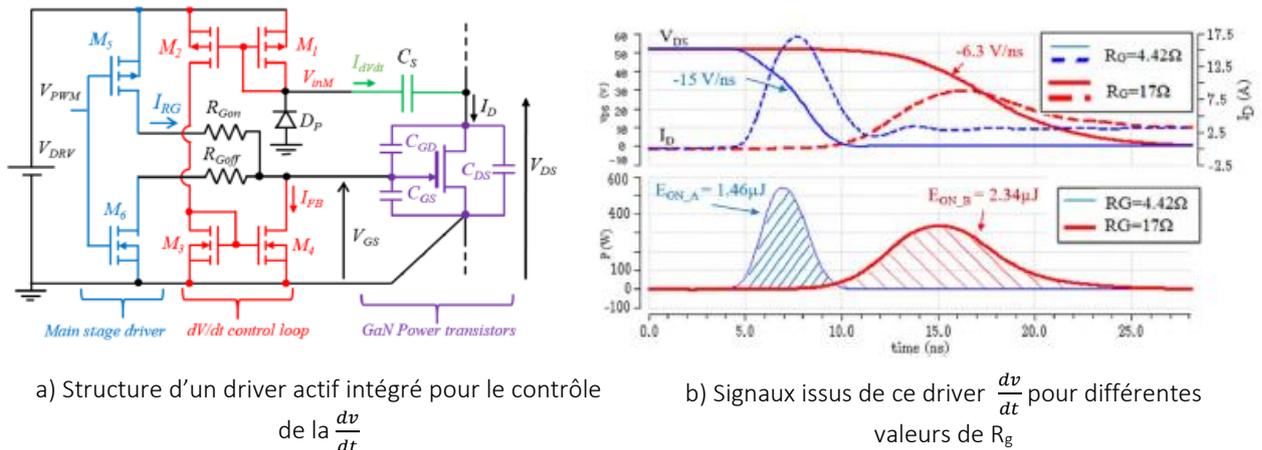


Figure 1.39 : comparaison des performances des deux types de driver [75]

Malgré les avantages qu'offre ce type de contrôle, il présente quelques inconvénients surtout dans le cas d'un transistor GaN. Parmi ces inconvénients, il y a une augmentation des pertes causées par l'utilisation d'un système de rétroaction et la difficulté à générer par cette rétroaction une bande passante adéquate. A cela s'ajoute une capacité intégrable en métal-métal de faible valeur (pF) et une tenue en tension suffisante (1kV) donc l'impossibilité de l'intégrer dans des convertisseurs monolithiques uniquement à base de GaN.

Commande numérique en boucle fermée

Ce type de contrôle est assuré par des unités de contrôle numériques (exemple FPGA). Des convertisseurs numériques analogiques et des convertisseurs analogiques numériques assurent l'interface entre le système et le transistor à contrôler comme le présente la figure 1.40.

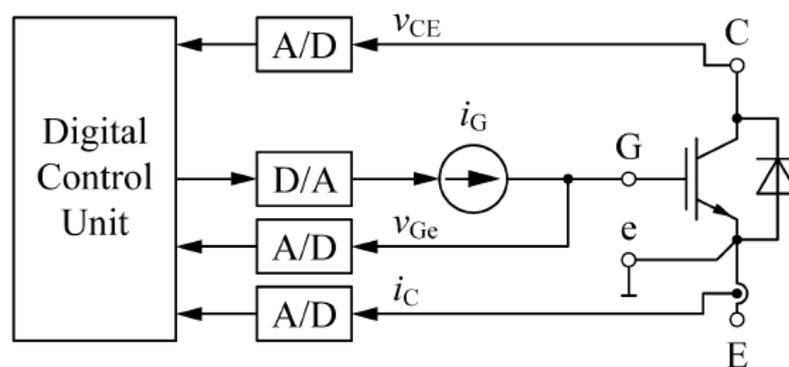


Figure 1.40 : Structure de circuits actifs en boucle fermée dans le cas d'un HEMT GaN utilisant la technologie NMOS [69].

Due à l'utilisation d'unité numérique, ce système offre une meilleure flexibilité de la forme du signal de contrôle. Cette commande comme toutes les autres commandes en boucle fermée permet d'assurer une compensation des non-linéarités du composant et du circuit. Cependant l'utilisation de convertisseur numérique analogique et de convertisseur analogique numérique les empêche d'assurer un contrôle en temps réel pour des temps de transition inférieurs à 2 μ s [69]. L'utilisation de ce type de contrôle n'est pas envisageable pour les

transistors GaN qui peuvent avoir des temps de transition inférieurs à 1 ns. Ce type de contrôle est très coûteux à mettre en place.

Les différentes études menées sur les systèmes de contrôle ont permis d'établir le tableau I.6.

Travaux réalisés pour les transistors GaN	Contrôle de la tension	Contrôle du courant	Limites
driver Actif à base de transistor bipolaire	OUI	Non	<ul style="list-style-type: none"> • Dépend fortement de la technologie des transistors bipolaire. • Intégration monolithique pas possible. • Légère augmentation des éléments parasites par le circuit actif • Complexe
driver Actif hybride CMOS/GaN	Oui	Non	

Tableau I.6 : synthèses de la bibliographie des systèmes de contrôle des $\frac{dv}{dt}$ et des $\frac{di}{dt}$ mise en place dans le cas des HEMT GaN.

Ce tableau montre que des améliorations sont à apporter dans le domaine des contrôles de vitesses de commutation des transistors GaN. La commande CATS se présente comme la candidate adéquate pour répondre à ce besoin. Cependant certaines questions se posent comme celles ci-dessous :

- Vu les temps de transition des GaN, la commande CATS sera-t-elle en mesure de ralentir les $\frac{dv}{dt}$ et les $\frac{di}{dt}$?
- Quelles sont les limites de cette commande pour les HEMT ?
- Une commande CATS en boucle fermée est-elle possible ?

« Cross Talk » : Origine, Conséquences, Solutions, et la limite de ces solutions

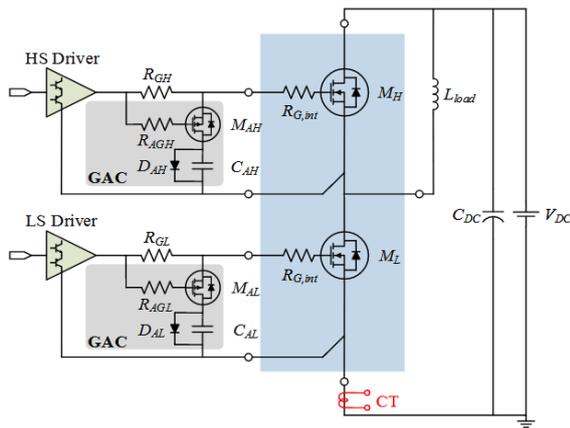
Dans le cas d'un bras d'onduleur, un fort $\frac{dv}{dt}$ (dû à la commutation d'un des transistors) crée un déplacement de charges via la capacité C_{gd} de l'autre transistor. Ce déplacement de charges crée des pics de tension positifs ou négatifs selon le signe du $\frac{dv}{dt}$. Ces pics peuvent entraîner une remise en conduction non désirée si le pic est positif, ou une destruction du transistor si le pic est négatif et s'il est en dehors de la plage de fonctionnement du transistor. Cette interaction des deux transistors est appelée « Cross Talk » [68]. La figure I.41 illustre ce phénomène.

Cette remise en conduction non désirée (surtout du transistor du bas) due au phénomène de « Cross Talk » conduit à des pertes non négligeables surtout dans le cas des transistors à grand gap. Pour pouvoir exploiter les avantages qu'offrent ces composants à grand gap, la mise en place de techniques permettant d'éliminer ce phénomène est nécessaire. Dans la littérature 3 techniques sont proposées pour minimiser le phénomène de « Cross Talk » [77, 78].

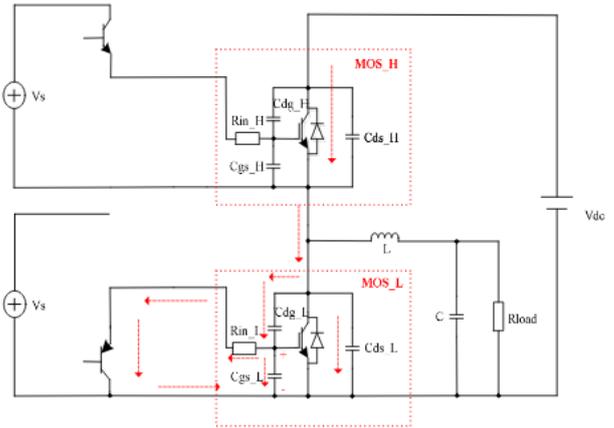
La première technique consiste à utiliser une des techniques de contrôle présentée précédemment qui consiste à réduire le fort $\frac{dv}{dt}$. A cause des pertes générées par cette méthode, cette technique n'est pas recommandée car elle ne permet pas de tirer profit des caractéristiques physiques des HEMT.

La seconde méthode consiste à mettre en place un circuit qui permet de faire varier le paramètre électrique de la boucle grille-source du transistor grand gap. Les premiers circuits développés avec cette méthode consistaient à ajouter un condensateur en parallèle avec la source et la grille du transistor. Ce système très simple permet uniquement de supprimer le « Cross Talk » qui a un effet de court-circuit sur le fonctionnement du bras d'onduleur. De plus, il augmente légèrement les pertes du driver. Pour éviter ces deux effets négatifs, le condensateur peut être couplé à un circuit à base de transistors de type bipolaire ou de type de MOSFET [77, 78, 79, 80]. La figure I.42 présente quelques exemples de ces circuits. L'utilisation de ces circuits à base de composant actif permet non seulement de réduire les pertes dues à l'utilisation du condensateur en connectant ce dernier uniquement pendant le blocage du transistor. Ces circuits actifs permettent de supprimer aussi le « Cross Talk » négatif sur la tension de grille. Les transistors du circuit actif peuvent être contrôlés par le courant de « Cross Talk » ou à l'ajout d'une commande supplémentaire de la grille du transistor placé en série avec la capacité. Cependant, il faut noter que si cette seconde méthode peut permettre d'éliminer le « Cross Talk », ils restent cependant inefficaces pour de faibles résistances de grille.

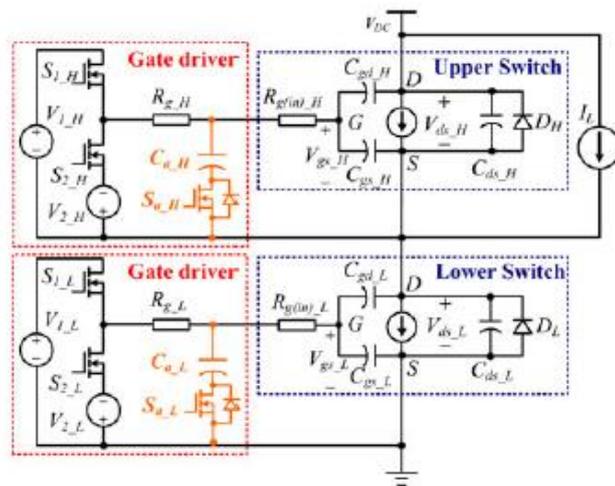
La dernière méthode consiste à contrôler le transistor avec plusieurs niveaux de tension pendant la phase de blocage du transistor. Pour éliminer l'effet négatif du pic positif, le transistor est commandé avec une tension négative. Cependant c'est une tension de commande au blocage proche de zéro qui permet d'éliminer le pic négatif du « Cross Talk ».



[79]



[80]



[77]

Figure 1.42 : structure de driver pour la suppression du phénomène de « Cross Talk » par une technique de la variation de l'impédance de la grille source du transistor.

Parmi tous les drivers multiniveaux trouvés dans la littérature, la commande 4 niveaux proposée par [65, 78] peut être retenue comme la méthode la plus efficace pour la suppression du « Cross Talk ». Selon les résultats obtenus avec ces commandes à 4 niveaux le phénomène de cross talk est supprimé. De plus les pertes de commutation sont réduites. Cette réduction se fait par la commande du transistor qui est lui-même commandé par une tension (premier niveau de tension (V_H) proche de la tension limite de commande du HEMT (pendant les phases ON des HEMTs du bras d'onduleur). Pour éviter le claquage du transistor, ce niveau de tension est de très courte durée (impulsion). Pour cette raison, le transistor est commandé par une tension plus faible pour le reste de la phase de conduction (deuxième niveau de tension ($V_H - V_L$ de la figure 1.43b)). Pendant les phases de « Cross Talk », les deux transistors GaN sont commandés par une tension négative ($-V_L$, troisième niveau) et une tension nulle (0 V, quatrième niveau) pour supprimer respectivement le « Cross Talk » négatif et le « Cross Talk » positif.

La figure I.43 présente la structure et les formes d'onde de tension issues de ce driver à 4 niveaux de tension. Cependant Il faut noter que même si cette troisième technique permet de supprimer le phénomène de « Cross Talk », l'application de tension négative entre la grille et la source augmente les pertes pendant le temps mort. En vue de réduire ces pertes, une optimisation de cette commande à 4 niveaux est nécessaire.

Ces pertes durant les temps morts constituent un phénomène qui limite actuellement le rendement des convertisseurs qui utilisent un bras d'onduleur à base de HEMT GaN.

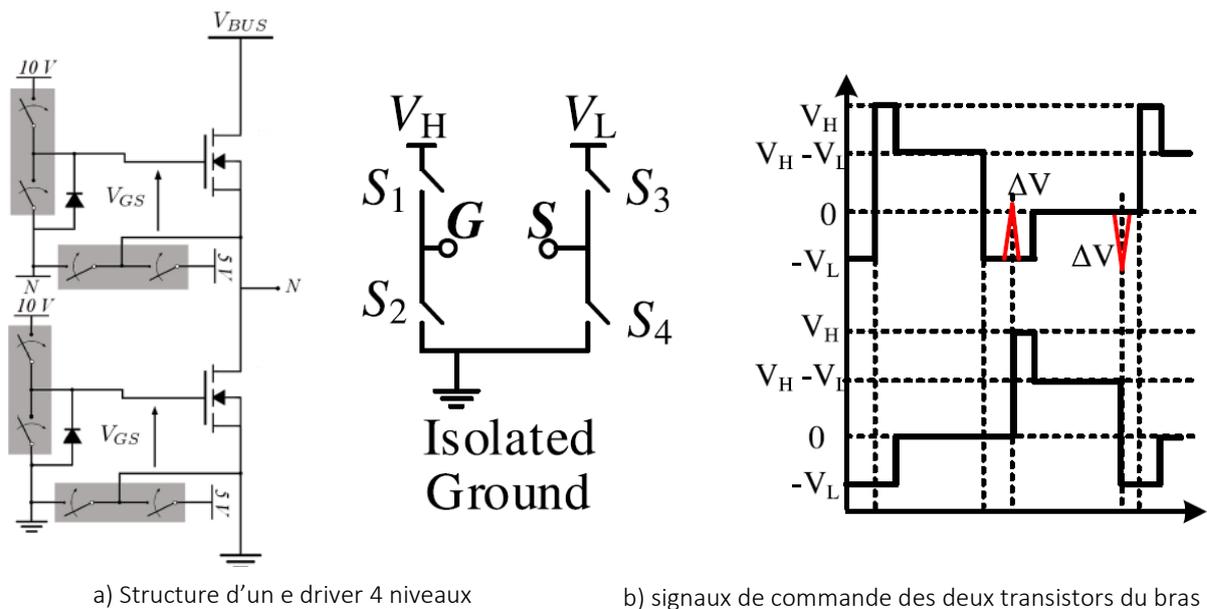


Figure I.43 : structure de driver multiniveaux pour la suppression du phénomène de « Cross Talk » [65, 78]

C) Conséquence d'un temps mort dans le cas des HEMT GaN :

Pour assurer la sécurité de fonctionnement d'une cellule de commutation composée de deux transistors, la cellule est commandée de manière à ce que les deux interrupteurs ne se ferment pas simultanément. Ce qui est rendu possible grâce à un temps mort qui est un moment où les signaux de commande des deux transistors sont à l'état bas. Un convertisseur « Buck » synchrone composé de cellules de commutation ne fait pas exception à cette règle. La figure I.44 représente la structure d'un convertisseur « Buck » et les signaux de commande de la cellule de commutation.

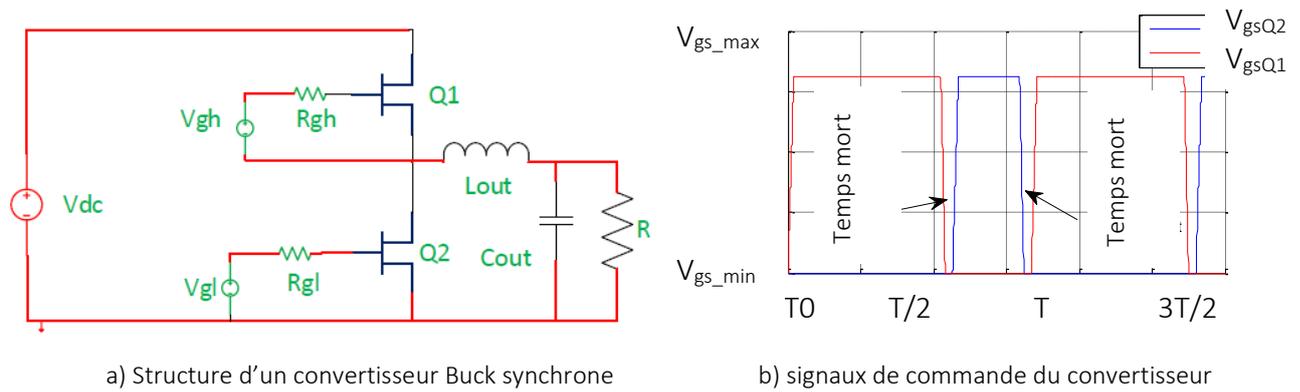


Figure I.44 : structure d'un convertisseur Buck et ses signaux de commande

Cette période de temps mort a pour conséquence une génération de pertes que l'on nomme perte de conduction inverse [81, 82]. Ces pertes (P_{td}) sont fonction du courant de drain (I_d), de la tension inverse (V_{sd}), de la durée du temps mort (t_{SD}) et de la fréquence de commutation (f_{sw})[81].

$$P_{td} = V_{sd} \cdot I_d \cdot t_{SD} \cdot f_{sw} \quad (I.10)$$

Les pertes deviennent non négligeables pour des fréquences de commutation supérieures à 500 kHz. Ainsi, pour un convertisseur « Buck » avec une fréquence de commutation de l'ordre de 1 MHz, une gestion des pertes devient nécessaire. Pour réduire les pertes, deux degrés de liberté se présentent :

- Réduire la durée des temps mort, cette solution est très délicate lorsque le courant de charge varie [82].
- Réduire la tension de conduction inverse V_{sd} en plaçant une diode en parallèle avec les transistors GaN ou en commandant les transistors avec une tension de commande proche de la tension seuil (V_{th}). Cette dernière solution est plus efficace que celle avec la diode [81].

Une question reste cependant en suspens. Comment une tension de commande proche de la tension de seuil permettrait-elle de réduire la tension V_{sd} ? Un transistor GaN est en conduction inverse lorsque la tension entre la grille et le drain (V_{gd}) est supérieure à la tension de seuil (V_{th}). Si on suppose maintenant que cette conduction inverse se produit lorsque :

$$V_{gd} = V_{th} \quad (I.11)$$

L'équation suivante est vérifiée quelque soit l'état de fonctionnement du transistor :

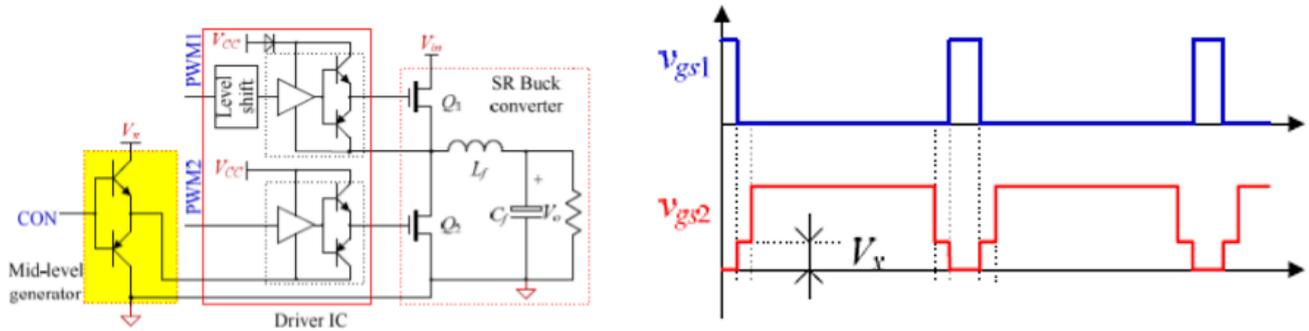
$$V_{sd} = V_{gd} - V_{gs} \quad (I.12)$$

Si on remplace l'équation (I.11) dans (I.12) on obtient l'équation (I.13).

$$V_{sd} = V_{th} - V_{gs} \quad (I.14)$$

Ainsi si on commande le transistor du bas avec une tension de commande très proche de la tension de seuil, les pertes pendant cette période de temps morts sont réduites. Les articles

[81, 83] proposent une structure de driver à trois niveaux qui permet d'avoir une tension de commande proche de la tension de seuil du transistor. Cette structure est représentée à la figure I.44 avec les signaux de commande. L'application d'une tension négative en dehors des périodes de temps mort permet d'éliminer le phénomène de « Cross Talk » de manière partielle. L'application de cette tension négative pendant un temps assez important peut augmenter les fuites de courant et entraîner une dégradation de l'état de santé du HEMT GaN.



a) Structure du driver 3 Niveaux

b) signaux de commande des deux transistors

Figure I.45 : driver à 3 niveaux de tension pour la gestion des pertes de temps mort [81]

Définition du domaine d'action de la thèse :

Afin de participer à l'amélioration des convertisseurs à base de HEMT GaN, cette thèse a pour principal but d'envisager les mesures dans lesquelles nous pouvons penser l'optimisation du rendement et la réduction des perturbations des systèmes de conversion à base de HEMT GaN. Pour atteindre cet objectif, le travail a été organisé comme suit.

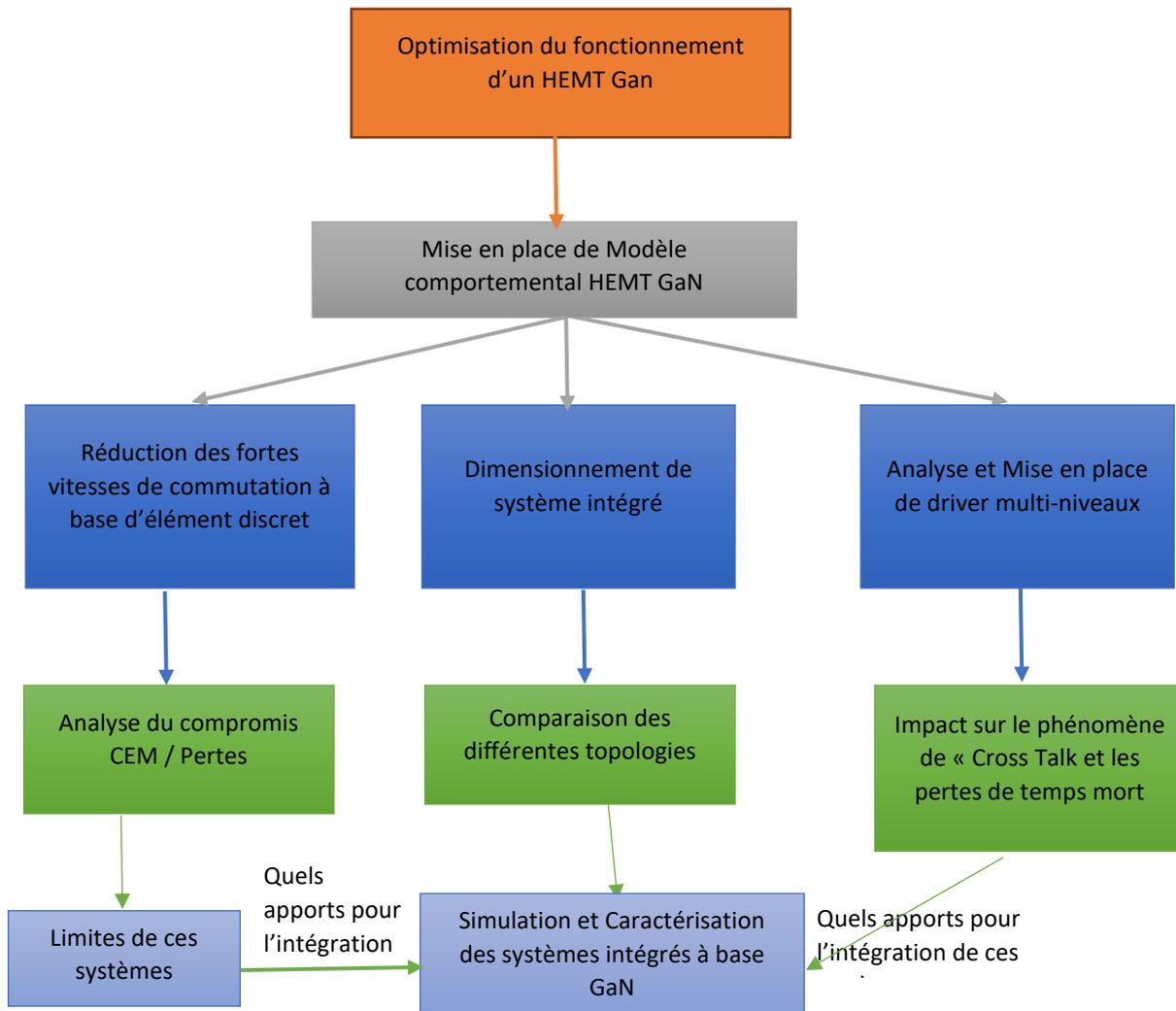


Figure I.46 : Stratégie de travail pour la mise en place de technique d’optimisation du rendement de la sécurité

Conclusion :

En termes de densité volumique et de rendement, les caractéristiques physiques du HEMT permettent de répondre aux exigences des systèmes de conversion d’énergie. Cependant la présence d’inductances parasites et des phénomènes comme le « Cross Talk », les fortes vitesses de commutation et les pertes durant les temps morts empêchent d’optimiser l’utilisation du transistor GaN. Dans cette première partie, les techniques proposées dans la littérature pour optimiser le fonctionnement du transistor HEMT par sa commande de grille ont été étudiées. Cette étude a également permis d’analyser les limites que présentent ces solutions. Parmi les alternatives envisagées, il y a l’intégration du driver sur la puce de puissance qui a permis de fortement réduire les inductances parasites. Des drivers multi-niveaux et la mise en place de circuits de contrôle ont permis d’améliorer les conséquences dues aux fortes vitesses de commutation et aux phénomènes de « Cross Talk ». La plupart de ces solutions ne permettent

pas pour autant de trouver un bon compromis entre les différents phénomènes limitant du HEMT GaN.

Chapitre 2 : Modèle Comportemental de HEMT GaN

Le dimensionnement et la modélisation de systèmes intégrés sont chronophages et complexes. Ces procédures deviennent encore plus complexes lorsque le modèle utilisé a un nombre de paramètres conséquents ; c'est le cas des modèles fournis par GaN système et EPC par exemple (annexe II). Pour rendre la modélisation plus facile, la réduction du nombre de paramètres est une piste raisonnable. Un modèle simple doit être capable de reproduire de manière satisfaisante les vitesses de commutation et les pertes de commutation et ohmiques. Ce sont ces raisons qui ont motivées l'orientation de la deuxième partie de ces travaux vers l'élaboration d'un modèle circuit simple de HEMT GaN.

I. Etat de l'art :

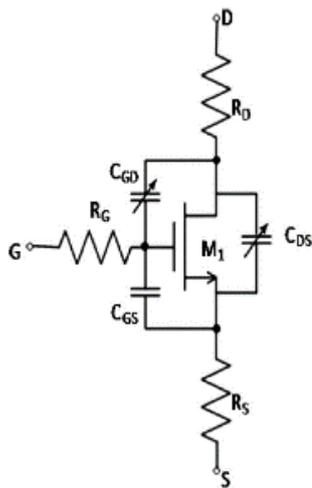
Afin de partir sur de bonnes bases, une étude bibliographique a été réalisée. En fonction de l'approche utilisée pour déterminer les paramètres des modèles du HEMT GaN, les modèles peuvent être divisés en deux catégories. Nous distinguons ainsi deux approches de détermination des paramètres : la première utilise les mesures statiques alors que la seconde utilise principalement des mesures dynamiques (commutation).

A) Modélisation basée sur l'approche statiques de détermination des paramètres :

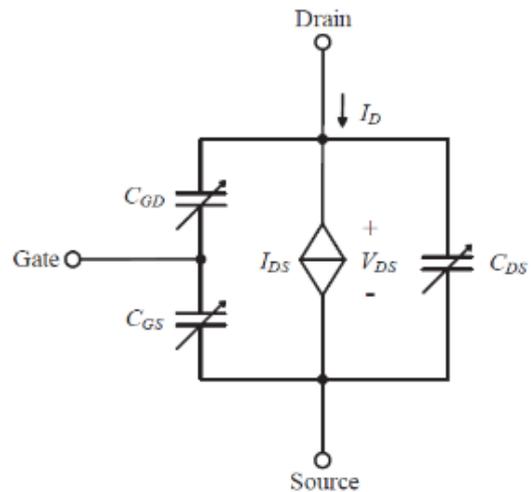
Cette technique peut être divisée en deux catégories que sont la modélisation comportementale ou la modélisation physique.

➤ Modélisation Comportementale

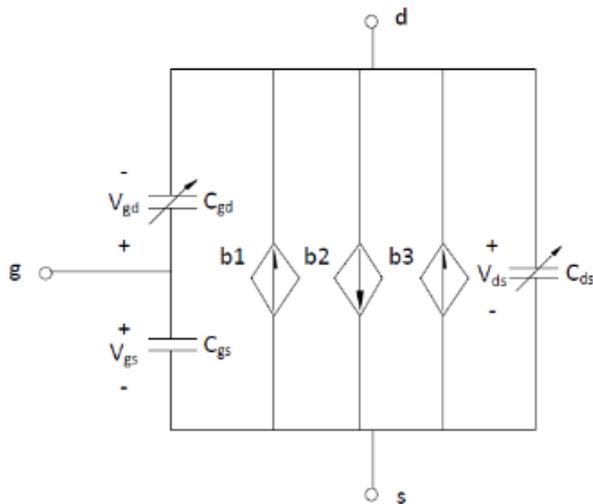
[84, 85, 86, 87] proposent des modèles comportementaux de HEMT GaN. La figure II.1 présente les structures de ces différents modèles. Pour modéliser le comportement de la source courant, élément principal du modèle du transistor, une ou plusieurs contributions de courant variables sont utilisées. Trois condensateurs variables (C_{gs} , C_{ds} et C_{gd}) permettent de représenter le comportement des condensateurs extrinsèques du HEMT GaN.



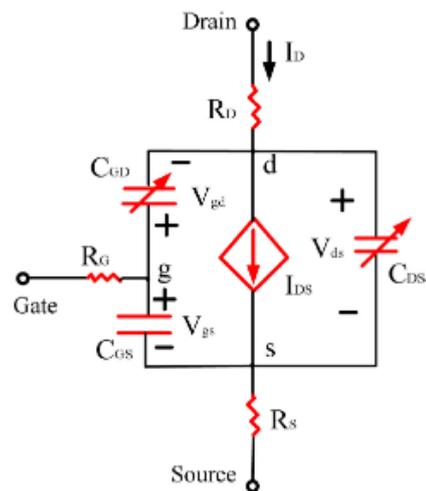
[84]



[85]



[87]



[86]

Figure II.1: quelques structures de modèle du HEMT GaN.

La différence de ces modèles ne se limite pas uniquement au nombre de sources de courant mais ils se différencient également par les expressions mathématiques utilisées pour modéliser le comportement du courant drain-source ainsi que par la technique utilisée pour modéliser les capacités extrinsèques.

- Modélisation de la source de courant

Selon les tensions V_{gs} et V_{ds} appliquées aux bornes du transistor, le courant traversant le drain (I_d ou I_{ds}) peut être positif ou négatif. Lorsque le courant de drain est positif, le transistor fonctionne en régime direct. Pour le courant négatif, il fonctionne en régime inverse. Chaque régime comprend deux zones :

- ✓ La zone linéaire correspond à l'augmentation du courant de drain (I_d) en fonction de l'augmentation de la tension de drain (V_{ds}).
- ✓ La zone de saturation correspond à une saturation de la valeur du courant de drain pour de fortes valeurs de V_{ds} .

La figure II.2 représente le fonctionnement de la source ainsi que ces deux régimes de fonctionnement.

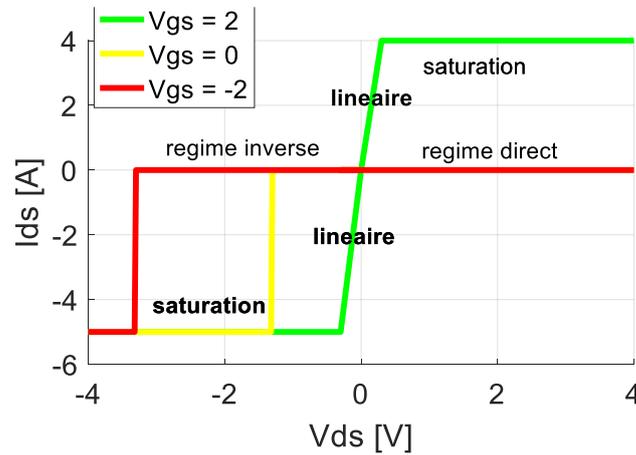


Figure II.2 : représentation des deux régimes de fonctionnement du transistor

Pour modéliser, le comportement en courant de drain du HEMT (I_d), le modèle proposé par [84] utilise deux équations mathématiques. La première équation reproduit la zone directe (zone linéaire et zone de saturation) et la seconde équation assure le comportement (deux zones) en inverse.

$$\begin{cases} I_{ds} = k_1(T) \cdot \ln \left[1 + \exp\left(\frac{V_{gs} - b_1}{c_1}\right) \right] \cdot \frac{(m_1 + n_1 \cdot V_{GS})V_{ds}}{1 + P_1(T) \cdot (d_1 + e_1 \cdot V_{gs})V_{ds}}, & V_{DS} \geq 0 \\ I_{ds} = -k_2(T) \cdot \ln \left[1 + \exp\left(\frac{V_{gd} - b_2}{c_2}\right) \right] \cdot \frac{V_{sd}}{1 + P_1(T) \cdot V_{SD}}, & V_{DS} \leq 0 \end{cases} \quad \text{II.1}$$

- Les paramètres k_1 , b_1 , c_1 , b_2 , c_2 , d_1 , e_1 , k_2 sont des constantes qui se déterminent par *fitting* et T est la température.
- V_{gs} : la tension entre la grille et la source, V_{ds} : la tension entre le drain et la source, V_{gd} : la tension entre la grille et le drain et V_{th} : la tension de seuil.

Le nombre de paramètres de ce modèle de source de courant est non négligeable. Dans le cadre de dimensionnement de systèmes intégrés à base de transistor GaN, l'utilisation d'un tel modèle est à éviter.

Pour modéliser la source de courant, [84, 86, 87, 88] utilise une représentation segmentée qui consiste à diviser le fonctionnement du transistor en zones distinctes selon le courant du transistor. Les équations II.2 à II.5 établissent le courant fourni par la source de courant pour chaque zone de fonctionnement.

Modélisation proposée par [84] :

Zone linéaire pour le régime direct ou inverse

$$I_d = \pm K_P \frac{W}{L} \cdot \left[(V_{gs} - V_{th}) V_{ds} - \frac{V_{ds}^2}{2} \right] (1 + \lambda \cdot V_{ds}) \quad (\text{II.2})$$

Zone de saturation pour le régime direct ou inverse

$$I_d = \pm K_P \frac{W}{L} \cdot \left[(V_{gs} - V_{th})^2 \right] (1 + \lambda \cdot V_{gs}) \quad (\text{II.3})$$

Les paramètres du modèle de la source de courant sont K_p , W , L , V_{th} et λ . Ces paramètres hérités de ceux du modèle d'un transistor MOSFET intégré, représentent respectivement, la largeur de la grille, la longueur de la grille, la tension de seuil et le coefficient de correction de la zone de saturation.

Modélisation proposée par [87] :

Régime direct :

$$I_{ds} = \begin{cases} 0, \text{ si } V_{gs} < V_{th} \\ K_n \left(V_{gs} - V_{th} - \frac{V_{ds}}{2} \right) \cdot V_{ds}, \text{ si } V_{gs} \geq V_{th} \text{ et } V_{ds} < (V_{gs} - V_{th}) \\ K_n (V_{gs} - V_{th})^2, \text{ si } V_{gs} \geq V_{th} \text{ et } V_{ds} \geq (V_{gs} - V_{th}) \end{cases} \quad (\text{II.4})$$

Régime inverse :

$$I_{ds} = \begin{cases} 0, \text{ si } V_{sd} < 0 \\ I_{sb} \cdot (\exp(k_{tb} \cdot V_{sd}) - 1) \end{cases} \quad (\text{II.5})$$

Les paramètres de ce modèle sont K_n , V_{th} , I_{sb} et K_{tb} . Ces paramètres représentent respectivement la transconductance, la tension de seuil, le coefficient du courant inverse et le facteur d'inverse du courant.

Modélisation proposée par [86] :

Régime direct :

$$\begin{cases} 0, \text{ si } V_{gs} < V_{th1} \text{ \& } V_{ds} \geq 0 \\ K_{p1} \cdot \left[(V_{gs} - V_{th1}) V_{ds} - \frac{V_{ds}^2}{2} \right] \text{ si } V_{ds} < (V_{gs} - V_{th1}) \text{ \& } V_{ds} > 0 \\ K_{p1} \cdot (V_{gs} - V_{th1})^2 \cdot \frac{(1 + \lambda \cdot V_{ds})}{2}, \text{ si } V_{ds} > (V_{gs} - V_{th1}) > 0 \end{cases} \quad (\text{II.6})$$

Régime inverse :

$$I_{ds} \begin{cases} 0, \text{ si } V_{gd} < V_{th2} \text{ \& } V_{ds} < 0 \\ -K_{p2} \cdot \left[(V_{gd} - V_{th2}) V_{ds} - \frac{V_{ds}^2}{2} \right] \text{ si } V_{sd} < (V_{gd} - V_{th2}) \text{ \& } V_{sd} > 0 \\ -\frac{1}{2} \cdot K_{p1} \cdot (V_{gd} - V_{th2})^2, \text{ si } V_{sd} > (V_{gd} - V_{th2}) > 0 \end{cases} \quad (\text{II.7})$$

Les paramètres de ce modèle sont les mêmes que ceux du modèle [84].

Modélisation proposée par [88] :

$$I_{ds} = \begin{cases} \beta \cdot V_{ds} [2(V_{gs} - V_{th})] (1 + \lambda \cdot V_{ds}) F_1(V_{gs}) \cdot F_2(V_{gs}) \cdot F_3(V_{ds}) \cdot F_4(V_{gs}, V_{ds}), & \text{si } V_{ds} < (V_{gs} - V_{th}) \text{ \& } V_{gs} \geq V_{th} \\ \beta (V_{gs} - V_{th})^2 (1 + \lambda \cdot V_{ds}) F_1(V_{gs}) \cdot F_2(V_{gs}) \cdot F_3(V_{ds}) \cdot F_4(V_{gs}, V_{ds}), & \text{si } V_{ds} \geq (V_{gs} - V_{th}) \text{ \& } V_{gs} \geq V_{th} \\ 0, & \text{si } V_{gs} < V_{th} \end{cases}$$

F₁, F₂, F₃ et F₄ sont des fonctions mathématiques dépendantes de V_{gs}. Les paramètres de ce modèle sont au moins au nombre de 17 parmi lesquels nous avons V_{th}, F₁, F₂, F₃ et F₄.

Les modèles mathématiques des sources de courant proposés par [85-88] sont presque identiques. La différence se trouve uniquement sur le nombre de paramètres. Ces derniers sont déterminés à partir de résultats de caractérisation statique du HEMT par « fitting » ou par des équations prédéfinies.

La figure II.3 présente des résultats de comparaison de ces modèles de sources de courant avec les résultats de mesure statique.

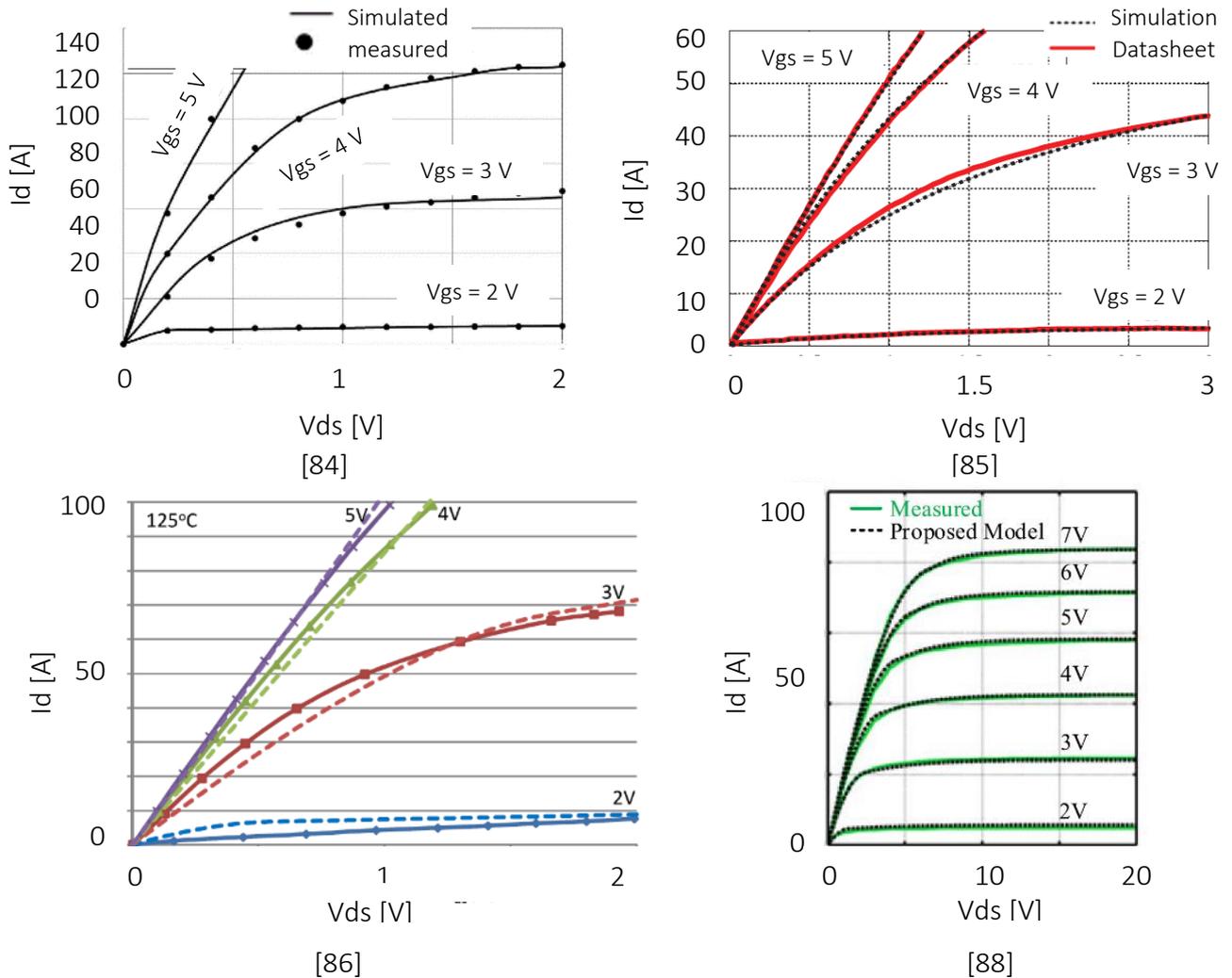


Figure II.3 : Comparaison des modèles de la source de courant du HEMT avec des résultats de caractéristique statique Id=f(Vds).

Le modèle proposé par [84, 88] permet de reproduire correctement le comportement statique du courant du HEMT, ce qui n'est pas le cas des autres modèles qui ont un nombre de paramètres moindre. Malgré cette reproduction fidèle, il n'est pas envisageable de partir sur de tels modèles dans le cadre de cette thèse ; vu le nombre de paramètres qui les composent.

- **Modélisation des capacités extrinsèque**

Le comportement dynamique des transistors dépend fortement de ses capacités extrinsèques (C_{gd} , C_{gs} et C_{gd}). Plus les modèles de ces dernières sont proches de la réalité, plus le modèle assure une représentation satisfaisante des vitesses de commutation et des pertes de l'interrupteur de puissance. Ci-dessous, il est présenté trois techniques pour décrire le comportement de ces capacités à partir des mesures $C(V)$ statiques.

Fonction puissance

Pour cette technique de modélisation la capacité d'entrée (C_{iss}) est considérée comme une constante alors que celles de C_{gd} et C_{ds} sont décrites par les équations II.9 et II.10.

$$C_{ds}(V_{ds}) = \left(\frac{C_{gd0}}{1 + \frac{|V_{gd}|}{P_1}} \right)^{m1} \quad (\text{II.9})$$

$$C_{gd}(V_{gd}) = \left(\frac{C_{gd0}}{1 + \frac{|V_{gd}|}{P_2}} \right)^{m2} \quad (\text{II.10})$$

Les paramètres m_1 , m_2 , P_1 et P_2 sont des constants qui sont déterminés à partir des fonction **$\log_{10}(C_{gd}) = \log_{10}(V_{gd})$** et **$\log_{10}(C_{gs}) = \log_{10}(V_{ds})$** pour de faible valeur de tension. Ces paramètres peuvent être déterminés par « fitting. »

Fonction exponentielle

Cette méthode consiste à mesurer la capacité d'entrée ($C_{iss} = (C_{gd} + C_{gs})$), la capacité de sortie ($C_{oss} (C_{gd} + C_{ds})$), et la capacité de Miller ($C_{rss} (C_{gd})$) à partir de mesures statiques. Une fois les mesures obtenues, une fonction exponentielle est utilisée pour décrire ces 3 capacités mesurées comme le montre les équations II.11, II.12 et II.13.

$$C_{gd}(V_{gd}) = \frac{a_1}{1 + \exp(-b_1(V_{gd} + c_1))} + d_1 \quad (\text{II.11})$$

$$C_{oss}(V_{sd}) = \frac{a_2}{1 + \exp(-b_2(V_{sd} + c_2))} + d_2 \quad (\text{II.12})$$

$$C_{ds}(V_{sd}) = C_{oss}(V_{sd}) - C_{gd}(V_{gd}) \quad (\text{II.13})$$

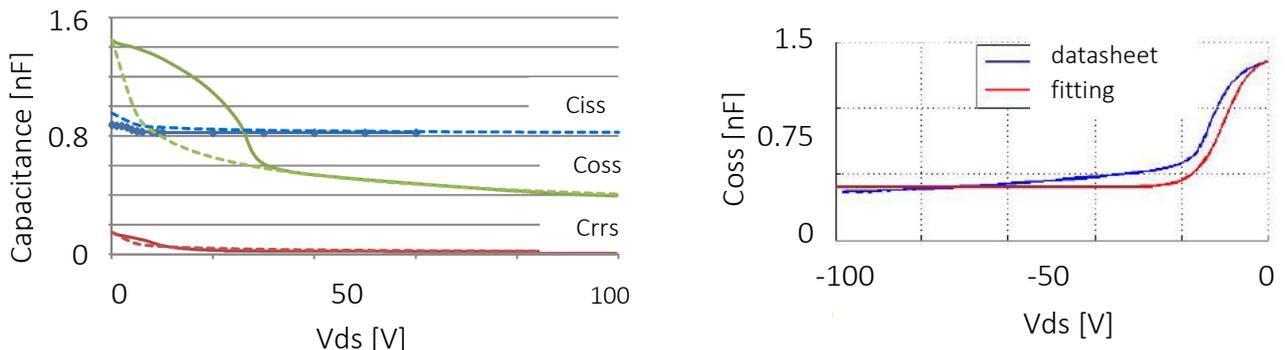
a_1 , a_2 , c_1 , c_2 , d_1 , d_2 sont des constantes qui sont déterminés par « fitting ».

Combinaison de fonctions

Cette méthode utilise une sommation de fonction logarithmique pour prédire le comportement des capacités extrinsèques (équations II.14). Il faut noter cependant que cette méthode est plus complexe que les autres. Le « fitting » permet de déterminer les paramètres de ce modèle. La même fonction est utilisée pour les trois capacités (C_{gd} , C_{gs} et C_{gd}).

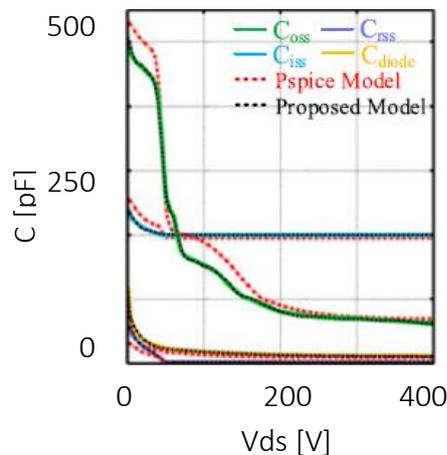
$$C = F_5 + F_6 + C_O = \sum_n A_n \cdot \log(1 + \exp(-V_{ds} + V_n)) + \sum_m B_m \cdot \exp\left(\frac{(V_{ds} - V_m)^2}{2\alpha_m^2}\right) + C_O \quad (\text{II.14})$$

Afin d'avoir un aperçu de l'impact de la technique de modélisation des capacités du HEMT, des résultats de comparaison entre simulation et mesure sont présentés aux figures II.4 et II.5.



a) Modélisation des capacités par une fonction puissance trait plein mesure, trait interrompu modèle [87]

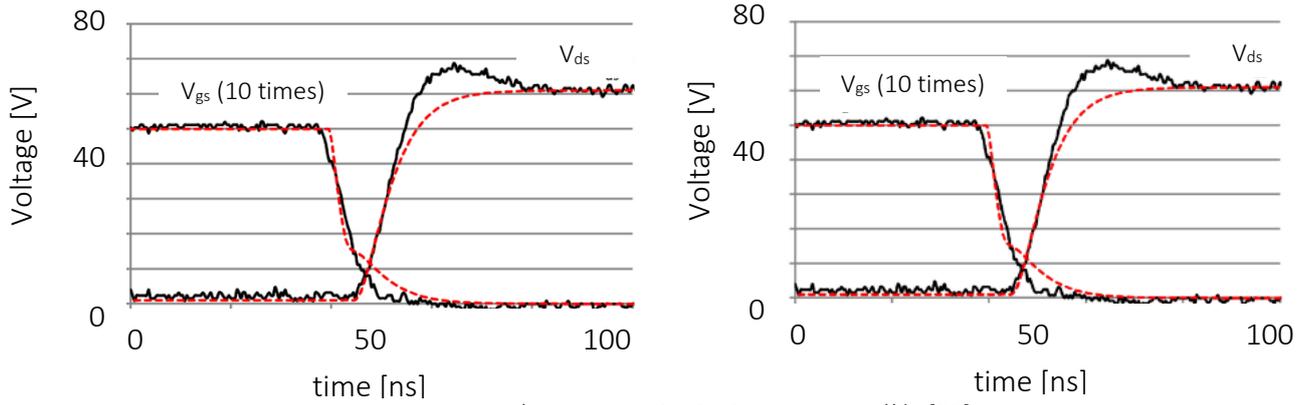
b) Modélisation des capacités par une fonction exponentielle [86]



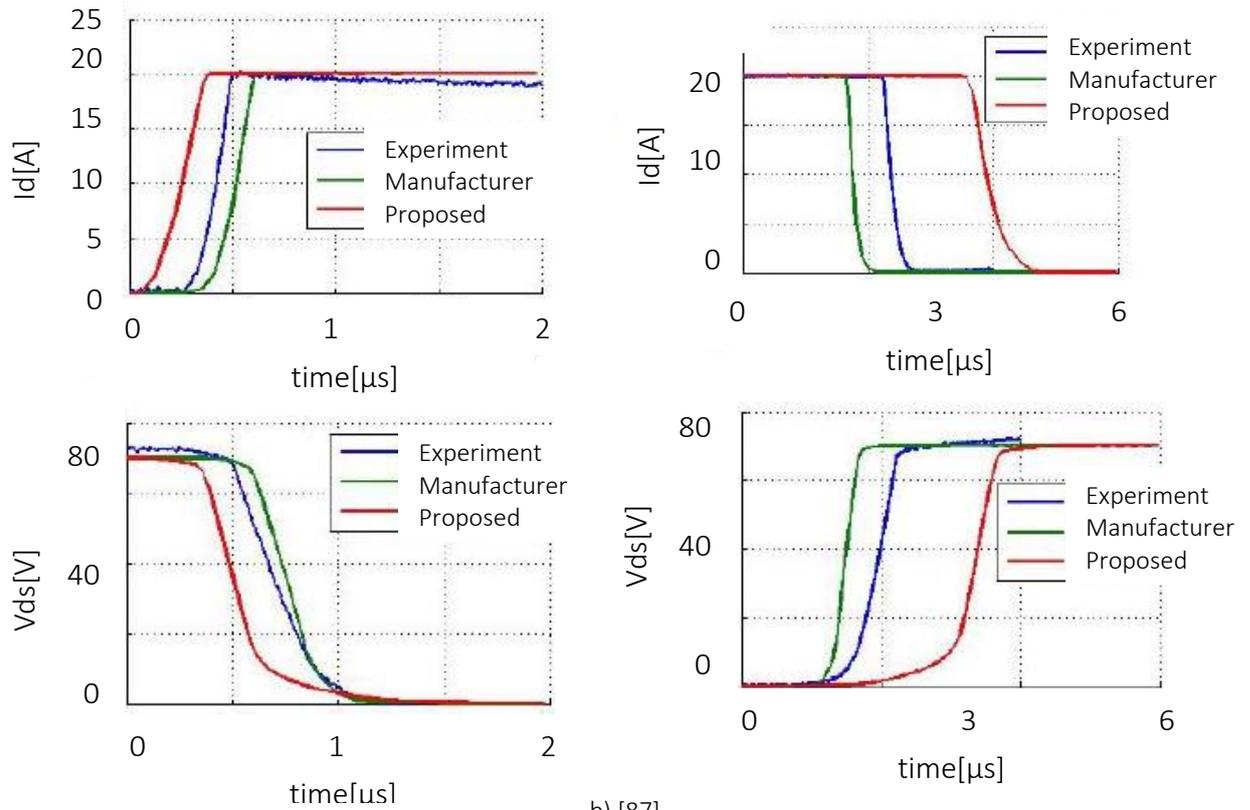
c) Modélisation des capacités par sommation de fonction logarithmique [88]

Figure II.4 : Comparaison des différentes techniques de modélisation sur des capacités extrinsèques par mesure statique

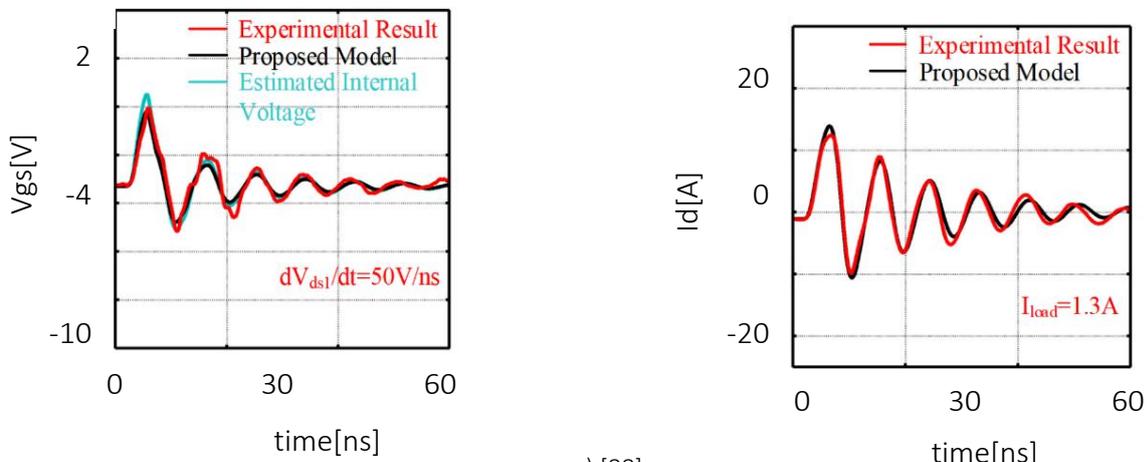
C'est la **sommation logarithmique** qui assure la **meilleure représentation** des capacités en régime statique (figure II.4c) et de la commutation même en cas de forte perturbation (figure II.5c). **Sa complexité** (un nombre de paramètre important) constitue **une limite** par rapport aux autres fonctions (exponentielle et puissance) dans le cas de la **modélisation de circuit monolithique**. De ce fait, lors de la mise en place du modèle, le choix se portera sur l'une des autres techniques (**exponentielle ou puissance**).



a) trait plein mesure, trait interrompu modèle [86]



b) [87]



c) [88]

Figure 11.5 : Comparaison de résultats de commutation des modèles HEMT GaN utilisant les différentes techniques de modélisation des capacités extrinsèques.

➤ Modélisation par approche physique :

Pour cette technique, une équation à caractère plus physique est utilisée pour décrire le comportement en courant du HEMT (II.15). La figure II.6 présente des résultats de travaux utilisant cette approche analytique. Pour ces travaux, les capacités ont été modélisées par la fonction puissance

$$I_d = q \cdot W_g \cdot v_{DRIFT}(x) \cdot n_{2DEG}(x) \quad (II.15)$$

- Avec q : quantité de charge
- W_g : largeur de la grille
- $v_{DRIFT}(x)$: tension de la zone de drift
- $n_{2DEG}(x)$: nombre de charge

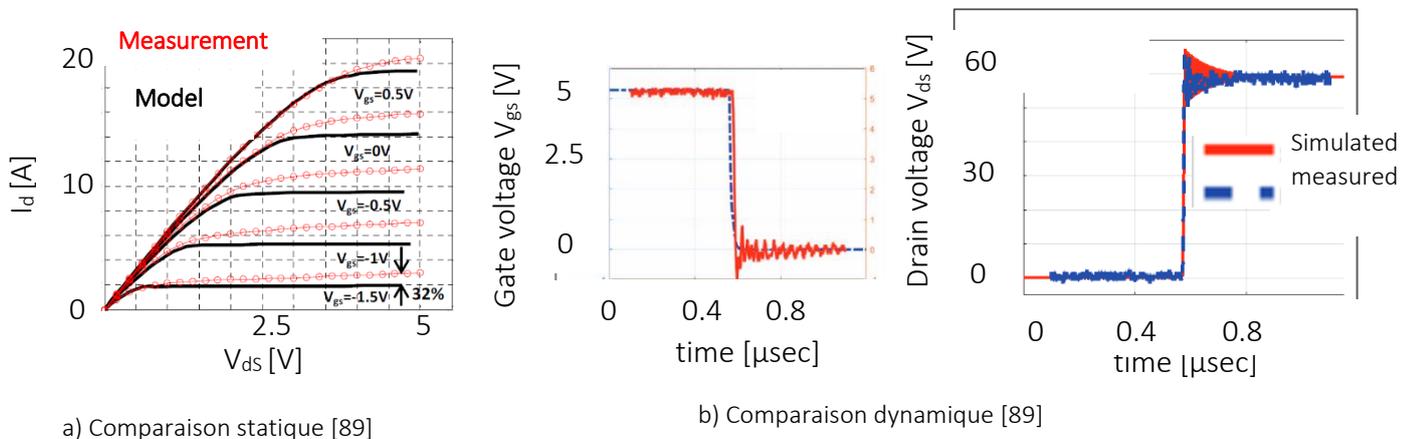


Figure II.6 : évaluation du modèle physique

Cette modélisation n’assure une reproduction satisfaisante du comportement en courant du HEMT que dans la zone linéaire. Dans la zone de saturation un décalage important est à noter (figure II.6a). C’est peut-être cela et la technique de modélisation utilisée pour modéliser les capacités qui expliquent le décalage des vitesses de commutation obtenu entre les mesures et la simulation (figure II.6b).

B) Modélisation basée sur des mesures dynamiques

Ce modèle proposé par [8, 101] se différencie des autres modèles en deux points. La première différence se situe au niveau de la structure (figure II.7)

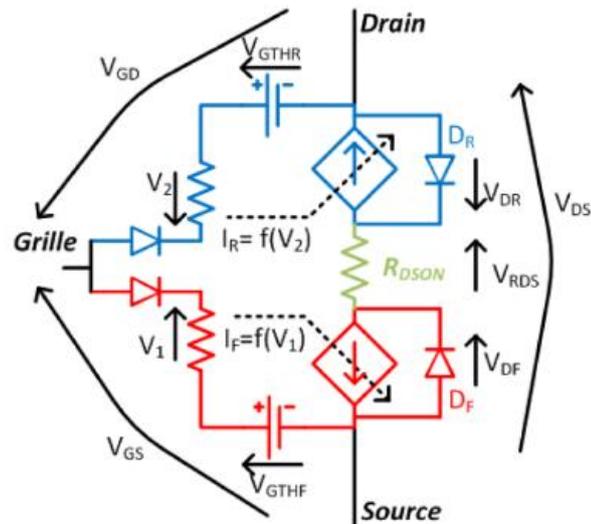


Figure II.7 : Structure possible de modèle comportemental de HEMT GaN Normally-OFF [8].

Ce modèle utilise deux sources de courant pour représenter le fonctionnement direct (rouge) et le fonctionnement indirect (bleu). Pour ce modèle, le courant fourni par les sources de courant dépend des tensions V_1 et V_2 . Ce sont ces tensions qui permettent de déterminer les zones de fonctionnement du transistor.

Dans la zone de la conduction directe : $V_{GS} \geq V_{GTHF}$ et $V_{GD} < V_{GTHR}$, la tension V_1 est positive et V_2 est nulle, la source du courant en rouge est contrôlée par la tension V_1 . Elle fournit un courant I_F ($I_F=f(V_1)$) qui circule à travers la diode D_R en bleu et la résistance $R_{DS(on)}$. La tension du transistor V_{DS} est la somme des tensions V_{RDS} , V_{DR} et $-V_{DF}$.

- Si le transistor fonctionne dans la zone ohmique en conduction directe, le courant qui circule dans la résistance $R_{DS(on)}$ est inférieur au courant qui circule dans la source du courant $I_F=f(V_1)$, le surplus de courant passe dans la diode D_F , donc V_{DF} est nulle et $V_{DS}=V_{RDS}$.
- Dans la zone de saturation, le courant qui circule dans la résistance $R_{DS(on)}$ est égal au courant qui circule dans la source du courant $I_F=f(V_1)$, la diode D_F est bloquée et $V_{DS}>V_{RDS}$.

La source du courant $I_F=f(V_1)$ est définie par la relation de premier ordre suivante :

$$I_F = g_{fs} \cdot V_1 = g_{fs} \cdot (V_{GS} - V_{GTHF}) \quad (\text{II.16})$$

Pour la conduction inverse, $V_{GS} < V_{GTHF}$ et $V_{GD} \geq V_{GTHR}$, la tension V_1 est nulle et V_2 est positif, le courant est fourni par la source $I_R=f(V_2)$ et circule de la source vers le drain à travers la diode D_F et la résistance $R_{DS(on)}$, le courant de la source I_R est défini par la relation suivante :

$$I_R = g_{rs}(V_{GS} - V_{GTHR}) \quad (\text{II.17})$$

Dans le cas où $V_{GS} \geq V_{GTHF}$ et $V_{GD} \geq V_{GTHR}$, les deux sources de courants (I_F et I_R) fournissent du courant. Les deux diodes D_R et D_F sont passantes pour éviter la mise en série de deux sources de courant. Dans ce cas $V_{DS}=R_{DS(on)} \cdot I_D$ et le transistor fonctionne dans le régime ohmique de la

zone de conduction directe ou inverse selon le signe de V_{DS} . Le cas où $V_{GS} < V_{GTHF}$ et $V_{GD} < V_{GTHR}$ correspond à une condition pour laquelle le courant est nul.

Les deux diodes D_F et D_R du modèle sont deux diodes idéales. Les valeurs des résistances R_1 et R_2 ne sont pas présentées dans le modèle, ainsi la démarche pour les calculer n'est pas fournie. La tension V_{GTHF} est la tension de seuil du transistor, la valeur cette tension (V_{GTHR}) n'est pas précisée, pas plus que les démarches utilisées pour la calculer.

La résistance $R_{DS(ON)}$ est la résistance à l'état ON du transistor. La transconductance directe dans la zone linéaire (g_{fs}) et la tension de seuil V_{GTHF} sont déduites à partir des caractéristiques $I_{ds}=f(V_{gs})$ (Figure II.3). La valeur de la transconductance inverse g_{rs} n'est pas mentionnée dans le modèle pas plus que la démarche pour la calculer. Une valeur équivalente à celle de g_{fs} peut être choisie.

Le deuxième point de différenciation du modèle se situe sur la technique utilisée pour extraire les capacités extrinsèques du HEMT GaN. Au lieu d'extraire les capacités à partir des mesures statiques ($C(V)$), la démarche proposée par [8] consiste à extraire ces capacités à partir des mesures de commutation du HEMT dans une structure de convertisseur de DC-DC (Figure I.44). La figure II.8 présente les signaux de commutation utilisés pour extraire les capacités.

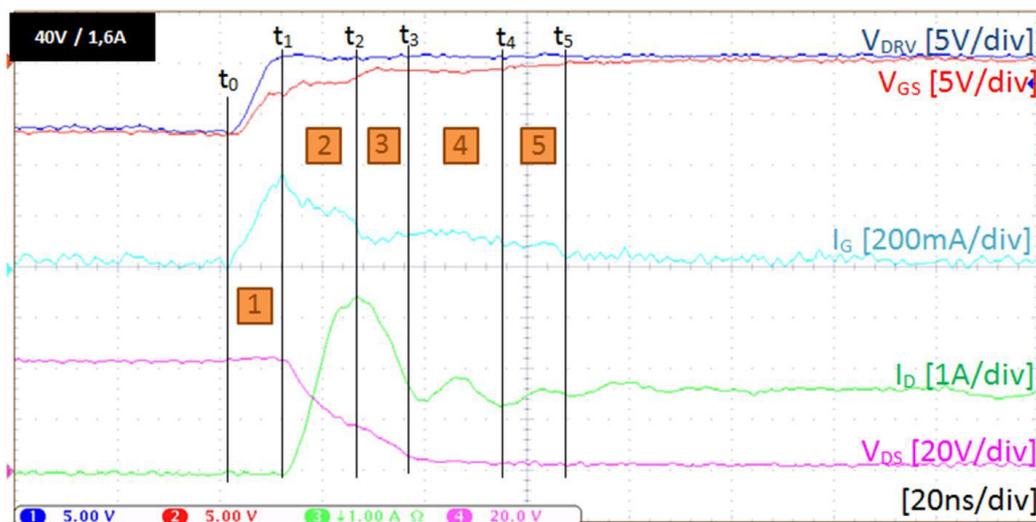


Figure II.8 : signaux utilisés pour l'extraction des capacités du HEMT GaN [8]

Ces signaux permettent d'extraire les valeurs minimales et maximales des capacités C_{gs} et C_{gd} . Pour pouvoir extraire ces extrêmes, le déroulement de l'amorçage du transistor se divise en 5 étapes :

Partie 1: V_{gs} va croître de la valeur minimale de la tension du driver jusqu'à V_{th} . Pendant cette période, V_{ds} reste constante et maximale. Vu que V_{ds} est maximale, les capacités C_{gs} et C_{gd} sont minimales. Avec ces hypothèses, la capacité d'entrée C_{issmin} peut être calculée par les formules suivantes :

$$Q_1 = \int_0^{t_1} I_G \cdot dt \quad (II.18)$$

$$C_{IESS_1} = \frac{Q_1}{\Delta V_{gs}} \quad (II.19)$$

$$C_{IESS_1} = C_{GS_MIN} + C_{GD_MIN} \quad (II.20)$$

Partie 2: cette partie ne sert pas pour l'extraction des capacités du transistor

Partie 3: correspond au début de l'effet de Miller, qui se traduit par une tension V_{gs} constante entraînant une absence de la variation de charge de C_{gs} . Ainsi C_{gdmin} peut être calculée par les formules suivantes :

$$Q_3 = \int_{t_2}^{t_3} I_G \cdot dt \quad (II.21)$$

$$C_{GD_MILLER} = \frac{Q_3}{\Delta V_{GD}} \approx C_{GD_MIN} \quad (II.22)$$

Une fois l'obtention de C_{gdmin} , C_{gsmin} peut être calculé en utilisant les équations de la partie 1.

Partie 4: cette partie marque la fin de l'effet Miller. Elle est caractérisée par la variation décroissante de V_{ds} et de V_{gd} . Vu que V_{gs} est toujours constante, la quantité de charge d'entrée obtenue dans cette phase définit C_{gdmax} (équations II.23 et II.23)

$$Q_4 = \int_{t_3}^{t_4} I_G \cdot dt \quad (II.23)$$

$$C_{GD_MAX} = \frac{Q_4}{\Delta V_{GD}} \quad (II.24)$$

Partie 5: du début à la fin de la transition de V_{ds} . Elle est symbolisée par la croissance de V_{gs} de la valeur du plateau de Miller à la valeur maximale du driver. Ce processus permet la charge de la capacité d'entrée C_{iss} . Etant donné que V_{ds} est minimale, cette capacité est maximale.

$$Q_5 = \int_{t_4}^{t_5} I_G \cdot dt \quad (II.25)$$

$$C_{IESS_2} = \frac{Q_5}{\Delta V_{GS}} \quad (II.26)$$

$$C_{IESS_2} = C_{GS_MAX} + C_{GD_MAX} \quad (II.27)$$

Une fois les valeurs minimales et maximales des capacités obtenues, les profils des capacités peuvent être tracés en utilisant la formule de l'équation II.28 qui est un modèle de capacité de MOSFET SiC sous SPICE [8].

$$C(V) = C_0 \frac{1}{\sqrt{(1+V) \cdot (1 + \frac{k_a [1 + \tanh(k_a V - k_c)]}{2})}} \quad (II.28)$$

La méthodologie d'extraction des paramètres C_0 , K_a , K_b et K_c est bien expliquée dans le document de thèse [8]. Il faut noter cependant que cette technique est moins précise que la méthode statique car elle estime le profil des capacités à partir de deux valeurs seulement. La figure II.9 présente des profils de capacité obtenus avec cette méthode pour des transistors Normally-ON fournis par le CEA-Leti.

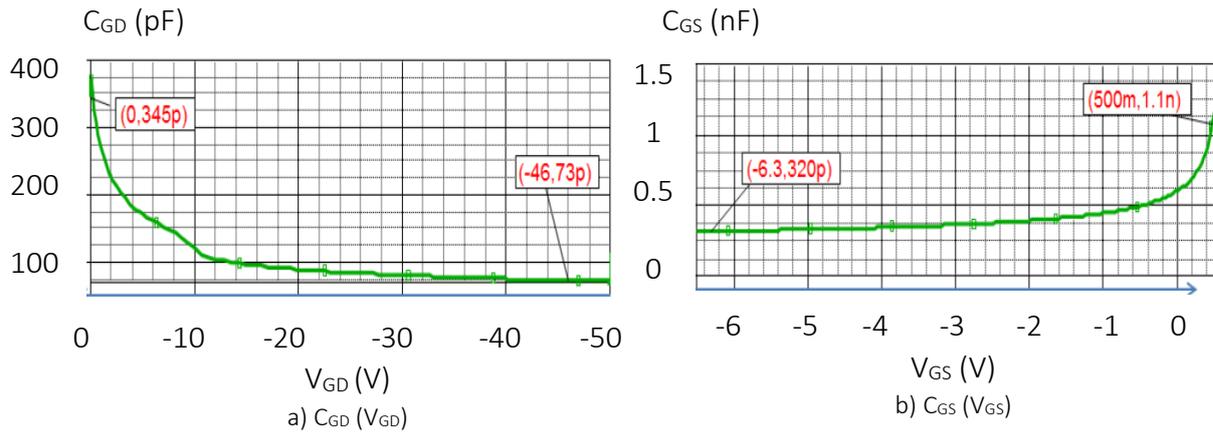


Figure II.9 : profil des capacités obtenu par l'extraction dynamique HEMT GaN [8]

Malgré l'inconvénient mentionné précédemment concernant la méthode d'extraction des capacités (profil imprécis), cette méthode dynamique a donné des résultats très satisfaisants en commutation comme le montre la figure II.10.

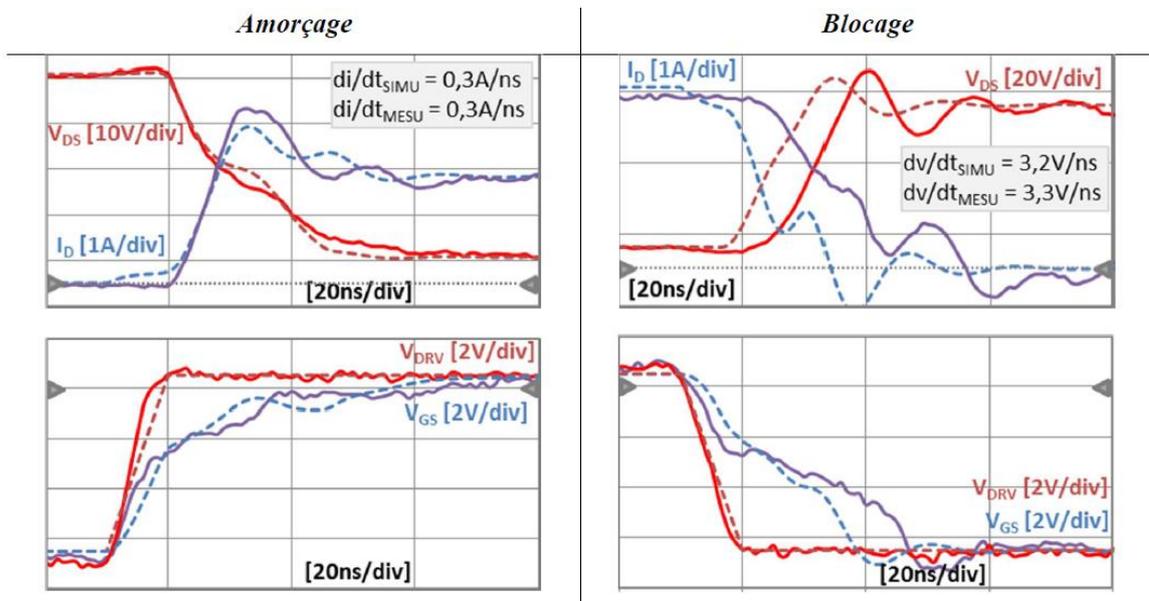


Figure II.10 : Résultats de commutation obtenu avec la méthode dynamique [8].

A l'issue de cette étude bibliographique les questions ci-dessous se posent :

- Les capacités obtenues par approche dynamique (mesurées avec un V_{gs} variable) sont-elles différentes des capacités en régime statique (mesurées avec un V_{gs} constant) ?
- Selon les techniques d'extraction utilisées, l'impact sur l'erreur (écart modèle-mesure) est-il tolérable ? Si oui quel est le compromis le plus intéressant entre la facilité de modélisation de circuit monolithique complexe à base de transistors GaN et la précision de ces modèles (erreur) ?

En vue de répondre à ces questions, les premiers travaux de cette thèse sont consacrés à la mise en place d'un modèle très simple (avec le moins de paramètres possible). Les deux approches d'extraction des paramètres (dynamique et statique) sont utilisées et comparées.

II. Modèle comportemental pour la simulation de circuits

Cette étude bibliographique a permis de mettre en évidence le bon compromis complexité-précision-identification offert par le modèle de la figure II.11. Ce modèle est en pratique composé de deux sources de courant (fonctionnement direct et inverse), des résistances d'accès (R_g , R_s et R_d) et des capacités extrinsèques ($C_{gs}(V_{gs}, V_{ds})$, $C_{ds}(V_{gs}, V_{ds})$ et $C_{gd}(V_{gs}, V_{ds})$). L'utilisation de plusieurs sources de courant permet de faciliter la modélisation sous Spice. Cet outil numérique de simulation (LTSpice) a été choisi pour sa large accessibilité dans le domaine de l'électronique de puissance. En plus de cela il facilite la mise en œuvre de circuits de simulation avec sa large bibliothèque de composants numériques. L'équation II.29 et II.30 présente les expressions analytiques des deux sources de courant.

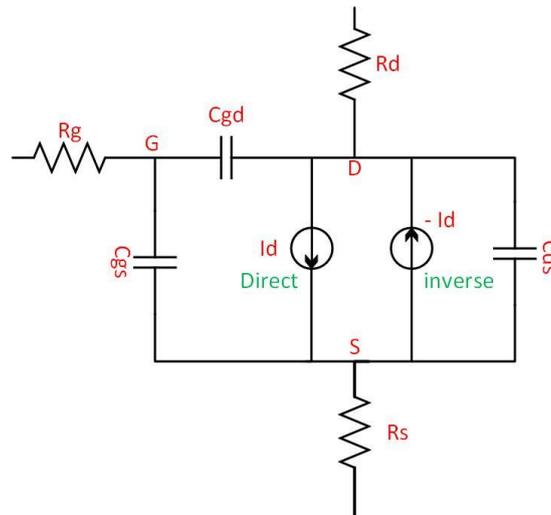


Figure II.11 : modèle comportemental du HEMT GaN

Régime direct :

$$I_d = \begin{cases} 0, & \text{si } V_{gs} < V_{th} \text{ \& } V_{ds} \geq 0 \\ g_f \cdot V_{ds} & \text{si } V_{gs} \geq V_{th} \text{ \& } V_{ds} < (V_{gs} - V_{th}) \\ g_f \cdot (V_{gs} - V_{th}), & \text{si } V_{ds} \geq (V_{gs} - V_{th}) > 0 \end{cases} \quad (II.29)$$

Régime inverse :

$$I_d = \begin{cases} 0, & \text{si } V_{gd} < V_{th} \text{ \& } V_{ds} < 0 \\ g_f \cdot V_{ds} & \text{si } V_{gd} \geq V_{th} \text{ \& } V_{sd} < (V_{gd} - V_{th}) \\ -g_f \cdot (V_{gs} - V_{th}), & \text{si } V_{ds} < 0 \text{ \& } V_{sd} \geq (V_{gd} - V_{th}) > 0 \end{cases} \quad (II.30)$$

Pour la modélisation de la source de courant, le modèle ne comporte que 2 paramètres qui sont :

- g_f : la transconductance en régime direct ou en régime inverse.
- V_{th} : la tension de seuil qui est la même pour les deux modes de fonctionnement. Ce choix est discutable pour certains dispositifs HEMT mais simplifie l'identification du paramètre.

L'extraction de ces paramètres de la source de courant et des autres paramètres va se faire en utilisant des données obtenues par des mesures de caractérisation (statique et dynamique).

A. Identification expérimentale des paramètres du modèle

a) Présentation des bancs de Test

Banc de caractérisation dynamique :

Pour pouvoir extraire les paramètres du modèle en dynamique le banc de test représenté par le circuit de la figure II.12 a été mise en place. Il fonctionne comme un convertisseur Boost. Le circuit est composé de trois interrupteurs de puissance (diodes, HEMT GaN et IGBT). Le banc de test sera calibré de façon à ce que la commutation de l'IGBT (commutation lente) ne produit aucun effet sur la commutation du HEMT GaN (commutation rapide).

Le banc de test dynamique a été mis en place par [90-91] dans le cas de développement de modèles de MOSFETS et de diodes SiC. La figure II.13 représente la forme des commandes appliquées au HEMT et à l'IGBT.

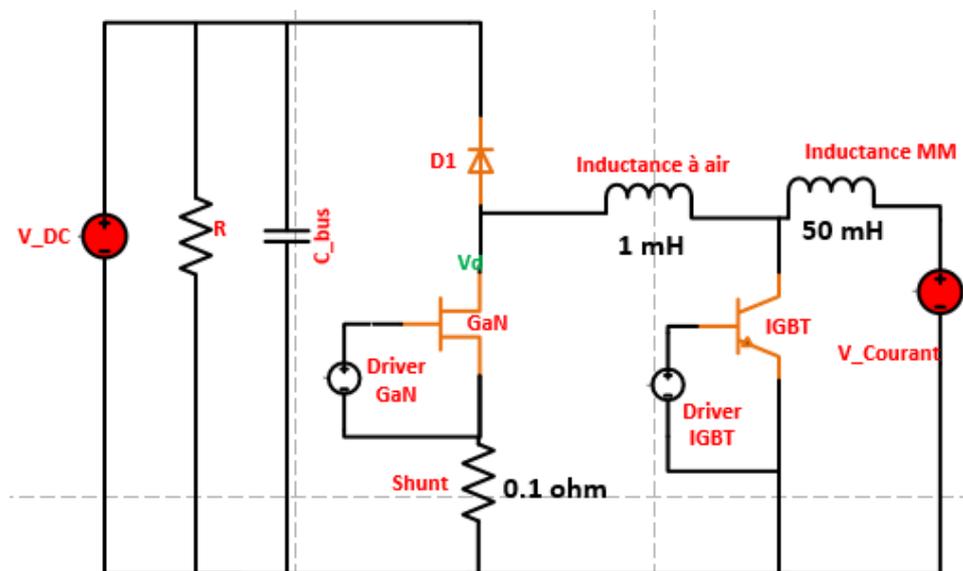


Figure II.12 : banc de caractérisation dynamique GaN

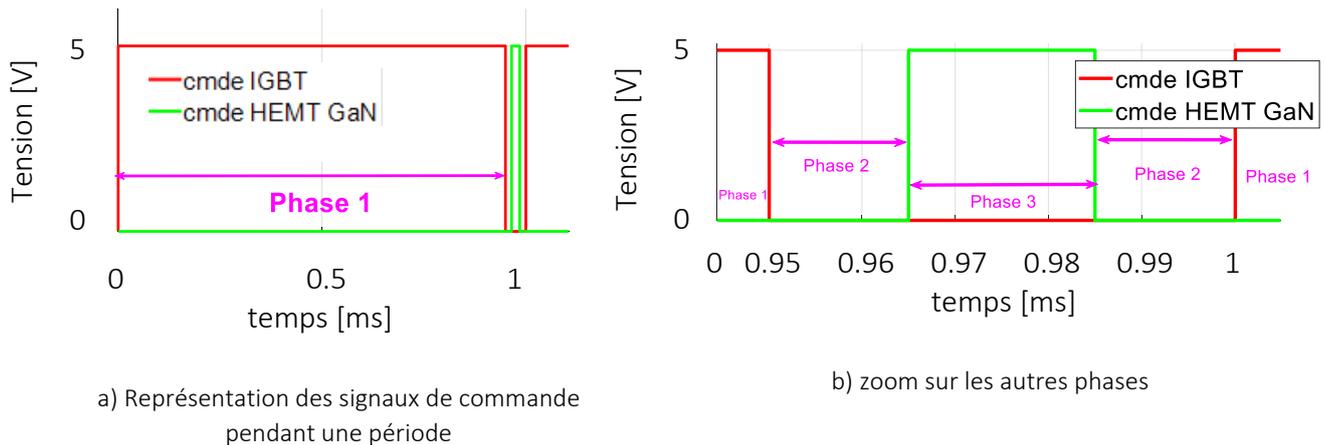


Figure II.13 : signaux de commande des interrupteurs de puissance du banc de test dynamique

Avec ce type de commande, le fonctionnement du convertisseur peut être divisé en trois phases pour une fréquence de commutation de 1 KHz, voire moins en fonction des contraintes d'auto-échauffement. La première phase (phase 1) correspond à l'amorçage de l'IGBT formant ainsi avec la source de tension et l'inductance magnétique de 50 mH une "charge de l'inductance" dans le but d'effectuer par la suite une attaque en courant. Cette phase dure 950 μ s. Durant tout le déroulement de cette phase, les autres interrupteurs de puissance sont ouverts. Cette première phase permet de fixer le courant de caractérisation du GaN (I_d). Le blocage de l'IGBT va marquer le début de la deuxième phase (Phase 2). Vu que le GaN est toujours ouvert, le courant va circuler au niveau de la résistance (R) via la diode et l'inductance à air de 75 μ H (large bande). Cette inductance sert de filtrage pour la haute fréquence. Pour assurer un bon déroulement du banc de test durant cette phase 2, la résistance R doit être dimensionnée selon l'équation II.31.

$$R < \frac{V_{dc}}{\alpha \cdot I_{dmax}} \quad (\text{II.31})$$

α : est le rapport cyclique du convertisseur.

I_{dmax} : est le courant maximal de fonctionnement du convertisseur.

La source de tension (V_{dc}) va permettre de fixer la tension V_{dsOff} du GaN pendant cette phase 2. L'amorçage du HEMT se traduit par la fin de la phase 2 et le début de la phase 3. Cette dernière est de courte durée (20 μ s). Ce temps permet de faire commuter le HEMT tout en évitant l'auto-échauffement. De plus, la durée de phase 1 permet le refroidissement du HEMT entre ses deux phases d'amorçage.

La caractéristique électrique (V_{dson}) mesurée pendant la phase 3 permet d'obtenir les valeurs de paramètres du modèle (R_d , R_s et g_f).

V_{dson} est la tension entre le drain et la source à l'amorçage du HEMT

➤ Présentation du banc de caractérisation statique

La caractérisation statique se fait à l'aide du traceur de caractéristiques B1505 A de Keysight. Cet appareil permet de mesurer les caractéristiques $I(V)$ et $C(V)$ des différents interrupteurs de puissance présentés dans le chapitre 1. Les $I(V)$ sont au nombre de trois ; il en est de même pour les $C(V)$. Voici la liste des mesures $I(V)$ et $C(V)$ déterminantes pour le modèle vis-à-vis de paramètres statiques.

- $I_d = f(V_{ds})$ pour une V_{gs} constante et $V_{ds} > 0$: l'indicatif du fonctionnement direct
- $I_d = f(V_{ds})$ pour une V_{gs} constante et $V_{ds} < 0$: l'indicatif du fonctionnement indirect
- $I_d = f(V_{gs})$ pour une V_{ds} constante et $V_{ds} > 0$: l'indicatif de la transduction et de la tension de seuil
- Les capacités extrinsèques du transistor (C_{gd} , C_{ds} , et C_{gs}).

Le B1505A offre la possibilité de faire des mesures allant de la faible puissance à la forte puissance (figure II.13). Il peut mesurer des courants de drain qui peuvent aller jusqu'à 20 A. N'ayant pas de composant GaN issu de la salle blanche de l'Université de Sherbrooke, le choix a été porté sur des transistors GS665006P de GaN System.

• Protocole de mesure $I(V)$

Vu la tenue en courant assez importante de ce transistor, une mesure « 4 points » a été réalisée afin de minimiser au maximum les perturbations dues aux éléments parasites. Cette méthode consiste à appliquer le signal à l'aide de deux signaux (Force) et de récupérer les grandeurs électriques à l'aide de deux autres fils (Sense). Dans le cas du B150A le SMU haute intensité à 4 fils (HCSMU) va permettre d'appliquer la tension V_{ds} (Force) et de récupérer le courant de drain (I_d) qui en découle (Sense). Une mesure en deux points de la grille par le biais de la HPSMU permet d'appliquer la tension désirée au niveau de la grille. La figure II.15 montre le schéma électrique de ce protocole de mesure.

Module	HPSMU	MPSMU	HCSMU	HVSMU	MCSMU
Maximum Force Voltage	$\pm 200 V$	$\pm 100 V$	$\pm 40 V (DC)$ $\pm 20 V (Pulse)$	$\pm 3000 V$	$\pm 30 V$
Maximum Force current	$\pm 1 A$ at $\pm 20 V$	$\pm 100 mA$ at $\pm 20 V$	$\pm 1 A (DC)$ $\pm 20 A (Pulse)$	$\pm 8 mA$ at 1500 V $\pm 4 mA$ at 1500 V	$\pm 100 mA (DC)$ $\pm 1 A (Pulse)$
V Measurement Resolution	2 μV	2 μV	200 nV	200 μV	200 nV
I Measurement Resolution	10 fA	10 fA	10 pA	10 fA	10 pA



a) caractéristiques du B1505A

b) B1505 A

Figure II.14 : le B1505A et ses caractéristiques

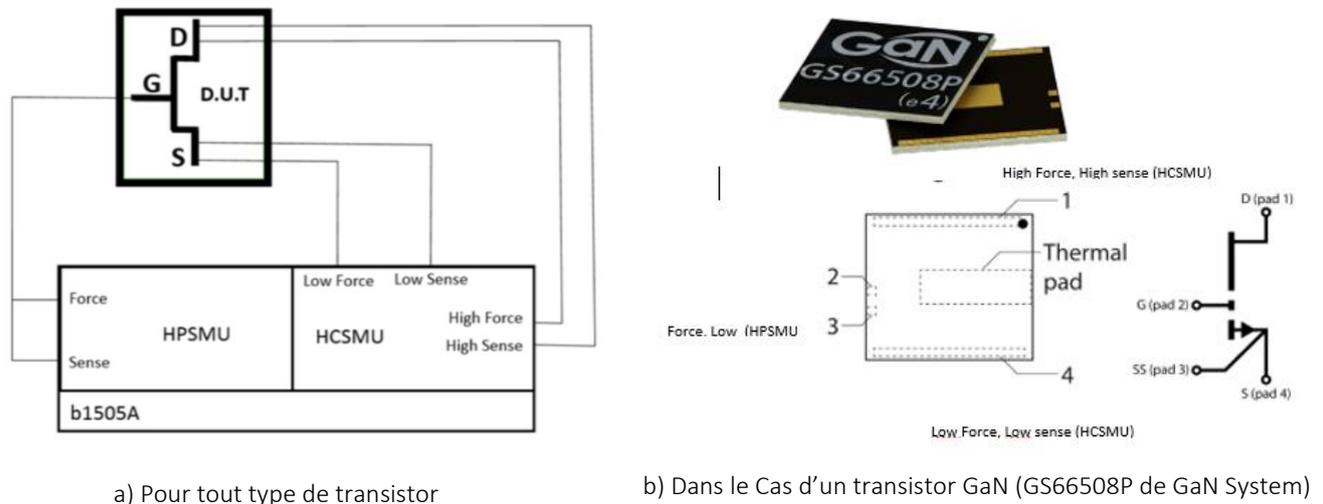


Figure II.15 : Schéma électrique permettant de mesurer les caractéristiques I(V) en utilisant le B1505A.

- Déroulement des mesures et réglage du B1505A

Un balayage de la tension de drain-source et de la tension grille source est réalisé respectivement à l'aide de la HPSMU et de la HCSMU. Cette procédure est répétée plusieurs fois par l'appareil permettant ainsi d'établir les caractéristiques I (V) présentées à la partie suivante. Le datasheet du GS66508P a permis de définir les valeurs de V_{ds} et V_{GS} :

- ✓ Application de la tension V_{ds} :

V_{ds} : de 0 V à 6 V avec un pas de 100 mV

- ✓ Application de V_{GS} voltage:

V_{gs} : de 0 V à 7 V avec un pas de 1 V

Afin d'éviter une variation de la température de test du GaN, les mesures s'effectuent sous forme « pulsée » avec les caractéristiques suivantes :

- durée d'impulsion : 500 μ s
- période d'impulsion : 50 ms.

b) Extraction des paramètres :

➤ Cas statique

Les mesures réalisées à l'aide du B1505A ont permis d'obtenir les résultats présentés ci-dessous (Figure II.16 à Figure II.19). Les paramètres des deux sources de courant et des résistances d'accès du modèle seront extraits de ces caractéristiques.

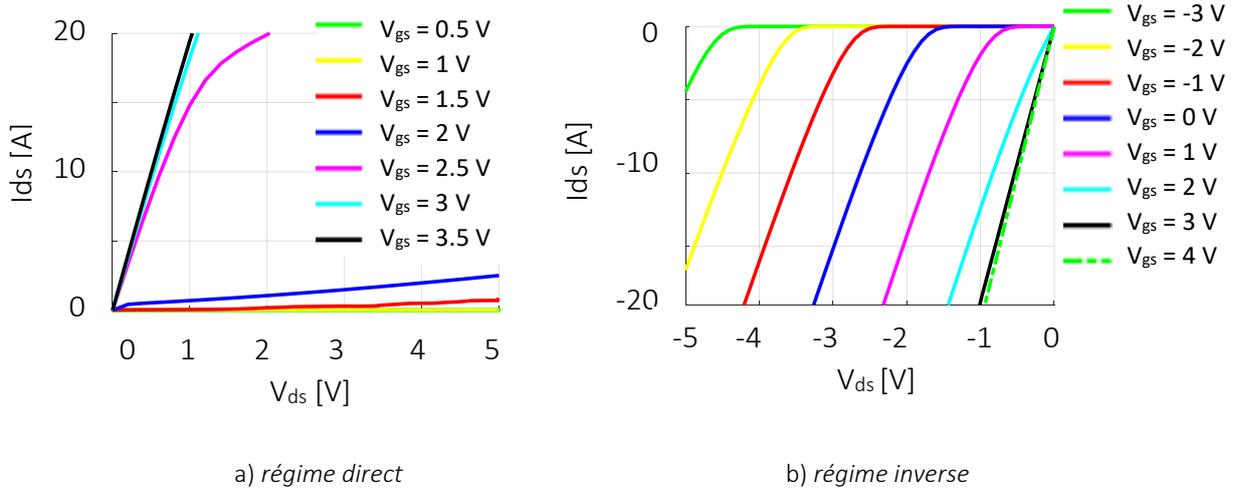


Figure II.16 : mesure $I_d = f(V_{ds})$ à 25° C

A 25 °C, pour des tensions de grille inférieures à 1.5 V (figure II.16) le courant de drain est presque nul. Cependant pour des tensions de grille supérieures ou égales à 2V le courant drain devient non négligeable. Cette augmentation du courant de drain est le résultat de la fermeture du canal dû à un dépassement de la tension de seuil du transistor.

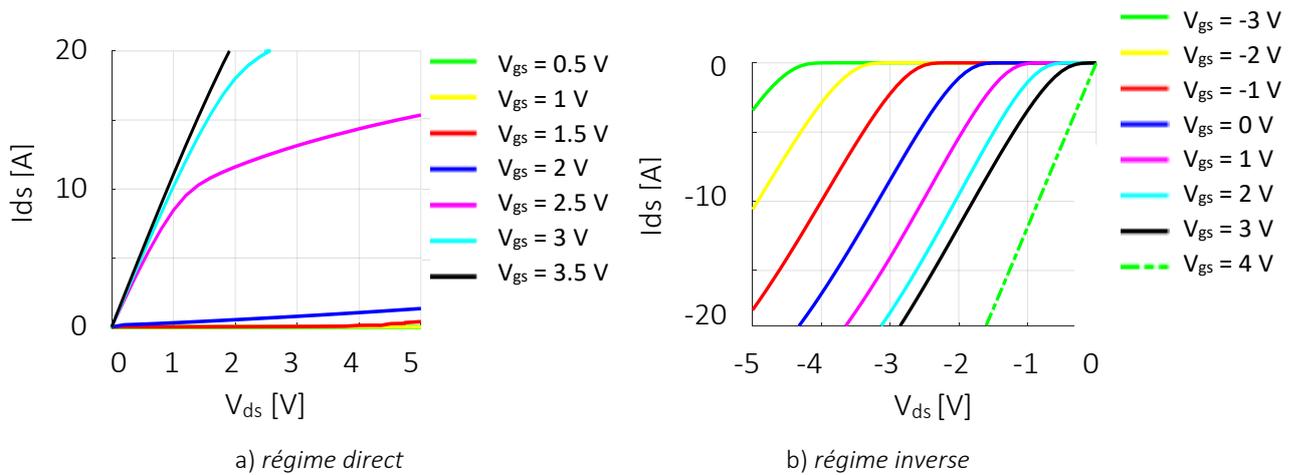


Figure II.17 : mesure $I_d = f(V_{ds})$ à 50° C

Ce courant de drain fourni par les sources de courant (direct et inverse) diminue avec l'augmentation de la température de fonctionnement du GS66508 P (figure II.17 et Figure II.18). La variation de la résistance à l'état on (R_{on}), de la tension de seuil (V_{th}) et de la transconductance en fonction (g_f) sont la cause principale de la diminution du courant de drain.

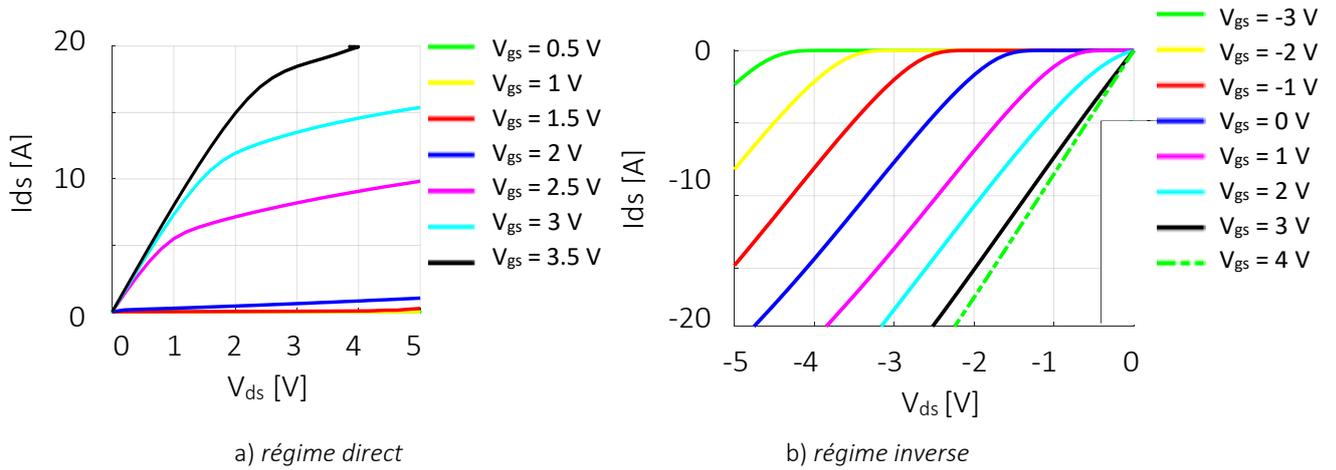


Figure II.18 : mesure $I_d = f(V_{ds})$ à 125°C

Ces mêmes phénomènes observés en régime direct se déroulent aussi pour le régime inverse. Cependant le courant de drain est plus important en inverse qu'en direct pour la même valeur de V_{gs} . La diminution de la tension de grille entraîne une augmentation de courant de drain de manière non négligeable. Ce phénomène est l'une des causes des fortes contraintes sur la gestion du temps mort observées dans le cas d'un bras d'onduleur, donc de fortes pertes joules (détaillé au chapitre 4).

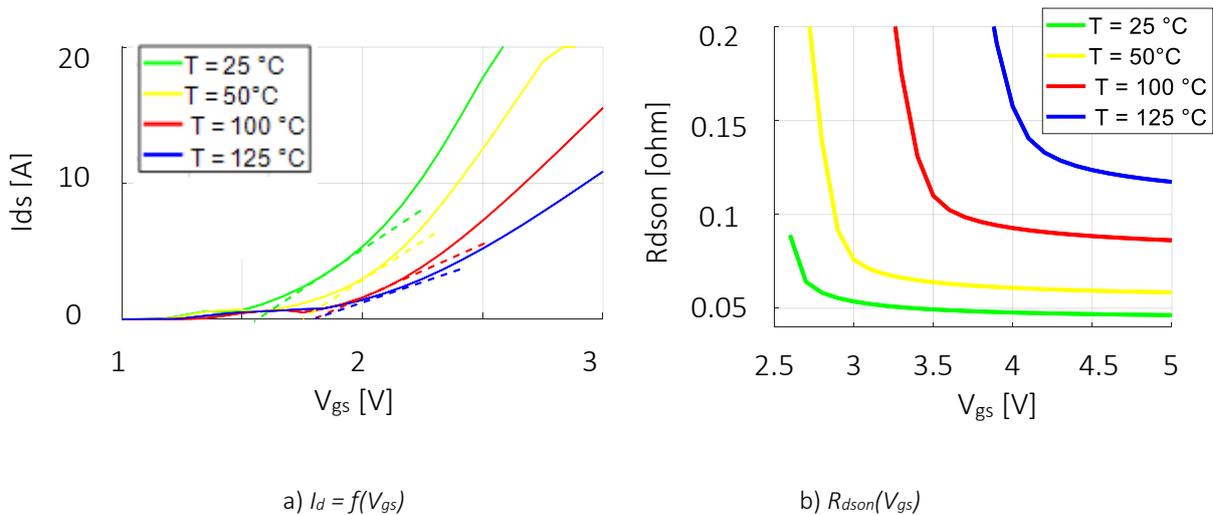


Figure II.19 : mesure $I_d = f(V_{gs})$ et $R_{dson}(V_{gs})$ pour différentes températures et $V_{ds} = 5\text{V}$

Ces premières analyses de la caractéristique $I_d=f(V_{ds})$ permet de conclure que la tension de seuil statique du GS66508P est comprise entre 1.5 et 2V. La caractéristique $I_d = f(V_{gs})$ a été mesurée (figure I.19a) pour différente température ainsi la tangente de cette caractéristique coupant l'axe des abscisses a permis d'obtenir la valeur de la tension de seuil statique. Cette tension seuil statique augmente avec la température (tableau II.1 et figure II.19a) mais se stabilise à 1.83 V à 50°C .

Température	25 °C	50 °C	100 °C	125 °C
V_{th}	1.58 V	1.75 V	1.83 V	1.83 V
V_{th} Normalisé à 25 °C	1	1.11	1.85	1.1709

a) V_{th}

Température	25 °C	50 °C	100 °C	125 °C
R_{on}	46.5 mΩ	58.5 mΩ	86 mΩ	117 mΩ
R_{on} Normalisé à 25 °C	1	1.2062	1.85	2.4124

b) R_{on} Tableau II.1 : V_{th} et R_{on} statique du GaN en fonction de la température

La diminution du courant due à l'augmentation de la température (figure II.17 et Figure II.18) est le résultat de l'augmentation de la résistance à l'état ON (R_{on}) et la diminution de la transconductance g_f . La mesure de la résistance à l'état ON en fonction de V_{gs} montre bien cela (figure II.19b). Avec la figure II.19b, il est possible de remarquer que R_{on} varie fortement avec V_{gs} surtout pour de faibles tensions de grille. Une stabilisation de R_{on} est à noter pour de forte valeur de V_{gs} . Le tableau II.1b présente la R_{on} à forte V_{gs} pour différente température de fonctionnement.

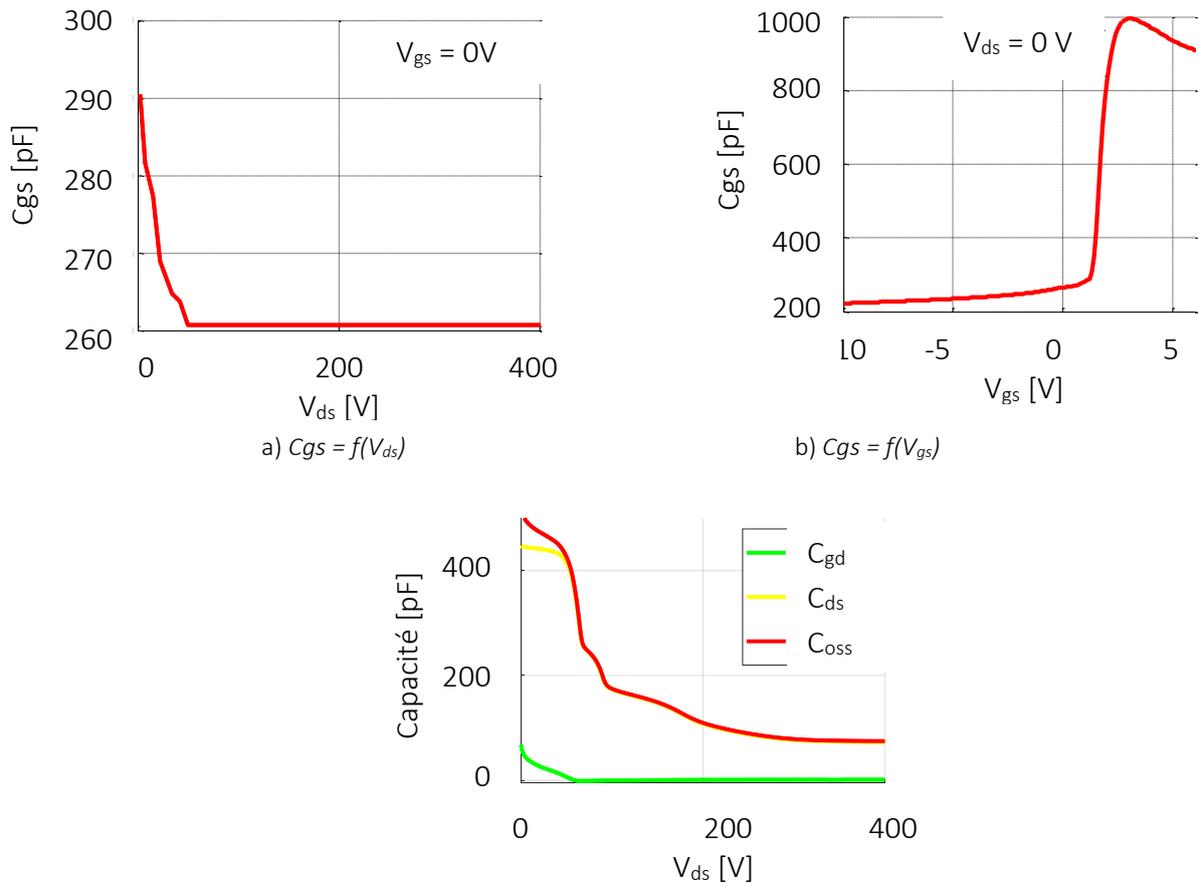
Cette résistance R_{on} peut être considérée comme la somme de la résistance du canal R_{canal} , de la résistance accès à la source (R_s) et de la résistance accès du drain (R_d). N'ayant pas trouvé de techniques probantes pour mesurer de manière précise ces différentes résistances (R_{canal} , R_d et R_s), les hypothèses suivantes ont été établies :

$$1^{er} \text{ hypothèse : } R_{canal} = 0 \Omega \text{ et } R_d = R_s = \frac{R_{on}}{2}$$

$$2^{eme} \text{ hypothèse : } g_f = \frac{1}{R_{on}}$$

Afin de faciliter la modélisation, les paramètres de régime direct sont considérés identiques aux paramètres du régime inverse.

Pour finir cette partie statique, les capacités extrinsèques ont été mesurées en utilisant le B15 (figure II.20 et figure II.21)



c) $C_{gd} = f(V_{ds})$, $C_{ds} = f(V_{ds})$ et $C_{oss} = f(V_{ds})$

Figure II.20 : mesure C(V) du GS66508P

Pour pouvoir modéliser la variation des capacités en fonction de la tension, la fonction exponentielle a été choisie (équation II.31 et II.31). Ce choix a été fait pour deux raisons :

- La meilleure convergence sous Spice
- La simplicité à déterminer la quantité de charge d’une capacité décrite par une fonction exponentielle. Vu que sous LTSpice la modélisation de la variation des capacités se fait par la modélisation des quantités de charge : plus la fonction de modélisation est simple plus la modélisation sous Spice est simple. Dans le cas des modèles fournis par GaN System et EPC, la fonction exponentielle est utilisée (modèle fourni en annexe I).

Concernant la capacité C_{gs} , elle varie peu avec V_{ds} (figure II.20a) ce qui n’est pas le cas avec V_{gs} (équation II.33). C’est cette raison qui a motivé la modélisation uniquement en fonction de V_{gs} .

$$C_{gd}(V_{gd}) = \frac{a_1}{1 + \exp(-b_1(V_{gd} + c_1))} + d_1 \quad (II.31)$$

$$C_{ds}(V_{sd}) = \frac{a_2}{1 + \exp(-b_2(V_{sd} + c_2))} + d_2 \quad (II.32)$$

$$C_{gs}(V_{gs}) = \frac{a_3}{1 + \exp(-b_3(V_{gs} + c_3))} + d_3 \quad (II.33)$$

Les paramètres a, b, c et d sont déterminés par « fitting ». Le tableau II.2 présente les valeurs trouvées pour les 3 capacités

	C_{gd}	C_{gs}	C_{ds}
a_k [pF]	98	658.5	430
b_k [V^{-1}]	0.05836	6.009	0.02985
c_k [V]	2.644	-1.711	73.28
d_k [pF]	1	267.4	76

Tableau II. 2 : les différents paramètres du modèle des capacités

La figure ci-dessous présente une comparaison des capacités mesurées avec celles obtenues par « fitting ».

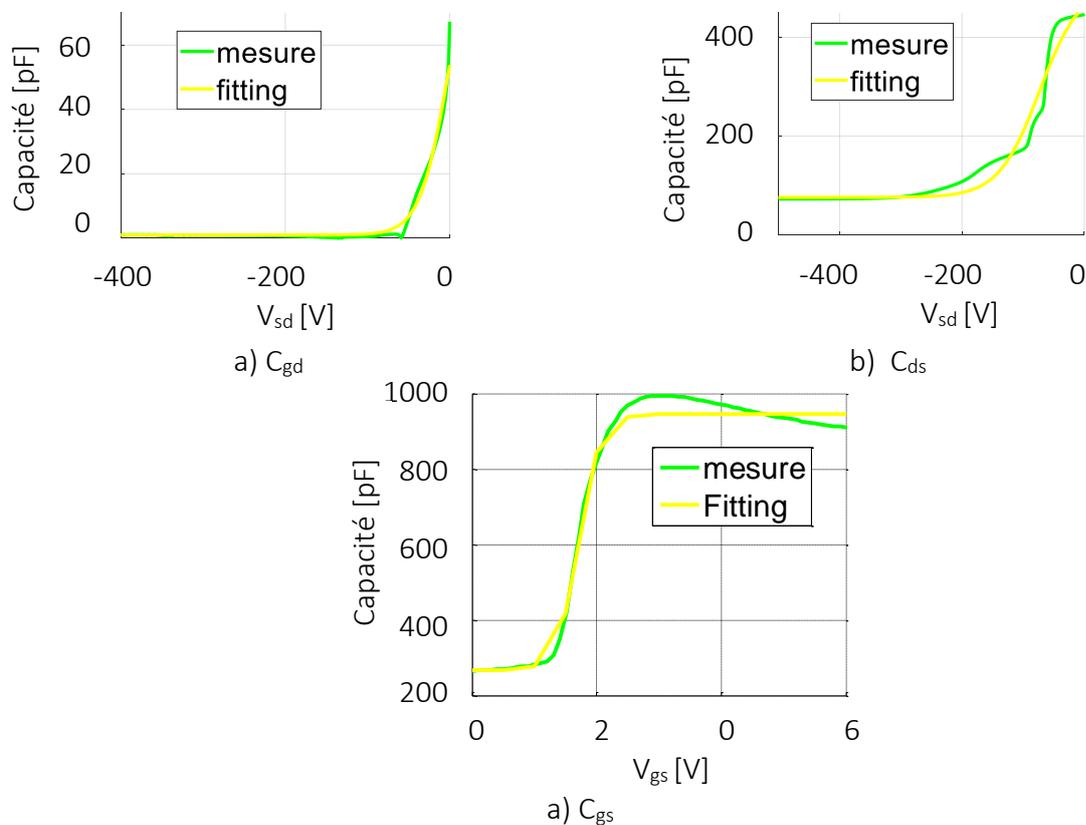


Figure II.21 : Comparaison des C(V) du GS66508P

Le modèle par fonction exponentiel assure une représentation acceptable des capacités. Cependant la valeur maximale des capacités obtenues par « fitting » est plus faible. Pour la capacité C_{gd} un écart d'environ 20 pF est noté entre le modèle par « fitting » et la mesure. Cet écart peut avoir quelques impacts sur les $\frac{dv}{dt}$. Pour la capacité C_{gs} , l'écart est de 50 pF. Cette différence observée sur C_{gs} va avoir moins d'impact sur les $\frac{dv}{dt}$. Vu que ces dernières dépendent plus des autres capacités (Chapitre 3).

➤ Cas dynamique

- Détermination de R_{on} , R_d et R_s

Vu la faible valeur de la résistance à l'état ON (R_{on}), mesurer cette dernière à partir de V_{dson} (tension à l'état ON du transistor) est très difficile à faire à cause des perturbations. Plus l'écart entre la tension au blocage du GaN ($V_{dsoff} > 50V$) et V_{dson} ($50\text{ mV} \leq V_{dson} \leq 3V$) est important, plus V_{dson} est perturbée durant la mesure. La diminution de cet écart par un système d'écrêtage peut permettre de mesurer la valeur réelle de V_{dson} . L'écrêtage de V_{dsoff} à 5 V par un système à base de diode zener et de résistance R_z (figure II.22b) a permis de mesurer V_{dson} . La simplicité et les moindres coûts de ce système d'écrêtage ont été les éléments de motivation de notre choix. De plus des résultats satisfaisants ont été obtenus par [92] dans le cas de l'évaluation de la résistance dynamique des transistors de GaN System.

$$R_{on} = \frac{V_{dson}}{I_d} \quad \text{II.34}$$

La mesure de V_{dson} a permis de déterminer R_{on} pour le mode dynamique en utilisant l'équation II.34. La figure II. 22c et figure II.22d présentent respectivement la tension mesurée aux bornes de la diode zener et la résistance R_{on} en fonction du temps. Il faut noter que la mesure par approche dynamique de R_{on} permet d'avoir une mesure plus précise que celle par approche statique.

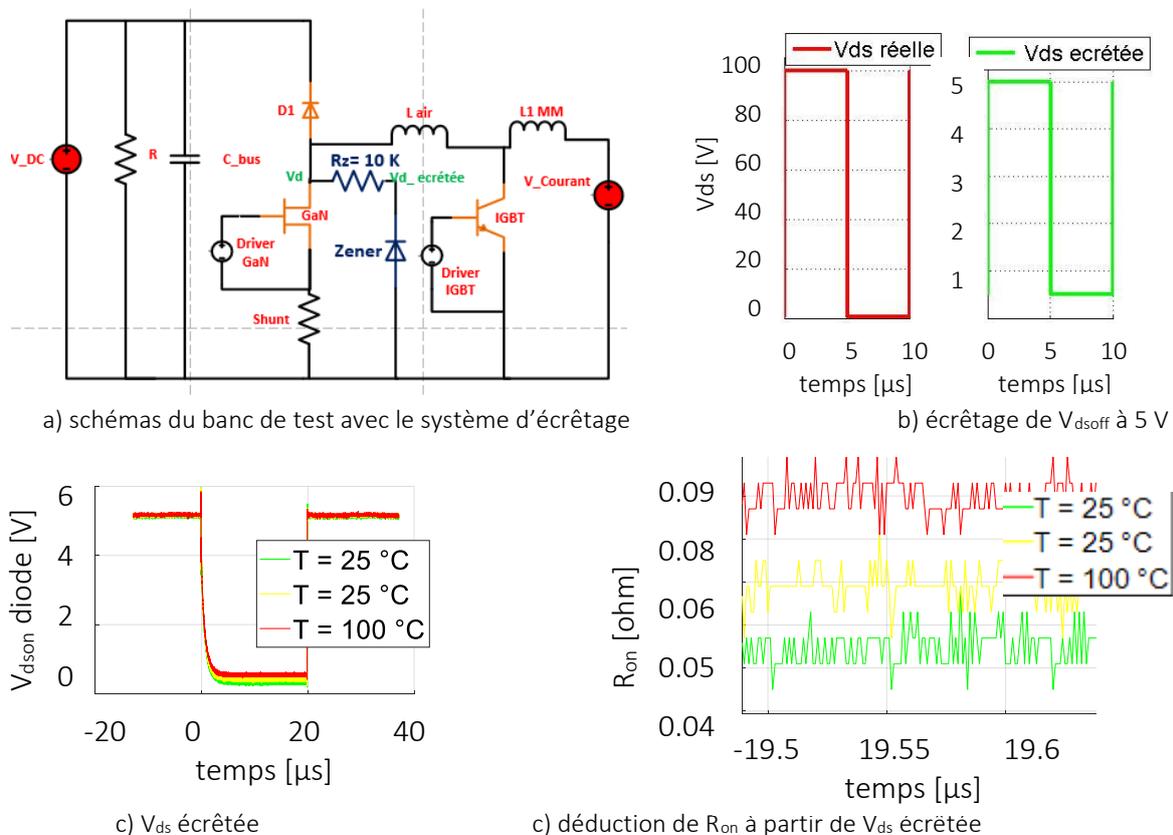


Figure II.22 : mesure de V_{dson} et de R_{on} dynamique pour plusieurs températures de fonctionnement du HEMT pour un courant de drain de 1 A ($I_d = 1\text{ A}$) et une tension grille source de 4 V

Température	25 °C	50 °C	100 °C
R _{on} par approche dynamique	55 mΩ	70 mΩ	90 mΩ
R _{on} dynamique Normalisé à 25 °C	1	1.2062	1.85
Ecart = R _{on} par approche dynamique - R _{on} par approche Statique	15 %	16 %	4 %

Tableau II. 3 : Valeur de R_{on} obtenue avec l’approche dynamique

Comme dans le cas statique, en dynamique aussi la résistance R_{on} augmente en fonction de la température. Les valeurs de R_{on} obtenues pour le mode dynamique sont légèrement supérieures à celles mesurées en statique (tableau II.3). Cette différence peut provenir des résistances parasites dues aux pistes du PCB ou des phénomènes de pièges qui proviendraient des changements d’état de la tension du côté de la grille (V_{gs}). L’écart entre R_{on} par approche dynamique et R_{on} par approche statique varie de manière uniforme avec la température. Le passage de la température de 25 °C à 50 °C a entraîné une augmentation de 1 % de cet écart. Cet écart est de -12 % lorsque la température passe de 50 °C à 100 °C. Cette variation non uniforme de l’écart montre que les pistes du PCB ne sont pas responsables de la différence obtenue entre la statique et la dynamique Vu que l’écart diminue avec la température au lieu d’augmenter.

La validation du modèle va permettre de voir plus en détails l’impact de cet écart entre la valeur de R_{on} en dynamique et la valeur de R_{on} en statique sur la commutation du HEMT.

1^{er} hypothèse : R_{canal} = 0 et R_d = R_s = $\frac{R_{on}}{2}$

2^{eme} hypothèse : g_f = $\frac{1}{R_{on}}$

Ces valeurs R_{on} dynamiques obtenues pour plusieurs températures ont permis de déterminer les paramètres R_d et R_s du modèle en utilisant les mêmes hypothèses qu’en régime statique.

Les autres paramètres (V_{th}, C_{ds}, C_{gd} et C_{gs}) du modèle dynamique sont déterminés en utilisant les signaux de commutation de la figure II.23 lors de la phase d’amorçage.

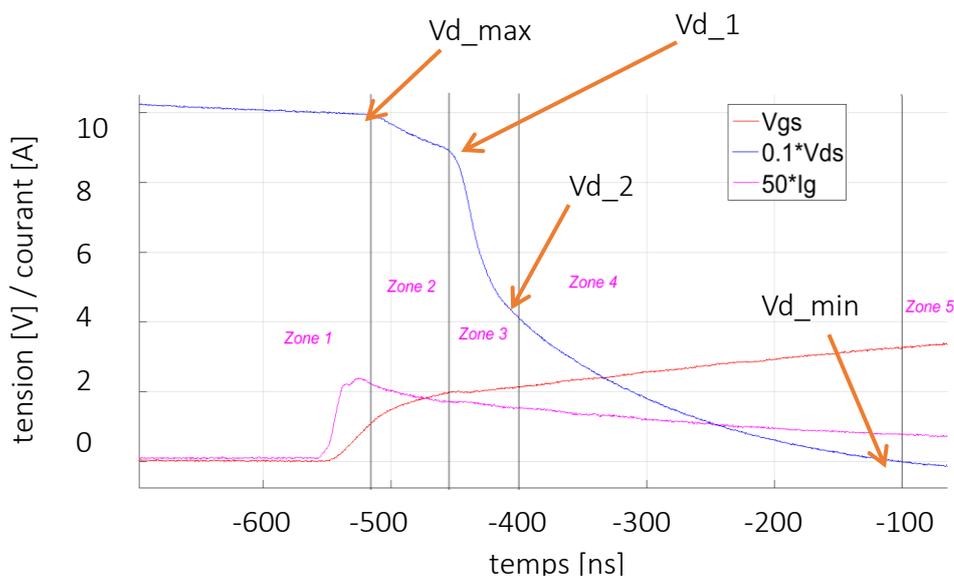


Figure II.23 : Amorçage sous V_{DC} = 100V, I_d = 6A et R_{gs} = 500 Ω

➤ Détermination de la tension de seuil par approche dynamique

L'application d'une tension $V_{gs} \geq V_{th}$ va entraîner le début de commutation de courant dans la zone 2. Ainsi la tension V_{gs} obtenue à cet instant est la tension de seuil du transistor (V_{th}). Les tests réalisés sous plusieurs températures ont permis d'obtenir les tensions de seuil du tableau II.4. Une différence est à noter entre les tensions de seuil obtenues en statique et celles en dynamique. Cette différence peut être expliquée par une légère augmentation de la température due aux pertes de commutation et de conduction du transistor en dynamique. Cette différence proviendrait également de l'imprécision de la mesure également, notamment le déphasage possible à cette échelle temporelle entre les signaux tension et courant. Ce déphasage doit être observé puis compensé pour garantir une mesure correcte.

Température	25 °C	50 °C	100 °C
V_{th} par approche dynamique	1.62 V	1.72 V	2.04 V
V_{th} dynamique Normalisée à 25 °C	1	1.11	1.85
Ecart (V_{th} dynamique - V_{th} statique)	2 %	-5 %	5 %

Tableau II.4 : présentation de la Ron obtenue avec le mode dynamique

➤ Détermination des capacités C_{gs} , C_{gd} et C_{ds} pour le mode dynamique

Pour déterminer les capacités (C_{gs} et C_{gd}), deux méthodes sont utilisées.

✓ Détermination de C_{gsmin} , C_{gdmin} , C_{gsmax} , C_{gdmax} et leur profil par la méthodes #1:

La première méthode est celle proposée dans [8] qui consiste à diviser cette phase de commutation en 5 zones et déterminer les capacités minimales et maximales de chaque capacité. Avec ces deux valeurs obtenues (capacité minimale et capacité maximale), le profil de la capacité est déterminé en utilisant une fonction mathématique.

La zone 1 qui est caractérisée par la charge de la capacité d'entrée ($C_{issmin} = C_{gsmin} + C_{gdmin}$) qui est due par l'accroissement de V_{gs} de V_{driver_min} à V_{th} . Ainsi C_{issmin} est obtenue en utilisant les équations suivantes :

$$C_{iss_min} = C_{gs_min} + C_{gd_min} = \frac{Q}{\Delta V_{gs}} = \frac{\int_{t_0}^{t_1} i_g * dt}{\Delta V_{gs}} = 219F$$

La zone 3 qui correspond au début de la commutation de la tension (diminution de V_{ds}) qui a pour conséquence le déchargement partiel de la capacité C_{gd} . Vu que durant cette phase la tension V_{gs} est constante. La capacité déterminée du côté de la grille va correspondre à la capacité minimale de C_{gd} . L'obtention de C_{gdmin} permet de déduire C_{gsmin} en utilisant la zone 1.

$$C_{gd_min} = \frac{Q}{\Delta V_{gd}} = \frac{\int_{t_2}^{t_3} i_g * dt}{\Delta V_{gd}} = 6 \text{ pF}$$

$$C_{gs_min} = C_{iss_min} - C_{gd_min} = 213 \text{ pF}$$

La zone 4 marquant la deuxième et la dernière phase de commutation de la tension. Elle permet d'obtenir la capacité maximale de C_{gd} pour les mêmes conditions que la zone 3.

$$C_{gd_max} = \frac{Q}{\Delta V_{gd}} = \frac{\int_{t_3}^{t_4} i_g * dt}{\Delta V_{gd}} = 26 \text{ pF}$$

La capacité maximale de C_{gs} est déterminée dans la zone 5 qui débute par la fin de la commutation de tension du HEMT. Cette phase est caractérisée par l'accroissement de la tension V_{gs} de la tension de Miller à la tension V_{driver_max} . Cette variation de V_{gs} occasionne la décharge de la capacité d'entrée (C_{iss}). La capacité C_{gs_max} peut être obtenue en utilisant l'équation descriptive de cette zone et celle de la zone 4.

$$C_{iss_max} = C_{gs_max} + C_{gd_max} = \frac{Q}{\Delta V_{gs}} = \frac{\int_{t_4}^{t_5} i_g * dt}{\Delta V_{gs}} = 588 \text{ pF}$$

$$C_{gs_max} = C_{iss_max} - C_{gd_max} = 562 \text{ pF}$$

Une fois les valeurs minimales et maximales obtenues la prochaine étape consiste à tracer le profil de ces capacités à partir de ces deux extrêmes. Sortir un profil à partir de deux paramètres n'est pas évident, cela se complexifie lorsque la fonction mathématique utilisée à plus de deux inconnues à déterminer comme c'est le cas de la fonction proposée dans [8] (équation II.28). Afin de faciliter l'extraction des profils des capacités dynamiques C_{gd} et C_{gs} , deux hypothèses ont été établies. Ces hypothèses consistent à dire que les profils de la capacité C_{gs} et C_{gd} peuvent être décrits respectivement par les équations II.35 et II.36.

$$C_{gs}(V_{gs}) = \frac{C_{gs_max}}{A * \exp^{B * V_{gd}}} \quad \text{II.35}$$

$$\text{avec } A = \frac{C_{gs_max}}{C_{gs_min}} \quad \text{et } B = \frac{-\ln(A)}{V_{gs_max}}$$

$$C_{gd}(V_{gd}) = \frac{C_{gd_max}}{(1 + K * \text{abs}(V_{gd}))^2} + C_{gd1} \quad \text{II.36}$$

$$\text{avec } K \approx \sqrt{\frac{C_{gd_max}}{C_{gd_min}} - 1} \quad \text{et } C_{gd1} \approx C_{gd_min}$$

Pour vérifier une de ces hypothèses (C_{gd}), l'équation II.36 a été utilisée pour vérifier s'il était possible de d'écrire le profil de C_{gd} statique, qui est un profil connu (figure II.24).

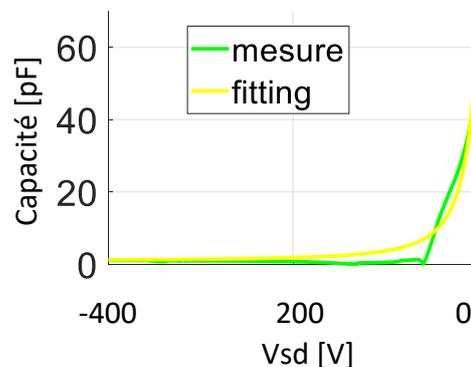


Figure II.24 : Comparaison de C_{gd} statique et le profil de C_{gd} à partir de l'équation II.36

Le profil de C_{gd} (en jaune) obtenu avec l'équation II.36 est assez similaire de la capacité C_{gd} statique obtenue par les mesures statiques surtout au niveau des extremums. Cependant un petit écart entre les deux fonctions est à noter. Cet écart peut être réglé en ajustant les paramètres k et C_{gdmax} de la fonction en cas de besoin lors de la validation du modèle.

L'utilisation de ces deux équations (II.35 et II.36) a permis de tracer les profils des C_{gd} et C_{gs} dynamiques (figure II.25).

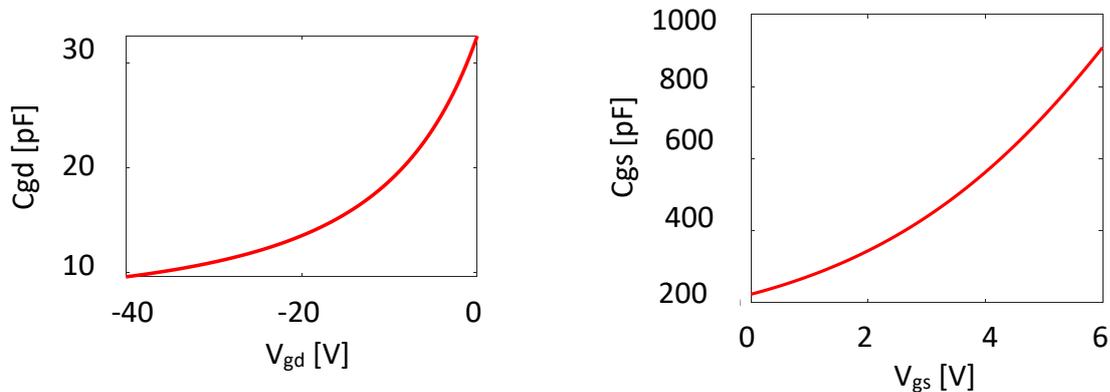


Figure II.25 : profil de C_{gd} et C_{gs} par approche dynamique obtenu avec la méthode #1

Une différence est à observer entre la capacité dynamique C_{gd} et celle en statique : une comparaison plus complète sera réalisée à la figure II.26b.

Sous LTSpice, la modélisation des capacités ne se fait pas avec les équations II.34 et II.35 mais plutôt par les équations II.31 et II.32. Le tableau II.5 donnent les différents paramètres a , b , c et d par cette première méthode dynamique. Pour la méthode dynamique (méthode #1 et méthode #2), la capacité C_{ds} a été considérée constante ; raison pour laquelle ses paramètres a , b et c sont nuls. La procédure de détermination de la constante d est expliquée ci-dessous.

	C_{gd}	C_{gs}	C_{ds}
a_k [pF]	100	2603	0
b_k [V^{-1}]	0.107	0.3682	0
c_k [V]	-11.89	-8.166	0
d_k [pF]	10	100	339

Tableau II.5 : les différents paramètres par approche dynamique des capacités par la méthode #1

✓ Détermination des profils de C_{gd} , C_{gdmax} : méthode #2

Cette deuxième méthode consiste à considérer la zone 3 et la zone 4 comme une zone unique. Ainsi choisir plusieurs valeurs de tension V_{gd} sur cette zone et calculer la capacité C_{gd} correspondante par rapport à la masse (marquant la fin de la nouvelle zone). La détermination de la capacité pour chaque tension donnée peut se faire en utilisant l'équation II.37. Le choix de 7 valeurs de V_{gd} a permis d'obtenir un profil de la capacité C_{gs} (point vert de la figure II.26) plus précis que le profil obtenu avec la méthode #1.

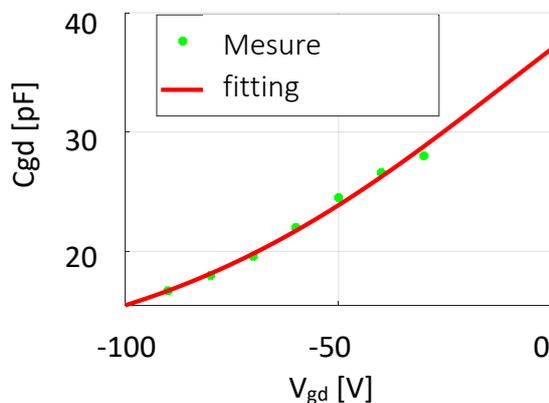
Afin d’obtenir les paramètres a, b, c et d de modélisation de cette capacité (C_{gd}) sous Spice (courbe rouge de la figure II.26) un « fitting » a été réalisé. Le tableau II.6 donne les paramètres a, b, c et d.

$$Q_{gd} = C_{gd}(V_{gd1}) \cdot V_{gd1} - C_{gd}(V_{gdmin}) \cdot V_{gdmin} \quad \text{II.37}$$

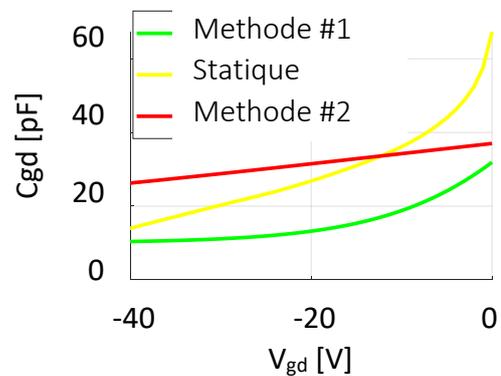
avec $V_{gd_min} = 0 \text{ V}$

	Cgd	Cgs	Cds
a_k [pF]	48.68	2603	0
b_k [V^{-1}]	0.02274	0.3682	0
c_k [V]	9.923	-8.166	0
d_k [pF]	9.923	100	339

Tableau II.6 : les différents paramètres par approche dynamique des capacités par la méthode #2



b) profil de Cgd en utilisant la méthode #2



b) Comparaison des différentes représentations obtenues

Figure II.26 : profil par approche dynamique des capacités et comparaison des capacités

Les trois techniques (statique, dynamique méthode #1 et dynamique méthode #2) permettant d’obtenir le profil de la capacité C_{gd} en fonction de V_{gd} ont donné des profils assez différents. La technique d’extraction des capacités dynamiques est la cause principale des différences observées. La différence de polarisation du HEMT entre la valeur statique ($V_{gs} = \text{variable}$ et $V_{gd} = \text{constante}$) et en régime dynamique ($V_{gs} = \text{variable}$ et V_{gd} variable) est la cause de la différence observée. La validation du modèle permettra de déterminer laquelle de ces techniques est la plus correcte. Il se peut qu’aussi ces approches de mesure (dynamique et statique) soient en réalité complémentaires. C’est-à-dire la combinaison des paramètres par approche dynamique et statique permettrait d’avoir un modèle plus compact en terme de pertes de commutation et de vitesse de commutation.

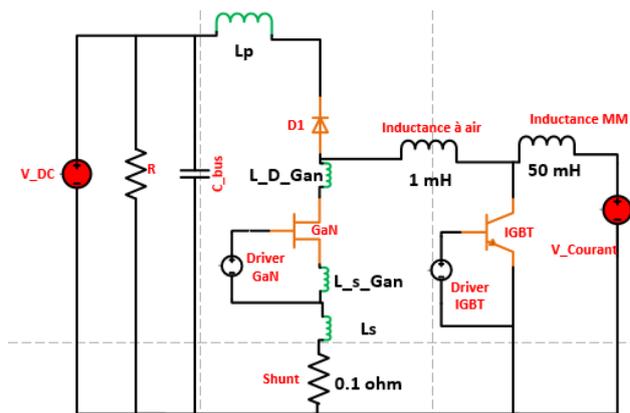
✓ Détermination de C_{ds}

Pour la modélisation dynamique, cette capacité (C_{ds}) est considérée comme constante. Elle peut être déterminée à partir de mesure de commutation lors de phase de blocage en utilisant l'équation II.38 pour un courant de drain très faible. Un faible courant de charge va rendre le canal du HEMT inactif ce qui permet de décharger totalement C_{ds} par ce courant de drain ($C_{gd} \ll C_{ds}$).

$$C_{oss} = C_{ds} - C_{gd} = \frac{I_{ch}}{2(dv_{ds} / dt)} \quad \text{II.38}$$

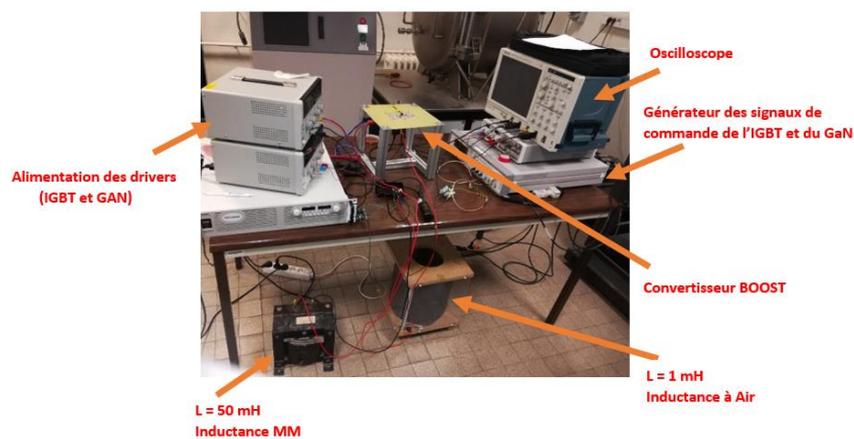
B) Evaluation du modèle

Afin de valider les différents modèles présentés ci-dessus, le transistor GS66508P est caractérisé en utilisant le banc de caractérisation dynamique de la figure II.27. Cette dernière présente la photo du banc ainsi que les éléments parasites de la carte. Ces inductances parasites peuvent être extraites à l'aide du logiciel ANSYS Q3D. Afin de les réduire, la carte de puissance est routée à l'aide d'un routage vertical double face. Le transistor HEMT est commandé par le driver IXDI604SIA. Ce dernier est choisi pour sa rapidité et sa capacité à être alimenté par une faible tension (4 V). Afin d'isoler la partie primaire et la partie secondaire du driver la solution par fibre optique est choisie. La figure II.28 présente le schéma du driver.



Inductances parasites principales	Valeurs à 100 KHz
L_p	4 nH
L_{D_GaN}	2 nH
L_{S_GaN}	400 pH
L_S	8 nH

a) schéma électrique du banc de test et ses inductances parasites



b) schéma électrique du banc

Figure II.27 : Banc de test

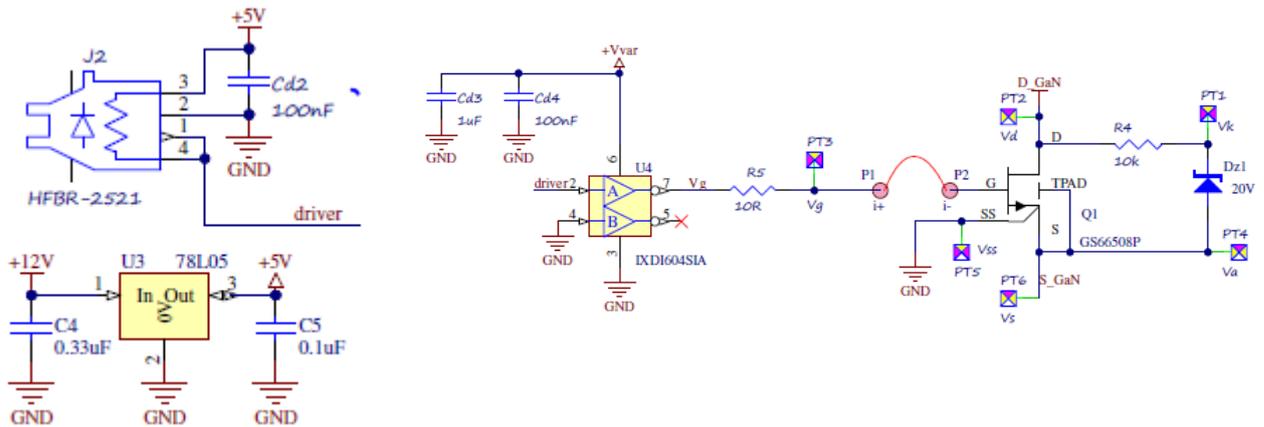


Figure II.28 : schéma électrique du driver

La commutation d'un transistor GaN est estimée entre 5 ns et 20 ns. Avec de tel temps de montée (t_m), les caractéristiques des instruments de mesures sont très importantes afin d'assurer des mesures avec la plus faible d'erreur possible. L'équation II.39 rappelle la relation entre le temps de montée du composant de puissance et la bande passante effective des éléments de mesure. Le respect de cette condition a permis de faire le choix des instruments de mesure du tableau II.7. Selon les temps attendus avec le GaN, la bande passante des équipements de mesure doit être largement supérieure à 70 MHz

$$W_B = \frac{0.35}{t_m} \quad (\text{II.39})$$

Ces instruments de mesure ont permis de mesurer 4 grandeurs électriques utiles pour la validation des modèles (modèles statique et modèle dynamique). Ces grandeurs sont :

- La tension entre le drain et la source (V_{ds}),
- La tension de grille source (V_{gs})
- Le courant de drain par un shunt. (I_{ds}).

Pour mesurer ces grandeurs électriques, certaines précautions de mesures sont à effectuer. Ces précautions ont été tirées des travaux de recherche [8], elles consistent :

- D'abord à synchroniser et à créer la même référence pour les deux sondes de tension (P6139B) permettant de mesurer respectivement V_{ds} et V_{gs} . Cette synchronisation peut se faire en faisant une mesure simultanée de V_{gs} par ces deux sondes tension pour un courant de charge nulle ($I_{ds} = 0$ A). Une compensation manuelle de l'écart observé entre les deux signaux est effectuée.
- Ensuite la compensation du retard de l'onde de courant mesurée (I_d) à l'aide du Shunt est à effectuer par rapport au point de référence établi précédemment. Cet alignement du courant se fait en retardant le courant mesuré de 4.4 ns/m environ selon la longueur du câble BNC utilisé pour obtenir I_{ds} . Pour un câble coaxial de 50 cm un retard de 2.2 ns est à introduire.

- Enfin un alignement final est nécessaire. Ce processus consiste à aligner le début de la montée de courant de drain avec le début de la chute de tension de V_{ds} lors de la phase d'amorçage. On peut également utiliser les oscillations lors de la commutation pour régler un déphasage de 90° entre le courant et la tension.

Nom	Reference	Fabriquant	Grandeur électrique mesurée
Oscilloscope 4 voix	DPO 7104 (1 GHz)	Tektronix	V_{gs} , V_{ds} et I_{ds}
Sonde de tension	P6139B (10 M Ω , 8 pF, 500 MHz, 300 V)	Tektronix	V_{gs}
Sonde de tension	P6139B (10 M Ω , 8 pF, 500 MHz, 300 V)	Tektronix	V_{ds}
Sonde de courant (Shunt)	SDN 101	T&M	I_{ds}
Sonde de courant (I_{ch})			I_L

Tableau II.7 : instruments de mesure du banc de test

Pour plusieurs points de fonctionnement, les mesures extraites du banc de test ont été comparées aux résultats de simulation, pour 3 versions de modèle. Ces trois versions de modèle sont les suivantes :

- Modèle statique : sa structure est celle de la figure II.11. Tous ses paramètres ont été déterminés à partir de mesures statiques (modèle en annexe II).
- Modèle dynamique : elle a la même structure que le modèle statique. Cependant tous ses paramètres ont été déterminés par la méthode dynamique. Pour ce modèle la méthode #2 de détermination des capacités a été retenue car, plus précise que la méthode #1
- Modèle fourni par le fabricant GaN System pour le transistor GaN (GS66508P): il a un nombre de paramètres 15 fois plus important que pour les modèle statique et dynamique précédents. Il servira d'outils d'évaluation des objectifs établis dès le départ pour la mise en place de modèles de GaN le plus simple possible avec des résultats acceptables en termes de $\frac{dv}{dt}$, $\frac{di}{dt}$ et de perte de commutation.

La figure II.29 et la figure II.30 présentent une comparaison des résultats pour une tension V_{dc} de 100 V, un courant de test de 6 A et une résistance de grille de 3 Ω . La température de fonctionnement du GaN est fixée à 25 °C. Une girafe (appareil chauffant pulsé, figure II.31) permet de fixer la température de fonctionnement du transistor. Cet appareil dispose d'un système de régulation permettant de maintenir une température constante durant le déroulement des tests, dans lesquels l'auto-échauffement est limité par la durée des impulsions.

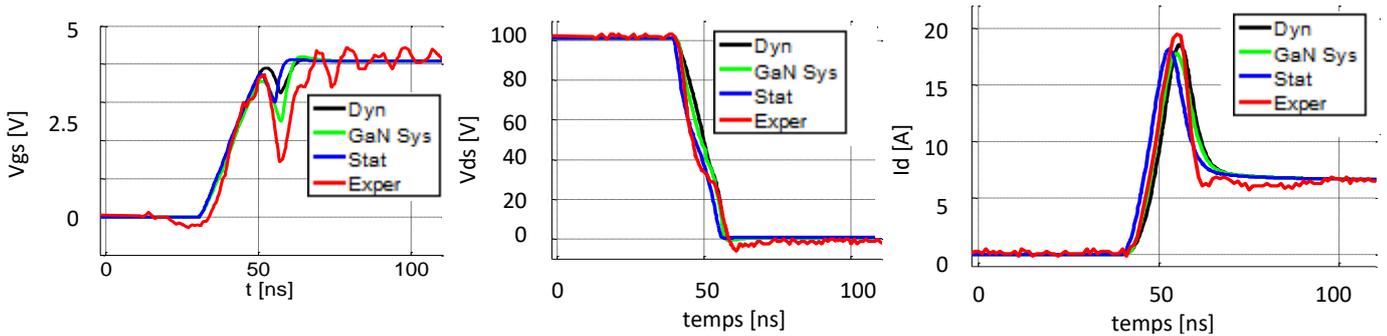


Figure II.29 : comparaison des modèles avec l'expérimentation lors de la phase d'amorçage pour $V_{dc} = 100$ V, $R_g = 3$ Ω , $I_d = 6$ A et $T = 25$ °C

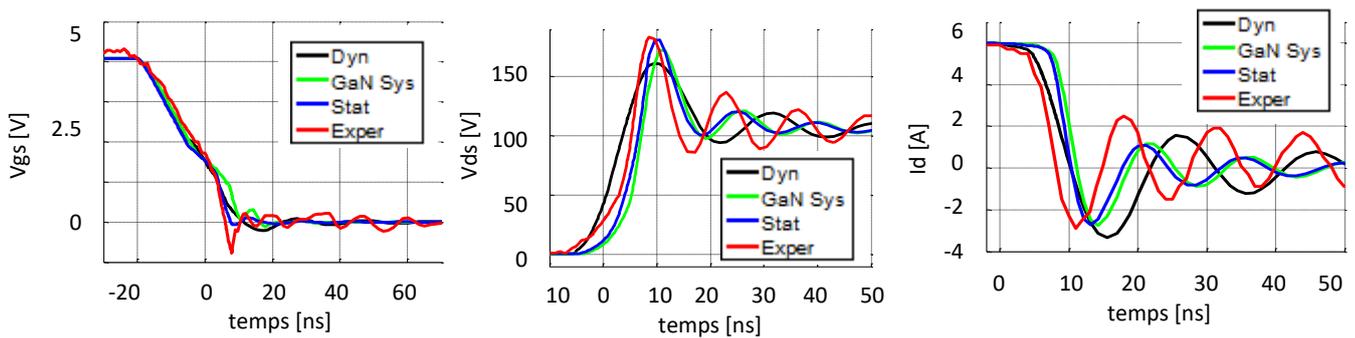


Figure II.30 : comparaison des modèles avec l'expérimentation lors de la phase de blocage pour $V_{dc} = 100$ V, $R_g = 3$ Ω , $I_d = 6$ A et $T = 25$ °C

Que ce soit à l'amorçage ou au blocage, le modèle statique et le modèle de GaN System assure une bonne représentation des vitesses et commutation et des pertes de commutation (figure II.29). Avec ces deux modèles, l'erreur maximale de représentation des vitesses de commutation est de 10 %. Concernant les pertes, cette erreur est de 2% (tableau II.8). Pour la phase de blocage, un petit décalage est à noter entre les signaux expérimentaux et les signaux du modèle statique et ceux du modèle de GaN System. L'écart entre le modèle des capacités et les capacités réelles peut être à l'origine de cela. La différence des tensions de seuil (modèles et transistor réel) peut aussi être responsable de cet écart (figure II.30).

	Modèle Statique	Modèle dynamique	Modèle GaN System	Expérimental
$\frac{dI_{don}}{dt}$ [A/ns]	1,42	1,25	1,23	1,39
$\frac{dI_{doff}}{dt}$ [A/ns]	-1,23	-0,76	-1,08	-1,11
$\frac{dV_{dson}}{dt}$ [V/ns]	-6,25	-5,68	-6,03	-5,59
$\frac{dV_{dsoff}}{dt}$ [V/ns]	12,4	10,6	11,8	11,8
E_{on} [μ J]	4.9	4.7	5.2	4.8
E_{off} [μ J]	6.4	10.0	6.3	6.4

Tableau II.8 : Comparaison des vitesses de commutation et des pertes de commutation pour $V_{dc} = 100$ V, $R_g = 3$ Ω , $I_d = 6$ A. et $T = 25$ °C.

Une mauvaise modélisation des capacités C_{gd} et C_{ds} serait responsable de la différence des fréquences observées sur les oscillations en fin de commutation au blocage. Cela pourrait être amélioré en ajustant les valeurs maximales et minimales de ces capacités.

Pour le modèle dynamique, un résultat satisfaisant n'est obtenu qu'avec la phase d'amorçage. Pour cette phase une erreur maximale de 11 % est obtenue comme dans le cas des deux autres modèles. Pour la phase de blocage, une mauvaise modélisation de C_{ds} est à l'origine du résultat obtenu. L'amélioration de ce modèle peut se faire en remplaçant la capacité dynamique constante de C_{ds} par une capacité dynamique variable comme indiqué dans la partie sur l'extraction de C_{ds} dynamique. Une autre solution consisterait à remplacer cette capacité dynamique par la capacité C_{ds} variable obtenue en statique (cette hypothèse est vérifiée à la fin de ce document (figure II.36 et figure II.37)).

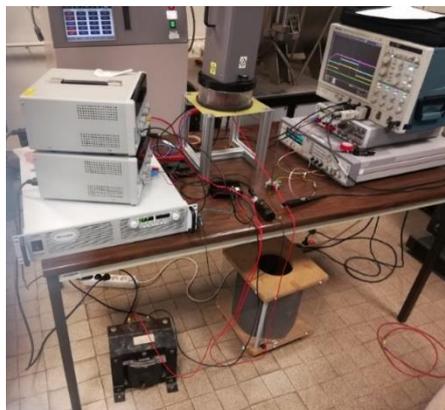
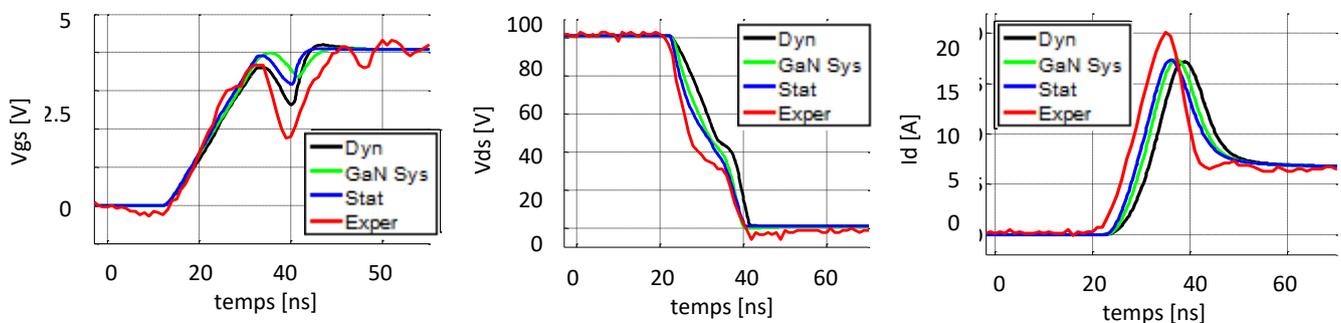
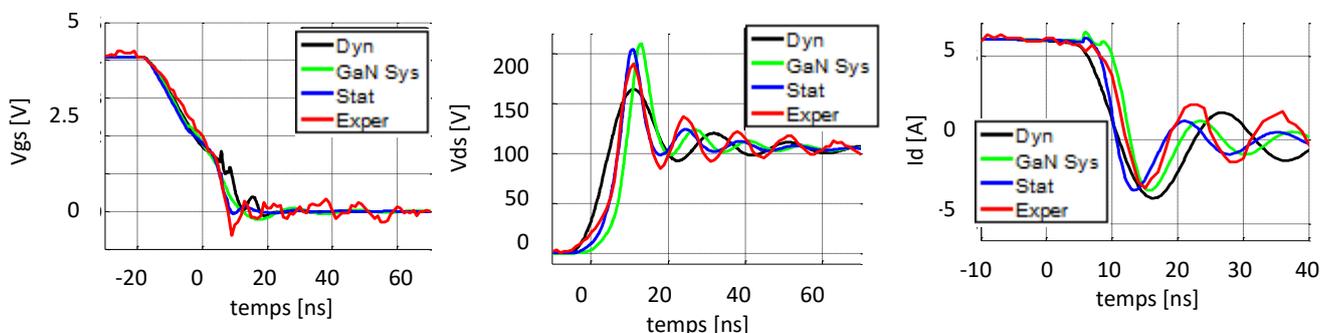


Figure II.31 : banc de test en température

Figure II.32 : comparaison des modèles avec l'expérimentation lors de la phase d'amorçage pour $V_{dc} = 100$ V, $R_g = 3 \Omega$, $I_d = 6$ A et $T = 50^\circ\text{C}$ Figure II.33 : comparaison des modèles avec l'expérimentation lors de la phase de blocage pour $V_{dc} = 100$ V, $R_g = 3 \Omega$, $I_d = 6$ A et $T = 50^\circ\text{C}$

	Modèle Statique	Modèle dynamique	Modèle GaN System	Expérimental
$\frac{dI_{don}}{dt}$ [A/ns]	1,38	1,12	1,18	1,31
$\frac{dI_{doff}}{dt}$ [A/ns]	-1,35	-0,77	1,25	-1,1
$\frac{dV_{dson}}{dt}$ [V/ns]	5,6	-5,3	-5,93	-5,2
$\frac{dV_{dsoff}}{dt}$ [V/ns]	13,9	10,2	15	11,6
E_{on} [μ J]	6	6,	5,75	7
E_{off} [μ J]	6,2	10	6,5	7,7

Tableau II. 9 : Comparaison des vitesses de commutation et des pertes de commutation pour $V_{dc}= 100$ V, $R_g = 3 \Omega$, $I_d = 6$ A. et $T=50$ °C.

Avec l’augmentation de la température, Le comportement des 3 modèles reste similaire. Cependant les erreurs maximales de représentation des vitesses et des pertes de commutation se dégradent avec la température (figure II.33). Elle est respectivement de 11 % et 12 % pour 50 °C et 100 °C pour ce qui concerne les vitesses de commutation. Ces erreurs peuvent être réduites en ajustant la tension de seuil V_{th} et la transconductance des modèles pour ces températures.

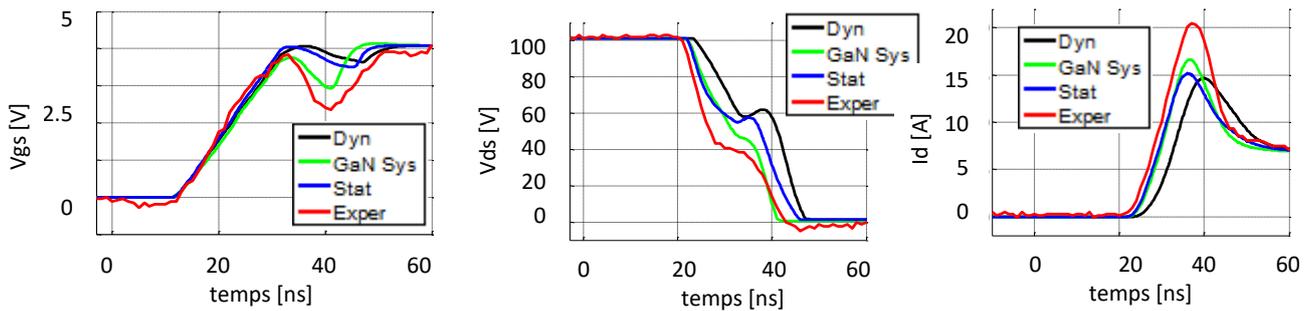


Figure II.34: comparaison des modèles avec l'expérimentation lors de la phase d’amorçage pour $V_{dc}= 100$ V, $R_g = 3 \Omega$, $I_d = 6$ A et $T = 100$ °C

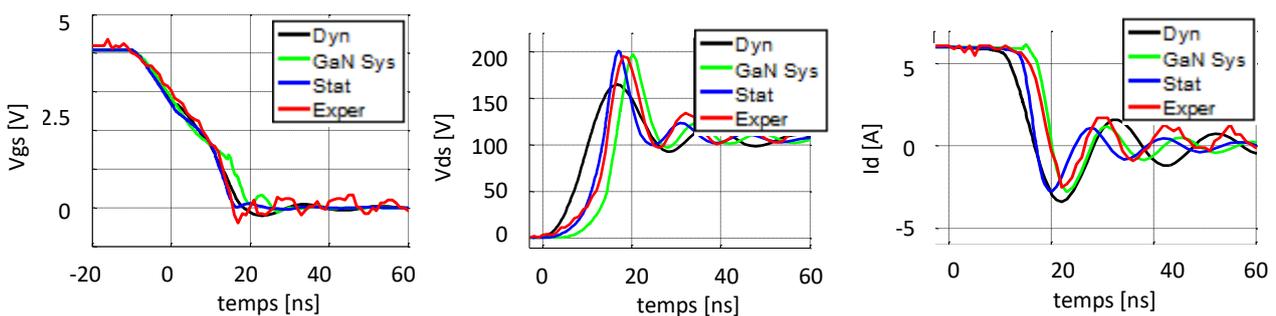


Figure II.35 : comparaison des modèles avec l'expérimentation lors de la phase de blocage pour $V_{dc}= 100$ V, $R_g = 3 \Omega$, $I_d = 6$ A et $T = 100$ °C

	Modèle Statique	Modèle dynamique	Modèle GaN System	Expérimental
$\frac{dI_{don}}{dt}$ [A/ns]	1,1	0.94	1.16	1.24
$\frac{dI_{doff}}{dt}$ [A/ns]	-1,26	-0.78	-1,21	0.9
$\frac{dV_{dson}}{dt}$ [V/ns]	-4,1	-4,2	-5,13	-4,53
$\frac{dV_{doff}}{dt}$ [V/ns]	14.6	10.3	12.6	12.3
E_{on} [μ J]	9,5	9,7	7	8,3
E_{off} [μ J]	6,4	10,2	6,23	7,7

Tableau II.10 : Comparaison des vitesses de commutation et des pertes de commutation pour $V_{dc}= 100$ V, $R_g = 3 \Omega$, $I_d = 6$ A. et $T=100$ °C.

➤ Optimisation du modèle dynamique

Pour la phase de blocage, les objectifs concernant la représentation des vitesses de commutation et des pertes n'étaient pas atteints avec le modèle dynamique. Quelles pistes d'amélioration ont été proposées dans la première partie de la validation des modèles. Une de ces pistes consiste à remplacer la capacité C_{ds} obtenue par l'approche dynamique par la capacité C_{ds} obtenue par l'approche statique. Ce qui a permis d'avoir un modèle mixte combinant ainsi des paramètres obtenus par caractérisation dynamique et statiques.

Dans le but de valider cette hypothèse, ce modèle mixte a été simulé et comparé aux signaux expérimentaux. (Figures II.36 et II.37).

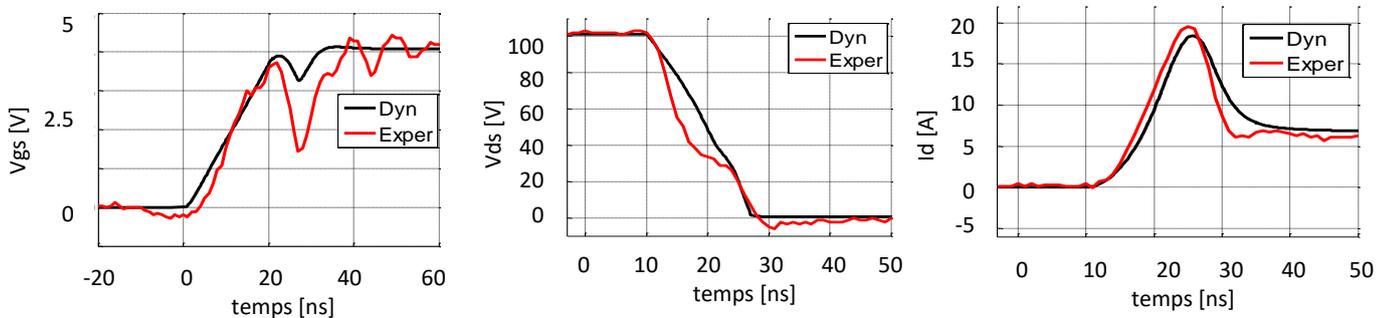


Figure II.36 : comparaison des modèles avec l'expérimentation lors de la phase d'amorçage pour $V_{dc}= 100$ V, $R_g = 3 \Omega$, $I_d = 6$ A et $T = 25$ °C

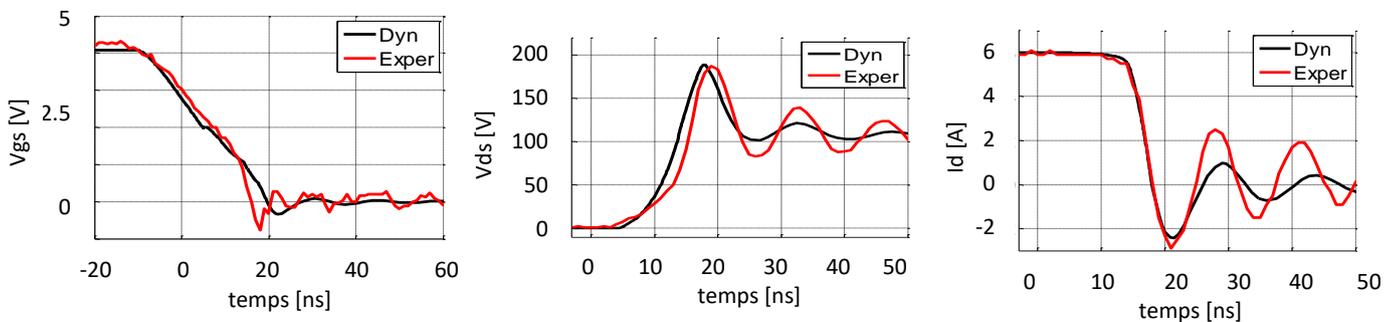


Figure II.37 : comparaison des modèles avec l'expérimentation lors de la phase de blocage pour $V_{dc} = 100$ V, $R_g = 3 \Omega$, $I_d = 6$ A et $T = 25$ °C

Ce modèle mixte a permis de corriger en partie l'erreur du modèle dynamique observée lors de la phase de blocage. En plus de cela, le modèle mixte permet de réduire l'erreur observée lors de la phase d'amorçage.

Conclusion :

Ce chapitre a été consacré à la mise en place de modèle de transistor GaN afin de faciliter la modélisation de driver intégré à base de composants GaN. Un modèle ayant un nombre de paramètres très réduit a été proposé. L'extraction des paramètres de ce modèle peut se faire à partir de mesure statique et/ou dynamique. Le meilleur résultat a été obtenu avec le modèle statique. En plus de cela l'extraction de ses paramètres est très simple à réaliser comparée à celle des paramètres du modèle dynamique. La combinaison du modèle statique et dynamique permet de réduire l'erreur entre la simulation et les mesures au blocage. Vu tout cela, il peut être conclu que ce modèle statique simple permettant d'avoir une bonne représentation des vitesses et des pertes de commutation peut être utilisé pour assurer les différentes études sur le driver, qui sont présentées dans les chapitres suivants

Par manque de temps, il n'a pas été possible d'explorer davantage la validation du modèle en le testant avec des structures types de convertisseur (onduleur monophasé, Flyback résonant). Concernant le court-circuit, l'étude réalisée au niveau du chapitre 4 permettra d'évaluer l'efficacité des modèles face à ce phénomène.

Chapitre 3 : Contrôle des vitesses de commutation

La commutation rapide des transistors GaN produit de forts $\frac{dv}{dt}$ et de forts $\frac{di}{dt}$ qui sont sources de perturbations électromagnétique. « En particulier la circulation d'un courant de mode commun dans les substrats de report, les drivers et les alimentations est source de perturbations. Les $\frac{di}{dt}$ extrêmes (pouvant atteindre plus de 1 A/ns), quant à eux, génèrent des surtensions liées au câblage et des perturbations électromagnétiques par le biais de la maille de puissance et des mailles de commande » [8]. Le contrôle des vitesses de commutation en tension et en courant deviennent une nécessité pour maîtriser la signature électromagnétique du convertisseur. Cette maîtrise des vitesses de commutation des transistors GaN facilitera la mise en parallèle ou la mise en série de plusieurs transistors de puissance [73].

Dans ce chapitre des techniques de ralentissement des vitesses de commutation sont étudiées et proposées. Ces techniques seront considérées comme efficaces lorsqu'un bon compromis entre la réduction des vitesses et l'augmentation des pertes de commutation seront obtenues. Selon la littérature deux critères déterminent le bon compromis :

- Une réduction d'au moins 10 % des vitesses de commutations (dv ou di)
- Une augmentation des pertes de commutation inférieure à 30 %.

Le tableau III.1 résume les différents types de commande étudiés dans ce chapitre.

		Type de commande active		
		Commande boucle ouverte	Commande boucle fermée	
			Commande CATS	
		Commande CATS	Par fonction dérivée	Par boucle inductive (inductance parasite)
Phase d'amorçage	Contrôle de $la \frac{di}{dt}$	Oui	Non	Oui
	Contrôle de $la \frac{dv}{dt}$	Non	Non	Non
Phase de blocage	Contrôle de $la \frac{di}{dt}$	Non	Non	Non
	Contrôle de $la \frac{dv}{dt}$	Oui	Oui	Non

Tableau III.1 : résumé des différents types de commandes étudiés ainsi que la vitesse de commutation contrôlée

I. Contexte

Une étude préalable est nécessaire pour permettre de connaître les paramètres qui influent sur ces vitesses de commutation. Nous nous sommes servis du convertisseur de la figure III.1a pour déterminer ces paramètres d'influence. Le convertisseur est de type « Boost », il est composé de la cellule de commutation (formée par la diode D_1 et le transistor Q_2), de la source de tension V_{DC} et des inductances parasites (parasites principaux des mailles de commande et de puissance) Le transistor avec ses capacités intrinsèques (C_{gd} et C_{gs}) est commandé par le driver. La figure III.1b représente les signaux obtenus lors de la phase d'amorçage du transistor Q_2 . Ce processus se déroule en quatre phases. La vitesse de commutation de courant est obtenue lors de la phase 2 ; appelée phase de commutation de courant. La commutation de la tension se déroule lors de la phase 3. Est présenté ci-dessous le déroulement de chaque phase ainsi que les équations qui la décrivent.

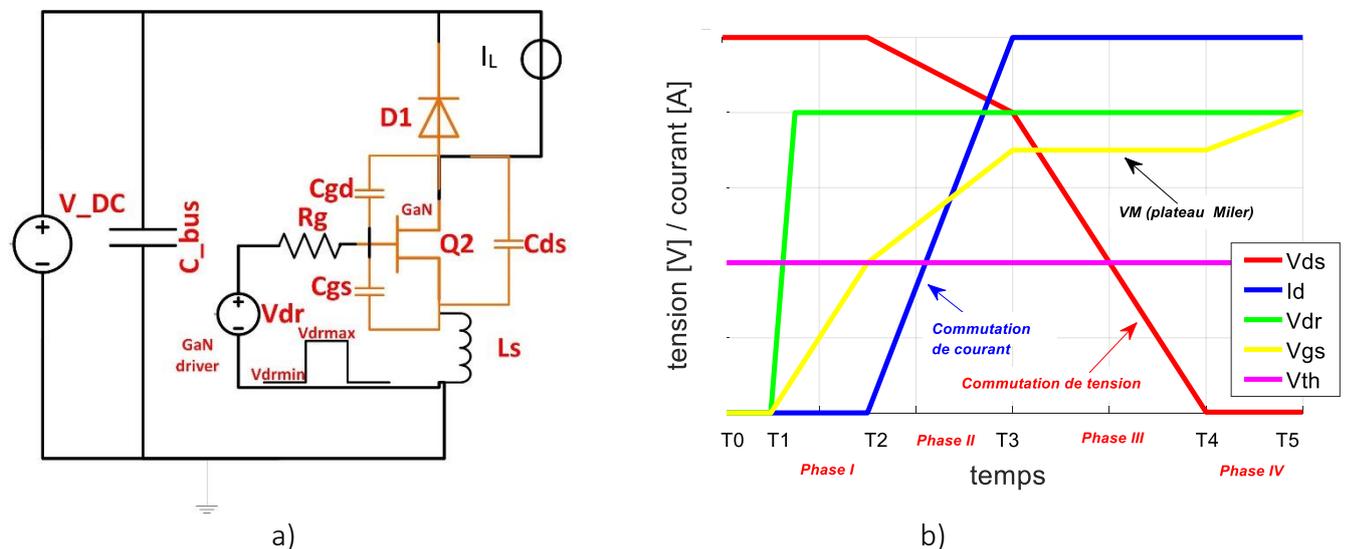


Figure III.1 : Structure d'un convertisseur Boost (a) et ses signaux lors de l'amorçage (b)

➤ Phase I : (T_1 - T_2)

Durant cette phase, l'application d'une tension (V_{dr}) par le driver va permettre de charger la capacité d'entrée (C_{iss}) du transistor GaN. Elle est formée par la somme de la capacité entre drain-grille (C_{gd}) et la capacité source-grille (C_{gs}). Cette procédure continue jusqu'à ce que la tension entre la grille et la source (v_{gs}) du transistor atteigne la tension seuil du transistor (V_{th}). En considérant que $V_{L_s} = 0$ V, les différentes équations de tension et de courant décrivant cette phase sont (III. 1) à (III. 4). Le courant i_g est le courant fournit par le driver.

$$V_{dr} = R_g \cdot i_g + v_{gs} \quad (\text{III. 1})$$

$$V_{DC} + V_{D_1} + v_{gs} - v_{gd} = 0 \quad (\text{III. 2})$$

$$\frac{dv_{gs}}{dt} = \frac{dv_{gd}}{dt} \quad (\text{III. 3})$$

$$i_g = C_{gs} \frac{dv_{gs}}{dt} + C_{gd} \frac{dv_{gd}}{dt} = C_{iss} \frac{dv_{gs}}{dt} \quad (\text{III. 4})$$

En remplaçant l'équation III.4 dans III.1, la fonction de l'évolution de v_{gs} et i_g en fonction du temps peut être décrite par les équations III.5 et III.6. V_{drmax} est la tension maximale de sortie du driver.

$$v_{gs}(t) = V_{drmax} \cdot (1 - e^{-t/\tau}) \quad \text{avec } \tau = R_g \cdot C_{ISS} \quad (\text{III. 5})$$

$$i_g(t) = \frac{V_{drmax}}{R_g} e^{-t/\tau} \quad (\text{III. 6})$$

➤ Phase II :

Cette phase est marquée par la mise en place du gaz 2D faisant office de canal car la tension v_{gs} a atteint la tension de seuil mais ne cesse de croître. Vu que la tension v_{ds} est très élevée le courant de « canal » (i_c) va dépendre de la tension v_{gs} pendant cette période, entraînant ainsi un $\frac{di}{dt}$. En négligeant les inductances parasites (pas de variation de tension de V_{ds}), il peut être considéré qu'il s'agit du courant de « canal » qui est mesuré au drain du transistor (comme le décrit l'équation III.7).

$$i_c(t) = i_d(t) = g_{fs} \cdot (v_{gs}(t) - V_{th}) \quad (\text{III. 7})$$

La vitesse de commutation en courant ($\frac{did}{dt}$) générée pendant cette phase est décrite par l'équation III.8 en dérivant l'équation III.7 vu que dans la phase 1, la tension $v_{gs}(t)$ va continuer de croître de manière exponentielle pour la phase 2. i_{gmax} est le courant maximal fourni par le driver.

$$\frac{did}{dt} = g_{fs} \cdot \frac{(V_{drmax} - V_{th})}{R_g \cdot C_{ISS}} = g_{fs} \frac{i_{gmax}}{C_{ISS}} \quad (\text{III. 8}).$$

La présence d'une inductance parasite L_s permet de réduire la vitesse de commutation du courant comme le montre l'équation III.9 [73].

$$\frac{did}{dt} = g_{fs} \cdot \frac{(V_{drmax} - V_{th})}{R_g \cdot C_{ISS} + g_{fs} \cdot L_s} \quad (\text{III. 9}).$$

Cette phase se termine lorsque la tension $v_{gs}(t)$ atteint la tension de plateau « Miller » (V_M) permettant ainsi le passage à la phase III.

➤ Phase III :

Cette phase commence lorsque le courant de drain (i_d) atteint celui de la charge (I_{ch} ou I_L) et que v_{gs} a atteint la tension de « Miller ». C'est à ce moment que D_1 devient complètement bloqué. $v_{gs}(t)$ va rester quasi-constante durant toute cette phase ($v_{gs} = V_M$ (tension de « Miller »)). Le courant délivré par le driver pendant cette période va avoir comme conséquence la décharge de la capacité (C_{ds}). Ce phénomène observé sur C_{ds} est à l'origine

du passage de la tension V_{dsGaN} de V_{dc} à 0 V entraînant ainsi une vitesse de commutation en tension. Le $\frac{dv_{ds}}{dt}$ peut être calculée en utilisant les équations III.7 et III.11.

$$v_{ds} = v_{dg} + v_{gs} \quad (\text{III.10})$$

$$\frac{dv_{ds}}{dt} = \frac{dv_{dg}}{dt} + \frac{dv_{gs}}{dt} \quad (\text{III.11})$$

Vu que la tension v_{gs} est constante, l'équation III.1 devient :

$$\frac{dv_{ds}}{dt} = \frac{dv_{dg}}{dt} = \frac{I_g}{C_{gd}} = \frac{V_{drmax} - VM}{R_g \cdot C_{gd}} \quad (\text{III.12})$$

Avec ces variations de tension, les courants de drain (I_d) et du « canal » (I_c) ne sont plus les mêmes (équation III.13 et équation III.14).

$$I_c = I_d + I_g + I_{Cds} = I_L + I_g + I_{Cds} \quad (\text{III.13})$$

$$I_c = I_L - C_{ds} \frac{dv_{ds}}{dt} + C_{gd} \cdot \frac{dv_{dg}}{dt} \quad (\text{III.14})$$

Cette phase se termine lorsque la tension v_{ds} respecte l'expression de l'équation III.15.

$$v_{ds} = R_{on} \cdot I_L \quad (\text{III.15})$$

Avec R_{on} : la résistance à l'état ON du HEMT ($v_{gs} > V_{th}$).

$I_L = I_{ch}$: Courant de charge du convertisseur.

➤ Phase IV :

Cette phase débute par l'amorçage complète de Q_2 La présence de la résistance (R_{on}) à l'état passant de Q_2 , ainsi que celle de la capacité de sortie ($C_{oss} = C_{ds} + C_{gd}$), des inductances parasites de la maille de puissance sont toutes à l'origine de la résonance du circuit formant ainsi un système du premier ordre. Les équations III.15 et III.16 résument cette phase :

$$I_d = I_L + C_{oss} \frac{dv_{ds}}{dt} \quad (\text{III.16})$$

Afin de simplifier la démarche de mise en place des systèmes de contrôle, la variation du courant durant la phase IV ne sera pas considérée. Par-là, nous allons minimiser les inductances parasites lors de la conception des convertisseurs. Avec cette hypothèse, les vitesses de commutation sont donc celles obtenues à la phase II et à la phase III à l'amorçage. Elles dépendent de plusieurs paramètres qui peuvent être divisés en trois catégories :

- Les éléments du transistor (C_{ISS} , C_{oss} , la tension de seuil V_{th} , la transconductance g_{fs} etc).
- Les éléments passifs du circuit de contrôle (R_g et L_s).
- Les éléments du driver (V_{drmax} et i_{gmax}).

En effet, la réduction de ces vitesses de commutation ne peut se faire que par deux méthodes :

- La méthode passive qui consiste à ajuster les paramètres des éléments passifs du circuit de contrôle. Comme montré dans le chapitre 1, cette méthode implique plusieurs conséquences dont de fortes pertes, ce qui la rend peu satisfaisante a priori.
- La méthode active qui consiste à ajuster les paramètres électriques de sortie du driver (V_{drmax} et i_{gmax}). Elle présente un bon compromis et assure des pertes moins importantes que la méthode passive. C'est une des raisons qui a motivé la mise en place de circuit de contrôle actif pour améliorer la commutation du HEMT au sein des convertisseurs de puissance à base de GaN.

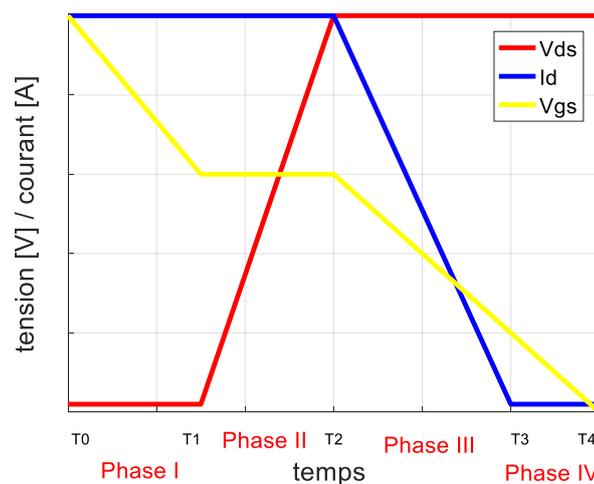


Figure III.2 : processus de bloacage et vitesses de commutation

Pour la phase de bloacage, les vitesses de commutation observées dépendent des mêmes paramètres que celles de la phase d'amorçage. Par contre contrairement à cette dernière, la commutation de tension se produit avant la commutation de courant (figure III.2).

II. Etude de la commande CATS en boucle ouverte

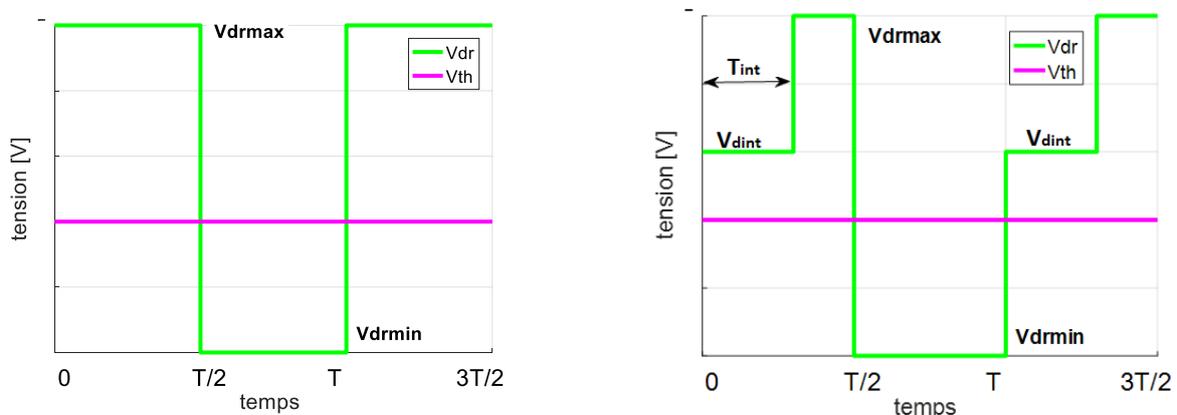
Selon les équations des vitesses de commutation (III.9 et III.12), il peut être conclu que plus la tension de sortie du driver (V_{drmax}) s'éloigne de V_{th} plus les vitesses de commutation sont fortes. Ainsi dans le but de réduire les vitesses de commutation, une commande active ajustant le paramètre du driver (V_{drmax}) est étudiée dans cette partie II. La commande est nommée CATS (commande au tour de la tension de seuil) et a été développée originellement pour des transistors IGBT qui ont un temps de commutation qui tourne autour de la μs [14]. Vu la commutation rapide du GaN, certaines questions se posent concernant l'application de cette commande.

- La commande CATS est-elle capable d'assurer le contrôle du $\frac{di_d}{dt}$ et du $\frac{dv_{ds}}{dt}$ lors de l'amorçage et lors du blocage ?
- La commande CATS est-elle capable d'offrir un bon compromis entre les pertes en commutation et les perturbations CEM ?

A) Contrôle du courant lors de la phase d'amorçage

➤ Principe

Comme mentionné précédemment, la commande du transistor par une tension de driver (V_{drmax}) proche de V_{th} permet de réduire le $\frac{di_d}{dt}$. La commande CATS consiste à commander le transistor avec une tension intermédiaire V_{dint} ($V_{drmin} < V_{dint} < V_{drmax}$) proche de V_{th} pendant une durée T_{int} lors de la phase de commutation de courant. Une fois la commutation de courant terminée, dans le but de réduire au maximum les pertes, le transistor est commandé par une tension de driver V_{drmax} . La figure III.3 présente les signaux typiques du driver pour une commande CATS et pour une commande classique (commande standard avec deux niveaux de tension V_{drmin} et V_{drmax}).



a) Commande classique ou commande standard à deux niveaux de tension (V_{drmin} et V_{drmax})

b) commande CATS pour le contrôle du courant pour la phase d'amorçage

Figure III.3 : signaux du driver pour les deux types de commandes

➤ Proposition de circuit de commande de grille :

Pour générer le signal du driver de la figure III.3b, deux structures simples sont possibles (figure III.4).

La structure 1 a le même fonctionnement qu'un pont diviseur de tension. Etant donné que les deux drivers (Drv1 et Drv2) ont les mêmes tensions d'alimentation, lorsque leur signal d'entrée (cmd1 et cmd2) est à l'état bas au même moment, le HEMT est commandé avec une tension V_{drmin} (0V (figure III.4a)). Lorsque les signaux d'entrée (cmd1 et cmd2) sont au même moment à l'état haut, le HEMT est commandé par V_{drmax} (VH tension d'alimentation du driver (figure III.4a)). Cependant pour générer la tension intermédiaire V_{dint} , le driver 1 doit être à l'état ON et le driver 2 à l'état OFF ce qui permet d'appliquer une tension intermédiaire aux points communs entre R_1 et R_2 (équation III.17). Avec cette structure, pendant la durée d'application de V_{dint} , le circuit de commande consomme une quantité d'énergie qui équivaut à celle de l'équation III.18. Selon le temps d'application de V_{dint} , cette énergie perdue par effet joule n'est pas négligeable. Ce point est un des inconvénients que présente cette structure. Dans le cas

des transistors GaN, il peut être négligé du fait qu'ils ont un temps de commutation très court et en tout cas au moins 10 fois moins important que celui d'un IGBT. L'autre inconvénient de ce circuit est la difficulté de commander le transistor avec des faibles résistances de grille à cause de l'utilisation de R_1 et R_2 . Ce dernier inconvénient peut être une limite pour les HEMTS vu que ce dernier doit être commandé par une faible résistance de grille (surtout pour la phase d'amorçage).

$$V_{dint} = \frac{R_2}{R_1+R_2} V_H \quad (III.17)$$

$$E_{int,off} = \left(\frac{(V_H - V_{dint})^2}{R_1} + \frac{V_{dint}^2}{R_2} \right) \cdot T_{int} \quad (III.18)$$

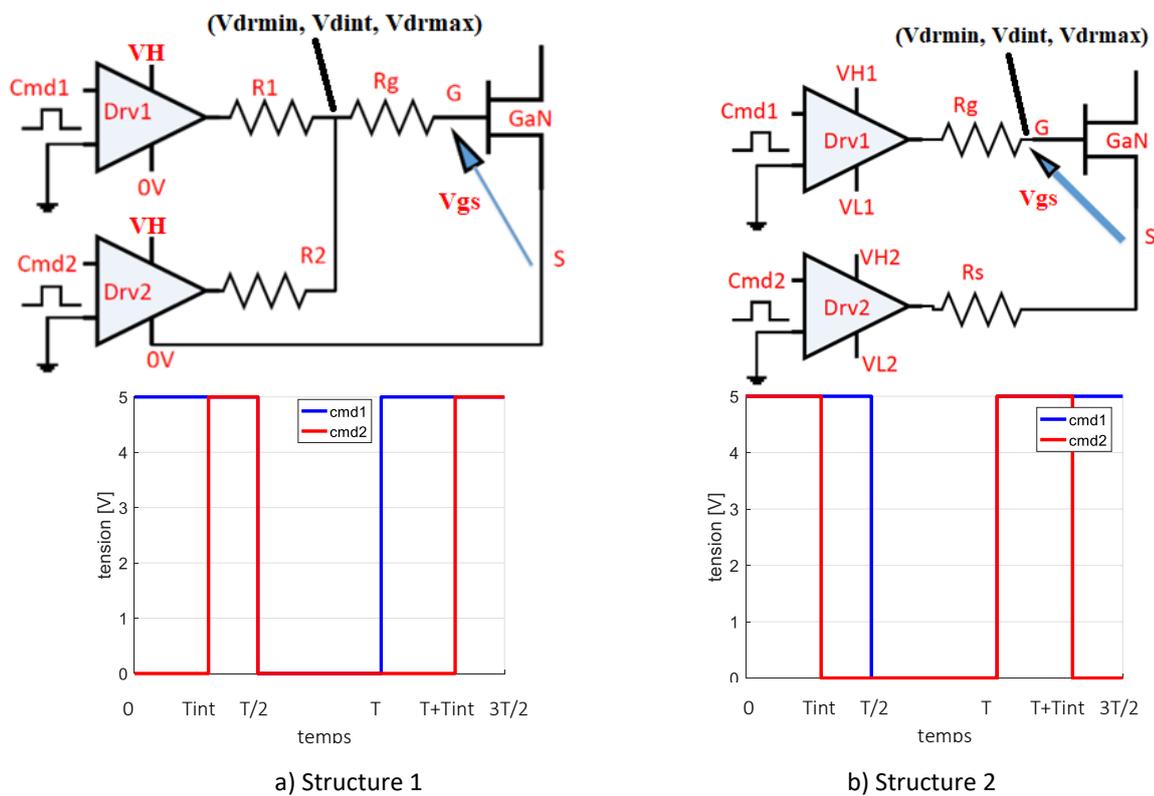


Figure III.4 : Deux structures simples pour générer la commande CATS pour le contrôle du courant lors de l'amorçage du HEMT

La structure 2 peut être appelée structure différentielle, son principe consiste à utiliser deux drivers, un pour la grille et un autre pour la source du transistor. Avec une telle connexion la tension appliquée par le circuit de commande (Drv1 et Drv2) est la différence des tensions des deux drivers ($V_{drmax} = VH1 - VL2$, $V_{dint} = VH1 - VH2$, $V_{dmin} = VL1 - VL2$). Cette structure est plus simple à mettre en place comparée à la structure 1. De plus, le transistor peut être commandé avec de faibles valeurs de résistance de grille. Comme la structure 1, celle-ci présente aussi un inconvénient qui est l'impossibilité de générer V_{dint} avec un temps d'application (T_{int}) inférieurs à 10 ns à cause des temps de réponse des drivers qui sont généralement supérieurs à 10 ns.

Le tableau III.2 donne les avantages et les inconvénients des deux structures (structure 1 et structure 2).

	Avantages	Inconvénients
Structure 1	<ul style="list-style-type: none"> • T_{int} peut être inférieur au temps de réaction des deux drivers (vu que le driver 2 n'est pas actif pour appliquer V_{dint}) 	<ul style="list-style-type: none"> • Plus complexe à mettre en place • Forte résistance de grille • Plus de pertes d'énergie • Plus couteux
Structure 2	<ul style="list-style-type: none"> • Tout type de résistance de grille • Moins couteux 	<ul style="list-style-type: none"> • T_{int} doit être supérieur au temps de réaction des deux drivers

Tableau III.2 : avantages et inconvénients des deux structures

➤ Validation Expérimentale

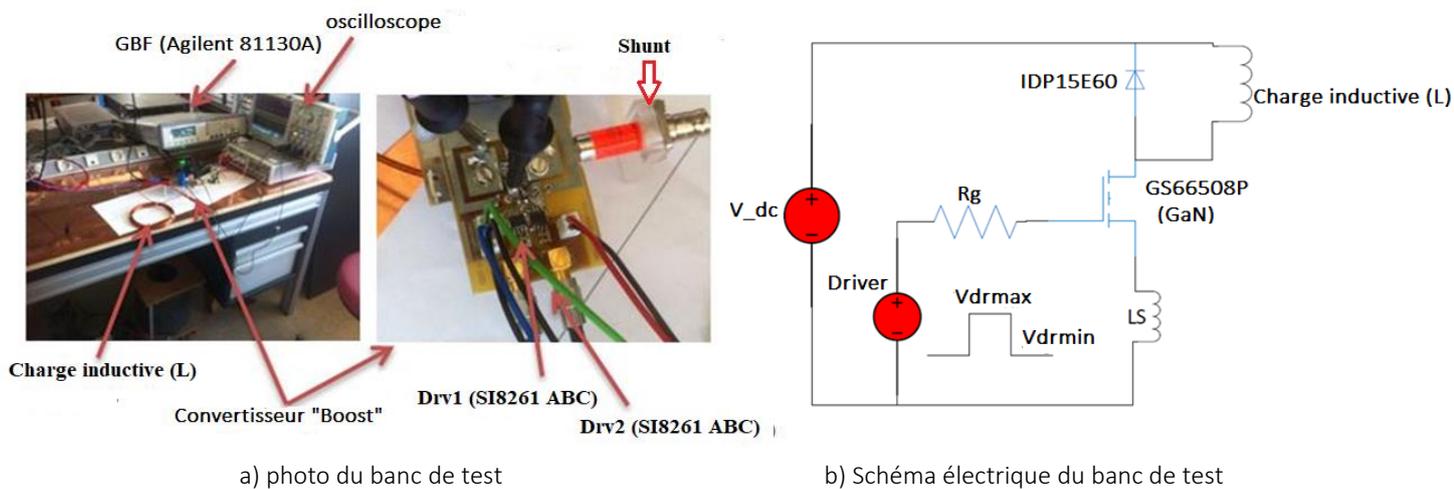


Figure III.5 : banc de test

Pour valider les systèmes de contrôle ci-dessus, un banc de test est composé d'une source d'alimentation DC (V_{dc}), d'un convertisseur en mode Boost avec une charge inductive (L), de deux alimentations pour le circuit de commande du transistor (Driver) et d'un générateur de signal pour générer les signaux de commande des deux drivers (Cmd1 et Cmd2). La figure III.5 présente la photo du banc de test. Les différents instruments de ce banc de test ont été listés dans le tableau III.3. Le driver SI8261 ABC de Silab a été utilisé pour le circuit de commande du transistor. Ce driver doit être alimenté avec une tension minimale de 6.5V ($V_H - V_L \geq 6.5 \text{ V}$) (figure III.4b). En remplissant cette condition, il n'a pas été possible de commander le transistor avec une tension V_{gs} à l'état ON inférieure à 7 V (tension limite du transistor GaN (GS66508P)) en mode continue. Comme les tests réalisés dans ce chapitre ont été réalisés en mode impulsionnel, le GS66508P a été contrôlé à l'état ON avec une tension V_{gs} de 10 V (tension limite en mode impulsionnel). Ce mode impulsionnel consiste à alimenter le driver avec un nombre (N) d'impulsions de même gabarit selon le courant que l'on veut faire passer dans la charge en calculant un temps (T_{ON}) qui est le temps total de mise ON du transistor GaN durant une période. La formule qui permet de déterminer le courant max (I_{max}) à faire passer pour N impulsion est la suivante : $I_{max} = \frac{N * V_{dc} * T_{ON}}{L}$ [93]. Pour éviter l'auto-échauffement du transistor

GaN, le nombre d'impulsion ne doit pas être élevé. Par exemple pour une tension V_{dc} de 220 V, un $T_{ON} = 500$ ns, une charge $L=75 \mu\text{H}$ et 8 pulses, un courant de charge de 20 A est obtenu à la fin du test. La figure III.6 illustre cela avec les N impulsions du driver et le courant observé au niveau de la charge pour un test en mode pulsé.

Les tests en température présentés dans ce chapitre ont été effectués en utilisant un conditionneur de température comme expliquée dans le chapitre 2. Le mode impulsionnel est également utilisé pour les tests en température.

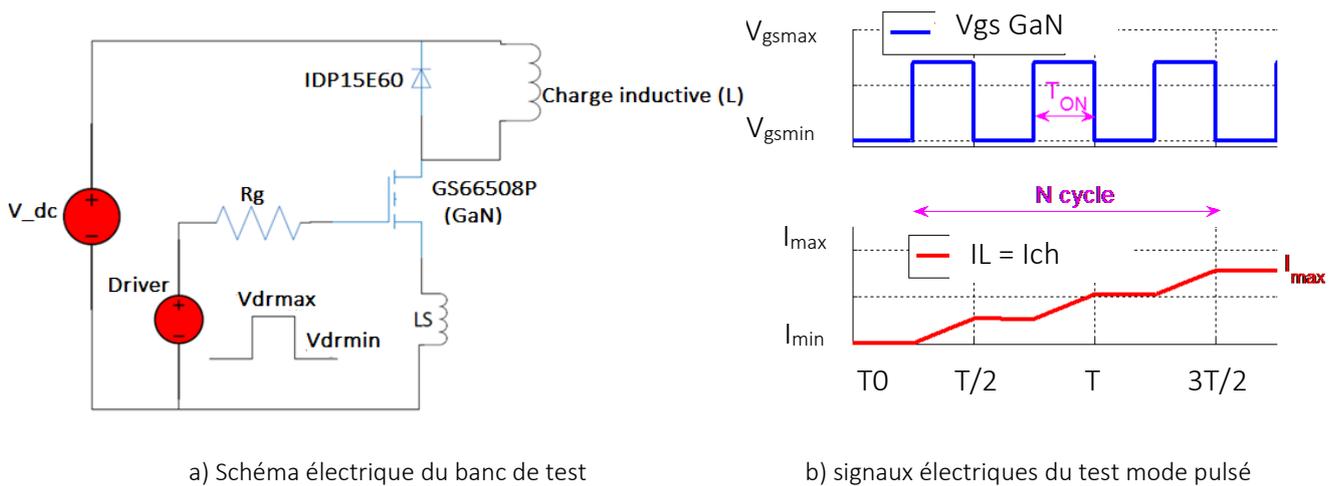


Figure III.6 : représentation électrique du banc de test testé en mode impulsionnel

Instruments ou composant	Caractéristique ou valeur	Rôle dans le circuit
Transistor GaN (GaN System)	GS66508P (630 V/ 30 A)	Interrupteur de puissance de la cellule de commutation
Diode (Cree)	C3D12065A (600V / 35 A)	Interrupteur de puissance de la cellule de commutation
GBF (Agilent 81130A)	400 Hz/660 MHz	Génération des signaux cmd1 et cmd2
Alimentation des drivers (HM8040-3)	20 V/0.5 A	Fournir la tension d'alimentation des drivers
Driver du GS66508P (SI8261 ABC)	Valim (6.5 V- 30 V)	Drv1 et Drv1 de la commande CATS
Charge (Inductance à Air)	75 μH	Charge du convertisseur
Alimentation du bus DC (TDK Lambda Gen 150-22) (V_{dc})	150 V / 22 A	Source d'alimentation du convertisseur
Shunt	SDN 414	Mesure du courant de drain

Tableau III.3 : instrument du banc de test

La commande CATS est appliquée pour plusieurs points de fonctionnement du convertisseur La figure III. 7 présente une comparaison de la tension de grille du HEMT de la commande standard (SC) avec deux niveaux de tension et celle de la commande CATS pour le contrôle du courant (pour T_{int} de 120 ns) pour un courant de charge nul ($I_{ch} = I_L = 0$ A). Les figures de III.9 à III.12 présentent les tensions et les courants de drain observés dans le cadre des commandes Standard (SC) et CATS.

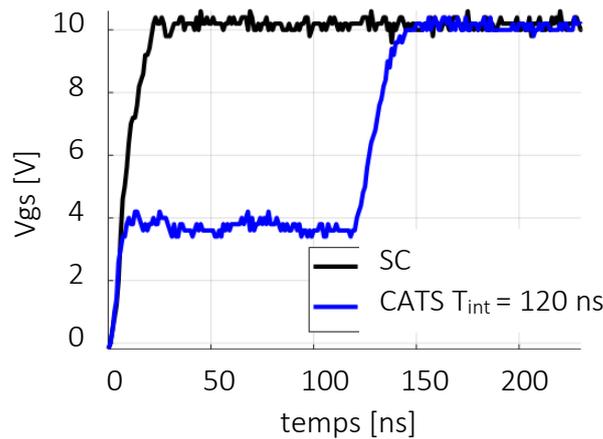


Figure III.7 : Les tensions de grille du HEMT GaN des deux commandes lors de la phase d’amorçage (pour $V_{dc} = 80$ V, $I_{ch} = 0$ A, $V_{dint} = 4$ V et différent T_{int})

Avant de commencer à analyser les résultats pour la phase d’amorçage du HEMT, il est important de définir le paramètre T_{r_driver} , T_1 et T_2 qui représentent respectivement le temps de réaction du driver, la durée de la phase 1 de la commutation (phase précédant la commutation de courant) et la durée de la phase 2 de la commutation (commutation de courant). Les équations III.19 et III.20 donnent les expressions mathématiques de ces temps [8,73].

$$T_1 = R_g \cdot C_{iss} \ln\left(\frac{V_{drmax}}{V_{drmax} - V_{th}}\right) \quad \text{III.19}$$

$$T_2 = \frac{I_L \cdot (R_g \cdot C_{iss} + g_{fs} \cdot L_s)}{g_{fs} (V_{drmax} - V_{th})} \quad \text{III.20}$$

Le tableau II.4 présente les durées théoriques de T_1 et T_2 pour le transistor GS66508P utilisé dans ce chapitre.

Paramètre	Valeur
T1	540 ps
T2	10 ns

a) $I_L = 5$ A

Paramètre	Valeur
T1	540 ps
T2	60 ns

b) $I_L = 28$ A

Tableau III.4 : approximation de la durée des phases de commutation du GS66508P ($C_{iss} = 260$ pF, $R_g = 3$ Ω , $V_{dmax} = 3$, $L_s = 3$ nH, $g_{fs} = 20$ S et $V_{th} = 1.5$ V)

Pour un transistor GaN, le contrôle de la vitesse de commutation du courant est possible avec la commande CATS (figure III.8b). Cependant, le ralentissement du $\frac{di}{dt}$ (plus de détail à la partie C) est assuré uniquement pour des T_{int} supérieurs à 10 ns (figure III.9). Pour de courte durée T_{int} ($T_{int} \leq 10$ ns), le contrôle n’est pas assuré parce que les temps d’application de V_{dint} (T_{int}) sont inférieurs au temps de réaction du driver discret utilisé (SI82621 ABC). En se basant sur les premières analyses, il peut être conclu que la commande CATS à base de composants discrets n’est pas une solution définitive pour régler les fortes vitesses de commutation pour les transistors GaN.

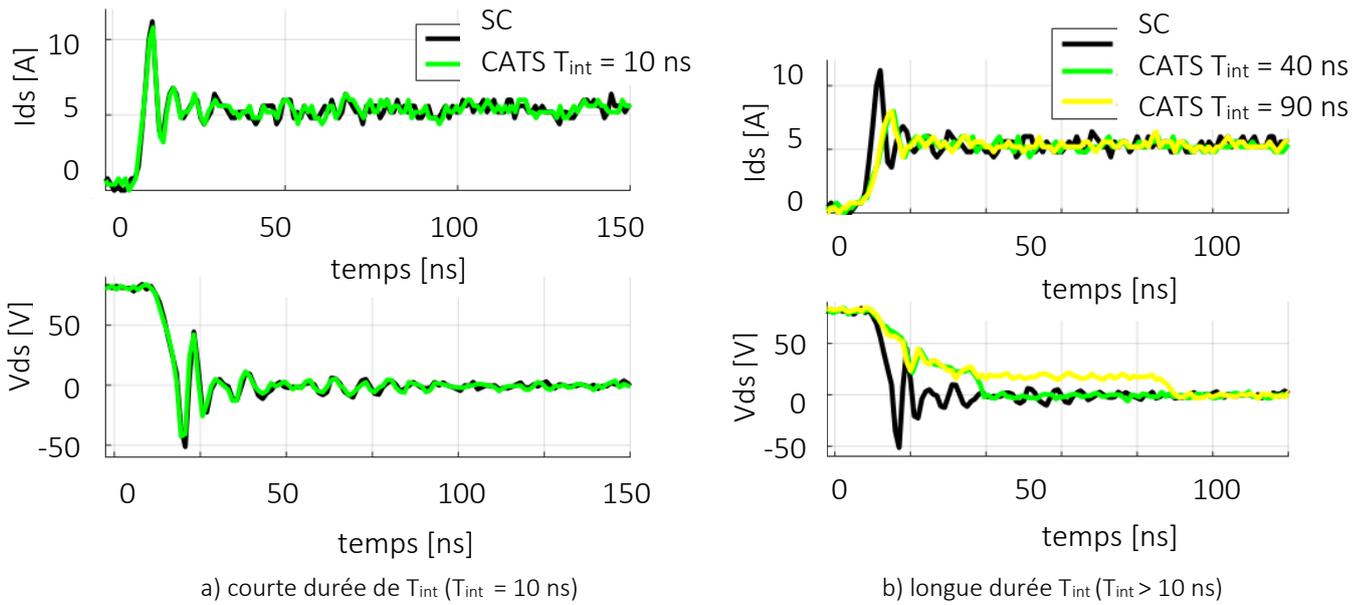


Figure III.8 : Les signaux du GaN lors de la phase d’amorçage pour $V_{dc} = 80$ V, $I_L = 5$ A, $V_{dint} = 4$ V et différents T_{int} :

Selon, le T_{int} appliqué, l’impact sur la tension et le courant n’est pas le même. Lorsqu’il est suffisant ($T_{int} = T_1 + T_2$), le contrôle du $\frac{di}{dt}$ est assuré durant toute la phase de commutation du courant. Par contre lorsque la condition précédente est remplie ($T_{int} = T_1 + T_2$), le $\frac{di}{dt}$ reste inchangée pour des T_{int} plus grands (figure III.8b pour $T_{int} = 40$ ns et $T_{int} = 90$ ns). Il faut noter que même si l’augmentation du T_{int} n’a pas d’impact sur le $\frac{di}{dt}$ lorsqu’il est suffisant, il a cependant un impact considérable sur le $\frac{dv}{dt}$. Plus le T_{int} est grand, plus l’impact sur le $\frac{dv}{dt}$ est considérable. Cet impact non négligeable sur la tension occasionne l’augmentation des pertes (voir partie C1). Afin de les minimiser, le T_{int} doit être le plus proche possible de la durée de la phase 2 (T_2) qu’on devrait obtenir avec une tension V_{dint} . Pour un courant de charge de 28 A, l’application d’un T_{int} de 40 ns permet de ralentir partiellement le $\frac{di}{dt}$ car ce temps est inférieur à la durée approximative de la phase de commutation du courant pour un V_{dint} de 4 V (figure III.9a).

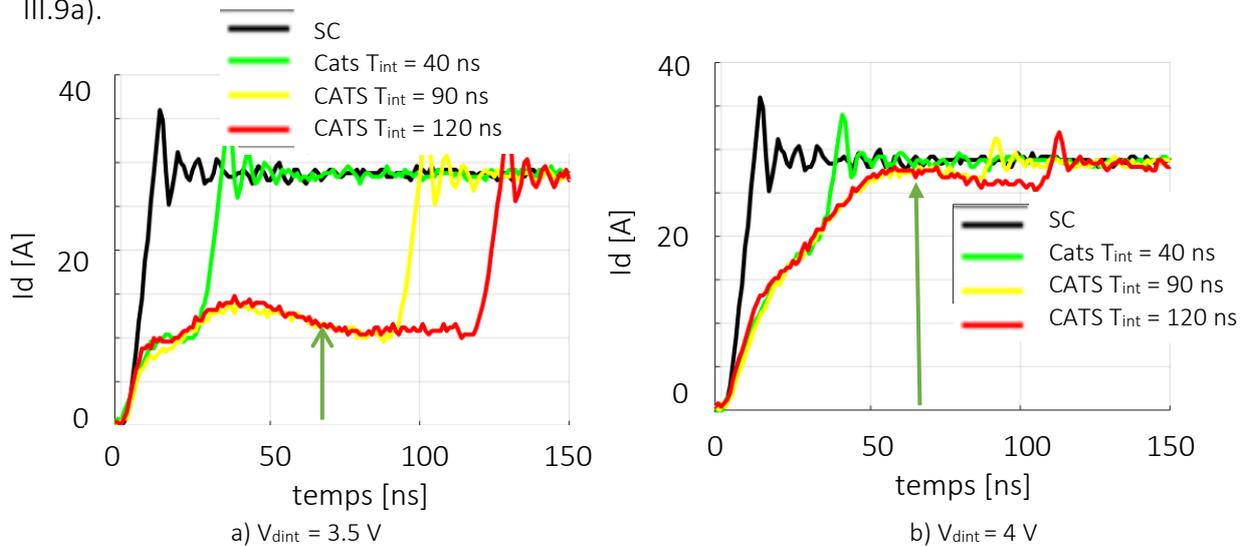


Figure III.9 : Les signaux du GaN lors de la phase d’amorçage pour $V_{dc} = 80$ V, $I_L = 28$ A, $V_{dint} = 4$ V et différents T_{int}

Pour de forts courant de charge ($I_L = 28 \text{ A}$), l'application de la commande CATS avec un T_{int} très grand ($T_{\text{int}} \gg T_1 + T_2$) produit un phénomène de saturation (flèche verte de la figure III.9). Ce phénomène de saturation se produit car le GS66508P a atteint son courant de saturation pour la valeur de V_{dint} appliquée pendant cette période (fonctionnement du G66508P en zone de saturation). Dès que l'application de V_{dint} se termine, le GS66508P fonctionne à nouveau en zone linéaire et commence à croître avec la tension V_{gs} . Ce courant de saturation varie dans le même sens que V_{dint} . Pour une valeur V_{dint} de 4 V le courant sature à 23 A alors qu'avec une V_{dint} de 3.5 V le courant sature 12 A.

Ce phénomène de saturation peut être utilisé pour la caractérisation dynamique du GaN afin de déterminer son courant de saturation pour une tension V_{gs} donnée

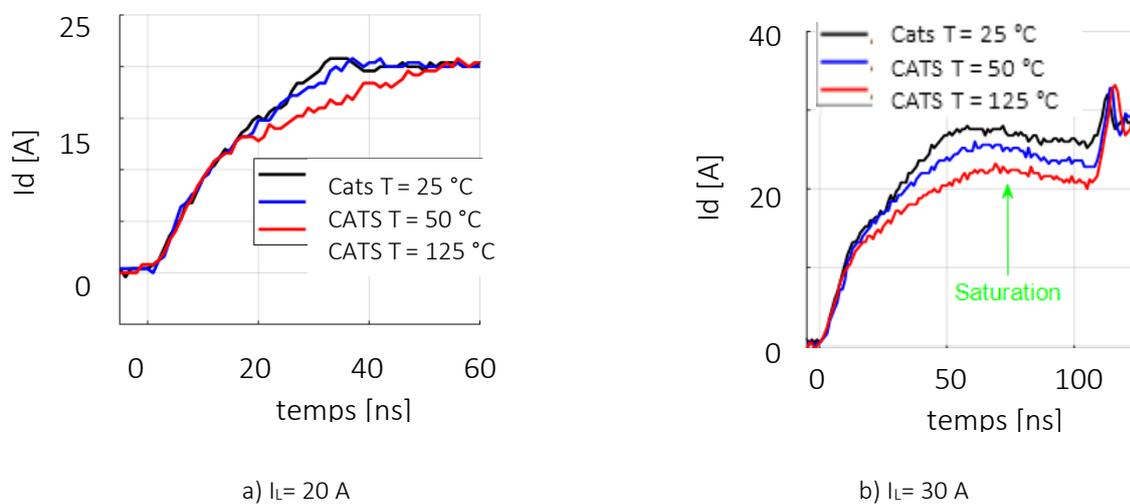


Figure III.10 : Evaluation de l'impact de la température sur la commande CATS pour $V_{\text{dint}} = 3.5 \text{ V}$ et $T_{\text{int}} = 120 \text{ ns}$

Ce phénomène de saturation est constaté avec l'augmentation de la température. Plus la température augmente plus ce courant de saturation diminue (figure III.10). L'augmentation de la température fait diminuer aussi le $\frac{di_d}{dt}$ obtenue avec la commande CATS (figure III.10a).

Pour dépasser ces limites (phénomène de saturation et variation du $\frac{di_d}{dt}$ avec la température) observées avec la commande CATS initiale, une commande en boucle fermée est nécessaire. Elle ajustera la valeur de V_{dint} et ou le T_{int} selon la température et le courant de charge afin de garder le même $\frac{di_d}{dt}$ et d'éviter le phénomène de saturation.

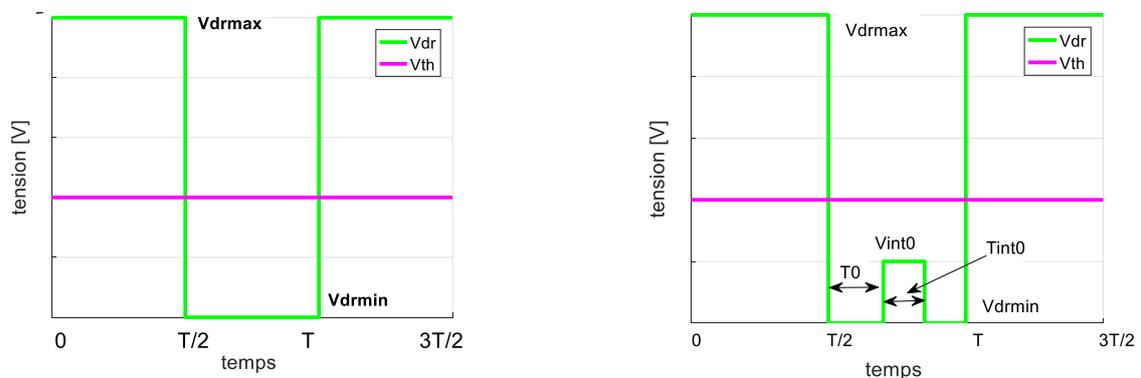
Concernant le contrôle du $\frac{dv}{dt}$ par la commande CATS lors de la phase d'amorçage, des études ont été menées. Les résultats de ces études sont présentés à l'annexe III. Dans le but d'apporter une complémentarité d'étude, pour la phase de blocage, le contrôle de $\frac{dv_d}{dt}$ est étudié.

B) Contrôle de la tension lors de la phase de blocage

➤ Principe :

Le contrôle de la tension pour cette phase consiste à appliquer une tension intermédiaire V_{int0} légèrement inférieure à V_{th} ($\frac{dv}{dt} = \frac{V_{th} + \frac{I_L}{g_{fs}} - V_{int0}}{R_g \cdot C_{gd}}$ [73]) lors de la commutation de la tension pendant la phase de blocage. Cette commande est caractérisée par 3 paramètres qui sont :

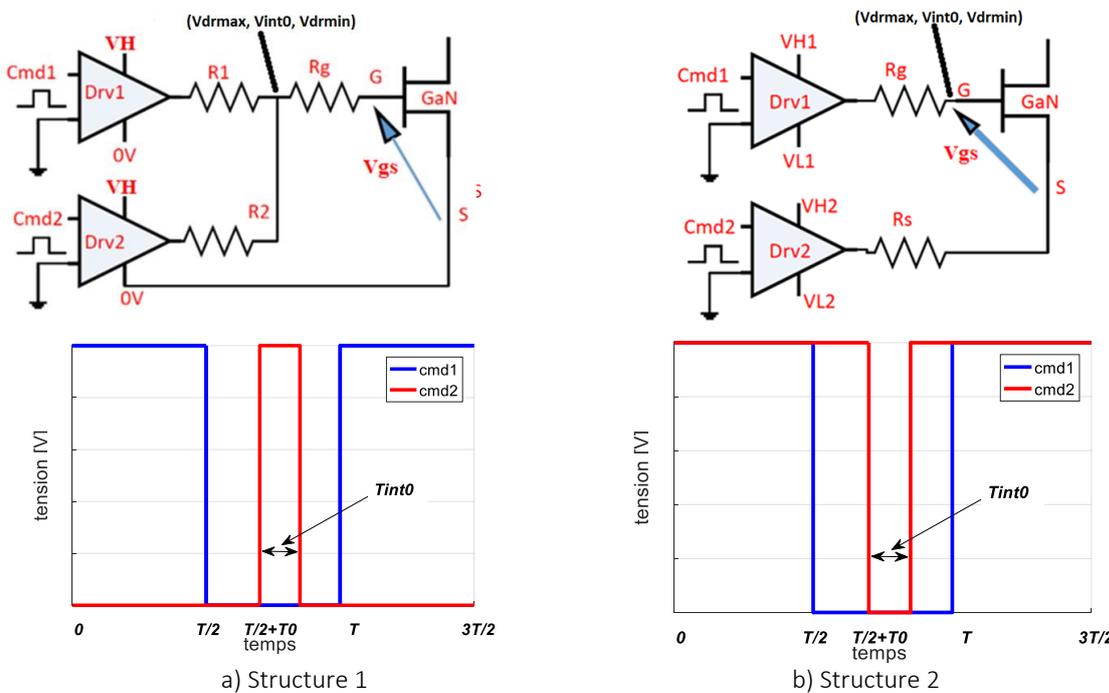
- T_0 : paramètre indiquant le début de la commutation de la tension
- V_{int0} : tension intermédiaire du driver appliquée pendant la commutation de la tension.
- T_{int0} : durée d'application de V_{int0} .



a) Commande classique ou commande standard à deux niveaux de tension (V_{drmin} et V_{drmax})

b) commande CATS pour le contrôle de la tension pour la phase de blocage

Figure III.11 : signaux du driver pour les deux types de commande



a) Structure 1

b) Structure 2

Figure III.12 : Signaux d'entrée des deux drivers et des deux structures pour le contrôle de tension pour la phase de blocage.

➤ Structure :

Les structures sont les mêmes que celles pour le contrôle du courant lors de l’amorçage. La différence se situe au niveau de la forme des signaux Cmd1 et Cmd2 (figure III.12).

➤ Validation expérimentale

Pour valider ce principe de contrôle le même banc de test ainsi que le même convertisseur que celui pour le contrôle de courant de la figure III.6 est utilisé. La forme des signaux Cmd1 et Cmd2 a été changée grâce au GBF (Agilent 81130A). Les figures III.13 à figure III.15 présentent les résultats obtenus.

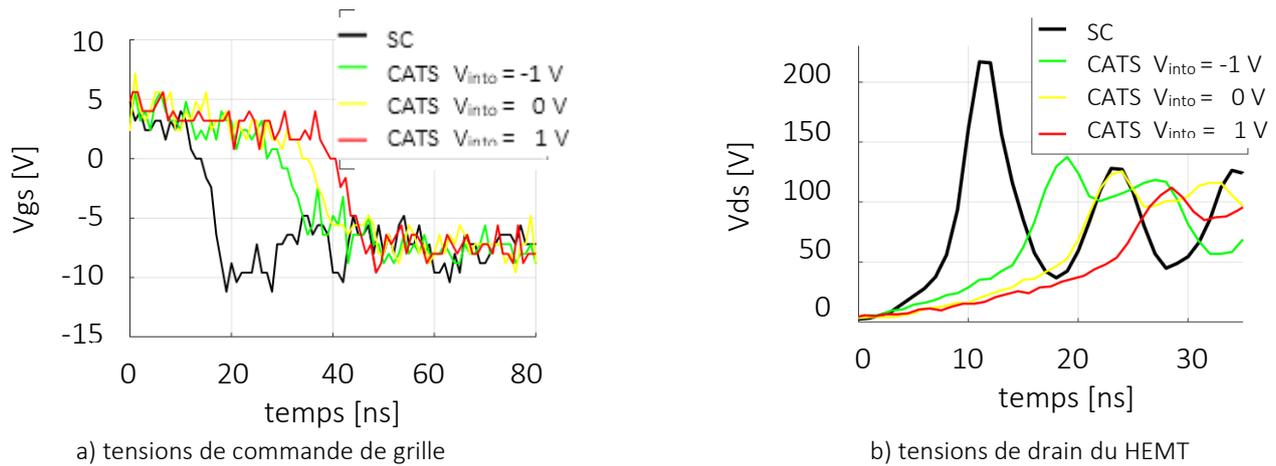


Figure III.13 : Les signaux du GaN lors de la phase de blocage pour $V_{dc} = 100$ V, pour différent $V_{int0} = 4$ V, $T_{int0} = 30$ ns et $T_o = 5$ ns et un faible courant de charge.

Comme dans le cas du contrôle de courant par la commande CATS lors de la phase d’amorçage, la Commande CATS permet aussi de ralentir le $\frac{dv}{dt}$ dans le cas d’un transistor GaN (figure III.13b). L’application d’une tension intermédiaire de blocage ($V_{int0} = -1$ V ou $V_{int0} = 0$ V ou $V_{int0} = 1$ V) a permis de réduire le $\frac{dv}{dt}$ et aussi la surtension d’au moins 100 V par rapport à la commande standard (qui a une tension de blocage de -10 V (figure III.13a)). Comme mentionné précédemment, il est possible de constater que plus la V_{int0} est proche de la tension de seuil, plus le $\frac{dv}{dt}$ est faible (figure III.13)).

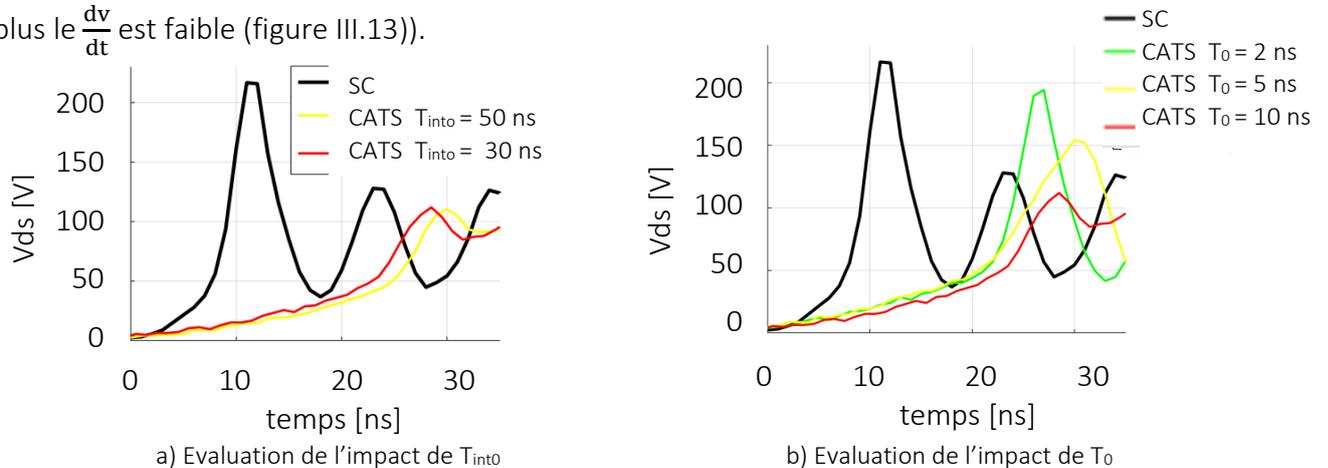


Figure III.14 : Les signaux du GaN lors de la phase de blocage pour $V_{dc} = 100$ V, $V_{int0} = 1$ V, différents T_o , différents T_{int0} et un faible courant de charge.

Plus le T_{int0} appliqué est grand plus le $\frac{dv}{dt}$ et la surtension sont réduites (figure III.14a). Comme dans le cas du contrôle du courant par la commande CATS, ce paramètre le T_{int0} doit être réglé de manière optimale ($T_{int0} = R_g.C_{gd}$) afin de minimiser au maximum l'impact sur le courant et de réduire les pertes de commutation. Le paramètre T_0 doit aussi être réglé de manière optimale car une valeur de T_0 ($T_0 = 2$ ns) occasionne une légère augmentation de la surtension (figure III.14b).

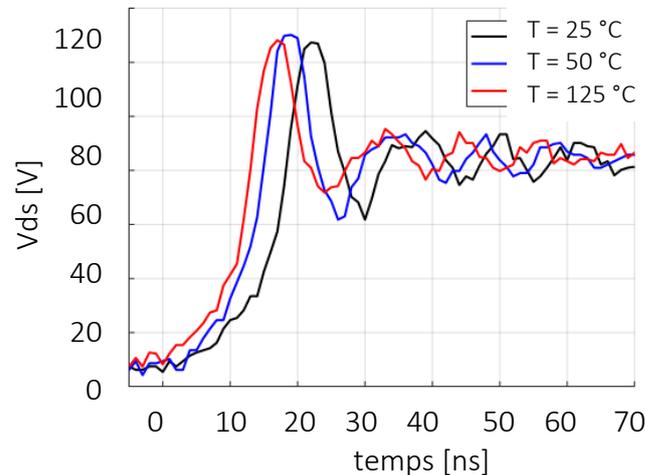


Figure III.15 : Les signaux du GaN lors de la phase de blocage pour $V_{dc} = 100$ V, $V_{int0} = 1$ V, $T_{int0} = 30$ ns, $T_0 = 5$ ns et différentes températures

Le $\frac{dv}{dt}$ obtenu avec le contrôle de la tension en boucle ouverte augmente avec la température (figure III.15). L'augmentation du $\frac{dv}{dt}$ est due à l'augmentation de la tension de seuil avec la température (Chapitre 2). La mise en place d'un système en boucle fermée est nécessaire pour garder le même $\frac{dv}{dt}$ quelles que soient les conditions de fonctionnement du GaN.

C) Evaluation de la commande CATS en boucle ouverte

Dans le but d'évaluer les avantages de la commande CATS par rapport à la commande passive standard (SC), la comparaison des vitesses de commutation et des pertes de commutation est effectuée dans cette partie.

a) Commande CATS pour le contrôle du courant lors de la phase d'amorçage :

Le tableau III.5 présente les vitesses de commutation en courant ($\frac{di}{dt}$) et les pertes en commutation obtenues avec la commande CATS et la commande passive standard lors de la phase d'amorçage. Le 1^{er} cas (tableau III.3a) correspond à l'application de la commande CATS sans l'apparition du phénomène de saturation (faible courant de charge). Le second cas (tableau III.5b) correspond à la commande CATS avec l'apparition du phénomène de saturation (fort courant de charge)

	$\frac{di}{dt}$ [A/ns]	E_{ON} [μ J]	Taux de réduction =100. $(1 - \frac{di}{dt} (\frac{AGVC}{SC}))$
CATS ($R_g = 3 \Omega$ and $T_{int} = 30$ ns)	0.5	22	78 %
CATS ($R_g = 3 \Omega$ and $T_{int} = 90$ ns)	0.5	50	78 %
Commande standard ($R_g=R_s = 3 \Omega$)	2.25	5	0 %
Commande standard ($R_g=R_s = 39 \Omega$)	1	15	56 %

a) $I_{ch} = 12$ A (sans apparition du phénomène de saturation)

	$\frac{di}{dt}$ [A/ns]	E_{ON} [μ J]	Taux de réduction $(1 - \frac{di}{dt} (\frac{AGVC}{SC}))$
CATS ($R_g = 3 \Omega$ and $T_{int} = 30$ ns)	0.9	30	76 %
CATS ($R_g = 3 \Omega$ and $T_{int} = 90$ ns)	0.75	118	81 %
Commande standard (SC) ($R_g=R_s = 3 \Omega$)	2.6	15	0 %
Commande standard ($R_g=R_s = 39 \Omega$)	1.2	50	55 %

b) $I_{ch} = 28$ A (avec apparition du phénomène de saturation)

Tableau III.5 : comparaison de la commande CATS avec la commande Standard pour le contrôle de

Pour un courant de charge de 12 A ($T_2 = 40$ ns), l'application de la commande CATS ($T_{int} = 30$ ns) a permis de faire passer le $\frac{di}{dt}$ de 2.25 A/ns à 0.5 A/ns par rapport à la commande Standard (tableau III.5a). Cette réduction du $\frac{di}{dt}$ par la commande correspond à un taux de réduction de 78 %. Dû à l'augmentation de la durée de la commutation du courant (T_2) par l'augmentation du courant de charge (I_{ch}), le taux de réduction diminue avec l'augmentation de I_{ch} . C'est ce qui explique le passage du taux de 78 % à 76 % pour un courant de charge de 28 A (tableau III.5b). Pour garder le taux constant, le T_{int} doit être ajusté en fonction de I_{ch} d'où la nécessité de mettre en place un système de contrôle en boucle fermée.

Pour ce qui concerne les pertes de commutation ON (E_{ON}), le passage du $\frac{di}{dt}$ de 2,5 A/ns à 0.5 A/ns par la commande CATS ($V_{dint} = 4$ V, $T_{int} = 30$ ns et $I_{ch} = 12$ A) a entraîné une augmentation de 17 μ J les pertes ON comparées à la commande standard (Tableau III.5a). Pour un T_{int} de 90 ns, permettant d'avoir le même $\frac{di}{dt}$ (0.5 A/ns), l'augmentation des pertes est de 45 μ J. L'impact de cette large valeur de T_{int} (90 ns) sur le $\frac{dv}{dt}$ est à l'origine de l'augmentation significative des pertes ON pour une valeur T_{int} de 90 ns.

Pour s'approcher du même $\frac{di}{dt}$ (0,9 A / ns) obtenue avec la commande CATS ($V_{dint} = 4$ V, $T_{int} = 30$ ns et $I_L = 28$ A) en utilisant le contrôle standard ($R_g = 39 \Omega$), les pertes ON vont être plus importantes que celles de la commande CATS (Tableau III.5b).

b) Commande CATS pour le contrôle de la tension lors de la phase de blocage:

Lorsque les conditions les plus favorables sont réunies ($V_{int0} = 1$ V), la commande CATS permet d'avoir des $\frac{dv}{dt}$ qui sont 6 fois plus faibles que la commande standard passive (tableau III.6). Une telle réduction du $\frac{dv}{dt}$ fait tripler les pertes en commutation au blocage (tableau III.6). Pour

obtenir le $\frac{dv}{dt}$ obtenue avec la commande CATS en utilisant la commande standard passive (par l'augmentation de R_g), les pertes vont être 8 fois plus importantes que la commande passive.

	$\frac{dv}{dt}$ [V/ns]	E_{OFF} [μ J]	Taux de réduction = 100. $(1 - \frac{di}{dt} (\frac{AGVC}{SC}))$
Control Standard $R_g = 3 \Omega$	21.28	6.4	0 %
CATS ($T_0=10$ ns, $T_{int0} = 30$ ns, $V_{int0} = -1$ V et $R_g = 10 \Omega$)	3.29	21	95 %
CATS ($T_0 =10$ ns, $T_{int0} = 30$ ns, $V_{int0} = 0$ V et $R_g = 10 \Omega$)	4.5	25	89 %
CATS ($T_0 =10$ ns, $T_{int0} = 30$ ns $V_{int0} = 1$ V et $R_g = 10 \Omega$)	6.08	28	82 %

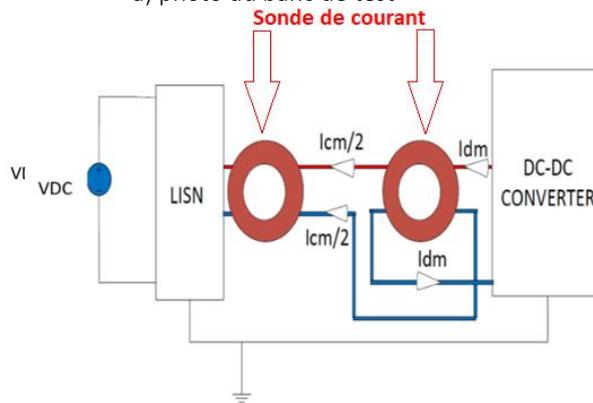
Tableau III.6 : comparaison de la commande CATS pour la réduction de la vitesse de commutation de la tension avec la commande standard

D) Analyse CEM à l'amorçage

Les résultats obtenus dans les parties précédentes montrent qu'il est en effet possible, avec la commande CATS de ralentir les vitesses de commutation du GaN malgré leur rapidité. Cette méthode a été mise en place pour assurer un fonctionnement sûr des convertisseurs GaN. Dans cette partie, les perturbations générées par la commande CATS sont étudiées dans le domaine temporel et fréquentiel. Ces perturbations sont comparées avec celles obtenues avec une commande Standard classique. Pour mesurer les perturbations de ces deux commandes, le banc de test de la figure III.16 a été mis en place. Ce banc permet de mesurer les courants de mode commun (I_{mc}) et les courants différentiels. Ces courants sont mesurés à l'aide des sondes magnétiques (pearson current monitor model 6595). Les figures allant de la figure III.17 à la figure III.20 présentent les résultats obtenus. Vu qu'avec le contrôle du courant, un impact maîtrisé sur le $\frac{di}{dt}$ et sur le $\frac{dv}{dt}$ peut être effectué avec la commande Cats en ajustant le paramètre T_{int} . Nous avons opté de faire ces tests avec la commande pour le contrôle du courant lors de l'amorçage.



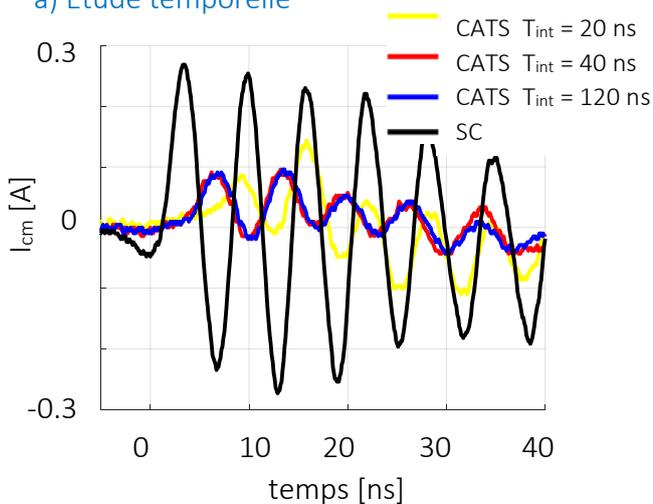
a) photo du banc de test



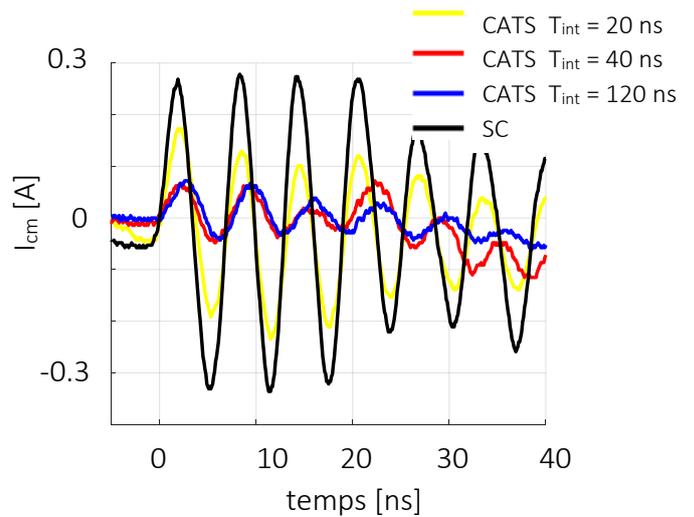
b) schéma bloc du banc de test

Figure III.16 : Banc d'évaluation des perturbations électromagnétiques

a) Etude temporelle



a) $I_{ch} = 2 \text{ A}$



b) $I_{ch} = 6 \text{ A}$

Figure III.17 : comparaison des I_{cm} obtenus avec la commande CATS et la commande standard lors de la phase d'amorçage dans le cas du contrôle du $\frac{di}{dt}$ par la commande CATS en boucle ouverte ($V_{dc} = 100 \text{ V}$ et $R_g = 3 \Omega$)

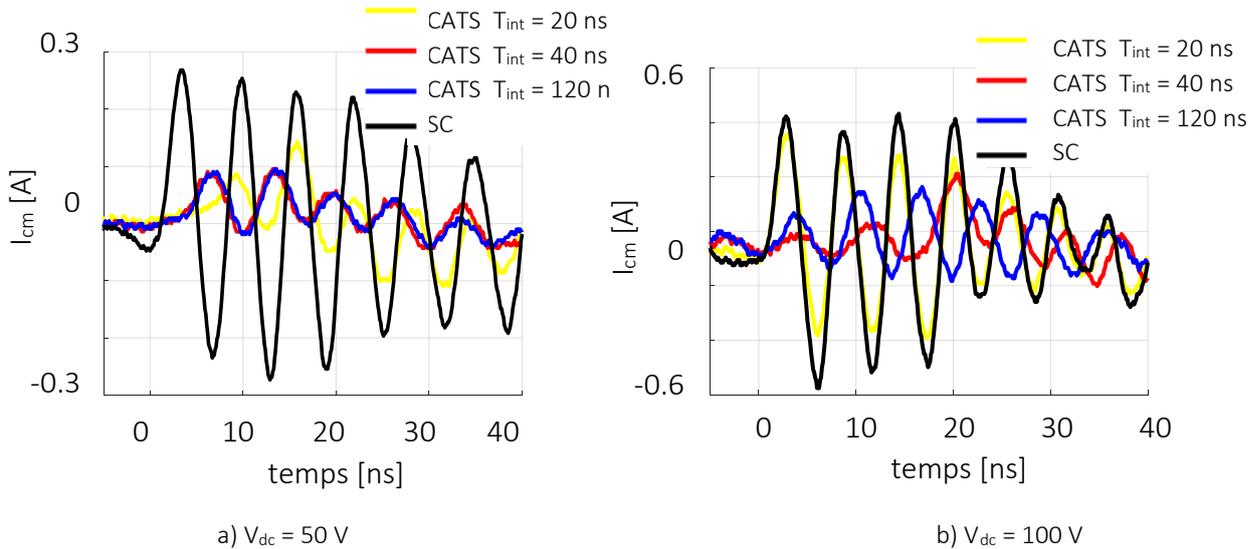


Figure III.18 : comparaison des I_{cm} obtenus avec la commande CATS et la commande standard lors de la phase d’amorçage dans le cas du contrôle du $\frac{di}{dt}$ par la commande CATS en boucle ouverte ($I_L = 2 \text{ A}$ et $R_g = 3 \Omega$)

Comparé à la commande standard classique (SC), la réduction du $\frac{dv}{dt}$ obtenu avec la commande pour le contrôle du courant a permis d’atténuer l’amplitude des courants de mode commun (figure III.17, Tab III.7). Plus l’impact sur le $\frac{dv}{dt}$ est important plus l’amplitude du courant I_{cm} est faible. L’application de la commande CATS avec un T_{int} de 40 ns lors de la phase d’amorçage a permis de réduire l’amplitude de I_{cm} avec un facteur de 2.5 par rapport à la commande CATS avec un T_{int} de 20 ns (tableau III.7a). L’amplitude de I_{cm} reste inchangée lorsque la valeur de T_{int} est au-delà de la valeur optimale, c’est la raison pour laquelle la même amplitude de I_{cm} est obtenue pour un T_{int} de 40 ns et un T_{int} de 120 ns.

	I_{mc_max}	$f_{osc_I_{mc}}$
CATS Cc $T_{int} = 20 \text{ ns}$	267.6 mV	176.26 MHz
CATS Cc $T_{int} = 40 \text{ ns}$	158.7mV	161.45MHz
CATS Cc $T_{int} = 120 \text{ ns}$	158.7mV	161.45 MHz
sc	363.7 mV	176.26 MHz

	I_{mc_max}	$f_{osc_I_{mc}}$
CATS Cc $T_{int} = 20 \text{ ns}$	278.4 mV	176.7 MHz
CATS Cc $T_{int} = 40 \text{ ns}$	160.4 mV	167.67 MHz
CATS Cc $T_{int} = 120 \text{ ns}$	160.4 mV	167.6 MHz
sc	427.24 mV	177.31 MHz

a) $V_{dc} = 100 \text{ V}$, $I_{ch} = 2 \text{ A}$

b) $V_{dc} = 100 \text{ V}$, $I_{ch} = 6$

	I_{mc_max}	$f_{osc_I_{mc}}$
CATS Cc $T_{int} = 20 \text{ ns}$	100.8 mV	154.7 MHz
CATS Cc $T_{int} = 40 \text{ ns}$	62.4 mV	155.7 MHz
CATS Cc $T_{int} = 120 \text{ ns}$	62.4 mV	155.7 MHz
sc	273.6 1 mV	155.2 MHz

c) $V_{dc} = 50 \text{ V}$, $I_L = 2 \text{ A}$

Tableau III.7 : caractéristique des courants de mode commun

Dans le cas de la commande standard classique, l’augmentation du courant de charge (I_L de 2 A à 6) a tendance à augmenter le courant I_{mc} de manière sensible (de 363 mA à 427 mA).

Cependant l'application de la commande CATS stabilise le courant I_{mc} au tour de sa valeur moyenne malgré l'augmentation du courant de charge. Le passage du courant de charge de 2 A à 6 A a fait augmenter le I_{mc} de 100 mA pour la commande classique alors qu'une augmentation de 2 mA est notée avec la commande CATS pour un T_{int} de 120 ns (tableau III.5a et tableau III.5b).

Contrairement à l'augmentation du courant de charge, l'augmentation de la tension du bus DC (V_{dc}) a le même effet sur les deux commandes (CATS et classique). Cependant l'effet du changement de la tension a un effet plus important sur la variation de l'amplitude de I_{mc} que celui du courant. Ceci s'explique par le fait que la capacité de mode commun est l'un des éléments responsables des perturbations électromagnétiques. Donc dans le but de réduire ces perturbations, il est plus intéressant de contrôler seulement le $\frac{dv}{dt}$. Cependant le contrôle du $\frac{di}{dt}$ peut être utilisé pour diminuer les perturbations électrostatiques.

Même si l'application de la commande CATS a permis de réduire les amplitudes du courant de perturbation (I_{mc}), elle ne présente qu'un léger impact sur la fréquence d'oscillation ($f_{osc_I_{mc}}$) du courant de mode commun. Cependant, la commande CATS a permis de réduire la fréquence d'oscillation ($f_{osc_I_{mc}}$) du courant de mode commun de 10 MHz par rapport à la commande passive pour le cas le plus favorable (tableau III.7).

b) Etude fréquentielle :

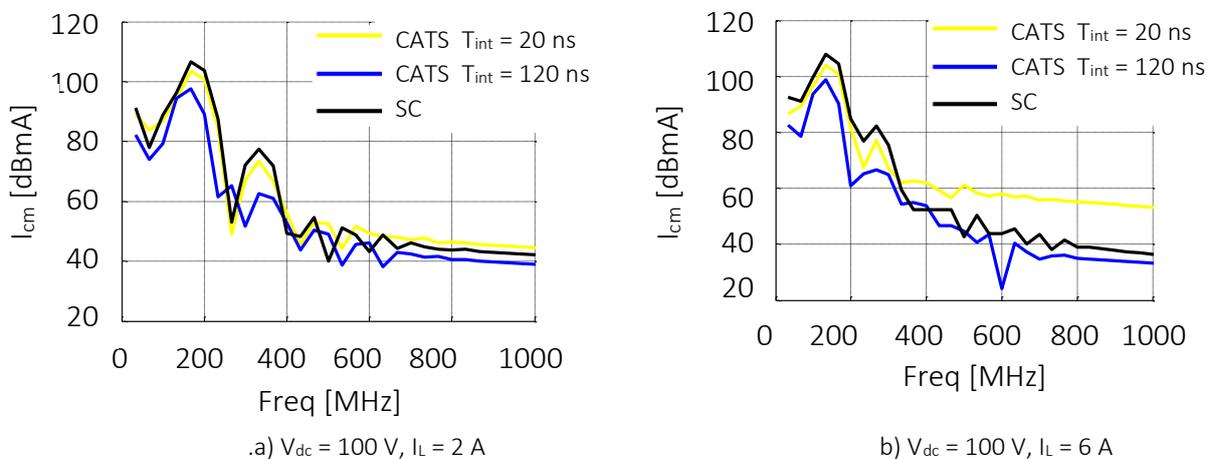


Figure III.19 : comparaison des courants de mode commun de la commande CATS en courant lors de la phase d'amorçage avec celui de la commande classique

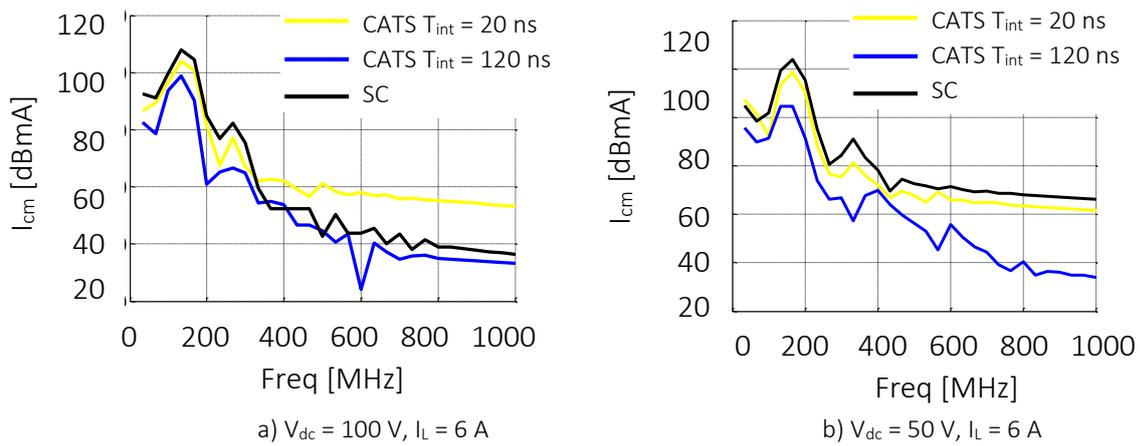


Figure III.20 : comparaison des courants de mode commun de la commande CATS en courant lors de la phase d’amorçage avec celui de la commande classique

La commutation du HEMT a produit deux pics de perturbation (figure III.20a). Ces pics apparaissent presque à la même fréquence pour les deux types de commande (CATS et classique). Cependant la commande CATS permet de réduire ces pics de 20 dBmA Cette réduction pourrait permettre de réduire fortement le volume des filtres CEM du convertisseur

III. Mise en place technique de commande en boucle fermée :

Dans la partie précédente, l’avantage de la commande CATS en boucle ouverte par rapport à la commande classique a été démontré. Cependant, elle présente certaines limites comme la variation de la vitesse de commutation en fonction de la température et des paramètres de la commande CATS (V_{dint} , T_{int} , T_{into} et V_{into}). Afin de minimiser ces limites, d’autres principes de contrôle en boucle fermée sont étudiés dans cette partie.

Ces commandes en boucle fermée peuvent être divisées en deux parties selon le paramètre du driver utilisé pour ralentir les vitesses de commutation (figure III.21).

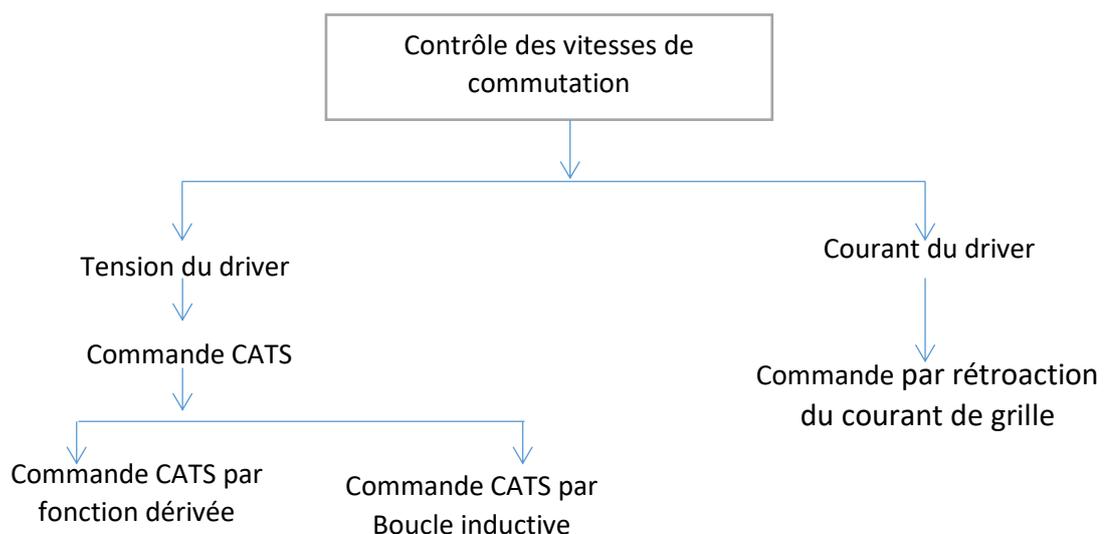


Figure III.21 : Classification des commandes en boucle fermée :

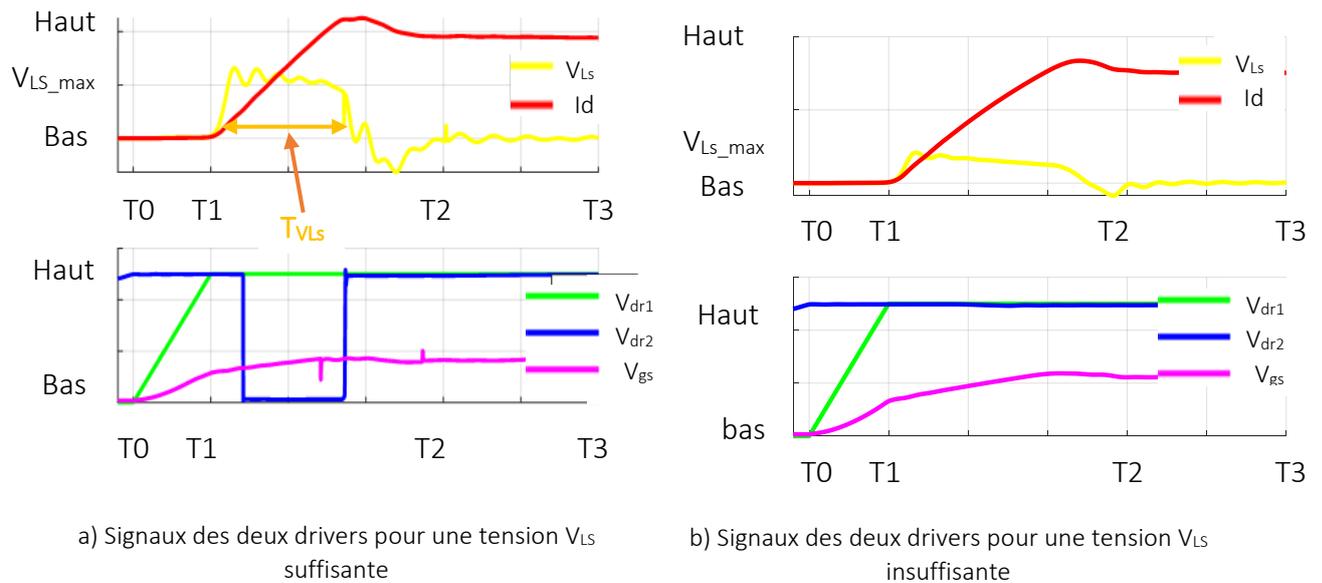


Figure III.23 : description du déroulement de la commande CATS en boucle fermée par boucle inductive lors de la phase d'amorçage

- La valeur maximale de V_{Ls} (V_{Lsmax}) est supérieure à la tension minimale d'entrée (INB_{min}) du driver 2 avec une durée suffisante (T_{VLs}) : ceci permet d'avoir la sortie du driver 2 à l'état bas ($V_{dr2} = V_{ss}$) permettant ainsi de contrôler le GaN avec une tension de commande intermédiaire plus petite que la tension du driver 1. Cela permettra de ralentir la vitesse de commutation du courant (figure III.23a).
- Les trois autres cas sont les cas où la tension V_{Ls} et/ou sa durée (T_{VLs}) ne sont pas suffisantes pour créer un état bas à la sortie du driver 2 ($V_{dr2} = V_{DD}$). Dans ces trois cas, il n'y aura pas un ralentissement de I_{ds} (figure III.23b).

Comme la sortie du driver 2 (Drv2) est à l'état haut en dehors de la période de commutation du courant ($\frac{di}{dt}$), les résistances R_{g1} et R_{g2} doivent être dimensionnées de manière à assurer le blocage du GaN pendant la phase de blocage. Le dimensionnement peut se faire en respectant les équations suivantes.

$$\bullet V_{gr} = \frac{R_{g1}}{R_{g1}+R_{g2}} V_{DD} \ll V_{th} \quad \text{III.21}$$

$$\bullet V_{gr} = \frac{R_{g2}}{R_{g1}+R_{g2}} V_{DD} \geq V_{th} \quad \text{III.22}$$

➤ Simulation

Avant de passer à la phase de validation expérimentale de ce principe de contrôle, une validation par simulation a été effectuée en utilisant un des modèles du chapitre 2. Le circuit de simulation est identique au schéma de la figure III.22. Dans cette étude en simulation, l'impact de la valeur de L_s et du courant de charge (I_L) est évalué. Les figures suivantes (Figure III.24 à Figure III.26) présentent les résultats obtenus.

Pour une inductance parasite de 1nH, avec l'application d'un courant de charge de 30 A nous observons une variation de tension (V_{Ls}) aux bornes de L_s de valeur maximale ($V_{Lsmax} = 2$ V) et de durée ($T_{VLs} = 32$ ns) (figure III.24b)). Ces deux caractéristiques de (V_{Ls}) sont insuffisantes pour activer le driver 2 (V_{dr2} est toujours à l'état haut ($V_{dr2} = 5$ V)). Cette inactivation du driver 2 est à l'origine de l'absence de l'application d'une tension intermédiaire de la grille du système de contrôle pendant la commutation de courant. Ce sont ces raisons qui expliquent le non-ralentissement du courant de drain avec le circuit de contrôle (inductance parasite (L_s) de 1nH et un courant de charge de 30 A) (figure III.24a).

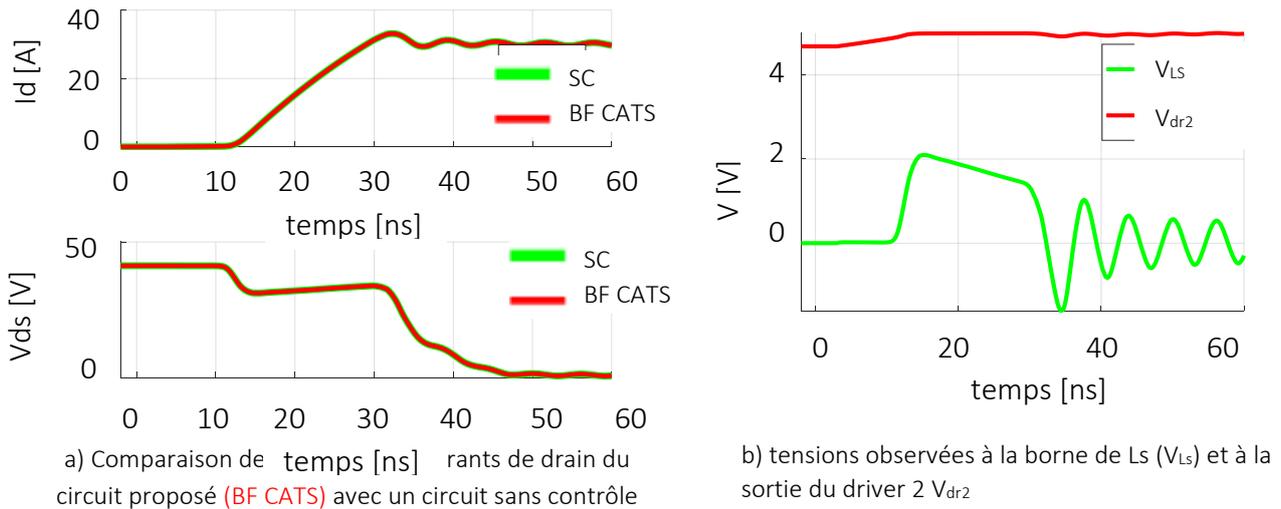
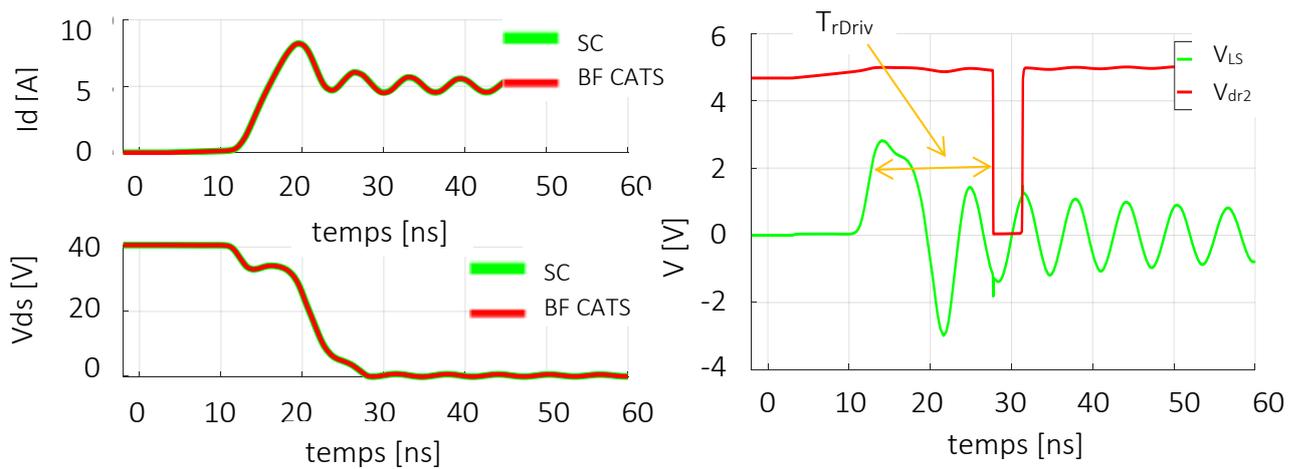


Figure III.24 : Signaux obtenu pour un courant de charge de 30 A et une valeur de L_s de 1 nH

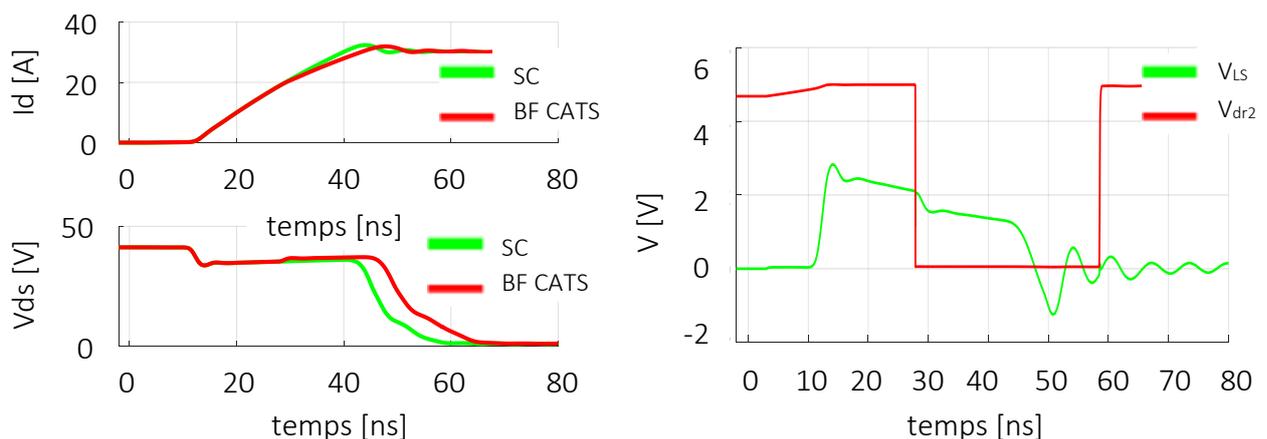
L'augmentation de l'inductance parasite (L_s) à 2 nH, a permis d'activer le driver 2 (passage de l'état haut à l'état bas à 28 ns ($V_{dr2} = 0$ V) (figure III.25b)) mais ne permet toujours pas de ralentir le $\frac{di}{dt}$. Le temps de réaction trop important du driver 2 ($T_{rDriv2} = 14$ ns) est la cause principale de cette impossibilité de contrôler le $\frac{di}{dt}$ vu que le changement d'état du driver intervient après la commutation (tension et courant).



a) Comparaison des tensions et courants de drain du circuit proposé (BF CATS) avec un circuit sans contrôle (SC)

b) tensions observées à la borne de L_s (V_{Ls}) et à la sortie du driver 2 V_{dr2}

Figure III.25 : Signaux obtenu pour un courant de charge de 5 A et une valeur de L_s de 2 nH



a) Comparaison des tensions et courants de drain du circuit proposé (BF CATS) avec un circuit sans contrôle (SC)

b) tensions observées à la borne de L_s (V_{Ls}) et à la sortie du driver 2 V_{dr2}

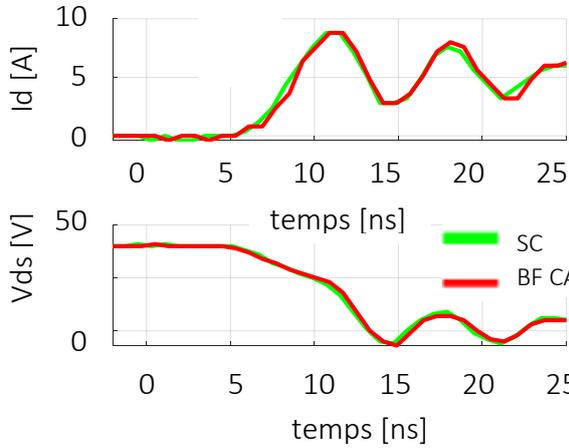
Figure III.26 : Signaux obtenu pour un courant de charge de 30 A et une valeur de L_s de 2 nH

Pour cette même inductance parasite ($L_s = 2$ nH), l'application d'un courant de charge de 20 A ayant un temps de commutation beaucoup plus long a permis de ralentir le $\frac{di}{dt}$ (figure III.26a). Dû toujours au temps de réaction important du driver 2, ce contrôle en boucle fermée a plus d'impact sur la tension que sur le courant.

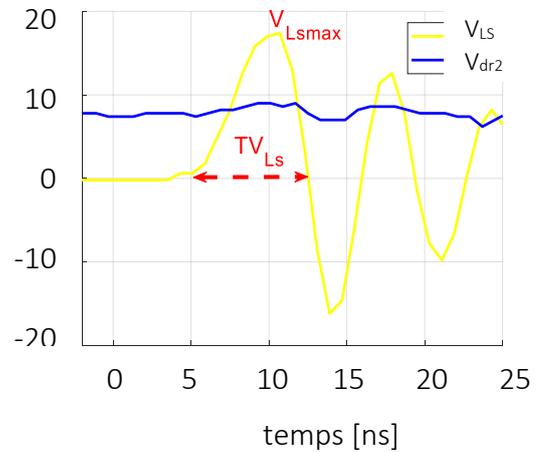
Pour avoir plus d'impact sur le $\frac{di}{dt}$, le driver 2 doit avoir un temps de réaction plus petit que 14 ns (figure III.25b et figure III.26b). Cette dernière analyse permet de confirmer les conclusions émises précédemment sur l'utilisation de composants discrets pour régler les problèmes actuels des HEMTs GaN.

➤ Résultats expérimentaux

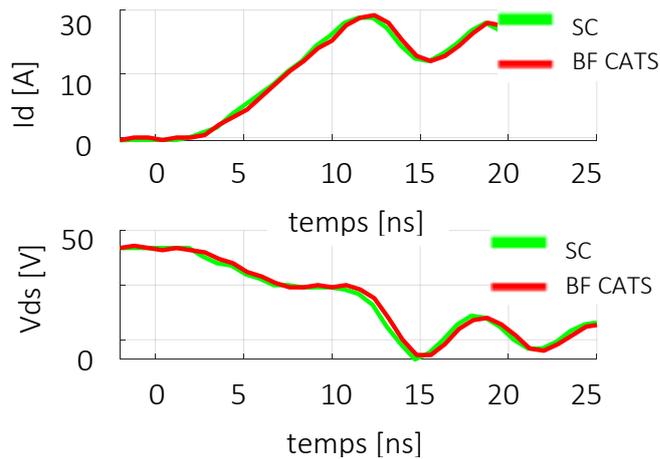
Afin de valider ce circuit de commande CATS en boucle fermée, le circuit de la figure III.22 a été testé pour une valeur de L_s de 2nH Les résultats obtenus sont présentés aux figures suivantes.



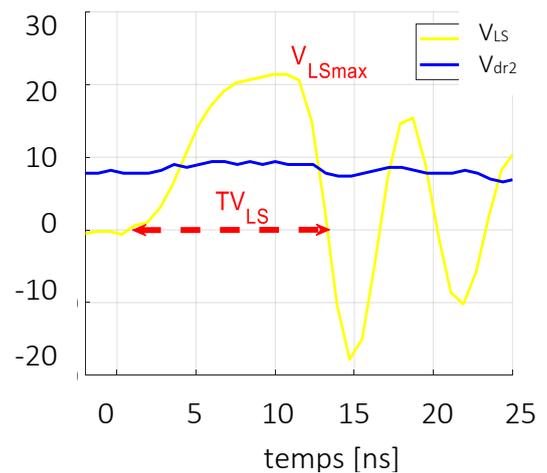
a) Comparaison des tensions et courants de drain du circuit proposé (BF CATS) avec un circuit sans contrôle (SC) pour un courant de charge de 5 A



b) tensions observée à la borne de L_s et à la sortie du driver 2 V_{dr2} pour un courant de charge de 5 A



c) Comparaison des tensions et courants de drain du circuit proposé (BF CATS) avec un circuit sans contrôle (SC) pour un courant de charge de 30 A



d) tensions observée à la borne de L_s et à la sortie du driver 2 V_{dr2} pour un courant de charge de 20 A

Figure III.27 : Signaux obtenu pour différents courants de charge et une valeur de L_s de 2 nH

Contrairement aux résultats de simulation, le circuit implémenté ne permet pas d'assurer le ralentissement de la vitesse de commutation en courant, et cela, quel que soit le courant de charge. Vu que les tensions obtenues à la borne de L_s sont largement supérieures à la tension minimale d'activation du LM5114 (driver 2), il peut être conclu que l'inactivation du driver 2 est due à un temps d'application ($T_{V_{Ls}}$) de V_{Ls} trop faible (15 ns) Ainsi, l'application d'un tel circuit dans le cas d'un transistor GaN GS66508P ne pourra se faire qu'avec des drivers capables de réagir à un signal d'entrée de durée inférieure ou égale à 15 ns. Un driver avec une entrée inverseuse ayant de telles caractéristiques n'est pas commercialisé.

Il faut noter cependant que même si la tension au borne de L_s (V_{Ls}) est suffisante pour activer le driver 2 (Drv2), elle est largement supérieure à celle obtenue en simulation (10 fois plus importante). Cette différence proviendrait de la différence de L_s entre la simulation et l'expérimental. Ceci nous permet de conclure que l'inductance parasite du convertisseur est largement supérieure à 2nH pour l'expérimental. Les fortes valeurs de V_{Ls} appliquées au driver 2 vont avoir comme conséquence la réduction de la durée de vie du driver 2.

B) Commande CATS « par fonction dérivée » pour le contrôle de la tension lors de la phase de blocage

Contrairement à la méthode par rétroaction inductive qui utilise le courant de drain I_d , cette méthode utilise la tension de drain V_d pour régler le T_{int} . Afin de générer un signal de commande permettant d'avoir une tension intermédiaire de commande V_{int} avec le temps T_{int} adéquate, le circuit dérivateur de la figure III.28 est utilisé. Ce circuit est formé par une résistance (R_1), deux diodes (D_1, D_2) et un condensateur (C_1).

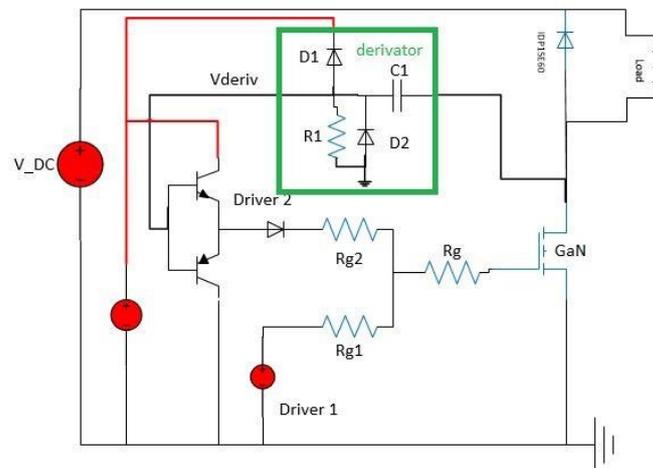


Figure III.28 : Structure de la commande CATS « par fonction dérivée » pour le contrôle de la tension lors de la phase de blocage.

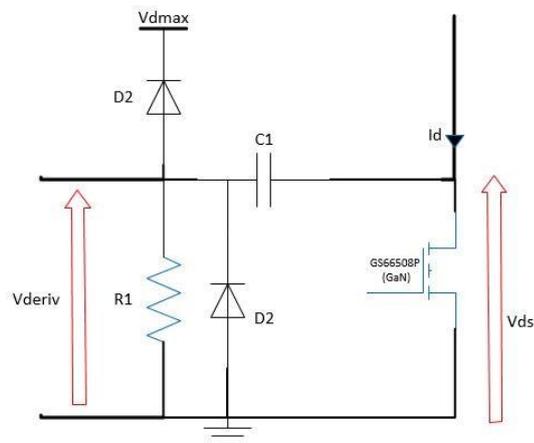


Figure III.29 : Détection de la dérivée de la tension V_{ds} aux bornes du transistor

Avant le démarrage de la phase de blocage, vu que le transistor est bloqué, une tension nulle est appliquée à la borne de la cathode D1 et à la borne de l'anode de D2. Cela permet d'obtenir un niveau logique bas du signal de commande V_{deriv} ($V_{deriv} = V_{derivmin}$). L'augmentation de la tension de drain due au blocage du transistor GaN assure la mise en conduction de la diode D1 et le blocage de la diode D2 permettant ainsi d'obtenir le niveau logique de V_{deriv} à l'état haut ($V_{deriv} = V_{derivmax}$). À la fin de la commutation au blocage du transistor, ce signal V_{deriv} revient à l'état bas ($V_{deriv} = V_{derivmin}$) (Figure III.30).

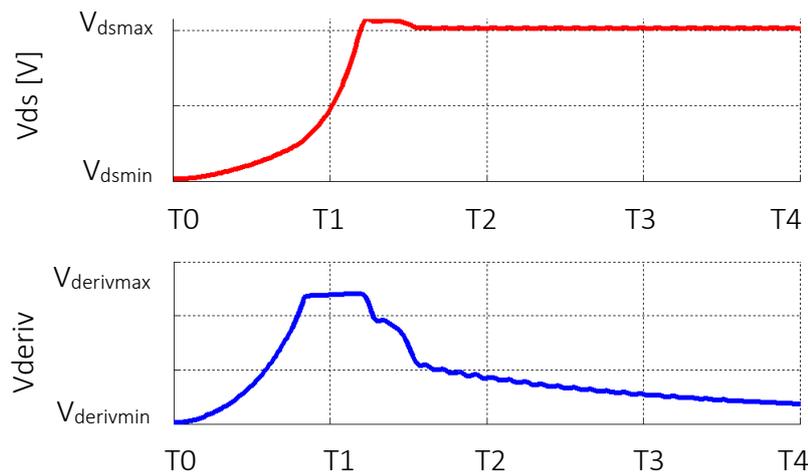


Figure III.30 : génération du signal de commande V_{deriv} par le circuit dérivateur

Avec ce circuit dérivateur une diminution lente du signal V_{deriv} à la fin du blocage du transistor est à noter. Un dimensionnement paramétrique adéquat de R_1 et C_1 pourrait permettre de régler cela (Figure III.30).

➤ Simulation

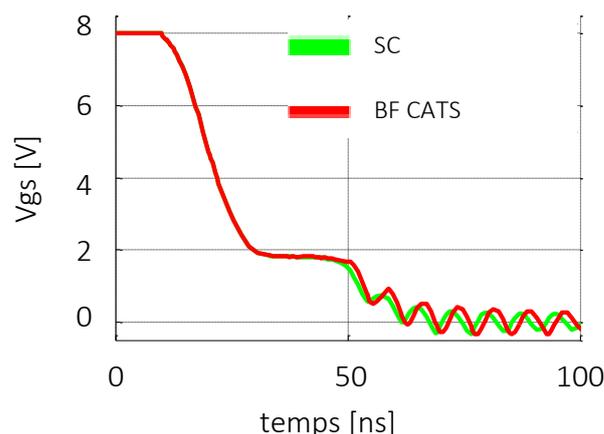
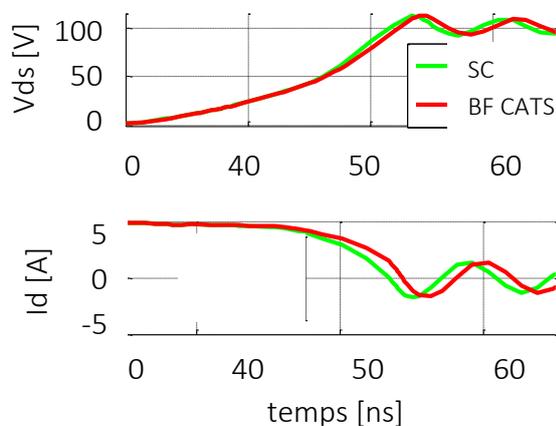


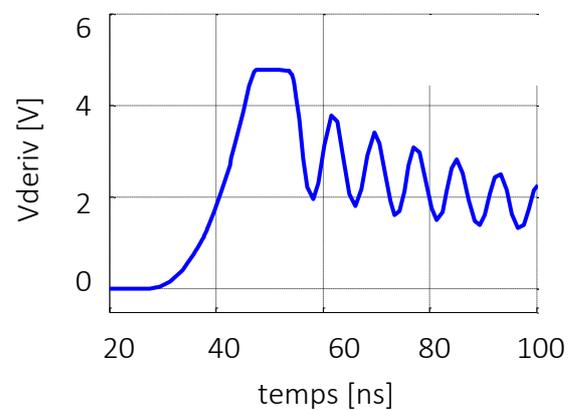
Figure III.31 : Signal de grille

Comme dans le cas précédent (commande CATS par boucle inductive), la validation de ce principe a été faite dans un premier temps par simulation puis dans un second temps de manière expérimentale. L'un des modèles du chapitre 2 a été utilisé pour cette validation par simulation. Vu la rapidité de commutation du GaN, le driver 2 contrôlé par le signal V_{deriv} issu

du circuit dérivateur doit avoir un temps de réponse extrêmement rapide (strictement inférieur à 10 ns). Dans la partie pratique, le driver ZXGD3003E6 a été choisi. Ce dernier est un driver avec un seul étage de sortie (push pull) à base de transistor bipolaire. Il a un temps de réponse qui peut atteindre 1 ns pour le cas le plus favorable ce qui correspond parfaitement aux attentes par rapport aux driver 2. Dans la simulation, le driver ZXGD3003E6 a été remplacé par des modèles de transistors bipolaires (PNP et NPN) parfaits. La figure III.31 présente une comparaison des signaux de commande (V_{gs}) entre la commande en bouclé fermée et la commande passive standard. L'introduction du circuit dérivateur avec la commande en boucle fermée a permis d'appliquer une tension plus proche de la tension de seuil à 50 ns (figure III.31). Pour évaluer l'impact de cette tension, une comparaison de la tension V_{ds} et du courant I_{ds} du HEMT est réalisée à la figure III.32 et à la figure III.33 pour les deux types de commandes (commande CATS par fonction dérivée (BF CATS) et commande Standard passive (SC)).



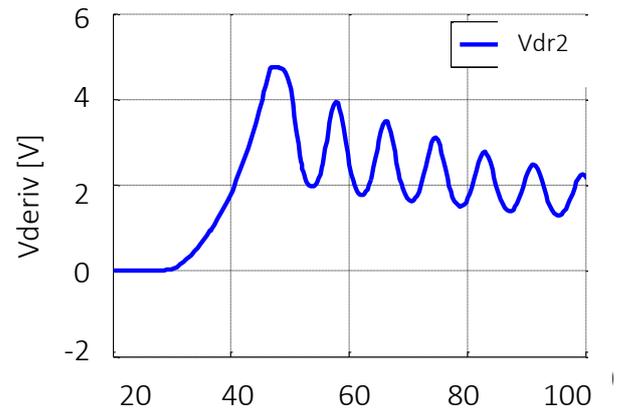
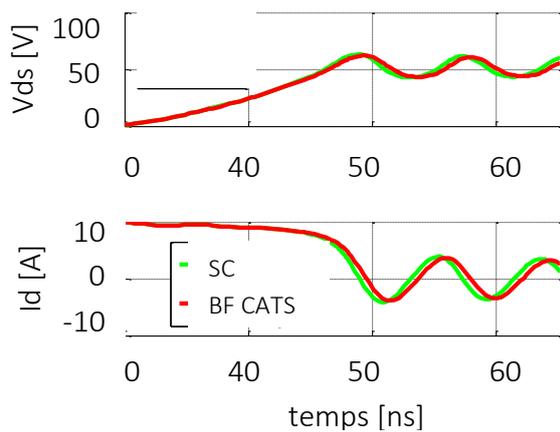
a) Comparaison des tensions et courants de drain du circuit proposé (BF CATS) avec un circuit sans contrôle (SC) pour un courant de charge de 5 A



b) tension V_{deriv} observée avec le signal de contrôle

Figure III.32 : Signaux obtenu pour un courant de charge de 5 A et une $V_{dc} = 100$ V

La commande en boucle fermée (commande CATS par fonction dérivée) proposée permet de ralentir le $\frac{dv}{dt}$ quelle que soit la tension appliquée au transistor (figure III.32 et figure III.33). A cause du temps de réaction important du driver 2 (temps de retard du driver 2), le contrôle en boucle fermée a plus d'impact sur le $\frac{di_d}{dt}$ que sur le $\frac{dv}{dt}$.



e) Comparaison des tensions et courants de drain du circuit proposé (BF CATS) avec un circuit sans contrôle (SC) pour un courant de charge de 5 A et $V_{ds} = 50V$

f) tension V_{deriv} ob: temps [ns] signal de contrôle

Figure III.33 : Signaux obtenu pour un courant de charge de 5 A et une V_{dc} de 50 V.

Afin de mieux comprendre cela, le tableau III.8 résume, les résultats obtenus les deux commandes (commande CATS par fonction dérivée et commande Standard) pour plusieurs points de fonctionnement.

	BF CATS $\frac{di}{dt}$ (A/ns)	SC $\frac{di}{dt}$ (A/ns)	BF CATS $\frac{dv}{dt}$ (V/ns)	SC $\frac{dv}{dt}$ (V/ns)	taux de réduction en courant	taux de réduction en tension
$V_{dc}=100V$ et $I_{charge} = 5 A$	0.61	0.66	4.4	5	8 %	12 %
$V_{dc}=100V$ et $I_{charge} = 10 A$	1.31	1.56	5.34	5.6	18 %	5 %
$V_{dc}=50V$ et $I_{charge} = 10 A$	1.56	1.6	3.5	3.62	3 %	3 %

Tableau III.8 : Evaluation de la commande BF par rétroaction de la tension V_{ds}

Pour une V_{ds} de 100 V et un I_L de 10 A, la commande en boucle fermée a permis de faire passer le $\frac{dv}{dt}$ de 5 V/ns à 4.4 V/ns et le $\frac{di}{dt}$ de 0.66 A/ns à 0.61 A/ns, ce qui correspond respectivement à un taux de réduction de 12 % et de 8 % (voir tableau III.11). L'impact sur le $\frac{di}{dt}$ devient moins important pour un courant de charge de 5 A à cause de la réduction de la durée de la commutation en courant (T_2) par la diminution du courant de charge (I_L). Le même phénomène est observé sur le $\frac{dv}{dt}$ avec la diminution de la tension.

Ces taux de réductions obtenus avec la commande par fonction dérivée sont négligeables comparés à ceux obtenus avec la commande CATS en boucle ouverte.

➤ Résultats expérimentaux de la commande CATS par fonction dérivée

Les résultats expérimentaux obtenus avec ce circuit sont présentés de la figure III.34 à la figure III.35.

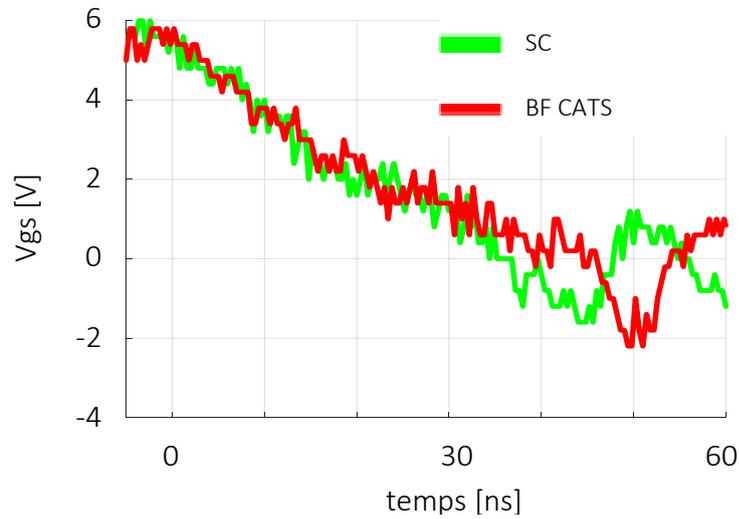
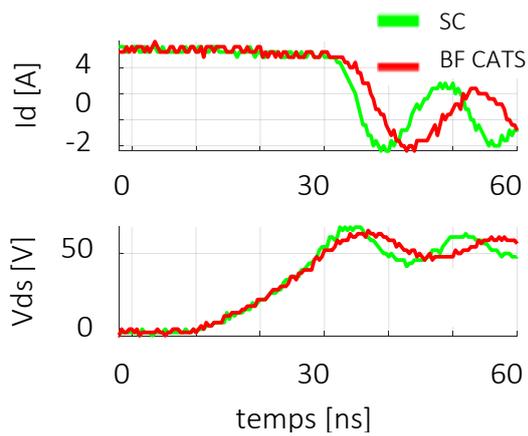
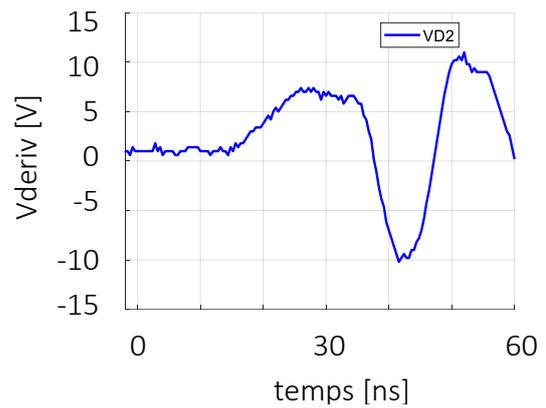


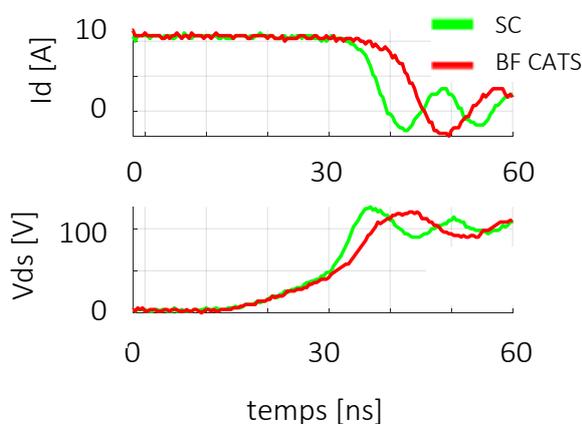
Figure III.34 : Signal de grille



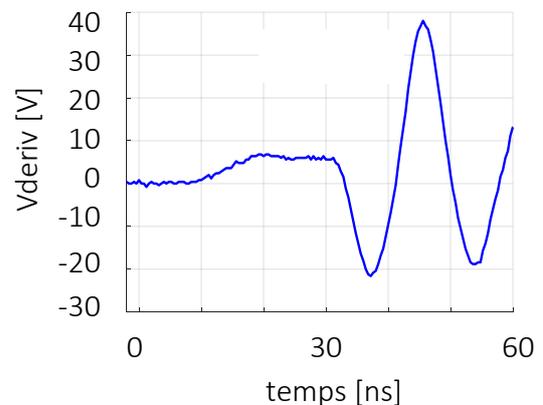
a) Comparaison des tensions et courants de drain du circuit proposé (BF CATS) avec un circuit sans contrôle (SC) pour un courant de charge de 5 A



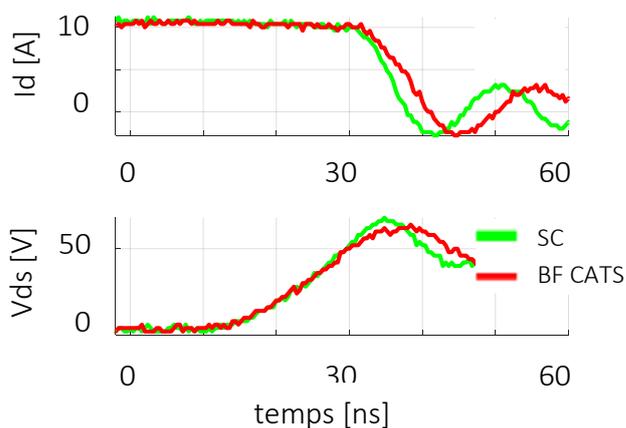
b) tension V_{deriv} observée avec le circuit de contrôle



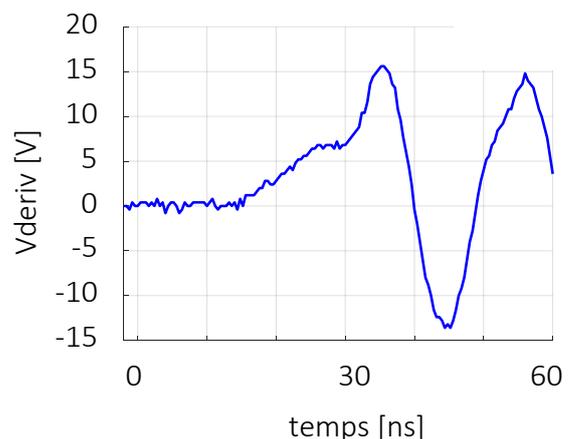
c) Comparaison des tensions et courants de drain du circuit proposé (BF CATS) avec un circuit sans contrôle (SC) pour un courant de charge de 10 A et $V_{dc} = 100V$



d) tension V_{deriv} observée avec le circuit de contrôle



e) Comparaison des tensions et courants de drain du circuit proposé (BF CATS) avec un circuit sans contrôle (SC) pour un courant de charge de 10 A et $V_{dc} = 50V$



f) tension V_{deriv} observée avec le circuit de contrôle

Figure III.35 : Signaux obtenu pour différents courants de charge et différentes V_{dc} .

Selon les résultats obtenus, il est possible de constater que le circuit proposé a permis de ralentir le $\frac{dv}{dt}$ pour les différents cas de figures, ce qui permet de conclure que le driver ZXGD3003E6 est bien adapté à ce type de commande. Cependant de meilleurs résultats sont

obtenus avec les fortes tensions (100 V) comme en simulation. Ainsi nous pouvons affirmer que la mise en place de ce système de contrôle avec plus d'efficacité (moins d'impact sur le courant) pour des gammes de tension plus faible nécessitera des drivers plus rapides que le ZXGD3003E6. Des drivers à base de GaN pourraient être la solution dans ce cas, de plus ils permettront d'avoir des taux de réduction des vitesses de commutation plus intéressants que ceux obtenus avec les composants discrets (ZXGD3003E6).

Le tableau suivant rappelle les différents types de commandes testés dans ce chapitre ainsi que taux de réduction maximal qu'il est possible d'atteindre avec chaque commande.

	Type de commande active		
	Commande en boucle ouverte	Commande en boucle fermée	
	Commande CATS	Commande CATS	
		Par fonction dérivée	Par boucle inductive (inductance parasite)
Taux de réduction max du $\frac{di}{dt}$	90 %	12 %	3 %
Taux de réduction max $\frac{dv}{dt}$	90 %	12 %	3 %

Tableau III.9 : taux de réduction expérimentaux maximal des vitesses de commutation pour les différents types de commande.

Conclusion :

La première partie de ce chapitre visait à étudier l'application de la commande CATS originelle pour des transistors HEMTS GAN. Les résultats obtenus ont mis en évidence la possibilité de contrôler les vitesses de commutation et cela malgré la rapidité de la commutation de ce type de transistor. Cependant, l'utilisation de composants discrets peut être une limite qui empêche l'application de la commande CATS dans certains cas. Cette difficulté est due aux temps de réponses élevés des drivers discrets.

En boucle ouverte, le changement des paramètres du convertisseur (température, tension et courant) fait fortement varier la vitesse de commutation obtenue avec la commande CATS. Afin de régler la vitesse de commutation constante, des commandes en boucle fermée ont été mises en place. Ces systèmes en boucle fermée ont permis de régler le problème de manière partielle. L'utilisation de commande en boucle fermée à base de circuits monolithiques pourrait régler définitivement le problème du réglage des vitesses de commutation.

Chapitre 4 : Gestion des pertes en conduction inverses et du phénomène de *Cross Talk*

Les performances d'un bras d'onduleur sont souvent limitées par deux phénomènes qui sont les pertes en conduction inverse du HEMT GaN et le phénomène de Cross Talk (qui est l'interaction des deux transistors via les capacités de Miller au sein d'un demi-pont). Vu que les transistors à grand Gap sont appelés à fonctionner à de très hautes fréquences de commutation et que leur commutation produit de fortes vitesses de commutation, ces deux phénomènes deviennent plus nuisibles (génération de courant de mode commun pouvant atteindre 3 A au niveau driver qui a généralement un courant maximal de fonctionnement de 500 mA [68]). Dans ce chapitre, différentes commandes sont proposées pour régler ces deux problèmes. C'est ce qui a permis de faire le choix de la commande multi-niveaux pour réduire leurs impacts au sein des convertisseurs à base des composants GaN. Ainsi plusieurs études de cas réalisés dans ce chapitre ont permis de déterminer la commande multi-niveau optimale pour une structure « Buck » et une structure « Boost » (synchrone).

I. Approche :

La figure IV.1a présente un convertisseur Buck Synchrone. Les transistors Q_2 et Q_1 sont commandés de manière complémentaire avec un temps-mort adapté (figure IV.1b). Le blocage de Q_1 ou l'amorçage de Q_2 ou vice versa crée toujours une variation de tension aux bornes de Q_2 . Cette variation de tension est à l'origine d'une circulation de courant entre la capacité de Miller de Q_2 (C_{gd}) et le driver de Q_2 .

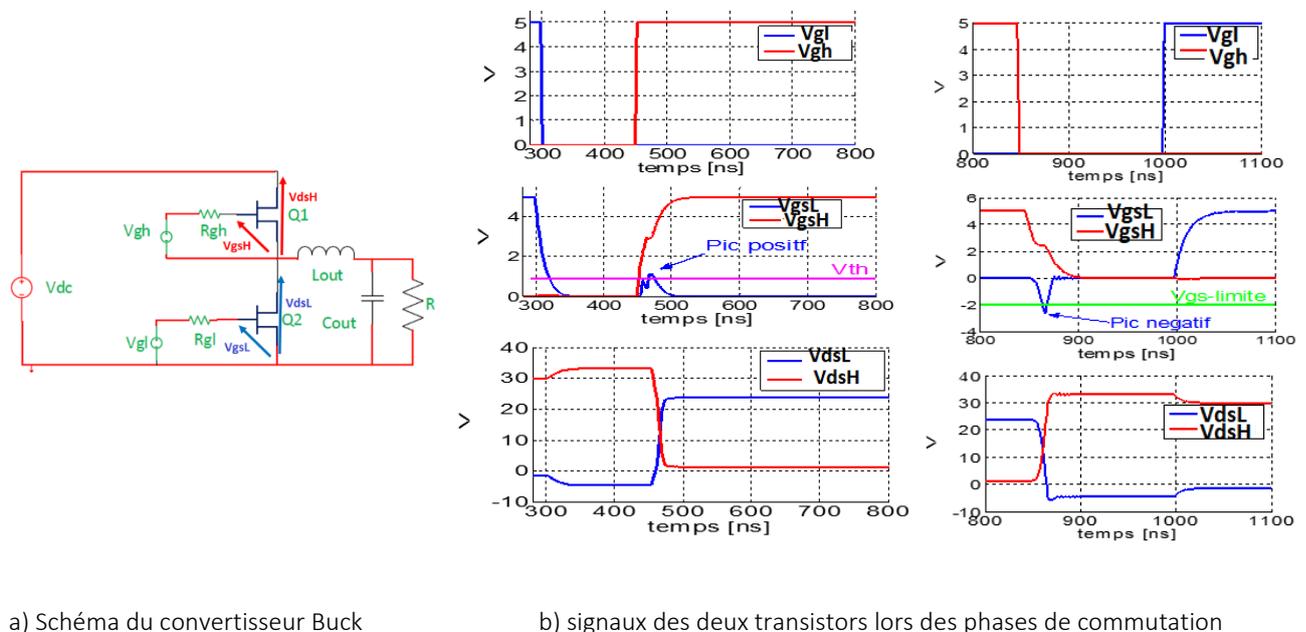


Figure IV.1 : Structure d'un Buck synchrone et ses signaux de commandes typiques

Selon le sens de circulation de ce courant, un pic de tension positif ou négatif apparaît sur V_{gsL} (Figure IV.1b). Ce pic de tension positif peut remettre en conduction le transistor Q_2 créant ainsi

un très fort courant de drain de court-circuit (au moins deux fois plus important que le courant de charge [94]) qui produit des pertes supplémentaires. Le pic négatif peut réduire la durée de vie du composant lorsqu'il est au-delà des limites de la tension de commande maximale de grille du transistor GaN.

Le circuit de la figure IV.1 peut être remplacé par celui de la figure IV.2a vis-à-vis du *CrossTalk*. Le circuit est composé d'une source V_{dsL} fournissant une rampe de tension représentant la tension appliquée au drain de Q_2 suite à la commutation de Q_1 . Le transistor Q_2 est représenté par ces éléments extrinsèques (C_{gs} , C_{gd} et C_{ds}).

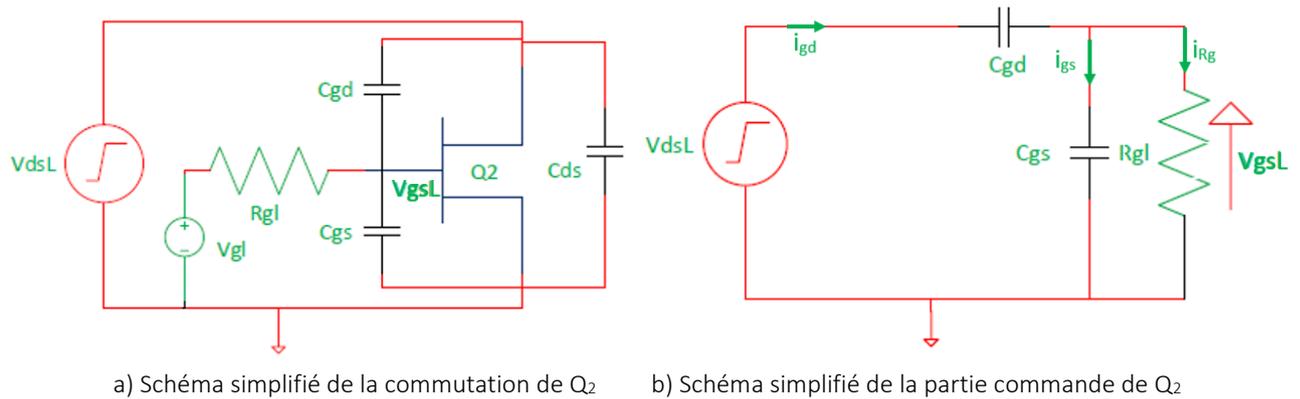


Figure IV.2 : Circuit simplifié du déroulement du cross talk

Vu que le phénomène de *Cross Talk* se déroule dans la partie commande de Q_2 , le circuit de la figure IV.2a peut être simplifié par celui de la figure IV.2b en considérant uniquement les éléments de la commande. Pour simplifier l'approche de détermination de ce phénomène, nous considérons que le signal de commande de Q_2 est à zéro ($V_{gs\text{off}_Q2} = 0$ V référencée à la masse comme Q_2 est bloqué pendant cette période).

La pente de tension créée par la phase d'amorçage ou de blocage de Q_1 est à l'origine d'une circulation de courant dans le circuit de la figure IV.2b. Le fonctionnement de ce dernier pendant cette période de pente de V_{ds} est décrit par les équations suivantes.

$$v_{dsL} = v_{dgL} + v_{gsL} \quad \text{IV.1}$$

$$i_{gd} = i_{gs} + i_{Rg} \quad \text{IV.2}$$

$$C_{gd} \frac{dv_{dgL}}{dt} = C_{gs} \frac{dv_{gsL}}{dt} + \frac{v_{gsL}}{R_{gl}} \quad \text{IV.3}$$

Lors des phases de changement d'état (amorçage ou blocage), la tension V_{ds} va passer d'une valeur maximale ($V_{ds\text{max}}$) à une valeur minimale (0 V) ou inversement pendant une durée T_s . En remplaçant l'équation IV.1 dans IV.3, les deux équations suivantes sont obtenues.

$$\frac{dv_{ds}}{dt} = \frac{v_{ds\text{max}}}{T_s} \quad \text{IV.4}$$

$$C_{gd} \frac{v_{dsmax}}{T_s} = (C_{gs} + C_{gd}) \frac{dv_{gsL}}{dt} + \frac{v_{gsL}}{R_{gl}} \quad IV.5$$

En résolvant l'équation différentielle IV.5, la forme de la tension produit par l'effet Cross Talk est décrite par l'équation IV.6.

$$v_{gsL}(t) = R_{gl} \cdot C_{gd} \cdot \frac{v_{dsmax}}{T_s} \left(1 - e^{\frac{-t}{R_{gl}(C_{gs}+C_{gd})}}\right) \quad IV.6$$

En considérant que la valeur maximale du pic de V_{gsL} est obtenue à T_s . L'équation IV.6 s'écrit comme suit :

$$v_{gsLpicmax_on}(T_s) = R_{gl} \cdot C_{gd} \cdot \frac{v_{dsmax}}{T_s} \left(1 - e^{\frac{-T_s}{R_{gl}(C_{gs}+C_{gd})}}\right) \quad IV.7$$

Lors de la phase d'amorçage de Q_1 en commandant le transistor Q_2 par une tension négative ($V_{gsLoff} = -V_{gsoff} < 0 V$), la valeur maximale de $v_{gsL}(t)$ de Q_2 est réduite de $-V_{gsoff}$ (équation IV.8) comparé à celle de l'équation de IV.7. Ainsi, plus cette valeur de V_{gsoff} est importante plus $v_{gsLpicmax_on}(T_s)$ est loin de la tension de seuil ; ce qui permet d'éviter l'apparition d'un court-circuit (Figure IV.3a).

$$v_{gsLpicmax_on}(T_s) = -V_{gsoff} + R_{gl} \cdot C_{gd} \cdot \frac{v_{dsmax}}{T_s} \left(1 - e^{\frac{-T_s}{R_{gl}(C_{gs}+C_{gd})}}\right) \quad IV.8$$

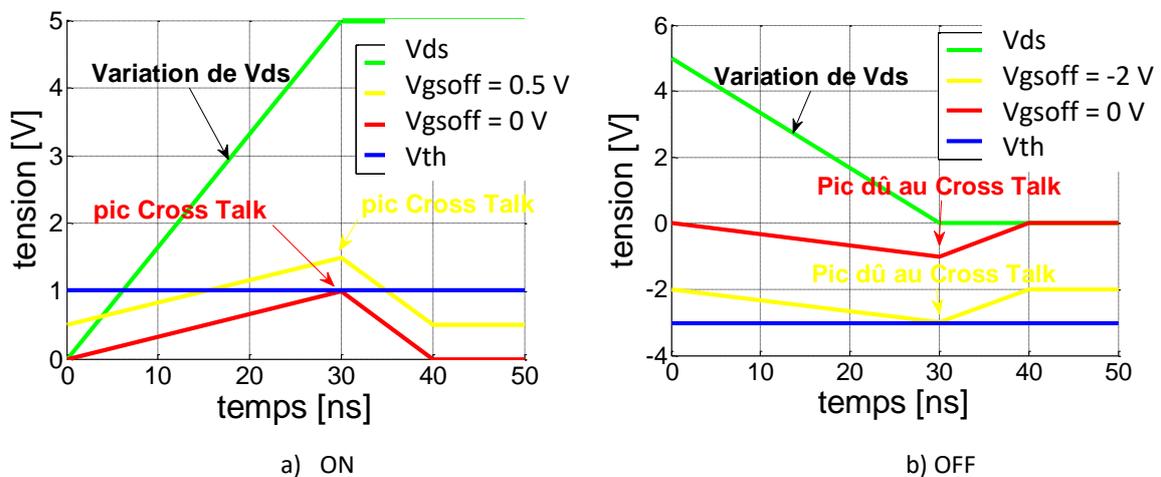


Figure IV.3 : Evolution du $V_{gspic}(max)$ selon la tension de commande de Q_2

Pour la phase de blocage de Q_1 , la commande de Q_2 par une tension V_{gsLoff} négative ($V_{gsLoff} = -V_{gsoff} = < 0$) rapprochera le pic négatif $v_{gsL}(t)$ de la tension limite de commande de grille autorisée (autour de $-7 V$ pour les transistors de GaN System (équation IV.9)). Cela va favoriser une rapide dégradation du HEMT GaN (Figure IV.3b).

$$v_{gsLpicmax_off}(T_s) = -V_{gsoff} - R_{gl} \cdot C_{gd} \cdot \frac{v_{dsmax}}{T_s} \left(1 - e^{\frac{-T_s}{R_{gl}(C_{gs}+C_{gd})}}\right) \quad IV.9$$

En se basant sur les équations IV.8 et IV.9 et sur la figure IV.3, la maîtrise du phénomène de Cross Talk peut se faire en ajustant la tension de commande du transistor Q_2 (V_{gsLoff}) lors du

blocage de ce dernier. Lors de l'amorçage de Q_1 , le transistor Q_2 doit être commandé par une tension V_{gsLoff} négative permettant ainsi d'obtenir une valeur $v_{gsLpicmax_on}(T_s)$ en dessous de la tension de seuil de Q_2 . Par contre lors du blocage de Q_1 , Q_2 doit être commandé par une tension V_{gsLoff} proche de la tension seuil de Q_2 . En effet, cela permettant ainsi d'obtenir une valeur $v_{gsLpicmax_off}(T_s)$ loin de la tension limite de blocage assurant ainsi un bon état de santé de Q_2 .

➤ Temps mort

L'autre problème que rencontre le Buck synchrone à base de GaN est les fortes pertes (pouvant représenter plus de 50 % des pertes pour les convertisseurs à faible tension [81]) produites pendant les phases de temps-mort comme expliqué dans le chapitre 1. Ces pertes de conduction inverse dépendent en première approximation du courant de charge (I_{ch}), de la tension de conduction inverse (V_{sd}), de la fréquence de commutation (f_s) et de la durée du temps de conduction inverse du transistor (T_d) (équation IV.9).

$$P_{tm} = |V_{ds}| \cdot I_{ch} \cdot f_s \cdot T_d \quad \text{IV.10}$$

$$V_{ds} = V_{gs} - V_{gd} \quad \text{IV.11}$$

Q_2 fonctionne en inverse lorsque la tension V_{gd} est supérieure ou égale à la tension de seuil de Q_2 (V_{th}). Ce qui permet d'obtenir l'expression de P_{tm} en fonction de V_{gs} et V_{th} .

$$P_{tm} = |(V_{gs} - V_{th})| \cdot I_{ch} \cdot f_s \cdot T_d \quad \text{IV.12}$$

La commande des transistors HEMT GaN avec de très hautes fréquences de commutation rend ces pertes de conduction inverse non négligeables pour ce type de transistor. Pour réduire les pertes de conduction inverse, le transistor Q_2 peut être commandé par une tension lors du temps mort (V_{gstm}) proche de la tension de seuil (équation IV.12 et figure IV.4).

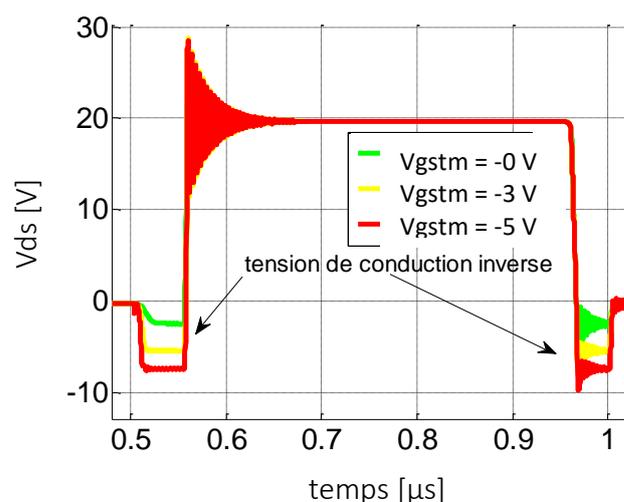


Figure IV.4 : Impact de V_{gstm} sur V_{ds} pendant les phases de temps mort.

II. Structure de driver multi-niveaux

Dans le but de réduire les pertes produites par le temps mort et d'annuler l'impact du phénomène de Cross Talk (réamorçage du low-side lors de l'amorçage du high-side), des techniques de commande de grille de transistor sont proposées dans la littérature pour la commande de Q_2 (transistor low-side).

A. La commande de grille à 2 niveaux de tension (2N)

La première technique est la commande de grille avec 2 niveaux de tension (figure IV.5):

- ✓ Le niveau V_{gson} permet de fermer complètement le transistor Q_2 .
- ✓ Le niveau V_{gsoff} : Ce niveau peut être nul ($V_{gsoff} = 0$ V) ou négatif ($V_{gsoff} < 0$ V). Dans le cas négatif, il permet de protéger le convertisseur des court-circuits dus au cross talk. Cependant cette tension négative conduit à de fortes pertes durant les temps morts. L'autre inconvénient de cette tension négative dans le cas d'un transistor GaN est l'apparition de courant de fuite de grille. Cette tension négative peut aussi accélérer le vieillissement du composant.

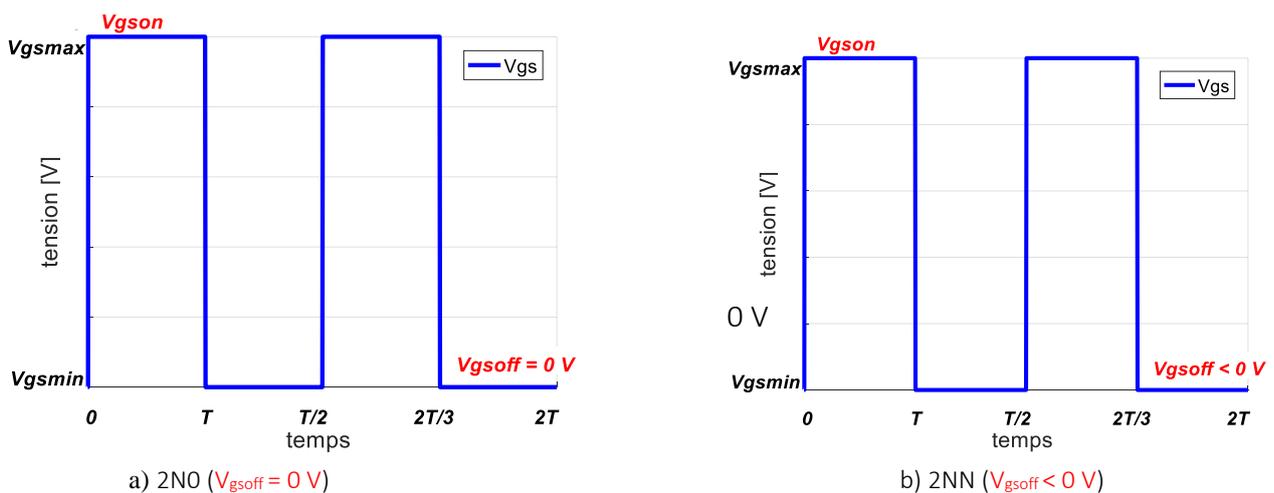


Figure IV.5 : commande avec 2 Niveaux de tension

Structure du driver

Pour générer le signal de commandes présentées à la figure IV.5, la structure de la figure IV.6 est utilisée. Cette dernière est la même que celle de la commande CATS en boucle ouverte. Vu que la grille et la source sont tous deux reliées à un driver, le signal de commande du transistor GaN (V_{gs}) est la différence des tensions de sortie des deux drivers ($V_{gs} = Out1 - Out2$). La forme de V_{gs} (2 niveaux, 3 niveaux ou 4 niveaux) dépend uniquement de la forme des deux signaux d'entrée des deux drivers ($Cmd1$ et $Cmd2$) et de la valeur des tensions d'alimentation des deux drivers (V_{H1} , V_{H2} , V_{L1} et V_{L2}). Cette structure est la même pour les différents types de commande (2 niveaux, 3 niveaux ou 4 niveaux) qui sont étudiées dans les parties B, C et D ce qui permet d'avoir une comparaison plus simplifiée.

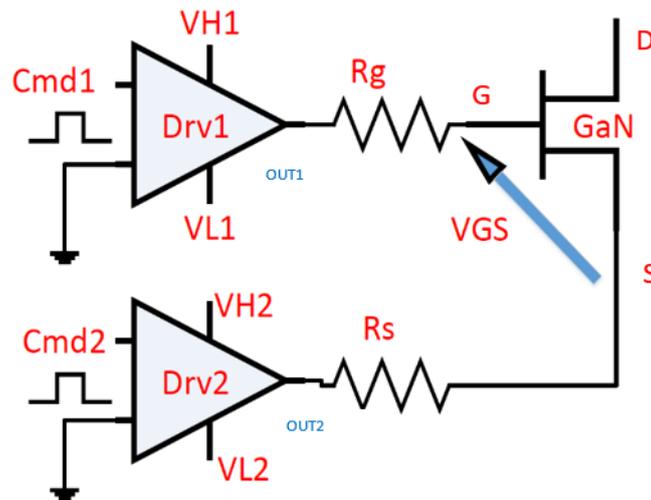
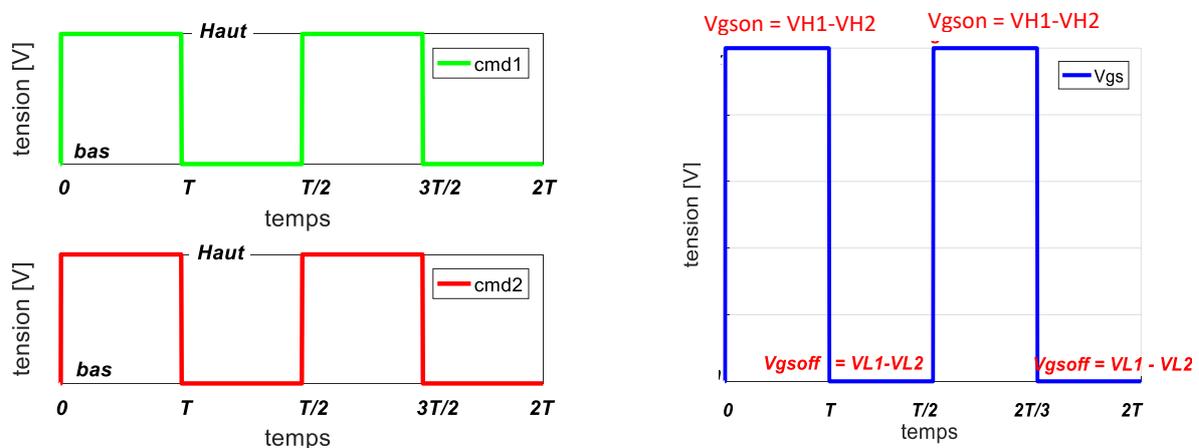


Figure IV.6: structure du driver

Concernant l'alimentation, les deux drivers (Drv1 et Drv2) sont référencés au même potentiel ($V_{L1} = V_{L2}$). L'alimentation V_{H1} , doit être supérieure à l'alimentation de V_{H2} ($V_{H1} - V_{H2} \gg 0$ V). Pour les tests effectués dans cette partie, la tension V_{H1} est le double V_{H2} .

Pour générer un signal de commande à 2 niveaux de tension avec un niveau bas nul (2N0 pour $V_{gsoff} = 0$ V), le même signal d'entrée (cmd1= cmd2) a été appliqué aux deux drivers (figure IV.7a).



a) Signaux d'entrée des drivers

b) tension de commande appliquée au HEMT (Q_2)Figure IV.7: signaux d'entrée (cmd1 et cmd2) et de sortie (V_{gs}) du driver pour l'approche à 2 niveaux (2N)

Lorsque cmd1 et cmd2 sont à l'état haut, une tension V_{gson} équivalent à la différence de V_{H1} et V_{H2} est appliquée au HEMT (Q_2). Cependant le niveau bas de cmd1 et de cmd2 permet d'appliquer une tension de blocage du transistor ($V_{gsoff} = V_{L1} - V_{L2}$). Dans le cas où les deux drivers sont référencés à la même tension ($V_{gsoff} = V_{L1} - V_{L2} = 0$ V), le transistor (Q_2) est contrôlé avec une tension nulle ce qui permet d'avoir une commande à 2 niveaux de tension avec une tension de blocage nulle (2N). Pour assurer le blocage du transistor avec une tension négative (2NN), les signaux cmd1 et cmd2 sont complémentaires.

La commande à 2 niveaux négatifs (2NN) permet de protéger le HEMT du phénomène de Cross Talk, cependant elle augmente les pertes de conduction inverse de manière considérable (plus de 50 % des pertes pour les convertisseurs basse tension et moyenne puissance [81])

B. La commande de grille à 3 niveaux de tension (3N)

La deuxième technique est la commande à 3 niveaux (Figure IV.8)

- ✓ Le niveau V_{gson} permet de fermer complètement le transistor Q_2 .
- ✓ Le niveau V_{gstm} proche de la tension de seuil permet de réduire les pertes de conduction inverse.
- ✓ Le niveau V_{gsoff} permet de bloquer le transistor Q_2 et de réduire l'effet du Cross Talk. Ce niveau peut être nul ($V_{gsoff} = 0$ V) ou négatif ($V_{gsoff} < 0$ V). Dans le cas où il est négatif, il permettrait de se protéger du Cross Talk.

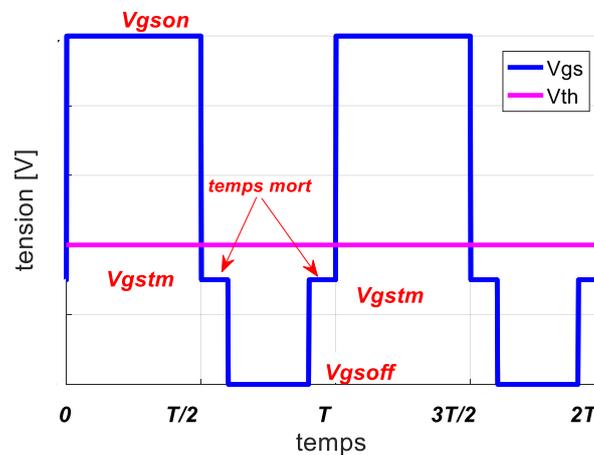


Figure IV.8 : commande à 3 Niveaux de tension

Structure du driver

La Structure reste la même que celle de la commande à 2 niveaux de tension (figure IV.6), la différence se situe au niveau de la forme des signaux de cmd1 et cmd2 (figure IV.9).

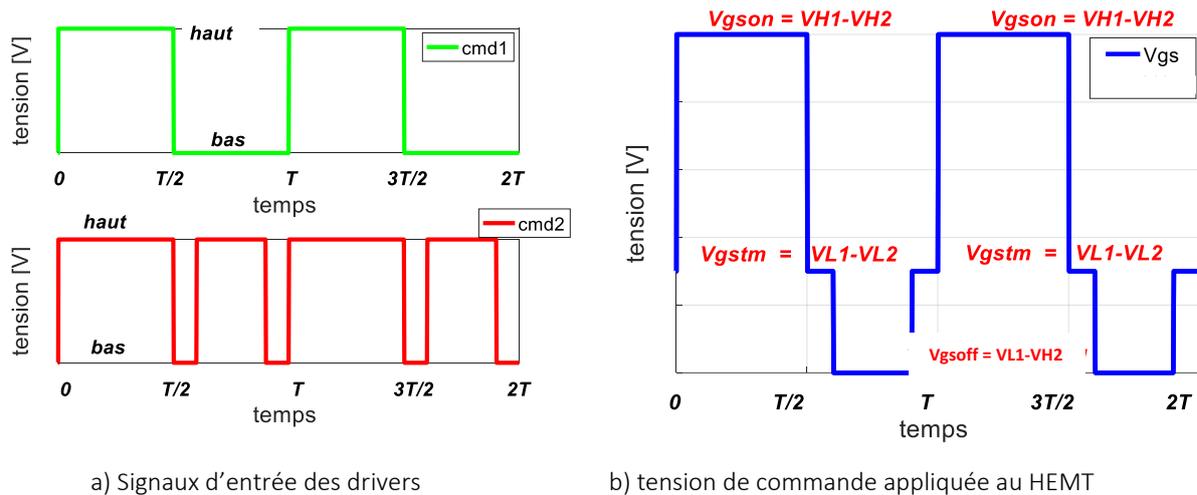


Figure IV.9 : signaux d'entrée (cmd1 et cmd2) et de sortie (V_{gs}) pour l'approche à 3 niveaux (3N)

Le niveau V_{gson} ($V_{gson} = V_{H1} - V_{H2}$) s'obtient lorsque les signaux cmd1 et cmd2 sont à l'état haut. Pour obtenir le niveau V_{gsoff} ($V_{gsoff} = V_{L1} - V_{H2}$), le signal cmd2 est à l'état bas et cmd1 est à l'état haut. Le troisième niveau qui est V_{gstm} ($V_{gstm} = V_{L1} - V_{L2}$) est appliqué pendant les phases de temps-mort, ce niveau s'obtient lorsque les deux signaux d'entrées (cmd1 et cmd2) sont à l'état bas.

C. La commande de grille à 4 niveaux de tension (4N).

La troisième technique est la commande à 4 niveaux (Figure IV.10). Cette commande est composée de deux niveaux hauts de tension pour l'amorçage du transistor et de deux niveaux bas de tension pour le blocage du HEMT.

- ✓ Le niveau V_{gson1} de courte durée (quelques ns) est le niveau le plus haut, ce niveau permettrait de réduire les pertes de conduction.
- ✓ Le niveau V_{gson2} a pour but de polariser le transistor avec une tension de commande qui est dans la plage de fonctionnement autorisée, permettant ainsi de garder un bon état de santé [65].
- ✓ Le niveau V_{gsoff1} : ce niveau de tension négatif est appliqué pendant la phase de temps-mort et pendant le temps d'apparition du phénomène de Cross Talk. Il permet de se prémunir du phénomène de « Cross Talk ON » mais augmente les pertes de conduction inverse de manière considérable à cause de la tension négative.
- ✓ Le niveau V_{gsoff2} : de niveau supérieur à celui de V_{gsoff1} . Ce niveau a pour but d'assurer le blocage complète du HEMT et de protéger le transistor du phénomène de « cross Talk OFF ». Il permet de réduire la deuxième perte de conduction inverse (temps-mort suite au blocage de Q_1).

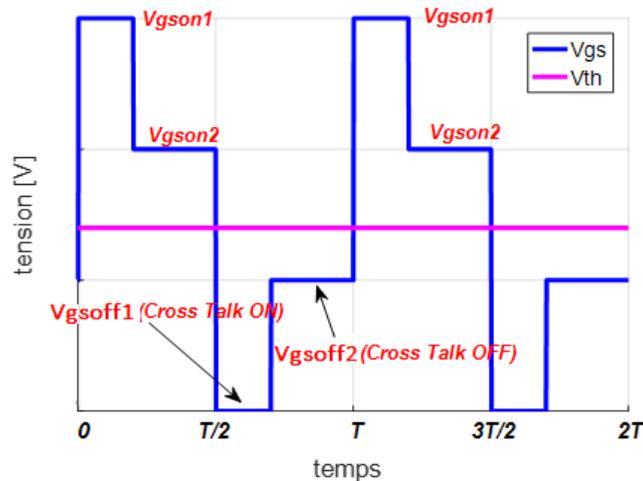
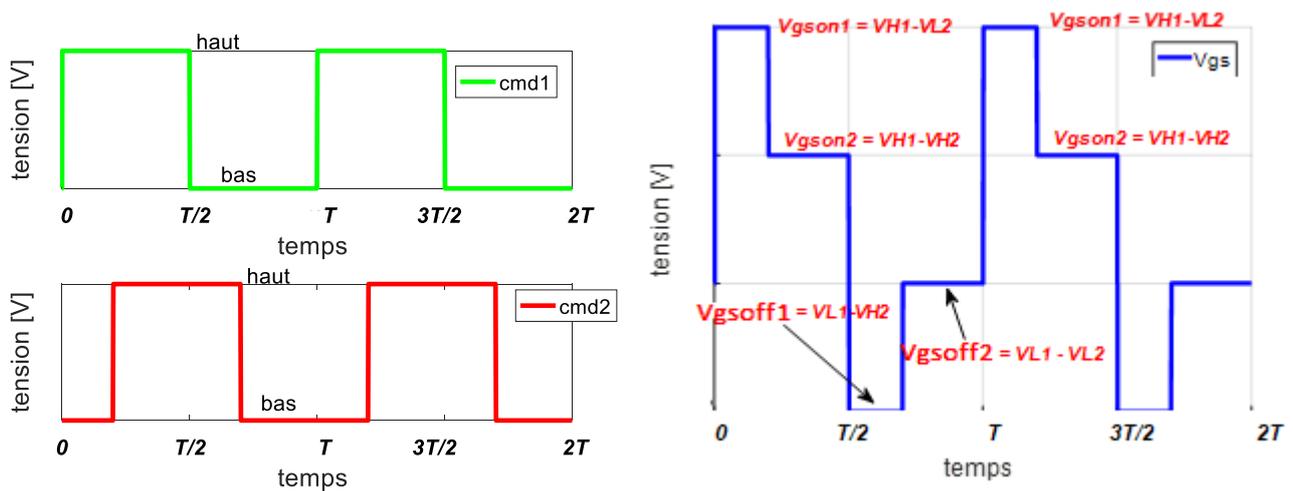


Figure IV.10 : commande à 4 Niveaux de tension

Structure du driver :

La Structure reste la même que celle des deux premières commandes (figure IV.6), la différence se situe toujours au niveau de la forme des signaux de cmd1 et cmd2 (figure IV.11).

Le niveau V_{gson1} qui est la différence de V_{H1} et de V_{L1} est obtenu lorsque cmd1 est à l'état haut et cmd2 à l'état bas. Ce niveau a pour but de réduire les pertes de commutation lors de la phase d'amorçage. La durée d'application de V_{gson1} doit être la plus courte possible afin de limiter le stress de la grille du HEMT. Pour cette raison, le HEMT est contrôlé par le niveau V_{gson2} . Ce dernier et le niveau V_{gsoff2} s'obtiennent respectivement de la même manière que les niveaux V_{gson} et V_{gsoff} de la commande 2N.



a) Signaux d'entrée des drivers

b) tension de commande appliquée au HEMT

Figure IV.11 : signaux d'entrées (cmd1 et cmd2) et de sortie (V_{gs}) du driver pour le 4 niveaux (4N)

Le niveau V_{gsoff1} est appliqué lors du blocage du transistor. Cette période correspond à la période du premier temps-mort (période entre le blocage de Q_2 et l'amorçage de Q_1) et à l'apparition du phénomène de cross-talk. V_{gsoff1} doit être négatif pour protéger le GaN du

phénomène de « Cross Talk ». Un niveau bas de cmd1 et un niveau haut de cmd2 permet d'obtenir V_{gsoff1} .

D'après nos analyses, les techniques de commande de grille proposées ci-dessus (2N, 3N et 4N) ne permettraient pas pour autant de régler les deux problèmes simultanément (pertes de conduction inverse et problème de Cross Talk). Afin de régler ces deux problèmes par l'utilisation de driver multi-niveaux, la commande à 4 niveaux a été modifiée afin de prendre en compte les deux problèmes. La commande à 4 niveaux modifiée présentée à la partie D a été nommée « commande de grille à 4 niveaux de tension améliorée (4NA) ».

D. La commande de grille à 4 niveaux de tension améliorée (4NA)

La commande de grille à 4 niveaux de tension améliorée (4NA) a 4 niveaux de tension comme celle de la 4N présenté à la figure IV.10. Cependant le niveau V_{gstm} est utilisé durant le temps-mort successif au blocage de Q_2 (low-side) permettant de commander le GaN par une tension proche et inférieure à V_{th} au lieu d'une tension négative. L'introduction de cette tension de commande pendant le temps-mort permet de réduire fortement l'impact du temps-mort. Cette dernière hypothèse est à vérifier dans la partie III.

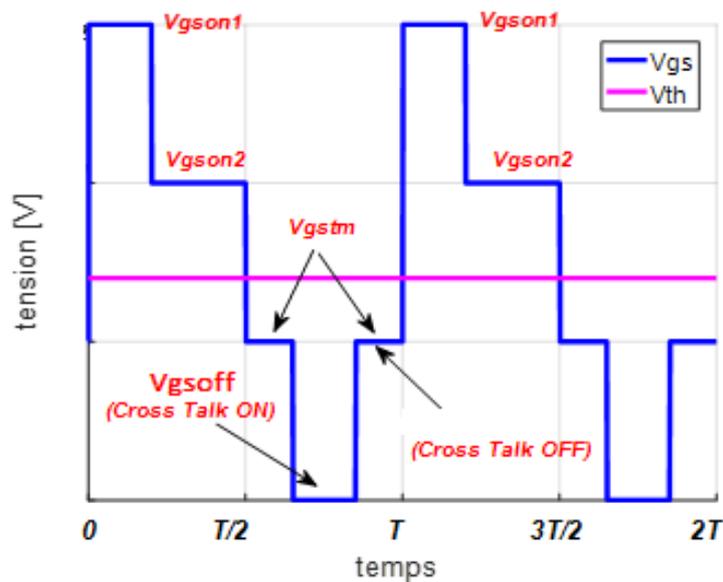


Figure IV.12 : commande à 4 Niveaux de tension

Structure du driver

La Structure reste la même que celle des deux premières commandes (figure IV.6), la différence se situe toujours au niveau de la forme des signaux de cmd1 et cmd2 (figure IV.13). Vu que La commande à 4N améliorée est la combinaison de la commande 3N et celle de la 4N, ces niveaux de tension sont obtenus de la même manière que les niveaux de tension des commandes 3N et 4N.

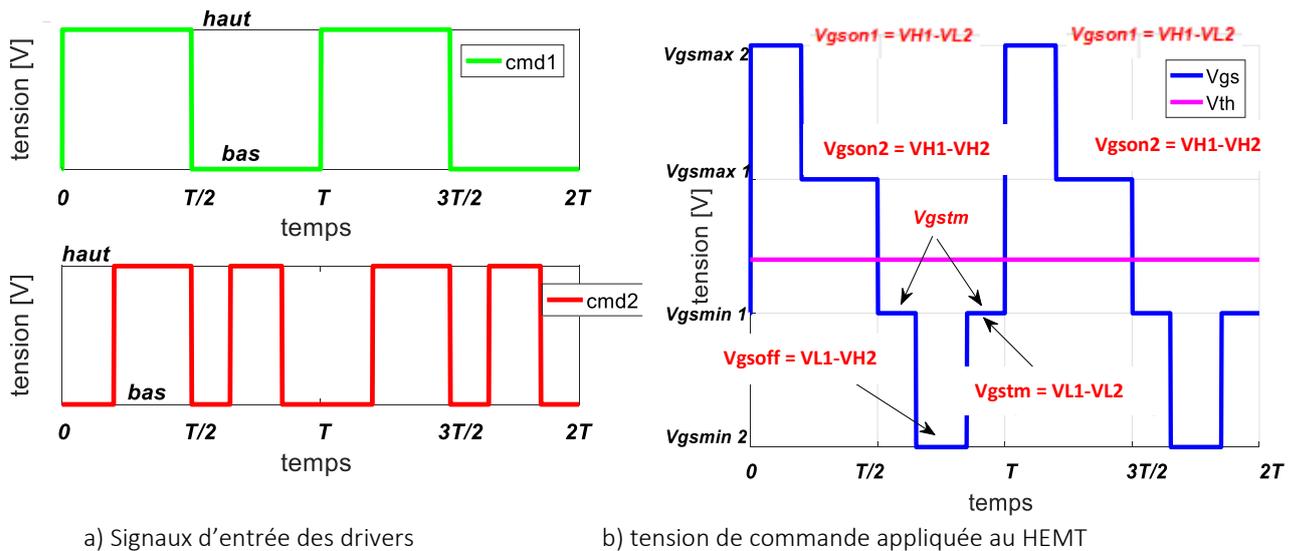


Figure IV.13 : signaux d'entrée (cmd1 et cmd2) et de sortie (V_{gs}) du driver pour le 4 niveaux (4NA)

Le tableau suivant résume les niveaux logiques de cmd1 et cmd2 qui permettent de générer les différents types de commande présentés précédemment.

		Phase de blocage de Q_2	Phase de conduction de Q_2	Premier temps morts (successif au blocage de Q_2)	Phase de conduction de Q_1	Deuxième temps morts (successif au blocage de Q_1)
2N ($V_{gsoff} = 0\text{ V}$)	Cmd1	High	High	Low	Low	Low
	Cmd2	High	High	Low	Low	Low
3N ($V_{gsoff} < 0\text{ V}$)	Cmd1	High	High	Low	Low	Low
	Cmd2	High	High	Low	High	Low
4N	Cmd1	High	High	Low	Low	Low
	Cmd2	Low	High	High	Low	Low
4NA	Cmd1	High	High	Low	Low	Low
	Cmd2	Low	High	Low	High	Low

Tableau IV.1 : état des commandes cmd1 et cmd2 en fonction des phases de conduction de Q_1 et Q_2

III. Proposition de commande optimale pour le contrôle d'un « Buck » ou d'un « Boost

Dans le but de proposer un système de commande optimal pour un convertisseur Buck synchrone à base de HEMT GaN, les différents types de commandes présentés précédemment sont appliqués au transistor Low-side (Q_2) du convertisseur « Buck ». Les résultats obtenus sont comparés entre eux. Une commande à deux niveaux (2N avec $V_{gsoff} = 0\text{V}$) est appliquée au transistor High-side (Q_1) du convertisseur « Buck », ce qui permettra de déterminer l'impact de chaque niveau de tension de commande sur le fonctionnement du transistor Low-side Q_2 (étude 1).

Les résultats obtenus lors de l'étude 1 permettent de réaliser une seconde étude en appliquant une commande multi-niveau à Q_2 ainsi qu'à Q_1 . Cette commande multi-niveau est comparée à la commande classique à 2 niveaux où Q_2 et Q_1 sont commandés de façon classique (étude 2).

Les résultats issus de la commande de grille multi-niveaux des deux transistors du convertisseur buck permettra de faire une nouvelle proposition pour le cas d'un convertisseur «Boost» (étude 3).

A. Analyse de l'impact de la commande des transistors du bras d'onduleur sur les pertes de conduction inverses et le phénomène de Cross Talk

a) Etude de l'impact de la commande de grille du transistor Low-side (Q_2) du convertisseur « Buck » (étude 1) :

Le schéma de la figure IV.1a été simulé sous LTSpice. Les résultats obtenus sont présentés ci-dessous pour les différents cas de figure.

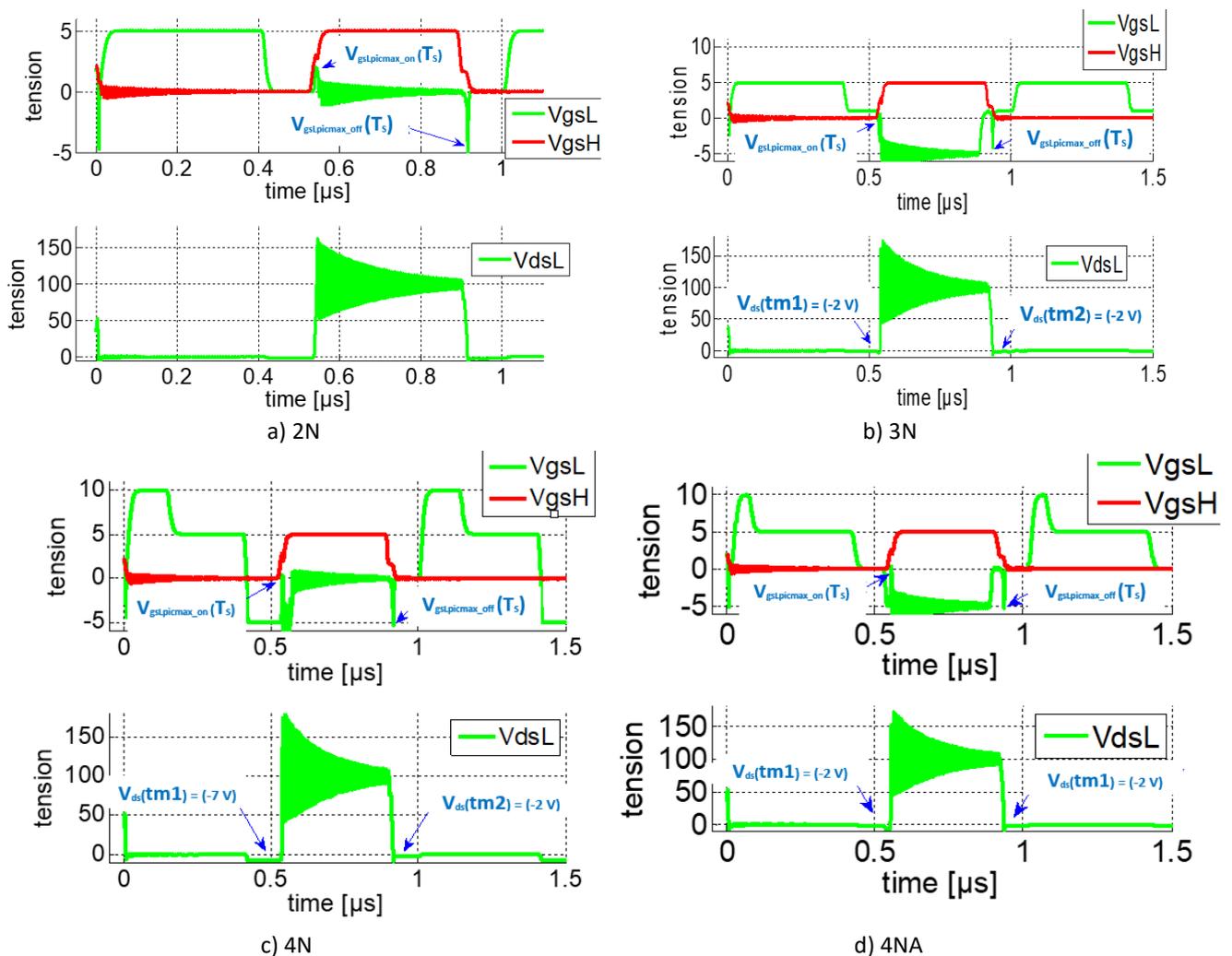


Figure IV.14 : simulation de l'impact de la commande de Q_2 (V_{gsL}) pour $V_{ds} = 100$ V, $I_{ch} = 10$ A, $R_g = 10$ Ω

La figure IV.14 présente les tensions de commande des deux transistors (V_{gsL} de Q_2 et V_{gsH} de Q_1) et la tension V_{ds} de Q_2 obtenue avec les différents types de commande (2N, 3N, 4N et 4NA). Pour ce qui concerne les phases de temps-mort, la commande 3N et la commande 4NA permettent d'obtenir la tension de conduction inverse (V_{ds}) la plus faible (-2 V) ainsi elles permettent d'obtenir les pertes les plus faibles pendant les périodes de temps mort. Afin de

connaître l'impact de la commande de grille de Q_2 sur les vitesses de commutation de Q_2 et le phénomène de Cross Talk, un zoom est réalisé à la figure 15.

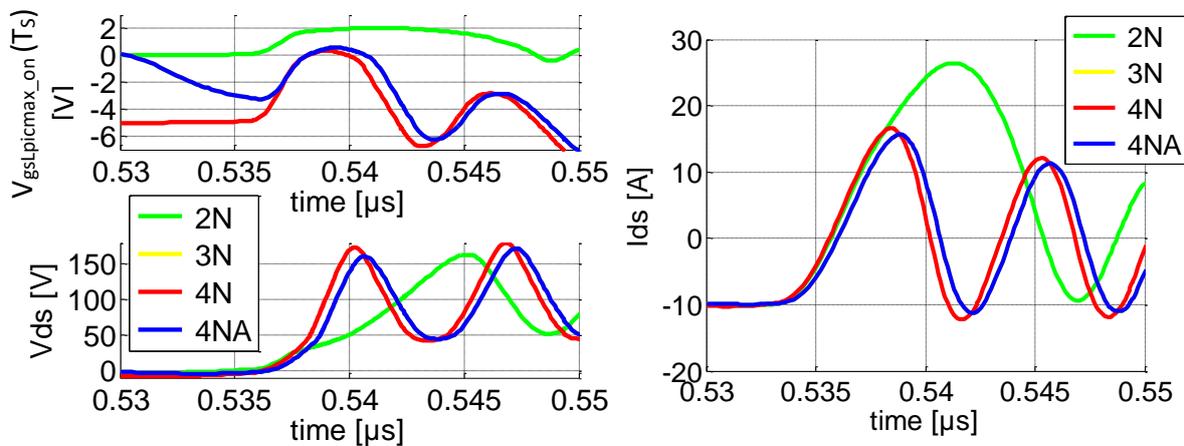


Figure IV.15 : Simulation de l'impact des différents types de commande (2N,3N,4N et 4NA) sur l'impact du Cross Talk sur la tension de grille de Q_2 ($v_{gsLpicmax_on}(T_s)$) et les vitesses de commutations en tension et en courant dû au amorçage de Q_2 (amorçage de Q_1).

Lors de l'amorçage de Q_1 , le fait de commander le transistor Low-side Q_2 par une tension négative de -5V pour les commandes 3N, 4N et 4NA a permis d'éviter un court-circuit dû au phénomène de « Cross Talk » contrairement à la commande 2N. C'est ce qui a permis l'obtention d'une surintensité plus faible avec les commandes 3N, 4N et 4NA (figure 15-droite). Pour la commande 2N le courant maximal de surintensité correspond à 26 A contre 15 A pour les autres types de commandes.

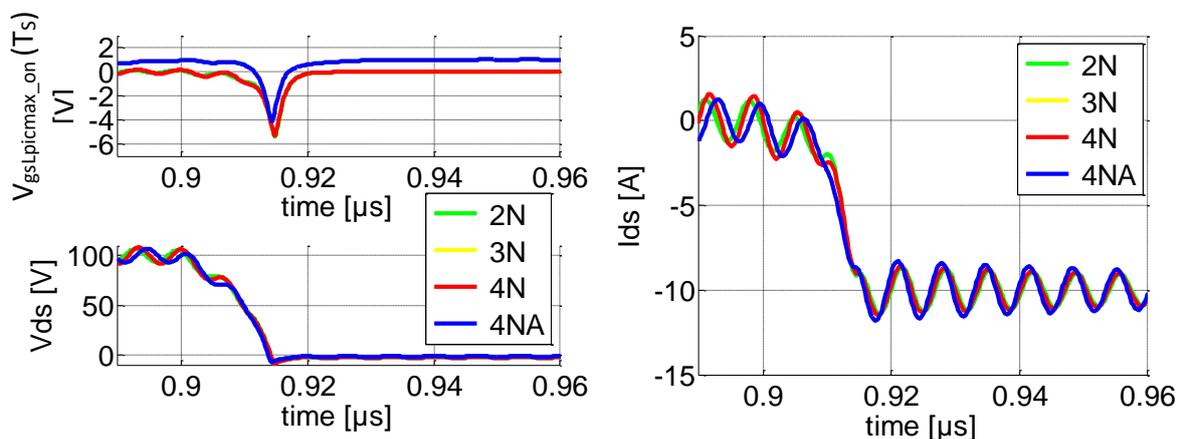
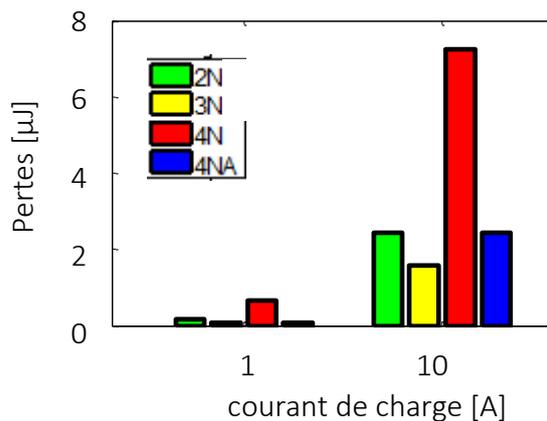
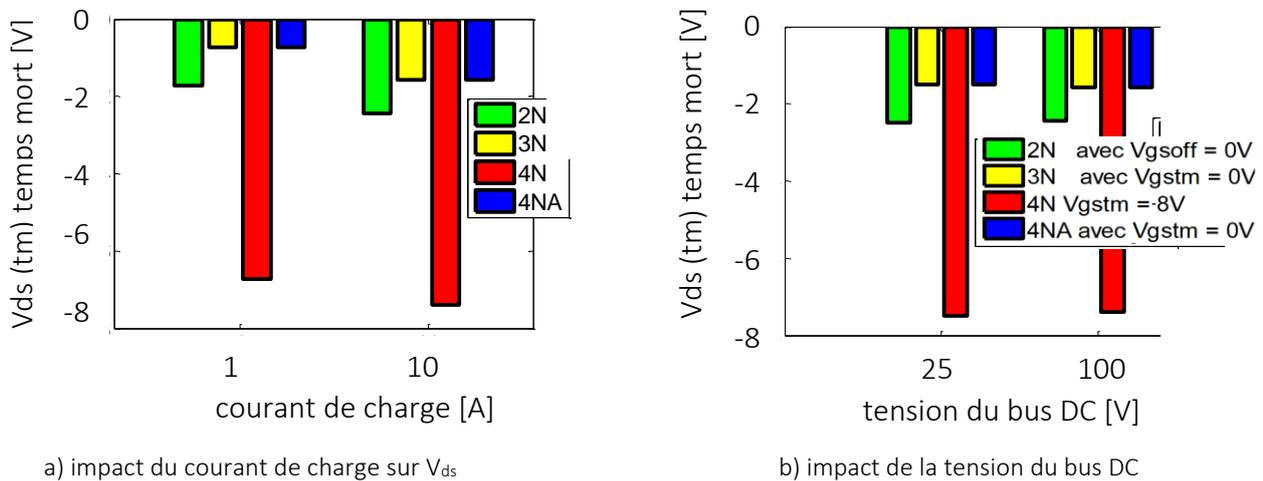


Figure IV.16 : Simulation de l'impact des différents types de commande (2N,3N,4N et 4NA) sur l'impact du Cross Talk sur la tension de grille de Q_2 ($v_{gsLpicmax_off}(T_s)$) et les vitesses de commutations en tension et en courant pour l'amorçage spontané de Q_2 (blocage de Q_1).

Pour l'amorçage spontané, la tension de commande de ce dernier n'a aucun effet sur sa vitesse de commutation. Vu que Q_2 fonctionne en inverse dans le cas d'un « Buck synchrone », sa vitesse de commutation ne dépend pas de sa tension de commande mais plutôt de celle de Q_1 . Puisque la tension de commande de Q_1 est la même (voir V_{gsH} de la figure IV.14) donc il est tout à fait normal d'obtenir la même vitesse de commutation pour Q_2 .

Afin de connaître l'intérêt des commandes (2N, 3N, 4N et 4NA) sur les pertes de Q_2 , une analyse plus approfondie est réalisée pour plusieurs points de fonctionnement du convertisseur « Buck »

- Analyse de l'impact de la commande de Q_2 sur les pertes en conduction inverse et la tension de conduction inverse (V_{ds}) :



c) impact du courant de charge sur les pertes dues aux temps mort

Figure IV.17 : Simulation des conséquences de la commande durant le temps-mort sur le convertisseur Buck pour plusieurs points de fonctionnement ($R_g = 10 \Omega$)

Les pertes en conduction inverses les plus faibles sont obtenues avec les commandes 3N et 4NA. L'application d'une tension intermédiaire de temps mort ($V_{gstm} = 1 \text{ V}$) a permis de réduire les pertes de 10 % par rapport à la commande 2N et de 35 % par rapport à la commande 4N pour un courant de charge de 10 A (figure IV.17c). Les mêmes taux de réduction sont obtenus avec un courant de charge de 1 A. Concernant la tension du bus DC, il peut être conclu que cette dernière n'a pas beaucoup d'impact sur les pertes de conduction inverse vu que la tension de conduction inverse reste inchangée (figure IV.17b).

Conclusion 1 : Dans le cadre d'un bras d'onduleur, l'application d'une tension intermédiaire V_{gstm} en utilisant la commande **3N** ou **4NA** est recommandée surtout pour le convertisseur à faible puissances.

- Analyse de l'impact de la commande de Q_2 sur les vitesses et les pertes de commutation :

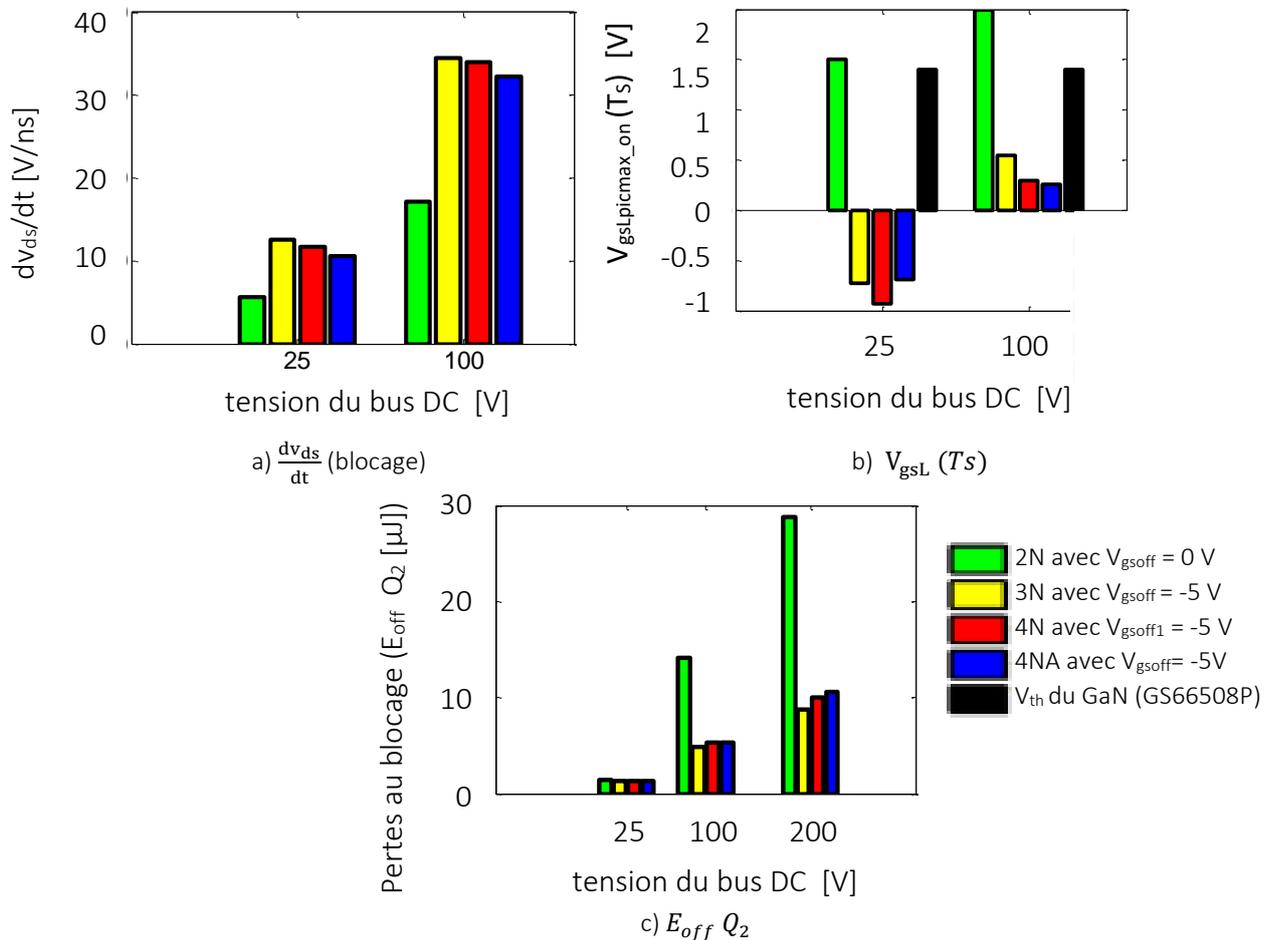


Figure IV.18 : Simulation de l'impact de la commande de Q_2 sur la vitesse de commutation au blocage de Q_2 ($\frac{dv_{ds}}{dt}$), le pic de V_{gs} causé par Cross Talk et les pertes lors la phase de blocage de Q_2 pour $I_{ch} = 10$ A et $R_g = 10 \Omega$.

Les vitesses de commutation de Q_2 ($\frac{dv_{ds}}{dt}$) obtenues lors de la phase de blocage spontané de Q_2 dépendent fortement de sa tension de blocage (V_{gsoff}). Plus cette tension est loin de la tension de seuil plus la vitesse de commutation au blocage de Q_2 est rapide ; ce qui permet de réduire les pertes au blocage de Q_2 (figure IV.18). De plus, cette tension permet de protéger Q_2 du court-circuit qui peut être causé par le phénomène de Cross Talk (I_{ds} de la figure IV.16 et la figure IV.18b). Ainsi, l'application d'une tension de blocage de -5 V avec les commandes 3N, 4N et 4NA a permis de réduire fortement l'impact du phénomène de Cross Talk par rapport à la commande classique 2N qui a une tension de blocage de 0 V. Cette tension de blocage de -5 V a permis aussi d'augmenter les vitesses de commutation des commandes 3N, 4N et 4NA.

En effet, pour une tension du bus de 25 V, les commande 3N, 4N et 4NA assurent les pertes les plus faibles par rapport à la commande 2N grâce à la réduction du phénomène de Cross Talk par une tension de blocage de grille négative qui a pour conséquence l’augmentation de la vitesse de commutation (figure IV.18). Les pertes de commutation sont réduites de moitié pour une tension du bus de 100 V et elles sont réduites par un facteur de 3 pour une tension du bus de 200 V.

Conclusion 2 : l’optimisation de phase de blocage de Q_2 en termes de rendement et de sécurité (suppression du court-circuit) peut se faire par l’utilisation de la commande **3N** ou **4N** ou **4NA**.

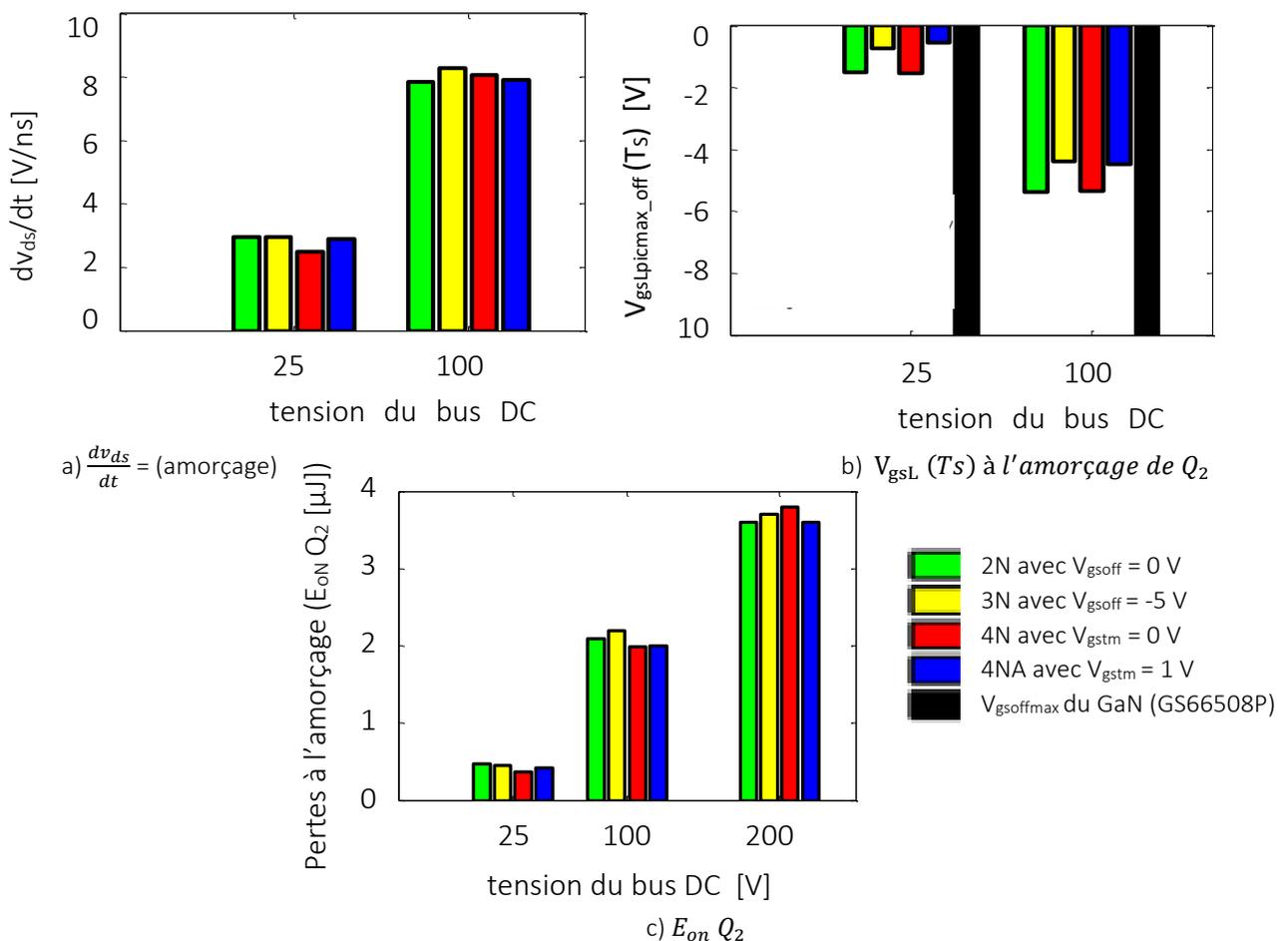


Figure IV.19 : Simulation de l’impact de la commande de Q_2 sur la vitesse de commutation à l’amorçage de Q_2 ($\frac{dv_{ds}}{dt}$), le pic de V_{gs} causé par le Cross Talk et les pertes lors la phase d’amorçage de Q_2

Les vitesses de commutation de Q_2 ($\frac{dv_{ds}}{dt}$) obtenues lors de l’amorçage de Q_2 ne dépendent nullement de la tension d’amorçage (V_{gson} ou V_{gson1}) (figure IV.19). Le fonctionnement de Q_2 en conduction inverse est à l’origine de cette non-dépendance (chapitre I). Même si ce niveau de tension n’a aucun impact sur le $\frac{dv_{ds}}{dt}$ de Q_2 , il permet cependant de réduire les pertes en conduction inverse par la réduction de R_{on} de Q_2 .

Conclusion 3 : Tout comme les commandes 4N et 4NA, l'application des deux niveaux de tension ON (V_{gson1} ou V_{gson2}) n'est pas nécessaire pour un transistor qui fonctionne en inverse. Ses vitesses de commutation lors de sa phase d'amorçage sont imposées par celles du transistor du bras d'onduleur qui est en régime direct (Q_1 dans notre cas).

Concernant le « Cross talk » obtenu par l'amorçage de Q_2 , toutes les commandes proposées précédemment permettent de se protéger de ce phénomène.

Selon les conclusions ci-dessus il peut être conclu de manière plus générale que pour le cas d'un convertisseur Buck synchrone, le meilleur contrôle du transistor Low side (fonctionnant en conduction inverse) en termes de sécurité et de rendement est assurée par les commandes 3N et 4NA. Pour simplifier la mise en place du circuit de commande du transistor Low side (Q_2), le choix de la commande de Q_2 peut être orienté sur la commande 3N avec la durée du niveau négatif la plus faible possible.

Dans le chapitre 1, il a été démontré que la commande d'un HEMT GaN par une tension (V_{gsoff}) négative peut conduire à deux conséquences :

- ✓ Une dégradation de l'état de santé du transistor.
- ✓ Une augmentation des courants de fuites et des pièges.

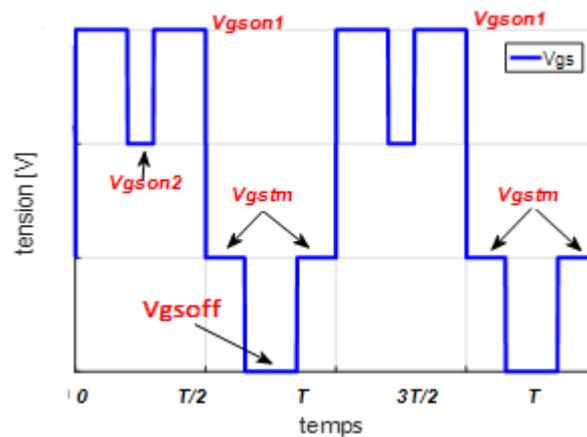


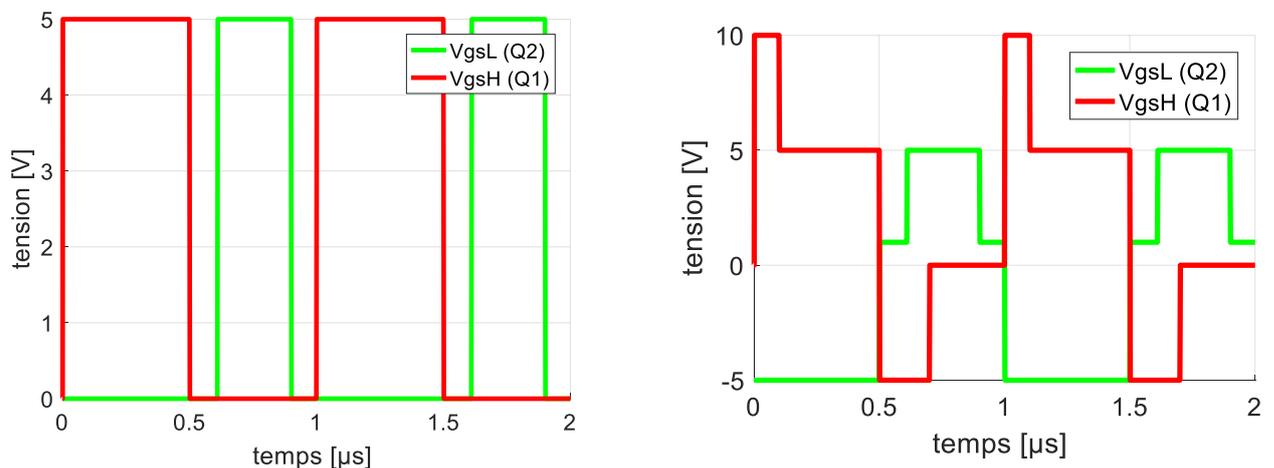
Figure IV.20 : forme possible de la commande de Q_2 dans le cas d'une optimisation (4N2A)

Pour éviter ces deux problèmes, la tension V_{gsoff} des commande 3N et 4NA, doit être de courtes durée (quelques ns). Afin de respecter tout cela, Q_2 peut être commandé par la commande à 4 niveaux doublement améliorée (4N2A) de la figure IV.20. L'application d'une V_{gsoff} négative de courte durée va permettre d'éviter les points négatifs cités ci-dessus. En plus de cela, l'introduction de V_{gson1} en fin de conduction va assurer une réduction des pertes d'amorçage de Q_2 . Cette valeur V_{gson1} va également permettre d'appliquer une tension intermédiaire pendant le temps morts (V_{gstm}) pour des temps inférieurs à 10 ns et cela même si le temps de réaction du driver 1 est inférieur à 10 ns. Les signaux de commande cmd1 et cmd2 de la commande 4N2A sont expliqués à l'annexe IV.

b) Etude de l'apport de commande de grille multi-niveaux des deux transistors du bras (Q_1 et Q_2) par rapport à une commande classique à deux niveaux de Q_1 et de Q_2 (2N0)

Dans la partie III.Aa), il a été montré que la commande 3N est suffisante pour assurer un contrôle optimal du transistor Low side du convertisseur Buck (Q_2). Vu que le transistor du High side (Q_1) fonctionne en direct, l'application de tension intermédiaire pendant la phase de temps mort (V_{gstm}) n'est pas nécessaire donc la commande 4N ou 4N2A peut être choisie pour assurer une commande optimale de Q_1 .

Dans le but d'évaluer la commande multi-niveaux des deux transistors du convertisseur Buck synchrone (Q_2 est commandé par 3N et Q_1 est commandé par 4N ou 4N2A), le circuit de la figure IV.1 a été simulé sous LTSpice. Les résultats obtenus sont comparés à ceux d'un convertisseur Buck où les deux transistors sont commandés par une commande classique deux niveaux (2N0). La figure IV.21 présente les signaux de grille de deux transistors pour les deux cas de figures.



a) commande à deux niveaux classiques : Q_2 commandé par (2N0) et pour Q_1 commandé par (2N0)

b) commande multi-niveaux proposée : Q_2 commandé par (3N) et pour Q_1 commandé par (4N)

Figure IV.21 : Comparaison de deux types de commande possible pour un convertisseur Buck

La commande multi-niveaux (CMN) proposée (Q_2 commandé par (3N) et Q_1 commandé par (4N)) a permis de réduire de 40 % et de 45 % respectivement les pertes de conduction inverses et les pertes en commutation de Q_2 comme dans la partie Aa). Pour les pertes en commutation de Q_1 , le taux de réduction par la commande multi-niveaux est estimé à 57 % grâce à une tension de commande de Q_1 plus grande à l'amorçage (figure IV.22).

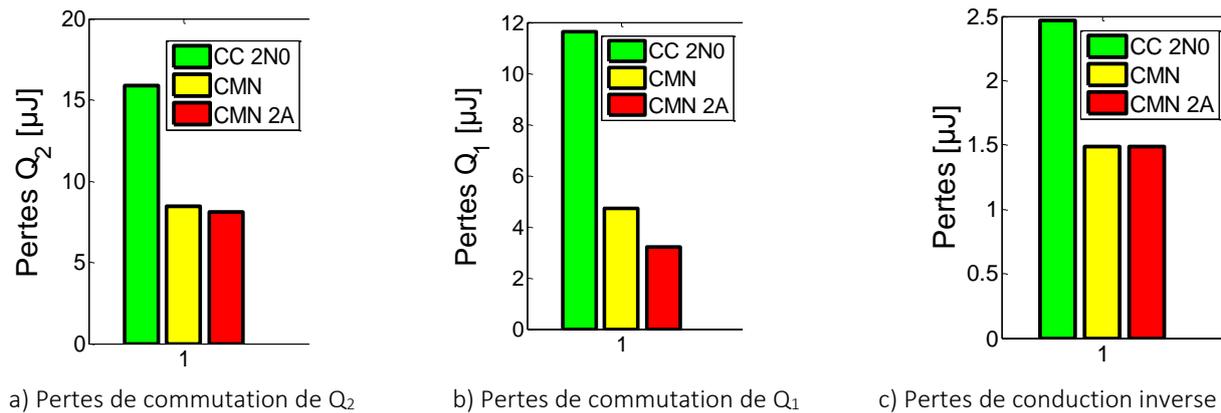


Figure IV.22 : Comparaison des pertes obtenues avec les commandes multi-niveaux proposées et la commande classique à deux niveaux (2N) pour une tension de 100V, un courant de charge de 10 A, un temps mort de 100 ns et une résistance de grille de 10 Ω

Les pertes en commutation de Q_1 obtenues avec la commande multi-niveaux (Q_2 commandé par (3N) et Q_1 commandé par (4N)) peuvent être diminuées de 17 % en utilisant un autre type de commande multi-niveaux (Q_2 commandé par (3N) et Q_1 commandé par (4N2A)) (figure IV.22 et figure IV.23). Ce dernier consiste à ajouter un niveau de tension sur la commande 4N de Q_1 avant la fin de la conduction de Q_1 (figure IV.23).

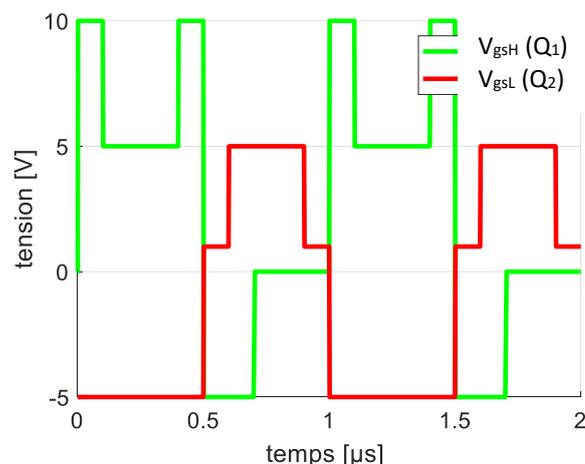


Figure IV.23 : proposition d'une commande multi-niveau le plus optimal dans le cas d'un convertisseur Buck

Conclusion sur l'étude de l'apport de commande de grille multi-niveaux des deux transistors du bras (Q_1 et Q_2) par rapport à une commande classique à deux niveaux de Q_1 et de Q_2 (2N0) :

Dans le cadre d'un convertisseur Buck synchrone à base de GaN, l'utilisation de commande multi-niveaux pour les deux transistors du bras peut permettre de réduire les pertes d'au moins 40 % par rapport à une commande classique à deux niveaux pour les deux transistors. Le meilleur rendement est obtenu lorsque le transistor qui fonctionne en direct est commandé par une commande 4N2A, ce qui consiste à commander le transistor par un niveau de tension proche de la tension limite positive de commande de grille durant sa phase de conduction et cela, juste avant la phase de blocage (figure IV.23). Pour la phase de conduction, la tension de

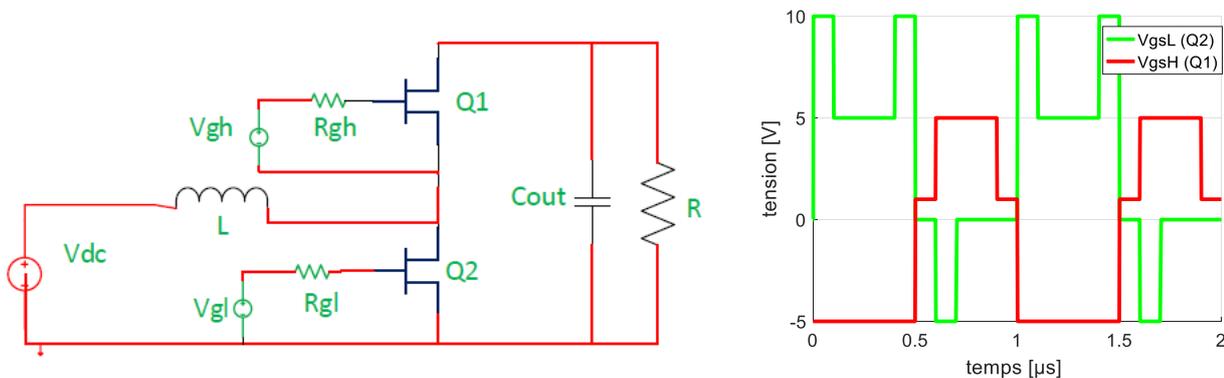
commande de grille est réduite afin de garder un bon état de santé. Pour le transistor fonctionnant en inverse, une commande de grille à 3 niveaux de tension avec une tension de commande de grille proche de la tension de seuil pendant les phases de temps mort permet d'obtenir le meilleur rendement et d'éviter les effets négatifs dus à une commande négative de grille :

- ✓ Une dégradation de l'état de santé du transistor
- ✓ Une augmentation des courants de fuites et des pièges

La commande 4N2A peut être aussi utilisée pour le transistor Low side.

B.3) Etude 3

La figure IV.24a présente la structure d'un convertisseur Boost. Vu que pour cette structure c'est Q_1 qui fonctionne en inverse et Q_2 en direct, la commande optimale et sécuritaire du convertisseur est obtenue lorsque Q_1 est commandé par la commande 3N ou 4N2A et Q_2 par la commande 4N ou la commande 4N2A.



a) structure d'un convertisseur Boost b) commande multi-niveaux possible des deux transistors

Figure IV.24 : Structure d'un convertisseur Boost et la suggestion de la commande multi-niveaux.

Pour le cas du convertisseur « Boost », une étude quantitative et qualitative ne sera pas réalisée. On se limitera à faire des suggestions sur la manière de commander les deux transistors (figure IV.24b).

C) Validation :

Dans le but de valider ces résultats de simulation, plusieurs cartes électroniques sont développées pour la génération des différents types de commande (2N,3N,4N,4NA et 4N2A). Ces différentes cartes sont présentées à l'annexe IV.

La commande du HEMT GaN par les différents types de commande a permis d'obtenir les résultats ci-dessous. Les mesures ont été réalisées pour un courant de charge de 10 A, une tension de fonctionnement de 100 V du convertisseur et à une température ambiante. Les précautions de test et les méthodes de calculs des pertes sont les mêmes que celles présentées dans le chapitre 2.

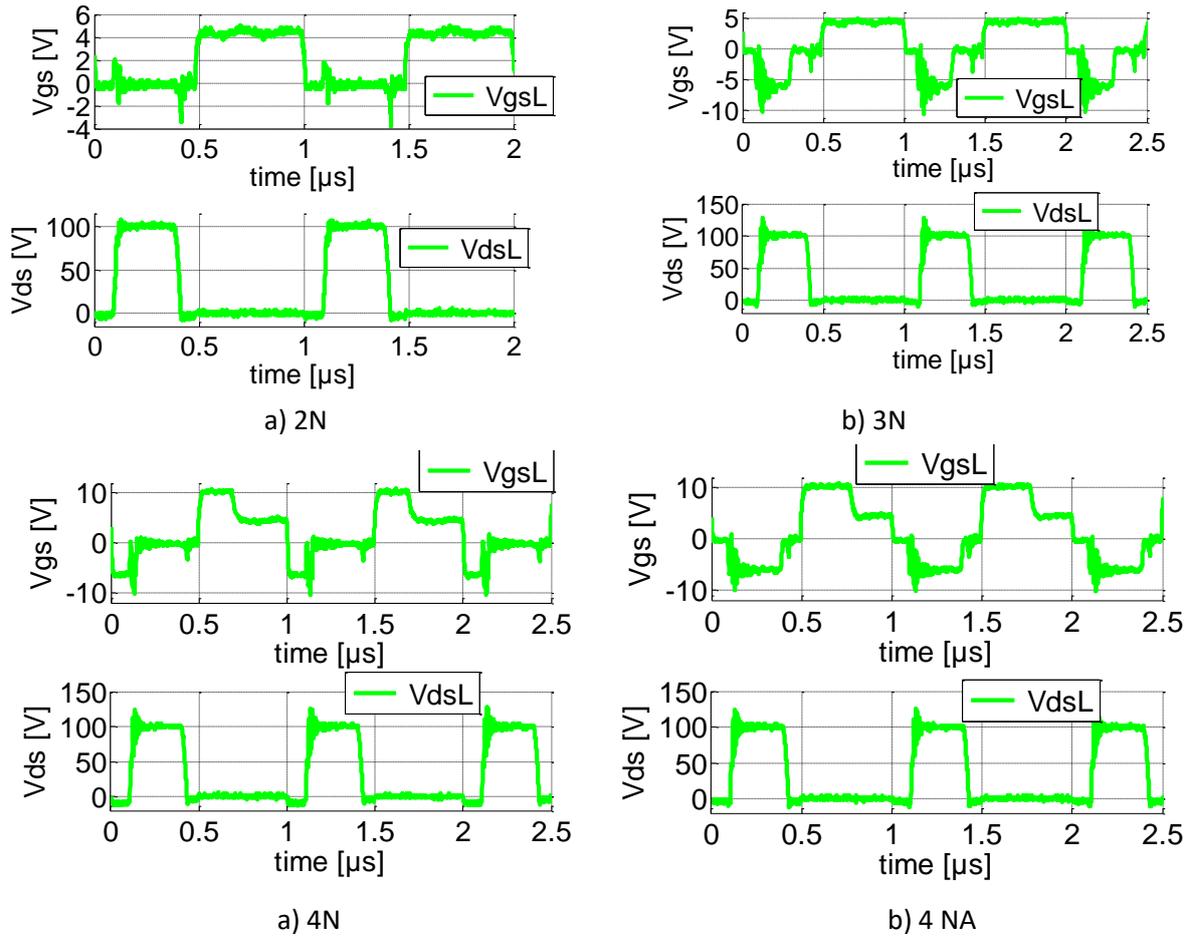


Figure IV.25 : Mesure de la tension appliquée à Q2 pour $V_{ds} = 100 \text{ V}$, $I_{ch} = 10 \text{ A}$, $R_g = 10 \Omega$.

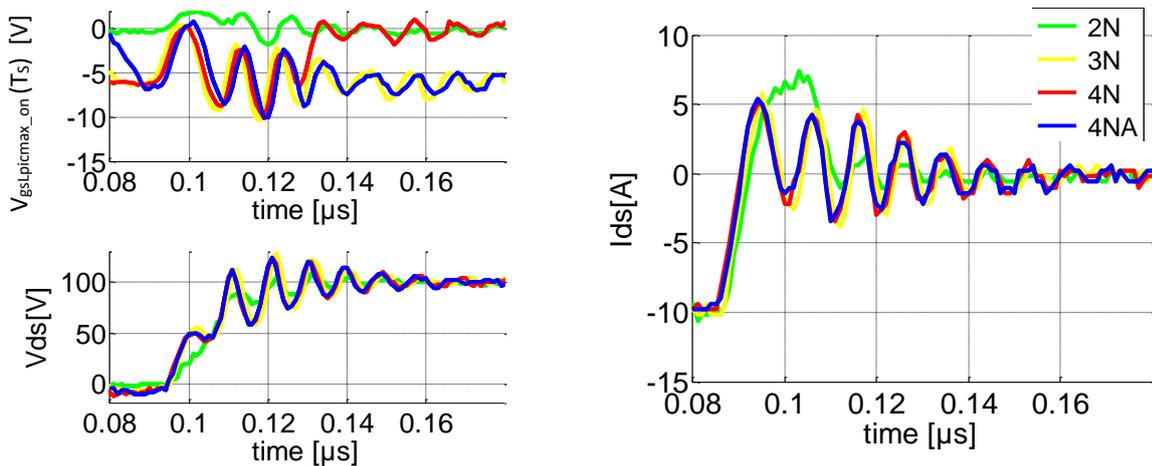


Figure IV.26 : Mesure expérimentale de l'impact des différents types de commande (2N, 3N, 4N et 4NA) sur l'impact du Cross Talk sur la tension de grille de Q2 ($V_{gsLpicmax_on}(T_s)$) et les vitesses de commutation en tension et en courant pour la phase de blocage de Q2 (amorçage de Q1).

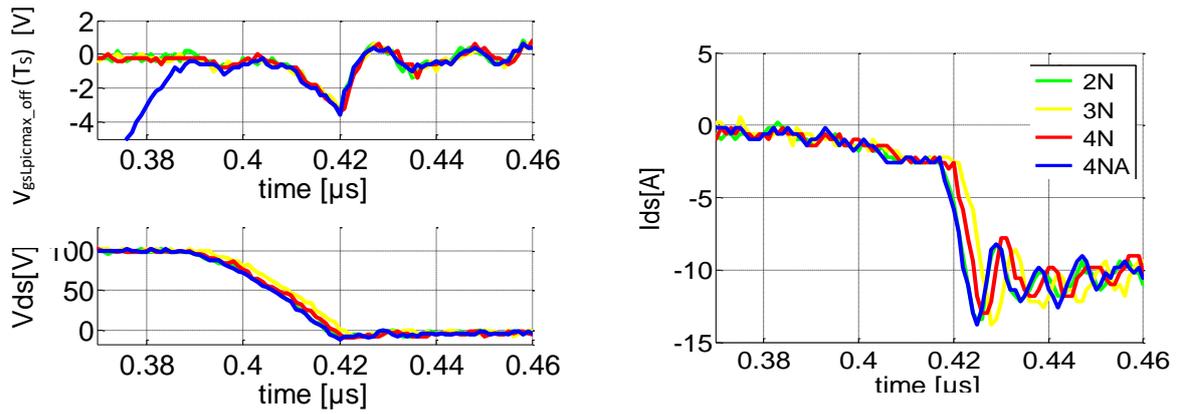


Figure IV.27 : Mesure expérimentale de l'impact des différents types de commande (2N,3N,4N et 4NA) sur l'impact du Cross Talk sur la tension de grille de Q_2 ($V_{gsLpicmax_off}(T_s)$) et les vitesses de commutation en tension et en courant pour la phase d'amorçage spontané de Q_2 (blocage de Q_1).

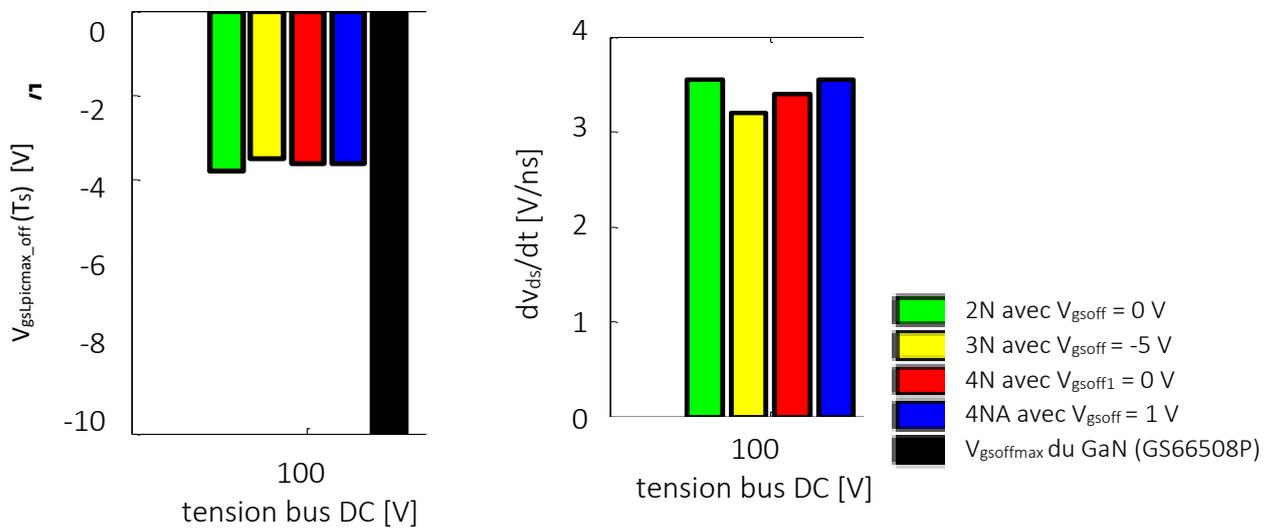


Figure IV.28 : Mesure expérimentale de l'impact de la commande de Q_2 sur la phase d'amorçage de de Q_2 pour $V_{ds} = 100$ V, $I_{ch} = 10$ A, $R_g = 10 \Omega$

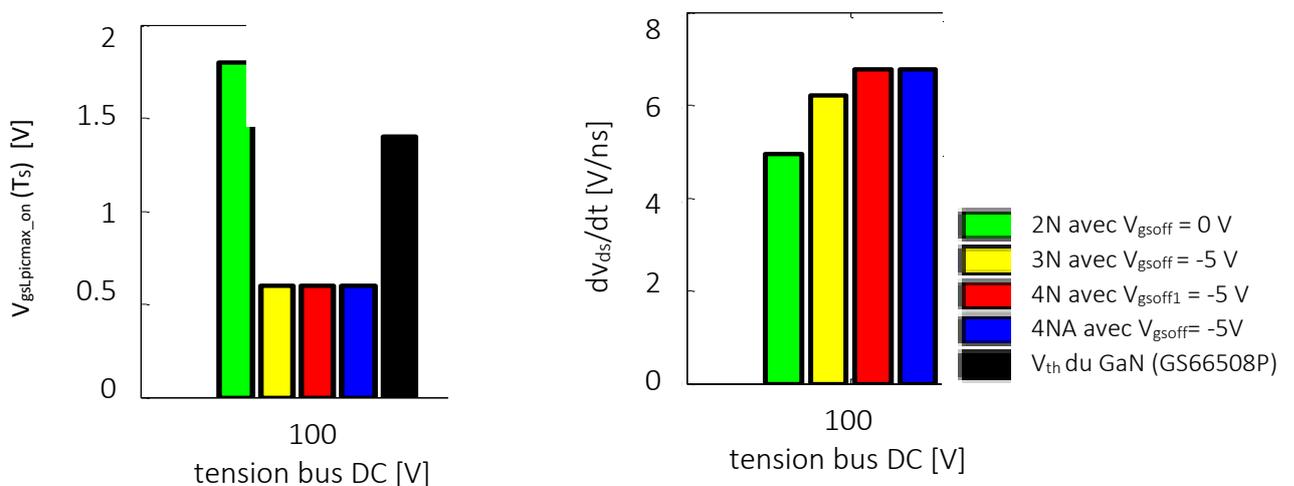


Figure IV.29 : Mesure expérimentale de l'impact de la commande de Q_2 sur la phase de blocage de de Q_2 pour $V_{ds} = 100$ V, $I_{ch} = 10$ A, $R_g = 10 \Omega$

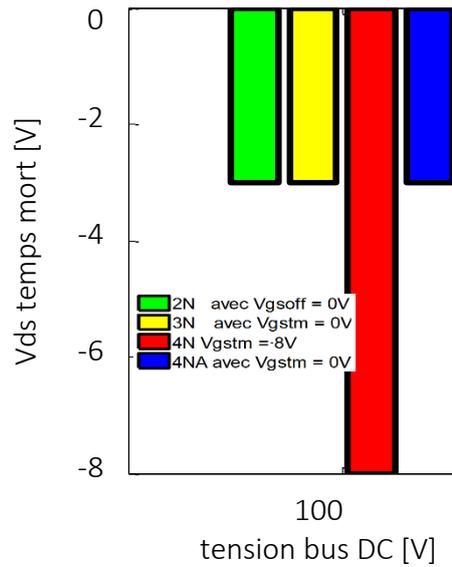


Figure IV.30 : Mesure expérimentale de l'impact de la commande de Q₂ sur la tension de conduction inverse de Q₂ pour V_{ds} = 100 V, I_{ch} = 10 A, R_g = 10 Ω

Comme dans la partie simulation, avec ces résultats expérimentaux, il est possible de remarquer que selon le type de commande appliqué sur le transistor GaN Low side du convertisseur Buck, l'impact sur les pertes en conduction inverse et les vitesses de commutation en tension ne sont pas les mêmes (figure V.25 à figure V.30). La commande 3N et 4NA sont les deux commandes qui permettent de réduire aux maximums les pertes (conduction inverse et commutation) tout en assurant la protection du convertisseur contre les conséquences du Cross Talk. Cependant les erreurs de 50 % et 80 % observées respectivement entre la simulation et les mesures sur les vitesses de commutation à l'amorçage et au blocage proviendraient de l'erreur du modèle sur chaque transistor et la forte inductance parasite du Shunt de mesure (10 nH). Ces erreurs ne remettent pas en cause l'étude, car les commandes 3N, 4NA et 4N2A restent les commandes les plus optimales qui permettraient de maîtriser les fortes pertes de conduction inverse et le phénomène de Cross Talk.

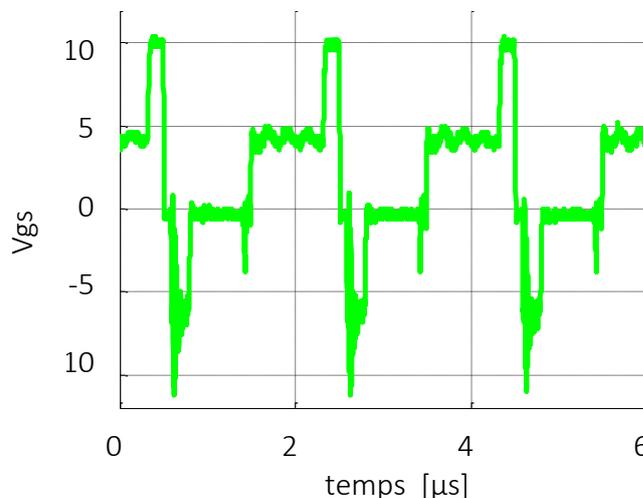


Figure IV.31 : forme de la commande 4N2A permettant la maîtrise des deux phénomènes, la diminution de l'apparitions de courant de court circuit et l'amélioration de l'état de santé.

Cependant, si les résultats ne remettent pas en cause l'étude sur les commandes, ils permettent de déterminer une des limites des modèles GaN. La limite du modèle n'est autre que la faible représentativité du modèle due à la présence d'une forte inductance parasite commune entre la partie puissance et la commande ($L_s > 1$ nH). L'utilisateur de deux drivers pour la génération de la commande multi-niveaux est à l'origine de la présence de la forte inductance parasite.

Une autre différence obtenue entre la simulation et l'expérimentation est l'impossibilité de générer la commande 4N2A (Figure IV.31) optimisée de Q_2 permettant de se protéger des effets négatifs de la tension $V_{gs\text{off}}$ négative pour une fréquence de 1 MHz. Ce problème proviendrait des capacités utilisées dans le circuit électronique permettant de générer cette commande (annexe IV). Avec une fréquence de 1MHz les capacités n'ont pas le temps nécessaire pour se charger et se décharger complètement comme c'est le cas pour le Bootstrap du driver.

Conclusion :

Dans ce chapitre, plusieurs techniques de commande ont été proposées et comparées entre elles. Dans le cas d'un convertisseur Buck, une commande à trois niveaux pour le transistor Low side et une commande à 4 niveaux pour le transistor High side permettent d'avoir les plus faibles pertes possibles. En plus de cela, cette technique de commande permet de protéger le transistor Low side du phénomène de Cross Talk. Cependant l'utilisation d'éléments passifs et de composants discrets pour la génération de la partie commande peut constituer une limite surtout en haute fréquence.

Chapitre 5 : Etude de l'intégration monolithique à base de composants GaN

A cause de la commutation rapide des transistors GaN, l'utilisation de composants discrets ne permet pas de régler le problème de fortes vitesses de commutation à cause de leur temps de réaction assez élevé comme il a été exposé dans les chapitres 3 et 4. C'est pour éviter des problèmes de ce type et pour améliorer la commutation des transistors GaN que des entreprises comme Navitas et TSMC sont en train de développer des puces de transistor de puissance GaN avec leurs drivers intégrés. La technologie qu'utilise Navitas a été présentée dans le chapitre 1. TSMC utilise la technologie GaN sur silicium en gravure de 16 nm pour intégrer les éléments du driver à base de GaN sur des puces de transistor GaN de 100 V et 600V [95]. Les mêmes motivations que celles de Navitas ou de TSMC, nous ont poussé à faire une étude sur l'intégration du driver GaN sur la puce du transistor GaN. Pour cette étude, la technologie GaN sur Silicium dont dispose 3IT de Sherbrooke sera notre outil de référence. Cette étape d'intégration sera aussi un moyen de réduction des inductances parasites de connexion entre le driver et le transistor de puissance de puissance.

I. Présentation des Structures possibles :

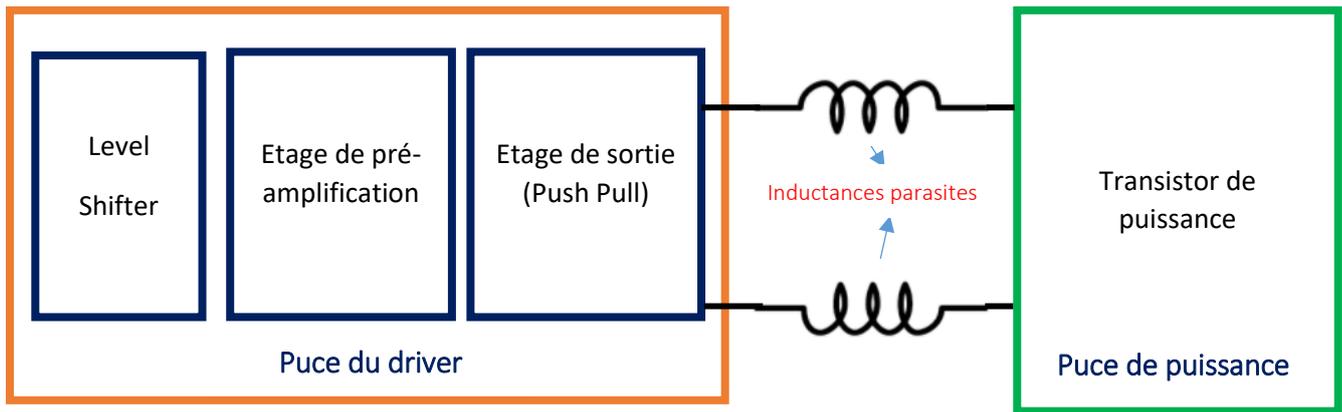
Le driver assurant la commande du transistor de puissance est composé de plusieurs étages (figure V.1a). Parmi ces derniers, il peut être cité les points importants suivants [8], [45], [96].

▪ L'étage pré-amplification

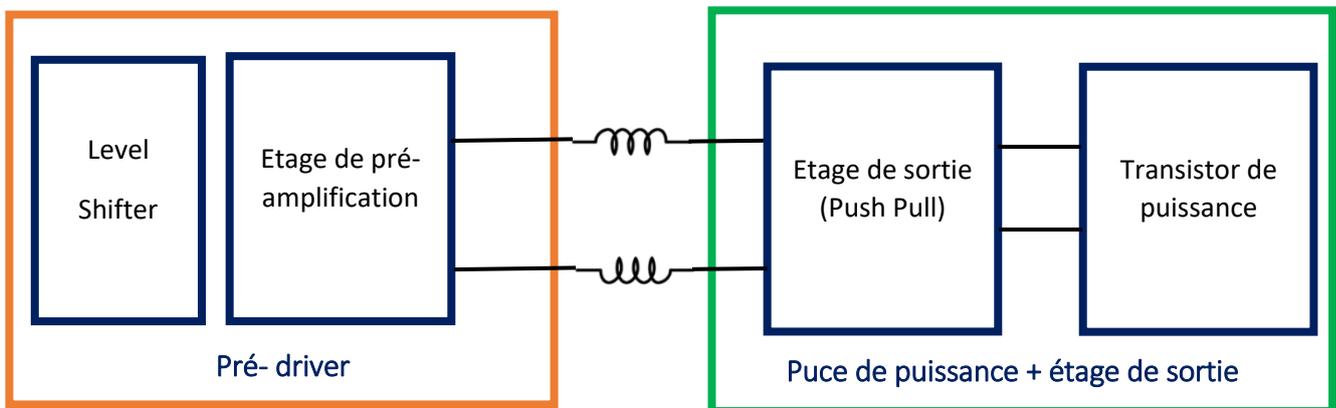
Cet étage se trouve juste avant l'étage de sortie, il a pour but l'amplification du signal de commande venant de la partie primaire.

▪ L'étage d'amplification ou Push Pull :

L'étage de sortie (Push pull) : est le dernier élément du driver, il a pour but l'amplification du signal de commande de l'étage pré-amplification afin de fournir l'énergie nécessaire à la commutation du transistor de puissance. C'est entre cet étage de sortie et le transistor de puissance que se trouvent les inductances parasites les plus critiques (schéma bloc de la figure V.1a). Dans le but de réduire les inductances parasites et de répondre aux problèmes des temps de réactions pour améliorer la commutation, nous allons étudier dans ce chapitre l'impact de l'intégration de quelques éléments du driver sur la puce de puissance. Cette étude d'intégration concerne uniquement l'intégration du Push Pull sur la puce du transistor puissance (figure V.1b).



a) Association du driver et du transistor de puissance sur des puces différentes



b) Proposition de pré-intégration de l'étage de sortie sur la puce de puissance

Figure V.1 : Schéma bloc de la commande du transistor de puissance par un driver avec ses différents étages

Ce Push Pull est composé de deux transistors montés en cascade et fonctionnant de manière complémentaire. L'existence de composants complémentaires pour la technologie bipolaire (PNP et NPN) et MOSFETs (type P et N) à base silicium facilite la mise en place de l'étage de sortie pour les technologies bipolaire Silicium et MOSFET Silicium. Pour le cas de la technologie GaN sur silicium dont dispose le 3IT (Sherbrooke), l'absence de complémentarité complexifie la mise en place de l'étage Push pull à base de GaN. Malgré cela, il existe quelques solutions (structures) qui pourront permettre l'intégration monolithique GaN de l'étage de sortie à base de GaN sur une puce de HEMT GaN. Certaines des solutions possibles permettant la mise en place de Push Pull à base de GaN sont étudiées ci-dessous.

➤ Structure 1 : « Push Pull » avec deux signaux d'entrée.

Cette possibilité consiste à intégrer un push pull formé par des transistors GaN identiques (même type N) sur la puce de puissance. Pour faire fonctionner cette structure, les transistors de l'étage de sortie doivent être commandés par deux signaux distincts et complémentaires.

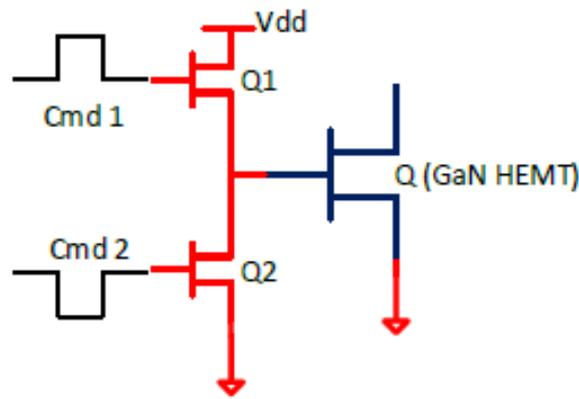
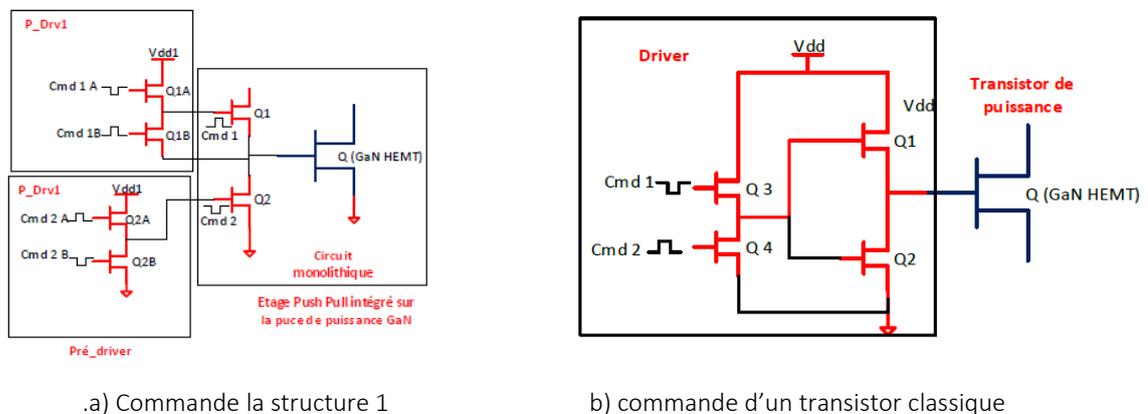


Figure V.2 : Structure 1 pour l'intégration monolithique à base de GaN

Ces deux signaux d'entrée peuvent être générés par des pré-drivers (P_Drv1 et P_Drv2) qui permettront d'assurer la commutation rapide des transistors du « Push Pull ». L'utilisation de deux signaux distincts pourrait rendre ce système intégré moins intéressant qu'un système classique car la mise en place de la partie pré-driver devient plus coûteuse et plus complexe en termes de design. Par exemple dans le cas de la commande du transistor de puissance de la structure 1, 4 signaux de commandes sont nécessaires pour le système intégré contre 2 pour le cas classique (figure V.3). Dans le cas d'un convertisseur Buck 8 signaux de commande sont nécessaires pour la structure 1 contre 2 pour un Buck synchrone classique.



a) Commande la structure 1

b) commande d'un transistor classique

Figure V.3 : Comparaison de la commande d'un transistor GaN classique avec la commande d'un transistor GaN intégré utilisant la structure 1

Ce besoin de signaux multiples pour faire fonctionner un étage, va rendre complexe la mise en place de la commande du transistor de puissance en cas d'intégration d'autres étages du driver. En effet avec l'intégration de l'étage pré-amplification et de l'étage « Push Pull » sur la puce du HEMT, au moins 4 signaux de commande sont nécessaires pour faire fonctionner le système intégré.

Des systèmes intégrés à base de logique DCFL (Direct coupled Field logic) ou de logique ECL (Emitter coupled logic) pourraient être une solution face aux problèmes des signaux multiples de la structure 1 [55],[56],[97].

➤ Structure 2 : Système intégré à base de la logique DCFL :

Plusieurs solutions existent pour mettre en place des systèmes intégrés en GaN à base de la logique DCFL. Cependant deux possibilités ont été étudiées dans le cadre de cette thèse.

✓ 1^{ère} Possibilité: Push Pull inverseur:

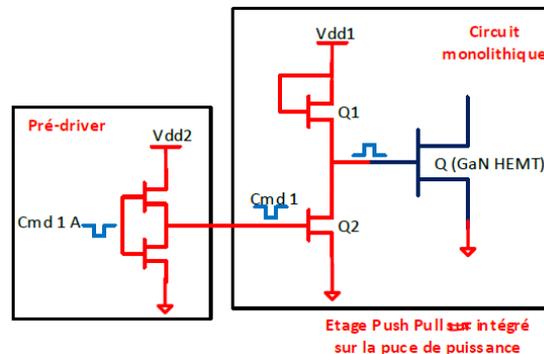


Figure V.4 : Structure d'un système intégré GaN avec un Push Pull inverseur utilisant la logique DCFL.

La puce de puissance est constituée d'un HEMT de puissance et d'un Push Pull intégré sur la même puce (figure V.4). Pour faire fonctionner ce système intégré, le transistor Q_2 est utilisé comme un interrupteur qui est commandé par un signal d'entrée (cmd1). Ce dernier est généré par un pré-driver. Contrairement à Q_2 , le transistor Q_1 est polarisé de manière à le faire fonctionner comme une résistance.

Les deux transistors de l'étage Push Pull peuvent être identiques (D_GaN ou E_GaN) ou différents (D_GaN et E_GaN). L'utilisation de Q_1 comme une résistance (valeur assez importante) conduit à deux conséquences pour ce système :

- Une très forte sensibilité aux éléments parasites du circuit (surtout les capacités parasites). Cette sensibilité aux éléments parasites peut conduire à de fortes pertes du système et des temps de réaction du système conséquents
- Des pertes dues à la forte résistance de Q_1 .

✓ 2^{ème} Possibilité : « Push Pull » non inverseur :

L'étage « Push Pull » formé par deux transistors GaN (Q_1 et Q_2) identiques, est à intégrer sur la puce du HEMT de puissance (Q). Les transistors Q_1 et Q_2 sont commandés par le même signal (cmd1) issu du pré-driver (figure V.5). Pour faire fonctionner Q_1 et Q_2 de manière complémentaire, un inverseur DCFL intégré sur la puce de puissance est placé entre le pré driver et l'étage de sortie. L'inverseur DCFL a le même fonctionnement que l'étage « Push Pull » de la 1^{ère} possibilité (« Push Pull » inverseur).

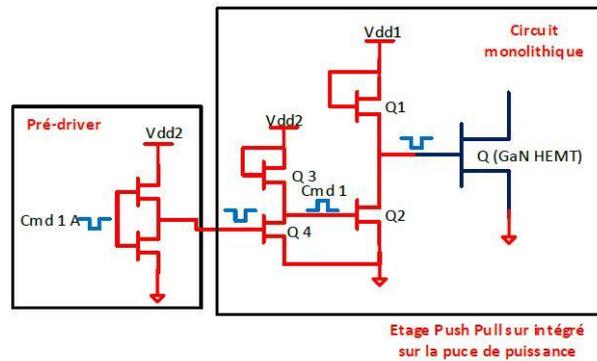


Figure V.5 : Structure d'un système intégré GaN avec un Push Pull non inverseur utilisant la logique DCFL

Vu que le calibre en courant du Push Pull est plus faible que le calibre en courant du HEMT ; l'utilisation d'un inverseur DCFL pour la commande de l'étage « Push Pull » permet de réduire la sensibilité aux éléments parasites et les pertes comparées à la première possibilité de la structure 1 (« Push Pull » inverseur).

Afin de diminuer les pertes de la partie commande la structure de la figure V.6 peut être envisagée.

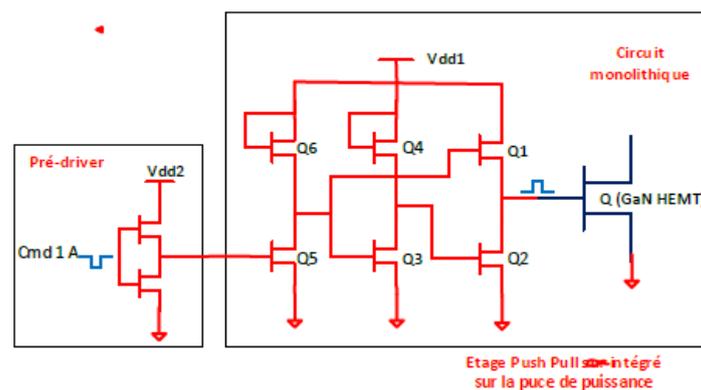


Figure V.6 : Structure améliorée d'un système intégré GaN avec un Push Pull non inverseur utilisant la logique DCFL

➤ Structure 3 : Système intégré à base de la logique ECL :

Cette structure est identique à celle présentée précédemment, cependant au lieu d'utiliser un inverseur DCFL, un inverseur à base de logique ECL (emitter coupled logique) est utilisé (figure V.7). L'inverseur ECL est formé par deux transistors (Q_3 et Q_4), deux résistances (R_1 et R_2) et une source de courant (I_1).

Pour faire fonctionner l'inverseur, le transistor Q_3 est commandé par une tension V_{ref} . Cette tension V_{ref} est calibrée de manière à faire fonctionner Q_3 dans la zone linéaire directe. Ainsi selon la tension d'entrée V_{in} commandant le transistor Q_4 , deux modes de fonctionnement de l'inverseur ECL sont possibles :

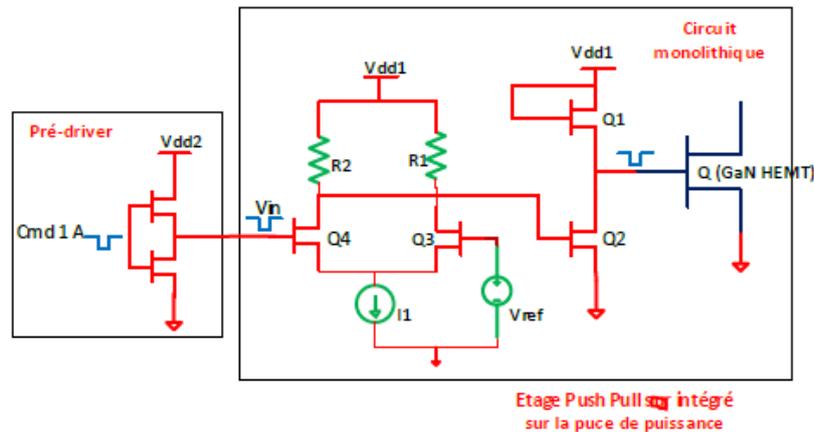


Figure V.7 : Structure d'un système intégré GaN utilisant la logique ECL

Mode 1 ($V_{in} < v_{ref}$) : Le transistor Q_4 est bloqué et le transistor Q_3 fonctionne dans la zone linéaire. Le courant fourni par la source I_1 passe dans ce cas uniquement par R_1 et Q_3 . (figure V.8a) . Les équations V.1 et V.2 résument le fonctionnement du mode 1.

$$V_{gs_Q2} = V_{dd1} \quad V.1$$

$$V_{ds_Q3} = V_{dd1} - R_1 \cdot I_1 \quad V.2$$

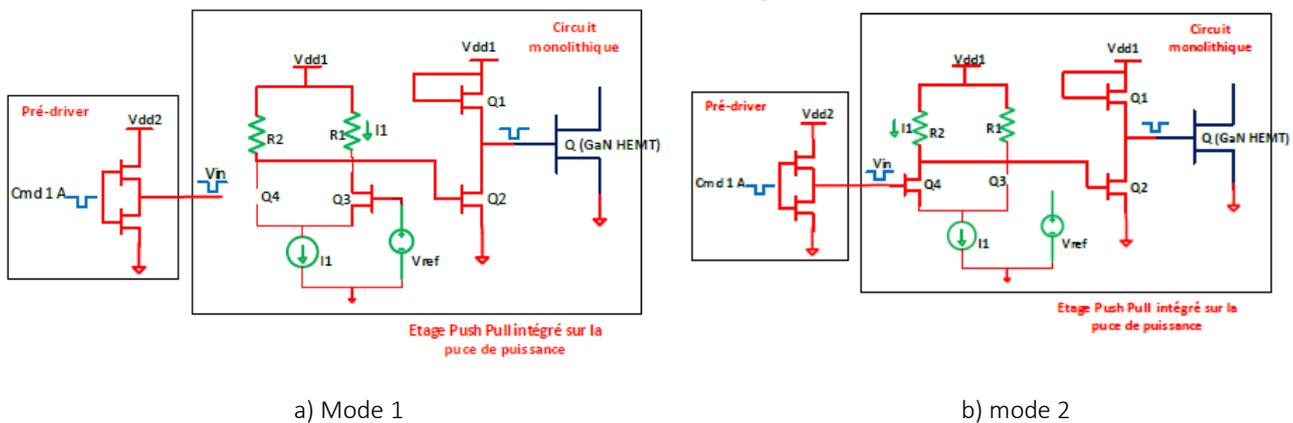


Figure V.8 : présentation des deux modes de fonctionnement de l'inverseur ECL

Mode 2 ($V_{in} > v_{ref}$) : Le transistor Q_3 est bloqué et le transistor Q_4 fonctionne dans la zone linéaire. Le courant fourni par la source I_1 passe dans ce cas uniquement par R_2 et Q_4 (figure V.8b). Ce mode de fonctionnement peut être décrit par les équations suivantes

$$V_{ds_Q3} = V_{dd1} - V_{s_Q4} \quad V.3$$

$$V_{gs_Q2} = V_{dd1} - R_2 \cdot I_1 \quad V.4$$

avec V_{s_Q4} : tension sur la source de Q_4

Le fonctionnement de Q_3 et Q_4 dans la zone linéaire permettrait d'avoir des commutations très rapides assurant ainsi des temps de réponses extrêmement rapides pour ce type d'inverseur [98].

II. Comparaison des deux inverseurs

Dans le but de connaître les avantages et les inconvénients des structures monolithiques présentées dans le cas des transistors GaN, une étude comparative est réalisée dans cette partie. Cette étude concerne la deuxième possibilité de la structure 2 et la structure 3. La figure V.9 présente les schémas des deux structures monolithiques. Chaque circuit est composé de 2 étages qui sont l'étage de puissance et l'étage de commande. Ce dernier est composé du sous étage Push Pull et du sous étage inverseur.

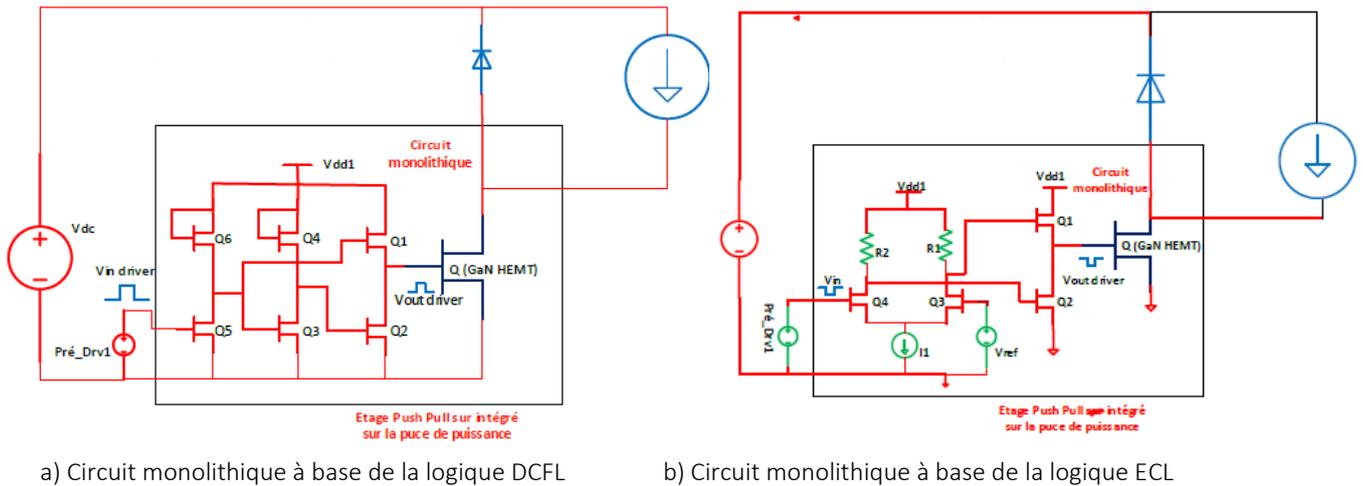


Figure V.9 : présentation des deux circuits monolithiques à base de GaN

Pour dimensionner les deux systèmes, une méthode horizontale a été choisie. Cette méthode consiste à déterminer les caractéristiques des transistors en commençant par le transistor se situant le plus à droite (transistor de l'étage de puissance) jusqu'au transistor qui se trouve le plus à gauche (transistor de l'inverseur). Chaque transistor est dimensionné de sorte à assurer le fonctionnement optimal du transistor qui se trouve à sa droite

A) Les caractéristiques des transistors

➤ Les caractéristiques du transistor de puissances :

Les caractéristiques du transistor de puissance (Q) sont déterminées par les caractéristiques du convertisseur « Boost ». Dans le cadre de cette thèse, il a été fixé comme objectif la conception d'un convertisseur « Boost » de puissance 5 kVA ($V_{dc} = 500$ V, $I_{ch} = 10$ A) fonctionnant à une fréquence de commutation de 1 MHz. En plus de cela, la surtension maximale du convertisseur est à 25 % de V_{dc} et la surintensité à 25 % de I_{ch} . En respectant ce cahier de charge de la thèse le transistor Q doit pouvoir supporter une tension drain source de 625 V et un courant de drain de 12.5 A.

La technologie GaN sur silicium dont dispose l'université de Sherbrooke permet d'avoir uniquement des transistors avec une tension maximale de drain source de 500 V et un courant maximal de drain de 2 A. Ne disposant pas de transistors de puissance ayant les calibres en tension et en courant définis par le cahier de charge, nous avons supposé que le transistor de

puissance Q a les mêmes caractéristiques que le transistor GS66508P de GaN System. La technologie de GaN System est très similaire à celle de Sherbrooke. Le tableau V.1 résume les caractéristiques du transistor de puissance (Q).

Caractéristiques	V_{dsmax}	I_{dmax}	R_{dson}	G_{fs}	C_{gd}	C_{iss}	C_{oss}
Valeurs	650 V	30 A	50 mΩ	20 S	2 pF	260 pF	65 pF

Tableau V.1 : les caractéristiques du transistor de puissance (Q)

➤ Les caractéristiques des transistors de l'étage « Push Pull »

Dans le but de trouver les longueurs adéquates de grille des transistors de l'étage Push (Q_1 et Q_2), une simulation paramétrique a été réalisée sous LTspice en utilisant le modèle dynamique (annexe II) du chapitre 2 et les paramètres physiques linéiques de la technologie GaN de Sherbrooke (tableau V.1). Le bon dimensionnement de cet étage est très important car un sous dimensionnement (faible longueur de grille) et un surdimensionnement produisent des pertes inutiles respectivement au niveau du transistor de puissance et au niveau de l'étage Push Pull [96].

Pour déterminer les longueurs de grille, les pertes en commutation sont utilisées comme critère de choix vu qu'il était principalement prévu dans le cadre de cette thèse de mettre en place des systèmes de contrôle des vitesses de commutation pour trouver le bon compromis entre les pertes et la CEM.

Caractéristiques	R_{dson}	G_{fs}	C_{gd}	C_{iss}	C_{oss}
Valeurs	4.6 Ω.mm	0.22 S/mm	0.16 pF/mm	8.01 pF/mm	0.21 pF/mm

Tableau V.2 : les caractéristiques de la technologie de Sherbrooke par longueur de grille

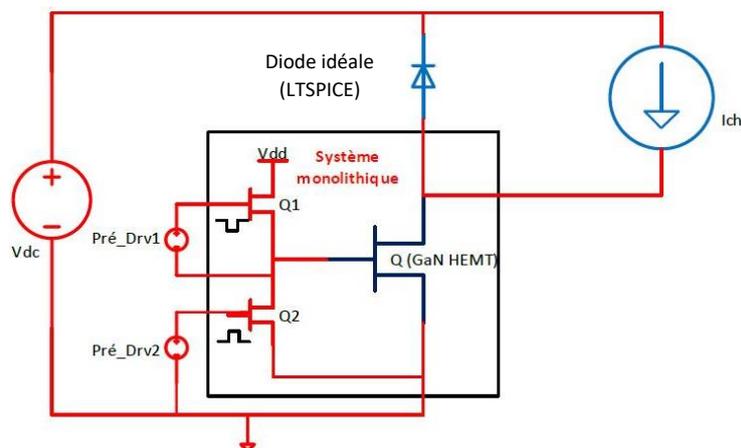


Figure V.47 : Schéma de caractérisation du HEMT permettant la modélisation paramétrique des transistors de la partie commande

La variation de la longueur de grille de Q_1 , pour une longueur de grille fixe de Q_2 (0.2 mm) a permis d'obtenir les résultats de la figure V.11 et V.12 obtenus lors des phases de commutation ON d'un transistor de paramètres équivalents à celui du GS66508 (figure V.10).

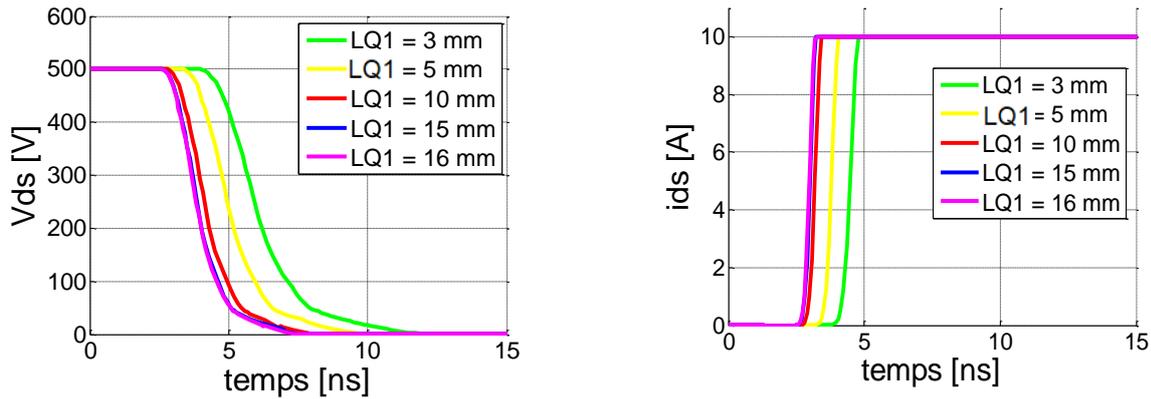


Figure V.10 : Vitesses de commutation du transistor de puissance obtenues par simulation paramétrique sous LTSpice pour différentes longueurs de Q_1 pour une longueur constante de Q_2 (0.2 mm).

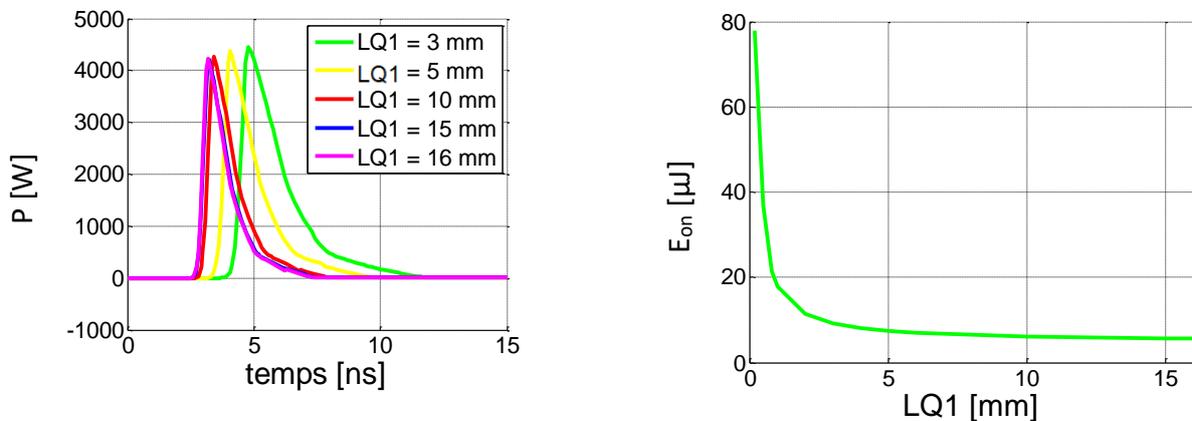


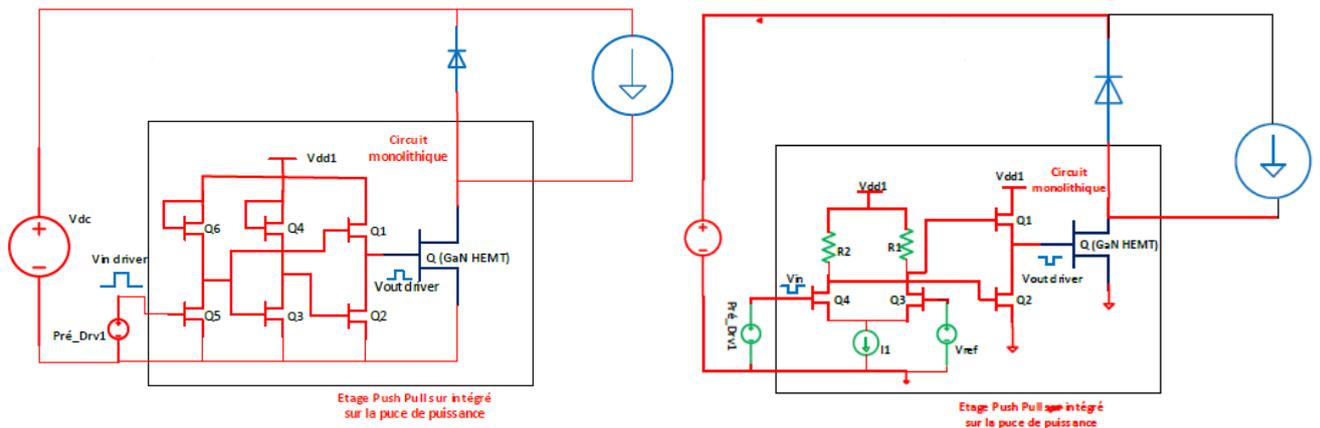
Figure V.11 : pertes ON du transistor de puissance obtenues par simulation paramétrique sous LTSpice pour différentes longueurs de Q_1 pour une longueur constante de Q_2 (0.2 mm).

Les vitesses de commutation en tension et en courant diminuent avec l'augmentation de la longueur de grille Q_1 (figure V.11). La diminution des vitesses de commutation est à l'origine de la variation des pertes en commutation à l'état ON. Pour des longueurs de grille allant **0.1 mm** à **5 mm**, les pertes ON passent de **78 μ J** à **7.5 μ J**. Cependant pour des longueurs comprises entre **5 mm** et **15 mm** la variation des pertes reste très faible avant de se stabiliser à **5.6 μ J** à partir de **15 mm** (figure V.12). En se basant sur ces résultats, Q_1 doit avoir une longueur de grille de **15 mm**.

Pour trouver la longueur de Q_2 , la même démarche que celle pour déterminer Q_1 est appliquée pour une longueur de grille constante de **15 mm** pour Q_1 . Une longueur de 1 mm est trouvée pour Q_2 .

➤ Les caractéristiques des transistors des inverseurs

Pour déterminer la longueur des transistors des inverseurs (ECL et DCFL), une simulation paramétrique des convertisseurs monolithiques à base GaN de la figure V.13 a été réalisée. Les pertes de l'étage de « Push Pull » ont permis de déterminer la longueur de chaque transistor des inverseurs.



a) Convertisseur monolithique à base de logique DCFL b) Convertisseur monolithique à base de logique ECL

Figure V.12 : Structures des deux convertisseurs monolithiques asynchrones

Inverseurs DCFL

Pour l'inverseur DCFL, il a été considéré que les transistors Q_4 et Q_6 ont la même longueur de grille de même que les transistors Q_3 et Q_5 . Vu que les transistors Q_4 et Q_6 fonctionnent comme des résistances, la valeur de leur résistance ne doit pas être élevée, afin d'éviter des temps de transition trop importants. Pour respecter cette condition tout en gardant une faible chute de tension de Q_4 et Q_6 , ces derniers doivent avoir une résistance de **100 Ω** (valeur déterminée par simulation pour un temps de transition inférieur à 10 ns). Cette valeur correspond à une longueur de **46 μm** . Une fois la longueur de Q_4 et Q_6 obtenues, le circuit de la figure V.13a a été simulé pour des longueurs de grille de Q_3 et Q_5 allant de **10 μm** à **1 mm**. La figure V.14 présente les pertes totales (commutation et conduction) de l'étage « Push Pull » pour ces longueurs de grille. Ces pertes diminuent avec l'augmentation de la longueur. Elles restent constantes à **21 nJ** à partir d'une longueur de grille de **0.8 mm** (valeur optimale de Q_3 et Q_5).

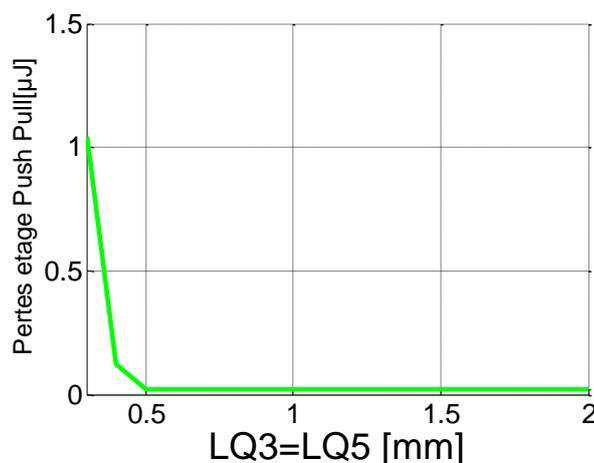


Figure V.13 : pertes de l'étage « Push Pull » obtenues par simulation paramétrique sous Ltspice pour différentes longueurs de grille de Q_3 et Q_5 .

Inverseur ECL

Les transistors Q_3 et Q_4 de cet inverseur sont identiques. Pour déterminer leur longueur de grille, une valeur de 50Ω a été choisie pour les résistances R_1 et R_2 pour un courant de 100 mA pour la source de courant I_1 . Les valeurs de R_1 et de R_2 ont été choisies en se basant sur les valeurs de l'inverseur DCFL et des équations V.5 et V.6. Les tensions

$$R_1 = \frac{V_{dd1} - V_{ds_Q3L} - V_{s_Q3}}{I_1} \quad \text{V.5}$$

$$R_2 = \frac{V_{dd1} - V_{ds_Q4L} - V_{s_Q4}}{I_1} \quad \text{V.6}$$

V_{dd1} : tension d'alimentation de l'inverseur (5 V)

V_{ds_Q3L}, V_{ds_Q4L} : tension à l'état bas de sortie de l'inverseur

V_{s_Q3} tension sur la source de Q_3

V_{s_Q4} tension sur la source de Q_4

La figure V.15 présente les pertes (commutation et conduction) de l'étage « Push Pull » pour des longueurs de grille de Q_3 et Q_4 allant de $10 \mu\text{m}$ à 5 mm . La perte la plus faible de l'étage « Push Pull » est obtenue à partir d'une longueur de 3 mm .

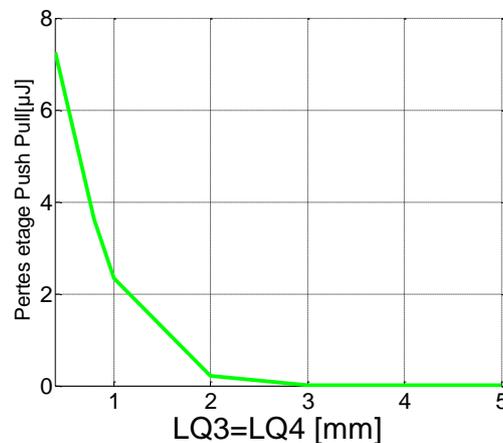


Figure V.14 : pertes de l'étage « Push Pull » obtenues par simulation paramétrique sous LTSpice pour différentes longueurs de grille de Q_3 et Q_4 .

Les pertes de l'étage « Push Pull » obtenue avec l'inverseur ECL sont plus faibles que celle obtenue avec l'inverseur DCFL. Ce point constitue un premier avantage de l'inverseur ECL vis-à-vis de l'inverseur DCFL.

Le tableau V.3 résume les longueurs des transistors pour les deux systèmes.

		Système intégré à base de logique DCFL	Système intégré à base de logique ECL
Push Pull	Q1	15 mm	15 mm
	Q2	1 mm	1 mm
Inverseur	Q3	800 μm	3 mm
	Q4	46 μm	3 mm
	Q5	800 μm	-
	Q6	46 μm	-

Tableau V.3 : résumé des longueurs des transistors pour les deux systèmes de circuit intégré

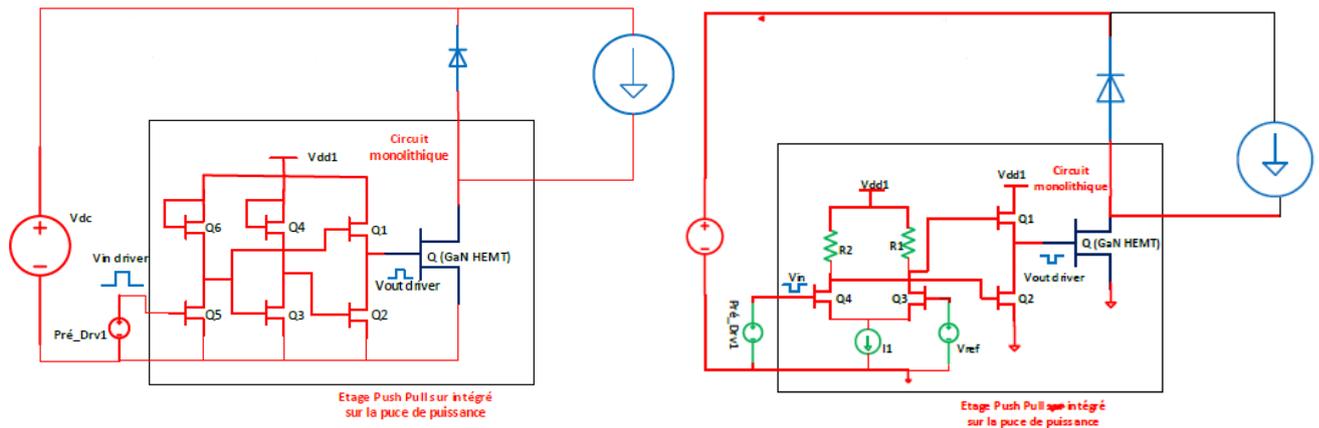
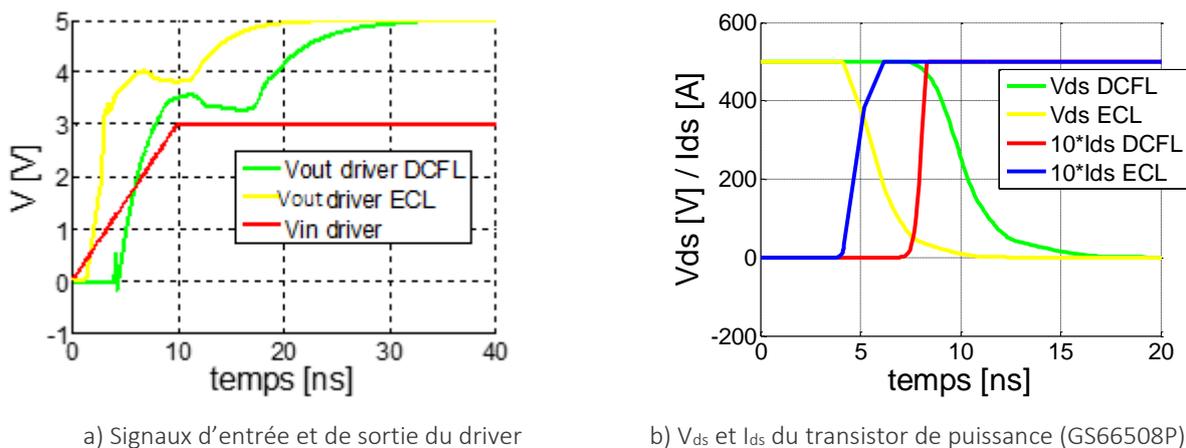


Figure V.15 : rappel des structures des deux convertisseurs monolithiques asynchrones

B) Etude comparative des deux structures monolithiques :

Dans le but de connaître l'impact des deux inverseurs sur le fonctionnement de l'intégration monolithique à base GaN, une étude comparative est réalisée dans la partie B. Les figures suivantes présentent les résultats de simulation obtenus avec les convertisseurs monolithiques synchrones de la figure V.16.



a) Signaux d'entrée et de sortie du driver

b) V_{ds} et I_{ds} du transistor de puissance (GS66508P)

Figure V.16 : phase d'amorçage.

L'utilisation de driver à base GaN (« Push Pull » + inverseur) a permis d'obtenir des temps de réaction inférieurs à 10 ns lors de la phase d'amorçage ce qui n'était pas le cas avec les composants discrets du chapitre 3 (figure V.17a). Cependant le meilleur temps de réaction est

obtenu avec le circuit monolithique à base de la logique ECL. Le temps de réaction de ce dernier tourne autour de 1 ns. C'est cette rapidité qu'offre la logique ECL, qui a permis d'obtenir de meilleures vitesses de commutation (en tension et en courant) que le système monolithique à base de la logique DCFL. Une différence de courant de commande du transistor de puissance est à l'origine de ces différences de vitesses de commutation.

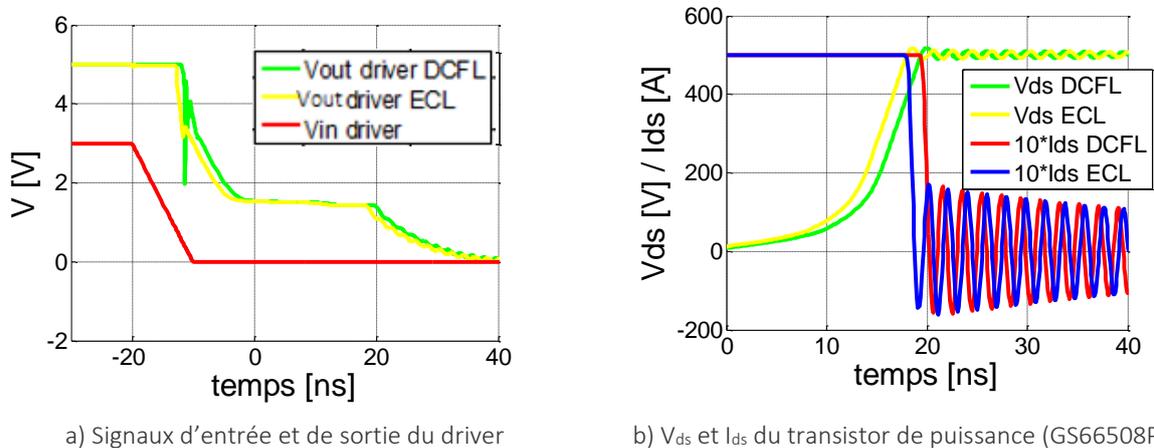


Figure V.17 : phase de blocage.

Pour ce qui concerne, la phase de blocage, le retard entre le signal d'entrée du driver et le signal de sortie est presque le même pour les deux systèmes. Le temps de réaction pour la phase de blocage tourne autour de 8 ns (figure V.18a).

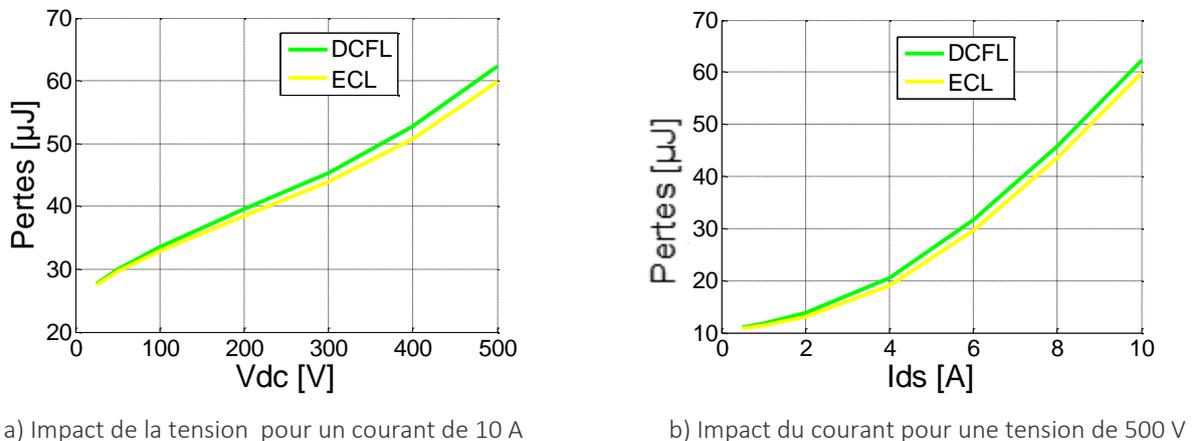


Figure V.18 : Pertes totales (conduction et commutation) du transistor de puissance pour une période découpage

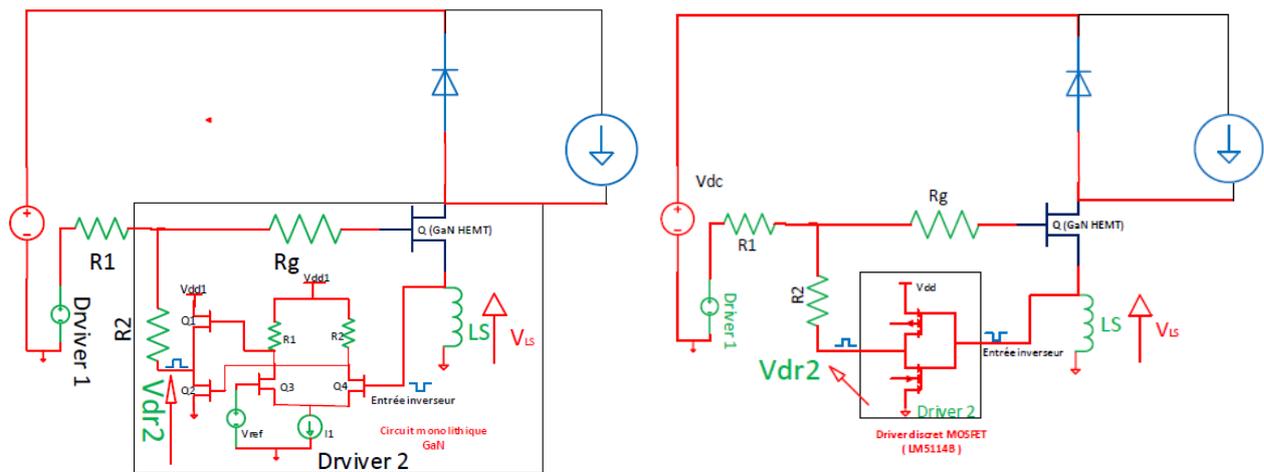
Concernant les pertes du transistor de puissance, le système monolithique à base de la logique ECL est sensiblement meilleur que celui à base de la logique DCFL pour des puissances de fonctionnement supérieures à 2 kVA (figure V.19). Pour des puissances inférieures à 2 kVA, la différence des pertes entre les deux systèmes devient négligeable.

III. Contrôle de la vitesse de commutation en courant par boucle inductive

A la partie III du chapitre 3 (sous partie B-a) de la partie II)), une commande CATS par boucle inductive a été proposée pour contrôler le courant lors de la phase d'amorçage. Cette

commande consiste à utiliser la structure 1 de la commande CATS, et de contrôler le driver 2 (Dr2) par le signal V_{Ls} de l'inductance parasite (L_s) créée par la commutation de courant (figure V.20a). Dû à des temps de réaction importants du driver discret (supérieur à 8 ns), la commande CATS n'a pas beaucoup d'impact sur le courant. De plus, le taux de réduction obtenu n'est pas très intéressant. Afin de repousser ces limites, nous avons supposé que l'utilisation de driver plus intégré pourrait être une solution.

Dans le but de vérifier cette supposition, La commande CATS par boucle inductive est étudiée à nouveau. La figure V.20a et la figure V.20b présentent respectivement la structure de la commande CATS par boucle inductive à base de composants discrets (LM5114B) et la structure monolithique à base de composants GaN.



a) à base de composant discret

b) à base de composant monolithique à base de transistor GaN

Figure V.19 : Structure de la commande CATS par boucle inductive

Figure V.21 à Figure V.22 présentent respectivement les résultats obtenus avec les deux systèmes pour une inductance parasite de 1 nH et une inductance de 2 nH.

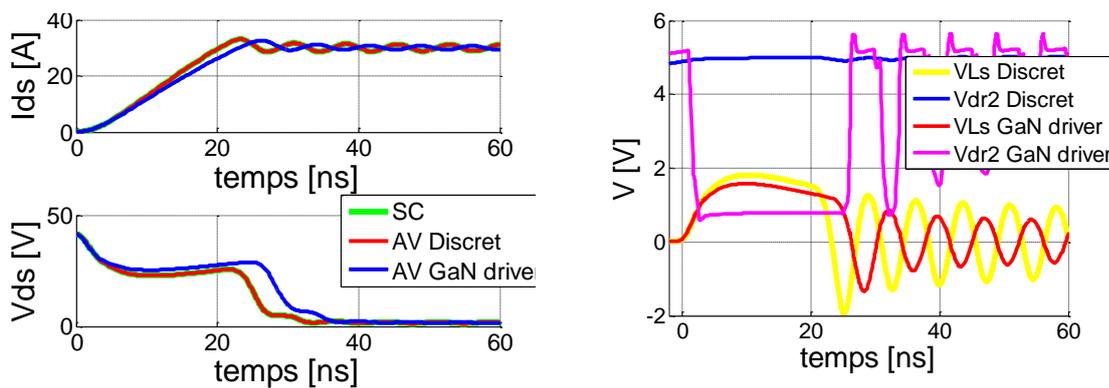


Figure V.20 : Signaux obtenus par simulation sous Ltpice pour un courant de charge de 30 A et une valeur de L_s de 1 nH.

Pour une inductance de 1 nH, Le système monolithique GaN ayant une faible tension de seuil (0.5 V) permet de contrôler le courant alors que le système à base de composants discrets ayant une tension de seuil de 2 V ne le permet pas (la tension d'entrée maximale V_{Ls} discret est

insuffisante) (figure V.21). L'augmentation de l'inductance parasite ($L_s = 2$ nH) a permis d'appliquer une tension V_{Ls} suffisante pour que le système à composants discrets puisse ainsi ralentir la vitesse de commutation en courant. Cependant, dû à un temps de réaction très élevé (15 ns), la commande CATS a plus d'impacts sur la tension que sur le courant ; ce qui n'est pas le cas pour le système monolithique GaN qui a un temps de réaction inférieur à 1 ns (figure V.22).

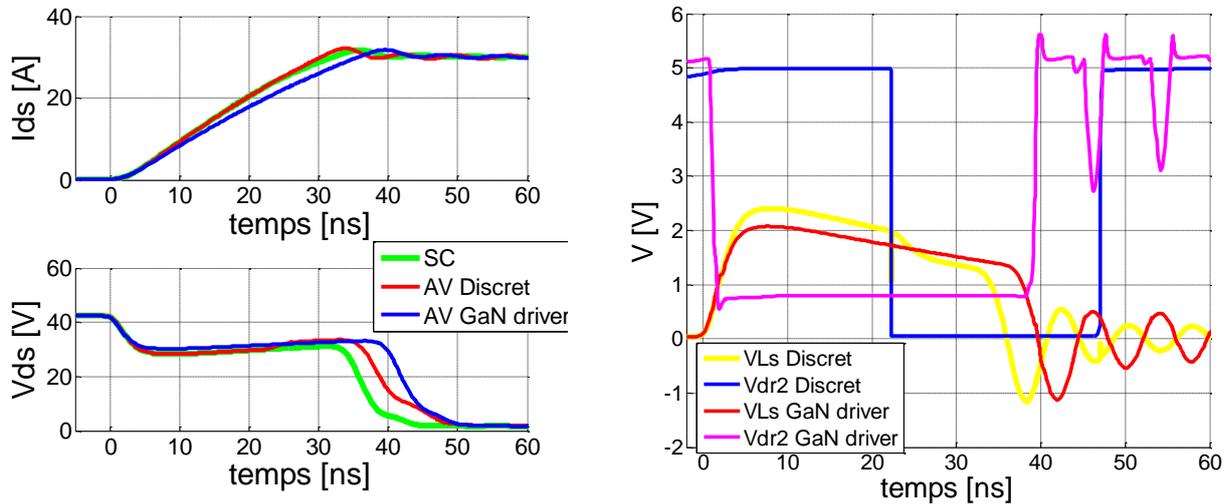


Figure V.21 : Signaux obtenus par simulation sous Ltspace pour un courant de charge de 30 A et une valeur de L_s de 2 nH.

Ces analyses permettent de conclure que l'utilisation de driver plus intégré à base de composants GaN peut être une possibilité pour repousser les limites que présentent actuellement le problème de la commande des composants HEMT GaN.

Conclusion

Les différentes structures monolithiques possibles à base de GaN ont été étudiées dans cette partie. La structure monolithique à base de logique ECL est celle qui présente un meilleur rendement grâce à sa rapidité et sa faible sensibilité aux résistances parasites. Les caractéristiques des transistors GaN (rapidité de commutation et faible tension de seuil) se présentent comme une alternative pour l'amélioration de la commutation des HEMT de puissance à base de GaN.

Par manque de temps et l'absence de circuits en provenance de l'Université de Sherbrooke, nous n'avons pas eu la possibilité de concevoir les différents systèmes présentés dans ce chapitre. La validation expérimentale de ces systèmes pourrait être un outil pour valider la méthode de dimensionnement utilisée pour modéliser les circuits monolithiques.

Conclusion Générale :

La mise en place de systèmes plus électriques nécessite des convertisseurs de puissance pour adapter la forme de l'énergie des différentes parties du système. Avec l'arrivée des systèmes intelligents et les contraintes d'énergies en termes d'efficacité, les exigences des convertisseurs ne cessent de croître. Le silicium, qui est le principalement semi-conducteur utilisé pour concevoir ces convertisseurs commence à atteindre ses limites pour répondre aux exigences en termes de densité de puissance et d'efficacité énergétique. Cependant l'apparition de nouveaux semi-conducteurs dits à grand gap (SiC et GaN) et ayant de meilleures caractéristiques physiques que le silicium; promettent de répondre aux nouvelles exigences des convertisseurs de puissance. Le choix du type d'interrupteur est déterminé par le domaine d'application du convertisseur. Selon le marché actuel des semi-conducteurs, le GaN semble être un meilleur candidat que le silicium; pour des applications de hautes fréquences et de moyenne tension.

Comme tout composant de puissance, le GaN présente quelques inconvénients tels que la production de fortes vitesses de commutation en tension, la production de fortes vitesses de commutation en courant, une forte sensibilité aux inductances parasites, et de fortes pertes en conduction inverse dans le cas des convertisseurs à base de bras d'onduleur. Dans le but de limiter ces inconvénients, quelques techniques sont proposées dans la littérature. Ce projet de recherche a été mis en place avec la collaboration de l'Université de Sherbrooke (conception de composants de puissance GaN), du LN2 et du laboratoire Ampère. Le projet de recherche réalisé pendant les 3 années consistait à réaliser une étude sur la problématique suivante :

L'étude et l'optimisation de la commande des transistors GaN par des composants discrets ou par intégration monolithique.

L'étude bibliographique menée à la première partie de la thèse a permis de s'avoir que l'optimisation de la commande des GaN peut se faire par la réduction des phénomènes suivants :

- ✓ Les inductances parasites entre le driver et le transistor de puissance et les inductances entre le transistor de puissance et le bus DC du convertisseur.
- ✓ Le phénomène de Cross Talk dans le cas d'un bras d'onduleur.
- ✓ Les fortes vitesses de commutation en courant et en tension
- ✓ Les fortes pertes de conduction inverse pendant les phases de temps mort dans le cas d'un bras d'onduleur

Dans le but de mettre en place, des systèmes efficaces pour réduire ces 4 phénomènes, un modèle numérique de transistors GaN est utilisé pour la phase de simulation. Le modèle proposé dans le cadre de cette thèse est composé d'un nombre réduit de paramètres. L'extraction des paramètres de ce modèle peut se faire à partir de mesures statiques ou dynamiques. Le meilleur résultat a été obtenu avec le modèle basé sur des paramètres statiques. De plus, l'extraction de ces paramètres est simple à réaliser, comparée à celle des

paramètres du modèle dynamique. Un modèle statique est suffisant pour avoir une bonne représentativité des pertes en commutation et des vitesses de commutation en tension et en courant.

L'utilisation du modèle statique a permis de valider la possibilité de contrôler les vitesses de commutation dans le cas d'un transistor GaN par la commande CATS, et cela, malgré la rapidité de la commutation de ce type de transistor. Cependant, l'utilisation de composants discrets peut être une limite qui empêche l'application de la commande de grille dans certains cas. Cette difficulté est due aux temps de réponses élevés des drivers disponibles.

En boucle ouverte, le changement des paramètres du convertisseur (température, tension et courant) fait fortement varier la vitesse de commutation obtenue avec la commande proposée. Afin de diminuer la variation de la vitesse de commutation, des commandes en boucle fermée ont été mises en place. Ces systèmes en boucle fermée ont permis de régler le problème de manière partielle à cause de la rapidité de commutation du HEMT GaN comparée aux dynamiques des composants discrets utilisés. L'utilisation d'une commande en boucles fermées à base de circuits monolithiques en GaN permettrait d'améliorer le taux de réduction des vitesses de commutation par rapport à celui obtenu par composants discrets. La réalisation de ces circuits monolithiques à base de GaN serait rendue possible par l'utilisation de deux logiques qui sont :

- ✓ La logique DCFL : faisant fonctionner certains transistors comme des résistances.
- ✓ La logique ECL : faisant fonctionner tous les transistors dans la zone linéaire lui permettant ainsi d'avoir un meilleur temps de réponse que les circuits monolithiques à base de la logique DCFL. De plus, les circuits monolithiques ECL occasionnent moins de pertes du transistor de puissance que ceux à base de DCFL.

Les faibles temps de réponse ($t_r < 1$ ns) obtenus en simulation avec les circuits monolithiques à base de la logique ECL peuvent rendre possible l'utilisation des commandes multi-niveaux développées dans le chapitre 4 même pour des temps-morts inférieurs à 10 ns. Cette possibilité va permettre la réduction des pertes en conduction inverse et la suppression totale du phénomène de Cross Talk.

Perspectives :

Par manque de temps et la non-disponibilité des composants de la filière GaN, certains aspects de la thèse ont été validés uniquement par simulation. Les premières perspectives de la thèse consisteraient à valider de manière expérimentale les éléments suivants :

Une architecture de convertisseur monolithique GaN utilisant la logique ECL et la logique DCFL afin de vérifier qu'il est possible d'obtenir des temps de réponse en dessous de 1 ns.

Une commande CATS en boucle fermée avec un driver plus intégré GaN afin de vérifier la possibilité de contrôler le courant lors de la phase d'amorçage pour des temps de commutation en dessous de 10 ns.

Les secondes perspectives consisteraient à vérifier la limite d'intégration c'est-à-dire faire une étude afin de vérifier combien d'éléments du driver peuvent être intégrés sur la puce du transistor de puissance afin de garder un compromis entre l'optimisation de la commande GaN et la réalisation de ces circuits monolithiques de grille.

Références

- [1] [En ligne]. Available: <https://www.consoglobe.com/climat-enjeu-majeur-decennie-cg>.
- [2] [En ligne]. Available: <https://owl-ge.ch/travaux-d-eleves/2011-2012/article/impact-de-la-consommation-d-energie-sur-l-environnement-3152>. .
- [3] [En ligne]. Available: <http://www.worldenergyoutlook.org/weo2009>.
- [4] [En ligne]. Available: <http://www.ifpenergiesnouvelles.fr/Espace-Decouverte/Les-grands-debats/Quel-avenir-pour-le-charbon/Le-charbon-energie-du-21e-siecle..>
- [5] Y. Attia et M. Youssef, «GaN on Silicon E-HEMT and Pure Silicon MOSFET in High Frequency Switching of EV DC/DC Converters,» IEEE International Telecommunications Energy Conference (INTELEC), 2016.
- [6] W. Saito, T. Nitta, Y. Kakiuchi, Y. Saito, T. K. O. I. et Y. M., «A 120-W boost converter operation using a high-voltage GaN-HEMT,» IEEE Electron. Device Letter, vol. 29, n° 11, pp. 9-10, 2008.
- [7] H. X. Liu, Z. Q. Li et L. F. C., «Evaluation and Application of 600 V GaN HEMT in Cascode Structure,» Power Electronics IEEE Transactions on, vol. 29, n° 15, pp. 2453-2461, 2014.
- [8] Timothé Rossignol, «Contribution à la caractérisation et à la commande rapprochée de composants à grand gap moyenne tension pour onduleur de tension», Thèse de l'université de Toulouse, Mai 2015.
- [9] J.-F. Mognotte, Conception d'un circuit intégré en SiC appliquée au convertisseur de moyenne puissance, thèse INSA-Lyon, octobre 2014.
- [10] N. Idir ; R. Bausiere ; J. J. Franchaud « Active gate voltage control of turn-on di/dt and turn-off dv/dt in insulated gate transistors » IEEE Transactions on Power Electronics, Year: 2006, Volume: 21, Issue: 4
- [11] Nakagawa, Y. Kawaguchi et K. Nakamura, «Silicon limit electrical characteristics of power devices and Ics,» IET Seminar Digests, pp. 25-32.
- [12] C. PICARI, Utilisation des transistors MOS à effet de champ de type COTS en environnement radiatif ionisant, thèse de l'université de Metz, soutenu le 21/12/200.

- [13] F. MORANCHO, «State of the art and trends in power semiconductor devices for optimized power management,» journées scientifiques du LAAS CNRS, 7,8 et 9 octobre 2009.
- [14] L. Théolier, Conception de transistor MOS haute tension (1200 volts) pour l'électronique de puissance, thèse de l'Université Toulouse 3 Paul Sabatier, soutenu le 1er octobre 2008.
- [15] L. Théolier, K. Isoird, H. Tranduc, F. Morancho, J. Roig et Y. Weber, «Performances dynamiques des transistors FLYMOSTM 65 Volts à canal N,» Electronique de Puissance du Futur, Jul 2006, GRENOBLE, France. 5 .
- [16] C. Marion, Fiabilité des transistors MOS des technologies à mémoires non volatiles embarquées, thèse de L'UNIVERSITE D'AIX-MARSEILLE,, soutenue le 15/01/2015.
- [17] S. NOBLECOURT, Conception et réalisation de composants de puissance à superjonction et à tranchées profondes pour des applications 600 V et 1200 V », thèse de l'Université Toulouse 3 Paul Sabatier (UT3 Paul Sabatier),, soutenue le 01/12/2016.
- [18] Y. Chen, Y. C. Liang, G. S. Samudra, X. Yang, K. D et H. F. Buddharaju, «Progressive Development of Superjunction Power MOSFET Devices,» IEEE Transactions on Electron Devices, Janvier 2008.
- [19] C.-H. Cheng, C.-F. Huang, K.-Y. Lee et F. Zhao, «A Novel Deep Junction Edge Termination for Superjunction MOSFETs,» IEEE Electron Device Letters, April 2018.
- [20] O. A. Salvadó, Contribution to the study of the SiC MOSFETs gate oxide, THESE de DOCTORAT DE L'UNIVERSITE DE LYON, Soutenu le 14/12/2018,.
- [21] Amira Souguir-Aouan « Conception d'une nouvelle génération de redresseur Schottky de puissance en Nitrure de Gallium (GaN), étude, simulation et réalisation d'un démonstrateur » thèse INSA-Lyon, soutenue le 16/12/2016
- [22] E. A. Alam, Développement de briques technologiques pour la réalisation de transistor MOS de puissance en Nitrure de Gallium, thèse de l'Université Toulouse III - Paul Sabatier, avril 2011.
- [23] L. Alex, S. Johan, d. Michael et R. David, GaN Transistor for Efficient Power Conversion, Efficient Power conversion Corôration, El Segundo, California, USA.
- [24] D. Tournie, Conception, Réalisation et Caractérisation d'un composant limiteur de courant commandé en carbure de silicium et son intégration système, these de L'INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON, Soutenu le 26 / 03 / 2003.

- [25] S. Song, Reliability of GaN-on-Si high-electron-mobility transistors for power electronics application, Phd at Aalborg Universitet, 2018.
- [26] Y. HAMIEH, Caractérisation et modélisation du transistor JFET en SiC à haute température, thèse de l'Institut National des sciences Appliquées de Lyon, Soutenue le 11 mai 2001 .
- [27] D. Othman, Etude d'interrupteurs en carbure de silicium et potentiel d'utilisation dans des applications aéronautiques, thèse université Paris SCALAY, soutenue à Cachan le 14 décembre 2015 .
- [28] L. Stefan, Power Semiconductors. EPFL PRes, 2006.
- [29] D. Risaletto, caractérisation électrique de diode haute tension en carbure de silicium, thèse de l'Institut National des sciences Appliquées de Lyon, Soutenue le 14 mai 2007.
- [30] P. Microsemi, «Gallium Nitride (GaN) versus Silicon Carbide (SiC) In The High Frequency (RF) and Power Switching Applications,» 2010.
- [31] N. Kaminski et O. Hilt, «SiC and GaN devices – wide band gap is not all the same,» IET Circuits, Devices & Systems, p. 227 – 236, 2014.
- [32] C. LAGARDE, MODELISATION DE TRANSISTOR DE PUISSANCE EN TECHNOLOGIE GaN CONCEPTION D'UN AMPLIFICATEUR DE TYPE DOHERTY POUR LES EMETTEURS A PUISSANCE ADAPTATIVE, thèse DE L'UNIVERSITE DE LIMOGES, soutenue le 29 Septembre 2006.
- [33] M. Charfeddine et M. A. Z. H. M. Hafehd Belmabrouk, « 2-D Theoretical Model for Current-Voltage Characteristics in AlGa_N/Ga_N HEMT's,» Journal of Modern Physics, vol. 3, n° 18, 2012.
- [34] O. Chihani, Etude de la fiabilité de composants GaN en conversion d'énergie, thèse de L'UNIVERSITÉ DE BORDEAUX, Soutenue le 27 septembre 2018.
- [35] S. HAMADY, F. MORANCHO, B. BEYDOUN, P. AUSTIN et M. GAVELLE, « Un interrupteur GaN HEMT normally-off grâce à des ions fluor implantés sous l'interface AlGa_N/Ga_N,» SGE, 8- 9 juillet 2014, Cacha..
- [36] W. B. Lanford, T. Tanaka, Y. Otoki et I. Adesida, «Recessed-gate enhancement-mode,» Electron Letter, vol. 41, n° 17, mars 2005.
- [37] A. DELIAS, Polarisation dynamique de drain et de grille d'un amplificateur RF GaN appliquée à un fonctionnement RF impulsif à plusieurs niveaux, thèse de L'UNIVERSITÉ DE LIMOGES, soutenue par le 09 novembre 2015.

- [38] G. CALLET, Caractérisation et Modélisation de Transistors HEMT AlGa_N/Ga_N et InAlN/Ga_N pour l'Amplification de puissance en Radio Fréquences, thèse de l'UNIVERSITÉ DE LIMOGES, soutenue le 2 décembre 2011. .
- [39] W. Chikhaoui, Etude des mécanismes physiques responsables des dysfonctionnements des transistors HEMTs à base d'hétérostructures AlGa_N/Ga_N et AlInN/Ga_N, thèse de L'Institut National des Sciences Appliquées de Lyon, soutenue en juin 2001.
- [40] G. MOUGINOT, Potentialités des transistors HEMTs AlGa_N-Ga_N pour l'amplification large bande de fréquence ; effets limitatifs et modélisation, thèse de UNIVERSITE DE LIMOGES, Soutenue le 18 mars 2011.
- [41] M. BOUCHILAOUN, Réalisation de transistors à haute mobilité électronique à enrichissement à base d'hétérostructure AlGa_N/Ga_N pour les applications en électronique de puissance, Thèse de doctorat de UNIVERSITÉ DE SHERBROOKE, soutenue en Mai 2018.
- [42] L.-T. OKALA, M. LESECQ, P. ALTUNTAS et J.-C. D. JAEGER, «Fabrication et caractérisation DC de composants HEMTs In(Ga)AlN/Ga_N sur substrat silicium,» la Journées Nationales du Réseau Doctoral en Microélectronique , 2014 .
- [43] S. Hamady, Nouveaux concepts de transistors de puissance à haute mobilité électronique (HEMT) en Nitrure de Gallium (Ga_N), thèse en cotutelle de l'Université Paul Sabatier de Toulouse et de l'université Libanaise, soutenue le mardi 16 décembre 2014.
- [44] R. Herzer, IEEE Integrated Power Electronics Systems (CIPS), , 6th International Conference, 2010.
- [45] D. N. TO, Circuit de pilotage intégré pour transistor de puissance, thèse DE L'UNIVERSITÉ DE GRENOBLE, soutenue le 2 Avril 2015.
- [46] C. Andrei, R. Doerner, S. A. Chevtchenko, W. Heinrich et M. Rudolph, «On the optimization of Ga_N HEMT layout for highly rugged low-noise amplifier design,» 12th European Microwave Integrated Circuits Conference (EuMIC), 2017.
- [47] C. Stella, M. Laudani, A. Gaito et M. Nania, «Advantage of the use of an added gate driver source lead in discrete Power MOSFETs,» in Proceedings IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 2574-2581, March 2014.
- [48] A. Bhargava, D. Pommerenke, K. W. Kam, F. Centola et C. W. Lam, « DC-DC Buck Converter EMI Reduction Using PCBLayout Modification,» IEEE Transactions on Electromagnetic Compatibility, Aug 2011.

- [49] B. Zojer, « Driving 600 V Cool GaN™ high electron mobility transistors,» Infineon, Application Note, 3 mars 2018.
- [50] «David Reusch, ' Optimizing PCB Layout', Application Note,» 3 mars 2018. [En ligne]. Available: <https://epcco.com/epc/Portals/0/epc/documents/papers/Optimizing%20PCB%20Layout%20with%20eGaN%20FETs.pdf>.
- [51] Y. Xie et P. Brohlin, Optimizing GaN performance with an integrated gate driver , » Texas Instruments, Application Note , 3 Mars , 2016.
- [52] X. Zhang, Z. Shen, N. Haryani, D. Boroyevich et R. Burgos, «Ultra-Low Inductance Vertical Phase Leg Design with EMI Noise Propagation Control for Enhancement Mode GaN Transistors,» IEEE Applied Power Electronics Conference and Exposition (APEC), 2016.
- [53] [Enligne] Available: https://gansystems.com/wpcontent/uploads/2018/02/GN001_Design_with_GaN_EHEMT_180228-1.pdf.
- [54] S. Ujita, Y. Kinoshita, H. Umeda, T. Morita, K. Kaibara, S. Tamura et M. e. T. Ueda, «« « A Fully Integrated GaN-based Power IC Including Gate Gate driver s for High-Efficiency DC-DC Converters,» Symposium on VLSI Circuits Digest of Technical Papers, pp. 1-2, 2016.
- [55] Y. Uemoto, T. Morita, A. Ikoshi, H. Umeda, H. Matsuo, J. Shimizu, M. Hikita, T. U. Manabu Y, T. Tanaka et D. Ueda, «GaN Monolithic Inverter IC Using Normally-off Gate Injection Transistors with Planar Isolation on Si Substrat,» IEEE International Electron Devices Meeting (IEDM), pp. 1-3, 2009.
- [56] M. Zhu et E. Matioli, «Monolithic integration of GaN-based NMOS digital logic gate circuits with E-mode power GaN MOSHEMTs,» IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD), p. 236 – 239, 2018.
- [57] M. Zhu et E. Matioli, «Monolithic Integration of GaN-Based NMOS Digital Logic Gate Circuits with E-Mode Power GaN MOSHEMTs,» Proceedings of the 30th International Symposium on Power Semiconductor Devices & ICs , May 13-17, 2018, Chicago, USA.
- [58] Y. Zhang, M. Rodriguez et D. Maksimovi, «Very High Frequency PWM Buck Converters Using Monolithic GaN Half-Bridge Power Stages With Integrated Gate Gate driver s,» IEEE Transactions on Power Electronics, p. 7926 – 7942, Nov 2016..
- [59] S. Mönch, M. Costa, A. Barner, I. Kallfass, R. Reiner, B. Weiss, P. Waltereit, R. Quay et O. Ambacher, «Quasi-normally-off GaN Gate Gate driver for High Slew-Rate D-Mode GaN-on-Si HEMTs,» 'Proceedings of the 27th International Symposium on Power Semiconductor Devices & IC', p. 373 – 376, May 10-14, 2015, Kowloon Shangri-La, Hong Kong,.

- [60] <https://www.usine-digitale.fr/annuaire-start-up/exagan,339319>
- [61] T. Ribarich, «Magnetics Study Enables New Class of High Density AC/DC Converters,» APEC, 17-21 mars 2019. .
- [62] [En ligne] Available.: [https://media.digikey.com/pdf/Data%20Sheets/Navitas%20Semi%20PDFs/NV6115%20Datasheet%20\(FINAL\)%205-15-18.pdf](https://media.digikey.com/pdf/Data%20Sheets/Navitas%20Semi%20PDFs/NV6115%20Datasheet%20(FINAL)%205-15-18.pdf) .
- [63] D. Kinzer, «Breaking Speed Limits with GaN Power ICs,» APEC, 20-24 mars 2016.
- [64] Y. Zhang, M. Rodriguez et D. Maksimovi, «Very High Frequency PWM Buck Converters Using Monolithic GaN Half-Bridge Power Stages With Integrated Gate Gate driver s,» IEEE Transactions on Power Electronics, p. 7926 – 7942, Nov 2016..
- [65] R. Perrin, E. A. Jones, Z. Zhang, B. Allard et F. Wang, «Four-Level Gate Gate driver for E-Mode GaN FETs,» 2017..
- [66] B. Kenedy, «Implementing an Isolated Half-Bridge Gate Gate driver ,» », Analog Devices, Nov-2012. .
- [67] E. Laboure, A. Cuniere, T. Meynard, F. Forest et E. Sarraute, «A theoretical approach to intercell transformers, application to interleaved converters,» IEEE Transactions on Power Electronics, p. 464–474, 2008.
- [68] V.-S. NGUYEN, Design, characterization and implementation of an integrated CMOS gate gate driver circuit for GaN components, thèse de l'université Grenoble Alpes, soutenue le 08/12/2016.
- [69] Y. Lobsiger et J. W. Kolar, «Closed-Loop di/dt and dv/dt IGBT Gate Drive Concepts,» ECPE Tutorial, Zurich Power Semiconductor Devices Technologies, 06-07/ 06/2013.
- [70] L. Shu, J. Zhang et F. Peng, «Active Current Source IGBT Gate Drive With Closed-Loop di/dt and dv/dt Control,» IEEE Transactions on Power Electronics, pp. 3787 - 3796 , 2017.
- [71] N. Ren, K. Sheng, J. Zhang et F. Peng, «Gate Drive Investigations of IGBT Modules with SiC-Schottky Freewheeling Diodes,» IEEE Energy Conversion Congress and Exposition , p. 2871 – 2876, 2013.
- [72] H. SAWEZY, ETUDE DE LA COMMANDE AUTOUR DE LA TENSION DE SEUIL (CATS) DES TRANSISTORS DE PUISSANCE A GRILLE ISOLEE ET DE SES APPLICATIONS, DEA de l'Université des Sciences et Technologies de Lille 1, Soutenue le 14 Mars 2003..
- [73] S. Park et T. Jahns, «Flexible dv/dt and di/dt control method for insulated gate power switches,» IEEE Transactions on Industry Applications, p. 657 – 664, 2003.

- [74] B. Sun, R. Burgos, X. Zhang et D. Boroyevich, « Active dv/dt Control of 600V GaN Transistors,» IEEE Energy Conversion Congress and Exposition (ECCE) , p. 1–8., 2016.
- [75] P. Bau, M. Cousineau, B. Cougo, F. Richardeau, D. Colin et N. Rouger, «« A CMOS gate gate driver with ultra-fast dV/dt embedded control dedicated to optimum EMI and turn-on losses management for GaN power transistors,» 14th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), 2018.
- [76] Haider Zaman, Xiaohua Wu, Xiancheng Zheng, Shahbaz Khan and Husan Ali «Suppression of Switching Crosstalk and Voltage Oscillations in a SiC MOSFET Based Half-Bridge Converter» Special Issue Power Electronics 2018, journal of energie, Volume 11, Issue 11, 10 November 2018.
- [77] Z. Zhang, F. Wang, L. M. Tolbert, Fellow et enjamin J. Blalock, «Active Gate Gate driver for Crosstalk Suppression of SiC Devices in a Phase-Leg Configuration,» IEEE Transactions on Power Electronics, p. 1986–1997, 2014.
- [78] B. Zhang, S. Xie, J. Xu, Q. Qian, Z. Zhang et K. Xu, «A Magnetic Coupling Based Gate Gate driver for Crosstalk Suppression of SiC MOSFETs,» IEEE Transactions on Industrial Electronics, p. 9052–9063, 2017.
- [79] S. Yin, K. J. Tseng, C. F. Tong, C. J. Gajanayake et A. K. Gupta, «“A novel gate assisted circuit to reduce switching loss and eliminate shootthrough in SiC half bridge configuration,”,» in Proc. Appl. Power Electron. Conf. Expo, p. 3058–3064, Mar. 2016.
- [80] F. G. Q. Zhou et and T. Jiang, «A gate gate driver of SiC MOSFET for suppressing the negative voltage spikes in a bridge circuit,» in Proc. IEEE Energy Convers. Congr. Expo, p. 7023–7030. , Sep. 2015.
- [81] X. Ren, F. C. Lee et al, «Three-Level Driving Method for GaN Power Transistor in Synchronous Buck Converter,» in Proceedings of IEEE Energy Conversion Congress and Exposition, 2012.
- [82] B. Cougo, H. Schneider et T. Meynard, «« Accurate switching energy estimation of wide bandgap devices used in converters for aircraft applications »,»,» 15th European Conference on Power Electronics and Applications (EPE), pp. 1-10, 2013.
- [83] Z.-L. Zhang, Z. Dong, D.-D. Hu, X.-W. Zou et X. Ren, «Three-Level Gate Gate driver s for eGaN HEMTs in Resonant Converters,» IEEE Transactions on Power Electronics, p. 552–5538, 2017.
- [84] Krushal Shah et Krishna Shenai, “Simple and Accurate Circuit Simulation Model for Gallium Nitride Power Transistors”, IEEE Transactions on Electron Devices, vol. 59, no. 10, Oct 2012

- [85] Hong Li, Xingran Zhao, Wenzhe Su, Kai Sun, Trillion Q. Zheng, et Xiaojie You, "Non-segmented PSpice Circuit Model of GaN HEMT with Simulation Convergence Consideration", IEEE Transactions On Industrial Electronics 2017
- [86] Kang Peng, Soheila Eskandari, et Enrico Santi, "Characterization and Modeling of a Gallium Nitride Power HEMT", IEEE Transactions on Industry Applications, Vol. 52, No. 6, Déc 2016.
- [87] H. L. Yeo, K. J. Tseng, "Modelling Technique utilizing Modified Sigmoid Functions for Describing Power Transistor Device Capacitances Applied on GaN HEMT and Silicon MOSFET", Applied Power Electronics Conference and Exposition (APEC), 2016 IEEE
- [88] Ruiliang Xie, Hanxing Wang, Gaofei Tang, Xu Yang et Kevin J. Chen, "An Analytical Model for False Turn-On Evaluation of High-Voltage Enhancement-Mode GaN Transistor in Bridge-Leg Configuration", IEEE Transactions On Power Electronics, Vol. 32, No. 8, 2017
- [89] Ramchandra M. Kotecha, Yuzhi Zhang, Arman Rashid, Tom Vrotsos, H. Alan Mantooth, "A Physics-Based Compact Device Model for GaN HEMT Power Devices", Wide Bandgap Power Devices and Applications (WIPDA), 2016 IEEE 4th Workshop on.
- [90] Kaiçar Ammous « Contribution à la construction systématique des modèles moyens de convertisseurs de puissance », THESE de L'INSTITUT NATIONAL DES SCIENCES APPLIQUEES DE LYON, Soutenue le 18 Décembre 2002.
- [91] Kaiçar Ammous, Hervé Morel, Senior Member, IEEE, and Anis Ammous « Inverse Models of Voltage and Current Probes », IEEE TRANSACTIONS ON INSTRUMENTATION AND MEASUREMENT, 2011.
- [92] Malika Elharizi, Z. Khatir, R. Lallemand, J-P. Ousten « investigation on Dynamic On Resistance of GaN Power Transistors during Switching Cycles, Workshop GaN Marathon 2.0, Padova, 18-19 avril 2018.
- [93] GS66508T-EVBHB 650V GaN E-HEMT Half Bridge Evaluation Board User's Guide .https://gansystems.com/wpcontent/uploads/2018/04/GS66508TEVBHB_UserGuide_rev2-151014.pdf
- [94] Saeed Jahdi, Olayiwola Alatise, Jose A. Ortiz Gonzalez, Roozbeh Bonyadi, Student Member, Li Ran, and Philip Mawby,, « Temperature and Switching Rate Dependence of Crosstalk in Si-IGBT and SiC Power Modules, » IEEE TRANSACTIONS ON INDUSTRIAL ELECTRONICS, 2016.
- [95] [Enligne]. Available: https://www.tsmc.com/download/ir/annualReports/2018/english/pdf/e_all.pdf

- [96] O. Deleage, Conception, réalisation et mise en œuvre d'un micro convertisseur intégré pour la conversion DC/DC, Thèse, Université Joseph Fourier, soutenue le 5 November 2009.
- [97] MD. Ibnul Bin Kader Arnub, M. Tanseer Ali, «Design and Analysis of Logic Gates using GaN based Double Gate MOSFET (DG-MOS) » Published in AJSE, Vol:16, Issue: 01, october 2018.
- [98] [Enligne]. http://in.ncu.edu.tw/ncume_ee/digilogi/uconn-ee215/fall2002/215ln05.pdf
- [99] P. Bau, M. Cousineau, B. Cougo, F. Richardeau and N. Rouger, "CMOS Active Gate Driver for Closed-Loop dv/dt Control of GaN Transistors," IEEE Transactions on Power Electronics, Dec. 2020, vol. 35, issue 12, pp. 13322-13332. doi:10.1109/TPEL.2020.2995531.
- [100] P. Bau, M. Cousineau, B. Cougo, F. Richardeau, S. Vinnac, D. Flumian, N. Rouger, "Subnanosecond delay CMOS Active Gate Driver for Closed-Loop dv/dt Control of GaN Transistors," 2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD), Shanghai, China, 2019, pp. 75-78, doi: 10.1109/ISPSD.2019.8757693.
- [101] T. Rossignol, F. Richardeau, M. Cousineau, J.-M. Blaquièrè, René Escoffier " Behavioral Model of Gallium Nitride Normally ON Power HEMT Dedicated to Inverter Simulation and Test of Driving Strategies," 17th European Conference on Power Electronics and Applications (EPE), Geneva, Switzerland, Sept. 8-10, 2015.

Annexe

Annexe I

Modèle du transistors GaN GS66508 P :

.subckt Res_ds 1 2 TJ

.param rTC=-0.0135

ERES 1 3 value={|(VSENSE)*((1*3.6)*(0.238*0.82*(1-1*rTc*(V(TJ)-25)))/295)}

VSENSE 3 2 DC 0

.ENDS

.subckt GS66508P_L3V2 gatein drainin sourcein source_S TC TJ

.param conv_aide=1

.param Rth_CasetoAmbient=0

.param aDi=0.25 cur={{(0.85/3.6)*(0.069*75/80)*295/1} slp=2.0 rpara=0.82

+ ITc=0.003 rTc=-0.0128 x0_0=0.31 x0_1=0.255

+ di_gs1={7*4.3e-5} di_gs2={2.6e-8} di_gs3={100*0.8} di_gs4={80*0.23}

+ lgs1=1.42e-10 lgs2={{(3.0e-010)*(5.7)/20} lgs3=4.9 lgs4=6.83e-01

+ lgs5=-7.85e-011 lgs6=-3.30 lgs7=6.0

+ lgd1=5.49e-012 lgd2={2.6e-11*(7.5)/3} lgd3=-3.09 lgd4=12

+ lsd1=1.7e-013 lsd2=1e-12 lsd3=0 lsd4=2.5

+ lsd5=5e-013 lsd6=10 lsd7=4.5 of1=100 of2=35

+ ff1=0.345 ff2=1.2 ff3=4.5 ff4=0.5 ff5=8
ff6=0.14

Rth_1 T11 TJ {0.011}

Cth_1 0 TJ {4.25e-5}

Rth_2 T22 T11 {0.231}

Cth_2 0 T11 {{(2.96e-3)}

Rth_3 T33 T22 {0.237}

Cth_3 0 T22 {{(6.65e-4)}

Rth_4 TC T33 {0.021}

Cth_4 0 T33 {{(1.01e-3)}

bdtemp 0 TJ I = (if(v(drain,source)>0,

```

+ (cur*(0.8*PWR((v(TJ)-25+273)/300,-2.7))*log(1.0+exp(26*(v(gate,source)-(7.9+0)+6.2-0.000*(-25))/slp))*
+ v(drain,source)/(1 + max(x0_0+x0_1*(v(gate,source)+4.1),0.2)*v(drain,source)))*)
+ v(drainin,sourcein),
+ (cur*(0.8*PWR((v(TJ)-25+273)/300,-2.7))*log(1.0+exp(26*(v(gate,drain)-(7.9+0)+6.2-0.000*(-25))/slp))*
+ v(source,drain)/(1 + max(x0_0+x0_1*(v(gate,drain)+6.1),0.2)*1.0*v(source,drain)))*)
+ v(sourcein,drainin)))
Xrd drain3 drain TJ Res_d
ld drainin drain3 {2.0e-10} Rser=0
Xrs source3 source TJ Res_ds
Ls sourcein source3 {2.0e-10} Rser=0
RSS source_S1 source3 {0.0001}
LSS source_S source_S1 {1e-9} Rser=0
rg gatein gate1 {1.3}
Lg gate1 gate {1e-9} Rser=0
Rcsdconv drain source {1000Meg/aDi}
Rcgsconv gate source {1000Meg/aDi}
Rcgdconv gate drain {1000Meg/aDi}
bswitch drain2 source2 l = (if (v(drain2,source2)>0,
+ (cur*(0.8*PWR((v(TJ)-25+273)/300,-2.7))*log(1.0+exp(26*(v(gate,source2)-(7.9+0)+6.2-0.00*(-25))/slp))*
+ v(drain2,source2)/(1 + max(x0_0+x0_1*(v(gate,source2)+4.1),0.2)*v(drain2,source2))),
+ (-cur*(0.8*PWR((v(TJ)-25+273)/300,-2.7))*log(1.0+exp(19*(v(gate,drain2)-(7.9+0)+6.2-0.00*(-25))/slp))*
+ v(source2,drain2)/(1 + max(x0_0+x0_1*(v(gate,drain2)+6.1),0.2)*1.0*v(source2,drain2)))) )
R_drain2 drain2 drain {(1e-4)}
R_source2 source2 source {(1e-4)}
C_GS gate source {(2/7*lgs1/120/2.18)*3.5*295}
C_GS1 gate source Q =
((1/7*10/120/2.18*1.5)*295*1.5*((0.5*lgs2*lgs4*log(1+exp(ff5*0.5*(v(gate,source)-lgs3+
+ 4.6)/0.9933))-lgs5*lgs7*log(1+exp(ff6*(v(source,drain)-lgs6)/lgs7))))))

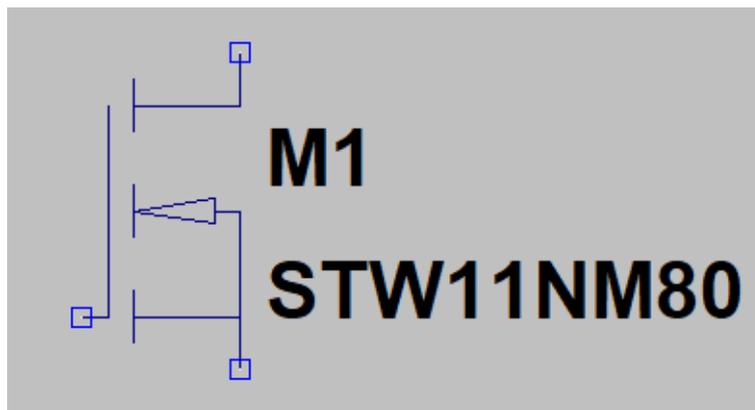
```

```

C_GD  gate drain      {(0.8/17*lgd1/30/2.18)*1.5*295}
C_GD1 gate drain Q = ((0.7/7*1/25/2.18*0.8)*295*((0.5*lgs2*lgs4*log(1+exp(ff1*6*(v(gate,drain)-
lgs3+of1-50)/
+
(lgs4*ff3)))+lgd2*lgd4*log(1+exp(0.5*ff2*(v(gate,drain)-
lgd3+of2-30)/(lgd4
+
*ff4))))))
C_SD  source drain   {(2/7*Isd1/2.18)*10*295}
C_SD1 source drain Q = (1/7*1/2.18*18*295*(4*Isd2*Isd4*log(1+exp(0.1*(v(source,drain)-
Isd3+145)/Isd4))+
+
Isd5*Isd7*log(1+exp(1.5*(v(source,drain)-Isd6+55)/Isd7))
+
+5.7*0.0*(0.5*2.5e-12*0.643*log(1+exp(v(source,drain)-4.68+80)))/(0.643
+
*3.5))))
.ends

```

STMicroelectronics STW11NM80 (800 V /11A)



```

.model STW11NM80 VDMOS(Rg=3 Vto=4.5 Rd=140m Rs=100m Rb=175m Kp=30 Cgdmax=.5n
Cgdmin=.05n Cgs=2n Cjo=.3n Is=88p ksubthres=.1 mfg=STMicroelectronics Vds=800
Ron=350m Qg=44n)

```

Annexe II

Modèle du transistors GaN EPC 2010 :

```
.subckt EPC2010 gatein drainin sourcein

.param aWg=599 A1=15.5 k2=2.2 k3=0.16 rpara=0.014

+   alTc=.0019 arTc=-0.0072 ax0Tc=0.0 x0_0=0.31 x0_1=0.255

+   dgs1=4.3e-7 dgs2=2.6e-13 dgs3=.8 dgs4=.23

+   ags1=4.6652e-010 ags2=2.8515e-010 ags3=1.6844e+000 ags4=2.4330e-001

+   ags5=-7.8476e-011 ags6=-3.3067e+000 ags7=6.0549e+000

+   agd1=1.0549e-011 agd2=1.0922e-010 agd3=-3.0877e+000 agd4=5.2526e+000

+   asd1=2.2894e-010 asd2=4.7887e-010 asd3=-1.3263e+001 asd4=1.8444e+000

+   asd5=2.1370e-010 asd6=-4.4350e+001 asd7=3.0604e+001

rd drainin drain {(0.75*rpara*(1-arTc*(Temp-25)))}

rs sourcein source {(0.25*rpara*(1-arTc*(Temp-25)))}

rg gatein gate {(0.6)}

Rcsdconv drain source {100000Meg/aWg}

Rcgsconv gate source {100000Meg/aWg}

Rcgdconv gate drain {100000Meg/aWg}

bswitch drain source I=if(v(drain,source)>0,

+   (A1*(1-alTc*(Temp-25))*log(1.0+exp((v(gate,source)-k2)/k3))*

+   v(drain,source)/(1 + max(x0_0+x0_1*v(gate,source),0.2)*v(drain,source)) ),

+   (-A1*(1-alTc*(Temp-25))*log(1.0+exp((v(gate,drain)-k2)/k3))*

+   v(source,drain)/(1 + max(x0_0+x0_1*v(gate,drain),0.2)*v(source,drain)) ) )

bgdiode gate source I=if( v(gate,source)>10,

+   (0.5*aWg/1077*(dgs1*(exp((10.0)/dgs3)-1)+dgs2*(exp((10.0)/dgs4)-1))),
```

```

+      (0.5*aWg/1077*(dgs1*(exp((v(gate,source))/dgs3)-
1)+dgs2*(exp((v(gate,source))/dgs4)-1))) )

bgddiode gate drain I=if( v(gate,drain)>10,

+      (0.5*aWg/1077*(dgs1*(exp((10.0)/dgs3)-1)+dgs2*(exp((10.0)/dgs4)-1))),

+      (0.5*aWg/1077*(dgs1*(exp((v(gate,drain))/dgs3)-1)+dgs2*(exp((v(gate,drain))/dgs4)-
1)))) )

C_GS      gate source {ags1} TC=0,0

C_CGS1    gate source Q=(0.5*ags2*ags4*log(1+exp((v(gate,source)-ags3)/ags4))+
+      ags5*ags7*log(1+exp((v(source,drain)-ags6)/ags7))) )

C_GD      gate drain {agd1} TC=0,0

C_CGD1    gate drain Q=(0.5*ags2*ags4*log(1+exp((v(gate,drain)-ags3)/ags4))+
+      agd2*agd4*log(1+exp((v(gate,drain)-agd3)/agd4))) )

C_SD      source drain {asd1} TC=0,0

C_CSD1    source drain Q=(asd2*asd4*log(1+exp((v(source,drain)-asd3)/asd4))+
+      asd5*asd7*log(1+exp((v(source,drain)-asd6)/asd7))) )

.ends

```

Schémas Electrique du banc de test

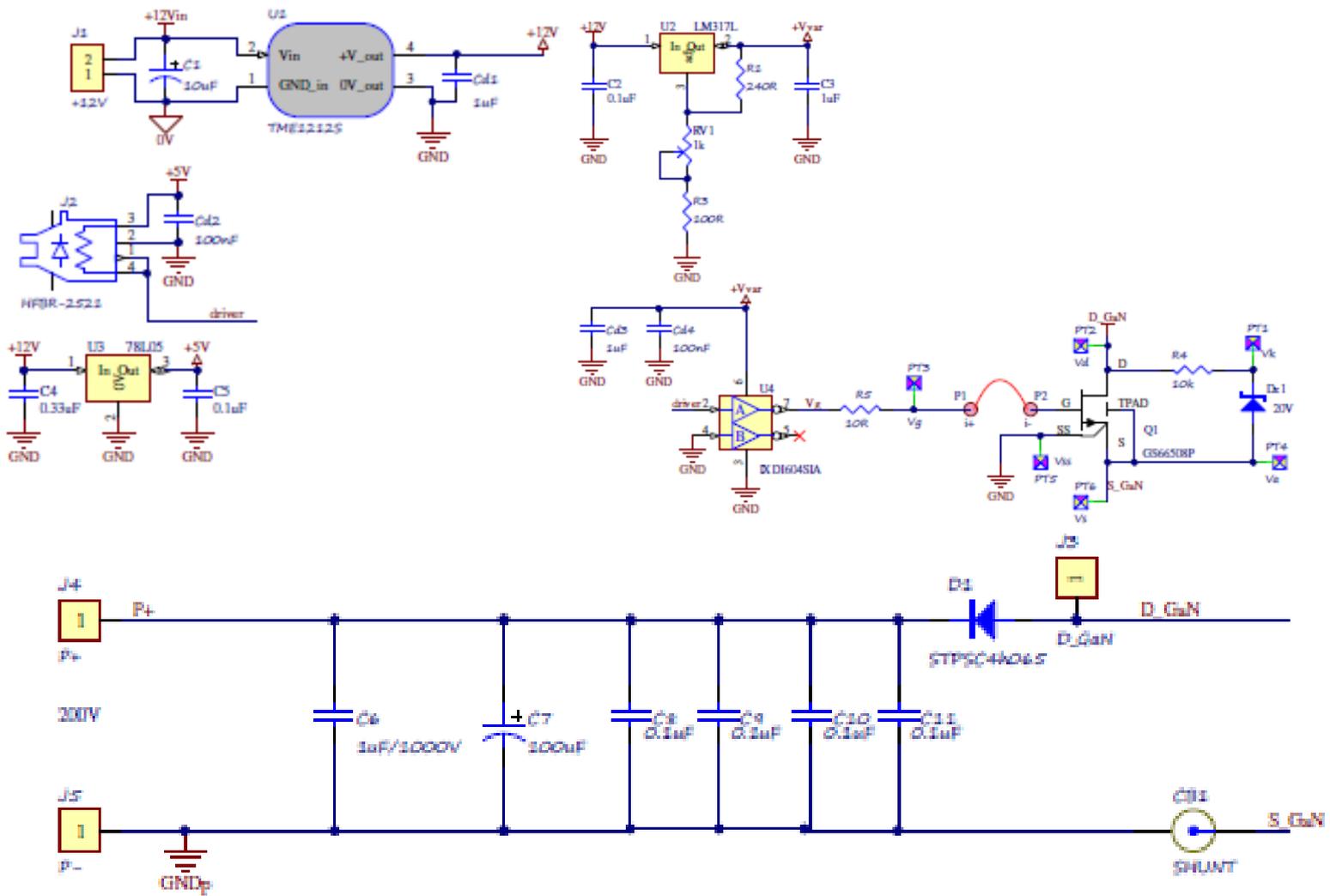
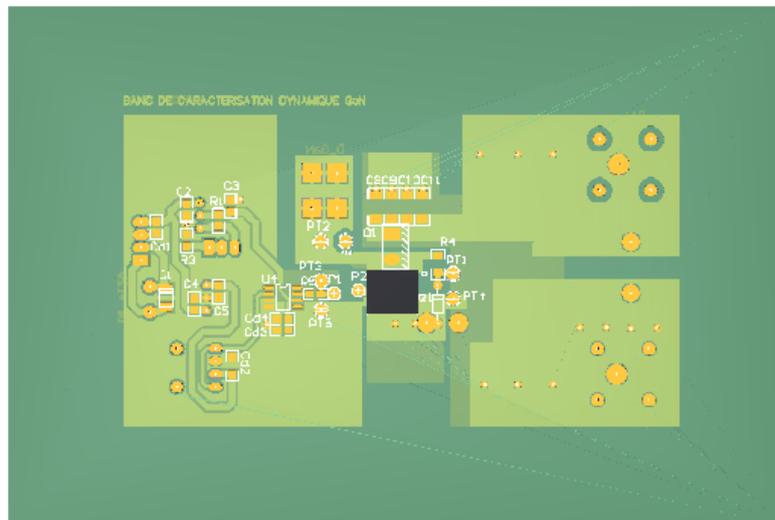
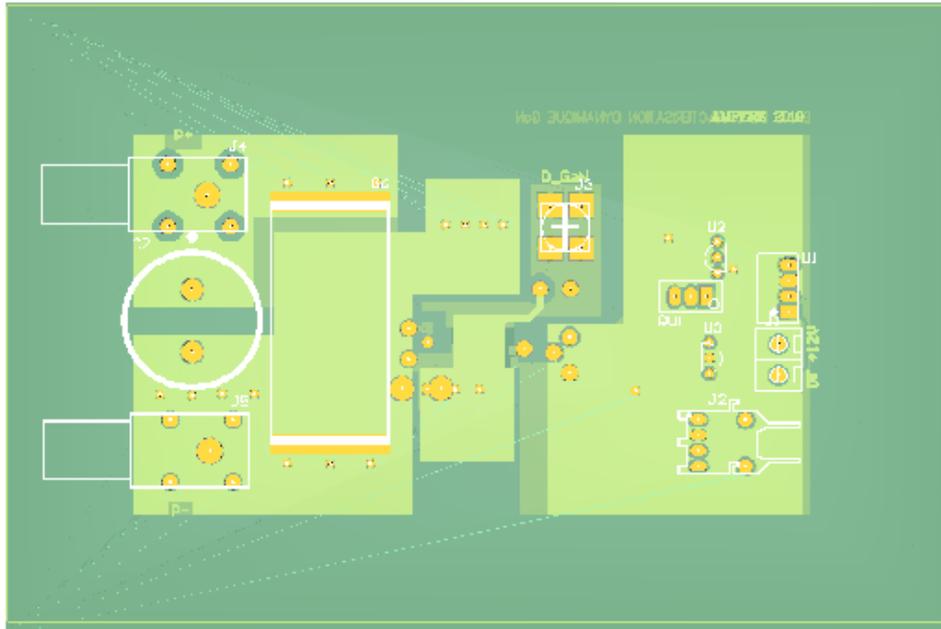


Schéma électrique de la carte dynamique

- Vue 3 D



Vue de dessus de la carte dynamique



Vue de dessous de la carte dynamique

Modèle Statique et dynamique développés dans le cadre de la thèse :

Modèle Statique :

*C:\Users\mbeye\Desktop\Cle2\GS66508P-LTspice-Model\GaN_LTspice_GS66508P_L3V2\GANS1.asc

.Subckt GANS1 G1 D1 S1

B1 D S I=if(V(G,S)>={Vth})&V(D,S)>=0,if(V(D,S)<V(G,S)-{Vth} , {gfs}*V(D,S) , {gfs}*(V(G,S)-{Vth})),0)

B2 D S I=if(V(G,D)>={Vth})&V(D,S)<0,if(V(S,D)<V(G,D)-{Vth},{gfs}*V(D,S) , -{gfs}*(V(G,D)-{gfs})),0)

R1 S S1 {Rs}

R2 D1 D {Rd}

Cgd1 G D Q = ((({a1})/({b1})) * ln(1+exp({b1}*(V(G,D)+{c1}))))

Csd0 S D {Csdmin}

Cgd2 G D {Cgdmin}

Cgs2 G S Q = ((({a3})/({b3})) * ln(1+exp({b3}*(V(G,S)+{c3}))))+d3*V(G,S)

Csd1 S D Q = ((({a2})/({b2})) * ln(1+exp({b2}*(V(S,D)+{c2}))))

.ends

Modèle dynamique :

```

*C:\Users\mbeye\Desktop\Cle2\GS66508P-LTspice-Model-\GaN_LTspice_GS66508P_L3V2\GAND1.asc

.Subckt GAND2 G1 D1 S1

B1 D S I=if(V(G,S)>={Vth})&V(D,S)>=0,if(V(D,S)< V(G,S)-{Vth}) , {gfs}*V(D,S), {gfs}*(V(G,S)-{Vth})),0)

B2 D S I=if(V(G,D)>={Vth})&V(D,S)<0,if(V(S,D)<V(G,D)-{Vth},{gfs}*V(D,S),-{gfs}*(V(G,D)-{gfs})),0)

R1 S S1 {Rs}

R2 D1 D {Rd}

Cgd0 G D {Cgdmin}

Cgd1 G D Q = ((({a1})/({b1})) * ln(1+exp({b1}*(V(G,D)+{c1}))))

Cgs1 G S Q = ((({a3})/({b3})) * ln(1+exp({b3}*(V(G,S)+{c3}))))+d3*V(G,S)

Csd0 S D {Cds}

.ends

```

Annexe III :

Contrôle de la vitesse de commutation en tension lors de la phase d'amorçage

➤ Principe :

Ce contrôle est un peu l'opposée du contrôle du courant présenté à la partie A du point II du chapitre 3. Afin de réduire uniquement la $\frac{dv}{dt}$, le transistor est commandé par une tension V_{dmax} pendant la commutation du courant puis par une tension V_{intv} pendant une durée t_{intv} lors de la commutation de la tension. Une fois la commutation de tension terminée, il est commandé à nouveau par une tension V_{dmax} (Fig.VI.b). Cette commande CATS est caractérisée par trois paramètres que sont :

- T_{OV} : paramètre indiquant la fin de la commutation du courant. Ce paramètre va permettre de minimiser au maximum les pertes de commutation.
- V_{intv} : tension intermédiaire du driver appliquée pendant la commutation de la tension.
- T_{intV} : durée l'application de V_{intv} .

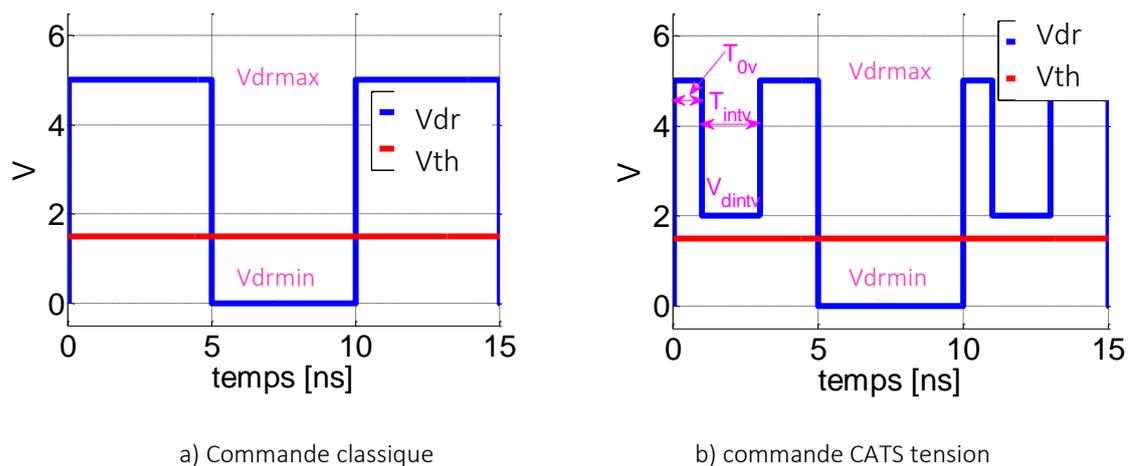


Figure VI. 1 signaux du driver pour les deux types de commandes

➤ Structure :

Les structures sont les mêmes que celle de la commande CATS en boucle ouverte. La différence se situe au niveau de la forme des signaux cmd1 et cmd2.

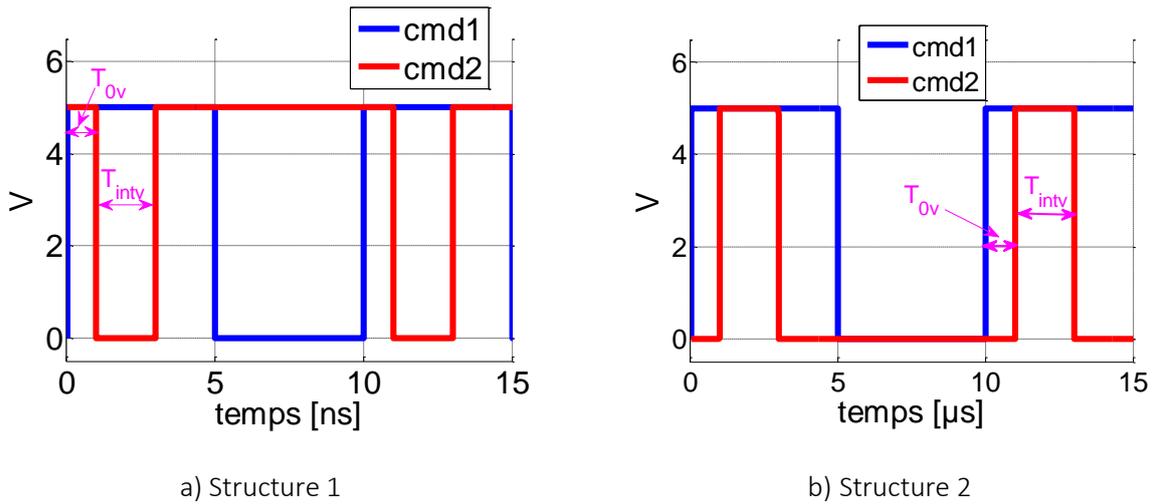


Figure VI.48: Signaux d'entrée des deux drivers de chaque structure pour la CATS pour le contrôle de la tension lors de l'amorçage

Validation Expérimentale :

Pour valider ce principe de contrôle le même banc de test ainsi que le même convertisseur que celui de la CATS pour le contrôle de courant lors de la phase d'amorçage est utilisé. La forme des signaux Cmd1 et Cmd2 ont été changés en utilisant le GBP (Agilent 81130A). Les figure VI.3 à figure VI.6 présente les résultats obtenus avec la commande CATS (AGVC) qui sont comparés aux résultats de la commande classique passive (SC).

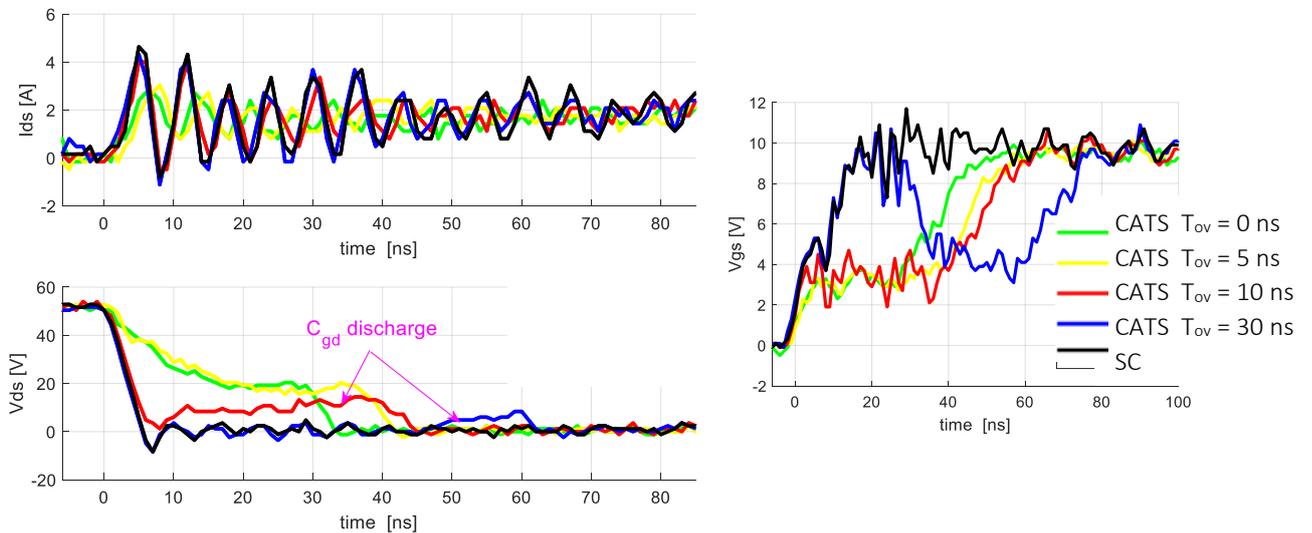


Figure VI.2 Les signaux du GaN lors de la phase d'amorçage pour $V_{dc} = 80 \text{ V}$, $I_L = 2 \text{ A}$, $V_{intv} = 4 \text{ V}$ et différent $T_{intv} = 40 \text{ ns}$:

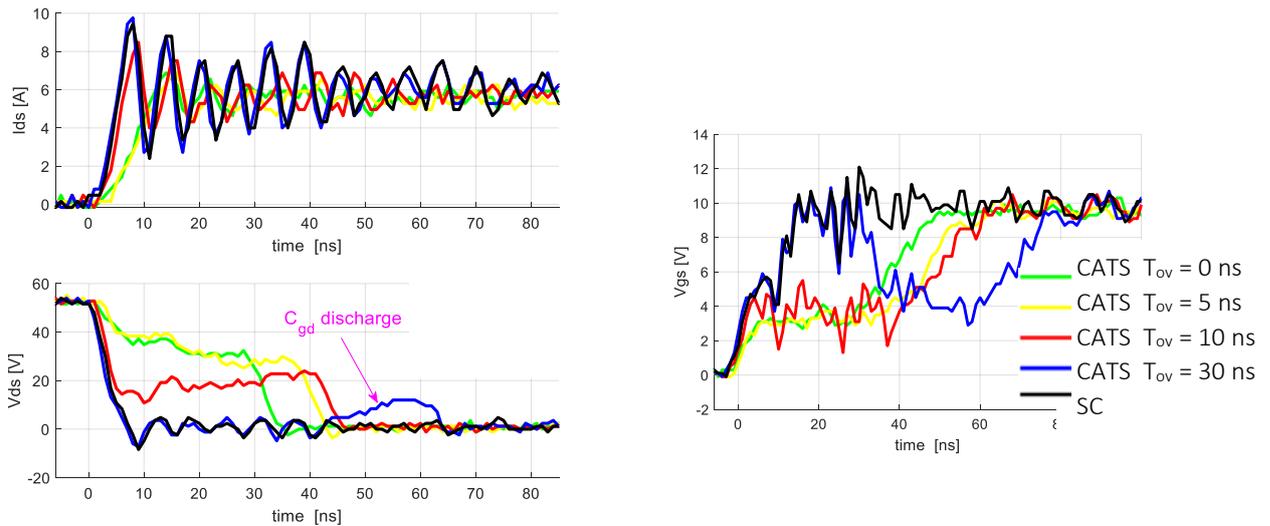


Figure VI.3 : Les signaux du GaN lors de la phase d'amorçage pour $V_{dc} = 50$ V, $I_L = 6$ A, $V_{intv} = 4$ V et différent $T_{intv} = 40$ ns

Dans le but d'évaluer du $\frac{dv}{dt}$ par la commande CATS lors de la phase d'amorçage, une tension V_{intv} de 4 V avec une durée de 40 ns a été appliquée au transistor pendant la commutation de la tension. Selon la valeur de T_{ov} la $\frac{dv}{dt}$ est ralentie ou pas. Pour de faible valeur de T_{ov} (0 ns et 5 ns), quel que soit le courant de charge, le contrôle de la $\frac{dv}{dt}$ est assuré avec un impact considérable sur la $\frac{di}{dt}$ qui a deux conséquences :

- Un impact moins important sur la $\frac{dv}{dt}$.
- Des pertes de commutation importante.

Pour un T_{ov} moyen (10 ns), selon le courant de charge, le ralentissement de la $\frac{dv}{dt}$ est assuré ou pas. Pour un courant de charge de 2 A (figure VI.3) où la commutation de la tension dure moins de 10 ns, le contrôle de la $\frac{dv}{dt}$ n'est pas assurée. L'augmentation du courant du charge (6 A) entraînant un temps de commutation de la tension supérieur à 10 ns a permis la réduction de la $\frac{dv}{dt}$ (figure VI.4).

Pour un T_{ov} important (30 ns), le ralentissement de la $\frac{dv}{dt}$ n'est pas assuré pour aucun des courants de charge (2 A et 6 A) puisque que la commande CATS est appliquée pendant la phase de conduction. Cela a pour conséquence un blocage non désirée du transistor par la décharge de la capacité de Miller C_{gd} (flèche magenta de la figure III.3 et figure III.4). Cette décharge se produit pour compenser le courant de retour du driver induit par l'application de V_{intv} . Selon le courant de charge la tension pic de la réouverture n'est pas la même. Pour un courant de 2 A, la tension est de 5 V, cette valeur passe à 10 V avec un courant de charge de 6 A.

D'après ces analyses concernant l'impact de T_{ov} sur la $\frac{dv}{dt}$, il peut être retenu les conclusions suivantes :

- Le T_{ov} doit être réglé de la manière la plus optimale (T_{ov} moyen) afin d'avoir le moins d'impact possible sur la $\frac{di}{dt}$ et sur la phase de conduction.
- Le T_{ov} doit être varié avec la variation du courant de charge.

Pour assurer ces deux points, une commande CATS en boucle fermée pour le contrôle de la tension est nécessaire.

Comme le paramètre T_{ov} , le T_{intv} influe également sur le déroulement de la $\frac{dv}{dt}$. Lorsqu'une tension intermédiaire V_{intv} est appliquée avec un T_{ov} optimal, plus le T_{intv} est important plus la $\frac{dv}{dt}$ est petite (figure VI.5). Dans le cas d'un fort courant de charge, un T_{intv} non négligeable peut entraîner la saturation de la tension causée par celle du courant.

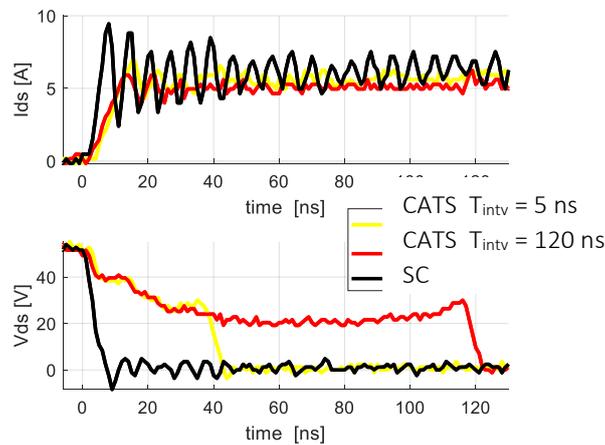


Figure V.4 : Les signaux du GaN lors de la phase d'amorçage pour $V_{dc} = 50$ V, $I_L = 6$ A, $V_{intv} = 4$ V et différent $T_{ov} = 5$ ns

Annexe VI :

Schéma électrique permettant la génération des commandes cmd 1 et cmd2 pour les commandes 2N et 3N

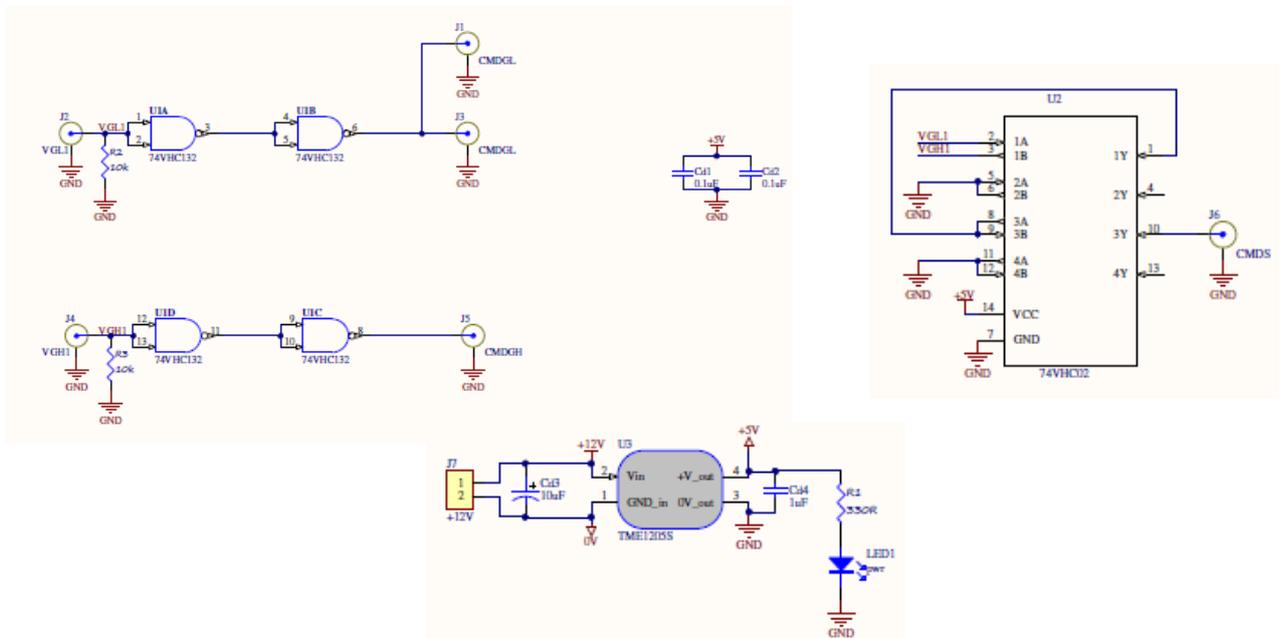


Schéma électrique permettant la génération des commandes cmd 1 et cmd2 pour les commandes 2N et 3N

Schéma électrique permettant la génération des commandes cmd 1 et cmd2 pour la commande 4N

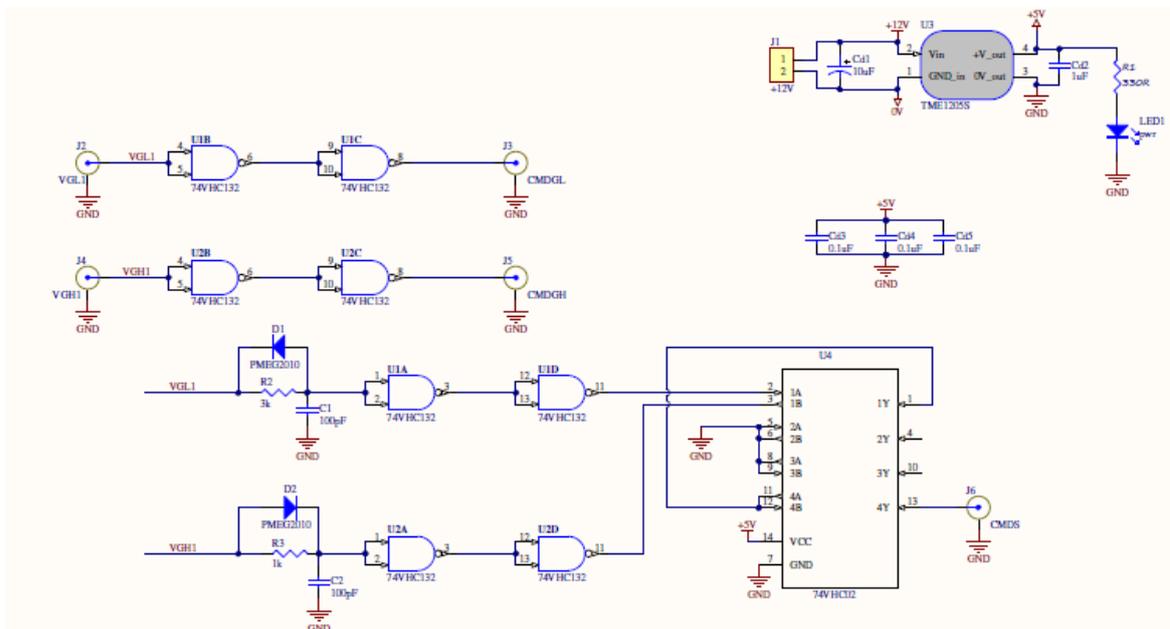


Schéma électrique permettant la génération des commandes cmd 1 et cmd2 pour la commande 4N

Schéma électrique permettant la génération des commandes cmd 1 et cmd2 pour la commande 4NA

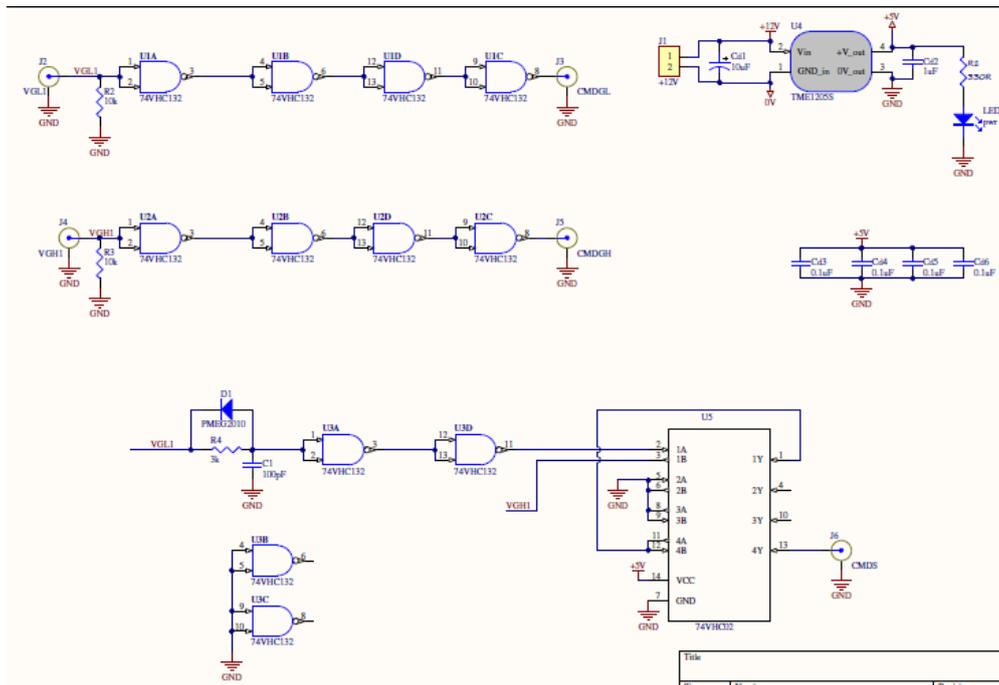
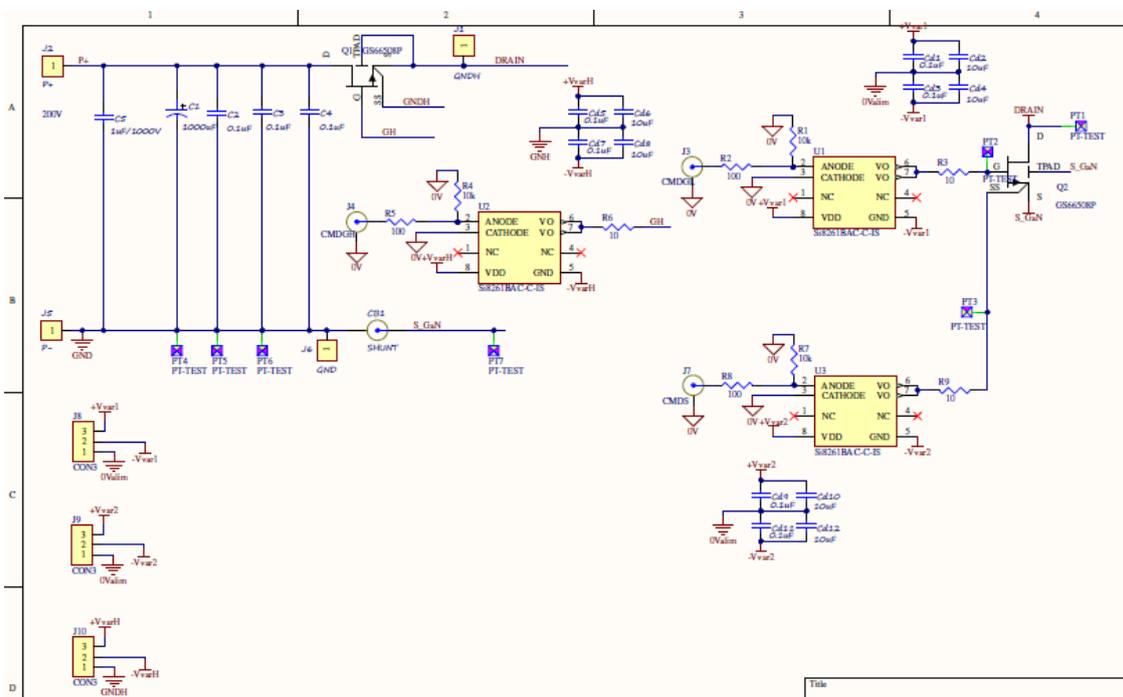


Schéma électrique permettant la génération des commandes cmd 1 et cmd2 pour la commande 4N

Carte de puissance convertisseur multi-niveaux



Carte de puissance convertisseur multi-niveaux



FOLIO ADMINISTRATIF

THESE DE L'UNIVERSITE DE LYON OPEREE AU SEIN DE L'INSA LYON

NOM : BEYE

DATE de SOUTENANCE : 19/11/2020

(avec précision du nom de jeune fille, le cas échéant)

Prénoms : Mamadou Lamine

TITRE : Etude et Contribution à l'optimisation de la commande des HEMTs GaN

NATURE : Doctorat

Numéro d'ordre : 2020LYSEI102

Ecole doctorale : EEA 160

Spécialité : Génie Electrique

RESUME : Cette thèse s'inscrit dans un contexte de développement durable où les enjeux énergétiques consistent à concevoir des convertisseurs de puissance plus disséminés, donc avec une Spécification ambitieuse en termes de densités massique et volumique. Les composants à semiconducteur dit à grand Gap permettent l'augmentation de la fréquence de commutation et permettent un fonctionnement à plus haute température locale. Les commutations à front raides et à haute fréquence des transistors rendent le système plus sensible aux éléments parasites. Ceci perturbe en retour la commutation des transistors et génère des pertes joules supplémentaires. Dans ce contexte les travaux ont été effectués dans le cadre d'une cotutelle entre les laboratoires Ampère (INSA Lyon) et LN2 (Université de Sherbrooke), le but étant d'apporter des contributions à l'optimisation de la commutation des HEMTs GaN. Le premier axe des travaux consiste à mettre en place des stratégies de contrôle de vitesses de commutation en tension et en courant, par la grille, dans le but d'améliorer la signature CEM. Les circuits de contrôle proposés sont développés dans un premier temps en boucle ouverte puis dans un second temps en boucle fermée afin de compenser des non-linéarités (température, courant de charge et tension de fonctionnement). Les prototypes de contrôle de grille ont été testés à partir de composants discrets du marché. Des limites apparaissent, que l'intégration monolithique GaN doit corriger à terme, en particulier en atténuant fortement le problème des inductances parasites. Les analyses en simulation ont reposé sur l'adoption d'un modèle comportemental de HEMT GaN identifiable. Le deuxième axe des travaux consiste à vérifier de manière systémique différentes stratégies de contrôle de grille notamment pour la gestion du compromis entre pertes joule pendant les temps morts au sein d'un à bras d'onduleur et la performance fréquentielle des commutations. Aux termes de ces travaux, les systèmes de contrôles développés en boucle ouverte ont permis de ralentir les vitesses de commutation d'au moins 30 %, occasionnant une augmentation des pertes de commutation, dans un ordre de grandeur inférieur à 50 %. Due à la rapidité de commutation des HEMT GaN et aux limites des composants discrets du marché, le taux de réduction des vitesses de commutation obtenu avec la boucle fermée (taux de réduction inférieur à 20 %) est moins intéressant qu'avec la boucle ouverte. L'utilisation d'un circuit monolithique peut être une alternative pour augmenter le taux de réduction des vitesses de commutation en boucle fermée. Des résultats de simulation sous SPICE en vue du circuit monolithique sont à la base de cette hypothèse. Concernant le deuxième axe, l'application de commande multiniveaux de grille des transistors du bras d'onduleur a permis de réduire les pertes de conduction inverse et les pertes dues aux phénomènes de Cross Talk d'au moins 30 %.



MOTS-CLÉS : HEMT GaN, Vitesses de commutation en tension et en courant, CEM, éléments parasites, Composants discret, intégration monolithique GaN, Modèle Comportemental HEMT GaN, Boucle ouverte, boucle fermée

Laboratoire (s) de recherche : Ampère, CNRS UMR 5005

Directeur de thèse: ALLARD Bruno

Président de jury : Nadir Idir

Composition du jury : Hassan Maher, Joao TROVAO, Marc cousineau, Corinne ALONSO, Mounira berkani, Luong Viet Phung
Jean Francois Mognotte