Étude multicritère pour l'enfouissement partiel ou total de convertisseurs d'électronique de puissance dans un circuit imprimé

Yoann Pascal

▶ **To cite this version:**

Yoann Pascal. Étude multicritère pour l'enfouissement partiel ou total de convertisseurs d'électronique de puissance dans un circuit imprimé. Autre. Université Paris Saclay (COmUE), 2019. Français. NNT : 2019SACLN038 . tel-02406209

HAL Id: tel-02406209
https://theses.hal.science/tel-02406209

Submitted on 12 Dec 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

université PARIS-SACLAY

école normale supérieure paris-saclay

NNT : 2019SACLN038

Étude multicritère pour l'enfouissement partiel ou total de convertisseurs d'électronique de puissance dans un circuit imprimé

Thèse de doctorat de l'Université Paris-Saclay
préparée à l'École normale supérieure Paris-Saclay

École doctorale n°575
Electrical, Optical, Bio-physics and Engineering (EOBE)
Spécialité de doctorat : Génie Électrique

Thèse présentée et soutenue à Cachan, le 22 octobre 2019, par

Yoann Pascal

Composition du Jury :

Jean-Christophe Crébier Directeur de recherches, CNRS, G2ELab	Président
Christian Martin Professeur des Universités, Univ. Lyon 1, Ampère	Rapporteur
Frédéric Richardeau Directeur de recherches, CNRS, Laplace	Rapporteur
Vincent Bley Maître de conférences, Univ. Paul Sabatier, Laplace	Examinateur
Éric Labouré Professeur des Universités, Univ. Paris-Sud, GEEPS	Examinateur
François Costa Professeur des Universités, Univ. Paris-Est Créteil, SATIE	Directeur de thèse
Denis Labrousse Maître de conférences, CNAM, SATIE	Encadrant
Mickaël Petit Maître de conférences, CNAM, SATIE	Encadrant
François Lechleiter Cimulec	Invité

Thèse de doctorat

Deux pattes c'est une diode, trois pattes c'est un transistor, quatre pattes c'est une vache.

Pr. Stéphane Lefebvre

REMERCIEMENTS

Les travaux présentés dans ce manuscrit ont été menés au sein de l'équipe Électronique de Puissance et Intégration, menée successivement par Stéphane Lefebvre et Éric Monmasson, et faisant partie du laboratoire SATIE, dirigé par Pascal Larzabal. Je leur suis ainsi reconnaissant, entre autres, de m'avoir accueilli et offert les moyens de mener à bien ces travaux.

Mes premiers remerciements iront évidemment à mon encadrement. Merci, François, Mickaël, Denis. Merci de m'avoir guidé et conseillé pendant ces trois ans. Merci pour votre regard critique, ouvert, et toujours constructif. Merci enfin d'avoir fait en sorte que la discussion soit toujours facile et enrichissante.

Merci également aux membres du jury d'avoir accepté d'examiner ces travaux ; je suis en particulier redevable à MM. Martin et Richardeau dont les rapports, riches et détaillés, ont permis d'intéressants échanges et remises en question.

Je ne manque pas d'inclure dans ses remerciements tous ceux qui ont pu m'accompagner, avec bienveillance, ou avec qui j'ai pu travailler. Parmi ceux grâce à qui venir au laboratoire était chaque jour un réel plaisir, je citerai en premier lieu Thomas & Alex pour leurs échanges variés, riches, intéressants, et enrichissants – ainsi que pour le reste. Je leur associe Salim, Benjamin, Matthieu, Véronica…

Une ligne doit bien sûr être offerte à Vincent, l'infatigable, pour le travail colossal qu'il a pu accomplir au cours de ces trois années.

La vie de thésard ne se limitant pas au ravissement quotidien associé à l'analyse de diagrammes d'impédances où se côtoient nH et pF ou à l'extase apportée par des courbes de commutations quasi dénuées d'oscillations, cette page ne serait complète sans que ne soit rendus hommages à MM. Mahler, Wagner, et Berlioz. Dans un autre registre, il me faut citer Siegfried pour son accompagnement quotidien.

Je souhaite par ailleurs témoigner toute ma reconnaissance envers Tropique et Jean-Yves, sans qui je ne me serais probablement pas destiné à l'électronique de puissance.

Mes derniers, et plus chaleureux, remerciements vont à ma famille.

TABLE DES MATIÈRES

Remerciements ***5***

Table des matières ***7***

Liste des figures ***11***

Liste des tables ***22***

Liste d'acronymes ***23***

Introduction générale ***25***

Chapitre I. Étude d'une structure de composant magnétique à faibles pertes AC pour l'enfouissement PCB ***27***

1 Introduction **28**
1.1 Motivations 28
1.2 État de l'art 28
1.3 Avant-propos – des simulations FEM 41
1.4 La V-coil : une amélioration de la structure P-coil 41

2 Réalisation d'une V-coil **43**
2.1 Procédé de fabrication 43
2.2 Paramétrage 45
2.3 Caractérisation du matériau magnétique employé 45

3 Étude comparative d'inductances (V- vs P- coils) **47**
3.1 Introduction 47
3.2 Prototypes considérés 47
3.3 Intégration dans un convertisseur DC-DC 51
3.4 Discussion : dimensionnement des bobines 56
3.5 Conclusion de l'étude comparative 57

4 Modèle analytique **57**
4.1 Introduction 57
4.2 Modèle magnétique 58
4.3 Modèle de pertes cuivre 62
4.4 Modèle de pertes fer 65
4.5 Modèle électrostatique 66
4.6 Modèle de résonateur LC-série 66
4.7 Validation expérimentale 69
4.8 Conclusion sur la modélisation d'une V-Coil 72

5 Mise en œuvre dans un convertisseur résonnant **72**
5.1 Introduction 72
5.2 Schéma et instrumentation 73
5.3 Formes d'ondes 73
5.4 Rendement 75
5.5 Conclusion : V-coil dans un convertisseur résonant 76

6 Conclusion et perspectives du chapitre **76**

Chapitre II. Agencement des composants d'une cellule de commutation 79

1 Introduction 80
1.1 Contexte 80
1.2 Motivations 80
1.3 Terminologie 81
1.4 Étude d'un PDN 82
1.5 Mitigation des oscillations et surtensions dans la maille de puissance 84

2 Modélisation du PDN d'une cellule de commutation 88
2.1 Introduction 88
2.2 Mécanismes oscillatoires dans une cellule de commutation 88
2.3 Validation expérimentale du modèle 95
2.4 Discussion, domaine de validité du modèle 99
2.5 Conclusion sur la modélisation d'un PDN 101

3 Influence de la distance entre une cellule de commutation et son découplage 102
3.1 Introduction 102
3.2 Mesures dans le domaine temporel 104
3.3 Mesures en petits signaux 107
3.4 Résultats de simulation : de la largeur des pistes d'alimentation 110
3.5 Analyse des résultats 111
3.6 Conclusion sur l'influence de la distance entre cellule de commutation et découplage 113

4 Étude de l'agencement des puces de puissance 113
4.1 Introduction 113
4.2 Description des géométries étudiées 114
4.3 Inductances de mailles 117
4.4 Performances thermiques 120
4.5 Fabricabilité 121
4.6 Capacités parasites 121
4.7 Conclusion sur l'agencement des puces 122

5 Conclusion & perspectives du chapitre 122

Chapitre III. Étude d'une technique de reprise de contact de face avant de puce par mousse pressée 125

1 Introduction 126
1.1 Techniques de reprise de contact de face avant de puce en électronique de puissance 126
1.2 Plan de l'étude 133

2 Procédé de reprise de contact proposé 134
2.1 Mise en œuvre 134
2.2 Caractérisation de prototypes 141
2.3 Caractérisation thermique de la mousse pressée 145
2.4 Conclusion sur la mise en œuvre et la caractérisation du procédé 149

3 Fiabilité 149
3.1 Introduction 149
3.2 Vieillissement par impulsions de courants 150
3.3 Vieillissement par cyclage thermique passif 154
3.4 Robustesse en court-circuit 161
3.5 Vieillissement par courts-circuits 167

3.6 Discussion sur l'étude de fiabilité 176
3.7 Conclusion sur l'étude de fiabilité 177

4 Hacheur SiC enfoui 178
4.1 Introduction 178
4.2 Description du module 178
4.3 Caractérisation du prototype 180
4.4 Tests en commutation 181
4.5 Conclusion sur l'enfouissement d'une cellule de commutation 183

5 Conclusion & perspectives du chapitre 183

Conclusion générale & perspectives 187

Annexes 191

1 Estimation de la reluctance de fuite d'une V-coil 193
1.1 Méthode 193
1.2 Développement 193
1.3 Conclusion 195
1.4 Domaine de validité 195

2 Mesure de l'impédance de la V-coil utilisée en résonateur 196
2.1 Excitation de moyenne amplitude 196
2.2 Excitation de forte amplitude 197
2.3 Estimation in situ, en commutation 197
2.4 Comparaison des résultats 197
2.5 Conclusion 198

3 Instrumentation mise en œuvre 198
3.1 Introduction 198
3.2 Mesures d'impédance et de fonctions de transfert 199
3.3 Multimètres 201
3.4 Traceurs de caractéristiques 202
3.5 Amplificateur RF 202
3.6 Oscilloscope et sondes 202
3.7 Enceinte thermique 203

4 Autour de Q3D 204
4.1 Introduction 204
4.2 Modélisation des composants 204
4.3 À propos des impédances partielles 205
4.4 De la robustesse de Q3D 206
4.5 Comparaisons des résultats de simulateurs 207

5 Cellule de commutation 208
5.1 Schéma 208
5.2 Routage 210
5.3 Instrumentation 210

6 Mesure du courant de fuite d'un condensateur MKP 211
6.1 Calibration de la sonde de température 211
6.2 Dépendance de la capacité avec la température 211
6.3 Mesure BF de la capacité du DUT par intégration 212
6.4 Mesure de la résistance de fuite du condensateur 213

6.5 Discussion 214

7 Mesure de capacité sous polarisation DC 214
7.1 Introduction 214
7.2 Banc de test 214
7.3 Résultats 216
7.4 Discussion 217

8 Démonstration formelle des limites de l'hypothèse « front raide » 217
8.1 Introduction 217
8.2 Développement 218
8.3 Analyse 219

9 Généralités sur les mousses métalliques 219
9.1 Structures de mousses métalliques 219
9.2 Méthodes de production 220
9.3 Applications 220

10 Banc de tests en court-circuit 221
10.1 Présentation générale 221
10.2 Dispositif de mesure du courant de grille 222
10.3 Dispositif de mesure de la résistance à l'état passant 223

11 Simulation de la température de jonction d'une puce en régime de court-circuit 225
11.1 Introduction 225
11.2 État de l'art 226
11.3 Modèle proposé 227
11.4 Résultats de simulation 230
11.5 Influence de quelques paramètres de simulation 232
11.6 Discussion 234
11.7 Conclusion 234

Bibliographie 235

LISTE DES FIGURES

Figure I.1 : perméabilité relative initiale de l'ensemble des Matériaux Magnétiques (MM) commerciaux listés en Table I.2 représentés en fonction de leur fréquence de résonnance. 32

Figure I.2 : topologies de base de composants magnétiques enterrés [33]. (a) : circuit magnétique blindant les pistes ; (b) : enroulements entourant le noyau. 33

Figure I.3 : transformateur planar complet (gauche) et avec noyau magnétique retiré (droite) [39]. 33

Figure I.4 : transformateur planar rapporté (16 mm × 19 mm × 6,4 mm ; 40 W – 600 kHz) [36]. 34

Figure I.5 : P-coil : vue 3D (gauche) et en coupe (droite) [14]. 34

Figure I.6 : (a) : composant de type P-coil réalisé sur substrat PCB flexible [52] : bobinage seul ($a1$) et avec plaques magnétiques structurées ($a2$). (b) : convertisseur avec transformateur intégré [12] 35

Figure I.7 : structure P-coil ; de gauche à droite : noyaux ouvert, semi-fermé, fermé [53]. 36

Figure I.8 : (a) : vue de dessous de l'inductance (structure P-coil avec noyau fermé par des vias métallisés, structuré, et avec entrefer) utilisée dans [55]. (b) : coupe métallographique d'un composant magnétique à noyau fermé, utilisant un polymère chargé en ferrite [12]. 36

Figure I.9 : (a) : transformateur à noyau torique [58] ; (b) : convertisseur flyback (« power sheet ») avec le circuit actif logé au centre du transformateur enfoui [30]. 37

Figure I.10 : structure d'inductance torique enfouie. De gauche à droite : schéma 3D sans le substrat PCB, photographie d'un prototype, micro-section d'un prototype montrant le noyau solidaire du substrat du fait de la résine du prepreg [9]. 37

Figure I.11 : géométrie du noyau ferrite (gauche) et instructions de pliage montrant les pistes de cuivre et le substrat polyimide (droite) [64]. 37

Figure I.12 : schéma d'un noyau EI réalisé par mosaïque de pavés de ferrite [66]. 38

Figure I.13 : (a) : coupleur présenté dans [68]. (b-d) : bobine de type « race-track » [67], b: schéma, (c) : photographie d'un prototype après découpe du substrat et avant dépôt du circuit magnétique, (d) : photographie de deux prototypes finalisés. 38

Figure I.14 : (a) : photo du coupleur [69]. (b) : schéma et (c) : photo du noyau de l'inductance [13]. 39

Figure I.15 : (a) : schéma du convertisseur ; (b) : noyau de ferrite U-I réalisé par usinage de noyaux commerciaux [70]. 39

Figure I.16 : a : structure (cachant le substrat) d'un fil de Litz en technologie PCB [71] ; b : schéma du filtre CEM [24] ; c : coupleur présenté [73]. 40

Figure I.17 : enroulement d'inductance en quatre couches. Bobinage en galettes (gauche), semi-concentrique (milieu), et méthode intermédiaire (droite). 40

Figure I.18 : technique de packaging en "3D PCB" proposé par [45]. 41

Figure I.19 : résultat de simulation magnétostatique d'une P-coil montrant des lignes de champ magnétique, globalement orthogonales aux pistes de cuivre, au sein d'une P-coil : champ magnétique normalisé par le courant d'excitation. Le rayon des plaques magnétiques est de 17,5 mm, leur épaisseur de 200 µm ; le schéma est à l'échelle. 42

Figure I.20 : résultat de simulation magnétostatique de la V-coil utilisant les mêmes plaques magnétiques et ayant des conducteurs de sections et rayons moyens identiques à celle de la Figure I.19. Champ magnétique normalisé par le courant d'excitation. 42

Figure I.21 : densité de courant (normalisées par le courant total) simulées à 200 kHz pour une P-coil (gauche) et une V-coil (droite) ayant le même circuit magnétique ainsi que des conducteurs de même section et diamètres moyens. De manière à rendre la figure plus lisible, les rectangles (chacun correspondant à une spire) ont été rapprochés. La densité de courant dans l'enroulement de la V-coil est bien plus homogène que dans la V-coil (noter les palettes de couleurs différentes). 42

Figure I.22 : résistances simulées d'une V-coil et d'une P-coil ayant le même circuit magnétique ainsi que des conducteurs de mêmes sections et diamètres moyens. 43

Figure I.23 : étapes de réalisation d'une V-coil – vue en coupe locale, échelle arbitraire. 44
Figure I.24 : photographie d'un prototype à l'issue de l'étape f. Gauche : prototype complet ; droite : zoom soulignant la position des rubans de cuivre et de l'une de leurs connexions. 44
Figure I.25 : photographies des étapes de réalisation d'une V-coil, de gauche à droite : après dépôt de la couche d'accroche, après dépôt de la couche de cuivre, après retrait de la couche de cuivre, après ajout des plaques magnétiques. 45
Figure I.26 : schémas paramétrés d'une V-coil (gauche, haut) et d'une P-coil (gauche, bas), et détail des notations (droite). 45
Figure I.27 : (a) perméabilité relative du IBF15 : valeur mesurée (lignes continues), spécifiées (lignes discontinues) et incertitude (zones grisées), avec figure de Cole-Cole ($\mu r'' \; vs. \; \mu r'$) en inset. (b) : cycle d'hystérésis du IBF-15. 46
Figure I.28 : gauche : densité de pertes dans l'enroulement, une plaque magnétique ayant été cachée ; droite : densité de courant sur la surface interne d'une plaque magnétique (échelle linéaire arc-en-ciel entre 0 et 1 A/m², pour une excitation de 1 A). 47
Figure I.29 : photographie de la V-coil avant ajout des plaques magnétiques (gauche) et layout de la P-coil (droite). Les deux figures sont à la même échelle. 48
Figure I.30 : inductance (gauche) et résistance (droite) mesurées et simulées pour les composants étudiés. Lignes continues : mesures, lignes pointillées : simulation FEMM, zones ombrées : incertitude de mesure. 48
Figure I.31 : distribution de champ magnétique simulé des bobines étudiées (P-coil en haut et V-coil en bas), à 2 kHz (domaine DC) et 5 MHz (domaine AC). Seul l'enroulement interne de la V-coil est alimenté. 49
Figure I.32 : résistance mesurée sur les prototypes (idem Figure I.30) et ajustement log-linéaires en puissances 0, ½, 1 et 3. 50
Figure I.33 : (a) : résistances des composants étudiés, avec marqueurs aux fréquences 2 kHz, 200 kHz, et 5 MHz. (b) : densité de courant dans la spire interne des bobines étudiées (P-coil en haut et V-coil en bas), à 2 kHz, 200 kHz, et 5 MHz. Échelles géométriques arbitraires. 50
Figure I.34 : (a) : schéma de principe du convertisseur ; (b) : courbes idéalisées 51
Figure I.35 : schéma de principe (gauche) et fonction de transfert (droite) du filtre de MD utilisé en entrée du convertisseur. L1 est une inductance à air, L2 a un noyau torique en ferrite. PSU schématise l'alimentation, Ild modélise le convertisseur alimenté. 54
Figure I.36 : fréquence de découpage en fonction du courant délivré, pour diverses tensions de sortie. Valeurs mesurées (lignes continues) et calculées (lignes pointillées). Données pour la V-coil (rouge) et la P-coil (bleu). 54
Figure I.37 : rendement du convertisseur buck pour diverses tensions de sortie. Rouge : V-coil ; bleu : P-coil. Lignes continues : mesure ; lignes pointillées : simulation ; zones grisées : incertitude de mesure. 55
Figure I.38 : répartition des pertes du convertisseur 28 V→ 11,8 V utilisant une P-coil (gauche) et une V-coil (droite). 56
Figure I.39 : répartition des pertes par composante spectrale dans les inductances P-coil (gauche) et une V-coil (droite). Convertisseur 28 V→ 11,8 V. Zone rouge : pertes due à la composante continue du courant ; zone carotte : pertes dues au fondamental, zone tangerine : pertes dues à l'harmonique 2, etc. 56
Figure I.40 : schéma quadripolaire simplifié (avec éléments résistifs cachés et composants localisés plutôt que distribués) d'une V-coil. 57
Figure I.41 : schéma paramétré d'une V-coil. 58
Figure I.42 : simulation d'une V-coil : champ magnétique H normalisé par le courant d'excitation. Seul l'enroulement interne est alimenté, le rayon du circuit magnétique est de 16 mm. 58
Figure I.43 : schéma décrivant une tranche de V-coil comprise entre les rayons ρ et $\rho + d\rho$ 60
Figure I.44 : dessin d'une V-coil simple (haut) et schéma équivalent pour résolution du modèle magnétique (bas), associant bloc distribués (rectangles bleus) et composants localisés ($\mathcal{R}X$ & source de FMM). 61
Figure I.45 : densité de probabilité (pdf : probability density function) statistique de l'écart relatif entre modèle d'inductance et valeur simulée. 62

Figure I.46 : résistances de six V-coil aléatoires (une par couleur) : modèle (ligne continue) et FEA (ligne pointillée). 65

Figure I.47 : densité de probabilité (pdf : probability density function) statistique de l'écart relatif entre modèle de résistance et valeur simulée. 65

Figure I.48 : utilisation d'une V-coil en résonateur série. a : vue de dessus d'un composant sans circuit magnétique (rubans conducteurs en noir, tranchée en jaune, connexion au reste du circuit, de type « ligne de transmission », en bleu et rouge) ; b : connexion au circuit ; c : schéma équivalent. 67

Figure I.49 : utilisation d'une V-coil (rubans conducteurs en noir, tranchée en jaune, connexion au reste du circuit en bleu et rouge) en résonateur série – quatre méthodes de connexion : connexion en ligne de transmission depuis l'intérieur (a) et l'extérieur (b) et montage en stub par l'extérieur (c) et l'intérieur (d). 67

Figure I.50 : (a) : schéma d'une V-coil ; (b) : schéma équivalent (couplages magnétiques cachés). Les zones colorées correspondent à des capacités entre rubans, les fonds de couleurs permettent d'associer les condensateurs à leurs volumes de définition associés. 68

Figure I.51 : schéma équivalent d'une V-coil en résonateur série excitée par $V0$. Couplages magnétiques et éléments dissipatifs non-décrits. Nœuds numérotés en vert. 68

Figure I.52 : dimensionnement de la V-coil considérée (gauche) et schéma annoté (droite). v est une valeur approximée, l'épaisseur de cuivre n'étant pas homogène. PM : Plaque Magnétique 70

Figure I.53 : impédance de la V-coil considérée : module (haut) et phase (bas). Utilisation en inductance (vert et rouge), en résonateur « ligne de transmission » (violet et orange), et en résonateur « stub » (azur et saphir). Les mesures vont deux à deux : suivant la connexion relative aux enroulements internes ou externes. .. 71

Figure I.54 : impédance de la V-coil utilisée en résonateur « ligne de transmission » : mesure (bleu) et modèle (rouge). L'impédance d'un circuit RLC-série ajusté sur les mesures est également tracée (jaune). 71

Figure I.55 : résistance de l'enroulement externe de la V-coil. (a) résistance totale mesuré (rouge) et obtenue par simulation Monte-Carlo du modèle (bleu, 84 composants). (b) : séparation entre pertes cuivre (vert) et fer (jaune). 72

Figure I.56 : schéma de principe du convertisseur considéré 73

Figure I.57 : signaux mesurés pour une tension de bus de 240 V et une fréquence de découpage de 964 kHz. Tension en sortie de la cellule de commutation (ligne bleue continue, couplage AC), tension d'entrée du pont de diodes (ligne bleue pointillée, couplage DC) et courant résonnant (ligne rouge, couplage AC). 74

Figure I.58 : courants résonant vs tension de bus : courant RMS (jaune) et courants commutés aux fronts montant (bleu) et descendant (rouge). La non-monotonie et surjectivité de la fonction associant un courant à une tension découle de l'importance des harmoniques dans le transfert de puissance : harmonique 3 entre 220 V et 280 V, harmonique 5 au-delà de 320 V 74

Figure I.59 : rendement du résonateur en fonction de la tension de bus. Les points de mesure sont regroupés en fonction de la composante spectrale transportant l'énergie à la charge. 75

Figure II.1 : tension aux bornes de la diode de roue-libre dans une cellule de commutation à redressement non synchrone, pour diverses températures de jonction. (a) : circuit équipé d'une diode silicium PiN ; (b) : même circuit équipé d'une diode Schottky SiC. Extrait de [116]. Des effets similaires peuvent être observés dans le cas de composants commandés (en particulier IGBT Si vs. MOSFET SiC, la modulation de résistivité par injection de porteurs au sein de l'IGBT amortissant fortement les oscillations). 80

Figure II.2 : circuit bruyant In, modélisé par une source de courant et alimentée par une source de tension constante PSU, au travers d'un circuit de filtrage $L - C$. L sert au « decoupling », C au « bypass ». 81

Figure II.3 : circuit typique modélisant une cellule de commutation. Extrait de [121]. 82

Figure II.4 : module demi-pont intégrant six transistors SiC-MOSFET (trois par interrupteur), leurs résistances de grilles externes et quatre condensateurs de découplage local intégrés sur silicium (quatre rectangles à larges bords noirs sur le DBC de gauche). Extrait de [138]. 85

Figure II.5 : ajout d'un amortissement couplé par transformateur à air. Schéma équivalent (gauche) et photographie d'un prototype (droite). Extrait de [151]. 86

Figure II.6 : une autre manière de voir la cellule de commutation 2 quadrants. Extrait de [130]. 87

Figure II.7 : surface de maille de trois routages. De gauche à droite : maille latérale (inductance élevée), maille verticale (inductance moyenne), maille optimale (faible inductance). Extrait de [143]. 87
Figure II.8 : DBC multicouche : (a) tri-couche sur toute la surface du DBC, (b) multicouche partiel. Extraits de [180], [181]..... 88
Figure II.9 : schéma structurel du circuit considéré. 89
Figure II.10 : tension mesurée sur le nœud de sortie d'une cellule de commutation au blocage du transistor LS, $Ild = 5$ A. Échelle de temps logarithmique. Bande passante 500 MHz, fréquence d'échantillonnage 2,5 GSa/s, interpolation sinc ·. 89
Figure II.11 : schéma du circuit considéré avec éléments parasites et mise en lumière des mailles. 90
Figure II.12 : tension mesurée sur le nœud de sortie d'une cellule de commutation. 90
Figure II.13 : schéma équivalent simplifié du circuit étudié. 91
Figure II.14 : impédance de source, vue depuis la charge lorsque QHS est passant : impédance asymptotique (jaune), mesurée (bleue) et modélisée (rouge). Le prototype utilisé ici est différent de celui ayant servi pour les mesures de la Figure II.12. 92
Figure II.15 : tension aux bornes (rouge), courant de collecteur (bleu), et énergie dissipée (gris), d'un IGBT au blocage sur charge inductive en fonction du temps. Échelles arbitraires. Extrait de [164]. 92
Figure II.16 : (a) schéma équivalent lors de la commutation en courant ; (b) : schéma équivalent de la maille HF lors de la commutation en courant. 93
Figure II.17 : commutation en tension. (a) schéma équivalent du circuit ; (b) : schéma équivalent de la maille HF. 94
Figure II.18 : schéma de principe du circuit considéré incluant composants implémentés (en noir) et parasites (gris). 95
Figure II.19 : (a) : Vsw pour diverses valeurs de $CX7R$. Insert : zoom sur les oscillations HF. (b) : surtensions pour diverses valeurs de $CX7R$. Oscillations HF mesurées (bleu), LF mesurées (rouge), et ajustement (jaune). 96
Figure II.20 : influence de l'inductance de maille secondaire $L2$ sur les oscillations. (a) : tensions mesurées sur le prototype – les premières périodes d'oscillations HF sont tronquées pour améliorer la lisibilité des oscillations LF et VLF. (b) : surtension BF en fonction de $L2$: mesure (bleu) et prédiction du modèle (rouge) . 98
Figure II.21 : surtension en fonction du courant de charge. Marqueurs bleus : surtension LF mesurée ; ligne bleue : ajustement linéaire ; marqueurs rouges : surtension HF mesurée ; ligne rouge : tension de bus, i.e. surtension prédite en négligeant l'amortissement de la maille HF ; ligne jaune : surtension prédite en prenant en compte l'amortissement mesuré de la maille HF. 99
Figure II.22 : coefficient de qualité minimal $Qmin$ assurant une erreur relative sur la tension crête inférieure à ϵ dans la maille principale. 101
Figure II.23 : schéma de principe du convertisseur considéré, les inductances grisées modélisent les éléments parasites dans l'hypothèse des mailles séparées. 102
Figure II.24 : condensateur bulk. a : photographie. b : modèle équivalent mesuré [187]. c : impédance mesurée (lignes continues), incertitude de mesure (zone ombrée), et modèle correspondant (lignes pointillées) entre les boches 1 et 2 du condensateur (haut) et entre les broches 1 et 3 (bas) – lors d'une mesure, les broches inutilisées étaient laissées en l'air. 103
Figure II.25 : (a) : schéma montrant l'organisation du circuit. b : photographie du prototype pour $dX7R = 0$, $dbulk = 8$ mm, des résidus de brasure montrent les tests précédemment menés sur le prototype. 104
Figure II.26 : tension Vsw mesurée (bleu) et modèle ajusté (rouge). Abscisse logarithmique. 105
Figure II.27 : fréquence des oscillations dans la maille secondaire vs $dbulk$ (rouge) et inductance de maille déduites (bleu). 105
Figure II.28 : tensions Vsw mesurées pour $dX7R = 45$ mm (bleu) et 55 mm (rouge). $Ild = 5$ A. 106
Figure II.29 : spectrogramme mesuré de Vsw vs. $dX7R$, pour $Ild = 5$ A. 106
Figure II.30 : inductance de maille HF vs. $dX7R$, pour des courants de charge nul (bleu) et de 5 A (rouge) ; régression linéaire associée (jaune). 106

Figure II.31 : inductance de maille secondaire en fonction de $dbulk$. Mesure (lignes continues avec marqueurs) et ajustement linéaires (lignes pointillées). Inductances évaluées à partir de l'impédance à 10 MHz (bleu) ou extraite de l'ajustement d'un circuit RLC série entre 1 kHz et 10 MHz (rouge). 108

Figure II.32 : inductance de la maille principale en fonction de $dX7R$. 109

Figure II.33 : impédance du PDN vu depuis la sortie de la cellule de commutation factice, mesurée pour diverses valeurs de $dbulk$, pour $dX7R = 0$. Zone grisée : incertitude de mesure due à l'analyseur d'impédance seul pour le réseau de courbes. 110

Figure II.34 : inductance simulée par FEA d'une ligne edge coupled microstrip en fonction de la largeur des pistes : inductance linéique en haute fréquence (ligne continue bleue) et basse fréquence (ligne pointillée bleue) ; fréquence de transition entre domaines basse- et haute- fréquences (rouge). 111

Figure II.35 : inductance de maille secondaire. Mesure en petits signaux (bleu et rouge) et signaux de grande amplitude (magenta). 112

Figure II.36 : représentations schématiques des quatre structures étudiées : vue 3D et de profil. Vert épinard : substrat PCB ; orange : cuivre ; gris : puces ; bleu outremer : connexion de face avant de puce ; cyan et vert printemps : condensateurs de découplage. Certains éléments de substrat donnant, en particulier, sa rigidité à la structure ne sont pas représentés. Les plans de cuivre situés de part et d'autre des géométries G2, G3, et G4, sont cachés dans les vues 3D respectives (ainsi que dans la vue de profil en coupe de la G4). 114

Figure II.37 : géométrie G1. (a) : vue de face annotée, (b) : vue 3D, (c, d) : vue de dessus, PCB supérieur retiré pour $\alpha die = 0$ (figure c) et $\alpha = \pi 2$ (figure d). 115

Figure II.38 : géométrie G2, figures réalisées sans souci d'échelle verticale. a : vue 3D, b, c, d : mise en lumière des pistes $DC+$, $DC-$, et de sortie de la cellule. 116

Figure II.39 : géométrie G3 avec composants rendus translucide pour rendre visible, en particulier, la matrice de via criblant le PCB de sortie ; $\alpha die = 0$. (a) : vue de côté et (b) : vue 3D. 116

Figure II.40 : géométrie G4, $\alpha = 0$. (a) : vue de côté et (b) : vue 3D avec PCB supérieur caché. 117

Figure II.41 : inductance de maille des quatre géométries de références, résultats de simulation Q3D. 118

Figure II.42 : étude de sensibilité pour les inductances AC (gauche) et DC (droite) 119

Figure II.43 : modèle thermique simpliste des géométries proposées. 120

Figure II.44 : représentations schématiques des quatre structures étudiées : vue 3D et de profil. Certains éléments de substrat ne sont pas représentés. 122

Figure III.1 : cellule de commutation, chaque interrupteur est constitué de trois IGBT et de leurs diodes antiparallèles (module Mitsubishi CM600DU-24NFH, 1,2 kV-600 A). 126

Figure III.2 : (a) : décollement d'un pied de fil de bonding. (b) : fissuration d'un pied de fil de bonding. Extrait de [213]. 127

Figure III.3 : (a) : puces connectées par fils de bonding en cuivre [220]. (b-c) : vues en coupe d'un pied de fil de bonding Al/Cu de 300 µm de diamètre soudé sur une puce [223]. (d) : IGBT connecté par ruban aluminium [224]. 128

Figure III.4 : (a) : Connection de face avant par lamelle de cuivre brasée [232]. (b) : connexion flip-chip avec billes de brasure et bloc de cuivre usiné, d'après [234], [236]. 129

Figure III.5 : (a) : connexion par PCB flexible avec frittage – technologie SKiN [237]. (b) : vue en coupe d'une cellule de commutation constituée de deux IGBT frittés entre deux DBC [112]. 129

Figure III.6 : (a) : vue en coupe d'une connexion par billes de brasure entre la puce (en bas de la photographie) et une piste de cuivre (en haut) [240]. (b) : connexion par cylindres brasés [241]. (c) : Technologie Metal-Posts Interconnected Parallel-Plate Structure (MPIPPS) : puce d'environ 7 mm × 14 mm avec poteaux de cuivre (haut) et schéma d'un module (bas) [212]. (d) : feuille de cuivre emboutie brasée sur la puce : schéma (gauche) et vue en coupe (droite) [246]. 130

Figure III.7 : connexion par nano-poteaux de cuivre. (a) : schéma explicatif. (b) : photographie de la forêt. Extrait de [247]. 130

Figure III.8 : (a-d) : étapes du procédé d'enfouissement PCB d'une puce de puissance et reprise de contact en face avant par via électrodéposés. (e) : vue en coupe de deux vias connectant la face avant d'un IGBT. Extrait de [200]. 131

Figure III.9 : vue 3D (a) et en coupe (b) d'un module SiPLIT avec connexion de face avant électrodéposée. Extrait de [239]. 131
Figure III.10 : (a) : photographies d'un wafer de BGCT (similaire au RC-IGBT) de 4,5 kV et d'un diamètre de 91 mm, boitier press-pack associé, et vue en coupe [255], [264], [265]. (b) : vue éclatée d'un boitier press-pack multi-puce (4,5 kV – 2,2 kA) [260]. 132
Figure III.11 : (a) : photographies de ressorts de contacts, mesurant 1 mm de long. (b) : schéma d'un interrupteur constitué de quatre puces en parallèle. Extrait de [114]. 133
Figure III.12 : coupe métallographique d'une puce connectée par mousse pressée (prototype ne comprenant pas de masque – cf. infra). 134
Figure III.13 : étapes du procédé de prise de contact de face avant par mousse métallique pressée. (a) : la puce est brasée sur le PCB inférieur ; (b) : des couches de prepreg, un masque de polyimide et des morceaux de mousse (un par contact de face supérieure) sont positionnés ; (c) l'ensemble est laminé, la résine époxy polymérise et noie la mousse. 134
Figure III.14 : étapes de la fabrication d'un prototype, intégrant une puce de MOSFET SiC CPM2-1200-0040b. (a) : brasage de la puce ; (b) : ajout de couches de prepreg ; (c) : ajout du masque ; (d) ajout de couches de prepreg additionnelles (grossièrement positionnées par rapport à la puce) ; (e) : ajout des morceaux de mousse connectant la source et la grille ; (f) : résultat après laminage. Les photographies, excepté la dernière, sont à la même échelle – la puce mesure 3,1 mm × 5,9 mm. 135
Figure III.15 : schéma montrant le positionnement du masque par rapport à la puce et aux blocs de mousse métallique. Échelle arbitraire. 135
Figure III.16 : coupe métallographique partielle d'un prototype. Une bulle d'air, due au pressage à pression atmosphérique plutôt que sous vide, est visible à côté de la puce, sous le masque. 136
Figure III.17 : coupe métallographique partielle d'un prototype. (a) : contact mousse/aluminium. (b) : contact mousse/cuivre. 136
Figure III.18 : photographie de la mousse avant laminage 137
Figure III.19 : réalisation d'un masque kapton : réalisation d'un masque intermédiaire en cuivre (a-c), puis du masque définitif par attaque laser (par balayage de la surface du masque) en utilisant le masque en cuivre temporaire comme pochoir (d-e), et décollement du masque (f). 138
Figure III.20 : (a) : pochoir en cuivre utilisé pour réaliser le masque (b) pour un MOSFET SiC CPM2-1200-0040b 138
Figure III.21 : (a) : layout annoté d'une puce montrant les pads de grilles et de sources des deux transistors intégrés sur chaque puce. (b) : vues en coupe et 3D d'un boitier PQFN23. 139
Figure III.22 : layout des puces utilisées : (a) : CPM2-1200-0025b ; (b) : CPM2-1200-0040b ; (c) : SIP69N65C3. 140
Figure III.23 : dispositif de type press-pack imitant les caractéristiques du contact par mousse pressée : (a) : schéma ; (b) : photographie. 141
Figure III.24 : caractéristique statique de prototypes (bleu) et de la référence (rouge) : mesures et modèles linéaires. $I0 = 20$ A. 142
Figure III.25 : distribution des résistances observées sur 58 prototypes, comparées à celle de la référence 142
Figure III.26 : distribution des tensions de claquage ou d'avalanche observées sur 58 prototypes enfouis. 143
Figure III.27 : caractéristiques statiques inverses de 7 prototypes. 143
Figure III.28 : mesure de l'impédance dynamique AC. (a) : circuit de test. (b) : résultats de mesure pour différents courant de polarisation Idc. 145
Figure III.29 : schéma du dispositif de mesure de résistance thermique. Résistances thermiques parasites non représentées. 146
Figure III.30 : plages de conductivités thermiques prédites par les différents modèles asymptotiques pour le contact en mousse pressée. La plage dans le cas du modèle de milieu effectif correspond à une incertitude de ±5 % sur la porosité de la mousse ; les modèles empiriques supposent de surcroît une incertitude de ±10 % sur les coefficients numériques ajustés. 148

Figure III.31 : (a) : caractéristique statique Vf, If d'une diode enfouie et d'une référence en boitier standard sous fort courant (≫ au courant nominal). (b) : coupe métallographique partielle d'un échantillon. 150

Figure III.32 : courant If et puissance dissipée Pd au cours d'une impulsion. 151

Figure III.33 : vieillissement par impulsions de courant de 150 A du prototype $P\alpha$. (a) : caractéristiques statiques mesurées. (b) : paramètres (Rs, Vf) extraits à $If0 = 150$ A (droite). 152

Figure III.34 : évolution des éléments du modèle du prototype $P\gamma$ au cours du vieillissement (tension de seuil en bleu, résistance en rouge) – abscisse logarithmique. Le bruit (quelques dizaines de µΩ et mV) est dû à l'instrument de mesure, ainsi qu'aux variations de température ambiante, comprise entre 19 °C et 26 °C. 152

Figure III.35 : éléments du modèle vs température ambiante mesurée au cours du vieillissement) $P\gamma$; résistance (gauche) et tensin de seuil (droite). Un point est indiqué pour chaque mesure, sa couleur est fonction du nombre de pulses écoulés. 152

Figure III.36 : coupe métallographique montrant une zone de contact entre mousse et métallisation de face avant de puce, et en particulier l'écrasement de cette dernière. 153

Figure III.37 : température de jonction (bleu) et sa dérivée temporelle (rouge), déduite de la tension de seuil d'une puce enfouie, au cours du vieillissement. 155

Figure III.38 : tension de seuil (ligne bleue continue) d'un échantillon enfoui connecté par mousse pressé aux cours des 47e à 49e cycles. Température de jonction estimée (ligne rouge) en fonction du temps, à partir de la tension mesurée au cours de cycles précédents (ligne bleue pointillée). 156

Figure III.39 : évolution de la caractéristique d'un composant : variation rapide de la résistance, jusqu'à défaillance. 156

Figure III.40 : évolution de la caractéristique d'un composant : variation non-monotone de la résistance. 156

Figure III.41 : exemple représentatif des échantillons ayant vu leur résistance croître lentement et continuellement au cours du vieillissement. 157

Figure III.42 : nombre de cycles subis avant grossière défaillance. Chaque barre représente un prototype, les barres d'une même couleur représentent des prototypes issus d'un même pressage. Les triangles bleus marquent des prototypes ayant montré une évolution non-monotone de résistance. Les étoiles rouges indiquent des prototypes non grossièrement défaillants lors de l'arrêt des tests. 157

Figure III.43 : caractéristique directe d'une puce connectée par fils de bonding au cours du vieillissement 157

Figure III.44 : fissure au pied d'un fil de bonding connectant la source d'une puce en boitier conventionnel après vieillissement par cyclage thermique. 158

Figure III.45 : détail d'une zone de contact représentative entre la mousse et le cuivre du PCB supérieur. 158

Figure III.46 : détail de la métallisation de la puce fracturée et partiellement délaminée. Une bulle d'air est visible sur la gauche de l'image. 159

Figure III.47 : détail de la zone de contact entre la mousse et la métallisation de la puce : métallisation aluminium détériorée et collée à la mousse. La flèche rouge souligne une présence de résine époxy. La métallisation mesure 3,6 µm d'épaisseur. 159

Figure III.48 : puce fracturée longitudinalement sous l'interface entre la puce et la mousse. 159

Figure III.49 : schéma de principe du banc de test en court-circuit. 162

Figure III.50 : courbes mesurées au cours d'un test SC-CLM. (a) : tension grille-source (bleu) et courant de grille (rouge). (b) : tension entre drain et source (bleu) et courant de drain (rouge). 163

Figure III.51 : courant de drain mesuré sur les différents échantillons. 163

Figure III.52 : résultats de tests SC-CLM. (a) : durée du court-circuit tc. (b) : énergie dissipée avant défaillance $ECLMn$. 164

Figure III.53 : résultats des tests en SC-CLM : $ECLMn$ en fonction de la surface du contact de source $Scontact$. 164

Figure III.54 : photographies de la puce de l'échantillon $P\beta$. (a) : puce avant test en court-circuit destructif, les marques sur les pads de grille et de source sont dues aux tests sous pointes menés en usine. (b) : puce et masque après test SC-CLM. (c) : puce après test, en éclairage et prise de vue rasants mettant en exergue la non-planéité du composant. 165

Figure III.55 : fusion de la métallisation aluminium et traces d'un flot de métal fondu. (a) : indication de l'emplacement des vues (b) et (c) sur la puce. (b) : brins d'aluminium solidifié au-dessus du circuit de la passivation protégeant le circuit de distribution de grille ($P\delta$). (c) : traces témoignant d'un flot d'aluminium fondu ($PX\alpha$). 165

Figure III.56 : dégradation de la passivation polyimide. (a) : indication de l'emplacement des vues (b) et (c) sur la puce. (b) : déformation de la passivation aux abords du pad de grille ($P\delta$). (c) : délamination de la passivation ($P\beta$). 166

Figure III.57 : état de surface de la puce. (a) : indication de l'emplacement des vues (b) et (c) sur une puce. (b) : détail de la surface d'une puce : métallisation de source nue et passivée montrant les cellules linéaires, pad de grille non texturé. ($P\beta$). (c) : surface de la puce après court-circuit : les cellules ne sont pas distinguables et un état de surface granuleux (grains de diamètre de l'ordre de quelques micromètres) est visible sur la partie gauche de la photo ($PX\alpha$). 166

Figure III.58 : tensions et courants mesurées au cours du vieillissement par courts-circuits longs d'une puce connectée par mousse pressée. De haut en bas et de gauche à droite : tension entre drain et source de la puce, courant de drain, tension grille-source, courant de grille. Les courbes bleues correspondent aux premiers courts-circuits ($nSC \sim 1$), les rouges aux derniers ($nSC \sim 1\,000$). 168

Figure III.59 : vieillissement par courts-circuits longs d'une puce connectée par mousse pressée. (a) : énergie dissipée au cours de chaque court-circuit (bleu) et courant de fuite de grille à l'état haut (rouge). (b) : courant maximum de saturation en fonction de la tension grille-source à l'état haut, la couleur des points indique le nombre de courts-circuits nSC écoulés. 169

Figure III.60 : vieillissement par courts-circuits longs d'un MOSFET en boitier TO-247 : énergie dissipée au cours de chaque court-circuit (bleu) et courant de fuite de grille à l'état haut (rouge). En fonction du nombre de courts-circuits nSC écoulés. 169

Figure III.61 : formes d'ondes mesurées au cours du vieillissement par courts-circuits courts. (a) : courant de drain. (b) : courant de grille. 170

Figure III.62 : (a) : courant de saturation maximum en fonction du nombre de courts-circuits. (b) : énergie dissipée au cours de chaque court-circuit et température ambiante associée. 170

Figure III.63 : tension de commande du DUT pendant les courts-circuits (rouge) et courant de fuite de grille lorsque la commande est active (i.e. pour $Vgs \approx 18$ V – bleu). 171

Figure III.64 : résistance à l'état passant normalisée du composant en fonction de la température ambiante. Les quatre nuages de points, chacun d'une couleur différente, montrent l'évolution du vieillissement. Les deux droites délimitent le nuage jaune, avec un coefficient de température de 0,5 %/K 171

Figure III.65 : formes d'ondes mesurées au cours du vieillissement par courts-circuits courts sur un boitier TO-247. (a) : courant de drain. (b) : courant de grille. 172

Figure III.66 : courant de fuite de grille DC (bleu), résistance normalisée mesurée (rouge), et ajustement linéaire (magenta). 172

Figure III.67 : résistance de fuite grille-source du DUT après vieillissement en fonction de la polarisation DC appliquée : impédance en petits signaux mesurée à 1 kHz (ligne pointillée bleue) ; ratio entre courant DC et tension DC (ligne bleue continue). Caractéristique statique tension-courant (ligne rouge continue), et ajustement linéaire (rouge pointillé). 173

Figure III.68 : photographies de la puce complète avant (a) et après (b-c) vieillissement ; sous l'optique d'un microscope (a-b) ou sous éclairage naturel (c). Les lignes bleues (fig. b) marquent les limites du masque. 174

Figure III.69 : puce après vieillissement par courts-circuits longs. (a) : indication de l'emplacement des vues (b) et (c) sur la puce. (b) : zone affaissée, à faible granulosité, compressée sous le masque. (c) : zone de contact entre la mousse et la puce. 174

Figure III.70 : puces après vieillissement par courts-circuits courts de 3 µs (haut) et longs de 4,7 µs (bas). De gauche à droite : grossissement croissant. 175

Figure III.71 : (a) : schéma 3D de la structure de module réalisée. Les puces sont en gris, les contacts en mousse sont bleus marine. Le prepreg et le substrat du PCB supérieur sont partiellement transparents, l'échelle

verticale est $\times 10$. (b) : photographie du module, prise au cours de l'assemblage et montrant les morceaux de mousse..... 179

Figure III.72 : schéma de principe du module. Les borniers $VX \pm$ et $VX *$ transmettent l'alimentation isolée et la commande des drivers X. 179

Figure III.73 : photographie de la cellule de commutation enfouie. 180

Figure III.74 : champ de température simulé, 10 W étant dissipés dans chaque puce et 1 W dans le condensateur de découplage. Le prepreg et le PCB supérieur sont cachés. La température ambiante étant fixée à 22 °C, celle des puces est de 122 °C, tandis que celle du condensateur atteint 124 °C..... 181

Figure III.75 : test en double-pulse. (a) : tension et courant de sortie de la cellule de commutation. (b) : commutations de la tension (fronts montant et descendant) superposées. L'allure de la tension Vsw après la mise en conduction de QLS est probablement due à un courant résonant de mode commun. 182

Figure III.76 : conversion de puissance par opposition sans virtualisation du bus intermédiaire ($Vint$). Le convertisseur buck ($QXS1, L1, C$) est commandé par un signal d'horloge, le boost $QXS2, L2$ par un régulateur à hystérésis. 182

Figure III.77 : test en fonctionnement continu : tension et courant de sortie de la cellule de commutation enfouie. La composante spectrale à 8,3 kHz du courant est due à la fréquence de commutation du boost, non contrôlée mais naturellement stabilisée à $fbuck3$. 183

Figure A1 : schéma montrant le lien entre les différentes géométries et les transformations. Rouge : surface à potentiel fixé ; gris : volumes dont le potentiel est décrit ; lettres orange : points associés d'une transformation à l'autre. 193

Figure A2 : étude de la vitesse de convergence de l'intégrale $\mathcal{I}$. 195

Figure A3 : schéma du circuit de test pour la mesure en signaux de moyenne et forte amplitude : générateur de signal (V1, R1), amplificateur RF (R2 – Power Amplifier PA – R3), et mesure des signaux caractéristiques du DUT par sondes de courant (TI1) et de tension PP018. 196

Figure A4 : gauche : impédance mesurée (bleu) et ajustée (rouge) à partir du modèle donné en bas à droite. Droite, haut : tension (bleu) et courant (rouge) mesurés dans le DUT ; le champ crête dans le circuit magnétique est alors de 10 mT vers 3 MHz. 196

Figure A5 : impédances mesurées en petits signaux (ligne noire), en signaux de moyenne amplitude (ligne bleu), en commutation (point de couleur, de bleu (faible SNR) à rouge (fort SNR)), et ajustement sur les mesures en commutation (ligne rouge, schéma du modèle en insert et valeurs dans le titre de la figure) 198

Figure A6 : Principe de la mesure par pont auto-équilibré : schéma de base (gauche) et implantation avec AOP (droite). Tiré de [86]..... 199

Figure A7 : incertitude de mesure du E4990a dans le plan fréquence – impédance f, Z. Temps d'intégration 3 UA, D'après [86]..... 199

Figure A8 : (a) : schéma interne simplifié du E5061b. (b-e) : connexion d'un DUT à un E5061b pour mesure d'impédance. D'après [331]. 200

Figure A9 : zones du diagramme fréquence-impédance f, Z dans lesquelles l'incertitude de mesure est typiquement inférieure à 10 %, pour diverses méthodes de mesure. (a) : port Gain-Phase. (b) : paramètres S. Extrait de [331]. 200

Figure A10 : incertitude relative de mesure d'un 34465a (lignes continues) et d'un IDM-8351 (lignes pointillées), pour quelques grandeurs. D'après [332], [333]. 201

Figure A11 : (a) : modèle de bobine utilisé par Q3D pour rendre compte de la dépendance fréquencielle de l'inductance et de la résistance, où L, RDC et $LAC, Rf0$ sont les inductances et résistances à fréquences nulle et $f0$, avec $f0$ une fréquence quelconque située dans le domaine AC. b : resistance et inductance correspondantes [338]. 204

Figure A12 : inductances de mailles des géométries G1 à G4, définies section II-4.2, page 114, et simulées d'un seul tenant (« single shot » – lignes continues) ou par somation de six éléments partiels (« $\sum Lij$ » – lignes pointillées)..... 206

Figure A13 : géométrie considérée. (a) : vue 3D et (b) : vue de côté montrant le paramètre ϵ..... 206

Figure A14 : (a) inductance en fonction de la fréquence pour diverses valeurs de $\epsilon \in 0,400$ µm ; (b) : écart relatif à la DCL moyenne, en fonction de ϵ (droite, un point par simulation). 207
Figure A15 : géométrie considérée. (a) : schéma et (b) : dimensionnement utilisé en simulation. 207
Figure A16 : résultats de simulation : inductance (haut) et résistance (bas) en fonction de la fréquence. ... 208
Figure A17 : schéma du convertisseur considéré – découplage du bus de puissance non représenté. 209
Figure A18 : schéma interne simplifié du LMG5200 (extrait de [87]), incluant le driver et sa diode de bootsrap, les HEMT de puissance et un condensateur céramique de bootstrap [350]..... 209
Figure A19 : layout du convertisseur considéré. 210
Figure A20 : mesure de la tension de sortie du convertisseur. 210
Figure A21 : tension aux bornes du condensateur (ligne bleu) et incertitude sur cette mesure (zone bleutée), points de mesure utilisés pour le calcul du modèle (rouge) et tension simulée à partir du modèle et de la mesure de température (magenta). 212
Figure A22 : circuit employé pour mesurer la capacité du DUT. 212
Figure A23 : essais réalisés : décharge du DUT par $IRl - Ib$ (a) et par $IRl + Ib$ (b). $Vc > 0 \Rightarrow Vout > 0$ (a) et $Vout < 0$ (b). 213
Figure A24 : tension mesurée normalisée (bleu) et modèle (rouge). Les deux réseaux de courbes correspondent aux deux expériences (cf. Figure A23). 214
Figure A25 : schéma du banc de test. 215
Figure A26 : variation relative de la capacité d'un condensateur MKP, en ppm, en fonction de la tension de polarisation. Chaque courbe correspond à une série de mesures. 216
Figure A27 : capacité normalisée d'un condensateur en fonction de la tension de biais. $@Vdc = 0$: $CDUT = C0 = 67{,}21$ nF. 216
Figure A28 : capacité de sortie d'un IGBT 5SMY12M1280. Mesure réalisée @100 kHz, $@Vge$=0. 217
Figure A29 : surtension due à l'échelon de courant normalisée en fonction du temps de monté normalisé du front. 219
Figure A30 : (a) : mousse à pores fermés. (b) mousse à pores semi-ouverts. (c) mousse à pores ouverts. Extrait de [277]. 220
Figure A31 : courbe de compression d'une mousse métallique typique [361]. 221
Figure A32 : schéma de principe du banc de test en court-circuit. 222
Figure A33 : fonction de transfert typique d'un sonde CT-2 [363]. 222
Figure A34 : schéma du LNA. La tension à mesurée est appliquée entre Vd et la masse, une alimentation est connectée entre Vcc et la masse, la tension de sortie est mesurée en out et la masse. 224
Figure A35 : (a) : fonction de transfert du LNA (lignes continues, mesurée avec le schéma b), plancher de bruit de l'instrument (ligne pointillée, mesuré avec le schéma c). Le plancher de bruit est relativement haut du fait de la forte bande passante du filtre intermédiaire (paramètre IFBW), proche de $min0{,}2 \cdot f, 30$ kHz pour chaque point de mesure à fréquence f [367]. 225
Figure A36 : (a) : simulation 2D [301]. (b) : simulation 3D avec modèle simple EZ3D (les propriétés de symétrie permettent de ne simuler qu'un quart de la puce) [379]. (c) : modèle 3D mettant en avant une distribution de courant inhomogène [369]. 226
Figure A37 : modèle de simulation : géométrie et profil de champ électrique 227
Figure A38 : évolution de λ, cp en fonction de la température T. 229
Figure A39 : profondeur de peau thermique δth en fonction de la température, à 100 kHz. 230
Figure A40 : résultats de simulation de la géométrie de référence ($\alpha Ni = 30$ %). (a) : densité de courant (rouge) et évolution de la température moyenne de la métallisation aluminium de la puce (bleu). (b) : champ de température dans l'assemblage à la fin du court-circuit. La couleur de l'arrière-plan renseigne sur le matériau correspondant : NiFO (vert), métallisation aluminium (gris perle), SiC (violet), brasure (gris souris). 230
Figure A41 : résultats de simulation de la géométrie de référence : champ de température dans le plan temps-espace. 231

Figure A42 : influence de la proportion de nickel αNi dans l'encapsulant. (a) : évolution de la température de la métallisation aluminium pour diverses valeurs de $\alpha Ni \in 0,\ 1.$ (b) : champ de température dans l'assemblage à la fin du court-circuit. 231

Figure A43 : impact de la conductivité thermique sur la température maximale observée dans l'assemblage en fonction de αNi. La capacité thermique massique de l'époxy est celle de la géométrie de référence (i.e. $900\ \mathrm{J} \cdot \mathrm{kg} - 1 \cdot \mathrm{K} - 1$). 232

Figure A44 : température maximale au sein de la puce en fonction de l'épaisseur de la zone de déplétion (zn) et de sa position sous la couche d'aluminium (zj). 233

Figure A45 : comparaison de la température de la couche d'aluminium en négligeant (ligne pointillée bleue) et en prenant en compte (ligne continue bleue) la dépendance de λ, cp avec la température. 233

Figure A46 : profil de conductivité (a) et de capacité thermique massique (b) dans l'assemblage, à divers instants du court-circuit : depuis le début ($t \approx 0$, courbe bleue) jusqu'à la destruction ($t = 11$ µs, rouge). 234

LISTE DES TABLES

Table I.1 : caractéristiques typique des matériaux magnétiques considérés [8], [10], [11]..... 29
Table I.2 : liste de matériaux magnétiques doux commerciaux en feuilles. 31
Table I.3 : dimensionnement des inductances considérées (paramétrage détaillé en Figure I.26, page 45)... 48
Table I.4 : principaux paramètres décrivant le convertisseur étudié. 52
Table II.1 : temps de monté maximal validant l'hypothèse « front raide » pour divers couples $Cout, L1$. .. 100
Table II.2 : liste de paramètres non contraints décrivant une géométrie 114
Table II.3 : liste de paramètres non contraints décrivant une géométrie 119
Table II.4 : récapitulatif des couplages électrostatiques entre pistes de puissance et masses pour les géométries considérées..... 122
Table II.5 : récapitulatif des caractéristiques des géométries étudiées. 122
Table III.1 : paramètres physiques de la mousse employée [276]..... 137
Table III.2 : paramètres physiques du prepreg utilisé [278]..... 137
Table III.3 : paramètres physiques des feuilles de kapton employées [279]. 138
Table III.4 : paramètres électriques des puces SPD06 mises en œuvre [280], [281]. 139
Table III.5 : paramètres électriques des MOSFET employés..... 140
Table III.6 : liste de modèles de conductivité thermique asymptotiques. $\alpha = \lambda f \cdot \lambda s - 1$..... 148
Table III.7 : compendium des résultats de tests menés sur trois composants connectés par mousse pressée, et du composant connecté par fils de bonding 153
Table III.8 : récapitulatif des résultats des tests de vieillissement par courts-circuits. Les pentes des variations de résistance et de courant de saturation maximum ne sont pas indiquées pour les SC longs car difficilement décorrélables des effets de la température, du fait de la durée limitée des expériences..... 176

Table A1 : détails des hypothèses formulées par quelques publications – cf. texte. 226
Table A2 : paramètres géométriques de définition du modèle – zj est calculé pour une tension de test de $Vds = 600$ V..... 227
Table A3 : propriétés physiques des matériaux étudiés à 298 K. 229

LISTE D'ACRONYMES

ACR / ACL	Alternating Current Resistance/Inductance
BF	Basse Fréquence
CALC	Circuit d'Aide à La Commutation
CEM	Compatibilité Électromagnétique
CMRR	Common Mode Rejection Ratio
CMS	Composant Monté en Surface
CTE	Coefficient of Thermal Expansion
DBC	Direct Bonded Copper
DCR / DCL	Direct Current Resistance/Inductance
DUT	Device Under Test
ESL / ESR	Equivalent Series Inductance/Resistance
FEA / FEM	Finite Element Analysis/Method
FEMM	Finite Element Method Magnetics
FMM	Force Magnéto-Motrice
GaN	Nitrure de Gallium
GP	Gain-Phase
HEMT	High Electron Mobility Transistor
HF	High Frequency
HS	High Side
IMS	Insulated Metal Substrate
LF	Low Frequency
LNA	Low Noise Amplifier
LS	Low Side
LTCC	Low Temperature Co-fired Ceramic
MC	Mode Commun
MD	Mode Différentiel
MLCC	Multi Layer Ceramic Capacitor
PCB	Printed Circuit Board
pdf	Probability Density Function
PDN	Power Distribution Network
PEEC	Partial Element Equivalent Circuit
PFC	Power Factor Corrector
PM	Plaque Magnétique
PSU	Power Supply Unit
SC (-CLM)	Short Circuit (-Current Limitation Mode)
Si	Silicium
SiC	Carbure de Silicium
SMD	Surface Mounted Device
SMI	Substrat Métallique Isolé
VLF	Very Low Frequency
VSM	Vibrating-Sample Magnetometer
WBG	Wide-BandGap
ZCS / ZVS	Zero Current/Voltage Switching

INTRODUCTION GÉNÉRALE

La puissance transférée par un convertisseur peut, assez généralement et en première approximation, être exprimée comme le produit de la fréquence de commutation par l'énergie stockée dans le composant passif assurant le transfert : inductance dans les convertisseurs buck, boost, flyback, etc., condensateur dans un convertisseur à capacités commutées, circuit composite dans un convertisseur résonant, etc. La montée en fréquence des convertisseurs de puissance, permise en particulier par l'usage de composants basés sur des semi-conducteurs rapides, à large bande interdite, doit ainsi permettre de diminuer le volume des composants passifs en diminuant la quantité d'énergie devant y être stockée. Parallèlement, l'évolution du coefficient de qualité (proportionnel au ratio entre l'énergie maximale stockée et celle dissipée par cycle) des composants passifs ne suit pas la trajectoire rapidement croissante des fréquences de commutation ; la diminution du volume n'est donc pas accompagnée d'une diminution équivalente des pertes. Tandis que les puissances dissipées au sein des composants passifs demeurent ainsi quasi-constantes, les densités de pertes croissent, complexifiant la gestion thermique des circuits. La diminution de la surface des puces de puissance associées au développement des composants basés sur des semi-conducteurs à large bande interdite fait qu'une tendance similaire, bien que moins marquée, peut être observée pour les composants actifs.

Conjointement, les problématiques de Compatibilité ÉlectroMagnétique (CEM), tant conduite que rayonnée, liées aux fréquences et, surtout, aux vitesses de commutations croissantes se font de plus en plus prégnantes.

D'un autre côté, l'électronique grand public, en particulier dans le domaine des systèmes nomades ou de l'éclairage surfacique (rétro-éclairage d'écran plats, éclairage d'ambiance à OLED ou LED multi-chips) tend vers des produits miniaturisés et de plus en plus fins.

L'enfouissement au sein du substrat des circuits imprimés (Printed Circuit Board – PCB) de tout ou partie des convertisseurs de puissance pourrait partiellement répondre à ces problématiques grâce à des facteurs de forme élevés, les circuits étant alors généralement fins et plats. Ceux-ci présentent ainsi des ratios entre surface d'échange avec l'extérieur et volume particulièrement élevés, assurant un bon refroidissement des circuits. De surcroît, la bonne maîtrise des procédés de fabrication PCB se traduit par une répétabilité des éléments parasites des circuits enfouis supérieure à celle obtenue avec des assemblages classiques basés sur des composants discrets. En résulte une conception simplifiée, autorisant à laisser moins de marge pour les tolérances, et aboutissant à une meilleure maîtrise des éléments parasites – et par suite de la CEM. Enfin, la fabrication de circuits par panneaux entiers plutôt que système par système, associée aux coûts de fabrication intrinsèquement bas des procédés PCB pour les moyennes à grandes séries, devrait permettre de réduire les coûts de production.

Les performances thermiques des substrats PCB standards étant médiocres, la puissance pouvant être dissipée – et par suite la puissance transférable – par un convertisseur enfoui dans un PCB est relativement limitée. Cette limitation peut néanmoins être surmontée en associant plusieurs convertisseurs en une structure multicellulaire. Une telle topologie présente par ailleurs l'avantage de permettre un partage de certains éléments du système entre les différentes cellules du convertisseur : système de refroidissement, éléments de filtrage de Mode Commun (MC) ou Différentiel (MD), etc. Suivant sa conception, un convertisseur multicellulaire peut, de plus, présenter une sûreté de fonctionnement accrue : en autorisant la déconnection de cellules défaillantes, il peut éventuellement continuer à fonctionner à puissance réduite, en mode dégradé.

Le premier chapitre de ce manuscrit traite d'une nouvelle structure de composant magnétique enfoui dans le PCB et de son procédé de fabrication. Un modèle analytique est développé et des prototypes sont réalisés, caractérisés, et insérés dans des convertisseurs de puissance de manière à montrer l'intérêt de la structure pour la conversion d'énergie électrique.

Le chapitre suivant propose une étude multicritère comparative sur l'agencement des composants d'une cellule de commutation. Le découplage d'une cellule exploitant des transistors rapides est, en particulier, étudié.

Enfin, le troisième chapitre de ce manuscrit introduit une nouvelle méthode de reprise de contact de face avant de puce, développée elle aussi dans le cadre de l'enfouissement PCB de convertisseurs de puissance. Une étude expérimentale vise à caractériser les performances de la technologie proposée. Une cellule de commutation complète, basée sur des transistors connectés par mousse pressée, est finalement conçue à partir des résultats de l'étude menée dans le second chapitre, puis réalisée et testée.

L'étude présentée dans ce manuscrit a été menée en portant une attention particulière à l'instrumentation mise en œuvre. En particulier, l'appareil utilisé pour chaque mesure, sa calibration, la méthode de mesure, et la manière dont la connexion entre celui-ci et le DUT était réalisée ont ainsi généralement été définis de manière à maximiser l'exactitude de mesure. Des efforts ont par ailleurs été faits pour estimer les incertitudes de mesure, en les bornant lorsque c'était possible, ou à défaut en leur attribuant une valeur probable (généralement à un écart-type). L'ensemble de l'instrumentation mise en œuvre et ses caractéristiques principales sont détaillés en Annexe *A3*.

Chapitre I. ÉTUDE D'UNE STRUCTURE DE COMPOSANT MAGNÉTIQUE À FAIBLES PERTES AC POUR L'ENFOUISSEMENT PCB

1 Introduction ____ 28
1.1 Motivations ____ 28
1.2 État de l'art ____ 28
1.3 Avant-propos – des simulations FEM ____ 41
1.4 La V-coil : une amélioration de la structure P-coil ____ 41

2 Réalisation d'une V-coil ____ 43
2.1 Procédé de fabrication ____ 43
2.2 Paramétrage ____ 45
2.3 Caractérisation du matériau magnétique employé ____ 45

3 Étude comparative d'inductances (V- vs P- coils) ____ 47
3.1 Introduction ____ 47
3.2 Prototypes considérés ____ 47
3.3 Intégration dans un convertisseur DC-DC ____ 51
3.4 Discussion : dimensionnement des bobines ____ 56
3.5 Conclusion de l'étude comparative ____ 57

4 Modèle analytique ____ 57
4.1 Introduction ____ 57
4.2 Modèle magnétique ____ 58
4.3 Modèle de pertes cuivre ____ 62
4.4 Modèle de pertes fer ____ 65
4.5 Modèle électrostatique ____ 66
4.6 Modèle de résonateur LC-série ____ 66
4.7 Validation expérimentale ____ 69
4.8 Conclusion sur la modélisation d'une V-Coil ____ 72

5 Mise en œuvre dans un convertisseur résonnant ____ 72
5.1 Introduction ____ 72
5.2 Schéma et instrumentation ____ 73
5.3 Formes d'ondes ____ 73
5.4 Rendement ____ 75
5.5 Conclusion : V-coil dans un convertisseur résonant ____ 76

6 Conclusion et perspectives du chapitre ____ 76

1 INTRODUCTION

1.1 MOTIVATIONS

L'enfouissement dans le circuit imprimé (Printed Circuit Board – PCB) des composants magnétiques pourrait constituer une réponse à une partie des problématiques actuellement posées par ces composants. En particulier, le fort facteur de forme des composants enfouis leur assure un refroidissement amélioré par rapport à des équivalent discrets [1], tout en simplifiant l'intégration des convertisseurs au sein de systèmes complets. La bonne maîtrise des technologies PCB permet de réaliser des composants dont les éléments parasites sont plus répétables que dans le cas de composants bobinés conventionnels [1]. Par ailleurs, l'enfouissement PCB autorise la fonctionnalisation d'un volume étant autrement partiellement perdu, ce qui se traduit par un gain en densité de puissance.

Ce premier chapitre porte sur une structure de composant magnétique enfoui simple, à faible coût de production, et pouvant être réalisée sur une chaine de production PCB conventionnelle. Après une introduction proposant un état de l'art de l'enfouissement PCB de composants magnétiques, la structure considérée est présentée (section 1). Le procédé de fabrication développé, innovant, est ensuite détaillé en section 2. Un prototype est réalisé et ses performances sont comparées à celles d'une structure plus conventionnelle en section 3. Un modèle analytique d'impédance du composant est ensuite proposé. Un autre prototype est considéré en section 5 ; ses caractéristiques électriques sont comparées à celles prédites par le modèle et le composant est inséré dans un convertisseur résonnant. Enfin, la section 6 conclue l'étude.

1.2 ÉTAT DE L'ART

1.2.1 MATÉRIAUX MAGNÉTIQUES

1.2.1.1 MATÉRIAUX MAGNÉTIQUES POUR L'ÉLECTRONIQUE DE PUISSANCE

Des contraintes telles que le coût, la densité maximale de pertes, la fréquence de travail, la forme, les dimensions, les contraintes CEM, etc. influent sur le choix des matériaux magnétiques (ou de leur éventuelle absence) pouvant être mis en œuvre dans chaque application. Cette section propose un aperçu rapide des différents matériaux à la disposition du concepteur.

Les excellentes performances magnétiques (haute densité de flux à saturation proche de 2 T, perméabilité relative dépassant 10^4) des alliages métalliques à base de fer, de cobalt et de nickel tels que FeSi, FeNi, CoFe, les rendent optimaux dans les applications à basse fréquence [2]. Ces matériaux sont alors dédiés à la réalisation d'actionneurs, de transformateurs de puissance, de capteurs, et de composants de filtrage [2]. L'utilisation de noyaux feuilletés, composés de tôles laminées ayant subi un traitement thermique, plutôt que massifs, permet de limiter les courants induits [3]. La conductivité élevée (de l'ordre de 10 à 100 kS/m) découlant du caractère métallique des matériaux en limite néanmoins l'usage à des fréquences généralement inférieures à 1 à 10 kHz, les pertes par courant de Foucault devenant trop importantes au-delà [4].

Les alliages amorphes (i.e. à structure non cristalline) et films nanocristallins (dont les grains monocristallins sont de dimension de l'ordre de 5 à 20 nm [5]) sont généralement réalisés par trempe rapide (vitesse de refroidissement d'environ 1 K/µs [6]) sur roue. Ils présentent des aimantations à saturation similaires à celles des matériaux cristallins associés, ainsi que des perméabilités très élevées, dépassant 10^5. Ces matériaux sont commercialisés sous forme de rubans d'épaisseur 20 à 100 µm, limitant de fait les pertes par courants induits [4] – à condition d'isoler les rubans les uns des autres, la mince couche d'oxydation naturellement présente se révélant généralement insuffisante. La conductivité des matériaux limite par ailleurs leur domaine d'utilisation à des fréquences inférieures à 100 kHz – voire 1 MHz [6]. Le fort coût de fabrication des matériaux magnétiques amorphes et nanocristallins restreint également fortement leur usage [6].

Les ferrites spinelles dominent le marché au-delà de 10 kHz et sont quasi irremplaçables au-delà de 100 kHz. Si diverses variantes existent, toutes ont pour formule générale $MeFe_2O_4$ où Me est un métal de transition divalent (tel le manganèse, le cobalt, le cuivre, etc.), ou une combinaison d'ion globalement divalente (e.g. $Li^{+}_{0,5}Fe^{3+}_{0,5}$, utilisé en hyperfréquences) [7]. Ainsi, les variétés les plus courantes sont les ferrites manganèse-zinc (MnZn, de formule chimique $Mn_xZn_yFe_zFe_2O_4$, avec $x + y + z = 1$) et nickel-zinc (NiZn, de formule chimique $Ni_xZn_{1-x}Fe_2O_4$) [7]. Suivant leur constitution exacte, les premières présentent des perméabilités relatives comprises entre 700 et 30 000, pour des aimantations à saturation atteignant 400 mT et des résistivités de l'ordre de 1 à 10 Ω·m [8]. Les ferrites NiZn, quant à elles, sont destinées aux applications fonctionnant à plus haute fréquence. Elles présentent des magnétisations à saturations légèrement inférieures, proche de 300 mT, ainsi que des perméabilités relatives comprises entre 10 et 1000. Leurs résistivités sont 3 à 4 ordres de grandeurs supérieures à celles des MnZn. La transition entre domaine de prédominance des ferrites MnZn et NiZn est situées entre 1 et 5 MHz [5] – voire 10 MHz pour les composants destinés au filtrage avec pertes. Les ferrites NiZn sont utilisables jusqu'à des fréquences de l'ordre de 500 MHz, fréquence au-delà de laquelle des ferrites doux à structure cristallographique grenat sont disponibles [7].

On donne en Table I.1 un récapitulatif simplifié des performances des différents matériaux magnétiques disponibles pour l'électronique de puissance. Aucune rupture technologique dans le domaine des matériaux magnétiques ne semblant se dévoiler pour le future proche, les principales améliorations viendront donc principalement de la meilleure utilisation des matériaux actuellement disponibles sur le marché [9].

Table I.1 : caractéristiques typique des matériaux magnétiques considérés [8], [10], [11]

Matériau	Résistivité (Ω· m)	Aimantation à saturation (T)	Perméabilité relative	Fréquence (Hz)	Coût relatif
Alliage de fer	$1 \cdot 10^{-5}$	2	40 000	$<$ 10k	Très bas
Ruban amorphe ou nanocristallin	$1 \cdot 10^{-4}$	1,2	$<$ 100 000	$<$ 1 M	Élevé
Ferrite MnZn	$1 - 10$	0,4	700 – 30 000	10 k – 1 M	Très bas
Ferrite NiZn	$> 1 \cdot 10^{3}$	0,3	10 – 1 000	1 M – 500 M	Bas

La forte résistivité du ferrite peut autoriser le contact direct entre les conducteurs et le matériau, sans isolation additionnelle [12]. Les caractéristiques électrostatiques du matériau peuvent cependant obliger à ajouter un diélectrique de manière à limiter les capacités parasites.

1.2.1.2 MATÉRIAUX MAGNÉTIQUES POUR L'ENFOUISSEMENT PCB

INTRODUCTION

Étant données les contraintes de coût et les fréquences de travail considérées, les ferrites se distinguent comme les seules solutions viables pour la réalisation de convertisseurs de puissance enfouis dans le PCB.

Les ferrites doux étant durs et fragiles, leur usinage est lent, délicat, et requiert un outillage spécifique (fraises carbure ou diamant, ou laser) [9], [13]. Tout usinage se révèle donc complexe et coûteux, ne pouvant par conséquent être considéré que pour une production à forte valeur ajoutée. D'un autre côté, du fait des coûts fixes élevés, la réalisation de noyaux ferrite ad-hoc ne peut être envisagée que pour de très grandes séries. L'utilisation de LTCC (Low Temperature Co-fired Ceramic), frittés à 850-950 °C, permet d'approcher les performances de composant basés sur des ferrites à température de frittage standard mais la technologie demeure relativement longue, complexe, et coûteuse à mettre en œuvre [14]–[17].

MATÉRIAUX DOUX EN FEUILLES

Afin d'éviter ces deux solutions, cette étude se propose d'utiliser des feuilles de matériaux magnétiques souples, pouvant être découpées à l'aide d'un outillage simple (ciseaux, laser, etc.), et disponibles commercialement. Ces produits sont initialement conçus pour réaliser des blindages électromagnétiques dans la gamme de fréquence 10 MHz – 10 GHz ou pour améliorer le couplage entre bobines réalisant un transfert inductif de très faible puissance (e.g. RFID à 13,56 MHz).

De plus, les pressions de 2 à 3 MPa appliquées lors de la phase de laminage du PCB soumettent les noyaux – en particulier s'ils sont non-convexes dans la direction de l'effort appliqué – à un important stress, pouvant aboutir à des fractures et des ruptures, sources d'entrefers non désirés [1], [18], ainsi qu'à des modifications des propriétés magnétiques des matériaux [1].

La Table I.2 liste des feuilles magnétiques commerciales spécifiées pour des bandes de fréquences connexes à celle d'intérêt dans ce projet, i.e. [100 kHz, 100 MHz]. Ces produits sont généralement décrits par leur spectre de perméabilité complexe, là où les datasheet des produits destinés au filtrage Very-, Ultra- et Super- haute fréquence (VHF, UHF, et SHF, 30 MHz – 30 GHz), ne renseignent généralement que sur les spectres d'absorption et de réflexion mesurés à l'aide de dispositifs spécifiques normalisés (e.g. échantillon sur un microstrip ou dans une cellule coaxiale [19], [20]).

La fréquence f_{res} correspondant au pic de la partie réelle de la perméabilité s'il existe, ou à la fréquence de coupure sinon, est donnée pour chaque produit. f_{res} correspond ainsi à la fréquence de résonance du matériaux dans le premier cas, et de la première fréquence de relaxation dans le second [21]. La perméabilité relative statique μ_r^0 est également reportée. Enfin, la structure de chaque produit, lorsqu'elle est indiquée par le fabriquant, est renseignée. Les inductions à saturation ne sont quant à elles jamais spécifiées. Les datasheets sont disponibles sur les sites internet des fabricants respectifs.

Chaque feuille est généralement constituée d'une couche de matériau magnétique (couche utile), d'épaisseur typiquement comprise entre 50 et 500 µm, à laquelle s'ajoutent des couches adhésives ou assurant la cohérence mécanique du produit. Les produits basés sur des feuilles de ferrite fritté sont généralement relativement rigides et fragiles. Ceux employant des matrices polymères chargées de poudre magnétique (ferrite ou alliage métallique) sont plus souples, mais l'entrefer réparti résultant se traduit par une baisse de perméabilité moyenne (pour des longueurs caractéristiques typiquement $\ll$ 10 µm).

Du fait de la fragilité du ferrite, il est difficile de trouver des plaques de ferrite massives de dimensions centimétriques de moins de 1 mm d'épaisseur. Recourir à de telles plaques peut donc conduire à une utilisation fortement sous-optimale du matériau, combinée à la réalisation de composants relativement épais. Les produits commerciaux de ce type ne sont pas référencés dans la Table I.2.

Table I.2 : liste de matériaux magnétiques doux commerciaux en feuilles.

Fabricant	Référence	f_{res} (MHz)	μ_r^0	Nota
3M	AB7000	8	115	NC
	AB5010RF	20	170	(1)
	AB5012/16RF	20	90	(1)
	EMT13	20	130	(1)
	EMT15	20	150	(1)
	RFICxx	30	45	NC
	RFIExx	20	55	NC
TDK	IFL04	25	45	NC
	IFL10M	4	120	NC
	IFL12M	3	170	NC
	IFL16M	3	220	NC
	IBF15	16	130	NC
	IFF08	4	115	NC
Lair Tech.	MSLLxxxx-xxx	20	100	(1)
	MHLLxxxx	25	125	(1)
	MULLxxxx	20	130	(1)
	WS-series	3	250	(1)
Würth Elek.	FSFS354	20	110	(1)
	FSFS364	3	240	(1)
	FAS304/314	30	25	(2)
	FAS324	25	55	(2)
	FAS – 304xxS	10	22	(2)
	FAS – 3240xS	10	38	(2)
	FAS – 3340xS	15	52	(2)
	FAS – 3440xS	2	100	(2)
KGS	MG-03-A ; UL94-HB	20	25	NC
	IME5	10	55	(2)
	IM-02	150	11	NC
	MAB	10	12	NC
	FFS	4	170	(1)
	FFSX	20	110	(1)
	EMPV4	10	14	NC
Arc Tech.	B0310	100	22	NC
	B0601	400	11	NC
	WX-A	15	30	NC
	WX-B	20	30	NC
	WDF	30	40	NC
	WL-T	20	90	NC
Murata	Ea2070xxxx	2500	7	NC

Fabricant	Référence	f_{res} (MHz)	μ_r^0	Nota
Donghyun Electronics	NS-G	4	180	(2)
	NS-S	5	150	(2)
	NS-J	5	130	(2)
	NS-K	7	110	(2)
	NS-B	10	60	(2)
	NS-L	15	40	(2)
	NS-H	15	30	(2)
	NS-HD	15	20	(2)
	RF-B	25	55	(2)
	RF-L	22	40	(2)
	RF-H	20	30	(2)
Kemet	EFF	3	130	(2)
	EFX	3	100	NC
	EFA	3	70	NC
	EFR	3	35	NC
	EFG	40	22	NC
	FX5	2.5	150	NC
	FX2	2	120	NC
	FX1	2	100	NC
Fair-rite	38M10xxAAxxxx	200	20	(1)
	38M20xxAAxxxx	90	45	NC
	38M30xxAAxxxx	40	60	NC
	38M40xxAAxxxx	20	110	NC
	38M50xxAAxxxx	10	120	NC
	38M60xxAAxxxx	4	220	NC
Molex	HOZOX	10	130	(2)
Holland Shielding	5790-ES11	20	55	(2)
	5790-ES12	20	60	NC
	5790-ES48	10	95	NC
	5790-ES32	3	110	NC
	5790-ES31	3	125	NC
	5790-ES47	10	80	NC
	5790-ES45	70	22	NC
	5790-ES46	10	70	NC
	5780-C1	8	50	NC
	5780-C3	40	25	NC
	5780-C5A	4	150	NC
	5780-C5B	5	250	NC
	5780-C7	20	140	(1)

Nota : structure du produit : (1) : Feuille de ferrite fritté ; (2) : Polymère chargé ; NC : non renseignée

Chaque produit cité dans la Table I.2 est représenté par un point dans le plan (f_{res}, μ_r) en Figure I.1.

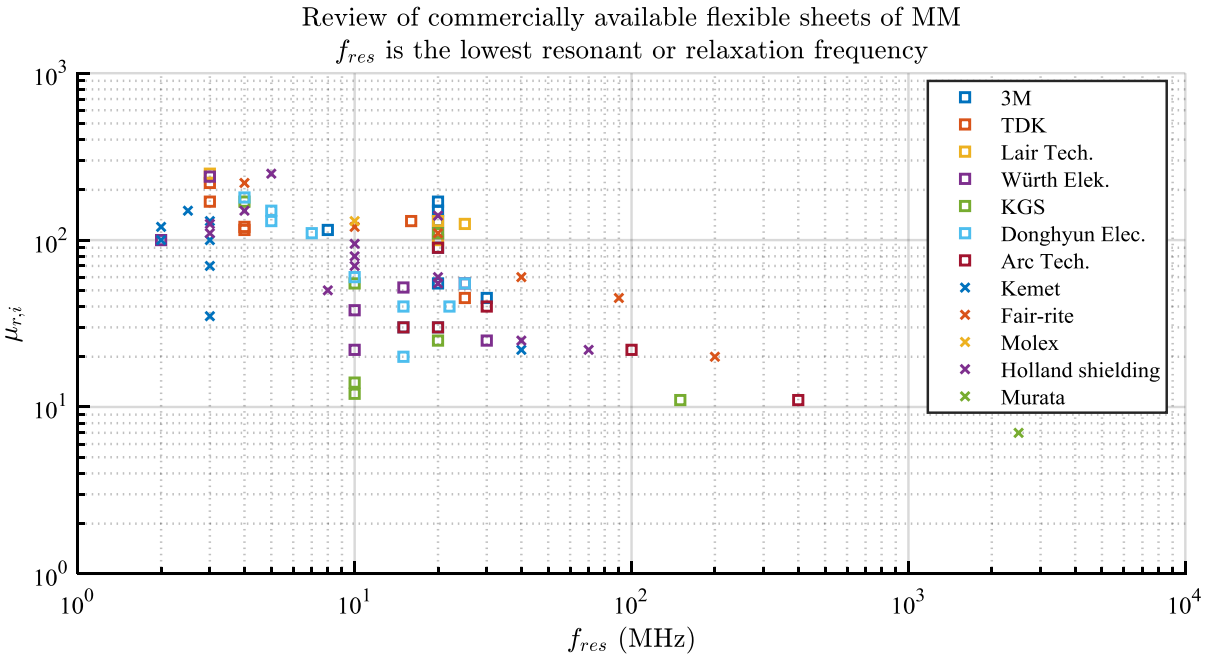


Figure I.1 : perméabilité relative initiale de l'ensemble des Matériaux Magnétiques (MM) commerciaux listés en Table I.2 représentés en fonction de leur fréquence de résonnance.

L'intérêt de ces données pour les applications en électronique de puissance est limité dans la mesure où toutes les caractéristiques sont mesurées en petits signaux. En particulier, l'aimantation à saturation, la densité de perte dans la bande passante du matériau (i.e. à des fréquences inférieures à f_{res}, pour lesquelles la perméabilité en petits signaux est réelle), et l'évolution des caractéristiques avec la température, ne sont pas spécifiées.

Plusieurs équipes ont néanmoins détourné l'usage, avec succès, de ces produits pour des applications en conversion d'énergie [12], [14], [22]–[25]. Si, du fait des entrefers localisés et répartis en jeu, les matériaux sont généralement employés à relativement faible champ, aucune étude ne semble avoir été publiée quant à d'éventuelles campagnes de tests et caractérisation poussées de ces matériaux (i.e. dépassant les mesures de perméabilité en petits signaux et de courbes B-H et détaillant e.g. des mesures de pertes à fort champ).

AUTRES SOLUTIONS TECHNIQUES

Outre l'usage de matériaux magnétiques doux en feuilles, diverses solutions techniques ont été proposées pour réaliser des noyaux magnétiques à coût de production modéré et pouvant être enfouis dans le PCB. De la poudre de ferrite ou nanocristalline peut par exemple être utilisée, associée à un liant organique [26]–[28] ou nue [29]. Il est également possible d'enfouir des rubans nanocristallins ou amorphes [30].

1.2.2 STRUCTURES DE COMPOSANTS MAGNÉTIQUES INTÉGRÉS

1.2.2.1 INTRODUCTION

Depuis la fin des années 60 [31], et plus particulièrement au cours des trois dernières décennies avec le développement des technologies PCB, de très nombreuses études portant sur des composants magnétiques enfouis ont été publiées [2]. Ces études ont porté sur des structures, éventuellement exotiques, de composants, sur leurs modélisations, leurs simulations, leurs optimisations, et/ou sur des procédés de fabrication. Nombre de ces articles détaillent par ailleurs l'incorporation du composant considéré dans un convertisseur servant de démonstrateur, de preuve de concept. Quelques revues de littérature ont également été publiées [2], [32].

Deux grandes topologies principales de composants magnétiques enfouis dans le PCB coexistent [33]. La première (Figure I.2-a) consiste à réaliser des enroulements à partir de pistes imprimées sur les différentes couches d'un substrat PCB et à placer un noyau magnétique de part et d'autre de ce PCB. Le noyau, en blindant au moins partiellement les enroulements, permet alors de diminuer le champ émis tout en accroissant

l'inductance du circuit. Sauf à utiliser un PCB percé et un noyau traversant (e.g. un noyau planar – cf. infra), le PCB réalise alors un entrefer pour le circuit magnétique. La seconde topologie (Figure I.2-b) réside en l'intégration du noyau au cœur du circuit imprimé, les enroulements étant quant à eux réalisés autour de ce circuit magnétique, à partir de pistes et de vias.

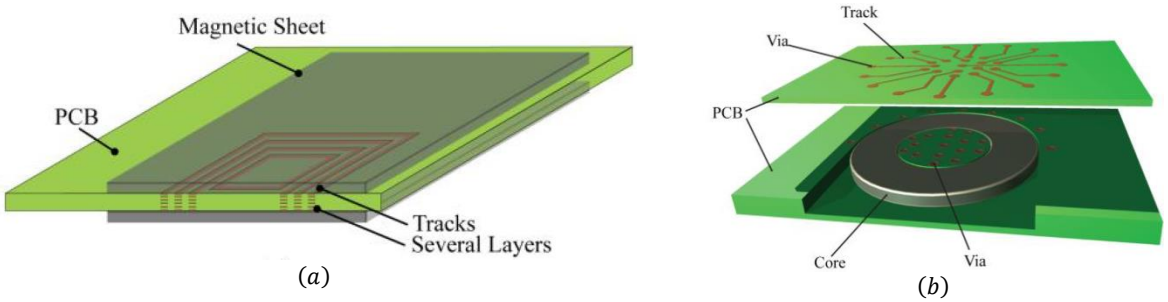


Figure I.2 : topologies de base de composants magnétiques enterrés [33]. (a) : circuit magnétique blindant les pistes ; (b) : enroulements entourant le noyau.

Cette section propose un aperçu de l'état de l'art en matière de composants magnétiques enfouis. Cette esquisse ne se veut nullement exhaustive et ne citera qu'un nombre limité de publications représentatives – ou considérées comme particulièrement pertinentes.

1.2.2.2 COMPOSANTS PLANARS

L'utilisation de noyaux planars, bien que finalement relativement peu répandu dans l'industrie, a constitué, il y a déjà près de quarante ans [34], l'une des premières fonctionnalisations du circuit imprimé en vue de réaliser des composants magnétiques pour la conversion de puissance. Il s'agit alors d'utiliser les pistes de cuivre d'un PCB (a priori multicouche) comme enroulements tandis qu'un noyau magnétique (généralement constitué de ferrite) est positionné autour de ces enroulements, traversant éventuellement le PCB par des alésages ad hoc. Cette technologie est a priori destinée à des transferts de puissances de l'ordre de un à quelques centaines de watts [35]. Certains fournisseurs proposent néanmoins des composants de plusieurs dizaines de kW sous cette dénomination, les PCB étant remplacés par d'épaisses plaques métalliques [36] – ces composants ne seront pas détaillés davantage ici. Les principaux avantages de la technologie planar découlent directement des caractéristiques intrinsèques des méthodes de production PCB. Outre la possibilité de réaliser des composants de faible hauteur (« low profile »), c'est, en particulier, la reproductibilité des procédés qui est mise à profit pour réaliser des composants ayant des éléments parasites (capacités de couplage, inductances de fuites, pertes cuivre) reproductibles [2], [37]. Par ailleurs, du fait de leur forte surface spécifique, ces composants présentent de relativement bonnes performances thermiques, leur permettant d'atteindre des densités de puissances supérieures (jusqu'à près de 50 %) à celles obtenues à l'aide de composants discrets [2], [35], [38].

Figure I.3 : transformateur planar complet (gauche) et avec noyau magnétique retiré (droite) [39].

Deux inconvénients majeurs limitent néanmoins l'usage des composants magnétiques planars. Le premier est une conséquence de la structure même des bobinages, qui crée de fortes capacités de couplages entre spires [2], [40]. Celles-ci peuvent fortement dégrader le comportement haute fréquence du composant en autorisant la circulation d'importants courants capacitifs de Mode Différentiel (MD). Les capacités de couplage entre enroulements dégradent quant à elles le comportement en Mode Commun (MC). Des techniques telles que

l'ajout d'écrans électrostatiques – relativement aisé, au prix de couche(s) de cuivre supplémentaire(s) – ou l'utilisation de techniques d'affectation optimales des couches de bobinage peuvent être profitables [2], [41]–[43]. La réalisation d'un convertisseur de puissance implique généralement un PCB relativement simple, ne comportant qu'une à deux couches et de gravure assez grossière. Pourtant, la réalisation d'un composant planar peut nécessiter l'usage d'un PCB disposant d'un nombre de couches relativement important (suivant le nombre d'enroulements, de spires par enroulement, et les contraintes d'isolement), et généralement supérieur à deux. La réalisation de gravures relativement fines peut, de plus, exiger de recourir à des classes de PCB [44] supérieures, et donc d'un coût accru, à celle requise pour la réalisation du reste de la carte. Dans ces conditions, l'intégralité du convertisseur devra donc être réalisée en technologie PCB de bonne facture, à haute valeur ajoutée [45]. Le second inconvénient majeur de la technologie planar réside donc dans l'inadéquation intrinsèque entre les performances requises pour réaliser le composant en lui-même d'un côté, et le reste du circuit de l'autre. Un palliatif consiste à utiliser un composant discret, rapporté sur la carte mère. Ce composant peut alors être basé sur un noyau planar et un (petit) PCB de classe élevée pour réaliser les enroulements (Figure I.4). Le bénéfice lié à l'usage d'un composant de faible hauteur (« low-profile ») se trouve cependant ainsi partiellement perdu.

Figure I.4 : transformateur planar rapporté (16 mm × 19 mm × 6,4 mm ; 40 W – 600 kHz) [36].

1.2.2.3 COMPOSANTS À ENROULEMENTS PLANS EN SPIRALE – P-COIL

L'une des structures de composant enfoui la plus simple, et par suite l'une des plus étudiée, est schématisée en Figure I.5. Les enroulements sont constitués de pistes de cuivre gravées en forme de spirales (carrées ou circulaires, voire ovales) et connectées, tant entre elles qu'au reste du circuit, par des vias. Une plaque magnétique est ensuite fixée sur chaque face du PCB portant les enroulements. Elles permettent de blinder le composant pour en diminuer le rayonnement et en améliorer l'immunité, tout en accroissant l'inductance et le couplage entre les spires. Ce type de composant magnétique sera par la suite désigné par le terme « P-coil » (pour « enroulements Plans »).

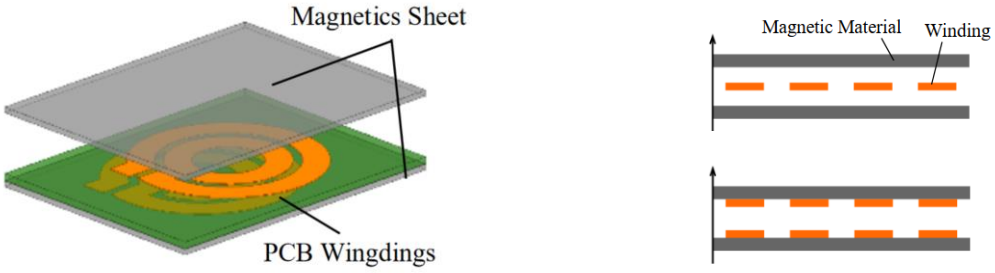


Figure I.5 : P-coil : vue 3D (gauche) et en coupe (droite) [14].

NOYAUX OUVERTS : MODÈLES DE P-COIL

Divers articles ont, dès les années 1990, proposé des modèles analytiques de structures de composants approchant celle de la P-coil. Ces modèles font généralement l'hypothèse que le composant est axisymétrique et sont linéaires.

[46] & [47] (1990), par exemple, se basent ainsi sur la méthode des images [48] pour proposer des modèles analytiques magnétostatiques de P-coils comptant zéro à deux plaques magnétiques, d'épaisseur et de perméabilités finies ou non. Les conducteurs sont supposés filamentaires – hypothèse très forte dans le cas d'un

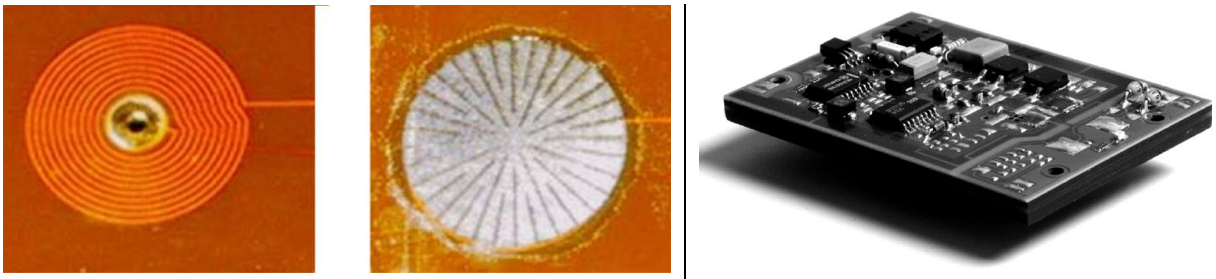
assemblage PCB. L'auteur examine ainsi l'impact des caractéristiques des plaques magnétiques sur l'inductance et montre que, en particulier, ils ont des effets conjoints : accroître la perméabilité ou l'épaisseur du matériau permet d'accroître l'inductance. Il montre par ailleurs que si l'usage d'une unique plaque magnétique permet de doubler l'inductance de la bobine seule [49], l'ajout d'une deuxième plaque permet de bien plus fortement accroître l'inductance du composant – qui se trouve alors limitée par la longueur de l'entrefer.

[50] (1995) et [51] (1997) détaillent la modélisation d'une P-coil avec et sans plaques magnétiques. Ces dernières sont supposées d'épaisseur finie mais de diamètre infini. Une application directe des équations de Maxwell sous excitation harmonique permet de décrire la redistribution des lignes de courant, conséquence des courants induits dans les conducteurs. Des Simulations par Éléments Finis (Finite Element Analyses – FEA) en 2D et un prototype sont utilisés pour valider les résultats du modèle.

[12] (2005) propose un modèle analytique par reluctances réparties décrivant le magnétisme d'un composant magnétique de type P-coil ; les prédictions du modèle sont comparées aux mesures réalisées sur un prototype. Le modèle suppose que le champ est nul en dehors du composant en lui-même, limitant son domaine d'applicabilité à des composants utilisant des plaques magnétiques relativement épaisses et de grand diamètre.

NOYAUX OUVERTS : PROTOTYPES DE P-COIL

[23] (2001), [52] (2005), [12] (2005), [53] (2012), [14] (2018), [22] (2018), etc. décrivent la réalisation d'inductances et transformateurs de structure P-coils. Ces différentes publications font appels à des plaques magnétiques commerciales en µMétal (alliage FeNi), en ferrite, ou en polymère chargé en ferrite. Les prototypes présentés mesurent de l'ordre de 10 à 50 mm de diamètre pour des épaisseurs allant de 300 µm à quelques millimètres. Les inductances obtenues vont de moins de 1 µH à quelques dizaines de µH. Suivant leur topologie et leurs caractéristiques exactes, les composants magnétiques sont employés dans des convertisseurs buck, flyback, ou résonants, transférant de quelques watts à quelques centaines de watts. Les autres composants sont généralement logés sur le PCB, au-dessus du composant magnétique. Certains condensateurs de [12] sont également intégrés dans le PCB (Figure I.6-b). Le circuit magnétique en µMétal de [52] est structuré de manière à y limiter les courants induits (Figure I.6-a). Les prototypes présentés par [52] et [53] sont réputés flexibles, bien qu'aucun test approfondi ne soit détaillé.



(a_1) (a_2) (b)

Figure I.6 : (a) : composant de type P-coil réalisé sur substrat PCB flexible [52] : bobinage seul (a_1) et avec plaques magnétiques structurées (a_2). (b) : convertisseur avec transformateur intégré [12]

L'un des rôles des plaques magnétiques placées de part et d'autre des enroulements d'une P-coil est de limiter le champ magnétique émis hors du composant ainsi que l'énergie électromagnétique rayonnée. De manière à davantage limiter les perturbations rayonnées, [54] (2002) propose d'ajouter un blindage en cuivre plaqué sur les faces externes du matériau magnétique. Les auteurs montrent ainsi par simulation et mesure sur un composant utilisant des plaques de ferrite de 25 mm × 25 mm × 0,4 mm qu'un blindage d'épaisseur 70 µm permet de diminuer le champ rayonné d'environ 30 dB – sans dégradation du rendement du composant.

NOYAUX FERMÉS ET SEMI-FERMÉS

L'un des inconvénients de la structure P-coil est que le circuit magnétique est ouvert, limitant de fait l'inductance maximale atteignable, tout en engendrant un flux de fuite et des pertes relativement élevés. [55] (2003) & [53] (2012) montrent qu'utiliser un circuit magnétique entièrement fermé ou semi-fermé (Figure I.7) se

traduit par une diminution de reluctance, et par suite d'une augmentation de l'inductance. La canalisation des lignes de flux entraine de plus une forte réduction des courants induits dans les pistes de cuivre, et donc des pertes cuivre AC.

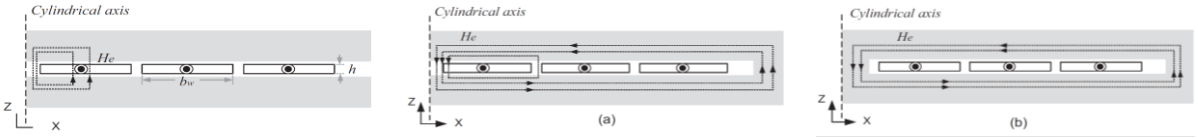


Figure I.7 : structure P-coil ; de gauche à droite : noyaux ouvert, semi-fermé, fermé [53].

[56] (2000) et [55] (2003) proposent une bobine de structure P-coil dont le noyau en NiFe électrodéposé est fermé par des vias en son centre ainsi que sur son pourtour (Figure I.8-a). L'inductance vaut 10 µH, sature à 600 mA, et mesure 10 mm × 10 mm × 1,29 mm. [12] (2005) détaille la réalisation d'un composant enfoui de structure P-coil fermé (finalement proche d'un pot-core), basé sur un polymère chargé en ferrite (Figure I.8-b).

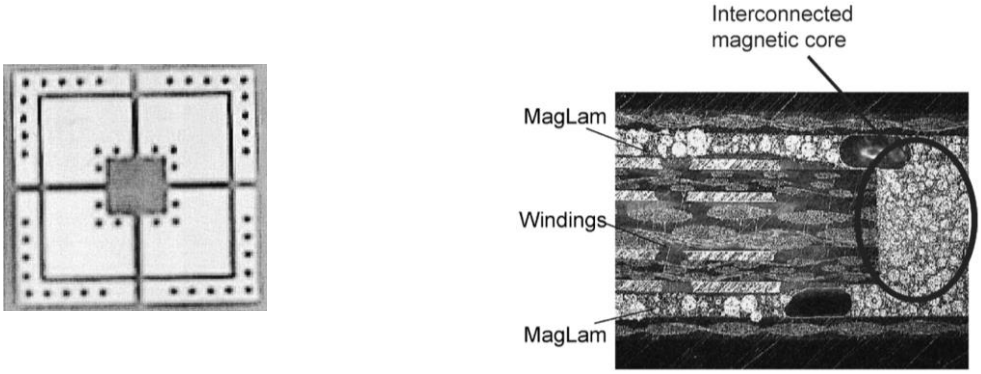


Figure I.8 : (a) : vue de dessous de l'inductance (structure P-coil avec noyau fermé par des vias métallisés, structuré, et avec entrefer) utilisée dans [55]. (b) : coupe métallographique d'un composant magnétique à noyau fermé, utilisant un polymère chargé en ferrite [12].

1.2.2.4 COMPOSANTS À STRUCTURE TORIQUE

Les composants de type P-coil sont des structures pour lesquelles le circuit magnétique entoure les enroulements. La topologie duale est une structure consistant en un noyau magnétique plan de forme quelconque (e.g. torique) noyé dans le PCB et autour duquel sont réalisés les enroulements.

[57] (1999), [1] (2004), [25] (2016), [58] (2017, Figure I.9-a), [29] (2017), [9] (2018, en Figure I.10), [59] (2019) décrivent des composants construits autour de noyaux toriques enfouis. [57] utilise des tôles fer-silicium, [1], [58] et [9] se basent sur des tores de ferrite commerciaux usinés, [25], [59] utilisent des feuilles magnétiques, tandis que le noyau toroïdal de [29] est réalisé en versant de la poudre de ferrite dans une cavité aménagée dans le prépreg avant laminage. Les tores ainsi mis en œuvre ont des diamètres allant de 10 à 70 mm, des épaisseurs de l'ordre de 1 à quelques millimètres, et sont prévus pour intégration dans des convertisseurs buck et active-clamp flyback [60] de puissances allant de 2 W à 1 kW. Les mesures d'impédance menées par [9] sur les composants enfouis basés sur des tore commerciaux usinés montrent des pertes accrues au-delà de quelques dizaines de kHz, sans que leur source ne puisse être pleinement expliquée, mais qui pourraient résulter du stress mécanique causé par l'usinage [61].

[62] (2007) et [30] (2013, Figure I.9-b), de leur côté, utilisent des noyaux constitués de quatre barreaux de matériau magnétique disposés en rectangle. [62] utilise du ferrite (obtenus par découpe d'un noyau standard), [30] du ruban amorphe.

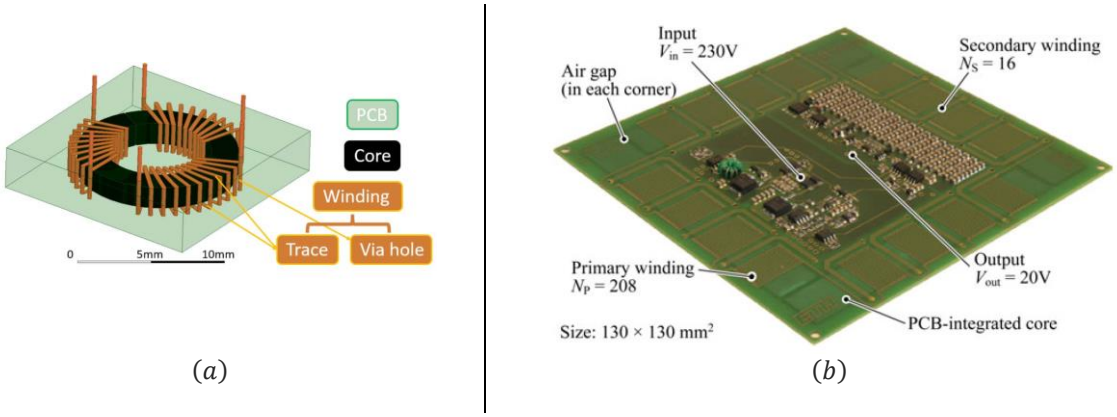


Figure I.9 : (a) : transformateur à noyau torique [58] ; (b) : convertisseur flyback (« power sheet ») avec le circuit actif logé au centre du transformateur enfoui [30].

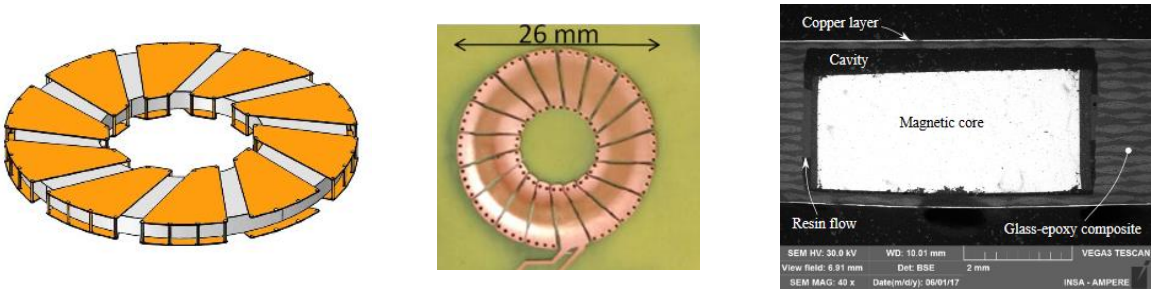


Figure I.10 : structure d'inductance torique enfouie. De gauche à droite : schéma 3D sans le substrat PCB, photographie d'un prototype, micro-section d'un prototype montrant le noyau solidaire du substrat du fait de la résine du prepreg [9].

[63] (2017) présente une optimisation et une étude comparative d'inductances à noyau planar et à noyau torique enfoui (Figure I.10). Les auteurs montrent ainsi que si le planar présente de meilleures performances en matière de rendement et de volume, il est plus délicat à refroidir.

1.2.2.5 Bobinages « origamis » sur PCB flexible

Le dessin d'enroulements comptant de nombreuses spires peut requérir un nombre de couches élevé, et donc coûteux. Une alternative peut consister à utiliser un PCB flexible (« flex ») plié sur lui-même [8]. [64], [65] (2006) décrivent ainsi un transformateur dont le noyau est constitué de deux plaques de ferrites parallèles et reliées par des courts pylônes de ferrite (Figure I.11). L'épaisseur du prototype est alors de 2,3 mm, pour une surface de 15 mm × 21 mm. [45] applique cette méthode de bobinage à un noyau planar.

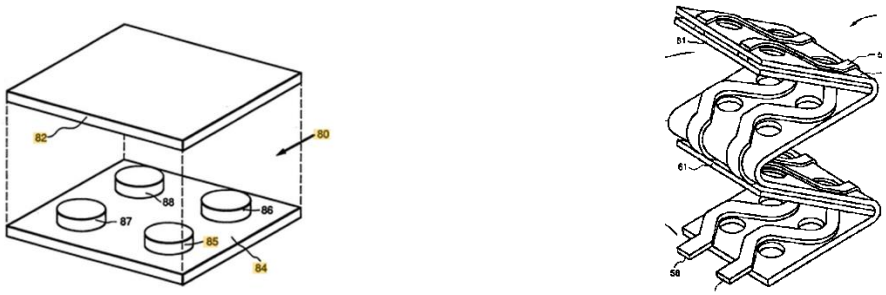


Figure I.11 : géométrie du noyau ferrite (gauche) et instructions de pliage montrant les pistes de cuivre et le substrat polyimide (droite) [64].

1.2.2.6 Structures non-conventionnelles de composants et de méthodes de réalisation

[66] (2009) propose de réaliser des circuits magnétiques enfouis en juxtaposant des petites briques de ferrite, réduisant de fait le risque de fracture du matériau magnétique lors de l'étape de laminage. Un exemple de noyaux EI ainsi constitué est schématisé en Figure I.12. Les briques pourraient être fabriquées en grande série et ainsi

permettre la réalisation de structures de noyaux exotiques à bas coût. Un inconvénient majeur de ce procédé réside dans l'existence d'un entrefer semi-distribué, réparti entre les blocs monolithiques de ferrite. Un transformateur réalisé à l'aide de cette technique, est mis en œuvre dans un convertisseur LLC délivrant 360 W sous 12 V, avec un rendement atteignant 93 %.

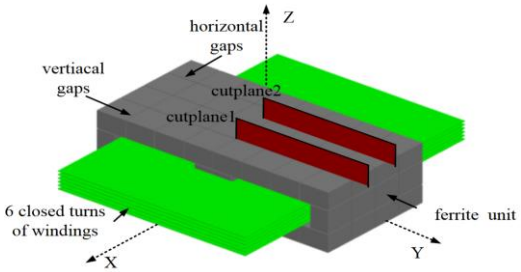


Figure I.12 : schéma d'un noyau EI réalisé par mosaïque de pavés de ferrite [66].

[67] (2011) décrit des transformateurs conçus pour être utilisés dans des convertisseurs de 1 à 3 W. Ils sont de topologie « race-track » (cf. Figure I.13-b-d) : les enroulements sont tout d'abord réalisés sur un substrat polyimide, lequel est ensuite usiné de manière à permettre le dépôt d'un circuit magnétique fermé. Le noyau, d'épaisseur 10 µm, est réalisé par pulvérisation cathodique de multiples couches (de manière à limiter les courants induits) de Co–Zr–O/Zr–O_2.

[68] (2012) décrit un coupleur (Figure I.13-a) réalisé à partir d'un bloc de ferrite dans lequel des tranchées sinueuses ont été usinées et au sein desquelles des morceaux de PCB multicouches ont été placés, réalisant les enroulements. Une seconde plaque de ferrite, placée au-dessus de l'ensemble, ferme le noyau.

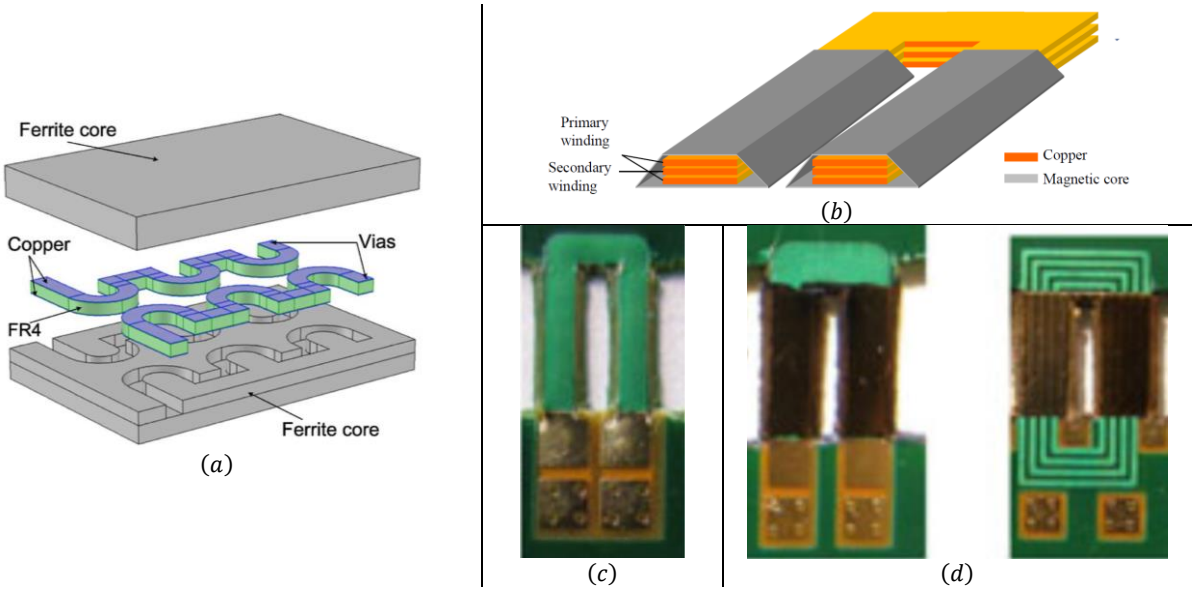
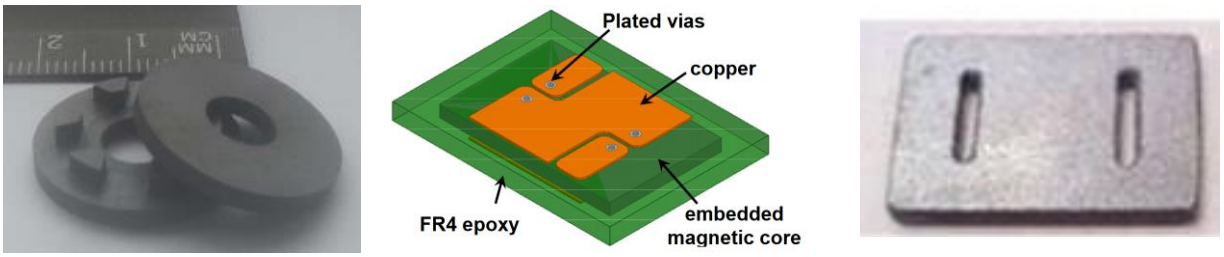


Figure I.13 : (a) : coupleur présenté dans [68]. (b-d) : bobine de type « race-track » [67], (b): schéma, (c) : photographie d'un prototype après découpe du substrat et avant dépôt du circuit magnétique, (d) : photographie de deux prototypes finalisés.

[69] (2015) traite d'un coupleur en technologie planar pour convertisseur basse-tension hexaphasé. Le noyau, de géométrie ad hoc (Figure I.14-a), est réalisé par usinage de ferrite NiZn.

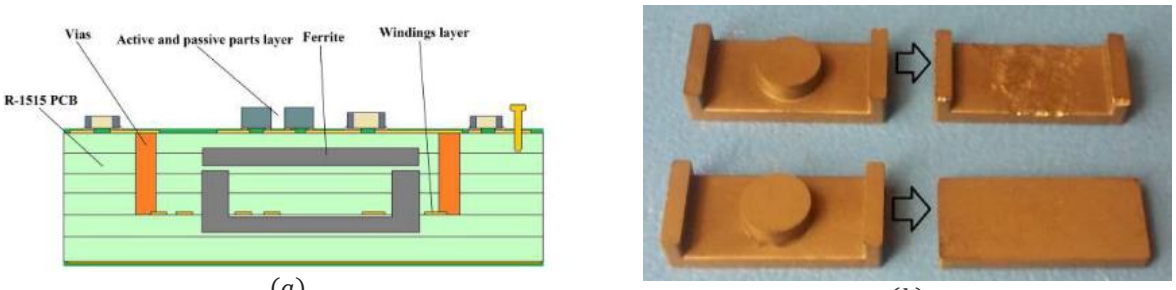
L'inductance décrite dans [13] (2015) est basée sur un parallélépipède de matériau magnétique traversée par quatre vias qui, associés à quelques pistes de cuivre, constituent le bobinage (Figure I.14-b-c). Deux prototypes sont réalisés et testés, l'un basée sur un ferrite LTCC, l'autre utilisant un empilement de feuilles de polymère chargés de ferrite.



(a) (b) (c)

Figure I.14 : (a) : photo du coupleur [69]. (b) : schéma et (c) : photo du noyau de l'inductance [13].

[70] (2016) détaille la conception, la réalisation, et le test d'un transformateur basé sur un noyau ferrite U-I relativement plat (Figure I.9) et enfoui dans le PCB. Le convertisseur, conçu pour présenter une faible capacité de couplage, mesure 15 mm × 22 mm × 3,6 mm et délivre 2 W à 2 MHz.



(a) (b)

Figure I.15 : (a) : schéma du convertisseur ; (b) : noyau de ferrite U-I réalisé par usinage de noyaux commerciaux [70].

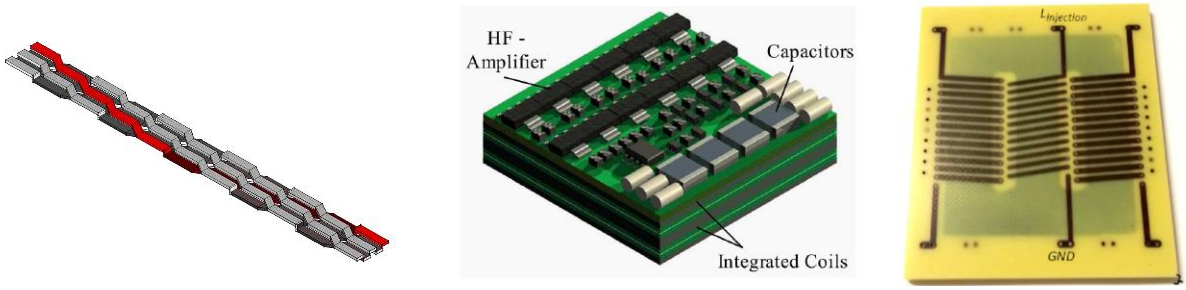
1.2.2.7 PERTES CUIVRE AC & INTÉGRATION COMME FILTRE CEM

Du fait de leur fort facteur de forme, les pistes de circuit imprimé peuvent conduire à de fortes pertes AC par effets de peau, de proximité, et courants induits. De manière à limiter ces pertes, [71] (2015) propose par exemple de reproduire la structure d'un fil de Litz en technologie PCB multicouche (Figure I.16-a). Un modèle analytique est proposé, et mis à contribution pour réaliser un prototype optimisé de plaque de cuisson domestique à induction.

Si de fortes pertes AC sont rédhibitoires dans un convertisseur à découpage, elles sont en revanche davantage acceptables dans un filtre CEM, auquel elles conférèrent l'amortissement requis.

[72] (2003) propose ainsi de déposer une couche de nickel (de perméabilité $\mu_r = 600$, et de conductivité $\sigma_{Ni} = 0{,}26 \cdot \sigma_{Cu} = 15\ \mathrm{MS \cdot m^{-1}}$) de 25 µm d'épaisseur sur la surface des conducteurs en cuivre de manière à accroître notablement les pertes AC – des FEA montrent que la résistance du conducteur à 10 MHz est augmentée de 20 dB. La technique est mise en œuvre dans un filtre utilisant un noyau ferrite planar.

[24] (2009, Figure I.16-b) et [18] (2012) décrivent l'implémentation de filtres CEM hybrides. Tous deux utilisent des inductances intégrées : [24] utilise un noyau en µMétal pour réaliser une structure P-coil à noyau ouvert, tandis que [18] utilise un noyau en ferrite usiné (Figure I.16-c). Les condensateurs de filtrage sont intégrés en utilisant des couches à forte constante diélectrique. Le filtrage actif est réalisé par injection capacitive pour [24], et par couplage inductif pour [18].



(a) (b) (c)

Figure I.16 : (a) : structure (cachant le substrat) d'un fil de Litz en technologie PCB [71] ; (b) : schéma du filtre CEM [24] ; (c) : coupleur présenté [73].

1.2.2.8 MINIMISATION DES CAPACITÉS PARASITES ET DE LEURS EFFETS

Les facteurs de forme élevés des conducteurs réalisés en pistes de PCB, associés aux faibles distances inter-pistes (permises en particulier par la forte tenue diélectrique des substrats PCB – autour de 20 à 50 V/µm pour des substrats verre-époxy ou polyimides standards), et aux constantes diélectriques des isolants (proches de 3,5 à 4,2 pour les substrats organiques courants), sont sources de capacités parasites relativement élevées, supérieures à celle habituellement rencontrées avec des composants discrets. Divers travaux visant à diminuer ces capacités, pour *in fine* accroître la bande passante des composants, ont pu être publiés.

[74] (2005), en particulier, propose de compenser les effets de la capacité parasite d'une bobine réalisée sur noyau planar en ajoutant un écran conducteur, de dimensions calibrées, au milieu du noyau, entre les couches constituant l'enroulement du composant. [75] (2011) compare trois routages, équivalents à trois méthodes de bobinages dans le cas de composants conventionnels. Les techniques proposées (Figure I.17) sont des équivalents du bobinage (semi-) concentriques, en galette [8], et d'une technique intermédiaire, permettant de multiplier par 2 ou 3 la fréquence de résonnance du composant.

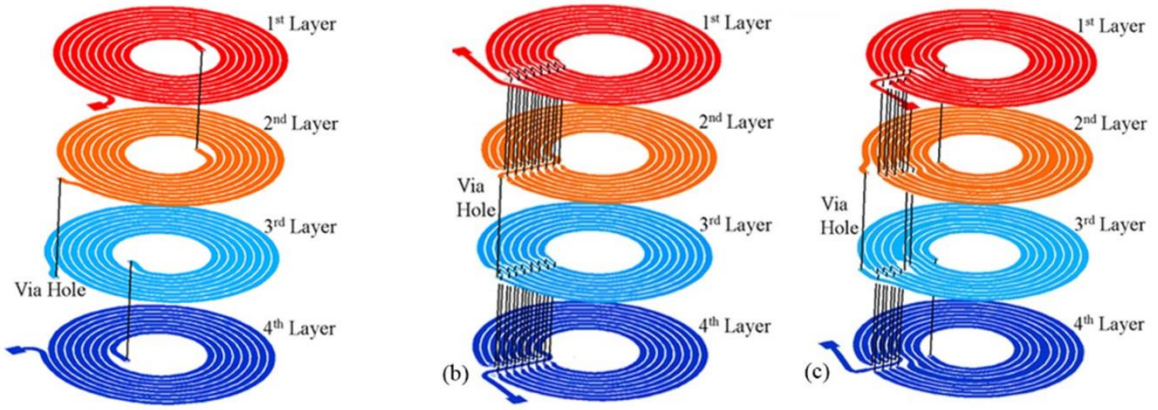


Figure I.17 : enroulement d'inductance en quatre couches. Bobinage en galettes (gauche), semi-concentrique (milieu), et méthode intermédiaire (droite).

1.2.2.9 ASSEMBLAGES PCB 3D

Orthogonalement aux solutions précédentes utilisant l'intrinsèque facteur de forme du circuit imprimé pour aboutir à des prototypes fins mais de grandes surfaces, [45] (2006) utilise des PCB flexibles contorsionnés de manière à aboutir à un volume finalement relativement cubique (Figure I.18). [45], [76] décrivent par ailleurs la réalisation d'un résonateur LCT intégré, dont l'étude est détaillée dans [77]. Les enroulements sont réalisés à l'aide d'un PCB flexible replié sur lui-même (« z-folded », similaire à la technique de [65], 1995), tandis qu'un noyau planar, auquel sont adjointes des couches diélectriques et magnétiques, couple les enroulements.

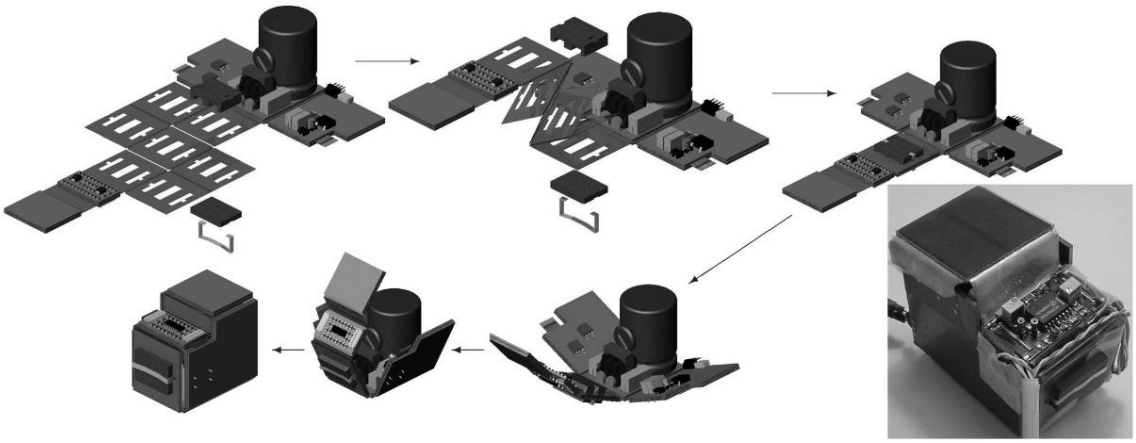


Figure I.18 : technique de packaging en "3D PCB" proposé par [45].

1.2.2.10 VERS L'INTÉGRATION SUR PUCE

Les procédés d'intégrations PCB et sur silicium présentent d'importantes similarités : fabrication par panneaux entiers ou wafers, à fort volume, fortement automatisées (ou pouvant l'être), à hauts rendements, à faibles coûts marginaux. Certaines techniques couramment mises en œuvre sont proches : photolithogravure, dépôt électrolytique, gravure à haute définition ; tandis que d'autres, plus exotiques telle la pulvérisation de matériau magnétique, sont compatibles [32].

Dans une optique de miniaturisation, d'importants efforts ont été menés de manière à, au-delà de l'enfouissement PCB, intégrer des convertisseurs complets dans un boitier (Power Supply in Package – PwrSiP) ou même sur puce (Power Supply on Chip – PwrSoC). Ces technologies, dont [78] propose une revue, dépassent néanmoins le cadre de la présente étude.

1.3 AVANT-PROPOS – DES SIMULATIONS FEM

Une partie de l'étude développée dans ce chapitre fera appel à des simulations par éléments finis (FEA – Finite Elements Analysis). Sauf mention contraire, les simulations seront réalisées à l'aide du logiciel FEMM 4.2 [79]. Des simulations en 2-dimenssions, supposant une symétrie de révolution, seront menées. La taille des mailles sera limitée au minimum d'un cinquième de l'épaisseur de peau dans le matériau considéré et de la plus petite dimension de la zone à mailler. L'angle minimal des triangles formant les mailles sera fixé à $\pi/6$ rad. L'impédance d'un domaine de simulation infini sera simulée par la fonction @mi_makeABC, implémentée dans le simulateur. Celle-ci place autour du modèle sept couches magnétiques de perméabilités calculées de manière à imiter des conditions aux limites de Dirichlet repoussées à l'infini [80]. Sauf mention contraire, le matériau magnétique sera supposé linéaire et sans perte.

1.4 LA V-COIL : UNE AMÉLIORATION DE LA STRUCTURE P-COIL

La structure de type P-coil, détaillée ci-avant, est simple : des spirales de cuivres sont imprimées sur un PCB, de part et d'autre duquel sont placées des plaques de matériau magnétique. Cette topologie est peu coûteuse à réaliser en utilisant les techniques standards des unités de production PCB, elle présente des performances peu dépendantes des caractéristiques exactes des matériaux magnétiques utilisés du fait de l'existence d'un large entrefer, elle permet la réalisation d'inductances couplées comptant de multiples enroulements, elle est fine, elle est caractérisée par un faible champ hors du composant pour peu que les plaques magnétiques soient adéquatement dimensionnées, etc.

Néanmoins, un inconvénient majeur de cette topologie découle de sa structure même : les enroulements, localisés dans l'entrefer séparant les deux plaques magnétiques, sont globalement orthogonaux aux lignes de champ magnétique (Figure I.19). Cela se traduit par de forts courants induits et, par suite, par d'importantes pertes cuivre AC. C'est ainsi l'orientation des pistes qui fait que leur surface projetée suivant la direction

principale du flux magnétique dans l'entrefer (i.e. $\vec{z}$) est maximale – et donc que les pertes cuivre sont maximales.

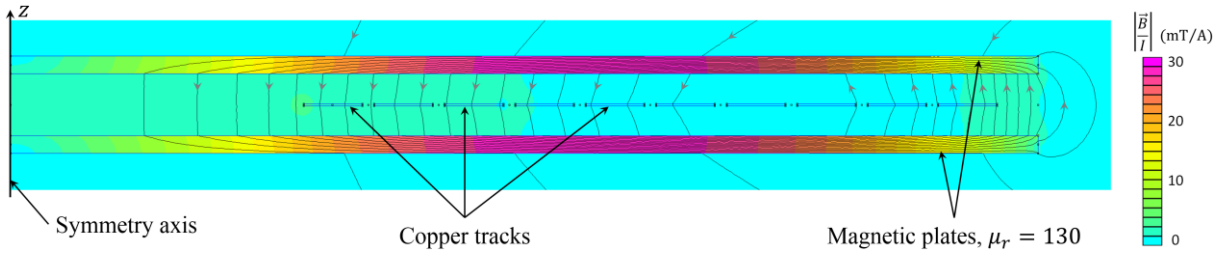


Figure I.19 : résultat de simulation magnétostatique d'une P-coil montrant des lignes de champ magnétique, globalement orthogonales aux pistes de cuivre, au sein d'une P-coil : champ magnétique normalisé par le courant d'excitation. Le rayon des plaques magnétiques est de 17,5 mm, leur épaisseur de 200 µm ; le schéma est à l'échelle.

Une manière de réduire ces pertes serait de modifier l'orientation des pistes, de manière à minimiser la surface projetée vs $\vec{z}$. Le composant dual de la P-coil de la Figure I.19 est donné en Figure I.20. Cette structure, dénommée par la suite « composant de type P-coil à enroulements Verticaux », ou V-coil, fait l'objet de la présente étude.

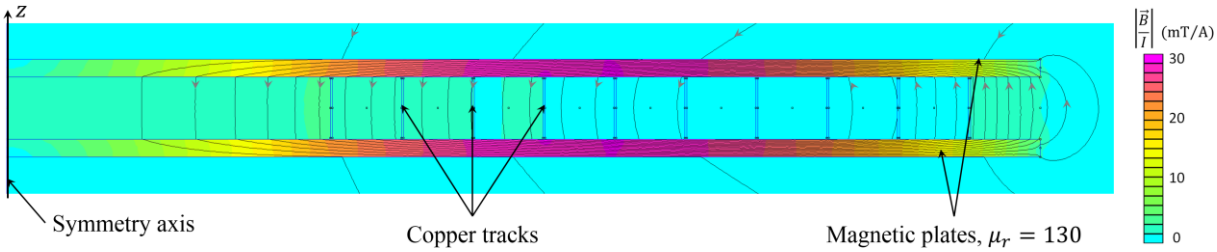


Figure I.20 : résultat de simulation magnétostatique de la V-coil utilisant les mêmes plaques magnétiques et ayant des conducteurs de sections et rayons moyens identiques à celle de la Figure I.19. Champ magnétique normalisé par le courant d'excitation.

Soient deux inductances, une P-coil (celle de la Figure I.19) et une V-coil (celle de la Figure I.20), utilisant les mêmes plaques magnétiques et ayant des conducteurs de sections et rayons moyens identiques. Leurs résistances simulées en fonction de la fréquence sont données Figure I.22. Comme attendu, leurs résistances DC sont similaires. Il apparait en revanche que les effets de peau et de proximité se font sentir sur la P-coil à partir de fréquences bien plus faibles que sur la V-coil : dès 200 kHz vs 1 MHz. Ceci est confirmé par la Figure I.21, qui montre la densité de courant dans les spires des deux composants à 200 kHz.

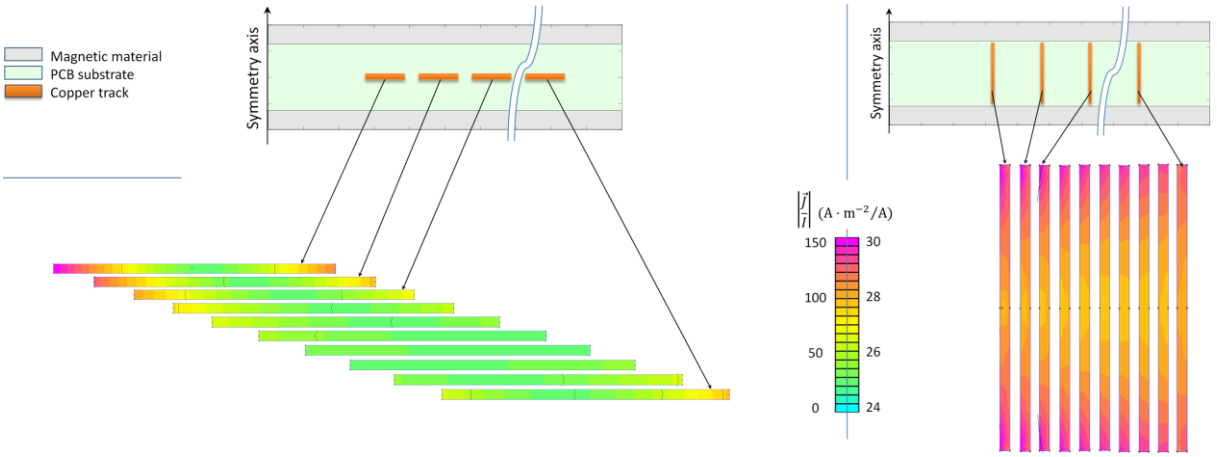


Figure I.21 : densité de courant (normalisées par le courant total) simulées à 200 kHz pour une P-coil (gauche) et une V-coil (droite) ayant le même circuit magnétique ainsi que des conducteurs de même section et diamètres moyens. De manière à rendre la figure plus lisible, les rectangles (chacun correspondant à une spire) ont été rapprochés. La densité de courant dans l'enroulement de la V-coil est bien plus homogène que dans la V-coil (noter les palettes de couleurs différentes).

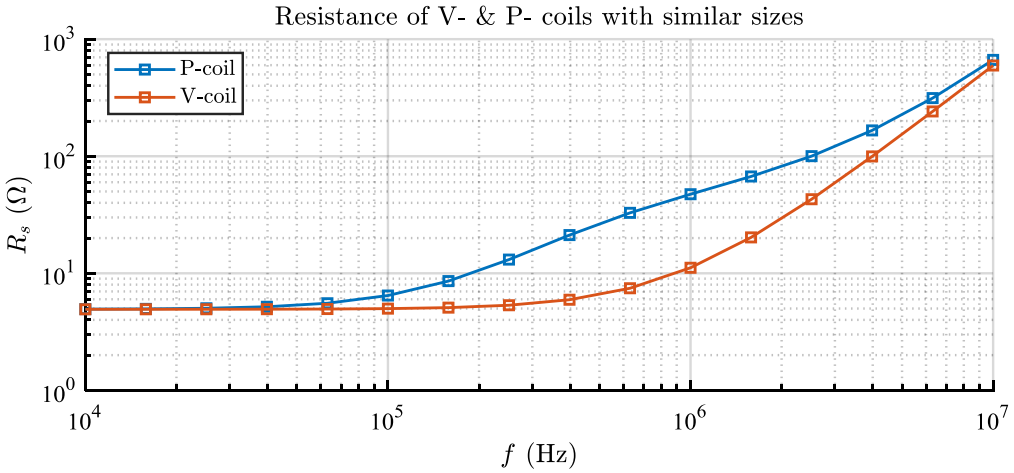


Figure I.22 : résistances simulées d'une V-coil et d'une P-coil ayant le même circuit magnétique ainsi que des conducteurs de mêmes sections et diamètres moyens.

Les prochaines sections proposent une étude comparée plus poussée de la structure V-coil : détail du procédé de réalisation, étude comparative d'une V-coil et d'une P-coil, développement d'un modèle boite-blanche, mise en œuvre en tant que résonateur monolithique.

2 Réalisation d'une V-coil

2.1 Procédé de fabrication

2.1.1 Méthode générale

Le procédé menant à la réalisation d'une V-coil est schématisé en Figure I.23 et détaillé ci-après :

a. Un PCB standard d'épaisseur t est considéré. Le substrat peut-être en verre-époxy, polyimide, etc.
b. Une tranchée en spirale, de largeur w_t est ouverte dans le substrat. La réalisation peut être réalisée par ablation laser ou usinage mécanique.
c. Une couche d'accroche est déposée sur l'intégralité de la surface du substrat. De l'or, du palladium, etc. ou plus modestement du carbone peuvent être utilisés – suivant les process disponibles et le substrat employé.
d. Une couche de cuivre, d'épaisseur v, est électrodéposée sur la couche d'accroche. Diverses études portant sur les paramètres optimaux (température, dynamique et valeur moyenne de la densité de courant) de dépôt électrolytique ont été publiées, e.g. [81].
e. La tranchée est remplie de résine, e.g. époxy, de manière à donner au composant sa rigidité mécanique.
f. Le cuivre déposé sur les surfaces planes du substrat (i.e. telles que $|2z| > t$) est gravé. Il peut, comme pour un PCB standard, servir à réaliser des pistes et à supporter des composants, ou permettre la création de drains thermiques.

L'ordre des étapes (e) et (f) peut éventuellement être échangé, en fonction des autres opérations devant être réalisées sur le PCB. Cet ordre pourra également définir la manière dont le cuivre déposé en dehors de la tranchées (i.e. telles que $|2z| > t$) sera retiré : gravure sèche ou humide.

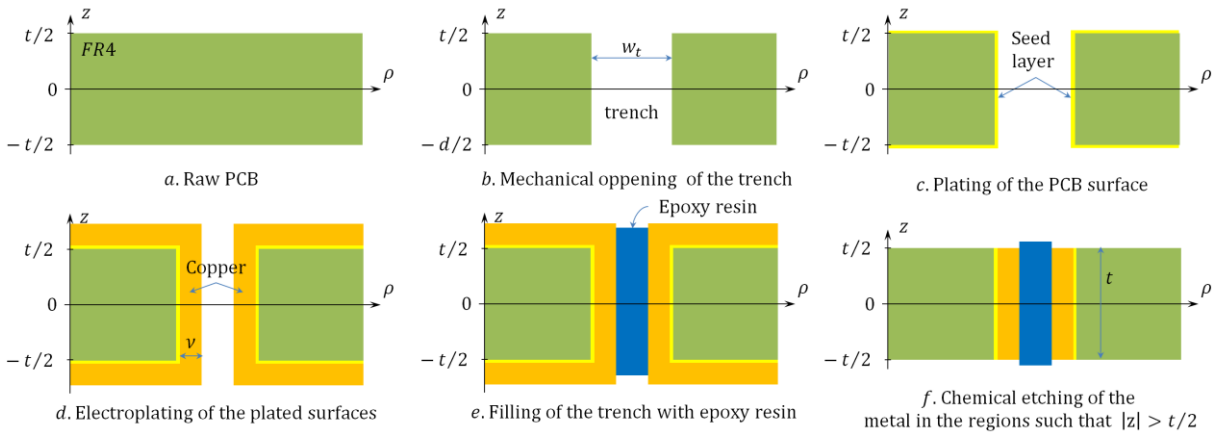


Figure I.23 : étapes de réalisation d'une V-coil – vue en coupe locale, échelle arbitraire.

À l'issue de ces étapes, un ruban de cuivre se trouve ainsi déposé sur chaque bord de la tranchée. Ces rubans sont interconnectés à leurs extrémités, au niveau des extrémités de la spirale (Figure I.24). Deux alésages localisés au niveau de ces liens permettront de séparer les rubans, tout en offrant la possibilité de connecter ces derniers au reste du circuit – si cela n'avait pas été fait au cours de l'étape (f).

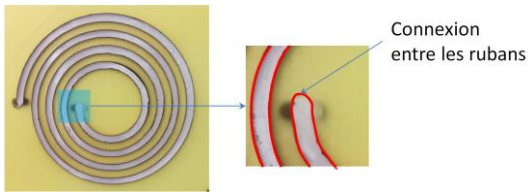


Figure I.24 : photographie d'un prototype à l'issue de l'étape (f). Gauche : prototype complet ; droite : zoom soulignant la position des rubans de cuivre et de l'une de leurs connexions.

Après éventuelle reprise de contacts aux bornes des enroulements et laminage additionnel, des plaques de matériau magnétique sont ajoutées de part et d'autre du PCB résultant. Une étape de laminage additionnelle peut être nécessaire de manière à obtenir un composant entièrement enterré, et ainsi permettre la réalisation d'un circuit complet à sa surface, au-dessus des plaques magnétiques.

2.1.2 EXEMPLE DE MISE EN ŒUVRE

Des photographies prises pendant la réalisation d'un prototype de V-coil sont données en Figure I.25. Le composant a été réalisé à partir d'un substrat verre-époxy de 1,4 mm d'épaisseur dans lequel une tranchée de largeur 1,5 mm en forme de spirale de rayon externe 16 mm et de pas 3 mm a été usinée mécaniquement.

Une couche d'accroche en or a été déposée sur les deux faces ainsi que sur les bords de la tranchée du PCB par pulvérisation cathodique. De manière à limiter l'échauffement de l'échantillon, quatre couches d'or d'épaisseurs proches de 20 nm ont été déposées en laissant au substrat 10 minutes pour refroidir entre deux couches.

Une couche de cuivre d'épaisseur 90 µm a ensuite été électrodéposée. Des tests ont montré que, du fait de la résistance relativement importante de la couche d'or (mesurée comme valant 2,0 Ω/□, via la méthode quatre pointes, espacées de 5,08 mm [82]), l'application d'un courant trop élevé dès le début de l'étape de dépôt engendrait une dissipation thermique provoquant le décollement du cuivre sur les couches planes du substrat. Le dépôt a donc été réalisé en deux étapes. La première, sous faible densité de courant (2 mA/cm²) a permis de consolider la couche d'accroche en lui donnant une épaisseur de l'ordre de 1,6 µm. La seconde, sous densité de courant nominale (20 mA/cm², pendant 5,5 h) a donné à la couche de cuivre son épaisseur finale, soit 90 µm. Une solution de sulfate de cuivre de concentration 75 g/L (LPKF UN2796) a été utilisée, à température ambiante, sans agitation.

Une résine époxy by-composant a ensuite été utilisée pour remplir la tranchée, avant que ne soit mécaniquement retiré le cuivre déposé sur les faces planes du substrat.

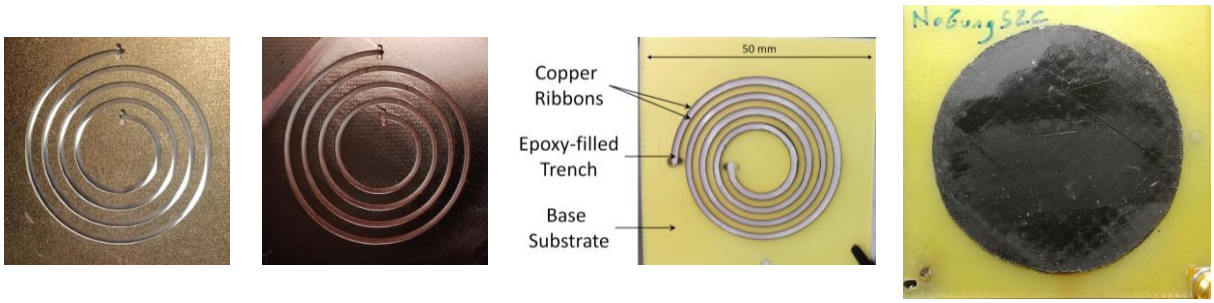
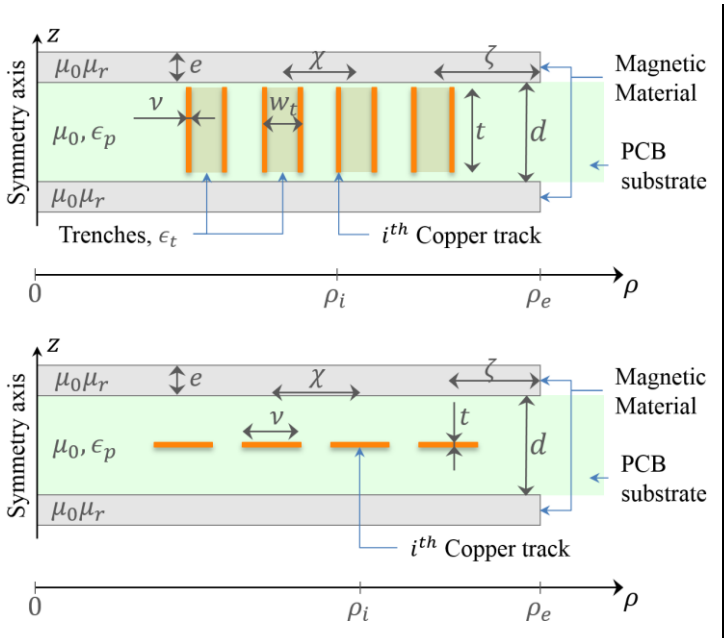


Figure I.25 : photographies des étapes de réalisation d'une V-coil, de gauche à droite : après dépôt de la couche d'accroche, après dépôt de la couche de cuivre, après retrait de la couche de cuivre, après ajout des plaques magnétiques.

2.2 PARAMÉTRAGE

On donne en Figure I.26 un schéma en coupe d'une V-coil et d'une P-coil définissant divers paramètres géométriques du composant. Les notations sont identiques, à l'exception des paramètres définissant la largeur de la tranchée (paramètre w_t) et le diamètre de la spire externe (paramètre ζ). En particulier, pour une V-coil : $\nu \ll t$, alors que pour une P-coil : $\nu \gg t$.

Par commodité, on supposera par la suite que la P-coil ne compte qu'un enroulement et que les spirales des deux structures sont régulières. L'analyse développée, tout comme son implémentation dans le logiciel de calcul numérique, tolère néanmoins que les paramètres (ν, w_t, χ) diffèrent d'une spire à l'autre. Le paramètre considéré délaisse dans ce cas sa qualité de scalaire pour prendre celle d'un vecteur dont chaque élément est associé à une spire. Il est également envisageable d'entrelacer plusieurs spirales, correspondant à autant d'enroulements distincts.



Paramètre	
t	Hauteur des rubans de cuivre (direction $\vec{z}$)
ν	Épaisseur des rubans de cuivre ($\vec{\rho}$)
d	Distance séparant les PM
e	Épaisseur des PM
ζ	**P-coil** : Distance entre le milieu de la spire externe et le bord des PM. **V-coil** : Distance entre le milieu de la tranchée externe et le bord des PM.
N	Nombre de tours par enroulement
χ	Pas de la spirale
w_t	**P-coil** : N.A. **V-coil** : Largeur de la tranchée
ρ_e	Rayon des PM
ρ_i	Rayon moyen de la i^e spire
μ_r	Perméabilité relative des PM
ϵ_t	**P-coil** : N.A. **V-coil** : Permittivité de la résine dans la tranchée
ϵ_P	Permittivité du substrat

PM : Plaque Magnétique.

Figure I.26 : schémas paramétrés d'une V-coil (gauche, haut) et d'une P-coil (gauche, bas), et détail des notations (droite).

2.3 CARACTÉRISATION DU MATÉRIAU MAGNÉTIQUE EMPLOYÉ

Les prototypes présentés dans cette section utiliseront comme matériau magnétique du IBF15 [83]. Celui-ci est commercialisé par TDK sous formes de plaques d'épaisseur 100 µm ou 180 µm. Les plaques sont constituées d'un dallage de tuiles de ferrites carrées de 2 mm de côté, pris entre deux films plastiques assurant la cohésion

des feuilles. Ces dernières, relativement flexibles du fait de l'articulation possible entre les tuiles, se découpent aisément mécaniquement.

Le spectre de perméabilité relative du matériau (Figure I.27-a) a été mesuré à l'aide d'une cellule coaxiale 16454A-20 mm, connectée à un analyseur E4990a par un adaptateur 42942a [84]. 15 tores de diamètre externe 20 mm et interne 4,5 mm ont été découpés dans des feuilles du matériau et empilés dans la cellule. Cette méthode a permis de maximiser le volume de matériau tout en assurant que le champ d'excitation était dirigé selon le plan de la feuille – comme dans l'application finale. L'incertitude de la mesure, dominée par celle sur les dimensions de l'échantillon, est renseignée sur la figure. Une découpe au laser pulsé de l'échantillon aurait probablement permis de fortement accroître l'exactitude de la mesure.

Le cycle d'hystérésis du matériau, mesuré à température ambiante à l'aide d'un Magnétomètre à Échantillon Vibrant (Vibrating-Sample Magnetometer – VSM, LakeShore 7400) est donné en Figure I.27-b. Une unique tuile, de masse 2,5 mg, était insérée dans l'entrefer de l'instrument. L'échantillon était parallèle au champ d'excitation de manière à minimiser le champ démagnétisant [85] tout en se plaçant dans une situation proche de celles rencontrée en utilisation réelle. La magnétisation à saturation est de $J_{sat} = 460$ mT et le champ coercitif de $H_c = 400$ A/m.

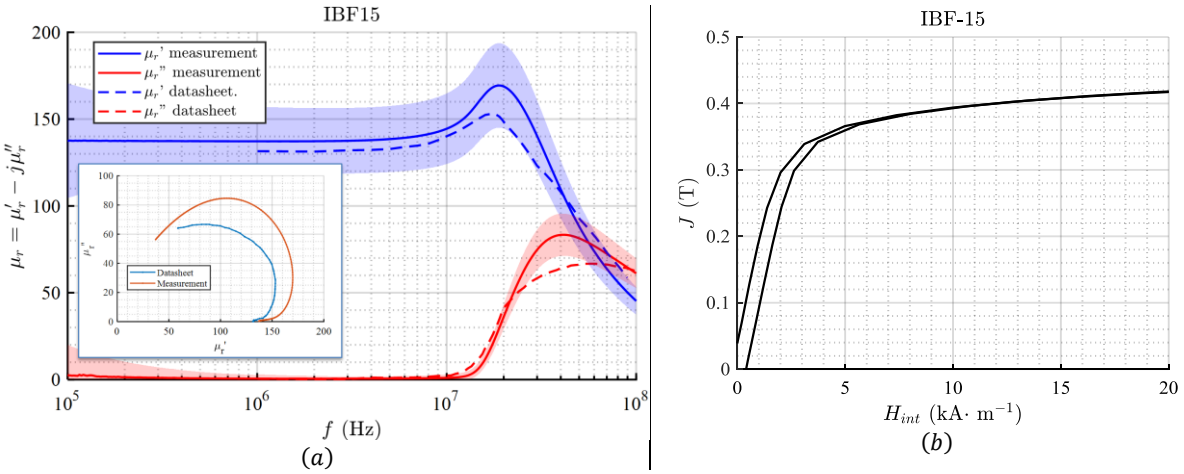


Figure I.27 : (a) perméabilité relative du IBF15 : valeur mesurée (lignes continues), spécifiées (lignes discontinues) et incertitude (zones grisées), avec figure de Cole-Cole (μ_r'' $vs.$ μ_r') en inset. (b) : cycle d'hystérésis du IBF-15.

Mesures et simulations ont montré que la forte résistivité du ferrite rend inutile la structuration des plaques magnétiques. La Figure I.28 détaille les résultats d'une simulation 3D, réalisée sous Ansys-Mawxell, dédiée à l'estimation des courants induits dans les plaques magnétiques. La P-coil de la section suivante (section 3) est simulée, avec un courant d'excitation de 1 A, à 1 MHz. Le matériau magnétique est spécifié pour une perméabilité réelle de 130 et une conductivité de 1 nS/m (valeurs spécifiées par le fabriquant). La puissance dissipée dans le circuit magnétique est alors de 2,2 mW, ce qui est négligeable devant les pertes cuivre. Des mesures ont par ailleurs montré que découper les plaques magnétiques en 2, 4, ou 8 quartiers n'avait pas d'impact observable sur le spectre de résistance du composant.

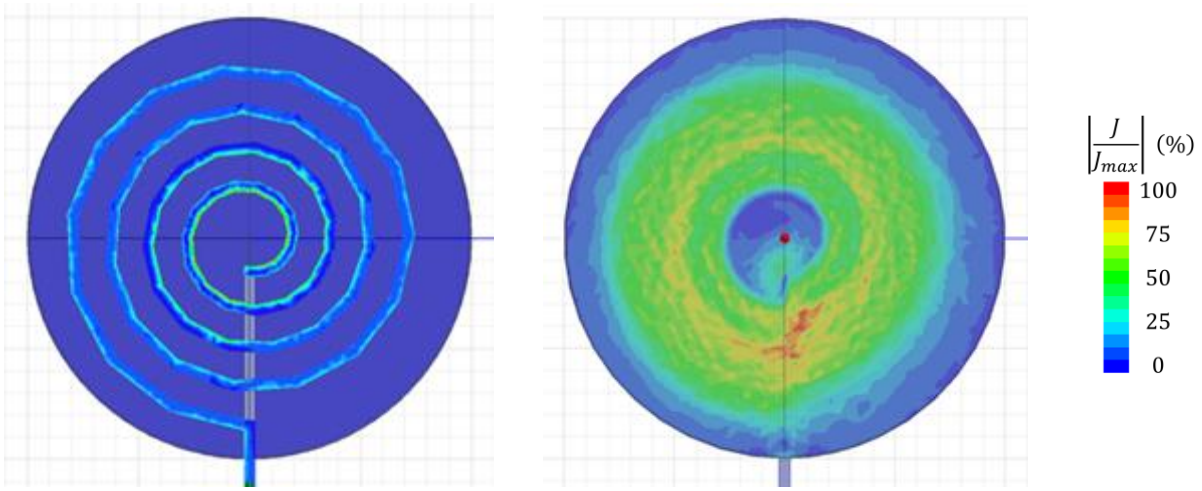


Figure I.28 : gauche : densité de pertes dans l'enroulement, une plaque magnétique ayant été cachée ; droite : densité de courant sur la surface interne d'une plaque magnétique (échelle linéaire arc-en-ciel entre 0 et 1 A/m², pour une excitation de 1 A).

3 ÉTUDE COMPARATIVE D'INDUCTANCES (V- VS P- COILS)

3.1 INTRODUCTION

Le raisonnement qualitatif proposé en section 1.4 (page 41), associé aux simulations de la Figure I.22, suggère qu'une V-coil engendrerait moins de pertes AC qu'une P-coil de dimensionnement similaire. On se propose de quantifier cette assertion, par simulation et mesure, sur un exemple précis : deux bobines, une P- et une V- coils, de dimensions similaires sont réalisées et leurs impédances sont comparées. Ces composants sont ensuite insérés dans des convertisseurs buck dont le rendement global est étudié.

De manière à réaliser une comparaison aussi juste que possible des structures P-coil et V-coil, et plus particulièrement de l'incidence de l'orientation des conducteurs, un seul des enroulements de la V-coil est utilisé, l'autre étant laissé flottant. Cette pratique se serait néanmoins, a priori, révélée fort peu à propos dans une application réelle. Les deux enroulements pourraient par exemple y être connectés en série ou en parallèle de manière à diminuer la résistance de la bobine ou à en augmenter l'inductance.

3.2 PROTOTYPES CONSIDÉRÉS

3.2.1 GÉOMÉTRIE

Les dimensions des deux bobines considérées sont données en Table I.3. Ces deux composants ont été conçus de manière à être géométriquement similaires – abstraction faite de l'orientation des conducteurs. Tous deux utilisent ainsi des plaques magnétiques identiques et ont la même épaisseur totale. De plus, la piste constituant l'enroulement de la P-coil et la tranchée de la V-coil sont superposables : même diamètre interne, pas, et nombre de tours (cf. Figure I.29). Enfin, l'épaisseur de cuivre des enroulements de la V-coil a été ajustée de manière que les deux composants aient des résistances DC identiques.

Table I.3 : dimensionnement des inductances considérées (paramétrage détaillé en Figure I.26, page 45).

Symbole	Paramètre	P-coil	V-coil	Unité
t	Epaisseur des pistes de cuivre ($\vec{z}$)	0,07	1,27	mm
v	Largeur des pistes de cuivre ($\vec{\rho}$)	1,9	0,09	mm
d	Distance entre les PM	1,5	1,5	mm
–	Epaisseur totale	2,4	2,4	mm
e	Epaisseur des PM	360	360	µm
ρ_e	Rayon des PM	20,5	20,5	mm
μ_r	Permeabilité relative des PM	130	130	–
N_w	Nombre d'enroulements	1	2	–
N_t	Npombre de spires par enroulement	4	4	–
χ	Pas de la spirale	3	3	mm
w_t	Largeur de la tranchée	N. A.	1,5	mm
ρ_0	Rayon interne de la spirale	6,6	6,6	mm

PM : Plaque Magnétique.

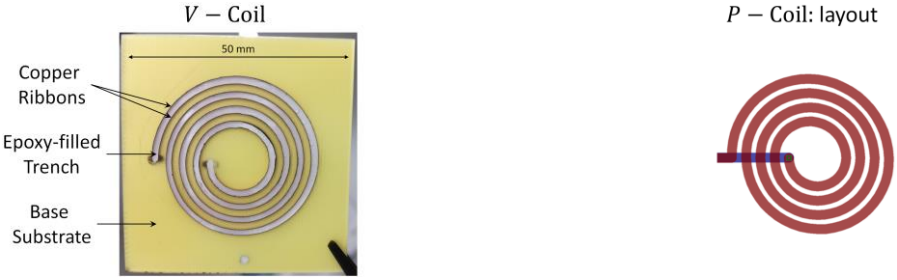


Figure I.29 : photographie de la V-coil avant ajout des plaques magnétiques (gauche) et layout de la P-coil (droite). Les deux figures sont à la même échelle.

Par construction, la V-coil a deux enroulements : un sur chaque bord de la tranchée. De manière à assurer une comparaison aussi juste que possible des structures, l'enroulement externe de la V-coil sera systématiquement laissé flottant, donnant ainsi à la P-coil et la V-coil des inductances proches.

3.2.2 IMPÉDANCES

Les impédances des deux prototypes, mesurées à l'aide d'un analyseur E4990a, sont données, sous forme de modèle (L_s, R_s)-série, en Figure I.30. Les fortes incertitudes observées en basse fréquence sur l'inductance et autour de 10 MHz sur la résistance sont dues à la projection de l'ellipsoïde d'incertitude d'un composant présentant un fort facteur de dissipation en BF et un coefficient de qualité élevé autour de 10 MHz [86].

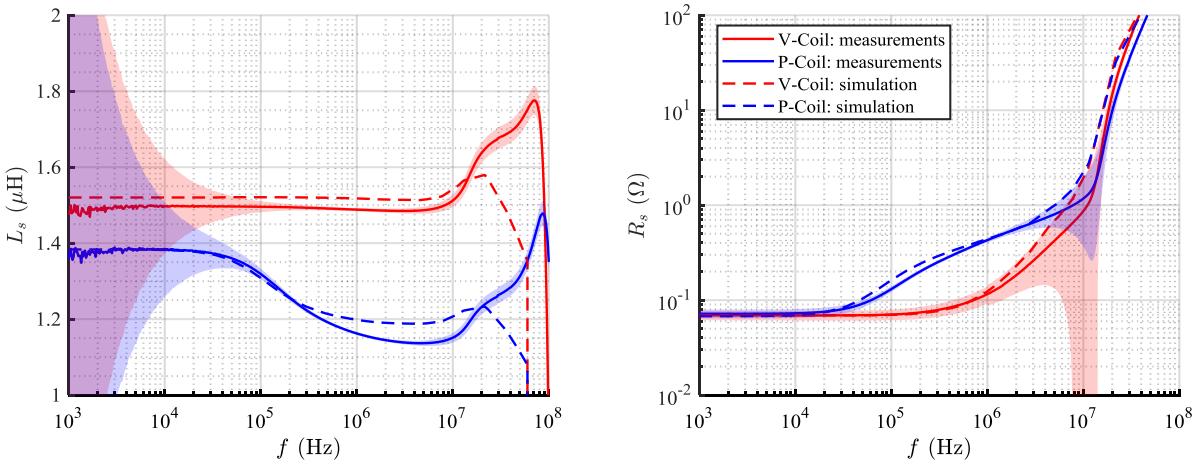


Figure I.30 : inductance (gauche) et résistance (droite) mesurées et simulées pour les composants étudiés. Lignes continues : mesures, lignes pointillées : simulation FEMM, zones ombrées : incertitude de mesure.

Le spectre de perméabilité mesuré (Figure I.27), incluant sa partie imaginaire, est utilisé dans les simulations. La Figure I.30 montre une bonne corrélation entre mesures et simulations, suggérant que les hypothèses du modèle simulé (en particulier quant à l'axisymétrie des composants) sont raisonnables.

3.2.2.1 INDUCTANCE

Les inductances en basse-fréquence des deux composants sont proches (l'écart relatif est de 8 %), ce qui était attendu du fait de la similarité des dimensionnements. L'écart s'explique néanmoins par les différences entre les deux enroulements : rayons des spires et orientation des conducteurs. La topologie du champ au sein d'une V-coil comme d'une P-coil est principalement déterminée par la projection des lignes de courant sur le plan médian du composant (cf. section *4.2. Modèle magnétique*, page 58). La dimension des pistes suivant l'axe du composant (paramètre t) a donc un effet limité sur la distribution du champ dans le composant. Les conducteurs de la V-coil sont ainsi perçus comme quasi-filamentaires, à la différence de ceux de la P-coil ; ce qui se traduit par des inductances légèrement différentes.

Si l'inductance de la V-coil demeure constante jusqu'à 10 MHz, celle de la P-coil décroît de 17 % entre 40 kHz et 1 MHz. Cette différence de comportements s'explique également par la différence d'orientation des conducteurs. La distribution de champ dans les bobines considérées, à 2 kHz et 5 MHz, obtenue par FEA, est donnée en Figure I.31. Ces fréquences correspondent, respectivement, au domaine basse-fréquence dans lequel les effets de peau et de proximité sont négligeables, et celui haute-fréquence où ils sont dominants – sans pour autant dépasser la fréquence de résonnance du matériau magnétique.

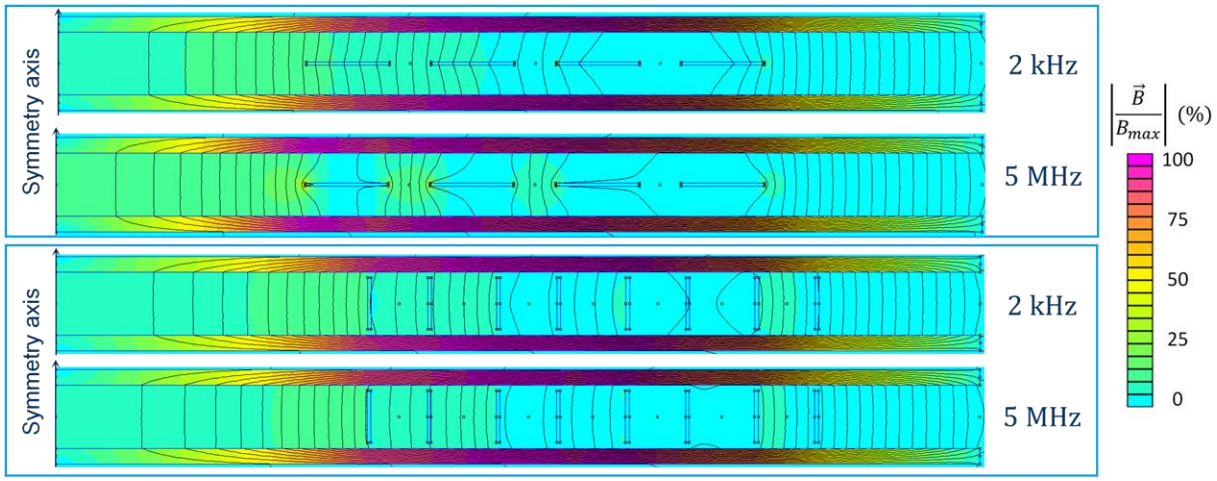


Figure I.31 : distribution de champ magnétique simulé des bobines étudiées (P-coil en haut et V-coil en bas), à 2 kHz (domaine DC) et 5 MHz (domaine AC). Seul l'enroulement interne de la V-coil est alimenté.

Comme attendu, le champ dans l'entrefer est axial, et donc globalement orthogonal aux pistes de la P-coil. Une comparaison des résultats obtenus à 2 kHz et 5 MHz montre par ailleurs une forte redistribution du champ causée par l'effet de blindage apporté par les pistes conductrices. Cette reconfiguration du champ explique que l'inductance de la P-coil chute drastiquement (-17 %) autour de 200 kHz (Figure I.30) : les lignes de champ ne peuvent plus se refermer qu'entre les pistes de cuivre, et non plus au travers de celles-ci, ce qui accroît artificiellement la reluctance de l'entrefer.

Le champ dans l'entrefer de la V-coil est également axial, et par suite globalement parallèle aux rubans de cuivre dans la V-coil. Il apparait que la distribution du champ n'est pas notablement modifiée entre 2 kHz et 5 MHz, ce qui explique l'indépendance de l'inductance de la V-coil avec la fréquence (jusqu'à la fréquence de résonance du matériau magnétique, i.e. tant que la perméabilité du MM demeure constante).

Les variations d'inductances observées au-delà de 10 MHz sont principalement dues à la résonnance du matériau magnétique, caractérisée par des variations de perméabilité complexe, associée aux effets des capacités parasites internes au composant.

3.2.2.2 RÉSISTANCE

Si la résistance de la V-coil demeure constante jusqu'à plusieurs centaines de kHz, les effets de peau et de proximité font croître la résistance de la P-coil dès quelques dizaines de kHz. Aux données mesurées sont

superposées quelques ajustements log-linéaires en Figure I.32. Ceux-ci montrent que la résistance de la P-coil croît tout d'abord de manière globalement proportionnelle à $\sqrt{f}$ (signature de l'effet de peau) tandis que la croissance de la résistance de la V-coil est proportionnelle à f (caractéristique de l'effet de proximité). Ces effets sont cohérents avec les largeurs des pistes (paramètre ν) relativement à la profondeur de peau – même si cette dernière n'est pas triviale à définir du fait du caractère non-canonique de la géométrie. La rapide croissance de la résistance au-delà de 10 MHz est due aux pertes dans le matériau magnétique.

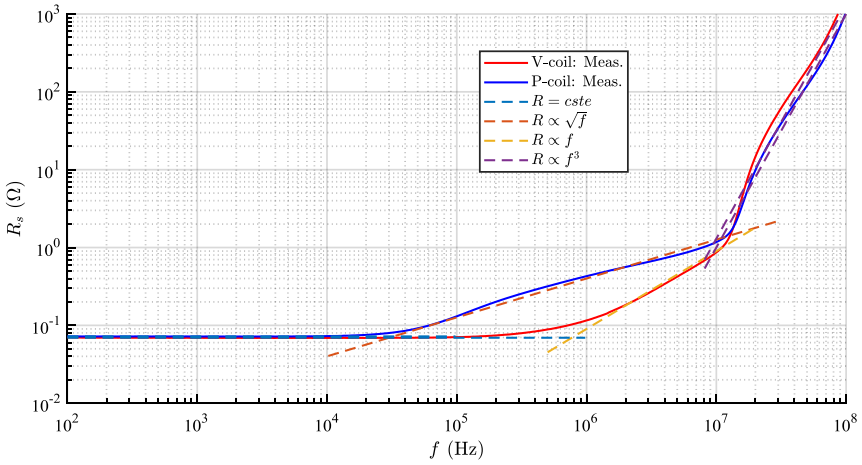


Figure I.32 : résistance mesurée sur les prototypes (idem Figure I.30) et ajustement log-linéaires en puissances 0, ½, 1 et 3.

Des résultats de FEA montrant la densité de courant au sein de la spire interne de chacun des composants étudiés, à diverses fréquences, sont donnés en Figure I.33.

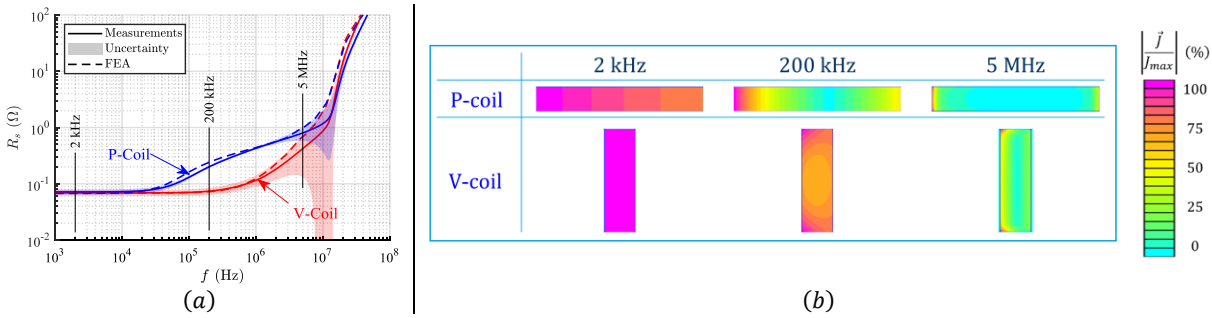


Figure I.33 : (a) : résistances des composants étudiés, avec marqueurs aux fréquences 2 kHz, 200 kHz, et 5 MHz. (b) : densité de courant dans la spire interne des bobines étudiées (P-coil en haut et V-coil en bas), à 2 kHz, 200 kHz, et 5 MHz. Échelles géométriques arbitraires.

Une simulation est donnée à 2 kHz, correspondant à un régime quasi-statique pour les deux composants. Les densités de courant dans les pistes des deux composants sont celles observées en DC, avec la décroissance en ρ^{-1} distinguable pour la P-coil du fait de sa large piste ($\nu = 1{,}9$ mm pour un rayon de 6,8 mm).

Une seconde simulation montre les densités de courant à 200 kHz, fréquence à laquelle la profondeur de peau dans le cuivre est d'environ 150 µm. Cette longueur correspond à 8 % de la largeur des pistes (paramètre $\nu = 1{,}9$ mm) de la P-coil mais 165 % de celles de la V-coil ($\nu = 90$ µm). Ceci explique pourquoi la densité de courant dans les pistes de la P-coil est fortement inhomogène tandis qu'elle demeure relativement uniforme pour la V-coil. Ceci se traduit par le fait que les résistances de la P-coil et de la V-coil sont, respectivement, 2,8 et 1,08 fois supérieures à leurs valeurs DC.

Une dernière simulation, à 5 MHz, correspond au domaine dans lequel les effets de peau et de proximité sont notables dans les deux composants. Les lignes de courant sont alors fortement concentrées dans les coins des pistes.

Il existe ainsi une plage de fréquence, s'étendant d'environ 30 kHz à 13 MHz, dans laquelle la résistance de la P-coil est supérieure, d'un facteur atteignant 3,7 à 800 kHz, à celle de la V-coil.

3.3 INTÉGRATION DANS UN CONVERTISSEUR DC-DC

De manière à comparer les inductances prototypées dans des conditions d'utilisation réelles, elles sont insérées au sein d'un convertisseur buck dont le rendement global est mesuré.

3.3.1 CONVERTISSEUR CONSIDÉRÉ

Un hacheur série destiné à une application aéronautique est considéré (un schéma de principe est donné en Figure I.34 ; un circuit similaire est détaillé en Annexe *A5. Cellule de commutation*, page *208*). Sa tension d'entrée est fixée à 28 V (standard aéronautique [35]) et diverses tensions de sortie normalisées, allant de 1,2 V à 12 V, sont considérées (tensions typiques d'alimentation de systèmes numériques). La tension de sortie est régulée via le rapport cyclique du signal de commande tandis que la fréquence de découpage est modulée de manière à maintenir le convertisseur à la limite entre conduction continue et discontinue (i.e. en Boundary Conduction Mode). Supposant le rendement du convertisseur quasi-unitaire, cette dernière contrainte se traduit par :

$$\Delta I_L = 2I_{out} = \frac{\alpha}{L f_{sw}}(V_{in} - V_{out}) \quad \Leftrightarrow \quad f_{sw} = \frac{\alpha V_{in}}{2 L I_{out}}(\alpha - 1) \tag{I.1}$$

Où ΔI_L est l'ondulation du courant dans l'inductance, L l'inductance de filtrage, et où les autres paramètres sont définis en Table I.4.

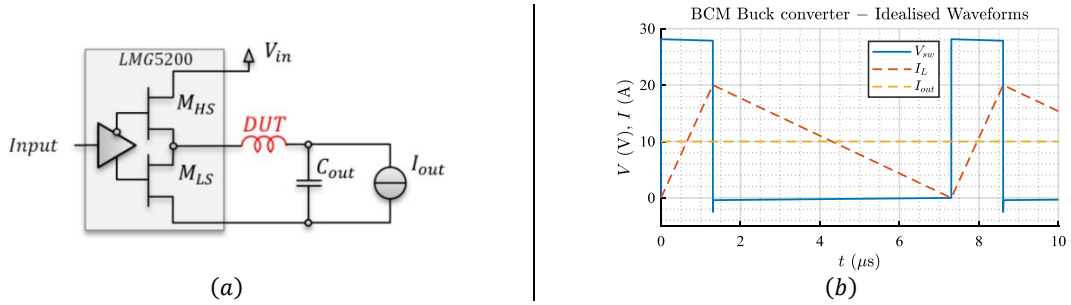


Figure I.34 : (a) : schéma de principe du convertisseur ; (b) : courbes idéalisées

Un circuit intégrant une cellule de commutation GaN spécifiée pour 80 V–10 A–15 mΩ_{typ} et son circuit de commande rapprochée est utilisé (LMG5200, commercialisée par Texas Instrument [87]). Des temps morts de 5 ns sont générés au niveau du circuit de commande par une électronique dédiée. Aucune diode de roue-libre externe n'est ajoutée au circuit, le transistor GaN M_{LS} conduit le courant avec une tension de déchet de l'ordre de 2 à 3 V lors des temps morts [88].

La plage de courant de sortie I_{out} pouvant être débitée par le convertisseur est limitée, d'un côté par les contraintes thermiques et la saturation du composant magnétique (intervenant autour de 15 A, le champ atteignant alors localement 150 mT dans le circuit magnétique), et de l'autre par la fréquence de découpage maximale atteignable par la cellule de commutation. Cette limitation du courant minimal se révèle finalement peu contraignante dans la mesure où des techniques de contrôle plus avancées (burst-mode, pulse skipping, etc. [89]) pourraient être mise en œuvre pour améliorer le rendement à faible charge.

Table I.4 : principaux paramètres décrivant le convertisseur étudié.

Symbole	Paramètre	Valeur	Unité
V_{in}	Tension d'entrée	28	V
V_{out}	Tension de sortie	$1{,}2 - 12$	V
I_{out}	Courant de sortie	$0{,}2 - 6$	A
V_{gs}	Tension de commande des transistors	5,0	V
C_{in}	Condensateur de découplage d'entrée, X7R	5	µF
C_{out}	Condensateur de filtrage de sortie, X5R	150	µF
–	Cellule de commutation GaN intégrée	LMG5200	–
f_{sw}	Fréquence de commutation	< 4	MHz
α	Rapport cyclique	$0 - 1$	–

De manière à permettre une comparaison honnête des inductances, un unique convertisseur est réalisé, dans lequel la P-coil et la V-coil s'insèrent alternativement.

3.3.2 ÉTUDE ANALYTIQUE

3.3.2.1 INTRODUCTION

Le rendement du convertisseur – équipé de la P-coil ou de la V-coil – est estimé analytiquement pour comparaison aux résultats de mesure. Les méthodes d'estimation des pertes sont détaillées dans les sections suivantes.

3.3.2.2 PERTES DANS L'INDUCTANCE

Supposant les tensions d'entrée et de sortie du convertisseur parfaitement filtrées, le spectre V_L de la tension appliquée à l'inductance (très rectangulaire, nonobstant les temps morts et supposant les tensions DC bien filtrées) peut aisément être calculé. Connaissant le spectre d'impédance Z_L de l'inductance en petits signaux et supposant le composant linéaire, il est alors possible d'estimer le spectre du courant I_L traversant l'inductance. La puissance dissipée en son sein peut également être obtenue par sommation des composantes harmoniques. La puissance dissipée par le composant à température T s'exprime alors :

$$P_L(T) = \sum_f R(f,T) \cdot I_L(f)^2\,, \qquad R = \mathfrak{Re}(Z_L) \tag{I.2}$$

Où $\mathfrak{Re}$ désigne la fonction partie réelle. L'accroissement de résistance dû à l'auto-échauffement du composant peut également être pris en compte : la dépendance en température de la résistance du composant peut, localement, s'exprimer :

$$R(f,T) = R(f,T_0) \cdot \big(1 + \theta \cdot (T - T_0)\big) \tag{I.3}$$

Où θ est le coefficient de température du cuivre et T_0 est une température de référence. De plus, connaissant la résistance thermique R_{th} entre l'ambiant (à température T_a) et le conducteur :

$$T - T_a = R_{th} \cdot P_L \;\Leftrightarrow\; T = R_{th} \cdot P_L + T_a \tag{I.4}$$

De (I.2) & (I.3) découle :

$$P_L(T) = \big(1 + \theta \cdot (T - T_0)\big) \cdot \sum_f R(f,T_0) \cdot I_L(f)^2 \tag{I.5}$$

Soit, étant donné (I.4) :

$$P_L(T) = \frac{\big(1 + \theta \cdot (T_a - T_0)\big) \cdot \sum_f R(f,T_0) \cdot I_L(f)^2}{1 - \theta R_{th} \cdot \sum_f R(f,T_0) \cdot I_L(f)^2} \tag{I.6}$$

Il est donc possible de calculer la puissance dissipée au sein du composant à partir de son spectre d'impédance à température quelconque T_0, en prenant en compte l'effet de son auto-échauffement. Cette démonstration suppose néanmoins que le spectre du courant ne dépend pas notablement de la température – ce

qui impose que la partie imaginaire de l'impédance soit peu dépendante de la température. Cette hypothèse est a priori raisonnable : l'entrefer de la structure rend l'inductance peu fonction de la perméabilité du matériau magnétique. Des simulations ont ainsi montré qu'une diminution de la perméabilité relative de 130 à 110 (i.e. −15 %) se traduisait par une baisse d'inductance limitée à 6 %.

La prise en compte de l'auto-échauffement du composant sur les pertes est nécessaire pour correctement estimer la puissance dissipée. Le négliger reviendrait à sous-estimer la puissance dissipée de près de 40 % pour un courant efficace de 8 A.

3.3.2.3 AUTRES PERTES

Les pertes dans les condensateurs de découplage sont estimées d'une manière similaire à celle détaillée dans la section précédente mais en négligeant, faute de modèle pertinent, l'effet de la température – cette puissance étant de toute façon négligeable au sein du convertisseur. Les pertes par conductions dans la cellule de commutation sont déduites d'une manière similaire, mais supposant la résistance des transistors indépendante de la fréquence et prenant en compte l'effet de l'auto-échauffement.

Les autres pertes du circuit (alimentation du driver, pertes par commutation, capacité de grille, etc.) sont calculées à l'aide de formules classiques, détaillées par exemple dans [90].

3.3.3 MESURES

Le rendement du convertisseur buck complet est estimé à l'aide de quatre multimètres mesurant les courants et tensions d'entrée et de sortie du convertisseur. Un 34465a est utilisé pour mesurer le courant de sortie du convertisseur, les autres paramètres sont mesurés par des IDM8351. Cette répartition permettait de minimiser l'incertitude de mesure étant donnée l'instrumentation disponible (cf. Annexe *A3 Instrumentation mise en œuvre*, page 198). La majeure partie (généralement supérieure à 50 %) de l'incertitude de mesure est due à la mesure du courant délivré en sortie du convertisseur. Les mesures sont réalisées à température ambiante, à l'équilibre thermique.

Un filtre de MD est utilisé en entrée du convertisseur, de manière à lisser le courant (autrement fortement impulsionnel) absorbé par le circuit. Le schéma de principe du filtre et sa fonction de transfert (déduites des paramètres S mesurés au VNA E5061b ainsi que de la matrice d'impédance mesurée au HP4194a) sont donnés en Figure I.35, montrant une atténuation supérieure à 40 dB dans la bande de fréquence d'intérêt 10 kHz – 10 MHz. L'écart entre la fonction de transfert attendue et celle effectivement mesurée apparait provenir essentiellement des imperfections des composants et du montage : couplage magnétiques et électrostatiques entre composants. Une étude du spectre du courant (mesuré à l'aide d'une sonde à effet Hall CP031) absorbé par le convertisseur permet d'assurer que l'amplitude de la composante AC du courant, dans la bande d'intégration [3 Hz – 100 MHz], représente moins de 220 ppm de la valeur DC, soit 3 LSB de l'affichage du multimètre. Une mesure réalisée à l'aide d'un transformateur d'intensité CT2 a donné des résultats proches.

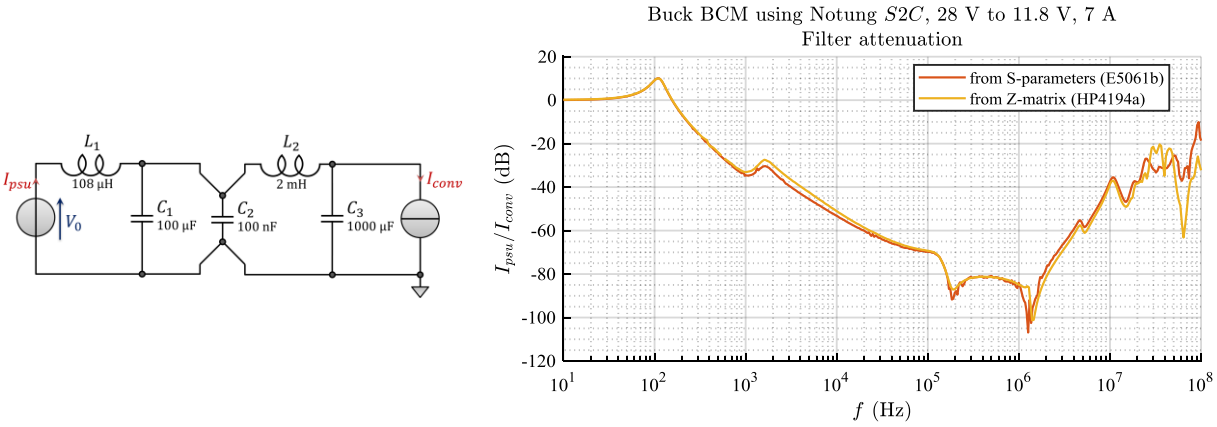


Figure I.35 : schéma de principe (gauche) et fonction de transfert (droite) du filtre de MD utilisé en entrée du convertisseur. L1 est une inductance à air, L2 a un noyau torique en ferrite. PSU schématise l'alimentation, I_{ld} modélise le convertisseur alimenté.

La capacité parasite du nœud de commutation, dominée par la capacité de sortie de la cellule de commutation ayant été mesurée comme valant 913 pF sous polarisation de 28 V (E5061b, mesure GP-parallèle), l'inductance de maille peut être déduite de la fréquence des oscillations au blocage (156 MHz) comme valant 1,15 nH.

Les temps de montée et de descente de la cellule de commutation, mesurés dans la configuration[1] :

$$V_{in} = 28\ \text{V}, \qquad V_{out} = 11{,}8\ \text{V}, \qquad I_{out} = 6{,}4\ \text{A} \tag{I.7}$$

Et moyennés sur 155 périodes, valent, respectivement, $t_r = 1{,}34$ ns, $t_f = 1{,}33$ ns. Ces valeurs correspondent à une vitesse de balayage moyenne proche de 17 V/ns.

Les fréquences de découpage appliquées sur le prototype et calculées sont données en Figure I.36. L'écart provient de l'imprécision de la réalisation de la commutation au zéro du courant, ainsi que de la différence entre inductances en petits et grands signaux.

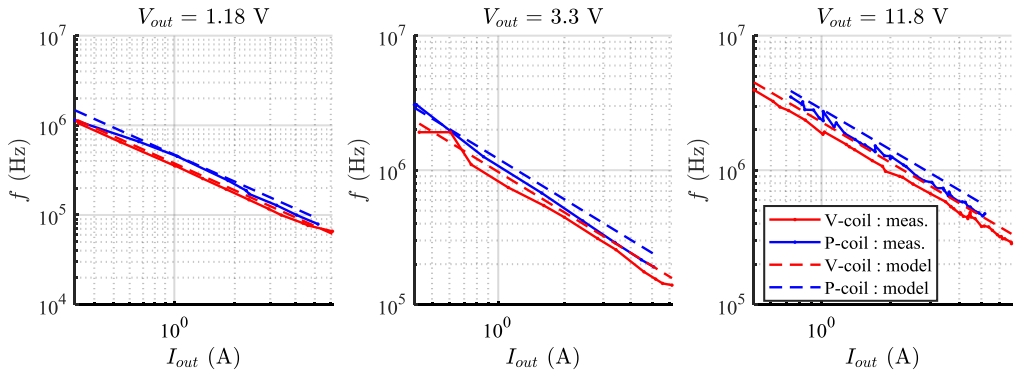


Figure I.36 : fréquence de découpage en fonction du courant délivré, pour diverses tensions de sortie. Valeurs mesurées (lignes continues) et calculées (lignes pointillées). Données pour la V-coil (rouge) et la P-coil (bleu).

3.3.4 RÉSULTATS DE MESURE ET SIMULATION

3.3.4.1 RENDEMENT

Les rendements mesurés et simulés, donnés en Figure I.37, sont fortement corrélés, attestant d'un bon paramétrage du modèle. Ce dernier tend néanmoins à surestimer le rendement aux plus forts courants, possiblement du fait de la mauvaise modélisation des pertes dans le circuit magnétique.

[1] La tension de sortie est fixée à 11,8 V plutôt que la valeur normalisée 12 V de manière à utiliser le calibre 10 V plutôt que 100 V du voltmètre, et ainsi disposer d'une incertitude plus faible : 48 ppm vs. 105 ppm.

L'allure des courbes est conforme aux attentes. Le rendement chute à faible charge du fait des pertes par commutation accrues, conséquence de l'augmentation de la fréquence de découpage, combinée à la diminution de la puissance transférée. L'accroissement des pertes par conduction, exacerbé par l'effet de la température sur la résistance des conducteurs, entraine également une chute du rendement aux plus forts courants de sortie. L'analyse n'est néanmoins pas triviale du fait des effets antagoniste que sont la diminution de la fréquence de commutation et de la résistance AC (à température ambiante) vs l'augmentation du courant RMS. Le rendement optimal est quant à lui atteint pour des valeurs de courant comprises entre 1,5 et 2 A. Le convertisseur utilisant la V-coil présente systématiquement un rendement supérieur à celui de la P-coil, l'écart atteignant généralement 5 points. La densité de puissance atteint 15 kW/l pour le point de fonctionnement $V_{out} = 11{,}8$ V & $I_{out} = 6$ A, le rendement du convertisseur équipé de la V-coil étant alors de 87 %. Ces résultats sont assez bons, même en prenant en compte l'environnement favorable [91].

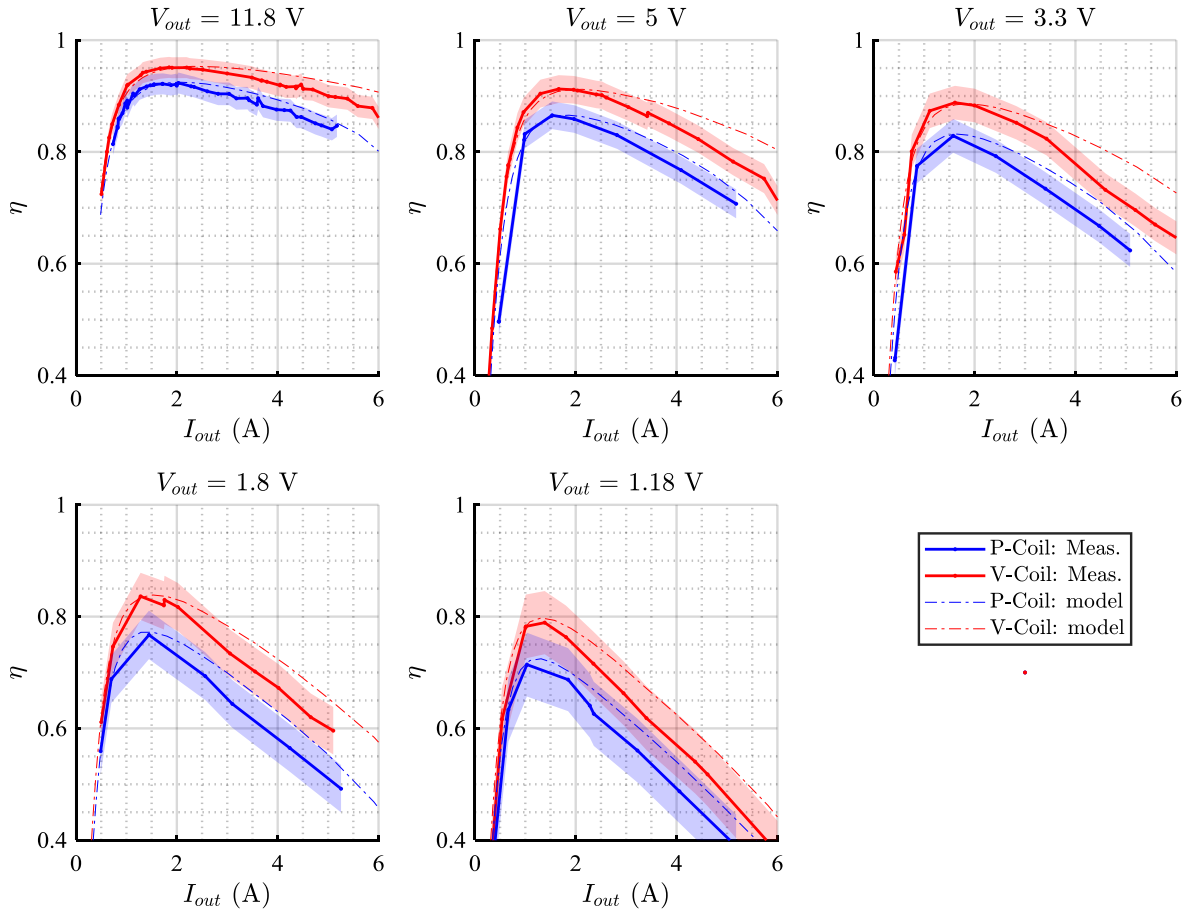


Figure I.37 : rendement du convertisseur buck pour diverses tensions de sortie. Rouge : V-coil ; bleu : P-coil. Lignes continues : mesure ; lignes pointillées : simulation ; zones grisées : incertitude de mesure.

3.3.4.2 RÉPARTITION DES PERTES

La Figure I.38 indique la répartition calculée des pertes dans le convertisseur délivrant 11,8 V. P_{ind} désigne les pertes dans l'inductance, P_{condLS} les pertes par conduction dans le transistor Low-Side, P_{CossHS} les pertes dues à la capacité de sortie de la cellule de commutation, P_{drive} la puissance consommée par le driver.

À faible charge, et donc pour les fréquences de découpage les plus élevées, les pertes proportionnelles à la fréquence dominent (Figure I.38). Du fait de l'inductance plus élevée de la V-coil vs la P-coil, à courant de sortie donné, la fréquence de découpage du convertisseur utilisant la V-coil est plus faible, d'où des pertes par commutation de 6 à 25 % inférieures. À l'opposé, les pertes par conduction (en particulier dans l'inductance) dominent aux plus fortes charges, et c'est alors la plus faible résistance AC de la V-coil qui permet le gain en rendement.

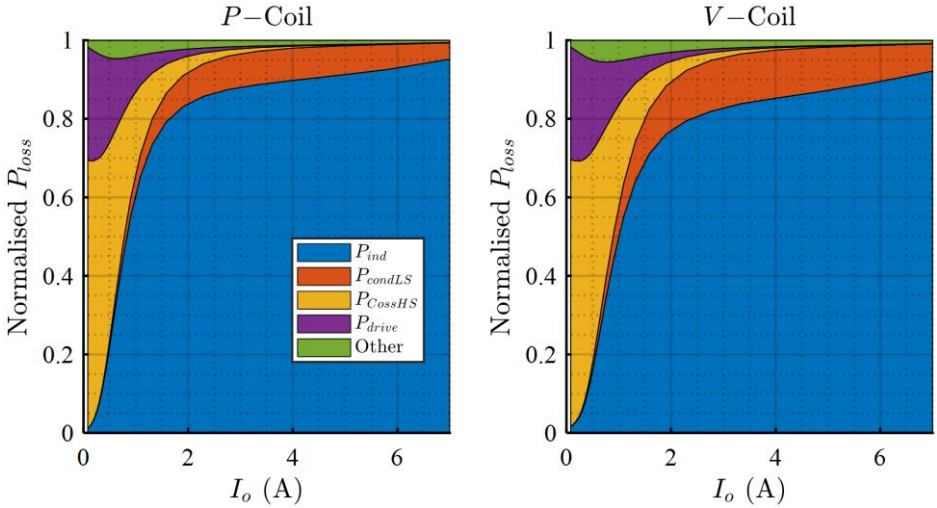


Figure I.38 : répartition des pertes du convertisseur 28 V→ 11,8 V utilisant une P-coil (gauche) et une V-coil (droite).

3.3.4.3 PERTES DANS L'INDUCTANCE

La répartition des pertes dues aux différentes composantes spectrales du courant, supposant des enroulements à température ambiante, est détaillée en Figure I.39. Du fait de leurs résistances DC identiques, les pertes DC (« Harmo. Index » = 0) des deux composants sont identiques (en valeur absolue, i.e. non normalisée). Les pertes dues aux composantes spectrales de fréquences non-nulles du courant sont en revanche bien plus grandes dans la P-coil, d'où une importance relative plus élevée. Pour $I_{out} > 0{,}5$ A, les pertes dues aux harmoniques de rangs supérieurs à 2 représentent moins de 10 % des pertes totales, et même moins de 2 % pour $I_{out} > 1{,}6$ A.

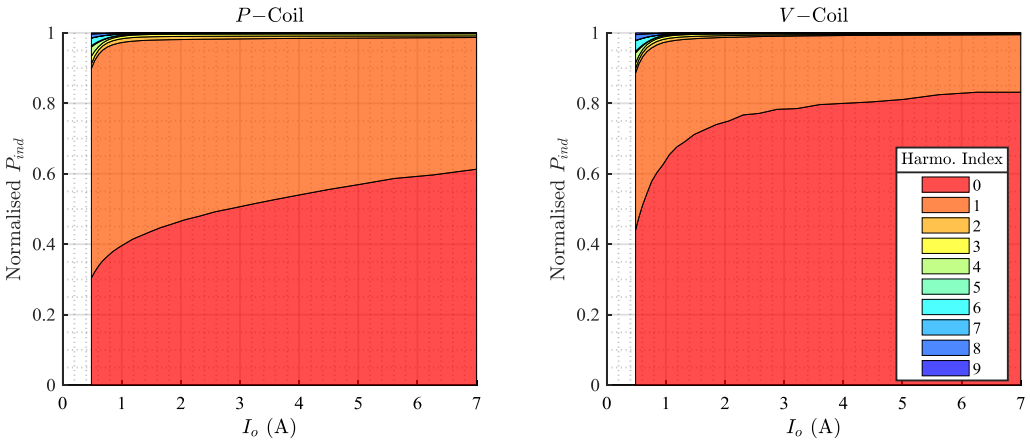


Figure I.39 : répartition des pertes par composante spectrale dans les inductances P-coil (gauche) et une V-coil (droite). Convertisseur 28 V→ 11,8 V. Zone rouge : pertes due à la composante continue du courant ; zone carotte : pertes dues au fondamental, zone tangerine : pertes dues à l'harmonique 2, etc.

3.4 DISCUSSION : DIMENSIONNEMENT DES BOBINES

Les critères de dimensionnement des bobines (nombre de tours, diamètres, etc.) sont discutables, mais la réflexion serait finalement peu pertinente dans la mesure où l'étude cherchait à comparer des composants présentant des allures proches. Travailler sur un design optimal n'était donc pas requis et aurait, au contraire, pu biaiser l'étude en donnant au prototype optimisé un avantage injustifié.

Une autre étude aurait cependant pu employer des dimensionnements de V-coil et P-coils optimisés sous un ensemble de contraintes technologiques et d'encombrement. Cette méthodologie aurait ainsi pu mener à la réalisation de prototypes relativement différents (nombre de spires, etc.).

3.5 Conclusion de l'étude comparative

L'étude détaillée dans cette section a présenté la réalisation de deux inductances de structures P-coil et V-coil ayant des dimensionnements similaires (mêmes circuits magnétiques, même nombre de spires, spirales superposables, etc.). La caractérisation en petits signaux des prototypes a montré que ceux-ci avaient des résistances DC identiques et des inductances DC proches. Du fait d'effets de peau réduits, la résistance AC de la V-coil était cependant inférieure à celle de la P-coil (jusqu'à 3,7 fois plus faible) sur une large gamme de fréquence s'étendant de 20 kHz à 13 MHz. Ceci peut constituer un réel avantage pour des applications en conversion d'énergie mettant en jeu des courants dont les spectres ont une grande partie de leur puissance dans cette bande de fréquence. La dépendance de l'inductance de la V-coil avec la fréquence était, de surcroît, bien plus faible que celle de la P-coil.

Ce point a été mis en exergue dans une application concrète : les deux inductances ont été insérées dans un convertisseur buck fonctionnant à la limite entre conduction continue et discontinue. Il a ainsi pu être démontré que la réduction de pertes AC permise par l'usage d'une V-coil aboutissait à une augmentation de rendement atteignant généralement 5 points.

Si le procédé de réalisation d'une V-coil a été conçu pour pouvoir s'insérer dans une chaine de fabrication PCB conventionnelle, le coût de réalisation demeure supérieur à celui d'une simple P-coil. L'intégration d'une V-coil semble donc se justifier dans les cas où les pertes cuivre AC sont prépondérantes, e.g. sur les convertisseurs à forte ondulation en courant – tel celui mis en œuvre ici, ou par exemple dans un convertisseur résonnant.

4 Modèle analytique

4.1 Introduction

[31], publié en 1969, constitue probablement la première étude d'une structure de type P-coil – en l'occurrence intégrée sur puce. Depuis, de nombreux travaux [12], [46], [47], [49]–[51], pour partie détaillés en section modèles de P-coil (page 34), ont cherché à modéliser cette topologie. Les prochaines sections proposent des modèles analytiques semi-distribués décrivant le magnétisme, l'électrostatique, et les pertes d'une V-coil. L'objectif est d'aboutir à une description quadripolaire du composant, dont un schéma équivalent simplifié est donné en Figure I.40. Un modèle global combinant ces études partielles est ensuite proposé, il décrit l'impédance complexe d'une V-coil utilisée en résonateur série. Si le modèle est développé pour décrire une V-coil, quelques hypothèses additionnelles permettent de l'appliquer à une P-coil.

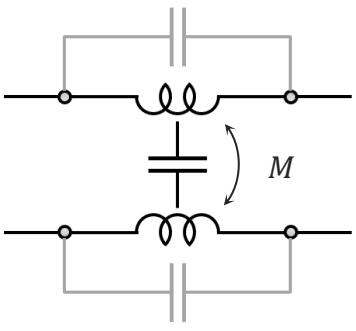


Figure I.40 : schéma quadripolaire simplifié (avec éléments résistifs cachés et composants localisés plutôt que distribués) d'une V-coil.

L'objet d'un tel modèle est de simplifier la conception et l'optimisation de convertisseurs de puissance exploitant une structure de type V-coil sans nécessiter le recours à de coûteuses FEA.

Le paramétrage d'une V-coil est rappelé en Figure I.41. Les spires ont été numérotées, de 1 à N pour les spires de l'enroulement interne, de $N+1$ à $2N$ pour celui externe. Les spires sont numérotées par ordre croissant, depuis la plus interne.

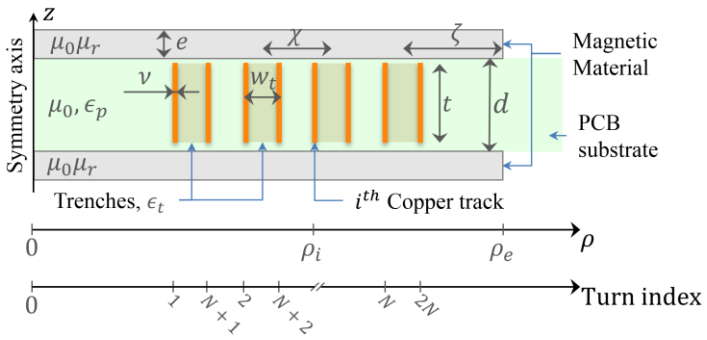


Figure I.41 : schéma paramétré d'une V-coil.

L'ensemble du modèle suppose que le composant est axisymétrique (axe $\vec{z}$), ainsi que symmétrique par rapport au plan $(O;\vec{z}^{\perp})$. Le matériau magnétique est supposé linéaire – sauf, éventuellement, lorsqu'il s'agira d'estimer les pertes dans le circuit magnétique. Les effets de propagation seront supposés négligeables – ce qui limite la pertinence du modèle à des fréquences inférieures à environ 1 GHz pour des composants de dimensions centimétriques.

4.2 Modèle magnétique

4.2.1 Modèle

4.2.1.1 Méthode

On suppose que le champ magnétique dans le circuit magnétique est radial, tandis qu'il est purement axial dans l'entrefer. Ces hypothèses découlent de la faible reluctance du circuit magnétique comparativement à celle de l'entrefer et semblent justifiées par l'étude de FEA de composants de géométrie V- ou P- coil (voir par exemple Figure I.31 en page 49 ou Figure I.42 ci-dessous).

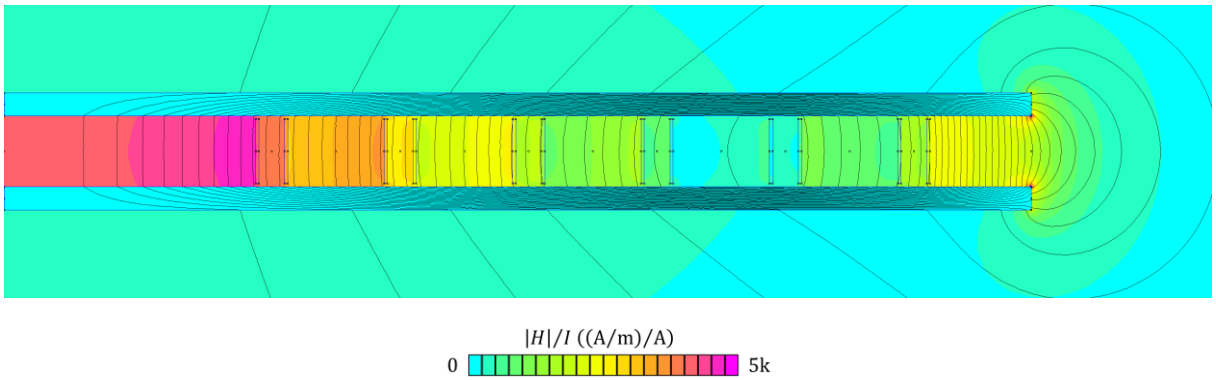


Figure I.42 : simulation d'une V-coil : champ magnétique H normalisé par le courant d'excitation. Seul l'enroulement interne est alimenté, le rayon du circuit magnétique est de 16 mm.

La méthode mise en œuvre pour décrire le champ dans le composant est la suivante. L'équation différentielle décrivant le magnétisme dans une fine tranche du composant (i.e. entre des rayons ρ et $\rho + d\rho$) ne comprenant pas de spire (alimentée ou non) est établie. Supposant que la fréquence d'excitation est suffisamment grande, il est approximé que le flux magnétique traversant les pistes de cuivre est nul. Chaque spire est alors modélisée par une source de Force Magnétomotrice (FMM), connectée en série avec une reluctance modélisant la portion de circuit magnétique située de chaque côté de la spire. Un circuit magnétique équivalant au composant complet dont une unique spire est alimentée est alors tracé : il inclut une source de

FMM et des reluctances aussi bien localisées que réparties (via l'équation différentielle précédente). Le circuit est alors résolu successivement pour chaque spire alimentée. Le champ total dans le composant est ensuite obtenu par superposition. Les paragraphes suivants détaillent ces étapes.

4.2.1.2 ESTIMATION DE LA RELUCTANCE DE FUITE

Les FEA telles que celle de la Figure I.42 montrent que le champ en dehors du composant magnétique (i.e. pour $\rho > \rho_e$ ou $2|z| > d + 2e$) n'est pas nul. Ceci s'explique par le diamètre fini des plaques magnétiques, associé à l'utilisation d'un circuit magnétique ouvert. On se propose de prendre en compte cet effet en modélisant l'espace défini par $\rho > \rho_e$ par une reluctance localisée, dite « de fuite », et connectée entre les bords externes des deux plaques magnétiques. Il est ainsi supposé que le potentiel magnétique soit uniforme sur les tranches des plaques magnétiques. Le modèle proposé, qui consiste en une série de transformations conformes [92], est détaillé en annexe *A1. Estimation de la reluctance de fuite d'une V-coil*, page 193. Il en résulte que la reluctance de fuite peut s'exprimer :

$$\mathcal{R}_{fe} = \frac{F_m(1)}{\pi\rho_e\mu_0 \cdot K\left(\sqrt{1-m}\right)}, \qquad m = \left(1 + \frac{2e}{d}\right)^{-2} \tag{I.8}$$

où $K(k)$ est l'intégrale elliptique complète de première espèce de paramètre k et $F_m(\cdot)$ est l'intégrale elliptique de première espèce de paramètre m.

L'impact de la reluctance de fuite sur la description du champ dans le composant est d'autant plus faible que le champ à de l'espace pour s'épanouir dans le composant, i.e. que la distance entre la spire externe et le bord des plaques magnétiques est grand. C'est ainsi le ratio entre cette distance et la longueur de diffusion δ du champ dans les plaques magnétiques (cf. section 4.2.1.3, ci-dessous) :

$$\Lambda_{mag} = \frac{\left(\zeta - \frac{w_t}{2}\right)}{\delta_{mag}}, \qquad \text{avec } \delta_{mag} = \sqrt{\frac{\tilde{d}e\mu_r}{2}}, \qquad \text{et } \tilde{d} = d + \frac{e}{\mu_r} \approx d \tag{I.9}$$

qui caractérise l'importance de la quantité d'énergie stockée à l'extérieur du composant (pour $\rho > \rho_e$) *vs* celle stockée dans l'entrefer. En pratique, de manière à optimiser le compromis entre perturbations magnétiques et densité de puissance, on cherchera généralement à limiter le flux de fuite, via l'emploi de plaques magnétiques de diamètre « suffisant » (e.g. telles que $\Lambda_{mag} > 1$)

De même, l'épaisseur des plaques magnétiques n'étant pas infinie, le champ à leur surface n'est pas nul. Si une partie du flux associé est pris en compte par le modèle de reluctance de fuite, la forte reluctance associée aux lignes de champ faisant le tour complet du composant autorise à négliger la partie encore manquante.

4.2.1.3 CALCUL DU CHAMP MAGNÉTIQUE DANS LE COMPOSANT

Soit $\vec{B} = \left(B_\rho, B_\theta, B_z\right)$ la densité de flux magnétique en tout point de coordonnées (ρ, θ, z) du composant.

De manière à simplifier l'étude, il est supposé que le champ soit radial dans les plaques magnétiques (i.e. $B = B_\rho$), et axial dans l'entrefer (i.e. $B = B_z$). Le champ dans les plaques magnétiques est par ailleurs supposé ne pas dépendre de l'ordonnée z. De plus, l'hypothèse d'axisymétrie impose : $B_\theta = 0$. Les conditions de passage du champ magnétique (conservation de la composante normale de $\vec{B}$ et de la composant tangentielle de $\vec{H}$) ne sont pas respectées par ces hypothèses.

La méthode est similaire à celle développée, par exemple, dans [12]. Une fine tranche de composant, comprise entre les rayons ρ et $\rho + d\rho$, $\rho \in [0, \rho_e]$ (Figure I.43) est considérée. $\mathcal{F}$ et ϕ désignent le potentiel et le flux magnétiques dans les plaques magnétiques. $\mathcal{R}_s$ et $\mathcal{R}_p$ sont alors les reluctances réparties série et parallèle, définies comme :

$$\mathcal{R}_s = \frac{2}{2\pi\mu_0\mu_r\rho e}\cdot d\rho, \qquad \mathcal{R}_p = \frac{\tilde{d}}{2\pi\rho\mu_0}\cdot\frac{1}{d\rho}, \qquad \text{où : } \tilde{d} = d + \frac{e}{\mu_r} \approx d \tag{I.10}$$

où $\tilde{d}$ est la longueur effective de l'entrefer.

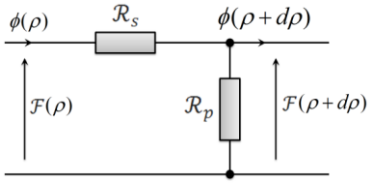


Figure I.43 : schéma décrivant une tranche de V-coil comprise entre les rayons ρ et $\rho + d\rho$

La loi de Hopkinson permet de déduire de la Figure I.43 :

$$\begin{cases} \mathcal{F}(\rho+d\rho)\cdot\mathcal{R}_p(\rho)^{-1} + \phi(\rho+d\rho) = \phi(\rho) \\ \mathcal{F}(\rho) - \mathcal{F}(\rho+d\rho) = \mathcal{R}_s(\rho)\cdot\phi(\rho) \end{cases} \tag{I.11}$$

Dont est déduite l'équation modifiée de Bessel :

$$x\phi'' - \phi' - x\phi = 0, \qquad x = \frac{\rho}{\delta_{mag}}, \qquad \delta_{mag} = \sqrt{\frac{\mathcal{R}_p}{\mathcal{R}_s}} = \sqrt{\frac{\mu_r\tilde{d}e}{2}} \tag{I.12}$$

Où δ est une longueur de diffusion, caractérisant la diffusion du champ dans le circuit magnétique. La solution de cette équation est alors [93] :

$$\phi(x) = x\cdot\left(A\,I_1(x) + BK_1(x)\right) \tag{I.13}$$

Où (A, B) est un set de constantes tandis que I_1 et K_1 sont les sont les fonctions de Bessel modifiées de deuxième espèce et d'ordre 1.

Il est supposé que la fréquence d'excitation Merci ☺ suffisamment élevée[2] pour qu'aucun flux ne traverse les rubans conducteurs. L'équation (I.13) décrit alors le champ partout dans les plaques magnétiques, excepté à la verticale d'un conducteur, où le circuit magnétique peut être modélisé par une reluctance localisée :

$$\mathcal{R}_t = \frac{1}{\pi\mu_0\mu_r e}\cdot\ln\left(\frac{2\rho_i+\nu}{2\rho_i-\nu}\right) \tag{I.14}$$

$\mathcal{R}_t$ étant estimée avec la classique formule des résistances cylindriques. Une source de FMM d'amplitude égale au courant circulant dans le ruban est, par ailleurs, connectée en série avec $\mathcal{R}_t$. Cette source est placée à l'unique point de convergence (étant données les hypothèses du modèle) de l'ensemble des lignes de flux issues du courant circulant dans le ruban.

Les équations (I.13) et (I.14), associés aux résultats de la section *4.2.1.2 Estimation de la reluctance de fuite* (page 59), permettent ainsi de décrire les différentes sections d'une V-coil : portion du composant à la verticale d'un ruban conducteur, entre deux rubans, et extérieur du composant. Une V-coil peut ainsi être modélisée par chaînage de ces différents modèles.

Pour exemple, le modèle associé à une V-coil simple, ne comptant que $N = 1$ spire (i.e. deux rubans) est donné en Figure I.44. Le circuit est résolu par étapes : la reluctance $\mathcal{R}_f$ étant connue, celle du domaine défini par $\rho > \rho_2 + \nu/2$, puis celle du domaine $\rho > \rho_2 - \nu/2$, etc. peuvent être calculées. La distribution de champ dans l'intégralité du circuit magnétique en est alors déduite.

[2] En première approximation, cette condition peut être traduite par le fait que l'épaisseur de peau est faible devant celle (paramètre ν) des rubans de cuivre.

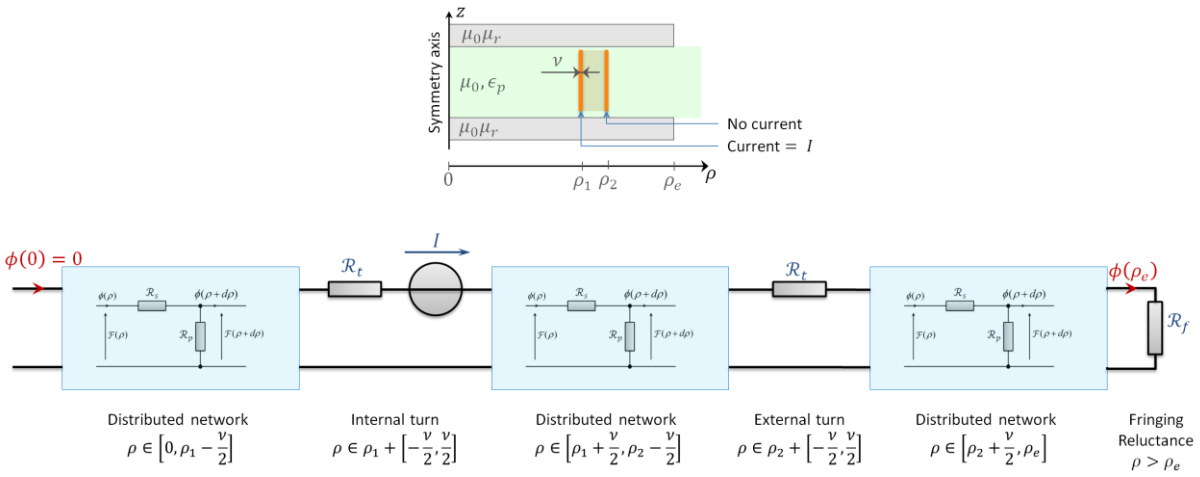


Figure I.44 : dessin d'une V-coil simple (haut) et schéma équivalent pour résolution du modèle magnétique (bas), associant bloc distribués (rectangles bleus) et composants localisés ($\mathcal{R}_X$ & source de FMM).

L'étude d'une V-coil comptant k rubans alimentés est décomposée en k étapes, chacune modélisant la V-coil avec un unique ruban d'alimenté. Le champ total est ensuite estimé par application du principe de superposition.

Le champ dans l'entrefer, en dehors des spires, peut être obtenu par dérivation du flux dans le circuit magnétique ou par résolution de (I.11) :

$$\vec{B} = \frac{\mu_0}{\tilde{d}}\left(AI_0(x) + BK_0(x)\right) \cdot \vec{z} \tag{I.15}$$

où I_0 et K_0 sont les fonctions de Bessel modifiées de seconde espèce et d'ordre zéro.

4.2.1.4 CALCUL DE LA MATRICE D'INDUCTANCE

La matrice d'inductance $M_s \in \mathcal{M}_{2N}(\mathbb{R})$, décrivant les couplages inductifs entre spires, est calculée par intégration du flux. Soit $(i,j) \in [\![1,2N]\!]^2$. L'inductance $M_{s,ij} \in \mathbb{R}$ est l'inductance mutuelle (ou self-inductance si $i = j$) entre les spires i et j. Elle est obtenue en divisant le flux (obtenu en supposant que seule la spire i est alimentée – cf. eq. (I.13)) dans la plaque magnétique à l'aplomb de la spire j par le courant I_i circulant dans la spire i :

$$(i,j) \in [\![1,2N]\!]^2, \qquad M_{s,ij} = \phi\left(\frac{\rho_j}{\delta}\right) \cdot I_i^{-1} \tag{I.16}$$

La matrice d'inductance $M_w \in \mathcal{M}_2(\mathbb{R})$, décrivant les couplages inductifs entre enroulements, est déduite de M_s. Soit $(p,q) \in [\![1,2]\!]^2$. L'inductance $M_{w,pq} \in \mathbb{R}$ est l'inductance mutuelle (ou self-inductance si $p = q$) entre les enroulements p et q. Elle est obtenue en sommant les inductances des spires appartenant aux enroulements p et q :

$$\forall (p,q) \in [\![1,2]\!]^2, \qquad M_{w,pq} = \sum_{i \in \mathbb{L}_p,\ j \in \mathbb{L}_q} M_{t,ij} \tag{I.17}$$

Où, $\forall m \in [\![1,2]\!]$, $\mathbb{L}_m$ est l'ensemble des indices des spires appartenant à l'enroulement m. Cette réflexion est généralisable au cas où le DUT compte plus de deux enroulements.

4.2.2 VALIDATION PAR SIMULATION

Les prédictions du modèle sont vérifiées par comparaison à des résultats de simulation. Pour cela, les inductances de V-coil de paramètres aléatoirement tirés dans l'espace défini par :

$$\begin{array}{cc} t \in [0{,}2\ ;\ 4]\ \text{mm}, & d \in [0{,}4\ ;\ 4.4]\ \text{mm} \\ w_t \in [0{,}05\ ;\ 10]\ \text{mm}, & \nu \in [0{,}001\ ;\ 1]\ \text{mm} \\ \chi \in [0{,}1\ ;\ 14]\ \text{mm}, & \zeta \in [0{,}1\ ;\ 52]\ \text{mm} \\ e \in [0{,}1\ ;\ 2]\ \text{mm}, & \rho_e \in [5\ ;\ 94]\ \text{mm} \\ \mu_r \in [25\ ;\ 425], & f \in [1\ \text{k}\ ;\ 10\ \text{M}]\ \text{Hz} \\ N \in [\![1\ ;\ 15]\!] & \end{array} \qquad (I.18)$$

Sont calculées et simulées par FEA. L'espace dans lequel sont réalisés les tirages a été défini de manière à paraitre pertinent étant données les géométries effectivement réalisables. Les densités de probabilité des divers paramètres sont initialement prises comme uniformes dans leurs sous-espaces respectifs. Certaines géométries tirées, qui sont physiquement impossible (e.g. si $w_t < 2\nu$ ou si $t > d$), n'ont cependant pas été simulées, modifiant de fait les distributions effectives des différents paramètres.

7000 bobines ont ainsi été simulées. Pour chacune, l'écart relatif entre inductances prédite par le modèle et simulée est calculé. Un histogramme montrant la densité de probabilité statistique de cet écart est donné en Figure I.45.

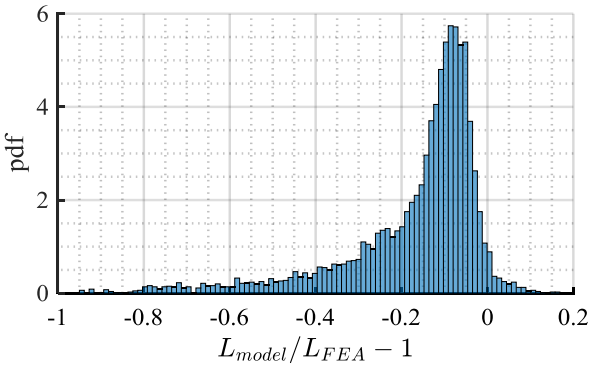


Figure I.45 : densité de probabilité (pdf : probability density function) statistique de l'écart relatif entre modèle d'inductance et valeur simulée.

La distribution n'est pas piquée autour de zéro : le modèle sous-estime généralement (et même quasi-systématiquement : dans 96 % des cas) l'inductance. Ceci s'explique en particulier par le fait que le modèle suppose une excitation à haute fréquence du composant tandis que les simulations sont menées sur une large bande de fréquence ($f \in [1\ \text{k}, 10\ \text{M}]$ Hz). Par ailleurs, l'estimation du flux de fuite est imparfaite.

L'écart entre modèle et mesure s'explique de surcroît par les hypothèses portant sur la topologie du champ dans le composant. Celles-ci sont relativement fortes, en particulier dans le cas où la reluctance du circuit magnétique n'est pas négligeable devant celle de l'entrefer.

4.3 Modèle de pertes cuivre

4.3.1 Modèle

4.3.1.1 Méthode et hypothèses principales

L'équation différentielle décrivant les champs électrique et magnétique dans le cuivre est établie à partir des équations de Maxwell. Elle est ensuite intégrée en utilisant comme conditions aux limites les valeurs de champ magnétique prédites par le modèle magnétique développé dans la section précédente. Le vecteur de Poynting associé à l'onde générée par chaque spire est alors calculé, d'où la puissance dissipée, et par suite la résistance équivalente de la spire, peuvent être extraites. Les paragraphes suivants détaillent ces étapes.

L'étude est réalisée en régime harmonique de pulsation ω ; la fréquence d'excitation f est supposée être suffisamment élevée pour que le modèle magnétique soit valide, mais néanmoins suffisamment faible pour que les effets de propagation puissent être négligés.

4.3.1.2 DÉVELOPPEMENT : RÉSISTANCES AC

CHAMP MAGNÉTIQUE DANS LES RUBANS CONDUCTEURS

L'équation d'onde pour le champ magnétique, dans le ruban conducteur, s'écrit :

$$\Delta\vec{H} - \sigma_{Cu}\mu_{Cu}j\omega\vec{H} = 0 \tag{I.19}$$

Où μ_{Cu} et σ_{Cu} sont la perméabilité absolue et la conductivité du matériau constituant les spires.

Supposant que le champ magnétique est axial (i.e. porté par $\vec{z}$) et ne dépend que de ρ, la laplacien peut être développé et simplifié [93], aboutissant à :

$$\vec{H} = H_z(\rho)\cdot\vec{z} \;\Rightarrow\; \frac{\partial^2 H_z}{\partial\rho^2} + \frac{1}{\rho}\frac{\partial H_z}{\partial\rho} - \alpha^2 H_z = 0, \qquad \alpha^2 = j\sigma_{Cu}\mu_{Cu}\omega \tag{I.20}$$

La solution de cette équation de Bessel est :

$$H_z(x) = AI_0(x) + BK_0(x), \qquad x = \alpha\rho \tag{I.21}$$

Où I_0 et K_0 sont les fonctions de Bessel modifiées de seconde espèce, d'ordre 0 et où (A, B) est un vecteur de constantes. La longueur caractéristique δ, correspondant à l'épaisseur de peau, apparait alors :

$$\alpha = \frac{1+j}{\sqrt{2}}\sqrt{\sigma_{Cu}\mu_{Cu}\omega} = \frac{1+j}{\delta}, \qquad \delta = \sqrt{\pi f\sigma_{Cu}\mu_{Cu}}^{-1} \tag{I.22}$$

Le champ sur chaque face latérale du $i^{\text{ème}}$ ruban ($i \in [\![1, 2N]\!]$) s'exprime alors :

$$\begin{pmatrix} H_z(x_{i,+}) \\ H_z(x_{i,-}) \end{pmatrix} = \begin{pmatrix} I_0(x_{i,+}) & K_0(x_{i,+}) \\ I_0(x_{i,-}) & K_0(x_{i,-}) \end{pmatrix}\begin{pmatrix} A_i \\ B_i \end{pmatrix}, \qquad x_{i,\pm} = \alpha\cdot(\rho_i \pm \nu/2) \tag{I.23}$$

Où $x_{i,\pm}$ sont les rayons normalisés des surfaces latérales du $i^{\text{ème}}$ ruban ($i \in [\![1, 2N]\!]$).

Du fait de la continuité de la composante tangentielle du champ, $H_z(x_{i,\pm})$ peut être estimé à partir du modèle magnétique développé dans la section précédente. Un set de constantes (A_i, B_i) peut alors être calculé pour chaque ruban par inversion de la matrice :

$$\begin{pmatrix} A_i \\ B_i \end{pmatrix} = \begin{pmatrix} I_0(x_{i,+}) & K_0(x_{i,+}) \\ I_0(x_{i,-}) & K_0(x_{i,-}) \end{pmatrix}^{-1}\begin{pmatrix} H_z(x_{i,+}) \\ H_z(x_{i,-}) \end{pmatrix} \tag{I.24}$$

CHAMP ÉLECTRIQUE DANS LES RUBANS CONDUCTEURS

Supposant le champ électrique orthoradial, l'équation de Maxwell-Faraday devient :

$$\vec{E} = E_\theta(\rho)\cdot\overrightarrow{e_\theta} \;\Rightarrow\; \frac{d(\rho E_\theta)}{d\rho} = -j\mu_{Cu}\omega H_z \tag{I.25}$$

Qui, associée à (I.21), et par jeu algébrique sur les fonctions de Bessel [93], peut être intégrée en :

$$E_\theta = -\frac{j\omega\mu_{Cu}}{\alpha}\left(A\cdot I_1(x) - B\cdot K_{-1}(x)\right) \tag{I.26}$$

VECTEUR DE POYNTING

Le vecteur de Poynting associé au $i^{\text{ème}}$ ruban conducteur s'exprime [48], [94] :

$$\overrightarrow{\Pi_i} = \frac{1}{2}E_\theta H_z^*\overrightarrow{e_\rho}, \qquad i \in [\![1, 2N]\!] \tag{I.27}$$

Ce qui, associé à (I.21) & (I.26), donne :

$$\overrightarrow{\Pi_i}(x) = \frac{-j\omega\mu_{Cu}}{2\alpha}\left(A_i I_1(x) - B_i K_{-1}(x)\right)\left(A_i^* I_0(x^*) + B_i^* K_0(x^*)\right) \cdot \overrightarrow{e_\rho} \tag{I.28}$$

RÉSISTANCE ÉQUIVALENTE

La partie réelle du flux du vecteur de Poynting au travers de la surface du $i^{\text{ème}}$ ruban correspond à la puissance cédée au milieu, i.e. perdue :

$$P_i = 2\pi \cdot \Re\mathrm{e}\left(\frac{t}{\alpha}\left(x_{i,-}\Pi_i(x_{i,-}) - x_{i,+}\Pi_i(x_{i,+})\right)\right) \tag{I.29}$$

La résistance ACR_i de la $i^{\text{ème}}$ spire est alors obtenue en divisant la puissance par le carré du courant I_i y circulant. La résistance totale du composant ACR peut alors être calculée par sommation des résistances des différentes spires :

$$ACR(f) = \sum_i ACR_i(f) = \sum_i \frac{P_i}{I_i^2} \tag{I.30}$$

Ce modèle ne permet pas d'estimer les termes non-diagonaux de la matrice de résistance (i.e. les pertes dans le conducteur $j \in [\![1, 2N]\!]$ du fait du passage d'un courant dans le conducteur $i \in [\![1, 2N]\!] \setminus j$) dans la mesure où l'expression de Π_i n'est valide que dans le $i^{\text{ème}}$ ruban de cuivre. Les effets de proximité ne sont néanmoins pas négligés, l'expression des champs agrégant les contributions de toutes les spires.

4.3.1.3 COMPENSATION DE RÉSISTANCES DC

Les valeurs de champ magnétiques utilisées pour estimer les constantes (A_i, B_i) proviennent d'un modèle développé sous l'hypothèse d'une excitation à haute-fréquence, pour laquelle les effets de peau et de proximité sont notables. Il est conséquemment attendu que la résistance DC (DCR) ne puisse être correctement estimée par le modèle. D'un autre côté, la DCR peut aisément être estimée :

$$DCR = \frac{\pi t}{\sigma_{Cu}} \sum_i \ln\left(\frac{2\rho_i + \nu}{2\rho_i - \nu}\right)^{-1} \tag{I.31}$$

Où ρ_i désigne le rayon moyen de la $i^{\text{ème}}$ spire.

Les deux modèles (d'ACR pour (I.30) et de DCR pour (I.31)) peuvent alors être combinés de manière à donner un estimateur de résistance valide sur une large gamme de fréquence. Une solution simple consiste à ajouter un offset à la valeur de ACR de manière que le modèle donne une valeur correcte en basse-fréquence. L'estimateur de résistance, valide tant en basse qu'en haute fréquence, peut alors s'exprimer :

$$\forall f, R_{eq}(f) = DCR + ACR(f) - ACR(f \to 0) \tag{I.32}$$

Le biais ajouté par cette technique dans le domaine AC est négligeable dans la mesure où la résistance totale y est très supérieure à la DCR.

D'autres techniques de compensations peuvent être mises en œuvre, telles que l'usage d'une fonction de transition douce, régulière, entre les domaines DC et AC.

4.3.2 VALIDATION PAR SIMULATION

Les résistances des V-coils du set décrit dans (I.18) sont simulées par FEA et calculées à l'aide du modèle (I.32). Pour exemple, les résistances de six d'entre elles sont données en Figure I.46.

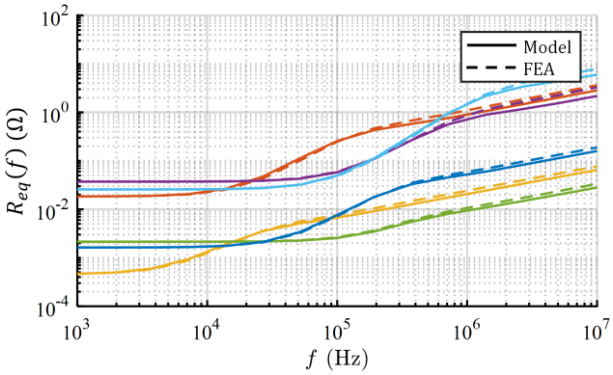


Figure I.46 : résistances de six V-coil aléatoires (une par couleur) : modèle (ligne continue) et FEA (ligne pointillée).

Un histogramme de l'écart entre les valeurs simulée par FEA et celles calculées par le modèle (I.32) est donné en Figure I.47. Minimiser l'incertitude de l'estimation tout en limitant la probabilité de sous-estimer la résistance est une propriété souhaitable de manière à minimiser le besoin de prévoir d'importantes marges lors du dimensionnement d'un circuit. La distribution est relativement piquée et un léger biais positif est observable : la résistance est généralement surestimée. On note, par ailleurs et en particulier, que les résistances de 80 % des composants considérés sont estimées avec moins de 20 % d'écart par rapport à la FEA.

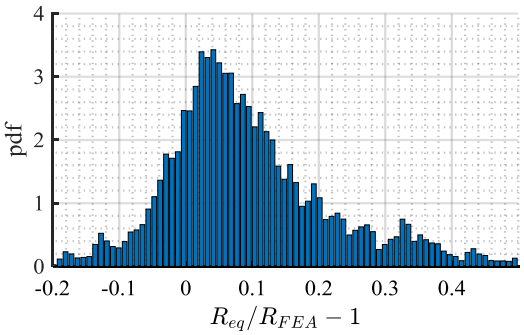


Figure I.47 : densité de probabilité (pdf : probability density function) statistique de l'écart relatif entre modèle de résistance et valeur simulée.

Une étude paramétrique de l'écart entre les résistances a été menée, sans dévoiler de corrélation avec les paramètres géométriques définissant la géométrie (ν, ρ_e, χ ... listés en (I.18)), ni avec la longueur de diffusion magnétique. Enfin, une Analyse en Composantes Principales n'a pas permis de trouver de direction ayant une valeur propre élevée et un sens physique pertinent.

4.4 Modèle de pertes fer

Le modèle magnétique décrit en section 4.2 (page 58) apporte une description du champ magnétique dans tout le volume du circuit magnétique. Un modèle de perte volumique peut alors être appliqué localement puis intégré sur ce volume. Divers modèles peuvent être exploités, suivant les connaissances disponibles pour le matériau magnétique considéré. Une lecture directe des abaques inclues dans la datasheet peut ainsi suffire – pour peu que ces abaques existent et que les conditions de tests (généralement sous champ sinusoïdal) soient pertinentes. Les modèles basés sur l'équation de Steinmetz [95], [96] permettent d'appliquer ces données pour une plus grande diversité de formes d'ondes. Seules les pertes en petits signaux étant généralement spécifiées (ou du moins renseignées) dans les feuilles de caractéristiques des matériaux magnétiques en feuilles considérées dans ce chapitre, l'estimation des pertes sera par la suite basée sur la mesure en petits signaux de la perméabilité complexe. La densité de perte volumique s'exprimera alors [14] :

$$P_d(f) = \pi f \mu_0 |H_z|^2 \cdot \mu_r''(f), \qquad \mu_r'' = \Im\mathrm{m}(\mu_r) \tag{I.33}$$

Où $\mathfrak{Im}(z)$ désigne la partie imaginaire de $z \in \mathbb{C}$. Ce modèle est cependant simpliste dans la mesure où il ignore les non-linéarités du matériau et néglige les pertes jusqu'à une fréquence proche de la résonance.

4.5 MODÈLE ÉLECTROSTATIQUE

Supposant la distance séparant les rubans conducteurs faible par rapport à leurs hauteurs :

$$(w_t - \nu, \qquad \chi - \nu) \; < \; t \tag{I.34}$$

l'approximation selon laquelle chaque spire n'est électrostatiquement couplée qu'aux deux spires adjacentes est raisonnable. Les surfaces équipotentielles sont alors assimilées à des cylindres d'axe confondu avec celui du composant et l'énergie électrostatique est intégralement stockée dans le composant – circuit magnétique exclu – (i.e. pour $2|z| < d$). La capacité couplant la $i^{\text{ème}}$ spire (numérotation suivant la Figure I.41, page 58) avec la suivante au travers d'une tranchée noyée de résine s'exprime alors via la formule classique pour les condensateurs cylindriques [97] :

$$\begin{aligned} C_{t,i} &= 2\pi\epsilon_0\epsilon_t t \cdot \ln\left(\frac{\rho_i + w_t - \frac{3\nu}{2}}{\rho_i + \frac{\nu}{2}}\right)^{-1}, \qquad i \in [\![1, N]\!] \\ C_{t,N+1} &= \pi\epsilon_0\epsilon_t t \cdot \ln\left(\frac{\rho_N + \frac{3}{4}\chi + w_t - \frac{3\nu}{4}}{\rho_N + \frac{3}{4}\chi + \frac{\nu}{2}}\right)^{-1} \end{aligned} \tag{I.35}$$

Tandis que la capacité liant cette même spire et la précédente, au travers du substrat PCB, s'exprime :

$$\begin{aligned} C_{P,i} &= 2\pi\epsilon_0\epsilon_P t \cdot \ln\left(\frac{\rho_i - \frac{\nu}{2}}{\rho_i - \chi + w_t - \frac{\nu}{2}}\right)^{-1}, \qquad i \in [\![2, N]\!] \\ C_{P,N+1} &= \pi\epsilon_0\epsilon_P t \cdot \ln\left(\frac{\rho_{i,N} + \frac{3}{4}\chi - \frac{\nu}{2}}{\rho_{i,N} - \frac{1}{4}\chi - w_t - \frac{\nu}{2}}\right)^{-1} \end{aligned} \tag{I.36}$$

Définir la capacité $C_{P,1}$ n'a pas de sens du fait de l'absence de ruban de diamètre inférieur à celui de la plus petite spire ($i = 1$).

Des modèles plus complets, basés sur des hypothèses moins fortes que celles listées ici, pourraient être utilisés, prenant en particulier en compte les dimensions relatives (e.g. ratios t/ν ou $t/(\chi - \nu)$) du composant effectivement modélisé et sa bi- ou tri- dimensionnalité. De plus, les propriétés électrostatiques du matériau magnétique peuvent fortement différer de celles des diélectriques courants (tels que le substrat PCB époxy, le polyimide, etc.) en affichant des valeurs de permittivités très élevées et dépendant fortement de la fréquence, conséquence de la structure granulaire du ferrite [10], [98].

4.6 MODÈLE DE RÉSONATEUR LC-SÉRIE

4.6.1 INTRODUCTION

Du fait de sa structure même impliquant de relativement larges rubans conducteurs se faisant face à faible distance, une V-coil présente une capacité entre spires relativement élevée – davantage que celle couplant les pistes adjacentes d'une P-coil imprimée sur une unique couche de PCB. Associée à l'inductance du composant, cette capacité pourrait être mise à profit de manière à réaliser un résonateur intégré, monolithique. Il s'agirait alors, comme l'indique la Figure I.48, de se connecter sur l'un des enroulements depuis l'extérieur de la spirale et sur l'autre depuis l'intérieur.

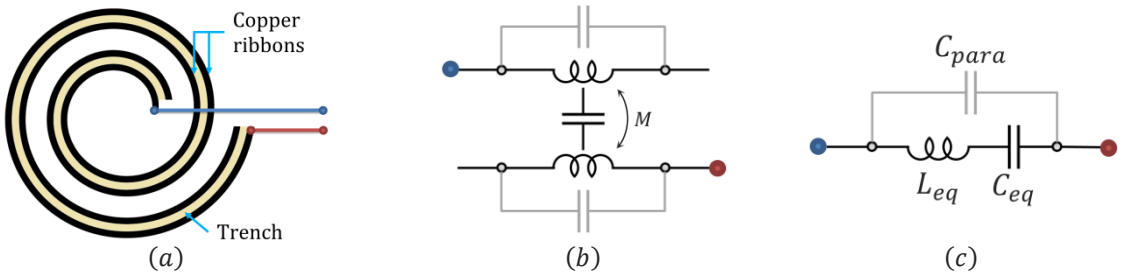


Figure I.48 : utilisation d'une V-coil en résonateur série. (a) : vue de dessus d'un composant sans circuit magnétique (rubans conducteurs en noir, tranchée en jaune, connexion au reste du circuit, de type « ligne de transmission », en bleu et rouge) ; (b) : connexion au circuit ; (c) : schéma équivalent.

L'usage en résonateur est rendu aisé par le fait que le procédé de réalisation d'une V-Coil entraine la fabrication de deux rubans de cuivre. De plus, il a été montré que l'intérêt de cette structure réside en la diminution des pertes AC ; travailler en excitation AC, proche de la résonnance, revient alors à maximiser le gain de la structure vs celle d'une P-coil.

Cette section considèrera une V-coil simple car constituée d'une unique tranchée, et donc de seulement deux rubans conducteurs. L'esprit de la modélisation est cependant généralisable à des structures plus complexes.

4.6.2 CONNEXION AUX RUBANS

Une V-coil dispose de quatre broches, dont seules deux sont employées dans un montage en résonateur. Diverses méthodes de connections sont alors possibles (Figure I.49). Les deux méthodes de connexions dites « en ligne de transmission » (Figure I.49-a & b) sont relativement équivalentes. La topologie du champ dans le circuit magnétique est proche de celle obtenue lorsque la V-coil est utilisée comme inductance, sous excitation DC.

Le montage dit « en stub » (Figure I.49-c & d) modifie notablement la distribution du champ. Suivant le port utilisé (extérieur en Figure I.49-c, ou intérieur en Figure I.49-d), ce sont principalement les spires externes ou internes qui conduisent le courant. L'exploitation du matériau magnétique est alors suboptimale – d'autant plus du fait de la circulation de courants de sens opposés dans des rubans adjacents. La fréquence de résonance est plus élevée que dans une connexion en ligne de transmission.

La connexion en stub depuis l'extérieur (Figure I.49-c) est la plus simple puisqu'elle n'utilise qu'une couche de cuivre mais ses propriétés électriques médiocres pousseront à lui préférer une connexion en ligne de transmission (Figure I.49-a ou, de préférence, b). Si le modèle proposé ci-dessous est conçu pour une telle connexion, son esprit demeure valide dans les autres cas.

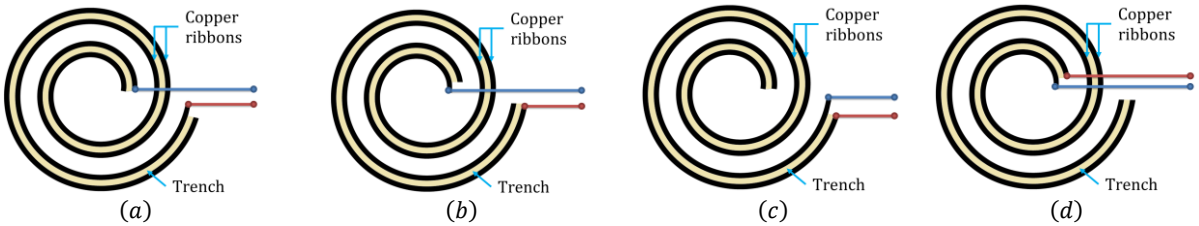


Figure I.49 : utilisation d'une V-coil (rubans conducteurs en noir, tranchée en jaune, connexion au reste du circuit en bleu et rouge) en résonateur série – quatre méthodes de connexion : connexion en ligne de transmission depuis l'intérieur (a) et l'extérieur (b) et montage en stub par l'extérieur (c) et l'intérieur (d).

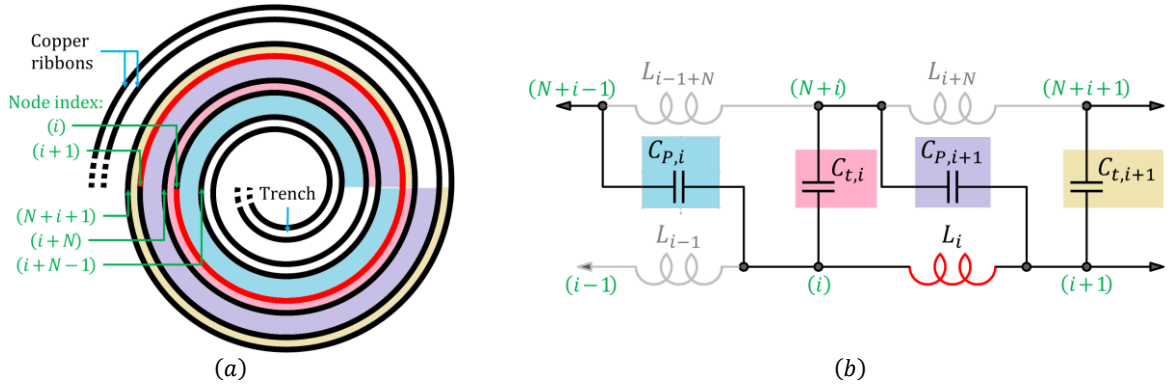
Une réflexion similaire a été menée par [72].

4.6.3 CIRCUIT DISCRÉTISÉ ÉQUIVALENT

4.6.3.1 MODÉLISATION D'UNE SPIRE

Chaque spire est modélisée par son inductance propre (et les mutuelles associées) et des condensateurs la couplant aux spires adjacentes.

On donne en Figure I.50-a une vue schématique d'une V-coil. La $i^{\text{ème}}$ ($i \in [\![1, N]\!]$) spire (d'inductance propre L_i et de rayon moyen ρ_i) est surlignée en rouge, tandis que les volumes couplant électrostatiquement cette spire avec celles adjacentes sont colorés. Les différents nœuds marquant les « extrémités » des spires ont été numérotés, la spire $i \in [\![1, 2N]\!] \setminus \{N\}$ reliant les nœuds i et $i+1$. Les condensateurs de la Figure I.50-b ont des arrière-plans des mêmes couleurs que les volumes associés sur la Figure I.50-a.



(a) (b)

Figure I.50 : (a) : schéma d'une V-coil ; (b) : schéma équivalent (couplages magnétiques cachés). Les zones colorées correspondent à des capacités entre rubans, les fonds de couleurs permettent d'associer les condensateurs à leurs volumes de définition associés.

4.6.3.2 CIRCUIT COMPLET

La concaténation des modèles des différentes spires aboutit au modèle chainé donné en Figure I.51. Les pertes ne sont pas représentées sur ce schéma ; elles peuvent être intégrées dans les bobines, sous la forme d'une impédance série réelle.

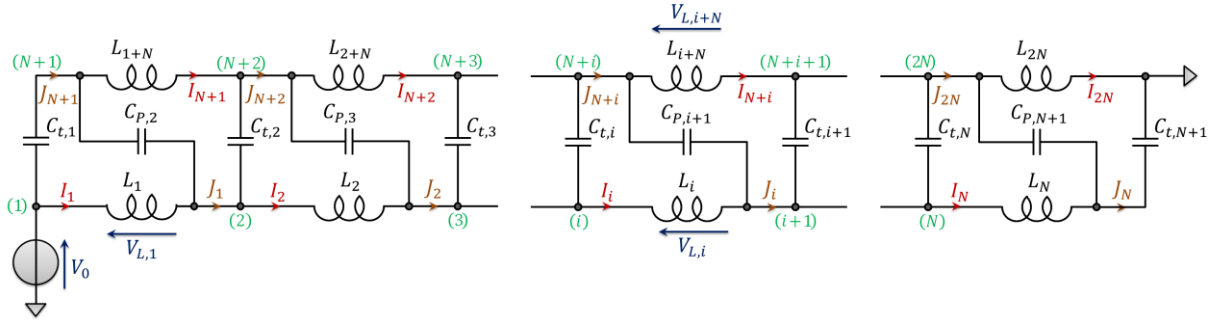


Figure I.51 : schéma équivalent d'une V-coil en résonateur série excitée par V_0. Couplages magnétiques et éléments dissipatifs non-décrits. Nœuds numérotés en vert.

Ce modèle n'est néanmoins pas trivial à résoudre du fait de l'absence de symétrie (a priori tous les éléments sont différents) et des couplages inductifs. La théorie des lignes ne peut donc être appliquée ici.

4.6.3.3 VALEURS DES COMPOSANTS RÉACTIFS

Les valeurs des inductances (propres et mutuelles) sont celles fournies par le modèle magnétique développé précédemment. Les capacités sont quant à elles déduites du modèle électrostatique proposé en section 4.5 (page 66).

4.6.4 RÉSOLUTION DU CIRCUIT

Les équations régissant le circuit, sous excitation harmonique, sont écrites, puis résolues numériquement de manière à obtenir les amplitudes des $2N$ courants traversant les $2N$ spires du composant. Seule une très sommaire réduction d'ordre du système a été réalisée : le système à résoudre compte $6N + 1$ équations. Ceci se justifie par une volonté de simplifier l'étude analytique du circuit. De plus, le circuit est suffisamment simple pour être résolu (même en l'absence de toute réduction de modèle) par un solveur numérique en un temps négligeable face à celui requis par, entre autres, la résolution numérique du modèle de perte.

$6N + 1$ équations ont donc pu être écrites. $2N$ équations sont dérivées de la loi des mailles, appliquées aux mailles $\{C_{P,i}, C_{t,i}, L_{i+N-1}\}$ et $\{C_{P,i+1}, C_{t,i}, L_i\}$. $N + 1$ et N équations caractérisent la conservation de la charge au travers des condensateurs, respectivement, C_P et C_t. Enfin, $2N$ équations relient les courants dans les spires, les tensions à leurs bornes, et la matrice d'inductance.

Ceci permet de déterminer le vecteur A (cf. Figure I.51) :

$$A = (I_0 \quad I_1 \quad \cdots \quad I_{2N} \quad J_1 \quad \cdots \quad J_{2N} \quad V_{L,1} \quad \cdots \quad V_{L,2N})^t \tag{I.37}$$

D'où est extraite l'impédance équivalente :

$$Z_{res} = V_0 \cdot I_0^{-1} \tag{I.38}$$

Cette section utilise une discrétisation au niveau de chaque spire du composant pour construire un modèle semi-distribué. Sans être insurmontable, la complexité résultante – et par suite le coût de calcul – est relativement élevée. Le circuit LC-série constitué (1) de la capacité basse-fréquence couplant les enroulements et (2) d'une inductance déduite de la matrice d'inductance (moyenne arithmétique, moyenne géométrique, impliquant l'inductance mutuelle, etc.) pourrait alors constituer un modèle simplifié du résonateur [99].

4.7 VALIDATION EXPÉRIMENTALE

La présente section se propose de tester les modèles de pertes et de résonateurs développés. Une V-coil est ainsi réalisée, caractérisée en petits signaux, et son impédance est comparée à celle prédite par le modèle décrit précédemment.

4.7.1 DIMENSIONNEMENT & RÉALISATION DU PROTOTYPE

Le dimensionnement du composant est largement conditionné par les moyens de production disponibles. De manière que la fréquence de résonance du composant soit suffisamment basse pour permettre une application en électronique de puissance (i.e. aux alentours de quelques MHz tout au plus), il s'est agi de maximiser inductance et capacité inter-spires, tout en cherchant à limiter le diamètre du composant pour obtenir une densité d'énergie acceptable. Ces contraintes tendraient à minimiser les distances radiales entre rubans conducteurs. Néanmoins, les limitations technologiques définissent une largeur de tranchée (w_t) ainsi que des distances entre tranchée ($\chi - w_t$) minimales.

Ces considérations électriques et technologiques ont ainsi présidé à la définition du nombre de spire N, de la largeur de la tranchée w_t, et du pas de la spirale χ. Le rayon de la spire interne a été fixé par le compromis entre énergies électrostatique et magnétique stockées vs pertes cuivre.

Le composant a été majoritairement réalisé au sein de la plateforme 3DPhi (Toulouse). Il est basé sur un substrat polyimide, constitué de 18 couches laminées, chacune de 100 µm d'épaisseur – soit une épaisseur proche de celle d'un PCB standard. La tranchée a été réalisée mécaniquement[3].

[3] À l'aide d'une fraiseuse 2,5 axes équipée d'une fraise de 0,8 mm. La vitesse de la broche était de 40 krpm, la vitesse d'avance de 500 µm/s et la profondeur de passe de 100 µm.

L'épaisseur des plaques magnétiques a été fixée à 180 µm (soit l'épaisseur d'une feuille d'IBF15), assurant un courant de saturation de 3 A. Leur rayon a été pris comme supérieur de δ_{mag} (longueur de diffusion dans le matériau magnétique, cf. (I.9), page 59) au rayon de la spire externe de manière à assurer un bon blindage du composant sans pour autant excessivement pénaliser la densité de puissance.

L'épaisseur cible des rubans était initialement d'environ $\nu^* = 100$ µm. Des FEA ayant en effet montré que toute valeur supérieure ne permet pas, du fait des effets de peau et de proximité, de diminuer les pertes au-delà de 1 MHz. La forte résistivité de la couche d'accroche (palladium autocatalytique, i.e. electro-less), associée à un courant de dépôt trop élevé, a engendré le dépôt d'une couche de cuivre inhomogène, plus épaisse sur les spires périphériques qu'internes de la V-coil. De manière à éviter l'obstruction de la tranchée – et par là la mise en court-circuit des deux rubans – le dépôt a été stoppé avant qu'une épaisseur de cuivre de ν^* ait pu être déposée sur toute la surface des rubans.

Les dimensions caractéristiques de la V-coil sont résumées en Figure I.52.

Paramètre		Valeur Nominale	Unité
t	Hauteur des rubans de cuivre (direction $\vec{z}$)	2 $(*)$	mm
ν	Epaisseur des rubans de cuivre ($\vec{z}^{\perp}$)	31 $(*)$	µm
d	Distance entre les PM	2.1 $(*)$	mm
e	Épaisseur des PM	180 $(*)$	µm
ζ	Distance entre le milieu de la tranchée externe et le bord de la PM	8.5 $(*)$	mm
N	Nombre de spires par enroulement	12	
χ	Pas de la spirale	1.4 $(*)$	mm
w_t	Largeur de la tranchée	0.5 $(*)$	mm
ρ_e	Rayon des PM	37 $(*)$	mm
μ_r	Perméabilité relative des PM	130 $(*)$	
ϵ_t	Permittivité de la résine dans la tranchée	3.6	
ϵ_p	Permittivité du substrat PCB	3.5	

$(*)$: paramètre varié dans les simulations Monte Carlo

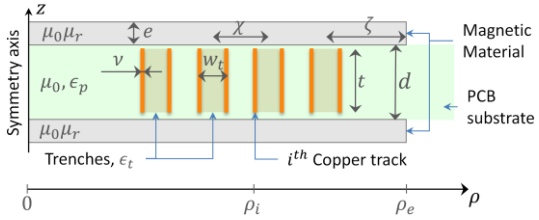


Figure I.52 : dimensionnement de la V-coil considérée (gauche) et schéma annoté (droite). ν est une valeur approximée, l'épaisseur de cuivre n'étant pas homogène. PM : Plaque Magnétique.

4.7.2 IMPÉDANCE DE LA V-COIL

4.7.2.1 CONNEXION AUX RUBANS

Des mesures d'impédance, menées sur la V-coil à l'aide d'un analyseur E4990a, sont données en Figure I.53. En particulier, les diverses connexions au résonateur évoquées en section 4.6.2 (page 67) sont comparées. Comme annoncé, il apparait que la fréquence de résonnance résultant d'un usage en « ligne de transmission » (courbes violette et orange) est plus basse que celle obtenue avec une connexion en « stub » (courbes bleues). La résistance y est néanmoins plus faible – en dépit des pertes fer, déjà notables : $\mu_r''(20\,\text{MHz}) \approx 35$. Ceci s'explique par l'épaisseur de cuivre déposée plus faible sur certaine spires, entrainant de fait une résistance localement élevée. Si la connexion en ligne de transmission intègre cette résistance comme un élément série, la connexion en stub peut ne pas être affectée, cette résistance ne faisant alors que découpler certaines spires.

L'inductance de l'enroulement externe est de 12 µH, pour un courant de saturation (défini pour une baisse d'inductance de 20 %) de 3 A – l'induction atteint alors environ 100 mT dans le ferrite.

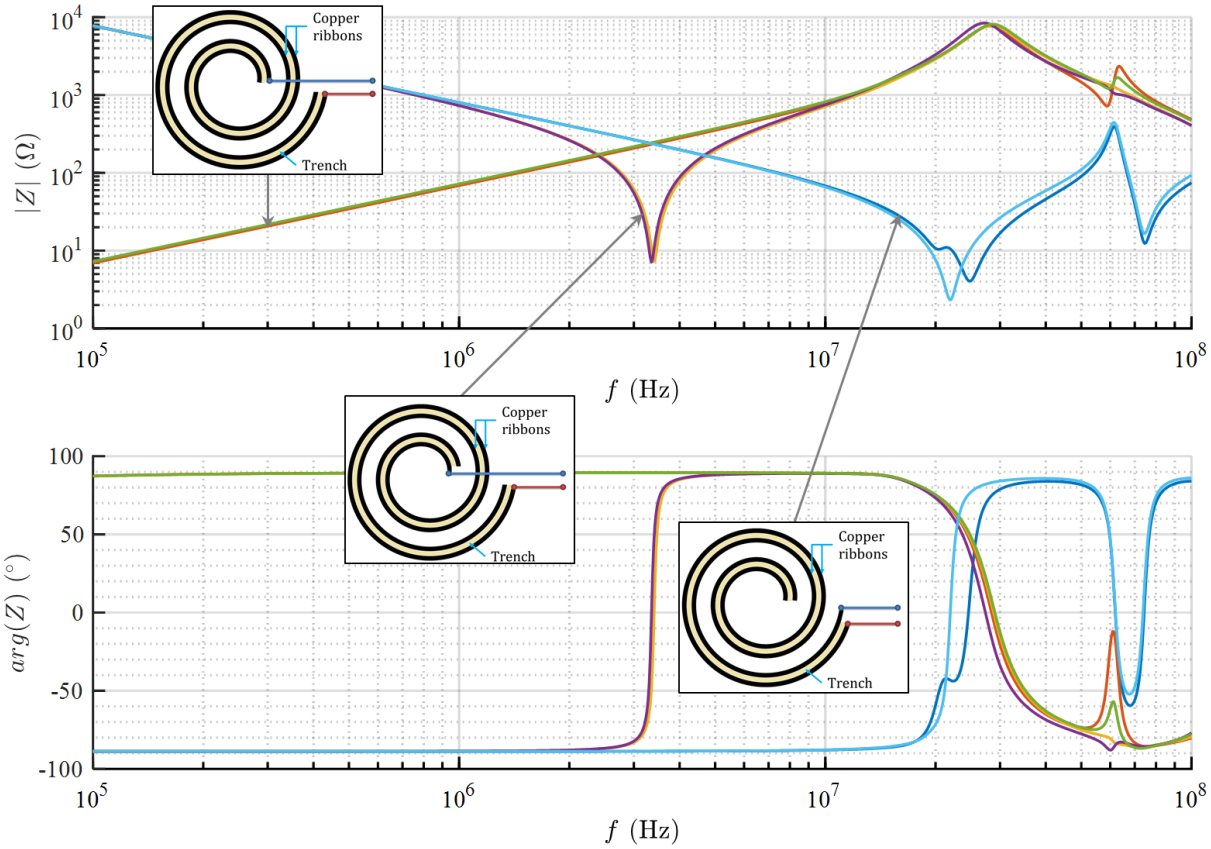


Figure I.53 : impédance de la V-coil considérée : module (haut) et phase (bas). Utilisation en inductance (vert et rouge), en résonateur « ligne de transmission » (violet et orange), et en résonateur « stub » (azur et saphir). Les mesures vont deux à deux : suivant la connexion relative aux enroulements internes ou externes.

4.7.2.2 IMPÉDANCE DU RÉSONATEUR

Les impédances mesurées et celles calculées par le modèle développé en section 4 sont données en Figure I.54. De manière à limiter le coût de calcul et dans la mesure où la résistance est, excepté à la résonnance, très inférieure à la réactance, les pertes AC ne sont, ici, pas prises en compte par le modèle. L'impédance du résonateur est bien estimée, même si une résonance à 7,8 MHz est imaginée par le modèle – possiblement du fait de la discrétisation.

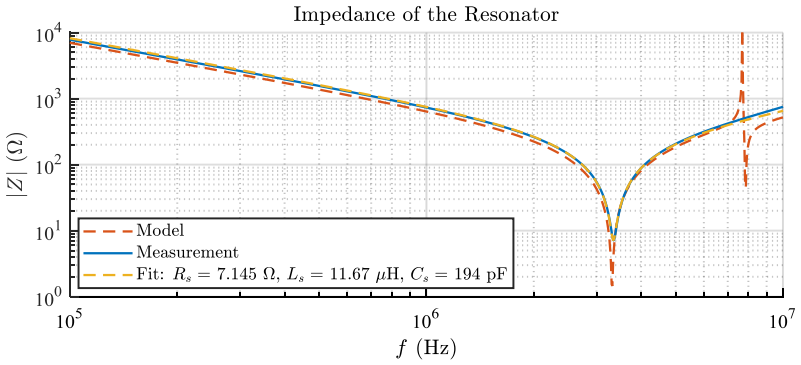


Figure I.54 : impédance de la V-coil utilisée en résonateur « ligne de transmission » : mesure (bleu) et modèle (rouge). L'impédance d'un circuit RLC-série ajusté sur les mesures est également tracée (jaune).

Du fait de difficultés de réalisations, la géométrie du composant réel diffère assez notablement de celle du modèle. L'écart inter-spires χ et l'épaisseur des rubans ν, en particuliers, varient d'une spire à l'autre. Si ces irrégularités ont peu d'effet sur la réactance du composant (principalement du fait de sa faible sensibilité au paramètre ν et grâce à un effet de moyennage sur les différentes spires), elles influent fortement sur la résistance.

Une simulation Monte-Carlo a donc été réalisée de manière à estimer la sensibilité de la résistance par rapport aux paramètres géométriques. Les dimensions marquées d'un astérisque sur la table de la Figure I.52 ont ainsi été tirées aléatoirement, avec des distributions uniformes, dans des intervalles centrés sur les valeurs nominales et de largeur ±7 % (valeur considérée a priori comme raisonnable). La dépendance en fréquence de la perméabilité est prise en compte, basée sur le spectre issu de la datasheet. La Figure I.55 montre que si la sensibilité de la résistance est grande, le modèle offre une estimation apparemment correcte des pertes cuivre tandis que les pertes fer sont assez fortement sous-estimées. L'écart s'explique probablement, au moins pour partie, par l'écart entre les géométries réelles et modélisées, ainsi que par un spectre de perméabilité pouvant différer de celui considéré, en particulier du fait d'une possible anisotropie du matériau.

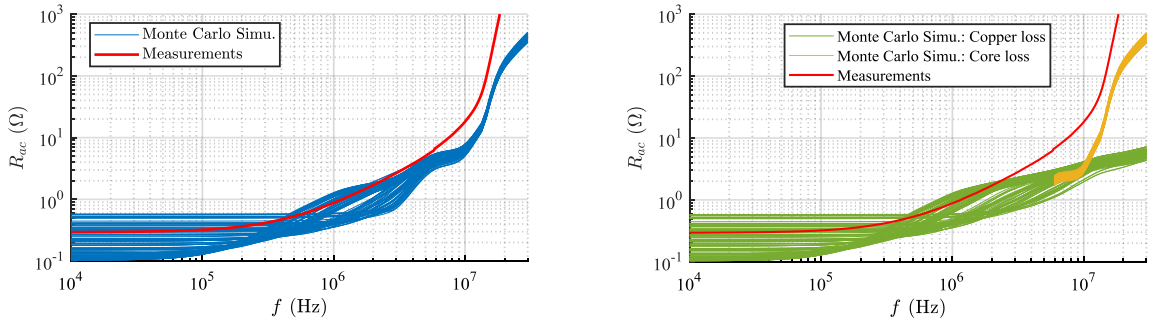


Figure I.55 : résistance de l'enroulement externe de la V-coil. (a) résistance totale mesuré (rouge) et obtenue par simulation Monte-Carlo du modèle (bleu, 84 composants). (b) : séparation entre pertes cuivre (vert) et fer (jaune).

4.8 Conclusion sur la modélisation d'une V-Coil

Un modèle de V-coil a été conçu de manière à être intégré dans des routines d'optimisation, évitant ainsi au concepteur de convertisseur mettant en œuvre cette topologie de composant de devoir recourir à de coûteuses FEA. Le modèle proposé décrit le champ magnétique dans l'intégralité du composant, calcule sa matrice d'inductance, en prédit les pertes cuivre et fer, et donne une estimation des capacités parasites. Ces modèles élémentaires ont ensuite été agrégés de manière à estimer l'impédance d'une V-coil utilisée comme résonateur série.

Un prototype de V-coil a ensuite été réalisé et caractérisé. Son impédance a été comparée à celle prédite par le modèle développé, montrant une assez bonne corrélation, en dépit d'une géométrie approximative ne faisant qu'approcher les canons du modèle. Cette section a également mis en évidence le manque de maîtrise du procédé de fabrication de la V-coil – en tous cas pour ce qui est de la réalisation de composants impliquant de petites valeurs de (χ, w_t, N^{-1}).

5 Mise en œuvre dans un convertisseur résonnant

5.1 Introduction

La V-coil réalisée dans la section précédente présente une fréquence de résonance proche de 3 MHz lorsqu'utilisée en résonateur « ligne de transmission ». Une telle fréquence permet d'envisager son intégration au sein d'un convertisseur de puissance.

La V-coil prototypée est ainsi insérée dans un convertisseur LC-série résonnant, pouvant par exemple être destiné à une application domestique : l'alimentation depuis le secteur (tension universelle : 85 Vac – 265 Vac) d'un réseau de LED 34 V – 360 mA COB (Chip On Board) [100]. Cette application permet de profiter de l'intrinsèque capacité de la topologie à fonctionner avec une large gamme de tension d'entrée, tout en exploitant des niveaux de tensions et courants compatibles avec les caractéristiques de la V-coil.

5.2 SCHÉMA ET INSTRUMENTATION

Le schéma de principe annoté du convertisseur est donné en Figure I.56 [101], [102]. Ce démonstrateur de principe visant avant tout à tester les performances de la V-coil, la conversion de la tension délivrée par le réseau en une tension continue (sans PFC, la puissance n'excédant pas 25 W [19]) n'est pas implémentée. De plus, une carte d'évaluation GaN-System pour transistors GS66508T (650 V-30 A-50 mΩ) est utilisée comme cellule de commutation [103]. Ce choix est justifié par la simplicité d'utilisation de la carte. L'alimentation par bootstrap du driver high-side a été remplacée par un convertisseur DC-DC isolé à faible capacité de couplage (24 pF [104], de manière à minimiser le bruit renvoyé vers la commande [58]) et les résistances de turn-on (R1 & R2) ont été abaissées à 2,2 Ω, le tout de manière à permettre un fonctionnement correct jusqu'à au moins 5 MHz. Une résistance de $R_{ld} = 100\ \Omega$ est utilisée comme charge.

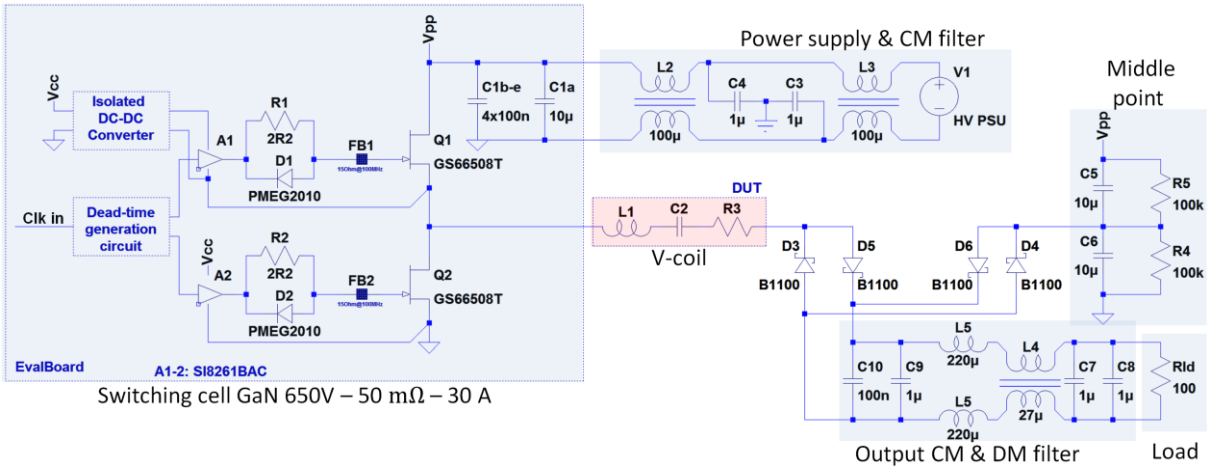


Figure I.56 : schéma de principe du convertisseur considéré

L'étude des convertisseurs résonants passe souvent par l'hypothèse selon laquelle seules les composantes fondamentales des signaux transportent de l'énergie [101], [105]. Si, du fait de la large gamme de tension d'entrée, cette approximation n'est ici pas acceptable, elle permet néanmoins de saisir le principe de fonctionnement du convertisseur. Sous cette hypothèse, des considérations énergétiques permettent de modéliser l'ensemble constitué par le pont de diodes, le filtre de sortie et la charge par une résistance de valeur proche de :

$$\tilde{R}_{ld} = \frac{8}{\pi^2} R_{ld} \tag{I.39}$$

La tension carrée délivrée par la cellule de commutation est alors, réduite de sa tension moyenne (du fait de C2, C5 et C6), appliquée au circuit constitué de la V-coil et de $\tilde{R}_{ld}$. Moduler la fréquence de découpage permet alors d'ajuster l'impédance du résonateur, et par suite la tension aux bornes de la charge.

Une boucle d'asservissement implémenté dans Matlab permet ainsi de réguler la tension de sortie du convertisseur. Pour des raisons pratiques de mise en œuvre, la fréquence de commutation est ici inférieure à la fréquence de résonnance.

5.3 FORMES D'ONDES

La Figure I.57 montre les signaux mesurés sur le prototype. Le ratio de conversion est ici tel ($V_{in}/V_{out} = 6{,}7$) que c'est l'harmonique 3 qui assure le transfert de puissance [105]. Les commutations ont lieu lorsque le courant est proche de zéro (Zero Current Switching – ZCS) mais la tension en sortie de la cellule de commutation montre que le transistor high-side (respectivement low-side) entre en conduction inverse pendant le temps-mort précédant le front descendant (resp. montant), empêchant ainsi une commutation au zéro de la tension (Zero Voltage Switching – ZVS). Les pointes de courant observées lors des commutations sont dues à la capacité parasite C_{para} parallèle du résonateur (Figure I.48-c).

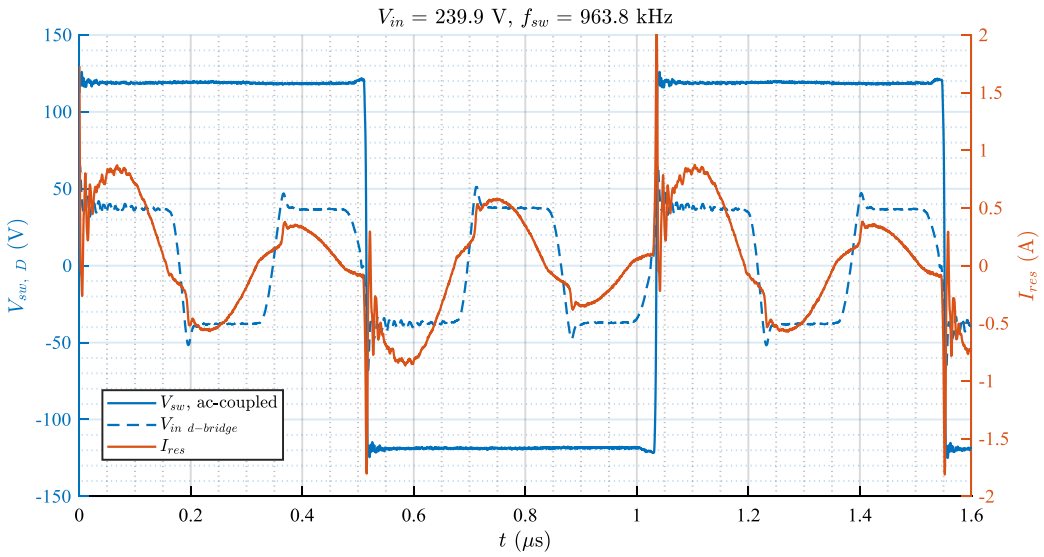


Figure I.57 : signaux mesurés pour une tension de bus de 240 V et une fréquence de découpage de 964 kHz. Tension en sortie de la cellule de commutation (ligne bleue continue, couplage AC), tension d'entrée du pont de diodes (ligne bleue pointillée, couplage DC) et courant résonnant (ligne rouge, couplage AC).

Cette observation est généralement valide, comme l'indique la Figure I.58 : le courant résonant est systématiquement positif (i.e. effectivement sortant de la cellule de commutation) lors de la mise en conduction du transistor high-side (marqueurs bleus) et systématiquement négatif lors de la mise en conduction du transistor low-side (marqueurs rouges).

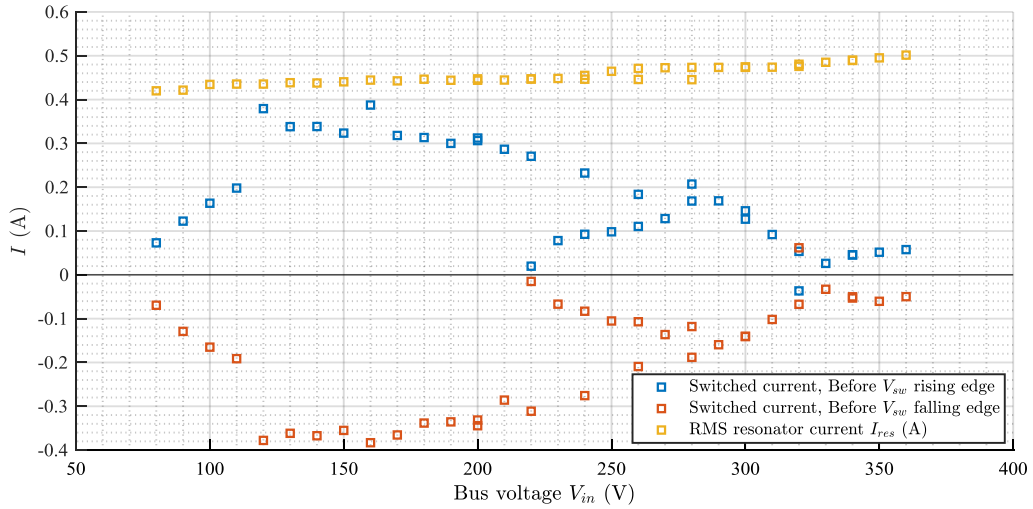


Figure I.58 : courants résonant vs tension de bus : courant RMS (jaune) et courants commutés aux fronts montant (bleu) et descendant (rouge). La non-monotonie et surjectivité de la fonction associant un courant à une tension découle de l'importance des harmoniques dans le transfert de puissance : harmonique 3 entre 220 V et 280 V, harmonique 5 au-delà de 320 V.

Les temps morts sont, respectivement, d'environ 18 ns et 22 ns avant les fronts descendant et montant. Les vitesses de balayage atteignent 50 à 60 V/ns, soit des temps de commutations allant de 2,2 à 4,3 ns – après compensation des temps de montée de la sonde (bande passante $BW = 400$ MHz, temps de monté $t_r = 900$ ps) et de l'oscilloscope ($BW = 1$ GHz, $BW \cdot t_r = 0{,}45$) [106], [107].

De faibles oscillations et surtensions sont observées sur la tension de sortie de la cellule de commutation ainsi que sur la tension d'entrée du pont de diodes, dénotant un bon découplage.

5.4 RENDEMENT

Du fait de sa capacité en courant disproportionnée, la cellule de commutation employée n'est pas adaptée à l'application à faible courant considérée. La combinaison d'une importante capacité de sortie (88 pF sous 400 V) et d'une fréquence de commutation élevée se traduit ainsi par de fortes pertes dans la cellule de commutation. Si le rendement du convertisseur complet est systématiquement supérieur à celui d'un régulateur linéaire, il ne dépasse pas 45 % pour des tensions d'entrée comprises entre 80 V_{dc} et 360 V_{dc}.

L'étude portant sur le résonateur, on en définit alors le rendement comme :

$$\eta_{res} = \frac{P_{out,res}}{P_{out,res} + P_{loss,res}} \tag{I.40}$$

Où $P_{out,res}$ est la puissance en entrée du pont redresseur, puissance égale à la somme des puissances transmise à la charge, perdue dans le filtre de sortie et perdue dans le pont de diode. Par ailleurs, $P_{loss,res}$ est la puissance perdue dans le résonateur. Elle est estimée par intégration du produit du carré du spectre I_{res} du courant résonant, obtenu par FFT de mesures réalisées à l'oscilloscope, par l'impédance Z_{res} du résonateur (égalité de Parseval [93]) :

$$P_{loss,res} = \Re\mathrm{e}\left(\sum_{f} Z_{res}(f) \cdot I_{res}^{2}(f)\right) \tag{I.41}$$

Si Z_{res} a été obtenu en petits signaux, une étude (cf. Annexe *A2. Mesure de l'impédance de la V-coil utilisée* en résonateur, page 196) a montré que les résultats demeurent applicables.

Cette méthode de calcul de pertes a été rendue nécessaire par la trop grande incertitude apportée par les méthodes temporelles basée sur l'intégration du produit du courant par la tension. Il apparait en effet qu'un retard de 400 ps (soit une période d'échantillonnage de l'oscilloscope, étant donné sa fréquence d'échantillonnage de 2,5 GS/s) entre les sondes de mesure du courant et de la tension suffit à apporter une erreur atteignant 45 %.

Le rendement du résonateur est ainsi donné en Figure I.59, pour une puissance transmise d'environ 13 W. De même que pour la Figure I.58, certaines tensions d'alimentations présentent deux valeurs de rendement, correspondant à deux fréquences de découpage distinctes aboutissant à la même tension de sortie. Ceci est dû à l'effet des harmoniques. En fonctionnement réel, le contrôleur tendrait à choisir la fréquence associée au plus haut rendement – tout en étant contraint par les difficultés pratiques associées aux sauts de fréquence. La figure montre ainsi que le rendement du résonateur considéré seul est bon, compris entre 80 et 88 % - en particulier dans la mesure où le circuit n'est pas optimisé.

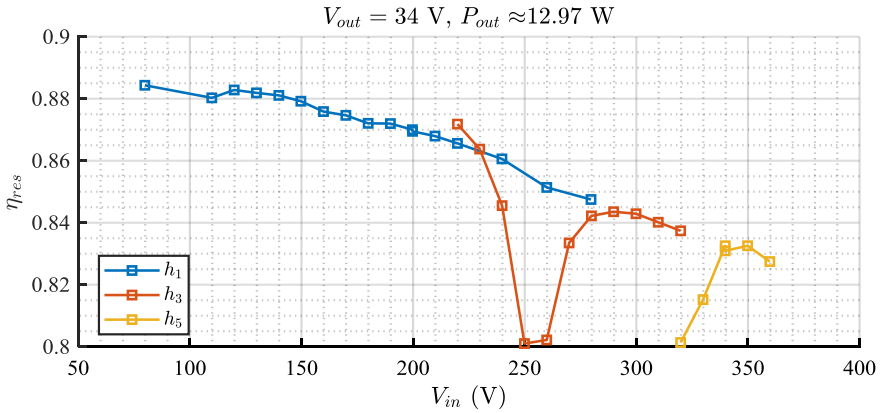


Figure I.59 : rendement du résonateur en fonction de la tension de bus. Les points de mesure sont regroupés en fonction de la composante spectrale transportant l'énergie à la charge.

5.5 Conclusion : V-coil dans un convertisseur résonant

Le prototype de V-coil décrit dans la section 4.7 (page 69) servit de démonstrateur en étant inséré dans un convertisseur résonant délivrant 12 W sous 34 V à partir d'une source de tension allant de 80 V à 360 V. La cellule de commutation, choisie du fait de sa simplicité d'usage, était surdimensionnée pour l'usage, ce qui s'est traduit par d'importantes pertes. Il est ainsi apparu qu'en dépit de commutations extrêmement rapides, les pertes par commutations au sein des HEMT GaN étaient loin d'être négligeables. Un fonctionnement en ZCS ne permettait pas de les diminuer notablement, seul un ZVS aurait permis de s'en affranchir. Le rendement du résonateur seul est quant à lui bon, compris entre 80 et 88 % sur toute la plage de tension considérée.

6 Conclusion et perspectives du chapitre

Une topologie de composant magnétique imaginée pour être appliquée dans le cadre de l'enfouissement PCB de convertisseurs de puissance a été considérée. Cette topologie (dénommée V-coil) est proche de la structure classique (P-coil) consistant à réaliser les enroulements à l'aide de spirales imprimées sur le PCB et placées entre deux plaques de matériau magnétique. De manière à diminuer les pertes cuivre au sein du composant, la structure de la P-coil a été modifiée : l'orientation des pistes de cuivre a été tournée. Un procédé de fabrication permettant de réaliser une structure de V-coil a été proposé. Le procédé de réalisation est simple, à faible coût de production, et directement intégrable dans une chaine de production PCB conventionnelle.

Un modèle analytique de V-coil a été proposé. Étant données des hypothèses simplificatrices relativement faibles, le modèle décrit le champ magnétique dans l'ensemble du volume du composant, prédit les puissances dissipées dans les enroulements et le noyau magnétique, et décrit les couplages électrostatiques entre spires. Les modèles magnétiques et de pertes cuivre ont été comparés à des résultats de simulations par éléments finis, montrant une bonne corrélation. Ces modèles partiels ont également été combinés de manière à aboutir à un modèle d'impédance de V-coil utilisée en résonateur série.

Des prototypes ont pu être réalisés, caractérisés, et intégrés au sein de convertisseurs de puissance. L'un d'eux a permis d'illustrer la supériorité de la structure considérée par rapport à la topologie conventionnelle. Un autre a permis de démontrer la possibilité d'utiliser une V-coil comme résonateur monolithique enfoui.

Le modèle développé a prédit de manière satisfaisante la réactance de ce dernier prototype. L'estimation des pertes s'est en revanche révélée plus ardue, en particulier du fait de l'écart entre la géométrie modélisée et le composant réel. Si les procédés de réalisation mis en œuvre sont standards, la réalisation n'est, à ce jour, pas pleinement maitrisée au laboratoire – en particulier pour des composants dont les enroulements comptent un grand nombre de tours ou demandant une finesse d'usinage importante.

L'étude a démontré l'existence d'une plage de fréquence dans laquelle une V-coil présentait une résistance plus faible que la P-coil de dimensions similaires. La limite basse de cette plage de fréquence correspond à l'apparition d'effets de peau et de proximité dans la P-coil tandis que la limite haute correspond, a priori, au domaine d'apparition des pertes magnétiques. Il apparait alors pertinent d'utiliser une V-coil plutôt qu'une P-coil lorsque le courant traversant le composant magnétique est susceptible de comporter des composantes harmoniques de fortes amplitudes. Dans le cas contraire, la complexité relative de réalisation d'une V-coil vs une P-coil tendra à justifier l'emploi de cette dernière. Ce sont ainsi les structures à forte ondulation en courant, telles que les convertisseurs résonnants, buck ou boost en fonctionnement à la limite entre conduction continue et discontinue (e.g. PFC auto-oscillant) qui gagneraient le plus à mettre en œuvre une V-coil.

Le manque de données techniques sur les matériaux magnétiques en feuilles (tel l'IBF15, utilisé dans cette étude) rend difficile, voire vaine, toute tentative d'optimisation par modèle ou simulation d'un composant magnétique utilisant un tel matériau. C'est en particulier la connaissance de la densité de pertes en fonction de la fréquence et du champ magnétique, pour des inductions de l'ordre de celles rencontrées en électronique de puissance, qui fait défaut. Une caractérisation plus poussée de ces matériaux magnétiques en feuilles serait ainsi requise.

Il serait possible, au prix d'un certain amoindrissement des performances thermiques du composant, d'empiler deux V-coil (ou P-coil) de manière à leur faire partager l'une de leurs plaques magnétiques. Dans un convertisseur multicellulaire, cela devrait permettre d'aboutir à une compensation partielle des flux dans la plaque magnétique partagée, autorisant par suite d'en réduire le volume – et par là le coût. Ceci tendrait encore à souligner l'intérêt des technologies PCB dans l'optique d'une modularisation des convertisseurs de puissance.

L'accroissement des fréquences ainsi que des vitesses de commutation, requis pas les demandes croissantes de miniaturisation et permises par les composants actifs à semi-conducteurs grands-gap, met l'accent sur l'impact des éléments parasites des circuits. En particulier, les inductances de câblage associées aux capacités de sortie des composants actifs constituent des circuits oscillants excités par les commutations. Ceci se traduit par des oscillations et des surtensions devant être prises en compte lors du dimensionnement du convertisseur. Un bon découplage des alimentations doit cependant permettre de limiter ces oscillations. C'est ainsi dans le contexte des convertisseurs de puissance, potentiellement multicellulaires, introduit dans la présente étude et dans l'optique de mutualiser les éléments de filtrage que le prochain chapitre proposera une étude sur l'agencement et le découplage d'une cellule de commutation.

Chapitre II. AGENCEMENT DES COMPOSANTS D'UNE CELLULE DE COMMUTATION

1 Introduction ____ 80
1.1 Contexte ____ 80
1.2 Motivations ____ 80
1.3 Terminologie ____ 81
1.4 Étude d'un PDN ____ 82
1.5 Mitigation des oscillations et surtensions dans la maille de puissance ____ 84

2 Modélisation du PDN d'une cellule de commutation ____ 88
2.1 Introduction ____ 88
2.2 Mécanismes oscillatoires dans une cellule de commutation ____ 88
2.3 Validation expérimentale du modèle ____ 95
2.4 Discussion, domaine de validité du modèle ____ 99
2.5 Conclusion sur la modélisation d'un PDN ____ 101

3 Influence de la distance entre une cellule de commutation et son découplage ____ 102
3.1 Introduction ____ 102
3.2 Mesures dans le domaine temporel ____ 104
3.3 Mesures en petits signaux ____ 107
3.4 Résultats de simulation : de la largeur des pistes d'alimentation ____ 110
3.5 Analyse des résultats ____ 111
3.6 Conclusion sur l'influence de la distance entre cellule de commutation et découplage ____ 113

4 Étude de l'agencement des puces de puissance ____ 113
4.1 Introduction ____ 113
4.2 Description des géométries étudiées ____ 114
4.3 Inductances de mailles ____ 117
4.4 Performances thermiques ____ 120
4.5 Fabricabilité ____ 121
4.6 Capacités parasites ____ 121
4.7 Conclusion sur l'agencement des puces ____ 122

5 Conclusion & perspectives du chapitre ____ 122

1 INTRODUCTION

1.1 CONTEXTE

Ce manuscrit traite de l'enfouissement PCB de convertisseurs de puissance. Si le premier chapitre était dédié à une structure de composant magnétique enfoui et si le prochain traitera d'une technique de reprise de contact de face avant de puce, celui-ci propose une étude du découplage d'une cellule de commutation. Il supposera ainsi généralement l'usage de puces de puissance enfouies dans le PCB et connectées à l'aide d'un procédé de reprise de contact de face avant quelconque, tel celui proposé dans le chapitre suivant ou par [108]–[115]. L'essentiel des résultats présentés dans la présente étude (exception faite de ceux de la section 4, page 113) n'en demeurent pas moins généralisables au cas de cellules de commutation discrètes.

L'étude est en outre menée avec le dessein de rendre plus modulaires les convertisseurs de puissance. Une ambition est alors de partager certains éléments, tels que les radiateurs, les condensateurs de filtrage, les alimentations auxiliaires, etc., entre plusieurs modules associés pour former un convertisseur de puissance supérieure.

1.2 MOTIVATIONS

Les inductances parasites d'une cellule de commutation, associées aux condensateurs et aux capacités parasites de l'assemblage, sont sources de courants parasites, d'oscillations et de surtensions. Ces perturbations obligent à surdimensionner les éléments des circuits (en particulier les composants actifs) et à ajouter des filtres CEM, potentiellement volumineux et coûteux. L'ensemble se traduit donc, a priori, par une augmentation de la masse et du volume du montage, de sa complexité, de son coût, ainsi que par des pertes accrues.

Le développement des technologies de composants actifs basés sur des semi-conducteurs à large bande interdite (Wide-BandGap semiconductor – WBG) tel que le SiC, le GaN ou, à plus long terme, le diamant, met en exergue ces problématiques du fait des vitesses de commutation accrues. La Figure II.1 compare les tensions de commutation observées dans des cellules de commutation SiC et Silicium, montrant que ces derniers présentent des amortissements plus importants [116]. Ceci accroît davantage encore la difficulté et la nécessité du filtrage CEM dans le cas de convertisseurs utilisant des semi-conducteurs WBG.

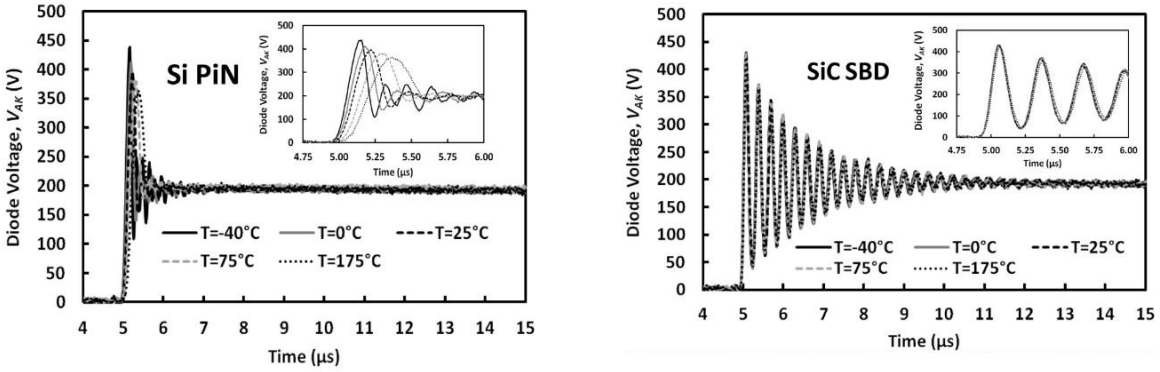


Figure II.1 : tension aux bornes de la diode de roue-libre dans une cellule de commutation à redressement non synchrone, pour diverses températures de jonction. (a) : circuit équipé d'une diode silicium PiN ; (b) : même circuit équipé d'une diode Schottky SiC. Extrait de [116]. Des effets similaires peuvent être observés dans le cas de composants commandés (en particulier IGBT Si vs. MOSFET SiC, la modulation de résistivité par injection de porteurs au sein de l'IGBT amortissant fortement les oscillations).

Le besoin de maîtrise et de minimisation des éléments parasites d'une cellule de commutation se fait ainsi de plus en plus prégnant. Il n'existe en outre pas de compromis électrique présidant à l'agencement d'une maille de commutation : le but étant de minimiser les surtensions et les oscillations lors des commutations, il apparait nécessaire de minimiser les inductances parasites, ce qui impose de rapprocher autant que possible les éléments formant les mailles (interrupteurs et condensateurs de découplage) et d'optimiser le routage.

D'autre part, il est nécessaire d'extraire la puissance dissipée au sein de la cellule de la commutation, ce qui peut réclamer l'emploi d'un radiateur d'un encombrement gênant le placement des composants. Il est de surcroît couramment souhaitable de limiter les couplages thermiques entre composants ainsi que l'échauffement des condensateurs de découplage, généralement néfaste pour leur fiabilité, capacité et potentiellement leur angle de pertes [117]–[119]. Un rapprochement des composants se traduit de plus par un accroissement des couplages inductifs et capacitifs entre eux, ce qui peut dégrader le filtrage des perturbations [120].

La recherche de miniaturisation poussée par les contraintes électriques se trouve ainsi en contradiction avec les contraintes thermiques. CEM et thermique constituent alors un compromis présidant à l'agencement des composants d'une cellule de commutation.

Placé à l'interface entre une source de tension et un circuit à alimenter, le découplage a une fonction double. D'une part, il permet de stabiliser la tension aux bornes d'une cellule de commutation, évitant oscillations et surtensions. D'autre part, il empêche les composantes spectrales haute fréquence du courant absorbé par le circuit alimenté de remonter vers l'alimentation, constituant ainsi le premier étage du filtre CEM en Mode Différentiel (MD).

Ce chapitre est constitué de quatre sections. La suite de celle-ci propose une étude bibliographique inventoriant une partie des études ayant pu être publiées sur le découplage en électronique de puissance. La section 2 propose une modélisation simple du réseau de découplage (Power Distribution Network – PDN) d'une cellule de commutation. Ce modèle vise à offrir une compréhension relativement intuitive des mécanismes sources de surtensions ainsi qu'à permettre le prédimensionnement d'un PDN en se basant sur une connaissance très limitée des caractéristiques de la cellule de commutation utilisée. La section 3 cherche à quantifier le compromis entre performances thermiques et électriques en étudiant l'impact de la distance entre une cellule de commutation et ses condensateurs de découplage. Enfin, la section 4 propose une analyse plus quantitative des compromis en jeu lors de la définition de l'agencement des puces de puissance au sein d'une cellule de commutation enfouie.

1.3 TERMINOLOGIE

L'anglais fait généralement une distinction fondamentale entre « bypass » et « decoupling ». Si les deux termes désignent des techniques limitant le transfert des perturbations depuis une source de bruit I_n (Figure II.2) vers un récepteur PSU (Power Supply Unit), le premier fait intervenir une impédance parallèle (C dans la Figure II.2) offrant un chemin dérivé aux composantes hautes fréquences du courant tandis que le second entend l'usage d'une impédance série (L dans la Figure II.2) bloquant la circulation des perturbations. Le français ne faisant pas cette distinction, les termes « filtrage » et « découplage » seront ici considérés comme étant synonymes.

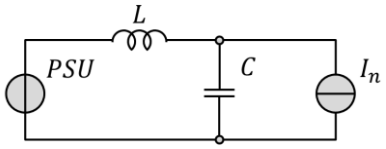


Figure II.2 : circuit bruyant I_n, modélisé par une source de courant et alimentée par une source de tension constante PSU, au travers d'un circuit de filtrage $L-C$. L sert au « decoupling », C au « bypass ».

Le terme « surtension » (« overshoot »), généralement noté $\hat{V}$ désignera par la suite l'écart maximal entre un signal temporel et sa valeur à l'état stationnaire (supposant éventuellement un amortissement nul). « L'amplitude des oscillations » (amorties) correspond au terme V_0 dans l'équation :

$$v(t) = V_{dc} + V_0 \cdot sin(\omega t + \phi) \cdot e^{-\frac{t}{\tau}} \tag{II.42}$$

(avec les notations évidentes). Dans un système non-amorti (i.e. $\tau = \infty$), surtension et amplitude des oscillations sont synonymes ; dans le cas contraire, $\hat{V} < |V_0|$.

À l'opposé des notions de « surtension » et « d'amplitude des oscillations », la « tension crête » prend en compte l'éventuel offset ajouté au régime oscillant. Ainsi, dans le cas de l'équation (II.42), la tension crête vaut :

$$max\big(v(t)\big) = \hat{V} + V_{dc} \tag{II.43}$$

1.4 ÉTUDE D'UN PDN

1.4.1 MÉTHODES D'ÉTUDES

Une littérature assez pléthorique s'est intéressée à la modélisation du circuit de distribution d'alimentation (Power Distribution Network – PDN) de convertisseurs de puissance. L'objectif de ces modélisations est double. Il s'agit d'une part de comprendre l'impact des différents éléments parasites de manière à pouvoir déterminer sur lesquels agir pour améliorer le fonctionnement. Le second objectif est de rendre possible la prédiction des spectres des signaux, étant donné le schéma électrique et les caractéristiques géométriques du circuit étudié.

La plupart des modèles proposés dérive du schéma donné en Figure II.3, avec plus ou moins de raffinements – par exemple quant à la modélisation de l'interrupteur ou des condensateurs de découplage, absents de ce modèle. L_g modélise l'inductance du circuit de commande, $L_\sigma = L_{Loop} + L_D + L_S$ celle du circuit de puissance et L_S l'inductance commune de source. La résistance $R_G + R_{GI}$ modélise la résistance totale du circuit de commande. Les condensateurs modélisent quant à eux les capacités parasites des semi-conducteurs. Si cette section considère le cas d'un MOSFET, elle demeure largement applicable à celui d'un HEMT ou d'un IGBT, ainsi que, dans une moindre mesure, au cas d'autres interrupteurs tels que les BJT et les J-FET.

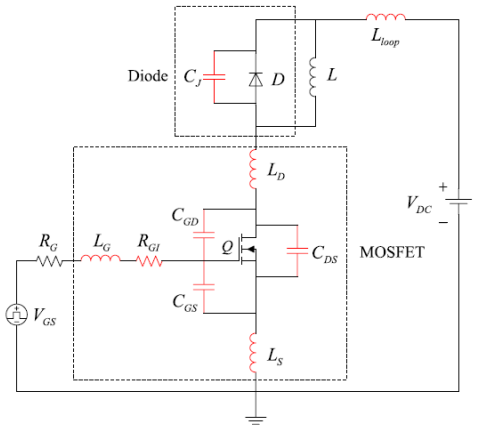


Figure II.3 : circuit typique modélisant une cellule de commutation. Extrait de [121].

Ce modèle peut ensuite être résolu. Les équations différentielles peuvent être intégrées analytiquement dans le domaine temporel [122], [123] ou, après linéarisation et transformation en circuit petits signaux, dans le domaine de Laplace [121], [124]–[128]. De manière similaire, des simulations (e.g. Spice) peuvent être mises en œuvre, qu'elles soient transitoires [121], [129]–[138] ou, après linéarisation du modèle, harmoniques [124], [126], [129], [136], [139]–[141].

Si la plupart des études expérimentales repose sur une mesure dans le domaine temporel des oscillations [116], [122], [123], [125], [127]–[129], [131]–[134], [136]–[138], [142]–[151], certaines ont pu mettre en place des méthodes de test différentes, e.g. par spectroscopie d'impédance [124], [129], [139]–[141], [149], [151]–[153], par mesure directe des perturbations de MD par un analyseur de spectre [126], [127], [154], ou par mesure en champs proche [149].

La majorité des études traitant de découplage en électronique de puissance est focalisée sur les oscillations et surtensions apparaissant aux bornes d'un interrupteur commandé lors de son blocage [123], [125], [133], [144]. [144] introduit cependant un autre mécanisme source de surtension, conséquence du blocage naturel d'un composant (e.g. diode) lors de la mise en conduction commandée de l'autre composant de la cellule de

commutation [132], [145]. [132] montre ainsi que les deux phénomènes peuvent résulter en des surtensions d'amplitudes similaires.

Les éléments parasites peuvent quant à eux être extraits par simulation (e.g. via le logiciel Ansoft-Q3D) [138], [154]–[157] ou expérimentalement, que ce soit par mesure directe (spectroscopie d'impédance) [153], ou par traitement de tensions et courants mesurés en transitoire (e.g. à partir de fréquences d'oscillations ou de vitesses de balayage) [143].

1.4.2 EFFET DES ÉLÉMENTS PARASITES SUR LES FORMES D'ONDES

Les modèles intégrant cellules de commutations et PDN permettent d'étudier l'effet de divers paramètres du circuit sur les formes d'ondes. Les effets de la résistance de grille, des tensions de bus et de commande, des inductances des mailles de puissance et de commandes, du couplage entre les circuits de commande et de puissance, etc. peuvent ainsi être étudiés.

De nombreux travaux ont ainsi pu observer que l'inductance de la maille de puissance L_σ est un élément principal affectant les surtensions au blocage [122], [130], [143], [144], [148], [158]. Si les vitesses de balayage en courant (di/dt) sont généralement contrôlées par la vitesse de croissance de la tension de grille [159] , de trop grandes valeurs d'inductances de maille L_σ limitent la vitesse de commutation du courant à la valeur [122], [158] :

$$\left|\frac{di}{dt}\right| < \frac{V_{bus}}{L_\sigma} \tag{II.44}$$

Où V_{bus} est la tension de bus.

L'inductance du circuit de commande a quant à elle pour effet d'accroître l'impédance du circuit de grille, isolant ainsi le composant de son driver en hautes fréquences [142]. Les perturbations provenant du nœud de commutation, par exemple lors du changement d'état de ce dernier, sont couplées au circuit de grille via la capacité inverse (C_{GD}, cf. Figure II.3). Du fait de la forte impédance transitoire du circuit de commande, le driver n'est pas capable de maintenir constante la tension de grille du transistor. Celle-ci peut alors croître jusqu'à entrainer une mise en conduction accidentelle du transistor, entrainant une conduction croisée (« shoot-through »), et par suite un stress et des pertes accrus. L'inductance du circuit de commande, associée à la capacité d'entrée du composant de puissance, constitue en outre un circuit résonant qui, s'il n'est pas suffisamment amorti par la résistance de grille totale (résistance discrète et résistances internes du driver et du transistor), peut résonner et entrainer des surtensions pouvant entrainer la destruction de la grille (en particulier dans le cas de transistors GaN, fragiles) [144], [157], [160].

L'inductance commune de source, i.e. partagée par les circuits de puissance et de commande, a pour effet principale de limiter les vitesses de commutation en courant en diminuant la tension de commande effectivement appliquée au transistor [122], [123], [143]. Cette inductance peut également causer des remises en conduction non-désirées du transistor lors du retour à zéro du courant y circulant, qui induit une tension aux bornes de L_s – c'est-à-dire entre grille et source [135]. Ceci peut survenir au blocage du transistor ou du fait de la transition en tension (dv/dt) du nœud de commutation qui induit la circulation d'un courant au travers des capacités parasites de l'interrupteur. Enfin, [142] montre que le couplage entre les inductances des circuits de puissance et de commande est équivalent à une inductance commune de source, avec les effets sur les commutations associés.

La capacité du nœud de commutation résonne avec l'inductance du circuit de puissance L_σ, elle devrait donc être faible de manière à restreindre les oscillations [123], [126], [155]. Elle limite par ailleurs la vitesse de balayage en tension (accroissant les pertes par commutation), cette capacité devant être (dé-)chargée à chaque commutation pour que le potentiel du nœud varie [123], [135], [155]. Enfin, cette capacité est responsable d'une pointe de courant à la mise en conduction non ZVS du transistor, source de pertes et de stress [122].

La résistance totale du circuit de commande influence la vitesse de commutation [158], et par conséquent les oscillations dans le circuit de puissance [161]. Cette résistance définissant l'amortissement du circuit de

commande, elle en contrôle également les oscillations et, par suite, les éventuelles surtensions de grille [159]. De même que l'inductance du circuit de commande, une résistance de grille trop élevée peut entrainer des mises en conduction non-désirées [162].

Le courant de charge est positivement corrélé à l'amplitude des oscillations ; [155], [158] observent une relation relativement affine entre surtension et courant de sortie de la cellule.

Les circuits de puissance et de commande étant couplées par leur inductance mutuelle, par l'inductance commune de source, par les capacités parasites, et par la transconductance de l'interrupteur, les oscillations survenant sur l'un des circuit ce trouvent couplées à l'autre [122].

1.5 MITIGATION DES OSCILLATIONS ET SURTENSIONS DANS LA MAILLE DE PUISSANCE

1.5.1 INTRODUCTION

Les études visant à diminuer les émissions conduites d'un équipement peuvent généralement être classées en trois catégories principales [151]. La première regroupe les travaux cherchant à limiter les sources de perturbations, par exemple en diminuant les vitesses de commutation des composants. La seconde est focalisée sur le filtrage des perturbations, à l'aide de filtres CEM – en particulier MD – performants. La dernière rassemble les publications ayant pour objet la minimisation des impédances et conductances parasites, incluant celles couplant le circuit et son environnement.

1.5.2 LIMITATION DES SOURCES DE PERTURBATION

De manière à minimiser les sources de bruits, et au prix de pertes accrues, certaines publications ont proposé de diminuer les vitesses de commutation des interrupteurs en jouant sur la résistance de grille ou en mettant en œuvre des stratégies de commande plus exotiques [163], [164]. Si diverses études [161] se basent sur le lien entre résistance de grille, vitesse de balayage, et oscillations, [128] utilise un modèle linéarisé du composant actif pour tracer un lien direct entre résistance de grille et amortissement.

Du fait de l'accroissement des pertes par commutation qu'elle induit, cette méthode est peu implémentée en pratique, sauf éventuellement pour les convertisseurs fonctionnant à basse fréquence de découpage [165].

D'autres méthodes telles que la mise en œuvre de topologies résonantes ou quasi-résonantes, à commutation douce, permettent de diminuer les émissions comparativement aux topologies à commutation dure [165].

1.5.3 FILTRAGE DES PERTURBATIONS

1.5.3.1 DIVERSITÉ DES TECHNIQUES DE DÉCOUPLAGE

Suivant les domaines d'application, diverses techniques de découplage peuvent être mises en œuvre.

En RF, des lignes quart-d'onde en circuit ouvert (« stub ») permettent, suivant la géométrie exacte de la ligne, de filtrer sur une bande plus ou moins étroite la tension d'alimentation d'un circuit [166], [167]. En plus basse fréquence, un effet similaire est obtenu en faisant coïncider la fréquence de résonnance série d'un condensateur et la fréquence de fonctionnement du circuit qu'il découple.

Une règle d'ingénieurs en électronique de signal [168]–[170] consiste à réaliser une association parallèle des condensateurs de valeurs très diverses (e.g. un toutes les deux décades entre 100 µF et 100 pF), chacun étant supposé filtrer une bande de fréquence distincte, déterminée par sa capacité et son inductance série (Equivalent Series Inductance – ESL). La conception des circuits de distribution de circuits numériques utilise une technologie similaire. Le dimensionnement (nombre, capacité et positionnement des condensateurs de découplage) est cependant basé sur un spectre d'impédance cible caractérisant l'impédance maximale pouvant être vue depuis les ports d'alimentations des circuits logiques [169], [171]. La connexion parallèle de condensateurs différents se traduit néanmoins par des antirésonances entre l'ESL d'un composant et la capacité

d'un autre. Ceci engendre alors des pics dans le spectre d'impédances, qu'il convient d'amortir par l'ajout de résistances séries (au prix d'une inductance accrue) ou l'emploi de capacités à ESR élevée et maitrisée [168].

En électronique de puissance, enfin, il est commun de filtrer l'alimentation d'un convertisseur avec (suivant en particulier la structure de la source et du convertisseur) au moins un ou deux condensateurs films plastique ou électrolytique.

1.5.3.2 INTÉGRATION DE CONDENSATEURS DE DÉCOUPLAGE AU SEIN DES MODULES

Une manière évidente d'améliorer le découplage consiste à rapprocher autant que possible les condensateurs de découplage des interrupteurs, jusqu'à les intégrer au sein des modules.

De nombreuses études exploitant ce paradigme ont été publiées, montrant généralement une diminution des oscillations dans le cas de modules intégrant un condensateur de découplage local [136], [147], [148], [150]. [149] rapporte quant à lui des mesures d'impédance en petits signaux, en champs proche et en commutation, illustrant le gain apporté par l'ajout d'un condensateur de découplage local : inductance réduite, émissions EM plus faibles, et oscillations amoindries. [136] montre par ailleurs que l'intégration de condensateurs au sein d'un module permet de symétriser les circuits, avec pour conséquence d'améliorer l'équilibrage dynamique des courants entre transistors connectés en parallèle – pour peu que chaque cellule de commutation soit convenablement filtrée, et ainsi découplée (au sens de « isolée ») [129], des autres.

L'un des freins majeurs à l'intégration de condensateurs à diélectrique céramique (seule technologie courante acceptable étant données les contraintes de volume, coût, et les densités d'énergie requises) au sein de modules de puissance est leur fiabilité limitée, en particulier en cyclage thermique. Les tests de vieillissement par cyclage actif et passifs réalisés par [136], [148], suggèrent néanmoins que l'intégration de condensateurs ne dégrade pas la fiabilité du module.

Certains travaux ont cherché à proposer des technologies de découplage intégrées non-conventionnelles. Les condensateurs de découplage utilisés par [138] (Figure II.4) sont ainsi intégrés sur silicium (technologie trench, avec isolant SiO_2 et Si_xN_y, 14 nF/cm², soit 4 nF). Leur ESR élevée (2,1 Ω) permet d'amortir les oscillations.

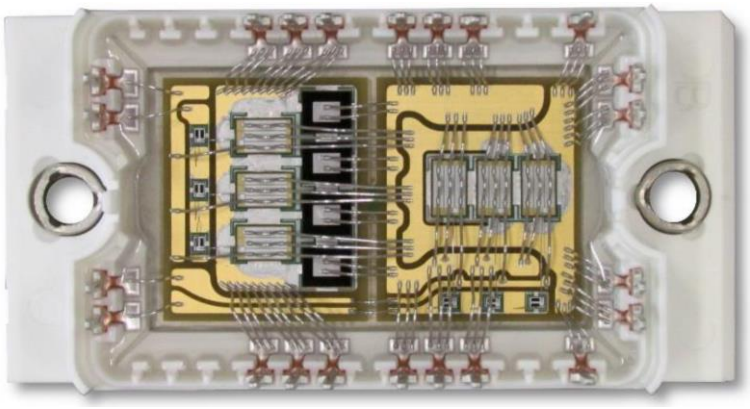


Figure II.4 : module demi-pont intégrant six transistors SiC-MOSFET (trois par interrupteur), leurs résistances de grilles externes et quatre condensateurs de découplage local intégrés sur silicium (quatre rectangles à larges bords noirs sur le DBC de gauche). Extrait de [138].

1.5.3.3 CIRCUITS D'AIDE À LA COMMUTATION – SNUBBER

L'ajout de Circuits d'Aide à La Commutation (CALC – snubber en anglais) permet de modifier la trajectoire de la commutation dans le plan (V_{ds}, I_d) (où V_{ds} est la tension aux bornes du composant et I_d le courant de puissance le traversant) de manière à la forcer à rester dans la SOA du composant [172]. Suivant l'objectif recherché (limitation de la vitesse de balayage, de la surtension, etc.), plusieurs topologies de CALC peuvent être mises en œuvre [172]. Ces circuits ont cependant l'inconvénient majeur d'être dissipatifs, la puissance perdue étant a priori proportionnelle à la fréquence de commutation [172] – l'estimation de ces pertes n'est cependant

pas triviale, une partie des pertes par commutation étant transférée du semi-conducteur au snubber, avec la réduction de température de jonction afférente [173]. Ces circuits sont alors peu adaptés à un usage dans les convertisseurs modernes, à fréquence de découpage élevée.

1.5.3.4 MAÎTRISE DE L'AMORTISSEMENT DES FILTRES

[124] (publié en 1992) apparait comme le premier article mentionnant le fait que câbler deux condensateurs de découplage de valeurs différentes en parallèle se traduit par l'apparition d'antirésonances, matérialisées par des pics d'impédances, entre l'ESL d'un condensateur et la capacité du second. Les résonances propres des condensateurs, quant à elles, sont matérialisées par des creux d'impédances pouvant rendre instables certains circuits [174]. Diverses publications ont depuis cherché à limiter ces impédances extrêmes, en ajustant l'amortissement du filtre.

Certains travaux s'intéressent ainsi au dimensionnement de résistances d'amortissement ajoutées au sein de filtres CEM de manière à limiter, en particulier, les creux d'impédance [140], [141]. D'autres ont à l'opposé cherché à limiter les pics d'impédances [156], sources d'oscillations parasites [146], ainsi qu'à expliciter les compromis présidant au dimensionnement d'un circuit RC directement câblé sur le bus de puissance. [134] montre ainsi que le choix du condensateur résulte d'un arbitrage entre stress électrique et pertes par commutations tandis que la résistance permet d'optimiser un compromis entre atténuation rapide des oscillations d'un côté et pertes & surtension de l'autre.

Certains travaux ont proposé des méthodes d'amortissement originales. Ainsi, dans [151], un enroulement torique est imprimé sur un PCB, au centre duquel passe le fil de bus alimentant un module de puissance (Figure II.5). Telle une sonde Rogowski, un transformateur à air est ainsi créé. La charge connectée au secondaire est alors dimensionnée de manière que son image renvoyée au primaire, i.e. sur le bus DC, amortissent les oscillations. Les mesures réalisées montrent une diminution des surtensions atteignant 50 %. Les pertes additionnelles sont négligeables ; l'inductance de maille supplémentaire est très limitée du fait de la finesse du PCB. Par ailleurs, l'absence de matériau magnétique évite les risques de saturation associés à l'usage de perles de ferrites [175]. Une technique similaire est proposée par [176], le circuit étant également utilisé pour mesurer le courant.

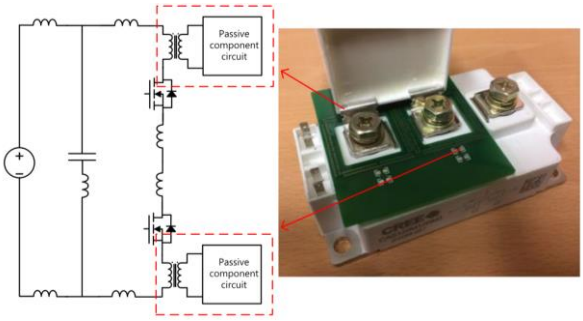


Figure II.5 : ajout d'un amortissement couplé par transformateur à air. Schéma équivalent (gauche) et photographie d'un prototype (droite). Extrait de [151].

[128] utilise, quant à lui, un modèle linéarisé pour déterminer le lien entre résistance de grille et amortissement de la maille de puissance. La variable intermédiaire, n'apparaissant pas explicitement dans la démonstration, est la vitesse de commutation.

1.5.4 TECHNIQUES DE MINIMISATION DES INDUCTANCES PARASITES

1.5.4.1 TECHNIQUES DE ROUTAGE

Une méthode permettant de diminuer les inductances de mailles consiste à améliorer le routage des circuits. Des techniques généralistes de minimisation d'inductances et de couplage sont ainsi proposées par diverses publications et notes d'application : agencement des puces, routage strip-line ou busbar, utilisation de sources

kelvin, intégration accrue des composants critiques (drivers, condensateurs de découplage locaux), etc. [126], [135], [177], [178].

[130] note par ailleurs que l'étude du routage de modules constitués de deux IGBT et de leurs diodes antiparallèles suggère que les concepteurs ont cherché à accoler chaque IGBT à sa diode, puis à router le module en positionnant ces interrupteurs composites de manière à minimiser l'inductance de maille globale (Figure II.6). La commutation de courant ayant en fait lieu entre un IGBT et la diode lui étant opposée, ces deux composants constituent une cellule de commutation qu'il convient de router avec une inductance minimale [130], [179]. Un module doit donc être considéré comme deux cellules de commutation en parallèle, et non de deux interrupteurs composites en série. [130] et [150] réalisent ainsi des prototypes exploitant ce paradigme et montrent une diminution de l'inductance de maille ainsi que des surtensions apparaissant au blocage.

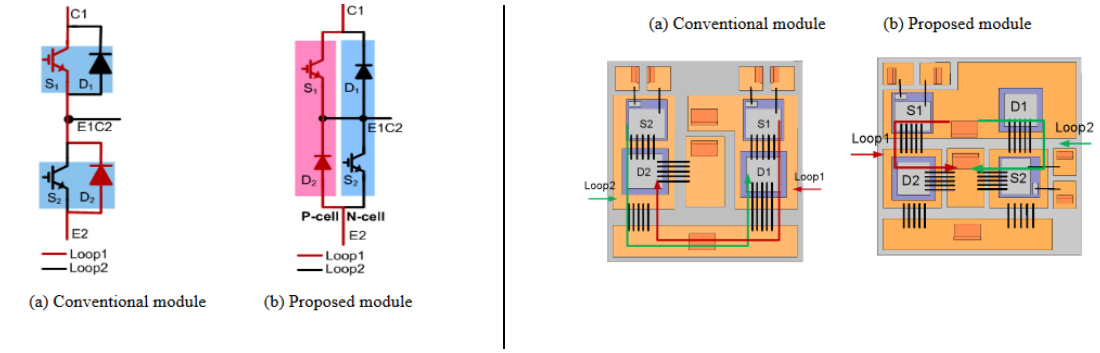


Figure II.6 : une autre manière de voir la cellule de commutation 2 quadrants. Extrait de [130].

[143] s'intéresse à l'effet des inductances de maille et commune de source dans une cellule de commutation sur les pertes et les surtensions. Les auteurs proposent un routage faiblement inductif en utilisant les couches internes du PCB pour minimiser la surface de boucle (Figure II.7).

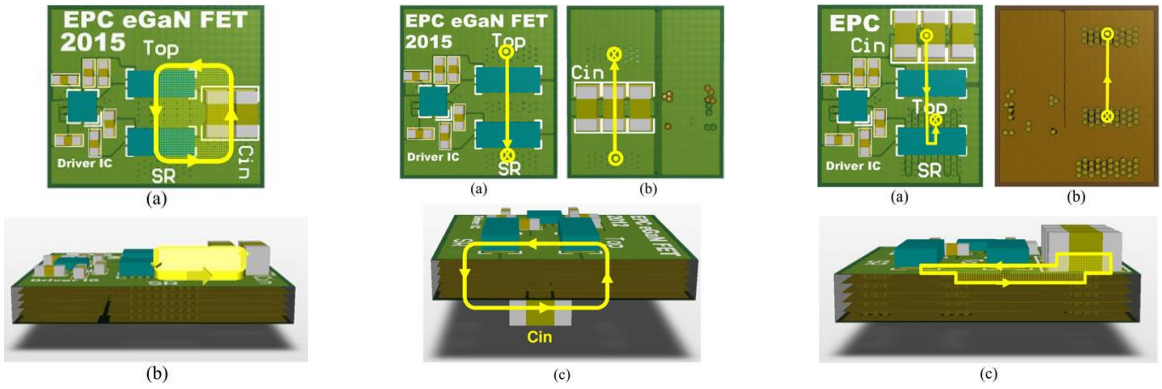


Figure II.7 : surface de maille de trois routages. De gauche à droite : maille latérale (inductance élevée), maille verticale (inductance moyenne), maille optimale (faible inductance). Extrait de [143].

Plusieurs publications ont proposé de superposer des DBC de manière à réaliser des circuits multicouches, et par conséquent potentiellement peu inductifs. Deux DBC peuvent être de la même dimension de manière à réaliser un circuit disposant de trois couches sur toute sa surface (Figure II.8-a) [157], [180]. Une autre technique, permettant de diminuer la résistance thermique du substrat sous les composants de puissance, consiste à ne réaliser un circuit tri-couche que localement, par exemple pour réaliser un busbar d'alimentation, ou pour distribuer le signal de commande de grille avec un microstrip (Figure II.8-b) [137], [157], [181].

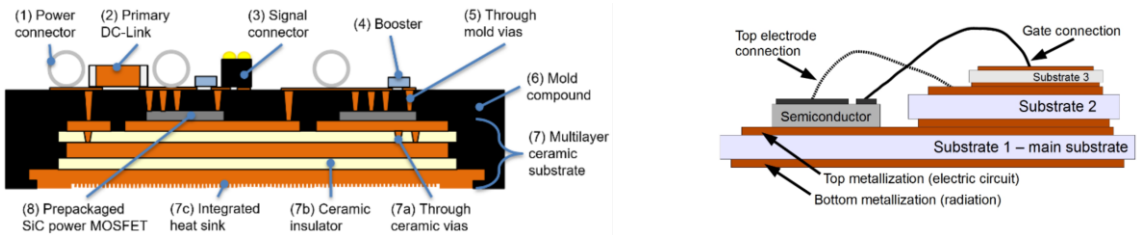


Figure II.8 : DBC multicouche : (a) tri-couche sur toute la surface du DBC, (b) multicouche partiel. Extraits de [180], [181].

1.5.4.2 TECHNIQUES DE REPRISES DE CONTACT DE FACE AVANT

Diverses techniques de reprise de contact de face avant de puces ont été publiées, permettant, en particulier, de diminuer les inductances parasites (e.g. connexion par ruban ou clip plutôt que fils de bonding, connexion avec enfouissement PCB, etc.). Ces méthodes fonctionnent par diminution des distances inter-puces, par diminution des surfaces des boucles de courant, par augmentation des sections des conducteurs, par compensation de flux, etc. Ces procédés seront détaillés dans le chapitre suivant.

2 MODÉLISATION DU PDN D'UNE CELLULE DE COMMUTATION

2.1 INTRODUCTION

La section 1.4 a montré l'existence d'une large bibliographie portant sur la modélisation de cellules de commutation et de leurs réseaux de découplage. Si nombre de ces travaux permettent de correctement décrire les oscillations, ils requièrent un paramétrage précis du modèle. La connaissance des éléments parasites d'une part, et des amortissements et des vitesses de commutation de l'autre, est, en particulier, demandée par les modèles analytiques. Or, ces grandeurs sont très difficilement calculables a priori. Les inductances parasites peuvent être estimées a priori à partir de simulations (e.g. par éléments finis ou PEEC – Partial Element Equivalent Circuit). Sous réserve que des modèles de composants actifs détaillés soient disponibles, les vitesses de commutation peuvent quant à elles être obtenues par simulation circuit (e.g. Spice). Les amortissements peuvent être grossièrement estimés de la même manière, bien que ceux-ci soient généralement sous-estimés par les simulations [132], [133].

Cette section décrit un modèle simple, ne requérant qu'une connaissance limitée du circuit. En particulier, les hypothèses formulées rendent superflue la connaissance des amortissements et des vitesses de commutation.

Le modèle décrit en section 2.2 voit sa validité testée expérimentalement en section 2.3. La section 2.4 discute de la validité des hypothèses tandis que le paragraphe 2.5 conclue l'étude sur la modélisation d'un PDN.

2.2 MÉCANISMES OSCILLATOIRES DANS UNE CELLULE DE COMMUTATION

2.2.1 INTRODUCTION

2.2.1.1 CIRCUIT CONSIDÉRÉ

On considère un circuit (Figure II.9) constitué d'une cellule de commutation incluant ses drivers. Le modèle ne fait aucune hypothèse a priori quant à la technologie des interrupteurs. Il a cependant été développé dans le cadre d'une application de composants rapides WBG et sera donc (comme le détaillera la section 2.4.1, page 99), particulièrement valide pour des HEMT GaN, voire des MOSFET SiC.

Cette cellule de commutation alimente une charge dont la composante inductive est supposée suffisante pour assurer la constance du courant durant les commutations – voire à l'échelle d'une période de découpage. Celle-ci est donc modélisée par une source de courant.

La cellule de commutation est alimentée par une source de tension d'amplitude V_{bus}. L'alimentation est découplée par deux condensateurs C_{bulk} et C_{X7R}. Ce dernier constitue un découplage local de la cellule de commutation, il est supposé être situé proche de cette dernière et être faiblement inductif. Il pourrait par exemple s'agir d'un condensateur CMS à diélectrique céramique. C_{bulk}, quant à lui, et un composant de plus forte capacité, apportant un filtrage basse fréquence du courant absorbé sur l'alimentation. Du fait de son volume, il est attendu qu'il soit localisé plus loin de la cellule de commutation. Il pourrait s'agir d'un condensateur à film plastique métallisé ou électrolytique. Si le modèle considère un découplage par deux condensateurs, son esprit est aisément généralisable à un nombre $n \in \mathbb{N}$ de condensateurs.

Les indices LS et HS signifient, respectivement, Low-Side (i.e. lié à l'interrupteur référencé au rail de puissance négatif) et High-Side (i.e. lié à l'interrupteur référencé au nœud de sortie).

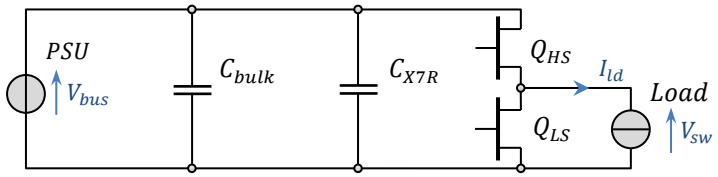


Figure II.9 : schéma structurel du circuit considéré.

La tension mesurée en sortie d'une cellule de commutation, donnée en Figure II.10 (avec échelle de temps logarithmique), montre plusieurs régimes oscillatoires : un premier entre 2 ns et 20 ns, le second entre 100 ns et 2 µs, et un dernier entre 2 µs et 20 µs. L'enjeu de cette section sera d'expliquer ces oscillations.

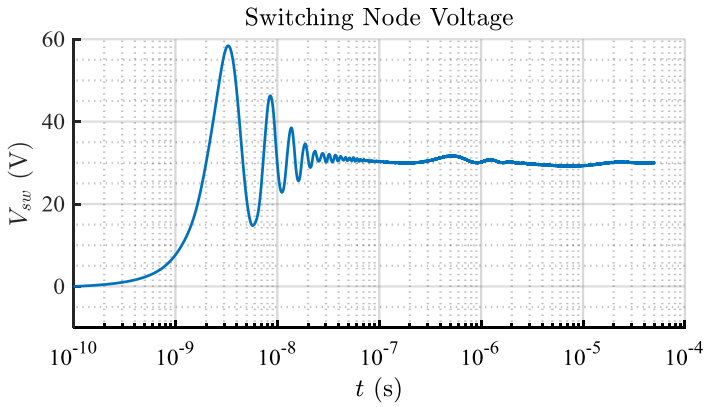


Figure II.10 : tension mesurée sur le nœud de sortie d'une cellule de commutation au blocage du transistor LS, $I_{ld} = 5$ A. Échelle de temps logarithmique. Bande passante 500 MHz, fréquence d'échantillonnage 2,5 GSa/s, interpolation sinc(·).

2.2.1.2 HYPOTHÈSES PRINCIPALES

En raison de la difficulté à déterminer *ex ante* l'amortissement des circuits ainsi que les vitesses de commutation, le modèle proposé suppose les amortissements nuls et les vitesses de balayages (dv/dt et di/dt) infinies. Ces hypothèses permettent de fortement simplifier les analyses ; elles aboutiront en revanche à une surestimation des surtensions, correspondant à un pire-cas. L'étude portera uniquement sur la surtension subie par le transistor LS – la symétrie du circuit rend les résultats aisément transposables au transistor HS. Le sens effectif de circulation du courant de sortie de la cellule (sortant ou entrant) est pris en compte par le modèle.

2.2.2 MODÉLISATION ET SIMPLIFICATION DU CIRCUIT

2.2.2.1 MODÉLISATION DES ÉLÉMENTS PARASITES

Des éléments parasites sont ajoutés au schéma structurel du circuit de la Figure II.9 pour aboutir à celui de la Figure II.11. Les inductances $L_{r1,2}$ correspondent aux inductances partielles causées par le routage tandis que les inductances $L_{X7R,\ bulk}$ correspondent aux inductances propres (Equivalent Series Inductance – ESL) des

condensateurs. L_{PSU} modélise l'inductance de source de l'alimentation de puissance. Inductances mutuelles et résistances ne sont pas montrées sur ce schéma.

Des capacités C_{out_X} sont ajoutées au circuit. Elles modélisent les capacités du nœud de sortie du convertisseur, comprenant en particulier les capacités de sortie des transistors Q_X. Si ces capacités sont donc a priori fortement non-linéaires, la saturation de la capacité de sortie des MOSFET pour des tensions dépassant quelques dizaines de pourcent de la tension de claquage permettra généralement de les considérer comme linéaires.

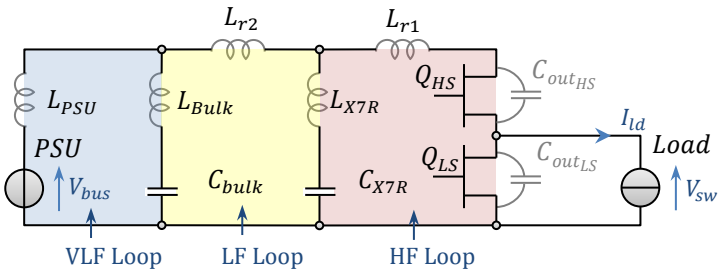


Figure II.11 : schéma du circuit considéré avec éléments parasites et mise en lumière des mailles.

Trois mailles susceptibles d'osciller se distinguent sur le schéma équivalent du circuit (Figure II.11). La première, en rouge sur le schéma et incluant la capacité de sortie du transistor LS ainsi que le condensateur de découplage local, est la maille présentant la plus haute fréquence de résonance. Cette maille sera par la suite qualifiée de « HF » (High Frequency) ou « principale ». La seconde, en jaune sur le schéma et incluant les condensateurs de découplage local et de bulk, présente une fréquence de résonance plus basse que la précédente. Elle sera dite maille « LF » (Low Frequency), ou « secondaire ». Enfin, la troisième, en bleu sur le schéma, inclue le condensateur de bulk et l'alimentation de puissance. Elle pourra être dénommée maille « VLF » (Very Low Frequency) ou « tertiaire ».

La tension mesurée sur un prototype de cellule de commutation, au blocage du transistor LS, permet de visualiser l'impact de ces mailles. La Figure II.12 (avec échelle de temps logarithmique) montre ainsi trois régimes oscillants. Le premier, correspondant à une oscillation à 187 MHz de la maille HF, est observable entre 2 ns et 20 ns. Le second, visible entre 100 ns et 2 µs, correspond à une résonance à 1,5 MHz de la maille LF. Enfin, le troisième mode oscillatoire, à 30 kHz, est dû à la maille VLF.

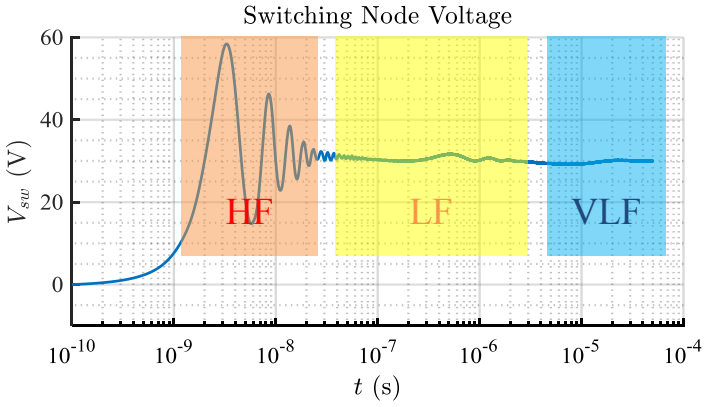


Figure II.12 : tension mesurée sur le nœud de sortie d'une cellule de commutation.

Du fait de la symétrie de la structure (les inductances dues au routage L_{rX} pouvant être réparties sur les deux lignes d'alimentation du bus DC), l'étude du blocage de Q_{LS} est aisément transposable au cas du blocage de Q_{HS}. Les prochaines sections se focaliseront donc sur cette première situation et sur les oscillations développées aux bornes de Q_{LS} (le stress sur Q_{HS} étant alors nul, le composant étant passant). Q_{HS} étant, pendant ce temps,

commandé, sa capacité de sortie $C_{out_{HS}}$ n'intervient pas dans le modèle. Elle sera donc omise dans le reste de l'étude. La capacité de sortie de Q_{LS} sera quant à elle, de manière à alléger les notations, notée C_{out}.

2.2.2.2 SÉPARATION DES MAILLES

Du fait des écarts entre les ESL des condensateurs de découplage et des distances séparant ceux-ci de la cellule de commutation :

$$L_{PSU} \gg (L_{r2}, L_{bulk}) \gg (L_{r1}, L_{X7R}) \tag{II.45}$$

De plus, du fait de leurs rôles respectifs, il est possible d'écrire :

$$C_{bulk} \gg C_{X7R} \gg C_{out} \tag{II.46}$$

Ces hypothèses permettent de simplifier le schéma équivalent du convertisseur, pour aboutir à celui de la Figure II.13, où :

$$\begin{aligned} L_1 &= L_{r1} + L_{X7R} \approx L_{r1} \\ L_2 &= L_{r2} + L_{bulk} + L_{X7R} \approx L_{r2} + L_{bulk} \\ L_3 &= L_{PSU} + L_{bulk} \end{aligned} \tag{II.47}$$

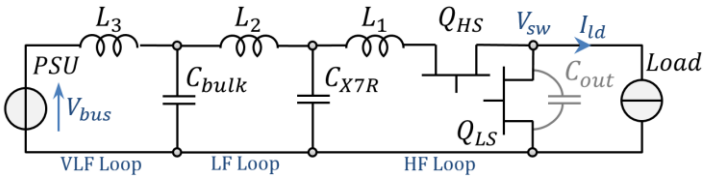


Figure II.13 : schéma équivalent simplifié du circuit étudié.

Où les capacités séries équivalentes des mailles sont définies par :

$$C_1 = (C_{out}^{-1} + C_{X7R}^{-1})^{-1} \approx C_{out}, \qquad C_2 = (C_{X7R}^{-1} + C_{bulk}^{-1})^{-1} \approx C_{X7R}, \qquad C_3 = C_{bulk} \tag{II.48}$$

Sous ces hypothèses, les fréquences d'antirésonance (parallèles) des différentes mailles s'expriment alors :

$$f_{a,i} = \frac{1}{2\pi\sqrt{L_i \cdot C_i}} \tag{II.49}$$

Où $i \in [\![1, 3]\!]$ indexe les mailles HF, LF et VLF.

De même, les fréquences de résonance (série) des différentes mailles s'expriment alors :

$$f_{r,1} = \frac{1}{2\pi\sqrt{L_1 \cdot C_{X7R}}}, \qquad f_{r,2} = \frac{1}{2\pi\sqrt{L_2 \cdot C_{bulk}}} \tag{II.50}$$

Bien que cette simplification ne soit pas valide d'un point de vue énergétique[4], elle permettra une étude simple et intuitive des mécanismes oscillatoires.

Cette hypothèse, dite de découplage (au sens anglo-saxon du terme, i.e. de séparation) des mailles, a, par exemple, été étudiée par [126], [129]. Les couplages inductifs entre mailles sont, par ailleurs, négligés.

2.2.3 IMPÉDANCE DU PDN

Les sources de perturbation en MD sont communément représentées par des modèles de Norton. La tension développée aux bornes de la cellule de commutation ainsi modélisée peut alors être déterminée à partir du

[4] En DC, par exemple, lorsque Q_{HS} est passant, l'énergie stockée dans le circuit de la Figure II.11 vaut $0{,}5 \cdot (L_{r1} + L_{r2} + L_{PSU}) \cdot I_{ld}^2$ alors qu'elle vaut $0{,}5 \cdot (L_{r1} + L_{r2} + L_{PSU} + 2L_{X7R} + 2L_{bulk}) \cdot I_{ld}^2$ dans la Figure II.13.

spectre de cette source et de l'impédance du PDN, i.e. de l'impédance vue depuis la charge lorsque Q_{HS} est passant tandis que Q_{LS} est bloqué. Le spectre de cette impédance de source est donné en Figure II.14 : la mesure (en bleu) est superposée au modèle (en rouge) de la Figure II.11 (auquel des résistances ont été ajoutés en série avec chaque inductance) et à un diagramme asymptotique.

Comme le montre la Figure II.14, les différents éléments du circuit équivalent dominent l'impédance totale, chacun sur une bande de fréquence particulière. Ainsi, aux plus hautes fréquences, au-delà de $f_{a,1}$ l'impédance de source est dominée par C_{out}. A plus basse fréquence, entre $f_{r,1}$ et $f_{a,1}$, L_1 domine, etc. L'impact de l'inductance de source L_{PSU} n'est pas visible sur ce graphique, $f_{a,3}$ étant inférieure à 10 kHz.

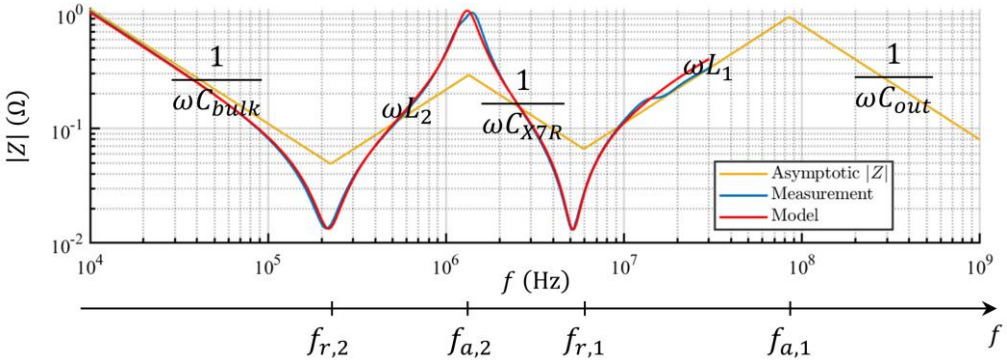


Figure II.14 : impédance de source, vue depuis la charge lorsque Q_{HS} est passant : impédance asymptotique (jaune), mesurée (bleue) et modélisée (rouge). Le prototype utilisé ici est différent de celui ayant servi pour les mesures de la Figure II.12.

Comme attendu [124], des pics d'impédance apparaissent aux fréquences $f_{a,i}$ d'antirésonance des mailles ; ces pics matérialisent les fréquences des oscillations observées dans le domaine temporel.

2.2.4 MODÉLISATION DES SOURCES DE PERTURBATIONS

2.2.4.1 ÉTUDE D'UNE COMMUTATION

Les courbes de commutations mesurées classiquement sur une cellule de commutation alimentant une charge inductive montrent (Figure II.15) deux commutations successives : l'une du courant l'autre de la tension. Chacune de ces commutations se traduit par une excitation des résonances du PDN, engendrant des oscillations et des surtensions par des mécanismes différents – détaillés dans les prochains paragraphes.

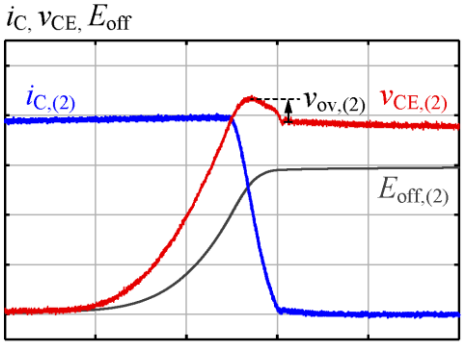


Figure II.15 : tension aux bornes (rouge), courant de collecteur (bleu), et énergie dissipée (gris), d'un IGBT au blocage sur charge inductive en fonction du temps. Échelles arbitraires. Extrait de [164].

2.2.4.2 ÉCHELON DE COURANT

Lors de la commutation en courant, le transistor HS est pleinement passant et le LS est bloqué ; le schéma équivalent du circuit est alors celui donné en Figure II.16-a. Dans les premiers instants suivant la commutation (pour des temps $\ll f_{a,2}^{-1}$), la tension aux bornes de C_{X7R} n'a pas le temps de notablement varier et seule la maille

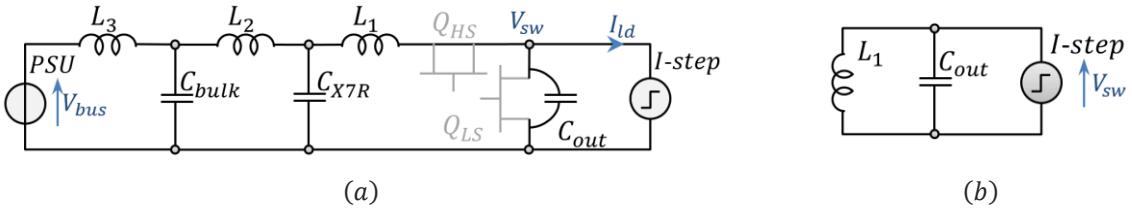
HF réagit à l'excitation. L'ensemble du circuit peut donc être modélisé en petits signaux par le circuit de la Figure II.16-b. La tension du nœud de commutation s'exprime alors :

$$V_{sw}(t) = V_{bus} - I_{ld} \cdot Z_{c,1} \cdot \sin(2\pi f_{a1} t), \qquad Z_{c,1} = \sqrt{\frac{L_1}{C_{out}}} \approx \sqrt{\frac{L_1}{C_1}} \tag{II.51}$$

Où le signe du terme dépendant du temps est conséquence de la convention prise pour le courant I_{ld}, qui est supposé sortant de la cellule. Des oscillations d'amplitude initiale $\hat{V}_{I,1}$ et de fréquence $f_{a,1}$:

$$\hat{V}_{I,1} = I_{ld} \cdot Z_{c,1}, \qquad Z_{c,1} = \sqrt{\frac{L_1}{C_1}} \approx \sqrt{\frac{L_1}{C_{out}}}, \qquad f_{a,1} = \frac{1}{2\pi\sqrt{L_1 \cdot C_1}} \tag{II.52}$$

s'établissent donc.



(a) (b)

Figure II.16 : (a) schéma équivalent lors de la commutation en courant ; (b) : schéma équivalent de la maille HF lors de la commutation en courant.

L'échelon de courant remonte ensuite vers l'alimentation, excitant les différentes mailles sur son trajet, et engendrant à chaque fois des oscillations d'amplitudes initiales $\hat{V}_{I,i}$ et de fréquences $f_{a,i}$:

$$f_{a,i} = \frac{1}{2\pi\sqrt{L_i \cdot C_i}}, \qquad \hat{V}_{I,i} = I_{ld} \cdot Z_{c,i}, \qquad Z_{c,i} = \sqrt{\frac{L_i}{C_i}} \tag{II.53}$$

2.2.4.3 ÉCHELON DE TENSION

Lors de la commutation en tension, le transistor LS est bloqué tandis que le transistor HS passe de l'état bloqué à passant ; le schéma équivalent du circuit est alors celui donné en Figure II.17-a. Le courant dans l'inductance L_1 et la tension V_{sw} étant nuls avant la commutation, la tension aux bornes du transistor HS passe, lors de la commutation en tension, d'une valeur égale à V_{bus} à zéro. Le transistor peut alors être modélisé par une source de tension en échelon passant de V_{bus} à zéro.

Dans les premiers instants suivant la commutation (pour des temps $\ll 1/f_{a,2}$), la tension aux bornes de C_{X7R} n'a pas le temps de notablement varier et seule la maille HF réagit à l'excitation. L'ensemble du circuit peut alors être modélisé par le circuit de la Figure II.17-b, lui-même équivalant à un circuit LC-série soumis à un échelon de tension d'amplitude V_{bus}. La tension V_{sw} peut alors être décrite par :

$$V_{sw}(t) = V_{bus} \cdot (1 - \cos(2\pi f_{a1} t)) \tag{II.54}$$

Ce sont donc des oscillations d'amplitude initiale $\hat{V}_{V,1}$ et de fréquence $f_{a,i}$:

$$\hat{V}_{V,1} = V_{bus}, \qquad f_{a,1} = \frac{1}{2\pi\sqrt{L_1 \cdot C_1}} \tag{II.55}$$

qui s'établissent. Dans les hypothèses du modèle, une surtension d'amplitude égale à l'intégralité de la tension de bus est donc développée aux bornes du transistor LS.

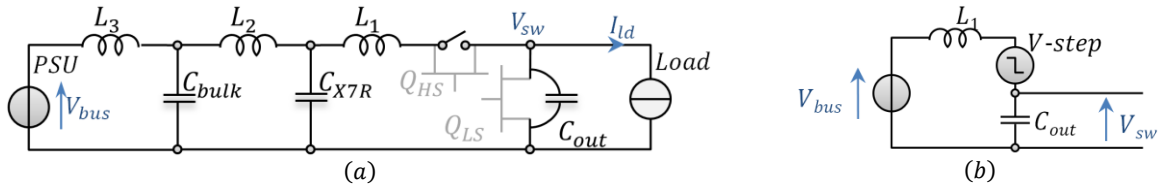


Figure II.17 : commutation en tension. (a) schéma équivalent du circuit ; (b) : schéma équivalent de la maille HF.

L'excitation résultant de l'échelon de tension remonte ensuite vers l'alimentation, atténuée à la traversée de chaque maille. Des oscillations d'amplitude initiale $\hat{V}_{V,2}$ et de fréquence $f_{a,2}$:

$$f_{a,2} = \frac{1}{2\pi\sqrt{L_2 \cdot C_2}}, \qquad \hat{V}_{V,2} = V_{bus} \cdot \Gamma_{V,2}, \qquad \Gamma_{V,2} = \left|\frac{C_{X7R}}{C_{out}} - \frac{L_1}{L_2}\right|^{-1} \tag{II.56}$$

sont ainsi causées par la résonance de la seconde maille. Des valeurs a priori raisonnables (en particulier du fait de l'hypothèse de séparation des mailles) de composants permettent de donner une estimation du facteur $\Gamma_{V,2}$:

$$C_{X7R} = 20 \cdot C_{out}, \qquad L_2 = 10 \cdot L_1$$
$$\Gamma_{V,2} = 5\ \% \tag{II.57}$$

Ceci montre que la surtension due aux oscillations de la maille LF excitée par l'échelon de tension est faible par rapport à celle causée par la maille HF. On montre de même que les oscillations de la maille VLF sont d'amplitude négligeable.

Une modélisation plus fine[5] permet de prendre en compte l'amortissement de la maille principale via son coefficient de qualité Q_1. La surtension vaut alors :

$$\hat{V}_{V,1} = V_{bus} \cdot \exp(-\pi/\Lambda), \qquad \Lambda = \sqrt{4Q_1^2 - 1} \tag{II.58}$$

2.2.5 CONCLUSION

Dans le cas d'un hacheur dans lequel les commutations sont rapides, deux mécanismes doivent être considérés lors de l'étude des oscillations et surtensions. Le premier est conséquence de la commutation en courant : l'application d'un échelon de courant au PDN se traduit par l'apparition d'oscillations dans chaque maille, d'amplitudes liées à leurs impédances caractéristiques équivalentes. Par ailleurs, la commutation en tension se traduit par des oscillations principalement dues à la maille HF. La surtension a alors pour amplitude l'intégralité de la tension d'alimentation du montage. L'hypothèse principale est alors que le front est suffisamment raide pour exciter les modes oscillatoires de la maille, i.e. que la bande passante du front est supérieure aux fréquences de résonances du circuit.

L'étude complète, large bande, des oscillations se résume alors à une sommation des réponses des différentes mailles et dues aux commutations du courant et de la tension. Découpler les effets des deux mécanismes ainsi que des différentes mailles permet d'aboutir à un modèle simple, bien que surévaluant l'amplitude globale des oscillations. L'erreur demeure a priori limitée du fait de l'importance relative de la surtension due à la commutation de la tension comparativement à celle de la commutation du courant. Une étude plus complète des surtensions devrait ainsi intégrer l'impact des déphasages et des éventuelles interférences entre composantes spectrales. Il s'agirait ainsi de considérer le sens effectif du courant de sortie de la cellule de commutation (qui détermine la phase à l'origine des oscillations causées par le front de courant) ainsi que les

[5] i.e. considérant un circuit RLC plutôt qu'un circuit LC.

temps de monté réels des commutations en tension et courant, et par suite le déphasage entre les oscillations causées par les deux fronts.

2.3 VALIDATION EXPÉRIMENTALE DU MODÈLE

2.3.1 INTRODUCTION, CIRCUIT CONSIDÉRÉ

Soit un circuit (Figure II.19), constitué d'une cellule de commutation GaN avec driver intégrés (composant LMG5200, commercialisé par Texas Instrument [87]) alimentée sous une tension proche de 30 V, découplée par un condensateur céramique X7R, éventuellement secondé par un condensateur film de capacité $C_{bulk} = 15$ µF (cf. Annexe *A5. Cellule de commutation*, page 208). Le circuit, testé en double pulse, est chargé par une inductance L_{ld} de 10 mH, ayant une fréquence de résonance de 2,5 MHz. Le routage est conçu de manière que les inductances de mailles L_1 et L_2 puissent être ajustées.

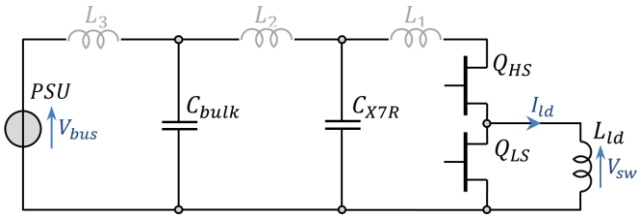


Figure II.18 : schéma de principe du circuit considéré incluant composants implémentés (en noir) et parasites (gris).

Les surtensions et fréquences d'oscillations des différents modes sont extraites des mesures dans le domaine temporel. La mesure de la tension de sortie d'une cellule de commutation rapide, présentant des temps de monté de quelques ns est relativement délicate ; [182] propose une étude approfondie des différentes erreurs et biais pouvant entacher la mesure. Ici, une sonde de tension passive 10:1 500 MHz est connectée au prototype à l'aide d'un adaptateur coaxial commercial – cf. Annexe *A5.3. Instrumentation*, page 210.

L'impact de quelques paramètres sur les oscillations est détaillé ci-après de manière à appuyer le modèle développé ci-dessus.

2.3.2 EFFET DE LA CAPACITÉ DE DÉCOUPLAGE LOCAL C_{X7R}

2.3.2.1 RÉSULTATS DE MESURES, TRAITEMENT PRÉLIMINAIRE

Les tensions mesurées en sortie de la cellule de commutation pour diverses valeurs de la capacité C_{X7R} sont données en Figure II.19-a. Dans cette section, $C_{bulk} = 0$, le circuit ne comprend donc pas de maille VLF, $L_3 = 0$. Comme attendu, une nette dépendance de l'amplitude ainsi que de la fréquence des oscillations LF avec C_{X7R} est mise au jour, tandis que les oscillations HF (en zoom dans l'insert) ne sont pas affectées. Les surtensions extraites des mesures sont données en Figure II.19-b.

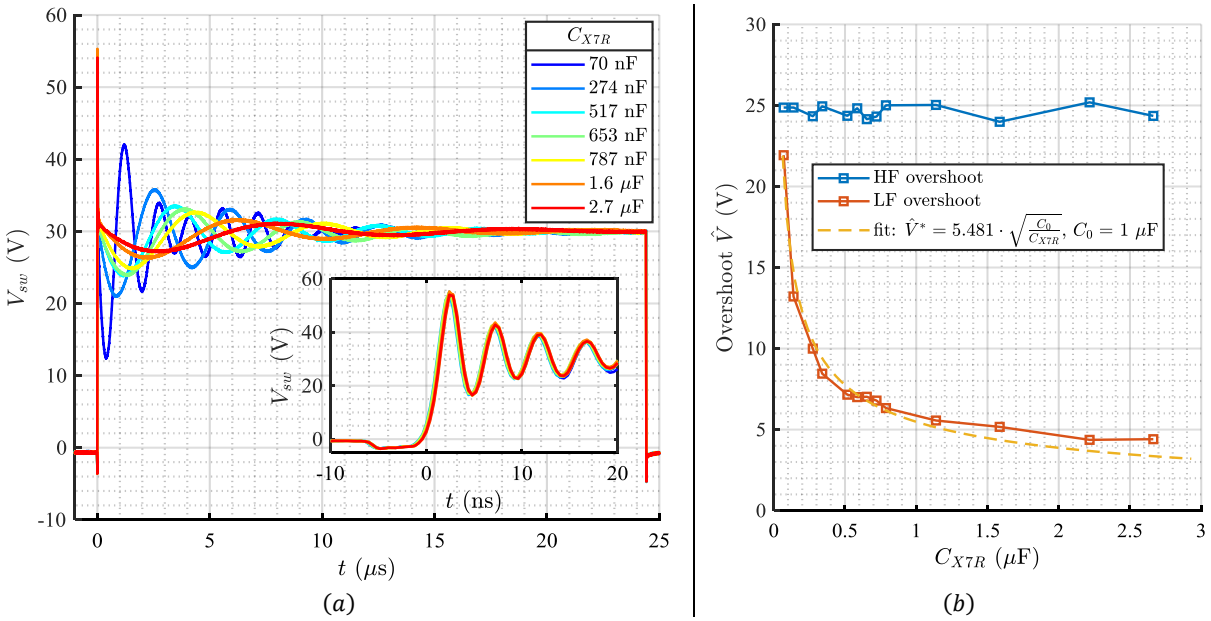


Figure II.19 : (a) : V_{sw} pour diverses valeurs de C_{X7R}. Insert : zoom sur les oscillations HF. (b) : surtensions pour diverses valeurs de C_{X7R}. Oscillations HF mesurées (bleu), LF mesurées (rouge), et ajustement (jaune).

Le temps de monté de la tension V_{sw} est mesuré comme valant, après compensation du temps de monté de l'instrumentation [107] 1,3 ns. Ceci correspond à une bande passante de 245 MHz, ce qui est supérieur à la fréquence d'anti-résonnance de la maille principale ($f_{res,HF} = 213$ MHz). L'hypothèse « front raide » est donc vérifiée pour la tension.

La fréquence d'oscillation de la maille HF ($f_{a,1} = 213$ MHz) et la valeur de C_{out} permettent de déterminer, par application de la formule de Thomson [183], l'inductance de maille principale :

$$L_1 = \frac{1}{4\pi^2 f_{a,1}^2 C_{out}} = 1{,}8 \text{ nH}, \qquad \text{pour } C_{out} = 562 \text{ pF} \tag{II.59}$$

Ce qui est cohérent avec une mesure directe (1,8 nH, avec une incertitude estimée à +15 %/-5 %), réalisée avec un E4990a.

L'étude de la relation entre capacité C_{X7R} et fréquence de résonance de la maille LF permet d'estimer (avec un coefficient de corrélation de 99,8 %) :

$$L_2 = 990 \text{ nH} \tag{II.60}$$

2.3.2.2 SURTENSION HF

Les surtensions HF sont dues à la commutation en tension, leur amplitude est donc indépendante de C_{X7R} et proche de la tension de bus. Divers facteurs contribuent à l'écart relatif de -17% entre prédiction ($V_{bus} = 30$ V) et valeur mesurée ($\hat{V}_1 \approx 25$ V). Du fait de l'effet de l'amortissement du circuit, estimé à partir du décrément logarithmique moyenné sur deux périodes [184], les oscillations de la maille principale dues à l'échelon de tension devraient avoir pour amplitude :

$$\hat{V}_{V1} = V_{bus} \cdot e^{-\pi/\Lambda} = 22 \text{ V}, \qquad \Lambda = \sqrt{4Q^2 - 1} \tag{II.61}$$

Par ailleurs, du fait du sens sortant du courant ($I_{ld} > 0$), la commutation en courant contribue négativement à la surtension, à hauteur d'environ :

$$\hat{V}_{I1} = I_{ld} \cdot \sqrt{\frac{L_1}{C_{out}}} = 9 \text{ V}, \qquad @I_{ld} = 5 \text{ A}, \qquad C_{out} = 562 \text{ pF}, \qquad L_1 = 1{,}8 \text{ nH} \tag{II.62}$$

Il est ainsi possible que la mesure ne permette pas une estimation précise de la tension crête. En effet, le gain de la sonde de tension est non-unitaire – l'atténuation serait de 8 % à 213 MHz si la sonde se comportait comme un système du 1er ordre de fréquence de coupure 500 MHz.

2.3.2.3 SURTENSION LF

Le ratio C_{out}/C_{X7R} étant compris entre 0,02 % et 1 % et L_1 étant très faible devant L_2, il est attendu que les oscillations de la maille LF excitée par l'échelon de tension soient négligeables (moins de quelques centaines de mV, cf. Eq. (II.56)). Les oscillations LF de la tension de sortie de la cellule sont de la forme $sin(\omega t + \pi)$, signe qu'elles sont véritablement causées par l'échelon de courant puisque le courant est effectivement sortant de la cellule ($I_{ld} > 0$). La surtension devrait alors avoir pour amplitude :

$$\hat{V}_{i,2} = I_{ld} \cdot \sqrt{\frac{L_2}{C_{X7R}}} \tag{II.63}$$

La fonction ajustée $\hat{V}^*$ sur les résultats de mesures (Figure II.19-b), associée à (II.63), permet de déduire une valeur de l'inductance de maille secondaire :

$$\hat{V}^* = 5{,}481 \cdot \sqrt{\frac{C_0}{C_{X7R}}} \quad \Rightarrow \quad L_2 \approx C_0 \cdot \left(\frac{5{,}481}{I_{ld}}\right)^2 \Bigg|_{\substack{I_{ld}=5\text{ A} \\ C_0=1\text{ µF}}} \approx 1{,}2\text{ µH} \tag{II.64}$$

Cette valeur est relativement proche de la valeur trouvée précédemment (+20 % vs. (II.60)) – étant données les approximations formulées, en particulier quant aux amortissements.

2.3.3 EFFET DES INDUCTANCES DE MAILLES L_2

Un condensateur de découplage film $C_{bulk} = 15$ µF est ajouté sur le montage. L'inductance de maille secondaire (LF) L_2 est variée en faisant évoluer la distance entre la cellule de commutation et ce condensateur. La valeur L_2 est déduite de la fréquence des oscillations LF par application de la formule de Thomson, connaissant la capacité C_{X7R} (mesurée comme valant 447,6 nF $\pm$0,5 % sous une polarisation de 30 V).

Une indépendance des oscillations (amplitude et fréquence) HF et VLF avec L_2 est alors observée (Figure II.20-a). L'évolution mesurée (Figure II.20-b, ligne bleue) de l'amplitude des oscillations de la maille secondaire avec L_2 est elle aussi conforme aux prédictions du modèle (ligne rouge).

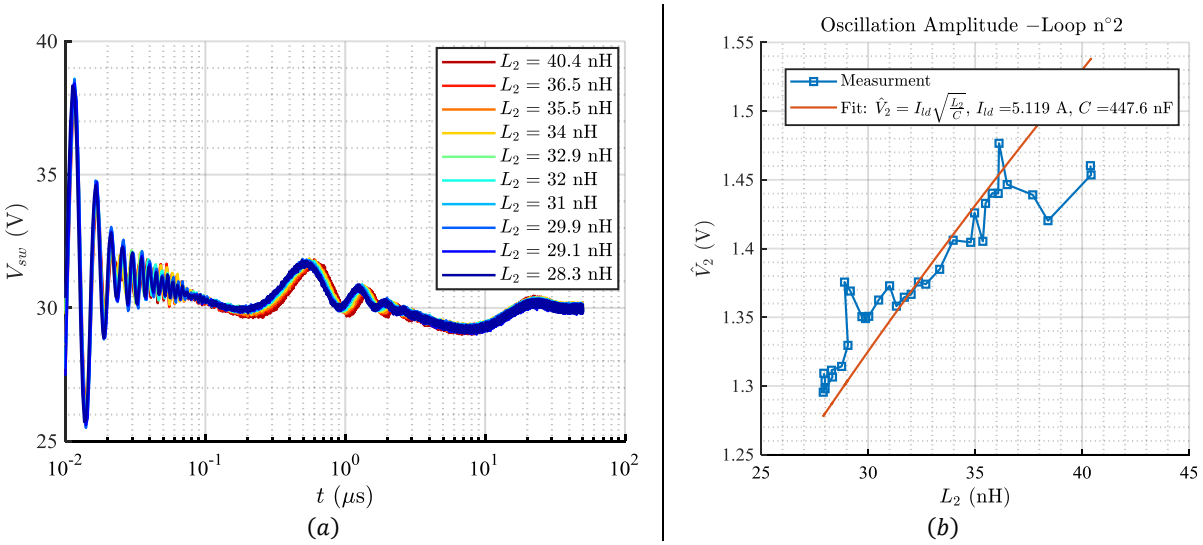


Figure II.20 : influence de l'inductance de maille secondaire L_2 sur les oscillations. (a) : tensions mesurées sur le prototype – les premières périodes d'oscillations HF sont tronquées pour améliorer la lisibilité des oscillations LF et VLF. (b) : surtension BF en fonction de L_2 : mesure (bleu) et prédiction du modèle (rouge)

2.3.4 Effet des inductances de mailles L_1

Une étude similaire à celle menée avec L_2 a été réalisée sur L_1. Celle-ci montre, comme prédit par le modèle, une faible dépendance de la surtension HF avec l'inductance de maille principale (± 7 % pour $L_1 \in [2,\ 11]$ nH, tension d'alimentation de 30 V, courant de sortie nul).

2.3.5 Effet du courant de charge I_{ld}

Le circuit étant découplé par un condensateur film de $C_{bulk} = 15$ µF et un condensateur céramique multicouches (Multi-Layer Ceramic Capacitor – MLCC) de $C_{X7R} = 67{,}6$ nF, les surtensions mesurées sur le prototype en fonction du courant de charge sont portées en Figure II.21. Les inductances des mailles primaire et secondaire sont obtenues à partir de la formule de Thomson et des fréquences des oscillations, étant données les capacités C_{out} et C_{X7R} :

$$L_1 \approx 1{,}4 \text{ nH}, \qquad L_2 \approx 22 \text{ nH} \tag{II.65}$$

La Figure II.21 montre la croissance linéaire de la surtension LF mesurée (marqueurs bleus) avec le courant de charge. Le coefficient de proportionnalité mesuré (ajustement en ligne pointillée bleue) est une résistance valant 1,4 Ω, ce qui est relativement proche de la valeur prédite par le modèle pour une surtension due à la commutation en courant :

$$Z_{c,2} = \sqrt{\frac{L_2}{C_{X7R}}} \approx \sqrt{\frac{22 \text{ nH}}{67{,}6 \text{ nF}}} \approx 1{,}8\ \Omega \tag{II.66}$$

Par ailleurs, l'amplitude des oscillations HF (Figure II.21, marqueurs rouges) est quasi-indépendante du courant de charge et proche de la tension de bus (ligne rouge), ce qui indique que ces oscillations sont principalement causées par la commutation en tension. La décroissance de la tension de bus (ligne rouge) avec le courant de charge est dû à l'impédance interne de l'alimentation. Le coefficient de qualité de la maille HF peut être estimé comme valant environ $Q_1 = 4{,}8$ (indépendamment de I_{ld}) à partir de la vitesse de décroissance des oscillations HF [184]. L'amplitude des surtensions prédites par le modèle peut alors être estimée en prenant en compte l'amortissement de la maille à l'aide de l'équation (II.58) (Figure II.21, ligne jaune). Une bonne corrélation est ainsi observée entre les mesures et les prédictions incluant la valeur finie de Q_1.Les surtensions mesurées demeurent néanmoins d'amplitudes proches de la tension de bus, justifiant le fait de négliger les amortissements.

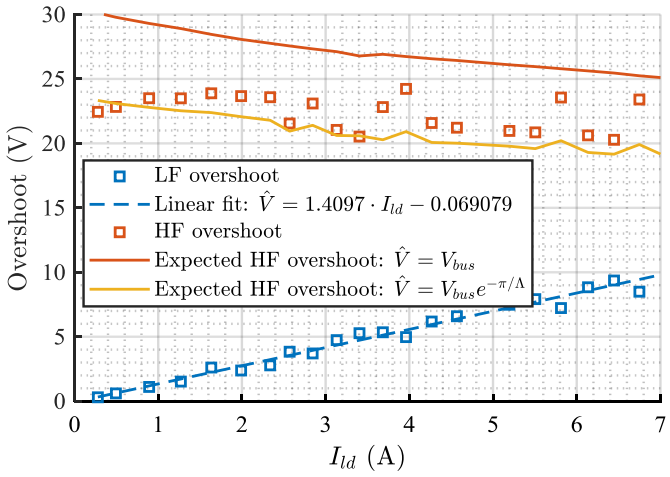


Figure II.21 : surtension en fonction du courant de charge. Marqueurs bleus : surtension LF mesurée ; ligne bleue : ajustement linéaire ; marqueurs rouges : surtension HF mesurée ; ligne rouge : tension de bus, i.e. surtension prédite en négligeant l'amortissement de la maille HF ; ligne jaune : surtension prédite en prenant en compte l'amortissement mesuré de la maille HF.

2.3.6 Conclusion

Les résultats de mesure présentés tendent à valider le modèle proposé. A ainsi pu être observée l'indépendance de la surtension HF, dominée par l'échelon de tension, avec le courant de charge, la capacité de découplage local C_{X7R}, et l'inductance de maille HF. Parallèlement, la surtension LF, dominée par l'échelon de courant, est proportionnelle au courant de charge et à la racine du quotient de l'inductance de maille LF et de la capacité de découplage local C_{X7R}.

2.4 Discussion, domaine de validité du modèle

2.4.1 Hypothèse fronts raides

Pour une maille (HF, LF ou VLF) et une excitation (échelon de tension ou de courant) données, l'hypothèse « front raide » est valide lorsque le temps de monté t_r et la fréquence d'oscillation f_{res} sont liés par l'inégalité (une preuve formelle de cette relation est donnée en Annexe A*8. Démonstration formelle des limites de l'hypothèse « front raide »*, page 217) :

$$\frac{1}{\pi t_r} > f_{res} \Leftrightarrow t_r < 2\sqrt{C_i \cdot L_i} \tag{II.67}$$

La Table II.1 donne la valeur du produit $2\sqrt{C_{out} \cdot L_1}$ (i.e. du temps de monté maximal pour que l'hypothèse soit valide pour la maille HF, ergo pour toutes les mailles) pour diverses valeurs raisonnables de C_{out} et L_1. Les modules et convertisseurs de puissance à composants silicium présenteront généralement des inductances de maille et des capacités de sortie proches de celles indiquées dans les deux ou trois dernières lignes du tableau II.1. Il faudrait alors, pour que l'hypothèse « front raide » soit valide, que ces composants présentent des vitesses de transition supérieures à ce qui est généralement rencontré en pratique. Ceci explique l'absence de surtension ayant pour amplitude l'intégralité du bus DC dans le cas général.

Dans le cas de composants WBG, et en particulier de HEMT GaN basse-tension, en revanche, les systèmes présentent des éléments parasites proches de ceux référencés dans les deux ou trois premières lignes de la Table II.1 tandis que les vitesses de transition observées sont suffisamment élevées pour que l'hypothèse « front raide » soit vérifiée. Dans ce cas, une surtension d'amplitude égale V_{bus}, due à la commutation en tension, apparait au blocage.

Plusieurs méthodes peuvent permettre de limiter cette surtension ou ses effets. Le plus simple consisterait à appliquer un déclassement (derating) de 50 % sur la tension de claquage du composant (en plus du déclassement autrement rendu nécessaire par les règles de conception).

Diminuer l'inductance de maille serait une solution, bien que d'une applicabilité limitée, permettant d'invalider l'hypothèse des commutations rapides et ainsi de diminuer la surtension. Ralentir les commutations, par exemple en augmentant la valeur des résistances de grilles ou en implémentant des méthodes de contrôle intelligentes de la tension de commande, aurait, au prix de pertes par commutations accrues, le même effet. Accroître C_{out} augmenterait les pertes et ralentirait les commutations mais aurait un effet analogue sur les surtensions.

Enfin, ajouter un circuit d'écrêtage de la tension résoudrait le problème, au prix d'une complexité (en particulier étant donné la nécessité d'un circuit faiblement inductif) et, a priori, de pertes accrues. Autoriser l'interrupteur lui-même à passer en avalanche serait éventuellement possible dans le cas de MOSFET Si ou SiC, mais est exclu avec des HEMT GaN pour lesquels un claquage entre drain et source est destructif [185].

Table II.1 : temps de monté maximal validant l'hypothèse « front raide » pour divers couples (C_{out}, L_1).

C_{out}	L_1	Composants associés	$t_{r,maxi} = 2\sqrt{C_{out} \cdot L_1}$
100 pF	1 nH	GaN	0,63 ns
1 nF	1 nH	GaN / SiC / Si	2 ns
1 nF	10 nH	SiC / Si	6,3 ns
10 nF	100 nH	Si	63 ns

2.4.2 Effets de propagation

L'intégralité de l'analyse a été réalisée en négligeant les effets de propagation. Cela se justifie par le fait qu'une antenne quart d'onde serait de longueur 30 cm dans le vide et environ 20 cm dans le PCB à 250 MHz, ce qui est a priori relativement élevé vis-à-vis des dimensions d'une maille HF – et l'était en pratique lors de la vérification expérimentale menée en section 2.3 (page 95).

2.4.3 Effet des coefficients de qualité finis

L'analyse présentée suppose que le coefficient de qualité de la maille HF est infini pour aboutir à la conclusion que la surtension est d'amplitude égale à la tension d'alimentation du circuit. L'Eq. (II.61) a par ailleurs montré que dans le cas où le coefficient de qualité n'est pas infini, la surtension maximale vaut :

$$\hat{V} = V_{bus} \cdot e^{-\pi/\Lambda}, \qquad \Lambda = \sqrt{4Q_1^2 - 1} \tag{II.68}$$

Soit $\epsilon \in [0,1]$ l'erreur relative maximale acceptable sur l'estimation de la tension crête en sortie de la cellule de commutation. Le coefficient de qualité minimum Q_{min} permettant d'assurer que l'erreur relative sur l'estimation de la tension crête en sortie de la cellule de commutation est inférieure à ϵ est solution de :

$$\frac{2V_{bus}}{V_{bus} \cdot (1 + e^{-\pi/\Lambda})} - 1 \leq \epsilon\,, \qquad \Lambda = \sqrt{4Q_{min}^2 - 1} \tag{II.69}$$

C'est à dire :

$$Q_{min} = \frac{1}{2}\sqrt{\left(\frac{\pi}{\ln(1-\epsilon) - ln(1+\epsilon)}\right)^2 + 1} \tag{II.70}$$

Le tracé de Q_{min} en fonction de ϵ est donné en Figure II.22, montrant, en particulier, que l'erreur sur la tension crête est limitée à 15 % si le coefficient de qualité de la maille est supérieur à 5. Ce résultat peut éventuellement être utilisé pour réaliser une compensation grossière, supposant *ex ante* un coefficient de qualité de l'ordre de 4 à 6.

Cette démonstration ne considère que le caractère fini de Q_1 comme source d'incertitude sur l'estimation de la surtension, ce qui est, bien sûr, une hypothèse forte : la non-linéarité des composants, la modélisation globale du circuit, etc. auront un impact additionnel.

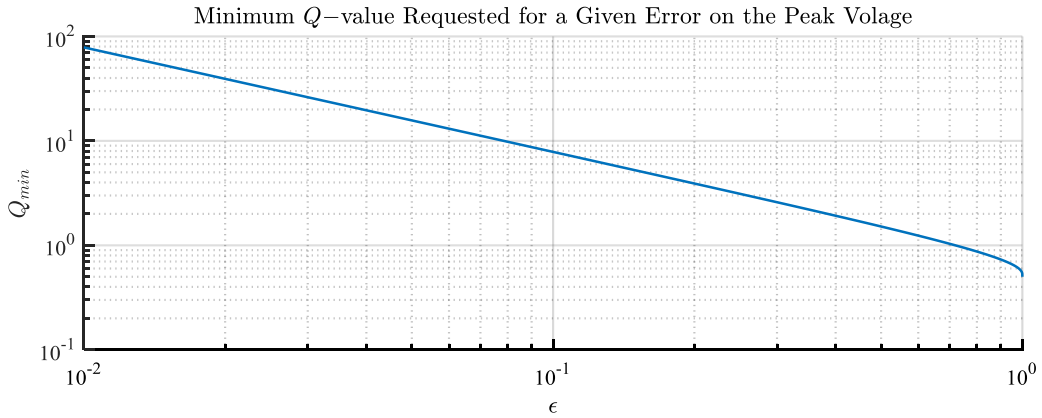


Figure II.22 : coefficient de qualité minimal Q_{min} assurant une erreur relative sur la tension crête inférieure à ϵ dans la maille principale.

2.4.4 SATURATION DE LA SURTENSION

Diverses publications montrent une saturation de l'effet du découplage : à inductance de maille fixée, la surtension est – comme attendu – une fonction décroissante de la capacité de découplage local, mais cette surtension ne tend pas vers zéro et décroît de manière négligeable lorsque la capacité croît au-delà d'environ $C_{X7R} > 20C_{out}$ [126], [127], [129], [134], [148].

Ceci s'explique par le fait que la capacité à prendre en compte dans le calcul de l'impédance caractéristique de la maille vaut la capacité C_1, résultant de la mise en série de C_{X7R} et de C_{out}. Cette capacité ne pouvant dépasser C_{out}, l'impédance caractéristique ne peut être inférieure à $L_1^{0.5} \cdot C_{out}^{-0.5}$. Cette analyse est applicable indépendamment de la validité de l'hypothèse sur la raideur des fronts.

2.5 CONCLUSION SUR LA MODÉLISATION D'UN PDN

Cette section a proposé un modèle décrivant les oscillations et les surtensions dans une cellule de commutation pouvant être utilisé pour un prédimensionnement de circuit, à un moment ou amortissements et vitesses de commutation sont encore mal définis, voire inconnues. Un modèle décrivant les mécanismes sources d'oscillations au sein d'une cellule de commutation et de son découplage, réalisé à partir d'une chaine de condensateurs de valeurs croissantes, a ainsi été présenté. Ce modèle dissocie les différentes mailles résonantes, séparées par les condensateurs de découplage. Pour chaque maille, il considère deux excitations, l'une due à la commutation de la tension de sortie de la cellule et l'autre due à la commutation du courant. Des expressions simples, faisant intervenir un nombre réduit de paramètres électriques et basé sur quelques hypothèses raisonnables dans le cas d'interrupteurs à semi-conducteur WBG, sont proposées.

Des essais ont mis en lumière une relativement bonne corrélation entre modèle et mesure.

Cette étude souligne l'impact des inductances parasites sur les surtensions aux blocages de composants présentant de fortes vitesses de commutation associées à de faibles capacités de sortie. Elle montre que certains modes résonnants rarement excités dans le cas des composants silicium peuvent entrer en oscillation de manière particulièrement stressante si des composants à semi-conducteur WGB sont employés.

Cette étude peut pousser le concepteur à s'interroger quant au bien-fondé de chercher à minimiser l'inductance de maille primaire. En effet, sauf s'il n'est pas possible de réaliser une maille d'inductance suffisamment faible pour que l'inégalité $t_r < 2\sqrt{L_1 C_{out}}$, caractérisant l'hypothèse « front raide », ne soit pas vérifiée, les oscillations dues à la commutation en tension engendreront une surtension d'amplitude égale à la totalité de la tension de bus. Minimiser l'inductance de maille permettrait de diminuer la surtension due à la commutation en courant ainsi que d'accroître l'amortissement de la maille. Il n'est cependant pas évident que ces gains compenseraient les coûts de développement et de fabrication supplémentaires, ni les éventuelles

diminutions de performances thermiques. Dans ce cas, il n'est donc pas nécessairement utile de chercher à réduire drastiquement l'inductance de maille.

3 INFLUENCE DE LA DISTANCE ENTRE UNE CELLULE DE COMMUTATION ET SON DÉCOUPLAGE

3.1 INTRODUCTION

3.1.1 MOTIVATIONS

L'optimisation des performances électriques d'une cellule de commutation et de son découplage tend à chercher à minimiser les inductances de maille – cet a priori pouvant éventuellement être relativisé au vu des résultats apportés dans la section précédente. Diverses techniques peuvent être mises en œuvre, parmi lesquelles densifier les assemblages (raccourcissement des liaisons inter-composants, assemblage 3D, etc.) apparait comme l'une des plus simples. À l'opposé, l'optimisation des performances thermiques du circuit pousse à espacer les composants, que ce soit de manière à éviter les couplages thermiques ou à minimiser la résistance thermique entre chaque composant et son dissipateur ou l'ambiant.

Un compromis entre performances électriques et thermiques se dégage donc.

L'optimisation de ce compromis passe par la définition d'une fonction de coût intégrant les différentes contraintes en jeu. La présente section s'intéresse à l'aspect électrique de la question : elle cherche à quantifier l'influence de la distance séparant une cellule de commutation et ses condensateurs de découplage sur le fonctionnement de celle-ci.

3.1.2 DISPOSITIF EXPÉRIMENTAL

3.1.2.1 SCHÉMA DE PRINCIPE, COMPOSANTS EMPLOYÉS

On considère un circuit (Figure II.23), similaire à celui détaillé en Annexe *A5.Cellule de commutation*, page 208, constitué d'une cellule de commutation GaN avec driver intégrés (circuit LMG5200, commercialisé par Texas Instrument [87]) et de son découplage.

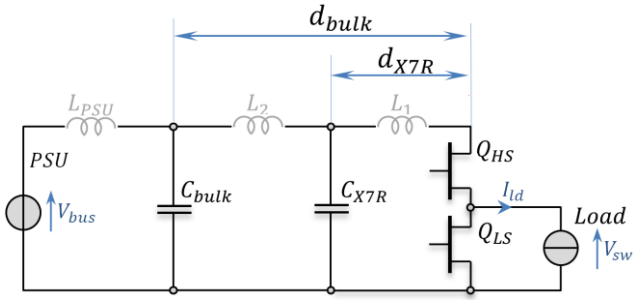


Figure II.23 : schéma de principe du convertisseur considéré, les inductances grisées modélisent les éléments parasites dans l'hypothèse des mailles séparées.

L'alimentation de puissance est localement filtrée par un condensateur à diélectrique céramique (Multi Layer Ceramic Capacitor – MLCC) C_{X7R} (réf. 2220Y1K00474KXTWS2, par Knowles Syfer) de capacité nominale 470 nF, spécifié pour une tension de 1 kV, avec un isolant de classe II-X7R et commercialisé en boitier 2220. Sa capacité à température ambiante vaut 454 nF en l'absence de polarisation DC et est 1,5 % inférieure sous une polarisation de 30 V. La distance physique entre ce condensateur et la cellule de commutation est notée d_{X7R}.

Un condensateur film MKP (polypropylène métallisé), spécifié pour 15 µF – 875 V (réf. B32678G8156K000, TDK [186]) est associé à C_{X7R}. Un modèle du composant (Figure II.24-b) est réalisé à

partir de mesures d'impédances menées avec un analyseur E4990a. Ce modèle suppose que le composant est symétrique, i.e. que les bornes (Figure II.24-a) 1 et 2 d'une part, 3 et 4 d'autre part, sont interchangeables. La mesure de la résistance de fuite de la capacité est détaillée en Annexe *A6. Mesure du courant de fuite d'un condensateur MKP*, page 211. La distance entre ce condensateur et la cellule de commutation est notée d_{bulk}.

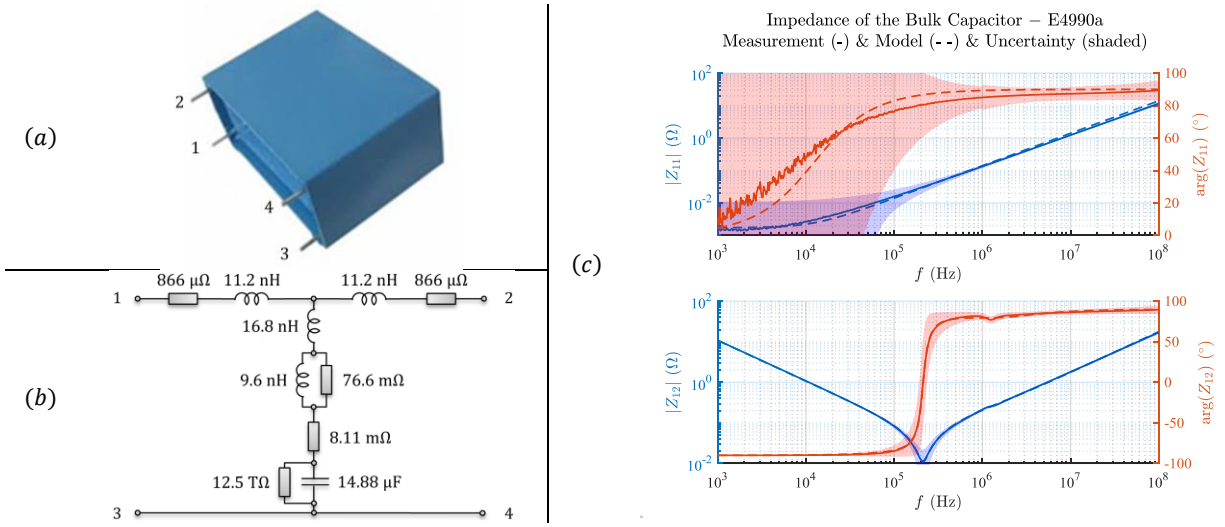


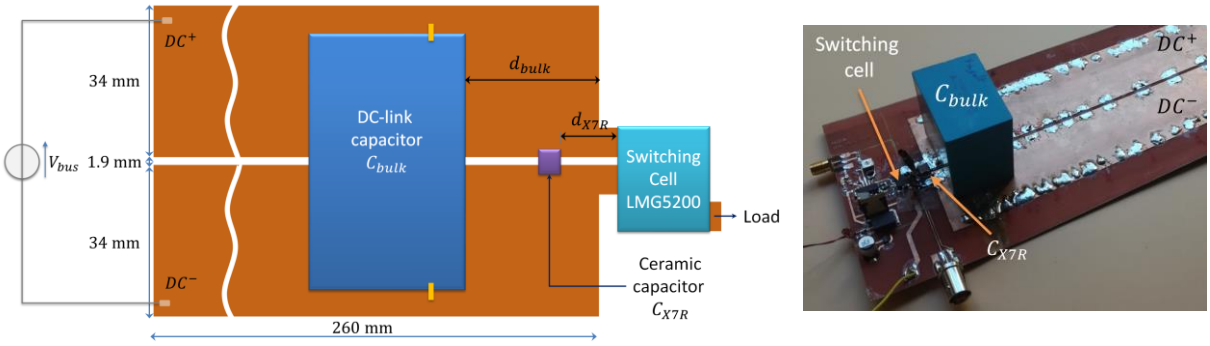
Figure II.24 : condensateur bulk. (a) : photographie. (b) : modèle équivalent mesuré [187]. (c) : impédance mesurée (lignes continues), incertitude de mesure (zone ombrée), et modèle correspondant (lignes pointillées) entre les boches 1 et 2 du condensateur (haut) et entre les broches 1 et 3 (bas) – lors d'une mesure, les broches inutilisées étaient laissées en l'air.

3.1.2.2 ROUTAGE & IMPLANTATION

Un schéma simplifié du routage du prototype est donné en Figure II.25-a. Les larges zones orangées représentent les pistes d'amenée de puissance à la cellule de commutation, elle-même schématisée par un rectangle cyan. La source de puissance V_{bus} est connectée à l'extrémité gauche des pistes de puissance. La métallisation arrière du PCB est laissée flottante. Le PCB est ainsi routé tel une ligne de transmission de type edge coupled microstrip. La structure est simple et faiblement inductive, tout en laissant libre de potentiel une face du circuit, permettant par exemple d'y accoler un dissipateur thermique.

Le condensateur bulk est équipé de quatre broches (Figure II.24-a), deux par électrode. Ce dédoublement permet d'améliorer la rigidité mécanique du composant, d'en diminuer l'inductance parasite, et d'accroître le courant RMS admissible. Ici, de manière à optimiser le filtrage en MD des perturbations renvoyées vers l'alimentation [188], tout en plaçant notre étude dans un cadre défavorable, les broches sont séparées : les bornes 1 et 3 sont réputées connectées à l'alimentation, tandis que les bornes 2 et 4 sont supposées connectées à la cellule de commutation. De manière à simplifier la réalisation pratique de l'étude sans affecter le comportement des mailles HF et LF, seules les broches 2 et 4 sont utilisées et connectées entre les pistes d'alimentation du circuit – les bornes 1 et 3 sont laissées en l'air. Une autre disposition pratique a consisté à replier les broches du composant de manière à pouvoir le traiter comme un CMS.

Le prototype est réalisé sur un PCB à substrat verre-époxy (FR4) d'épaisseur 330 µm, avec des feuilles de cuivre de 35 µm d'épaisseur. La feuille de cuivre située en face arrière du PCB est laissée flottante.



(a) (b)

Figure II.25 : (a) : schéma montrant l'organisation du circuit. (b) : photographie du prototype pour $d_{X7R} = 0$, $d_{bulk} =$ 8 mm, des résidus de brasure montrent les tests précédemment menés sur le prototype.

3.1.3 Méthodologie

L'étude de l'influence des paramètres (d_{X7R}, d_{bulk}) sur les inductances de mailles principale et secondaire (L_1, L_2) sera réalisée en plusieurs étapes. Dans un premier temps, une étude sera menée dans le domaine temporel (section 3.2). Le condensateur de découplage local C_{X7R} sera tout d'abord positionné au plus près de la cellule de commutation, à une distance $d_{X7R} = 0$, tandis que le condensateur bulk sera déplacé entre $d_{bulk} = 0$ et $d_{bulk} \approx 27$ cm. Le condensateur de bulk sera ensuite retiré ($d_{bulk} = \infty$) tandis que le condensateur de découplage local sera déplacé entre $d_{X7R} = 0$ et $d_{X7R} = 29$ cm. L'étude des fréquences des oscillations obtenues en sortie de la cellule de commutation pour chaque couple de valeurs (d_{X7R}, d_{bulk}) permettra, via la formule de Thomson, de déterminer les inductances des mailles principale (maille HF, inductance L_1) et secondaire (maille LF, inductance L_2).

Une étude similaire sera ensuite menée dans le domaine fréquentiel (section 3.3, page 107) : l'alimentation de puissance étant retirée, l'impédance vue depuis la charge pourra être mesurée par un analyseur d'impédance. Les inductances parasites seront alors extraites des diagrammes d'impédances.

Les résultats de mesures seront analysés et comparés en section 3.5, page 111.

3.2 Mesures dans le domaine temporel

3.2.1 Introduction

La cellule de commutation est alimentée sous une tension fixée à $V_{bus} = 30$ V ; elle est chargée par une inductance de 10 mH, de fréquence de résonance 2,5 MHz, et connectée entre la sortie et le rail DC^-. La tension de sortie V_{sw} de la cellule de test est alors mesurée et post-traitée. Le test est mené en double pulse de manière à assurer l'absence d'oscillations au sein du montage avant la commutation étudiée. La formule de Thomson, associée à la connaissance des diverses capacités parasites du montage (mesurées sous polarisation de 30 V_{dc}) :

$$C_{out} = 562 \text{ pF } \pm 1{,}5\ \%, \qquad C_{X7R} = 447 \text{ nF } \pm 0{,}5\ \%, \qquad C_{bulk} = 14{,}88 \text{ µF } \pm 1\ \% \tag{II.71}$$

permet ensuite de déterminer la valeur des inductances de mailles.

3.2.2 Inductance de maille secondaire L_2 vs d_{bulk}

3.2.2.1 Méthode

Un modèle de la forme :

$$V_{sw}^* = V_{dc} + \sum_{k=1}^{k=3} \hat{V}_k \cdot sin\left(2\pi f_{res,k} t + \phi_k\right) \cdot e^{-t/\tau_k}, \qquad \beta = \left[V_{dc},\ \hat{V}_k,\ f_{res,k},\ \phi_k, \tau_k\right]_k \tag{II.72}$$

est ajusté sur la tension V_{sw} mesurée à la suite de la commutation. β constitue le vecteur de paramètres ajustés. Un exemple est donné en Figure II.26, montrant une bonne corrélation entre tension mesurée et modèle, validant le choix de ce dernier. Cependant, en particulier du fait des non-linéarités de la capacité de sortie de la cellule, les premières périodes d'oscillations sont relativement mal décrites par le modèle.

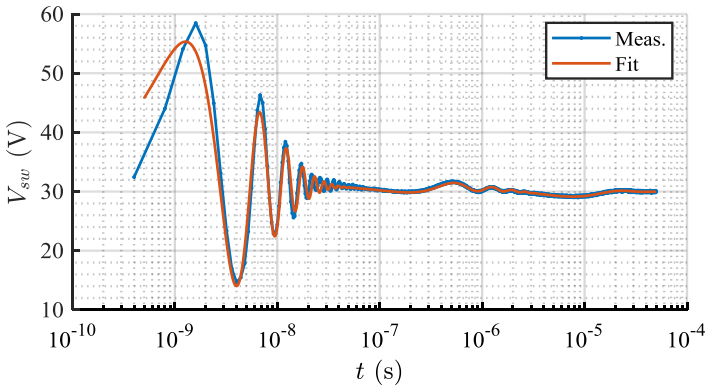


Figure II.26 : tension V_{sw} mesurée (bleu) et modèle ajusté (rouge). Abscisse logarithmique.

3.2.2.2 RÉSULTATS DE MESURE

L'évolution avec d_{bulk} de la fréquence des oscillations de la maille LF (maille secondaire), ainsi que de l'inductance en étant déduite, sont données en Figure II.27. L_2 croît linéairement avec d_{bulk}, avec une pente moyenne de :

$$\frac{d(L_2)}{d(d_{bulk})} = 0{,}4\ \text{nH} \cdot \text{cm}^{-1} \tag{II.73}$$

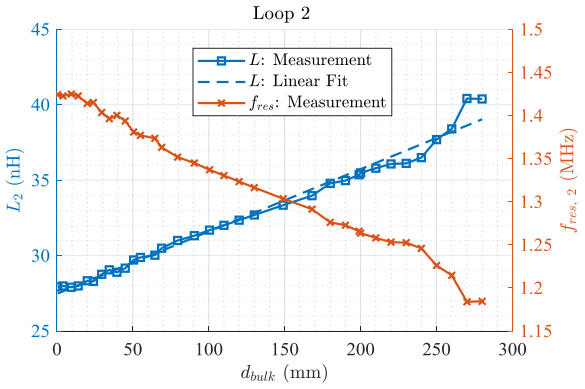


Figure II.27 : fréquence des oscillations dans la maille secondaire vs d_{bulk} (rouge) et inductance de maille déduites (bleu).

Le changement de pente observé pour les valeurs de d_{bulk} dépassant 220 mm est probablement dû à des effets de bords causés par la longueur finie du PCB du prototype.

L'inductance de la maille HF est, quant à elle, indépendante de d_{bulk}. Les coefficients de qualité des mailles HF et LF sont indépendants de d_{bulk} et valent, respectivement, environ 4,6 et 4,1.

3.2.3 INDUCTANCE DE MAILLE PRINCIPALE L_1 VS d_{X7R}

3.2.3.1 MÉTHODE

Le condensateur de filtrage C_{bulk} ayant été retiré ($d_{bulk} = \infty$), la tension mesurée en sortie de la cellule de commutation montre, pour certaines valeurs de d_{X7R}, un phénomène assimilable à du battement (Figure II.28).

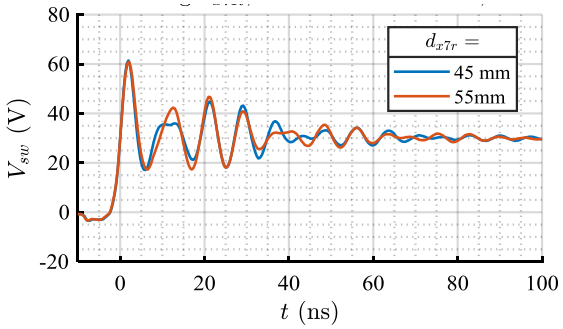


Figure II.28 : tensions V_{sw} mesurées pour $d_{X7R} = 45$ mm (bleu) et 55 mm (rouge). $I_{ld} = 5$ A.

Ceci est confirmé par la Figure II.29, qui montre l'amplitude des composantes spectrales de la tension de sortie de la cellule de commutation V_{sw} en fonction de la fréquence et de d_{X7R} : deux raies de fréquences proches et d'amplitudes relativement élevées sont visibles entre 100 MHz et 200 MHz, pour $d_{X7R} \in [1,\ 8]$ cm. Ce battement pourrait être dû à une interaction entre MC et MD.

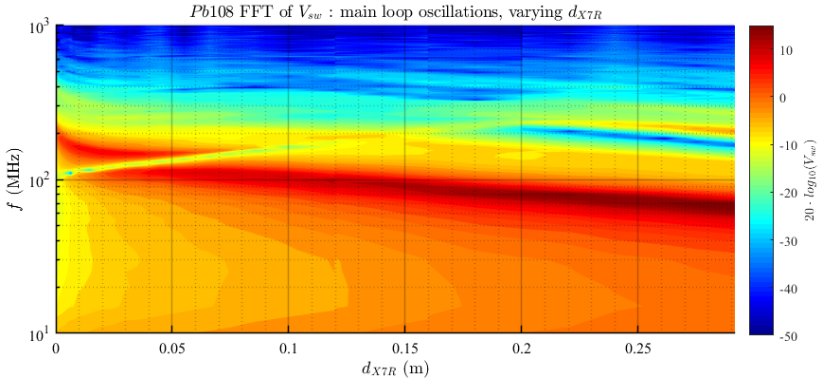


Figure II.29 : spectrogramme mesuré de V_{sw} vs. d_{X7R}, pour $I_{ld} = 5$ A.

Le modèle proposé en (II.72) ne pouvant décrire correctement cet effet, la période des oscillations est estimée comme valant le double de la durée de la première arche de sinusoïde. Si ce choix permet de partiellement s'affranchir de l'effet de battement observé au cours du régime oscillatoire, il demeure discutable. En effet, ce pic étant celui de plus grande amplitude, il est le plus affecté par les non-linéarités de la capacité de sortie de la cellule. De plus, en dépit de l'usage d'une interpolation en sinc, la précision de la mesure demeure limitée par le bruit propre au signal, par celui apporté par l'oscilloscope, et enfin par le bruit de phase de l'horloge de l'instrument [189].

3.2.3.2 RÉSULTATS DE MESURE

L'inductance de maille HF est alors déduite (Figure II.30) de la fréquence des oscillations.

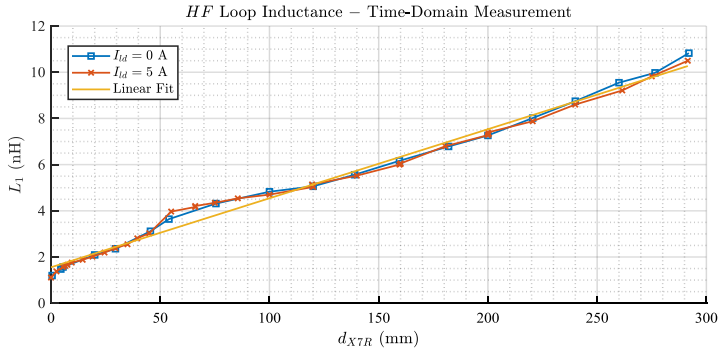


Figure II.30 : inductance de maille HF vs. d_{X7R}, pour des courants de charge nul (bleu) et de 5 A (rouge) ; régression linéaire associée (jaune).

L'inductance de maille minimale atteignable avec le routage proposé est de 1,2 nH. L'évolution de L_1 vs. d_{X7R} est quasi linéaire, la pente étant proche de :

$$\frac{dL_1}{dd_{X7R}} \approx 0{,}30 \text{ nH} \cdot \text{cm}^{-1} \quad \text{(II.74)}$$

Cette faible vitesse de croissance se traduit par une inductance de maille HF de seulement 11 nH lorsque le condensateur de découplage local est situé à 30 cm de la cellule de commutation.

Les inductances étant linaires, les essais menés en charge ($I_{ld} = 5$ A) et à vide aboutissent aux mêmes valeurs d'inductances de maille HF. L'inductance de maille secondaire peut difficilement être obtenue à partir des oscillogrammes obtenus à vide du fait de la quasi-absence d'oscillations causées par la commutation en tension – cf. modèle développé en section 2.2, page 88.

3.3 MESURES EN PETITS SIGNAUX

3.3.1 INTRODUCTION

Cette section propose de retrouver les résultats obtenus dans la section précédente par spectroscopie d'impédance. L'impédance du circuit d'alimentation vue depuis la sortie de la cellule de commutation est ainsi exploitée pour obtenir les valeurs des inductances des mailles HF et LF.

3.3.2 INDUCTANCE DE MAILLE SECONDAIRE L_2 VS d_{bulk}

3.3.2.1 MÉTHODE

L'alimentation de puissance est déconnectée (i.e. $L_{PSU} = \infty$), les transistors constituant la cellule de commutation sont tous deux bloqués, et le condensateur de découplage local C_{X7R} est retiré du circuit (i.e. $d_{X7R} = \infty$). L'analyseur d'impédance E4990a est alors connecté entre les rails de l'alimentation de puissance, au plus près de la cellule de commutation (i.e. là où se trouvait précédemment C_{X7R} lorsque d_{X7R} était nul). L'instrument peut alors mesurer l'inductance de maille LF L_2 tandis que le condensateur de filtrage de puissance C_{bulk} est déplacé de $d_{bulk} = 0$ à $d_{bulk} = 27$ cm.

Deux méthodes d'extraction des inductances à partir des diagrammes d'impédances sont proposées. La première utilise la réactance du composant autour de 10 MHz, fréquence comprise entre les résonances séries et parallèle de la maille et pour laquelle la phase de l'impédance est proche de $\pi/2$. La seconde méthode consiste à ajuster un modèle de circuit RCL série sur l'impédance, entre 1 kHz et 10 MHz, i.e. sur une bande de fréquence sur laquelle le modèle apparait relativement pertinent.

3.3.2.2 RÉSULTATS DE MESURE

Les inductances obtenues à partir des impédances mesurées sont données en Figure II.31. Les deux méthodes d'extraction donnent des résultats similaires, différant de moins de 10 %.

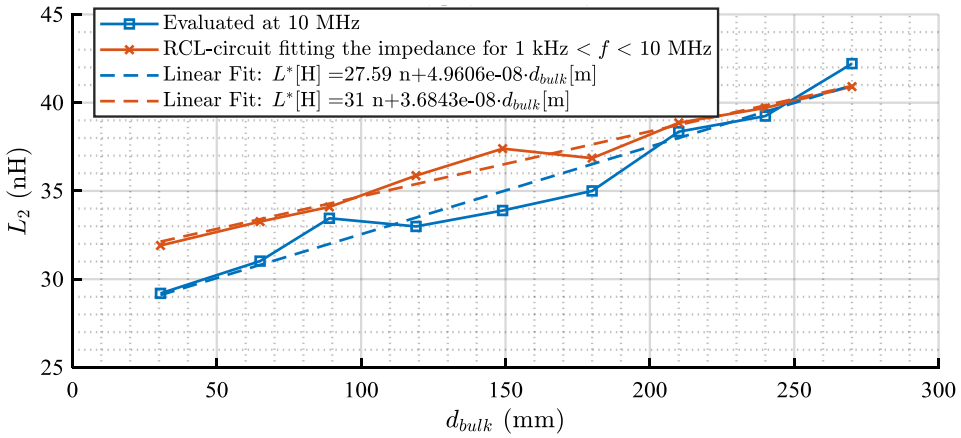


Figure II.31 : inductance de maille secondaire en fonction de d_{bulk}. Mesure (lignes continues avec marqueurs) et ajustement linéaires (lignes pointillées). Inductances évaluées à partir de l'impédance à 10 MHz (bleu) ou extraite de l'ajustement d'un circuit RLC série entre 1 kHz et 10 MHz (rouge).

La croissance de l'inductance est relativement linéaire, avec une pente d'environ 0,3 à 0,5 nH/cm – suivant la méthode d'extraction.

Le coefficient de qualité de l'antirésonance de la maille secondaire, calculé à partir de la bande passante de l'antirésonance, décroît légèrement, passant de $Q = 3{,}4$ pour $d_{bulk} = 0$ à $Q = 3{,}0$ pour $d_{bulk} = 20$ cm.

3.3.3 Inductance de maille principale L_1 vs d_{X7R}

3.3.3.1 Méthode

La mesure de la dépendance de l'inductance de maille principale L_1 avec la distance d_{X7R}, séparant le condensateur de découplage local et la cellule de commutation, est réalisée à l'aide d'un second prototype. Celui-ci est identique au précédent, à ceci près qu'une cellule de commutation factice est réalisée, reproduisant le comportement (nonobstant les effets non-linéaires et les amortissements) de l'originale en présence d'oscillations. Le transistor LS, supposé bloqué, est ainsi remplacé par un condensateur (céramique classe I, C0G), modélisant sa capacité de sortie. L'interrupteur HS est, quant à lui, remplacé par un court-circuit. Le condensateur de filtrage C_{bulk} est par ailleurs retiré du circuit ($d_{bulk} = \infty$).

L'analyseur d'impédance E4990a est alors connecté à la sortie de la cellule de commutation fictive via un connecteur SMA. Cette structure permet une mesure plus aisée et répétable de l'impédance du PDN, vue depuis la charge, que n'aurait autorisée l'usage du premier prototype, équipé de la cellule de commutation fonctionnelle.

Le condensateur de filtrage C_{bulk} ayant été retiré du circuit, l'alimentation de puissance étant déconnectée, et la bande de fréquence d'étude étant trop réduite pour permettre à C_{out} d'apparaitre sur les spectres d'impédances, le circuit considéré se réduit à un RLC série constitué de C_{X7R} et de L_1. Un tel modèle est alors ajusté sur les mesures pour déterminer l'inductance de maille principale.

3.3.3.2 Résultats de mesure

La Figure II.32 montre la croissance quasi-linéaire de L_1 avec d_{X7R} – du moins pour des valeurs de $d_{X7R} \geq 3$ cm. L'inductance croît alors avec une pente proche de :

$$\left.\frac{d(L_1)}{d(d_{X7R})}\right|_{d_{X7R} \geq 3\text{ cm}} \approx 0{,}3\ \text{nH/cm} \qquad \text{(II.75)}$$

La croissance de L_1 avec d_{X7R} est plus rapide pour $d_{X7R} < 3$ cm, L_1 passant de 2,2 à 4,7 nH, soit une vitesse de croissance moyenne de 0,83 nH/cm. La variation de vitesse de croissance s'explique par la reconfiguration

des lignes de courant dans le circuit imprimé, causée par les effets de bords apparaissant au plus près de la cellule, à l'extrémité de la ligne de transmission constituée par les pistes de puissance.

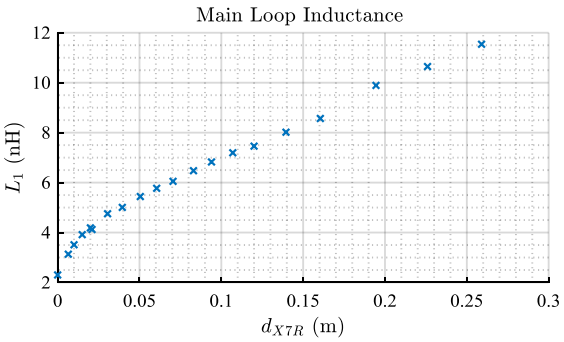


Figure II.32 : inductance de la maille principale en fonction de d_{X7R}.

3.3.4 DISCUSSION

3.3.4.1 DU CARACTÈRE DIFFÉRENTIEL DES MESURES

Les mesures d'impédances en petits signaux ont été réalisées à l'aide d'un analyseur d'impédance dont l'électrode négative est (virtuellement) au potentiel de la masse de l'instrument [86]. Cette topologie rend le test asymétrique, la capacité entre piste DC^- et masse se trouvant (virtuellement) court-circuitée. La mesure réalisée n'est donc pas pleinement différentielle.

L'ordre de grandeur des capacités considérées justifie cependant l'approximation : les capacités entre pistes masse sont négligeables devant celles entre pistes comme devant celles des condensateurs de découplage.

Intercaler un balun entre l'analyseur et le prototype permet cependant de s'affranchir de cette approximation tout en créant d'autres limitations métrologiques (bande passante, effets de transferts de mode [190], [191]). La comparaison des impédances mesurées avec un balun constitué d'un transformateur JA4220-ALB (Coilcraft, bande passante 100 kHz – 3,5 GHz) et sans lui montre une très bonne concordance, validant les résultats obtenus par des mesures non symétriques (« single-ended »).

3.3.4.2 UTILISATION DU SECOND PROTOTYPE POUR CARACTÉRISER L_2 *vs.* d_{bulk}

Le second prototype, mettant en œuvre une cellule de commutation factice, peut également être utilisé pour étudier l'évolution de l'inductance de maille secondaire avec d_{bulk}. Les spectres d'impédance associés, obtenus pour $d_{bulk} \in [0,\ 20]$cm et $d_{X7R} = 0$, montrent (Figure II.33) l'accroissement de l'impédance dans la bande de fréquence $[250,\ 1200]$ kHz, caractéristique de l'effet de $L_2(d_{bulk})$.

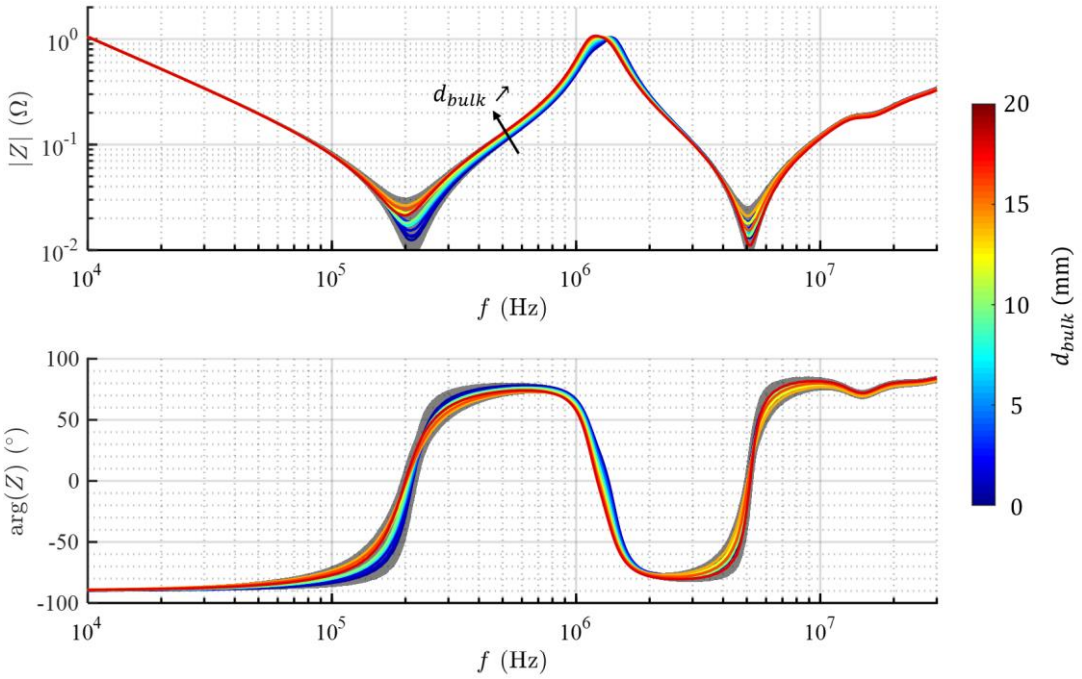


Figure II.33 : impédance du PDN vu depuis la sortie de la cellule de commutation factice, mesurée pour diverses valeurs de d_{bulk}, pour $d_{X7R} = 0$. Zone grisée : incertitude de mesure due à l'analyseur d'impédance seul pour le réseau de courbes.

L'inductance de maille secondaire est extraite des mesures par ajustement du modèle de la Figure II.23 (page 102) – augmenté de divers termes d'amortissement. L'évolution de L_2 vs d_{bulk} (non détaillée ici) est cohérente avec les résultats obtenus en petits signaux avec le premier prototype, équipé d'une cellule de commutation fonctionnelle – les léger écarts s'expliquent par les différences entre les prototypes, la répétabilité des mesures, et la méthode d'extraction des inductances.

L'évolution des coefficients de qualité des résonances et anti-résonnances des mailles secondaires (à 200 kHz et 1,2 MHz, Figure II.33) peut être expliquée par les variations de d_{bulk} et de la résistance de la maille. En revanche, la dispersion des résistances à la fréquence de résonnance de la maille principale, à 5 MHz, est causée par la mauvaise répétabilité de la connexion entre l'instrument et le prototype. L'utilisation d'un connecteur 3,5 mm neuf et serré de manière maitrisée aurait donnée de meilleurs résultats que le SMA défraichi effectivement employé[6] [192], [193]. La précision limitée de l'instrument de mesure est également source d'incertitude.

3.4 Résultats de simulation : de la largeur des pistes d'alimentation

Une ligne de transmission de type edge coupled microstrip, correspondant au routage des pistes de puissance considérée dans cette section, est simulée à l'aide du logiciel FEMM. La simulation, bi-dimensionnelle, ne prend pas en compte les effets de bords associés aux connexions entre la ligne de transmission, le condensateur de découplage, et la cellule de commutation. Les pistes sont, comme pour le prototype, d'épaisseur 35 µm, séparées de 1,9 mm et placées à 330 µm au-dessus d'un plan conducteur de grande largeur et d'épaisseur 35 µm. La largeur des pistes w_{tracks} est variée entre 1 mm et 35 mm.

[6] Des essais ont montré que si la résistance d'insertion est généralement inférieure à 8 mΩ, elle peut atteindre 65 mΩ.

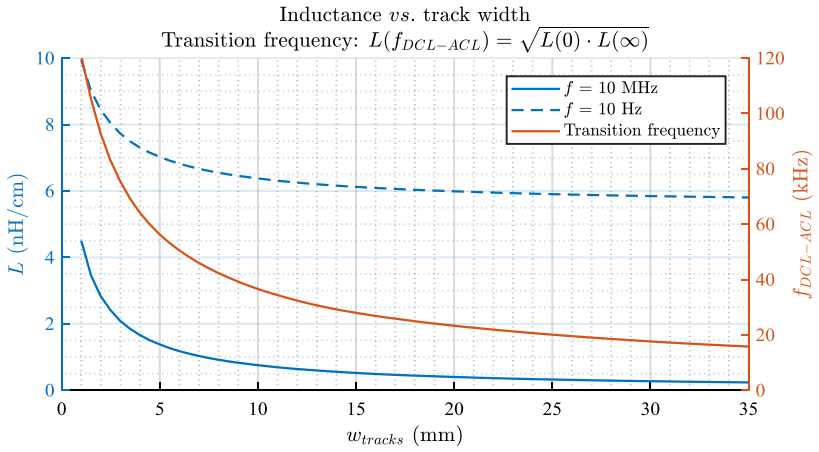


Figure II.34 : inductance simulée par FEA d'une ligne edge coupled microstrip en fonction de la largeur des pistes : inductance linéique en haute fréquence (ligne continue bleue) et basse fréquence (ligne pointillée bleue) ; fréquence de transition entre domaines basse- et haute- fréquences (rouge).

Les résultats de simulation (Figure II.34) montrent que l'inductance linéique simulée pour des pistes de largeur $w_{tracks} = 34$ mm est de 240 pH/cm, ce qui est en accord avec les valeurs de $d(L_X)/d(d_X)$ trouvées expérimentalement (environ 300 pH/cm). De surcroît, l'étude se plaçait, comme supposé, dans le domaine AC puisque la fréquence de transition du prototype, de 16 kHz ($w_{tracks} = 34$ mm), est très inférieure aux fréquences des oscillations mesurées. Enfin, il apparait que si l'inductance linéique décroît rapidement pour les plus faibles largeurs de pistes, il suffit d'utiliser des pistes de largeur supérieure à, respectivement, 3 et 8 mm pour assurer des inductances linéiques AC inférieures à 2 et 1 nH/cm.

3.5 Analyse des résultats

3.5.1 Inductance de maille secondaire L_2 vs d_{bulk}

Les variations de L_2 par rapport à la position de la capacité de bulk obtenues dans les domaines temporel (en magenta, cf. section 3.2.2, page 104) et fréquentiel (en bleu et rouge, cf. section 3.3.2, page 107) sont données en Figure II.35, montrant une assez bonne corrélation.

L'inductance série (ESL) du condensateur bulk, valant 28 nH à 10 MHz, domine largement l'inductance de maille puisqu'elle en représente au moins 70 %. Ceci souligne l'importance du choix d'un condensateur à faible ESL pour minimiser l'inductance de maille LF totale.

Les deux ensembles de points montrent, par ailleurs, la même tendance : L_2 croît lentement avec d_{bulk} (dL_2/dd_{bulk} vaut entre 30 et 40 nH/m). Un offset atteignant 3 nH est cependant visible ; il s'explique principalement par la méthode d'identification des inductances. La non-linéarité de la capacité céramique influence également la reproductibilité des mesures. Enfin, les différences entre les méthodes d'accès au prototype peuvent expliquer les écarts d'inductances observés.

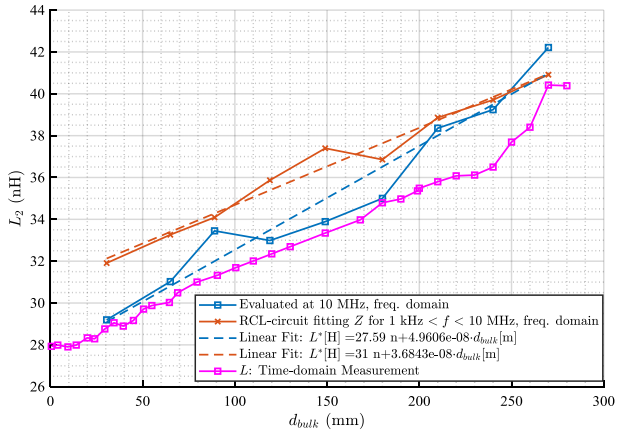


Figure II.35 : inductance de maille secondaire. Mesure en petits signaux (bleu et rouge) et signaux de grande amplitude (magenta).

3.5.2 INDUCTANCE DE MAILLE PRINCIPALE L_1 VS d_{X7R}

Du fait de l'emploi de cellules de commutation de topologies différentes (cellule fonctionnelle lors des tests en commutation vs factice en petits signaux), les géométries des mailles principales des deux prototypes sont, au voisinage de la cellule de commutation, relativement différentes. De plus, les divergences entre les méthodes mises en œuvre pour estimer les inductances se traduisent par des écarts sur les valeurs obtenues. Comparer les inductances mesurées dans les deux prototypes n'est donc guère pertinent. Les vitesses de croissance de l'inductance L_1 avec d_{X7R} sont cependant similaires dans les deux cas.

3.5.3 INDUCTANCES DE MAILLES L_X VS d_X

Il apparait que les vitesses de croissance de L_1 et L_2 en fonction de, respectivement, d_{X7R} et d_{bulk} sont analogues, de l'ordre de 0,3 nH/cm. Cette valeur est, par ailleurs, proche (+20 %) de l'inductance linéique AC de la ligne de transmission constituant les pistes d'amenée de puissance.

Ceci s'explique par le fait que les lignes de courant ont des allures similaires dans les trois cas : la fréquence étant suffisamment élevée pour que l'inductance soit dans son domaine AC, le courant longe les bords internes des pistes de puissance, dont la largeur n'a qu'un faible impact sur la distribution de courant. Abstraction faite des effets de bords apparaissant aux voisinages de la cellule de commutation et du condensateur, la surface de la boucle de courant (à laquelle est, en première approximation, proportionnelle l'inductance) est alors une fonction affine de la distance séparant le condensateur et la cellule de commutation.

3.5.4 COEFFICIENTS DE QUALITÉ DES CIRCUITS RÉSONNANTS

En première approximation, la surface de la boucle de courant comme son périmètre croissent linéairement avec la distance d_X séparant la cellule de commutation et le condensateur de découplage. L'inductance croît donc linéairement avec d_X, tandis que la fréquence de résonance décroît en $\sqrt{d_X}^{-1}$. De même, la résistance, à fréquence donnée f, croît linéairement avec d_X. Cependant, du fait de l'effet de peau, la résistance étant proportionnelle à $\sqrt{f}$, la résistance de la maille à la fréquence de résonance croît en $d_X^{0,75}$. Le coefficient de qualité décroît donc, d'après cette analyse, en $d_X^{-0,25}$. Formellement, avec les notations évidentes :

$$\begin{cases} L_X \propto d_X \Rightarrow f_{res} \propto \dfrac{1}{\sqrt{d_X}} \\ R_X|_{f=cste} \propto d_X, \quad R_X(f) \propto \sqrt{f} \end{cases} \Rightarrow R_X(f_{res}) \propto d_X \sqrt{\frac{1}{\sqrt{d_X}}} \propto d_X^{0,75}$$

$$\Rightarrow Q_X \propto \frac{\sqrt{L_X}}{R_X} \propto \frac{\sqrt{d_X}}{d_X^{0,75}} \Rightarrow Q_X \propto d_X^{-0,25} \qquad \text{(II.76)}$$

Cette réflexion explique la quasi-indépendance observée du facteur de qualité des mailles avec la distance séparant condensateur et cellule de commutation.

3.6 Conclusion sur l'influence de la distance entre cellule de commutation et découplage

L'étude proposée dans cette section s'est intéressée à l'impact de la distance entre une cellule de commutation et son découplage de manière à quantifier le compromis entre performances thermiques, électriques, et CEM. Pour cela, les inductances de mailles principale (HF) et secondaire (LF) ont été mesurées dans les domaines temporels et fréquentiels en fonction de la distance.

L'étude montre ainsi que même s'il convient toujours de rapprocher autant que possible les composants pour minimiser les inductances, positionner la capacité de découplage local C_{X7R} à quelques dizaines de centimètres de la cellule de commutation peut engendrer des inductances ne dépassant guère la dizaine de nanohenry, ce qui peut se révéler tout à fait acceptable – selon les vitesses de balayage de la cellule de commutation et le déclassement en tension lui étant appliqué. L'étude montre, de plus, que la sensibilité de l'inductance de maille à la distance séparant le condensateur de découplage et la cellule de commutation est relativement faible : proche de 300 pH/cm dans la configuration étudiée. Cette faible dépendance de l'inductance avec la distance, associée à l'importance relative de l'ESL du condensateur de bulk, permet de largement relâcher la contrainte sur l'éloignement de ce condensateur.

Le caractère faiblement inductif du routage est lié à sa structure en ligne de transmission de type edge coupled microstrip avec pistes larges (> 20 mm), faiblement écartées (1,9 mm), et situées à faible distance (330 µm) d'un plan de cuivre.

Ce constat peut être d'intérêt au regard de la liberté alors offerte pour la gestion thermique du circuit ainsi que son intégration au niveau du système global. S'ouvre par ailleurs la possibilité de mutualiser les éléments de découplage entre convertisseurs cellulaires.

4 Étude de l'agencement des puces de puissance

4.1 Introduction

L'agencement des puces au sein d'un module de puissance conventionnel est fortement contraint : les puces doivent être brasées sur un même DBC par leur face arrière, tandis que leurs faces avant sont connectées par des fils de bondings et que le routage est réalisé sur une unique couche. Les contraintes sont en revanche largement relâchées dans le cas d'assemblages PCB, les puces pouvant être connectées en flip-chip ou non (i.e. plusieurs puces peuvent avoir leurs faces avant ou arrières en contact avec une surface donnée). De plus, des assemblages 3D sont envisageables, les puces étant alors superposées. L'étude présentée dans cette section cherche à comparer diverses manières de positionner les deux transistors d'un bras d'onduleur et leur condensateur de découplage local.

Cette section propose une comparaison sommaire, à forte composante qualitative, des performances de différentes géométries. Les aspects thermiques, de fabricabilité, les capacités parasites, et les inductances de mailles sont, parmi l'éventail de critères de comparaisons accessibles (e.g. fiabilité, coût de fabrication, CEM rayonnée, etc.), ceux retenus pour cette étude.

Quatre structures, dont un aperçu est donné en Figure II.36, sont considérées. Chacune est dimensionnée de manière « raisonnable », i.e. de manière à être physiquement réalisable au laboratoire, tout en respectant des distances d'isolations suffisantes pour un fonctionnement sous 1 kV, ainsi qu'en cherchant à maximiser la compacité. Ces dimensionnements seront dits « de référence » par la suite et serviront de point de départ aux études de sensibilité. Les schémas des géométries présentés dans cette section sont simplifiés : les circuits de

commande ne sont pas modélisés, certains vias sont absents ou modélisés par des blocs monolithiques de métal, etc.

Cette section supposera de plus qu'un condensateur de découplage local est placé au voisinage immédiat de la cellule de commutation. Ce composant est nécessaire pour fermer la maille de commutation et permettre l'extraction d'une inductance de maille. Indépendamment des conclusions de la section II.2 (page 88), l'étude cherchera à minimiser les inductances parasites – l'une des motivations étant de tenter d'invalider l'hypothèse des commutations rapides (cf. section 2.4.1, page 99).

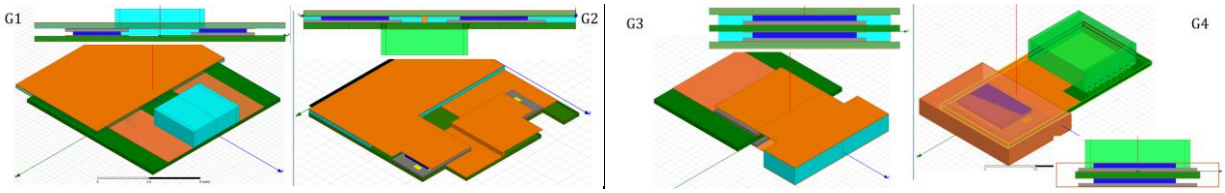


Figure II.36 : représentations schématiques des quatre structures étudiées : vue 3D et de profil. Vert épinard : substrat PCB ; orange : cuivre ; gris : puces ; bleu outremer : connexion de face avant de puce ; cyan et vert printemps : condensateurs de découplage. Certains éléments de substrat donnant, en particulier, sa rigidité à la structure ne sont pas représentés. Les plans de cuivre situés de part et d'autre des géométries G2, G3, et G4, sont cachés dans les vues 3D respectives (ainsi que dans la vue de profil en coupe de la G4).

4.2 DESCRIPTION DES GÉOMÉTRIES ÉTUDIÉES

4.2.1 INTRODUCTION : PARAMÉTRAGE & DIMENSIONNEMENT DE RÉFÉRENCE

Des puces MOSFET SiC 98 A – 1200 V (fondues par Wolfspeed/Cree) de dimensions $4{,}04 \times 6{,}44 \times 0{,}180\ \mathrm{mm}^3$ sont utilisées comme support d'étude [194]. Un bloc conducteur monolithique parallélépipédique d'épaisseur 250 µm est utilisé pour modéliser le contact de face avant. Il peut décrire un procédé de reprise de contact tel celui développé dans le chapitre III du présent manuscrit – ou autre (cf. section *III-1.1. Techniques de reprise de contact de face avant de puce en électronique de puissance*, page 126). Un condensateur (ou réseau de condensateurs) de découplage est associé à chaque structure. Sauf mention contraire, un composant CMS de dimensions $5{,}7 \times 5 \times 1{,}7\ \mathrm{mm}^3$ (package 2220) est considéré, modélisant un condensateur à diélectrique céramique de 68 nF – 1 kV – X7R commercial. Les assemblages sont basés sur des circuits imprimés à substrat verre-époxy FR4 de 330 µm et feuilles de cuivre de 35 µm.

De manière à rendre le circuit physiquement réalisable, la distance minimale devant séparer deux puces sera fixée à 3 mm, celle séparant une puce et un condensateur non-enfoui à 4 mm.

Étant fixées des règles de conception (isolement, critère de fabricabilité, etc.), et étant données les dimensions des puces, du condensateur de découplage, et les épaisseurs des PCB utilisés, un nombre réduit de paramètres permet de complètement décrire les géométries considérées. Ces paramètres (cf. Table II.2) constituent les degrés de libertés laissés au concepteur.

Table II.2 : liste de paramètres non contraints décrivant une géométrie

Paramètre	Détail
d_{capa}	Distance entre le condensateur de découplage et les puces
e_{NiFO}	Épaisseur du bloc de métal modélisant le contact de face avant
d_{die}	Distance entre les puces (G1 & G2 seulement)
α_{die}	Angle entre la direction des puces et celle des pistes apportant l'alimentation
σ_{planes}	Conductivité électrique des plans conducteurs externes, blindant le circuit

Le paramètre σ_{planes}, caractérisant la conductivité des plans conducteurs blindant le circuit peut prendre les valeurs $58\ \mathrm{MS \cdot m^{-1}}$ et 0, correspondant, respectivement, à la présence ou l'absence de plans de cuivre de blindage.

4.2.2 GÉOMÉTRIE G1

La géométrie G1 est schématisée en Figure II.37. Le substrat PCB est en vert épinard, le cuivre en orange, les puces en gris, les connexions de face avant de puce en bleu outremer, le condensateur de découplage est de couleur cyan. Les surfaces jaunes servent au repérage des contacts de source et de grille de la puce, elles ne sont associées à aucun modèle physique. Le prepreg situé entre les PCB et entourant les puces n'est pas représenté sur la figure pour en accroître la lisibilité.

Un PCB 'bottom PCB' sert de base au montage : il porte les pistes d'amenée de puissance $DC^{\pm}$ (routage de type edge coupled microstrip) ainsi que la capacité de découplage. Ce PCB est également connecté aux deux puces. Un 'top PCB' porte la piste de sortie de la cellule de commutation (nœud V_{sw}), il est également connecté aux deux puces. Les puces HS et LS sont, respectivement, brasées sur les PCB inférieur et supérieur. Les couches de cuivre connectant les composants sont localisées sur les couches internes des PCB ; des plans de cuivre sont placés sur les faces externes. Les pistes d'alimentation de la cellule sont de largeur égale à celle de la puce (Figure II.37-c-d), celle de la piste de sortie est de largeur minimale, tout en couvrant l'intégralité de la surface projetée des puces.

La structure est simple, même si elle impose de braser une puce et de réaliser un contact de face avant sur chaque PCB. Cette géométrie a été mise en œuvre dans [195].

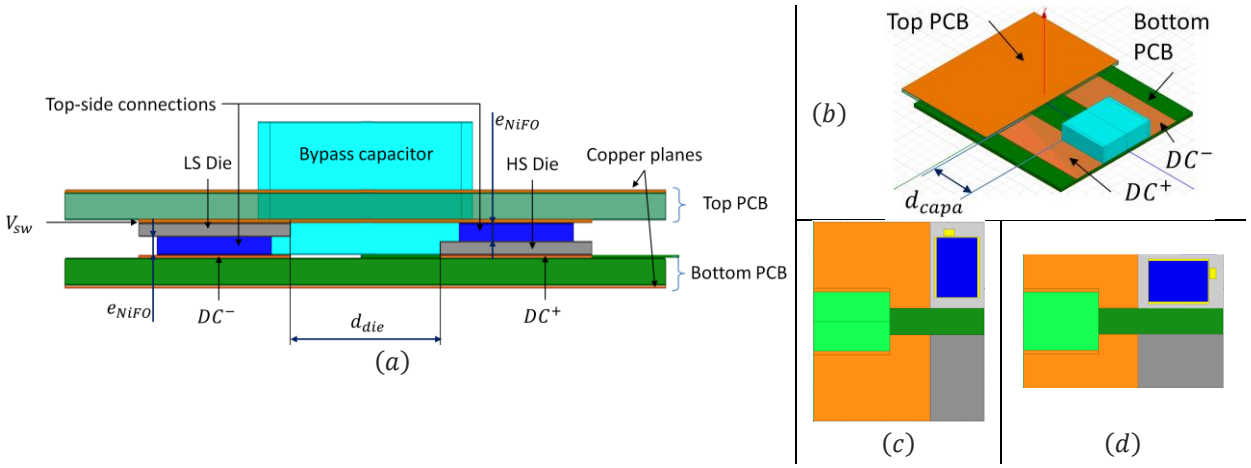


Figure II.37 : géométrie G1. (a) : vue de face annotée, (b) : vue 3D, (c, d) : vue de dessus, PCB supérieur retiré pour $\alpha_{die} = 0$ (figure c) et $\alpha = \pi/2$ (figure d).

4.2.3 GÉOMÉTRIE G2

La géométrie G2 est une variante de la précédente dans laquelle l'alimentation de puissance est apportée par une structure de type bus-bar et où les deux puces sont brasées sur le même PCB. Cette structure est à la base de nombreux travaux, e.g. [109], [112], [115], [180], [180], [196], [196]–[204].

Une vue 3D de l'assemblage est donnée en Figure II.38. Les deux puces sont brasées sur le 'top-PCB', qui porte une piste reliée au rail d'alimentation DC^+ et une piste vers le nœud de sortie. Le 'bottom-PCB', auquel sont connectées les faces avant des deux puces, porte quant à lui une piste reliée au rail d'alimentation DC^- et une piste vers le nœud de sortie. Les pistes reliées à la sortie sur les deux PCB sont connectées par des vias de puissance (ici modélisés par une feuille de cuivre). Des couches capacitives (notées C_{ply} sur la figure) sont insérées derrières les puces, entre les top- et bottom- PCB, de manière à réaliser un découplage local intégré, faiblement inductif.

Un condensateur de découplage CMS est également ajouté sur la face supérieure du top-PCB, il est relié aux pistes de puissance internes par des vias. Le câblage des condensateurs de découplage (couches capacitives vs CMS) permet une légère compensation de flux ; des simulations Q3D ont montré que le coefficient de couplage BF entre les mailles est d'environ 25 %. La capacité enfouie C_{ply} aurait une capacité de l'ordre de 5 nF – 1,3 kV (supposant l'usage de 10 couches capacitives MC8M, de surface 0,8 cm × 1,8 cm, superposées [205]).

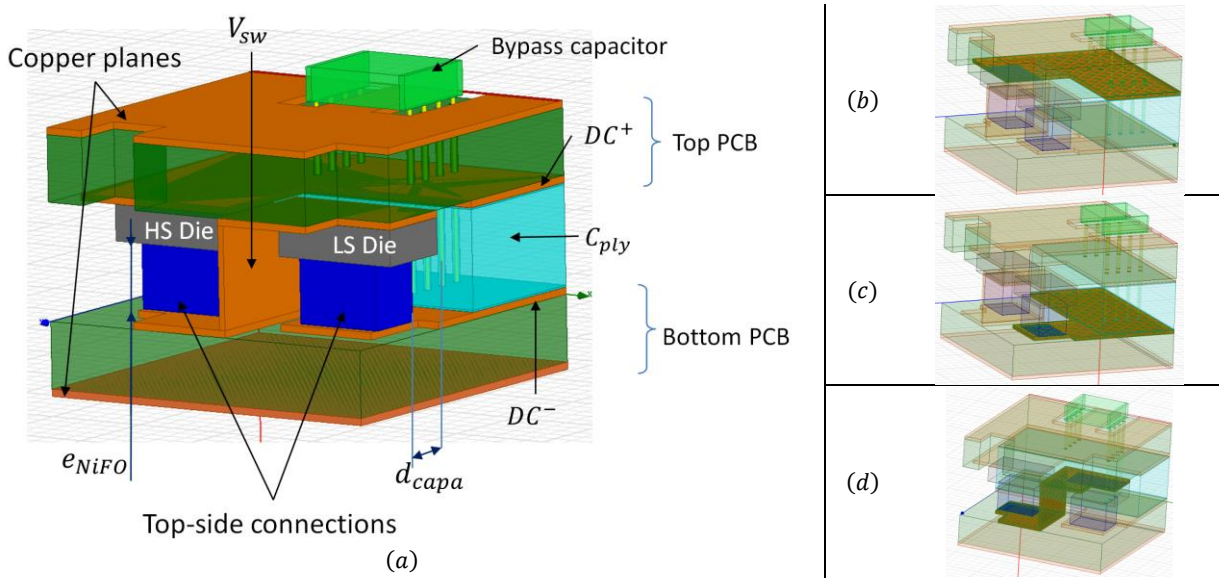


Figure II.38 : géométrie G2, figures réalisées sans souci d'échelle verticale. (a) : vue 3D, (b, c, d) : mise en lumière des pistes DC^+, DC^-, et de sortie de la cellule.

4.2.4 GÉOMÉTRIE G3

La géométrie G3 est un exemple d'enfouissement 3D, les puces étant superposées au sein du bus-bar apportant l'alimentation. Le point de sortie est placé entre les deux puces. Cette structure est basée sur celle mise en œuvre dans [114], [179], [206]–[208].

Une vue de côté de l'assemblage est donnée en Figure II.39. Trois PCB (top-, bottom-, output-) sont utilisés pour connecter les deux puces. Un condensateur de découplage est positionné au sein du bus-bar pour en minimiser l'inductance. Ce condensateur, de volume $2{,}5 \times 1{,}3 \times 8\,\mathrm{mm}^3$ pourrait être constitué de couches capacitives ou de composants CMS montés verticalement, en travers de l'assemblage. Dans ce second cas il serait possible d'obtenir une capacité de l'ordre de 30 nF sous 250 V en connectant en parallèle des composants C0G, package 0402.

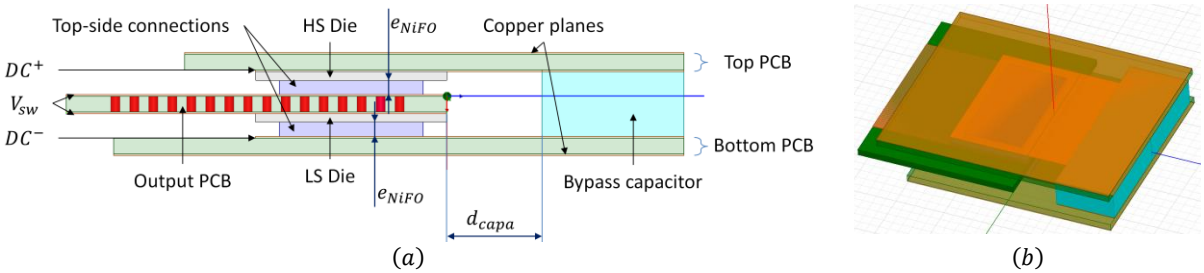


Figure II.39 : géométrie G3 avec composants rendus translucide pour rendre visible, en particulier, la matrice de via criblant le PCB de sortie ; $\alpha_{die} = 0$. (a) : vue de côté et (b) : vue 3D.

4.2.5 GÉOMÉTRIE G4

La géométrie G4 (Figure II.40) est un second exemple d'enfouissement 3D, les puces étant superposées et positionnées de part et d'autre du bus-bar apportant l'alimentation. Le point de sortie est placé autour des deux puces. Cette structure constitue ainsi un complémentaire de G3. Un PCB est utilisé pour apporter l'alimentation de puissance et supporter les deux puces, tandis qu'une sorte de cage de cuivre entourant partiellement les puces matérialise le nœud de sortie. Cette cage est constituée de deux PCB placés au-dessus et en deçà de l'assemblage et reliés par plusieurs vias de puissance.

Un condensateur de découplage CMS est positionné sur le bus-bar, en retrait de la cellule de commutation. Des vias connectent l'une de ses armatures à la couche opposée du PCB.

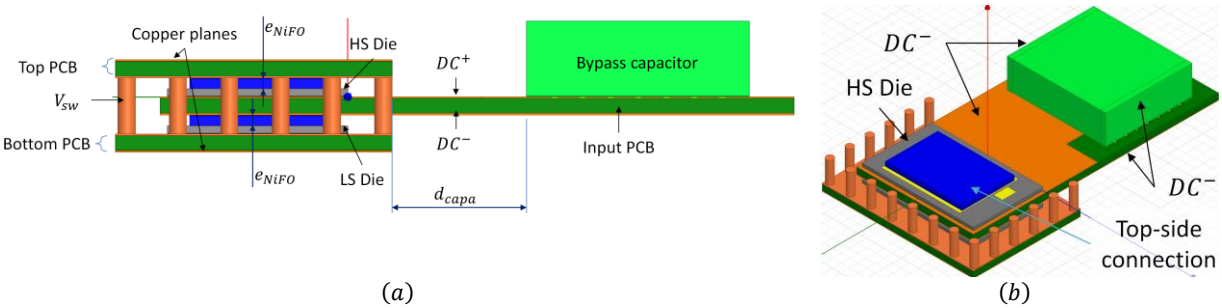


Figure II.40 : géométrie G4, $\alpha = 0$. (a) : vue de côté et (b) : vue 3D avec PCB supérieur caché.

4.3 INDUCTANCES DE MAILLES

4.3.1 INTRODUCTION

4.3.1.1 OBJET

Les inductances de mailles des géométries précédemment décrites sont estimées par simulation à l'aide du logiciel Ansoft-Q3D. Les inductances des dimensionnements de référence sont tout d'abord estimées. Une étude de sensibilité est ensuite menée de manière à quantifier l'impact de différents paramètres géométriques sur l'inductance.

4.3.1.2 MODÉLISATION DES COMPOSANTS

Prepreg et substrat PCB ne sont pas décrits, leurs propriétés magnétiques étant assimilables à celles du vide. L'épaisseur des substrats PCB est fixée à 330 µm. Le câblage, incluant les plans de masse externes, est en cuivre (conductivité de $\sigma_{Cu} = 58\ \text{MS} \cdot \text{m}^{-1}$, perméabilité relative unitaire : $\mu_{r,Cu} = 1$) d'épaisseur 35 µm.

Les puces sont modélisées par des blocs métalliques homogènes de conductivité telle que leur résistance corresponde à celle des puces ($\sigma_{die} = 1{,}4\ \text{kS} \cdot \text{m}^{-1},\ \mu_{r,die} = 1$).

Chaque contact de face avant est modélisé par un bloc homogène de nickel (conductivité de $\sigma_{Ni} = 14{,}5\ \text{MS} \cdot \text{m}^{-1}$, perméabilité de $\mu_{r,Ni} = 600$). Le contact est de dimensions inférieures à celles de la puce (cf. e.g. Figure II.40) de manière à laisser suffisamment d'espace pour le contact de grille – non modélisé.

Les via, en cuivre, sont supposés pleins, de diamètres 200 à 400 µm.

Les condensateurs sont modélisés par des blocs conducteurs de matériau homogène et de conductivité telle que la résistance du bloc, supposant une densité de courant homogène, soit proche de l'ESR d'un composant réel de dimensions et technologie similaire ($\sigma_{capa} = 1{,}8\ \text{MS} \cdot \text{m}^{-1},\ \mu_{r,capa} = 1$). De fines métallisations en cuivre (largeur de 100 µm) sont positionnées de chaque côté de ce bloc de manière à assurer une densité de courant DC homogène au sein du composant. L'ESR exacte du condensateur n'influe que de manière négligeable sur les inductances DC et AC de la maille, les lignes de courant étant dans le premier cas fixées par la présence des métallisations en cuivre et dans le second par le principe de minimisation de l'énergie magnétique. Ce paramètre n'a ainsi d'impact que sur la fréquence de transition f_{tran} entre les domaines DC et AC.

4.3.1.3 PARAMÉTRAGE DU SIMULATEUR

Le maillage est optimisé par le logiciel à 1 GHz. Il est demandé au logiciel d'atteindre une convergence meilleure que 1 %, avec deux passes convergées et un affinement de 30 % par passe. Un balayage 'log-interpolated', entre 10 Hz et 1 GHz, avec 4 points par décade, est réalisé.

Une fente d'épaisseur négligeable est insérée dans le plan médian du condensateur de découplage, orthogonalement à la direction du courant. Une source de courant est placée sur l'une des faces de cette fente tandis qu'un puit de courant est placé sur l'autre. L'inductance partielle entre ces faces, assimilée à l'inductance totale de maille, est alors calculée par le logiciel.

4.3.2 INDUCTANCE DE MAILLES PRINCIPALES

Les inductances de maille des différentes géométries considérées sont données en Figure II.41. Seules les valeurs d'inductances en basse fréquence (DCL) et en haute fréquence (ACL) sont pertinentes du fait de la forte dépendance des fréquences de transitions avec les résistances des différents éléments – dont la modélisation est approximative. D'autre part, la modélisation de la zone de transition par le logiciel est très simplifiée (cf. Annexe *A4.5. Comparaisons des résultats de simulateurs*, page 207).

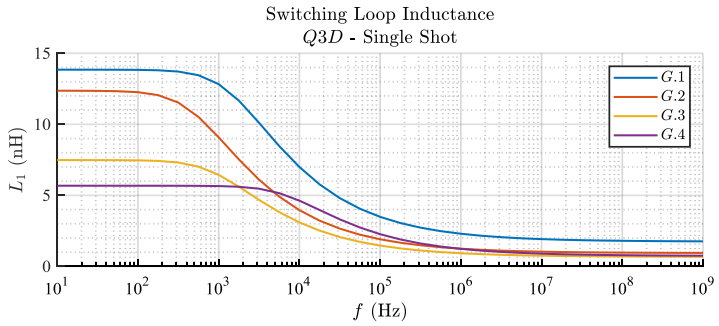


Figure II.41 : inductance de maille des quatre géométries de références, résultats de simulation Q3D.

Cette figure montre que la géométrie G1 et, dans une moindre mesure, la G2, sont les plus inductives. Les inductances de maille AC (paramètre a priori pertinent lors de l'étude des oscillations) demeurent inférieures à 1 nH pour toutes les géométries, à l'exception de la G1 ou la ACL atteint 1,8 nH. Ces résultats sont néanmoins à pondérer par la précision limitée des simulations conduites, à laquelle s'ajoute la modélisation simpliste de la capacité de découplage – cf. Annexe *A4.4. De la robustesse de Q3D*, page 206.

4.3.3 ÉTUDE DE SENSIBILITÉ POUR G1–G4

4.3.3.1 INTRODUCTION

Cette sous-section propose une étude de sensibilité des inductances de maille vis-à-vis de quelques paramètres géométriques : un ou deux dimensionnements s'écartant légèrement de la référence sont simulés, ce qui permet de calculer (par développement local au premier ordre) l'influence de ce paramètre sur l'inductance. Cette étude de sensibilité a pour but d'indiquer sur quels paramètres il conviendrait en priorité d'agir pour minimiser l'inductance de maille – ou, à l'opposé, de déceler quelles contraintes peuvent être relâchées sans affecter notablement l'inductance, offrant ainsi de relatifs degrés de libertés au concepteur.

On définit la sensibilité d'une grandeur Y (qui, dans cette étude, sera quasi systématiquement l'inductance de maille AC : L_{AC} ou DC : L_{DC}) vis-à-vis d'un paramètre x (e.g. la distance entre les puces ou l'épaisseur d'un contact) comme :

$$S_Y^{norm}(x) = \frac{\Delta Y}{Y_{ref}} \cdot \frac{x_{ref}}{\Delta x} \tag{II.77}$$

Où :

$$Y_{ref} = Y\left(x_{ref}\right), \qquad \Delta Y = Y\left(x_{ref} + \Delta x\right) - Y_{ref} \tag{II.78}$$

S_Y^{norm} est adimensionné ; lorsqu'il est exprimé en pourcents, S_Y^{norm} caractérise « de combien de pourcents Y varie lorsque x varie de 1 % autour d'une valeur de référence x_{ref} ».

En pratique, l'étude ci-dessus sera généralement réalisée pour des structures proches de leur dimensionnement de référence (dans le cas de longueurs : $\Delta x \sim 1$ mm). Les sensibilités vis-à-vis des paramètres caractérisant l'orientation des puces (α_{die}) et la présence d'un plan conducteur sur les faces externes des PCB (paramètre σ_{plane}) ne seront cependant pas estimées pour de petites variations mais entre les valeurs extrêmes :

$$\alpha_{die} \in \left\{0, \quad \frac{\pi}{2}\right\} \text{ rad}, \qquad \sigma_{plane} \in \{0, \quad 58\} \text{ MS} \cdot \text{m}^{-1}, \tag{II.79}$$

Le choix de l'une ou l'autre valeur permettra alors d'accroître ou de diminuer l'inductance d'une fraction $1 + S_Y^{norm}$.

Les inductances présentées dans cette section sont obtenues par somme d'inductances partielles. Comme détaillé en Annexe *A4.3. À propos des impédances partielles* page 205, les résultats obtenus avec cette méthode diffèrent de ceux obtenus par simulation directe de mailles. Indépendamment de la validité intrinsèque des valeurs d'inductances obtenues, les études comparatives d'inductances sont supposées valables.

4.3.3.2 RÉSULTATS DE SIMULATION

Les résultats de simulations sont donnés en Figure II.42, la liste des paramètres étant rappelée en Table II.3.

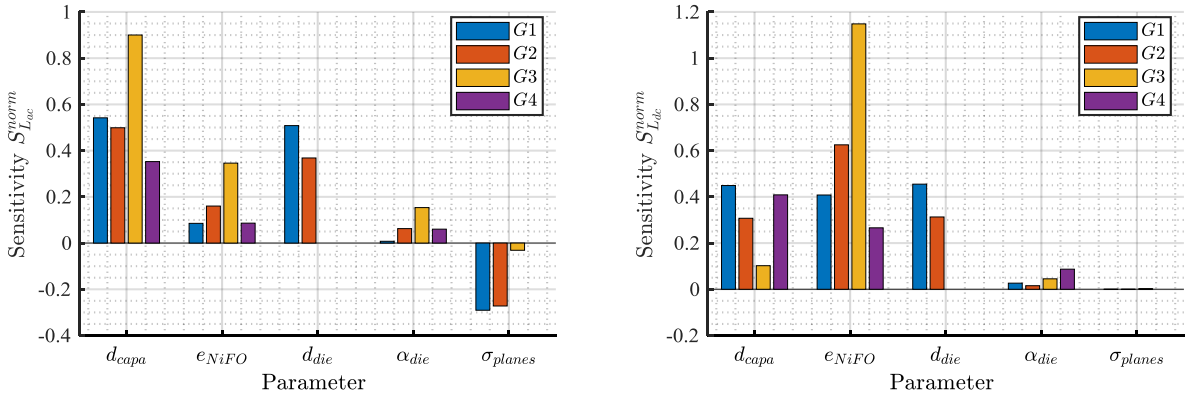


Figure II.42 : étude de sensibilité pour les inductances AC (gauche) et DC (droite)

Table II.3 : liste de paramètres non contraints décrivant une géométrie

Paramètre	Détail
d_{capa}	Distance entre le condensateur de découplage et les puces
e_{NiFO}	Épaisseur du bloc de métal modélisant le contact de face avant
d_{die}	Distance entre les puces (G1 & G2 seulement)
α_{die}	Angle entre la direction des puces et celle des pistes apportant l'alimentation
σ_{planes}	Conductivité électrique des plans conducteurs externes, blindant le circuit

La forte compacité de la structure G4 pourrait rendre difficile le raccordement du circuit de commande rapprochée aux puces de puissance. Des simulations ont montré que retirer la connexion entre les bottom- et top-PCB située au plus près des pads de grilles des MOSFET se traduit par un accroissement légèrement supérieur à 10 % de l'inductance AC.

4.3.3.3 ANALYSE

Cette étude montre que la compacité de la structure a, comme attendu, un impact déterminant sur les inductances parasites. La forte sensibilité des inductances avec les distances entre les puces et le condensateur de découplage (paramètres d_{capa} et d_{die}) montre ainsi que la minimisation des inductances impose de rapprocher les composants. La présence d'un plan conducteur permet de diminuer l'inductance AC de 25 à 30 % dans les géométries G1 et G2, mais a un impact négligeable pour les géométries G3 & G4, les mailles étant alors orthogonales aux plans conducteurs. L'orientation des puces (paramètre α_{die}) a un impact généralement limité sur les inductances, en particulier de la géométries G1, offrant un degré de liberté au concepteur simplifiant la connexion du circuit de commande rapprochée. Dans les géométries G2 et G3, l'épaisseur du contact de face avant e_{NiFO} est positivement corrélée à l'inductance de maille, mais également au volume du condensateur de découplage – et donc à sa capacité. Un compromis permettant d'optimiser les performances de la cellule de commutation pourrait donc exister.

4.4 PERFORMANCES THERMIQUES

4.4.1 INTRODUCTION

Cette section propose une comparaison sommaire des performances thermiques des géométries étudiées. Chaque puce est modélisée par une source de puissance $P_{HS,LS}$ ainsi que par deux résistances thermiques modélisant la puce elle-même et ses connexions de faces avant et arrière. Ces résistances sont notées R_t et R_b, respectivement pour les faces avant (top) et arrière (back). On définit par ailleurs une résistance R_{PCB} modélisant l'impédance thermique du substrat PCB traversé transversalement par le flux de chaleur. Enfin, le radiateur n'est pas modélisé. Cette modélisation ne prend pas en compte de manière évidente l'épanouissement de la chaleur, dont les effets peuvent cependant être inclus dans l'expression des différentes résistances thermiques.

Des modèles plus complets, e.g. semi-distribués ou incluant explicitement l'effet de drain thermique réalisé par les pistes, auraient pu être développés. Cette étude se limitera néanmoins à des modèles simples de manière à permettre une comparaison intuitive et honnête des structures de base. Les modèles équivalents des quatre géométries étudiées (Figure II.43) sont décrits dans les sous-sections suivantes.

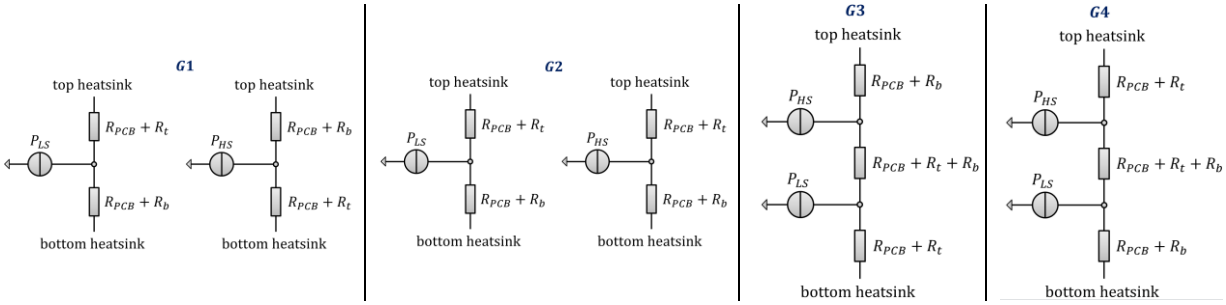


Figure II.43 : modèle thermique simpliste des géométries proposées.

4.4.2 ÉTUDE THERMIQUE DES GÉOMÉTRIES

Un radiateur peut être placé sur chacune des deux faces de l'assemblage G1 de manière à minimiser l'impédance thermique équivalente. Les puces se trouvant côte à côté, la surface pertinente dans le calcul de la résistance thermique est le double de la surface d'une puce pour chaque radiateur. L'asymétrie des résistances thermiques entre les connexions de face avant et arrière induit néanmoins une asymétrie du refroidissement des puces par ces deux radiateurs. Comme l'indique la Figure II.43-a, la résistance thermique entre la puce HS et le radiateur supérieur vaut $R_{PCB}+R_t$, tandis qu'elle vaut $R_{PCB}+R_b$ dans le cas de la puce LS. Les résistances sont inversées pour le second radiateur.

Cette asymétrie n'est pas nécessairement problématique – y compris dans le cas où un refroidissement simple face est mis en œuvre. Dans le cas d'un convertisseur buck à rapport cyclique inférieur à 50 % et dont la cellule de commutation utilise deux puces identiques, par exemple, la puce LS dissipera une puissance supérieure à la HS. Il n'est alors pas indispensable d'offrir les mêmes performances de refroidissement aux deux puces.

De même que pour G1, un radiateur peut être placé sur chaque face de l'assemblage G2 de manière à améliorer l'impédance thermique. Dans cette géométrie, en revanche, les deux puces étant brasées sur le même PCB, le circuit est symétrique : les impédances entre chaque puce et un radiateur donné sont les mêmes.

Dans la structure G3, les puces sont superposées, limitant les performances thermiques de la structure. Un radiateur peut être placé sur chaque face de l'assemblage de manière à minimiser l'impédance thermique. Les deux puces sont alors refroidies de manière relativement similaire, même si une asymétrie subsiste du fait de la différence entre R_t et R_b. Ainsi, dans le cas $R_t > R_b$, la puce HS est mieux refroidie que la LS.

La structure G4 est très similaire à la G3, à la différence que l'asymétrie est inversée : dans le cas $R_t > R_b$, la puce LS est mieux refroidie que la HS.

4.4.3 COMPARAISON

Finalement, les structures G1 et G2 sont, d'un point de vue thermique, relativement similaires. Les symétries des structures sont néanmoins différentes : G2 permet un refroidissement similaire des deux puces par un radiateur donné. À l'opposé, supposant des dissipations thermiques identiques dans les deux puces, G1 accorde un rôle identique aux deux radiateurs.

G3 et G4 présentent de moins bonnes performances thermiques que G1 et G2 du fait de la superposition des puces. G3 et G4 sont, d'un point de vue thermique, fortement similaires. Ces deux structures sont néanmoins asymétriques dans la mesure où les refroidissements des deux puces diffèrent.

4.5 FABRICABILITÉ

Du fait du nombre de couches limitées, les géométries G1 et G2 apparaissent comme les plus simples à réaliser. G2 présente cependant l'avantage sur G1 de reporter la réalisation des connexions de face avant (a priori plus complexe que celles de face arrière) sur un même PCB (en l'occurrence le top PCB). La connexion entre les deux pistes constituant la sortie de la cellule de commutation pourrait néanmoins se révéler non-triviale.

Les géométries G3 et G4 requérant l'empilement de puces et de trois couches de PCB, elles seront a priori plus délicates à réaliser que les structures G1 et G2. L'enfouissement des condensateurs de découplage utilisés dans la G3 peut paraitre relativement complexe mais plusieurs travaux ont mis en œuvre cette technique avec succès [206]–[208]. La réalisation de la connexion entre les pistes de cuivres constituant la sortie de la cellule de la géométrie G4 pourrait se révéler ardue, en particulier dans la mesure où cette connexion tend à gêner la connexion des circuits de commande des puces de puissance.

4.6 CAPACITÉS PARASITES

Les capacités parasites entre pistes dépendant fortement des surfaces des pistes en regard, et par suite du routage complet du convertisseur, aucune valeur numérique ne sera donnée ici, seules des remarques qualitatives comparatives seront proposées. Les plans de cuivres couvrant les faces externes des PCB, et les éventuels radiateurs auxquels ils sont connectés, sont supposés reliés à la masse du système. Seules les capacités parasites entre la masse et les pistes sont étudiées ici, les capacités entre pistes étant généralement dominées par les capacités de jonction des semi-conducteurs, et par suite peu dépendantes de l'agencement des composants.

D'un point de vue des capacités parasites, les géométries G1 et G2 sont très proches. Toutes deux présentent des capacités similaires et symétriques entre chaque piste du bus de puissance et la masse – point positif pour la CEM conduite, ceci tendant à limiter les transferts de modes [209]. Du fait de la présence d'un plan de masse en couplage direct avec la piste de sortie, la capacité entre la sortie de la cellule et la masse est relativement élevée. Cette capacité parasite est nuisible, en raison des importants courants de mode-commun parasites engendrés par les transitions de tension du nœud de sortie. Le couplage électrostatique entre les rails d'alimentation et la masse seront, a priori, plus importants dans le cas de la G2 que la G1 du fait d'une largeur de pistes plus importantes.

La géométrie G3 est la plus favorable du point de vue des capacités parasites. Les couplages électrostatiques entre les pistes de puissance et la masse sont symétriques – bien que relativement importants. Les pistes de puissance ont par ailleurs la propriété d'assurer un blindage électrostatique de la piste de sortie du convertisseur, rendant quasi-nulle la capacité entre nœud de sortie et masse, limitant fortement les courants de mode commun.

Les couplages entre rails d'alimentation et masses sont, a priori, faibles et symétriques dans la géométrie G4 – cette propriété n'est néanmoins pas absolue, suivant la manière dont les PCB externes s'étendent au-delà des puces de puissance. La capacité parasite entre nœud de sortie et masse sera en revanche, et c'est là un inconvénient majeur, relativement élevée.

Table II.4 : récapitulatif des couplages électrostatiques entre pistes de puissance et masses pour les géométries considérées.

Géométrie	**Couplages $DC^{\pm}$ – masse**		**Couplage V_{sw} – masse**
	Valeur	Symétrie	
G1	Élevée	Bonne	Important
G2	Très élevée	Bonne	Important
G3	Élevée	Bonne	Quasi-nul
G4	Faible	Bonne	Très important

4.7 Conclusion sur l'agencement des puces

Cette section a proposé une étude comparative, à forte composante qualitative, de quatre structures de cellules de commutation constituées de deux interrupteurs et d'un (ou deux) condensateurs de découplage local (Figure II.44). Les couplages électrostatiques, l'inductance de maille, la fabricabilité, et les performances thermiques des différentes structures ont été étudiées et confrontées. Comme l'indique la Table II.5 récapitulative, le choix d'une topologie n'est pas évident et résulte de l'optimisation d'un compromis, les différents critères ayant des importances relatives différentes suivant les applications.

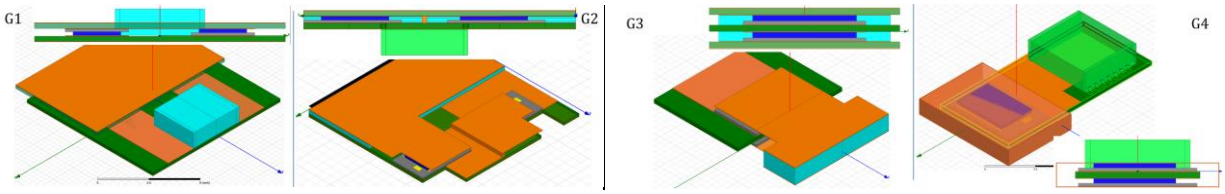


Figure II.44 : représentations schématiques des quatre structures étudiées : vue 3D et de profil. Certains éléments de substrat ne sont pas représentés.

Table II.5 : récapitulatif des caractéristiques des géométries étudiées.

Géométrie	**Couplages $DC^{\pm}$ – masse**	**Couplage V_{sw} – masse**	**Fabricabilité**	**Inductance DC**	**Inductance AC**	**Performances thermiques**
$G1$	Importants	Important	Bonne	Haute	Moyenne	Bonnes, asymétriques
$G2$	Très importants	Important	Bonne	Haute	Basse	Bonnes, symétriques
$G3$	Importants	Quasi-nul	Moyenne	Moyenne	Basse	Moyennes asymétriques
$G4$	Faibles	Très important	Complexe	Basse	Basse	Moyennes asymétriques

5 Conclusion & perspectives du chapitre

Les éléments parasites d'une cellule de commutation sont causes de multiples effets indésirables. Accroître la compacité des assemblages est généralement vu comme une méthode permettant de diminuer les inductances parasites mais se fait au prix d'une dégradation des performances thermiques. Ce chapitre s'est intéressé au compromis entre stress électrique, CEM conduite, et performances thermiques – et plus spécifiquement à la question électrique – en proposant une étude sur l'agencement des interrupteurs constituant une cellule de commutation et de ses condensateurs de découplage.

Un modèle analytique décrivant les mécanismes oscillatoires apparaissant à la suite d'une commutation a été développé. Il suppose pour cela que les commutations sont instantanées et néglige les amortissements – ce qui est a priori assez raisonnable dans le cas de transistors à semi-conducteur WBG (en particulier GaN). Ces hypothèses simplifient fortement l'étude qui offre alors une compréhension intuitive des mécanismes tandis que les résultats peuvent être appliqués dans une étude de prédimensionnement. Ce modèle montre ainsi que deux mécanismes sont sources d'oscillations. La commutation en courant, tout d'abord, génère des oscillations d'amplitude proportionnelle au courant commuté et à la racine carrée de l'inductance de maille. La commutation en tension, quant à elle, produit une surtension d'amplitude égale à l'intégralité de la tension d'alimentation de la cellule de commutation, indépendamment des inductances parasites.

Ceci suggère que, dans les cas dans lesquels il n'est pas possible d'invalider l'hypothèse selon laquelle les commutations sont rapides, chercher à minimiser les inductances parasites n'est pas nécessairement pertinent puisque cela se fait au détriment des autres paramètres du compromis.

La section 3 a ainsi cherché à quantifier l'impact de la distance entre une cellule de commutation et son découplage sur les inductances parasites, étape nécessaire à la définition d'une fonction de coût permettant d'optimiser le compromis de départ. Elle montre ainsi que la mise en œuvre d'un routage simple mais soigné, avec des pistes larges, séparées par une faible distance et avec un plan conducteur à faible profondeur, permet d'aboutir à une faible sensibilité des inductances de mailles à la distance entre condensateurs de découplage et cellule de commutation. Cette sensibilité étant proche, étant donné le routage considéré, de 300 pH/cm, l'inductance de maille est limitée à 11 nH lorsque le condensateur de découplage est situé à 30 cm de la cellule de commutation. Cette étude s'est cependant basée sur un routage particulier, rendant difficile l'immédiate généralisation des résultats obtenus. Elle propose néanmoins une méthodologie pouvant permettre de quantifier l'aspect électrique du compromis présidant à l'agencement des composants d'une cellule de commutation.

Enfin, plusieurs structures de cellules de commutation enfouies dans le PCB ont été évaluées au cours d'une étude comparative à forte composante qualitative basée sur divers critères tels que la fabricabilité, les performances thermiques, et les énergies magnétique et électrostatique stockées.

Ce chapitre a ainsi pu montrer qu'il importe d'invalider l'hypothèse selon laquelle les commutations sont instantanées pour limiter le stress électrique. Dans le cas où suffisamment réduire les inductances de mailles se révèlerait impossible, la faible dépendance des inductances de maille avec la distance entre une cellule de commutation et son découplage permet de fortement relâcher les contraintes géométriques et ainsi d'éloigner les condensateurs de découplage. Dans le cas de convertisseurs modulaires à entrées parallèles, ceci peut permettre une mutualisation de ces composants, voire une diminution de leurs capacités (e.g. dans le cas de convertisseurs dont le contrôle de l'entrelacement permet de diminuer l'ondulation du courant absorbé).

L'étude proposée s'est concentrée sur l'impact des inductances de mailles sur les surtensions et oscillations seulement, laissant de côté les autres effets : émission rayonnées, limitation des vitesses de commutation, etc. Une optimisation globale devrait intégrer ces contraintes.

La dernière étude proposée dans ce chapitre a modélisé la connexion entre la face avant des puces enfouies et le circuit par un bloc métallique homogène sans considération pour la réalisation pratique d'un tel contact alors que la quasi-intégralité des composants discrets et des modules de puissance utilisent des fils bondings. Le prochain chapitre s'intéressera à une nouvelle technique de reprise de contact de face avant de puce pour l'enfouissement PCB compatible avec cette modélisation.

Chapitre III. ÉTUDE D'UNE TECHNIQUE DE REPRISE DE CONTACT DE FACE AVANT DE PUCE PAR MOUSSE PRESSÉE

1 Introduction **126**
1.1 Techniques de reprise de contact de face avant de puce en électronique de puissance 126
1.2 Plan de l'étude 133

2 Procédé de reprise de contact proposé **134**
2.1 Mise en œuvre 134
2.2 Caractérisation de prototypes 141
2.3 Caractérisation thermique de la mousse pressée 145
2.4 Conclusion sur la mise en œuvre et la caractérisation du procédé 149

3 Fiabilité **149**
3.1 Introduction 149
3.2 Vieillissement par impulsions de courants 150
3.3 Vieillissement par cyclage thermique passif 154
3.4 Robustesse en court-circuit 161
3.5 Vieillissement par courts-circuits 167
3.6 Discussion sur l'étude de fiabilité 176
3.7 Conclusion sur l'étude de fiabilité 177

4 Hacheur SiC enfoui **178**
4.1 Introduction 178
4.2 Description du module 178
4.3 Caractérisation du prototype 180
4.4 Tests en commutation 181
4.5 Conclusion sur l'enfouissement d'une cellule de commutation 183

5 Conclusion & perspectives du chapitre **183**

1 INTRODUCTION

1.1 TECHNIQUES DE REPRISE DE CONTACT DE FACE AVANT DE PUCE EN ÉLECTRONIQUE DE PUISSANCE

1.1.1 INTRODUCTION

Les fils de bonding (Figure III.1) se sont imposés au début des années 1990 comme la technique principale de reprise de contact de face avant des puces de puissance [210]. Ils sont aujourd'hui utilisés dans la très grande majorité des modules de puissance et des composants discrets pour connecter les faces avant des puces et le reste du circuit. Les fils de bonding, quasi-systématiquement constitués d'aluminium présentant un taux d'impuretés inférieur à 100 à 10 ppm [211], sont connectés par soudure ultrasonique. Cette technologie, développée depuis plusieurs décennies, a fait l'objet de très nombreux travaux d'optimisation, dispose d'un large corpus d'études de fiabilité, et bénéficie d'un formidable retour d'expérience. Elle est mature, à faible coût de production, et présente une relativement bonne fiabilité, bien maitrisée.

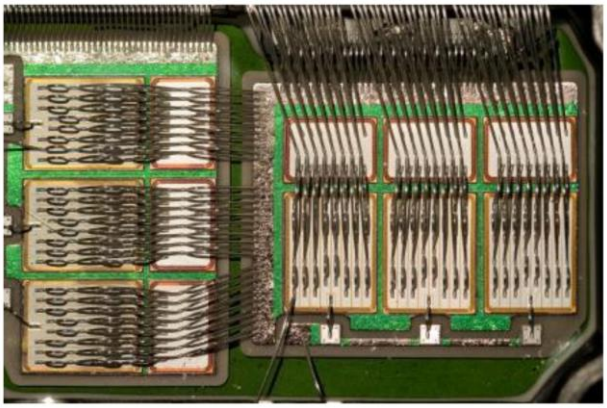
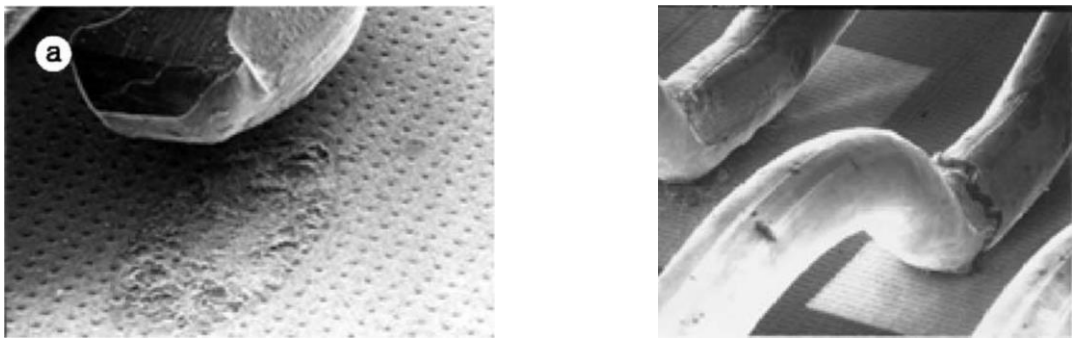


Figure III.1 : cellule de commutation, chaque interrupteur est constitué de trois IGBT et de leurs diodes antiparallèles (module Mitsubishi CM600DU-24NFH, 1,2 kV-600 A).

En dépit de ces caractéristiques rendant les fils de bonding attractifs, quelques difficultés demeurent.

Ainsi, du fait de la faible section des fils de bonding (qui sont d'un diamètre excédant rarement 500 µm, voire 700 µm [212], [213]) et de la surface de la maille réalisée, l'inductance rapportée est relativement importante. Elle est, par exemple, de l'ordre de 10 nH pour les puces de puissance [214]. La connexion en parallèle de nombreux fils de bonding permet de limiter l'inductance totale équivalente, mais les couplages magnétiques entre fils limitent le gain atteignable. La faible section des fils de bonding, associée à la conductivité limitée de l'aluminium (de un tiers inférieure à celle du cuivre), leur confère de surcroît une résistance électrique relativement importante, atteignant quelques centièmes d'ohms [213]. Cet inconvénient peut être partiellement atténué en connectant plusieurs fils en parallèle – leur nombre étant alors limité par la surface de la puce. In fine, le packaging (incluant brasure, broches et fils de bonding) représente encore, par exemple, de l'ordre de 65 % de la résistance totale d'un boitier TO-220 de MOSFET 60 V [215].



(a) (b)

Figure III.2 : (a) : décollement d'un pied de fil de bonding. (b) : fissuration d'un pied de fil de bonding. Extrait de [213].

Du fait de leur forte résistance thermique, les fils de bonding n'assurent qu'un refroidissement généralement négligeable de la puce qu'ils connectent. L'extraction de la chaleur dissipée au sein de la puce se fait alors quasi-exclusivement par la face arrière. Cela limite la densité de pertes maximale atteignable, et donc, par suite et à technologie donnée, la puissance maximale transférable [216].

Par ailleurs, les fils de bonding présentent une fiabilité limitée [217], [218]. Le cyclage thermique, en particulier, fatigue les pieds de bonding, résultant en un décollement ou, plus rarement, une fissuration de ceux-ci (Figure III.2). Le dépôt de couches de résine polymère sur la surface du fil et des puces (techniques de « coating ») ou l'encapsulation permettent d'améliorer la tenue en fatigue [213].

La faible surface de contact entre les fils et la puce se traduit par d'importants courants surfaciques dans la métallisation de face avant de la puce, ainsi qu'à une concentration de courant au pied des fils de bonding. Ceux-ci correspondent aux courants ayant traversé des cellules situées entre deux pieds de fil de bonding et devant rejoindre l'un d'eux. L'utilisation de multiples fils de bonding (jusqu'à 10 ou 20 sur les plus grandes puces, cf. Figure III.1), connectés en plusieurs points de la puce et en parallèle, permet de partiellement résoudre ce problème.

De nombreuses études, et en particulier celle proposée dans le chapitre précédent, ont pu montrer que le développement de composants de puissance à vitesse de commutation élevée et faible capacité de sortie, basés sur des semi-conducteurs composites à large bande interdite (SiC et GaN principalement), accentue les effets des éléments parasites associés aux fils de bonding. Les inductances parasites, en particulier, sont à l'origine de surtensions et d'oscillations.

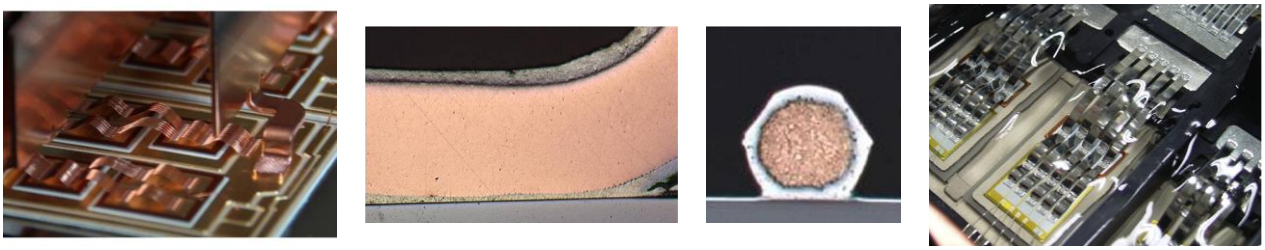
Ces limitations ont poussé laboratoires de recherche et industriels à proposer de nouvelles techniques de reprise de contact de face avant dotées de meilleures performances thermiques et électriques, tout en étant plus fiables que les fils de bonding.

1.1.2 ÉVOLUTION DU FIL DE BONDING

L'utilisation de fils de bonding en cuivre (Figure III.3-a) plutôt qu'en aluminium permet de diminuer la résistance de l'assemblage tout en en améliorant légèrement les performances thermiques. Cette technologie pose toutefois deux inconvénients majeurs. Le premier est lié au fait qu'il n'est pas possible de directement souder un fil de bonding en cuivre sur une métallisation en aluminium. Il est donc nécessaire de déposer sur la face avant de la puce une couche de cuivre (ainsi que des couches d'accroche intermédiaires), accroissant le coût de revient. Le dépôt peut être, par exemple, électrolytique [219], ou impliquer une feuille de cuivre frittée sur la puce (qui doit alors subir des étapes de préparation préliminaires) [220]. Le second inconvénient est plus fondamental : le module de Young élevé du cuivre (80 % supérieur à celui de l'aluminium) impose l'application, lors de la phase de soudure, d'une force et d'une puissance ultrasonore supérieure à celle requise pour souder de l'aluminium. Ceci impose l'emploi de précautions (e.g. métallisations épaisses) pour ne pas endommager les puces [220], [221].

Une solution de compromis consiste à utiliser des fils composites, constitués d'un cœur en cuivre, présentant de bonnes conductivités électrique et thermique, et un revêtement de surface en aluminium, compatible avec une soudure sur puce standard (Figure III.3-b-c).

Enfin, l'utilisation de rubans en lieu et place de fils de bonding permet de fortement diminuer la résistance du contact, ainsi que, dans une moindre mesure, son inductance (Figure III.3-d). Ces rubans peuvent, comme leurs pendants à section circulaire, être constitués d'aluminium, de cuivre, ou d'un ruban de cuivre dont une face est munie d'un plaquage en aluminium [221], [222].



(a) (b) (c) d

Figure III.3 : (a) : puces connectées par fils de bonding en cuivre [220]. (b-c) : vues en coupe d'un pied de fil de bonding Al/Cu de 300 µm de diamètre soudé sur une puce [223]. (d) : IGBT connecté par ruban aluminium [224].

Du fait de de son fort coût relatif, l'utilisation de bonding en or ou en argent, en dépit de ses performances, demeure limitée aux applications en électronique de signal.

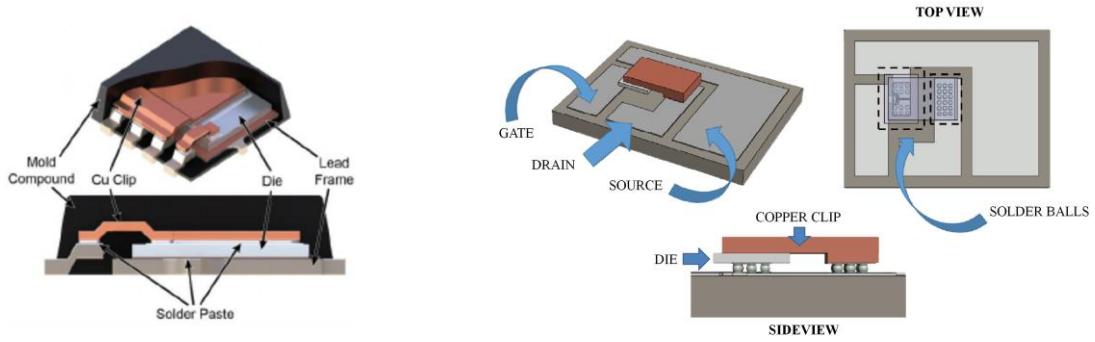
1.1.3 Solutions sans soudure ultrasonique

1.1.3.1 Connexion par brasure, soudure en phase liquide transitoire, ou frittage

Une manière d'éviter la connexion par soudure par ultrasons sur la face avant de la puce consiste à la remplacer par une brasure [225], [226], une soudure en phase liquide transitoire (Transient Liquid Phase Bonding – TLPB [227]), ou un frittage, généralement à base d'argent [112], [228]. Il n'est cependant pas possible de réaliser une telle opération directement sur la métallisation aluminium d'une puce standard ; il est nécessaire avant cela de déposer une couche d'accroche sur la puce (généralement à base de nickel, de chrome, de titane, et/ou de cuivre). Si le procédé n'est pas complexe techniquement pour un fondeur, il n'est, à ce jour, pas implémenté de série sur les chaines de production, d'où un coût unitaire relativement élevé.

Divers métaux d'apports peuvent convenir, sous réserve de compatibilité avec les métallisations à connecter : bonne mouillabilité, pas de création d'intermétalliques peu fiables, similarité des CTE. Il apparait par ailleurs préférable d'utiliser des composés à haute température de solidus (ou d'eutectique si applicable) de manière à maximiser la fiabilité [229]. Cela permet également, dans le cas d'un composant discret, d'assurer la stabilité de l'assemblage lors de l'intégration du composant dans un système complet. Dans cette optique, diverses publications ont proposé la mise en œuvre de connexion de face avant par frittage argent, dont la température de fusion est de 962 °C [112], [230]. Certains travaux ont, à l'opposé, fait usage de pates adhésives conductrices, composées de particules métalliques associées à un liant organique [113]. Ces produits, qui présentent des performances thermiques et électriques médiocres, sont a priori destinés à des applications en électronique de signal ou en prototypage [231].

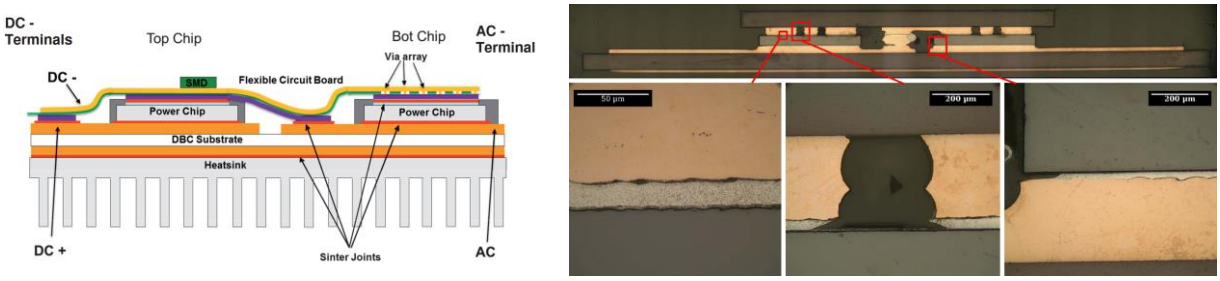
[232], [233] présentent des technologies consistant en une directe évolution du bonding, une lamelle de cuivre étant brasée sur la face avant du composant et servant de broches à un composant discret (Figure III.4-a). Des variantes de cette technique de connexion sont aux catalogues de nombreux fondeurs [233]. [234] (2018, Figure III.4-b) propose une technique de packaging proche de la technologie Direct-FET développée au début des années 2000 par Infineon [235], ou du package BGA (Ball Grid Array) de puissance proposé par Fairchild.



(a) (b)

Figure III.4 : (a) : Connection de face avant par lamelle de cuivre brasée [232]. (b) : connexion flip-chip avec billes de brasure et bloc de cuivre usiné, d'après [234], [236].

La technologie SKiN (Figure III.5-a), développée par Semikron, utilise un PCB flexible pour réaliser les interconnexions entre les différentes puces d'un module et le substrat DBC. Le PCB flexible couvre une large part de la surface du module et est localement brasé ou connecté, e.g. par frittage argent, sur les puces et le DBC. La face inutilisée du PCB flexible peut quant à elle servir de support aux circuits de commande rapprochée, minimisant par-là les inductances de grilles [109], [237].



(a) (b)

Figure III.5 : (a) : connexion par PCB flexible avec frittage – technologie SKiN [237]. (b) : vue en coupe d'une cellule de commutation constituée de deux IGBT frittés entre deux DBC [112].

De manière à encore améliorer les performances thermiques en offrant un refroidissement double-face relativement symétrique, la puce peut être insérée entre deux PCB [115], [238], ou deux DBC [112], [226], [230], [239] (Figure III.5-b), et connectée avec un métal d'apport.

Certaines études ont repris cette structure tout en interposant un élément massique entre la puce et le PCB ou DBC connectant la face avant. Ceux-ci peuvent, par exemples, être des billes solides de quelques centaines de micromètres de diamètre, constituées de brasure à haut point de fusion [210], [240] (Figure III.6-a). De la même manière, des rouleaux massifs de cuivre sont utilisés dans [241] (Figure III.6-b). Des poteaux de cuivre de dimensions millimétriques (3,5 mm de côté pour 1 mm de hauteur dans [199], [242] – Figure III.6-c) ou submillimétriques (300 µm × 100 µm de section pour une hauteur de quelques centaines de micromètres dans [243], [244]) peuvent également être utilisés. Ceux-ci sont brasés dans [199] et [242], connectés par TLPB dans [243], et soudés, dans un appareil prévu pour le frittage flash (Spark Plasma Sintering – SPS), dans [244].

[245] (2001) propose une structure intermédiaire dans laquelle une feuille de cuivre localement bosselée (de hauteur proche de 1 mm) est brasée sur la face avant des puces (Figure III.6-d).

Si toutes ces techniques utilisant des éléments d'interposition présentent des performances thermiques et électriques inférieures à celles offertes par une connexion sur toute la surface de la puce, elles ont pour avantage principal d'améliorer la fiabilité de l'assemblage via un épaississement et une diminution de la surface des brasures [210]. Elles permettent par ailleurs de simplifier la mise en œuvre et de compenser les différences d'épaisseurs entre les puces constituant un module.

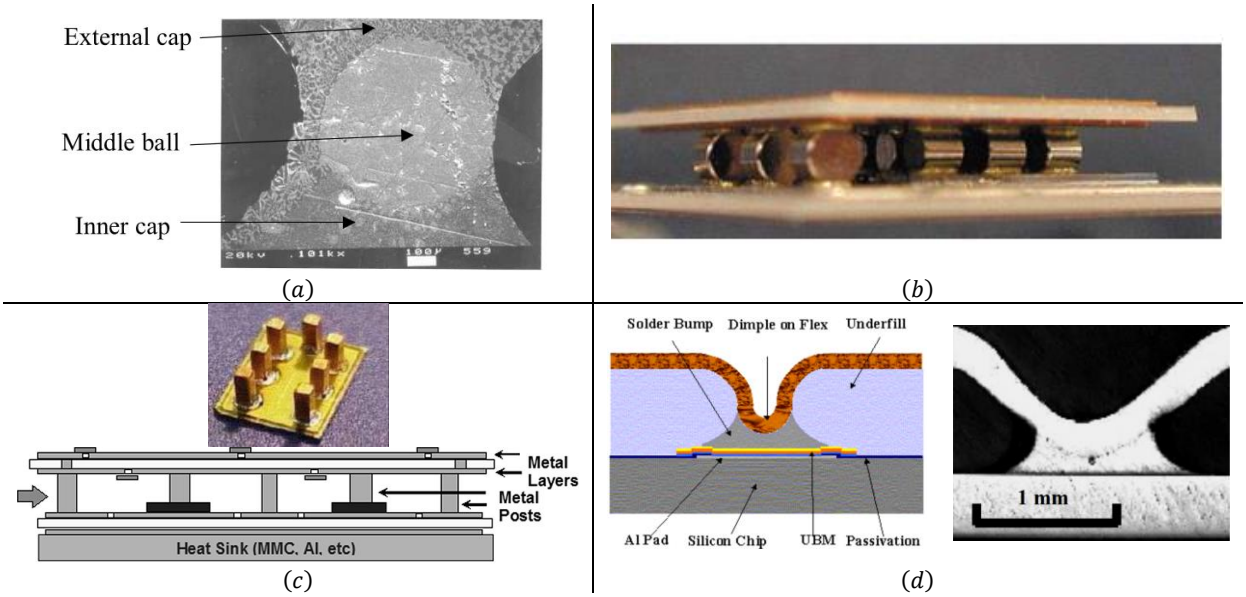


Figure III.6 : (a) : vue en coupe d'une connexion par billes de brasure entre la puce (en bas de la photographie) et une piste de cuivre (en haut) [240]. (b) : connexion par cylindres brasés [241]. (c) : Technologie Metal-Posts Interconnected Parallel-Plate Structure (MPIPPS) : puce d'environ 7 mm × 14 mm avec poteaux de cuivre (haut) et schéma d'un module (bas) [212]. (d) : feuille de cuivre emboutie brasée sur la puce : schéma (gauche) et vue en coupe (droite) [246].

[247] (2009) fait croître, par électrodéposition à travers une matrice poreuse, une forêt dense de nano-poteaux de cuivre sur la face avant d'une puce ainsi que sur un DBC (Figure III.7). Tous deux sont ensuite pressés l'un contre l'autre et adhèrent du fait des forces de van der Waals. Les poteaux ont des diamètres de quelques milliers d'ångströms et des longueurs de quelques micromètres.

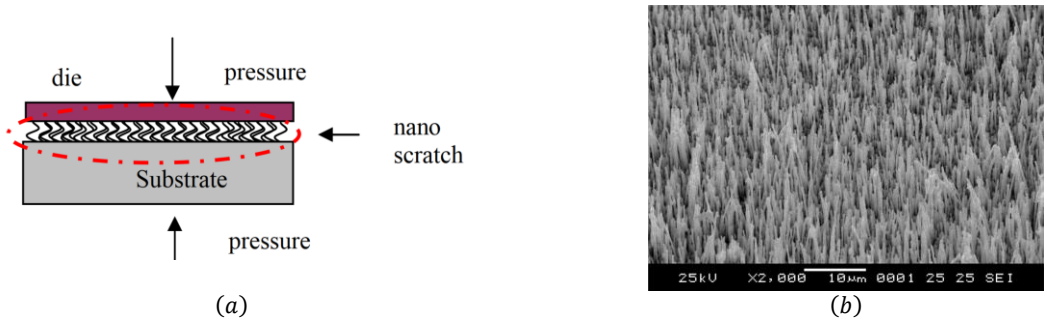


Figure III.7 : connexion par nano-poteaux de cuivre. (a) : schéma explicatif. (b) : photographie de la forêt. Extrait de [247].

1.1.3.2 CONNEXION PAR VIAS ÉLECTRODÉPOSÉS

Connecter les puces par brasure entre deux PCB ou DBC offre aux concepteurs de circuits et modules, autrement cantonnés aux routages dans le plan, la possibilité de réaliser des routages sur deux à quatre couches. Cette ouverture partielle de la troisième dimension de l'espace permet un routage davantage optimisé, i.e. pouvant présenter des performances électriques et thermiques améliorées, ainsi qu'une compacité accrue. L'enfouissement PCB est basé sur le même concept, à la différence que les substrats sont généralement organiques plutôt que céramiques et que l'espace laissé libre entre les PCB est occupé par une résine époxyde renforcée en fibre de verre tissée plutôt que comblé avec du gel diélectrique.

La plupart des publications traitant d'enfouissement de puces de puissance dans le PCB utilise une méthode similaire pour connecter la face avant de la puce au reste du circuit : par électrodéposition de vias de cuivres directement sur la puce. Le principe de ce procédé est détaillé ci-dessous et en Figure III.8.

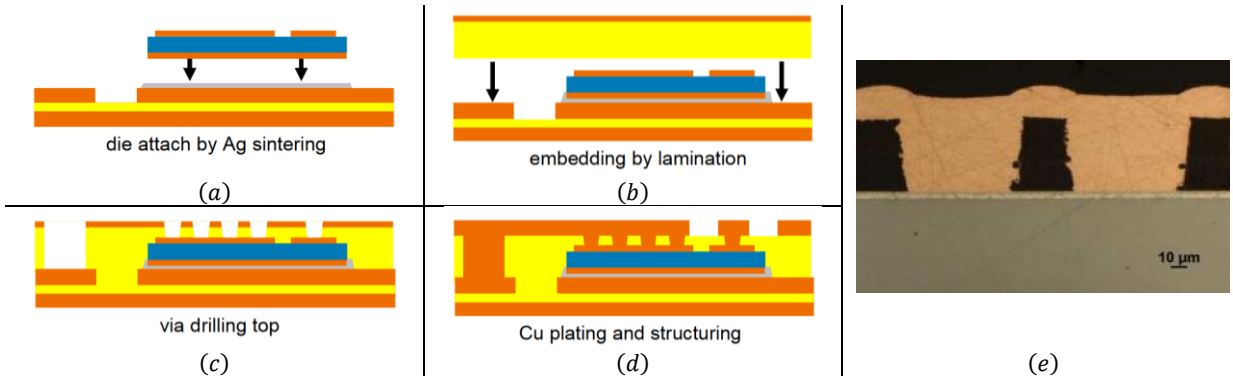


Figure III.8 : (a-d) : étapes du procédé d'enfouissement PCB d'une puce de puissance et reprise de contact en face avant par via électrodéposés. (e) : vue en coupe de deux vias connectant la face avant d'un IGBT. Extrait de [200].

La puce, avec métallisation de face avant compatible avec une électrodéposition de cuivre, est connectée par un procédé quelconque (e.g. brasure ou frittage argent) sur un PCB de base (Figure III.8-a). L'ensemble est ensuite entièrement enfoui dans un substrat PCB par laminage de multiples feuilles de prepreg (Figure III.8-b). Des ouvertures sont réalisées dans le circuit imprimé résultant de manière à rendre accessibles les pads des puces ainsi que les pistes enterrées du PCB de base (Figure III.8-c). Une couche de cuivre est alors électrodéposée sur toute la surface du circuit, puis gravée de manière à réaliser un PCB complet d'où sont accessibles les différents terminaux des composants enfouis (Figure III.8-d).

Depuis son introduction, plusieurs laboratoires et industriels ont cherché à développer ce procédé [200], [206], [248]–[255]. De nombreuses variantes de cette technologie, utilisant le dépôt électrolytique de vias sur la face avant de la puce, ont ainsi pu être proposées. Le substrat de départ peut ainsi être un DBC [203], [254], ou une simple feuille diélectrique laminée entre deux plaques de cuivre [200], [201], [248]. La connexion en face arrière de puce peut être réalisée par brasure, frittage argent [200], [201], [203], [248], [254], ou encore, comme pour la face avant, par via électrodéposés [206], [256]. Le perçage du circuit pour mise à l'air des connexions peut être réalisé mécaniquement [201] ou, plus généralement, par attaque laser [200], [206], [248], [254], [256]. Si du prépreg constitué d'une trame en fibre de verre et d'une résine organique est généralement utilisée au cours de l'étape de laminage [200], [203], [206], [248], [254], [256], il est également possible d'utiliser une plaque de céramique usinée [257].

La méthode est ainsi mise en œuvre dans divers produits commercialisés, tels que la gamme DrBlade (Infineon & Schweitzer), ou certains transistors GaN (GaN Systems & AT&S).

Une technologie similaire (développée par Siemens et baptisée SiPLIT) est exposée dans [239] (Figure III.9). La principale différence avec le procédé détaillé ci-dessus est qu'une couche diélectrique d'épaisseur homogène est laminée (Figure III.9-b) sur le circuit, résultant in fine en un assemblage d'épaisseur inhomogène.

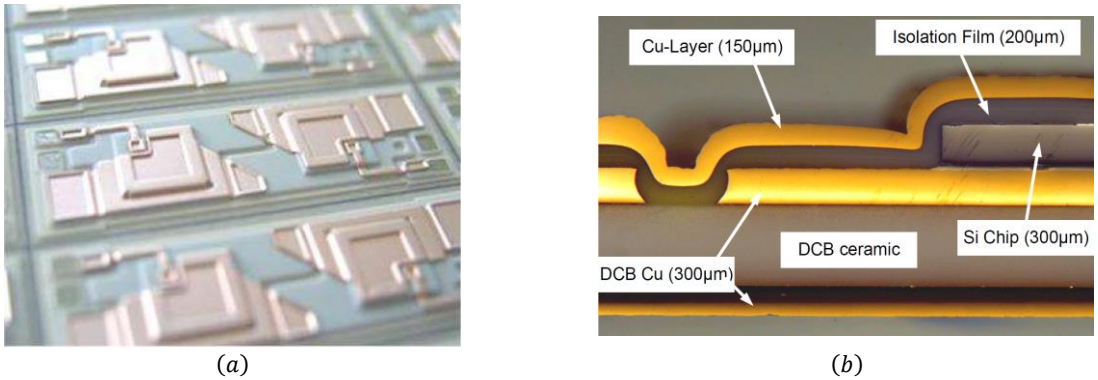


Figure III.9 : vue 3D (a) et en coupe (b) d'un module SiPLIT avec connexion de face avant électrodéposée. Extrait de [239].

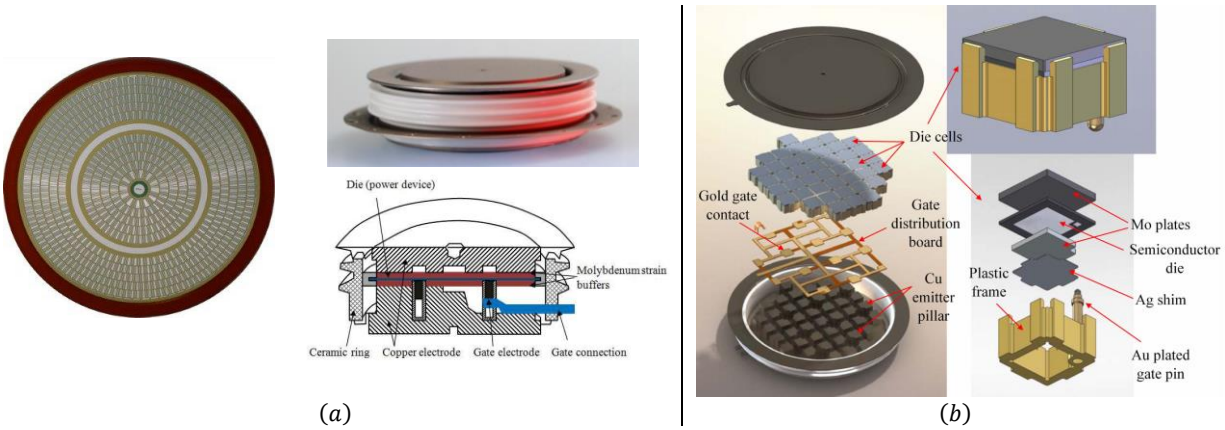
La technologie POL – Power OverLay, développée par General Electric depuis 1995, est intermédiaire, dans la mesure où l'étape de laminage est remplacée par l'application d'un film polyimide relativement rigide sur

l'intégralité du circuit, l'espace entre ce film et le substrat DBC étant occupé par un « underfill » diélectrique [108], [204].

1.1.3.3 CONNEXION PAR CONTACTS PRESSÉS

[258] (1948) constitue le premier transistor connecté par contact pressé. En dehors de ce cas particulier dans lequel la prise de contact a eu un rôle métallurgique particulier au sein de la puce, les contacts pressés ont principalement été employés dans les assemblages de très haute puissance (plusieurs MVA) et tension (plusieurs kV), au sein de boitiers de type press-pack (Figure III.10-a). Ces boitiers sont traditionnellement dédiés aux puces de très grande surface (de plusieurs dizaines de cm² à 170 cm^2 dans le cas d'un wafer de 6 in), réalisés sur des wafers complets : diodes, thyristors, GTO, etc. [259]. Des composants composites, constitués de la mise en parallèle de nombreuses puces (e.g. d'IGBT) sont néanmoins étudiés & commercialisés (Figure III.10-b) [260], [261]. Dans un boitier press-pack, chaque puce est pressée entre deux électrodes massives de cuivre servant elles-mêmes de contact avec l'extérieur. Deux feuilles de molybdène sont interposées entre la puce et ces électrodes de manière à diminuer les contraintes causées par le cyclage thermique, le molybdène ayant un CTE proche de celui du silicium (2,9 ppm/K vs 4,8 ppm/K [262], contre 16,7 ppm/K pour le cuivre). La mise sous contrainte axiale de l'assemblage est réalisée par un dispositif mécanique externe. La pression appliquée, compromis entre les résistances de contact thermiques et électriques d'un côté, et le stress éprouvé par la puce de l'autre, est de l'ordre de 10 à 20 MPa [263].

Cette technologie présente d'excellentes performances thermiques, assure un bon équilibrage des courants de puissance dans et entre les puces, ainsi qu'une bonne fiabilité du fait de l'absence des points faibles que constituent les fils de bonding et les brasures [114], [213].



(a) (b)

Figure III.10 : (a) : photographies d'un wafer de BGCT (similaire au RC-IGBT) de 4,5 kV et d'un diamètre de 91 mm, boitier press-pack associé, et vue en coupe [255], [264], [265]. (b) : vue éclatée d'un boitier press-pack multi-puce (4,5 kV – 2,2 kA) [260].

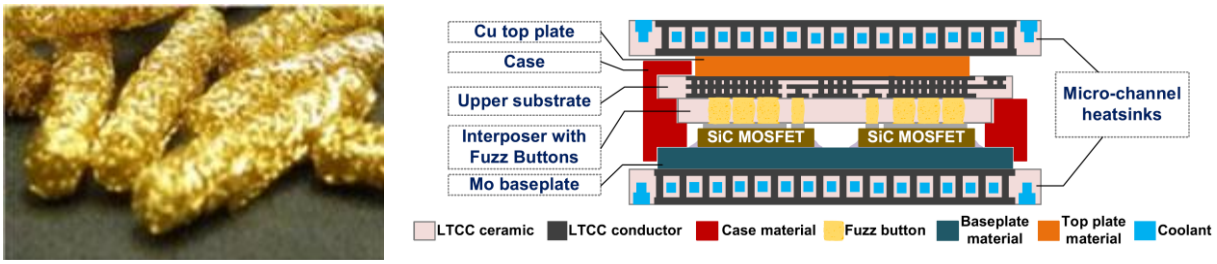
Des travaux ont cherché à appliquer cette méthode de connexion à des puces indépendantes, de plus faible calibre (< 200 kVA). La connexion de face arrière peut également être pressée [266], [267], ou brasée [113]. Les composants résultant étant, par construction, de structure verticale, il est aisé de les empiler de manière à réaliser des fonctions électroniques complètes tout en mutualisant le dispositif de mise sous pression [114]. Des études ont par ailleurs été menées par divers laboratoires pour caractériser les propriétés de tels contacts, en particulier en vue d'une potentielle application à des composants SiC [267]–[271].

D'autres techniques de connexion par contact pressé ont été proposées.

Dans [272] (2006), un ressort est utilisé pour relier électriquement une feuille de cuivre d'épaisseur 800 µm plaquée sur la face avant d'une puce et un PCB placé quelques mm au-dessus de la puce.

[114] (2017) détaille la réalisation d'une cellule de commutations à MOSFET SiC constituée de deux interrupteurs, chacun réalisé par la mise en parallèle de quatre transistors. Le contact de face avant est réalisé par de multiples ressorts métalliques cylindriques commerciaux. Ceux-ci sont constitués d'un fil de cuivre enroulé

sur lui-même dans une structure aléatoire (Figure III.11-a). Treize de ces ressorts (douze pour le contact de source, un pour la grille) sont positionnés à l'aplomb de chacune des puces par un interposeur en céramique criblé d'autant d'orifices. Des tests menés sous 600 V – 120 A démontrent la validité du principe. La résistance de la connexion demeure relativement élevée, proche de 2,5 mΩ pour douze ressorts en parallèle (soit 10 % de la résistance typique à 25 °C des transistors utilisés). La fiabilité de l'assemblage n'est pas abordée.



(a) (b)

Figure III.11 : (a) : photographies de ressorts de contacts, mesurant 1 mm de long. (b) : schéma d'un interrupteur constitué de quatre puces en parallèle. Extrait de [114].

1.1.4 Conclusion sur les méthodes de connexion sans bonding

De nombreuses études ont pu mettre au jour les imperfections des fils de bonding – en particulier leurs inductances et résistances relativement élevées, leur fiabilité limitée, et l'impossibilité de refroidir la puce par la face avant.

D'importants travaux ont alors été menés de manière à développer des procédés de reprise de contact de face avant palliant ces défauts. Les techniques de connexion par via électrodéposés ou par brasure sont les plus avancées mais présentent l'inconvénient de nécessiter l'emploi de puces présentant une métallisation non-standard, ce qui ajoute au coût de production.

Le présent chapitre propose une nouvelle technique de reprise de contact de puce enfouie dans un circuit imprimé. Elle repose sur un contact constitué d'un morceau de mousse métallique pressé sur la puce.

1.2 Plan de l'étude

Un nouveau concept de technique de reprise de contact de face avant de puce est considéré dans ce chapitre. Ce procédé, proposé dans le cadre de l'enfouissement PCB de composants actifs de puissance, est a priori simple et peu coûteux, dans la mesure où il met en œuvre un équipement disponible au sein de toute chaine d'assemblage PCB conventionnelle et qu'il utilise des puces nues standards, i.e. à métallisation de face avant en aluminium.

L'étude développée ici est la première ayant été menée sur cette technique. En constituant une étude préliminaire sur le sujet, elle cherche à caractériser les principales propriétés de la technologie, sans prétendre en appréhender les moindres détails. L'objectif est ainsi d'offrir un aperçu des performances du procédé considéré, de manière à permettre à de prochains travaux de choisir, en relativement bonne connaissance des verrous et des enjeux impliqués, sur quels aspects il convient de se porter en priorité. Il semble, par exemple, peu pertinent de développer d'importants efforts pour optimiser les performances électriques du contact s'il est connu que sa fiabilité est mauvaise – et vice versa.

À la suite de cette introduction, la section 2 (page 134) décrit la technique mise en œuvre et propose une caractérisation électrique et thermique de quelques prototypes. Une étude de fiabilité et de robustesse, elle aussi à très forte composante expérimentale, est proposée en section 3 (page 149). La réalisation et le test d'une cellule de commutation complète, dont la conception s'appuie sur les résultats du chapitre précédent, sont détaillés en section 4 (page 178). Enfin, la section 5 (page 183) propose une discussion sur le procédé et conclue le chapitre.

2 PROCÉDÉ DE REPRISE DE CONTACT PROPOSÉ

2.1 MISE EN ŒUVRE

2.1.1 PRÉSENTATION

Le procédé de reprise de contact développé propose d'utiliser un morceau de mousse métallique pressé entre la face avant d'une puce et un PCB lui faisant face à faible distance. Une coupe métallographique d'un prototype est donnée en Figure III.12, montrant la puce, brasée sur un « bottom PCB » est reliée à un « top PCB » par l'enchevêtrement désordonné que constitue la mousse pressée.

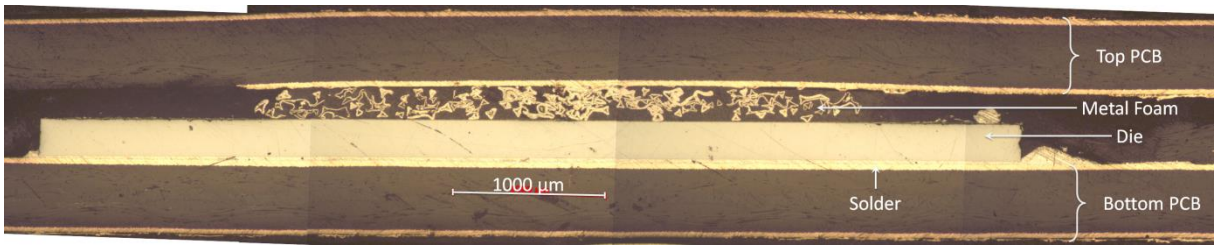


Figure III.12 : coupe métallographique d'une puce connectée par mousse pressée (prototype ne comprenant pas de masque – cf. infra).

2.1.2 DÉTAILS DU PROCÉDÉ D'ENFOUISSEMENT

Le procédé d'enfouissement est simple, il ne compte que trois étapes principales. Premièrement, la face arrière de la puce à enfouir est brasée sur un PCB dit « inférieur » (« bottom PCB ») dans un four à refusion (Figure III.13-a) à l'aide de crème à braser standard et du profil de température adapté. Un empilement est ensuite préparé (Figure III.13-b), constitué du PCB inférieur (sur lequel est brasée la puce à enfouir), de couches de prepreg, d'un masque de polyimide (kapton) percé d'autant d'ouvertures que la face supérieure de la puce compte de pads, d'un morceau de mousse métallique pour chacun des contacts de face avant de la puce, et d'un PCB dit « supérieur » (« top PCB »). L'ensemble est ensuite laminé en suivant les profils de température et de pression spécifiés par le fabricant du prepreg (Figure III.13-c). Au cours de cette dernière étape, la résine époxy, relativement fluide, noie l'assemblage – s'infiltrant y compris dans les pores de la mousse déformée par le pressage.

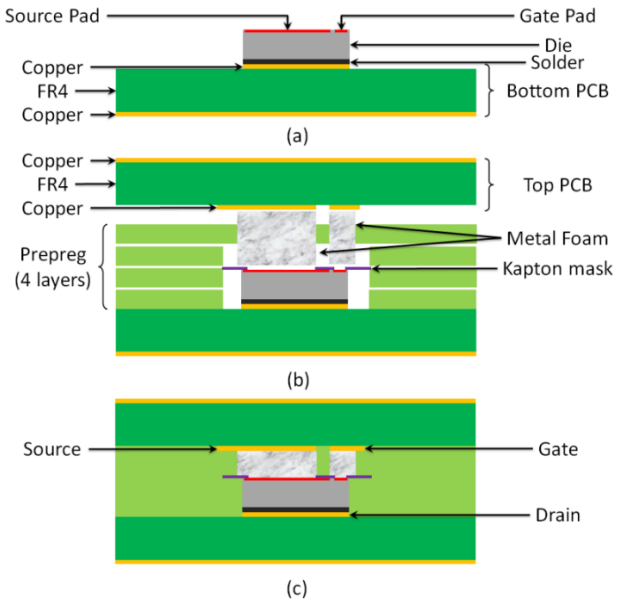
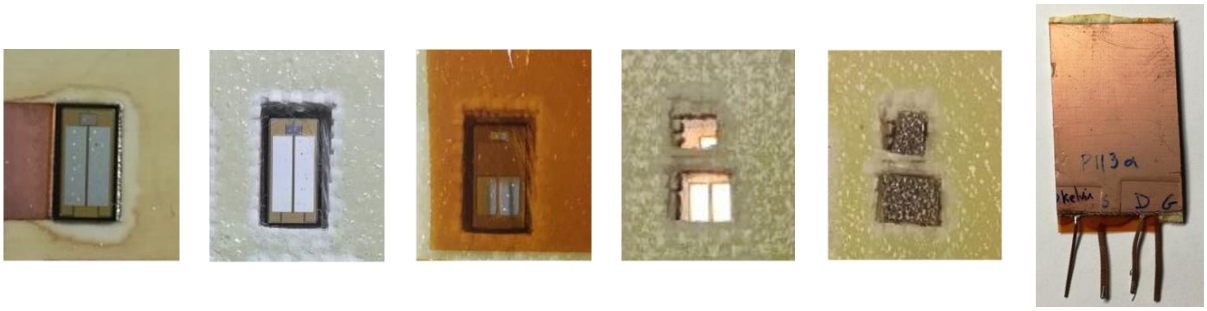


Figure III.13 : étapes du procédé de prise de contact de face avant par mousse métallique pressée. (a) : la puce est brasée sur le PCB inférieur ; (b) : des couches de prepreg, un masque de polyimide et des morceaux de mousse (un par contact de face supérieure) sont positionnés ; (c) l'ensemble est laminé, la résine époxy polymérise et noie la mousse.

La Figure III.14 montre les étapes menant à l'enfouissement d'un transistor SiC (1,2 kV – 63 A, 3,1 mm × 5,9 mm, Réf. CPM2-1200-0040b [273]). La puce compte trois pads (deux de source et un de grille) tandis que deux morceaux de mousse sont utilisés – un pour chaque terminal.



(a) (b) (c) (d) (e) (f)

Figure III.14 : étapes de la fabrication d'un prototype, intégrant une puce de MOSFET SiC CPM2-1200-0040b. (a) : brasage de la puce ; (b) : ajout de couches de prepreg ; (c) : ajout du masque ; (d) ajout de couches de prepreg additionnelles (grossièrement positionnées par rapport à la puce) ; (e) : ajout des morceaux de mousse connectant la source et la grille ; (f) : résultat après laminage. Les photographies, excepté la dernière, sont à la même échelle – la puce mesure 3,1 mm × 5,9 mm.

Après laminage, l'assemblage est assimilable à un circuit imprimé classique dont les faces externes peuvent être utilisées pour réaliser un circuit électronique (e.g. incluant la commande rapprochée des puces de puissance) ou servir de surface d'appui à un dissipateur thermique. Les puces enfouies peuvent être connectées au niveau des pistes enterrées, accessibles à l'aide de vias borgnes ou traversants.

Avant laminage, les morceaux de mousse ne sont solidaires d'aucune couche de l'assemblage. La couche de prepreg supérieure est utilisée pour centrer de manière relativement grossière les morceaux de mousse au-dessus des pads situés sur la face avant de la puce (Figure III.13-b & Figure III.14-d-e).

Le masque diélectrique interposé entre la mousse et la puce a pour rôle d'assurer que le contact entre celles-ci soit circonscrit aux pads de la puce, tout en évitant les courts-circuits entre pads adjacents (Figure III.15). Sous réserve que le masque et la puce soient précisément alignés, il est alors possible d'utiliser des morceaux de mousse non seulement plus grands que les pads qu'ils connectent, mais également grossièrement positionnés. Ceci simplifie grandement la fabrication dans la mesure où les pads sont généralement de faibles dimensions par rapport à la précision de découpe atteignable – en particulier avec le matériel disponible en phase de prototypage au laboratoire. Le contact de grille d'un MOSFET SiC CPM2-1200-0025 mesure par exemple 500 µm × 800 µm et n'est séparé du pad de source que de 70 µm, alors que la précision de découpe de la mousse et du prépreg est estimée à environ 500 µm. Par ailleurs, les blocs de mousse sont légèrement déformés et déplacés par rapport à la puce au cours du pressage (des tests ont montré que ces déformations sont inférieures à 150 µm). Enfin, l'utilisation de blocs de mousse plus grands que les pads se traduit par une amélioration électrique et thermique du contact, en particulier à l'interface entre la mousse et le cuivre du PCB supérieur.

L'épaisseur du masque, comprise entre 50 et 100 µm, est, de plus, suffisante pour que la mousse se trouvant au-dessus d'anneaux de garde ne dégrade pas la tenue en tension du composant [239], [274].

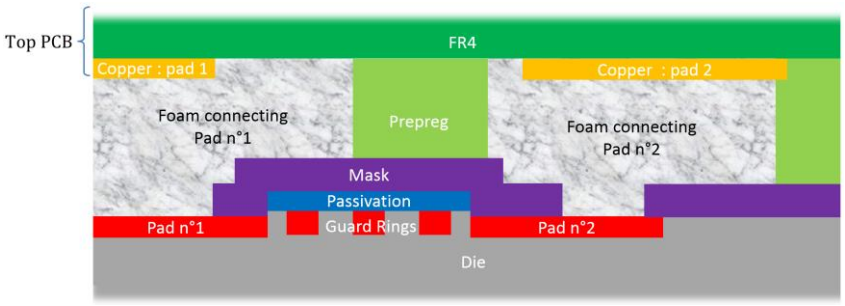


Figure III.15 : schéma montrant le positionnement du masque par rapport à la puce et aux blocs de mousse métallique. Échelle arbitraire.

Une coupe métallographique d'un assemblage finalement obtenu est donnée en Figure III.16. L'ensemble est compact et rigide ; la mousse assure le contact thermique et électrique entre la face avant de la puce et le PCB supérieur. Le contact entre la puce et la mousse est distribué sur la quasi-totalité de la surface de la puce. L'épaisseur de la mousse avant pressage est de 1,4 mm pour une densité de 4 %, elle passe à environ 220 µm après pressage, soit une densité de l'ordre de 25 %.

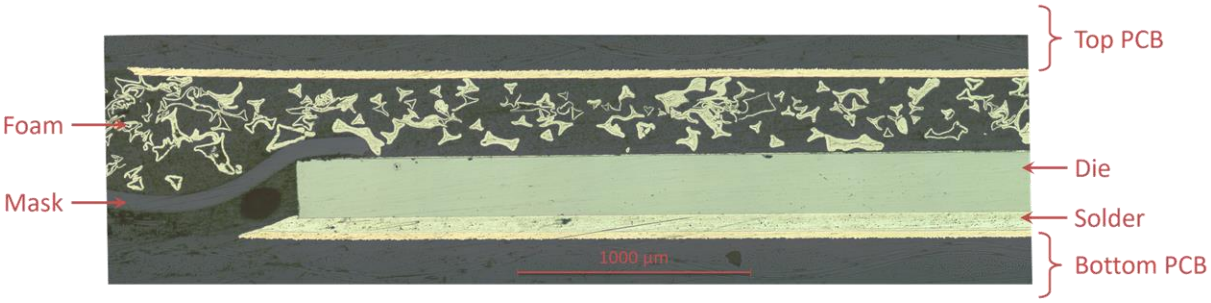
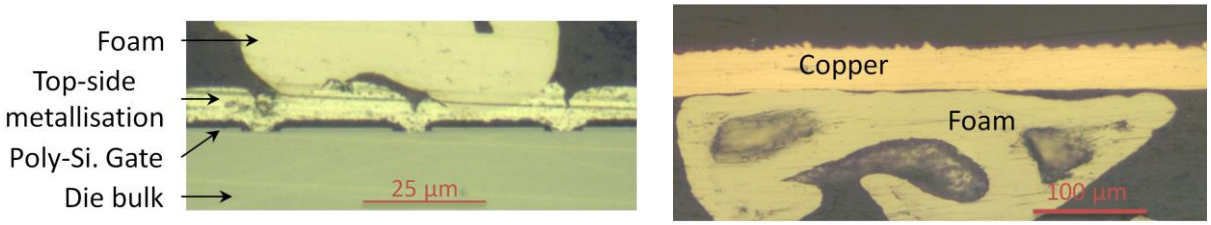


Figure III.16 : coupe métallographique partielle d'un prototype. Une bulle d'air, due au pressage à pression atmosphérique plutôt que sous vide, est visible à côté de la puce, sous le masque.

Du fait de leurs duretés relatives[7] et des pressions mises en jeu lors du laminage, il y a pénétration de la couche d'aluminium par la mousse (Figure III.17-a), tandis que les matériaux ne sont pas notablement écrasés à l'interface entre le cuivre et le nickel (Figure III.17-b) – le contact étant alors relativement ponctuel.



(a) (b)

Figure III.17 : coupe métallographique partielle d'un prototype. (a) : contact mousse/aluminium. (b) : contact mousse/cuivre.

2.1.3 MATÉRIAUX EMPLOYÉS

Cette section détaille les éléments de base employés pour réaliser les prototypes détaillés dans le chapitre.

2.1.3.1 MOUSSE MÉTALLIQUE

Des considérations générales sur les mousses métalliques sont proposées en Annexe *A9. Généralités sur les mousses métalliques*, page 219. Les prototypes réalisés sont basés sur une mousse de nickel (réf. Ni-5763, commercialisée par Recemat BV sous forme de plaques de 1,4 mm d'épaisseur [276]) dont les caractéristiques physiques principales, extraites de la datasheet, sont données en Table III.1. Une analyse par tomographie par rayons X et microscopie optique a permis d'estimer que la connectivité[8] (non spécifiée dans la feuille de caractéristiques) vaut environ 4. De plus, les segments reliant les nœuds sont creux et de section quasi-triangulaire, ce qui suggère une fabrication par un procédé de dépôt, probablement électrolytique [277]. Comme le montre la Figure III.18, les pores sont ouverts et la structure est non-périodique, stochastique.

Des essais ont permis d'estimer que la contrainte à appliquer pour déformer plastiquement la mousse (valeur du plateau de contrainte, cf. Figure A31, page 221), vaut environ $\tilde{\sigma}_{pl} = 7$ MPa.

La mousse étant constituée d'un bloc monolithique – bien que fortement poreux – plutôt que d'un enchevêtrement de fils conducteurs (tel une laine métallique), elle est cohérente. Ainsi, aucun morceau de

[7] La dureté Brinell, par exemple, de l'aluminium vaut 35 % de celle du nickel, elle-même 20 % plus faible que celle du cuivre [275] – ces valeurs étant données pour des matériaux recuits, sans prise en compte des éventuels traitements thermiques subits par la mousse, ni l'effet du laminage du cuivre.

[8] Nombre de ligaments connectés au niveau de chaque nœud.

mousse n'a été trouvé en dehors des blocs des contacts de face avant lors de l'analyse de coupes métallographiques. Il n'y a donc pas de risque de court-circuit accidentel entre deux pads ou deux pistes adjacents.

Table III.1 : paramètres physiques de la mousse employée [276].

Paramètre	Valeur min.	Valeur typique	Valeur max.	Unité
Nombre de pores par cm	22,5		25	cm^{-1}
Diamètre moyen des pores		350		µm
Densité moyenne	0,2		0,4	g/cm^3
Porosité		96 %		N.A.
Composition		Nickel : 99,5 Fer : 0,2 Zinc, Cuivre : 0,1		%

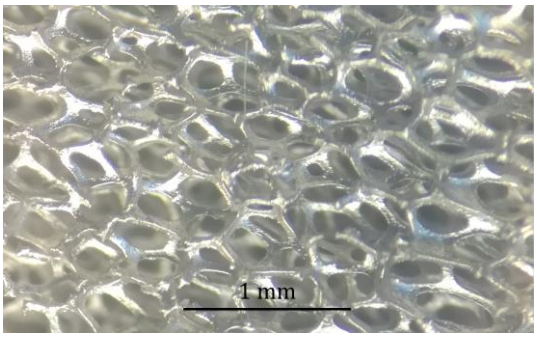


Figure III.18 : photographie de la mousse avant laminage.

La mousse peut être aisément découpée, à l'aide d'une lame de cutter, à une précision estimée à 500 µm. L'usage d'un laser et/ou d'une machine de découpe mécanique à commande numérique permettrait de fortement accroître la précision de la découpe. L'utilisation d'un masque rend cependant cette précaution superflue.

2.1.3.2 SUBSTRAT PCB & PREPREG

Sauf mention contraire, les PCB supérieur et inférieur sont réalisés à partir de circuits-imprimés double face à cuivre d'épaisseur 35 µm et basés sur un substrat verre-époxy FR4 de 330 µm (réf. ABC16, produit par CIF). Du prepreg Panasonic R-1650V/7629, à haute température de transition vitreuse et faible coefficient de dilatation thermique (cf. Table III.2) est utilisé.

Table III.2 : paramètres physiques du prepreg utilisé [278].

Paramètre	Valeur min.	Valeur typique	Valeur max.	Unité
Épaisseur		200		µm
CTE, dans le plan	11		15	ppm/K
CTE, hors du plan		44		ppm/K
Température de transition vitreuse		173		°C
Constante diélectrique		4,7 @1 MHz		N.A.
Teneur en résine		47 %		N.A.

Le laminage est réalisé dans l'air, en trois phases (selon les spécifications du prepreg employé). La première consiste en un pré-pressage durant 40 min à 130 °C, sous une pression de 1 MPa. La polymérisation a lieu au cours d'une phase de 90 min, à 190 °C, sous 2,5 MPa. Enfin, l'assemblage est refroidi par convection forcée, sans pression appliquée ; la constante de temps est d'environ 20 min. Les rampes de monté en température sont contrôlées, la pente étant de $0{,}1\ K \cdot s^{-1}$.

2.1.3.3 CRÈME À BRASER

De la crème à braser RoHS $Sn_{96,5}Ag_3Cu_{0,5}$ (SAC305, non eutectique) est utilisée. Sa température de fusion, proche de 217 °C, est suffisamment élevée pour empêcher la fusion du matériau au cours de la phase de

pressage. Des tests ont montré que l'application d'une pression atteignant 5 MPa ne modifiait pas notablement cette température de transition de phase.

2.1.3.4 MASQUE POLYIMIDE

Les masques sont réalisés à partir de films de polyimide (Kapton HN, produits par DuPont, cf. Table III.3) de 75 µm d'épaisseur.

Table III.3 : paramètres physiques des feuilles de kapton employées [279].

Paramètre	Valeur min.	Valeur typique	Valeur max.	Unité
Épaisseur		75		µm
Conductivité thermique		0,12		W/mK
CTE		20		ppm/K
Température de transition vitreuse	360		410	°C
Constante diélectrique		3,5 @1 kHz		N.A.
Rigidité diélectrique		205		kV/mm

Si les masques destinés à l'enfouissement des plus grandes puces ont pu être découpés mécaniquement, une partie de ceux ayant à protéger des MOSFET a été réalisée par ablation laser. La finesse de gravure réalisable avec le laser disponible (Réf. Gravograph LS100, laser CO_2 de 60 W, focale de 1,5 pouces, spot de diamètre 50 µm) était cependant insuffisante, en particulier du fait de la carbonisation du matériau autour du point d'impact du spot. Un masque intermédiaire en cuivre (d'épaisseur 17,5 µm), réalisé par technique PCB classique (gravure chimique) a alors été utilisé comme pochoir (cf. Figure III.19 & Figure III.20).

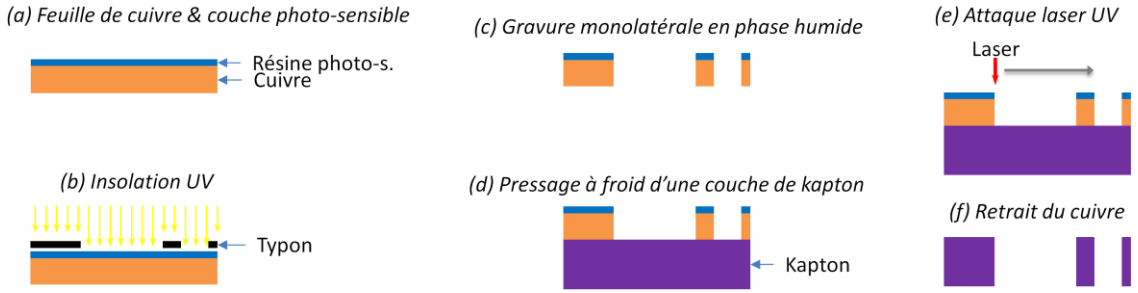


Figure III.19 : réalisation d'un masque kapton : réalisation d'un masque intermédiaire en cuivre (a-c), puis du masque définitif par attaque laser (par balayage de la surface du masque) en utilisant le masque en cuivre temporaire comme pochoir (d-e), et décollement du masque (f).

(a) (b)

Figure III.20 : (a) : pochoir en cuivre utilisé pour réaliser le masque (b) pour un MOSFET SiC CPM2-1200-0040b.

2.1.3.5 PUCES

MOSFET SILICIUM BASSE TENSION

Pour des raisons de disponibilité, des puces de N-MOSFET trench basse-tension, de référence constructeur SPD06, ont été utilisées pour la majorité des tests préliminaires de caractérisation de la technique de reprise de contact de face avant. Chaque puce comporte deux transistors dont l'électrode de drain (la face arrière de la puce) est commune. Les caractéristiques principales des puces utilisées sont fournies en Table III.4. Ces données ont été mesurées ou extraites de la fiche de données des composants.

Table III.4 : paramètres électriques des puces SPD06 mises en œuvre [280], [281].

Paramètre	Valeur min.	Valeur typique	Valeur max	Unité
Tension d'avalanche	65			V
Courant de drain max @25 °C, par transistor	9			A
Résistance à l'état passant du transistor ($@V_{gs} = 10$ V)			3	mΩ
Tension de seuil de la diode de structure (modèle linéaire $@I_f = 20$ A, $@T_a = 20$ °C)		720		mV
Temps de recouvrement inverse de la diode de structure ($I_f = 2$ A, $V_r = -30$ V et $di/dt = 250$ A · µs^{-1})		65		ns
Dimensions de la puce		4,2 × 6,35 × 0,25		mm^3
Métallisation de face avant (aluminium)		3,6		µm

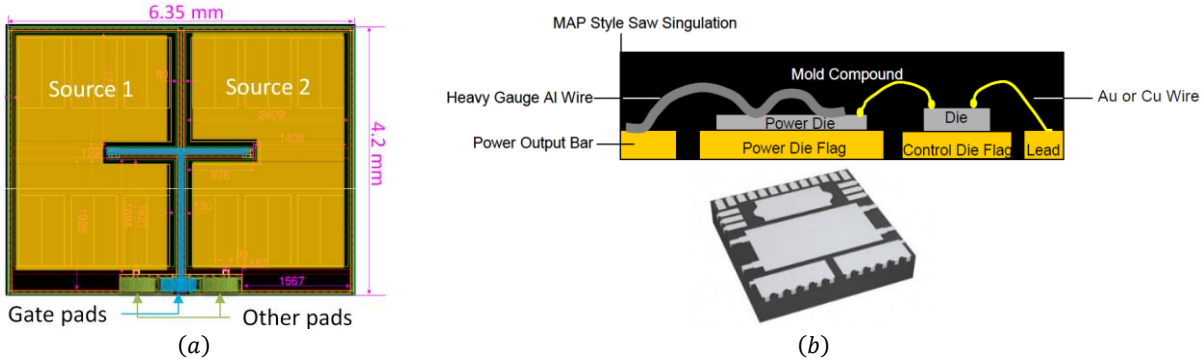


Figure III.21 : (a) : layout annoté d'une puce montrant les pads de grilles et de sources des deux transistors intégrés sur chaque puce. (b) : vues en coupe et 3D d'un boitier PQFN23.

Les puces sont initialement prévues pour être utilisées au sein de smart-switch intégrant les deux transistors en commutation high-side et un circuit de commande sur une puce séparée (Figure III.21-b). Ces smart-switch sont intégrés dans un boitier de puissance PQFN23 [281]. La présence d'une semelle de cuivre de forte épaisseur (1,4 mm) sous la puce de puissance confère au boitier de bonnes performances thermiques. La connexion de la source de chaque transistor est réalisée par trois fils de bonding en aluminium, de diamètre 300 µm, chacun étant connecté à la puce en deux points.

De manière à simplifier la réalisation des prototypes, un seul contact est réalisé sur toute la face avant de la puce. Celui-ci court-circuite donc les pads de source ainsi que, potentiellement, ceux de grilles au niveau des chemins de distribution de grille. Chaque transistor est alors assimilé à sa diode de structure et la puce est assimilée à la mise en parallèle de ces diodes. L'ensemble est alors considéré comme une diode PIN dont l'anode se trouve en face avant. L'ensemble des puces nues utilisé provient de trois wafers différents, eux-mêmes issus du même lot de fabrication.

Certains prototypes ne sont pas munis de masque[9]. La faible tension d'avalanche de cette diode suggère néanmoins que la passivation est d'épaisseur suffisante pour éviter que la mousse ne dégrade la tenue en tension des puces.

Enfin, les puces utilisées font partie d'un lot ayant été retiré de la ligne de production par le fondeur car ne respectant pas les spécifications du composant. Si ces puces ont été initialement utilisées du fait de leur disponibilité et pour une étude ne se voulant que très préliminaire, leur mise en œuvre constitue un biais dans certains résultats proposés par la suite.

MOSFET SiC

Des N-MOSFET SiC CPM2-1200-0025b & CPM2-1200-0040b, produits par Cree ont été enfouis à l'aide du procédé proposé. Les caractéristiques principales des puces, extraites de leurs datasheet respectives ou mesurées, sont données en Table III.5 [194], [273]. Les layouts des puces sont donné en Figure III.22-a-b. Les composants sont également disponibles en boitiers TO-247 sous les références C2M0025120 et C2M0040120.

[9] Selon le prototype considéré, le masque a pu être omis de manière à simplifier la réalisation ou parce que le développement du procédé était à un stade trop peu avancé pour que l'idée de l'utiliser ait surgie.

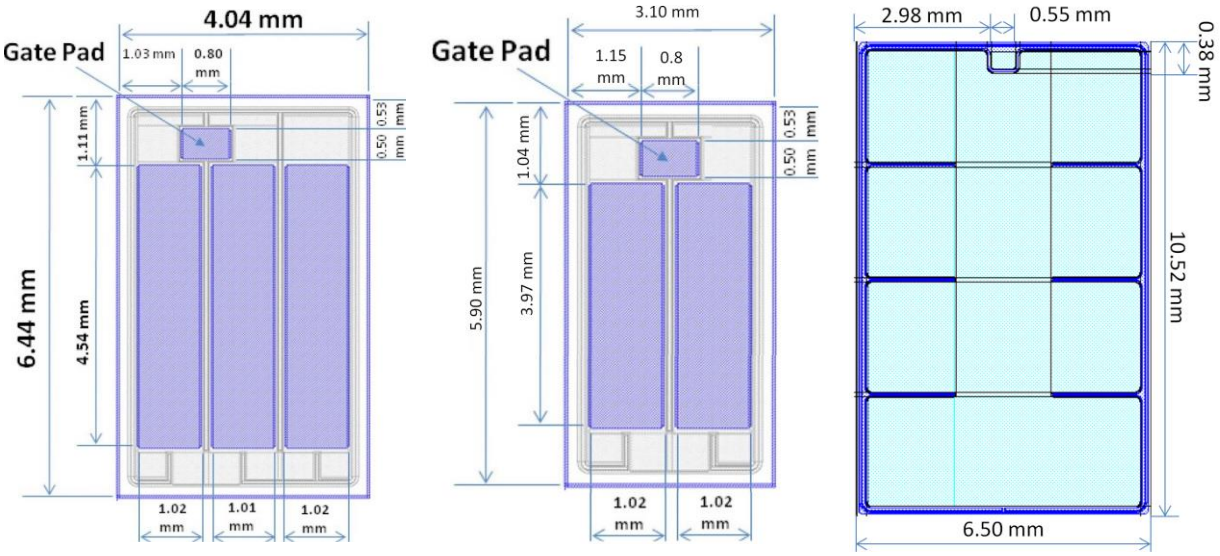
MOSFET SILICIUM 650 V

Des N-MOSFET CoolMOS, produits par Infineon, ont été utilisés dans cette étude. Leurs caractéristiques principales, extraites de leur datasheet ou mesurées, sont données en Table III.5 [282], [283] tandis que le layout de la puce est donnés en Figure III.22-c. Les composants sont également disponibles en boitiers TO-247 sous la référence SPW47N60C3.

Table III.5 : paramètres électriques des MOSFET employés.

Paramètre	Type de donnée	Valeur CPM2-1200-0025b	Valeur CPM2-1200-0040b	Valeur SIPC69N65C3	Unité
Référence de la puce en boitier TO-247		C2M0025120	C2M0040120	SPW47N60C3	–
Tension d'avalanche	Min.	1200	1200	650	V
Courant de drain max (∴)	Min.	98	63	47	A
Résistance à l'état passant du transistor (∴)	Max.	34	52	70	mΩ
Charge de grille ($@V_{ds} = (*) \rightarrow 0$ V)	Typ.	161	115	250	nC
Capacité de sortie en petits signaux $(*)$	Typ.	220	150	140	pF
Capacité de sortie en termes d'énergie $(*)$	Typ.	270	186	216	pF
Densité de courant dans la puce (∴)	Max.	4,5	4,1	0,8	$A \cdot mm^{-2}$
Surface de la puce	Typ.	4,04 × 6,44	3,10 × 5,90	6,50 × 10,52	mm^2
Épaisseur de la puce	Typ.	0,18	0,18	0,22	mm
Dimensions du pad de grille	Typ.	0,50 × 0,80	0,50 × 0,80	0,38 × 0,55	mm^2
Métallisation de face avant (aluminium)	Typ.	4	4	5	µm
Fils de bonding – pad de source		6 fils, 250 µm	4 fils, 250 µm	2 fils, 600 µm	

Conditions de test :
- $T_j = 25°C$
- $(*)$: $V_{ds} = 600$ V pour les transistors SiC, $V_{ds} = 500$ V pour le transistor silicium
- $(\therefore)$: $V_{gs} = 20$ V pour les transistors SiC, $V_{gs} = 10$ V pour le transistor silicium

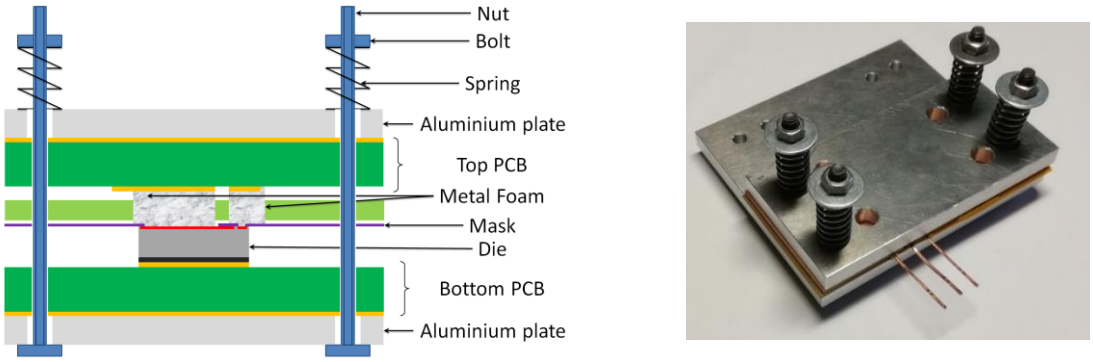


(a) (b) (c)

Figure III.22 : layout des puces utilisées : (a) : CPM2-1200-0025b ; (b) : CPM2-1200-0040b ; (c) : SIP69N65C3.

2.1.4 BOITIER DE TYPE PRESS-PACK POUR PROTOTYPAGE RÉVERSIBLE

Un véhicule de test réputé reproduire les caractéristiques d'un contact par mousse pressée sans nécessiter l'étape de laminage a été conçu et réalisé (Figure III.23). Il se compose d'un empilement constitué du PCB inférieur sur lequel est brasée la puce, d'un masque, des morceaux de mousse positionnés par une couche de prepreg (non polymérisée), et d'un PCB supérieur. Cet empilement est placé entre deux plaques d'aluminium (requises du fait de la grande flexibilité du PCB) maintenues en position et pressées l'une vers l'autre par quatre vis, écrous et ressorts. L'ensemble réalise un boitier de type press-pack, l'effet combiné des quatre ressorts (d'une raideur équivalente de 10 N/mm) appliquant une pression proche de 2 à 3 MPa (similaire à celle autrement appliquée lors de l'étape de lamination) sur l'assemblage, maintenant la mousse en contact avec la puce.



(a) (b)

Figure III.23 : dispositif de type press-pack imitant les caractéristiques du contact par mousse pressée : (a) : schéma ; (b) : photographie.

Ce dispositif doit tout d'abord permettre une étude optique des puces après enfouissement et éventuels test électriques. Ceci sera en particulier utilisé au cours des analyses de défaillance mises en œuvre lors des tests de fiabilité & robustesse (section 3, page 149).

L'inconvénient majeur de ce montage est que le degré d'exactitude avec lequel il reproduit les caractéristiques d'un contact par mousse pressée laminée demeure inconnu. Le contact dans le composant laminé repose ainsi sur les contraintes résiduelles, associées au fait que l'époxy adhère légèrement à la face avant de la puce. Dans ce boitier de type press-pack, en revanche, une contrainte externe est constamment apportée par les ressorts. Les performances thermiques sont, en particulier, peu comparables du fait du remplacement de l'époxy (en particulier celle imbibant la mousse) par de l'air.

2.2 Caractérisation de prototypes

2.2.1 Introduction

Le procédé de reprise de contact détaillé ci-dessus est mis en application pour enfouir des MOSFET silicium ayant leurs grilles et sources court-circuitées – et donc assimilables à leurs diodes de structure (cf. section 2.1.3.5, page 138). Une série de prototypes est réalisée, chaque échantillon est caractérisé électriquement de manière à juger des performances et de la reproductibilité du procédé.

Les caractéristiques observées sur ces prototypes sont comparées à celles mesurées sur des composants discrets employant les mêmes puces et connectées à l'aide de fils de bonding par le fondeur. Ces composants en boitier conventionnel seront qualifiés de « référence » par la suite.

2.2.2 Caractéristique statique

2.2.2.1 Caractéristique statique directe

Les caractéristiques statiques à température ambiante des prototypes connectés par mousse pressée sont mesurées à l'aide d'un traceur de caractéristiques Keysight B1505a. Les PCB inférieur et supérieur sont gravés de manière à permettre la réalisation d'une mesure Kelvin. L'ensemble des prototypes considérés dans cette section est laminé, aucun n'utilise le boitier press-pack à ressorts décrit en section 2.1.4 (page 140).

Un modèle linéaire constitué d'une FEM et d'une résistance série est utilisé pour modéliser chaque diode dans le sens passant. Ce modèle est obtenu à partir de la caractéristique statique (V_f, I_f) du composant. La résistance est prise comme l'inverse de la pente de la courbe à un courant donné I_0 (valant $I_0 = 10$ A ou $I_0 = 20$ A, selon les échantillons, dans cette section). Il n'est pas pertinent de comparer cette résistance à la $R_{ds,on}$ des MOSFET employés du fait de l'injection de porteurs minoritaires dans le cas d'un fonctionnement en diode. La FEM du modèle est égale à la tension pour laquelle la tangente à la caractéristique en I_0 coupe l'axe des abscisses $I_f = 0$.

Pour exemple, les caractéristiques statiques (V_f, I_f) de neuf prototypes et de la référence ainsi que les modèles associés sont donnés en Figure III.24.

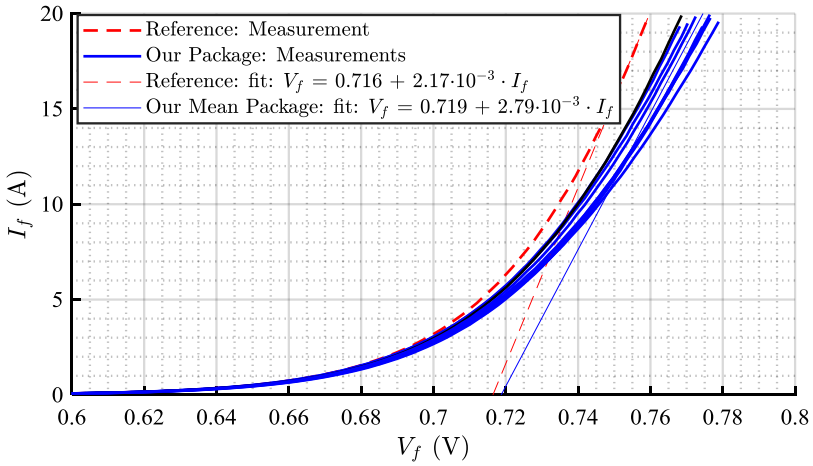


Figure III.24 : caractéristique statique de prototypes (bleu) et de la référence (rouge) : mesures et modèles linéaires. $I_0 = 20$ A.

Un histogramme des résistances mesurées à $I_0 = 10$ A sur 58 prototypes est donné en Figure III.25. La résistance moyenne des éléments appartenant au mode principal de l'histogramme (i.e. présentant des résistances comprises entre 2 mΩ et 6 mΩ) vaut 4,1 mΩ, ce qui est proche de la résistance de la référence (3,3 mΩ à $I_0 = 10$ A). La différence s'explique par la dispersion des caractéristiques des puces ainsi que par la différence de performance des brasures et des contacts de face avant (mousse pressée vs bonding). En dépit de la mise en œuvre d'une mesure Kelvin, l'épaisseur de cuivre du véhicule de test (35 µm pour notre prototype, 1,4 mm pour la semelle de la référence) influence également la résistance dynamique mesurée – en faveur de la référence. Cinq composants présentent une résistance sensiblement supérieure à celle de la référence, possiblement du fait de puces défaillantes, ou de reprises de contact peu performantes.

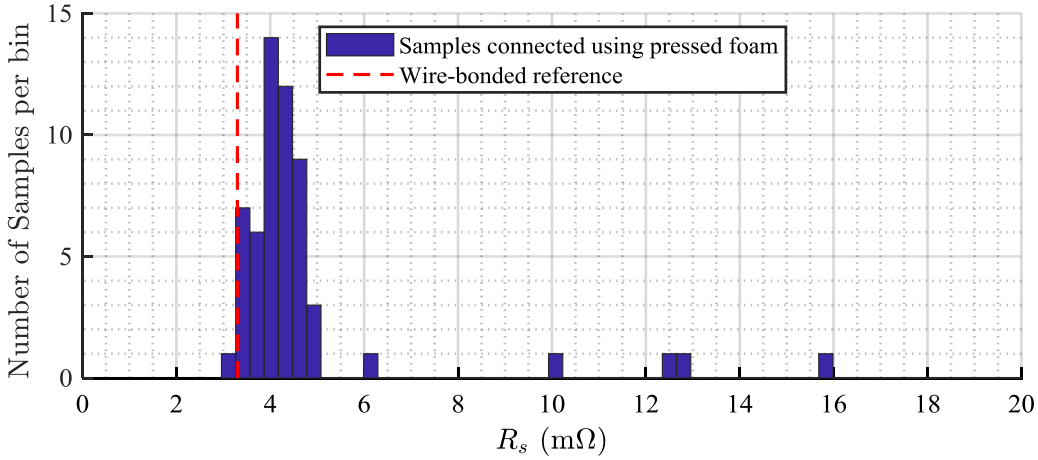


Figure III.25 : distribution des résistances observées sur 58 prototypes, comparées à celle de la référence

Ces résultats montrent néanmoins que les performances du procédé proposé sont proches de celles du boitier industriel standard, qui présente lui-même de bonnes caractéristiques électriques.

2.2.2.2 Caractéristique statique inverse

La Figure III.26 montre que 60 % des prototypes présentent une tension d'avalanche ou de claquage conforme aux spécifications, i.e. supérieure à 65 V. Ces échantillons présentent des caractéristiques statiques inverses généralement conformes aux attentes, avec un courant de fuite très bas (< 100 nA à température ambiante) et évoluant régulièrement, jusqu'à un seuil de brusque croissance (Figure III.27, diodes 1-3). Ceci est

caractéristique du passage en avalanche du semi-conducteur. Quelques prototypes présentent cependant des caractéristiques inverses relativement bruitée, voire discontinues (Figure III.27, diodes 4-5), témoins possibles d'une dégradation de la puce lors du pressage ou du claquage local de l'encapsulation. Enfin, certaines caractéristiques sont régulières et présentent un courant de fuite important variant non-linéairement avec la tension (Figure III.27, diodes 6-7). Ces échantillons pourraient correspondre à des puces défaillantes avant enfouissement.

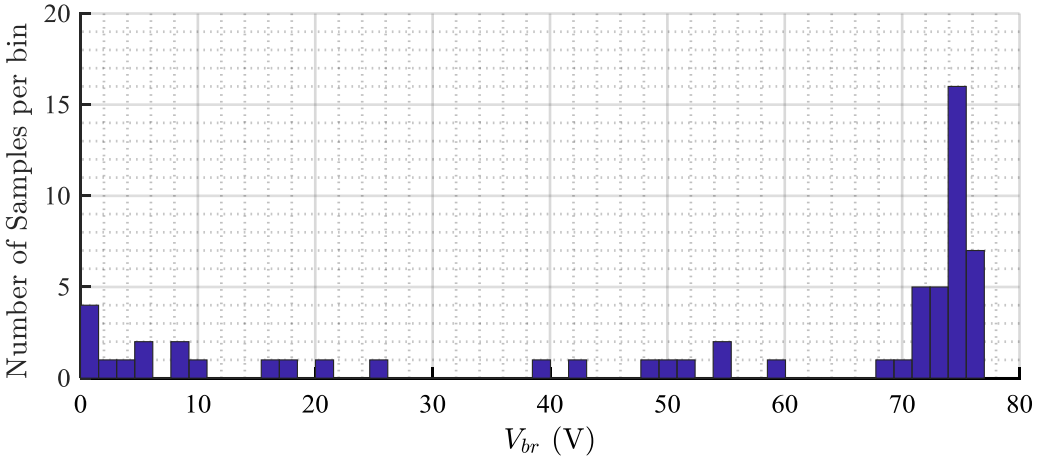


Figure III.26 : distribution des tensions de claquage ou d'avalanche observées sur 58 prototypes enfouis.

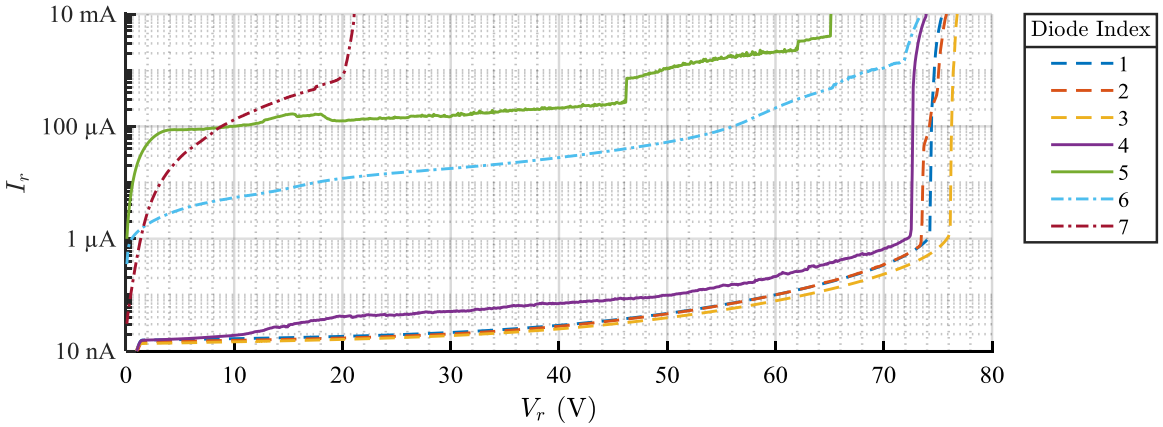


Figure III.27 : caractéristiques statiques inverses de 7 prototypes.

La caractéristique inverse d'un MOSFET SiC CPM2-1200-0025b (1,2 kV – 98 A) enfoui a également été mesurée, ne montrant aucune dégradation de la tenue en tension du composant causée par la méthode de reprise de contact.

2.2.2.3 DISCUSSION

L'étude de la résistance de la reprise de contact a été menée par comparaison des caractéristiques statiques directes de puces enfouies et connectées par fils de bondings, supposant que les puces sont identiques. Cette méthode, mise en œuvre dans différents travaux [234], [244], [251], [272], présente cependant l'inconvénient majeur de caractériser non seulement la reprise de contact de face avant, mais l'intégralité du packaging et la puce.

Les résistances dynamiques mesurées présentent de surcroît une faible dispersion, l'écart type des résistances des composants du mode principal n'étant que de 470 µΩ (soit 11 % de la valeur moyenne). Cette apparente reproductibilité ne renseigne cependant en rien quant à la répétabilité de la technique de reprise de

contact : l'éventuelle dispersion de résistance du contact est masquée par la résistance de la puce, qui domine largement la résistance globale de l'assemblage[10].

L'étude proposée ne peut donc guère quantifier les résistances associées aux procédés comparés, elle ne peut que montrer que les deux techniques présentent des résistances similaires et a priori faibles devant celles de la puce.

Réaliser des tests dans des conditions davantage maitrisées, sans problématiques liées en particulier à la résistance de la puce, aurait permis de mesurer avec une bonne exactitude la résistance des techniques de reprise de contact. Des couches minces d'aluminium ou des pavés de silicium métallique auraient ainsi pu être utilisés en lieu et place de puces réelles [267].

La méthode employée permet néanmoins de comparer la technique de reprise de contact à celle, pleinement optimisée, du procédé conventionnel auquel elle souhaite se mesurer.

Cette méthode de test globale est par ailleurs particulièrement indiquée dans le cadre de l'étude préliminaire présentée dans ce manuscrit. Elle permet en effet de caractériser simultanément la résistance électrique du procédé de reprise de contact et la tenue en tension. Cette méthode renseigne enfin sur les conséquences de l'étape de laminage : la forte pression appliquée localement par la mousse sur la puce ne semble pas en détériorer la structure interne.

Comme indiqué précédemment, les puces de MOSFET silicium utilisées dans cette section font partie d'un lot ne respectant pas les spécifications du composant ; l'utilisation de ces puces constitue une erreur méthodologique majeure de l'étude. Il n'est ainsi pas possible de déterminer si la dispersion des caractéristiques obtenues pour les composants enfouis, en particulier sur les tensions de claquage, est due à une faiblesse du procédé d'enfouissement où à l'utilisation de puces défaillantes *ex ante*. Ces résultats constituent néanmoins une estimation pessimiste des performances : celles obtenues avec des puces neuves seraient meilleures.

2.2.3 IMPÉDANCE AC

2.2.3.1 RÉSISTANCE DYNAMIQUE AC

Les caractéristiques magnétiques du nickel dont est constituée la mousse pourraient se traduire par d'importants courants induits, sources de pertes. Les impédances AC (impédance en petit signal vs fréquence) d'un prototype et de la référence sont mesurées à l'aide du dispositif schématisé en Figure III.28-a.

Une source de courant, constituée d'une alimentation de laboratoire dont l'impédance de sortie est augmentée à l'aide d'une inductance 120 µH (de réactance positive jusqu'à 2,5 MHz) et d'une résistance d'amortissement de 10 Ω, force un courant de polarisation I_{dc} dans la diode à caractériser. L'impédance du composant au point de polarisation considéré est alors directement mesuré par la section gain-phase d'un analyseur E5061b, connectée en mode « shunt », le stimulus AC étant d'amplitude 5,4 mA. Toutes les mesures sont réalisées à l'équilibre thermique, la température de jonction se trouvant supérieure à l'ambiant du fait de la puissance dissipée par la circulation du courant de polarisation. Ce dispositif expérimental permet la mesure directe de l'impédance dynamique du composant, i.e. de l'inverse de la pente de la caractéristique (V_f, I_f) (Figure III.24) du composant testé.

Les résultats (Figure III.28-b) montrent des courbes plates jusqu'à au moins 1 MHz, preuve que le caractère magnétique du nickel n'est pas source de pertes accrues.

[10] Des tests additionnels ont montré que la résistance de la référence connectée par fils de bondings est de 490 µΩ pour un courant de test $I_0 = 350$ A. Ce sont donc une fraction inférieure à $490\ \mu\Omega/3{,}3\ \text{m}\Omega = 15\ \%$ de la résistance mesurée à $I_0 = 10$ A qui est due au package.

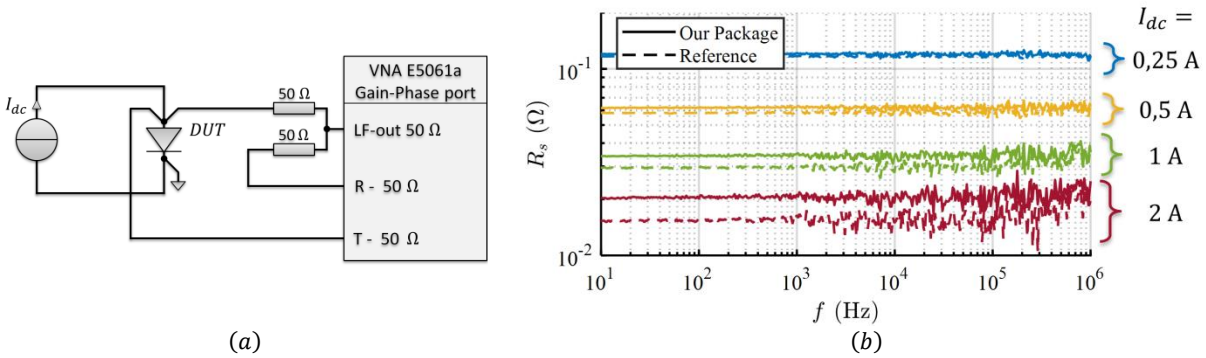


Figure III.28 : mesure de l'impédance dynamique AC. (a) : circuit de test. (b) : résultats de mesure pour différents courant de polarisation I_{dc}.

Des tests similaires, réalisés avec un analyseur E4990a, un adaptateur 42942a, et un T de polarisation 16200b ont permis d'étendre ces résultats jusqu'à au moins 10 MHz.

2.2.3.2 INDUCTANCE AC

Dans un module de puissance conventionnel, la connexion des fils de bonding au DBC fixe une limite basse aux distances pouvant séparer les puces. À l'opposé, dans le cas d'un assemblage enfoui dans un PCB, la connexion de face avant requière une surface sensiblement identique à celle de la puce. Cette propriété, associée à la mise à disposition d'un circuit multicouche, permet d'accroître la densité des assemblages (nonobstant les difficultés liées à la gestion thermique) et, par suite, de limiter les inductances parasites.

2.2.4 SURFACE DE CONTACT ENTRE MOUSSE ET PUCE

L'étude par analyse d'image de la coupe d'un échantillon permet d'estimer que la surface de contact entre le nickel constituant la mousse et la métallisation aluminium de la puce représente environ 10 % (et fort probablement entre 5 et 12 %) de la surface du morceau de mousse en contact avec la puce. Du fait de la déformation de la mousse au cours du pressage, cette valeur est supérieure à celles proposées dans la littérature pour des mousses non compressées (e.g. 1 % dans les tests rapportés par [284]).

En comparaison, l'étude optique de composants décapsulés a montré que la surface de contact entre les fils de bonding et la puce dans le boitier conventionnel PQFN23, considéré comme référence ici, représente 15 % de la surface du pad de source. Cette valeur relativement élevée est due à la volonté du fondeur de minimiser la résistance du boitier : le ratio n'est que de 7 % dans le cas d'un MOSFET SiC C2M0025120 (1200 V-25 mΩ_{typ}) et de 2 % pour un MOSFET SPW47N60C3 (650 V-60 mΩ_{typ}).

2.3 CARACTÉRISATION THERMIQUE DE LA MOUSSE PRESSÉE

2.3.1 MESURE

L'un des attraits des techniques d'enfouissement PCB est de permettre, a priori, un refroidissement double face des puces enfouies. De manière à déterminer dans quelle mesure la technique de reprise de contact étudiée l'autorise, la résistance thermique d'un morceau de mousse imbibé de résine époxy et laminée entre deux feuilles de cuivre a été mesurée à l'aide du dispositif mis au point dans [285]. L'appareil (Figure III.29) consiste en une source chaude (« heater ») et une source froide (« heatsink, fan ») faisant circuler un flux de chaleur ϕ dans l'échantillon à caractériser (« DUT ») ainsi que dans une résistance thermique calibrée (R_{th}^{ref}) appelée à servir de capteur de flux. La géométrie de l'ensemble assure que la densité de flux de chaleur dans l'échantillon est homogène. Des capteurs (« Temperature measurement T_n ») permettent de mesurer la différence de température aux bornes de l'échantillon et de la résistance calibrée. De ces mesures est déduite la résistance thermique de l'échantillon $R_{th}(DUT)$, dont est déduite sa conductivité.

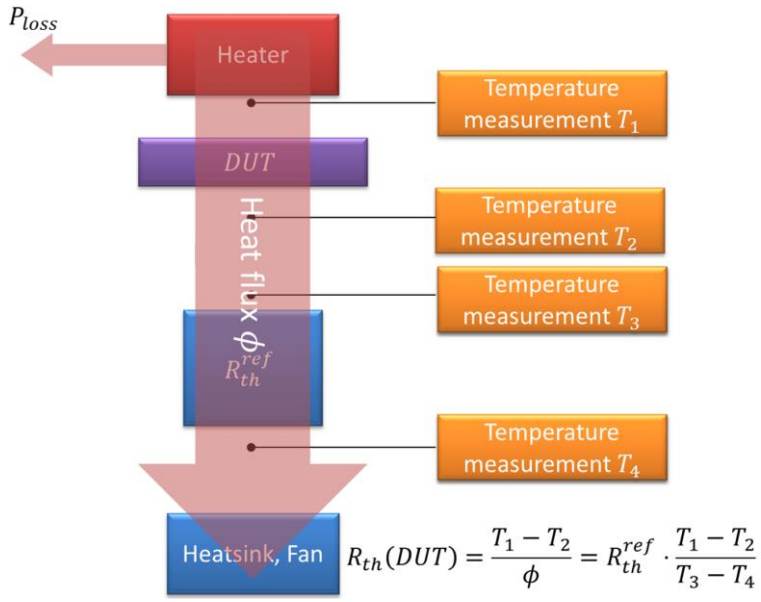


Figure III.29 : schéma du dispositif de mesure de résistance thermique. Résistances thermiques parasites non représentées.

La conductivité de la mousse pressée imbibée de résine époxy polymérisée est alors estimée à environ $\lambda_{NiFO} \approx 2{,}2\ \mathrm{Wm^{-1}K^{-1}}$, avec une forte incertitude, estimée à au moins ±20 %. Cette valeur représente 2,4 % de la conductivité thermique du nickel pur et 700 % de celle du prepreg.

2.3.2 Discussion

2.3.2.1 Résistance thermique surfacique

La valeur de conductivité thermique ci-dessus intègre la résistance de contact entre la mousse et les feuilles de cuivre situées de part et d'autre. Celle-ci constituant possiblement une part importante de la résistance totale, il semble plus pertinent de spécifier une résistance surfacique qu'une conductivité. Cette résistance $R_{th,S}$ a alors pour valeur la résistance thermique d'un contact pressé de surface unitaire :

$$\lambda_{NiFO} \approx 2{,}2\ \mathrm{Wm^{-1}K^{-1}}, \qquad R_{th,S} = \frac{e_{NiFO}}{\lambda_{NiFO}} \approx 110\ \mathrm{K \cdot W^{-1} \cdot mm^2} \tag{III.80}$$

Où e_{NiFO} est l'épaisseur du contact en mousse pressée du prototype testé.

2.3.2.2 Nature des interfaces

Les tests ont été réalisés en pressant la mousse entre deux plaques de cuivre alors que, dans le cas d'une reprise de contact réelle, l'une des interfaces comprend une couche d'aluminium. Du fait de la différence de topologie entre les interfaces, et plus précisément du fait de la pénétration de l'aluminium par le nickel (comme le montrait la Figure III.17, page 136), il est attendu que la résistance thermique du contact soit meilleure que celle mesurée ici [284], [286].

2.3.2.3 Ratio de compression de la mousse

Si le contact en mousse caractérisé ci-dessus a pour épaisseur $e_{NiFO} = 250\ \mu\mathrm{m}$, le ratio de compression de la mousse, défini comme le rapport des épaisseurs avant et après pressage, peut varier – par exemple dans le cas où des puces d'épaisseurs différentes seraient enfouies simultanément. L'effet de cette variation sur la conductivité équivalente du contact n'est pas évident. En effet, tant que la mousse n'est pas fortement écrasée, le flux de chaleur doit suivre les fibres constituant celle-ci – la faible conductivité de l'époxy fait qu'il n'existe que peu de chemins déviés permettant au flux de chaleur de passer d'une fibre à l'autre. La résistance thermique de la phase métallique de la mousse est finalement peu dépendante du ratio de compression, d'où découle une diminution de

la conductivité équivalente [287]. Il peut en revanche être attendu, et c'est le paramètre principal, que la résistance thermique du contact soit une fonction décroissante de l'épaisseur de la mousse e_{NiFO}.

2.3.3 CARACTÉRISTIQUES THERMIQUES DE MOUSSE DANS LA LITTÉRATURE

2.3.3.1 INTRODUCTION

De nombreux travaux de recherche se sont intéressés aux propriétés thermiques des mousses métalliques par modélisation, par simulation par éléments finis, ou expérimentalement. Les modélisations peuvent mettre en œuvre des techniques d'homogénéisation ou passer par une description fine de la géométrie de la mousse. Dans ce dernier cas, il est supposé que la structure de la mousse est constituée d'un arrangement régulier de cellules unitaires dont la résistance thermique équivalente est calculée analytiquement en modélisant chaque élément par une résistance thermique [288].

Cette section détaille les conductivités thermiques prédites par quelques modèles appliqués au cas de la mousse utilisée. L'hypothèse de régularité n'étant pas remplie dans le cas d'une mousse pressée, aucun modèle analytique ne sera considéré ici – à l'exception de ceux exploitant des techniques d'homogénéisation ou supposant des structures de mousses stochastiques. La plupart des études expérimentales (sauf e.g. [287]) se basent également sur des mousses non-comprimées.

ε désigne la porosité du milieu, λ_s la conductivité du métal et λ_f celle de l'autre phase. Les indices utilisés découlent de l'application typique de ces mousses dans des échangeurs de chaleur, impliquant une phase solide et une phase fluide.

2.3.3.2 MODÈLE ASYMPTOTIQUES

Divers modèle homogénéisant, dits « asymptotiques », ont été publiés. Les deux plus simples (Table III.6, Eq. (III.81)-(III.82)) supposent que les deux phases constituant la mousse sont des éléments distincts pouvant être connectés en série ou en parallèle. Ils caractérisent les conductivités équivalentes limites atteignables étant données les conductivités des matériaux et la porosité de la mousse. Le modèle de Maxwell-Eucken, développés pour décrire une émulsion diluée de sphères dans une matrice solide, propose deux limites à la conductivité équivalente du milieu [288]. Le modèle de Miller décrit la conductivité d'un volume empli de sphères prises dans une matrice [288], [289]. Deux modèles asymptotiques sont proposés, selon que ce sont les sphères ou la matrice qui représentent la phase métallique. La théorie des milieux effectifs donne une valeur de conductivité équivalente, supposant une distribution aléatoire des phases. [290] propose un modèle de milieu isotrope diphasique. La borne basse est donnée en Eq. (III.88), la borne haute est confondue avec celle donnée par le modèle Maxwell-Eucken (III.84). Les modèles correspondant aux Eq. (III.89)-(III.91) sont empiriques, ils consistent en des ajustements réalisés sur des mesures de conductivité.

Table III.6 : liste de modèles de conductivité thermique asymptotiques. $\alpha = \lambda_f \cdot \lambda_s^{-1}$.

Modèle		Expression	Eq.
Modèle série	[288]	$\lambda_\perp = \left(\frac{\varepsilon}{\lambda_f} + \frac{1-\varepsilon}{\lambda_s}\right)^{-1}$	(III.81)
Modèle parallèle	[288]	$\lambda_\parallel = \varepsilon\lambda_f + (1-\varepsilon)\lambda_s$	(III.82)
Maxwell-Eucken, borne inférieure	[288]	$\lambda_{ME,low} = \lambda_f \frac{3\lambda_s - 2(\lambda_s - \lambda_f)\varepsilon}{3\lambda_f + (\lambda_s - \lambda_f)\varepsilon}$	(III.83)
Maxwell-Eucken & Hashin–Shtrikman, borne supérieure	[288]	$\lambda_{ME,up} = \lambda_s \frac{2\lambda_s + \lambda_f - 2(\lambda_s - \lambda_f)\varepsilon}{2\lambda_s + \lambda_f + (\lambda_s - \lambda_f)\varepsilon}$	(III.84)
Miller, borne inférieure	[289]	$\lambda_{Mil,low} = \lambda_f \left(\alpha - \varepsilon(\alpha-1) - \frac{4\varepsilon(\alpha-1)^2(1-\varepsilon)}{3(\alpha+1) + (2\varepsilon-1)(\alpha-1)}\right)^{-1}$	(III.85)
Miller, borne supérieure	[289]	$\lambda_{Mil,up} = \lambda_f\big(1+\varepsilon(\alpha-1)\big)\left(1 - \frac{\varepsilon(\alpha-1)^2(1-\varepsilon)}{\big(1+\varepsilon(\alpha-1)\big)\big(3+(1+\varepsilon)(\alpha-1)\big)}\right)$	(III.86)
Milieu effectif	[288]	$\lambda_{eff} = \frac{1}{4}\left[\lambda_f(3\varepsilon-1) + \lambda_s(2-3\varepsilon) + \sqrt{\big(\lambda_f(3\varepsilon-1) + \lambda_s(2-3\varepsilon)\big)^2 + 8\lambda_f\lambda_s}\right]$	(III.87)
Hashin–Shtrikman, borne inférieure	[290]	$\lambda_{HS,low} = \lambda_f + (1-\varepsilon)\cdot\left(\frac{1}{\lambda_s - \lambda_f} + \frac{\varepsilon}{3\lambda_f}\right)^{-1}$	(III.88)
Calmidi & Mahajan	[291]	$\lambda_{eff} = \varepsilon\lambda_f + A(1-\varepsilon)^n\lambda_s, \quad A = 0{,}181, \quad n = 0.763$	(III.89)
Bhattacharya et al.	[292]	$\lambda_{eff} = A\lambda_\parallel + (1-A)\lambda_\perp, \quad A = 0{,}35$	(III.90)
Singh & Kasana	[293]	$\lambda_{eff} = \lambda_\parallel^F \lambda_\perp^{1-F}, \quad F = 1{,}0647 \cdot \left(0{,}3031 + 0{,}0623\ln\left(\varepsilon\frac{\lambda_s}{\lambda_f}\right)\right)$	(III.91)

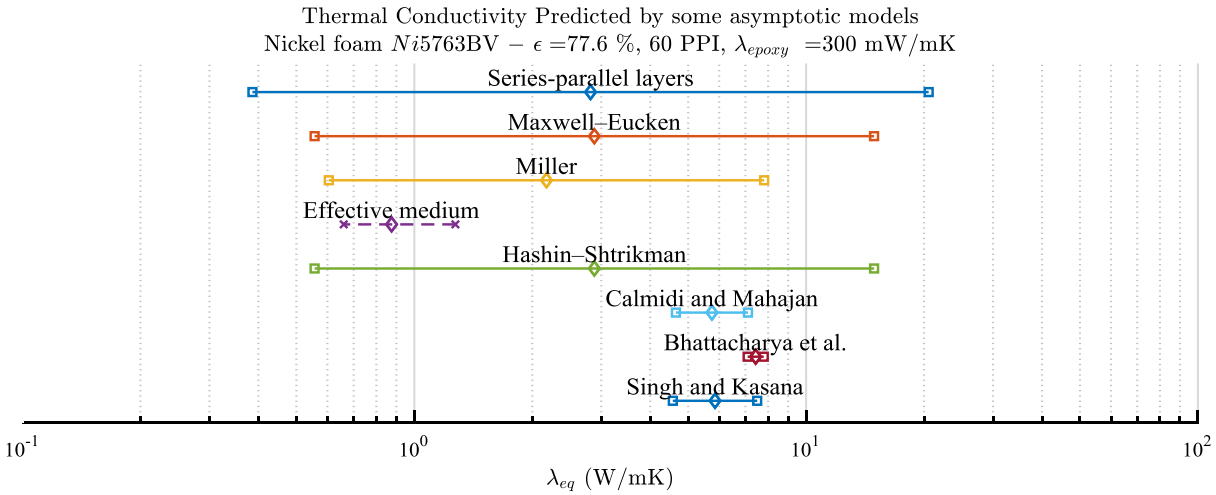


Figure III.30 : plages de conductivités thermiques prédites par les différents modèles asymptotiques pour le contact en mousse pressée. La plage dans le cas du modèle de milieu effectif correspond à une incertitude de ±5 % sur la porosité de la mousse ; les modèles empiriques supposent de surcroît une incertitude de ±10 % sur les coefficients numériques ajustés.

2.3.3.3 Conclusion sur l'état de l'art de la conductivité thermique des mousses

Les plages de conductivité prédites par les modèles asymptotiques rapportés sont très larges, avec une bande commune s'étendant de 0,6 W/mK à 8 W/mK et présentant une moyenne géométrique de 2,7 W/mK – valeur relativement proche (+22 %) de celle obtenue expérimentalement. Les modèles empiriques (Eq. (III.89)-(III.91)) prédisent une conductivité près de trois fois supérieure à celle mesurée, du fait de leur application en dehors de leur domaine de pertinence : ils ont été développés pour des porosités élevées, supérieures à 90 %.

L'ensemble de ces modèles ne prend néanmoins pas en considération la résistance de contact entre la mousse noyée par la résine polymérisée et les interfaces de cuivre et d'aluminium [284].

L'étude de l'état de l'art se révèle finalement peu concluante, justifiant la nécessité d'une caractérisation du contact réalisé.

2.3.4 Conclusion sur la gestion thermique

La faible conductivité thermique du contact en mousse suggère qu'il ne permettra qu'une extraction limitée de la chaleur dissipée au sein de la puce – en dépit de sa grande surface et de sa finesse. L'enrobage époxy et les fibres de verre, associés aux pistes de cuivres internes du PCB, devraient néanmoins permettre un meilleur épanouissement du flux de chaleur que dans un assemblage conventionnel, et par conséquent conférer aux puces enfouies dans le PCB des capacités de refroidissement sensiblement améliorées [219].

2.4 Conclusion sur la mise en œuvre et la caractérisation du procédé

Une étude préliminaire portant sur la caractérisation de puces enfouies dans un PCB et dont la face avant est connectée par un morceau de mousse pressée a été proposée. Des puces de MOSFET silicium basse-tension ayant leurs sources et grilles court-circuitées étaient considérées. Des prototypes fonctionnels furent réalisés, démontrant la faisabilité du procédé de reprise de contact.

Les caractéristiques statiques directes de ces diodes ont été mesurées et comparées à celles obtenues sur des puces de la même référence mais connectées par fils de bonding. Les résistances des composants sont semblables, ce qui suggère que les deux techniques de reprises de contact de face avant introduisent des pertes similaires. Cette observation doit être pondérée par le fait que la résistance mesurée correspond à la résistance globale de l'assemblage, dominée par celle des puces. Pour la même raison, l'éventuelle dispersion sur la résistance des contacts est masquée par celle des puces.

La mesure des caractéristiques inverses des assemblages montre indéniablement que certains échantillons n'ont pas été endommagés par le pressage. D'autres présentent cependant des courants de fuites élevés et chaotiques, voire des tensions d'avalanches notablement réduites. Ceci peut être dû à une détérioration de la puce durant le pressage, conséquence de la forte contrainte (localement supérieure à 7 MPa) appliquée sur la puce. Certaines puces étaient par ailleurs défaillantes avant pressage, et il est possible que grilles et sources de certains MOSFET n'étaient pas correctement court-circuitées.

3 Fiabilité

3.1 Introduction

Au-delà d'une simple preuve de concept, la section précédente a montré qu'une partie des prototypes réalisés présente des caractéristiques électriques proches de celles d'un boitier standard, lui-même pourtant optimisé pour limiter les pertes par conduction. La technique de reprise de contact proposée ne pourra néanmoins trouver d'application de série si sa fiabilité comme sa robustesse n'atteignent pas les standards industriels. La présente section propose une étude de l'évolution des caractéristiques de divers prototypes dans des conditions de vieillissement accéléré.

De même que celle menée dans la section précédente, cette étude de fiabilité se veut à large spectre et n'est que préliminaire. Elle cherche ainsi à solliciter quelques assemblages par diverses excitations thermiques et électriques, stressant de manière plus ou moins ciblée et intensive différentes parties du composant.

Quatre tests sont ainsi menés. La section 3.2 (page 150) traite de l'application de pics de courant de forte intensité sur des échantillons, de manière à investiguer l'effet de fortes densités de courant au niveau des interfaces avec la mousse. La section 3.3 (page 154) discute l'effet d'un cyclage thermique violent, stressant l'intégralité de l'assemblage – en particulier les interfaces entre matériaux de différentes natures. Les sections 3.4 (page 161) et 3.5 (page 167) portent sur des tests en court-circuit visant à évaluer l'impact de la méthode de reprise de contact de face avant sur la robustesse et la fiabilité d'assemblage.

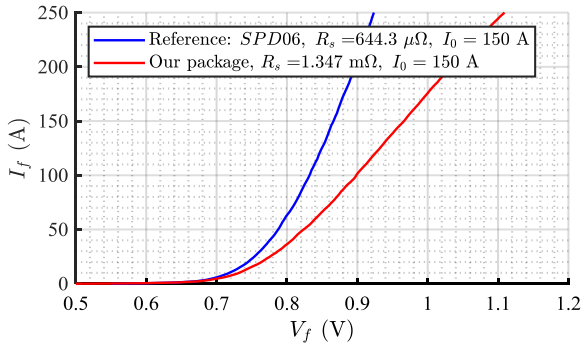
3.2 VIEILLISSEMENT PAR IMPULSIONS DE COURANTS

3.2.1 INTRODUCTION

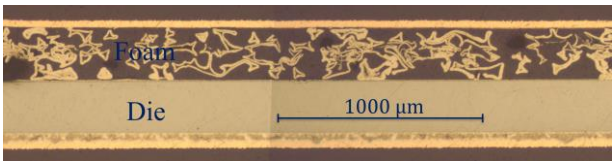
3.2.1.1 MOTIVATION

Les tests de caractérisation électrique d'assemblages avec contact par mousse pressée ont montré que le procédé semblait tolérant aux surcharges (Figure III.31-a) puisqu'ils ne semblent pas dégradés par des impulsions de courant de 200 µs et d'amplitude 250 A (soit des densités de courant moyennes de l'ordre de 40 A/mm²).

D'un autre côté, les coupes métallographiques réalisées sur des échantillons (Figure III.31-b) ont révélé que les contacts entre la mousse et la métallisation de la face avant de la puce sont très localisés. Ceci devrait entrainer des concentrations de courant au niveau des points de contact, avec des densités de courants particulièrement élevées. Celles-ci, en conjonction avec les résistances de contact entre la mousse et la puce, pourraient se traduire par l'apparition de points chauds. Ces derniers pourraient détériorer localement le contact ou la puce, conduire à un emballement thermique, ou encore dégrader la structure physico-chimique de l'encapsulant, se traduisant par un dégazage et par suite une montée en pression de l'assemblage.



(a)



(b)

Figure III.31 : (a) : caractéristique statique (V_f, I_f) d'une diode enfouie et d'une référence en boitier standard sous fort courant (≫ au courant nominal). (b) : coupe métallographique partielle d'un échantillon.

Cette section propose une caractérisation expérimentale de l'effet de courts pics de courant de forte amplitude sur les performances électriques de puces enfouies. Pour comparaison, une puce connectée par fils de bonding subit le même traitement.

3.2.1.2 MÉTHODE

Des MOSFET silicium basse tension (SPD06, cf. section 2.1.3.5, page 138) connectés en diodes (i.e. $V_{gs} = 0$)sont soumis à des pics de courant de 150 A d'amplitude et durant 200 µs (Figure III.32). La densité de courant maximale dans la puce est alors d'environ 7 A/mm². Cependant, de manière à accroître le stress sur la mousse et ses interfaces sans accentuer celui sur le corps de la puce lui-même, un morceau de mousse de dimensions réduites est utilisé : la surface de la mousse ne représente que 30 % de celle de la puce. La densité de courant moyenne dans la mousse est alors proche de 20 A/mm².

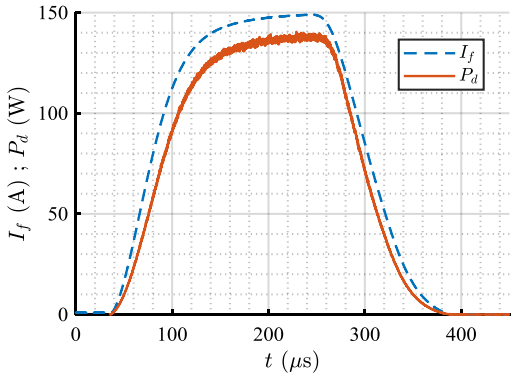


Figure III.32 : courant I_f et puissance dissipée P_d au cours d'une impulsion.

Chaque impulsion délivre 30 mJ à la puce, pour une puissance crête d'environ 140 W. La fréquence de répétition étant de 12,5 Hz, la puissance moyenne dissipée dans le composant vaut 0,4 W. La durée, l'amplitude et la fréquence des impulsions ont été choisies de manière à assurer que la jonction reste à une température proche de l'ambiant, pour limiter le vieillissement par cyclage thermique actif. La mesure de la tension de seuil d'une diode au cours du test a permis de vérifier que la température moyenne du composant est d'environ 15 °C supérieure à l'ambiant tandis que les impulsions entrainent une oscillation d'amplitude proche de 2 °C autour de cette valeur moyenne. Une simulation par éléments finis (FEMM-2D) a pu confirmer ces valeurs. D'un autre côté, il est escompté que chaque impulsion délivre suffisamment d'énergie pour que des modifications métallurgiques puissent éventuellement se produire à l'interface entre la puce et la mousse.

L'état de santé du composant est monitoré tout au long du test via sa caractéristique statique (V_f, I_f), mesurée tous les 1 000 à 10 000 impulsions. La résistance électrique de l'assemblage (définie comme la pente de la caractéristique pour un courant direct $I_f^0 = 150$ A) caractérise en particulier l'état des interfaces entre la mousse et la puce d'une part, et du PCB supérieur d'autre part.

Un traceur de caractéristiques Tektronix 731a est utilisé tant pour générer les pics de courant stressants que pour faire les mesures de caractéristiques statiques. Trois puces enfouies ainsi qu'une packagée en boitier standard sont soumises à ce test de vieillissement.

3.2.2 RÉSULTATS

3.2.2.1 PUCES ENFOUIES

Des trois assemblages par mousse pressée testés, l'un (noté $P\alpha$) a subi une défaillance catastrophique en court-circuit après $6{,}3 \cdot 10^5$ impulsions, un autre ($P\beta$) en circuit ouvert après 7 000 à 8 000 impulsions, tandis que les caractéristiques du dernier ($P\gamma$) n'ont pas notablement évolué après $13 \cdot 10^6$ impulsions.

Le suivi du vieillissement jusqu'à défaillance catastrophique du prototype $P\alpha$ est donné en Figure III.33. L'augmentation de résistance (+7 %) observée au cours de $5 \cdot 10^4$ premières impulsions est probablement due à un vieillissement de jeunesse de l'assemblage. Cette caractéristique a également pu être observée sur l'échantillon $P\gamma$ (Figure III.34, accroissement de 6 % de la résistance). Dans le cas de $P\alpha$ (Figure III.33-b), l'évolution observée pour un nombre d'impulsions n_{pulse} compris entre $6 \cdot 10^4$ et $2 \cdot 10^5$ est quant à elle probablement un artefact de mesure, lié au changement de la fréquence de mesure des caractéristiques statiques de l'assemblage. Enfin, l'accroissement rapide de résistance observé pour $n_{pulse} > 4 \cdot 10^5$ témoigne de la défaillance du composant, jusqu'à la rupture brutale en court-circuit après $6{,}3 \cdot 10^5$ impulsions. Cette croissance rapide rappelle celle observée dans le cas d'une levée de fils de bonding, à ceci près que le composant se trouverait alors déconnecté, i.e. en circuit-ouvert.

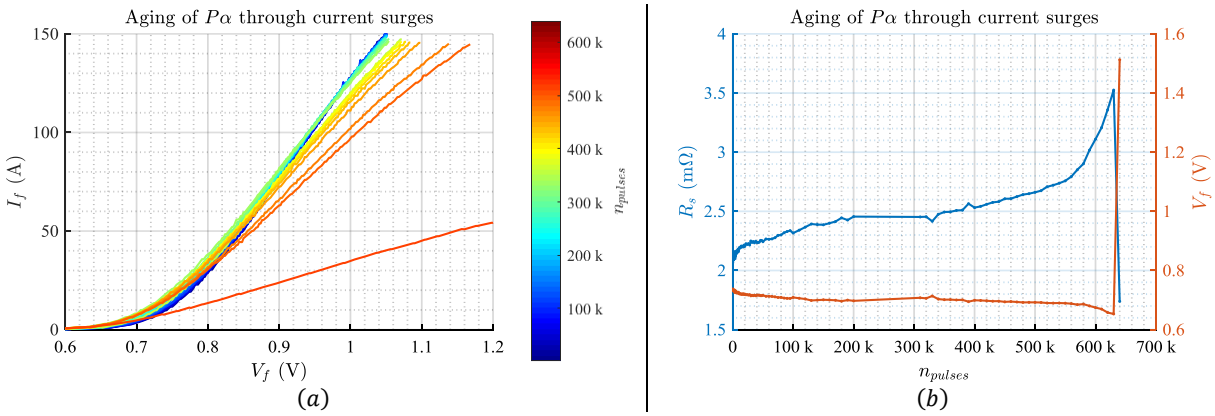


Figure III.33 : vieillissement par impulsions de courant de 150 A du prototype $P\alpha$. (a) : caractéristiques statiques mesurées. (b) : paramètres (R_s, V_f) extraits à $I_f^0 = 150$ A (droite).

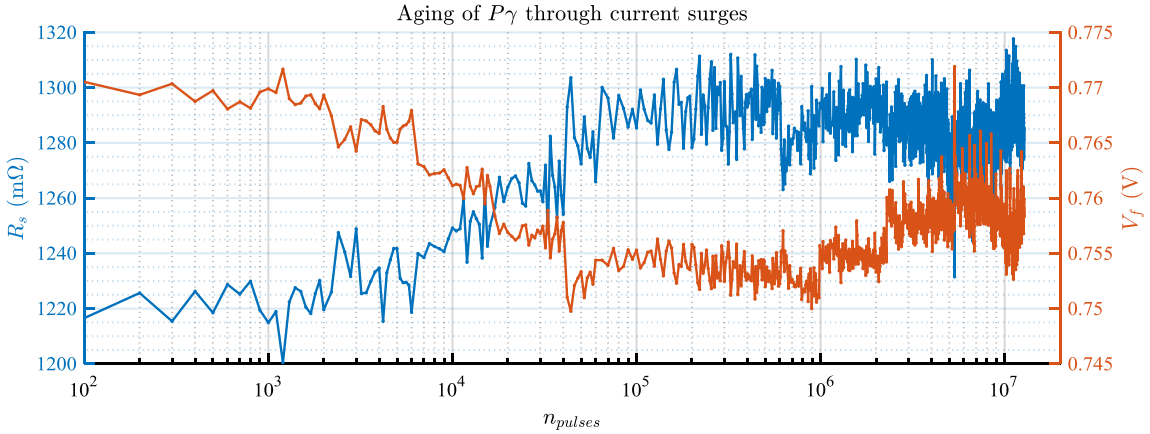


Figure III.34 : évolution des éléments du modèle du prototype $P\gamma$ au cours du vieillissement (tension de seuil en bleu, résistance en rouge) – abscisse logarithmique. Le bruit (quelques dizaines de µΩ et mV) est dû à l'instrument de mesure, ainsi qu'aux variations de température ambiante, comprise entre 19 °C et 26 °C.

Une corrélation entre éléments du modèle et température ambiante est donnée en Figure III.35, montrant la consistance et l'absence de dérive de la part des éléments du modèles – à l'exception des quelques points correspondant au début des tests, qui attestent d'un vieillissement de jeunesse du composant.

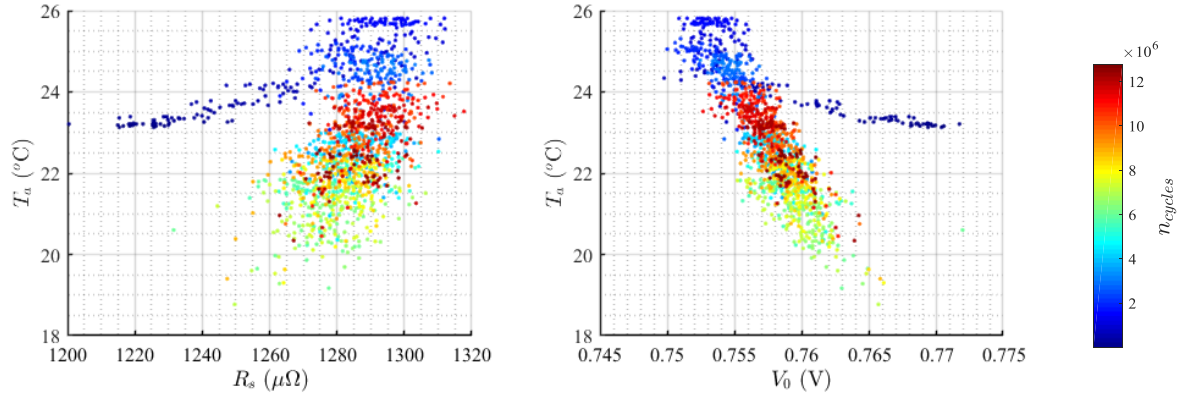


Figure III.35 : éléments du modèle vs température ambiante mesurée au cours du vieillissement) $P\gamma$; résistance (gauche) et tensin de seuil (droite). Un point est indiqué pour chaque mesure, sa couleur est fonction du nombre de pulses écoulés.

3.2.2.2 PUCE CONNECTÉES PAR FILS DE BONDING

Un composant packagé par le fondeur a été soumis au même test de vieillissement. Une augmentation de résistance de +7 % est observée au cours des $2 \cdot 10^4$ premières impulsions, témoignant, de même que pour les

puces enfouies, d'un vieillissement de jeunesse du composant. Aucune variation de résistance n'a été observée au cours des 10 millions de pulses suivants.

3.2.3 ANALYSE DE DÉFAILLANCE

L'analyse de coupes métallographiques d'échantillons vieillis n'a pas montré de trace de défaillance. Les coupes des échantillons $P\alpha$ et $P\gamma$ ont révélé des puces fracturées mais il est probable que ces fractures sont dues à la découpe en elle-même plutôt qu'au vieillissement : l'échantillon $P\gamma$ n'avait que marginalement vieilli au moment de l'analyse.

Une coupe de l'échantillon $P\gamma$ montre néanmoins un important écrasement local de la métallisation de face avant de la puce (Figure III.36) ayant potentiellement fragilisé, voire endommagé, la structure interne de la puce.

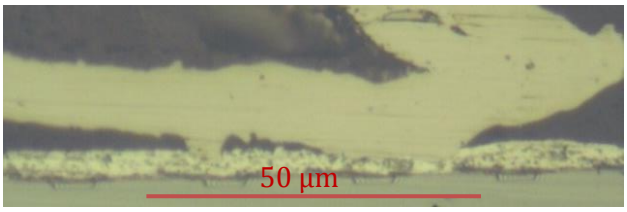


Figure III.36 : coupe métallographique montrant une zone de contact entre mousse et métallisation de face avant de puce, et en particulier l'écrasement de cette dernière.

Les défaillances observées pourraient être dues à la présence de points chauds dans la puce, dans la mousse ou, plus probablement, à l'interface entre la mousse et la puce, ou éventuellement entre la mousse et le cuivre du PCB supérieur. Par ailleurs, les modes de défaillance et les durées de vie variant, les mécanismes de défaillances pourraient différer d'un échantillon à l'autre.

3.2.4 DISCUSSION

La Table III.7 reprend le détail des tests menés sur les quatre prototypes.

Table III.7 : compendium des résultats de tests menés sur trois composants connectés par mousse pressée, et du composant connecté par fils de bonding

Échantillon	Nombre de pulses @150A avant défaillance	Mode de défaillance
Enfoui $P\alpha$	$6{,}3 \cdot 10^5$	Augmentation de résistance puis court-circuit
Enfoui $P\beta$	$7 \cdot 10^3$ à $8 \cdot 10^3$	Circuit ouvert
Enfoui $P\gamma$	$> 13 \cdot 10^6$	N/A
Référence : fils de bonding	$> 10 \cdot 10^6$	N/A

Cette étude met en avant la faible reproductibilité de la fiabilité du procédé de reprise de contact proposé pour le mode de vieillissement considéré. Celle-ci pourrait constituer une caractéristique intrinsèque du process, constituant alors une importante limitation de la technique de prise de contact. En effet, la structure stochastique de la mousse se traduit par une distribution aléatoire des contacts avec la face supérieure de la métallisation de la puce, variant d'un prototype à l'autre, ce qui pourrait expliquer la dispersion des résultats observés. Cependant, le ratio entre la surface du contact et celle d'un pore de mousse :

$$\frac{\text{surface du contact en mousse}}{\frac{\pi}{4} \cdot (\text{diamètre moyen des pores})^2} > 80 \qquad \text{(III.92)}$$

est relativement élevé, a priori suffisamment pour homogénéiser (et par là moyenner) les propriétés du contact avec la mousse. Ceci n'a, cependant, pas été vérifié.

La faible reproductibilité des résultats pourrait également être due au manque de maturité du procédé – elle serait alors appelée à s'améliorer avec le développement de celui-ci. Enfin, les puces enfouies ayant été rejetées par le fondeur, il est possible qu'elles aient présenté des défauts ex-ante ayant servis d'amorces entrainant une défaillance prématurée et peu répétable.

Du fait du coût du test (temps de préparation et de mise en œuvre), seulement trois prototypes enfouis ont été vieillis, montrant des résultats très disparates. Une étude plus poussée, portant sur un plus grand nombre d'échantillons, devrait permettre de lever l'indétermination quant à la source de cette dispersion. Une étude plus large devrait également permettre d'étudier de manière plus systématique l'impact des différents paramètres du test (amplitude, durée, et fréquence de l'excitation) sur la fiabilité.

3.2.5 Conclusion sur les essais de vieillissement par impulsions de courant

L'étude montre une très grande dispersion des résultats de résistance des assemblages face aux impulsions de courant. Ce manque de répétabilité pourrait être dû à la dispersion des caractéristiques des puces, au caractère intrinsèquement aléatoire du contact pressé, ou au manque de maturité de la technique d'enfouissement.

Les prototypes montrent un léger accroissement de résistance (+7 %) au cours des 50 000 premières impulsions, suivi d'une stagnation de la résistance. Il apparait par ailleurs que tous les prototypes tolèrent au moins 7 000 impulsions de 200 µs, pour une densité de courant moyenne de près de 20 A/mm².

3.3 Vieillissement par cyclage thermique passif

3.3.1 Introduction

3.3.1.1 Motivation

Les assemblages PCB sont constitués de nombreux matériaux présentant des coefficients d'expansion thermique (Coefficient of Thermal Expansion – CTE) de valeurs très variées, allant de 2,6 ppm/K pour le silicium à quelques 60 ppm/K pour un substrat époxy standard [213]. Lorsque la température de l'assemblage évolue ou qu'un gradient de température apparait en son sein, par exemple du fait de la présence d'une puce dissipant de la chaleur, les écarts de CTE entre matériaux engendrent des contraintes thermomécaniques – en particulier aux interfaces. Ces contraintes résultent du fait que, d'un côté, les matériaux cherchent à se dilater/contracter plus ou moins suivant leur CTE tandis que de l'autre, les matériaux sont liés, forçant la déformation à être continue à la traversée des interfaces. Les oscillations de température d'un assemblage se traduisent alors par une oscillation des contraintes. La fatigue induite peut entrainer l'apparition de fissures, de fractures ou de délaminations au sein de l'assemblage [213], [294]

L'époxy polymérisé au cours de l'étape de laminage colle faiblement la puce et la mousse. Néanmoins, étant donné la nature même du contact pressé, la mousse et la puce ne requièrent pas, fonctionnellement, d'être solidaires. Une rupture de l'interface pourrait donc être moins préjudiciable que dans le cas d'une puce connectée par fils de bonding. D'un autre côté, la relative liberté de mouvement en résultant pourrait se traduire par de l'abrasion ou un matage au niveau de l'interface [295], [296]. Enfin, l'assemblage n'est mis sous pression externe qu'au cours de l'étape de laminage et ce sont principalement les contraintes résiduelles, la rigidité de l'assemblage et le caractère collant de l'époxy qui assurent le contact entre la puce et la mousse une fois la résine époxy polymérisée. Il est par conséquent possible que la face avant et la mousse soient déconnectées aux températures de fonctionnement extrêmes – en particulier aux plus basses températures, les matériaux étant alors contractés.

La fiabilité en cyclage thermique passif de prototypes connectés par mousse pressée est considérée dans cette section. Cette méthode de test constitue une manière relativement simple et courante permettant de caractériser cet aspect de la fiabilité d'un assemblage hétérogène.

Ces tests ont été menés dans le cadre des thèses de master d'Amar Abdedaim et d'Imane Rhila.

3.3.1.2 Méthode

Des puces enfouies à l'aide du procédé considéré ont été soumises à un vieillissement accéléré par cyclage thermique passif. Les cycles durent 30 min, la température variant de −40 °C à +140 °C (Figure III.37). Les

pentes ne sont pas maitrisées, elles atteignent 0,7 K/s (soit 42 K/min). Ces valeurs sont relativement importantes [211], ce qui accroît le stress sur les assemblages. La forte vitesse de variation de la température, en particulier, ajoute aux contraintes dues aux différences de CTE des contraintes liées aux gradients de température internes aux assemblages [296].

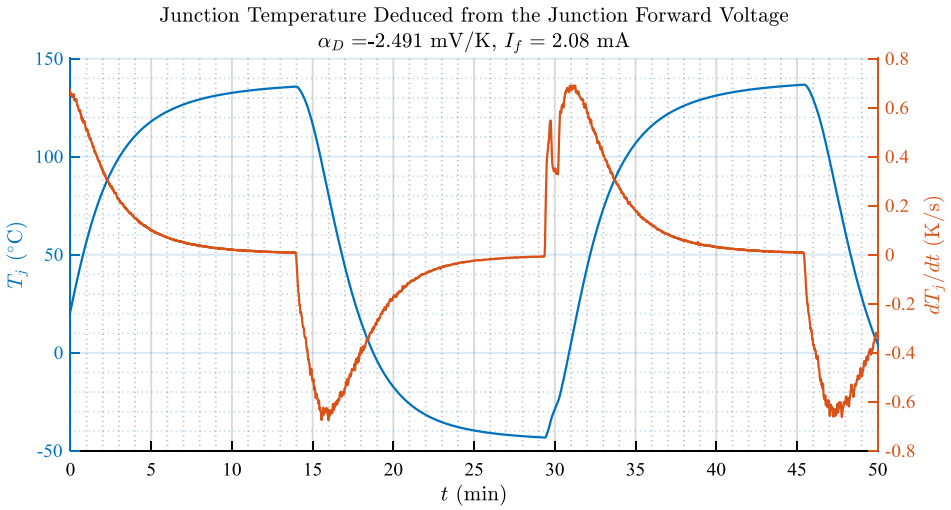


Figure III.37 : température de jonction (bleu) et sa dérivée temporelle (rouge), déduite de la tension de seuil d'une puce enfouie, au cours du vieillissement.

L'ensemble des tests a utilisé des MOSFET silicium (SPD06, cf. section 2.1.3.5, page 138) ayant leurs grilles et sources court-circuitées, et par suite assimilables à leurs diodes de structures. Quatorze puces enfouies et connectées par mousse pressée ainsi que six composants conventionnels, connectés par fils de bonding, ont subi les mêmes tests. Trois prototypes enfouis additionnels n'ont pas été soumis aux tests de vieillissement accéléré et ont constitué un groupe témoin.

Tous les échantillons ont subi 57 cycles thermiques. La caractéristique statique directe des composants a été mesurée, avec connexion kelvin, après deux cycles, puis tous les cinq cycles[11], à température ambiante (comprise entre 23 °C et 28 °C ±0,52 °C). Tout au long du cyclage, la tension de seuil (mesurée sous un courant de test de $I_f = 2{,}08$ mA) de l'une des puces enfouies a été monitorée de manière à fournir une indication sur la température de la jonction ainsi que sur la qualité du contact électrique.

Un critère de défaillance dite « grossière », car situé entre les critères habituels (accroissement de 5 % du $V_{ce_{sat}}$, etc. [216]) et la défaillance catastrophique, est instauré. Il est arbitrairement défini comme l'accroissement de la tension directe d'un composant, incluant puce et connexions, au-delà de 1 V, pour un courant de 20 A.

3.3.2 RÉSULTATS

3.3.2.1 MAINTIEN DU CONTACT DE FACE AVANT AUX TEMPÉRATURES EXTRÊMES

Des mesures de caractéristiques statiques menées sur un échantillon tiers ont montré la capacité du procédé de reprise de contact à fonctionner à des températures de jonction extrêmes (-40 °C et +140 °C). Si cette caractéristique a été observée sur un composant neuf, des différences apparaissent au cours du vieillissement. Ainsi, la tension de seuil de la diode mesurée au cours des 47e, 48e, et 49e cycles thermiques est donnée en Figure III.38 (courbe en train continu bleu). La température de jonction associée (rouge) est estimée à partir de la courbe pointillée bleu, correspondant aux cycles 32 à 34. Le fort bruit observé aux températures de jonction les plus élevées suggère une rupture – ou à minima à une forte dégradation – réversible du contact électrique entre la

[11] Les valeurs numériques de nombres de cycles ≥ 7 ont ainsi une résolution de 5. Ainsi, un composant déclaré comme défaillant après n cycles a effectivement franchi le critère de défaillance après $(n-5)$ à n cycles.

mousse et la puce ou le PCB supérieur. Une étude plus poussée serait à envisager de manière à déterminer le mécanisme à l'œuvre.

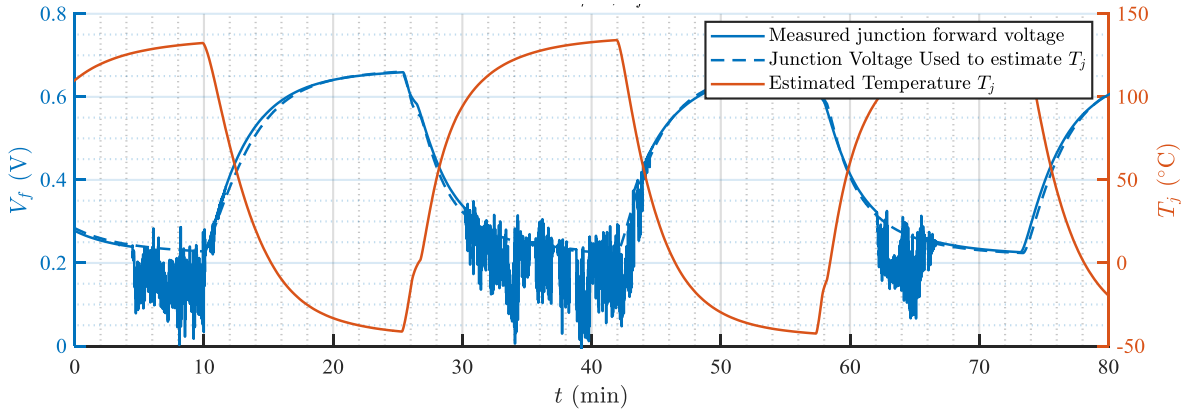


Figure III.38 : tension de seuil (ligne bleue continue) d'un échantillon enfoui connecté par mousse pressé aux cours des 47e à 49e cycles. Température de jonction estimée (ligne rouge) en fonction du temps, à partir de la tension mesurée au cours de cycles précédents (ligne bleue pointillée).

3.3.2.2 RÉSISTANCE D'ÉCHANTILLON CONNECTÉS PAR MOUSSE PRESSÉE

Toutes les puces enfouies avec contact par mousse pressée ont vu leur résistance croître progressivement au cours du vieillissement. Parmi ces quatorze échantillons, neuf ont souffert une défaillance grossière après 2 à 47 cycles (un exemple représentatif est donné en Figure III.39).

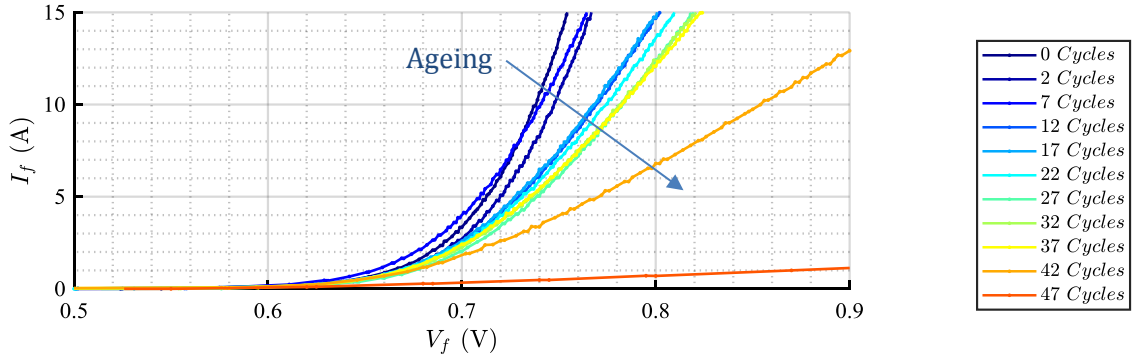


Figure III.39 : évolution de la caractéristique d'un composant : variation rapide de la résistance, jusqu'à défaillance.

Parmi ceux-ci, certains ont affiché une variation non-monotone de résistance ne pouvant être attribuée à l'instrumentation ou à une erreur de mesure (Figure III.40). Ce comportement, observé généralement mais non-systématiquement après défaillance grossière, pourrait être attribué à une évolution de la densité de contact au niveau de l'une des interfaces avec la mousse.

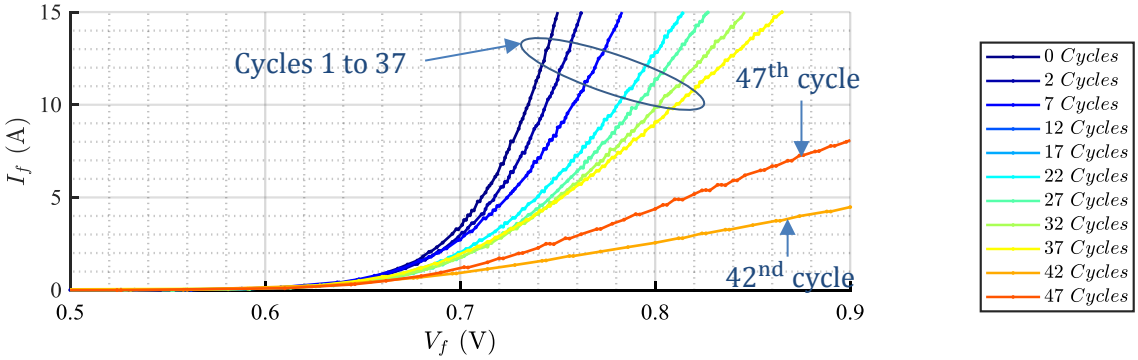


Figure III.40 : évolution de la caractéristique d'un composant : variation non-monotone de la résistance.

Les cinq autres échantillons n'ont pas atteint le critère de défaillance grossière après 57 cycles (Figure III.41).

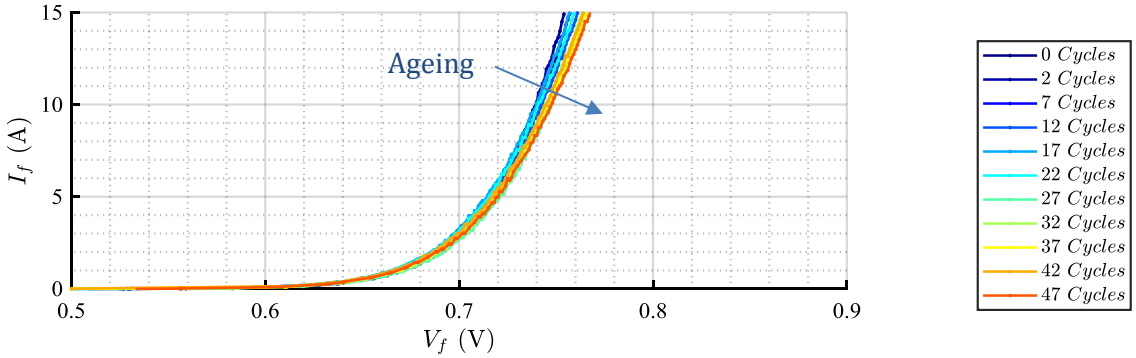


Figure III.41 : exemple représentatif des échantillons ayant vu leur résistance croître lentement et continuellement au cours du vieillissement.

Un récapitulatif de ces résultats (Figure III.42) montre que, même s'il est difficile de conclure sur un aussi faible nombre d'essais, il semble que les deux lots de pressages correspondants aux prototypes 1 à 3 et 11 à 14 (barres respectivement bleues et mauves en Figure III.42) ont donné de meilleurs résultats que les deux autres.

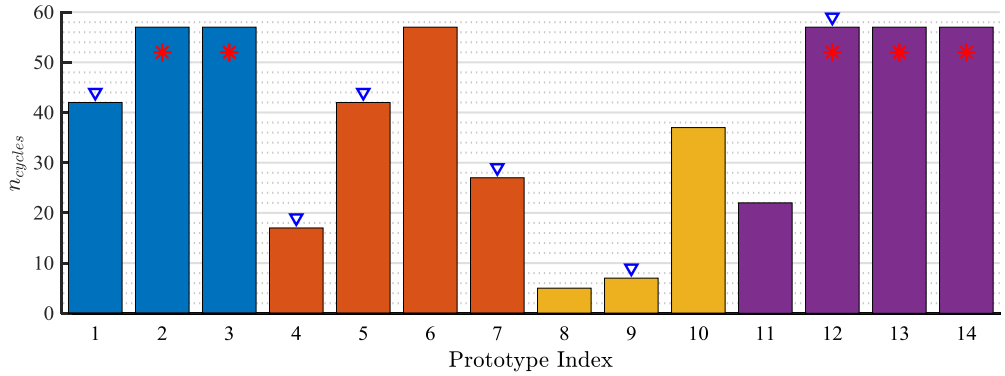


Figure III.42 : nombre de cycles subis avant grossière défaillance. Chaque barre représente un prototype, les barres d'une même couleur représentent des prototypes issus d'un même pressage. Les triangles bleus marquent des prototypes ayant montré une évolution non-monotone de résistance. Les étoiles rouges indiquent des prototypes non grossièrement défaillants lors de l'arrêt des tests.

3.3.2.3 ÉVOLUTION DES CARACTÉRISTIQUES DES COMPOSANTS CONNECTÉS PAR FILS DE BONDING

L'évolution des caractéristiques statiques directes d'un composant connecté par fils de bonding (Figure III.43) montrent une quasi-stagnation de la caractéristique jusqu'à défaillance brutale du composant. Des six échantillons testés, un a cassé après 37 cycles, deux après 42 cycles, et trois n'étaient pas grossièrement défaillants lors de l'arrêt du test, après 57 cycles.

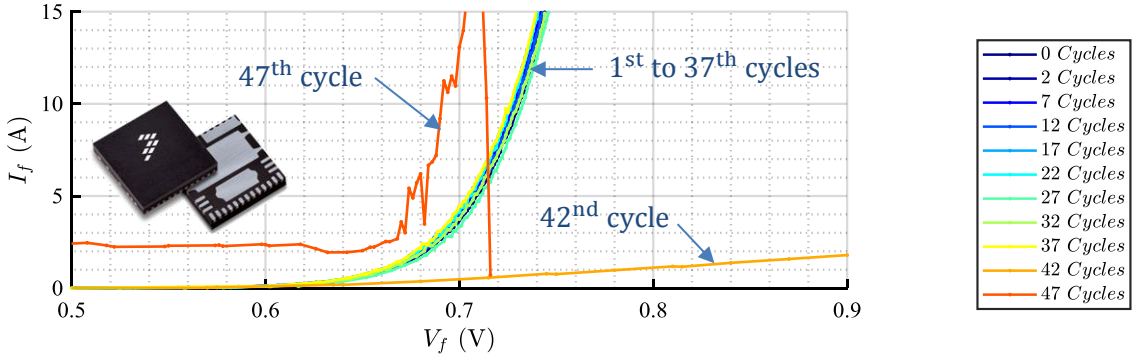


Figure III.43 : caractéristique directe d'une puce connectée par fils de bonding au cours du vieillissement

3.3.3 ANALYSE DE DÉFAILLANCE

3.3.3.1 INTRODUCTION

La section précédente a montré que le vieillissement accéléré par cyclage thermique s'accompagne d'un accroissement notable et progressif de la résistance électrique des composants. Cette augmentation n'ayant pas été observée dans le cas des composants en boitier conventionnel, elle est très vraisemblablement liée à la connexion par mousse pressée et au vieillissement de la mousse, des interfaces avec elle, ou encore de la face avant de la puce elle-même. Cette section détaille les analyses physiques optiques menées de manière à déterminer les mécanismes de défaillances à l'œuvre.

3.3.3.2 COUPES MÉTALLOGRAPHIQUES D'UN BOITIER CONVENTIONNEL

Une coupe métallographique d'un boitier conventionnel défaillant est donnée en Figure III.44. Une fissure se propageant à l'interface entre le pied de bonding et la métallisation de face avant de la puce peut être observée. Cette fissure pourrait expliquer l'augmentation de résistance observée. Les brasures connectant la puce à la semelle du boitier ou ce dernier au véhicule de test ne présentent, quant à elles, pas de signe de vieillissement manifeste.

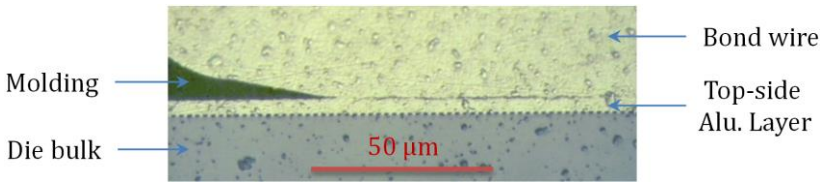


Figure III.44 : fissure au pied d'un fil de bonding connectant la source d'une puce en boitier conventionnel après vieillissement par cyclage thermique.

3.3.3.3 COUPES MÉTALLOGRAPHIQUES DE PUCES ENFOUIES

Les coupes métallographiques réalisées sur certains échantillons de puces enfouies n'ont pas permis d'identifier la cause de la défaillance, ne révélant aucun défaut visible. Les coupes métallographiques ne montrent ainsi pas de délamination, ni ne suggère de déformation au niveau de l'interface entre la mousse et le PCB-supérieur (Figure III.45).

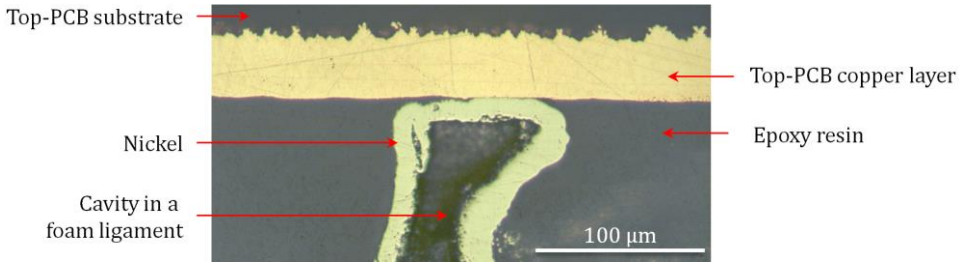


Figure III.45 : détail d'une zone de contact représentative entre la mousse et le cuivre du PCB supérieur.

S'il est des emplacements où le contact entre la mousse et la puce ne semble pas avoir évolué (à l'instar de celui entre le nickel et le cuivre, en Figure III.45), certaines coupes montrent une forte altération du contact. La Figure III.46 (détail de la Figure III.48), par exemple, montre que la métallisation aluminium est longitudinalement fissurée sur une grande longueur. Une feuille d'aluminium est ainsi demeurée attachée à la puce tandis que l'autre est restée solidaire de l'époxy.

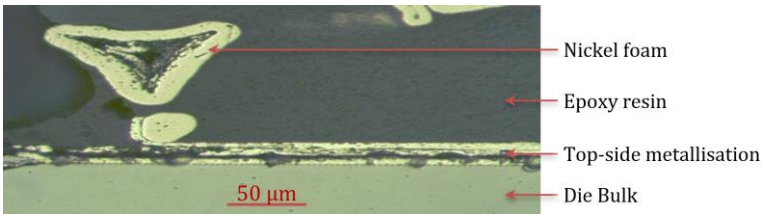


Figure III.46 : détail de la métallisation de la puce fracturée et partiellement délaminée. Une bulle d'air est visible sur la gauche de l'image.

Un détail de cette figure semble montrer (Figure III.47) que la feuille d'aluminium s'est enroulé et fixée au nickel de la mousse. La présence de résine polymérisée entre l'aluminium et la puce (flèche rouge sur la figure) suggère que la délamination s'est produite au cours de l'étape de laminage. S'il semble étrange que la puce ait pu fonctionner dans cet état, ce défaut très localisé a pu servir d'amorce entrainant la dégradation du composant au cours du cyclage. Une étude par Diffraction de Rayons X (DRX) permettrait de confirmer la nature des matériaux (nickel vs aluminium).

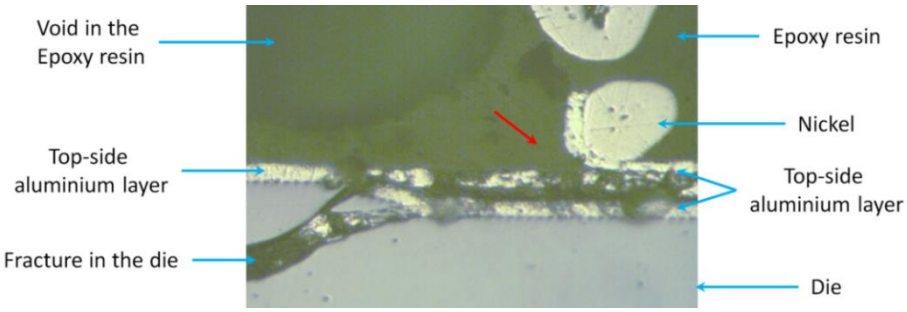


Figure III.47 : détail de la zone de contact entre la mousse et la métallisation de la puce : métallisation aluminium détériorée et collée à la mousse. La flèche rouge souligne une présence de résine époxy. La métallisation mesure 3,6 µm d'épaisseur.

Plusieurs coupes métallographiques de puces ont par ailleurs mis au jour d'importantes fissures se propageant longitudinalement dans la puce, à quelques dizaines de micromètre sous la face avant (Figure III.48).

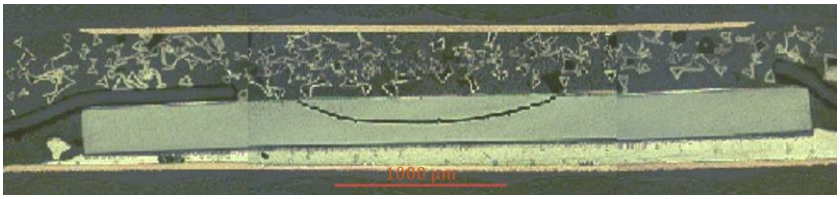


Figure III.48 : puce fracturée longitudinalement sous l'interface entre la puce et la mousse.

Ces fissures peuvent être des manifestations de la défaillance de la puce ou le résultat du traitement mécanique appliqué à la puce au cours de l'analyse de défaillance (découpe, ponçage, polissage). Il n'est a priori pas possible de conclure, certaines coupes de prototypes neufs et fonctionnels ayant révélé la présence de fissures similaires. Il est également possible que la casse de la puce ait été causée par la pression exercée par la mousse – renforcée par sa matrice époxy – sur la puce. Cette hypothèse peut éventuellement se trouver renforcée par le fait que la puce ne semble pas endommagée sous le masque de polyimide, qui pourrait agir comme tampon. Réaliser une analyse par microscopie acoustique (SAM : Scanning Acoustic Microscope) de l'échantillon avant découpe aurait permis de lever l'indétermination.

3.3.4 Discussion sur les essais de vieillissement par cyclage thermique

3.3.4.1 Reproductibilité

En dépit du relativement grand nombre de composants testés (quatorze), la dispersion des résultats est telle qu'il apparait difficile de conclure quant à la fiabilité réelle de la technique mise en œuvre. La maîtrise du

procédé de fabrication – et par là sa reproductibilité – peuvent expliquer la dispersion des résultats, à moins que l'explication ne soit intrinsèque à la technique de reprise de contact, par nature stochastique.

3.3.4.2 De la qualité des puces avant cyclage

Les puces employées (SPD06) étaient défaillantes (au sens du fondeur) avant même le début du test. La nature de ces défaillances étant inconnues, il est impossible de déterminer si elles ont eu un impact sur les résultats de fiabilité obtenus au cours de l'étude – et ce, même si les caractéristiques statiques directes des échantillons avant vieillissement étaient correctes.

3.3.4.3 Choix des paramètres de l'étude

Les paramètres des tests présentés dans cette section ont été choisis de manière à appliquer un stress important sur les composants afin d'accélérer le vieillissement, tout en reproduisant les conditions de test proches de ceux subies dans des applications aéronautiques [70]. Il est cependant possible que des mécanismes de défaillance spécifiques à ces stress violents aient été excités [297]. La technique de connexion proposée présenterait ainsi possiblement une fiabilité fortement accrue si elle était réservée aux composants de grade « commercial » (0 à 70 °C), ou « industrial » (-40°C à 85°C, voire 100 °C).

La vigueur des cycles appliqués se retrouve dans la relativement faible durée de vie des composants standards : la moitié des puces commercialisées dans un boitier conventionnel, avec fils de bonding, a défailli après seulement 42 cycles.

L'ensemble de paramètres physiques monitoré au cours du vieillissement était relativement limité. Surveiller la caractéristique inverse (avec le risque de claquer l'isolant de grille dans le cas d'un mauvais court-circuit entre grille et source) ou la capacité de jonction, par exemple, aurait pu être bénéfique en renseignant sur l'état de la puce en elle-même.

3.3.5 Conclusion sur les essais de vieillissement par cyclage thermique

Les résultats de cette étude de vieillissement accéléré par cyclage passif montrent une forte dispersion de fiabilité. Ils mettent par ailleurs au jour un vieillissement rapide des échantillons, dénotant une fiabilité très limitée. C'est ainsi l'intégralité des prototypes qui serait considérée comme défaillante après deux à dix cycles entre $-40\,°C$ et $+140\,°C$ si un critère classique était employé (i.e. accroissement de 5 % de la résistance électrique) alors que les composants connectés par fils de bondings ne présentent pas de signe de fatigue avant le 37^{e} cycle. Il importe néanmoins de souligner la vigueur des tests mis en œuvre : des composants en boitier conventionnel ont été trouvé défaillants après seulement 37 cycles. Il apparait par ailleurs que la résistance électrique des assemblages connectés par mousse pressée croît progressivement tandis que celle des puces connectées par fils de bonding demeure constante jusqu'à ce que survienne, brusquement, la défaillance. Pour peu qu'elle soit répétable, cette caractéristique pourrait être mise à profit pour réaliser un suivi de l'état de santé de la connexion.

L'étude optique de coupes métallographiques n'a pas permis de déterminer les mécanismes de défaillance à l'œuvre – même si quelques singularités ont pu être observées. Des analyses par Microscopie Électronique à Balayage (MEB) auraient offert une image plus précise des éléments, permettant éventuellement de déceler des défauts passant inaperçus au microscope optique. Une étude par microscopie acoustique aurait quant à elle permis de distinguer les inhomogénéités et éventuelles délaminations dans l'assemblage de manière non destructive, permettant un suivi de leur évolution au cours du vieillissement. Des analyses physico-chimiques (e.g. par Diffraction de Rayons X – DRX) auraient permis une analyse fine des éventuelles modifications métallurgiques aux interfaces, en particulier entre la mousse et la puce.

Une étude menée sur un plus large ensemble de composants et mettant en œuvre des protocoles de vieillissement accéléré moins contraignants devrait permettre de mieux caractériser la fiabilité face au cyclage

thermique passif de la technologie d'enfouissement et de reprise de contact proposée. Une étude de défaillance plus large et plus poussée pourrait permettre de déterminer les mécanismes de défaillance à l'œuvre et, par suite, d'améliorer le procédé d'enfouissement, sa fiabilité et sa répétabilité.

3.4 ROBUSTESSE EN COURT-CIRCUIT

3.4.1 INTRODUCTION

3.4.1.1 OBJET ET MOTIVATIONS

Les tests de court-circuit en mode limitation de courant (Short Circuit in Current Limitation Mode – SC-CML) permettent de caractériser la robustesse d'un système face aux défauts de type court-circuit. Une tension de bus, généralement normalisée comme valant la moitié de la tension de claquage du composant, est alors appliquée aux bornes du composant (entre drain et source, ou broches équivalentes), avant qu'une tension de commande nominale soit appliquée sur la grille, jusqu'à destruction du composant. Ce test reproduit la situation dans laquelle un interrupteur est mis en conduction alors que la charge est court-circuitée. Le court-circuit est alors dit de type I (Hard Switch Fault). Le séquencement des ordres de commandes des interrupteurs d'une cellule de commutation chargée permet de définir différents types de courts-circuits, correspondant à des types de défauts différents [298].

Au court d'un court-circuit, le courant atteint de 3 à plus de 10 fois le courant nominal du composant (suivant la structure de composant considérée : MOSFET, IGBT, BJT, JFET et sa technologie : Si, SiC, GaN) [299]. La puissance dissipée au sein de la puce pendant le test peut alors allègrement dépasser 100 kW, d'où un très rapide échauffement de la zone active de la puce, dont la température peut, d'après diverses simulations (cf. Annexe *A11. Simulation de la température de jonction d'une puce en régime de court-circuit*, page 225), dépasser 900 K à 1 800 K. Ces contraintes thermiques entrainent ainsi la casse du composant, généralement en court-circuit – sauf dans des conditions de test particulières limitant la vitesse d'échauffement de la puce [300], [301].

La durée séparant le début du test et la défaillance catastrophique, notée t_C, constitue l'un des principaux paramètres caractérisant la robustesse du composant, dans la mesure où elle apporte une indication quant au temps de réponse maximal que peut présenter un système de sécurité ayant pour rôle d'éviter la défaillance catastrophique du composant de puissance. L'énergie dissipée pendant ce temps, notée E_{CLM}, ou sa valeur normalisée par la surface de la puce (E_{CLM}^n), caractérise quant à elle la robustesse de manière moins dépendante des conditions de test. Cette énergie est strictement supérieure à l'énergie dite critique E_c, définie comme l'énergie maximale dissipée au court d'un court-circuit à la fin duquel le composant de puissance peut être bloqué de manière commandée et sûre [302], [303]. Si cette dernière valeur d'énergie est d'un intérêt applicatif plus grand (la commandabilité du composant est perdue dès qu'une énergie E_c a été dissipée en son sein [304]), elle est également plus délicate à mesurer.

Une puce en boitier discret standard (e.g. TO247) n'a sa face avant connectée qu'avec un à six fils de bondings, reliées à la puce en autant de points de sa surface. Avec la méthode de reprise de contact proposée, en revanche, le contact de source est distribué sur la quasi-intégralité de la surface de la puce. Ceci devrait engendrer une réduction des courants de surface au sein de la métallisation, et par là une réduction des chutes de tension ohmiques dans cette dernière. Finalement, cette meilleure distribution du contact devrait se traduire par une meilleure équipotentialité de la surface de la puce. Des études ont montré que la casse du composant suivait une déconnexion des cellules appartenant à certaines zones spécifiques de la puce [305]. Forcer le potentiel du pad de source à être homogène, et par conséquent les tensions de commandes de toutes les cellules à être identiques, devrait permettre de limiter les points chauds et pourrait par conséquent se traduire par une réduction de leurs effets. Par ailleurs, il parait raisonnable de supposer que les performances thermiques de la mousse sont supérieures à celle d'un encapsulant époxy standard (même chargé en silice) ou d'un gel silicone – même

secondé par les fils de bondings. Il peut donc être attendu (cf. Annexe *A11. Simulation de la température de jonction d'une puce en régime de court-circuit*, page 225) que la chaleur dégagée au court du test SC-CLM soit partiellement évacuée et emmagasinée au sein de la mousse, entrainant un meilleur refroidissement de la puce et donc une robustesse accrue.

D'un autre côté, la pression exercée par le contact sur la face avant de la puce pourrait engendrer un stress mécanique additionnel lors des courts-circuits, entrainant un endommagement (e.g. rupture des isolants, etc.) accéléré de la puce.

Cette section propose de comparer la robustesse en SC-CLM de puces packagées en boitier TO247 et enfouies avec le procédé de reprise de contact proposé, par mousse pressée. En appliquant un stress important sur les puces et les reprises de contact de face avant, ces tests visent à étudier l'impact de ces techniques de packaging sur la robustesse en court-circuit de la puce.

3.4.1.2 MÉTHODE

Le schéma de principe du banc de test est donné en Figure III.49, une description plus détaillée est fournie en Annexe *A10. Banc de tests en court-circuit*, page 221. Un driver U_1 commande le composant testé (DUT) via une résistance de grille R_g. Une tension de bus V_{bus}, fournie par $HV\ PSU$, est appliquée aux bornes du DUT. Son courant de drain est mesuré par un shunt coaxial R_{shunt} tandis qu'un comparateur connecté à un disjoncteur statique est utilisé pour ouvrir la maille de puissance en cas de surintensité causée par la défaillance catastrophique du DUT – le seuil $\hat{I}$ étant ajustable jusqu'à environ 500 A.

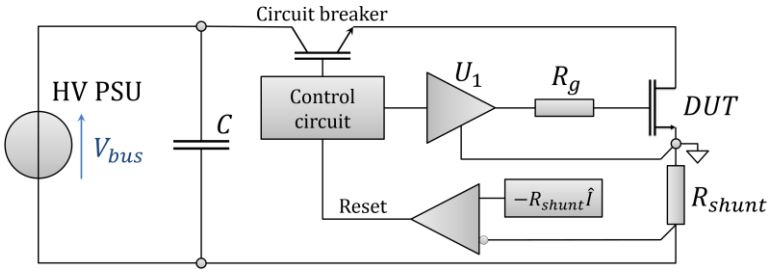


Figure III.49 : schéma de principe du banc de test en court-circuit.

Dans cette étude, la tension de commande délivrée par le driver est fixée à +18 V / -5 V, la résistance de grille vaut $R_g = 51\ \Omega$ et la tension de bus délivrée par la HV PSU est de $V_{bus} = 600$ V.

Des MOSFET SiC CPM2-1200-0025b (1200 V-25 mΩ, cf. section 2.1.3.5, page 139) sont considérées. Quatre puces connectées par contact en mousse pressée ont été soumises à des tests de SC-CLM destructifs. Parmi ces prototypes, un seul (noté $PX\alpha$) avait été laminé, les trois autres (notés $P\beta, P\gamma$, et $P\delta$) étant basés sur le dispositif de type press-pack détaillé en section 2.1.4 (page 140) et n'impliquant pas d'étape de laminage. Deux composants utilisant les mêmes puces en boitier conventionnel TO-247 (notés $T\alpha$ et $T\beta$) ont été testés de la même manière, en guise de références. L'énergie totale dissipée avant destruction E_{CLM}^{n} est utilisée comme indicateur de robustesse. Les chemins de grille traversant la métallisation de face avant et divisant le pad de source en trois parties distinctes étant protégés par une couche de passivation, parti a été pris de ne pas les protéger à l'aide du masque et de presser un unique contact sur l'intégralité de la surface de la métallisation de source.

L'ensemble du banc est placé dans une boite fermée, dont la température interne (par la suite qualifiée de « température ambiante ») est supérieure à la température du laboratoire du fait de la puissance dissipée au sein du banc.

3.4.2 RÉSULTATS

3.4.2.1 FORMES D'ONDES

Le courant de grille mesuré au cours d'un test en court-circuit (Figure III.50-a, courbe rouge) présente un pic lors du passage à l'état haut de la sortie du driver, du fait de la charge de la capacité d'entrée du composant. Après une phase durant laquelle le courant demeure nul, un courant de grille de fuite, dont l'origine physique fait encore l'objet d'études [306], s'établit. Celui-ci, associé à la résistance de grille, explique la diminution de tension de commande observée à partir de 7 µs (Figure III.50-a, courbe bleue). Les variations de tension drain-source (Figure III.50-b, courbe bleue) sont dues à l'effet combiné de l'impédance de la maille incluant le DUT et du courant de drain. L'allure de ce dernier (Figure III.50-b, courbe rouge) est conforme aux attentes. Le courant croît tout d'abord rapidement, avec une pente principalement limitée par l'inductance de la maille de puissance du banc de test, jusqu'à atteindre une valeur de l'ordre de 3 à plus de 10 fois le courant nominal du composant. Il décroît ensuite du fait des réductions de la tension de seuil et de la mobilité des porteurs causées par l'auto-échauffement du semi-conducteur, associée à la diminution de la tension de commande. L'inflexion du courant observée vers 10 µs est due à la génération thermique d'un courant de trou au sein du cristal, qui entraine, peu après, la destruction du composant par emballement thermique. Les mécanismes physiques expliquant l'évolution du courant ont été étudiées en détails tant pour les MOSFET silicium que SiC [307].

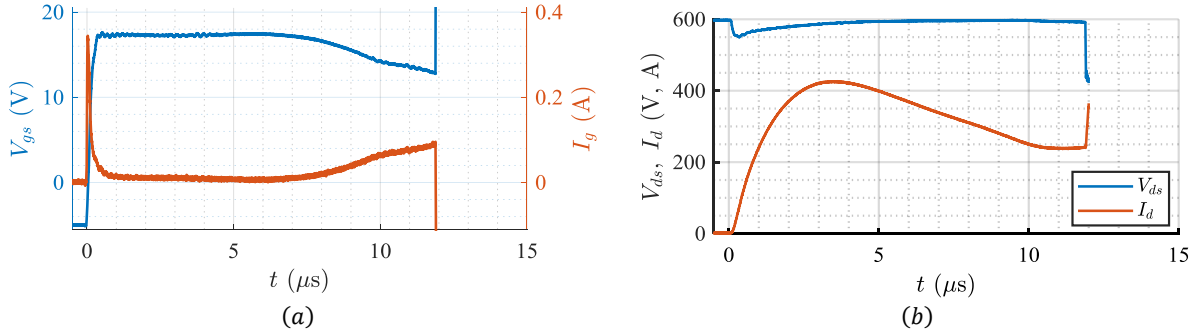


Figure III.50 : courbes mesurées au cours d'un test SC-CLM. (a) : tension grille-source (bleu) et courant de grille (rouge). (b) : tension entre drain et source (bleu) et courant de drain (rouge).

Les courants de drains mesurés sur les différents prototypes montrent des dynamiques similaires (Figure III.51), en dépit de courants de saturation maximums présentant une dispersion 13 % et de durées avant défaillance t_c différentes.

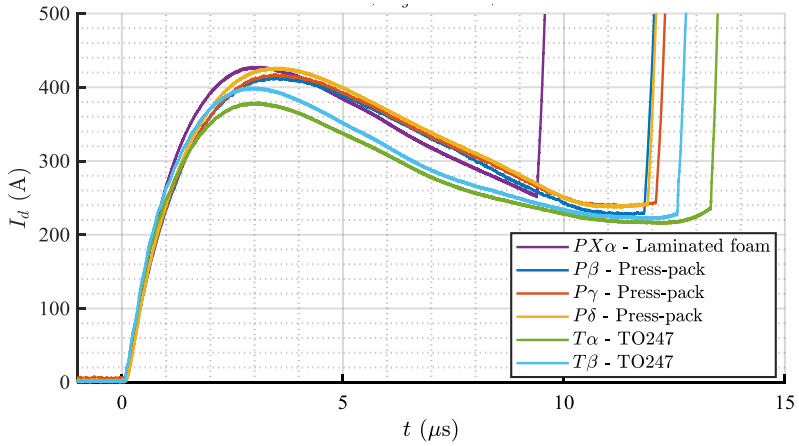


Figure III.51 : courant de drain mesuré sur les différents échantillons.

3.4.2.2 ÉTUDE DES PARAMÈTRES (E^n_{CLM}, t_c)

Pour chaque composant, la durée t_c séparant le début du test et la défaillance de la puce, de même que les valeurs d'énergies dissipées pendant ce temps, sont données en Figure III.52.

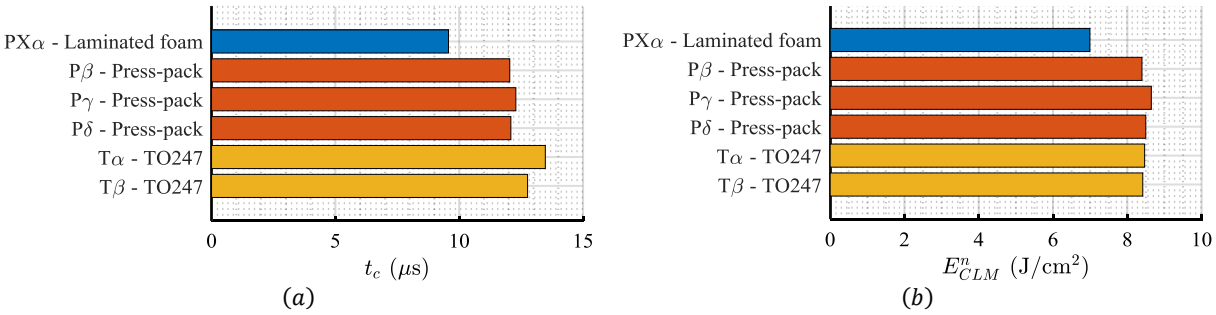


Figure III.52 : résultats de tests SC-CLM. (a) : durée du court-circuit t_c. (b) : énergie dissipée avant défaillance E^n_{CLM}.

L'ensemble des composants avait ses broches grille, drain et source court-circuitées à la fin du test, à l'exception du prototype laminé $PX\alpha$, dont le contact de grille était en l'air.

3.4.2.3 ANALYSE

Les trois prototypes impliquant le boitier press-pack ($P\beta - \delta$) présentent des robustesses très similaires (Figure III.52), la valeur de E^n_{clm} moyenne étant de 8,5 J/cm² et la durée moyenne de court-circuit avant défaillance étant de $t_c = 11{,}9$ µs. Les formes d'ondes correspondant au composant laminé ($PX\alpha$) sont similaires aux autres, à ceci près que la défaillance intervient plus tôt, après $t_c = 9{,}4$ µs et pour une énergie 18 % inférieure.

L'énergie dissipée avant défaillance apparait par ailleurs comme positivement corrélée à la surface du contact en mousse (Figure III.53) ; il est donc possible que la valeur d'énergie réduite du composant laminé soit, du moins pour partie, due à un contact de surface réduite. Ceci montre, par ailleurs, qu'il convient de maximiser la surface du contact pour optimiser la robustesse en SC-CLM.

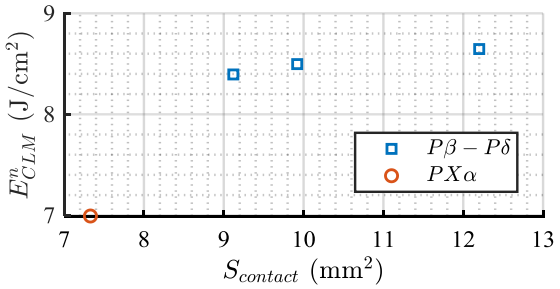


Figure III.53 : résultats des tests en SC-CLM : E^n_{CLM} en fonction de la surface du contact de source $S_{contact}$.

Si peu de tests de fiabilité ont été publiés sur les puces considérées dans cette section, une importante littérature s'est intéressée au C2M0080120, transistor SiC 80 mΩ – 1200 V appartenant lui aussi à la seconde génération de transistors MOSFET produits par Cree. [308] rapporte ainsi une densité d'énergie avant défaillance de $E^n_{CLM} = 6{,}9$ J/cm² (pour $V_{bus} = 600$ V, $R_g = 47$ Ω, $V_{dr} = 18$ V), [309] a pu observer une valeur 5 % supérieure (pour $V_{bus} = 600$ V, $R_g = 47$ Ω, $V_{dr} = 21$ V), et des résultats analogues ont été rapportés par d'autres publications [303], [310]–[312].

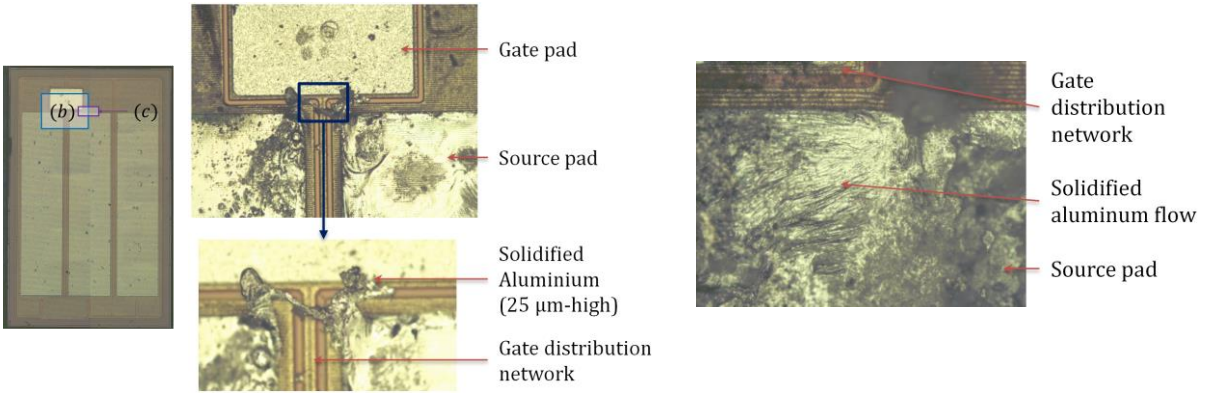
3.4.3 ANALYSE DE DÉFAILLANCE

L'analyse au microscope optique des puces connectées par mousse pressée après défaillance a montré des dégradations similaires pour les trois prototypes basés sur le boitier de type press-pack non laminé ($P\beta - \delta$), comme pour celui laminé ($PX\alpha$). Un cratère ayant traversé le cristal SiC jusqu'à la brasure est ainsi visible sur tous les échantillons (Figure III.54-b-c), les puces ont toutes été fendues de part en part par le test.

(a) (b) (c)

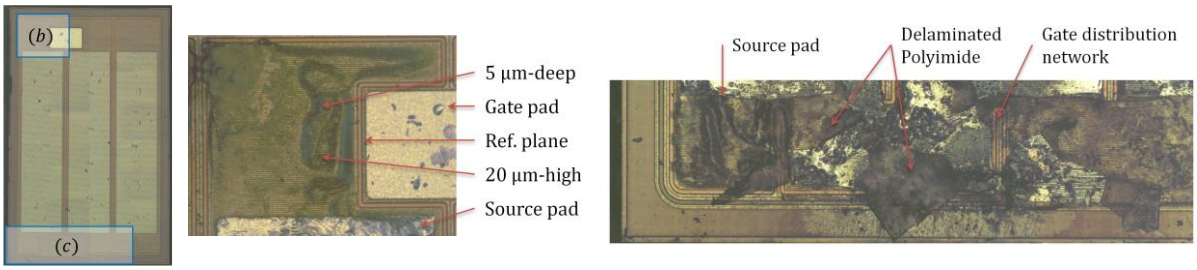
Figure III.54 : photographies de la puce de l'échantillon $P\beta$. (a) : puce avant test en court-circuit destructif, les marques sur les pads de grille et de source sont dues aux tests sous pointes menés en usine. (b) : puce et masque après test SC-CLM. (c) : puce après test, en éclairage et prise de vue rasants mettant en exergue la non-planéité du composant.

Les métallisations aluminium de source apparaissent toujours comme ayant fondu sur l'intégralité de la surface de la puce (Figure III.55) – ce qui est conforme aux résultats de simulation généralement rencontrés dans la littérature et proposés en annexe *A11. Simulation de la température de jonction d'une puce en régime de court-circuit*, page 225. Les traces d'importants courants de métal fondu sont également visibles (Figure III.55-c). Ceux-ci pourraient être dus aux forces de Laplace (entre le champ magnétique produit par le courant de puissance et les charges électriques elles-mêmes), à un phénomène proche de l'électromigration, ou encore à la pression mécanique exercée sur la puce par le masque. Des gouttes de métal solidifié sont visibles au-dessus des passivations polyimide protégeant les circuits de distribution de grille (Figure III.55-b). La passivation elle-même est fortement déformée (Figure III.56-b), voire localement arrachée (Figure III.56-c).



(a) (b) (c)

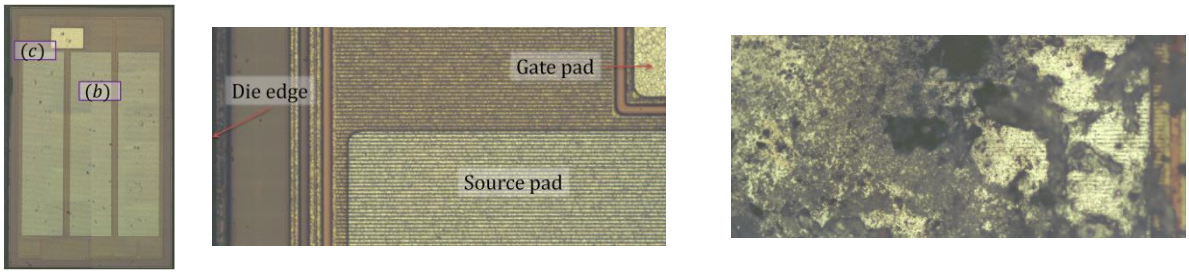
Figure III.55 : fusion de la métallisation aluminium et traces d'un flot de métal fondu. (a) : indication de l'emplacement des vues (b) et (c) sur la puce. (b) : brins d'aluminium solidifié au-dessus du circuit de la passivation protégeant le circuit de distribution de grille ($P\delta$). (c) : traces témoignant d'un flot d'aluminium fondu ($PX\alpha$).



(a) (b) (c)

Figure III.56 : dégradation de la passivation polyimide. (a) : indication de l'emplacement des vues (b) et (c) sur la puce. (b) : déformation de la passivation aux abords du pad de grille ($P\delta$). (c) : délamination de la passivation ($P\beta$).

Enfin, les rayures dévoilant la position et la structure des cellules, qui se détachent très bien de la surface des puces neuves (Figure III.57-b), ne peuvent que localement être distinguées sur les composants détruits (Figure III.57-c). L'état de surface des puces après le test est fortement inhomogène : certaines zones sont relativement lisses (Figure III.55-b) tandis que d'autres sont fortement granuleuses (Figure III.57-c).



(a) (b) (c)

Figure III.57 : état de surface de la puce. (a) : indication de l'emplacement des vues (b) et (c) sur une puce. (b) : détail de la surface d'une puce : métallisation de source nue et passivée montrant les cellules linéaires, pad de grille non texturé. ($P\beta$). (c) : surface de la puce après court-circuit : les cellules ne sont pas distinguables et un état de surface granuleux (grains de diamètre de l'ordre de quelques micromètres) est visible sur la partie gauche de la photo ($PX\alpha$).

Entre la défaillance du composant et l'ouverture du circuit par le disjoncteur statique, le courant de puissance croît très rapidement. Dans les tests de SC-CLM présentés dans cette section, le pic de courant durait ainsi 3,5 µs et atteignait environ 4,2 kA. Il est donc impossible de déterminer à quel point les dommages observés sont dus au test de court-circuit en lui-même (et par là dans quelle mesure ils peuvent être corrélés à la défaillance) ou à ce second pic de courant.

3.4.4 Conclusion sur les essais de robustesse en court-circuit

Cette étude montre que les densités d'énergie menant à la destruction du composant dans le cas de tests destructifs en court-circuit de type I sont similaires pour des puces connectées par mousse pressée comme par fils de bondings. Par ailleurs, la faible répétabilité observée dans les tests de vieillissement par impulsions de courant ou par cyclage thermique est absente des tests en court-circuit. Ces deux aspects sont très probablement liés au fait que la robustesse de l'assemblage est ici principalement déterminée par la puce, qui doit absorber la quasi-intégralité de l'énergie dissipée (cf. Annexe *A11. Simulation de la température de jonction d'une puce en régime de court-circuit*, page 225). La technique de reprise de contact apparait donc n'avoir qu'un impact mineur sur ce paramètre, même si la robustesse semble positivement corrélée à surface du contact. Une future étude devrait étudier cette question de manière approfondie, tout en portant sur un plus grand nombre d'échantillons.

3.5 VIEILLISSEMENT PAR COURTS-CIRCUITS

3.5.1 INTRODUCTION

3.5.1.1 OBJET & MOTIVATION

La section précédente s'est intéressée à la robustesse face à des courts-circuits (Short Circuits – SC) de type I d'assemblages mettant en œuvre le procédé de reprise de contact par mousse pressée proposé. Si cette étude s'est focalisée sur la durée pendant laquelle les assemblages peuvent supporter un court-circuit avant défaillance catastrophique, cette section s'intéresse à l'impact de courts-circuits répétitifs de durée limitée.

En phase de conception, ce type d'étude a pour intérêt applicatif d'estimer le temps de réponse maximal du circuit de protection contre les courts-circuits d'un système, étant données les conditions électriques de fonctionnement, la fréquence de survenue des défauts, et la durée de vie visée. Ainsi, si les MOSFET et IGBT de puissance en silicium sont capables de résister à des courts-circuits répétitifs de plus 10 µs sous la moitié de leur tension nominale, de nombreuses études ont montré que la rupture d'un transistor MOSFET SiC dans les mêmes conditions survient généralement après un temps inférieur à 5 µs [300], voire 10 µs.

La présente étude, de même que celle présentée dans la section précédente, cherche à quantifier l'impact d'une connexion par mousse pressée, comparativement à l'utilisation d'une technique de packaging conventionnelle, basée sur des fils de bonding. L'application de courts-circuits répétitifs, même de durée limitée à quelques microsecondes, suffit à porter la face avant de la puce à plusieurs centaines de degrés Celsius de manière récurrente. Dans un boitier conventionnel, un tel traitement peut entrainer diverses dégradations, parmi lesquelles une restructuration de la métallisation de source [302], [313] ou l'endommagement des isolants de la puce, responsable de l'apparition de courant de fuite [314]. Les assemblages basés sur des contacts en mousse pressée pourraient présenter des mécanismes de dégradation supplémentaires. Les fortes températures atteintes en face avant des puces pourraient, par exemple, induire des modifications métallurgiques à l'interface avec la mousse métallique. Simultanément, l'utilisation d'un contact réparti sur l'intégralité de la surface de la puce pourrait diminuer l'amplitude des courants surfaciques dans la métallisation et ainsi réduire l'effet de son vieillissement sur la résistance globale du composant.

3.5.1.2 MÉTHODE

[315] a montré que la fiabilité en régime de courts-circuits des MOSFET SiC dépend fortement de l'énergie dissipée lors de chaque court-circuit. En particulier, il a été montré qu'un courant de fuite de grille apparait à partir d'une certaine énergie dissipée au sein de la puce. La valeur de cette énergie de seuil est d'importance capitale puisqu'elle définit la frontière entre deux domaines de fonctionnement du composant : la fiabilité d'un composant soumis à des courts-circuits d'énergie inférieure à cette limite sera de plusieurs milliers ou dizaines de millier de courts-circuits tandis qu'un composant soumis à des courts-circuits d'énergie supérieure à cette limite faillira après quelques centaines de courts-circuits.

Le banc de test présenté dans la section précédente (cf. 3.4.1.2, page 162 & Annexe *A10. Banc de tests en court-circuit*, page 221) est utilisé. Sauf mention contraire, la tension de commande délivrée par le driver est fixée à +18 V / -5 V, la tension de bus est de $V_{bus} = 600$ V , la résistance de grille, généralement de valeur $R_g = 51\ \Omega$, a parfois été réduite à $R_g = 22\ \Omega$ de manière à accélérer les régimes transitoires – [308] ayant montré la faible dépendance de la fiabilité du composant *vs* ce paramètre. La période de répétition des tests est fixée à 3 s, suffisamment basse pour assurer une température moyenne homogène et proche de l'ambiant au sein du composant.

Des MOSFET SiC CPM2-1200-0025b (1200 V-25 mΩ, cf. section 2.1.3.5, page 139) sont considérées. Des puces connectées par contact en mousse pressée au sein du dispositif de type press-pack détaillé en section 2.1.4 et en boitier conventionnel TO-247 ont été testées, ces dernières servant de référence.

Les MOSFET SiC considérés sont ainsi soumis à un vieillissement par court-circuit de type I courts (3 µs) ou longs (4,7 µs). L'état de chaque composant est monitoré tout au long du test via sa résistance à l'état passant $R_{ds,on}$, ainsi qu'au travers des formes d'ondes mesurées sur le banc : tension de commande, courant de grille, et courant de drain. L'utilisation de la résistance à l'état passant du transistor et de son courant de fuite de grille comme indicateurs de vieillissement est justifiée par la nature des dégradations habituellement rencontrées dans un boitier conventionnel.

3.5.2 COURTS-CIRCUITS LONGS

Des courts-circuits de 4,7 µs, qualifiés de « longs » dans le sens où ils durent suffisamment pour permettre à un léger courant de fuite de grille de s'établir à la fin de chaque court-circuit, sont appliqués à une puce CPM02-1200-0025b connectée par mousse pressée dans le boitier de type press-pack non laminé (section 3.5.2.1), ainsi qu'à un composant en boitier conventionnel TO-247 intégrant cette même puce (section 3.5.2.2). La résistance de grille est fixée à $R_g = 51\ \Omega$.

3.5.2.1 RÉSULTATS DE MESURE : CONTACT PAR MOUSSE PRESSÉE

Les formes d'ondes (Figure III.58) et leurs interprétations sont similaires à celles obtenues lors d'un test en mode « limitation de courant » (section 3.4, page 161), à la différence que le test est stoppé (via l'application d'une tension de commande négative sur la grille) avant que ne survienne la défaillance catastrophique.

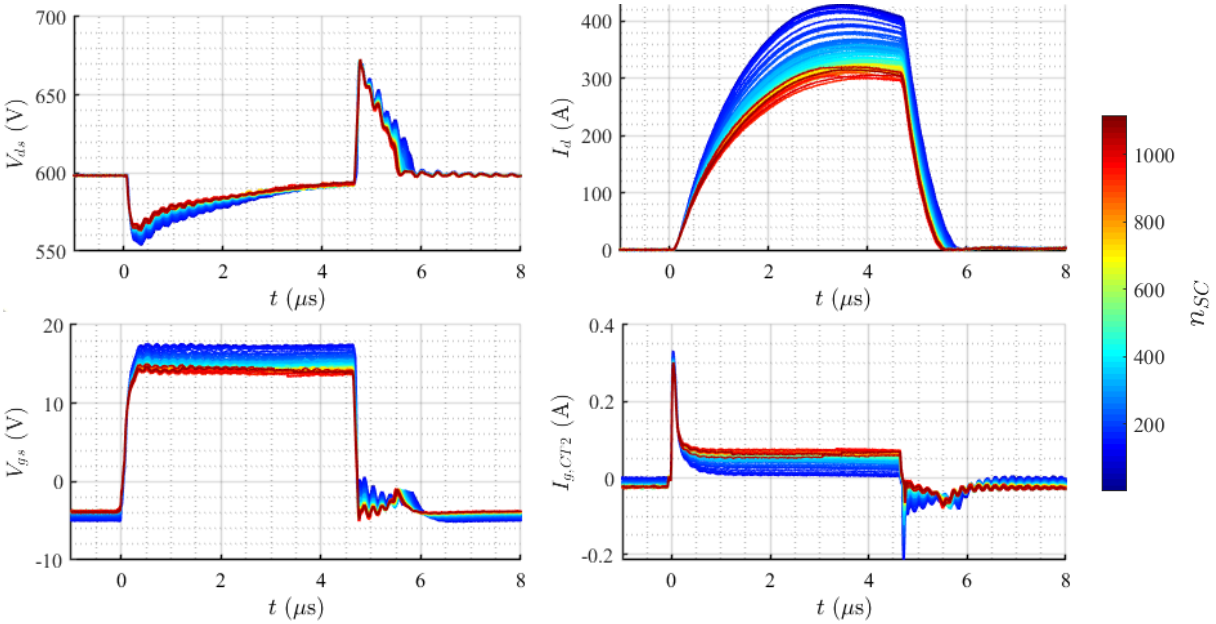


Figure III.58 : tensions et courants mesurées au cours du vieillissement par courts-circuits longs d'une puce connectée par mousse pressée. De haut en bas et de gauche à droite : tension entre drain et source de la puce, courant de drain, tension grille-source, courant de grille. Les courbes bleues correspondent aux premiers courts-circuits (n_{SC}~1), les rouges aux derniers (n_{SC}~1 000).

Des données extraites des courbes mesurées lors de chaque court-circuit (Figure III.59) montrent l'apparition rapide, après 140 courts-circuits, d'un courant de grille DC se stabilisant, après 500 courts-circuits, autour de 80 mA @$V_{gs} = 13$ V. Ce courant, associé à la résistance de grille R_g, entraine une diminution de la tension de commande entre grille et source et, par suite, une forte et rapide décroissance du courant de saturation maximal (-28 % entre le 1er et le 1 000e SC). Cette décroissance s'accompagne d'une diminution de l'énergie dissipée par court-circuit, la valeur initiale étant 890 mJ (soit 3,4 J/cm² de puce, soit 39 % de E_{CLM}). La relation entre courant de saturation et tension de commande apparait localement linéaire – comme attendu pour un composant neuf, tant d'après le modèle de base du MOSFET [105] que par des simulations Spice. Entre le début du test et l'apparition du courant de fuite de grille, au 140e SC, le courant de saturation maximal demeure relativement constant, ne décroissant que de 1,1 %, possiblement du fait du vieillissement de l'assemblage ou de l'augmentation de température ambiante (+3 °C).

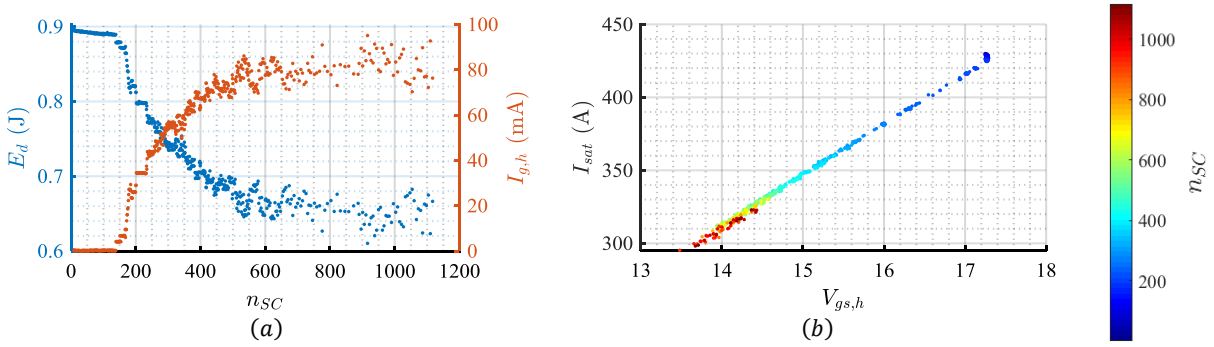


Figure III.59 : vieillissement par courts-circuits longs d'une puce connectée par mousse pressée. (a) : énergie dissipée au cours de chaque court-circuit (bleu) et courant de fuite de grille à l'état haut (rouge). (b) : courant maximum de saturation en fonction de la tension grille-source à l'état haut, la couleur des points indique le nombre de courts-circuits n_{SC} écoulés.

3.5.2.2 RÉSULTATS DE MESURE : BOITIER CONVENTIONNEL

Les formes d'ondes mesurées sur une puce en boitier conventionnel TO-247 sont similaires à celles observées dans la section précédente, avec un contact par mousse pressée. Les paramètres extraits de ces courbes (Figure III.60) montrent la brusque apparition d'un courant de fuite de grille après le 190e court-circuit, entrainant une diminution de la tension de commande du transistor, source d'une décroissance du courant de saturation maximum. Celui-ci avait par ailleurs décru de 1,2 % entre le début du test et l'apparition du courant de fuite de grille.

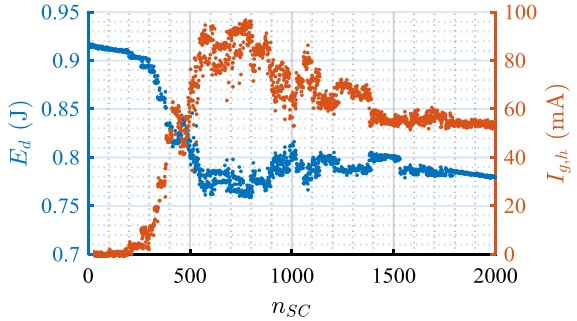


Figure III.60 : vieillissement par courts-circuits longs d'un MOSFET en boitier TO-247 : énergie dissipée au cours de chaque court-circuit (bleu) et courant de fuite de grille à l'état haut (rouge). En fonction du nombre de courts-circuits n_{SC} écoulés.

3.5.3 COURTS-CIRCUITS COURTS

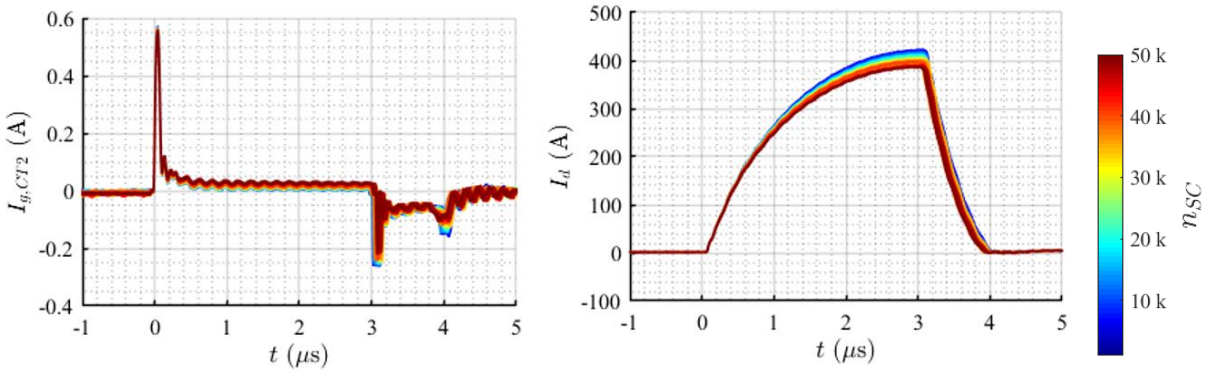
Des courts-circuits de 3,0 µs, qualifiés de « cours » dans le sens où ils durent trop peu pour qu'un courant de fuite de grille s'établisse à la fin de chaque court-circuit, sont appliqués à une puce CPM02-1200-0025b connectée par mousse pressée dans le boitier de type press-pack non laminé (section 3.5.3.1), ainsi qu'à un composant en boitier conventionnel TO-247 intégrant cette même puce (section 3.5.3.2). La résistance de grille est fixée à $R_g = 22\ \Omega$.

3.5.3.1 RÉSULTATS DE TESTS : CONTACT PAR MOUSSE PRESSÉE

FORMES D'ONDES

Les formes d'ondes mesurées (Figure III.61) ainsi que les données extraites de ces courbes temporelles (Figure III.62) dévoilent l'apparition d'un faible courant de grille DC au cours du vieillissement, ainsi qu'une décroissance linéaire et progressive du courant de saturation (-13 % en 50 kSC, soit $-2{,}6$ ppm/SC, cf. Figure III.62-a). Si certaines discontinuités du courant de saturation maximum sont dues à la chute de tension de commande causée par le courant de fuite de grille, la décroissance progressive est une conséquence du vieillissement de l'assemblage. Cet effet pourrait être expliqué par la déconnection de certaines cellules, par la

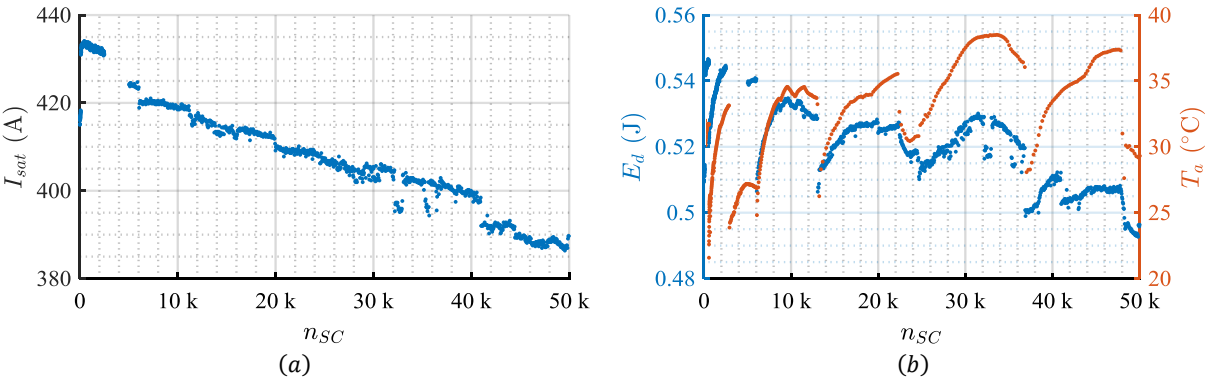
variation de la transconductance du composant, ou par une évolution de la tension de seuil du composant [305], [316].



(a) (b)

Figure III.61 : formes d'ondes mesurées au cours du vieillissement par courts-circuits courts. (a) : courant de drain. (b) : courant de grille.

Si l'énergie dissipée par court-circuit décroît de manière tendancielle avec le courant de saturation (Figure III.62-a), une modulation à plus haute fréquence, en phase avec la température ambiante (Figure III.62-b) apparait. La valeur moyenne d'énergie dissipée par court-circuit est de 520 mJ (soit 23 % de E_{CLM}, ou 2 J/cm² de puce).



(a) (b)

Figure III.62 : (a) : courant de saturation maximum en fonction du nombre de courts-circuits. (b) : énergie dissipée au cours de chaque court-circuit et température ambiante associée.

COURANT DE FUITE DE GRILLE

Les tensions de commandes du DUT ainsi que le courant de fuite de grille lorsque la commande est à l'état haut sont donnés en Figure III.63. En dépit d'un bruit relativement élevé, proche de 1 mA_{rms}, Les tensions de commande demeurent constantes par morceaux, avec des sauts aux 11^{e}, 20^{e} et 41^{e} kSC. Ces sauts de tension de grille, qui correspondent également à des sauts de courant de fuite de grille, sont possiblement dus à la micro-perforation locale et thermiquement activée des isolants : oxyde de grille ou séparant la métallisation de source de la grille [314].

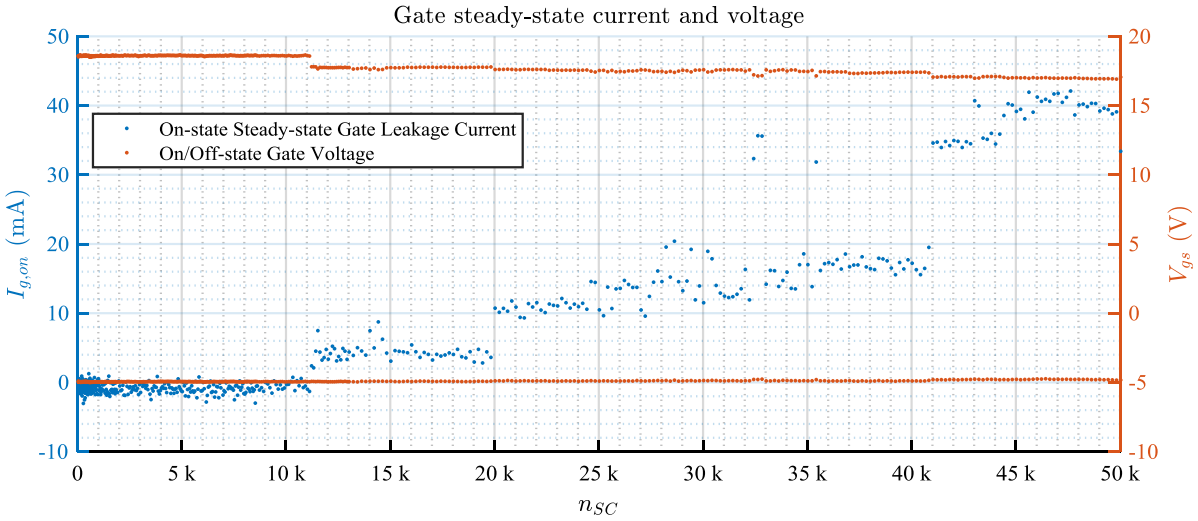


Figure III.63 : tension de commande du DUT pendant les courts-circuits (rouge) et courant de fuite de grille lorsque la commande est active (i.e. pour $V_{gs} \approx 18$ V – bleu).

RÉSISTANCE À L'ÉTAT PASSANT

Le tracé de la résistance à l'état passant du composant en fonction de la température ambiante permet d'identifier quatre nuages de points, tracés de différentes couleurs en Figure III.64. Le nuage bleu correspond aux 6 000 premiers courts-circuits, le rouge aux 5 200 suivants, le jaune aux 29 800 suivant et, enfin, le nuage violet correspond aux 9 000 derniers courts-circuits appliqués au composant testé. Les sauts entre les nuages sont dus à des sauts dans le courant de fuite de grille ou à la mauvaise répétabilité de la connexion entre le composant et le banc de test.

Les ensembles de points bleu, rouge, et violets sont relativement alignés et présentent un coefficient de température proche de 0,4 à 0,5 %/K, cohérent avec le coefficient de température de la résistance à l'état passant d'un composant neuf (proche de 0,3 %/K d'après la datasheet). Le nuage jaune est quant à lui davantage étalé entre les droites turquoises tracées sur la Figure III.64 avec une pente de 0,5 %/K. L'écart vertical entre ces droites vaut 3 points d'augmentation de résistance.

Une simulation SPICE montre que l'impact des variations de la tension de commande du transistor au sein du nuage jaune, conséquence des variations de courant de fuite de grille entre les SC n°11 200 et 41 000, a un effet limité sur la résistance, de l'ordre de 0,2 point. L'accroissement de 3 points de résistance en 29 800 courts-circuits (soit 1 ppm/SC) caractérise donc effectivement le vieillissement du composant.

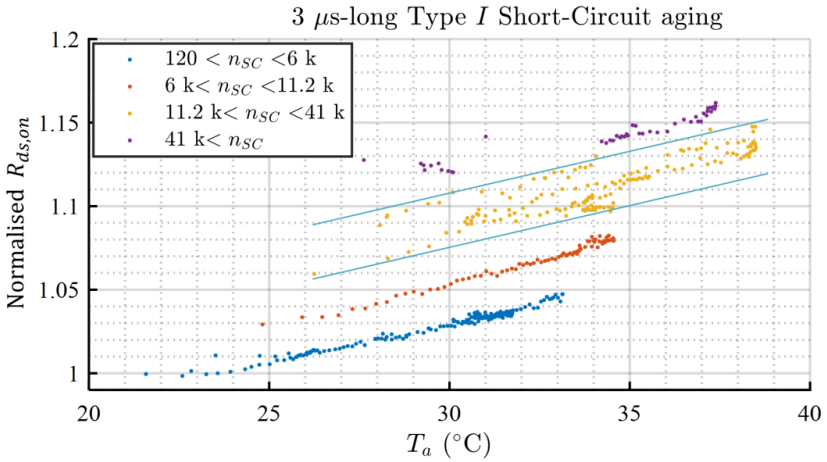


Figure III.64 : résistance à l'état passant normalisée du composant en fonction de la température ambiante. Les quatre nuages de points, chacun d'une couleur différente, montrent l'évolution du vieillissement. Les deux droites délimitent le nuage jaune, avec un coefficient de température de 0,5 %/K

3.5.3.2 RÉSULTATS DE TESTS : BOITIER CONVENTIONNEL TO247

Les formes d'ondes mesurées (Figure III.65) sur un échantillon en boitier TO247 montrent une décroissance importante et progressive du courant de saturation. Du fait de cette diminution (-4,6 ppm/SC), l'énergie dissipée par court-circuit décroît d'autant, la valeur moyenne étant d'environ 480 mJ (soit 1,83 J/cm² de puce, soit 8 % de moins que dans pour l'essai impliquant un contact par mousse pressée).

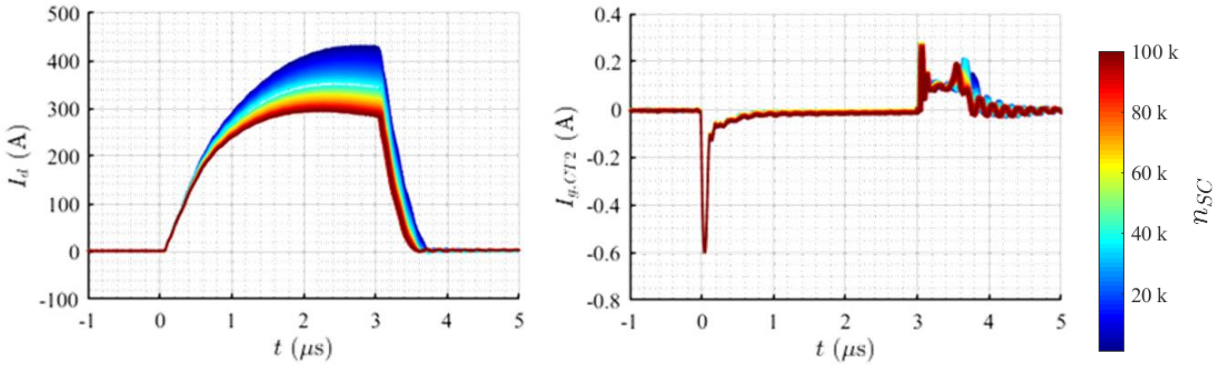


Figure III.65 : formes d'ondes mesurées au cours du vieillissement par courts-circuits courts sur un boitier TO-247. (a) : courant de drain. (b) : courant de grille.

Le courant de fuite de grille DC (Figure III.66) ne varie que marginalement jusqu'au 65 millième SC, puis présente des dégradations discrètes, par paliers. La mesure du courant de fuite de grille est fortement bruitée du fait du faible calibre de l'oscilloscope ; le fort temps d'intégration (supérieur à 100 µs, pour une fréquence d'échantillonnage de 2,5 GSa/s) permet néanmoins un bon moyennage des données. La résistance croît régulièrement, avec une pente de 4,4 ppm/SC.

La défaillance catastrophique en court-circuit du composant intervient après 104 kSC.

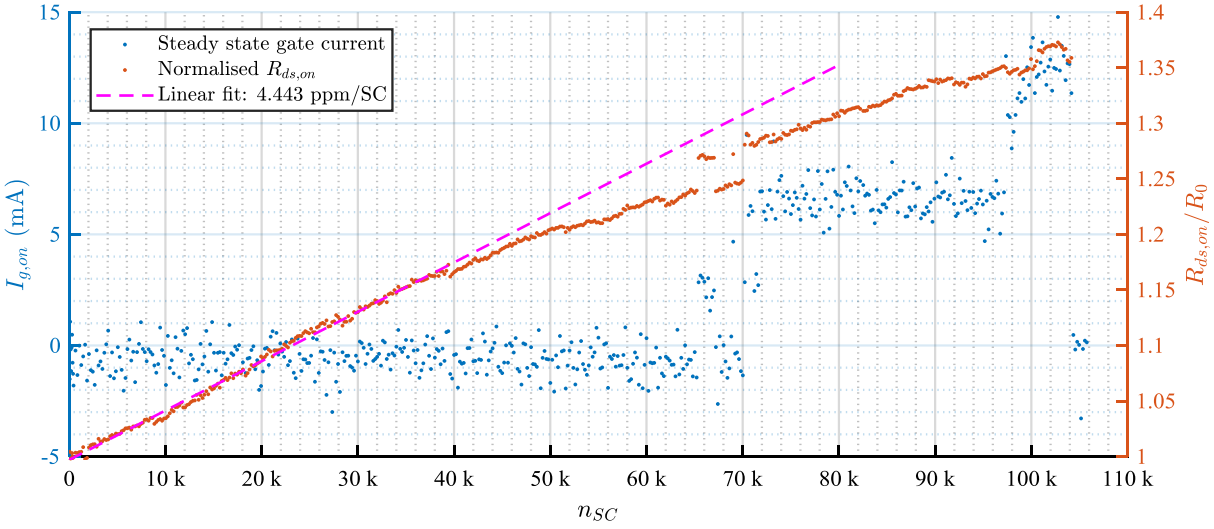


Figure III.66 : courant de fuite de grille DC (bleu), résistance normalisée mesurée (rouge), et ajustement linéaire (magenta).

3.5.4 ANALYSES DE DÉFAILLANCE DES PUCES CONNECTÉES PAR MOUSSE PRESSÉE

3.5.4.1 COURTS-CIRCUITS LONGS

Lors de l'arrêt des tests de vieillissement par courts-circuits longs menés sur la puce connectée par mousse pressée, 1117 SC avaient été appliqués au prototype. Un courant de fuite continu entre grille et source avait alors pu être mesuré comme valant environ 80 mA pour une tension de 14 V, correspondant à une résistance entre

grille et source de valeur 154 Ω (avec un fort bruit, d'écart-type 12 Ω). Une mesure a été réalisée ultérieurement au E4990a (Figure III.67), montrant que cette résistance est non-linéaire, dépendant de la tension de polarisation. Les résultats de mesures sont, par ailleurs, relativement instables – ce qui peut être dû à la technique de mesure sous pointes ou, plus probablement, au DUT lui-même [317]. En dépit de ce courant de fuite, le composant apparait fonctionnel.

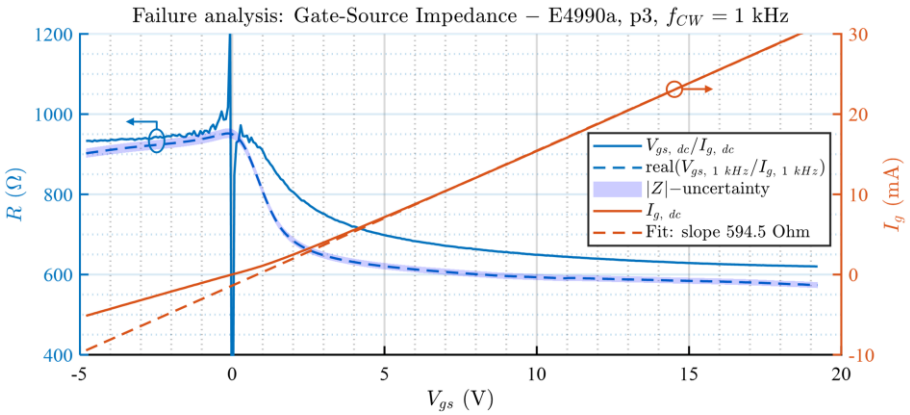
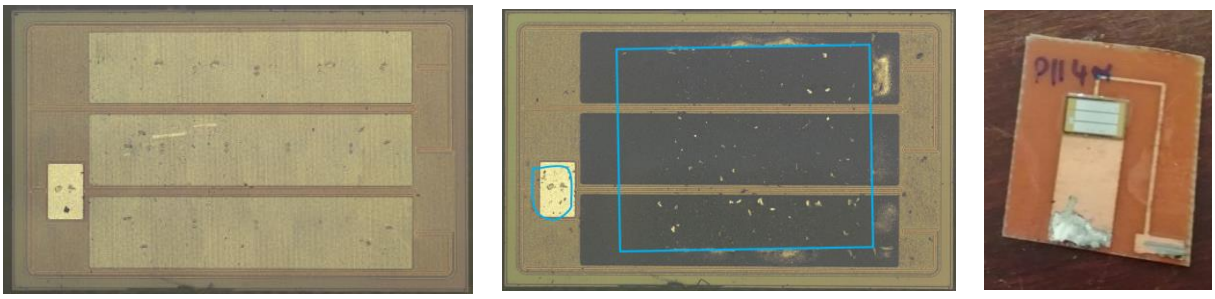


Figure III.67 : résistance de fuite grille-source du DUT après vieillissement en fonction de la polarisation DC appliquée : impédance en petits signaux mesurée à 1 kHz (ligne pointillée bleue) ; ratio entre courant DC et tension DC (ligne bleue continue). Caractéristique statique tension-courant (ligne rouge continue), et ajustement linéaire (rouge pointillé).

Le composant n'ayant pas été laminé mais employé dans un boitier de type press-pack, une étude de défaillance optique complète peut être menée. La Figure III.68-b, comparativement à la Figure III.68-a, montre une forte restructuration de la métallisation supérieure de la puce : la couche d'aluminium a perdu de son éclat, la surface étant devenue granuleuse. Il est cependant à noter que l'usage du microscope modifie assez notablement les couleurs et l'aspect de surface : si la métallisation est globalement noire sur la Figure III.68-b, elle n'apparait en réalité que légèrement ternie à l'œil nu (Figure III.68-c).

Sur les images (c) et (d), certaines zones de la métallisation supérieure demeurent néanmoins brillantes. Ces zones sont dispersées sur l'intégralité de la fenêtre ouverte dans le masque : il s'agit alors probablement des zones où la mousse était en contact avec l'aluminium. Il est possible que la mousse ait localement perforé l'aluminium (liquéfié, ou au moins du moins ayant perdu de sa dureté, du fait des fortes températures atteintes lors d'un court-circuit) jusqu'à atteindre le dessus des cellules. Une autre hypothèse (n'excluant pas la précédente) est que la pression exercée par la mousse sur la puce a localement limité, voire empêché, la restructuration de l'aluminium.

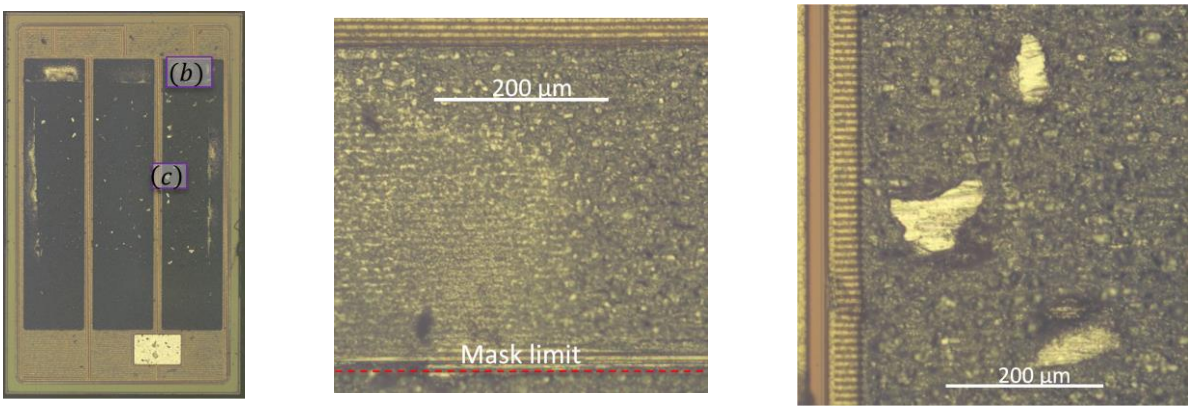
La Figure III.68-b montre, par ailleurs, que le pad de grille n'a pas vieilli, ce qui s'explique par le fait qu'il n'est pas siège des courants élevés, en particulier surfaciques, subis par les pads de source. Par ailleurs, ceci suggère que sa température n'a pas notablement variée lors des courts-circuits – ceci alors même qu'il n'est situé que quelques µm au-dessus de cellules.



(a) (b) (c)

Figure III.68 : photographies de la puce complète avant (a) et après (b-c) vieillissement ; sous l'optique d'un microscope (a-b) ou sous éclairage naturel (c). Les lignes bleues (fig. b) marquent les limites du masque.

La Figure III.68-b et la Figure III.69-b montrent par ailleurs que la métallisation est demeurée brillante et relativement faiblement granuleuse sous les bords du masque. Ceci tendrait à confirmer les hypothèses précédemment formulées : la pression de la mousse sur le masque se traduit par une concentration de contraintes sur le bord du masque, la pression résultante pouvant être localement suffisante pour percer la couche d'aluminium ou en empêcher la restructuration. Les lignes horizontales pouvant être distinguées sur les Figure III.69-b et c correspondent aux cellules du MOSFET. Les traces brillantes disséminées sur la surface de la puce non protégée par le masque (Figure III.69-c) pourraient matérialiser les points de contact entre la puce et la mousse. L'état de surface de ces zones semble bon, sans que ne soient visibles les cellules.



(a) (b) (c)

Figure III.69 : puce après vieillissement par courts-circuits longs. (a) : indication de l'emplacement des vues (b) et (c) sur la puce. (b) : zone affaissée, à faible granulosité, compressée sous le masque. (c) : zone de contact entre la mousse et la puce.

3.5.4.2 Analyse de défaillance comparée : SC longs vs courts

La face avant de la puce ayant été soumise au test de vieillissement par courts-circuits courts présente des dégradations similaires à celle détaillées dans la section précédente : absence de trace de vieillissement sur la métallisation du pad de grille, accroissement général de la rugosité de la métallisation de source, présence de zones apparemment compressées sous le masque et de zones lisses au niveau des contacts entre mousse et puce.

Une étude comparative des surfaces des puces (Figure III.70) montre néanmoins que l'état de surface de la puce ayant subi les courts-circuits de plus courte durée est meilleur. L'apport d'énergie plus faible a entrainé une restructuration de la métallisation aluminium moins violente.

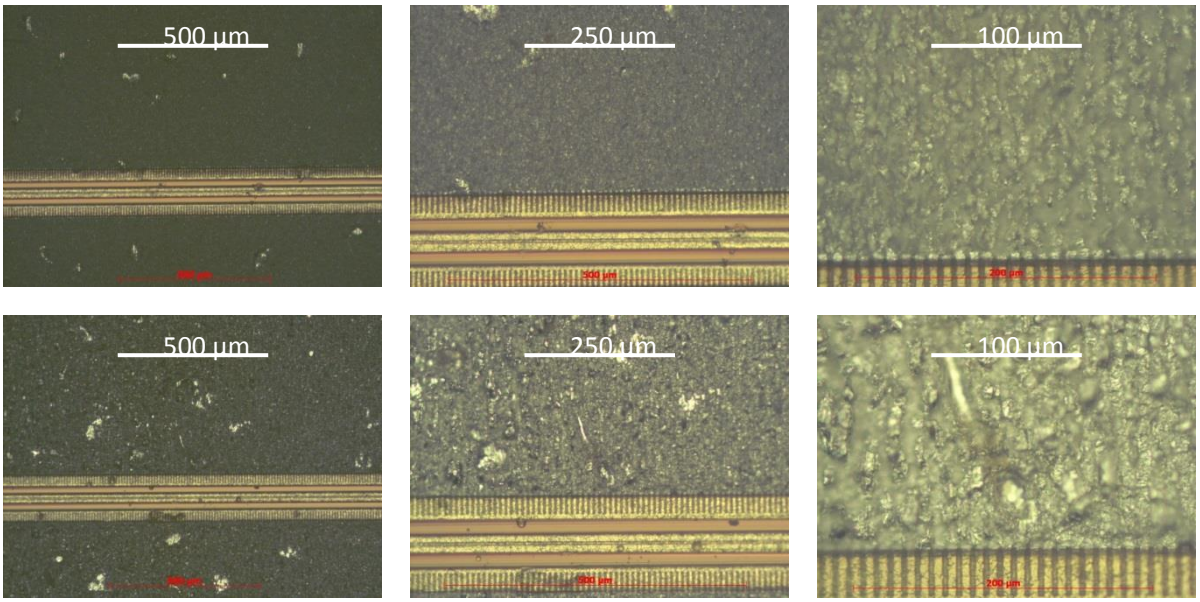


Figure III.70 : puces après vieillissement par courts-circuits courts de 3 µs (haut) et longs de 4,7 µs (bas). De gauche à droite : grossissement croissant.

3.5.5 CONCLUSION SUR LES ESSAIS DE VIEILLISSEMENT PAR COURTS-CIRCUITS

Cette section s'est intéressée à l'effet de courts-circuits répétitifs sur la résistance à l'état passant ainsi que sur le courant de fuite de grille DC de MOSFET SiC. Des tests menés sur des puces connectées par mousse pressée ou de manière conventionnelle, par fils de bondings, ont autorisé une analyse comparative de l'effet de ces techniques de reprise de contact de face avant sur la fiabilité des assemblages. Les résultats sont résumés en Table III.8.

Des échantillons ont été soumis à des courts-circuits suffisamment longs pour qu'un courant de fuite de grille transitoire puisse s'établir. En accord avec à des résultats précédemment publiés [315], ce traitement a entrainé l'apparition soudaine d'un courant de fuite de grille continu, suffisant pour déclarer le composant défaillant, après un nombre très limité de courts-circuits – 140 dans le cas du contact par mousse contre 190 pour le boitier TO-247. L'écart pourrait n'être qu'un aléa statistique, ou la marque qu'une technique de reprise de contact est moins fiable que l'autre.

D'autres échantillons ont été soumis à des courts-circuits suffisamment courts pour ne pas entrainer l'apparition de courant de fuite de grille transitoire. Le prototype enfouis a ainsi affiché une augmentation de résistance relativement progressive d'environ 1 ppm/SC tandis que le courant de saturation maximum décroissait de -2,6 ppm/SC. Un courant de fuite de grille est par ailleurs apparu après 11,2 kSC. Le composant en boitier TO-247, quant à lui, a vu sa résistance croître notablement plus rapidement, avec une pente proche de 4,4 ppm/SC, tandis que le courant de saturation maximum décroissait avec une pente de -4,6 ppm/SC, et qu'un courant de fuite DC est apparu après 65 kSC. L'accroissement de résistance est probablement dû à la restructuration de la métallisation de face avant, dont l'impact est limité dans le cas du contact distribué créé par la mousse pressée. Fixant comme critère de défaillance l'apparition d'un courant de fuite de grille DC notable ou un accroissement de résistance dépassant 5 % [216], la puce employant un contact par mousse pressée serait déclarée défaillante après 11 kSC du fait du courant de fuite, tandis que la puce connectée par fils de bonding le serait après 12 kSC, du fait de l'accroissement de résistance.

Table III.8 : récapitulatif des résultats des tests de vieillissement par courts-circuits. Les pentes des variations de résistance et de courant de saturation maximum ne sont pas indiquées pour les SC longs car difficilement décorrélables des effets de la température, du fait de la durée limitée des expériences.

Type de SC	Technique	Energie par SC (mJ)	Variation de résistance	Variation du courant maximum	Nombre de SC avant défaillance	Critère de défaillance en cause
			ppm/SC	ppm/SC	n_{SC}	
Long (4,7 µs)	Mousse pressée	890	–	–	140	$I_g > 1$ mA
	TO-247	915	–	–	190	$I_g > 1$ mA
Court (3 µs)	Mousse pressée	520	+1	−2,6	11 k	$I_g > 1$ mA
	TO-247	480	+4,4	−4,6	12 k	$R_{ds_m} > 1{,}05R^0_{ds,on}$

Cette étude suggère, in fine, que de la durée de vie face à des tests de vieillissement par courts-circuits de type I est similaire pour les composants connectés par fils de bonding comme par mousse pressée. Des différences subsistent néanmoins tant concernant les mécanismes que les modes de défaillance. Les composants connectés par mousse pressée semblent ainsi plus sensibles à l'apparition de courants de fuite de grille tandis que ceux utilisant des fils de bondings ont tendance à voir leur résistance croître bien plus rapidement. Les composants utilisant le procédé de reprise de contact proposé sont, dans tous les tests menés, caractérisés par un court-circuit, au moins partiel, entre grille et source avec préservation des performances de blocage du composant, ce qui correspond à une défaillance protégée, de type « fail-safe ».

3.6 Discussion sur l'étude de fiabilité

3.6.1 Répétabilité

Les caractéristiques électriques extraites des différents prototypes (section 2.2, page 141) suggéraient que le procédé de prise de contact par mousse pressée est relativement répétable puisque 54 des 58 prototypes présentaient des résistances comprises entre 3 mΩ et 5 mΩ, avec un écart-type de 470 µΩ. La présente étude (en particulier au cours des tests de vieillissement par impulsions de courant, section 3.2, ou par cyclage thermique, section 3.3) a, cependant, mis au jour une forte dispersion des résultats de fiabilité entre les différents prototypes testés. Cet apparent paradoxe est probablement dû au fait que la résistance liée au boitier est faible par rapport à celle de la puce tandis que la fiabilité de l'assemblage est – au moins dans le cas de ces tests de vieillissement – principalement définie par le packaging. De manière concomitante, la résistance due aux reprises de contact gagne en importance relative au cours du vieillissement, d'où les forts accroissements de résistances observés.

Diverses hypothèses peuvent être formulées pour expliquer la forte dispersion des résultats de tests. Même si la plupart des étapes du procédé d'enfouissement est simple et maîtrisée, les échantillons ont été réalisés de manière relativement artisanale et avec du matériel de laboratoire non-automatisé ; la répétabilité du procédé n'est donc pas optimale. De plus, la mousse est un matériau intrinsèquement aléatoire, ce qui amène une distribution stochastique des contacts sur la métallisation de la puce, différant d'un prototype à l'autre. Il est par ailleurs à noter que l'état initial des puces utilisées dans les tests de vieillissement par impulsions de courant comme par cyclage thermique était inconnu. Les résultats de fiabilité obtenus pour ces tests sont donc discutables – ils constituent éventuellement des pires-cas.

Enfin, les tests ont été menés sur un nombre réduit d'échantillons, limitant fortement la signification statistique des résultats. Une étude plus systématique et mieux maîtrisée, portant sur la reproductibilité du procédé ainsi que sur sa fiabilité et robustesse, doit encore être menée.

3.6.2 Du choix des échantillons à mettre en avant

Une dispersion importante a pu être observée parmi les prototypes soumis à des tests identiques. Se pose alors la question de choisir les prototypes à mettre en avant : les meilleurs ou les moins performants. La première option suppose que la dispersion des résultats est majoritairement due à la mauvaise maîtrise du procédé d'enfouissement et qu'il sera possible de ne réaliser que des échantillons performants lorsque le procédé sera

correctement maîtrisé. À l'opposé, la seconde estime que le manque de répétabilité est une caractéristique intrinsèque du procédé et qu'il convient par conséquent de réaliser une étude de pire-cas.

3.6.3 INDICATEURS DE FIABILITÉS POUR LES PROCÉDÉS D'ENFOUISSEMENT PCB

La structure des assemblages PCB diffère fondamentalement de celle des composants discrets et des modules de puissance classiques dans la mesure où il n'est pas fait usage de fils de bondings, où les substrats diélectriques en céramique sont remplacés par des composites mêlant matériaux organiques et fibre de verre, où les assemblages sont davantage symétriques (les composants sont généralement intercalés entre deux PCB ou DBC, ou SMI), etc.

La nécessité de chercher à mettre au jour des mécanismes de défaillance spécifiques aux assemblages PCB, n'apparaissant pas dans le cas de composants standards, est donc manifeste.

Par ailleurs, sans minimiser l'intérêt des tests de robustesse, vieillissement, et caractérisation normés et communs (e.g. [318]), les différences structurelles entre les composants pour lesquels ces tests ont été développés et les assemblages PCB peuvent interroger quant à leur validité dans le cas des assemblages PCB. Les essais de vieillissement par surcharges de courant pourraient ainsi constituer un indicateur de performance pertinent. [296] propose quant à lui un test associant cyclage thermique, polarisation électrique, et milieu humide.

Les critères de défaillances traditionnellement associés aux composants discrets et aux modules de puissance standards pourraient, enfin, présenter une pertinence limitée dans le cadre de l'enfouissement PCB. L'accroissement de 5 % de de la résistance électrique est, par exemple, généralement pris comme critère de défaillances pour les modules de puissance traditionnels. Ce seuil caractérise le fait que la quasi-totalité des fils de bonding est levée (« bonding lift-off ») et que le module est proche de la défaillance catastrophique. Par suite, ce critère présente a priori une pertinence limitée dans le cas d'assemblages PCB, caractérisés par des mécanismes de défaillances différents. La pertinence même d'utiliser la résistance électrique des assemblages comme indicateur de vieillissement apparait comme discutable. Ainsi, il aurait indubitablement été éclairant de suivre l'évolution d'un ensemble plus large de paramètres physiques (courant de fuite, tension d'avalanche, tension de seuil, etc.) au cours des différents tests mis en œuvre [317].

Du fait du possible manque de pertinence des critères de défaillance classiques, cette étude a ainsi cherché à monitorer des paramètres physiques fondamentaux et continus (par opposition au caractère binaire d'un critère de défaillance) tels que la résistance ou le courant de fuite. Ceci permet une analyse a priori plus fine des résultats.

3.7 CONCLUSION SUR L'ÉTUDE DE FIABILITÉ

Une étude expérimentale préliminaire de fiabilité et robustesse a été menée sur des prototypes de puces enfouies dans du PCB avec reprise de contact de face avant par mousse pressée. Elle visait à exciter diverses potentielles fragilités des assemblages de manière à mettre au jour d'éventuelles faiblesses liées à la structure même de la technologie proposée. Pour cela, plusieurs tests de vieillissement accéléré ont été mis en œuvre, chacun stressant une partie différente de l'assemblage. Des échantillons ont ainsi été soumis à des surcharges de courant de forte intensité, à du cyclage thermique passif, à du vieillissement par courts-circuits et à des tests destructifs en court-circuit en mode limitation du courant.

L'un des objectifs des essais menés dans cette étude était de permettre d'estimer ex ante la durée de vie d'un assemblage par vieillissement accéléré, en le soumettant à des conditions plus stressantes mais néanmoins représentatives d'un fonctionnement réel. Le second objectif était de solliciter localement l'assemblage pour en déceler d'éventuelles fragilités structurelles, quitte à ce que le test associé n'ait qu'un intérêt limité vis-à-vis des conditions d'utilisation réelles. Les essais par impulsions de courant, par exemple, visaient principalement à répondre à cette seconde problématique.

Le procédé n'ayant fait l'objet d'aucune optimisation, des résultats encourageants ont été obtenus, certains prototypes enfouis présentant des fiabilités similaires à celles observées dans le cas de composants discrets basés sur des fils de bonding. Une forte dispersion des résultats est néanmoins observée sur certains tests ; elle pourrait être due à la structure même du contact réalisé ou à une maîtrise limitée du procédé mis en œuvre.

Plusieurs aberrations méthodologiques ont pu être mises en lumière au cours de ces tests. La première est liée aux puces de MOSFET silicium basse-tension (référence SPD06) qui, bien que qualifiées comme défaillantes par le fondeur, ont été utilisées pour les tests de vieillissement par impulsions de courant et par cyclage thermique. De plus, si le boitier de type press-pack a été utilisé pour la plupart des tests en court-circuit, l'exactitude avec laquelle il reproduit les caractéristiques du procédé de reprise de contact proposé demeure inconnue. Enfin, les analyses de défaillance conduites sont demeurées très superficielles, ne permettant pas une compréhension fine des mécanismes de défaillance impliqués.

Une discussion portant sur la pertinence des indicateurs et critères de défaillance est finalement proposée : les assemblages PCB étant structurellement différents des modules de puissance classiques, de nouveau critères de défaillance, techniques de test, et indicateurs de vieillissement gagneraient à être définis.

4 HACHEUR SiC ENFOUI

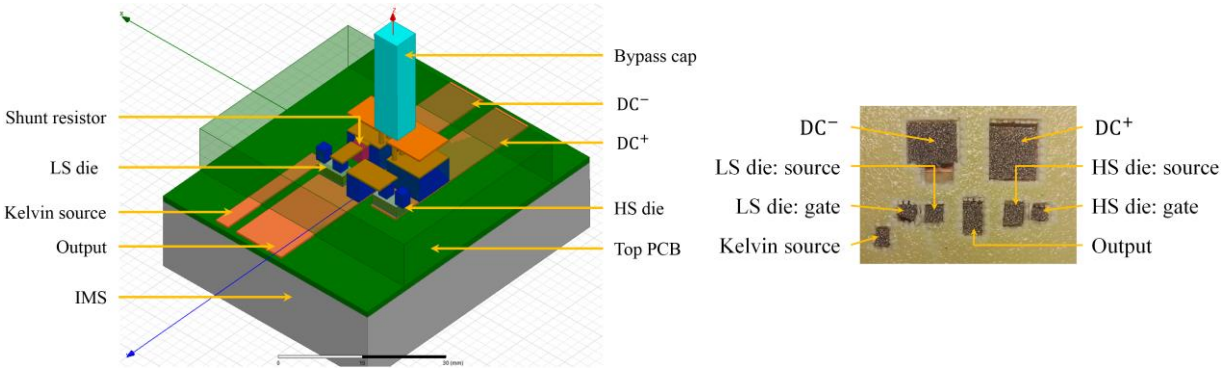
4.1 INTRODUCTION

La section 2 (page 134), en décrivant l'enfouissement de diodes, a permis de démontrer la faisabilité ainsi que les qualités intrinsèques du concept de reprise de contact de face avant par mousse pressée. Ces travaux se plaçaient néanmoins dans le contexte relativement simple où les puces ne présentaient qu'un unique pad de grande dimension en face avant. Par ailleurs, les puces étaient prévues pour un fonctionnement en basse tension ($\leq$ 65 V), ce qui limitaient les contraintes liées au champ électrique, en particulier eu égard à la protection des anneaux de garde.

Cette section se propose d'enfouir une cellule de commutation complète basée sur des transistors SiC. La géométrie de la cellule est définie à partir des résultats du chapitre précédent (section *II-4. Étude de l'agencement des puces de puissance*, page 113).

4.2 DESCRIPTION DU MODULE

Étant attendu que les contraintes thermiques limiteront la puissance transférable par le module réalisé, celui-est basé sur un Substrat Métallique Isolé (SMI, Réf. ATT20, CIF) et adopte la structure G2 (section *II-4.2.3*, page 115), dans laquelle les deux puces (MOSFET SiC CPM2-1200-0040b – 1,2 kV – 63 A – 40 mΩ_{typ}) sont brasées sur le PCB inférieur – ou en l'occurrence le SMI (Figure III.71). Le schéma de principe du module réalisé est donné en Figure III.72.



(a) (b)

Figure III.71 : (a) : schéma 3D de la structure de module réalisée. Les puces sont en gris, les contacts en mousse sont bleus marine. Le prepreg et le substrat du PCB supérieur sont partiellement transparents, l'échelle verticale est × 10. (b) : photographie du module, prise au cours de l'assemblage et montrant les morceaux de mousse.

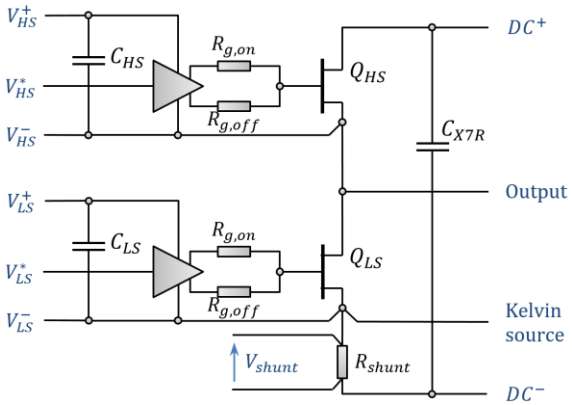


Figure III.72 : schéma de principe du module. Les borniers $V_X^{\pm}$ et V_X^{*} transmettent l'alimentation isolée et la commande des drivers X.

La commande rapprochée des transistors, basée sur des drivers de MOSFET intégrés (Réf. NCP81074b) est implémentée sur la face externe du PCB supérieur. Les résistances de grilles équivalentes totales sont d'environ 4,4 Ω au blocage et 6,9 Ω à l'amorçage. Une carte annexe gère les temps-morts (réglés à 11 ns, avec un jitter d'environ 270 ps_{rms} [319]) ainsi que les alimentations isolées, unipolaires, des drivers (convertisseurs DC-DC Murata MEJ2D0509SC).

Une résistance shunt de $R_{shunt} = 11$ mΩ, constituée de trois résistances de 33 mΩ (thick-film, boitier 0603, brasées en flip-chip de manière à en minimiser l'inductance [320]) connectées en parallèle, est enfouie en série avec la source du transistor low-side, de manière à permettre une mesure approximative de son courant de drain. L'inductance de chaque résistance étant d'environ 0,6 nH [321], celle du shunt équivalent peut être estimée à 0,3 nH – du fait des couplages magnétiques entre composants. La bande passante du capteur ainsi réalisé est alors d'environ 6 MHz [155], valeur a priori trop basse pour mesurer les commutations des transistors, mais suffisante pour permettre la supervision du module (protection, régulation, etc.).

Comme le montre la Figure III.73, la connexion du module au bus de puissance est routée à la manière d'un edge coupled microstrip (cf. section *II.3. Influence de la distance entre une cellule de commutation et son découplage*, page 102). La cellule est découplée par un condensateur céramique (1,2 kV – X7R, de 68 nF à polarisation nulle) brasé sur le PCB supérieur. Aucune couche capacitive n'a été enfouie, de manière à simplifier la réalisation du prototype. Un condensateur film métallisé (MKP – 875 V – 15 µF, cf. Figure II.24, page 103) est placé à quelques centimètres du module, la connexion étant réalisée à l'aide d'un PCB routé tel un edge coupled microstrip.

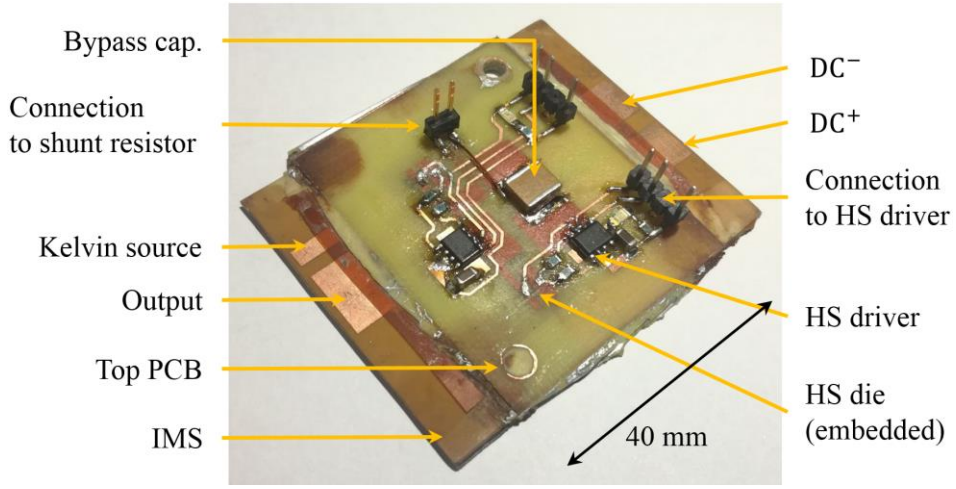


Figure III.73 : photographie de la cellule de commutation enfouie.

Un dissipateur, de résistance thermique mesurée 1,4 K/W, permet de refroidir le module.

La tension de sortie de la cellule est mesurée entre les pistes « output » et « Kelvin source » à l'aide d'une sonde connectée au prototype via un adaptateur coaxial commercial.

4.3 Caractérisation du prototype

4.3.1 Simulation thermique

Une simulation thermique 3D, incluant le module et son radiateur, a été menée sous Ansys de manière à déterminer l'impédance thermique du système, permettant d'estimer la puissance pouvant y être dissipée. Le modèle simulé est celui de la Figure III.71-a. Des densités de puissance volumiques sont supposées dissipées au sein du condensateur de découplage ainsi que dans des couches de 10 µm situées sous la métallisation de chaque puce. La mousse pressée est modélisée par un milieu homogène de conductivité thermique 2,2 W/mK (cf. section *2.3. Caractérisation thermique de la mousse pressé*, page 145). Les pistes de puissance sont modélisées de manière à prendre en compte leur impact sur l'épanouissement de la chaleur. Le dissipateur connecté au SMI est modélisé par une condition de convection dont le coefficient d'échange est choisi de manière à modéliser la résistance thermique équivalente du dissipateur. Les autres surfaces à l'air sont adiabatiques. L'effet des connections au module n'est pas modélisé, étant estimé que moins de 5 % de la puissance dissipée est drainé par celles-ci.

Cette simulation (cf. Figure III.74) permet ainsi d'estimer la matrice de couplages thermiques :

$$\begin{pmatrix} T_{LS} \\ T_{HS} \\ T_{X7R} \end{pmatrix} = R_{th} \cdot \begin{pmatrix} P_{LS} \\ P_{HS} \\ P_{X7R} \end{pmatrix}, \qquad R_{th} = \begin{pmatrix} 5{,}23 & 4{,}33 & 4{,}62 \\ 4{,}33 & 5{,}27 & 4{,}65 \\ 4{,}34 & 4{,}40 & 14{,}7 \end{pmatrix} [\mathrm{K \cdot W^{-1}}] \tag{III.93}$$

reliant la température moyenne de la face avant des puces LS, HS et du condensateur de découplage aux puissances dissipées dans ces composants. La symétrie du montage est relativement bonne, les résistances thermiques entre chaque puce et l'ambiant différent de moins de 1 %. Le couplage entre les composants est néanmoins élevé, dont dénote la température quasi-homogène au sein du module. Supposant une température ambiante de 50 °C et une température maximale de 125 °C pour les composants, sous l'hypothèse que toute la puissance dissipée est répartie équitablement entre les puces, la puissance maximale pouvant être perdue au sein du module atteint, d'après cette simulation, 16 W. Supposant un rendement de la cellule de commutation de l'ordre de 98 %, cette analyse sommaire permet d'estimer que la puissance maximale transférable par le convertisseur est alors proche de 1 kW.

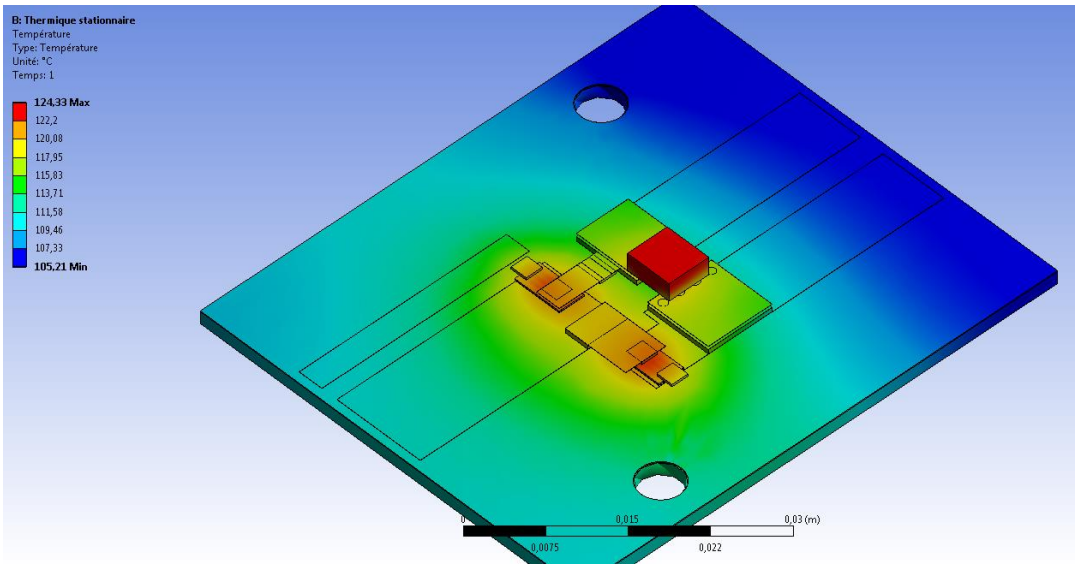


Figure III.74 : champ de température simulé, 10 W étant dissipés dans chaque puce et 1 W dans le condensateur de découplage. Le prepreg et le PCB supérieur sont cachés. La température ambiante étant fixée à 22 °C, celle des puces est de 122 °C, tandis que celle du condensateur atteint 124 °C.

4.3.2 Inductance de maille

Les inductances des mailles primaires et secondaires sont estimées à partir de la capacité de sortie des transistors enfouis ($C_{out} = 160$ pF d'après la datasheet [273]), de la capacité du condensateur de découplage local (mesurée comme valant $C_{X7R} = 31$ nF sous polarisation de 600 V – cf. annexe *A7. Mesure de capacité sous polarisation DC*, page 214), de la fréquence des oscillations survenant au blocage, et par application de la formule de Thomson. Sont alors déduites les inductances de mailles HF et LF, avec une incertitude estimée à 20 % :

$$L_{1,osc} = 4{,}5 \text{ nH}, \qquad L_{2,osc} = 21 \text{ nH} \tag{III.94}$$

Une mesure directe à l'analyseur d'impédance E4990a valide ce résultat puisque les inductances mesurées valent alors :

$$L_{1,dir} = 3{,}3 \text{ nH}, \qquad L_{2,dir} = 24{,}8 \text{ nH} \tag{III.95}$$

4.4 Tests en commutation

4.4.1 Double pulse

Un test en double impulsion a été réalisé sur le prototype, avec une inductance de charge de 10 mH, sous 650 V et pour un courant de 35 A – soit 23 kVA (Figure III.75). Les temps de monté et de descente sont de 12 ns, soit une vitesse de transition moyenne, très élevée, de 43 V/ns. Ces temps de commutation correspondent à une bande passante de 26 MHz. Cette valeur très inférieure à la fréquence de résonance de la maille principale (143 MHz) invalide l'hypothèse des commutations instantanées (cf. section *II-2.4.1. Hypothèse fronts raides*, page 99, chapitre II), et par suite l'absence d'une surtension égale à la totalité du bus DC. Le dépassement au blocage est ainsi limité à 28 V, soit 5 % de la tension de bus.

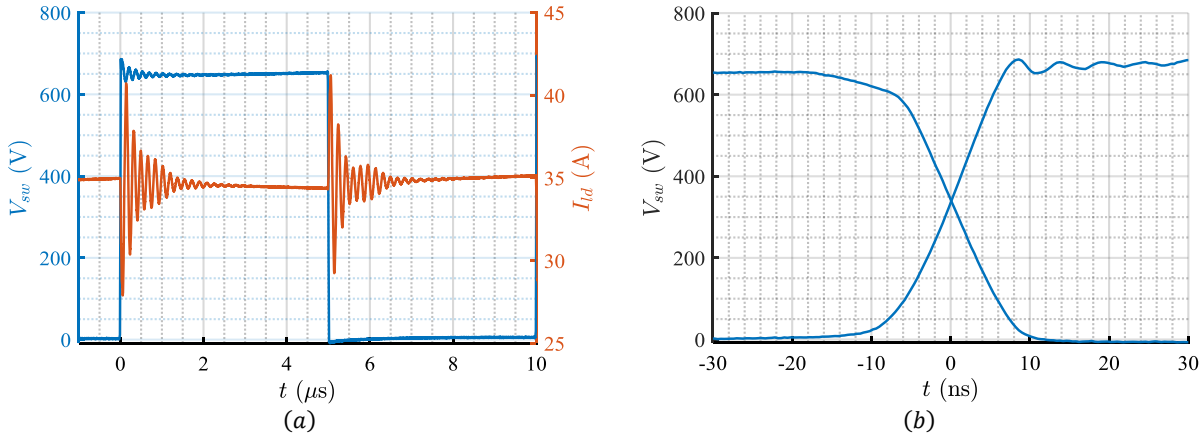


Figure III.75 : test en double-pulse. (a) : tension et courant de sortie de la cellule de commutation. (b) : commutations de la tension (fronts montant et descendant) superposées. L'allure de la tension V_{sw} après la mise en conduction de Q_{LS} est probablement due à un courant résonant de mode commun.

4.4.2 HACHEUR DÉVOLTEUR

4.4.2.1 PRINCIPE DE LA MESURE

Le module réalisé a également pu être testé en fonctionnement continu, en charge. Pour cela, la méthode d'opposition [322] est mise en œuvre (Figure III.76) : un convertisseur boost est connecté en cascade d'un convertisseur buck. Le rapport cyclique du convertisseur buck est fixé par un circuit de contrôle externe, régulant sa tension de sortie V_{int}, dite de « bus intermédiaire ». Le convertisseur boost est quant à lui commandé par un comparateur à hystérésis, régulant le courant consommé sur le bus intermédiaire – i.e. le courant moyen délivré par le buck I_{ld}. La sortie du convertisseur boost est connectée au bus de puissance principal, alimentant le convertisseur buck. La structure est ainsi globalement équivalente à un pont en H chargé par un filtre LCL en T. Le bus intermédiaire peut alors être virtualisé en remplaçant ce filtre par une unique inductance.

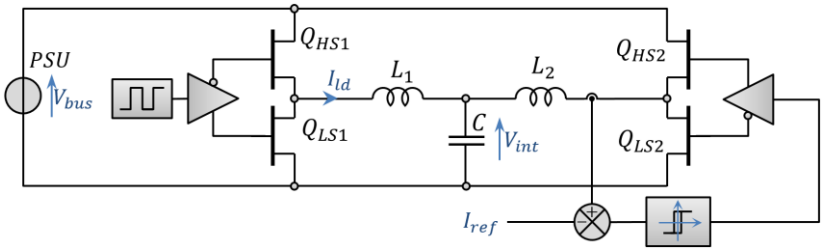


Figure III.76 : conversion de puissance par opposition sans virtualisation du bus intermédiaire (V_{int}). Le convertisseur buck (Q_{XS1}, L_1, C) est commandé par un signal d'horloge, le boost (Q_{XS2}, L_2) par un régulateur à hystérésis.

La méthode permet de réaliser des transferts de puissance importants, en ne consommant que quelques pourcents de cette puissance, correspondant aux pertes dans la structure. Le rendement du circuit global peut alors être relativement aisément mesuré.

Le convertisseur buck est, ici, réalisé à partir du bras enfouis tandis que le convertisseur boost exploite un module IGBT commercial. La distribution des pertes entre les différents modules et l'inductance de charge (10 mH – 2,5 MHz) n'étant pas connue, le rendement du module enfouis ne peut toutefois être estimé ainsi.

4.4.2.2 RÉSULTATS DE TEST

Le convertisseur est ainsi testé en fonctionnement continu (Figure III.77). La tension de bus est fixée à 600 V et celle du bus intermédiaire virtuel à environ 300 V. La fréquence de découpage du convertisseur buck est fixée à $f_{buck} = 25$ kHz. Le courant moyen délivré par la cellule enfouie est régulé à 10 A – soit une puissance transférée de 3 kW.

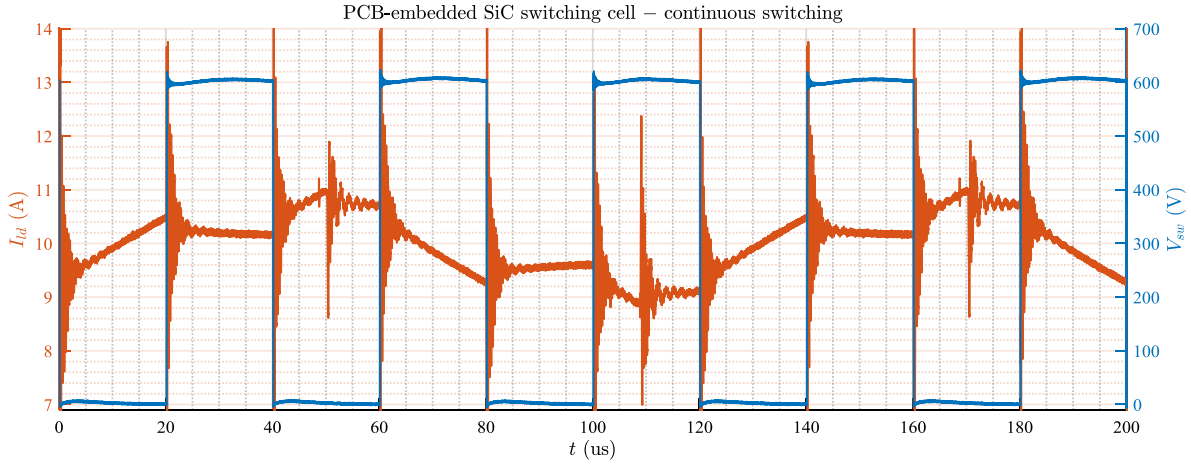


Figure III.77 : test en fonctionnement continu : tension et courant de sortie de la cellule de commutation enfouie. La composante spectrale à 8,3 kHz du courant est due à la fréquence de commutation du boost, non contrôlée mais naturellement stabilisée à $f_{buck}/3$.

La mesure de la tension aux bornes du shunt placé en série avec la source du transistor LS permet d'estimer le courant circulant dans la charge. Le signal est néanmoins fortement bruité du fait de couplages avec les circuits de puissance et, dans une moindre mesure, de commande. La composante inductive de l'impédance du shunt se traduit par un caractère dérivateur amplifiant les composantes à haute fréquence (bruits et résidus de commutation) du courant. Enfin, l'amplitude du signal utile est limitée à quelques centaines de mV (11 mV/A).

4.5 Conclusion sur l'enfouissement d'une cellule de commutation

Une cellule de commutation à base de transistors MOSFET SiC est enfouie à l'aide du procédé de reprise de contact proposé. La structure de la cellule (G2) et son découplage (routage, séparation des mailles, etc.) est basé sur les résultats du chapitre II.

Alimentée sous 600 V, la cellule a délivré 3 kW sous 10 A en fonctionnement continu. Un test en double-pulse sous 650 V – 35 A – 23 kVA a par ailleurs permis de valider les performances de l'assemblage sous fortes contraintes électriques indépendamment des problématiques thermiques.

Ces essais ont ainsi permis de valider le procédé d'enfouissement et de reprise de contact de face avant dans le cadre d'une structure relativement complexe, intégrant de nombreux contacts en mousse pressée, et sous fortes contraintes électriques.

5 Conclusion & perspectives du chapitre

Le présent chapitre a proposé une nouvelle méthode pour réaliser la connexion entre la face avant d'une puce et son environnement. Il est basé sur l'utilisation d'un morceau de mousse métallique pressé contre la puce, l'ensemble étant enfoui dans un substrat PCB. Cette technique est simple à mettre en œuvre, d'un coût de revient très bas, et peut être implémentée sur une ligne de fabrication PCB standard. Par ailleurs, à l'opposé des techniques de reprise de contact de face avant n'utilisant pas de fils de bondings les plus courantes, il est possible de connecter des puces ordinaires, dotées d'une métallisation aluminium. Le procédé décrit autorise, de plus, la connexion de puces de hauteurs différentes au sein d'un circuit, les morceaux de mousse étant alors plus ou moins compressés [323]. Enfin, si le procédé est a priori destiné à des puces de grandes dimensions, pour des applications en électronique de puissance, les tests menés au laboratoire ont permis de connecter des pads de grille de dimensions 380 µm × 550 µm.

Le procédé de fabrication proposé a été présenté en détails, avant que la caractérisation électrique d'une série de prototypes simples, visant à juger des performances de la technique d'enfouissement, ne soit décrite. Ces

tests ont montré que la résistance électrique due au contact de face avant par mousse pressée est proche de celle obtenue avec une technique de connexion conventionnelle, basée sur des fils de bondings. Il a également pu être observé que la mise en œuvre du procédé d'enfouissement proposé peut ne pas dégrader les caractéristiques inverses des puces employées. Il est néanmoins apparu que les performances thermiques médiocres de la mousse ne permettent qu'une extraction très limitée de la chaleur.

Différents tests de robustesse et de vieillissement ont été menés sur des prototypes de manière à exciter diverses faiblesses potentielles d'assemblages basés sur la technique proposée. Si un manque manifeste de répétabilité s'est dégagé d'une partie de ces essais, certains échantillons se sont révélés aussi fiables que leurs pendants connectés par fils de bondings. Le manque de répétabilité observé pourrait découler d'une mauvaise maîtrise du procédé, ou dénoter une caractéristique intrinsèque de la technologie considérée, conséquence de la nature stochastique de la mousse – ce qui constituerait une limite majeure du procédé proposé. La question demeure ouverte.

Des démonstrateurs constituant des briques élémentaires de l'électronique de puissance ont pu être prototypés et testés : un pont redresseur de courant monophasé [324], une cellule de commutation composée d'une diode et d'un IGBT [323], et une cellule de commutation composée de MOSFET SiC ont été réalisés. Cette dernière a pu être testée en double pulse sous 650 V – 35 A – 23 kVA ; les performances thermiques de l'assemblage n'ont cependant permis un fonctionnement continu que sous 600 V – 10 A – 3 kW – 25 kHz. Ces prototypes ont démontré la viabilité du procédé pour la réalisation de contacts de dimensions centimétriques à submillimétriques dans un contexte de convertisseur à forte densité surfacique de puissance. L'architecture planaire des assemblages permet de minimiser les inductances parasites, et par suite, les oscillations et surtensions – critère de haute importance face à la monté en vitesse et fréquence de commutation des convertisseurs de puissance.

Ces travaux demeurent néanmoins très préliminaires, exclusivement expérimentaux, et à spectre étendu, l'objectif de l'étude ayant été d'offrir un aperçu global des performances atteignables par le procédé. Des travaux plus complets doivent donc encore être menés pour améliorer ainsi que pour caractériser la reproductibilité de cette technique d'enfouissement et de reprise de contact de face avant. Il conviendrait, en particulier, de caractériser finement les interfaces entre la mousse et les autres éléments de l'assemblage. Il sera ensuite possible d'étudier de manière plus systématique la fiabilité et la robustesse du procédé.

Cette étude s'est par ailleurs focalisée sur un protocole de mise en œuvre précis, et par là très fermé. De prochains travaux pourraient donc chercher à optimiser le procédé de réalisation en jouant tant sur les matériaux de base que sur les paramètres de fabrication. Il serait ainsi possible de modifier la nature de la mousse pour employer, par exemple, de l'aluminium, de l'argent, de l'or, ou du cuivre en lieu et place du nickel. Une mousse de cuivre couverte d'un placage en nickel ou en or permettrait d'éviter l'oxydation et la diffusion du cuivre dans l'assemblage. Ceci pourrait permettre d'accroître les conductivités thermique et électrique du contact, tant au niveau des interfaces que du corps du contact. Certaines mousses pourraient par ailleurs présenter une résistance à la déformation plus faible, limitant les efforts appliqués sur la puce au cours du pressage. Il serait également intéressant de s'intéresser à l'impact de l'utilisation de paille ou de laine métallique en remplacement de la mousse.

L'usage de prepreg imprégné de résine à forte viscosité pourrait prévenir l'imprégnation de la mousse par l'époxy. La mousse demeurerait alors plus libre, travaillant davantage dans son domaine élastique. Cela pourrait améliorer la fiabilité de l'assemblage en autorisant plus de déformations, ou au contraire accroître le stress sur la métallisation supérieure de la puce par abrasion – tout en augmentant les risques d'explosion en cas de surchauffe (effet « pop-corn »), ainsi que celui de dégazage par thermo-oxydation de l'époxy [325]. L'usage de prépreg à plus haute température de transition vitreuse et/ou plus faible coefficient de dilatation thermique permettrait également, probablement, d'améliorer la fiabilité de l'assemblage en cyclage thermique en diminuant les écarts de CTE entre composants [70].

Braser ou fritter la mousse sur le PCB supérieur pourrait permettre d'améliorer les performances thermiques et électriques du contact – possiblement en dépit de la fiabilité cependant. Imbiber la mousse de brasure ou d'un métal à faible point de fusion (e.g. galium ou alliage d'indium) pourrait améliorer la conduction du contact, tout en accroissant la tenue aux surcharges transitoires [326]. Ajouter une interface en molybdène entre la mousse et la métallisation de face avant de la puce pourrait protéger mécaniquement cette dernière.

CONCLUSION GÉNÉRALE & PERSPECTIVES

Les travaux décrits dans ce manuscrit ont cherché à développer des méthodes de conception et de fabrication applicables à des convertisseurs multi-cellulaires dans lesquels certaines fonctions de support pourraient être partagées entre les différentes cellules du convertisseur. Pour cela, l'étude s'est intéressée à l'enfouissement au sein de circuit imprimé de convertisseurs de puissance, avec pour contrainte de proposer des technologies simples, pouvant être implémentées sur des lignes de production PCB conventionnelles, et à faible coût de mise en œuvre.

Une structure de composant inductif enfoui, pouvant être employée comme inductance, coupleur, ou résonateur monolithique, a tout d'abord été décrite. Un procédé de réalisation simple, économique et pouvant être implémenté sur une ligne de production PCB standard a été proposé. Un modèle analytique complet, décrivant le magnétisme, l'électrostatique, et les pertes du composant a été développé. Les prédictions de ce modèle se sont vues comparées à des résultats de simulations par éléments finis, montrant une bonne corrélation sur une gamme de fréquence s'étendant jusqu'à au moins 10 MHz. Des prototypes ont été réalisés, caractérisés, et intégrés au sein de convertisseurs de puissance. Une inductance de 1,5 µH, pour un courant de saturation de 15 A et une fréquence maximale d'utilisation proche de 10 MHz, a ainsi pu être réalisée sur un disque de PCB de 41 mm de diamètre. Un résonateur monolithique intégré de fréquence de résonance 3,3 MHz, i.e. suffisamment faible pour que le composant puisse être intégré dans un convertisseur de puissance, présentant une inductance de 11,7 µH et un courant de saturation de 3 A a également été réalisé sur un disque de PCB d'un diamètre de 74 mm. Outre leur rôle comme preuves de concept, ces prototypes ont permis de valider le modèle analytique, montrant que celui-ci offre une bonne estimation de la réactance du composant et une assez bonne appréciation des pertes – en particulier des pertes cuivre. Ces essais ont également mis en lumière le gain de rendement apporté par l'utilisation de la structure proposée par rapport à une géométrie similaire, bien que plus conventionnelle, d'inductance réalisée par fonctionnalisation du circuit imprimé.

Une étude portant sur l'agencement des composants de puissance constituant une cellule de commutation a ensuite été proposée. Celle-ci visait à offrir au concepteur des éléments permettant d'optimiser les compromis d'un tel circuit – et en particulier celui existant entre thermique et stress électrique. Pour cela, un modèle analytique apportant une compréhension intuitive des mécanismes oscillatoires dans le cadre de l'emploi de transistors rapides a tout d'abord été décrit. Celui-ci a permis de montrer que, dans le cadre des hypothèses formulées, une surtension égale à l'intégralité de la tension d'alimentation de la cellule de commutation est développée aux bornes de l'interrupteur lors de son blocage. En résultait une relative indépendance des inductances parasites et des surtensions, laissant apparaitre qu'il est potentiellement superflu de minimiser les inductances parasites s'il n'est pas possible de les réduire suffisamment pour invalider les hypothèses du modèle. Des mesures réalisées dans les domaines fréquentiel et temporel ont permis de valider le modèle analytique. Des essais ont alors été menés pour quantifier l'impact de la distance séparant une cellule de commutation et son découplage, montrant que le choix d'un routage simple mais performant permet de fortement limiter les inductances de maille. Dans ce cadre, placer un condensateur CMS à diélectrique céramique à 29 cm de la cellule se traduisait par une inductance de maille de seulement 11 nH. Une analyse multicritère, essentiellement qualitative, du placement relatif des transistors d'une cellule de commutation enfouie dans le PCB et de son condensateur de découplage local a ensuite été détaillée de manière à permettre une optimisation éclairée des compromis impliqués.

Une technique de reprise de contact de face avant pour puce enfouie a ensuite été proposée. Le procédé, décrit en détails, repose sur l'usage d'un morceau de mousse métallique pressé sur la puce. Le processus d'enfouissement est simple, économique, peut être implémentée sur une chaine d'assemblage PCB

conventionnelle, et est compatible avec des puces standards présentant une métallisation de face avant en aluminium. Une étude préliminaire, à forte composante expérimentale, a été présentée. Elle a pu démontrer que les prototypes enfouis présentent des caractéristiques électriques similaires à celles obtenus avec des fils de bonding. Des tests de robustesse et de vieillissement en court-circuit, par cyclage thermique, et par impulsions de courant, ont de surcroît montré que certains échantillons présentent des fiabilités et robustesses proches de celles de composants connectés de manière conventionnelle.

Enfin, les résultats de l'étude sur l'agencement des composants d'une cellule de commutation ont été appliqués pour concevoir et réaliser un hacheur basé sur des transistors SiC connectés par mousse métallique pressée. La structure a pu être testée en double pulse sous 650 V – 34 A (soit 23 kVA) ainsi qu'en fonctionnement continu en délivrant 3 kW sous 600 V à une charge. En dépit de vitesses de commutation très élevées atteignant 43 V/ns, la surtension au blocage ne dépassait pas 5 % de la tension de bus. Ce prototype a ainsi permis de démontrer l'intérêt de l'analyse, et en particulier la viabilité du procédé de reprise de contact proposé, dans le contexte d'un convertisseur de puissance moyenne enfoui dans un circuit imprimé.

Les techniques de prototypage mises en œuvre dans ces travaux sont demeurées très artisanales, limitant la densité de contacts réalisable. Les transistors ayant pu être connectés par mousse pressée sont ainsi d'un calibre relativement élevé : 1,2 kV – 63 A, soit 76 kVA, ou encore 760 mJ/cycle (supposant une fréquence de commutation de 100 kHz). À l'opposé, les inductances enfouies réalisées dans la structure proposée stockent au maximum 130 µJ (pour une surface de 15 cm²). Associer ces composants au sein d'un convertisseur résulterait en une sous-utilisation des transistors. Une meilleure maîtrise des procédés, permise en particulier par leur automatisation, devrait néanmoins entrainer une convergence de ces valeurs d'énergies. Aucun convertisseur complètement enfoui et associant les résultats des trois études menées n'a donc été décrit dans ce manuscrit à cause de considérations pratiques, et non du fait d'une limitation intrinsèque des technologies.

Cette étude, comme d'autres avant elle, a mis en exergue l'intérêt des matériaux magnétiques en feuilles, initialement destinés à des applications de blindage magnétique ou électromagnétique, pour la conversion d'énergie. Leurs caractéristiques magnétiques et leur simplicité d'usinage permettent de réaliser des convertisseurs fins, dont les noyaux magnétiques peuvent avoir des structures complexes, difficilement réalisables à partir de matériaux massifs. Leurs propriétés mécaniques, quant à elles, les rendent idéales pour l'enfouissement PCB, l'électronique flexible ou textile.

L'étude portant sur l'agencement des composants visait à éclairer le concepteur quant aux différents compromis à intégrer lors de la conception d'une cellule de commutation optimisée. La réflexion proposée s'est finalement révélée fortement qualitative et relativement fermée. Elle n'a en effet considéré qu'un seul routage, adapté à une cellule de commutation enfouie simple – puisque ne comprenant que deux transistors et un condensateur de découplage. Ces résultats ont néanmoins permis de poser les jalons requis pour définir la structure du convertisseur enfoui décrit à la fin du manuscrit. Une étude plus complète, quantifiant de manière plus approfondie les différentes contraintes, devrait encore être menée. Elle autoriserait la définition d'une fonction de coût intégrant ces contraintes issues de domaines physiques distincts, ou les associant au travers d'une grandeur commune (e.g. volume, masse, etc.). Une telle étude devrait par ailleurs permettre de délimiter des domaines de tension, de puissances, de contraintes environnementales, etc. dans lesquelles recourir aux technologies d'enfouissement PCB est pertinent – étant donné un ensemble de technologies accessibles.

Les travaux présentés dans le présent manuscrit ont constitué la première étude menée sur la technique de reprise de contact par mousse métallique pressée. Ils ont donc cherché à tester un large spectre de caractéristiques du procédé : performances électriques, thermiques, fiabilité, robustesse, répétabilité. Si les résultats sont encourageants, ils n'ont pas été menés dans des conditions suffisamment maitrisées et n'ont pas porté sur des ensembles de prototypes suffisamment grands pour avoir la significativité requise pour être

qualifiés de définitifs. Le procédé n'est, par ailleurs, pas mature et n'a fait l'objet d'aucune optimisation : l'ensemble des échantillons présenté a été réalisé à partir d'un protocole n'ayant que marginalement évolué. L'étude demeure ainsi très préliminaire. De futurs travaux sur le sujet pourraient prioritairement s'attacher à expliquer le manque de reproductibilité observé au cours de certains essais de vieillissement. Il s'agirait alors de déterminer s'il s'agit d'une caractéristique intrinsèque de la technique, ou si elle découle du manque de maîtrise du procédé. Dans ce second cas, une caractérisation fine, basée sur des tests maîtrisés, des performances et de la structure du contact pourrait être menée. Il deviendrait ensuite possible de chercher à optimiser le procédé.

ANNEXES

1 Estimation de la reluctance de fuite d'une V-coil 193
1.1 Méthode 193
1.2 Développement 193
1.3 Conclusion 195
1.4 Domaine de validité 195

2 Mesure de l'impédance de la V-coil utilisée en résonateur 196
2.1 Excitation de moyenne amplitude 196
2.2 Excitation de forte amplitude 197
2.3 Estimation in situ, en commutation 197
2.4 Comparaison des résultats 197
2.5 Conclusion 198

3 Instrumentation mise en œuvre 198
3.1 Introduction 198
3.2 Mesures d'impédance et de fonctions de transfert 199
3.3 Multimètres 201
3.4 Traceurs de caractéristiques 202
3.5 Amplificateur RF 202
3.6 Oscilloscope et sondes 202
3.7 Enceinte thermique 203

4 Autour de Q3D 204
4.1 Introduction 204
4.2 Modélisation des composants 204
4.3 À propos des impédances partielles 205
4.4 De la robustesse de Q3D 206
4.5 Comparaisons des résultats de simulateurs 207

5 Cellule de commutation 208
5.1 Schéma 208
5.2 Routage 210
5.3 Instrumentation 210

6 Mesure du courant de fuite d'un condensateur MKP 211
6.1 Calibration de la sonde de température 211
6.2 Dépendance de la capacité avec la température 211
6.3 Mesure BF de la capacité du DUT par intégration 212
6.4 Mesure de la résistance de fuite du condensateur 213
6.5 Discussion 214

7 Mesure de capacité sous polarisation DC 214
7.1 Introduction 214
7.2 Banc de test 214
7.3 Résultats 216
7.4 Discussion 217

8 Démonstration formelle des limites de l'hypothèse « front raide » 217
8.1 Introduction 217

8.2 Développement 218
8.3 Analyse 219

9 Généralités sur les mousses métalliques 219
9.1 Structures de mousses métalliques 219
9.2 Méthodes de production 220
9.3 Applications 220

10 Banc de tests en court-circuit 221
10.1 Présentation générale 221
10.2 Dispositif de mesure du courant de grille 222
10.3 Dispositif de mesure de la résistance à l'état passant 223

11 Simulation de la température de jonction d'une puce en régime de court-circuit 225
11.1 Introduction 225
11.2 État de l'art 226
11.3 Modèle proposé 227
11.4 Résultats de simulation 230
11.5 Influence de quelques paramètres de simulation 232
11.6 Discussion 234
11.7 Conclusion 234

1 ESTIMATION DE LA RELUCTANCE DE FUITE D'UNE V-COIL

Des FEA montrent que le champ en dehors d'une V-coil (i.e. pour $\rho > \rho_e$ ou $2|z| > d + 2e$) n'est pas nul (cf. par exemple section I-1.4, page 41). Ceci s'explique par le diamètre fini des plaques magnétiques, associé à l'utilisation d'un circuit magnétique ouvert. Cette section se propose de prendre en compte cet effet en modélisant l'espace défini par $\rho > \rho_e$ par une reluctance localisée, dite « de fuite », et connectée entre les bords externes des deux plaques magnétiques. Les paragraphes suivants décrivent un estimateur de cette reluctance.

1.1 MÉTHODE

La démarche suivie est la suivante : soit une géométrie $\mathfrak{G}_2$, simple, a priori éloignée de celle de la V-coil, et dans laquelle la distribution de potentiel (notée $\mathfrak{U}_2$) est connue. Soit la transformation géométrique $\mathcal{H}$, qui convertie la géométrie étudiée (i.e. la V-coil), notée $\mathfrak{G}_0$, en $\mathfrak{G}_2$. Si $\mathcal{H}$ est comforme, la distribution de potentiel dans $\mathfrak{G}_2$ peut être calculée par [92] :

$$\mathfrak{U}_2 = \mathcal{H}(\mathfrak{U}_0) \tag{A1}$$

La géométrie $\mathfrak{G}_2$ est constituée (cf. Figure A1) de deux bandes conductrices d'épaisseur négligeable, parallèles, coplanaire, de largeur e, de longueur infinie, et espacées d'une distance d. $\mathcal{H}$ est une transformation conforme composée de $\mathcal{H}_2$, une homothétie, et de $\mathcal{H}_1$, une transformation de Schwarz-Christoffel. La première met à l'échelle un demi-espace tandis que la seconde transforme ce demi-espace en l'intérieur d'un pavé de longueur infinie.

On détermine ainsi la capacité électrostatique (dont le sens physique est plus évident que celui de la reluctance effectivement recherchée) entre les deux bandes à potentiel fixé.

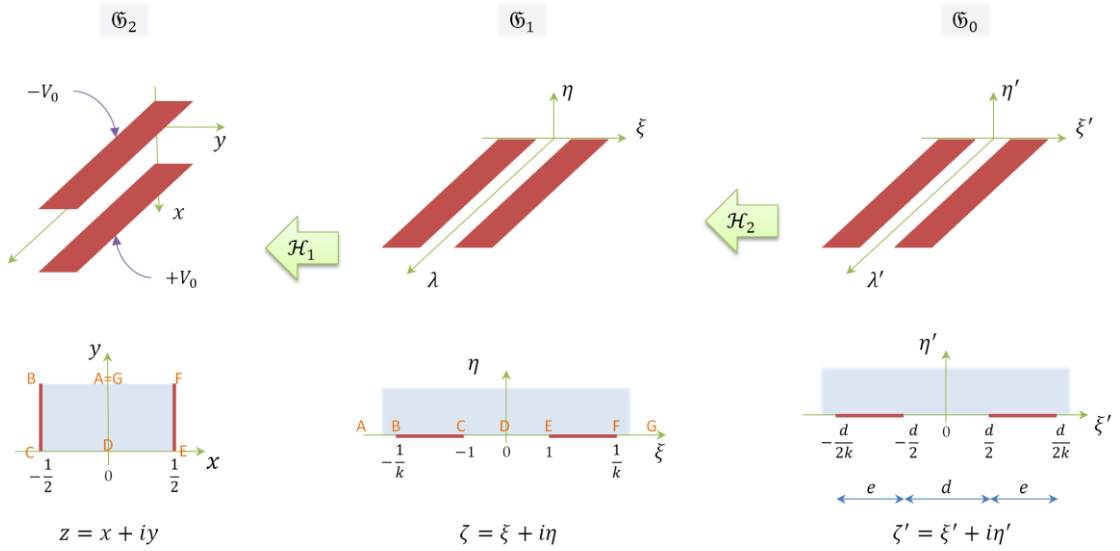


Figure A1 : schéma montrant le lien entre les différentes géométries et les transformations. Rouge : surface à potentiel fixé ; gris : volumes dont le potentiel est décrit ; lettres orange : points associés d'une transformation à l'autre.

1.2 DÉVELOPPEMENT

On considère ainsi l'homothétie :

$$\mathcal{H}_2 : \zeta' = \xi' + i\eta' \mapsto \zeta = \xi + i\eta = \frac{2\zeta'}{d} \tag{A2}$$

Qui transforme le plan $\mathcal{R}_{\xi'\eta'}$ défini par $(\xi', \eta') \in \mathbb{R} \times \mathbb{R}^+$ en lui-même : $(\xi, \eta) \in \mathbb{R} \times \mathbb{R}^+$. La Figure A1 montre que :

$$\frac{d}{2k} - \frac{d}{2} = e \Rightarrow k = \frac{d}{2e + d} \tag{A3}$$

De plus, la transformation de Schwarz [92]:

$$\mathcal{H}_1 : \zeta = \xi + i\eta \mapsto z = x + iy = \int^{\zeta} \frac{K \cdot d\zeta}{\sqrt{(\zeta + k^{-1})(\zeta + 1)(\zeta - k^{-1})(\zeta - 1)}}, \qquad K \in \mathbb{R} \tag{A4}$$

Transforme le demi-plan $\mathcal{R}_{\xi\eta}$ défini par $(\xi, \eta) \in \mathbb{R} \times \mathbb{R}^+$ en un rectangle $\mathcal{R}_{xy}$ défini par : $(x, y) \in \frac{1}{2}[-1, 1] \times [0, b]$, $b \in \mathbb{R}^{+*}$. L'expression de $\mathcal{H}_1$ peut alors être simplifiée [93]:

$$\mathcal{H}_1(\zeta) = \int^{\operatorname{asin}(\zeta)} \frac{kK d\zeta}{\sqrt{(1 - \zeta^2)(1 - k^2\zeta^2)}} = kK \cdot F_m(\zeta) + B, \qquad m = k^2, B \in \mathbb{R} \tag{A5}$$

Où $F_m(\cdot)$ est l'intégrale elliptique de première espèce de paramètre m.

Les constantes K et B sont obtenues en faisant correspondre une paire de points de $\mathcal{R}_{xy}$ et de $\mathcal{R}_{\xi\eta}$:

$$\begin{cases} z(\zeta = 0) = 0 \\ z(\zeta = 1) = 1/2 \end{cases} \Rightarrow \begin{cases} B = 0 \\ K = \left(2k \cdot F_m(1)\right)^{-1} \end{cases} \tag{A6}$$

In fine, la transformation conforme composée : $\mathcal{H} = \mathcal{H}_1 \circ \mathcal{H}_2$ permet de passer de la géométrie $\mathfrak{G}_0$, relativement complexe, à la géométrie $\mathfrak{G}_2$, plus simple.

Dans $\mathfrak{G}_2$, supposant le potentiel des frontières $(x, y) \in \{1/2\} \times [0, b]$ et $(x, y) \in \{-1/2\} \times [0, b]$ fixés aux valeurs $V_0 \in \mathbb{R}^*$ et $-V_0$, le potentiel dans le rectangle $\mathcal{R}_{xy}$ s'exprime :

$$\mathfrak{U}_2 = 2V_0 x = 2V_0 \cdot \mathfrak{Re}(z) \tag{A7}$$

Le champ de potentiel dans la géométrie d'intérêt $\mathfrak{G}_0$ est alors :

$$\mathfrak{U}_0 = 2V_0 \cdot \mathfrak{Re}\big(z(\zeta')\big) = \frac{2V_0}{2F} \cdot \mathfrak{Re}\left(F_m\left(\frac{2}{d}\zeta\right)\right), \qquad F = F_m(1) \tag{A8}$$

Le champ électrique dans le plan d'antisymétrie de la géométrie (i.e. $\xi = 0$), alors purement réel puisque porté par $\vec{\xi}$, est obtenu par dérivation :

$$E_{\xi=0} = -\frac{2V_0}{2Fd} \cdot \left.\frac{dF_m}{d\zeta}\right|_{\xi=0} \tag{A9}$$

La capacité (dont le sens physique est plus évident que celui de la reluctance effectivement recherchée) linéique équivalente est alors calculée par intégration du flux sur l'axe $\eta \in \mathbb{R}^+$ et mise à l'échelle :

$$C = \frac{\mathcal{I}\epsilon_0}{2F}, \qquad \mathcal{I} = \int_{\mathbb{R}^+} \left.\frac{dF_m}{d\zeta}\right|_{\xi=0} d\eta \tag{A10}$$

Où ϵ_0 est la permittivité du milieu. L'expression de $\mathcal{I}$ peut être simplifiée en :

$$\mathcal{I} = \int_0^{\infty} \frac{d\eta}{\sqrt{(1 - m\zeta^2)(1 - \zeta^2)|_{\xi=0}}} \tag{A11}$$

Soit, remplaçant $\xi = 0$ dans l'expression de $\zeta = \xi + i\eta$:

$$\mathcal{I} = \int_0^{\infty} \frac{d\eta}{\sqrt{(1 + m\eta^2)(1 + \eta^2)}} = K\left(\sqrt{1 - m}\right) \tag{A12}$$

Où K est l'intégrale elliptique complète de première espèce [327].

La reluctance linéique associée, vaut alors, étant donnée la perméabilité μ du milieu :

$$\mathcal{R}_{f,lin} = \frac{2F}{\mu \mathcal{J}} \tag{A13}$$

Cette reluctance caractérise, via la loi de Hopkinson, le flux linéique total (dans le demi-espace $\eta > 0$) si une FMM était imposée entre les rubans « conducteurs » de la géométrie $\mathfrak{G}_2$.

1.3 Conclusion

On en déduit la reluctance de fuite initialement recherchée en intégrant la reluctance linéique sur une longueur égale à la circonférence des plaques magnétique :

$$\mathcal{R}_{fe} = \frac{F_m(1)}{\pi \rho_e \mu \cdot K\left(\sqrt{1-m}\right)}, \qquad m = \left(\frac{2e}{d} + 1\right)^{-2} \tag{A14}$$

Où $2\pi\rho_e$ désigne la longueur curviligne équivalente du bord des plaques magnétiques.

1.4 Domaine de validité

Ce modèle néglige la courbure des équipotentielles autour de $\vec{\xi}$ (axe de symétrie de la V-coil), il est donc particulièrement valable tant que la longueur de diffusion du champ au-delà de la tranche des plaques magnétiques (i.e. pour $\rho > \rho_e$) est faible devant ρ_e. On donne en Figure A2 une évaluation numérique du ratio :

$$\Lambda(X) = \frac{\mathcal{J}(X)}{\mathcal{J}(+\infty)}, \qquad \mathcal{J}(X) = \int_0^X \frac{d\eta}{\sqrt{(1+m\eta^2)(1+\eta^2)}} \tag{A15}$$

En fonction de X et pour diverses valeurs de d/e. Cette figure montre que pour $e < 5d$ (ce qui sera quasi-systématiquement vérifié en pratique), choisir $X > 24$ permet d'assurer $\Lambda > 0{,}9$. Ceci signifie qu'assimiler $\mathcal{J}(X > 25)$ à $\mathcal{J}(\infty)$ résulte en une surestimation de la reluctance inférieure à 10 %. Ceci permet de définir ne longueur de diffusion à 90 %, notée ρ_{diff} :

$$X > 24 \Leftrightarrow 2\frac{\rho_{diff}}{d} = 24 \Rightarrow \rho_{diff} = 12d \tag{A16}$$

Ceci suggère que, si $e < 5d$, le modèle de reluctance est valide pour peu que :

$$\rho_e > \rho_{diff} = 12d \tag{A17}$$

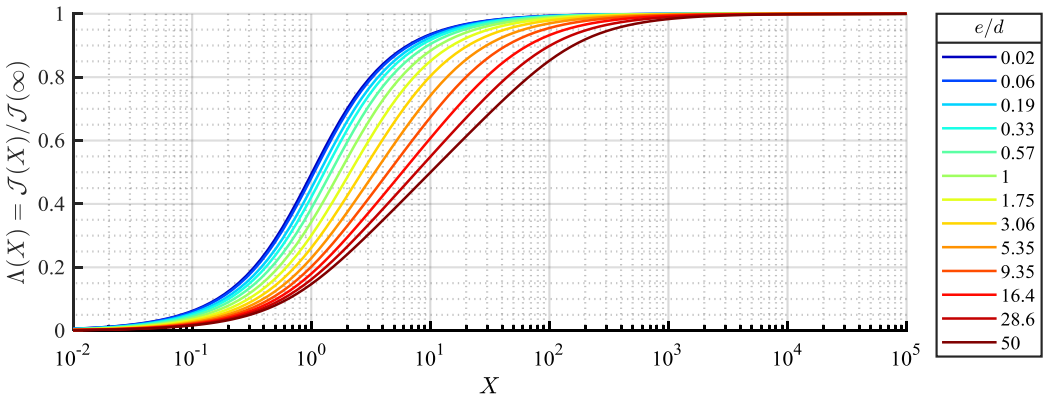


Figure A2 : étude de la vitesse de convergence de l'intégrale $\mathcal{J}$.

2 MESURE DE L'IMPÉDANCE DE LA V-COIL UTILISÉE EN RÉSONATEUR

Cette section traite de la comparaison des impédances d'une V-coil utilisée en résonateur mesurées en petits signaux (par un analyseur E4990a), en signaux de moyenne amplitude, et en commutation (FFT des courbes de commutation).

2.1 EXCITATION DE MOYENNE AMPLITUDE

Le schéma du circuit de test, permettant une mesure par méthode V-I de l'impédance [86], est donné en Figure A3. Il s'agit d'appliquer une tension sinusoïdale de relativement grande amplitude (ici proche de 20 V_{rms} en dehors de la résonance) au résonateur et de mesurer, à l'aide d'un oscilloscope, le courant et la tension.

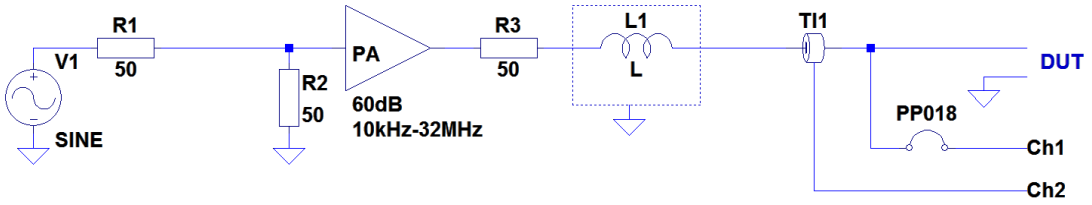


Figure A3 : schéma du circuit de test pour la mesure en signaux de moyenne et forte amplitude : générateur de signal (V1, R1), amplificateur RF (R2 – Power Amplifier PA – R3), et mesure des signaux caractéristiques du DUT par sondes de courant (TI1) et de tension PP018.

Les résultats de test sont donnés en Figure A4.

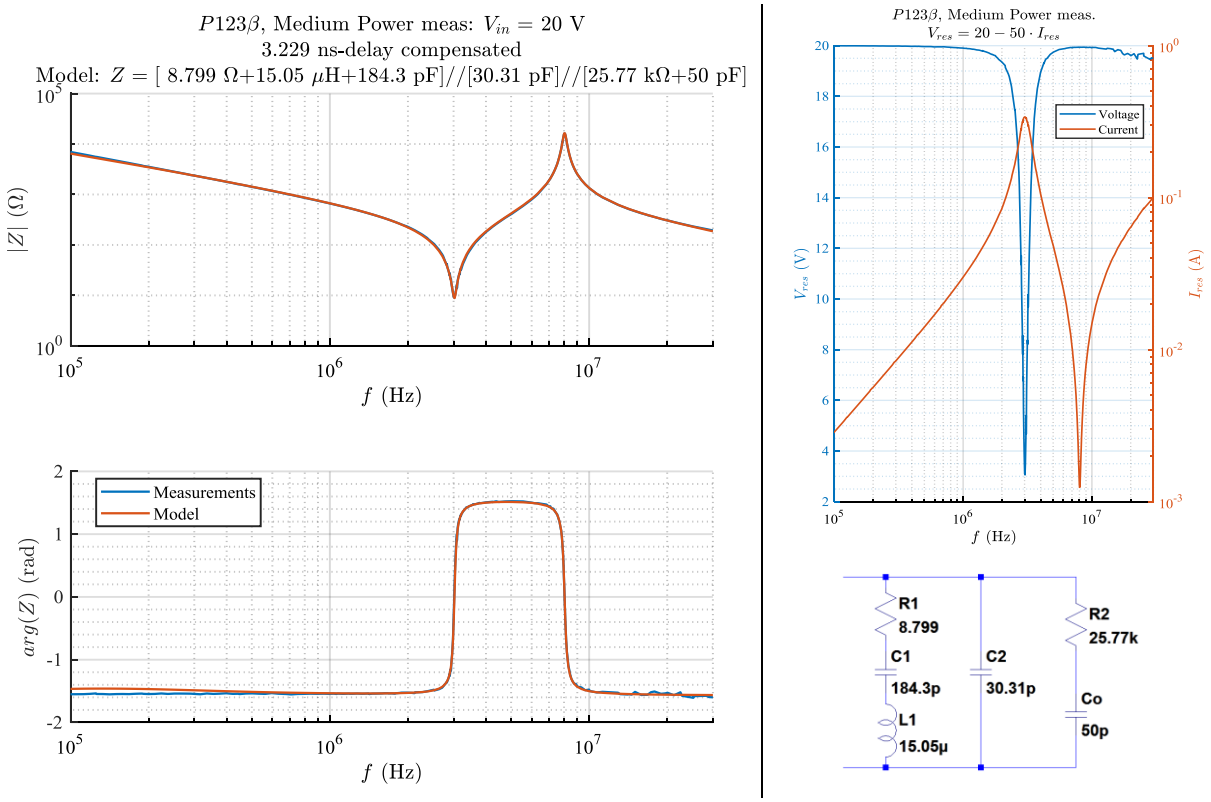


Figure A4 : gauche : impédance mesurée (bleu) et ajustée (rouge) à partir du modèle donné en bas à droite. Droite, haut : tension (bleu) et courant (rouge) mesurés dans le DUT ; le champ crête dans le circuit magnétique est alors de 10 mT vers 3 MHz.

2.2 EXCITATION DE FORTE AMPLITUDE

Le même test, mené avec une excitation de plus forte amplitude, montre que l'impédance autour de l'antirésonance (proche de 8 MHz) ne dépend pas de manière observable du champ appliqué, pour des tensions d'excitation du composant atteignant au moins $160\ V_{rms}$. Cet essai prouve également la linéarité du composant dans ces conditions de test.

2.3 ESTIMATION IN SITU, EN COMMUTATION

Cette section se propose d'estimer l'impédance du résonateur à partir des mesures réalisées sur le convertisseur en fonctionnement. La tension et le courant aux bornes et traversant le résonateur ayant été mesurés, il est possible de déduire l'impédance de ce dernier par déconvolution. Le spectre d'impédance est alors déterminé par ratio des FFT de la tension et du courant.

Les spectres du courant comme de la tension sont des fonctions très irrégulières, variant fortement avec la fréquence. Ainsi, si les composantes spectrales de fréquences multiples de la fréquence de découpage sont a priori d'amplitudes notables, les autres sont noyées dans le plancher de bruit. Chaque valeur d'impédance se voit ainsi attribuer un poids caractérisant le rapport signal sur bruit (SNR) de sa mesure. Ce poids est défini par :

$$\Xi(f) = \sqrt{\left|\frac{\mathcal{F}(I_{res})(f)}{med\left(\mathcal{F}(I_{res})\right)}\right|^2 + \left|\frac{\mathcal{F}(V_{res})(f)}{med\left(\mathcal{F}(V_{res})\right)}\right|^2} \tag{A18}$$

Où $\mathcal{F}$ désigne la transformation de Fourier (ici assimilée à la FFT), $med(\cdot)$ désigne la fonction médiane et (V_{res}, I_{res}) sont les tensions et courants mesurées sur le prototype. $med\left(\mathcal{F}(X)\right)$ caractérise ainsi le plancher de bruit de la mesure de X.

Cela étant fait, un modèle de circuit est ajusté sur les mesures en minimisant l'écart pondéré entre le nuage de points mesurés Z_{meas} et l'impédance du modèle Z_{mod}. La fonction de coût :

$$\Lambda(\beta) = \sum_f \left(\Xi(f) \cdot \left| \ln\left(\frac{Z_{meas}(f)}{Z_{mod}(\beta, f)}\right)\right|^2 \right) \tag{A19}$$

Est alors minimisée par rapport au vecteur de paramètres β.

2.4 COMPARAISON DES RÉSULTATS

Les impédances mesurées en petits signaux (analyseur E4990a – ligne noire), en signaux de moyenne amplitude (ligne bleue), et celles déduites des mesures en commutation (points dont la couleur est fonction du poids Ξ : de bleu pour les plus faibles SNR à rouge pour les SNR les plus élevés), sont regroupées en Figure A5.

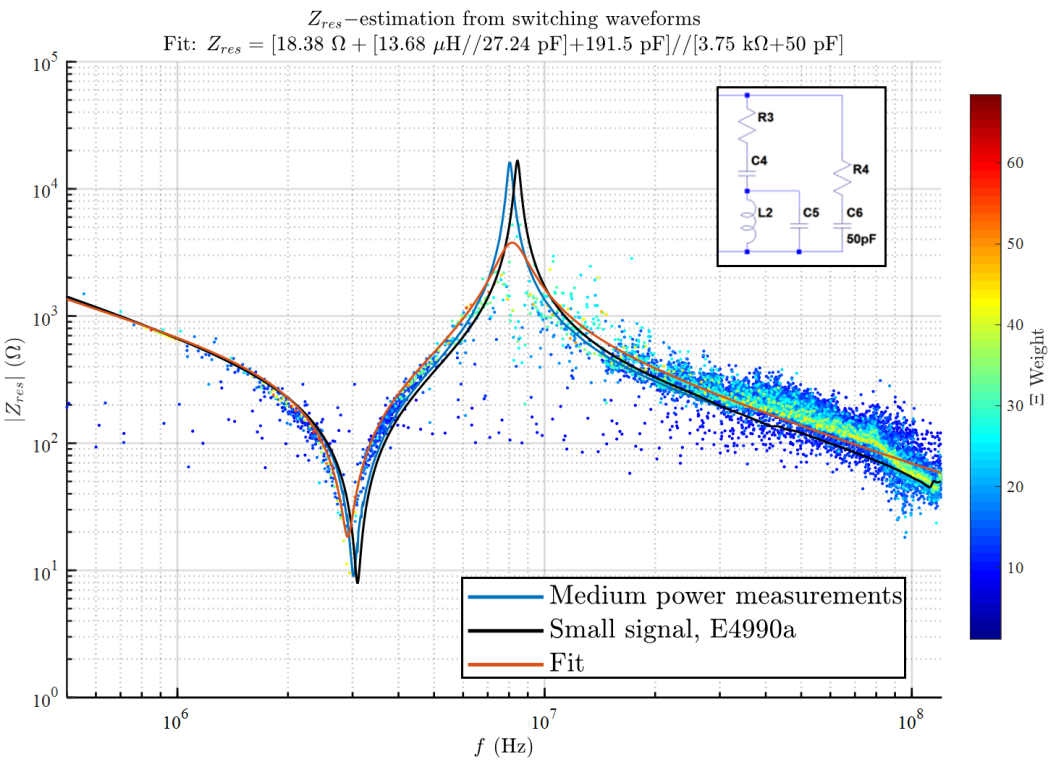


Figure A5 : impédances mesurées en petits signaux (ligne noire), en signaux de moyenne amplitude (ligne bleu), en commutation (point de couleur, de bleu (faible SNR) à rouge (fort SNR)), et ajustement sur les mesures en commutation (ligne rouge, schéma du modèle en insert et valeurs dans le titre de la figure)

L'écart de fréquence d'antirésonance entre les mesures en petits et moyens signaux (bleu vs noir) est dû à la mauvaise compensation d'une capacité parasite de l'ordre de 6 pF.

La mauvaise caractérisation de l'antirésonance par les mesures en commutation découle de sa forte impédance, et donc de la difficulté d'obtenir des points de mesures présentant un poids Ξ non négligeable. La convergence de l'ajustement autour de 8 MHz ne décrit finalement pas la réalité de l'impédance mais caractérise l'absence de points de mesure. Une estimation de l'incertitude des paramètres du fit montrerait une forte incertitude de l'impédance autour de 8 MHz. Ceci est confirmé par les mesure conduites sous excitation de forte amplitude (en section A2.2).

2.5 Conclusion

Ces mesures tendent à montrer que le composant demeure linéaire sur la plage de test. Il apparait néanmoins difficile de discuter des pertes en dehors des résonances et antirésonances (i.e. autour de 3 MHz et 8 MHz) du fait du facteur de qualité élevé du circuit [86].

3 Instrumentation mise en œuvre

3.1 Introduction

Cette section liste et donne un aperçu des caractéristiques de l'instrumentation mise en œuvre dans le cadre des travaux présentés dans ce manuscrit. Sauf mention contraire, ces instruments peuvent être commandés depuis un ordinateur par SCPI (Standard Commands for Programmable Instruments) et l'ont été depuis Matlab. Les tests menés avec certains appareils de mesure ne disposant pas de port de communication ont pu être automatisés en plaçant devant l'écran de l'instrument une webcam, dont le flux de donné était traité par un réseau de neurone entrainé pour l'occasion.

Les datasheets des divers appareils sont disponibles sur les sites de leurs fabricants respectifs.

3.2 MESURES D'IMPÉDANCE ET DE FONCTIONS DE TRANSFERT

3.2.1 ANALYSEUR D'IMPÉDANCES E4990A

La plupart des mesures d'impédances ont été réalisées à l'aide d'un analyseur Keysight E4990a-120, fonctionnant suivant la méthode du pont auto-équilibré (auto-balancing bridge) [86] (cf. Figure A6), avec connexion kelvin. L'appareil est capable de réaliser des mesures entre 20 Hz et 120 MHz, avec une exactitude de base de 0,08 % (Figure A7). Le temps d'intégration, définissant l'exactitude de la mesure et sa reproductibilité (i.e. le rapport signal sur bruit) est paramétrable entre 1 et 5 (unité arbitraire). En guise de compromis entre temps de mesure et exactitude, la plupart des mesures ont été réalisées avec un temps d'intégration de 3 UA. L'instrument a été compensé en court-circuit, circuit ouvert, et charge 50 Ω (Short-Open-Load – SOL) avant toute mesures sortant de la gamme 20 Hz – 15 MHz [328] ; les autres mesures ont généralement été précédées de compensations 0 Ω et 0 S.

Si divers adaptateurs (« adaptators » & « test fixtures ») produits par Keysight ou ad hoc ont pu être mis en œuvre, un 16047E, pour analyse de composants traversant, a assez généralement été utilisé. Du fait de l'absence de données pertinentes, l'incertitude de mesure apportée par les fixtures – en particulier celles ad hoc – a généralement été négligée dans cette étude. [329] (2019) propose une méthodologie permettant d'estimer cette incertitude additionnelle.

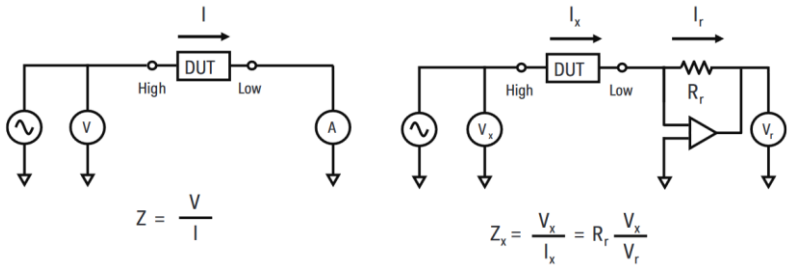


Figure A6 : Principe de la mesure par pont auto-équilibré : schéma de base (gauche) et implantation avec AOP (droite). Tiré de [86].

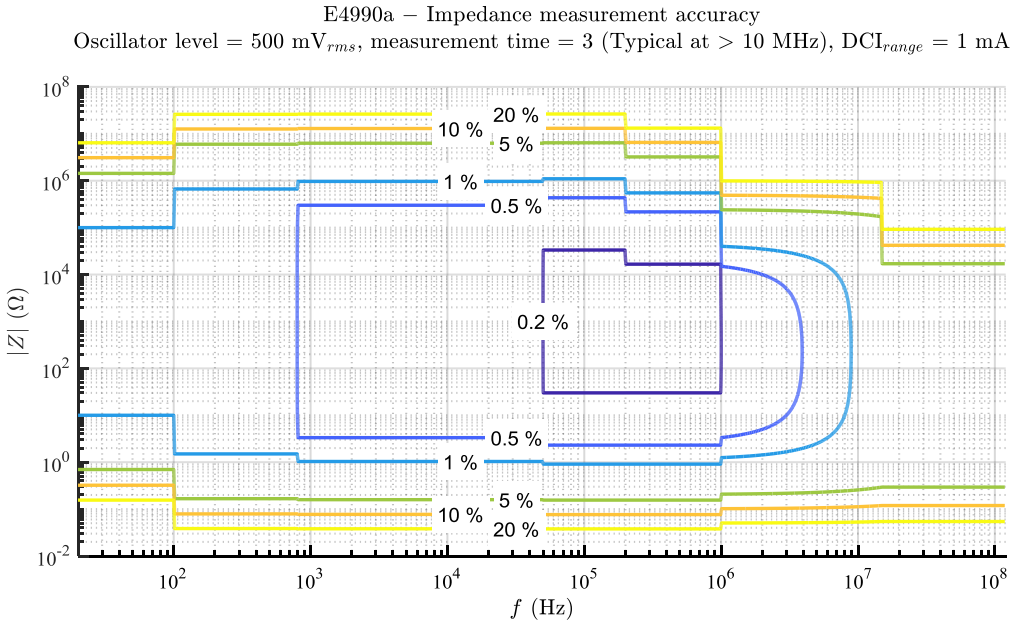


Figure A7 : incertitude de mesure du E4990a dans le plan fréquence – impédance $(f, |Z|)$. Temps d'intégration 3 UA, D'après [86].

3.2.2 VNA E5061B

Certaines mesures d'impédances ont été réalisées à l'aide de la section Gain-Phase d'un analyseur de réseau (Vector Network Analyser – VNA) Keysight E5061b-3L5 (cf. Figure A8). La méthode alors mise en œuvre est celle de l'analyse de réseau. Des mesures allant de 5 Hz à 30 MHz sont possibles, mais avec des incertitudes relativement élevées (l'exactitude de base vaut 2 %) et pour des plages d'impédances limitées (l'incertitude sur la plage 5 Ω – 50 kΩ atteint environ 10 % [330]). L'instrument a été systématiquement calibré, voire compensé, généralement à l'aide de « standards » ad hoc [86].

L'instrument dispose d'un second port, fonctionnant par réflectométrie jusqu'à 3 GHz. Des paramètres S peuvent être déduites les impédances [86] (Figure A8-c, e). L'instrument a été systématiquement calibré (SOL ou SOLT) à l'aide d'un kit 85032F, et compensé l'aide de « standards » ad hoc si nécessaire.

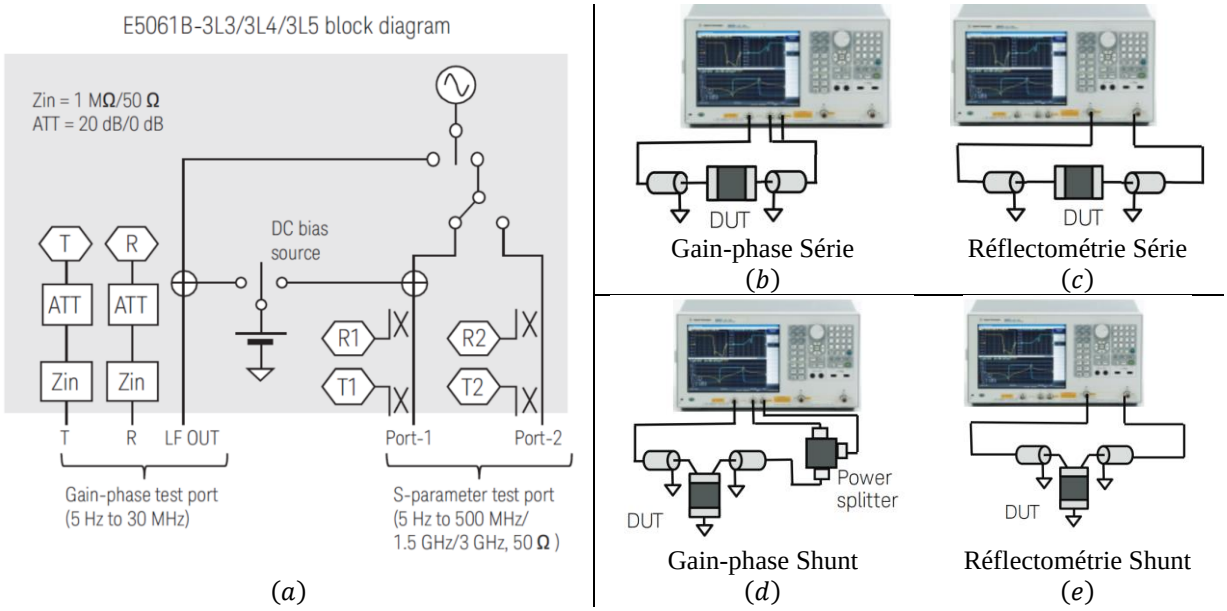


Figure A8 : (a) : schéma interne simplifié du E5061b. (b-e) : connexion d'un DUT à un E5061b pour mesure d'impédance. D'après [331].

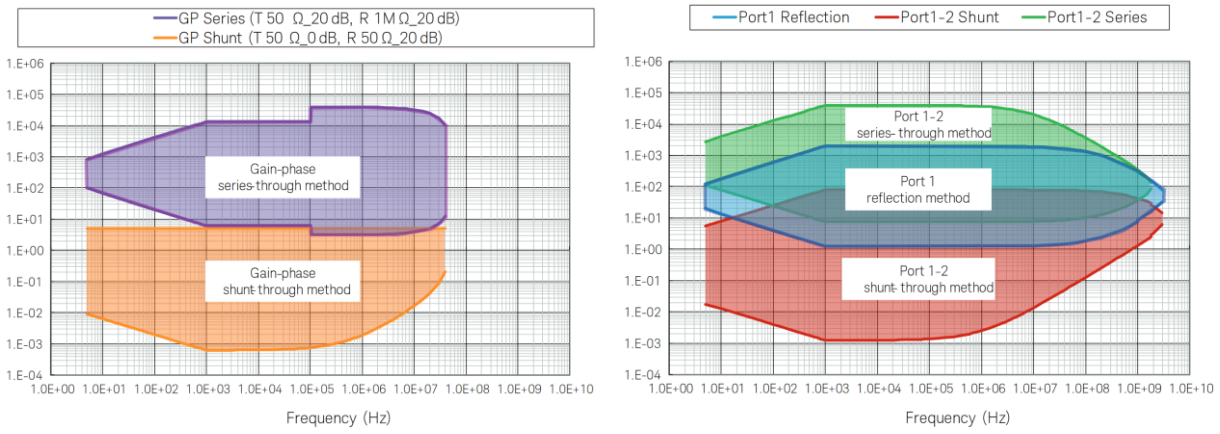


Figure A9 : zones du diagramme fréquence-impédance $(f, |Z|)$ dans lesquelles l'incertitude de mesure est typiquement inférieure à 10 %, pour diverses méthodes de mesure. (a) : port Gain-Phase. (b) : paramètres S. Extrait de [331].

3.2.3 Méthode V-I

Certaines mesures d'impédances ont été réalisées sans instrumentation spécifique, par méthode voltampèremétrique. Le recours à cette méthode s'est révélé nécessaire lorsque les fréquences de travail (e.g. lors de la mesure de l'impédance de sortie de 105 MΩ d'une source de courant dans la bande 30 mHz – 30 Hz),

l'amplitude des stimuli (cf. Annexe *A2. Mesure de l'impédance de la V-coil* utilisée en résonateur, page 196), ou la polarisation DC requise (cf. Annexe *A7. Mesure de capacité sous polarisation DC*, page 214), ne pouvaient être atteintes par les instruments disponibles.

3.2.4 CHOIX D'UN INSTRUMENT ET D'UNE MÉTHODE DE MESURE

Du fait de sa plus grande exactitude, le E4990a a été préféré au E5061b lorsque possible. Ce dernier a cependant pu être utilisé ponctuellement ou pour les mesures de faibles impédances, inférieures à environ 100 mΩ (connexion GP-shunt). Il a également pu être mis en œuvre dans des cas particulier ou sa structure interne était préférable à celle du E4990a (e.g. mesure de fonction de transfert, d'impédance de circuits actifs ou avec polarisation externe, etc.)

Les mesures d'impédances aux fréquences supérieures à 120 MHz ont été déduites des paramètres S. Des trois méthodes de connexion possibles (P1-réflectométrie, P12- série et P12-shunt), celle assurant la meilleure exactitude a été employée – excepté lorsque l'une des électrodes du composant testé devait être reliée à la masse de l'appareil, auquel cas l'impédance était déduite du paramètre S_{11} ou du paramètre S_{12} avec connexion shunt du DUT.

Du fait de son exactitude limitée et de sa complexité de mise en œuvre, la méthode voltampèremétrique a été employée lorsqu'aucun instrument ne permettait de réaliser la mesure désirée.

3.3 MULTIMÈTRES

Les mesures n'impliquant qu'un unique multimètre ont été réalisées par un Keysight 34465a, présentant une résolution de 6,5 digits, et une exactitude de base de 30 ppm (tension DC, cf. Figure A10). La durée d'intégration a généralement été fixée à 100 périodes du réseau électrique, soit 2 s.

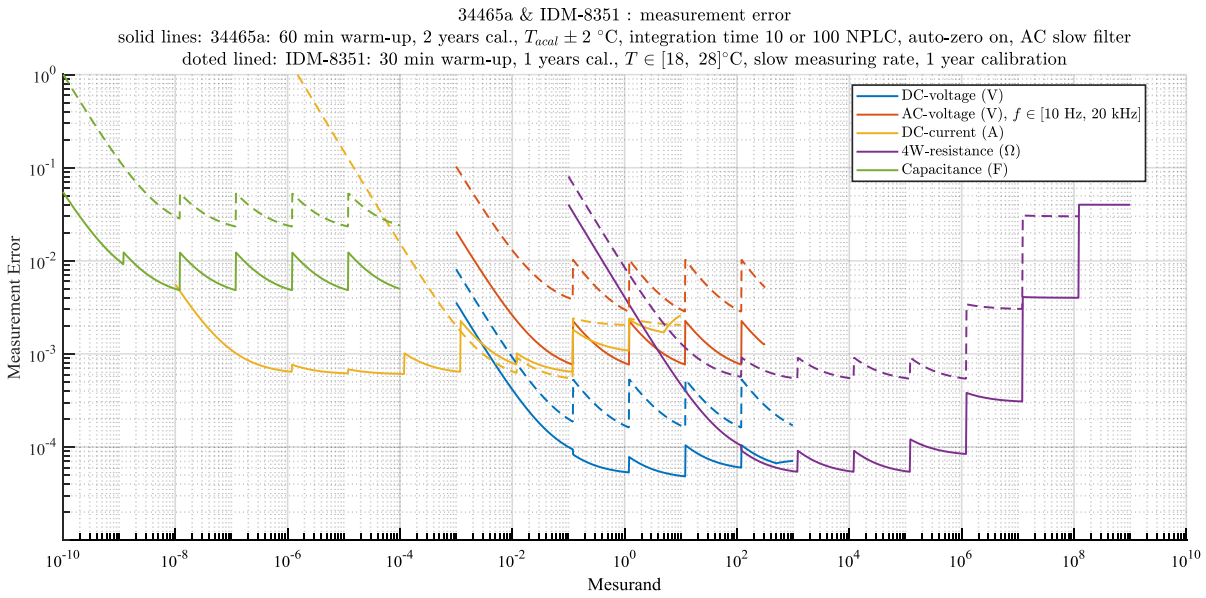


Figure A10 : incertitude relative de mesure d'un 34465a (lignes continues) et d'un IDM-8351 (lignes pointillées), pour quelques grandeurs. D'après [332], [333].

Des multimètres ISO-Tech IDM-8351 [333], présentant une résolution de 5,5 digits et une exactitude de base de 120 ppm (tension DC), ont également été utilisés. La durée d'intégration a généralement été fixée à 1 s et un filtrage numérique par moyenne glissante sur 10 échantillons était actif.

3.4 TRACEURS DE CARACTÉRISTIQUES

3.4.1 TRACEUR B1505A

Un Keysight B1505A Power Device Analyzer/Curve Tracer a été utilisé pour réaliser certaines mesures de caractéristiques statiques de diodes jusqu'à ±20 A sous une tension maximale de ±20 V (module B1512A – High Current Source Monitor Unit). La connexion au composant testé se faisait par méthode Kelvin.

3.4.2 TRACEUR 371A

La mesure de certaines caractéristiques statiques ainsi que le vieillissement par impulsions de courants (cf. section *III-3.2. Vieillissement par impulsions de courants*, page 150) ont été réalisés à l'aide d'un Tektronix 371a High Power Curve Tracer. Cet instrument est capable de délivrer jusqu'à 3 kV, 400 A et 3 kW (incluant les pertes dans les connections entre l'instrument et le DUT). Les mesures à forts courant autorisent une connexion Kelvin du DUT.

La comparaison de caractéristiques statiques de diodes mesurées avec le 371a et le B1505a a permis de montrer qu'en dépit de son âge avancé, le 371a donnait des résultats similaires à ceux offerts par le B1505a. Un léger offset (< 2 LSB) pouvait néanmoins être mesuré et la résolution limitée (10 bit) du 371a se traduisait par un bruit plus important [334].

3.4.3 DISPOSITIF AD-HOC

Certaines caractéristiques ont été mesurées par méthode voltampère-métrique, à l'aide de multimètres associée à une source de tension ou de courant variant lentement ($\ll 1$ Hz), d'autres à l'aide d'un générateur de signal, d'un oscilloscope et de sondes de tension et de courant. Enfin, certaines caractéristiques ont pu être mesurées à l'aide d'un analyseur d'impédance E4990a avec polarisation DC.

Ces méthodes ont été mises en œuvre lorsque les caractéristiques des traceurs disponibles étaient insuffisantes, ou que leur emploi était malaisé. Des tests de claquage diélectriques (en particulier de MOSFET SiC 1,2 kV enfouis) ou la mesure des caractéristiques de diodes sous faible polarisation (< 100 mV) ont ainsi été réalisées.

3.5 AMPLIFICATEUR RF

Un amplificateur RF de référence 03.50.100A, fabriqué par Nucletude, a été utilisé (cf. Annexe *A2. Mesure de l'impédance de la V-coil* utilisée en résonateur, page 196). Il s'agit d'un amplificateur RF 100 W (soit 50 dBm, point de compression à 1 dB, sur charge adaptée), fonctionnant en classe AB. La bande passante spécifiée s'étend de 10 kHz à 32 MHz. L'instrument est protégé contre les VSWR (Rapport d'Onde Stationnaire – ROS) infinis.

3.6 OSCILLOSCOPE ET SONDES

3.6.1 OSCILLOSCOPE

Un oscilloscope HDO8108a, de Teledyne LeCroy, a quasi-systématiquement été utilisé. Sa bande passante est spécifiée pour 1 GHz. Il compte 8 canaux, pour une fréquence d'échantillonnage de 2,5 GSa/s par canal, 12 bit, et dispose d'une profondeur mémoire de 250 MSa par canal. Le nombre de bits effectifs (Effective Number Of Bits – ENOB [335]), fortement dépendant des conditions de test, n'est pas spécifié, il serait proche de 6,5 [336] ou compris entre 7,2 et 8,5 [189].

3.6.2 SONDES DE TENSION

3.6.2.1 SONDES ACTIVES

Des sondes de tension différentielles ADP305 ont pu être utilisées pour mesurer des tensions ayant un mode commun non nul. La bande passante spécifiée est de 100 MHz, la plage de tension d'entrée est de 1,4 kV crête (DM) et 1 kV_{rms} (CM). Le taux de réjection en mode commun est spécifié à 50 dB (i.e. 300:1) à 100 kHz.

3.6.2.2 SONDES PASSIVES

Des sondes passives 10:1 conventionnelles PP018, distribuées par Teledyne LeCroy, ont généralement été utilisées. La bande passante spécifiée est de 500 MHz (temps de montée de 700 ps), pour une impédance d'entrée de 10 MΩ // 7,5 pF. La pince de masse a généralement été remplacée par un adaptateur coaxial commercialisé par LeCroy ou ad hoc.

Les mesures sous plus haute tension ont été menées à l'aide d'une sonde 100:1 PHV1000. La bande passante spécifiée est alors de 400 MHz (temps de montée de 900 ps), pour une impédance d'entrée de 50 MΩ // 10 pF. La pince de masse a généralement été remplacée par un adaptateur coaxial.

Ces sondes étaient correctement compensées.

3.6.3 SONDES DE COURANT

Des transformateurs de courant CT-2 (Tektronix), spécifiés pour des bandes-passantes allant typiquement de 1,2 kHz à 200 MHz, pour des temps de monté de 500 ps, ont été utilisés. Le déphasage apporté par la sonde, mesuré à l'aide d'un VNA E5061b, a été compensé en post-traitement lorsque nécessaire (i.e. lorsqu'il n'était pas négligeable, e.g. lors des calculs de pertes). La ligne reliant la sonde à l'instrument de mesure (oscilloscope ou analyseur) était systématiquement adaptée. La bande passante comme le gain de la sonde sont dégradés par une polarisation DC.

Des sondes de courant à effet Hall CP031 ont également été mises en œuvre, en particulier lorsque la composante DC des signaux devait être mesurée. Ces sondes sont spécifiées pour une bande passante de 100 MHz (temps de montée $< 3{,}5$ ns), pour un courant de 30 Arms max (jusqu'à 1 kHz, décroissant au-delà).

3.6.4 COMPENSATION DES RETARDS – DESKEW

La compensation des retards des sondes a pu être réalisée par deux méthodes. La première était basée sur l'utilisation d'un dispositif ad hoc commercialisé par Teledyne LeCroy (Deskew Calibration Source DCS015), fournissant des échelons de tension (0-5 V) et de courant (0-100 mA) en phase. La seconde employait une cellule de commutation rapide (à composants GaN) alimentant une résistance faiblement inductive. La tension et le courant vus par cette résistance permettaient alors de synchroniser sondes de tension et de courant. L'avantage de la seconde méthode était de permettre d'aisément synchroniser des sondes (en particulier différentielles) sur des calibres compatibles avec des mesures en électronique de puissance [155], [182].

3.7 ENCEINTE THERMIQUE

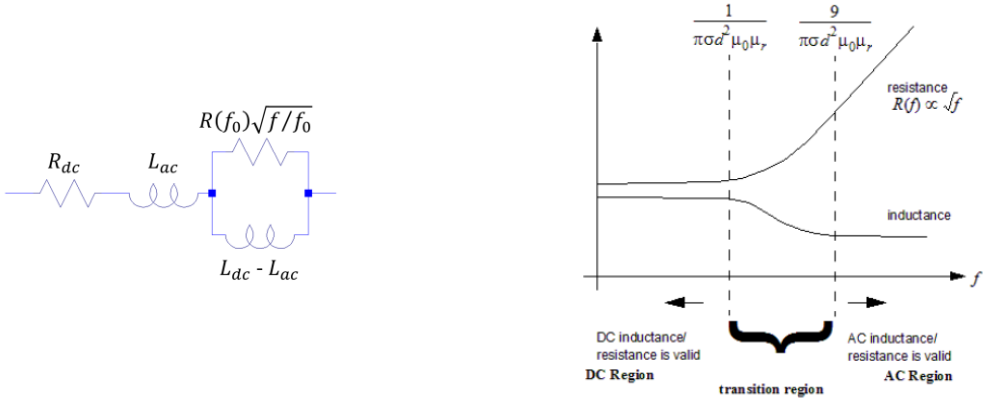
Les essais de vieillissement thermique ont été réalisés au sein d'une enceinte isolée d'un volume proche de 1 L et alimentée en air de température régulée. Un générateur d'air Dragon, fabriqué par Froilabo, était utilisé à cet effet. Son débit d'air conditionné atteint 8,4 l/s, pour des températures s'étendant de -80 °C à +250 °C. Les rampes de températures sont régulées jusqu'à 20 K/s.

4 AUTOUR DE Q3D

4.1 INTRODUCTION

Ansys-Q3D est un logiciel de simulation permettant l'extraction des éléments parasites (inductances, résistances, capacités) d'un circuit à partir d'un modèle tridimensionnel de sa géométrie.

La réalisation d'une étude par un balayage fréquentiel des résistances et inductances est réalisé en trois temps [337]. Une première simulation par éléments finis est réalisée pour déterminer le circuit équivalent à basse fréquence, alors que les lignes de courant sont entièrement déterminées par la résistivité des conducteurs. Une étude est ensuite réalisée en AC, i.e. à une fréquence suffisamment élevée pour que les effets de peau soient importants et imposent aux courant de circuler sur une couche d'épaisseur négligeable (dans les hypothèses de l'ARQS : les effets de propagation sont négligés). Dans cette seconde étude, résolue par la méthode des moments, les lignes de courant sont pleinement déterminées par le principe de minimisation de l'énergie magnétique. Enfin, un modèle simple (Figure A11) approxime l'évolution des paramètres, pour chaque élément du circuit, entre les hautes et les basses fréquences.



(a) (b)

Figure A11 : (a) : modèle de bobine utilisé par Q3D pour rendre compte de la dépendance fréquencielle de l'inductance et de la résistance, où $(L,R)_{DC}$ et $\left(L_{AC}, R(f_0)\right)$ sont les inductances et résistances à fréquences nulle et f_0, avec f_0 une fréquence quelconque située dans le domaine AC. (b) : resistance et inductance correspondantes [338].

De par sa méthode de fonctionnement ne requérant ni le maillage de l'air, ni celui de l'intérieur des conducteurs dans le domaine AC, Q3D permet des simulations rapides comparé aux logiciels basés uniquement sur des FEA [337]. L'efficience du logiciel, associée à la possibilité offerte de travailler avec des inductances partielles et de simuler les couplages entre elles font de Q3D un outil privilégié pour la simulation d'inductances de mailles.

Cette section propose une étude de quelques caractéristiques du simulateur ainsi qu'une discussion sur le choix de modèles.

4.2 MODÉLISATION DES COMPOSANTS

4.2.1 PUCES

De nombreuses publications rapportent l'utilisation de Q3D pour simuler les inductances de mailles de modules de puissance. Outre les nombreuses études ne décrivant pas les modèles employés, la méthode la plus courante consiste à remplacer les puces par des blocs homogènes de cuivre [177], [178], [337], [339], [340]. Du fait de la différence de résistance entre la puce réelle et celle d'un tel modèle, cette technique présente l'inconvénient de mal décrire les lignes de courant DC au sein et au voisinage des puces du composant réel. Leur forte résistivité relative confère en effet à ces dernières un rôle de tampon assurant une densité de courant DC relativement homogène au leur sein.

Il peut être attendu que cette simplification ait un impact très limité dans le cas d'un module de puissance conventionnel, où l'inductance des puces est négligeable et dans lequel les fils de bonding, relativement résistifs, assureront un rôle de tampon partiel (la brasure, lorsqu'elle est modélisée, peut contribuer à cet effet). L'erreur de simulation apportée par cette modélisation simpliste est cependant bien plus marquée dans un assemblage à connexion de face avant peu résistive, telle celle apportée par un contact brasé ou fritté.

Les simulations présentées dans le présent document ont été réalisées en modélisant les puces par des blocs métalliques homogènes de résistivité telle que la résistance du bloc, lorsqu'il est traversé par une densité de courant verticale homogène, soit égale à celle du composant réel. Dans le cas des MOSFET C2M-1200-0025b, la conductivité est alors de 267 S/m (contre 58 MS/m pour le cuivre). Il est attendu que cette modélisation simple permette une plus juste description des courants DC dans les puces.

4.2.2 Condensateur de découplage

La prise en compte des condensateurs de découplage et de leur inductance série (ESL) dans l'inductance de maille d'une cellule de commutation est relativement ardue. La littérature fait ressortir plusieurs approches. La première consiste à simuler l'inductance partielle de la maille dont est exclue le condensateur [341]–[343], son ESL étant ensuite ajoutée à l'inductance de maille. Cette méthode présente comme limitations principales d'exiger une bonne connaissance des éléments parasites du condensateur, ainsi que de négliger l'inductance mutuelle entre la maille et le condensateur.

Une autre stratégie consiste à modéliser le condensateur et à laisser le logiciel en estimer l'ESL. Si cette méthode apparait a priori comme la plus précise, elle impose d'établir un modèle du condensateur. Un tel modèle doit offrir un chemin au courant DC pour que la simulation par éléments finis puisse converger, tout en assurant que la distribution AC du courant soit conforme à la réalité. Les problèmes posés sont finalement relativement similaires à ceux soulevés par les puces.

La méthode généralement employée consiste à modéliser le condensateur par un bloc conducteur homogène [120], [343]–[346], aboutissant à un modèle simple à fait coût de simulation et relativement exact [345]. Certaines publications simplifient davantage le modèle en remplaçant le composant par un simple conducteur quasi filamentaire, modélisant le chemin du courant moyen [344].

Les simulations présentées dans le présent document ont été réalisées en modélisant les condensateurs par des blocs métalliques homogènes de résistivité telle que la résistance du bloc, lorsqu'il est traversé par une densité de courant homogène, soit proche de l'ESR du composant réel. Des couches en cuivre, peu résistives, ont été ajoutées sur les bords de ce bloc de manière à assurer une densité de courant quasi-homogène dans le composant en DC, relativement indépendamment des contraintes extérieures. Le bloc résistif modélise finalement les couches capacitives et les armatures en elles-mêmes, tandis que les métallisations de cuivre modélisent les broches ainsi que les connexions inter-armatures du condensateur.

4.3 À propos des impédances partielles

La théorie des éléments partiels (Partial Element Equivalent Circuits – PEEC) établit que l'inductance d'une boucle est égale à la somme des inductances partielles, incluant les inductances mutuelles entre les éléments de cette boucle. Cette propriété autorise une modélisation plus fine des propriétés magnétiques de la maille de commutation que celle consistant à insérer une unique inductance de maille puisqu'elle permet de diviser, par exemple, cette inductance entre une composante en série avec le drain et une autre avec la source de chaque interrupteur. Cela permet d'améliorer les résultats de simulations circuit exploitant les valeurs d'inductance extraites [177], [341], [343], mais offre également la possibilité de déterminer l'importance relative des paramètres géométriques sur les inductances parasites [340].

Si Q3D permet cette séparation en éléments partiel, une mise en œuvre aboutissant à des résultats à exactitude élevée se révèle relativement complexe. En effet, la séparation en éléments partiels passe par la définition de surfaces servant d'excitation en tension. Or, ces surfaces étant considérées par Q3D comme des

équipotentielles, la séparation d'un conducteur en deux éléments partiel ne peut se faire (de manière exacte, i.e. sans modifier l'inductance totale simulée) qu'au niveau d'une surface équipotentielle [347]. Sans cela, la continuité de la densité de courant entre deux éléments contigus ne serait pas respectée.

La définition des surfaces équipotentielles dans des assemblages PCB compacts, où les conducteurs sont courts et à fort facteur de forme, relève d'une réelle gageure – en particulier s'il est nécessaire que ces surfaces séparent des éléments partiels ayant un intérêt pratique. Une solution peut consister à réaliser une simulation en un seul tenant de la maille, puis de séparer celle-ci au niveau d'équipotentielles, à partir des résultats de simulation précédemment obtenus.

Les simulations par éléments partiels présentés dans ce manuscrit n'ont cependant pas été réalisées ainsi : les séparations entre éléments ont été faites de manière arbitraire, là où il était intéressant de séparer les inductances (e.g. sous les puces, sous les broches du condensateur de découplage, etc.). Les simulations de mailles de commutation réalisées d'un seul tenant l'on en revanche été en insérant l'excitation dans le plan médian du condensateur de découplage, i.e. sur une surface présentant un potentiel relativement homogène. Les résultats des simulations ne peuvent donc concorder (Figure A12), tandis que les simulations d'un seul tenant sont a priori plus représentatives de la réalité. L'étude de sensibilité menée en section *II-4.3.3. Étude de sensibilité pour G1–G4*, page 118, a cependant supposé légitime la comparaison (a minima qualitative) des inductances provenant de deux de ces simulations par éléments partiels.

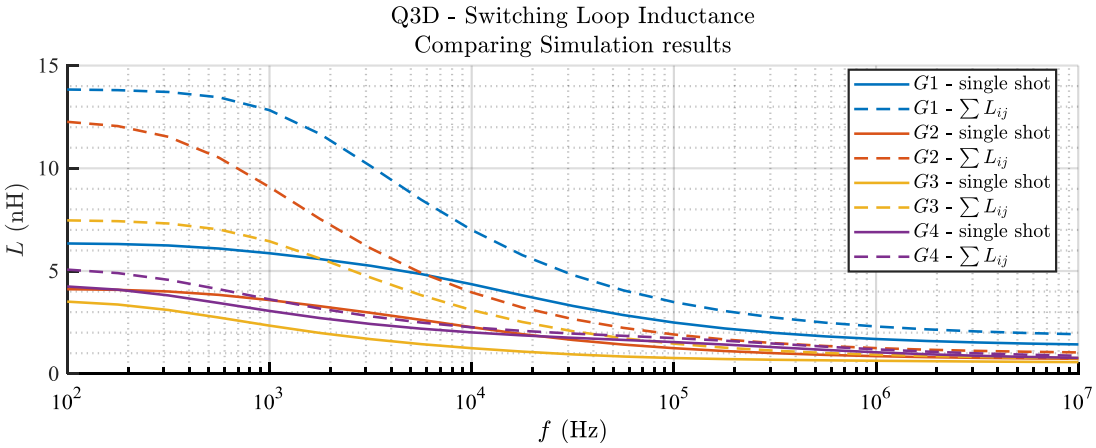
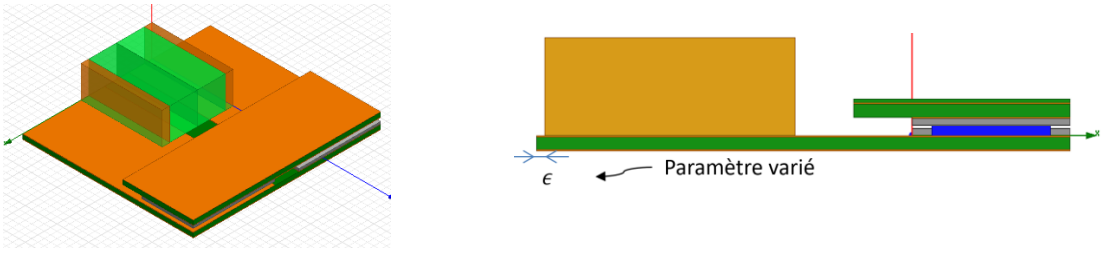


Figure A12 : inductances de mailles des géométries G1 à G4, définies section II-4.2, page 114, et simulées d'un seul tenant (« single shot » – lignes continues) ou par somation de six éléments partiels (« $\sum L_{ij}$ » – lignes pointillées).

4.4 De la robustesse de Q3D

4.4.1 Introduction

Cette section cherche à déterminer, par simulation, l'inductance de maille d'une cellule de commutation de géométrie G1 (cf. Figure A13). L'un des paramètres géométriques de la maille, dont l'impact sur l'inductance est supposé quasi-nul, est varié de manière à balayer une faible étendue de valeur. L'inductance extraite est ensuite tracée en fonction de ce paramètre.



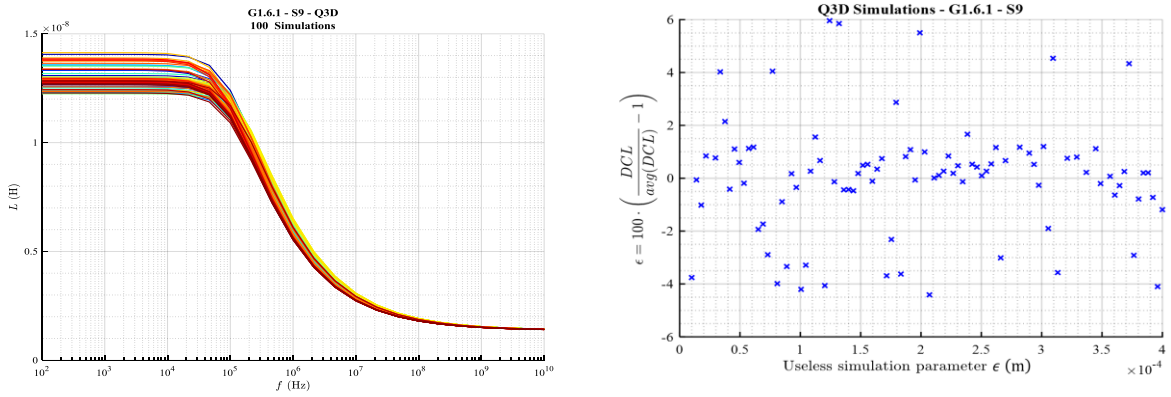
(a) (b)

Figure A13 : géométrie considérée. (a) : vue 3D et (b) : vue de côté montrant le paramètre ϵ.

Le modèle de simulation est celui décrit en section *II-4.2.2. Géométrie G1*, page 115.

4.4.2 RÉSULTATS DE SIMULATION

La variation d'inductance avec la fréquence, pour diverses valeurs de $\epsilon \in [0, 400\ \mu m]$ est donnée en Figure A14-a. Si toutes les simulations convergent vers la même valeur de ACL et vers des fréquences de transition (f_{tr}) similaires, la dispersion des DCL (dont la distribution est donnée en Figure A14-b) est grande. Ainsi, la valeur moyenne de DCL est de 12,9 nH, tandis que l'écart type est de 400 pH, soit 3 % de la valeur moyenne, l'écart relatif à la moyenne dépassant ±5,5 %. Aucune corrélation ne semble exister entre ϵ et la DCL.



(a) (b)

Figure A14 : (a) inductance en fonction de la fréquence pour diverses valeurs de $\epsilon \in [0, 400\ \mu m]$; (b) : écart relatif à la DCL moyenne, en fonction de ϵ (droite, un point par simulation).

4.4.3 DISCUSSION & CONCLUSION

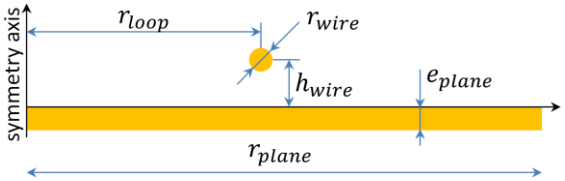
La dispersion des résultats est possiblement due au paramétrage du simulateur, largement configuré par défaut. Le maillage, en particulier, est optimisé par le simulateur à 10 GHz, sans contrainte autre que celle de la convergence.

L'impact sur les résultats de simulation serait finalement, cependant et a priori, plutôt limité puisque toutes les simulations donnent la même valeur de ACL – paramètre le plus pertinent dans les études présentées dans ce rapport.

4.5 COMPARAISONS DES RÉSULTATS DE SIMULATEURS

4.5.1 INTRODUCTION

Cette section propose de comparer les résultats de simulations obtenus par Q3D (FEA en DC & méthode des moments en AC) et par des logiciels de simulation par éléments finis. Une géométrie simple, canonique, est pour cela considérée : elle consiste en une spire circulaire excitée par une source de courant, placé au-dessus d'une plaque de cuivre circulaire, laissée flottante (Figure A15).



(a)

$r_{loop} = 5$ mm
$r_{wire} = 0{,}5$ mm
$h_{wire} = 1$ mm
$e_{plane} = 0{,}5$ mm
$r_{plane} = 11$ mm

(b)

Figure A15 : géométrie considérée. (a) : schéma et (b) : dimensionnement utilisé en simulation.

Les simulations sont réalisées en 2D par FEMM et Maxwell2D, ainsi qu'en 3D par Q3D et Maxwell3D.

Le taille de maille est limitée au minimum de $\delta/5$ et $r_{wire}/20$ (où δ et r_{wire} sont l'épaisseur de peau et le rayon du fil constituant la spire) pour la simulation FEMM. Le maillage dans MAXWELL est libre, avec la

contrainte que deux passes aient convergé. De même, le maillage dans Q3D est libre, optimisé à 1 GHz, avec la contrainte que deux passes aient convergé. Les conditions limites sont fixées par la fonction @mi_makeABC() dans FEMM, qui simule l'impédance d'un domaine infini [80]. De manière similaire, MAXWELL_2D utilise des conditions de type balloon. Q3D & MAXWELL_3D supposent $A_\infty = 0$. Il a été vérifié que le volume maillé était suffisamment grand pour que l'accroitre n'entraine pas de variation notable de l'impédance.

4.5.2 RÉSULTATS DE SIMULATION

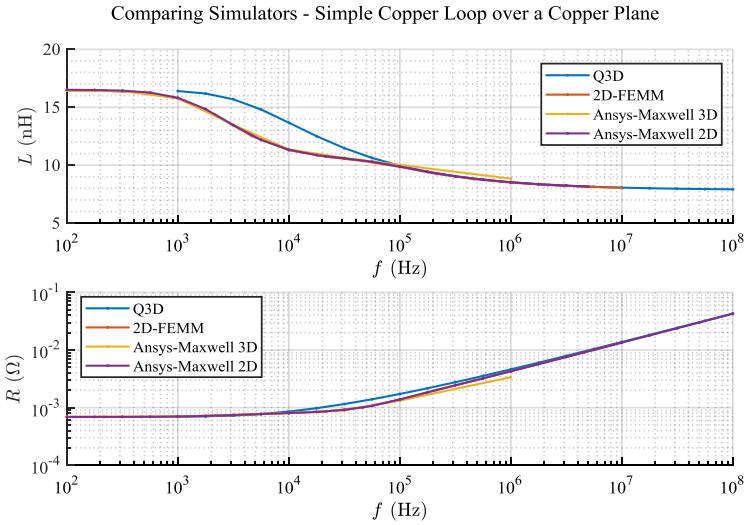


Figure A16 : résultats de simulation : inductance (haut) et résistance (bas) en fonction de la fréquence.

Deux relaxations sont visibles dans les résultats de simulations. La première est due à l'effet du plan de masse tandis que la seconde est due à l'effet de peau au sein de la spire.

4.5.3 CONCLUSION

La Figure A16 montre que les quatre logiciels trouvent les mêmes valeurs de ACL et DCL.

En revanche, la simulation Q3D s'écarte des autres dans la zone de transition, elle semble ne pas voir l'une des transitions de phase évoquées ci-dessus. Ce phénomène est causé par la méthode d'interpolation utilisée par Q3D, basée sur un modèle simpliste. [348] suggérait ainsi de réaliser une simulation par point de test plutôt que d'utiliser un balayage calculé par interpolation. Cette méthode est néanmoins fallacieuse dans la mesure où le logiciel ne pouvant réaliser que des simulations dans les domaines DC et AC, lui spécifier une fréquence de travail intermédiaire reviendrait à le faire travailler dans le domaine AC (cette assertion a été vérifiée avec la géométrie canonique ci-dessus).

5 CELLULE DE COMMUTATION

Cette section propose une description du circuit utilisé comme cellule de commutation pour les tests basse-tension décrits dans les pages précédentes de ce rapport (e.g. section *II-2.3. Validation expérimentale du modèle*, page 95). Ce circuit est basé sur circuit LMG5200 [87], intégrant une cellule de commutation GaN et son driver.

5.1 SCHÉMA

Le schéma global du circuit est donné en Figure A17. La partie supérieure du schéma gère l'alimentation auxiliaire de la cellule de commutation : filtrage CM (L1 et capacités internes de l'alimentation connectée à J2) et DM (C7, C10, C11), protection anti-inversion de polarité (D1), régulation 5 V (C11, IC3, C8), témoins lumineux (R6, LED1). Le circuit bâtit autour de IC1:A constitue un oscillateur rectangulaire servant de signal de commande pour la cellule si l'interrupteur SW1 est commuté. Le signal appliqué sur le connecteur J1 joue ce rôle dans le cas contraire. R2 termine la ligne de transmission reliant le générateur de signal de commande

éventuellement connecté à J1. Associé aux diodes de caisson présentes en entrée de IC1:B [349], R4 protège l'inverseur (ainsi que, éventuellement, la sortie de IC1:A), de tensions appliquée sur J1 et sortant de la plage 0-5 V. IC1:B met en forme le signal de commande. Le circuit construit autour de IC1:C,E,F gère les temps-morts (ajustables via RV1 & RV2) entre les commandes des transistors high- et low- side. Les temps-morts sont ajustés pour valoir environ 5 ns. R1-C4 compense le délai de propagation introduit par IC1:F. C6 découple l'alimentation du driver, C5 est le condensateur de bootstrap.

C10 est un condensateur électrolytique, C1-C4, des MLCC C0G, C5-C11 des MLCC X7R.

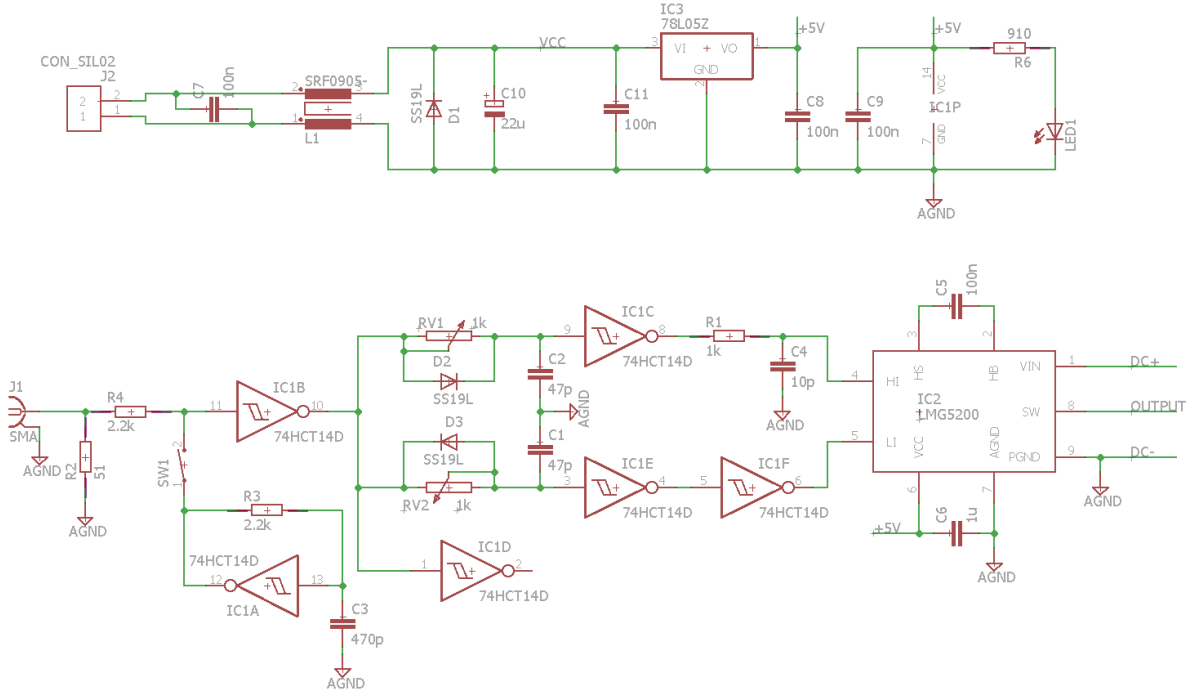


Figure A17 : schéma du convertisseur considéré – découplage du bus de puissance non représenté.

La cellule de commutation à proprement parler IC2 est un SiP (System in Package) LMG5200 [87] incluant les transistors de découpage, leur driver, et un condensateur céramique de bootstrap [350]. Les transistors sont des HEMT GaN sur substrat silicium, ils sont manufacturés par EPC. Le driver (LM5113) et le packaging global sont réalisés par Texas Instrument [350]. L'étage de puissance est spécifié pour une tension maximale de 80 V et un courant crête de 10 A ; la résistance maximale à l'état passant de chaque transistor à 25 °C, est de 20 mΩ. Le schéma interne du composant est donné en Figure A18.

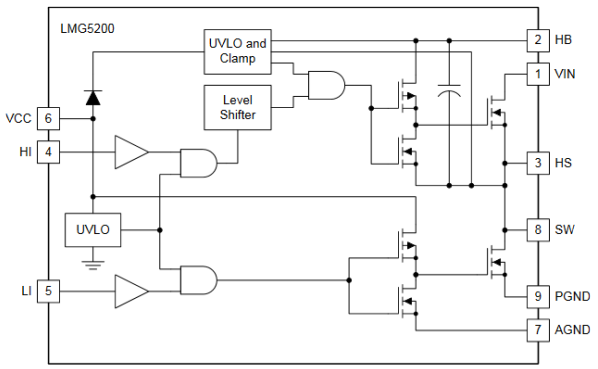


Figure A18 : schéma interne simplifié du LMG5200 (extrait de [87]), incluant le driver et sa diode de bootsrap, les HEMT de puissance et un condensateur céramique de bootstrap [350].

5.2 ROUTAGE

Le layout du circuit est donné en Figure A19. L'alimentation de puissance, découplée par le composant rectangulaire orange, est connectée au niveau des deux rectangles situés en bas du layout présenté. La cellule de commutation intégrée est placée au niveau du rectangle verdâtre.

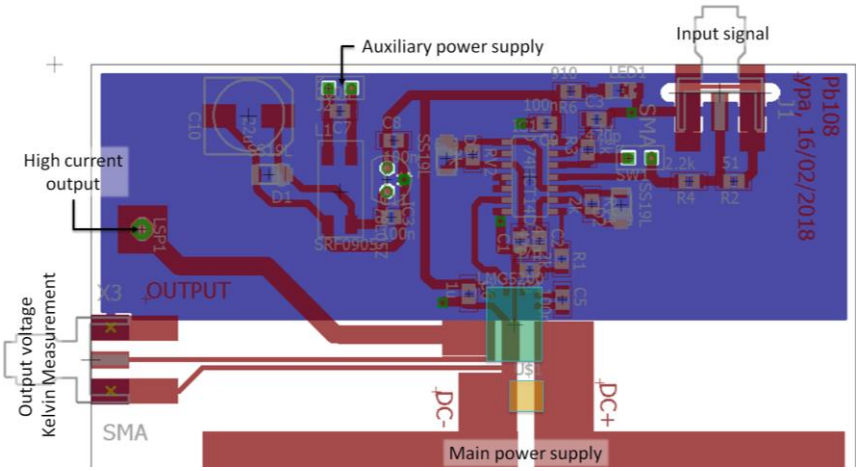


Figure A19 : layout du convertisseur considéré.

Le convertisseur est réalisé sur un circuit imprimé double-face basé sur un substrat époxy/FR4 de 400 µm d'épaisseur, les feuilles de cuivre ont pour épaisseur 35 µm. Une couche de cuivre reliée au AGND est placée sous la commande de la cellule de commutation ; un plan de cuivre flottant couvre l'intégralité de la face arrière du reste du circuit imprimé (non représenté sur la Figure A19).

L'hypothèse « front raide », telle que définie en section *II-2.2.1.2. Hypothèses principales*, page 89, est valide dans ce circuit – y compris à vide.

5.3 INSTRUMENTATION

La tension de sortie de la cellule de commutation est mesurée à l'aide d'une sonde de tension passive 10:1 PP008 de bande-passante 500 MHz et d'impédance d'entrée 10 MΩ//9,5 pF, commercialisée par Teledyne LeCroy. La sonde est connectée au dispositif de mesure à l'aide d'un adaptateur coaxial brasé au plus près de la cellule de commutation, comme le montre la Figure A20. [158], [182] proposent une analyse sur ce type de mesure. Un dispositif similaire (ajouté après que la photographie de la Figure A20 soit prise) permet la mesure de la tension de bus, aux bornes du LMG5200.

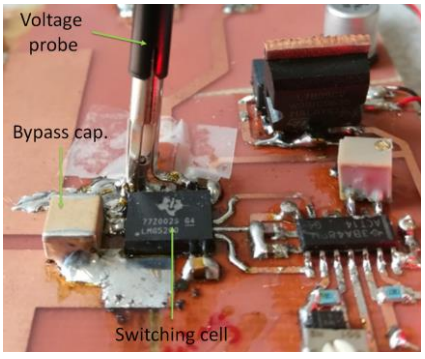


Figure A20 : mesure de la tension de sortie du convertisseur.

6 MESURE DU COURANT DE FUITE D'UN CONDENSATEUR MKP

Cette section décrit la mesure de la résistance de fuite du condensateur MKP utilisé dans la section *II-3. Influence de la distance entre une cellule de commutation et son découplage*, page 102.

6.1 CALIBRATION DE LA SONDE DE TEMPÉRATURE

La tension de seuil d'une diode Schottky, mesurée sous un courant d'environ 1 mA (stabilité maximale estimée à 1,6 %, apportant une incertitude de 0,24 K sur la température), est employée comme capteur de température [351]. Une PT100 (classe A) et une enceinte climatique sont utilisées pour calibrer la relation entre la température et la tension de seuil de la diode. L'incertitude sur la mesure de température maximale est estimée à 1,1 K. 0,7 K sont causés l'inhomogénéité de température au sein de l'enceinte (cette valeur, correspondant aux spécifications de l'enceinte climatique, est probablement fortement surestimée) tandis que les 0,38 K restant sont répartis de manière quasi-équilibrée entre l'incertitude sur la mesure de résistance et l'incertitude de la sonde elle-même.

L'effet de l'auto-échauffement de la diode (environ 84 mK) est négligée puisque, supposant la résistance thermique linéaire sur la plage de température considérée, cet effet ne constitue qu'un offset quasi-constant.

La régression linéaire obtenue entre la tension de seuil V_f ($@I_f = 1$ mA) et la température T est :

$$\begin{cases} T^*[°C] = -562{,}8 \cdot V_f[V] + 199{,}8 \\ V_f^*[mV] = 355{,}1 - 1{,}777 \cdot T[°C] \end{cases} \quad \text{(A20)}$$

L'incertitude maximale sur l'estimateur de température T^* est estimée à 1,4 K. Elle pourrait être notablement diminuée en améliorant la procédure de calibration (homogénéité de la température dans l'enceinte thermique) ainsi qu'en améliorant la stabilité du courant de mesure. L'utilisation d'une diode PIN plutôt qu'une Schottky serait également profitable, du fait de sa résistance statique plus faible ainsi que de son coefficient de température plus élevé.

6.2 DÉPENDANCE DE LA CAPACITÉ AVEC LA TEMPÉRATURE

Le coefficient de température de la capacité du DUT est mesuré comme suit : le DUT est chargé à une tension V_0 donnée (la tension de polarisation étant maintenue pendant un temps suffisamment long pour que les phénomènes présentant les plus grandes constantes de temps, en particulier dues aux absorptions diélectriques, soient à l'état stationnaire) puis placé dans une enceinte thermorégulée. La charge contenue dans le condensateur étant constante[12], la variation de tension (mesurée au travers d'un buffer à haute impédance d'entrée maintenu à température ambiante) peut directement être convertie en variation de capacité, d'où peut être extraite la dépendance en température de la capacité.

Le modèle appliqué est simpliste : la dépendance de la capacité avec la température est supposée linéaire et l'autodécharge est supposée être à courant constant :

$$V = \frac{Q}{C}, \qquad C = C_0 \cdot (1 + \alpha_T T), \qquad Q = Q_0 - i_{leak} \cdot t \quad \text{(A21)}$$

Soit :

$$V = \frac{Q_0 - i_{leak} \cdot t}{C_0 \cdot (1 + \alpha_T T)} \quad \text{(A22)}$$

Où i_{leak} et C_0 sont connus (cf. prochaines sections) et Q_0 est approximativement connu : $V_0/C_0 = 180{,}8$ µC. Un ajustement numérique permet alors d'obtenir :

[12] Supposant l'expérience suffisamment courte et à suffisamment basse température (ici : entre 25 et 50 °C) pour que l'autodécharge du composant soit négligeable, ou en tous cas à courant quasi-constant.

$$Q_0 = -180{,}4\ \mu\text{C}, \qquad \alpha_T = -89{,}4\ \text{ppm} \cdot \text{K}^{-1} \tag{A23}$$

Les résultats de mesure sont donnés en Figure A21. Les variations de tension mesurée sont faibles, la corrélation entre mesure (points rouges) et modèle (ligne magenta) est relativement bonne. La valeur mesurée est relativement éloignée de celle prédite par la littérature (-250 ppm/K [352]).

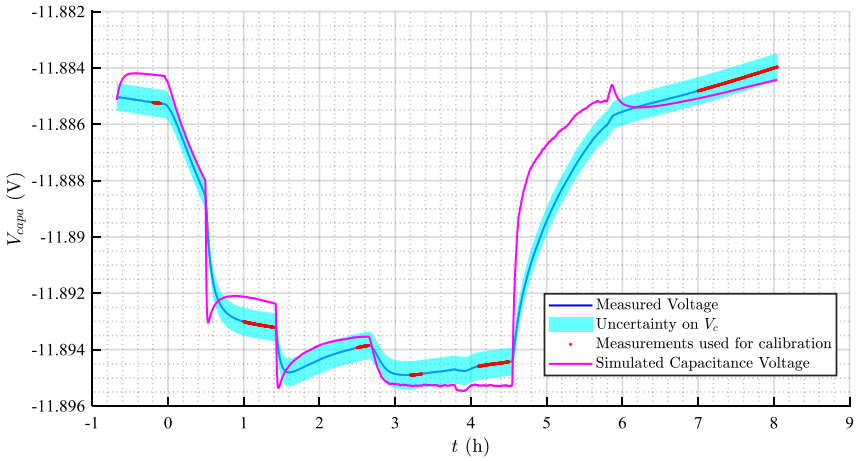


Figure A21 : tension aux bornes du condensateur (ligne bleu) et incertitude sur cette mesure (zone bleutée), points de mesure utilisés pour le calcul du modèle (rouge) et tension simulée à partir du modèle et de la mesure de température (magenta).

6.3 Mesure BF de la capacité du DUT par intégration

La capacité du DUT est mesurée par intégration, à l'aide du montage donné en Figure A22. Étant données les valeurs de V_{ref}, de l'offset V_{off} de U1[13] et de R, on déduit aisément C :

$$V_{out}(t) = \frac{V_{ref} - V_{off}}{R \cdot C} t \tag{A24}$$

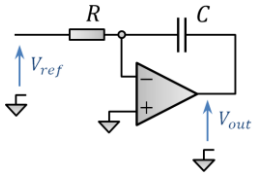


Figure A22 : circuit employé pour mesurer la capacité du DUT.

Un DMM Keysight 34465a a été utilisé pour mesurer $V_{ref} = 101{,}7659 \pm 70$ ppm, la résistance d'intégration ($R = 1025488\ \Omega \pm 65$ ppm), et la tension de sortie du montage. La valeur moyenne de capacité mesurée vaut donc :

$$C_{avg} = 15{,}09\ \mu\text{F} \tag{A25}$$

Avec une incertitude estimée inférieure à 0,1 %.

Cette valeur de capacité est supérieure de 1,3 % à celle obtenue par l'analyseur d'impédance E4990a (14,88 µF, avec une incertitude due à l'instrument de $\pm 0{,}5$ %). L'écart provient des incertitudes de mesures ainsi que de la dépendance de la capacité avec la fréquence (effets de peau et proximité, relaxations diélectriques).

[13] La tension d'offset de l'AOP a été mesurée comme valant $V_{off} = 112$ µV à l'aide du même dispositif que celui utilisé pour la mesure de la capacité de découplage (Figure A22), mais avec une résistance de $R = 33{,}025\ \text{k}\Omega \pm 35$ ppm, $V_{ref} = 0$, et une capacité d'intégration de 98,0 nF, avec une incertitude de ± 50 ppm. L'incertitude sur V_{off} est alors estimée meilleure que 1 %.

6.4 MESURE DE LA RÉSISTANCE DE FUITE DU CONDENSATEUR

6.4.1 PRINCIPE

Le condensateur est modélisé par un simple circuit R-C parallèle. Il est chargé à une tension donnée puis est laissé à se décharger dans sa résistance de fuite. L'évolution de la tension aux bornes du condensateur est monitorée.

Un buffer avec entrée à haute impédance est utilisé pour mesurer la tension aux bornes du DUT en limitant l'impact sur la mesure. Le courant de fuite du buffer est cependant loin d'être négligeable devant celui du condensateur. Deux essais, schématisés en Figure A23 sont donc réalisés.

Lorsque le DUT est câblé entre GND et l'entrée du buffer, il est déchargé par la différence entre son courant de fuite et le courant de biais I_b de l'AOP tandis que, lorsque qu'il est câblé entre Vcc et l'entrée du buffer, il est déchargé par la somme de ces courants. Dans les deux cas, $V_c > 0$.

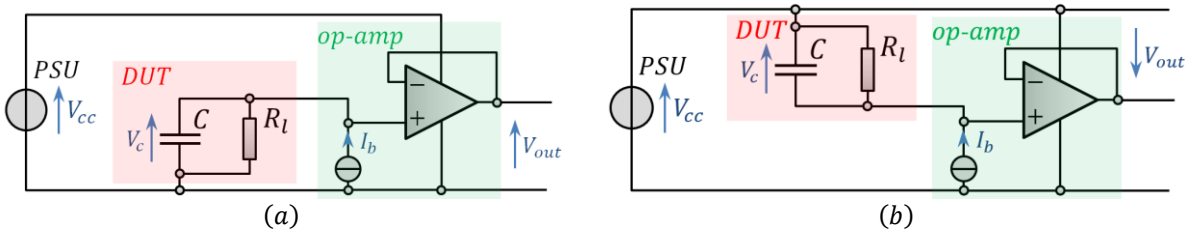


Figure A23 : essais réalisés : décharge du DUT par $I(R_l) - I_b$ (a) et par $I(R_l) + I_b$ (b). $V_c > 0 \Rightarrow V_{out} > 0$ (a) et $V_{out} < 0$ (b).

Un AOP AD8065 [353], sélectionné en particulier pour son faible courant de fuite est utilisé. La conception et la réalisation du circuit (routage et connexion entre l'AOP et le DUT) ont été soignées : anneaux et blindages de garde, PCB sans sérigraphie, etc. [354]–[357].

6.4.2 MODÉLISATION

Le circuit de la Figure A23 est résolu en supposant que R_l est constante, indépendante de la température ou de sa polarisation. C est par ailleurs supposé varier avec la température T selon la loi mise au jour précédemment (Eq. (A23)) :

$$C(T) = C_0 \cdot (1 + \alpha T), \qquad \alpha = -89{,}4 \text{ ppm} \cdot \text{K}^{-1} \tag{A26}$$

La dépendance du courant de polarisation de l'AOP I_b avec la température est modélisée par une équation d'Arrhenius :

$$I_{biais}(T) = I_{b0} \cdot \exp\left(-\frac{E_A}{k_b T}\right) \tag{A27}$$

Où T est la température absolue, $k_b = 1{,}38064852 \cdot 10^{-23}$ JK^{-1} (valeur exacte par définition) la constante de Boltzmann, et E_A une énergie d'activation. Il est commun de considérer que le courant de fuite d'un tel composant double tous les $\Delta T = 10$ K, ce qui permet d'estimer [358] :

$$E_A \approx \Delta T \cdot k_b \cdot \ln 2 \approx 9{,}6 \cdot 10^{-23}\text{J} \tag{A28}$$

L'évolution de V_{out} en fonction du temps est alors donnée par l'équation :

$$V_{out}(t) = \frac{\pm 1}{C_0(T(t))}\left(Q_0^{\pm} + \int\left(\pm I_{b0} \cdot \exp\left(-\frac{E_A}{k_b T(t)}\right) + \frac{V_{out}(t)}{R_l}\right)dt\right) \tag{A29}$$

Le signe $\pm$ caractérisant le sens du test réalisé (cf. Figure A23). Les évolutions de la tension V_{out} et de la température T ayant été mesurées au cours du test, un ajustement numérique est calculé de manière à trouver les valeurs de :

$$[Q_0^{\pm}, \quad I_0, \quad R_l] \tag{A30}$$

Minimisant l'écart entre le modèle et les mesures.

6.4.3 RÉSULTATS

Les tensions mesurées et données par le modèle (Figure A24) sont en bon accord. La dérive est causée par la décharge du composant ; les oscillations sont dues aux variations de température ambiante. Les données enregistrées au cours des 18 premières heures de test, correspondant à un état transitoire, sont omises. Des résultats de l'optimisation sont alors déduits le courant de polarisation et la résistance de fuite du condensateur :

$$[I_{b0} = 266{,}4\ \text{fA}, \quad R_l = 12{,}5\ \text{T}\Omega] \tag{A31}$$

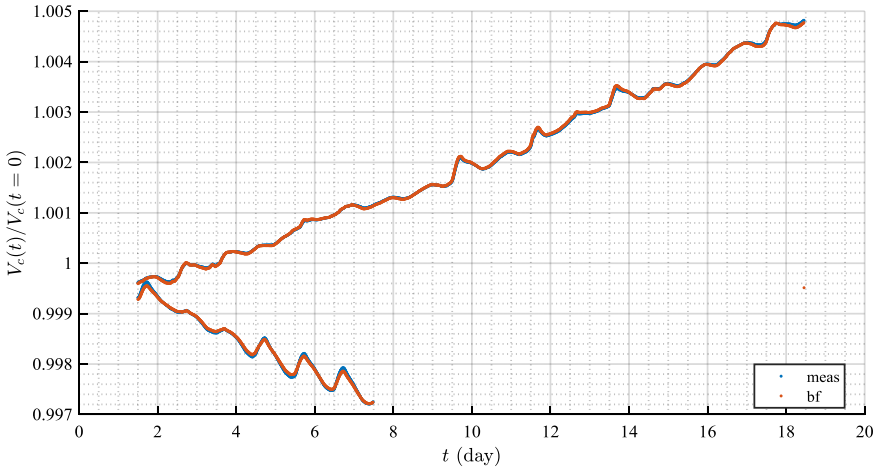


Figure A24 : tension mesurée normalisée (bleu) et modèle (rouge). Les deux réseaux de courbes correspondent aux deux expériences (cf. Figure A23).

6.5 DISCUSSION

Diverses autres techniques de mesures auraient pu être mises en place de manière à simplifier le test et/ou à en améliorer l'exactitude. Les tests ont utilisé un condensateur initialement chargé à environ 20 V, alors qu'une tension plus élevée aurait permis une décharge plus rapide. De manière à réduire l'influence du buffer sur le DUT, il aurait été possible de les séparer par un interrupteur mécanique à faible courant de fuite. La conduite des tests dans une enceinte thermorégulée et l'utilisation d'un pico-ampèremètre (e.g. Keithley-6487) auraient également été profitables.

7 MESURE DE CAPACITÉ SOUS POLARISATION DC

7.1 INTRODUCTION

Cette section décrit un banc de mesure de la capacité en fonction de la tension de polarisation ainsi que quelques résultats de tests.

7.2 BANC DE TEST

7.2.1 PRINCIPE

Le principe de la mesure est simple : une alimentation de laboratoire impose une tension de polarisation sur le DUT. Un GBF ajoute à cette tension un stimulus alternatif – un condensateur de liaison est utilisé pour coupler le GBF au potentiel DC présent sur le DUT. Un oscilloscope mesure la tension aux bornes du DUT et le courant le traversant. Des FFT de ces mesures est déduite l'impédance complexe, puis la capacité du composant.

7.2.2 CIRCUIT EMPLOYÉ, NOTES DE FABRICATION

Le schéma du banc de test est donné en Figure A25.

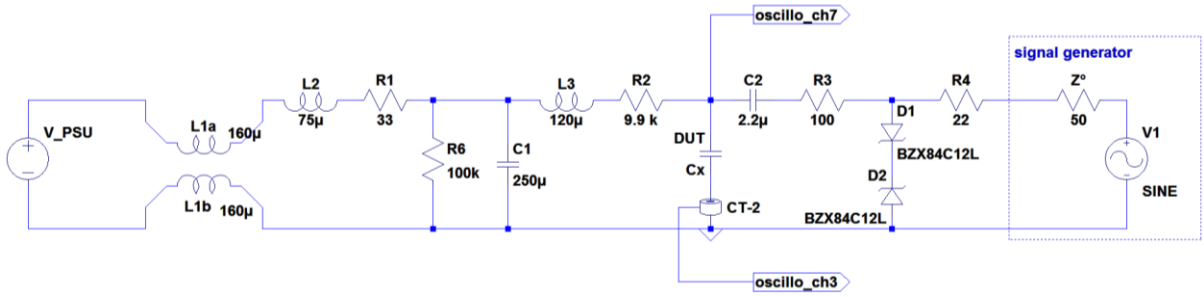


Figure A25 : schéma du banc de test.

V_PSU constitue la source de polarisation DC. L1, associé aux capacités de MC interne à l'alimentation, assure un filtrage en mode commun de l'alimentation tandis que L2 et C1 filtrent le mode différentiel (avec une fréquence de coupure de 1,2 kHz). R1 permet de fortement amortir le circuit LC ainsi réalisé ($Q \approx 0{,}017$). R6 assure la décharge des capacités du montage lorsque V_PSU est déconnectée. L3 et R2 ont pour rôle de transmettre la polarisation au DUT tout en bloquant le signal AC provenant du GBF. Leurs valeurs ne sont pas critiques, il s'agit de choisir une impédance ne chargeant pas inutilement le GBF (e.g. d'impédance supérieure à celle du DUT) mais suffisamment faible pour que la tension DC à leur borne soit négligeable (i.e. que R2 soit >> à la résistance d'isolement du DUT). C2 couple en alternatif la sortie du GBF et le DUT. D1 et D2 protège la sortie du GBF en écrêtant la tension présente à leurs bornes à environ ±13 V. Elles permettent également de décharger C2 en cas de déconnection du GBF. R3 limite le courant circulant dans ces diodes zeners. R4 protège la sortie du GBF.

La source de tension V_PSU étant limitée en courant (à $i_{PSU} = 10$ mA), C1 permet par ailleurs d'assurer des transitions lentes (de pente maximale $\frac{i_{PSU}}{C_1} = 40\ \mathrm{V \cdot s^{-1}}$) de la tension appliquée au DUT. Cela évite l'existence de fronts de tension aux bornes du DUT, qui engendreraient des pics de tensions transmis au GBF via C2 (le courant du aux variations de la tension provenant de V_PSU et circulant dans C2 est alors limité à $\frac{C2}{C1+C2} i_{PSU} \approx 0{,}01 i_{psu} \approx 100$µA). Cela devrait, par ailleurs, rendre D1 & D2 inutiles.

Le GBF fournit un signal sinusoïdal d'amplitude 5 V, la fréquence de test f_{CW} est fixée à 100 kHz. À cette fréquence, le GBF (incluant son impédance interne $Z°$), $R3$ et $R4$ se comportent comme une source de courant pour des condensateurs de plus d'une dizaine de nF (l'impédance interne de la source est alors égale à $R3 + R4 + Z°$). Le courant a alors une amplitude RMS proche de 20 mA.

R2 devant tenir une tension DC pouvant atteindre 700 V tout en étant un élément de sécurité du matériel, elle est constituée de trois résistances standard à film métallique (300 V – 1/4 W) de 3,3 kΩ câblées en série. Cette précaution était probablement inutile, la tension réellement supportée par R2 étant généralement nulle.

C2 est condensateur un MKP, choisi ses propriétés d'auto-cicatrisassions et sa linéarité.

Un oscilloscope HD08105 (12 bit, 2,5 GSa/s, 1 GHz) est utilisé. La tension aux bornes du DUT est mesurée à l'aide d'une sonde passive PHV1000 (100:1, 50 MΩ, 400 MHz), couplée en AC. Le courant circulant dans le DUT est mesuré à l'aide d'une sonde Tektronix CT-2, calibrée vectoriellement avant le test. Un oscilloscope est utilisé plutôt qu'un DMM de manière à permettre une mesure vectorielle de l'impédance, disposer de la bande passante de l'oscilloscope, ainsi qu'à permettre un choix arbitraire la bande passante d'intégration (définition de la « Intermediate Frequency Bandwidth ») lors du post-traitement.

Un DMM 34465a est utilisé pour mesurer la tension de polarisation.

L'ensemble de l'instrumentation (alimentation, GBF, DMM, oscilloscope) est contrôlé par USB de manière à automatiser le balayage de V_PSU.

7.3 RÉSULTATS

7.3.1 CALIBRATION : TEST D'UN CONDENSATEUR MKP

Les condensateurs MKP présentant une faible dépendance de leur capacité en tension [358], mesurer celle-ci permet de vérifier que le banc de test est reproductible et ne présente pas d'erreur corrélée à la tension de polarisation. Les valeurs obtenues avec un composant formé de deux condensateurs MKP 22 nF – 2 kV connectés en série sont données en Figure A26. La quasi-constance de la valeur mesurée démontre la capacité du montage à rejeter l'influence de la tension de biais sur la mesure.

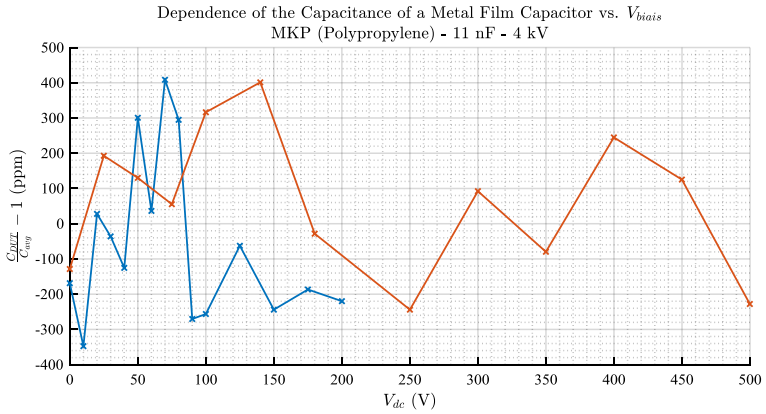


Figure A26 : variation relative de la capacité d'un condensateur MKP, en ppm, en fonction de la tension de polarisation. Chaque courbe correspond à une série de mesures.

7.3.2 TEST D'UN CONDENSATEUR CÉRAMIQUE

La caractéristique d'un condensateur MLCC X7R 68 nF, 1,2 kV vendu en boitier CMS 2220, est donnée en Figure A27. Ce condensateur est utilisé comme découplage dans certains tests associés aux études présentées dans ce manuscrit (e.g. *III-4. Hacheur SiC enfoui*, page 178).

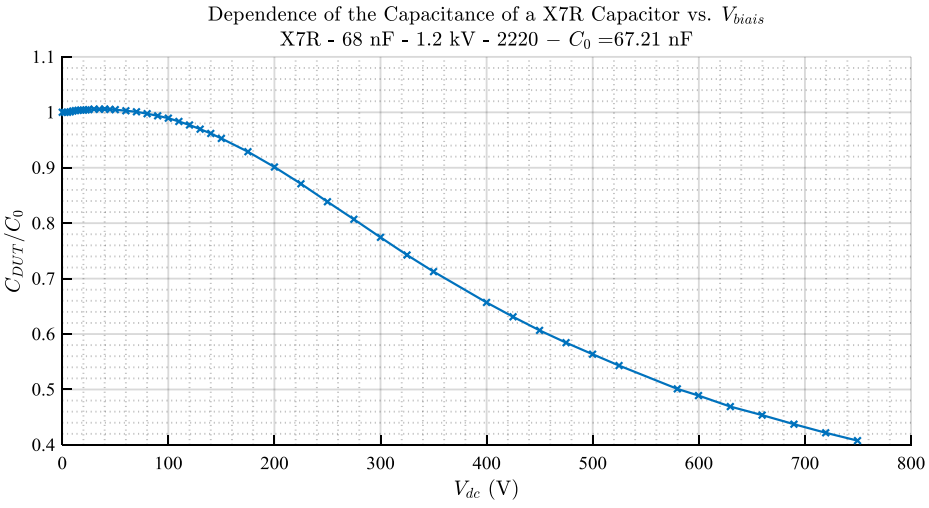


Figure A27 : capacité normalisée d'un condensateur en fonction de la tension de biais. @$V_{dc} = 0$: $C_{DUT} = C_0 = 67{,}21$ nF.

7.3.3 CAPACITÉ DE SORTIE D'UN IGBT 5SMY12M1280

La capacité de sortie d'un IGBT 5SMY_12M1280 (1,2 kV – 150 A, puce nue) est mesurée avec un VNA E5061b (connexion GP-shunt) et le dispositif de test proposé. Les résultats, concordants, sont donnés en Figure A28. Les valeurs de capacités divergent aux plus faibles tensions de polarisation du fait des amplitudes des

stimuli AC différents : environ 3,5 V avec le banc de test vs. $-45\ \mathrm{dB_m}$ (i.e. 1,3 mV) avec le VNA. Certaines non-linéarités sont donc excitées par le banc de test sans l'être par le VNA.

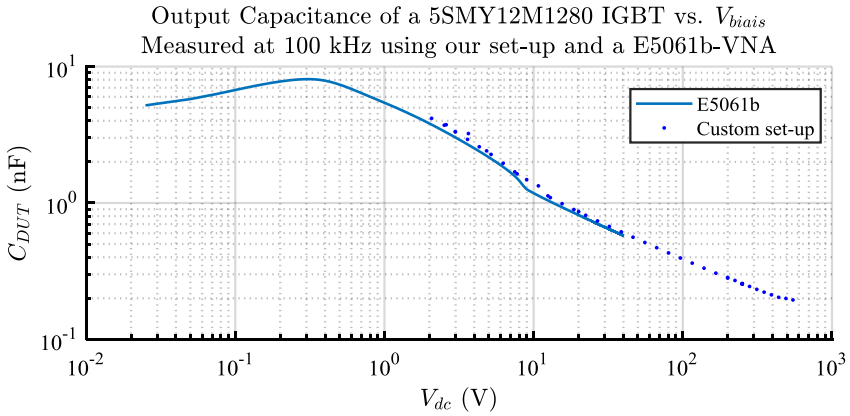


Figure A28 : capacité de sortie d'un IGBT 5SMY12M1280. Mesure réalisée @100 kHz, @V_{ge}=0.

7.4 Discussion

Si elle a l'avantage de la simplicité et de la sécurité du matériel, l'instrumentation mise en œuvre n'est pas optimale en termes d'exactitude. L'utilisation d'un shunt (de quelques centaines d'ohms à 1 kΩ) en lieu et place du transformateur d'intensité, le couplage AC de l'oscilloscope sans sonde 100:1 à la tension de test auraient ainsi pu permettre de diminuer les incertitudes apportées par les sondes. L'utilisation d'un analyseur vectoriel – voire scalaire étant donné les forts coefficients de qualité en jeu – (e.g. port d'un HP4195, port GP d'un HP4194 ou d'un E5061b, ou analyseur de spectre) à la place de l'oscilloscope aurait également amélioré l'exactitude de la mesure, en particulier en diminuant le bruit et en permettant une mesure à signaux de faible amplitude. Plus trivialement, un analyseur d'impédance aurait pu être utilisé pour directement mesurer l'impédance du DUT en petits signaux, avec polarisation DC externe [331].

Une autre méthode de mesure aurait pu consister à étudier la charge d'un condensateur à courant constant (ou à défaut placé au sein d'un circuit RC) pour obtenir, par dérivation, la relation entre tension de polarisation et capacité en petits signal.

8 Démonstration formelle des limites de l'hypothèse « front raide »

8.1 Introduction

Le modèle développé dans la section *II-2. Modélisation du PDN d'une cellule de commutation* (page 88) suppose que les commutations du courant comme de la tension sont immédiates. Ceci correspond évidement à une idéalisation des formes d'ondes et il convient de déterminer dans quelle mesure les temps de montés finis influencent l'amplitude des oscillations. Intuitivement, cette limite est traduite par le fait que le contenu spectral du front doit être suffisamment riche pour exciter le mode de résonance, c'est-à-dire que la bande passante du front f_{BW} doit être supérieure à la fréquence de résonance f_{res} de la maille :

$$f_{BW} > f_{res} \Leftrightarrow \frac{1}{\pi t_r} > f_{res} \Leftrightarrow t_r < 2\sqrt{LC} \tag{A32}$$

Où t_r est le temps de monté du front et L, C les éléments résonants.

Cette section propose une démonstration formelle de cette relation.

8.2 DÉVELOPPEMENT

8.2.1 MODÉLISATION, MISE EN ÉQUATIONS

Un circuit LC parallèle est soumis à un échelon de courant d'amplitude I et de temps de monté t_r. La transformée de Laplace de cet échelon est alors :

$$I(p) = \frac{I}{t_r p^2}(1 - e^{-t_r p}) \tag{A33}$$

Où p désigne la variable de Laplace. Le produit de ce courant par l'impédance Z_{LC} du circuit bouchon permet d'exprimer la tension V apparaissant aux bornes de celui-ci :

$$V(p) = Z_{LC}(p) \cdot I(p) = \frac{IL\omega_0^2}{t_r p(p^2 - \omega_0^2)}(1 - e^{-t_r p}), \qquad \omega_0 = \frac{1}{\sqrt{LC}} \tag{A34}$$

Dont l'antécédent continu et causal par la transformation de Laplace est :

$$v(t) = \frac{IL}{t_r}\Big((1 - \cos(\omega_0 t)) \cdot \mathbf{1}_{\mathbb{R}^+}(t) - \big(1 - \cos\big(\omega_0(t - t_r)\big)\big) \cdot \mathbf{1}_{\mathbb{R}^+}(t - t_r)\Big) \tag{A35}$$

Où $\mathbf{1}_{\mathbb{R}^+}$ désigne la fonction indicatrice de $\mathbb{R}^+$, unitaire sur cet ensemble et nulle en dehors.

8.2.2 RÉSOLUTION

Soit $\hat{t}$ l'instant auquel la tension v atteint son premier maximum $\hat{v} = v(\hat{t})$.

Dans le cas où $\hat{t} < t_r$, ce qui correspond à un front est relativement lent, $\hat{t}$ peut être déterminé par étude de la fonction $t \to v(t)$ pour les temps inférieurs à t_r, lorsque le $\mathbf{1}_{\mathbb{R}^+}(t - t_r) = 0$. Dans ce cas :

$$v(t) = \frac{IL}{t_r}(1 - \cos(\omega_0 t)) \tag{A36}$$

Il apparait alors que :

$$\hat{v} = v(\hat{t}) = \frac{2IZ_c}{\omega_0 t_r}, \qquad \hat{t} = \frac{\pi}{\omega_0} < t_r, \qquad Z_C = \sqrt{\frac{L}{C}} \tag{A37}$$

Dans le cas contraire, avec un front relativement rapide : $\hat{t} > t_r$. Alors :

$$v(t) = \frac{IL}{t_r}\big(\cos\big(\omega_0(t - t_r)\big) - \cos(\omega_0 t)\big) \tag{A38}$$

Il apparait alors que :

$$\hat{v} = v(\hat{t}) = IZ_c \cdot sinc\left(\frac{\omega_0 t_r}{2}\right), \qquad \hat{t} = \frac{1}{\omega_0}\operatorname{atan}\left(\frac{\sin(\omega_0 t_r)}{1 - \cos(\omega_0 t_r)}\right) > t_r, \qquad Z_C = \sqrt{\frac{L}{C}} \tag{A39}$$

Dans les deux cas, la relation entre t_r et $\hat{t}$ permet de déterminer les domaines de validité des deux cas ($\hat{t} > t_r$ ou $\hat{t} < t_r$) et de relier les grandeurs t_r, $\hat{t}$, et ω_0. Est alors déduite l'expression, définie par morceaux, de la surtension :

$$\hat{v} = \begin{cases} IZ_c \cdot sinc\left(\dfrac{\omega_0 t_r}{2}\right), & si\ \omega_0 t_r \geq \pi \\ IZ_c \dfrac{2}{\omega_0 t_r}, & si\ \omega_0 t_r \leq \pi \end{cases}, \qquad Z_C = \sqrt{\frac{L}{C}} \tag{A40}$$

Un tracé de cette fonction est donné en Figure A29.

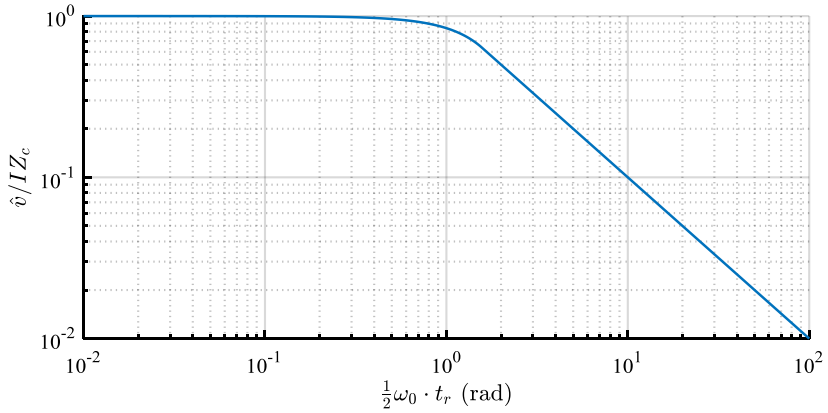


Figure A29 : surtension due à l'échelon de courant normalisée en fonction du temps de monté normalisé du front.

8.3 Analyse

Ce développement confirme l'expression obtenue dans le cadre simplifié de l'étude du chapitre II : la surtension lorsque les fronts sont rapides vaut le produit de l'amplitude de l'échelon par l'impédance caractéristique du circuit bouchon.

Deux domaines apparaissent par ailleurs, celui correspondant aux fronts rapides, dans lequel la surtension est indépendante du temps de monté, et celui correspondant aux fronts lents, dans lequel la surtension est inversement proportionnelle à celui-ci. La frontière étant définie par :

$$\frac{\omega_0 t_r}{2} \leq \frac{\pi}{2} \;\Leftrightarrow\; t_r \leq 2\sqrt{LC} \qquad \text{(A41)}$$

Cette relation est en accord avec celle proposée intuitivement (Eq. (II.67)).

Par simplification, cette étude considère un circuit résonant non amorti ; l'ajout d'éléments dissipatif aillant des valeurs réalistes (dans le cas de transistors MOSFET) ne modifierait notablement ni la position de la frontière entre les domaines, ni l'amplitude des oscillations (comme l'a démontré la section *II-2.4.3. Effet des coefficients de qualité finis*, page 100).

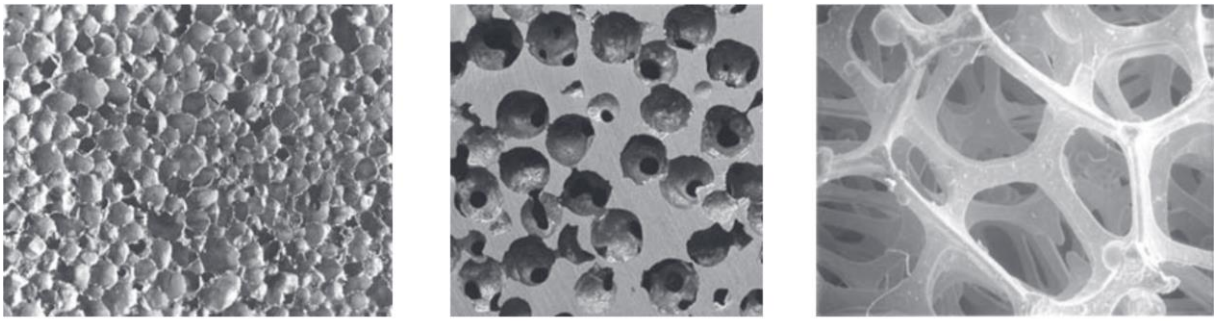
Un développement similaire pour l'échelon de tension aboutirait à la même frontière entre domaines à temps de monté lents et rapides.

9 Généralités sur les mousses métalliques

9.1 Structures de mousses métalliques

Les mousses métalliques sont des matériaux cellulaires constitués de l'imbrication de deux phases, l'une solide continue métallique, et d'une autre, généralement fluide. Si les premières mousses métalliques ont été manufacturées il y a près d'un siècle, ces matériaux ont été l'objet d'un important regain d'intérêt tant de la part de l'industrie que des laboratoires de recherche au cours des dernières décennies du fait de la mise au points de techniques de production maitrisées et bon marché [277].

Suivant la topologie des phases, et plus particulièrement de la continuité de la phase fluide, les mousses peuvent être classées en plusieurs catégories [277]. Les mousses à pores fermés (Figure A30-a) sont constituées d'une phase fluide discontinue, enfermée dans des bulles métalliques fermées. La phase fluide d'une mousse à pores semi-ouverts (Figure A30-b) est continue, mais les canaux reliant les pores sont de faibles diamètres par rapport à ceux des pores. Les mousses à pores ouverts (Figure A30-c) présentent une phase fluide continue, la phase métallique étant semblable à un squelette constitué de ligaments.



Mousse Foaminal® (source : Fraunhofer-IFAM, Bremen) (Alliage d'aluminium) (a)

Mousse Castfoam S® (source : CTIF) (Alliage d'aluminium) (b)

Mousse Duocel® (source : ERG) (Aluminium) (c)

Figure A30 : (a) : mousse à pores fermés. (b) mousse à pores semi-ouverts. (c) mousse à pores ouverts. Extrait de [277].

Les matériaux abrasifs tels que la paille de fer ou la laine d'acier, constitués d'un enchevêtrement non cohérent (au sens de discontinu) de fils métalliques, ne font pas partie des mousses métalliques.

9.2 Méthodes de production

Ces mousses peuvent être réalisées par moussage : un gaz est incorporé dans un bain de métal liquide, qui est ensuite solidifié. Le gaz peut être injecté depuis l'extérieur ou résulter de la décomposition gazeuse d'un solide incorporé au bain en fusion. L'une des difficultés de cette technique de production consiste à maintenir la mousse stable, i.e. sans qu'elle ne s'affaisse, jusqu'à solidification. Cette méthode produit des mousses à pores fermés. Une autre technique de production consiste à imbiber une matrice poreuse de métal liquide, qui est, après solidification du métal, détruite (mécaniquement, chimiquement, ou thermiquement). La troisième méthode de production principale utilise une mousse à pores ouverts sur la surface de laquelle est réalisé un dépôt métallique. La matrice originelle, généralement organique, est ensuite détruite thermiquement. Le dépôt peut être électrolytique, autocatalytique (i.e. « electroless »), ou en phase vapeur [277].

Suivant le procédé de fabrication, divers métaux purs ou alliés peuvent être mis en œuvre, tels que l'aluminium, le nickel, le cuivre, l'acier, le titane, l'étain, l'or, etc. [359].

9.3 Applications

La structure des mousses métalliques, éloignée de celles des matériaux massifs, leur donne des propriétés mécaniques, thermiques, et chimiques très spécifiques. Celles-ci, associées à des coûts de fabrication potentiellement bas (suivant la nature des matériaux et la structure interne du produit), font que les mousses métalliques peuvent trouver de nombreux domaines d'applications.

La courbe de compression d'une mousse métallique typique (Figure A31) montre un plateau délimitant une large surface correspondant à l'énergie $\widetilde{U}$ requise pour déformer de manière plastique le matériau. Cette propriété est exploitée dans des absorbeurs d'énergie (e.g. protection d'un véhicule en cas de crash, protection anti-explosion). La mousse est conçue de manière à ce que la contrainte au niveau de ce plateau soit compatible avec les applications de protection visées ; elle est notablement inférieure à celle autrement requise dans le cas d'un bloc du même métal massique [359], [360].

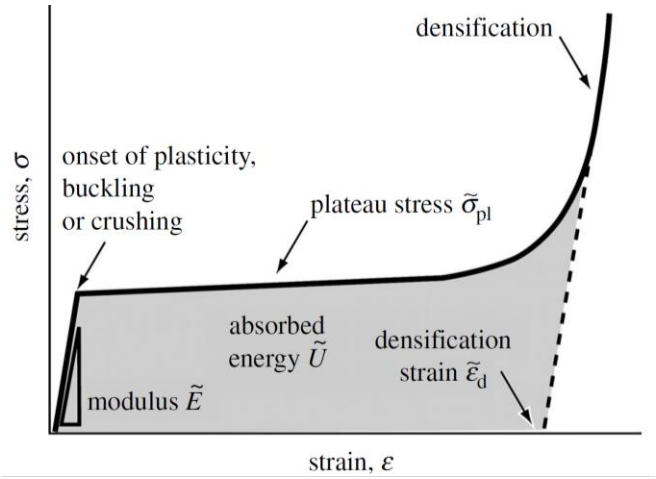


Figure A31 : courbe de compression d'une mousse métallique typique [361].

La forte porosité des mousse métalliques (jusqu'à 99 %) leur confère une densité beaucoup plus faible que celle du matériau massique associé. La diminution de la résistance mécanique associée est cependant moins marquée, si bien que les mousses sont communément utilisées pour réaliser des pièces présentant un bon compromis entre résistance mécanique (en particulier à la flexion dans un assemblage comprenant une plaque de mousse prise en sandwich entre deux tôles) et masse [359].

Les mousses métalliques, ou éventuellement céramiques, sont employés dans des échangeurs de chaleur, la phase solide pouvant être chauffée à sa base tout en baignant dans un fluide caloporteur. La forte porosité du matériau permet de limiter la perte de charge tandis que la structure assure un écoulement turbulent qui, associé au faible diamètre des pores, optimise le transfert de chaleur [287], [360], [362].

Les mousses métalliques trouvent également des applications en chimie, leurs fortes densités surfaciques pouvant aider la catalyse de réactions (pot catalytique de moteur thermique, réacteurs d'industries chimiques, etc.). Cette surface spécifique élevée est également mise à contribution pour la réalisation d'électrodes de batteries [360].

Diverses autres applications des mousses métalliques peuvent être citées, telles que le filtrage, la séparation, ou la diffusion de fluides, l'arrêt de flammes, l'isolation phonique, etc. [360].

10 BANC DE TESTS EN COURT-CIRCUIT

10.1 PRÉSENTATION GÉNÉRALE

Le schéma de principe du banc de test, précédemment développé au laboratoire, est donné en Figure A32. Il s'agit d'appliquer une commande de grille sur un composant DUT ayant une forte tension appliquée à ses bornes (court-circuit de type I). Le banc utilise ainsi un banc de condensateurs haute-tension C, chargé par une alimentation (de faible puissance) $HV\ PSU$. Un driver est chargé de commander le DUT vie une résistance de grille R_g. Le courant de drain est mesuré par un shunt coaxial R_{shunt} (10,27 mΩ – 400 MHz, T&M) et un comparateur connecté à un disjoncteur statique est utilisé pour ouvrir la maille de puissance en cas de surintensité – le seuil $\hat{I}$ étant ajustable jusqu'à environ 500 A.

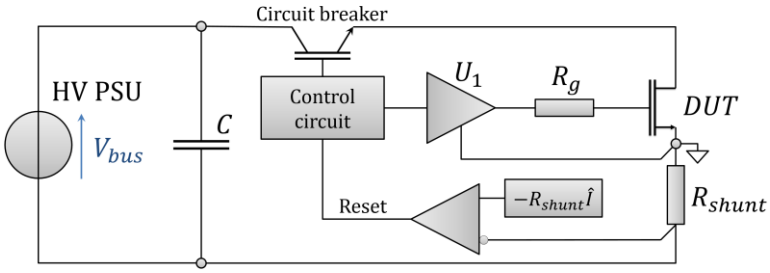


Figure A32 : schéma de principe du banc de test en court-circuit.

L'impédance de maille est déduite de l'allure du courant mesurée au court d'un test de court-circuit. La résistance de la maille de puissance vaut alors environ 12 mΩ (sous un courant de l'ordre de 100 A). Cette valeur relativement élevée intègre le shunt de 10,27 mΩ et la résistance dynamique du disjoncteur statique. L'inductance parasite vaut, quant à elle, 113 nH.

10.2 Dispositif de mesure du courant de grille

Diverses études ont montré que la dégradation par courts-circuits de transistors MOSFET SiC se traduit par l'apparition d'un courant de fuite de grille (cf. section *III-3.5. Vieillissement par courts-circuits*, page 167). La mesure de ce courant apparait donc comme un élément important du suivi de l'état de dégradation du composant au cours de son vieillissement accéléré. L'une des contraintes principales résulte de la nécessité de mesurer un courant de fuite inférieur à 1 mA (la bande passante requise étant relativement limitée), ainsi que des courants associés aux commutations, d'amplitudes atteignant quelques centaines de mA à plusieurs ampères, avec une bande passante de plusieurs dizaines de MHz. Ces mesures peuvent être réalisées par deux circuits séparé, l'un mesurant le courant de fuite DC, l'autre les courant transitoires, AC, dus aux commutations. La littérature fait état de diverses méthodes de mesure : utilisation de la résistance de grille comme shunt (pour la mesure de la composante AC, voire DC, du courant), transformateur de courant (composante AC) ajout d'un condensateur série dans le circuit de grille de manière à intégrer celui-ci (composante DC), ajout d'une résistance de grille de forte valeur qui est commutée ou bypassée par des diodes tête-bêche (composante DC), etc.

Dans cette étude, un transformateur de courant (sonde CT-2, Tektronix) est inséré en série avec la résistance de grille de manière à mesurer le courant de commande. L'inconvénient majeur de la méthode provient du filtrage passe-haut réalisé par la sonde (Figure A33).

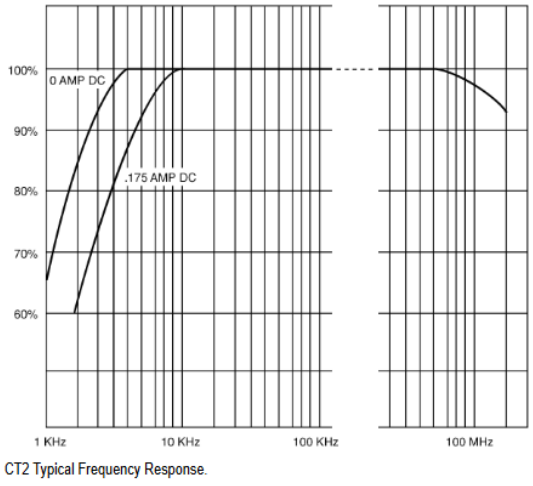


Figure A33 : fonction de transfert typique d'un sonde CT-2 [363].

Si la bande passante de la sonde est trop limitée pour observer l'intégralité du signal (la fréquence de répétition des courts-circuits est inférieure à 1 Hz), elle est néanmoins suffisante pour mesurer les impulsions de quelques microsecondes correspondant à chaque test en court-circuit. La composante DC du courant de grille,

dénotant une éventuelle fuite de grille, est alors estimée en supposant que la fuite peut être modélisée par une résistance linéaire câblée entre grille et source. Le courant de grille réel I_g est déduit de la mesure $I_{g_{meas}}$ selon :

$$I_g(t) = I_{g_{meas}}(t) + \frac{V_{gs,L}}{V_{gs,H} - V_{gs,L}} \cdot I_{g,H_{meas}} \tag{A42}$$

Où $V_{gs,H}$ et $V_{gs,L}$ désignent les tensions de grille aux états stationnaires (i.e. lorsque les effets capacitifs et les éventuelles oscillations se sont dissipés) haut et bas et où $I_{g,H_{meas}}$ est le courant de grille mesuré à l'état stationnaire haut.

Des estimations de ce courant, déduites de la tension mesurée (de manière pseudo-différentielle, i.e. par soustraction numérique des tensions mesurées à l'aide de sondes passives 10:1) aux bornes de la résistance de grille permettent de valider cette approche. Les résultats fournis par le transformateur de courant compensé sont néanmoins meilleurs car moins bruités et présentant un CMRR (Common Mode Rejection Ratio) plus important [107].

10.3 Dispositif de mesure de la résistance à l'état passant

10.3.1 Introduction

Le vieillissement par courts-circuits d'une puce de puissance entraine une restructuration de la métallisation de la face avant de la puce, qui se traduit par une augmentation de sa résistance [302], [313]. Cette dernière constitue par conséquent un indicateur pertinent de l'état de vieillissement d'une puce. Classiquement, un banc de vieillissement ad hoc est utilisé pour appliquer des courts-circuits au DUT sous une tension de l'ordre de 20 à 80 % de sa tension de claquage, tandis qu'un traceur de caractéristiques (e.g. Keysight B1505a) permet de mesurer les paramètres électriques du composant. Les essais peuvent être automatisées en connectant directement l'analyseur et le banc de vieillissement au DUT – à condition que l'instrument soit protégé lors des tests en courts-circuits et que le banc de vieillissement ne perturbe pas les mesures réalisées par l'analyseur.

Cette section propose une autre méthode d'automatisation des tests : le banc de vieillissement lui-même est utilisé pour mesurer la résistance à l'état passant du DUT.

Au cours d'un court-circuit, e.g. sur un MOSFET, la tension de bus est fixée à une valeur « élevée » V_h (pouvant atteindre au moins quelques centaines de volts, suivant les spécifications du composant et le niveau de stress requis) et le courant est principalement déterminé par les caractéristiques en saturation du composant. Si la tension de test était réduite à une plus faible tension V_l, de l'ordre de quelques centaines de millivolts, le DUT fonctionnerait en mode linéaire et le courant serait principalement déterminé par les résistances du DUT et de la maille de puissance.

Un test de vieillissement par court-circuit avec mesure automatisée de l'évolution de la résistance du DUT est alors mené comme suit. La tension de bus est tout d'abord montée jusqu'à une valeur V_h, puis des tests de vieillissement en court-circuit sont menés. La tension de bus est ensuite abaissée à la valeur V_l. Un test en court-circuit sous très basse tension, et donc sous un courant relativement faible, est alors réalisé, au cours duquel courant et tension de tests sont mesurés pour calculer la résistance du composant. La tension de bus est alors montée à nouveau et le cycle reprend. Le temps requis pour faire passer la tension de bus de V_h à V_l, déterminé par la décharge du banc de condensateurs C dans une résistance de protection, permet au DUT de refroidir jusqu'à une température proche de l'ambiant. Les tests permettant de mesurer la résistance, menés sous un courant proche de 10 A dans ces travaux, sont suffisamment courts et peu dissipatifs pour assurer un que l'auto-échauffement du DUT soit négligeable (estimé $\ll$ 1 K).

La mesure du courant de drain au cours d'une mesure de résistance est réalisée à l'aide du shunt de puissance utilisé pour mesurer le courant lors des tests de vieillissement. Son gain de 10,27 mV/A, bien que relativement faible, permet une mesure relativement exacte du courant de test. Par ailleurs, la structure du banc

utilisé, la nécessité de limiter l'inductance de maille, et le courant crête devant être supporté, compliquent l'ajout d'un capteur additionnel.

La difficulté principale du test réside ainsi dans la mesure de tension aux bornes du DUT, qui doit permettre l'observation des tensions V_h et V_l – lesquelles pouvent être séparées de trois ordres de grandeur. Divers travaux se sont néanmoins intéressés à cette question, la mesure in situ (« on-line ») de la tension de saturation d'un IGBT pouvant par exemple servir de paramètre thermosensible renseignant quant à la température de la puce [364]. Le banc utilisé ici utilise une sonde passive haute-tension standard (PHV1000, 100:1, 400 MHz) conjointement avec un amplificateur à faible bruit (LNA – Low Noise Amplifier) ad hoc. Le LNA est utilisé lors les mesures de résistance tandis que la sonde passive est utilisée pour les mesures sous haute tension, la sortie du LNA étant alors saturée. Les sections suivantes proposent une description de ce LNA ainsi qu'une caractérisation du prototype.

10.3.2 DESCRIPTION DE L'AMPLIFICATEUR

Le circuit (Figure A34) est basé sur un AOP U1 qui, associé aux résistances R_1 et R_2, réalise un amplificateur de gain $\approx 10{,}1$. Le référencement à la masse de la source du DUT et la connexion des masses tant au sein du banc qu'entre celui-ci et le reste de l'instrumentation ne justifie pas l'utilisation d'un amplificateur différentiel.

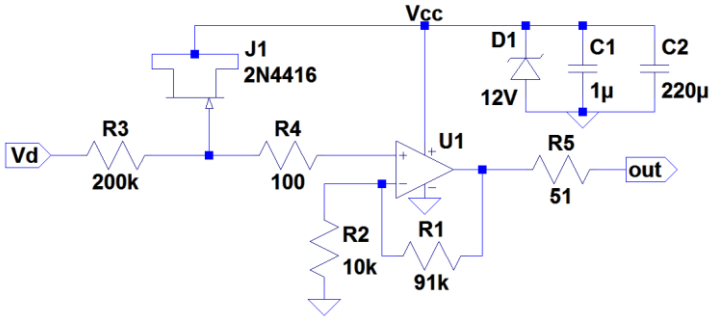


Figure A34 : schéma du LNA. La tension à mesurée est appliquée entre V_d et la masse, une alimentation est connectée entre V_{cc} et la masse, la tension de sortie est mesurée en out et la masse.

Le N-JFet J_1 émule une diode de faible puissance (10 mA max). Associé à R_3, il écrête la tension appliquée en entrée de $U1$: lorsque V_d dépasse V_{cc}, J_1 est polarisé en direct et laisse s'écouler un courant proche de $(V_d - V_{cc} + V_f) \cdot R_3^{-1}$ (où V_f désigne la tension de seuil de la diode émulée). R_4 protège la diode de clamp interne à $U1$ en limitant le courant y circulant. La valeur maximale pouvant être prise par V_d est définie par la résistance de R_3, sa puissance nominale, et le courant maximal admissible par J_1. Simultanément, R_3, R_4 et les capacités parasites des nœuds situés de part et d'autre de R_4 réalisent des filtres passe-bas limitant la bande-passante du montage. Il importe donc de minimiser R_3 et les capacités parasites – d'où le choix de J_1, qui présente une faible capacité de jonction (mesurée comme valant 2 pF @$V_{gs} = -5$ V). Son courant de fuite très bas [365] limite par ailleurs l'offset autrement créé avec R_3. Lorsque $V_d < V_{cc}$, la tension V_d est intégralement présente (nonobstant le filtrage mentionné ci-avant) sur l'entrée non-inverseuse de $U1$.

La diode D_1 limite la tension d'alimentation du montage, qui pourrait autrement croitre fortement du fait des charges injectées par J_1.

R_5 isole U1 de la charge capacitive représentée par le câble reliant celui-ci à l'oscilloscope (dont l'entrée n'est pas terminée en 50 Ω) [366].

$U1$ est un AOP LMC6082ai, relativement standard. Ses relativement faibles offset (350 μV_{maxi}) et courant de polarisation (2 pA_{maxi}, 5 fA_{typ}) assurent des erreurs négligeables sur la résistance mesurée, de l'ordre de, respectivement, 350 µΩ et 440 nΩ pour un courant de test de 10 A – ces valeurs pouvant par ailleurs être partiellement corrigées par post-traitement. Son produit gain-bande passante (1,3 MHz_{typ}) assure par ailleurs une bande passante, suffisante, d'environ 130 kHz. De plus, ses tensions d'entrées peuvent évoluer entre les rails

d'alimentation sans limite, pour un mode commun d'entrée pouvant atteindre 0 V. Enfin, il est rail-to-rail en sortie.

10.3.3 CARACTÉRISATION DU LNA

Le gain DC de l'amplificateur, mesuré à l'aide d'un voltmètre 34465a (pour $V_d = 100$ mV) vaut :

$$G_{dc} = 10{,}2386 \pm 25 \cdot 10^{-4} \tag{A43}$$

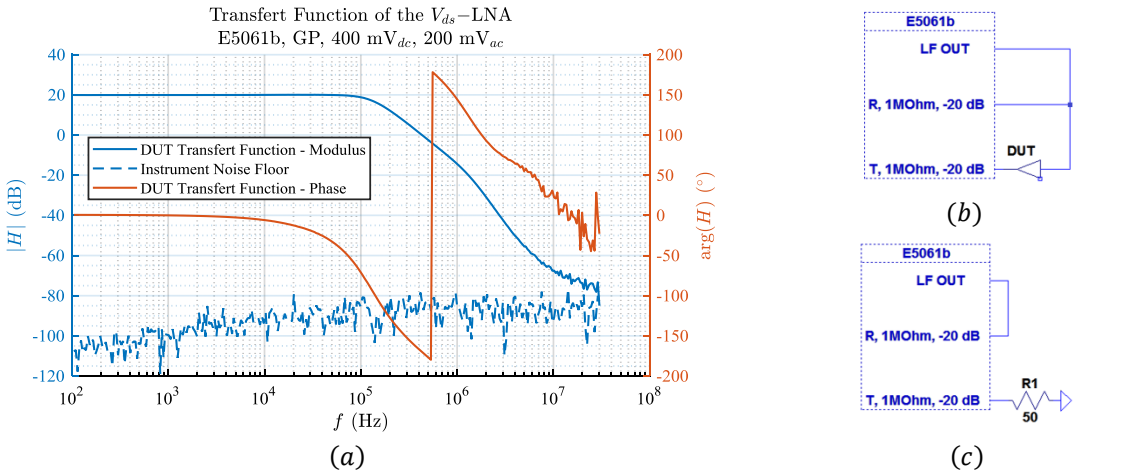


Figure A35 : (a) : fonction de transfert du LNA (lignes continues, mesurée avec le schéma (b)), plancher de bruit de l'instrument (ligne pointillée, mesuré avec le schéma (c)). Le plancher de bruit est relativement haut du fait de la forte bande passante du filtre intermédiaire (paramètre IFBW), proche de $min(0{,}2 \cdot f, 30\text{ kHz})$ pour chaque point de mesure à fréquence f [367].

La bande passante (Figure A35) est de 139 kHz, l'ondulation y est de 0,15 dB. Le temps de désaturation, mesuré à l'oscilloscope, vaut quelques microsecondes.

11 SIMULATION DE LA TEMPÉRATURE DE JONCTION D'UNE PUCE EN RÉGIME DE COURT-CIRCUIT

11.1 INTRODUCTION

Lors d'un court-circuit, la forte tension (de l'ordre de la moitié de la tension de claquage du DUT, soit plusieurs centaines de volts) appliquée aux bornes du composant testé, associée au fort courant en résultant (généralement de l'ordre de 3 à 10 fois le courant nominal du DUT), résulte en une puissance dissipée colossale, pouvant atteindre plusieurs centaines de kW. Du fait du fort champ critique du SIC, cette puissance est quasi-exclusivement dissipée dans un volume très restreint de la puce. La courte durée d'un test, associée à la relativement faible diffusivité thermique des matériaux en jeu, induit d'importants gradients thermiques au sein de la puce, à l'origine de très fortes contraintes thermomécaniques. Pourtant, ces conditions sont rencontrées relativement régulièrement en fonctionnement réel, par exemple du fait de court-circuit sur une charge alimentée.

Disposer d'un outil capable de déterminer, par simulation, la distribution de température dans la puce pourrait, par exemple, permettre de prédire la robustesse d'un assemblage ainsi qu'aider à comprendre les mécanismes de défaillance : températures critiques, vitesses d'échauffement maximales admissibles, concentration locales de courant, etc. [304], [368]. Un tel outil pourrait également être utilisé pour la conception de puces et de leurs packaging, e.g. en étudiant l'influence de l'épaisseur de la métallisation ou la nature de l'encapsulant. Enfin, ces simulations pourraient être mise à profit pour estimer le temps de réponse maximal acceptable pour un circuit de protection [369], [370].

De nombreux travaux de recherche se sont intéressés à ces problématiques. Les estimateurs publiés peuvent ainsi être basés sur des modèles linéaires (ou non) implémentés dans un simulateur circuit (e.g. SPICE) [54]–[56] ou dans un logiciel de FEA (e.g. Ansys) [51], [53], [57]–[59]. Bien que la première approche soit a priori plus rapide, elle est généralement limitée à quelques milliers de nœuds (et souvent bien moins), d'où une pertinence limitée. À l'opposé, les simulations FEM 3D peuvent présenter un coût et une exactitude fortement supérieurs. [369], [376]. Si certains articles proposent des simulations thermoélectriques couplant modèles thermiques et électriques [369], [371]–[373], [377], [378], d'autres se basent sur des résultats expérimentaux [375], [379]–[381] pour définir la source de chaleur.

Cette annexe traite de quelques-unes des hypothèses les plus communément mises en avant dans la littérature portant sur la simulation thermique de MOSFET SiC en régime de court-circuit – même si la méthode et certains résultats peuvent être extrapolés à des technologies et à des tests différents. L'étude est menée dans le cadre de l'enfouissement PCB avec reprise de contact par mousse pressée (cf. Chap. III) ; les résultats sont néanmoins très généralement applicables au cas de composants discrets et de modules de puissance standards.

Un état de l'art comparatif succinct de modèles thermiques publiés est proposé en section 11.2 tandis que le modèle développé dans cette étude est détaillé en section 11.3. Des résultats de simulations sont donnés en section 11.4, l'influence de divers paramètres de simulation est discutée en section 11.5

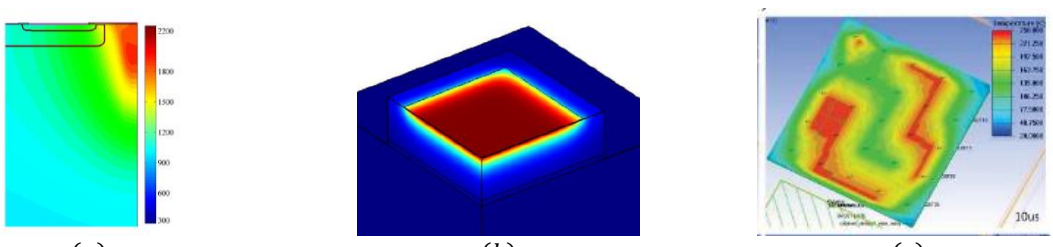
11.2 État de l'art

De nombreux travaux portant sur la simulation du champ de température au sein d'un MOSFET SiC pendant un court-circuit ont pu être publiés. Cette section propose un aperçu des principales hypothèses et simplifications faites par certains d'entre eux (Table A1).

Table A1 : détails des hypothèses formulées par quelques publications – cf. texte.

Réf.	[379]	[379]	[374]	[375]	[373]	[370]	[301]	[368]	[378]	[377]	[377]	[310]	[380]	[312]	[381]
Dimensions	1D	EZ3D	EZ3D	EZ3D	3D	2D	2D	3D	1D	1D	1D	1D	1D	1D	1D
Prof. source				>0		>0		>0	>0	>0	>0	>0	>0	>0	$=0$
Largeur source				>0		>0		>0	>0	>0	>0	>0	>0	>0	$=0$
Profil champ E				Δ		Δ		Δ	Trap.	Δ	Δ	Δ	Δ	Δ	δ
$d(\lambda, c_p)/dT \neq 0$	SiC	SiC	SiC	non						non	oui		non		SiC
Top boundary	$\nabla T=0$	$\nabla T=0$	$\nabla T=0$			$\nabla T=0$		$\nabla T=0$	$\nabla T=0$	$\nabla T=0$	$\nabla T=0$	$\nabla T=0$	$\nabla T=0$	$\nabla T=0$	$\nabla T=0$
Bot. boundary	$T=T_a$	$T=T_a$	$T=T_a$			$T=T_a$		$T=T_a$	RC	$T=T_a$	RC	$T=T_a$	RC	$T=T_a$	RC

Une part importante des travaux publiés suppose que la diffusivité des matériaux est suffisamment faible pour que le flux de chaleur dans l'assemblage soit unidimensionnel. Certains travaux proposent une description métallurgique de la structure d'une cellule et mènent alors une simulation bidimensionnelle (Figure A36-a). Enfin, des simulations tridimensionnelles ont pu être réalisées. Si certaines (notées EZ3D dans la Table A1) proposent des modèles simples (Figure A36-b), d'autres proposent des structures plus complexes, cherchant par exemple à simuler des distributions de courants inhomogènes dans la puce (Figure A36-c).



(a) (b) (c)

Figure A36 : (a) : simulation 2D [301]. (b) : simulation 3D avec modèle simple EZ3D (les propriétés de symétrie permettent de ne simuler qu'un quart de la puce) [379]. (c) : modèle 3D mettant en avant une distribution de courant inhomogène [369].

Divers modèles de sources de chaleurs peuvent être utilisés, suivant la profondeur à laquelle ils sont implantés dans la puce, leur largeur, et le profil de champ électrique retenu (triangulaire, ou trapézoïdal).

Si certains modèles de la littérature prennent en compte la dépendance des propriétés thermiques (conductivité λ et capacité massique c_p) des différents matériaux, la plupart se limite à celles du SiC, négligeant ainsi, en particulier, l'enthalpie de fusion de l'aluminium.

La plupart des modèles suppose que la diffusivité de l'encapsulant (résine silicone et époxy chargée en silice dans le cas d'un boitier discret, gel silicone dans le cas d'un module de puissance) est négligeable, i.e. que le flux de chaleur extrait de la puce par sa face avant est nul ($\nabla T = 0$). Il est également généralement supposé que la face arrière de l'assemblage (ne comprenant que la puce, ou associé à la brasure, voire à une semelle) est à température constante ($T = T_a$), ce qui est justifié par la diffusivité limité des matériaux. Certains modèles simplifient la simulation en remplaçant certains éléments massifs, tels que la semelle ou le radiateur, par un modèle RC-thermique simple et localisé (i.e. non distribué).

11.3 Modèle proposé

11.3.1 Structure

Étant donné le fort facteur de forme d'une puce de MOSFET et la diffusivité limité du SiC aux fréquences considérées (cf. section 11.3.3, infra), le flux de chaleur est supposé unidimensionnel, se propageant verticalement dans la puce. Le modèle développé (Figure A37) comprend la puce, elle-même modélisée par un bloc de SiC et une métallisation aluminium, une couche de brasure, et une couche de matériau (noté « NiFO » ci-après) modélisant l'encapsulant du composant.

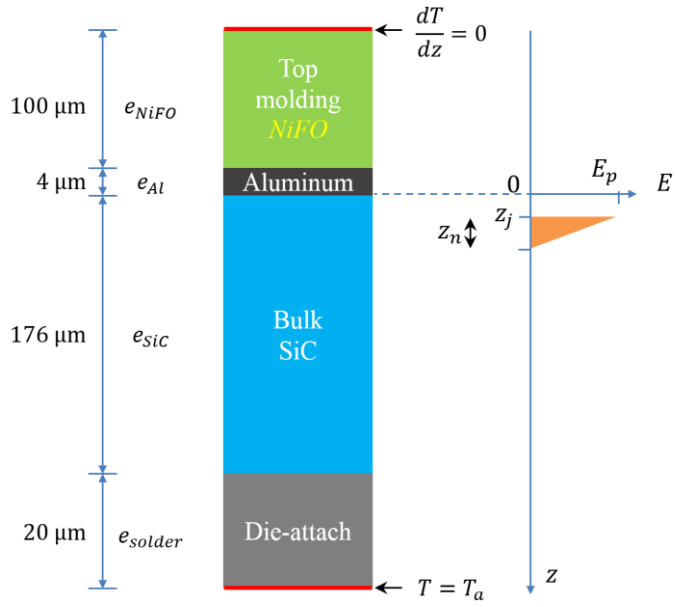


Figure A37 : modèle de simulation : géométrie et profil de champ électrique

L'épaisseur des différentes couches est donnée en Table A2. Les dimensions de la puce sont celles d'un transistor CPM2-1200-0025B [194]. La couche d'encapsulant est plus fine que dans un composant réel mais les simulations montreront que l'accroitre ne modifie pas les résultats – mais augmente néanmoins le coût du calcul.

Table A2 : paramètres géométriques de définition du modèle – z_j est calculé pour une tension de test de $V_{ds} = 600$ V

Paramètre		Valeur	Unité
Épaisseur d'encapsulant (face avant)	e_{NiFO}	100	µm
Épaisseur de la métallisation de face avant	e_{Al}	4	µm
Épaisseur du cristal SiC	e_{SiC}	176	µm
Épaisseur de la puce	$e_{Die} = e_{Al} + e_{SiC}$	180	µm
Épaisseur de brasure	e_{solder}	20	µm
Profondeur de la source de chaleur sous la surface de la puce	z_j	1	µm
Épaisseur de la source de chaleur	z_n	8	µm

Des conditions aux limites de Neumann sont appliquées sur le dessus de l'assemblage et de Dirichlet sur la face arrière – les simulations montreront néanmoins que ce choix importe peu.

Une source de chaleur distribuée est simulée, avec densité de puissance volumique :

$$\dot{q_v}(z,t) = E(z,t) \cdot J(t) \tag{A44}$$

Où E désigne le champ électrique dans le cristal et J la densité de courant. J est déduite des mesures détaillées en section *III-3.4. Robustesse en court-circuit*, page 161 (jusqu'à destruction après 11 µs). Le champ électrique est calculé supposant le dopage homogène dans la zone de déplétion, elle-même suffisamment épaisse pour que le champ présente un profil triangulaire. Il est de surcroit supposé qu'il ne s'étend guère dans la zone dopée P. Étant donné le champ critique du 4H-SiC ($E_c \approx 200\ \mathrm{V \cdot \mu m^{-1}}$ [382]) et la tension d'avalanche du transistor (spécifiée comme valant V_{BR}^* =1200 V, mesurée comme V_{BR} =1310 V), le dopage de la zone de déplétion peut être estimé [383] :

$$N_d = \frac{\epsilon_0 \epsilon_{r,SiC} E_c^2}{2qV_{BR}} \approx 1 \cdot 10^{16}\ \mathrm{cm^{-3}}, \qquad \epsilon_0 = 8{,}854 \cdot 10^{-12}\ \mathrm{Fm^{-1}} \tag{A45}$$

Où q et $\epsilon_{r,SiC}$ sont la charge élémentaire ($q \approx 1{,}6 \cdot 10^{-19}$ C) et la permittivité relative du 4H-SiC ($\epsilon_{r,SiC} \approx 9{,}66$). La loi de Gauss permet alors d'estimer la largeur de la zone de déplétion pour une tension de polarisation $V_{ds} = 600$ V [383] :

$$z_n = \sqrt{\frac{2\epsilon_0 \epsilon_{r,SiC} V_{ds}}{qN_d}} \approx 8\ \mu\mathrm{m} \tag{A46}$$

La profondeur de la zone de déplétion est choisie pour correspondre à celles communément rencontrée dans la littérature : $z_j = 1$ µm [301], [377].

11.3.2 ÉQUATION DE LA CHALEUR

L'équation de la chaleur complète, sous sa forme locale est :

$$\rho c_p \frac{\partial T}{\partial t} - \nabla(\lambda \nabla T) = \dot{q_v} \tag{A47}$$

Où λ, c_p et ρ sont la conductivité thermique, la capacité calorifique massique, et la masse volumique du milieu, et où $\dot{q_v}$ est la puissance volumique dissipée. λ, c_p et ρ sont a priori fonction de la température T mais ρ sera supposé constant dans l'analyse.

D'après l'hypothèse 1D, selon laquelle le flux de chaleur est dirigé selon l'axe $\vec{z}$, (A47) peut être simplifiée :

$$\rho c_p \frac{\partial T}{\partial t} - \frac{\partial}{\partial z}\left(\lambda \frac{\partial T}{\partial z}\right) = \dot{q_v} \Leftrightarrow \rho c_p \frac{\partial T}{\partial t} - \frac{\partial \lambda}{\partial z}\frac{\partial T}{\partial z} - \lambda \frac{\partial^2 T}{\partial z^2} = \dot{q_v} \tag{A48}$$

Les forts gradients de température font qu'il n'est a priori pas possible de négliger le terme incluant la dérivée spatiale de la conductivité.

L'équation peut alors être discrétisée par la méthode des différences finies : vers l'avant pour la dérivée temporelle et centrée pour la dérivée spatiale :

$$T_{j+1}^i = T_j^i + \frac{\Delta t}{\rho_j^i \cdot {c_p}_j^i} \dot{q_v}_{j+1}^i + \frac{\Delta t}{\Delta z^2 \cdot \rho_j^i \cdot {c_p}_j^i}\left[\lambda_j^{i+1}\left(T_j^{i+1} - T_j^i\right) - \lambda_j^i\left(T_j^i - T_j^{i-1}\right)\right] \tag{A49}$$

Où Δt et Δz désignent les pas de calculs temporels et spatiaux et $(i,j) \in \mathbb{Z} \times \mathbb{N}$ sont tels que X_i^j désigne la valeur de la grandeur X au temps $t = j \cdot \Delta t$ et à l'abscisse $z = i \cdot \Delta z$. Les simulations présentées dans cette section utilisent des pas de calcul constants : $\Delta t = 10$ ps, $\Delta z = 150$ nm. Retirer 3 dB à ces valeurs se traduisant par des écarts de température simulées inférieures à 10 K suggère que la discrétisation est suffisamment fine.

Le champ de température à l'instant $t + \Delta t$ est ainsi calculé à partir de celui à l'instant t, ainsi qu'au propriétés physiques des matériaux (λ, c_p) associées.

Le modèle est implémenté et résolu dans Matlab.

11.3.3 CARACTÉRISTIQUES PHYSIQUES DES MATÉRIAUX

L'un des objectifs de la présente étude étant d'étudier la robustesse d'un contact réalisé à partir d'un morceau de mousse pressée en nickel, elle cherchera à estimer l'influence de l'ajout d'une certaine proportion de ce métal dans l'encapsulant d'un composant discret. L'encapsulant composite, noté « NiFO », est alors modélisé par un milieu homogène dont les propriétés sont linéarisées par rapport à la proportion volumique de nickel α_{Ni} dans le milieu [288]:

$$X_{NiFO} = \alpha_{Ni} \cdot X_{Ni} + (1 - \alpha_M) \cdot X_{epoxy} \tag{A50}$$

Où X_Y désigne la grandeur X (e.g. λ ou c_p) pour le matériau Y : NiFO, nickel, ou encapsulant standard (assimilé à de la résine époxy). Sauf mention contraire : $\alpha_{Ni} = 0{,}3$.

La dépendance avec la température des propriétés physiques du nickel, de l'aluminium et du SiC sont prises en compte. Celle de l'encapsulant époxy est négligé en du fait de l'absence de modèle pertinent, associé à une large gamme de nuances de matériaux disponibles. Celles de la brasure sont également négligées, les simulations montreront que la température de celle-ci demeure très proche de l'ambiant. Les propriétés physiques des matériaux à 298 K sont données en Table A3 ; leurs variations avec la température sont données en Figure A38.

Table A3 : propriétés physiques des matériaux étudiés à 298 K.

	$\boldsymbol{\lambda}$ $(\mathbf{W \cdot m^{-1} \cdot K^{-1}})$	$\boldsymbol{c_p}$ $(\mathbf{J \cdot kg^{-1} \cdot K^{-1}})$	$\boldsymbol{\rho}$ $(\mathbf{kg^{-1} \cdot m^{-3}})$
Aluminium [262], [384]	239	910	2699
Nickel [262]	91	443	8902
Époxy [385]	0,3	900	1250
NiFO (A50)	27,6	763	3546
SiC [386]	353	1031	3211
Solder [387]	60	160	7400

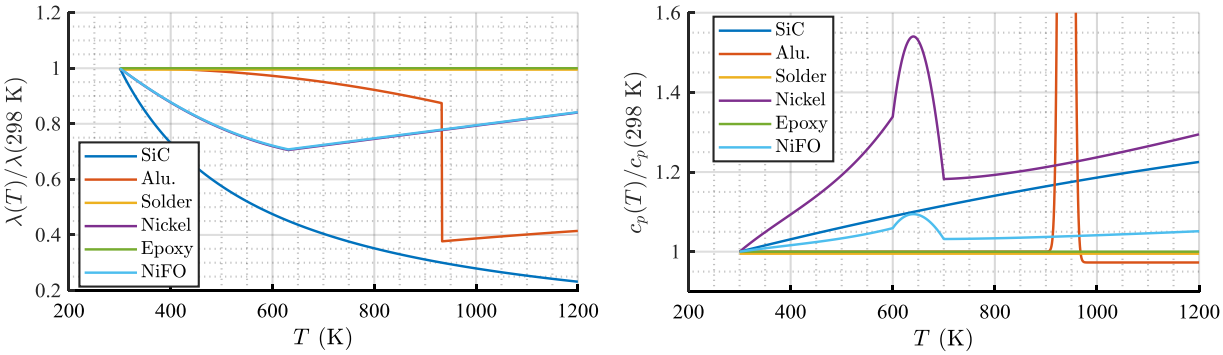


Figure A38 : évolution de (λ, c_p) en fonction de la température T.

Le pic de capacité thermique de l'aluminium correspond à son enthalpie de fusion ; sa largeur a été fixée à une valeur non-nulle de manière à aider la convergence de la simulation tout en correspondant aux résultats expérimentaux décrits par [388]. Des simulations ont pu démontrer l'impact négligeable de ce paramètre sur les champs de température calculés.

Étant donnée une fréquence d'excitation f, on définit la profondeur de peau thermique δ_{th} :

$$\delta_{th} = \sqrt{\frac{\lambda}{\rho c_p \pi f}} \tag{A51}$$

Cette grandeur, de manière analogue à la profondeur de peau électrique, caractérise la pénétration de la chaleur dans un milieu, sous excitation alternative. Un court-circuit destructif dure, dans les conditions et pour

les puces considérés, environ 10 µs. La valeur de δ_{th}à la fréquence de 100 kHz dans les matériaux considérés (Figure A39) n'est que de quelques micromètres à dizaines de micromètres, suggérant que la chaleur diffusera peu dans l'assemblage, restant localisée aux abords de la zone de déplétion.

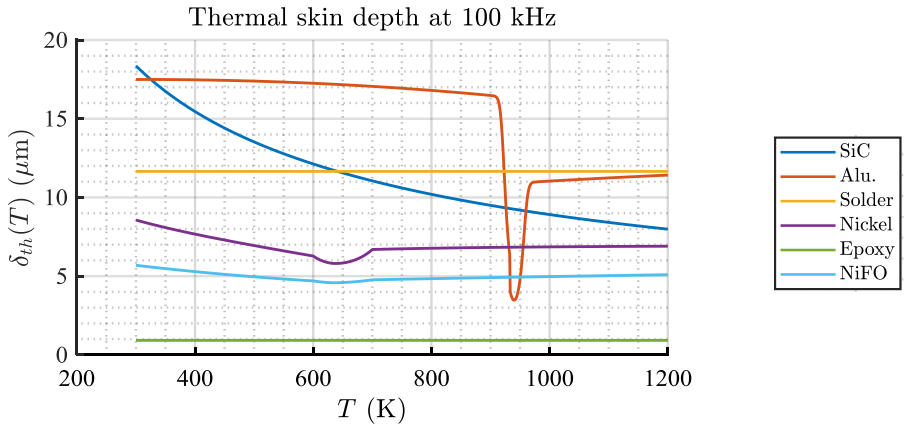


Figure A39 : profondeur de peau thermique δ_{th} en fonction de la température, à 100 kHz.

11.4 Résultats de simulation

11.4.1 Géométrie de référence

Le modèle détaillé dans la section précédente, dit « de référence », est implémenté et résolu dans Matlab.

Le plateau de température apparaissant (Figure A40-a) entre 6,5 µs et 8,5 µs correspond à la fusion de l'aluminium. La Figure A40-b montre le champ de température dans l'assemblage peu avant la défaillance catastrophique de la puce, après 11 µs de court-circuit – i.e. longtemps après le transistor soit devenu incontrôlable [304]. Le point le plus chaud, localisé dans la zone de déplétion (comme déjà décrit par [301], [370], [389]), atteint 1100 K. Dans cette géométrie, 18 % de l'énergie totale est stockée dans l'encapsulant, contre 10 % dans la couche d'aluminium (incluant les 5 % liés à l'enthalpie de fusion), et 71 % dans le cristal SiC.

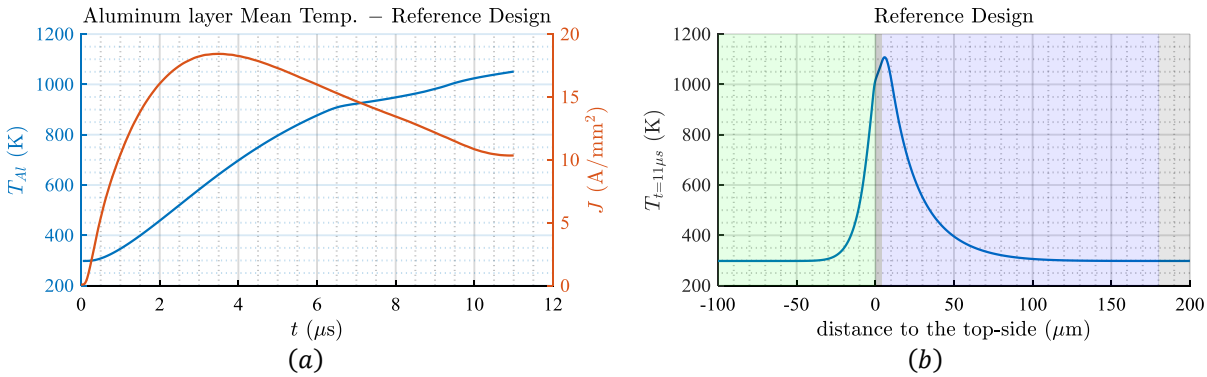


Figure A40 : résultats de simulation de la géométrie de référence ($\alpha_{Ni} = 30$ %). (a) : densité de courant (rouge) et évolution de la température moyenne de la métallisation aluminium de la puce (bleu). (b) : champ de température dans l'assemblage à la fin du court-circuit. La couleur de l'arrière-plan renseigne sur le matériau correspondant : NiFO (vert), métallisation aluminium (gris perle), SiC (violet), brasure (gris souris).

Les Figure A40 et Figure A41 témoignent des importants gradients de températures développés au sein de la puce : jusqu'à 50 K/µm et 100 K/µs.

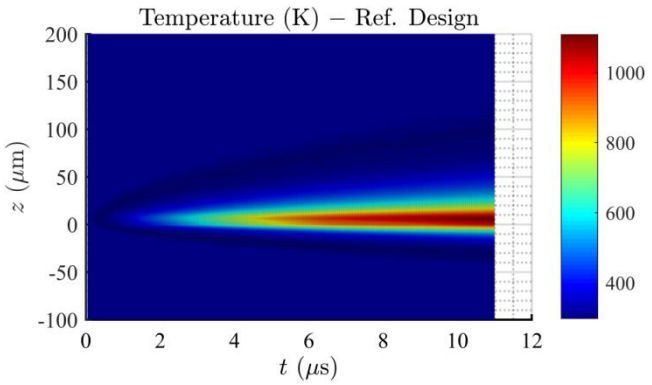
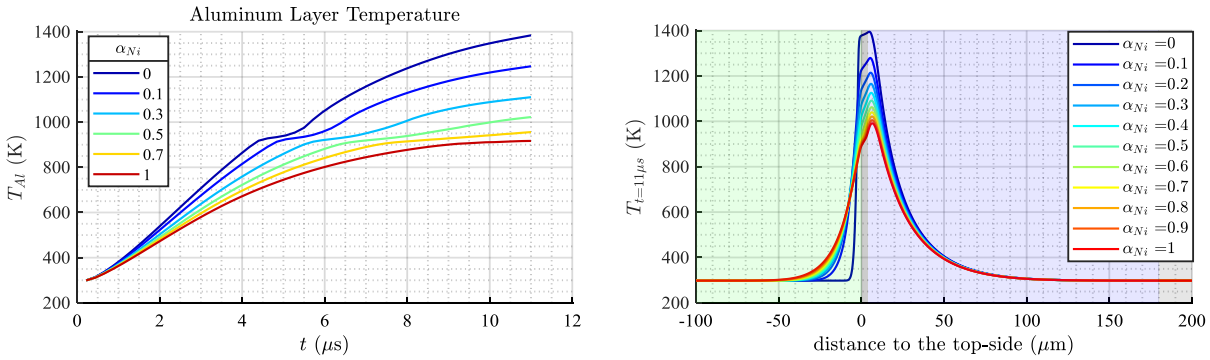


Figure A41 : résultats de simulation de la géométrie de référence : champ de température dans le plan temps-espace.

11.4.2 INFLUENCE DE LA PROPORTION DE NICKEL DANS L'ENCAPSULANT

Plusieurs simulations (Figure A42) sont menées pour diverses valeurs de α_{Ni} compris entre 0 (l'encapsulant, alors constitué de résine époxy pure, permet d'assimiler l'assemblage à un composant conventionnel, connecté par fils de bondings) et 1 (l'encapsulant est alors constitué de nickel pur). Ces résultats montrent qu'accroitre la proportion de nickel dans l'encapsulant ralentit substantiellement l'échauffement de la puce, ce qui doit se traduire par un gain en robustesse. La diffusivité limitée du milieu rend néanmoins superflu l'ajout de nickel au-delà de quelques dizaines de micromètres au-dessus de la puce.



(a) (b)

Figure A42 : influence de la proportion de nickel α_{Ni} dans l'encapsulant. (a) : évolution de la température de la métallisation aluminium pour diverses valeurs de $\alpha_{Ni} \in [0,\ 1]$. (b) : champ de température dans l'assemblage à la fin du court-circuit.

11.4.3 IMPACT DES PROPRIÉTÉS THERMIQUES DE LA RÉSINE

Diverses résines (époxy pure, chargée en billes de silice ou en fibres de verre, gels diélectriques, etc.) pouvant être utilisés comme encapsulant, l'impact des propriétés thermiques de celle-ci sur la température maximale observée dans l'assemblage est étudié. Il apparait ainsi que l'impact de la conductivité thermique (Figure A43) est relativement limité puisqu'une multiplication par 100 de celle-ci ne fait décroitre la température maximale que de 100 K, soit 10 % de l'échauffement.

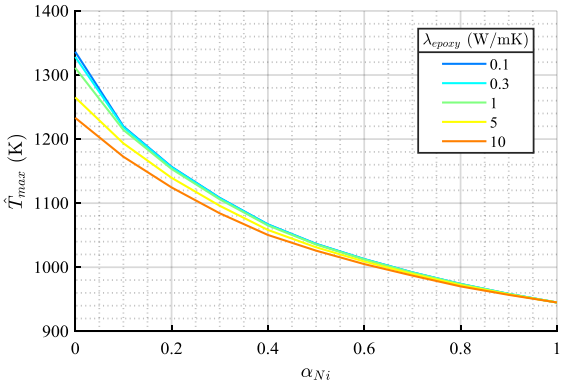


Figure A43 : impact de la conductivité thermique sur la température maximale observée dans l'assemblage en fonction de α_{Ni}. La capacité thermique massique de l'époxy est celle de la géométrie de référence (i.e. $900\ \mathrm{J \cdot kg^{-1} \cdot K^{-1}}$).

Faire varier la capacité thermique massique de l'époxy entre $600\ \mathrm{J \cdot kg^{-1} \cdot K^{-1}}$ et $1200\ \mathrm{J \cdot kg^{-1} \cdot K^{-1}}$ ne permet de ne diminuer la température maximale atteinte que de 50 K.

Ces résultats s'expliquent par les performances thermiques du SiC, qui présente une diffusivité bien plus grande que celle de l'époxy.

11.5 Influence de quelques paramètres de simulation

11.5.1 Conditions aux limites

La Figure A40-b montre que la chaleur ne diffuse que faiblement dans le SiC (arrière-plan violet) et dans l'encapsulant NiFO (vert), ce qui rend le choix des conditions aux limites peu critique dans le modèle proposé.

Appliquer des conditions aux limites de Neumann sur la face avant de la puce – et ainsi négliger l'impact de l'encapsulant – se traduirait cependant par une surestimation de la température puisque, dans la géométrie de référence (pour laquelle $\alpha_{Ni} = 0{,}3$), 18 % de l'énergie totale est stockée dans l'encapsulant.

Ces résultats montrent, de plus, qu'il est superfétatoire d'intégrer la brasure au modèle. Dans le cas de courts-circuits moins puissants et plus longs, en revanche, modéliser la semelle et l'encapsulant se révèlerait nécessaire car la chaleur se pourrait se propager jusqu'à eux [370], [374].

Dans le cas de la simulation d'un composant connecté de manière conventionnelle (et donc pour lequel $\alpha_{Ni} = 0$), 4 % de l'énergie totale est stockée dans l'encapsulant et 13 % dans l'aluminium. Ceci suggère qu'il importe d'intégrer la métallisation au modèle de simulation mais qu'une condition adiabatique en face avant peut remplacer l'encapsulant pour simplifier le modèle. Ce résultat est néanmoins à pondérer : le modèle d'encapsulant est ici celui d'une résine époxy standard, présentant des performances thermiques possiblement inférieures à celles de l'encapsulant industriel d'un composant discret.

11.5.2 Modèle de source de chaleur

[390] estime, comme la présente étude, l'épaisseur de la zone de déplétion en supposant un profil de champ électrique triangulaire et que le champ critique du 4H-SiC (i.e. ≈200 V/µm) est atteint sous une polarisation proche de la tension d'avalanche (1,2 kV). En est déduit que la zone de déplétion devrait avoir une épaisseur de 10,9 µm et une concentration de $N_d = 1{,}07 \cdot 10^{16}\mathrm{cm^{-3}}$. Cette valeur est ensuite modifiée ($\widetilde{N_d} = 5{,}7 \cdot 10^{17}\mathrm{cm^{-3}}$) de manière que les caractéristiques électriques simulées correspondent à celles spécifiés. [382] modélise quant à lui une zone de déplétion présentant une concentration de dopant de $2{,}5 \cdot 10^{15}\ \mathrm{cm^{-3}}$. Concomitamment, la profondeur (z_j) à laquelle est enterrée la zone de déplétion varie d'une publication à l'autre : 0 dans [378], [381], 0,6 µm dans [312], 0,7 µm dans [375], 1 µm dans [301], [377], environ 1,1 µm dans [370], [390], 4,5 µm dans [391], etc. Enfin, si la plupart des études suppose que le champ est de profil triangulaire, certaines (e.g. [378]) le considèrent trapézoïdal.

Ceci dénote une profonde méconnaissance de la structure exacte des puces, et ergo, de l'allure de la source de puissance.

Des simulations ont permis d'estimer l'impact du modèle de la source de chaleur sur la température simulée. La Figure A44 montre la température maximale atteinte dans l'assemblage en fonction des dimensions de la source de puissance : largeur z_n et profondeur z_j de la zone de déplétion. z_n varie entre 2,3 µm et 20 µm, correspondant à des concentrations de dopant [383] comprises entre $1{,}6 \cdot 10^{15}\mathrm{cm}^{-3}$ et $1{,}2 \cdot 10^{17}\mathrm{cm}^{-3}$. Par ailleurs : $z_j \in [0, 7]$ µm. ces résultats montrent que la température simulée dépend fortement du modèle de source de chaleur employé : sur le domaine de simulation considéré, la température maximale prend des valeurs comprises entre 760 K et 1040 K.

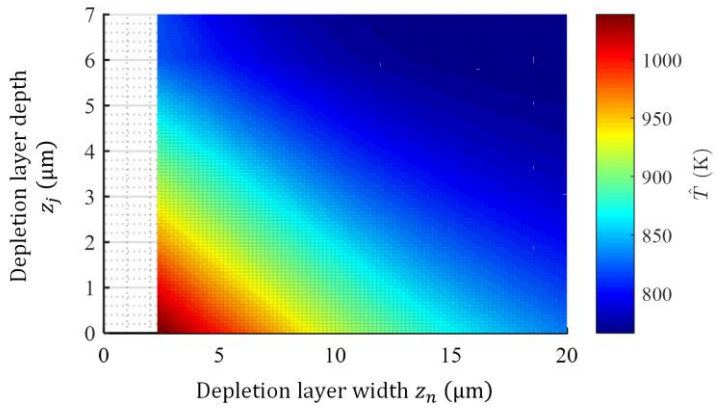


Figure A44 : température maximale au sein de la puce en fonction de l'épaisseur de la zone de déplétion (z_n) et de sa position sous la couche d'aluminium (z_j).

Bien que ce point n'ait pas été traité, il est attendu que le choix de l'allure du champ (i.e. triangulaire ou trapézoïdal) ait un impact notable sur les résultats de simulation.

11.5.3 PRISE EN COMPTE DE LA DÉPENDANCE THERMIQUE DES MATÉRIAUX

L'importance de la prise en compte de la dépendance en température des caractéristiques physiques (λ, c_p) des matériaux a déjà été démontrée, par exemple par [392] pour un module IGBT silicium. Des conclusions similaires peuvent être déduites des simulations menées ici puisque l'écart entre les températures maximales simulées est de 175 K (Figure A45). Ceci s'explique par la décroissance de la conductivité thermique du SiC, qui n'est que partiellement compensée par une augmentation de sa capacité thermique (Figure A46).

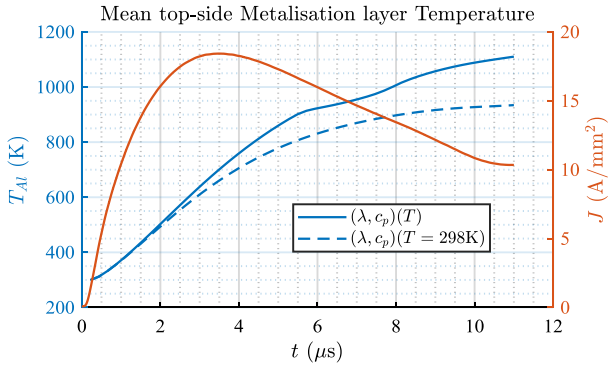


Figure A45 : comparaison de la température de la couche d'aluminium en négligeant (ligne pointillée bleue) et en prenant en compte (ligne continue bleue) la dépendance de (λ, c_p) avec la température.

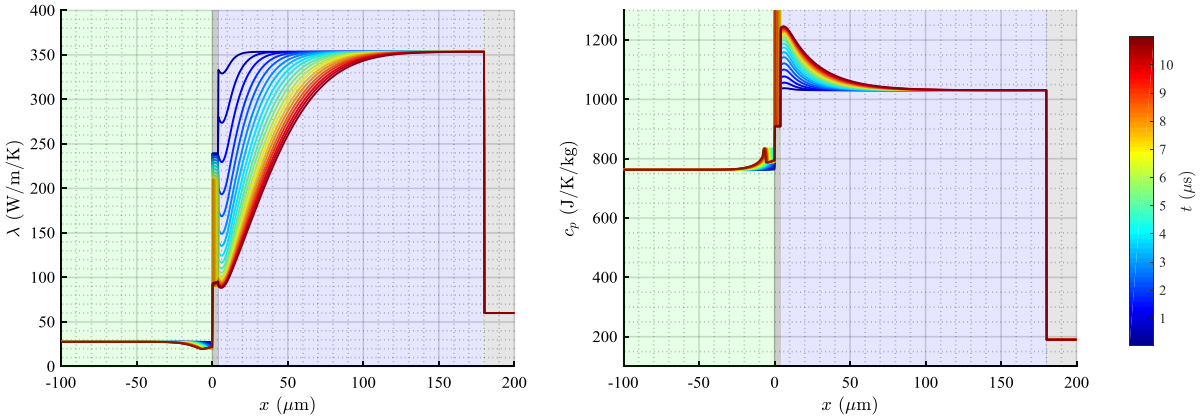


Figure A46 : profil de conductivité (a) et de capacité thermique massique (b) dans l'assemblage, à divers instants du court-circuit : depuis le début ($t \approx 0$, courbe bleue) jusqu'à la destruction ($t = 11$ µs, rouge).

Les résultats de la section précédente suggèrent par ailleurs que l'évolution de la structure de la source de puissance avec la température, négligée dans cette étude, devrait avoir un impact notable sur le champ de température simulé.

11.6 Discussion

Les simulations 1D moyennent la température de l'assemblage sur ses surfaces transversales de manière à fortement simplifier le problème. Par exemple, les déséquilibres de courant entre cellules, phénomène pouvant entrainer la création de points chauds réduisant la robustesse des composants [393], ne peuvent être décrits par de tels modèles. Par ailleurs, la nature intrinsèquement tridimensionnelle du contact en mousse pressée est fortement simplifiée : les contacts localisés sur la surface de la puce, les chemins à faible impédance se propageant dans la résine, etc. ne sont pas modélisés. Cette simplification engendre une erreur possiblement importante – et qui reste à être quantifiée.

L'influence du dopage sur les propriétés thermiques du SiC sont négligées dans cette étude. La décroissance de la conductivité avec la concentration en élément dopant [394] pourrait cependant aboutir à un accroissement significatif de la température du semi-conducteur. L'obtention de modèles détaillés pourrait néanmoins se révéler relativement ardue, les caractéristiques thermiques du SiC intrinsèque faisant elle-même encore l'objet de recherches [391].

L'écriture de l'équation de la chaleur implique que le système soit à l'équilibre thermodynamique local. Cette condition pourrait cependant ne pas être valide ici, étant donnés les forts gradients de température en jeu. Cela tendrait donc à invalider l'équation de la chaleur telle qu'écrite en (A47) [395]. Une étude plus approfondie de la question serait souhaitable.

11.7 Conclusion

Un modèle thermique unidimensionnel de MOSFET SiC, de son encapsulant, et de sa brasure, a été présenté. Sa résolution numérique, implémentée dans Matlab, a permis de montrer l'impact positif apporté par l'ajout d'une certaine proportion de nickel dans l'encapsulant. L'influence de paramètres de simulation a ensuite été étudiée de manière à valider certaines hypothèses communément rencontrées dans la littérature. Les simulations ont montré qu'appliquer des conditions de Neumann sur la face avant de la puce se traduit par une légère surestimation du champ de température. Il est également apparu que prendre en compte la dépendance en température des propriétés thermiques des matériaux – et en particulier du SiC – est d'une grande importance. Enfin, l'étude a montré le très fort impact de la modélisation de la source de puissance sur le champ de température simulé, même si l'obtention de paramètres pertinents relève de la gageure.

BIBLIOGRAPHIE

[1] Y. E. Zhang and S. R. Sanders, 'Design, manufacture and application of in-board magnetic devices', in *The 4th International Power Electronics and Motion Control Conference, 2004. IPEMC 2004.*, 2004, vol. 3, pp. 1791-1798 Vol.3.

[2] Z. Ouyang and M. A. E. Andersen, 'Overview of Planar Magnetic Technology—Fundamental Properties', *IEEE Trans. Power Electron.*, vol. 29, no. 9, pp. 4888–4900, Sep. 2014.

[3] J.-C. Bavay and J. Verdun, 'Alliages fer-silicium'. Techniques de l'Ingénieur, 10-Dec-1991.

[4] T. Kauder and K. Hameyer, 'Performance Factor Comparison of Nanocrystalline, Amorphous, and Crystalline Soft Magnetic Materials for Medium-Frequency Applications', *IEEE Trans. Magn.*, vol. 53, no. 11, pp. 1–4, Nov. 2017.

[5] G. Herzer, 'Modern soft magnets: Amorphous and nanocrystalline materials', *Acta Mater.*, vol. 61, no. 3, pp. 718–734, Feb. 2013.

[6] J. Degauque, 'Matériaux magnétiques amorphes, micro et nanocristallins'. Techniques de l'Ingénieur, 10-May-1997.

[7] R. Lebourgeois, 'Ferrites faibles pertes pour applications fréquentielles'. Techniques de l'Ingénieur, 10-Feb-2014.

[8] F. Beauclair, J.-P. Delvinquier, and J.-P. Gros, 'Transformateurs et inductances'. Techniques de l'Ingénieur, 10-Feb-1998.

[9] R. Caillaud *et al.*, 'Design, manufacturing and characterization of printed circuit board embedded inductors for power applications', in *2018 IEEE International Conference on Industrial Technology (ICIT)*, 2018, pp. 694–699.

[10] E. C. Snelling, *Soft Ferrites, Properties and Application*. 2nd Ed.

[11] R. Lebourgeois, 'Ferrite doux pour l'électronique de puissance', *Tech. Ing.*, vol. N3260, 2005.

[12] E. Waffenschmidt, B. Ackermann, and J. A. Ferreira, 'Design method and material technologies for passives in printed circuit Board Embedded circuits', *IEEE Trans. Power Electron.*, vol. 20, no. 3, pp. 576–584, May 2005.

[13] W. Zhang, Y. Su, M. Mu, D. J. Gilham, Q. Li, and F. C. Lee, 'High-Density Integration of High-Frequency High-Current Point-of-Load (POL) Modules With Planar Inductors', *IEEE Trans. Power Electron.*, vol. 30, no. 3, pp. 1421–1431, Mar. 2015.

[14] Y. Dou, Z. Ouyang, P. Thummala, and M. A. E. Andersen, 'PCB embedded inductor for high-frequency ZVS SEPIC converter', in *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2018, pp. 98–104.

[15] H. Birol, 'Fabrication of low temperature co-fired ceramic (LTCC)-based sensor and micro-fluidic structures', PhD dissertation, EPFL, Lausanne, 2007.

[16] M. Mu, Y. Su, Q. Li, and F. C. Lee, 'Magnetic characterization of low temperature co-fired ceramic (LTCC) ferrite materials for high frequency power converters', in *2011 IEEE Energy Conversion Congress and Exposition*, 2011, pp. 2133–2138.

[17] M. H. Lim, J. D. van Wyk, F. C. Lee, and K. D. T. Ngo, 'A Class of Ceramic-Based Chip Inductors for Hybrid Integration in Power Supplies', *IEEE Trans. Power Electron.*, vol. 23, no. 3, pp. 1556–1564, May 2008.

[18] M. Ali, E. Labouré, F. Costa, and B. Revol, 'Design of a Hybrid Integrated EMC Filter for a DC–DC Power Converter', *IEEE Trans. Power Electron.*, vol. 27, no. 11, pp. 4380–4390, Nov. 2012.

[19] 'IEC 62333-2, Part 2: Noise suppression sheet for digital devices and equipment - Part 2: Measuring methods.' 2015.

[20] A. Suarez, J. Victoria, A. Alcarria, and J. Torres, 'Characterization of electromagnetic noise suppression sheet for aerospace applications', in *2016 ESA Workshop on Aerospace EMC (Aerospace EMC)*, 2016, pp. 1–6.

[21] M. I. Rosales, H. Montiel, and R. Valenzuela, 'Magnetic Permeability and Relaxation Frequency in High Frequency Magnetic Materials.', *MRS Proc.*, vol. 674, Jan. 2001.

[22] J. Kundrata and A. Baric, 'Application of ferrite layers in low-profile OLED drivers', *IET Power Electron.*, vol. 11, no. 1, pp. 92–99, 2018.

[23] S. C. Tang, S. Y. R. Hui, and H. S.- Chung, 'A low-profile power converter using printed-circuit board (PCB) power transformer with ferrite polymer composite', *IEEE Trans. Power Electron.*, vol. 16, no. 4, pp. 493–498, Jul. 2001.

[24] J. Biela, A. Wirthmueller, R. Waespe, M. L. Heldwein, K. Raggl, and J. W. Kolar, 'Passive and Active Hybrid Integrated EMI Filters', *IEEE Trans. Power Electron.*, vol. 24, no. 5, pp. 1340–1349, May 2009.

[25] G. Herault, D. Labrousse, A. Mercier, and S. Lefebvre, 'PCB Integration of a Magnetic Component dedicated to a Power Factor Corrector Converter', Nuremberg, Germany, 2016.

[26] D. H. Bang and J. Y. Park, 'Ni-Zn Ferrite Screen Printed Power Inductors for Compact DC-DC Power Converter Applications', *IEEE Trans. Magn.*, vol. 45, no. 6, pp. 2762–2765, Jun. 2009.

[27] N. Degrenne, G. Lefevre, and S. Mollov, 'A 2W, 5MHz, PCB-integration compatible 2.64cm3 regulated and isolated power supply for gate driver', Karlsruhe, Germany, 2016.

[28] F. C. Lee, 'Integrated Point-of-Load Converters', presented at the Power Tech. Workshop, ARPA-E, 2010.

[29] R. Caillaud *et al.*, 'High power PCB-embedded inductors based on ferrite powder', in *5th Micro/Nano-Electronics Packaging & Assembly, Design and Manufacturing Forum (MiNaPAD 2017*, Grenoble, France, 2017.

[30] C. Marxgut, J. Mühlethaler, F. Krismer, and J. W. Kolar, 'Multiobjective optimization of ultraflat magnetic components with pcb-integrated core', *IEEE Trans Power Electron*, vol. 28, 2013.

[31] A. Olivei, 'Optimized Miniature Thin-Film Planar Inductors, Compatible with Integrated Circuits',

IEEE Trans. Parts Mater. Packag., vol. 5, no. 2, pp. 71–88, Jun. 1969.

[32] S. C. O. Mathuna *et al.*, 'Packaging and integration technologies for future high-frequency power supplies', *IEEE Trans. Ind. Electron.*, vol. 51, no. 6, pp. 1305–1312, Dec. 2004.

[33] C. Marxgut, J. Biela, and J. W. Kolar, 'Design of a Multi-Cell, DCM PFC Rectifier for a 1mm thick, 200W Off-line Power Supply – The Power Sheet', in *Integrated Power Electronics Systems (CIPS), 2010 6th International Conference on*, 2010.

[34] A. Estrov, '1-MHz resonant converter power transformer is small, efficient, economical.', *Power Conv. Intell. Motion*, Aug-1986.

[35] J. S. N. T. Magambo *et al.*, 'Planar Magnetic Components in More Electric Aircraft: Review of Technology and Key Parameters for DC–DC Power Electronic Converter', *IEEE Trans. Transp. Electrification*, vol. 3, no. 4, pp. 831–842, Dec. 2017.

[36] Payton Planar, 'Planar transformers, products catalogue'. 2015.

[37] W. G. Hurley and W. H. Wölfle, *Transformers and Inductors for Power Electronics: Theory, Design and Applications*. John Wiley & Sons, 2013.

[38] Ferroxcube, 'Design of planar power transformers', *App Note*, p. 16, 1997.

[39] L. Heinzle, 'Planar Transformer Measurement Using the Bode100', *Omicron Lab App Note*, p. 17, 2008.

[40] Vijaya Kumar N, S. Satpathy, and Lakshminarasamma N, 'Analysis and design methodology for Planar Transformer with low self-capacitance used in high voltage flyback charging circuit', in *2016 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES)*, 2016, pp. 1–5.

[41] J. Lu and F. Dawson, 'Characterizations of High Frequency Planar Transformer With a Novel Comb-Shaped Shield', *IEEE Trans. Magn.*, vol. 47, no. 10, pp. 4493–4496, Oct. 2011.

[42] M. A. Saket, M. Ordonez, M. Craciun, and C. Botting, 'Common-Mode Noise Elimination in Planar Transformers for LLC Resonant Converters', in *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2018, pp. 6607–6612.

[43] M. A. Saket, M. Ordonez, and N. Shafiei, 'Planar Transformers With Near-Zero Common-Mode Noise for Flyback and Forward Converters', *IEEE Trans. Power Electron.*, vol. 33, no. 2, pp. 1554–1571, Feb. 2018.

[44] E. Lee and R. G. Mora, 'PCB Layout Design Guide for Analog Applications', *NXP App Note*, p. 17, 2010.

[45] E. C. W. de Jong, E. C. W. de Jong, B. J. A. Ferreira, and P. Bauer, 'Toward the Next Level of PCB Usage in Power Electronic Converters', *IEEE Trans. Power Electron.*, vol. 23, no. 6, pp. 3151–3163, Nov. 2008.

[46] W. A. Roshen, 'Effect of finite thickness of magnetic substrate on planar inductors', *IEEE Trans. Magn.*, vol. 26, no. 1, pp. 270–275, Jan. 1990.

[47] W. A. Roshen, 'Analysis of planar sandwich inductors by current images', *IEEE Trans. Magn.*, vol. 26, no. 5, pp. 2880–2887, Sep. 1990.

[48] J. D. Jackson, *classical electrodynamics*, 2nd ed. New York: John Wiley & Sons.

[49] W. A. Roshen and D. E. Turcotte, 'Planar inductors on magnetic substrates', *IEEE Trans. Magn.*, vol. 24, no. 6, pp. 3213–3216, Nov. 1988.

[50] W. G. Hurley and M. C. Duffy, 'Calculation of self and mutual impedances in planar magnetic structures', *IEEE Trans. Magn.*, vol. 31, no. 4, pp. 2416–2422, Jul. 1995.

[51] W. G. Hurley and M. C. Duffy, 'Calculation of self- and mutual impedances in planar sandwich inductors', *IEEE Trans. Magn.*, vol. 33, no. 3, pp. 2282–2290, May 1997.

[52] E. Waffenschmidt, B. Ackermann, and M. Wille, 'Integrated Ultra Thin Flexible Inductors for Low Power Converters', in *2005 IEEE 36th Power Electronics Specialists Conference*, 2005, pp. 1528–1534.

[53] Z. Ouyang, M. Acanski, J. Popovic, J. A. Ferreira, O. C. Thomsen, and M. A. E. Andersen, 'Design Considerations of Very Low Profile Coupled Inductors for Flexible Photovoltaic Module', in *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, 2012, pp. 1–8.

[54] S. C. Tang, S. Y. Hui, and H. S.- Chung, 'Evaluation of the shielding effects on printed-circuit-board transformers using ferrite plates and copper sheets', *IEEE Trans. Power Electron.*, vol. 17, no. 6, pp. 1080–1088, Nov. 2002.

[55] M. Ludwig, M. Duffy, T. O'Donnell, P. McCloskey, and S. C. O. Mathuna, 'PCB integrated inductors for low power DC/DC converter', *IEEE Trans. Power Electron.*, vol. 18, no. 4, pp. 937–945, Jul. 2003.

[56] M. Duffy, S. O'Reilly, T. O'Donnell, P. Friesen, P. McCloskey, and S. C. O. Mathuna, 'MCM-L integrated transformers for low power applications', in *2000 IEEE 31st Annual Power Electronics Specialists Conference. Conference Proceedings (Cat. No.00CH37018)*, 2000, vol. 1, pp. 302–307 vol.1.

[57] Y. E. Zhang and S. R. Sanders, 'In-board magnetics processes', in *30th Annual IEEE Power Electronics Specialists Conference. Record. (Cat. No.99CH36321)*, 1999, vol. 1, pp. 561–567 vol.1.

[58] B. Sun, R. Burgos, and D. Boroyevich, '2 W Gate drive power supply design with PCB-embedded transformer substrate', in *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2017, pp. 197–204.

[59] G. Weis and I. Salkovic, 'Calculation, simulation and production of PCB integrated inductors with focus on fringing effect', in *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2019.

[60] M. Zehendner and M. Ulmann, 'Power Topologies Handbook, user guide SLYU036'. Texas Instrument, 2016.

[61] J. Knowles, 'The origin of the increase in magnetic loss induced by machining ferrites', *IEEE Trans. Magn.*, vol. 11, no. 1, pp. 44–50, Jan. 1975.

[62] Q. Chen, Z. Gong, X. Yang, Z. Wang, and L. Zhang, 'Design Considerations for Passive Substrate with Ferrite Materials Embedded in Printed Circuit Board (PCB)', in *2007 IEEE Power*

Electronics Specialists Conference, 2007, pp. 1043–1047.

[63] R. Caillaud *et al.*, 'Comparison of planar and Toroidal PCB integrated inductors for a multi-cellular 3.3 kW PFC', in *2017 IEEE International Workshop On Integrated Power Packaging (IWIPP)*, 2017, pp. 1–5.

[64] W. A. Roshen, C. S. Korman, and W. Daum, 'High density interconnect embedded magnetics for integrated power', *IEEE Trans. Power Electron.*, vol. 21, no. 4, pp. 867–879, Jul. 2006.

[65] W. A. Roshen, 'Multi-turn z-foldable secondary winding for a low-profile, conductive film transformer', US5381124A, 10-Jan-1995.

[66] J. Wang, X. Yang, H. Niu, Z. Wang, and J. Liu, 'PCB integrated transformer composed with ferrite mosaics for LLC resonant converter', in *2009 IEEE Energy Conversion Congress and Exposition*, 2009, pp. 1032–1038.

[67] J. Qiu and C. R. Sullivan, 'Design and fabrication of VHF tapped power inductors using nanogranular magnetic films', *Trans Power Electron*, vol. 27, 2012.

[68] S. Djuric, G. Stojanovic, M. Damnjanovic, M. Radovanovic, and E. Laboure, 'Design, Modeling, and Analysis of a Compact Planar Transformer', *IEEE Trans. Magn.*, vol. 48, no. 11, pp. 4135–4138, Nov. 2012.

[69] N. Lecic, G. Stojanovic, S. Djuric, and E. Laboure, 'Design and Analysis of Planar Symmetric Six-Phase Coupled Inductors', *IEEE Trans. Magn.*, vol. 51, no. 6, pp. 1–8, Jun. 2015.

[70] R. Perrin *et al.*, '2 MHz high-density integrated power supply for gate driver in high-temperature applications', in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2016, pp. 524–528.

[71] I. Lope, J. Acero, J. M. Burdío, C. Carretero, and R. Alonso, 'Design and Implementation of PCB Inductors With Litz-Wire Structure for Conventional-Size Large-Signal Domestic Induction Heating Applications', *IEEE Trans. Ind. Appl.*, vol. 51, no. 3, pp. 2434–2442, May 2015.

[72] Rengang Chen, J. D. van Wyk, S. Wang, and W. G. Odendaal, 'Planar electromagnetic integration technologies for integrated EMI filters', in *38th IAS Annual Meeting on Conference Record of the Industry Applications Conference, 2003.*, 2003, vol. 3, pp. 1582–1588 vol.3.

[73] M. Ali, E. Labouré, and F. Costa, 'Integrated Active Filter for Differential-Mode Noise Suppression', *IEEE Trans. Power Electron.*, vol. 29, no. 3, pp. 1053–1057, Mar. 2014.

[74] Rengang Chen, J. D. van Wyk, Shuo Wang, and W. G. Odendaal, 'Improving the Characteristics of integrated EMI filters by embedded conductive Layers', *IEEE Trans. Power Electron.*, vol. 20, no. 3, pp. 611–619, May 2005.

[75] C. K. Lee, Y. P. Su, and S. Y. R. Hui, 'Printed Spiral Winding Inductor With Wide Frequency Bandwidth', *IEEE Trans. Power Electron.*, vol. 26, no. 10, pp. 2936–2945, Oct. 2011.

[76] E. C. W. de Jong, J. A. Ferreira, and P. Bauer, 'Integrated flex winding realization for 3D PCB converters', in *2006 37th IEEE Power Electronics Specialists Conference*, 2006, pp. 1–7.

[77] J. T. Strydom, 'Electromagnetic design of integrated resonator-transformers', Rand Afrikaans University, Place of publication not identified, 2001.

[78] C. Ó. Mathúna, N. Wang, S. Kulkarni, and S. Roy, 'Review of Integrated Magnetics for Power Supply on Chip (PwrSoC)', *IEEE Trans. Power Electron.*, vol. 27, no. 11, pp. 4799–4816, Nov. 2012.

[79] D. Meeker, 'Finite Element Method Magnetics: HomePage'. [Online]. Available: http://www.femm.info/.

[80] D. C. Meeker, 'Improvised Open Boundary Conditions for Magnetic Finite Elements', *IEEE Trans. Magn.*, vol. 49, no. 10, pp. 5243–5247, Oct. 2013.

[81] J. W. Dini and D. D. Snyder, *Modern Electroplating, chap 2: Electrodeposition of Copper*, 5th ed. John Wiley & Sons, Inc, 2010.

[82] L. B. Valdes, 'Resistivity measurements on germanium for transistors', presented at the I.R.E., 1954, vol. 42, pp. 420–427.

[83] TDK, 'Magnetic Sheets for RFID - Flexield IFL/IBF series, Datasheet'. Jun-2016.

[84] 'Materials Measurement: Magnetic Materials'. Keysight, 2014.

[85] D.-X. Chen, E. Pardo, and A.Sanchez, 'Demagnetizing factor for rectangular prisms', *Trans Magn*, vol. 41, pp. 2077–2088, 2005.

[86] *Impedance measurement handbook, 6th ed.* 2016.

[87] 'LMG5200 Datasheet'. Texas Instrument, Oct-2018.

[88] R. Reiner, P. Waltereit, B. Weiss, R. Quay, and O. Ambacher, 'Investigation of GaN-HEMTs in Reverse Conduction', in *PCIM Europe 2017; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2017, pp. 1–8.

[89] O. Trescases and Y. Wen, 'A survey of light-load efficiency improvement techniques for low-power dc-dc converters', 2011.

[90] 'Buck Converter Design', 2013.

[91] S. Ji, D. Reusch, and F. C. Lee, 'High-Frequency High Power Density 3-D Integrated Gallium-Nitride-Based Point of Load Module Design', *IEEE Trans. Power Electron.*, vol. 28, no. 9, pp. 4216–4226, Sep. 2013.

[92] E. Durand, *Electrostatique et Magnétostatique*. Paris: Masson & Cie, 1953.

[93] L. Rade and B. Westergren, *Mathematics Handbook for Science and Engineering*, 5th ed. Berlin Heidelberg: Springer-Verlag, 2004.

[94] J. H. Poynting, 'On the Transfer of Energy in the Electromagnetic Field', *Philos. Trans. R. Soc. Lond. Ser. I*, vol. 175, pp. 343–361, 1884.

[95] K. Venkatachalam, C. R. Sullivan, T. Abdallah, and H. Tacca, 'Accurate prediction of ferrite core loss with nonsinusoidal waveforms using only Steinmetz parameters', in *2002 IEEE Workshop on Computers in Power Electronics, 2002. Proceedings.*, 2002, pp. 36–41.

[96] C. P. Steinmetz, 'On the law of hysteresis', *Proc. IEEE*, vol. 72, no. 2, pp. 197–221, Feb. 1984.

[97] C. Snow, *Circular of the Bureau of Standards no. 544: formulas for computing capacitance and inductance*. National Bureau of Standards, 1954.

[98] A. Roesler, J. Schare, and C. Hettler, 'Integrated power electronics using a ferrite-based low-

temperature co-fired ceramic materials system', in *2010 Proceedings 60th Electronic Components and Technology Conference (ECTC)*, 2010, pp. 720–726.

[99] J. T. Strydom and J. D. van Wyk, 'Design of planar integrated passive module for zero-voltage-switched asymmetrical half-bridge PWM converter', *IEEE Trans. Ind. Appl.*, vol. 39, no. 6, pp. 1648–1655, Nov. 2003.

[100] 'LC013D–Gen.1, High Voltage LED Series Chip on Board datasheet'. Samsung, Rev 2.4, Jan-2018.

[101] R. Erikson, 'Principles of Resonant Power Conversion, notes de cours'. Univ. Colorado.

[102] J. Williams, 'AN25 - Switching Regulators for Poets, A Gentle Guide for the Trepidatious'. Linear Technology, Sep-1987.

[103] 'GS66508T-EVBHB 650V GaN E-HEMT Half Bridge Evaluation Board User's Guide'. GaN System, 2015.

[104] 'MTE1S0506MC datasheet, Isolated 1W Single Output SM DC-DC Converters'. Murata, 2018.

[105] R. W. Erickson and D. Maksimović, *Fundamentals of power electronics*. 2001.

[106] 'How is bandwidth related to rise time for oscilloscopes?' FAQ52766 Tektronix.

[107] 'ABCs of Probes'. Tektronix, 2013.

[108] R. Fisher, R. Fillion, J. Burgess, and W. Hennessy, 'High frequency, low cost, power packaging using thin film power overlay technology', in *Proceedings of 1995 IEEE Applied Power Electronics Conference and Exposition - APEC'95*, 1995, vol. 1, pp. 12–17 vol.1.

[109] T. Stockmeier, P. Beckedahl, C. Göbl, and T. Malzer, 'SKiN: Double side sintering technology for new packages', in *2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs*, 2011, pp. 324–327.

[110] L. Boettcher, S. Karaszkiewicz, D. Manessis, and A. Ostmann, 'Development of embedded power electronics modules', *Electron. Syst.-Integr. Technol. Conf.*, 2012.

[111] Q. H. Luan, V. Bley, T. Lebey, B. Schlegel, and L. Ménager, 'Nano Copper Wires Interconnection for Three – Dimensional Integration in Power Electronics', *IEEE Power Electron. Spec. Conf.*, 2008.

[112] C. Buttay, B. Allard, and R. Iriva, 'Silver sintering for power electronics integration', *Int Conf Electron. Packag. IMAPS*, 2015.

[113] J.-L. Marchesini, P.-O. Jeannin, Y. Avenas, J. Delaine, C. Buttay, and R. Riva, 'Implementation and switching behavior of a PCB-DBC IGBT module based on the Power Chip-on-Chip 3-D concept', *Trans Indus App*, vol. 53, pp. 362–370, Jan. 2017.

[114] N. Zhu, H. A. Mantooth, D. Xu, M. Chen, and M. D. Glover, 'A Solution to Press-Pack Packaging of SiC MOSFETS', *IEEE Trans. Ind. Electron.*, vol. 64, no. 10, pp. 8224–8234, Oct. 2017.

[115] A. E. Risseh, H. Nee, and K. Kostov, 'Electrical performance of directly attached SiC power MOSFET bare dies in a half-bridge configuration', in *2017 IEEE 3rd International Future Energy Electronics Conference and ECCE Asia (IFEEC 2017 - ECCE Asia)*, 2017, pp. 417–421.

[116] O. Alatise, N. Parker-Allotey, D. Hamilton, and P. Mawby, 'The Impact of Parasitic Inductance on the Performance of Silicon–Carbide Schottky Barrier Diodes', *IEEE Trans. Power Electron.*, vol. 27, no. 8, pp. 3826–3833, Aug. 2012.

[117] Airbus France, Eurocopter, Nexter Electronics, MBDA France, and Thales, *FIDES Guide 2009, Reliability Methodology for Electronic Systems*. 2010.

[118] 'Capacitor Life Calculators', *Illinois Capacitor*, 2019. [Online]. Available: https://www.illinoiscapacitor.com/tech-center/life-calculators.aspx. [Accessed: 07-Jun-2019].

[119] R. Tse, M. Cannon, and J. Coe, 'ESR Performance with Temperature'. TDK Inc. FAQ.

[120] P. González-Vizuete, F. Fico, A. Fernández-Prieto, M. J. Freire, and J. B. Mendez, 'Calculation of Parasitic Self- and Mutual-Inductances of Thin-Film Capacitors for Power Line Filters', *IEEE Trans. Power Electron.*, vol. 34, no. 1, pp. 236–246, Jan. 2019.

[121] T. Liu, R. Ning, T. T. Y. Wong, and Z. J. Shen, 'Modeling and Analysis of SiC MOSFET Switching Oscillations', *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 4, no. 3, pp. 747–756, Sep. 2016.

[122] T. Li, J. Wang, and H. S. Chung, 'Effect of parasitic elements in a power converter on the switching performance of a MOSFET-snubber-diode configuration', in *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, Fort Worth, TX, USA, 2011, pp. 364–371.

[123] J. Wang, H. S. Chung, and R. T. Li, 'Characterization and Experimental Assessment of the Effects of Parasitic Elements on the MOSFET Switching Performance', *IEEE Trans. Power Electron.*, vol. 28, no. 1, pp. 573–590, Jan. 2013.

[124] C. R. Paul, 'Effectiveness of multiple decoupling capacitors', *IEEE Trans. Electromagn. Compat.*, vol. 34, no. 2, pp. 130–133, May 1992.

[125] W. Teulings, J. L. Schanen, and J. Roudet, 'MOSFET switching behaviour under influence of PCB stray inductance', in *IAS '96. Conference Record of the 1996 IEEE Industry Applications Conference Thirty-First IAS Annual Meeting*, 1996, vol. 3, pp. 1449–1453 vol.3.

[126] L. Li, P. Ning, Z. Duan, D. Zhang, and X. Wen, 'A study on the effect of DC-link decoupling capacitors', in *2017 IEEE Transportation Electrification Conference and Expo, Asia-Pacific (ITEC Asia-Pacific)*, Harbin, China, 2017, pp. 1–5.

[127] Q. Liu, S. Wang, A. C. Baisden, F. Wang, and D. Boroyevich, 'EMI Suppression in Voltage Source Converters by Utilizing dc-link Decoupling Capacitors', *IEEE Trans. Power Electron.*, vol. 22, no. 4, pp. 1417–1428, Jul. 2007.

[128] Z. Chen and I. Amaro, 'Optimizing low side gate resistance for damping phase node ringing of synchronous buck converter', in *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2012, pp. 1827–1832.

[129] Z. Chen, D. Boroyevich, P. Mattavelli, and K. Ngo, 'A frequency-domain study on the effect of DC-link decoupling capacitors', in *2013 IEEE Energy Conversion Congress and Exposition*, Denver, CO, USA, 2013, pp. 1886–1893.

[130] S. Li, L. M. Tolbert, F. Wang, and F. Z. Peng, 'Reduction of stray inductance in power electronic

modules using basic switching cells', in *2010 IEEE Energy Conversion Congress and Exposition*, 2010, pp. 2686–2691.

[131] De Oliveira Thomas, M. Sylvain, G. Jean-Michel, J. Schanen, and A. Perregaux, 'Reduction of conducted EMC using busbar stray elements', in *2009 Twenty-Fourth Annual IEEE Applied Power Electronics Conference and Exposition*, 2009, pp. 2028–2033.

[132] W. Zhang, Z. Zhang, F. Wang, D. Costinett, L. M. Tolbert, and B. J. Blalock, 'Characterization and Modeling of a SiC MOSFET's Turn-On Overvoltage', in *2018 IEEE Energy Conversion Congress and Exposition (ECCE)*, Portland, OR, 2018, pp. 7003–7009.

[133] W. Zhang, Z. Y. Zhang, F. Wang, L. M. Tolbert, D. Costinett, and B. Blalock, 'Characterization and Modeling of a SiC MOSFET's Turn-Off Overvoltage', *Mater. Sci. Forum*, vol. 924, pp. 827–831, Jun. 2018.

[134] B. T. DeBoi and A. N. Lemmon, 'Bus snubber optimization for multi-chip power modules using spice simulations', presented at the International Workshop on Integrated Power Packaging, Toulouse, Fr., 2019.

[135] M. Meisser, M. Schmenger, and T. Blank, 'Parasitics in Power Electronic Modules: How parasitic inductance influences switching and how it can be minimized', in *Proceedings of PCIM Europe 2015; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2015, pp. 1–8.

[136] Y. Ren *et al.*, 'Voltage Suppression in Wire-Bond-Based Multichip Phase-Leg SiC MOSFET Module Using Adjacent Decoupling Concept', *IEEE Trans. Ind. Electron.*, vol. 64, no. 10, pp. 8235–8246, Oct. 2017.

[137] C. Chen, Y. Chen, Y. Li, Z. Huang, T. Liu, and Y. Kang, 'An SiC-Based Half-Bridge Module With an Improved Hybrid Packaging Method for High Power Density Applications', *IEEE Trans. Ind. Electron.*, vol. 64, no. 11, pp. 8980–8991, Nov. 2017.

[138] S. Matlok *et al.*, 'Retrofitting Wide Band Gap Devices to Classic Power Modules using Silicon RC Snubbers', in *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2019.

[139] W. B. Kuhn and A. D. Fund, 'Power supply bypass capacitors—Myths and realities', in *2015 IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, 2015, pp. 405–408.

[140] L. Xing and J. Sun, 'Optimal Damping of Multistage EMI Filters', *IEEE Trans. Power Electron.*, vol. 27, no. 3, pp. 1220–1227, Mar. 2012.

[141] R. W. Erickson, 'Optimal single resistors damping of input filters', in *APEC '99. Fourteenth Annual Applied Power Electronics Conference and Exposition. 1999 Conference Proceedings (Cat. No.99CH36285)*, 1999, vol. 2, pp. 1073–1079 vol.2.

[142] Z. Chen, D. Boroyevich, and R. Burgos, 'Experimental parametric study of the parasitic inductance influence on MOSFET switching characteristics', in *The 2010 International Power Electronics Conference - ECCE ASIA -*, 2010, pp. 164–169.

[143] D. Reusch and J. Strydom, 'Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter', *IEEE Trans. Power Electron.*, vol. 29, no. 4, pp. 2008–2015, Apr. 2014.

[144] Z. Zhang, F. Wang, L. M. Tolbert, B. J. Blalock, and D. Costinett, 'Understanding the limitations and impact factors of wide bandgap devices' high switching-speed capability in a voltage source converter', in *2014 IEEE Workshop on Wide Bandgap Power Devices and Applications*, Knoxville, TN, USA, 2014, pp. 7–12.

[145] J. Williams and D. Beebe, 'Diode Turn-On Time Induced Failures in Switching Regulators'. Linear Tech., Jan-2009.

[146] A. Lemmon, R. Graves, and J. Gafford, 'Evaluation of 1.2 kV, 100A SiC modules for high-frequency, high-temperature applications', in *2015 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2015, pp. 789–793.

[147] L. Qiao *et al.*, 'Performance of a 1.2kV, 288A full-SiC MOSFET module based on low inductance packaging layout', in *2017 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2017, pp. 3038–3042.

[148] L. Yang *et al.*, 'Electrical Performance and Reliability Characterization of a SiC MOSFET Power Module With Embedded Decoupling Capacitors', *IEEE Trans. Power Electron.*, vol. 33, no. 12, pp. 10594–10601, Dec. 2018.

[149] T. Ibuchi *et al.*, 'A study on packaging design of SiC power module using near-field magnetic scanning techniques', in *2017 IEEE International Workshop On Integrated Power Packaging (IWIPP)*, 2017, pp. 1–4.

[150] Z. Chen *et al.*, 'Development of a 1200 V, 120 A SiC MOSFET module for high-temperature and high-frequency applications', in *The 1st IEEE Workshop on Wide Bandgap Power Devices and Applications*, 2013, pp. 52–59.

[151] J. Kim, D. Shin, and S. Sul, 'A Damping Scheme for Switching Ringing of Full SiC MOSFET by Air Core PCB Circuit', *IEEE Trans. Power Electron.*, vol. 33, no. 6, pp. 4605–4615, Jun. 2018.

[152] Z. Zhang, F. Wang, L. M. Tolbert, B. J. Blalock, and D. J. Costinett, 'Realization of high speed switching of SiC power devices in voltage source converters', in *2015 IEEE 3rd Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, Blacksburg, VA, USA, 2015, pp. 28–33.

[153] A. Lemmon and R. Graves, 'Parasitic extraction procedure for silicon carbide power modules', in *2015 IEEE International Workshop on Integrated Power Packaging (IWIPP)*, 2015, pp. 91–94.

[154] O. Yade, C. Martin, A. Bréard, C. Vollaire, M. Ali, and R. Meuret, 'Impact de la configuration des capacités de découplage sur le pré-filtrage des perturbations de mode différentiel', in *19ème Colloque International et Exposition sur la Compatibilité ÉlectroMagnétique (CEM 2018)*, Paris, France, 2018, pp. 1–5.

[155] Z. Chen, 'Characterization and Modeling of High-Switching-Speed Behavior of SiC Active Devices'. M. Sc Thesis, Blacksburg, VA, 2009.

[156] C. Lanneluc, P. Perichon, and D. Bergogne, 'DC-Bus capacitors influence in a GaN Motor Drive Inverter', in *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2019.

[157] F. Luo, Z. Chen, L. Xue, P. Mattavelli, D. Boroyevich, and B. Hughes, 'Design considerations for GaN HEMT multichip halfbridge module for high-frequency power converters', in *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, 2014, pp. 537–544.

[158] J. B. Witcher, 'Methodology for switching characterization of power devices and modules', M. Sc. Thesis, Jan. 2002.

[159] P. Anthony, N. McNeill, and D. Holliday, 'High-speed resonant gate driver with controlled peak gate voltage for silicon carbide MOSFETs', in *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2012, pp. 2961–2968.

[160] J. Lu and R. Hou, 'Parasitics Optimization for GaN HEMTs in Conventional Housing-Type Power Modules', in *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2019.

[161] V. D. Santos, B. Cougo, N. Roux, B. Sareni, B. Revol, and J.-P. Carayon, 'Trade-off between losses and EMI issues in three-phase SiC inverters for aircraft applications', in *2017 IEEE International Symposium on Electromagnetic Compatibility & Signal/Power Integrity (EMCSI)*, Washington, DC, USA, 2017, pp. 55–60.

[162] K. Sobe, T. Basler, and B. Klobucar, 'Characterization of the parasitic turn-on behavior of discrete CoolSiC™ MOSFETs', in *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2019.

[163] F. Störmer, J. Fuhrmann, and H.-G. Eckel, 'Increased short-circuit capability of sic-mosfets by gate-drive unit', in *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2019.

[164] Y. Lobsiger and J. W. Kolar, 'Closed-loop IGBT gate drive featuring highly dynamic di/dt and dv/dt control', in *2012 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2012, pp. 4754–4761.

[165] F. Costa, C. Gautier, E. Labouré, and B. Revol, *La compatibilité électromagnétique en électronique de puissance : Principes et cas d'études*. Paris: Hermes Science Publications, 2013.

[166] R. Ma, *Reliable RF Power Amplifier Design Based on a Partitioning Design Approach*. kassel university press GmbH, 2010.

[167] T. Nakura, 'Stub vs. Capacitor for Power Supply Noise Reduction', *IEICE Trans. Electron.*, vol. E88-C, no. 1, pp. 125–132, Jan. 2005.

[168] M. Togashi and C. Burket, 'ESR Controlled MLCCs and Decoupling Capacitor Network Design', in *DesignCon'07*, 2007.

[169] L. D. Smith, 'Frequency Domain Target Impedance Method for Bypass Capacitor Selection for Power Distribution Systems', in *DesignCon'06*, 2006, pp. 1–12.

[170] 'AN1325 - Choosing and Using Bypass Capacitors'. Renesas, Oct-2011.

[171] L. D. Smith, R. E. Anderson, D. W. Forehand, T. J. Pelc, and T. Roy, 'Power distribution system design methodology and capacitor selection for modern CMOS technology', *IEEE Trans. Adv. Packag.*, vol. 22, no. 3, pp. 284–291, Aug. 1999.

[172] Mohan, Undeland, and Robbins, *Power Electronics*. Wiley, 2003.

[173] 'Correct Snubber Power Loss Estimate Saves the Day'. Maxim Integrated, Design solution No. 32.

[174] Y. Jang and R. W. Erickson, 'Physical origins of input filter oscillations in current programmed converters', *IEEE Trans. Power Electron.*, vol. 7, no. 4, pp. 725–733, Oct. 1992.

[175] J. Eco and A. Limjoco, 'AN1368 - Ferrite Bead Demystified'. Analog Devices, 2015.

[176] A. N. Lemmon and A. Shahabi, 'Technique for embedding current measurement and ringing suppression within multichip modules', in *2017 IEEE International Workshop On Integrated Power Packaging (IWIPP)*, 2017, pp. 1–6.

[177] A. B. Jørgensen, S. Bęczkowski, C. Uhrenfeldt, N. H. Petersen, S. Jørgensen, and S. Munk-Nielsen, 'A Fast-Switching Integrated Full-Bridge Power Module Based on GaN eHEMT Devices', *IEEE Trans. Power Electron.*, vol. 34, no. 3, pp. 2494–2504, Mar. 2019.

[178] P. D. Reigosa, F. Iannuzzo, S. Munk-Nielsen, and F. Blaabjerg, 'New layout concepts in MW-scale IGBT modules for higher robustness during normal and abnormal operations', in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2016, pp. 288–294.

[179] E. Vagnon, J. C. Crebier, Y. Avenas, and P. O. Jeannin, 'Study and realization of a low force 3D press-pack power module', in *2008 IEEE Power Electronics Specialists Conference*, 2008, pp. 1048–1054.

[180] C. Marczok, E. Hoene, T. Thomas, A. Meyer, and K. Schmidt, 'Low inductive SiC Mold Module with direct cooling', in *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2019.

[181] S. Kicin *et al.*, 'Characterization of 1.7kV SiC MOSFET/Si IGBT cross-switch hybrid on the LinPak platform', in *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2019.

[182] Z. Zhang *et al.*, 'Methodology for switching characterization evaluation of wide band-gap devices in a phase-leg configuration', in *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, Fort Worth, TX, USA, 2014, pp. 2534–2541.

[183] W. Thomson, 'On Transient Electric Currents', *Phil Mag*, vol. 5, pp. 393–405, Jun. 1853.

[184] Y. Liao and V. Wells, 'Modal parameter identification using the log decrement method and band-pass filters', *J. Sound Vib.*, vol. 330, no. 21, pp. 5014–5023, Oct. 2011.

[185] E. Persson, 'CoolGaN™ application note AN_201702_PL52_010', *Infineon*, pp. 1–17, 2018.

[186] 'MKP Film Capacitors, series B32674-8', 2017.

[187] X. Liu, 'Methodology for EMC Analysis in a GaN Based Power Module', Dec. 2017.

[188] F. Costa and G. Rojat, 'CEM en électronique de puissance - Réduction des perturbations, simulation', *Tech. Ing.*, 1999.

[189] K. Johnson, 'Comparing High Resolution Oscilloscope Design Approaches'. Teledyne Lecroy, 2018.

[190] K. Yanagawa, K. Yamanaka, T. Furukawa, and A. Ishihara, 'A measurement of balanced transmission lines using S-parameters', in *Conference Proceedings. 10th Anniversary. IMTC/94. Advanced Technologies in I M. 1994 IEEE Instrumentation and Measurement Technolgy Conference (Cat. No.94CH3424-9)*, 1994, pp. 866–869 vol.2.

[191] C. R. Curry, 'How to calibrate through balun transformers to accurately measure balanced systems', *IEEE Trans. Microw. Theory Tech.*, vol. 51, no. 3, pp. 961–965, Mar. 2003.

[192] D. Bergfried and H. Fischer, 'Insertion-Loss Repeatability versus Life of Some Coaxial Connectors', *IEEE Trans. Instrum. Meas.*, vol. 19, no. 4, pp. 349–353, Nov. 1970.

[193] 'What is the difference between SMA and 3.5mm connectors?' Keysight, Jan-2000.

[194] 'CPM2-1200-0025B datasheet - 2nd-Generation Z-FET® 1200-V, 25-mΩ, Silicon-Carbide MOSFET Bare Die, Rev. C'. Wolfspeed-Cree, Feb-2016.

[195] Z. Liang, P. Ning, F. Wang, and L. Marlino, 'A Phase-Leg Power Module Packaged With Optimized Planar Interconnections and Integrated Double-Sided Cooling', *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 2, no. 3, pp. 443–450, Sep. 2014.

[196] K. Tatsumi *et al.*, 'Development of Packaging Technology for High Temperature Resistant SiC Module of Automobile Application', in *2017 IEEE 67th Electronic Components and Technology Conference (ECTC)*, 2017, pp. 1316–1321.

[197] V. Polezhaev, A. B. Sharma, A. Schiffmacher, L. Litzenberg, J. Wilde, and T. Huesgen, 'Development of a novel 600V/50A power package with semiconductor chips sandwiched between PCB substrates using double-side Ag-sintering', in *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2019.

[198] J. G. Bai, Guo-Quan Lu, and Xingsheng Liu, 'Flip-chip on flex integrated power electronics modules for high-density power integration', *IEEE Trans. Adv. Packag.*, vol. 26, no. 1, pp. 54–59, Feb. 2003.

[199] S. Haque, K. Xing, G.- Lu, D. J. Nelson, D. Borojevic, and F. C. Lee, 'Packaging for thermal management of power electronics building blocks using metal posts interconnected parallel plate structure', in *ITherm'98. Sixth Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (Cat. No.98CH36208)*, 1998, pp. 392–398.

[200] A. Ostmann, L. Boettcher, D. Manessis, S. Karaszkiewicz, and K.-D. Lang, 'Power modules with embedded components', in *Microelectronics Packaging Conf.*, 2013.

[201] A. B. Sharma *et al.*, 'PCB embedded power package with reinforced top-side chip contacts', in *2016 6th Electronic System-Integration Technology Conference (ESTC)*, 2016, pp. 1–5.

[202] K. Takao and S. Kyogoku, 'Ultra low inductance power module for fast switching SiC power devices', in *2015 IEEE 27th International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2015, pp. 313–316.

[203] E. Hoene, A. Ostmann, B. T. Lai, C. Marczok, A. Müsing, and J. W. Kolar, 'Ultra-Low-Inductance Power Module for Fast Switching Semiconductors', in *PCIM Europe 2013; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2013, p. 9.

[204] L. Yin *et al.*, 'POL-kw Modules for High Power Applications', in *2017 IEEE 67th Electronic Components and Technology Conference (ECTC)*, 2017, pp. 1497–1503.

[205] 'MC8M, MC12M & MC24M Ultra Thin Advanced Laminates - Datasheet'. Faradflex.

[206] G. Regnat, P. Jeannin, D. Frey, J. Ewanchuk, S. V. Mollov, and J. Ferrieux, 'Optimized Power Modules for Silicon Carbide mosfet', *IEEE Trans. Ind. Appl.*, vol. 54, no. 2, pp. 1634–1644, Mar. 2018.

[207] R. Mrad, J. Morand, R. Perrin, and S. Mollov, 'A PCB based package and 3D assembly for high power density converters', in *2019 IEEE International Workshop On Integrated Power Packaging (IWIPP)*, Tuolouse, France, 2019.

[208] X. Zhao, B. Gao, L. Zhang, D. C. Hopkins, and A. Q. Huang, 'Performance optimization of A 1.2kV SiC high density half bridge power module in 3D package', in *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2018, pp. 1266–1271.

[209] C. Saber, D. Labrousse, B. Revol, and A. Gascher, 'Mitigation of the conducted emissions of an electric vehicle's integrated single-phasecharger using a balancing technique', in *19ème Colloque International et Exposition sur la Compatibilité ÉlectroMagnétique (CEM 2018)*, Paris, France, 2019, pp. 1–6.

[210] J. N. Calata, Guo-Quan Lu, and C. Luechinger, 'Evaluation of interconnect technologies for power semiconductor devices', in *ITherm 2002. Eighth Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (Cat. No.02CH37258)*, 2002, pp. 1089–1096.

[211] M. Held, P. Jacob, G. Nicoletti, P. Scacco, and M.-H. Poech, 'Fast power cycling test of igbt modules in traction application', *Proc Second Int Conf Power Electron Drive Syst.*, vol. 1, pp. 425–430, 1997.

[212] S. Wen, 'Thermal and Thermo-Mechanical Analyses of Wire Bond vs. Three-dimensionally

Packaged Power Electronics Modules', Thesis, Virginia Tech, 1999.

[213] M. Ciappa, 'Selected failure mechanisms of modern power modules', *Microelectron. Reliab.*, vol. 42, no. 4, pp. 653–667, Apr. 2002.

[214] K. Xing, F. C. Lee, and D. Boroyevich, 'Extraction of parasitics within wire-bond IGBT modules', in *APEC '98 Thirteenth Annual Applied Power Electronics Conference and Exposition*, 1998, vol. 1, pp. 497–503 vol.1.

[215] R. Siemieniec *et al.*, 'Development of low-voltage power MOSFET based on application requirement analysis', *Facta Univ. - Ser. Electron. Energ.*, vol. 28, no. 3, pp. 477–494, 2015.

[216] J. Lutz *et al.*, *Semiconductor Power Devices: Physics, Characteristics, Reliability*. Springer, 2011.

[217] C. Durand, M. Klingler, D. Coutellier, and H. Naceur, 'Power cycling reliability of power module: a survey', *IEEE Trans Device Mater. Rel*, vol. 16, pp. 80–97, Mar. 2016.

[218] T. Stockmeier, 'From Packaging to "Un"-Packaging - Trends in Power Semiconductor Modules', *Int Symp Power Semicond. Devices ICs*, 2008.

[219] X. Liu and G.-Q. Lu, 'Power Chip Interconnection: From Wire Bonding to Area Bonding', in *33rd, International symposium on microelectronics; IMAPS 2000*, Boston, MA.

[220] S. Haumann, J. Rudzki, F. Osterwald, M. Becker, and R. Eisele, 'Novel bonding and joining technology for power electronics - Enabler for improved lifetime, reliability, cost and power density', in *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2013, pp. 622–626.

[221] C. Luechinger *et al.*, 'Aluminum–Copper Ribbon Interconnects for Power Devices', *IEEE Trans. Compon. Packag. Manuf. Technol.*, vol. 7, no. 9, pp. 1567–1577, Sep. 2017.

[222] S. Behrendt *et al.*, 'Feasibility of Copper-Based Ribbon Bonding as an Assembly Method for Advanced Power Modules', in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2018, pp. 1–8.

[223] R. Schmidt, C. König, and P. Prenosil, 'Novel wire bond material for advanced power module packages', *Microelectron. Reliab.*, vol. 52, no. 9, pp. 2283–2288, Sep. 2012.

[224] K. Suganuma, 'Interconnection technologies', in *Wide Bandgap Power Semiconductor Packaging*, Elsevier, 2018, pp. 57–80.

[225] V. R. Manikam and K. Y. Cheong, 'Die Attach Materials for High Temperature Applications: A Review', *IEEE Trans. Compon. Packag. Manuf. Technol.*, vol. 1, no. 4, pp. 457–478, Apr. 2011.

[226] A. Dutta and S. S. Ang, 'A Module-Level Spring-Interconnected Stack Power Module', *IEEE Trans. Compon. Packag. Manuf. Technol.*, vol. 9, no. 1, pp. 88–95, Jan. 2019.

[227] W. F. Gale and D. A. Butts, 'Transient liquid phase bonding', *Sci. Technol. Weld. Join.*, vol. 9, no. 4, pp. 283–300, Aug. 2004.

[228] M. Schaal, M. Klingler, and B. Wunderle, 'Silver Sintering in Power Electronics: The State of the Art in Material Characterization and Reliability Testing', in *2018 7th Electronic System-Integration Technology Conference (ESTC)*, 2018, pp. 1–18.

[229] M. Knoerr and A. Schletz, 'Power semiconductor joining through sintering of silver nanoparticles: Evaluation of influence of parameters time, temperature and pressure on density, strength and reliability', in *2010 6th International Conference on Integrated Power Electronics Systems*, 2010, pp. 1–6.

[230] M. Barrière *et al.*, 'Silver sintered double-sided cooling power package process for controlled Si power semiconductor devices with aluminum top-metallization', in *2015 IEEE International Workshop on Integrated Power Packaging (IWIPP)*, 2015, pp. 103–106.

[231] R. Tiziani, G. Passoni, and G. Santospirito, 'Adhesive die attach for power application: Performance and reliability in plastic package', *Microelectron. Reliab.*, vol. 42, no. 9–11, pp. 1611–1616, Sep. 2002.

[232] 'Package SO8-FL datasheet'. Amkor Tech., 2018.

[233] B. Multon, 'Electronique de puissance : alimentations à découpage'. cel-01847437, 2017.

[234] S. Seal, M. D. Glover, and H. A. Mantooth, '3-D Wire Bondless Switching Cell Using Flip-Chip-Bonded Silicon Carbide Power Devices', *IEEE Trans. Power Electron.*, vol. 33, no. 10, pp. 8553–8564, Oct. 2018.

[235] 'DirectFET Technology Board Mounting, Application Note AN-1035', pp. 1–44, 2016.

[236] S. Seal, M. D. Glover, A. K. Wallace, and H. A. Mantooth, 'Flip-chip bonded silicon carbide MOSFETs as a low parasitic alternative to wire-bonding', in *2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2016, pp. 194–199.

[237] P. Beckedahl, M. Spang, and O. Tamm, 'Breakthrough into the third dimension - Sintered multi layer flex for ultra low inductance power modules', in *CIPS 2014; 8th International Conference on Integrated Power Electronics Systems*, 2014, pp. 1–5.

[238] X. Zhao *et al.*, 'Flexible epoxy-resin substrate based 1.2 kV SiC half bridge module with ultra-low parasitics and high functionality', in *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2017, pp. 4011–4018.

[239] K. Weidner, M. Kaspar, and N. Seliger, 'Planar Interconnect Technology for Power Module System Integration', in *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, 2012, pp. 1–5.

[240] X. Liu, S. Xu, G.-Q. Lu, and D. A. Dillard, 'Stacked solder bumping technology for improved solder joint reliability', *Microelectron. Reliab.*, vol. 41, no. 12, pp. 1979–1992, Dec. 2001.

[241] M. Mermet-Guyennet, 'New structure of power integrated module', in *4th International Conference on Integrated Power Systems*, 2006, pp. 1–6.

[242] K. Siddabattula, Zhou Chen, and D. Boroyevich, 'Evaluation of metal post interconnected parallel plate structure for power electronic building blocks', in *APEC 2000. Fifteenth Annual IEEE Applied Power Electronics Conference and Exposition (Cat. No.00CH37058)*, 2000, vol. 1, pp. 271–276 vol.1.

[243] L. Ménager, M. Soueidan, B. Allard, V. Bley, and B. Schlegel, 'A Lab-Scale Alternative Interconnection Solution of Semiconductor Dice Compatible with Power Modules 3-D Integration', *IEEE Trans. Power Electron.*, vol. 25, no. 7, pp. 1667–1670, Jul. 2010.

[244] B. Mouawad *et al.*, '3-Dimensional, Solder-Free Interconnect Technology for High-Performance Power Modules', in *2012 7th International Conference on Integrated Power Electronics Systems (CIPS)*, 2012, pp. 1–6.

[245] S. S. Wen, D. Huff, and Guo-Quan Lu, 'Dimple-array interconnect technique for packaging power semiconductor devices and modules', in *Proceedings of the 13th International Symposium on Power Semiconductor Devices ICs. IPSD '01 (IEEE Cat. No.01CH37216)*, 2001, pp. 69–74.

[246] S. S. Wen, D. Huff, and Guo-Quan Lu, 'Design and thermo-mechanical analysis of a Dimple-Array Interconnect technique for power semiconductor devices', in *2001 Proceedings. 51st Electronic Components and Technology Conference (Cat. No.01CH37220)*, 2001, pp. 378–383.

[247] V. Nguyen *et al.*, 'Fabrication of bottom die substrate solderless interconnection based on nano copper wires', in *2009 13th European Conference on Power Electronics and Applications*, 2009, pp. 1–9.

[248] T. Gottwald and C. Roessle, 'p2 Pack - the Paradigm Shift in Interconnect Technology', in *PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, 2014, pp. 1–9.

[249] J. Wyss and J. Biela, 'Analysis of PCB embedded power semiconductors for a 30 kW boost PFC converter', in *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, 2016, pp. 1–10.

[250] F. Hou *et al.*, 'High Power-Density 3D Integrated Power Supply Module Based on Panel-Level PCB Embedded Technology', in *2018 IEEE 68th Electronic Components and Technology Conference (ECTC)*, 2018, pp. 1365–1370.

[251] D. J. Kearney, S. Kicin, E. Bianda, and A. Krivd, 'PCB-embedded semiconductors for low-voltage power electronic applications', *IEEE Trans Compon. Packag. Manuf. Tech*, vol. 7, pp. 387–395, 2017.

[252] 'Recommendations for Printed Circuit Board Assembly of Infineon Laminate Packages'. Infineon, 2012.

[253] E. Parker, B. Narveson, A. Alderman, and L. Burgyan, 'Embedding active and passive components in PCBs and inorganic substrates for power electronics', in *2015 IEEE International Workshop on Integrated Power Packaging (IWIPP)*, 2015, pp. 107–110.

[254] C. Yu, C. Buttay, É. Labouré, V. Bley, C. Combettes, and G. Brillat, 'Comparison of topside contact layouts for power dies embedded in PCB', in *2016 6th Electronic System-Integration Technology Conference (ESTC)*, 2016, pp. 1–6.

[255] Zhenxian Liang *et al.*, 'Integrated packaging of a 1 kW switching module using a novel planar integration technology', *IEEE Trans. Power Electron.*, vol. 19, no. 1, pp. 242–250, Jan. 2004.

[256] D. Manessis, L. Boettcher, A. Ostmann, K. Lang, and S. Whalley, 'Development of advanced power modules for electric vehicle applications', in *2015 European Microelectronics Packaging Conference (EMPC)*, 2015, pp. 1–6.

[257] Zhenxian Liang, F. C. Lee, G. Q. Lu, and D. Borojevic, 'Embedded power-a multilayer integration technology for packaging of IPEMs and PEBBs', in *IWIPP 2000. International Workshop on Integrated Power Packaging (Cat. No.00EX426)*, 2000, pp. 41–45.

[258] J. Bardeen and W. H. Brattain, 'The Transistor, A Semi-Conductor Triode', *Phys. Rev.*, vol. 74, no. 2, pp. 230–231, Jul. 1948.

[259] H. Matsuda, M. Hiyoshi, and N. Kawamura, 'Pressure contact assembly technology of high power devices', in *Proceedings of 9th International Symposium on Power Semiconductor Devices and IC's*, 1997, pp. 17–24.

[260] 'Press-Pack IGBT, Towards the Next Generation of SuperSwitch'. IXYS UK Westcode Limited, 2014.

[261] S. Eicher *et al.*, '4.5kV press pack IGBT designed for ruggedness and reliability', in *Conference Record of the 2004 IEEE Industry Applications Conference, 2004. 39th IAS Annual Meeting.*, 2004, vol. 3, pp. 1534–1539 vol.3.

[262] D. R. Lide, *CRC Handbook of Chemistry and Physics, 84th Ed.* Boca Raton, Florida: CRC Press., 2003.

[263] 'Recommendations Regarding Mechanical Clamping of Press Pack HighPower Semiconductors'. ABB Zürich, Switzerland, 2004.

[264] A. Welleman and B. Backlund, 'Reliability of Solid State Switches Used in High Current Discharge Applications', in *3rd International Conference on High Speed Forming*, 2008.

[265] U. Vemulapati *et al.*, 'Recent advancements in IGCT technologies for high power electronics applications', in *2015 17th European Conference on Power Electronics and Applications (EPE'15 ECCE-Europe)*, 2015, pp. 1–10.

[266] E. Vagnon, P.-O. Jeannin, J.-C. Crébier, and Y. Avenas, 'A bus-bar-like power module based on three-dimensional power-chip-on-chip hybrid integration', *IEEE Trans Indus App*, vol. 46, pp. 2046–2055, 2010.

[267] Y. Zhang, T. Hammam, I. Belov, T. Sjögren, M. Bakowski, and H. Nee, 'Thermomechanical Analysis and Characterization of a Press-Pack Structure for SiC Power Module Packaging Applications', *IEEE Trans. Compon. Packag. Manuf. Technol.*, vol. 7, no. 7, pp. 1089–1100, Jul. 2017.

[268] P. Rajaguru, H. Lu, C. Bailey, J. Ortiz-Gonzalez, and O. Alatise, 'Electro-thermo-mechanical modelling and analysis of the press pack diode in power electronics', in *2015 21st International Workshop on Thermal Investigations of ICs and Systems (THERMINIC)*, 2015, pp. 1–6.

[269] J. O. Gonzalez *et al.*, 'Evaluation of SiC Schottky Diodes Using Pressure Contacts', *IEEE Trans. Ind. Electron.*, vol. 64, no. 10, pp. 8213–8223, Oct. 2017.

[270] Y. Zhang, H. Nee, T. Hammam, I. Belov, P. Ranstad, and M. Bakowski, 'Multiphysics Characterization of a Novel SiC Power Module',

IEEE Trans. Compon. Packag. Manuf. Technol., vol. 9, no. 3, pp. 489–501, Mar. 2019.

[271] J. A. O. Gonzalez, O. Alatise, L. Ran, P. Mawby, P. Rajaguru, and C. Bailey, 'An initial consideration of silicon carbide devices in pressure-packages', in *2016 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2016, pp. 1–7.

[272] X. He, X. Zeng, X. Yang, and Z. Wang, 'A hybrid integrated power electronic module based on pressure contact technology', in *2006 37th IEEE Power Electronics Specialists Conference*, 2006, pp. 1–5.

[273] 'CPM2-1200-0040B datasheet - 2nd-Generation Z-FET® 1200-V, 40-mΩ, Silicon-Carbide MOSFET Bare Die, Rev. C'. Wolfspeed-Cree, Oct-2016.

[274] T. A. Liang Yin Kaustubh Nagarkar, Arun Gowda, Christopher Kapusta, Risto Tuominen, Paul Gillespie, Donna Sherman, Tammy Johnson, Shingo Hayashibe, Hitoshi Ito, 'POL-kw Modules for High Power Applications', 2017.

[275] P. Kletečka, 'Periodic table'. [Online]. Available: https://pt.kle.cz/.

[276] 'Datasheet nickel foam'. Recemat BV, 2015.

[277] J. Dairon, 'Mousses métalliques - Structures et procédés de fabrication'. Techniques de l'Ingénieur, 10-Mar-2015.

[278] 'R1755-V & R1655-V - Datasheet'. Panasonic, 2017.

[279] 'DuPont Kapton HN Polyimide Film'. DuPont, 2016.

[280] 'Specifications SPD06 power Die - internal document'. NXP Semiconductors.

[281] '06XS4200, Dual 24 V, 6.0 mOhm High-side Switch - datasheet, Rev. 4.0'. NXP Semiconductors, Apr-2014.

[282] 'SPW47N60C3 - CoolMOS Power Transistor, datasheet, Rev.' Infineon.

[283] 'SIPC69N65C3 - Fast CoolMOS Power Transistor, datasheet Ed. 1'. Infineon, 2008.

[284] E. Sadeghi, S. Hsieh, and M. Bahrami, 'Thermal conductivity and contact resistance of metal foams', *J. Phys. Appl. Phys.*, vol. 44, no. 12, p. 125406, Mar. 2011.

[285] S. Zhang, 'Wide Bandgap Semiconductor Components Integration in a PCB Substrate for the Development of a High Density Power Electronics Converter', thesis, Paris Saclay, 2018.

[286] P. De Jaeger, C. T'Joen, H. Huisseune, B. Ameel, S. De Schampheleire, and M. De Paepe, 'Assessing the influence of four cutting methods on the thermal contact resistance of open-cell aluminum foam', *Int. J. Heat Mass Transf.*, vol. 55, no. 21, pp. 6142–6151, Oct. 2012.

[287] B. Ozmat, B. Leyda, and B. Benson, 'Thermal Applications of Open-Cell Metal Foams', *Mater. Manuf. Process.*, vol. 19, no. 5, pp. 839–862, Oct. 2004.

[288] P. Ranut, 'On the effective thermal conductivity of aluminum metal foams: Review and improvement of the available empirical and analytical models', *Appl. Therm. Eng.*, vol. 101, pp. 496–524, May 2016.

[289] M. N. Miller, 'Bounds for Effective Electrical, Thermal, and Magnetic Properties of Heterogeneous Materials', *J. Math. Phys.*, vol. 10, no. 11, pp. 1988–2004, Nov. 1969.

[290] Z. Hashin and S. Shtrikman, 'A Variational Approach to the Theory of the Effective Magnetic Permeability of Multiphase Materials', *J. Appl. Phys.*, vol. 33, no. 10, pp. 3125–3131, Oct. 1962.

[291] V. V. Calmidi and R. L. Mahajan, 'The Effective Thermal Conductivity of High Porosity Fibrous Metal Foams', *J. Heat Transf.*, vol. 121, no. 2, p. 466, 1999.

[292] A. Bhattacharya, V. V. Calmidi, and R. L. Mahajan, 'Thermophysical properties of high porosity metal foams', *Int. J. Heat Mass Transf.*, vol. 45, no. 5, pp. 1017–1031, Feb. 2002.

[293] R. Singh and H. S. Kasana, 'Computational aspects of effective thermal conductivity of highly porous metal foams', *Appl. Therm. Eng.*, vol. 24, no. 13, pp. 1841–1849, Sep. 2004.

[294] U. Scheuermann and S. Schuler, 'Power cycling results for different control strategies', *Microelectron. Reliab.*, vol. 50, no. 9, pp. 1203–1209, Sep. 2010.

[295] M. Huang, Z. Suo, Z. Suo, Q. Ma, Q. Ma, and H. Fujimoto, 'Thin Film Cracking and Ratcheting Caused by Temperature Cycling', *J. Mater. Res.*, vol. 15, pp. 1239–1242, 2000.

[296] P. S. Peter Fruehauf Andreas Munding, Klaus Pressel, Michael Vogt, 'Chip-package-board Reliability of System-in-Package Using Laminate Chip Embedding Technology Based on Cu Leadframe', Dresden, Germany, 2018.

[297] E. S. Nakage, J. P. Cardozo, G. T. Pereira, SA, and I. C. Boleli, 'Effect of temperature on incubation period, embryonic mortality, hatch rate, egg water loss and partridge chick weight (Rhynchotus rufescens)', *Braz. J. Poult. Sci.*, vol. 5, no. 2, pp. 131–135, May 2003.

[298] G. Kampitsis, S. Papathanassiou, and S. Manias, 'Comparative evaluation of the short-circuit withstand capability of 1.2kV silicon carbide (SiC) power transistors in real life applications', *Microelectron. Reliab.*, vol. 55, no. 12, Part B, pp. 2640–2646, Dec. 2015.

[299] T. Bertelshofer, A. März, and M.- Bakran, 'A temperature compensated overcurrent and short-circuit detection method for SiC MOSFET modules', in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, 2017, p. P.1-P.10.

[300] F. Richardeau, F. Boige, and S. Lefebvre, 'Gate leakage-current, damaged gate and open-circuit failure-mode of recent SiC Power Mosfet : Overview and analysis of unique properties for converter protection and possible future safety management', in *2018 IEEE International Conference on Electrical Systems for Aircraft, Railway, Ship Propulsion and Road Vehicles International Transportation Electrification Conference (ESARS-ITEC)*, 2018, pp. 1–6.

[301] G. Romano *et al.*, 'A Comprehensive Study of Short-Circuit Ruggedness of Silicon Carbide Power MOSFETs', *IEEE J. Emerg. Sel. Top. Power Electron.*, vol. 4, no. 3, pp. 978–987, Sep. 2016.

[302] S. Pietranico, S. Pommier, S. Lefebvre, Z. Khatir, and E. Cadel, 'Study of ageing of the metallization layer of power semiconductor devices', Nuremberg, 2010.

[303] C. Chen, D. Labrousse, S. Lefebvre, M. Petit, C. Buttay, and H. Morel, 'Robustness in short-circuit Mode of SiC MOSFETs', Nuremberg, 2015.

[304] F. Boige, F. Richardeau, S. Lefebvre, J.-M. Blaquière, G. Guibaud, and A. Bourennane, 'Ensure an original and safe "fail-to-open" mode in planar and trench power SiC MOSFET devices in extreme short-circuit operation', *Microelectron. Reliab.*, vol. 88–90, pp. 598–603, Sep. 2018.

[305] A. Castellazzi, A. Fayyaz, L. Yang, M. Ricio, and A. Irace, 'Short-circuit robustness of SiC power mosfets: experimental analysis', Waikoloa, Hawaii, 2014.

[306] F. Boige, D. Trémouilles, and F. Richardeau, 'Physical Origin of the Gate Current Surge During Short-Circuit Operation of SiC MOSFET', *IEEE Electron Device Lett.*, vol. 40, no. 5, pp. 666–669, May 2019.

[307] A. Castellazzi, T. Funaki, T. Kimoto, and T. Hikihara, 'Short-circuit tests on SiC power MOSFETs', 2013.

[308] C. Cheng, L. Denis, L. Stéphane, P. Mickaël, B. Cyril, and M. Hervé, 'Robustness in short-circuit mode of SiC mosfets', Nuremberg, Germany, 2015.

[309] F. Boige and F. Richardeau, 'Gate leakage-current analysis and modelling of planar and trench power SiC MOSFET devices in extreme short-circuit operation', *Microelectron. Reliab.*, vol. 76–77, pp. 532–538, 2017.

[310] Z. Wang *et al.*, 'Temperature-Dependent Short-Circuit Capability of Silicon Carbide Power MOSFETs', *IEEE Trans Power Electron*, vol. 31, pp. 1555–1566, 2015.

[311] A. E. Awwad and S. Dieckerhoff, 'Short-circuit evaluation and overcurrent protection for SiC power MOSFETs', Geneva, 2015.

[312] J. Sun, H. Xu, X. Wu, and K. Sheng, 'Comparison and analysis of short circuit capability of 1200V single-chip SiC MOSFET and Si IGBT', Beijing, 2016.

[313] M. Arab, S. Lefebvre, Z. Khatir, and S. Bontemps, 'Experimental Investigations on ageing of IGBT transistors under repetitive short-circuits operations', 2008.

[314] F. Boige, F. Richardeau, D. Trémouilles, S. Lefebvre, and G. Guibaud, 'Investigation on damaged planar-oxide of 1200V SiC power MOSFETs in non-destructive short-circuit operation', *Microelectron. Reliab.*, vol. 76–77, pp. 500–506, Sep. 2017.

[315] C. Chen, 'Studies of SiC power devices potential in power electronics for avionic applications', Doctoral Disertation, Cachan, Fr., 2016.

[316] M. Arab, S. Lefebvre, Z. Khatir, and S. Bontemps, 'Experimental investigations of trench field stop IGBT under repetitive short-circuits operations', 2008.

[317] H. Du, P. D. Reigosa, F. Iannuzzo, and L. Ceccarelli, 'Investigation on the degradation indicators of short-circuit tests in 1.2 kV SiC MOSFET power modules', *Microelectron. Reliab.*, vol. 88–90, pp. 661–665, Sep. 2018.

[318] 'Temperature, bias and operating life, JESD22-A108D, 2010.' JEDEC Solid State Technology Association, 2010.

[319] 'Making More Accurate Jitter Measurements'. Teledine Lecroy Tutorial.

[320] 'Frequency Response of Thin Film Chip Resistors - 60107'. Vishay, Feb-2009.

[321] 'The HF Resistor Application Guide'. Beyschlag GmbH/Vichay.

[322] F. Forest *et al.*, 'Use of opposition method in the test of high-power electronic converters', *IEEE Trans. Ind. Electron.*, vol. 53, no. 2, pp. 530–541, Apr. 2006.

[323] Y. Pascal, D. Labrousse, M. Petit, S. Lefebvre, and F. Costa, 'PCB-Embedding of Power Dies using Pressed Metal Foam', in *PCIM Europe 2018; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, 2018.

[324] Y. Pascal, D. Labrousse, M. Petit, S. Lefebvre, and F. Costa, 'Technique innovante de contacts sur des puces de puissance enfouies dans du PCB : application à un redresseur de courant', in *3ème Symposium de génie électrique (SGE 2018)*, Nancy, France, 2018.

[325] P. B. Oriol Avino-Salvado Wissam Sabbah, Cyril Buttay, Hervé Morel, 'Evaluation of Printed-Circuit Board Materials for High-Temperature Operation', *J. Microelectron. Electron. Packag. IMAPS*, vol. 14, pp. 166–171, 2017.

[326] J. Maxa, A. Novikov, M. Nowottnick, M. Heimann, and K. Jarchoff, 'PCM-based Thermal Buffer Coating for High Temperature Applications', in *2018 7th Electronic System-Integration Technology Conference (ESTC)*, 2018, pp. 1–9.

[327] 'Wolfram|Alpha: Making the world's knowledge computable'. [Online]. Available: www.wolframalpha.com/. [Accessed: 05-Apr-2019].

[328] 'E4990A Impedance Analyzer User Manual, Operation and Programming'. Keysight, 2019.

[329] B. W. Nelson, A. N. Lemmon, B. T. DeBoi, and T. J. Freeborn, 'Modeling and Validation of Fixture-Induced Error for Impedance Measurements', *IEEE Trans. Instrum. Meas.*, vol. 68, no. 1, pp. 129–137, Jan. 2019.

[330] 'E5061B-3L3/3L4/3L5LF-RF Network Analyzer with Option 005 Impedance Analysis Function - datasheet'. Keysight.

[331] 'Performing Impedance Analysis withr the E5061B ENA Vector Network Analyze', 2018.

[332] 'Digital multimeter 34465a Truevolt DMMs for your next generation of insights - datasheet'. Keysight, 2019.

[333] 'GDM-8351 User manual'. GwINSTEK.

[334] W. Kester, 'Taking the Mystery out of the Infamous Formula, "SNR = 6.02N + 1.76dB," and Why You Should Care', vol. MT-001, p. 7, 2008.

[335] A. Schaefer, 'The Effective Number of Bits (ENOB) of my R&S Digital Oscilloscope'. Rohde & Schwarz, Apr-2011.

[336] 'Competitive Comparison: Keysight S-Series vs Teledyne-LeCroy HDO4000/6000/8000'. Keisight Tech., 2016.

[337] I. Kovačević-Badstübner, U. Grossner, D. Romano, G. Antonini, and J. Ekman, 'A more accurate electromagnetic modeling of WBG power modules', in *2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2018, pp. 260–263.

[338] 'Q3D Extractor Help, Rel. 17.1'. ANSYS Inc., 2016.

[339] A. B. Jørgensen *et al.*, 'Reduction of parasitic capacitance in 10 kV SiC MOSFET power modules using 3D FEM', in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, 2017, p. P.1-P.8.

[340] S. Li, L. M. Tolbert, F. Wang, and F. Z. Peng, 'P-cell and N-cell based IGBT module: Layout design, parasitic extraction, and experimental verification', in *2011 Twenty-Sixth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2011, pp. 372–378.

[341] W. Belloumi, A. Bréard, J. B. H. Slama, and C. Vollaire, 'Impact of Layout on the Conducted Emissions of a DC-DC Converter Using Numerical Approach', in *2018 15th International Multi-Conference on Systems, Signals Devices (SSD)*, 2018, pp. 287–291.

[342] J. Z. Chen, L. Yang, D. Boroyevich, and W. G. Odendaal, 'Modeling and measurements of parasitic parameters for integrated power electronics modules', in *Nineteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2004. APEC '04.*, 2004, vol. 1, pp. 522-525 Vol.1.

[343] Y. Ren, X. Yang, F. Zhang, L. Tan, and X. Zeng, 'Analysis of a low-inductance packaging layout for Full-SiC power module embedding split damping', in *2016 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2016, pp. 2102–2107.

[344] S.- Weber, E. Hoene, S. Guttowski, W. John, and H. Reichl, 'On coupling with EMI capacitors', in *2004 International Symposium on Electromagnetic Compatibility (IEEE Cat. No.04CH37559)*, 2004, vol. 1, pp. 336–341 vol.1.

[345] J. Schnack, V. Golev, U. Schümann, and R. Mallwitz, 'An Investigation in DC-link Film Capacitors for Reduced Parasitic Inductances', in *PCIM Europe 2019; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, Nuremberg, Germany, 2019.

[346] E. Eni, T. Kerekes, C. Uhrenfeldt, R. Teodorescu, and S. Munk-Nielsen, 'Design of low impedance busbar for 10 kV, 100A 4H-SiC MOSFET short-circuit tester using axial capacitors', in *2015 IEEE 6th International Symposium on Power Electronics for Distributed Generation Systems (PEDG)*, 2015, pp. 1–5.

[347] I. Kovacevic-Badstuebner, R. Stark, U. Grossner, M. Guacci, and J. W. Kolar, 'Parasitic Extraction Procedures for SiC Power Modules', in *CIPS 2018; 10th International Conference on Integrated Power Electronics Systems*, 2018, pp. 1–6.

[348] R. Wu, L. Smirnova, H. Wang, F. Iannuzzo, and F. Blaabjerg, 'Comprehensive investigation on current imbalance among parallel chips inside MW-scale IGBT power modules', in *2015 9th International Conference on Power Electronics and ECCE Asia (ICPE-ECCE Asia)*, 2015, pp. 850–856.

[349] P. Blanchard and B. Pelletier, 'Using ESD Diodes as Voltage Clamps | Analog Devices'. Analog Device, 2015.

[350] E. Barbarini and Y. Le Goff, 'Texas Instruments' LMG5200 GaN Power Stage - reverse cost & tech. analysis'. SystemPlus consulting, 2018.

[351] M. Jones, 'AN137 - Accurate Temperature Sensing with an External P-N Junction'. Linear Technology, May-2012.

[352] 'Film Capacitors - General technical information'. TDK, 2018.

[353] 'AD8065 datasheet, Rev. L.' Analog Device, 2019.

[354] 'Low Level Measurements Handbook'. Keithley-Tektronix, 2015.

[355] D. Cigoy, 'Making ultra-high resistivity measurements'. Tektronix.

[356] Robert. J. Wildar, 'AN241 Working with High Impedance Op Amps'. Texas Instrument, 1998.

[357] A. A. Mortuza *et al.*, 'Pico-current Measurement Challenges and Remedies: A Review', *Univers. J. Eng. Sci.*, vol. 5, no. 4, pp. 57–63, Nov. 2017.

[358] B. Dobkin and J. Williams, *Analog Circuit Design: A Tutorial Guide to Applications and Solutions*. Amsterdam ; Boston, MA: Newnes, 2011.

[359] Y. Gaillard, 'Mousses métalliques - Propriétés'. Techniques de l'Ingénieur, 10-Jun-2015.

[360] Y. Gaillard, 'Mousses métalliques - Applications industrielles'. Techniques de l'Ingénieur, 10-Jun-2015.

[361] Ashby M.F, 'The properties of foams and lattices', *Philos. Trans. R. Soc. Math. Phys. Eng. Sci.*, vol. 364, no. 1838, pp. 15–30, Jan. 2006.

[362] C. Y. Zhao, 'Review on thermal transport in high porosity cellular metal foams with open cells', *Int. J. Heat Mass Transf.*, vol. 55, no. 13, pp. 3618–3632, Jun. 2012.

[363] 'AC Current probes: CT1, CT2, CT6 datasheet', Tektronix Inc., 2009.

[364] N. Degrenne and S. Mollov, 'Robust On-line Junction Temperature Estimation of IGBT Power Modules based on Von during PWM Power Cycling', in *2019 IEEE International Workshop on Integrated Power Packaging (IWIPP)*, Toulouse, Fr., 2019.

[365] J. Williams, 'AN124 - 775 Nanovolt Noise Measurement for A Low Noise', 2009.

[366] Harvey, 'AN148 - Does your op-amp oscillate?', 2014.

[367] 'Understanding and Improving Network Analyzer Dynamic Range - app. note'. Keysight, 2018.

[368] G. Romano *et al.*, 'Influence of design parameters on the short-circuit ruggedness of SiC power MOSFETs', in *2016 28th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, Prague, Czech Republic, 2016, pp. 47–50.

[369] R. Wu, F. Iannuzzo, H. Wang, and F. Blaabjerg, 'Electro-thermal modeling of high power IGBT module short-circuits with experimental validation', in *2015 Annual Reliability and Maintainability Symposium (RAMS)*, Palm Harbor, FL, USA, 2015, pp. 1–7.

[370] D.-P. Sadik *et al.*, 'Short-Circuit Protection Circuits for Silicon-Carbide Power Transistors', *IEEE Trans Indus Electron*, vol. 63, pp. 1995–2004, 2016.

[371] V. d'Alessandro *et al.*, 'SPICE modeling and dynamic electrothermal simulation of SiC power MOSFETs', in *2014 IEEE 26th International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2014, pp. 285–288.

[372] D. Cavaiuolo *et al.*, 'A robust electro-thermal IGBT SPICE model: Application to short-circuit protection circuit design', *Microelectron. Reliab.*, vol. 55, no. 9, pp. 1971–1975, Aug. 2015.

[373] V. d'Alessandro *et al.*, 'Analysis of the UIS behavior of power devices by means of SPICE-based electrothermal simulations', *Microelectron. Reliab.*, vol. 53, no. 9, pp. 1713–1718, 2013.

[374] M. Bouarroudj-Berkani, D. Othman, S. Lefebvre, S. Moumen, Z. Khatir, and T. Ben Sallah, 'Ageing of SiC JFET transistors under repetitive current limitation conditions', *Microelectron. Reliab.*, vol. 50, no. 9, pp. 1532–1537, Sep. 2010.

[375] G. E. Kampitsis, S. A. Papathanassiou, and S. N. Manias, 'Comparative Analysis of the Thermal Stress of Si and SiC MOSFETs during Short Circuits', *Mater. Sci. Forum*, vol. 856, pp. 362–367, May 2016.

[376] N. Hingora, X. Liu, Y. Feng, B. McPherson, and A. Mantooth, 'Power-CAD: A novel methodology for design, analysis and optimization of Power Electronic Module layouts', in *2010 IEEE Energy Conversion Congress and Exposition*, 2010, pp. 2692–2699.

[377] F. Boige, F. Richardeau, S. Lefebvre, and M. Cousineau, 'SiC power MOSFET in short-circuit operation: Electro-thermal macro-modelling combining physical and numerical approaches with circuit-type implementation', *Math. Comput. Simul.*, vol. 158, pp. 375–386, Apr. 2019.

[378] T. H. Duong, J. M. Ortiz, D. W. Berning, A. R. Hefner, S.- Ryu, and J. W. Palmour, 'Electro-thermal simulation of 1200 V 4H-SiC MOSFET short-circuit SOA†', in *2015 IEEE 27th International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2015, pp. 217–220.

[379] M. Berkani *et al.*, 'Estimation of SiC JFET temperature during short-circuit operations', *Microelectron. Reliab.*, vol. 49, no. 9, pp. 1358–1362, Sep. 2009.

[380] A. Maerz, T. Bertelshofer, and M.-M. Bakran, 'A Structural Based Thermal Model Description for Vertical SiC Power MOSFETs under Fault Conditions', *Act. Passive Electron. Compon.*, vol. 2016, pp. 1–12, 2016.

[381] X. Huang, G. Wang, Y. Li, A. Q. Huang, and B. J. Baliga, 'Short-circuit capability of 1200V SiC MOSFET and JFET for fault protection', in *2013 Twenty-Eighth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, Long Beach, CA, USA, 2013, pp. 197–200.

[382] T. R. McNutt, A. R. Hefner, H. A. Mantooth, D. Berning, and S. Ryu, 'Silicon Carbide Power MOSFET Model and Parameter Extraction Sequence', *IEEE Trans. Power Electron.*, vol. 22, no. 2, pp. 353–363, Mar. 2007.

[383] L. F. S. Alves *et al.*, 'SIC power devices in power electronics: An overview', in *2017 Brazilian Power Electronics Conference (COBEP)*, 2017, pp. 1–8.

[384] H. Touloukian Powell and Klemens, *TPRC Data Series Volume 1*. Purdue Research Foundation, 1970.

[385] A. Jean-Luc Battaglia Manal Saboul, Jérôme Pailhes, Abdelhak Saci, 'epoxy composites thermal conductivity at 80 K and 300 K', *J. Appl. Phys. Am. Inst. Phys.*, vol. 115, 2014.

[386] L. L. Snead, T. Nozawa, Y. Katoh, T.-S. Byun, S. Kondo, and D. A. Petti, 'Handbook of SiC properties for fuel performance modeling', *J. Nucl. Mater.*, vol. 371, no. 1–3, pp. 329–377, Sep. 2007.

[387] et al Bilek J., 'Thermal Conductivity of Molten Lead Free Solders', Czech Republic, 2004.

[388] M. Leitner, T. Leitner, A. Schmon, K. Aziz, and G. Pottlacher, 'Thermophysical Properties of Liquid Aluminum', *Metall. Mater. Trans. A*, vol. 48, pp. 3036–3045, 2017.

[389] G. Romano *et al.*, 'Short-circuit failure mechanism of SiC power mosfets', Hong Kong, 2015.

[390] O. Kristensen, 'Modeling of failure mechanism in sic mosfets subject to short-circuits', Aalborg Univ., M.Sc. Thesis, 2017.

[391] A. Tsibizov, I. Kovacevic-Badstuebner, B. Kakarla, and U. Grossner, 'Accurate Temperature Estimation of SiC Power MOSFETs under Extreme Operating Conditions', *IEEE Trans. Power Electron.*, pp. 1–1, 2019.

[392] A. Ammous, B. Allard, and H. Morel, 'Transient temperature measurements and modeling of IGBT's under short circuit', *IEEE Trans. Power Electron.*, vol. 13, no. 1, pp. 12–25, Jan. 1998.

[393] S. Soneda *et al.*, 'Analysis of a drain-voltage oscillation of MOSFET under high dV/dt UIS condition', in *2012 24th International Symposium on Power Semiconductor Devices and ICs*, 2012, pp. 153–156.

[394] E. A. Burgemeister, W. von Muench, and E. Pettenpaul, 'Thermal conductivity and electrical properties of 6H silicon carbide', *J. Appl. Phys.*, vol. 50, no. 9, pp. 5790–5794, Sep. 1979.

[395] P. Guillemet and J.-P. Bardon, 'Conduction de la chaleur aux temps courts: les limites spatio-temporelles des modèles parabolique et hyperbolique', *Int. J. Therm. Sci.*, vol. 39, no. 9–11, pp. 968–982, Oct. 2000.

université PARIS-SACLAY
ÉCOLE DOCTORALE
Physique et ingénierie : électrons, photons, sciences du vivant (EOBE)

Titre : Étude multicritère pour l'enfouissement partiel ou total de convertisseurs d'électronique de puissance dans un circuit imprimé

Mots clés : Circuit imprimé, PCB, intégration, électronique de puissance

Résumé : Les travaux présentés dans ce manuscrit traitent de l'enfouissement dans un circuit imprimé de convertisseurs de puissance, paradigme visant l'insertion de composants électroniques au sein du circuit imprimé.
Une structure simple et économique de composant inductif enfoui, pouvant être employée comme inductance, coupleur, ou résonateur monolithique, est tout d'abord décrite. Un modèle analytique complet est développé. Des prototypes sont réalisés, validant le modèle et démontrant l'intérêt de la topologie.
L'agencement des composants de puissance constituant une cellule de commutation est ensuite étudié. En particulier, un modèle analytique permettant une compréhension intuitive des mécanismes oscillatoires dans le cadre de l'emploi de transistors rapides est décrit. Une technique de reprise de contact de face avant pour puce enfouie, basée sur un morceau de mousse métallique pressée, est proposée. Une étude préliminaire, à forte composante expérimentale, est présentée. Elle démontre que certains prototypes enfouis présentent des caractéristiques électriques et une fiabilité similaires à celles obtenus avec des fils de bonding.
Enfin, les résultats de l'étude sur l'agencement des composants d'une cellule de commutation sont appliqués pour concevoir et réaliser un hacheur basé sur des transistors SiC connectés par mousse pressée. La structure délivre 3 kW sous 600 V en continu, démontrant la viabilité du procédé de reprise de contact proposé.

Title: Multi-criteria study for partial or complete Printed Circuit Board embedding of power electronic converters

Keywords: Printed Circuit Board, PCB, integration, power electronics

Abstract: This thesis deals with Printed-Circuit Board (PCB) embedding of power converters, paradigm according to which electronic components are placed within the substrate itself.
First, a simple and economical structure of inductive component, which can be used either as an inductor, a coupler, or a monolithic resonator, is described. A comprehensive analytical model is developed. Prototypes are manufactured, validating the analytical model and highlighting the value of the topology.
The arrangement of the power components of a switching cell is then studied. In particular, an analytical model offering an intuitive understanding of the oscillation mechanisms in cells using fast transistors is proposed.
A simple and economical top-side connection technic for PCB-embedded power dies using a pressed piece of metal foam is described. A preliminary study, with strong experimental component, is proposed. It shows that the embedded prototypes have electrical performances and a reliability close to that of wire-bonded dies.
Finally, the results from the study on the arrangement of the components of a switching cell are used to design and manufacture a chopper based on SiC transistors connected using a piece of pressed metal foam. This chopper proved to be able to continuously deliver 3 kW under 600 V to a load, thereby validating the proposed top-side connection technic.

Université Paris-Saclay
Espace Technologique / Immeuble Discovery
Route de l'Orme aux Merisiers RD 128 / 91190 Saint-Aubin, France