Conception et caractérisation d'un transmetteur électro-optique dans une plateforme photonique sur silicium visant des communications très haut débit

Audrey Michard

▶ **To cite this version:**

Audrey Michard. Conception et caractérisation d'un transmetteur électro-optique dans une plateforme photonique sur silicium visant des communications très haut débit. Autre. Université Paris Saclay (COmUE), 2018. Français. NNT : 2018SACLC087 . tel-02009660

HAL Id: tel-02009660

https://theses.hal.science/tel-02009660

Submitted on 6 Feb 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

université PARIS-SACLAY

CentraleSupélec

NNT : 2018SACLC087

Conception et caractérisation d'un transmetteur électro-optique dans une plateforme photonique sur silicium visant des communications très haut débit

Thèse de doctorat de l'Université Paris-Saclay
préparée à CentraleSupélec

École doctorale n°575 (EOBE) :
Electrical, Optical, Bio-physics and Engineering
Spécialité de doctorat :
Electronique et optoélectronique, Nano et microtechnologies

Thèse présentée et soutenue à Saint Martin d'Hères, le 12 novembre 2018, par

Audrey Michard

Composition du Jury :

M. Christophe Peucheret Professeur, Université de Rennes 1 (FOTON)	Rapporteur
M. Sébastien Le Beux Professeur associé, Ecole Centrale de Lyon (INL)	Rapporteur
Mme Delphine Marris-Morini Professeur, Université Paris-Sud (C2N)	Présidente
M. Yannis Le Guennec Maître de Conférences, Grenoble-INP (GIPSA-lab)	Examinateur
M. Philippe Bénabès Professeur, CentraleSupélec (GeePs)	Directeur de thèse
M. Pietro Maris Ferreira Professeur associé, CentraleSupélec (GeePs)	Encadrant de thèse
M. Jean-François Carpentier Ingénieur de recherche, STMicroelectronics	Encadrant de thèse
M. Sébastien Rumley Research scientist, Columbia University	Invité

Thèse de doctorat

« Il y a plus de courage que de talent
dans la plupart des réussites. »
Félix Leclerc

Résumé

La photonique sur silicium connaît depuis plusieurs années un fort développement avec la démonstration d'importants résultats concernant les interconnexions optiques. En effet, l'explosion du trafic de données au sein des centres de données a nécessité de trouver une solution annexe aux interconnexions métalliques afin de supporter de très hauts débits de transmission, tout en assurant une faible consommation énergétique et un coût raisonnable. Les applications de la photonique se situent d'une part dans le domaine des communications à longue distance entre équipements dont les standards actuels visent un débit de 400 Gb/s, et d'autre part dans le domaine des calculateurs à haute performance afin de réaliser les interconnexions courte distance entre un processeur et une banque de mémoires.

STMicroelectronics s'est lancé depuis 2012 dans le développement d'une plateforme photonique sur silicium sur wafers de 300mm. Les principaux objectifs sont : la conception des composants optiques passifs et actifs pour réaliser un transceiver élémentaire à un débit de 20 Gb/s, l'intégration accrue des dispositifs électro-optiques afin de constituer un interposeur photonique, la capacité à gérer plusieurs longueurs d'onde.

Dans ce contexte, le sujet de cette thèse porte sur la mise au point d'un circuit de qualification proposant l'intégration d'un transmetteur électro-optique à l'échelle de la puce. Cette solution tire bénéfice de l'architecture de l'assemblage en trois dimensions des éléments constitutifs au sein de l'interposeur et permet de traiter l'hétérogénéité des composants électriques et optiques.

Dans ces travaux, nous proposons dans un premier temps d'étudier le modulateur optique. Celui-ci repose sur l'utilisation d'un anneau résonant dont la bande passante est optimisée afin de permettre des débits jusqu'à 50 Gb/s. Dans un second temps, nous décrivons la conception du driver électrique en technologie CMOS 55nm et expliquons le compromis mis en jeu entre la vitesse et la puissance consommée par le transmetteur. Les deux dispositifs sont fabriqués sur des plateformes distinctes, puis caractérisés et analysés par rapport à leur modèle respectif. Puis, nous réalisons une première intégration du transmetteur complet via un assemblage wire-bonding, ce qui nous permet de valider son fonctionnement et d'identifier les difficultés d'une telle co-intégration. Enfin, la dernière partie de la thèse est consacrée à la préparation d'un démonstrateur intégrant, dans un assemblage 3D à base de micro-piliers en cuivre, un lien électro-optique capable de transmettre 16 canaux à 20 Gb/s. Le multiplexage en longueurs d'onde déployé dans ce lien devrait permettre d'atteindre un débit total de 320 Gb/s. De plus, l'étude énergétique du système permet de s'assurer que l'interconnexion finale respectera les contraintes de consommation de puissance.

Abstract

Stimulated by a series of important breakthrough, silicon photonics has been experiencing a significant development for several years. Indeed, due to exponential growth of data traffic inside datacenters, an alternative solution to metallic interconnects has been proposed to address very high transmission rates while ensuring a low energy consumption and a reasonable cost. Promising applications are in the field of both long- and short-distance optical communications. Long-range interconnects between datacenter equipment currently target an aggregate throughput of 400 Gb/s while short-reach interconnects are involved in high performance computers between a processor and a memory bank.

STMicroelectronics has been developing a silicon photonic platform on 300 mm wafers since 2012. The main objectives are: the design of passive and active optical components to achieve an elementary 20 Gb/s transceiver, the increased integration of electro-optic devices to form a photonic interposer, the ability to manage several wavelengths.

In this context, this PhD report deals with a testchip development at wafer level, proposing the integration of an electro-optic transmitter. This solution benefits from the three dimensions assembly architecture of the dies within the photonic interposer and can handle the heterogeneity of electrical and optical components.

This work first proposes to study the optical modulator which is based on a ring resonator. The ring bandwidth is optimized to operate up to 50 Gb/s. Secondly, the 55nm CMOS electrical driver design is described and the trade-off between transmitter speed and power consumption is highlighted. Both devices are fabricated on distinct technological platforms, then characterized and analyzed with respect to their respective models. A first integration of the complete transmitter is assembled through wire-bonding method, which enables to validate the transmitter operation. Finally, the last part of the report is devoted to the preparation of a 3D demonstrator based on micro-copper pillars assembly. The demonstrator integrates a wavelength division multiplexed link with 16 channels, which is expected to achieve a total throughput of 320 Gb/s. In addition, the system study enables to ensure that the final interconnect will respect power consumption constraints.

Remerciements

Ces trois années de thèse constituent une expérience professionnelle très enrichissante mais elles sont marquées également et surtout par des moments de partage, de soutien et de convivialité incroyables qui m'ont permis de m'épanouir sur un plan personnel. Aussi, je tiens à remercier l'ensemble des personnes, qui, de près ou de loin, m'ont accompagnée pendant ces travaux.

Tout d'abord, je souhaite remercier Jean-François Carpentier, mon encadrant à STMicroelectronics, pour m'avoir permis d'effectuer mon stage de fin d'études dans son équipe, qui a ensuite conduit à cette thèse. Merci pour m'avoir guidée tout au long de ce projet et remotivée dans les périodes difficiles. Ton soutien, ta confiance et tes conseils ont largement contribué au bon déroulement de ma thèse. Je remercie également mon directeur de thèse, Philippe Bénabès, et mon encadrant à CentraleSupélec, Pietro Maris qui ont suivi les avancées de mon travail avec intérêt et partagé leur expérience du monde académique.

Mes remerciements s'adressent ensuite à l'ensemble des membres du jury de thèse : Delphine Marris-Morini, Christophe Peucheret, Sébastien Le Beux et Yannis Le Guennec. Merci pour votre lecture assidue de mon manuscrit ainsi que pour les discussions très enrichissantes lors de ma soutenance. Merci également à Sébastien Rumley avec qui nous avons eu l'occasion d'échanger à plusieurs reprises au cours de ces années.

Un très grand merci à toutes les personnes que j'ai côtoyées à STMicroelectronics. Grâce à vous tous et à votre bonne humeur au quotidien, j'ai passé d'excellents moments et c'est avec plaisir que je continuerai à garder contact. J'ai été amenée à échanger avec différentes équipes (ce qui a sensiblement complexifié mon organisation des repas de midi pour avoir des nouvelles de chacun !) et je voudrais tous vous remercier pour votre sympathie et votre accueil chaleureux.

Merci à Bertrand et à son équipe qui m'a accompagnée pendant la première moitié de ma thèse. En particulier, merci à Philippe, le meilleur des co-box, pour ton amitié (et nos querelles de frontières), merci à Anne-Laure pour ta gentillesse, merci à Steve, Yann, Pierre, Matteo, Patrice et tous les autres.

Merci à Daniel et Jacky et à leur équipe que j'ai intégrée pour la seconde partie de ma thèse. Je ne manquerai pas de remercier tout particulièrement la « Mich RF team » pour votre bienveillance à mon égard qui m'a assurément aidée à boucler ce projet dans les temps, et à faire face aux problèmes rencontrés. Merci à Florence (quelle organisatrice de talent !), Metig, Françoise et Ophélie pour nos discussions en tout genre, merci à Fred, Cédric, Daniel pour vos bons conseils sur ma thèse, merci à Simon, Vincent, Romain, Florian, Yohann pour les soirées Blind Test, merci à Michel pour ton barbecue et tes pique-niques, merci à Jose pour ton empathie, merci à Gérard pour le courage que tu nous as à tous inspiré, merci à Vipin pour ta « joie » communicative, merci à Dimitri, Charly, Séb, Hervé pour votre aide au labo, merci à Jean-Marc, Francesco, Arun, Joao, Cybelle, Elsa pour les weeklys thésards, merci à Jeff pour tes pauses thé, merci à Clément, Nicolas, Christophe, Denis, Valérie, Patrice, Raphael, Manu, Jasmina, Philippe, Jérôme, Laurent, Raffaele, Jean-Marc pour notre cohabitation à l'algeco 6000. Que de bons moments passés ensemble !!

Merci à Emmanuel et Florian et à ma nouvelle équipe pour m'avoir fait confiance et embauchée à l'issue de ma thèse. La fiabilité s'annonce aussi riche et complexe que la photonique et je suis très contente d'intégrer ce projet.

Merci également à l'équipe photonique pour tout le support que vous avez apporté pendant ma thèse. Je souhaite remercier tout spécialement Nathalie sans qui mes anneaux résonants n'auraient pu être fabriqués, merci pour ta patience et ta ténacité pour sortir mes lots. Mes remerciements s'adressent aussi à Patrick qui a été d'une aide précieuse à travers ses explications, que ce soit lors du layout de mes circuits ou lors des séances de caractérisation. Merci à Elise, Charles, Fred, Sébastien, Marie-Pierre et Sonia pour nos différents échanges. Merci à l'ensemble des thésards, ex-thésards et futurs thésards photoniques (Thomas, Alexis, Maurin, Sylvain, Nicolas, Ismaël, Josserand et Cyrille) pour nos débats animés sur le sujet et pour notre tour du monde gastronomique. Enfin, mention spéciale pour Meriam. Avec toi, j'ai trouvé une véritable amie. Je te souhaite tout le meilleur pour ton nouveau poste et ta prospection d'appartements. Vivement nos prochains petits déjeuners à ST et nos sorties shopping !

Quelques autres personnes de ST, n'appartenant pas aux équipes mentionnées ci-dessus, doivent aussi être remerciées. Merci à Louis-Barthélémy pour ton soutien lors de mon arrivée à Grenoble, merci à JB pour tes conseils avisés, merci à Julien pour m'avoir entrainée aux pauses café, merci à Nelly pour nos petits bavardages des matins, merci à Alexandre pour notre vision partagée sur la thèse, merci à Malicia pour ton franc-parler et ton support, pour nos papotages et nos râleries diverses et variées.

Après STMicroelectronics, je tiens à remercier l'équipe du DOPT du CEA-LETI qui m'a permis de venir faire mes mesures au sein de leur labo. Merci à Philippe, Benoit, Stéphane, André, Yvain,… pour toutes vos explications et votre disponibilité pour partager vos travaux. Je n'oublierai pas non plus de remercier le département des Systèmes Electroniques de Supélec. Merci à Alexandra et Sophie pour votre accompagnement dans les démarches administratives. Merci à Juliette, Pierre et Ludwig, qui ont partagé mon bureau pendant les cinq premiers mois de ma thèse, pour votre bonne humeur et pour toutes les parties de Saboteur.

Mes derniers remerciements s'adressent à mes amis et à ma famille, qui ont toujours été présents et ont su prêter une oreille attentive dans les moments difficiles alors même que mon environnement de travail leur est plutôt inconnu. Merci à mes copines d'enfance Laura, Manon, Pauline, Camille et Marie qui m'ont permis de me ressourcer à chaque retour en Lorraine. Merci à Virginie, Juliette et Vérène pour votre accueil à chaque passage en région parisienne. Merci à mes grands-parents et à Gudrun, Christel, Michiko pour vos encouragements chaleureux (Danke an Gudrun, Christel, Michiko für ihre herzliche Ermutigung). Merci à mes parents (Mamounette et Papounet) pour avoir finalement compris qu'il était important pour moi que vous veniez à ma soutenance, et merci pour votre aide dans l'organisation du pot de thèse. Merci à Guillaume pour les chocolats lyonnais et ton invitation au parc Astérix. Merci à mes frères et sœurs à quatre pattes (Lexy, Léo, Molly et Mowgli) pour toutes vos papouilles et léchouilles. Enfin, une pensée toute particulière à Lisa, ma petite Pupuce, qui a partagé mon quotidien et m'a supportée sans défaillir pendant ces trois ans. Quel plaisir de te retrouver chaque soir en rentrant du travail et merci pour tes réveils plus ou moins dynamiques chaque matin !

Pour terminer, merci à Victor pour tes concerts, pour ton amour et ton soutien inconditionnel les derniers mois de ma thèse alors que tout s'est enchainé à une vitesse folle. Tu as chamboulé ma vie de bien des façons mais tu as su t'adapter à ma personnalité, m'écouter et me comprendre. J'espère pouvoir t'épauler, t'encourager et te réconforter pour les trois années à venir aussi bien que tu l'as fait pour moi.

Table des Matières

Résumé iv

Abstract v

Remerciements vi

Table des Matières viii

Introduction 1
0.1. STMicroelectronics et la technologie photonique 1
0.2. Motivations de la thèse 2
0.2.1 Développement d'une IP pour les modules front panel 3
0.2.2 Applications I/O optiques et interposeur photonique 3
0.3. Objectifs de la thèse 4

Chapitre 1 Etat de l'art 5
1.1. Modules MSA – Communications à longue distance 6
1.2. I/O optiques – Communications chip-to-chip 8
1.2.1 I/O optiques 9
1.2.2 Interposeur photonique : exemple des technologies HMC et HBM 12
1.3. Transmetteurs 50 Gb/s 14
1.3.1. Modulateur optique 14
1.3.2. Driver électrique 18
1.3.3. Système de transmission à débit élevé 22
1.4. Intégration hybride 26

Chapitre 2 Modélisation des modulateurs électro-optiques 32
2.1. Modélisation de la jonction PN 32
2.2. Le modulateur de Mach-Zehnder 36
2.2.1. Présentation générale du MZM 37
2.2.2. Exemple de caractérisation d'un MZM 39
2.3. Le modulateur en anneau 40
2.3.1. Présentation générale du composant 40
2.3.2. Modélisation de l'anneau : équations du résonateur 43
2.3.3. Modèle analytique du modulateur en anneau 46
2.3.4. Validation du modèle – Caractérisation du spectre de transmission 49
2.4. Modèle électrique des modulateurs électro-optiques 51

Chapitre 3 Conception des modulateurs en anneau 55
3.1. Optimisation de la bande passante pour des débits de 50 Gb/s 55
3.2. Conception des structures de tests 58
3.3. Caractérisation expérimentale 59
3.3.1. Caractérisation optique statique 60
3.3.2. Mesures dynamiques 64
3.3.3. Caractérisation RF et mesure de la bande-passante électro-optique 66

Chapitre 4 Conception du driver 73
4.1. Optimisation du compromis vitesse-énergie 73
4.1.1. Architecture 73
4.1.2. Dimensionnement 74
4.1.3. Choix de la technologie 75
4.1.4. Conception et layout des circuits 76
4.1.5. Simulations 78
4.2. Mesures et rétro-simulations 79
4.2.1. Structures de test 79
4.2.2. Montage expérimental 81
4.2.3. Diagrammes de l'œil 82
4.2.4. Performance des drivers et comparaison avec l'état de l'art 84
4.3. Implémentation de protections ESD 85

Chapitre 5 Co-intégration électro-optique : Assemblage par wire-bonding 92
5.1. Etude système – Optimisation d'une interconnexion optique SDM 93

5.1.1. Architecture du lien SDM 93
5.1.2. Contraintes de bande passante et de surface 94
5.1.3. Optimisation de la consommation de puissance en fonction des performances du modulateur 96
5.2. Réalisation d'un transmetteur hybride à base de MZM 101
5.2.1. Intégration hybride du driver et d'un modulateur de Mach-Zehnder 101
5.2.2. Cosimulations électro-optiques du transmetteur 102
5.2.3. Caractérisation expérimentale 104
5.3. Application des modules à l'étude de la fiabilité 107

Chapitre 6 Vers le développement d'un démonstrateur WDM, 20G, 3D 111
6.1. Etude système – Optimisation d'une interconnexion optique 113
6.1.1. Cadre de l'étude – Architecture du lien 114
6.1.2. Exemple du bilan de consommation d'énergie à 10 Gb/s 115
6.1.3. Optimisation du système de transmission en fonction du débit unitaire 117
6.2. L'assemblage par micro-piliers en cuivre 120
6.2.1. Analyse des phénomènes thermomécanique et photo-élastique 121
6.2.2. Description du modèle COMSOL 122
6.2.3. Résultats des simulations COMSOL 124
6.2.4. Conception des structures de tests 126
6.3. Simulations et conception des liens WDM 129
6.3.1. Théorie sur les liens WDM 129
6.3.2. Simulation électro-optique des liens WDM : Estimation de la pénalité de diaphonie 131
6.3.3. Conception des liens WDM pour le démonstrateur WDM 133
6.4. Conception du démonstrateur 134

Conclusion et perspectives 139

Annexe 1 Divers développements mathématiques sur les anneaux 142
Modèle Lorentzien du pic de résonance d'un anneau 142
Expression du décalage du pic de résonance $\Delta\lambda shift$ 143
Variation de la longueur des anneaux dans un lien WDM 144
Expression de la pénalité de diaphonie 144

Annexe 2 Théorie des modes couplés 146

Annexe 3 Modèle non-linéaire du spectre de transmission de l'anneau 148
Détails de la mise en équation de la modélisation non-linéaire 151

Annexe 4 Cosimulations électro-optiques sous ADS des modulateurs en anneau 152
Cosimulations à partir du modèle électrique et du post-traitement mathématique 152
Cosimulations à partir du modèle électro-optique 153

Bibliographie 154

Liste des publications 164
Communications avec actes 164
Conférences Nationales 164
Articles de journal 164
Posters 164

Glossaire 165

Introduction

0.1. STMicroelectronics et la technologie photonique

STMicroelectronics (ST) se positionne comme l'un des leaders mondiaux des fabricants de semi-conducteurs. ST fournit à ses clients des solutions innovantes pour tous les secteurs d'applications de l'électronique et couvre notamment les marchés du « nouvel Internet ». La société est impliquée dans le développement du « smart driving », « smart home and city », « smart things » et « smart industry » comme illustré à la Figure 0.1. Par exemple, des produits phares développés par ST incluent l'aide à la conduite des voitures, le contrôle du chauffage et de l'énergie des maisons, la gestion de l'éclairage d'une ville, le déploiement de la réalité virtuelle, les communications entre machines ou homme – machine d'une chaîne de production, etc… L'arrivée de ces nouvelles technologies est permise par l'évolution des datacenters et le développement du cloud computing. ST cherche donc également à apporter des solutions pour déployer les réseaux de communications efficacement. En effet, nous assistons actuellement à une explosion du trafic de données échangées, accompagnée d'une réorganisation de l'architecture des datacenters afin de supporter des densités de bande passante très élevées.

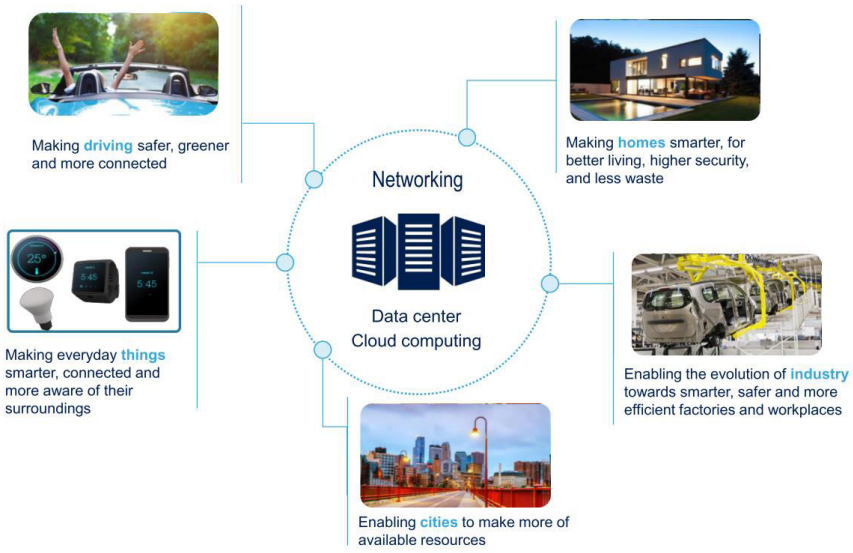


Figure 0.1 Les marchés de STMicroelectronics : Internet des Objets (IoT) [1]

La technologie photonique consiste à générer, traiter, transmettre et détecter un signal de données où ce signal est porté par la lumière (les photons). La photonique sur silicium utilise les procédés standards de la microélectronique pour fabriquer les composants optiques en silicium. Cette technologie permet potentiellement d'apporter des solutions aux problématiques des datacenters car les communications optiques permettent de dépasser les limitations des interconnexions électriques. C'est dans ce cadre que STMicroelectronics développe depuis 2012 sa plateforme photonique, appelée PIC25G (*Photonic Integrated Circuit 25 Gbps*), à partir d'une collaboration avec Luxtera. L'offre en termes de composants élémentaires passifs et actifs est relativement large mais il s'agit maintenant d'assurer la montée en maturité de ces composants pour permettre la production de la technologie. Une seconde plateforme, nommée PIC50G (*Photonic Integrated Circuit 50 Gbps*), est également développée depuis 2017 en partenariat avec le CEA-LETI et Finisar. Elle permet d'adresser de nouvelles fonctionnalités ainsi que des vitesses de communications plus élevées. Les principales caractéristiques des deux technologies sont données à la Figure 0.2 (a). La technologie PIC50G permet plus de flexibilité sur le design des composants car elle intègre différentes formes de guides d'onde ainsi que des guides en nitrure de silicium. De plus, le couplage des fibres optiques peut être réalisé par couplage adiabatique ce qui permet un transfert de la lumière sur une large bande passante (100 nm) comparé au couplage par la surface avec des réseaux (GC *grating*

coupler) (30 nm). Un aperçu de la vue en coupe de la technologie PIC50G est donné à la Figure 0.2 (b).

(a)

	PIC25G	PIC50G
Substrat	Wafer 300 mm SOI 310 nm BOX 720 nm	Wafer 300 mm SOI 310 nm BOX 1.5 µm
Guide d'onde	Si : Rib	Si : Strip, Rib, Deep rib SiN : Strip, Rib
Composants actifs	HSPM & PINPM HSPD 20 GHz	HSPM & PINPM HSPD 50 GHz
Couplage des fibres	Réseaux de couplage	Réseaux de couplage Couplage adiabatique

(b)

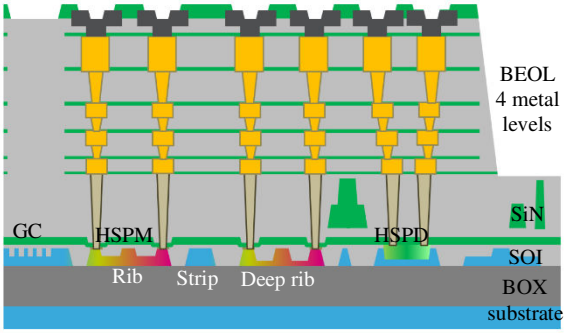


Figure 0.2. (a) Comparaison des technologies PIC25G et PIC50G, (b) Vue en coupe de la technologie PIC50G [2]

Les produits actuels développés par STMicroelectronics sont essentiellement des modules 100 Gb/s, basés sur les normes MSA (*Multi Source Agreement*) et le facteur de forme QSFP28 (*Quad Small Form-factor Pluggable*). Ils sont issus de la technologie PIC25G qui est depuis 2016 une réalité industrielle. La technologie PIC50G est, quant à elle, encore au stade de la R&D. Ces produits sont destinés aux communications longue distance présentes dans un datacenter. Mais, la photonique est également attendue pour d'autres types de communications avec l'introduction de l'interposeur photonique pour les équipements et infrastructures des réseaux de la prochaine génération. La roadmap de développement de la technologie photonique à STMicroelectronics est décrite par la Figure 0.3. Si la stratégie d'intégration envisagée dès 2012 est un assemblage 3D entre les puces électrique et optique, l'intégration est amenée à se complexifier au fur et à mesure du développement de la technologie. En effet, les prochains modules embarqueront directement les IP photoniques (le circuit optique OIC et le circuit électrique associé EIC) au plus proche de l'ASIC (*Application-Specific Integrated Circuit*) ce qui permettra d'améliorer les performances globales des communications optiques.

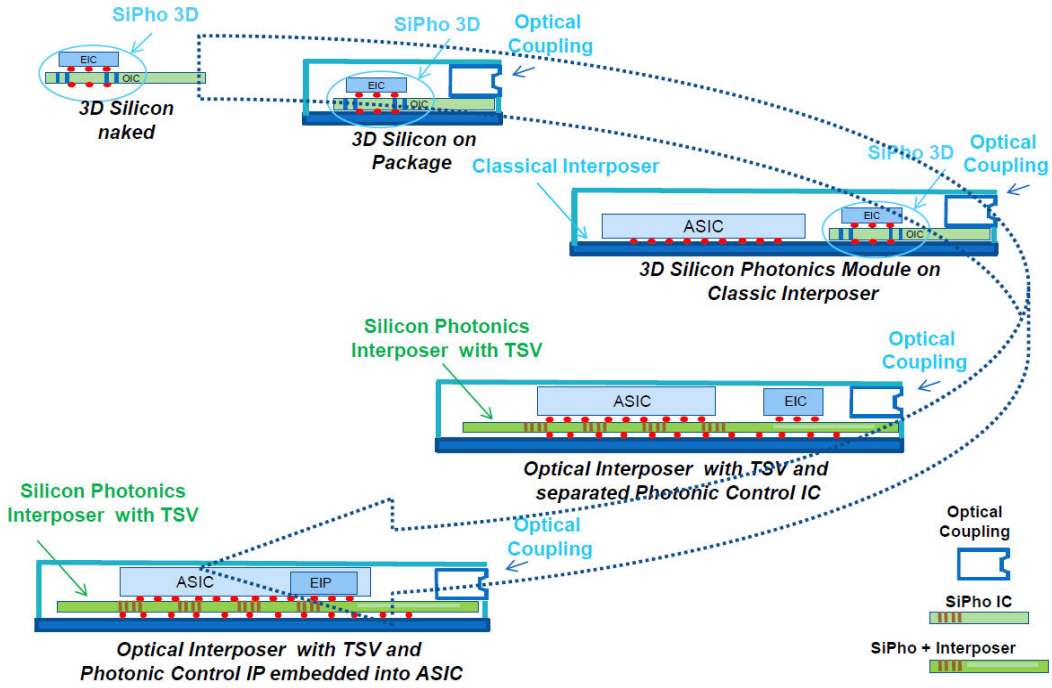


Figure 0.3. Roadmap de STMicroelectronics [3]

0.2. Motivations de la thèse

Les travaux de cette thèse se situent à cheval entre le développement de modules MSA, pour les activités à court ou moyen terme de STMicroelectronics et le développement de modules basé sur l'introduction d'un interposeur photonique, pour les activités à plus long terme. Nous expliquons ci-dessous les objectifs de chacune des applications ainsi que les orientations techniques que nous souhaitons développer. Ceci est résumé et schématisé par la Figure 0.4.

0.2.1 Développement d'une IP pour les modules front panel

Les modules front panel basés sur les accords MSA constituent l'objectif à court – moyen terme de STMicroelectronics. Ces modules sont destinés aux communications à longue distance au sein d'un datacenter (de 100 m à 1 km environ) et sont composés d'un transceiver électro-optique permettant les conversions EO (électrique → optique) et OE (optique → électrique). L'architecture du module front panel est ainsi relativement simple et ne comprend qu'une puce optique (OIC : modulateur et photodiode) et une puce électrique (EIC : driver et amplificateur transimpédance (TIA)) servant au contrôle des composants photoniques. Les deux puces sont intégrées par une méthode 3D comme un assemblage flip-chip.

Actuellement ST produit et vend des modules 100G et 200G mais des modules 400G sont envisagés pour suivre l'évolution des standards et rester compétitif sur ce marché. Comme nous le décrirons dans le chapitre suivant, ces transceivers 400G nécessitent de développer des composants de base à un débit de 50 Gb/s, supportant des formats de modulation PAM4 (*Pulse Amplitude Modulation*) et du multiplexage spatial (PSM *Parallel Single Mode*) ou en longueur d'onde (WDM *Wavelength Division Multiplexing*).

Pour réaliser ses circuits optiques, ST base essentiellement son expérience sur les modulateurs de Mach-Zehnder. Ce sont donc ces composants qui seront développés également pour les modules 400G afin de capitaliser sur les conceptions précédentes. Quant aux circuits électriques, la technologie phare de ST est actuellement le BiCMOS 55 nm pour les applications photoniques. Mais elle sera certainement amenée à évoluer vers une technologie CMOS ou FDSOI (C28 ou 28FDSOI) pour les applications 400G afin de bénéficier d'une meilleure efficacité énergétique. La technologie 28FDSOI a par ailleurs été démontrée comme une bonne candidate pour les produits RF (*Radio Frequency*).

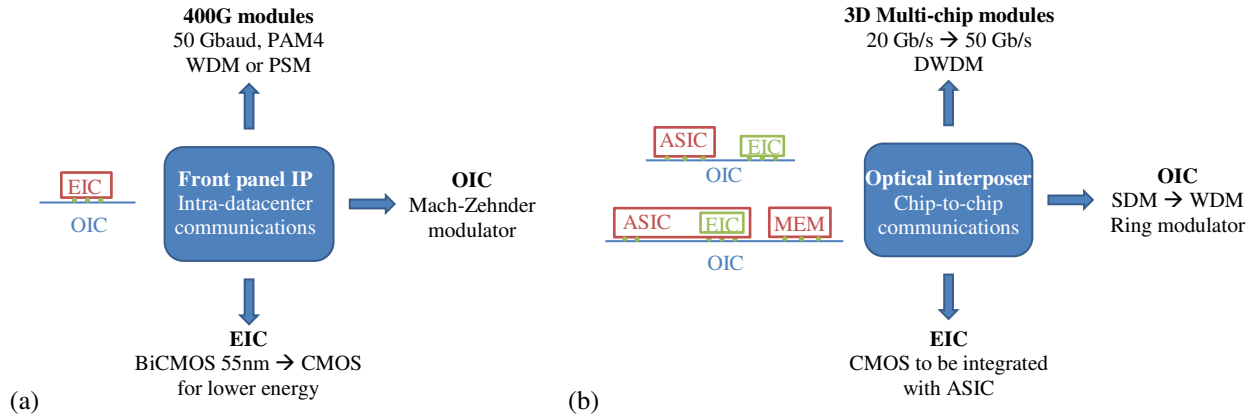


Figure 0.4. Description schématique des caractéristiques d'un transceiver pour (a) une application front panel, (b) une application interposeur photonique.

0.2.2 Applications I/O optiques et interposeur photonique

Le développement des I/O optiques et l'introduction d'un interposeur photonique constituent l'objectif à long terme de STMicroelectronics. Ces nouveaux modules seront également destinés aux communications intra-datacenter dans un premier temps. Mais ils pourront évoluer très facilement vers d'autres applications et notamment les communications à courte distance entre deux puces, toutes deux intégrées sur l'interposeur photonique (distance de quelques centimètres). Dans cette thèse, nous nous intéresserons tout particulièrement aux interconnexions chip-to-chip et nous prendrons l'exemple d'un lien entre un processeur et un bloc mémoire pour illustrer nos propos.

L'interposeur optique inclut un transceiver électro-optique pour les conversions EO et OE comme les modules front panel mais son architecture est celle d'un block multi-chip (MCM *Multi-Chip Module*) comprenant également l'ASIC principal, et éventuellement d'autres IP (*Intellectual Property*). L'intégration des différentes puces est toujours réalisée par une méthode 3D permettant d'empiler les puces. Deux architectures principales peuvent être envisagées. La première reprend l'architecture de base du module front panel et intègre l'ASIC au plus proche de l'EIC. La seconde intègre directement l'EIC au sein de l'ASIC pour ne constituer qu'une seule puce. Ce niveau d'intégration supérieur pourrait permettre d'améliorer les performances de l'interconnexion.

L'une des caractéristiques principales des I/O optiques est de pouvoir supporter des débits de transmission très élevés. L'optimisation de la bande passante des interconnexions est alors réalisée en fonctions des technologies optique et électrique disponibles afin de minimiser la dissipation de puissance. Actuellement, nous estimons que le débit optimal

des composants en termes d'énergie est autour de 20 Gb/s mais les développements futurs pourraient permettre d'envisager à long terme un débit optimal de 50 Gb/s.

Pour augmenter la bande passante des liens optiques, le multiplexage spatial (SDM *Space Division Multiplexing*) est couramment employé mais l'interposeur photonique utilisera de préférence du multiplexage en longueurs d'onde (WDM) ce qui permet de densifier les interconnexions (moins de liens physiques). Ainsi les modulateurs optiques seront basés sur des anneaux résonants pour bénéficier de leur grande sélectivité fréquentielle. Concernant les circuits électriques, ils seront développés dans une technologie CMOS avancée pour être compatibles avec l'ASIC et les modules mémoires.

0.3. Objectifs de la thèse

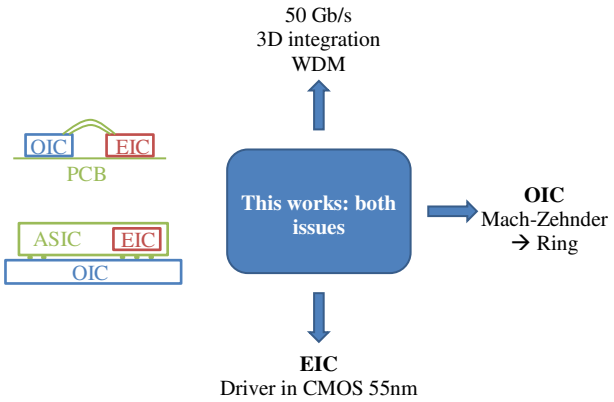


Figure 0.5. Description schématique des objectifs du travail de thèse

Les travaux de cette thèse sont axés autour des deux problématiques « modules MSA » et « interposeur photonique ». Le but est de concevoir puis caractériser les composants d'un transmetteur électro-optique en fusionnant les contraintes des deux applications, tout en cherchant à se projeter vers de futurs développements de STMicroelectronics. Le projet de thèse peut se résumer par le schéma de la Figure 0.5. Les principales caractéristiques sur lesquelles nous basons notre transceiver et qui nous permettent de nous différencier des démonstrations de l'état de l'art, sont l'augmentation du débit des composants optiques pour atteindre 50 Gb/s et l'intégration 3D via l'utilisation de micro-piliers en cuivre.

Pour le circuit optique (OIC), notre premier démonstrateur reposera sur un modulateur de Mach-Zehnder car ce composant est déjà caractérisé et fonctionnel mais nous étudierons essentiellement le modulateur en anneau que nous optimiserons pour un débit de 50 Gb/s et du multiplexage en longueurs d'onde. Pour le circuit électrique (EIC), nous réaliserons un driver CMOS en technologie 55 nm qui sera combiné au modulateur de Mach-Zehnder. Le débit du driver se limitera en revanche à 25 Gb/s car nous montrerons que le driver est proche de sa limite en bande passante pour un tel modulateur. Enfin, le démonstrateur final que nous cherchons à concevoir devra mimer une communication chip-to-chip en intégrant un transmetteur sur un interposeur photonique. Ce prototype implémentera des liens WDM à base d'anneaux résonants pilotés par des drivers CMOS à 20 Gb/s.

Les objectifs de la thèse sont ainsi définis comme suit :

- Développer un modulateur en anneau à 50 Gb/s ;
- Développer un driver CMOS à faible consommation d'énergie ;
- Concevoir un prototype intermédiaire en intégration wire-bonding pour caractériser la co-intégration (car les procédés photoniques et l'assemblage 3D sont trop longs pour obtenir un résultat dans les délais impartis) ;
- Préparer le démonstrateur 3D.

Ce manuscrit est organisé de la façon suivante. Le premier chapitre présente plus en détails les applications de la photonique sur silicium et l'état de l'art des transmetteurs électro-optique. Le deuxième chapitre décrit le fonctionnement des modulateurs et propose un modèle pour l'anneau résonant. Les troisième et quatrième chapitres s'intéressent respectivement à la conception du modulateur en anneau et du driver électrique. Le cinquième chapitre est consacré à notre premier démonstrateur en intégration wire-bonding qui permet de se confronter aux difficultés de la co-intégration. Enfin le sixième chapitre explique les différentes étapes de la conception du démonstrateur WDM en assemblage 3D visant des communications très haut débit, supérieures à 1 Tb/s.

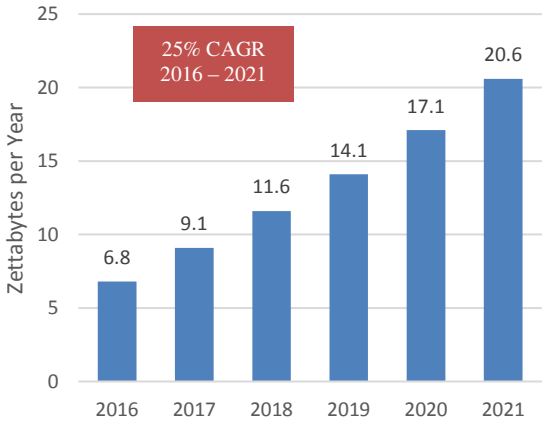
Chapitre 1
Etat de l'art

Dans ce chapitre, nous nous intéressons aux problématiques rencontrées dans les applications datacoms qui sont en plein essor actuellement. En effet, l'explosion du trafic mondial de données est l'un des enjeux majeurs des années à venir. La quantité d'informations échangées ne cesse d'augmenter avec des utilisateurs toujours plus nombreux, de plus en plus d'appareils connectés, et l'émergence croissante de l'Internet des objets (IoT *Internet of Objets*).

(a) (b)

Figure 1.1. (a) Photographie d'un datacenter de Google, (b) Zoom sur les racks du datacenter contenant plusieurs serveurs

La gestion de l'ensemble de ce trafic est réalisée par les datacenters (centres de traitement des données) qui regroupent tous les équipements d'un système d'informations (serveurs, routeurs, switch, baies de stockage, etc…). Pour supporter le trafic de données, les datacenters occupent des surfaces impressionnantes pouvant aller jusqu'à l'équivalent de 80 terrains de football (datacenter de Langfang en Chine par exemple). La Figure 1.1 montre les parcs de serveurs d'un datacenter de Google. Le trafic des datacenters devrait connaître une croissance de près de 25% par an entre 2016 et 2021 et atteindre 20 ZB de données échangées en 2021 (1 ZB = 1 zettabyte = 10^{21} bytes), d'après l'étude réalisée par Cisco [4]. De plus, comme illustré à la Figure 1.2, le trafic se concentre principalement au sein même des datacenters qui rassemblent 85 % des communications, voire jusqu'à 98 % des communications (cas de Facebook) selon les applications. On estime qu'à chaque unité de trafic entrant ou sortant, correspondent entre 5 et 50 unités de trafic interne.

(a) 

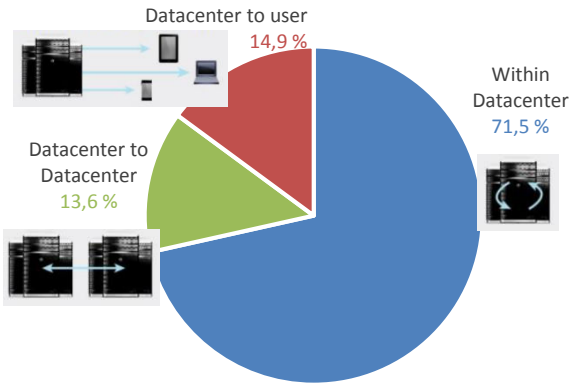
(b) 

Figure 1.2. (a) Croissance du trafic global des datacenters (CAGR = Compound Annual Growth Rate), (b) Destination du trafic de données en 2021, d'après Cisco Global Cloud Index, 2016 – 2021 [4]

La réalisation de ces interconnexions se confronte à diverses contraintes dont les principales sont des contraintes de coûts, de vitesse, de densité et de consommation énergétique. Notamment les problématiques prioritaires concernent l'augmentation de la bande passante des interconnexions ainsi que la gestion de la dissipation de la chaleur. Une solution proposée pour améliorer la densité de bande passante des interconnexions est l'introduction de liens optiques à plusieurs échelles de distance. En effet, Luxtera définit par exemple l'évolution des interconnexions optique d'un datacenter selon la Figure 1.3. Progressivement, les liens optiques vont s'étendre des liens à longue distance entre plusieurs serveurs basés sur l'utilisation de fibres optiques aux liens à très courte distance entre plusieurs puces basés sur des guides d'onde intégrés. Actuellement, des modules optiques sont déjà déployés sur le pourtour des cartes électroniques pour réaliser des connexions par fibres. Ils sont conçus d'après les spécifications issues des accords MSA (*Multi Source Agreement*) mais sont limités par leur implémentation physique et la nécessité d'utiliser des re-timers. Les transceivers optiques vont petit à petit être intégrés plus près des ASIC afin de réduire les problèmes d'intégrités des signaux sur le PCB (*Printed Circuit Board*), jusqu'à être packagés directement avec l'ASIC. Ceci permettra également de réduire la dissipation de puissance du système et d'obtenir potentiellement un facteur de forme plus petit.

Figure 1.3. Evolution des interconnexions au sein d'un datacenter : exemple d'un ASIC [5]

L'objectif du chapitre est d'identifier les différents types d'applications datacoms faisant intervenir des transceivers électro-optiques, puis d'expliquer plus en détails comment sont réalisés les transmetteurs. Un état de l'art permettra d'apporter une vue d'ensemble des modulateurs optiques et des drivers électriques impliqués dans de tels systèmes.

Le plan du chapitre est le suivant. Dans un premier temps, nous verrons quelles sont les spécifications définies par les accords multi-source (MSA) pour les interconnexions longue distance permettant de connecter les unités d'un datacenter. Puis nous analyserons les besoins des applications liées aux supers-calculateurs (HPC *High Performance Computing*). Les liens courte distance intervenant dans les communications chip-to-chip pourraient implémenter un interposeur photonique afin d'optimiser leurs performances. Nous donnerons l'exemple de la technologie HBM (*High Bandwidth Memory*) ainsi que du consortium HMC (*Hybrid Memory Cube*) qui visent tous les deux une grande densité de bande passante. Dans un deuxième temps, nous nous focaliserons sur l'implémentation du transmetteur. En particulier, nous nous concentrerons sur la conception du modulateur et du driver, puis nous décrirons quelques démonstrateurs permettant d'atteindre un débit élevé. Enfin, la dernière partie de ce chapitre sera consacrée à l'étude des méthodes d'intégration afin de connecter les parties électrique et optique de tels transceivers.

1.1. Modules MSA – Communications à longue distance

Le marché de la photonique sur silicium est largement déployé dans les datacenters car elle permet d'y apporter une solution en termes de bande passante. En effet, les connexions par fibres optiques se sont imposées vis-à-vis des câbles électriques car elles permettent de traiter les flux de données beaucoup plus rapidement, sans pertes électromagnétiques et avec un encombrement moindre. Les distances mises en jeu ici sont de l'ordre de plusieurs centaines de mètres afin de

pouvoir connecter les serveurs, les baies de stockages et les différents équipements de télécommunication d'un datacenter. Des interfaces électro-optiques ont dû être mises au point pour permettre la conversion des données électriques vers les fibres et vice-versa. Ces modules peuvent être basés en photonique sur silicium ce qui permet de bénéficier des avantages d'une plateforme silicium : intégration à très grande échelle, contrôle rigoureux des procédés de fabrication, tests à l'échelle du wafer, faible coût de la technologie et bon rendement.

Les produits commerciaux actuels s'appuient sur les standards définis par un accord multi-source (MSA *Multi Source Agreement*) [6]. Les transceivers optiques sont implémentés dans des boitiers prédéterminés appelés CFP (C *Form-factors Pluggable*). Ces modules CFP ont été créés pour uniformiser le branchement des transceivers dans la carte hôte et le rendre plus facile pour les opérateurs. Le « C » de l'acronyme CFP représente le nombre 100 en numérotation romaine car le standard a été développé initialement pour des systèmes à 100 GbE. Les transceivers permettent toutefois des applications à 40 Gb/s, 100 Gb/s, 400 Gb/s et pourraient étendre leur performance jusqu'à 800 Gb/s pour les prochaines générations de l'Ethernet à haute vitesse. Les modules incluent les transceivers CFP, CFP2, CFP4 et CFP8 (voir Figure 1.4) qui supportent les besoins en bande passante des réseaux de communication. Les fabricants impliqués dans cet accord sont Finisar, Foxconn Interconnect Technology, Fujitsu, Lumentum, NeoPhotonics, Oclaro et Sumitomo Electric mais un nombre important d'entreprises soutiennent également le projet.

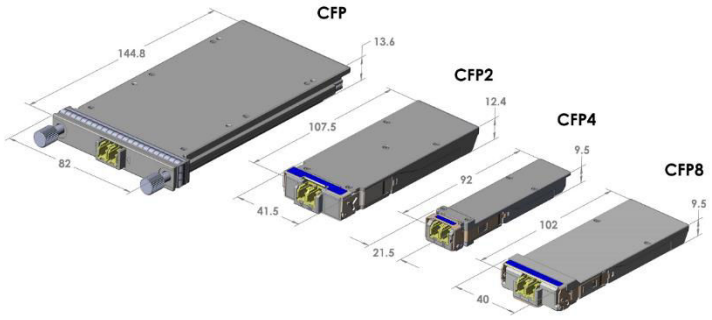


Figure 1.4. Modules électro-optiques de type CFP pour les applications 40G, 100G et 400G [6]

Les modules CFP, CFP2 et CFP4 visent tous les trois des applications 40G ou 100G et supportent des schémas à 10 canaux transmettant des signaux à 10 Gb/s (10×10G) ou des schémas à 4 canaux transmettant des signaux à 10 Gb/s ou 25 Gb/s (4×10G et 4×25G) [7]. Ils se différencient par leur facteur de forme qui est réduit de moitié d'une génération à l'autre. Ils incluent plusieurs standards définis par le groupe de travail IEEE 802.3 (par exemple 100GBASE-LR4) et permettent des transmissions entre 100 m et 40 km soit sur fibre multimode ou monomode selon les cas. Le module CFP8, en revanche, est conçu pour délivrer quatre fois plus de bande passante que les modules précédents. Ainsi il est spécifié pour des schémas à 16×25G ou 8×50G pour des applications à 400 Gb/s.

Quelques alternatives existent aux modules CFP. Notamment nous pouvons citer le transceiver QSFP28 (*Quad Small Form-factor Pluggable*) pour les applications 100G qui est d'ailleurs le module le plus utilisé grâce à sa taille plus petite et sa plus faible consommation de puissance qu'un module CFP4 [8]. Il est néanmoins moins souple sur le format des canaux car il est basé uniquement sur un schéma 4×28 Gb/s. Quant aux applications 400G, le module CDFP (CD = 400 *Form-factor Pluggable*) a précédé le transceiver CFP8 [9]. Il ne permettait qu'une transmission 16×25 Gb/s sur des distances plus courtes que celles autorisées par le CFP8 car il ne supportait que les fibres multimodes. Le module OSFP (*Octal Small Form-factor Pluggable*), développé dans le cadre d'un MSA mené par Arista Networks, vise également des transmissions jusqu'à des débits de 400 Gb/s (8×50 Gb/s) [10]. Il est légèrement plus large qu'un module QSFP mais il s'adapte à différents standards IEEE et couvre des distances du data center jusqu'au réseau métropolitain.

Comme nous l'avons évoqué dans l'introduction, STMicroelectronics s'oriente progressivement vers la conception et la fabrication de produits 400 GbE afin de suivre l'évolution en bande passante des datacenters. Les spécifications des transceivers 400G sont définies par le groupe de travail IEEE 802.3bs. Nous allons les détailler brièvement afin de comprendre quels composants et quelles architectures devront être développés pour répondre au besoin des interconnexions optiques.

Nous nous basons sur l'exemple du module CFP8 dont le diagramme de fonctionnement est représenté à la Figure 1.5. Les spécifications supportées par ce transceiver sont les suivantes [11] :

- 400GBASE-SR16 parallel MMF (*Multi Mode Fiber*) : le schéma utilisé est une transmission sur 16 canaux à 25 Gb/s chacun. La modulation est du type NRZ (*Non Return to Zero*), c'est-à-dire le format de modulation le plus simple qui utilise deux niveaux de puissance optique. Un bit « 1 » est transmis lorsque le niveau haut de puissance est détecté et un bit « 0 » est transmis lorsque le niveau bas est détecté. A cause de sa simplicité, il est difficile d'utiliser ce format pour des débits très élevés donc le débit est limité ici à 25 Gb/s. Pour atteindre une bande passante totale de 400G, il faut alors utiliser 16 fibres optiques en parallèle ce qui constitue du multiplexage spatial (SDM *Spatial Division Multiplexing*). La portée d'un transceiver adoptant ce schéma est d'une distance de 100 m.

- 400GBASE-FR8/LR8 duplex SMF (*Single Mode Fiber*) : le schéma utilisé est une transmission sur 8 canaux à 50 Gb/s chacun. La modulation est du type PAM4 (*Pulse Amplitude Modulation 4 levels*), qui utilise 4 niveaux de puissance optique pour transmettre les symboles « 11 », « 10 », « 01 » et « 00 ». Ainsi ce format permet de transmettre deux fois plus de données qu'un format NRZ. Pour réaliser un débit de 50 Gb/s, les composants électro-optiques devront en réalité gérer des signaux à 25 Gbaud ce qui permet d'assouplir leur performance en termes de vitesse. Pour atteindre la bande passante totale de 400G, il faut utiliser 8 canaux (8 longueurs d'onde) que l'on propage sur la même fibre optique afin de réaliser du multiplexage en longueur d'onde (WDM *Wavelength Division Multiplexing*). La portée d'un transceiver adoptant un schéma FR8 (resp. LR8) est d'une distance de 2 km (resp. 10 km).

- 400GBASE-DR4 parallel SMF : le schéma utilisé est une transmission sur 4 canaux à 100 Gb/s chacun. La modulation est du type PAM4 à un débit de 50 Gbaud. Un multiplexage spatial sur 4 fibres en parallèle est réalisé. La portée du transceiver est d'une distance de 500 m.

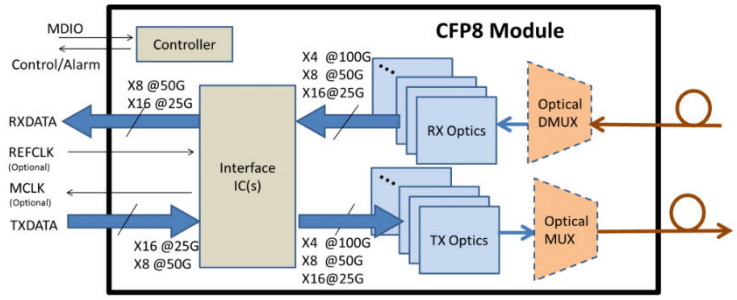


Figure 1.5. Diagramme blocs du transceiver CFP8 [12]

Trois principaux challenges sont ainsi soulignés par ces spécifications afin de supporter les applications 400G :

- Modulation PAM4, cet aspect ne sera pas traité dans cette thèse.
- Multiplexage par longueur d'ondes (lien WDM), ce point constituera l'une des études du Chapitre 6.
- Débit des composants de 50 Gb/s, cette problématique sera abordée dans le Chapitre 3 pour la conception des modulateurs optiques.

Pour conclure cette section sur les modules MSA, nous pouvons citer les travaux de M. R. Billah qui propose la démonstration d'un transmetteur en photonique sur silicium composé d'un ensemble de 8 sources lasers qui alimentent un ensemble de 8 modulateurs de Mach-Zehnder qui sont couplés à un ensemble de 8 fibres SMF en parallèle [13]. Ce module multi-chip est réalisé à partir d'un assemblage wire-bonding et permet des transmissions jusqu'à 56 Gb/s par canal en utilisant un format de modulation PAM4. Le module complet totalise ainsi un débit de 448 Gb/s, ce qui permet d'évaluer les performances du module par rapport aux spécifications MSA des transceivers 400G en multiplexage spatial. Enfin, remarquons également que beaucoup d'industriels de semi-conducteurs développent des modules électro-optiques basés sur les accords MSA (Macom, Oclaro, Finisar, Luxtera, etc…).

1.2. I/O optiques – Communications chip-to-chip

La deuxième section de ce chapitre se concentre sur les applications liées aux supercalculateurs (HPC *High Performance Computing*). Le développement de ces technologies et en particulier des puces à processeurs multiples (CMP *Chip Multi-Processors*) basées sur des architectures multi-cœurs fait intervenir un grand nombre d'interconnexions. Les liens de

communication jouent un rôle prédominant dans la performance globale des systèmes HPC. Ils doivent permettre de résoudre les différents challenges de ces systèmes, à savoir l'augmentation de la dissipation de puissance, la bande passante limitée des I/O et la complexité de la programmation parallèle [14]. La photonique sur silicium pourrait constituer une solution pour remplacer les bus de communications classiques (liens RF) et permettre une nouvelle forme d'interconnexion inter- et intra-chip. En effet, grâce aux propriétés de faibles pertes de propagation dans les guides et aux grandes bandes passantes disponibles, une architecture de calculateur basée sur des communications optiques permettrait d'accéder plus rapidement aux données dans les différentes mémoires tout en réduisant la consommation énergétique.

Le rapport rédigé par Theo Ungerer et Dietmar Fey sur la roadmap à long terme (2020 – 2030) des applications HPC donne également la photonique comme une technologie potentielle pour réaliser les interconnexions à différentes échelles [15]. Ceci est confirmé également par les prédictions de l'IRDS (*International Roadmap for Devices and Systems*) [16].En premier lieu, des liens optiques pourront être utilisés pour connecter les puces d'un même board, puis la tendance conduira à une intégration plus rapprochée de la photonique et de l'électronique afin de réaliser des liens intra-chip en optique. C'est pourquoi un effort important de recherche est accordé actuellement pour améliorer les différents modules d'un canal optique intégré. La co-intégration électro-optique est également d'une importance majeure afin de combiner des technologies CMOS et photoniques, ce qui donne lieu à l'émergence d'un interposeur photonique pour remplacer l'interposeur silicium actif.

Dans cette section, nous montrerons que l'intégration de la photonique au sein de systèmes HPC prend de l'ampleur à travers les multiples projets envisagés par des entreprises ou des laboratoires de recherche. Puis nous nous focaliserons sur l'implémentation d'un interposeur photonique pour des liens processeur – mémoire.

1.2.1 I/O optiques

Au sein d'un supercalculateur, il est envisagé de remplacer les liens électriques RF par des liens photoniques pour réaliser des interfaces à débit élevé entre un processeur et une mémoire. La réalisation d'une telle transmission représente un challenge important mais ne constitue qu'une première étape de l'intégration de liens optiques dans des applications HPC. En effet, ce lien optique basique mémoire-processeur pourrait s'étendre à l'ensemble d'un réseau sur puce (NoC *Network-on-Chip*). Les NoC désignent des réseaux de cœurs et de mémoires interconnectés sur la même puce et qui communiquent entre eux. Les liens d'un NoC sont partagés par de nombreux signaux et peuvent fonctionner simultanément sur des paquets de données différents. Ceci implique un fort niveau de parallélisme, ce qui permet d'améliorer les performances d'un NoC en termes de débit et de modularité par rapport aux architectures de communication précédentes. La photonique apparaît alors naturellement comme une technologie permettant de répondre aux besoins d'un NoC.

Sébastien Rumley et son équipe de l'université de Columbia mettent clairement en avant ces problématiques dans leurs travaux [17] [18]. D'ici quelques années, la puissance des supercalculateurs atteindra la barre d'un ExaFLOP, c'est-à-dire 10^{18} opérations par seconde. Pour supporter de telle puissance, la bande passante des interconnections devra augmenter en conséquence et chaque nœud du réseau devra disposer de débits de l'ordre du Tb/s. L'architecture d'un nœud est décrite à la Figure 1.6. Elle intègre un ou plusieurs CMP (les processeurs), plusieurs modules de RAM (*Random Access Memory*) ainsi que plusieurs interfaces I/O. Les liens optiques couvrent tous les types d'interconnexions (« far memory » pour connecter les blocs mémoires d'une autre puce et « near memory » pour les blocs à proximité immédiate du processeur). De plus, la photonique pourrait permettre également de réaliser l'autre fonction fondamentale d'un NoC : le routage et la commutation (*switching*) des données vers le module désiré. Ceci aboutirait à la réalisation d'un système entièrement interconnecté dans le monde optique (*transparent switching*) sans conversion O/E/O.

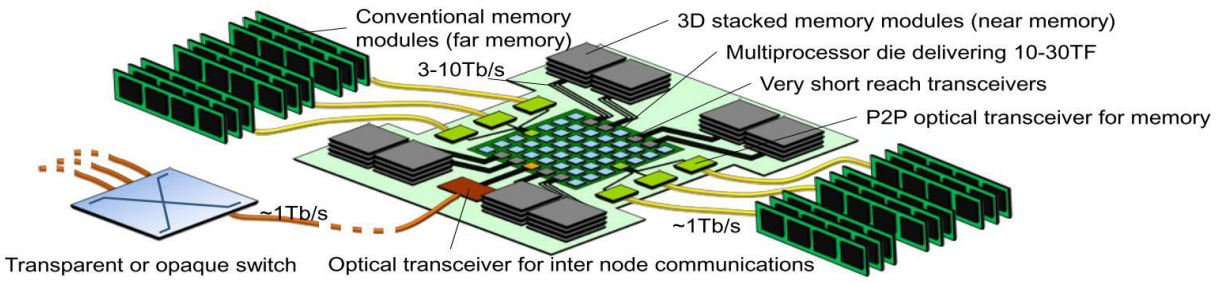


Figure 1.6. Architecture d'un noeud d'un supercalculateur atteignant une puissance d'un ExaFLOP [17]

L'étude des switchs optiques configurables est d'ailleurs l'objet de la thèse de Nicolas Michit (STMicroelectronics – INL). Afin d'établir une liaison WDM entre plusieurs composants sur une courte distance, ce dernier cherche à construire un switch 4×4 qui constitue la brique élémentaire d'un réseau reconfigurable (cf. N. Michit, et al. "Scalable highly flexible WDM switch for ONoC architectures," *SPIE Photonics West OPTO Conference*, January 2018). Nous ne nous étendrons cependant pas davantage sur ce sujet. Les paragraphes suivants ont pour objectif de décrire les différents projets en cours sur l'implémentation d'interconnexions optiques pour des applications HPC.

L'IMEC (Institut de Microélectronique et composants – Belgique) est l'un des premiers laboratoires de recherche à se pencher sur l'intérêt de la photonique sur silicium pour des interconnexions chip-to-chip [19]. Dès 2012, l'institut propose une architecture basée sur l'utilisation d'un interposeur photonique comme illustré à la Figure 1.7 afin de connecter les puces logiques CMOS à un ensemble de blocs DRAM (*Dynamic RAM*) via une fibre optique. Cette approche est approfondie au fur et à mesure des développements des composants électro-optiques. La roadmap annoncée par l'IMEC est donnée à la Figure 1.8 [20]. Progressivement, l'interposeur photonique supportera également l'intégration de l'ASIC, et non plus uniquement le transceiver. Cette évolution va de pair avec la réduction du nœud CMOS et l'augmentation de la bande passante des I/O. Néanmoins, plusieurs questions restent encore ouvertes. Par exemple, les futures technologies CMOS pourront-elles supporter des débits supérieurs à 50 Gbaud ? Quel format de modulation sera le plus adapté pour des liens très courts, sensibles à la latence ? [21] Pour préparer ces futures avancées et l'introduction de la photonique à des distances toujours plus courtes et des débits toujours plus élevés, l'IMEC peut s'appuyer sur sa plateforme à 50 Gb/s. Les principales démonstrations comprennent la modulation et la détection à des débits de 50 Gb/s, des puces en CMOS avancé permettant de faibles consommations énergétiques, une intégration électro-optique par assemblage 3D, et une production des dies adaptable à des volumes importants. Les prochains challenges incluent l'intégration du laser sur l'interposeur, l'auto-alignement des fibres optiques ainsi que l'asservissement thermique des composants.

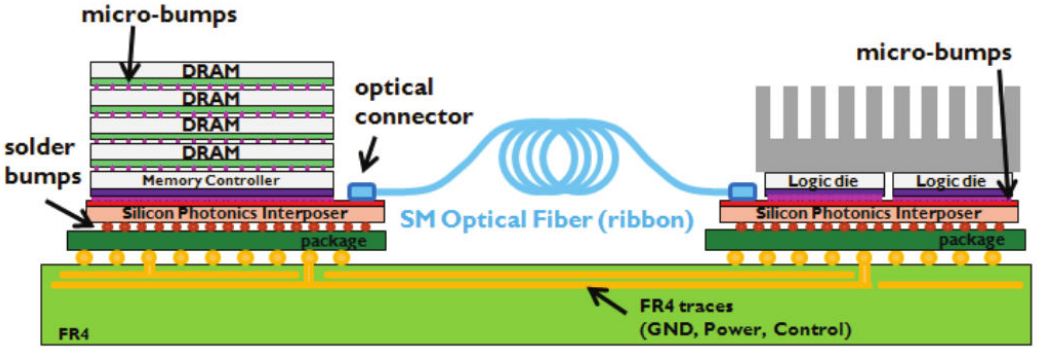
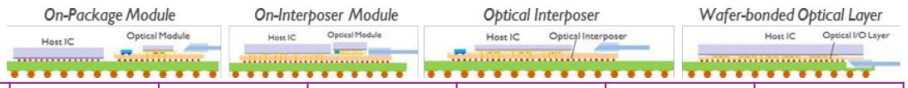


Figure 1.7. Interconnexion optique entre des cartes logiques CMOS et des DRAM empilées, utilisant un interposeur photonique [19]



CMOS node	28nm	20nm	14nm	10nm	7nm	5nm
Max Chip I/O BW	1.6Tb/s	3.2Tb/s	6.4Tb/s	12.8Tb/s	25.6Tb/s	51.2Tb/s
Max Baud Rate	25G	35G	50G	70G?	100G?	140G?
Year of Introduction Interconnect	2016	2018	2020	2022	2024	2026
Datacenter Network 5-500m+	InP PIC **SiPh** PIC 100Gb/s/SMF	InP PIC **SiPh** PIC 200Gb/s/SMF	InP PIC **SiPh** PIC 400Gb/s/SMF	**SiPh** PIC 800Gb/s/SMF	**SiPh** PIC 1.6Tb/s/SMF	**SiPh** PIC 3.2Tb/s/SMF
Backplane 0.5-3m	Cu	Cu	Cu/VCSEL **SiPh** PIC 64x50G	Cu/VCSEL **SiPh** PIC 128x50G	**SiPh** PIC 128x100G	**SiPh** PIC 256x100G
Board 5cm-50cm	Cu	Cu	Cu	Cu/VCSEL/**SiPh** >100Gb/s/mm	**SiPh** PIC >200Gb/s/mm	**SiPh** PIC >400Gb/s/mm
Interposer/Chip 1mm-5cm	Cu	Cu	Cu	Cu	Cu/**SiPh** PIC >5Tb/s/mm	**SiPh** PIC >10Tb/s/mm

Si Photonic Integrated Circuits (PICs) for **Short-Reach High-Density Optical Interconnects**

Figure 1.8. Roadmap de l'IMEC pour le développement des interconnexions optiques à courte distance [20]

IBM envisage également une solution optique pour les applications qualifiées de « computercom » qui font suite au marché des telecoms et des datacoms [22]. En particulier Marc Taubenblatt met l'accent sur l'importance du packaging des technologies optiques et de la co-intégration avec les puces CMOS. La miniaturisation du packaging inclut deux niveaux d'intégration des technologies [23]. Le premier est au niveau des puces et doit permettre d'intégrer l'ensemble des composants nécessaires à une transmission de données. En particulier, le challenge principal concerne l'intégration d'une source laser III-V dans le procédé de fabrication CMOS. Le second est au niveau du système et doit permettre de router et d'interfacer les signaux électriques et optiques. Le couplage adiabatique par des guides d'onde en polymère est par exemple envisagé comme solution d'interface entre les fibres optiques et les puces photoniques. IBM est engagé dans plusieurs projets européens s'intéressant à ces différents aspects. Notons le projet H2020 – DIMENSION (*Directly Modulated Lasers on Silicon*) qui vise à combiner les technologies BiCMOS, photonique et III-V sur une nouvelle plateforme afin de réaliser une intégration monolithique pour un coût similaire à celui de la fabrication en volume du silicium [24].

La vision de l'évolution des interconnexions au sein d'un datacenter par Luxtera a été donnée en introduction de ce chapitre (cf. Figure 1.3) [25] [5]. Celle-ci illustre la volonté de Luxtera d'étendre progressivement les applications de la photonique sur silicium au domaine des HPC. En effet, une plateforme photonique permet de plus grandes densités d'interconnexion tout en réduisant la dissipation de puissance du système global. Luxtera profite d'une intégration hybride des composants optiques avec le circuit électronique (EIC) pour intégrer également une IP spécifique (comme un SerDes) sur l'EIC, ce qui permet d'augmenter les fonctionnalités du circuit. L'EIC contient alors trois éléments : l'IP dédiée à la photonique (driver, TIA), l'IP dédiée aux I/O optiques et cette 3ème IP spécifique. Le niveau suivant d'intégration d'un ASIC, envisagé aux horizons 2020+, consiste ensuite à utiliser un interposeur photonique. Les fonctionnalités optiques seront associées aux technologies électroniques grâce à un assemblage 3D utilisant des piliers en cuivre (entre l'ASIC et l'interposeur) et des TSV (*Through Silicon Via*) (entre l'ASIC et le substrat). Une projection d'un tel système est proposée à la Figure 1.9.

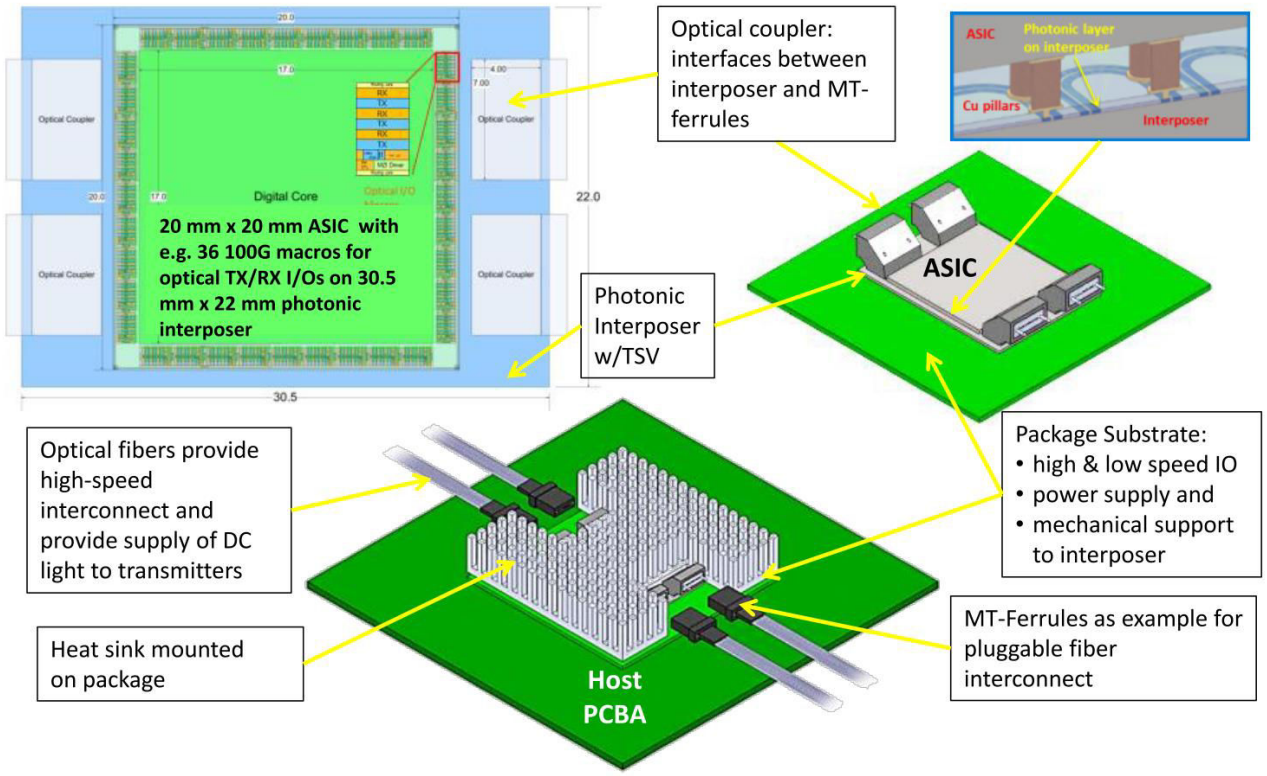


Figure 1.9. Exemple d'un ASIC interconnecté avec des I/O optiques - Intégration de l'ASIC sur un interposeur photonique [25]

Plusieurs projets européens couvrent également ce sujet. Par exemple, le projet TERABOARD (*High bandwidth density and scalable optically interconnect Terabit/s Board*) (http://www.teraboard.eu/) qui s'étend de décembre 2015 à novembre 2018, consiste à démontrer l'évolutivité, la faible consommation et le faible coût d'une technologie photonique sur silicium pour soutenir l'augmentation constante du débit des interconnexions. Ce projet est porté par trois partenaires industriels (Ericsson, Alcatel-Lucent et STMicroelectronics) et plusieurs instituts de recherche dont le CNIT (Consortium

National Inter-universités pour les Télécommunications – Italie) et l'IMEC. Les solutions proposées par TERABOARD consistent à développer des interconnexions optiques pouvant être utilisées dans différents scénarios d'application : de la communication intra-board (courte distance jusqu'à 40 cm) à la communication intra-datacenter (longue distance jusqu'à 2 km). La consommation énergétique visée est de 2.5 pJ/bit/canal avec un coût de fabrication de 0.1 $/Gb/s et une densité de bande passante de 1 Tb/s/cm^2. Pour cela, TERABOARD s'appuie sur une intégration électro-optique 3D, des composants à 56 Gb/s et une nouvelle approche d'intégration du laser III-V sur la plateforme photonique.

Le projet ICT-STREAMS (*Silicon Photonics Transceiver and Routing technologies for High-End Multi-Socket Server Blades with Tb/s Throughput interconnect & interfaces*) (http://www.ict-streams.eu/) (février 2016 – janvier 2019) est coordonné par l'université Aristote de Thessaloniki (Grèce) et inclut notamment IBM, STMicroelectronics et l'IMEC dans son consortium. Son objectif est de développer un transceiver mid-board à 1.6 Tb/s associé à un système de routage mid-board à 25.6 Tb/s sur le même PCB électro-optique afin de réaliser les communications chip-to-chip d'un serveur multi-socket. Ces liaisons point-à-point à grande bande passante constituent une première étape vers le développement des supercalculateurs exascale. Parmi les différentes tâches du projet, nous pouvons noter la conception de composants électroniques et optiques pour des débits de 50 Gb/s qui serviront de briques de base aux interconnexions Tb/s, l'implémentation de liens DWDM et d'un système de compensation des dérives thermiques, le développement d'un PCB (*Printed Circuit Board*) en polymère afin d'embarquer les composants photoniques via un couplage optique adiabatique, ce qui permet de relaxer les contraintes de temps et de coût de fabrication.

Ces quelques exemples nous montrent ainsi que l'introduction d'un interposeur photonique est certainement l'une des solutions privilégiées pour répondre aux challenges des futurs systèmes à très haute performance. Dans le paragraphe suivant, nous allons donc analyser plus en détails les caractéristiques d'un lien processeur – mémoire typique de ces systèmes.

1.2.2 Interposeur photonique : exemple des technologies HMC et HBM

Comme présenté dans l'introduction (cf. Figure 0.3), la plateforme photonique sur silicium de STMicroelectronics est également destinée à répondre aux besoins de bande passante, d'énergie et de coût des futurs marchés des supercalculateurs [3]. Ici, nous allons discuter deux architectures d'intégration proposées par Jean-François Carpentier pour réaliser des liens de type « far memory » ou « near memory ». Celles-ci sont représentées à la Figure 1.10. Dans les deux cas, l'assemblage hybride repose sur l'utilisation d'un interposeur photonique comme les solutions de l'IMEC et de Luxtera que nous avons vues à la section précédente. Cependant, l'intégration de l'EIC ne nécessite pas l'utilisation de TSV (*Through Silicon Via*) à travers l'interposeur qui représentent une contrainte de coût et de rendement (en termes d'évolutivité de l'interposeur) pour l'assemblage électro-optique. L'intégration du laser n'est, par contre, pas décrite par les schémas de la Figure 1.10. Plusieurs solutions sont à l'étude et pourraient s'implémenter avec ce type d'architectures. La question du laser reste l'un des points durs d'un interposeur photonique sur silicium mais ne sera pas traité dans ce manuscrit.

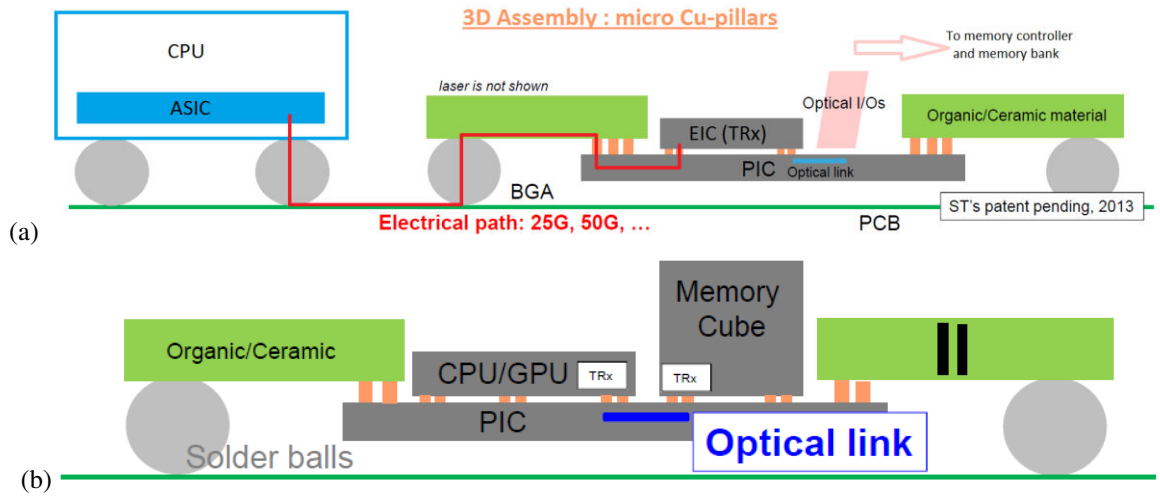
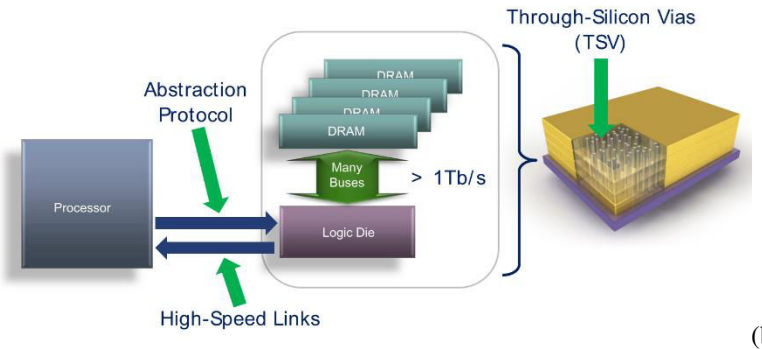


Figure 1.10. Schéma d'une vue en coupe d'un assemblage 3D basé sur un interposeur photonique : (a) architecture « far memory » (exemple avec un CPU), (b) architecture « near memory »

Dans le cadre de cette thèse, nous visons essentiellement des liens tout intégrés du type « near memory » que nous pensons être l'alternative la plus compétitrice pour des applications HPC et assurer le déploiement des prochaines générations d'infrastructures (systèmes exascale). C'est d'ailleurs cette architecture qui ressort principalement de l'état de l'art réalisé à la section 1.2.1. Nous nous focalisons sur l'interconnexion à courte distance « processeur – mémoire » dont nous donnons quelques exemples.

La technologie HMC (*Hybrid Memory Cube*) est une nouvelle catégorie de mémoire à haute performance qui a été mise au point par le consortium HMC fondé en 2011 par Micron Technology et Samsung Electronics Co., et regroupant actuellement 8 participants (http://hybridmemorycube.org). La mémoire HMC schématisée à la Figure 1.11 (a), est une architecture de DRAM (*Dynamic Random Access Memory*) en trois dimensions qui permet d'améliorer la latence, la bande passante, la puissance et la densité d'une interconnexion processeur – mémoire. Elle utilise une technologie par TSV (*Through Silicon Via*) et micro-bumps pour empiler plusieurs couches de DRAM et ainsi minimiser la distance parcourue par les flux de données. De plus, une couche de logique disposée sous les DRAM est responsable du séquencement des mémoires, du routage des données, des corrections d'erreurs et des communications à vitesse élevée vers le processeur. Grâce à la flexibilité de cette couche, les cubes mémoires peuvent être conçus pour différentes applications sans avoir besoin de modifier les DRAM. Fin 2014, une seconde version des spécifications des HMC a été publiée et est reportée à la Figure 1.11 (b). Les HMC proposent plusieurs débits de transmission, allant de 12.5 à 30 Gb/s, correspondant à la vitesse des SerDes. Ainsi en cumulant un total de 32 voies pour chaque lien (16 voies entrée / 16 voies sorties), la bande passante d'un lien est de 120 GB/s. Un cube dispose de 2 à 4 liens, ce qui permet d'atteindre une bande passante totale jusqu'à 480 GB/s.



(a)

(b)

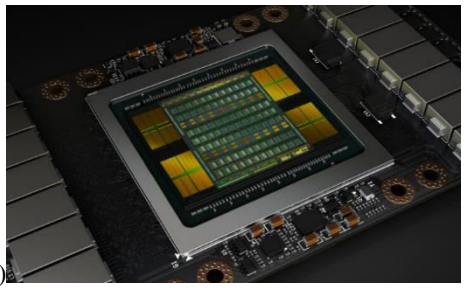
HMC Configuration Options

Description	HMCC 2.0 Spec Configuration Options
Max Line Rate/Phy Technology	30Gb/s VSR (Very Short Reach)
Number of links in package	2, 4
Link Lane Speed (Gbps)	12.5, 15, 25, 28, 30
Link Width	Full, Half, Quarter
Memory Density	4GB, 8GB
Number of Vaults	32
Memory Banks	4GB: 256 banks; 8GB: 512 banks
Max Aggregate link bandwidth	480GB/s (3.84Tb/s)
Max DRAM Data bandwidth	320GB/s (2.56Tb/s)
Max Vault data Bandwidth	10GB/s (80Gb/s)

Figure 1.11. (a) Schéma d'une interconnexion processeur – HMC [26]*, (b) Description des caractéristiques du module HMC* [27]

La technologie HMC s'adapte a priori très bien à l'utilisation d'un interposeur photonique grâce à son protocole haut niveau, cependant actuellement la tendance privilégie plutôt l'interface HBM (*High Bandwidth Memory*). Cette technologie HBM (https://www.amd.com/fr/technologies/hbm) est développée par AMD depuis 2008, initialement pour des processeurs graphiques. Elle est similaire à la mémoire HMC sur le principe d'empilements de couches DRAM mais, incompatible avec les interfaces HMC car elle est basée sur un protocole de bas niveau. La technologie HBM est adoptée comme un standard industriel depuis 2015 et s'intègre dans divers processeurs graphiques comme les Tesla P100 et V100 de Nvidia illustrés à la Figure 1.12. La première caractéristique des mémoires HBM est d'implémenter les DRAM aussi proche que possible de la couche logique, ce qui permet de simplifier la communication et la synchronisation des données et améliore ainsi la bande passante. La seconde caractéristique consiste à empiler 4 couches de DRAM en les connectant par des TSV et des micro-bumps, l'ensemble du bloc HBM et du GPU / CPU (*Graphics / Central Processing Unit*) étant alors interconnectés via un interposeur silicium. Les bus utilisés pour la HBM sont plus larges que ceux des mémoires précédentes de type GDDR5 (*Graphic Double Data Rate, version 5*) et transportent jusqu'à 1024 bits. Ceci permet d'atteindre une bande passante supérieure à 100 GB/s par HBM, tout en économisant près de 50 % de la puissance consommée. Enfin, la HBM permet également une réduction considérable du facteur de forme de la mémoire et occupe 94 % moins d'espace qu'une GDDR5.

Au cours de cette thèse, nous avons été amenés à considérer ce type d'architecture processeur – mémoire basée sur des solutions innovantes pour améliorer la densité de bande passante et l'efficacité énergétique des interconnexions des futurs supercalculateurs. Notre objectif sera d'étudier l'implémentation d'un interposeur photonique sur silicium afin d'utiliser des liens optiques à la place des liens RF classiques et de s'assurer que la communication optique atteigne les performances spécifiées.

(a)  (b)

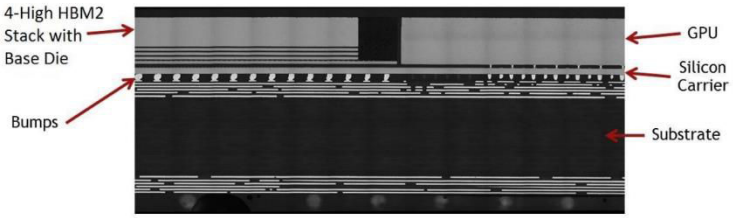


Figure 1.12. (a) Module NVIDIA Tesla V100 SXM2 (vue éclatée) [28], *(b) Vue en coupe de la photomicrographie d'un empilement de HBM2 P100 et d'un GPU GP100* [29]

Les prochaines sections de cet état de l'art s'intéressent plus en détails à la conception du lien optique, en particulier du transmetteur électro-optique. Nous verrons quelles sont les caractéristiques actuelles des modulateurs et des drivers, ainsi que les démonstrateurs proposés pour réaliser des interconnexions à grande bande passante. Enfin, nous nous attarderons également sur l'assemblage des puces électriques et optiques.

1.3. Transmetteurs 50 Gb/s

La plateforme photonique sur silicium de STMicroelectronics comprend tous les composants nécessaires à la réalisation d'un transceiver électro-optique pour des applications à 25 Gb/s et plus. Les caractéristiques principales de ces dispositifs actifs et passifs sont résumées dans les papiers [30] et [31]. La Figure 1.13 montre comment sont arrangées les fonctions élémentaires dans un système typique permettant une communication électro-optique. Cette thèse se concentre néanmoins uniquement sur la partie transmetteur responsable de la conversion d'un signal de données électriques en une modulation du signal optique. Le transmetteur est composé principalement de deux blocs : le modulateur optique et le driver électrique. Cette section a pour but d'expliquer brièvement le principe de fonctionnement de ces deux éléments et d'en donner un aperçu de l'état de l'art. Enfin, nous conclurons sur les démonstrations issues de la littérature des systèmes électro-optiques permettant des transmissions à des débits élevés.

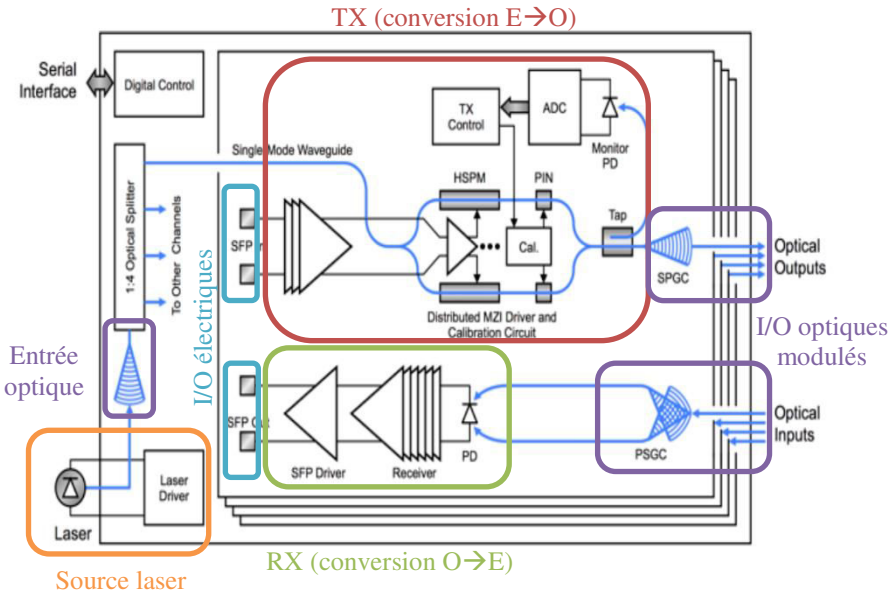


Figure 1.13. Schéma d'un transceiver typique en photonique sur silicium [30]

1.3.1. Modulateur optique

Le modulateur permet de moduler la lumière continue émise par un laser à partir d'un signal de commande électrique, comme le montre la Figure 1.14. Les principales figures de mérite permettant de caractériser la modulation sont :

- l'amplitude de modulation optique (OMA *Optical Modulation Amplitude*) : $OMA\ [\text{dBm}] = P_{max} - P_{min}$
- le taux d'extinction (ER *Extinction Ratio*) : $ER\ [\text{dB}] = 10 \log_{10} \frac{P_{max}}{P_{min}}$

- et les pertes d'insertion (IL *Insertion Losses*) : $IL\ [\mathrm{dB}] = 10\log_{10}\frac{2\,P_0}{P_{max}+P_{min}}$.

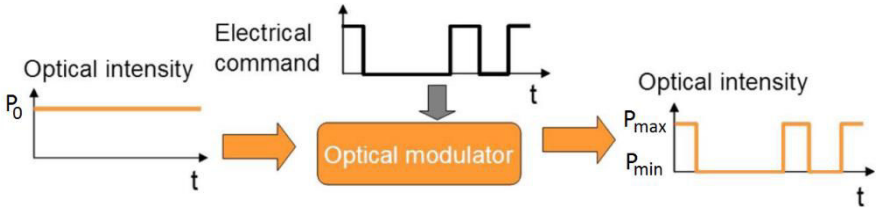


Figure 1.14. Schéma de principe de la modulation : l'information électrique est convertie en signal optique [32].

L'effet utilisé dans le silicium pour induire une modulation est la variation de la concentration des porteurs libres. Cette variation crée la modification des propriétés optiques du matériau ; c'est-à-dire une variation de son indice de réfraction (modulation par électro-réfraction) et/ou de son coefficient d'absorption (modulation par électro-absorption). Dans ce manuscrit, nous nous intéresserons uniquement à la modulation par électro-réfraction qui se traduit par une variation de la phase de l'onde lumineuse.

Pour générer un changement de la concentration des porteurs libres dans le silicium, trois principales techniques sont utilisées :

- l'injection de porteurs dans une diode PIN,
- la déplétion de porteurs dans une diode PN,
- l'accumulation de porteurs dans une structure capacitive.

L'injection de porteurs est réalisée en polarisant la diode PIN en direct. C'est une méthode très efficace (déphasage généré important) car une grande quantité d'électrons et de trous est injectée dans le silicium. Cependant cette technique consomme beaucoup de puissance et est surtout assez lente car la vitesse de modulation est limitée par la vitesse de recombinaison des porteurs minoritaires. La déplétion de porteurs est réalisée en polarisant la diode PN en inverse ce qui élargit la zone de charge d'espace et donc modifie la concentration des porteurs. C'est une méthode moins efficace en termes de déphasage mais beaucoup plus rapide et moins énergivore. Enfin l'accumulation de porteurs est réalisée en polarisant une structure de type MOS (Métal-Oxyde-Semiconducteur). L'accumulation des charges près de la couche d'oxyde permet d'obtenir une meilleure efficacité que la diode PN mais la capacité de cette structure étant importante, cette méthode présente une situation intermédiaire sur les plans consommation énergétique et vitesse de modulation.

L'efficacité de modulation d'une jonction peut être définie de deux façons, soit par son déphasage normalisé $\Delta\varphi\ [°.\mathrm{V}^{-1}.\mathrm{mm}^{-1}]$ obtenu pour une tension de modulation de 1V et une longueur de jonction de 1mm, soit par le produit $V_\pi L_\pi\ [\mathrm{V.m}]$ correspondant à la tension de modulation V_π et à la longueur de jonction L_π nécessaires pour avoir un déphasage de 180°.

Les objectifs de cette thèse s'orientant vers des systèmes à hauts débits (20 Gb/s, voire la conception d'un modulateur à 50 Gb/s) et à très faible consommation énergétique, la jonction PN semble donc être la structure la plus adaptée. Elle est d'ailleurs la solution la plus utilisée dans la littérature pour atteindre des débits élevés, même si des travaux basés sur des diodes PIN existent également.

Afin de convertir la modulation de phase en modulation d'intensité, il faut insérer la diode PN dans un interféromètre ou un résonateur. L'interféromètre le plus couramment utilisé est l'interféromètre de Mach-Zehnder (MZI *Mach-Zehnder Interferometer*). Il consiste à séparer une onde lumineuse en deux faisceaux puis à les recombiner après avoir appliqué un déphasage entre les deux bras (Figure 1.15 (a)). Ce type de modulateur a entre autres été développé dès 2012 par STMicroelectronics et est maintenant pleinement maîtrisé. L'interféromètre de Michelson a également été proposé pour réaliser la modulation de lumière [33], [34]. Comme pour le MZI, l'onde incidente est divisée en deux faisceaux. Chacun des bras de l'interféromètre est rebouclé sur lui-même de telle sorte que les faisceaux passent à travers une diode PN à l'aller et au retour. Puis les deux faisceaux sont recombinés pour créer la variation d'intensité (Figure 1.15 (b)). Dans le cas du résonateur, la recherche se concentre autour de l'anneau résonant (RR *Ring Resonator*). L'anneau est un guide d'onde bouclé sur lui-même, ce qui crée une cavité optique et aboutit à l'apparition d'une résonance lorsque la longueur du chemin optique est un multiple de la longueur d'onde de l'onde se propageant dans l'anneau (Figure 1.15 (c)). Les deux modulateurs que nous étudierons dans ce manuscrit sont le modulateur de Mach-Zehnder (MZM *Mach-Zehnder Modulator)* et le modulateur en anneau (RRM *Ring Resonator Modulator*). Ils seront traités en détails dans le Chapitre 2.

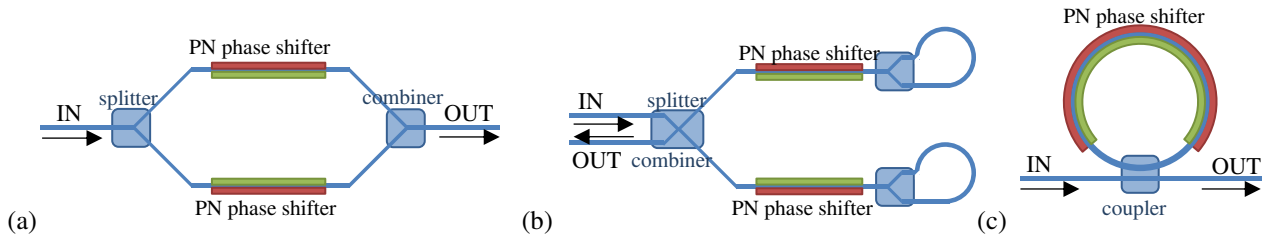


Figure 1.15. Vues schématiques des différents modulateurs : (a) Mach-Zehnder, (b) Michelson, (c) anneau résonant.

Dans les paragraphes suivants, nous présentons l'état de l'art des modulateurs basés sur la déplétion de porteurs, en s'intéressant particulièrement aux modulateurs ayant une bande passante supérieure à 30 GHz et visant des débits de 40 Gb/s et plus.

Matthew Streshinsky et son équipe de l'institut de microélectronique de Singapour A*STAR, ont démontré le premier modulateur sur silicium à fonctionner à un débit de 50 Gb/s dans la bande de longueurs d'onde proche de 1300 nm (bande O) [35] [36]. Ce modulateur se présente sous la forme d'un interféromètre de Mach-Zehnder. Le dispositif utilise une ligne de transmission coplanaire intégrée aux côtés d'une jonction PN sur chaque bras du MZI (architecture *travelling wave*, cf. section 2.2.1). La longueur totale de la zone active est de 3mm. Le MZI est intentionnellement déséquilibré de 100 µm pour pouvoir faciliter les campagnes de test en ajustant la longueur d'onde de travail. (Un MZM équilibré est insensible à la longueur d'onde.) Afin d'atteindre la bande passante souhaitée, la conception de la jonction PN demande de faire un compromis entre son efficacité de modulation et les pertes optiques. Ces travaux montrent qu'en introduisant des dopants intermédiaires dans le déphaseur (jonction du type N+, N, P, P+), la bande passante est améliorée tout en maintenant un faible produit $V_\pi L_\pi$ de 2.43 V.cm et des faibles pertes d'insertion de 3.34 dB (uniquement les jonctions PN). Piloté par un signal différentiel de 1.5 Vpp centré autour de 0V, le modulateur permet d'obtenir des diagrammes de l'œil à 50 Gb/s, avec un taux d'extinction de 3.4 dB et une énergie consommée de 450 fJ/bit.

Une équipe du C2N (Centre de Nanosciences et Nanotechnologie) en collaboration avec STMicroelectronics souligne que la conception d'un modulateur dans la bande O est particulièrement difficile en comparaison de la bande C (longueurs d'onde autour de 1550 nm) car l'effet de variation des concentrations des porteurs libres est plus faible dans la bande O. Cependant, la bande O est très intéressante pour les communications optiques car la dispersion des fibres monomodes à ces longueurs d'onde est nulle. Dans le papier [37], Diego Perez-Galacho réalise un modulateur de Mach-Zehnder dont les performances sont comparables à celles des modulateurs de la bande C. En effet, une grande efficacité de modulation ($V_\pi L_\pi < 1.2\ \mathrm{V.cm}$) est obtenue grâce à l'utilisation d'une forme de guide d'onde dite « deep-rib ». Ainsi, la longueur active (jonction PN) du MZM a pu être réduite à 1mm et la tension de modulation reste compatible avec des technologies BiCMOS. Pour une amplitude de 3.3 Vpp polarisée en inverse autour 1.7 V, un taux d'extinction de 5 dB et des pertes d'insertion de 3.6 dB sont obtenus pour une modulation à 25 Gb/s tandis que la consommation énergétique est estimée à 3.4 pJ/bit.

Takeshi Baba, membre de l'association PETRA (*Photonics Electronics Technology Research Association*), fait fonctionner un anneau résonant à 50 Gb/s pour la première fois en 2013 [38]. Son anneau, de type *racetrack*, est illustré à la Figure 1.16 (a). Deux déphaseurs constitués de diodes PIN et de guides d'onde à réseau latéral sont insérés dans les sections droites de l'anneau, d'une longueur de 15 µm chacune. Des jonctions PIN polarisées en directe ont été préférées dans ces travaux afin de bénéficier de leur grande efficacité de modulation pour pouvoir maintenir une grande amplitude de modulation optique (OMA) malgré une vitesse de modulation plus rapide. Un produit $V_\pi L_\pi$ très faible de 0.28 V.cm à 25 GHz a ainsi été obtenu. Cependant, lors des mesures dynamiques de l'anneau, un signal pré-emphasé a été utilisé pour compenser la réponse en fréquence du modulateur. Le diagramme de l'œil à 50 Gb/s est montré à la Figure 1.16 (b). Il est obtenu pour une longueur d'onde proche de 1550 nm (bande C) et pour une tension de 1.96 Vpp, polarisée autour de 0.72V DC.

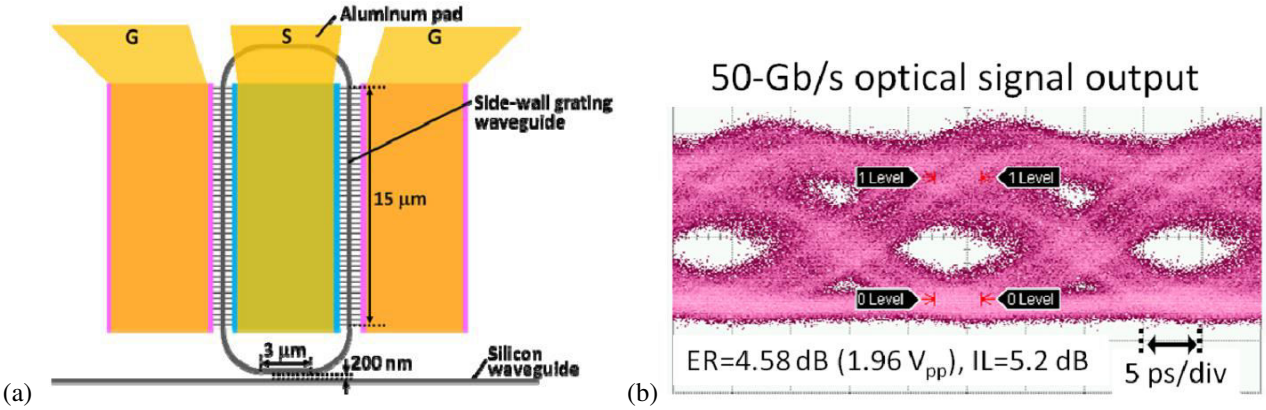


Figure 1.16. (a) Schéma du modulateur en anneau réalisé par PETRA, (b) Diagramme de l'œil optique à 50 Gb/s pour une tension de modulation de 1.96 Vpp [38]

Guoliang Li et son équipe de Oracle Labs reportent dans les papiers [39] et [40] la conception d'un modulateur en anneau à 40 Gb/s intégrant un système de réglage thermique. Cet anneau est fabriqué avec le procédé SOI CMOS 130 nm de Luxtera / Freescale. Son architecture adopte plusieurs changements par rapport à la version précédente proposée par le même auteur [41] afin de viser une modulation à 40 Gb/s. L'ensemble du pourtour de l'anneau est occupé par la jonction PN alors que l'ancienne topologie utilisait 25% du guide de l'anneau comme résistance thermique. Dorénavant, l'asservissement en température est réalisé par une résistance métallique placée au-dessus de l'anneau. Par ailleurs, les dopages de la jonction PN ont été augmentés et le rayon de l'anneau réduit à 5 µm. Ceci a permis d'améliorer l'efficacité de modulation, de réduire la résistance série du dispositif et de diminuer le facteur de qualité de l'anneau. En combinant ces effets, G. Li est parvenu à augmenter les bandes passantes électrique et optique de l'anneau pour atteindre une fréquence de coupure électro-optique d'environ 28 GHz. Sous une modulation de 2 Vpp centrée autour de 1 V en polarisation inverse, le diagramme de l'œil à 40 Gb/s montre un taux d'extinction important de 7 dB. Notons enfin que cette démonstration est réalisée dans la bande C comme le modulateur précédent de PETRA.

Marianna Pantouvaki, dans le cadre d'un projet de l'IMEC (*Interuniversity Microelectronics Center*), s'est également intéressée à la conception d'un anneau résonant à débit élevé dans la bande C [42]. Cet anneau dont une image est montrée à la Figure 1.17 (a), a un rayon de 5 µm afin de réduire la capacité du composant. De plus, deux masques d'implants supplémentaires de fortes concentrations de dopages (4.5×10^{19} cm^{-3} et 3×10^{20} cm^{-3}) sont utilisés pour réduire la résistance de contact de l'anneau. Ainsi la bande passante électrique de l'anneau définie par le produit RC est estimée à 36.5 GHz. Par ailleurs les forts dopages de la jonction PN sont responsables de fortes pertes dans l'anneau, ce qui permet d'étendre la limitation en fréquence due au temps de vie des photons dans la cavité optique. Par conséquent, la bande passante optique est estimée à 53 GHz. La mesure de la réponse S_{21} électro-optique montre que la bande passante totale est d'environ 38 GHz, ce qui confirme que l'anneau est principalement limité par le produit RC. La caractérisation DC du dispositif donne une efficacité de modulation de 38 pm/V correspondant au décalage du pic de résonance pour un changement de tension de 0V à -1V (Figure 1.17 (b)). L'obtention de diagrammes de l'œil ouverts est démontrée pour des débits de 40 à 56 Gb/s en utilisant de faibles tensions de modulation de 1.5 Vpp à 2.5 Vpp (Figure 1.17 (c)). M. Pantouvaki a pu également améliorer son dispositif afin de diminuer sa consommation d'énergie. En effet, dans le papier [43], elle montre le fonctionnement du modulateur en anneau à 50 Gb/s avec une tension de seulement 1 Vpp et une polarisation à 0V. Le taux d'extinction n'est pas dégradé et reste à 4.7 dB tandis que l'énergie consommée est réduite à 5.7 fJ/bit. De plus, la comparaison avec un anneau à faible bande passante indique que l'anneau à 50 Gb/s permet d'assouplir le contrôle strict de la longueur d'onde de travail nécessaire lors de fluctuations de température car l'anneau conserve de bonnes performances de modulation sur une plage d'environ 260 pm, soit cinq fois plus étendue que l'anneau à faible bande passante.

Très récemment, l'IMEC a également publié un papier sur la fabrication d'un modulateur en anneau à 56 Gb/s dans la bande O, soit pour une longueur d'onde de transmission proche de 1310 nm [44]. Cependant, peu de détails sont donnés sur les caractéristiques de cet anneau. Modulé par un signal d'amplitude 1 Vpp, il présente un taux d'extinction de 3 dB et des pertes d'insertion de 5 dB. Des travaux futurs sur l'optimisation du procédé sont envisagés pour améliorer l'efficacité du modulateur.

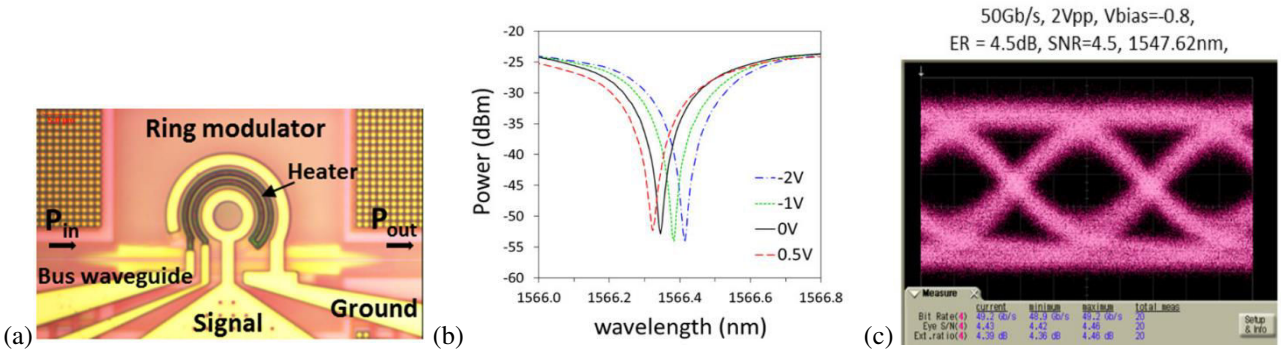


Figure 1.17. (a) Vue de dessus au microscope de l'anneau résonant fabriqué par l'IMEC [43]*, (b) Spectres de transmission optique pour différentes tensions de modulation appliquées sur l'anneau* [42]*, (c) Diagramme de l'œil à 50 Gb/s à partir d'un signal NRZ PRBS 2^{31}-1 de 2 Vpp d'amplitude* [42].

L'équipe de Zhe Xuan de l'université de Delaware est, à notre connaissance, la seule autre à proposer la réalisation d'un modulateur en anneau à débit élevé dans la bande O de communications optiques, c'est-à-dire pour une longueur d'onde de travail proche de 1310 nm [45]. L'anneau en question d'un rayon de 15 µm est constitué à 75% par une jonction PN dont les niveaux de dopages sont approximativement de 2×10^{18} cm^{-3}. Il a été fabriqué au sein de l'institut de microélectronique de A*STAR à Singapour et présente une efficacité de modulation de 14.2 pm/V. Sa bande passante électro-optique est estimée à 30 GHz, ce qui est suffisant pour supporter une modulation jusqu'à 40 Gb/s. En effet, un diagramme de l'œil optique est obtenu à 40 Gb/s avec un taux d'extinction de 6.2 dB lorsque le modulateur est polarisé à -2.6 V et piloté par une tension d'amplitude 4.8 Vpp. De plus, Z. Xuan montre qu'une transmission NRZ-OOK est possible à travers une fibre SMF de 40 km de long, avec très peu de dégradation du signal optique (2.8 ps de jitter de dégradation). Ainsi, il confirme bien l'intérêt d'utiliser la bande O pour réaliser des liens optiques à haut débit et moyenne distance pour les réseaux métropolitains.

Cet état de l'art montre finalement qu'il existe peu de démonstrations présentant un modulateur en anneau à un débit de 50 Gb/s et plus. La plupart des anneaux sont conçus pour fonctionner dans la bande C des communications optiques alors que la bande O bénéficie d'une dispersion chromatique nulle pour les fibres optiques. En revanche, les effets de modulation sont moins performants à ces longueurs d'onde mais l'utilisation d'un guide d'onde deep-rib permet d'améliorer le confinement du mode optique et ainsi améliorer l'efficacité de la jonction PN. Notre objectif dans ce travail de thèse est de concevoir un modulateur en anneau opérant à 1310 nm à un débit d'au moins 50 Gb/s. Le Chapitre 2 permettra de mettre en place une modélisation du modulateur en anneau qui aboutira dans le Chapitre 3 à l'optimisation des paramètres de l'anneau afin de démontrer le fonctionnement de l'anneau à 50 Gb/s.

1.3.2. Driver électrique

La conversion des signaux électriques contenant les données à transmettre en signaux optiques se réalise par le biais du modulateur. Cependant les données ne sont pas directement envoyées au modulateur, elles passent au préalable par un driver. Ce driver permet de contrôler la tension appliquée au modulateur. Il joue en quelque sorte le rôle d'un interrupteur qui active ou non le modulateur selon le niveau des bits à transmettre. Le but du driver est donc de mettre en forme les signaux d'entrée et de piloter la charge capacitive du modulateur. Le driver peut donc être assimilé à un buffer qui adapte le signal d'entrée à l'effort logique requis par le modulateur.

Deux principales familles logiques de transistors sont utilisées pour implémenter les drivers :

- La famille ECL (*emitter-coupled logic*), aussi appelée CML (*current-mode logic*)
- La famille CMOS (*complementary metal-oxide-semiconductor*)

Les drivers basés sur la famille ECL sont généralement réalisés en technologie bipolaire. Ce type d'implémentation permet de réduire les délais de propagation dans les transistors mais produit une faible amplitude de tension entre les niveaux haut et bas. Cette famille est moins populaire que le CMOS car elle consomme beaucoup plus de puissance et ne permet pas un fort niveau d'intégration. Les transitions entre deux niveaux étant très rapides (car les transistors ne sont jamais saturés), l'ECL est bien adapté pour le design des applications nécessitant des lignes de transmission ainsi que pour les équipements de communication à très grande vitesse, comme les interfaces des fibres optiques [46]. Le buffer de base en ECL est constitué par deux transistors connectés en paire différentielle ou amplificateur différentiel. Le courant

est alors transféré entre deux chemins possibles selon l'état de sortie (sortie inverseuse ou non-inverseuse), d'où l'appellation CML.

Enrico Temporiti et son équipe de STMicroelectronics ont basé le design de leur driver sur cette technologie ECL afin de réaliser un transmetteur photonique opérant jusqu'à 56 Gb/s et dissipant une énergie de 5.4 pJ/bit [47] [48]. Un modulateur de Mach-Zehnder « *travelling-wave* » (TW MZM, cf. section 2.2) est combiné à un driver push-pull fabriqué en technologie 55nm BiCMOS. Les électrodes différentielles du MZM sont réalisées comme une ligne bifilaire, chargée périodiquement par une section du modulateur. Quant au driver, il met en œuvre des émetteurs-suiveurs (*emitter follower circuit*) et des paires différentielles ECL (Figure 1.18). Il fournit un signal de sortie de tension crête à crête de 1.6 Vpp et occupe une surface de 0.38 mm² (en comparaison, la zone active du MZM a une longueur de 3.15 mm). L'étage de pre-driver inclut également des inductances pour former un circuit de « *shunt peaking* » et ainsi réduire davantage les temps de montée et descente.

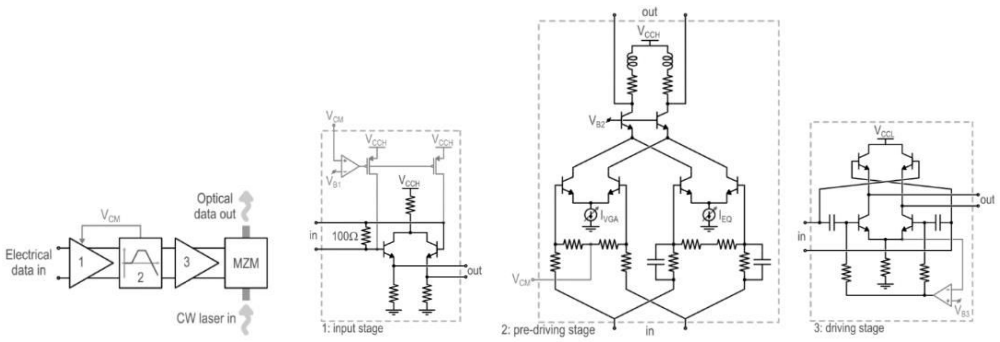


Figure 1.18. Schémas simplifiés du driver de [47]. *L'étage d'entrée est basé sur une structure émetteur-suiveur avec une faible capacité d'entrée pour assurer une adaptation d'impédance large bande. L'étage de pre-driver est constitué de deux paires ECL et permet d'implémenter les fonctions d'égalisation (*equalization*) et d'amplification (*VGA*). L'étage de sortie comprend un montage émetteur-suiveur empilé sur une paire ECL.*

La technologie CML est également utilisée par Benjamin Lee de IBM pour réaliser son driver à 6 canaux en procédé 130 nm BiCMOS [49]. Chacun des canaux pilote un des 6 segments du modulateur de Mach-Zehnder à électrodes segmentées (SE MZM). Une égalisation en boucle ouverte (FFE *feed forward equalization*) est réalisée dans le domaine optique afin d'étendre la bande passante au-delà de la limite RC du modulateur. Ceci permet d'atteindre des débits de 56 Gb/s mais la consommation énergétique est relativement élevée (trop élevée pour concurrencer les liens en cuivre) avec une efficacité de 16 pJ/bit pour le driver (45 pJ/bit pour le transmetteur complet incluant le laser et les étages d'amplification en amont du driver). Nous retrouvons également ce type de driver basé sur un montage à émetteur commun dans les travaux de Jérémie Prades [50] [51]. La technologie BiCMOS 55nm de STMicroelectronics est utilisée pour offrir une grande bande passante supérieure à 50 GHz et ainsi permettre la modulation d'un SE-MZM à 60 Gb/s.

Comme la tendance est plutôt aux drivers faible puissance, les technologies CMOS sont largement préférées et les techniques CML sont alors réservées à la conception des sérialiseurs et/ou des encodeurs en amont du driver. Ceci est bien illustré par la Figure 1.19 représentant le diagramme d'un transmetteur [52]. De telles architectures sont également mises en œuvre par exemple dans les travaux de S. Zhou (institut national Tyndall) [53] et de H. Sepehrian (université de Laval) [54].

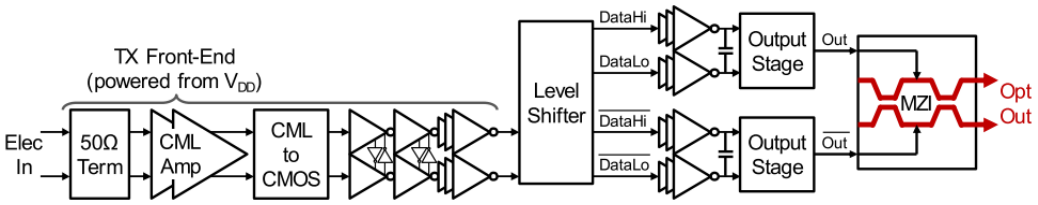


Figure 1.19. Diagramme en blocs du transmetteur de [52]. *L'amplificateur CML permet d'amplifier les signaux d'entrée et est suivi par un convertisseur CML vers CMOS. Les inverseurs à couplage croisés minimisent les erreurs de timing entre les signaux. Le level shifter fournit les niveaux haut et bas des signaux CMOS qui sont bufferisés par une chaîne d'inverseurs puis pilotés par l'étage de sortie du driver.*

La plupart des drivers issus de la littérature visent de larges amplitudes de tension de sortie pour assurer un bon contraste optique entre les niveaux haut et bas, c'est-à-dire un grand OMA (*optical modulation amplitude*). Cependant les technologies CMOS actuelles (nœuds compris entre 16 nm et 130 nm) présentent des tensions d'alimentation assez faible,

autour de 1V. C'est pourquoi les architectures de drivers implémentent très souvent un level shifter, suivi d'un étage de sortie cascodé combiné ou non à un générateur de pulse.

- Le level shifter permet de fournir les niveaux de tension adéquats (V_{dd} et $2V_{dd}$) pour atteindre une excursion totale de $2V_{dd}$ sur le modulateur.
- L'étage de sortie est constitué de plusieurs inverseurs élémentaires. Néanmoins pour limiter la tension aux bornes des transistors, les transistors sont cascodés, respectant ainsi les zones de fonctionnement sûres (SOA *safe operating area*). Le principe des structures cascodes est notamment expliqué dans [55] et [56].
- Le montage cascode limite cependant la vitesse de modulation, d'où l'utilisation de signaux pulsés pour contrer cet effet sans sacrifier la robustesse du driver. Le générateur de pulse peut être réalisé par des portes logiques ou basé sur un filtre RC passe-haut.

Marco Cignoli et Enrico Temporiti (STMicroelectronics) se sont intéressés à cette topologie de driver pour concevoir un transmetteur électro-optique sur silicium complet à 25 Gb/s, comprenant un modulateur de Mach-Zehnder et un driver en technologie 65 nm bulk CMOS [57] [48]. Une architecture multi-étages est préférée pour le modulateur et le driver afin d'assurer une grande amplitude de modulation. Chaque étage du driver est basé sur des inverseurs empilés, pré-drivés par un DC shifter. Ce DC shifter est réalisée à l'aide de capacités et de deux inverseurs montés en tête bêche (Figure 1.20). Le driver consomme une énergie de 11 pJ/bit.

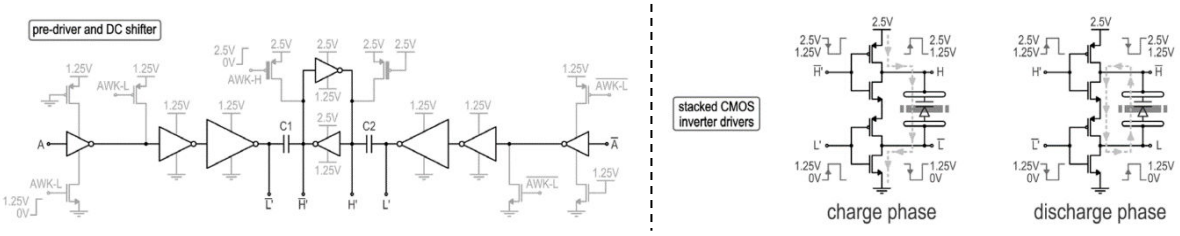


Figure 1.20. DC shifter et driver à base d'inverseurs CMOS empilés [57]

Frankie Liu des laboratoires d'Oracle a également mis en œuvre un transmetteur CMOS à base de level shifter et de driver cascodé pour obtenir une modulation sur 2 V et ainsi atteindre un taux d'extinction de 7 dB [58]. Des générateurs de pulse au niveau de l'étage de sortie limitent les excursions de tensions du montage cascode pendant les transitions de bits. Le transmetteur fabriqué sur un procédé TSMC 40 nm, consomme une puissance de 1.35 mW à 10 Gb/s soit 0.135 pJ/bit.

On retrouve ce type d'architecture dans les travaux du CEA-LETI [59]. José Gonzalez présente la démonstration d'un driver en CMOS 65 nm pilotant un modulateur en anneau jusqu'à 12.5 Gb/s. Le driver est constitué de deux buffers, l'un est alimenté entre V_{dd} et Gnd tandis que l'autre, placé derrière un level shifter, est alimenté entre 2 V_{dd} et V_{dd}. Ces deux branches sont combinées en utilisant des transistors cascodés pour fournir un unique signal de sortie au modulateur. Un filtre RC est utilisé comme générateur de pulse pour éviter des surtensions pendant les transitions. La consommation d'énergie est évaluée à 0.54 pJ/bit.

Les laboratoires de HP ont développés plusieurs variantes de leur transmetteur. Dans les travaux de thèse de Palermo [60], le driver est conçu pour un modulateur à puits quantiques (MQW *multi quantum well*) à électroabsorption. Dans les articles [61] et [62], le driver pilote un anneau en déplétion tandis que dans les articles [63] et [64], l'anneau est utilisé en injection de porteurs. Malgré ces différences, l'architecture du driver est toujours la même : des level shifters et des buffers fournissent les niveaux de tension requis pour piloter les drivers différentiels basé sur des circuits cascode pulsés (Figure 1.21). Le driver implémente un égaliseur en boucle ouverte à deux coefficients (2-tap FFE *feed forward equalizer*) ce qui permet de corriger les interférences inter-symboles (ISI *inter-symbol interferences*) ([60] et [61]). Le FFE est adapté dans [62] pour réaliser une modulation PAM4. Enfin dans [63] et [64], le FFE permet d'appliquer du pre-emphasis pour compenser les limitations de bande passante du modulateur.

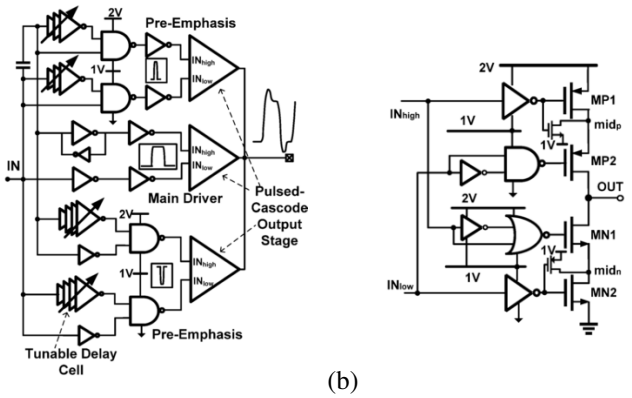
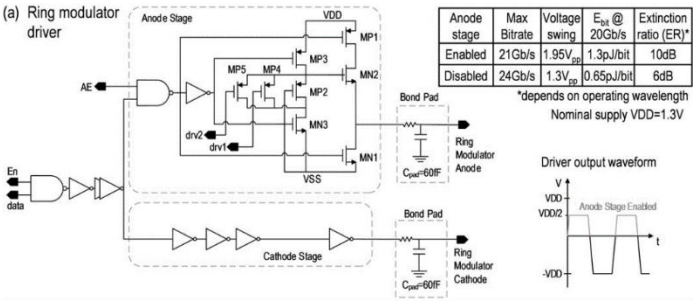


Figure 1.21. (a) Driver avec module de pre-emphasis, (b) Etage de sortie du driver [63]

D'autres architectures de drivers sont également présentes dans la littérature. Notons principalement la topologie asymétrique du driver de l'IMEC [65], [19] et [66]. Michal Rakowski s'est intéressé à un transceiver optique WDM basé sur des anneaux, chaque canal opérant à 20 Gb/s. Chacun des anneaux est connecté à un driver différentiel fabriqué en technologie 40 nm LP CMOS et illustré à la Figure 1.22. L'asymétrie du driver permet d'appliquer une plage de tension de 1.95 Vpp sur le modulateur. L'étage pilotant la cathode consiste en une chaîne d'inverseurs et fournit une amplitude de V_{dd} en polarisation inverse. L'étage pilotant l'anode étend la tension de modulation avec une polarisation directe de l'anneau afin d'améliorer l'OMA. Chaque driver consomme une énergie de 1.3 pJ/bit.



Anode stage	Max Bitrate	Voltage swing	E_{bit} @ 20Gb/s	Extinction ratio (ER)*
Enabled	21Gb/s	$1.95V_{pp}$	1.3pJ/bit	10dB
Disabled	24Gb/s	$1.3V_{pp}$	0.65pJ/bit	6dB

*depends on operating wavelength
Nominal supply VDD=1.3V

Figure 1.22. Schéma et tableau des performances du driver du modulateur en anneau à 20 Gb/s [66]

Tam Huynh (IBM) a montré les mesures expérimentales à 25 Gb/s d'un transmetteur WDM à 4 voies avec des modulateurs à électroabsorption pilotés par des drivers en 32 nm CMOS [67]. L'architecture du driver a été conçue pour être la plus simple possible et résulte en une chaîne d'inverseurs. En conséquence une très faible consommation d'énergie de 0.19 pJ/bit est atteinte.

En collaboration avec Oracle, Jun Li de l'université de Californie propose un transmetteur opérant à 25 Gb/s [68]. L'anneau est modulé par une tension différentielle de 2.4 Vpp via un driver faible puissance à base d'inverseurs. Pour permettre une amplitude de $2V_{dd}$ sur le modulateur, deux drivers push-pull en 130 nm SOI CMOS sont connectés à la diode : à l'anode l'inverseur commute entre Gnd et V_{ss}, à la cathode l'inverseur commute entre Gnd et V_{dd}. Le transmetteur réalise l'une des meilleures performances en efficacité énergétique, avec une consommation de 0.68 pJ/bit. Un travail précédent de cette équipe [69] inclut un circuit de pre-emphasis pour compenser la réponse non linéaire de l'anneau et ainsi augmenter le taux d'extinction.

Dans l'article [70], Binhao Wang (université du Texas & HP Labs) discute l'impact du format de modulation (NRZ ou PAM4) sur l'efficacité énergétique d'un transmetteur à base d'anneau en fonction de la technologie CMOS utilisée. La comparaison est faite entre un nœud 65 nm et un nœud 16 nm. Le modèle du driver repose sur des étages de sorties différentiels cascodés, pré-drivés par des chaînes d'inverseurs. Ainsi la tension de modulation équivaut à 4 fois la tension nominale d'alimentation. Les résultats de modélisation montrent que l'architecture en PAM4 est plus performante pour des débits plus élevés.

Stefan Shopov (université de Toronto) propose l'implémentation d'un driver en technologie CMOS 28nm FDSOI, fonctionnant jusqu'à 60 Gb/s avec une amplitude de sortie entre 2.6 Vpp et 4.3 Vpp, ajustable selon les besoins du modulateur optique [71] [72]. Ce driver est constitué de 5 amplificateurs transimpédance (TIA *TransImpedance Amplifier*), suivis par un étage de sortie cascodé (Figure 1.23). Le nombre de TIA est dicté par la nécessité d'un grand

gain supérieur à 26 dB ce qui assure que le dernier étage commute complètement même avec des signaux d'entrée de très faible amplitude (40 mVpp). De plus, la combinaison d'inductances entre les étages et dans les boucles de rétroaction des TIA (*inductive peaking*) permet de maximiser la bande passante du driver. Le driver consomme une énergie de 2.2 pJ/bit, respectivement 5.3 pJ/bit selon la tension de sortie. Il est combiné à un modulateur de Mach-Zehnder en intégration flip-chip pour réaliser un transmetteur à 44 Gb/s [73].

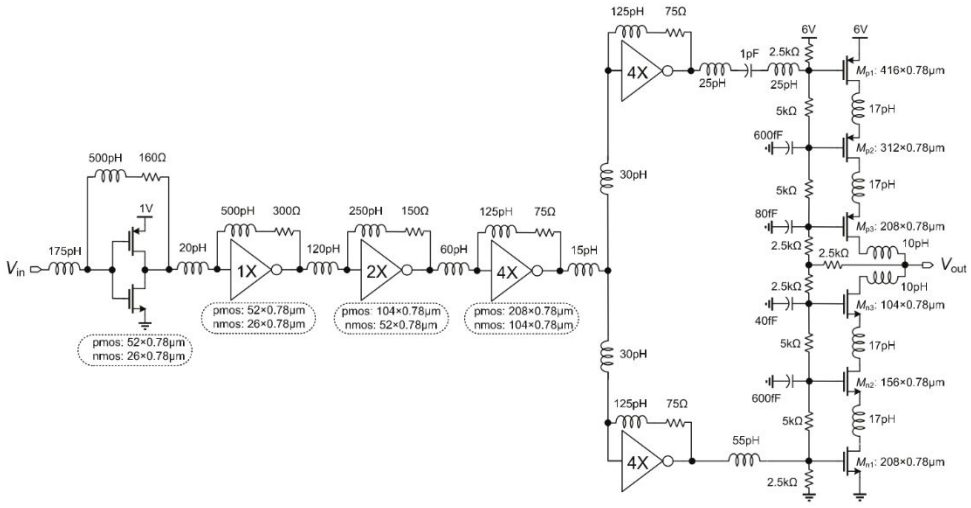


Figure 1.23. Schéma du driver à fort gain et grande bande passante [72].

Cet état de l'art montre finalement que la plupart des drivers proposés visent de grandes amplitudes de tension de sorties afin d'assurer une grande amplitude de modulation optique. Cependant, cette contrainte n'est pas compatible avec une très faible consommation énergétique qui est proportionnelle au carré de la tension délivrée par le driver. C'est pourquoi, dans cette thèse, nous nous interrogerons sur la validité d'une telle hypothèse : dans quel contexte est-il préférable d'assurer une faible amplitude de sortie afin de privilégier une bonne efficacité du driver ? Notre objectif sera de concevoir un driver CMOS à 20 Gb/s en analysant particulièrement le compromis vitesse – puissance consommée (Chapitre 4). Puis nous montrerons au Chapitre 6 qu'une architecture élémentaire basée sur des inverseurs CMOS permet de réduire le bilan énergétique global d'un lien électro-optique WDM dans le cadre d'une communication courte distance.

1.3.3. Système de transmission à débit élevé

Dans cette dernière sous-partie sur les transmetteurs, nous allons donner un aperçu de l'état de l'art des démonstrations qui co-intègrent un modulateur et un driver. Nous nous concentrons essentiellement sur des systèmes de communication à débit élevé. Pour atteindre une grande vitesse de transmission des données, deux principales techniques peuvent être déployées. La première consiste à augmenter le débit de transmission du canal, éventuellement en utilisant des formats de modulation complexes qui permettent de transmettre plusieurs bits par symbole. La deuxième consiste à multiplexer les données sur plusieurs canaux ce qui permet de transmettre à des débits modérés plusieurs bits en parallèle. Le multiplexage peut être réalisé en utilisant différents canaux physiques, c'est-à-dire plusieurs fibres optiques ou guides d'onde, on parle alors de multiplexage par répartition spatiale (SDM *Space Division Multiplexing*). Le multiplexage peut également être réalisé en utilisant une seule fibre / un seul guide d'onde dans lequel se propage plusieurs signaux optiques à des fréquences différentes, on parle alors de multiplexage en longueur d'onde (WDM *Wavelength Division Multiplexing*). L'état de l'art présenté ci-dessous présente dans un premier temps les transmetteurs à des débits de 40 Gb/s et plus, à base de modulation NRZ (*Non Return to Zero*) ou PAM4 (*Pulse Amplitude Modulation at 4 levels*), puis dans un second temps les transmetteurs WDM. L'ensemble de l'état de l'art est résumé dans les Tableau 1 et Tableau 2.

Sen Lin, de l'université de Berkeley, a proposé un ensemble de modèles permettant de co-concevoir un transmetteur en photonique sur silicium à grande vitesse [74]. Cette co-optimisation électro-optique est appliquée en particulier à des transmetteurs à base de modulateurs en anneau ou de modulateur de Mach-Zehnder et permet de comparer leur performance en termes d'efficacité énergétique, étant donné les mêmes contraintes de technologie et de sensibilité du lien. Pour un lien NRZ à 50 Gb/s, les transmetteurs à base d'anneaux permettraient d'économiser près de 60% de la puissance consommée totale grâce à leur très petite taille. De plus, un format de modulation PAM4 pourrait réduire de près de 20% la consommation du transmetteur car les besoins en bande passante optique sont réduits de moitié. Bien que ce papier ne

propose pas d'implémentation physique, il donne tous les éléments nécessaires à la co-optimisation d'un modulateur et de son driver pour atteindre un débit de 50 Gb/s.

Publications	[75]	[47]	[49]	[76]	[62]	[77]	[78]
Intégration	Flip-chip	Flip-chip	Wire-bonding	Monolithique	Wire-bonding	Monolithique	Wire-bonding
Longueur d'onde	1310 nm	1310 nm	1310 nm	1310 nm	1550 nm	1280 nm	1550 nm
Type de modulateur	TW MZM 3.36 mm	TW MZM 3.15 mm	SE MZM 6×300 µm	TW MZM 2 segments 1mm & 2mm	RRM Rayon 12µm 2 segments, ratio 1.9:1	RRM Rayon 5µm 16 segments égaux	RRM Rayon 5µm
Technologie	PIC25G	PIC25G	90 nm CMOS	CMOS9WG (sub-100 nm)	130 nm SOI	45 nm SOI CMOS	Plateforme SiPh IMEC
Charge	990 fF	950 fF	130 fF/section	-	-	-	22 fF
Taux d'extinction	2.7 dB	2.5 dB	1.8 dB	6 dB	-	3 dB	4 dB
Efficacité de modulation	2.4 V-cm	2.4 V-cm	2.04 V-cm	1.47 V-cm	20 pm/V	9 pm/V*	40 pm/V 0.76 V-cm**
Type de driver	-	Emetteur-suiveurs + paires ECL différentielles	Cherry Hooper LA + étage de sortie CML	Pré-amplificateurs différentiels CML + open drain driver	Buffer + level shifter + étage de sortie cascodé + couplage AC	Inverseurs CMOS	5 inverseurs CMOS : TIA + amplificateur large bande + étage de sortie
Technologie	130 nm SiGe BiCMOS	55 nm BiCMOS	130 nm BiCMOS	CMOS9WG (sub-100 nm)	GP 65nm CMOS	45nm SOI CMOS	28FDSOI CMOS
Tension de modulation	2 Vpp 4 Vppd	1.6 Vppd	1.6 Vpp	1.08 Vpp 2.16 Vppd	4.4 Vppd	1.55 Vpp	1 Vpp
Débit / Modulation	56 Gb/s NRZ	56 Gb/s NRZ	56 Gb/s NRZ	28 Gbaud/s PAM4 (56 Gb/s)	20 Gbaud/s PAM4 (40 Gb/s)	20 Gbaud/s PAM4 (40 Gb/s)	56 Gb/s NRZ
Energie consommée par le driver	7.6 pJ/bit	5.4 pJ/bit	45 pJ/bit	4.8 pJ/bit	4.38 pJ/bit	0.042 pJ/bit	0.71 pJ/bit

*Cette valeur est estimée à partir du spectre de transmission donné dans [77]. Le décalage du pic est de 210pm lorsque toutes les sections sont activées, soit 16×1.55 Vpp.
**La valeur du produit $V_\pi L_\pi$ est obtenue à partir des données du papier [43] qui présente de façon détaillée le modulateur utilisé dans [78].

Tableau 1. Comparaison des transmetteurs en photonique sur silicium réalisés pour des débits élevés (> 40 Gb/s)

Trois papiers démontrent le fonctionnement d'un transmetteur basé sur un modulateur de Mach-Zehnder à un débit de 56 Gb/s [75] [47] [49]. Deux d'entre eux ont adopté une architecture travelling-wave combinée à un driver en technologie BiCMOS (130 nm pour Finisar [75] et 55nm pour STMicroelectronics [47]) afin d'atteindre un débit élevé. Les puces optiques sont fabriquées dans les deux cas à partir de la technologie PIC25G de STMicroelectronics et intégrées à la puce électronique par un assemblage 3D. Le taux d'extinction du modulateur est équivalent pour chacune des réalisations (2.5 dB) tandis que l'énergie dissipée par le transmetteur est légèrement inférieure pour le démonstrateur de STMicroelectronics (5.4 pJ/bit contre 7.6 pJ/bit). Cette approche a pour but de développer les blocs de base des futurs modules optiques 400 GbE à faible facteur de forme (SFP *Small Form Factor Pluggable*) pour répondre aux besoins des datacenters. Au contraire, le troisième papier [49] vise des applications à très courte distance et utilise une architecture à électrodes segmentées (SE *Segmented Electrodes*) pour le MZM. Celui-ci est intégré avec un driver en technologie 130 nm BiCMOS via un assemblage en wire-bonding. Afin d'étendre la bande passante, une égalisation en boucle ouverte (FFE) dans le domaine optique est réalisée et permet d'atteindre un débit de 56 Gb/s mais au détriment du taux d'extinction.

L'état de l'art présente également un autre démonstrateur à débit élevé, à base de MZM, mais cette fois-ci sous la forme d'un convertisseur numérique-analogique (DAC *Digital-to-Analog Converter*) optique pour permettre une modulation PAM4 [76]. Utiliser un DAC optique permet d'éliminer la puissance consommée par l'utilisation d'un DAC électrique et est, de plus, très facile de mise en œuvre. Chaque bras du MZM est divisé en deux segments, de longueur 1 et 2 mm respectivement. Les drivers CMOS de ces deux segments sont identiques et basés sur la logique CML. Leur amplitude de sortie est ajustable afin de compenser la fonction de transfert non linéaire du MZM et maximiser ainsi l'ouverture du diagramme de l'œil. L'optimisation des électrodes TW et l'intégration monolithique des drivers permettent un fonctionnement du transmetteur à 56 Gb/s (28 Gbaud) et une transmission sans erreur (BER < 10^{-12}) jusqu'à 50 Gb/s (25 Gbaud) sans système de correction des bits (FEC *Forward-Error Correction*) (cf. Figure 1.24.)

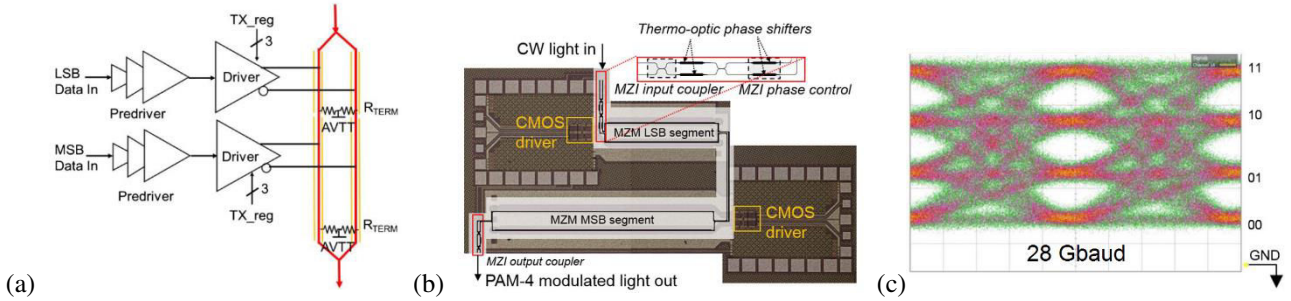


Figure 1.24. (a) Schéma du DAC optique piloté par deux drivers identiques, (b) Microphotographie du transmetteur monolithique. Deux coupleurs directionnels intégrant des systèmes de réglage thermo-optique font office de coupleurs d'entrée et de sortie du MZM, (c) Diagramme de l'œil PAM4 à 28 Gbaud (56 Gb/s) mesuré avec des séquences de bits PRBS 2^{31}-1 [76].

Pour les réalisations à base de modulateurs en anneaux, nous pouvons retenir principalement les démonstrations d'Ashkan Roshan-Zamir [62] (université du Texas en collaboration avec HP) et de Sajjad Moazeni [77] (université de Berkeley). Ces deux transmetteurs implémentent un DAC optique afin de réaliser une modulation PAM4 mais la segmentation de l'anneau résonant est différente dans les deux cas. A. Roshan-Zamir propose de partager l'anneau en deux sections, avec une jonction PN verticale, comme pour un DAC à base de MZM [76] tandis que S. Moazeni partage l'anneau en 16 sections avec des jonctions PN entrelacées (Figure 1.25). Cette segmentation en 16 morceaux permettrait de réaliser un DAC avec une résolution de 4 bits mais elle est ici utilisée à « la façon d'un thermomètre ». La modulation PAM4 nécessite 2 bits et les 2 autres bits supplémentaires permettent de linéariser la caractéristique de transfert non linéaire de l'anneau afin d'obtenir quatre niveaux de modulation uniformément répartis. Cette compensation de la non-linéarité est réalisée dans le cas du DAC à 2 segments grâce au driver qui permet de contrôler indépendamment les temps de montée/descente (réglage du décalage temporel) et les niveaux de tensions de chaque segment. Les deux transmetteurs permettent un fonctionnement à 40 Gb/s (20Gbaud) mais le DAC à 16 segments atteint une meilleure efficacité énergétique car il n'est pas contraint par la complexité du driver du DAC à 2 segments. On peut noter que A. Roshan-Zamir propose également une implémentation à base d'un DAC électrique [79] qui permet la modulation PAM4 d'un anneau à 40 Gb/s (20 Gbaud).

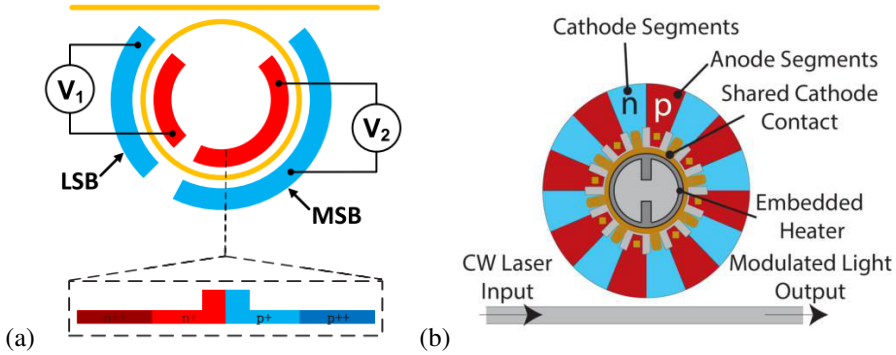


Figure 1.25. DAC optique à base d'anneau résonant : (a) 2 segments, jonction verticale [62]*, (b) 16 segments, jonction entrelacée* [77].

Enfin, la plus récente des démonstrations pour un transmetteur à 56 Gb/s est réalisée par Hannes Ramon de l'université de Gand – IMEC [78]. Le transmetteur est composé d'un driver à base d'inverseurs CMOS en technologie 28nm FDSOI et d'un modulateur en anneau dont la bande passante est de 46 GHz. Le driver utilise une combinaison de TIAs et d'inverseurs basiques pour fournir un gain de 22 dB tout en maintenant une grande bande passante. Il délivre ainsi une tension de 1 Vpp au modulateur à partir d'un signal en entrée de 75 mVpp, et consomme seulement 40 mW soit une efficacité énergétique de 710 fF/bit à 56 Gb/s. L'anneau présente un taux d'extinction de 4 dB et une transmission après 2km de fibre optique montre un taux d'erreur (BER *Bit Error Rate*) inférieur à 10^{-9} à 56 Gb/s (Figure 1.26).

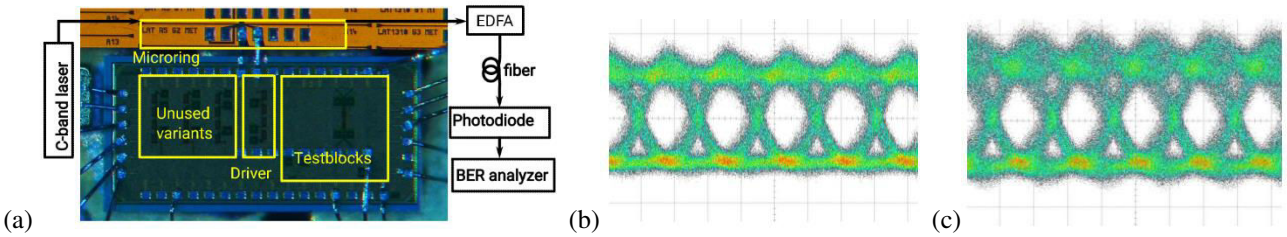


Figure 1.26. (a) Photographie du transmetteur de l'IMEC (intégration wire-bonding), (b) et (c) Diagrammes de l'œil à 56 Gb/s (10ps/div. 45mV/div.) : (b) sans fibre, (c) après 2km de fibre [78].

En ce qui concerne les systèmes WDM, le modulateur le plus adapté est l'anneau résonant car celui-ci est très sélectif en longueur d'onde et on peut facilement cascader plusieurs anneaux sur un seul guide d'onde pour réaliser le lien WDM. Par contre, peu de démonstrateurs existent car le modulateur en anneau nécessite d'implémenter un système d'asservissement de la position de son pic de résonance (*tuner*). Le réglage de la résonance est en général effectué par une méthode thermo-optique, c'est-à-dire qu'une résistance chauffante est intégrée à proximité de l'anneau.

Publications	[58] **Liu**	[66] **Rakowski**	[61] **(+** [80]**) Li**	([81] **+)** [82] **Sun**	[83] **Thonnart**
Intégration	Wire-bonding	Flip-chip	Wire-bonding	Monolithique	Flip-chip
Longueur d'onde	1550 nm	1550 nm	1550 nm	1180 nm	1310 nm
Modulateur	RRM Rayon 12µm	RRM Rayon 7.5µm 300 GHz spacing	RRM Rayon 7.5µm 200 GHz spacing	RRM Rayon 5 µm	RRM
Technologie	130 nm SOI	130 nm SOI	130 nm SOI	45 nm SOI	100 nm SOI
Taux d'extinction	7 dB	7 dB	7 dB	6.5 dB	-
Nombre de canaux	8	4	5	11	4
Débit par canal	10 Gb/s/ch	20 Gb/s/ch	25 Gb/s/ch	5 Gb/s/ch	10 Gb/s/ch
Asservissement thermique	Boucle ouverte (manuel)	Boucle ouverte (manuel)	Stabilisation en boucle fermée Détection de la valeur moyenne/pic de la puissance	Stabilisation en boucle fermée Bit-statistical tuner	Stabilisation analogue en boucle fermée par contrôle numérique Système intégré de réattribution des longueurs d'onde
Efficacité des résistances chauffantes	3.2 nm/mW	280 pm/mW	Environ 200 pm/mW (160 pm/mW)	1.25 nm/mW 3.8 µW/GHz	40 pm/mW
Puissance consommée par le tuner	500µW résistance 500µW circuit de switch 250µW contrôle TOTAL 1.25 mW/ch	6.2 mW/ch résistance	5 mW résistance 170 µW contrôle TOTAL 5.17 mW/ch	2 mW résistance 0.72 mW contrôle TOTAL 2.72 mW/ch	0.15 mW/ch contrôle
Driver	Driver CMOS cascodé	Driver différentiel asymétrique à base d'inverseurs CMOS	Driver CMOS différentiel cascodé à couplage AC + 2 tap pre-emphasis	Chaîne d'inverseurs CMOS	-
Technologie	40 nm CMOS	40 nm LP CMOS	65 nm GP CMOS	45 nm SOI	65 nm CMOS
Tension de modulation	2 Vpp	1.95 Vpp	4.4 Vppd	1.2 Vpp	2.5 Vpp
Puissance consommée par driver	1.35 mW	26 mW/ch	61.8 mW driver 31.2 mW serializer TOTAL 113.5mW/ch	0.15 mW driver 0.70 mW serializer TOTAL 0.85mW/ch	-
Energie totale du TX	0.26 pJ/bit (2.6 mW/ch)	1.6 pJ/bit/ch (32.2 mW/ch)	4.75 pJ/bit/ch (118.67 mW/ch)	0.714 pJ/bit/ch (3.57 mW/ch)	0.64 pJ/bit/ch (6.4 mW/ch)

Tableau 2. Comparaison des transmetteurs WDM en photonique sur silicium

Frankie Liu, avec les laboratoires Oracle Labs, est un des premiers à envisager un prototype pour réaliser un lien WDM à 8 canaux [58]. Le transmetteur intégré par wire-bonding comprend des drivers CMOS, les modulateurs en anneau, ainsi

que des tuners thermiques pour compenser les variations dues à la fabrication des dispositifs optiques. A 10 Gb/s par canal, le transmetteur montre un taux d'extinction de 7 dB pour une consommation énergétique de 0.26 pJ/bit. Cependant les canaux n'ont pas été testés simultanément.

Au contraire, Michal Rakowski, de l'IMEC, montre la modulation simultanée à 20 Gb/s de 2 canaux sur les 4 canaux que comprend son démonstrateur WDM [66]. Cette configuration ajoute un jitter d'environ 10 ps sur les diagrammes de l'œil en comparaison des mesures réalisées avec un seul canal modulé mais l'ouverture verticale des diagrammes n'est pas dégradée. L'asservissement thermique est ici également réalisé en boucle ouverte, c'est-à-dire que le réglage des résonances se fait manuellement ce qui ne permet pas un réglage dynamique pour compenser les fluctuations de température du circuit.

Les démonstrateurs de Hao Li (université de l'Oregon en collaboration avec HP) [61] et de Chen Sun (université de Berkeley) [82], quant à eux, intègrent un circuit de stabilisation thermique, en boucle fermée, afin de compenser dynamiquement les dérives des longueurs d'onde de résonance des anneaux. Ils réalisent un transmetteur WDM respectivement à 5 canaux à 25 Gb/s et à 11 canaux à 5 Gb/s (Figure 1.27). On peut noter par ailleurs, que le récepteur associé au circuit de H. Li est décrit dans [80] et implémente le même type d'asservissement thermique pour les filtres en anneaux, basé sur la détection des pics de puissance optique. Le circuit de stabilisation de C. Sun utilise un tuner à bits statistiques qui permet de découpler la détection des niveaux haut et bas. Celui-ci est expliqué et validé en amont du transmetteur WDM, lors de la conception d'un lien avec un modulateur unique [81].

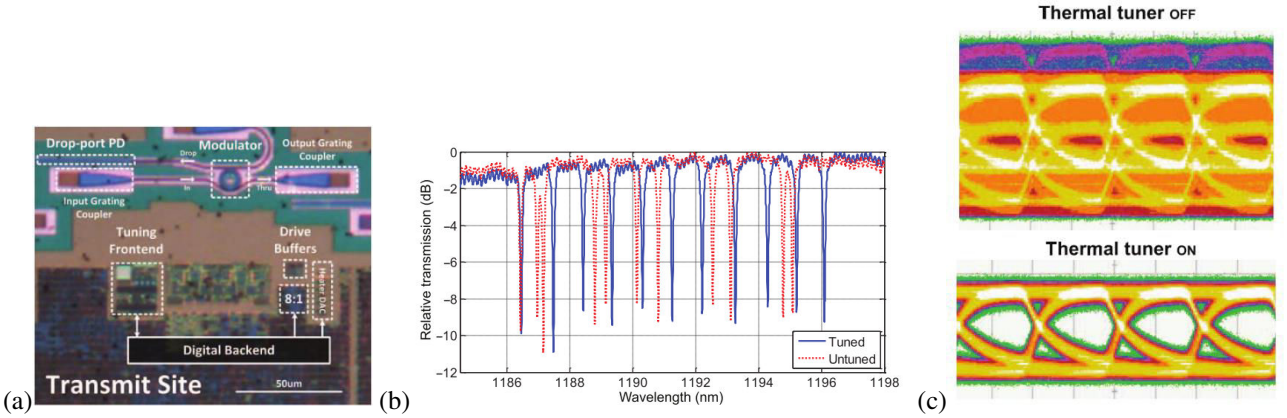


Figure 1.27. (a)Microphotographie du TX incluant les dispositifs optiques et les circuits électriques (driver, serializer, tuner), (b) Spectres de transmission avant et après l'alignement manuel des 11 pics de résonance du TX, (c) Diagrammes de l'œil à 2.5 Gb/s du TRX sans et avec le tuner, la variation de température est estimée à 8K [82].

Yvain Thonnart (CEA-LETI) présente un transceiver électro-optique en assemblage 3D qui inclut toutes les briques de base permettant de réaliser une communication optique WDM puce-à-puce au sein de processeurs multi-cœur. Le transceiver implémente les drivers à 10 Gb/s qui fournissent une tension de 2.5 Vpp aux modulateurs en anneau, les récepteurs associés, ainsi qu'un système d'asservissement en boucle fermée pour stabiliser les anneaux. De plus, le démonstrateur intègre également un système de réattribution d'une longueur d'onde vers une autre en cas de fort changement de température dans un lapse de temps très court (< 1ms). Ceci permet de considérer un fonctionnement en temps-réel du transceiver sur une grande plage de température de 0 à 90°C comme celle que l'on trouve au sein des puces des serveurs.

L'état de l'art présente d'ores-et-déjà de belles démonstrations de transceivers électro-optiques même si elles restent peu nombreuses. Le Chapitre 6 s'attachera à concevoir un système WDM en se basant sur le modulateur et le driver réalisés dans les chapitres précédents. Ce système WDM, à l'instar du démonstrateur de Rakowski [66], ne comprendra pas de système d'asservissement mais il vise l'intégration de 8 liens en parallèle modulant chacun 16 canaux pour un débit total de plus de 2 Tbit/s.

1.4. Intégration hybride

Le développement de puces hybrides électro-optiques nécessite de s'intéresser de près à l'intégration entre les composants électroniques et photoniques car celle-ci met en jeu des aspects prépondérants de la conception d'un transceiver tels que

le coût de fabrication, la facilité d'implémentation des circuits et l'intégrité des signaux modulés. De plus, l'intégration doit s'assurer de ne pas mettre en péril les performances des circuits, c'est-à-dire permettre les spécifications de vitesse, de consommation énergétique et de packaging.

Trois méthodes d'intégration sont à noter : l'intégration monolithique, par wire-bonding (« liaison par fil ») et par flip-chip (« puce retournée »).

L'intégration monolithique consiste à utiliser la même puce pour les parties photoniques et électroniques du transceiver. Elle est ainsi relativement simple à mettre en œuvre car les connexions entre l'EIC et le PIC sont facilement maîtrisables ce qui permet un bon contrôle des éléments parasites. Cependant, l'intégration monolithique est souvent réservée à des procédés de fabrication anciens car l'optimisation des composants optiques ne peut pas être réalisée directement avec une technologie avancée. Le passage à un nœud réduit demande soit de modifier le procédé existant pour pouvoir intégrer les fonctionnalités optiques ; soit, si une modification du procédé n'est pas possible, de compenser les mauvaises performances optiques en optimisant le circuit électronique par l'utilisation de composants plus perfectionnés. Dans les deux cas, le coût de fabrication du transceiver monolithique sera alors plus élevé. Cette technique est mise en œuvre en particulier dans les travaux de Buckwalter [69], qui propose la première démonstration d'un transceiver en technologie SOI 130nm entièrement intégré. Elle est également appliquée très récemment dans les travaux de A. Atabaki, S. Moazeni et F. Pavanello (MIT, université de Berkeley et université du Colorado) qui intègrent leur plateforme photonique avec un procédé CMOS bulk 65 nm [84]. L'intégration monolithique permet potentiellement de réaliser la prochaine génération de systèmes sur puce (SoC *Systems on a Chip*) et tire bénéfice des performances et de l'évolutivité de tels systèmes.

L'intégration hybride, incluant les méthodes par wire-bonding et par flip-chip, utilise deux plateformes distinctes pour implémenter les circuits électronique et photonique. Elle présente ainsi l'avantage principal de pouvoir concevoir sur mesure et optimiser chacun des dispositifs électroniques et photoniques mais les coûts de fabrication sont plus importants en raison des deux types de procédés différents.

Dans le cas du wire-bonding, les connexions entre l'EIC et le PIC sont réalisées par des fils en cuivre ou en or. L'intégration par wire-bonding est employée notamment par une équipe de HP pour réaliser son transmetteur WDM [61]. Les technologies 65 nm CMOS et 130 nm SOI sont utilisées respectivement pour l'EIC et le PIC. Afin de conserver une bonne maîtrise des éléments parasites induits par les fils de connexion, les pads des circuits électrique et optique doivent être alignés précisément, rendant l'assemblage plus ou moins complexe. De plus, cette méthode reste une intégration 2D, donc relativement coûteuse en surface par rapport à l'intégration 3D présentée ci-dessous. L'université de Laval (Canada) [54] a également fait le choix d'un assemblage wire-bonding pour connecter les puces électrique et optique. Ceci a permis de co-intégrer le procédé RF 130 nm de IBM (EIC) avec le procédé photonique de l'institut de microélectronique de A*STAR, montrant ainsi la flexibilité de l'intégration hybride.

L'assemblage par wire-bonding est la solution retenue pour réaliser notre premier transmetteur électro-optique. En effet, même si l'intégration 3D nous semble la mieux adaptée pour notre démonstrateur final visant à reproduire des liens WDM pour des communications à courte distance, l'intégration par wire-bonding est plus facile à mettre en œuvre et les temps de fabrication sont bien plus rapides. Comme l'objectif du premier assemblage est avant tout de valider le fonctionnement d'un transmetteur (MZM + driver) et d'identifier les difficultés liées à une co-intégration électro-optique, nous préférons envisager un prototype en wire-bonding pour préparer le travail de l'assemblage 3D. Ce prototype sera détaillé au Chapitre 5.

Dans le cas d'une intégration flip-chip, les connexions entre puces sont réalisées le plus couramment par des bumps ou des piliers en cuivre. En superposant ainsi les puces, l'empreinte est artificiellement réduite à une seule puce, d'où un package plus compact. Cette intégration est certainement la plus complexe à mettre en œuvre, cependant tout en étant très flexible vis-à-vis des procédés de fabrication de l'EIC et du PIC, elle permet d'atténuer les parasites et ainsi d'améliorer l'efficacité du transceiver. De plus, elle facilite l'assemblage des fibres optiques qui peuvent être couplées verticalement ou latéralement. Par conséquent, un assemblage 3D semble être un bon compromis en matière d'optimisation des performances du transceiver et est d'ailleurs la méthode retenue par STMicroelectronics pour réaliser ses modules, que ce soit pour les produits des équipes italiennes [48] ou dans le cadre de cette thèse. Le Chapitre 6 développera ce sujet plus en détails. Nous étudierons notamment les contraintes d'une intégration via des micro-piliers en cuivre sur les circuits optiques puis nous verrons la conception des puces électrique et optique pour l'assemblage flip-chip.

Voici à présent un bref aperçu de l'état de l'art des réalisations 3D.

Mingbin Yu de l'institut de microélectronique A*STAR (*Agency for Science, Technology and Research*) propose une intégration électro-optique basée un interposeur photonique en silicium traversé par des « vias à travers le silicium » (TSV *Through-Silicon-Via*) et une technique d'attache par flip-chip [85]. Le schéma de l'intégration 3D est illustré sur la Figure 1.28. L'interposeur photonique est assemblé sur le dessus d'un autre interposeur en silicium. La taille et l'espacement des TSV sont optimisés en fonction des conditions de fabrication de telle sorte à améliorer les performances des signaux RF. Le design aboutit à des TSV d'un diamètre de 20 µm espacés de 100 µm, ce qui permet une bande passante supérieure à 40 GHz. Grâce à cette technique d'intégration, les connexions sont plus courtes d'où des dissipations de puissance moindres. Le groupe réalise ainsi un module intégrant des modulateurs en silicium et des photodiodes en germanium qui permet des transmissions de données à 30 Gb/s.

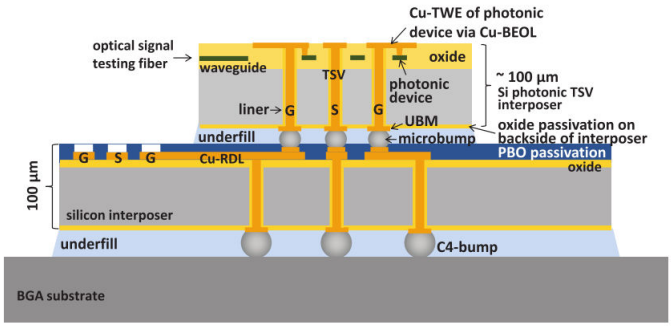
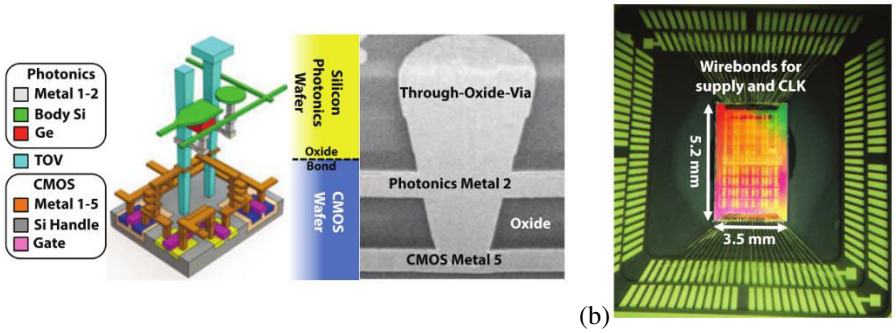


Figure 1.28. Schéma d'une vue en coupe de l'intégration 3D électro-optique par TSV (pas à l'échelle) [85]

Erman Timurdogan (université du Massachusetts) démontre la réalisation d'une plateforme intégrée électro-optique interfacée par des « vias à travers l'oxyde » (TOV *Through-Oxide-Via*) [86]. Les plateformes 3D développées par ailleurs sont généralement challengées par les importantes capacités parasites des bumps (> 30 fF par via). Au contraire, la faible capacité des TOV (1.45 fF par via) permet de réaliser un lien intra-puce fonctionnant sans égalisation du signal (*signal equalization*) à 5 Gb/s avec une très faible consommation énergétique de 250 fJ/bit. Les puces électronique et photonique sont fabriquées séparément sur deux wafers 300 mm. Puis le wafer photonique est retourné pour former une liaison oxyde-oxyde entre les puces. Le substrat de silicium est retiré du wafer SOI photonique et enfin les TOV sont percés à travers l'oxyde pour connecter les couches supérieures de métaux des circuits électrique et optique. Une représentation schématique des TOV et une photographie de l'assemblage final sont illustrées à la Figure 1.29.



(a) (b)

Figure 1.29. (a) Représentation 3D et image de l'assemblage flip-chip avec interface de faible capacité par TOV, (b) Système 3D intégrant le lien électro-optique, c'est-à-dire les émetteur et récepteur photonique et les TOV [86]

Parmi les différentes réalisations d'intégration 3D, nous pouvons noter celle de Shiyu Zhou de Tyndall [53]. Une faible consommation de puissance et des dimensions physiques réduites étant de mise lors de la conception d'un transceiver, Tyndall s'est orienté vers le choix d'un assemblage flip-chip. Contrairement aux assemblages précédents par TSV et TOV, la puce retournée est cette fois-ci la puce électrique. Les connections entre composants optiques et électriques sont réalisés par des *solder balls* d'un diamètre de 50 µm qui sont déposés par un procédé de projection assisté par laser. Cet ensemble de puces ainsi empilées est ensuite wire-bondé sur une carte de circuit imprimé afin d'amener les signaux d'alimentation, d'horloge et les données à transférer.

Cependant, dans un système complet, la technique de wire-bonding ne peut pas vraiment être envisagée pour réaliser les interconnexions entre le CPU et le transceiver photonique du fait de ses limitations en bande passante et en densité d'intégration. C'est pourquoi le laboratoire Fujitsu [87] [88] propose une nouvelle configuration de structure en pont qui mixe deux technologies de bumps (Figure 1.30 (a)). Le transceiver photonique est constitué d'une puce électrique (driver

/ TIA), d'une puce optique (modulateur / photodiode) et du substrat dans lequel une tranchée est réalisée. Cette tranchée contient la puce optique montée face vers le haut. La puce électrique, quant à elle, est montée face vers le bas à cheval entre le substrat et la puce photonique, réalisant ainsi un pont. Cette configuration permet d'établir les connexions de toutes les interfaces par des bumps, d'où la suppression des fils de wire-bonding. De plus, la structure facilite l'assemblage des fibres optiques qui peut être réalisé soit par couplage latéral, soit par couplage surfacique. Le prototype présenté (Figure 1.30 (b)) utilise une puce intégrant un sérialiseur en tant qu'entrées / sorties du CPU. Les lignes de transmission entre le sérialiseur et le driver / TIA ne dépassent pas 15 mm de long pour éviter toute perte de propagation et ainsi éviter des circuits de compensation de pertes dans le sérialiseur. Des bumps C4 (*Controlled Collapse Chip Connection*) de pitch 150 µm et des micro-bumps C4 de pitch 50 µm sont respectivement utilisés pour les jonctions entre l'EIC et le substrat d'une part et entre l'EIC et le PIC d'autre part. Ce type de configuration est très prometteur pour des interconnexions CPU – CPU.

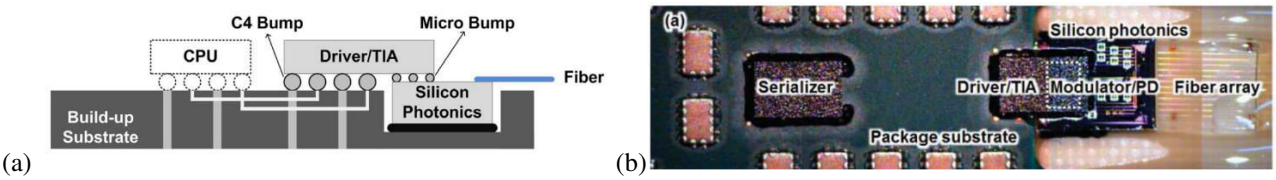


Figure 1.30. (a) Schéma d'une interconnexion CPU - transceiver avec une structure en pont [88]*, (b) Vue de dessus du prototype réalisé* [87]

L'IMEC privilégie également un assemblage flip-chip pour réaliser l'intégration de son driver CMOS et du modulateur optique. Une technique conventionnelle utilisant des solder bumps est employée, la puce électrique étant retournée sur la puce photonique. Lors des premières réalisations de Michal Rakowski [19] [65], les circuits sont conçus avec des pads de 100 µm de large, espacés de 150 µm. Ces pads présentent une capacité relativement importantes d'une centaine de femto Farad. Additionnés aux capacités du modulateur et des bumps (~ 10 fF), la consommation de puissance du démonstrateur proportionnelle à la capacité totale de charge s'en trouve quelque peu dégradée. Des travaux ont ainsi été entrepris pour réduire la taille des pads. Un nouvel assemblage est proposé dans l'article [66], présentant une capacité de pad de 60 fF. La technique d'assemblage par micro-bumps permet d'atteindre des densités de bande passante élevées (20 Gb/s) et de bonnes efficacités énergétiques (1.6pJ/bit). La Figure 1.31 montre successivement une image de la puce photonique, qui utilise une ligne de fabrication CMOS de 130 nm, une image de la puce électronique fabriquée dans une technologie 40 nm low-power, et enfin l'assemblage hybride. Ce module est packagé sur un PCB (*Printed Circuit Board*). Un porte-fibre (*fiber-array*) est attaché au bord de la puce photonique.

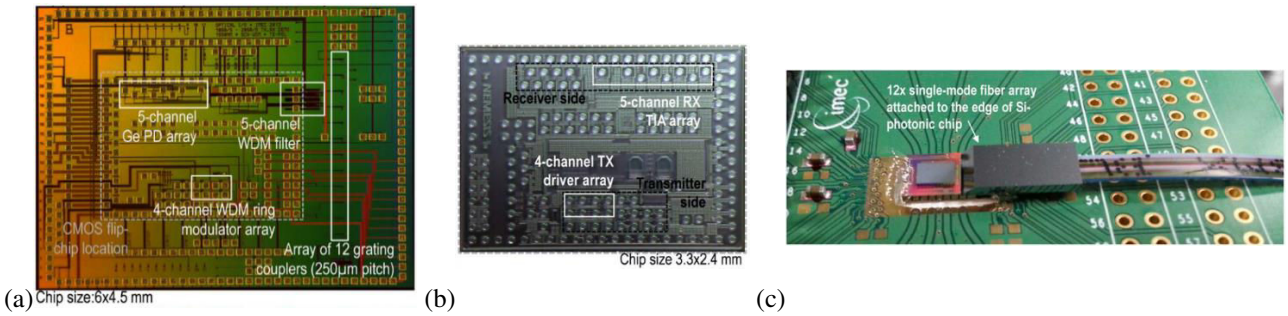


Figure 1.31. Photographies du transceiver intégré par flip-chip : (a) Puce optique en 130 nm SOI, (b) Puce électrique en CMOS 40 nm LP, (c) Assemblage des deux puces collé et wire-bondé à un PCB [66]

Afin de comparer deux architectures de transmetteur, Enrico Temporiti et son équipe de STMicroelectronics [48] ont fabriqué deux démonstrateurs à partir de la même technologie photonique PIC25G. L'un vise un débit de 25 Gb/s et repose sur un modulateur multistage, tandis que l'autre est conçu pour un débit de 56 Gb/s et est basé sur un modulateur travelling-wave (cf. section 2.2). Chaque modulateur est associé à un driver spécifique. Dans les deux cas, l'EIC a été intégré sur le dessus du circuit photonique afin de constituer un assemblage 3D. Les interconnexions sont réalisées par des piliers en cuivre (CuP *Copper pillar*) d'un diamètre de 20 µm, espacés de 50 µm (le pas minimal est de 40 µm). Ce type de micro-piliers permet de minimiser les capacités parasites et donc de garantir une bonne intégrité des signaux et de la puissance. Les deux assemblages sont illustrés à la Figure 1.32. La même technique d'intégration 3D à base de CuP a également été employée pour fabriquer un récepteur photonique [89], démontrant l'efficacité de la plateforme développée par STMicroelectronics en termes de flexibilité et d'évolutivité par rapport à une intégration monolithique.

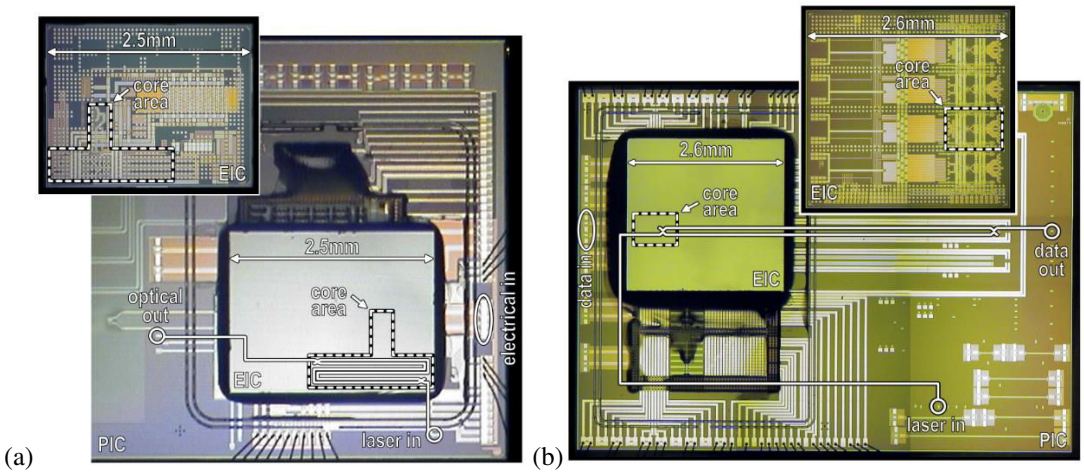


Figure 1.32. Microphotographies d'assemblages 3D basés sur un modulateur : (a) multistage, (b) travelling-wave [48]

Par ailleurs, le package d'un tel module intégré en 3D a été proposé dans le papier [48]. Différentes solutions à bas coût et permettant de préserver l'intégrité des signaux sont toujours à l'étude. L'approche retenue ici (Figure 1.33) consiste à connecter par wire-bonding le module sur un boîtier de type « matrice de pastilles » (LGA *Land Grid Array*), avec un substrat organique à 4 couches de métaux. Les signaux optiques sont collectés par un porte-fibre collé sur le PIC tout en veillant au bon alignement des fibres avec les réseaux de couplage.

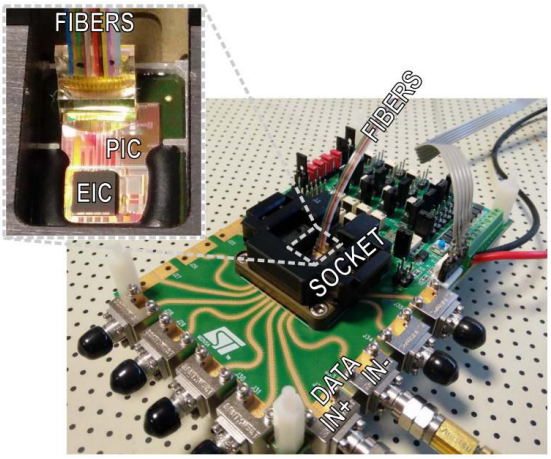


Figure 1.33. Package LGA bas coût : PCB à 4 couches de métal, avec une cavité plastique et des connecteurs coaxiaux 2.4 mm [48]

Conclusion du chapitre

En résumé, ce chapitre nous a permis de présenter les applications datacom et computercom pour lesquelles la photonique sur silicium pourrait apporter une solution en terme de densité de bande passante. Puis nous avons introduit un état de l'art des éléments fondamentaux d'un transmetteur électro-optique, à savoir le modulateur et le driver. Nous avons également présenté les principaux démonstrateurs réalisant des transmissions à des débits élevés ainsi que les méthodes d'intégration mise en œuvre pour assembler les différentes puces.

Ce travail de bibliographie permet de comprendre les différents enjeux des interconnexions optiques et met ainsi en avant les problématiques de cette thèse, ce qui est résumé par la Figure 1.34. En particulier, nous avons vu que les modules MSA demandent des débits de 400 Gb/s ce qui signifie que des composants électro-optiques à un débit de 50 Gb/s devront être réalisés. Les interconnexions chip-to-chip vont bientôt intégrer un interposeur photonique ce qui suggère que des études approfondies sur l'implémentation d'un tel système soient effectuées. Au cours de cette thèse, nous avons essayé d'apporter des premiers éléments de réponse en se concentrant sur l'implémentation d'un transmetteur électro-optique.

Dans les prochains chapitres, nous verrons comment concevoir un modulateur en anneau pour un débit de 50 Gb/s. Le choix de ce modulateur est dicté par les constats apportés par cet état de l'art. La modulation électro-optique est réalisée par une jonction PN via l'effet de déplétion des porteurs libres qui permet une variation rapide de l'indice effectif du

guide d'onde. Nous privilégierons un anneau résonant qui présente les avantages d'être un composant très compact et de permettre facilement du multiplexage en longueurs d'onde afin d'augmenter la bande passante totale d'un lien. Nous verrons également comment concevoir un driver à très faible consommation énergétique. Pour cela, nous nous baserons sur une structure d'inverseurs CMOS et chercherons à minimiser l'amplitude de tension de modulation. Nous nous intéresserons également aux problématiques d'un assemblage 3D qui se positionne comme un bon compromis pour optimiser séparément les circuits électrique et optique tout en permettant une intégration rapprochée, et ainsi améliorer l'intégrité des signaux à haut débit. Enfin, nous vérifierons également la validité d'un système complet en s'appuyant à la fois sur les travaux de cette thèse (modulateur et driver) et sur les différentes réalisations de la littérature pour compléter les éléments manquants du lien électro-optique (récepteur, laser, SerDes). Notre but sera alors de concevoir un démonstrateur servant de preuve de concept d'une interconnexion optique à très haut débit.

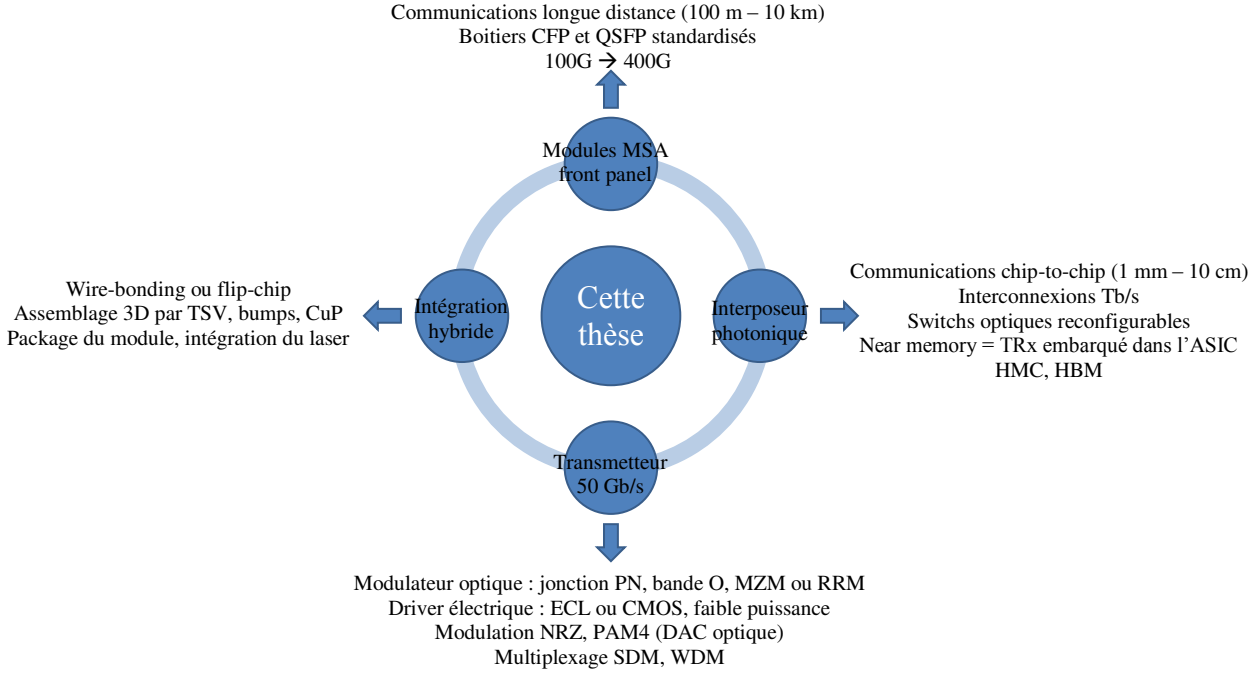


Figure 1.34. Champs d'étude de cette thèse

Chapitre 2

Modélisation des modulateurs électro-optiques

Dans ce chapitre, nous nous intéressons à la partie optique du transmetteur, c'est-à-dire le modulateur électro-optique. Le modulateur est chargé de convertir des signaux de données électriques en signaux optiques, à partir d'une lumière continue provenant d'un laser. Ce chapitre purement théorique ne fait état que de la modélisation de tels composants et n'a pas pour but de concevoir un modulateur (ce qui sera traité au Chapitre 3).

La littérature fait apparaître un grand nombre de types de modulateurs, que ce soit dans la technique de modulation (injection, déplétion, accumulation, électroabsorption) ou dans le principe d'interférométrie (Mach-Zehnder, anneau) (cf. section 1.3.1). Nous optons pour un modulateur basé sur une jonction PN latérale ce qui permet de réaliser une modulation très rapide des propriétés optiques du silicium. En effet, la déplétion des porteurs au sein d'un guide d'onde est la méthode à privilégier pour atteindre des hauts débits de 20 Gb/s et plus, demandant des temps de réponse de l'ordre de 10 ps.

En ce qui concerne l'interféromètre, le choix dépend davantage du type d'applications visées et de la dynamique générale de développement au sein des entreprises et instituts de recherche. En effet, pour des applications datacoms qui nécessitent des solutions optiques à court terme, l'utilisation de modulateurs de Mach-Zehnder est généralement privilégiée car ce sont des composants déjà bien connus et caractérisés, et moins sensibles à la température et aux bruits de fabrication. En revanche, pour des applications supercalculateurs (HPC), l'utilisation d'interconnexions optiques n'en est qu'au début de sa phase de R&D. Ainsi, de nombreux travaux sont attribués au développement de l'anneau résonant qui est un candidat idéal pour réaliser des liens WDM. En conséquence, étant donné les objectifs de cette thèse, nous synthétisons dans ce chapitre à la fois la modélisation du modulateur de Mach-Zehnder (MZM) et du modulateur en anneau (RRM).

L'objectif du chapitre est de comprendre les principes physiques qui régissent le fonctionnement des modulateurs électro-optiques afin de pouvoir en proposer une modélisation précise. Le modèle ainsi obtenu constitue la base de l'ensemble des travaux de cette thèse car il nous facilitera la conception d'un modulateur en anneau à haut débit (Chapitre 3), il permettra l'étude de la co-intégration driver / modulateur (MZM et RRM) à l'aide de cosimulations électro-optiques (Chapitre 5 et Chapitre 6), et enfin il nous permettra d'appréhender un système plus complexe tel que les liens WDM au sein d'une interconnexion optique (Chapitre 6).

Le plan du chapitre est le suivant. Dans un premier temps, nous nous attardons sur la modélisation de la jonction PN qui est au cœur des deux types de modulateurs. Puis dans un second temps, nous analysons successivement le modulateur de Mach-Zehnder et le modulateur en anneau. La deuxième section de ce chapitre présente de façon succincte le fonctionnement des architectures de MZM dites « multistage » et « travelling wave », puis caractérise le modulateur qui sera intégré aux côtés d'un driver dans le Chapitre 5. La troisième section se concentre sur l'anneau résonant. Nous décrivons son principe de fonctionnement puis nous exposons un modèle analytique implémenté sur Matlab qui permet de reproduire fidèlement les mesures. Enfin, pour finir, la quatrième et dernière section détaille la modélisation des modulateurs d'un point de vue électrique : un modèle circuit équivalent à la jonction PN y est proposé afin de préparer le travail de cosimulations électro-optiques (Chapitre 5).

2.1. Modélisation de la jonction PN

Comme introduit dans le chapitre précédent (section 1.3.1), la modulation électro-optique dans le silicium est rendue possible par la variation de la concentration de porteurs libres dans le guide optique. Cette variation crée un changement

de l'indice de réfraction du matériau ce qui induit un déphasage de l'onde lumineuse. Afin de réaliser un tel déphaseur (*phase shifter*), une jonction PN est implémentée dans le guide d'onde. Le composant ainsi obtenu est nommé HSPM (*High Speed Phase Modulator*) et constitue une des briques élémentaires de la technologie photonique proposée par STMicroelectronics.

Une jonction PN désigne une zone du silicium où le dopage varie brusquement d'un dopage P à un dopage N. Au contact des deux zones, les électrons et les trous se diffusent spontanément et créent une zone dépourvue de porteurs libres : la zone de charge d'espace (ZCE) ou zone de déplétion. Quand la jonction PN est polarisée en inverse, la diode PN est dite en régime de déplétion de porteurs. La largeur de la ZCE est alors modifiée en fonction de la tension appliquée, d'où la variation de la concentration des porteurs libres et la création d'un déphasage.

Quand la jonction PN est polarisée en directe, la diode PN est dite en régime d'injection des porteurs. Des porteurs minoritaires sont injectés en grande quantité (des électrons dans la zone P et des trous dans la zone N). Ce régime est néanmoins à proscrire car la vitesse de modulation de la jonction PN est limitée par le temps de recombinaison des porteurs (de l'ordre de la nanoseconde, soit environ 1 Gb/s). Cependant, la physique des semi-conducteurs montre que tant que la polarisation directe est inférieure au potentiel de barrière (V_{bi} *built-in voltage*), la diode reste en régime de déplétion. Ce cas de faible polarisation directe est très intéressant pour le modulateur car on bénéficie alors d'une meilleure efficacité de modulation qu'en polarisation inverse. Le potentiel V_{bi} dépend du dopage de la jonction et vaut approximativement 0.5 V à 0.7 V.

D'un point de vue composant, la jonction PN latérale est définie au centre d'un guide d'onde en arête (*rib waveguide*). Les zones N et P sont définies par implantation ionique sur une couche de silicium de 300 nm d'épaisseur. La jonction est décalée par rapport au centre du guide car, les mobilités des électrons et des trous étant différentes, les deux types de porteurs n'ont pas le même impact sur l'efficacité de modulation. Des concentrations de dopages élevées P+ et N+ sont utilisées pour réaliser les contacts ohmiques. Ces contacts sont placés aux extrémités du guide d'onde pour éviter de perturber le mode optique se propageant au milieu du *rib*. La Figure 2.1 illustre schématiquement une vue en coupe du HSPM, ainsi que certaines dimensions associées.

Dans toute la suite, les notations suivantes seront utilisées :

- PP, PMDH et OPWM sont les dopages successifs utilisés pour définir les zones P et P+ ;
- NP, NMDH et ONWM sont les dopages successifs utilisés pour définir les zones N et N+ ;
- $w_{rib} = 320$ nm est la largeur du guide d'onde rib, zone où se propage le mode optique ;
- $h_{rib} = 310$ nm est la hauteur du guide d'onde rib ;
- $h_{slab} = 50$ ou 150 nm est la hauteur du slab. 150 nm est la hauteur standard pour un HSPM. Le guide est qualifié de « *deep-rib* » (gravure du rib profonde) lorsque la hauteur est de 50nm, cette configuration est généralement utilisée pour la jonction d'un anneau ;
- w_{slab_1} et w_{slab_2} correspondent aux largeurs du slab utilisés pour les implantations des dopages (masques) ;
- w_p et w_n définissent la limite entre les zones P et N de la jonction ;
- x_p et x_n définissent l'extension de la zone de déplétion, respectivement du côté P et du côté N lorsqu'une tension de modulation est appliquée.
- w_{ZCE} est la largeur de la zone de charge d'espace.

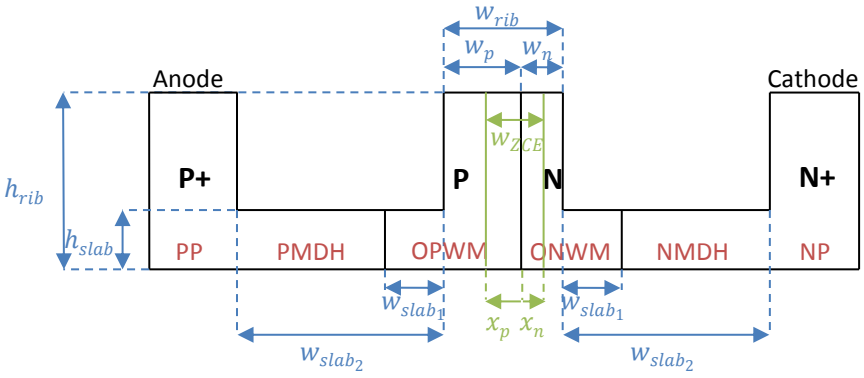


Figure 2.1. Vue en coupe du HSPM. La largeur de la ZCE est modulée par la tension appliquée sur les électrodes. Le mode optique se propage au centre du guide d'onde dopé.

Les étapes les plus critiques lors de la fabrication d'une jonction PN concernent les étapes d'implantation ionique qui permettent de définir les zones N et P. L'implantation ionique consiste à introduire des atomes ionisés projectiles avec suffisamment d'énergie pour pénétrer dans l'échantillon cible. Les atomes généralement utilisés sont respectivement du bore pour le dopage P et du phosphore pour le dopage N. Les deux paramètres principaux du procédé sont la dose (c'est-à-dire le nombre d'ions implantés dans 1 cm²) et l'énergie appliquée aux atomes qui permettent de définir respectivement la concentration des dopants et la profondeur d'implantation. Les étapes de fabrication demandent également de définir la forme des masques, l'angle de tilt ainsi que le temps et la température du recuit qui permet de réarranger la structure cristalline après implantation ionique. Ces derniers paramètres seront considérés comme fixés (définis par de précédents lots de fabrication) tandis que nous pouvons modifier la dose et l'énergie afin d'obtenir les dopages souhaités. Des études menées sur le logiciel SILVACO permettent de simuler le profil de dopage d'une jonction en fonction des paramètres. Néanmoins de telles simulations n'ont pas été réalisées dans le cadre de cette thèse car de précédentes études montrent qu'un changement de jonction PN ne nécessitent pas de redéfinir les énergies [90]. Les hauteurs de slab et de rib du guide d'onde étant fixées par la technologie ST, les profondeurs de pénétration seront inchangées. De plus, en première approximation, nous pouvons considérer qu'il existe une loi linéaire entre la dose et la concentration finale pour une énergie donnée. En se basant sur les données de fabrication du HSPM, nous pouvons extraire empiriquement cette loi. Par la suite, nous pourrons ainsi déterminer facilement les doses pour telle ou telle concentration de dopants lors de l'optimisation de la jonction PN.

Nous donnons à présent les équations décrivant la jonction PN modulée par la tension de polarisation V_{mod}. A noter que la tension V_{mod} est inférieure au potentiel de barrière, ainsi une tension négative correspond à une polarisation inverse. Le modèle utilisé ici pour approximer la jonction PN est un modèle 1D considérant des variations abruptes de dopage (Figure 2.1). Cependant la forme de la ZCE est en réalité largement modifiée par le champ électrique de dispersion aux bords de la diode et un modèle 2D serait plus précis. Cette modélisation est détaillée par Jayatilleka dans [91]. La largeur de la zone de déplétion w_{ZCE} ainsi que le potentiel de barrière V_{bi} dépendent des concentrations de dopants des zones N et P de la jonction suivant les relations (2-1) et (2-2) :

$$w_{ZCE}\ [\mathrm{m}] = \sqrt{\frac{2\varepsilon_{Si}}{q}\left(\frac{1}{N_a}+\frac{1}{N_d}\right)(V_{bi}-V_{mod})} = x_p + x_n \tag{2-1}$$

$$V_{bi}\ [\mathrm{V}] = \frac{k_B T}{q}\ln\left(\frac{N_a N_d}{n_i^2}\right) \tag{2-2}$$

avec

- $q = 1.6 \times 10^{-19}$ C la charge électrique élémentaire ;
- $\varepsilon_{Si} = 11.68 * 8.85 \times 10^{-12}$ F. m^{-1} la permittivité du silicium ;
- $k_B = 1.38 \times 10^{-23}$ J. K^{-1} la constante de Boltzmann ;
- $T = 293.15$ K la température ambiante ;
- $n_i = 1 \times 10^{-16}$ m^{-3} la concentration intrinsèque de porteurs dans le silicium ;
- N_a[m^{-3}] la concentration de dopage de la zone P (ions accepteurs) ;
- N_d [m^{-3}] la concentration de dopage de la zone N (ions donneurs).

Lorsque la jonction est polarisée, les variations du nombre de trous et d'électrons (négatives car la ZCE est élargie) sont égales afin de respecter la conservation des charges, d'où la relation (2-3). Combinée à l'équation (2-1), nous obtenons l'expression des largeurs x_p et x_n (équations (2-4)). La concentration de dopants N étant en général bien supérieure à celle des dopants P, la ZCE s'élargit principalement du côté P. C'est pourquoi la jonction est décentrée dans le guide afin que le mode optique se superpose au mieux avec la zone de déplétion. La variation de la concentration de porteurs libres δN_e et δN_h est donnée par la relation (2-5).

$$\Delta electrons = -N_d\, x_n = -N_a\, x_p = \Delta holes \tag{2-3}$$

$$x_n\ [\mathrm{m}] = \frac{N_a}{N_a + N_d}\, w_{ZCE} \quad \text{et} \quad x_p[\mathrm{m}] = \frac{N_d}{N_a + N_d}\, w_{ZCE} \tag{2-4}$$

$$\delta N_e\ [\mathrm{m}^{-3}] = \delta N_h\ [\mathrm{m}^{-3}] = \frac{\Delta electrons}{w_{rib}} = \frac{\Delta holes}{w_{rib}} = -\frac{1}{w_{rib}}\sqrt{\frac{2\varepsilon}{q}\frac{N_a N_d}{N_a + N_d}(V_{bi}-V_{mod})} \tag{2-5}$$

Il est important également de déterminer la capacité de déplétion de la diode car cette capacité est une limite à la bande

passante du modulateur. En première approximation (modèle 1D de la jonction), la capacité de déplétion s'exprime simplement comme la capacité $C_{j_{par}}$ entre deux plans parallèles espacés d'une largeur w_{ZCE} selon (2-6). La capacité par unité de longueur $C_{j_{par}}$ dépend ainsi des concentrations de dopage et de la tension de modulation. Cependant Jayatellika montre que cette modélisation est insuffisante dans le cas de guide d'onde fin ($h_{rib} \sim 250\ nm$) et qu'il est nécessaire de prendre en compte la capacité $C_{j_{fringe}}$ due aux champs électriques de dispersion qui peut atteindre près de 20% de la valeur de $C_{j_{par}}$ [91]. La capacité de jonction par unité de longueur C_j est alors la somme de $C_{j_{par}}$ et de $C_{j_{fringe}}$. C_j peut également être exprimée en fonction de paramètres expérimentaux selon la relation (2-7).

$$C_{j_{par}}[\mathrm{F.m^{-1}}] = \frac{\varepsilon_{Si} h_{rib}}{w_{ZCE}} = h_{rib}\sqrt{\frac{q\varepsilon_{Si}}{2}\frac{N_a N_d}{N_a + N_d}\frac{1}{V_{bi} - V_{mod}}} \tag{2-6}$$

$$C_j\ [\mathrm{F.m^{-1}}] = \frac{C_{j0}}{\left(1 - \frac{V_{mod}}{V_{seuil}}\right)^{MJ}} \tag{2-7}$$

avec

- C_{j0} [F. m^{-1}] la capacité de jonction par unité de longueur sous une polarisation nulle ;
- V_{seuil} [V] le potentiel seuil entre les régimes d'injection et de déplétion, correspondant à la valeur expérimentale de V_{bi} ;
- MJ un coefficient spécifique à la diode PN.

Les valeurs numériques des paramètres C_{j0}, V_{seuil} et MJ sont extraites des mesures réalisées sur les HSPM afin de reproduire précisément le comportement optique des modulateurs. Ce formalisme est généralement utilisé à STMicroelectronics avec les valeurs suivantes pour la seconde génération de HSPM : $C_{j0} = 295$ fF/mm, $V_{seuil} = 0.58$ V et $MJ = 0.25$ [92]. Néanmoins, la modélisation retenue ici est celle en fonction des concentrations de dopage car nous devons les déterminer pour optimiser le design des modulateurs.

A partir des variations des concentrations d'électrons et de trous, nous pouvons calculer les changements induits sur les propriétés optiques du guide d'onde, c'est-à-dire l'indice de réfraction n et le coefficient d'absorption α du silicium, en appliquant les relations de Soref. Soref et Bennet ont analysé les effets d'électro-réfraction et d'électro-absorption pour la première fois en 1987 [93]. Puis des résultats expérimentaux plus récents ont permis d'affiner les équations, notamment aux longueurs d'onde télécom [94]. Les coefficients des équations (2-8) et (2-9) décrivant les variations d'indice de réfraction δn et du coefficient d'absorption $\delta\alpha_{dop}$ sont valables pour une longueur d'onde de 1.3 µm.

$$\delta n = -sign(\delta N_{e,h})\ (2.98 \times 10^{-22}\ \delta N_e[\mathrm{cm^{-3}}]^{1.016} + 1.25 \times 10^{-18}\ \delta N_h[\mathrm{cm^{-3}}]^{0.835}) \tag{2-8}$$

$$\delta\alpha_{dop}[\mathrm{Np.cm^{-1}}] = sign(\delta N_{e,h})\ (3.48 \times 10^{-22}\ \delta N_e[\mathrm{cm^{-3}}]^{1.229} + 1.02 \times 10^{-19}\ \delta N_h[\mathrm{cm^{-3}}]^{1.089}) \tag{2-9}$$

Le changement d'indice de réfraction conduit à une variation de la phase de l'onde lumineuse selon la relation (2-10). La variation de phase $\delta\varphi$ est exprimée par unité de longueur de la jonction. Un coefficient correctif est introduit afin de pouvoir ajuster le modèle de la jonction PN aux mesures réalisées sur des HSPM ou des anneaux résonants. Physiquement ce coefficient inclut deux phénomènes et peut être interprété de la façon suivante. Ce n'est pas directement la variation d'indice de réfraction qui induit un déphasage, mais en réalité il s'agit de la variation d'indice effectif. Plutôt que d'introduire une simulation FDTD afin de résoudre les équations d'électromagnétisme, nous avons préféré simplifier la modélisation via ce coefficient. Par ailleurs, le mode optique se propage au centre du guide mais ne se superpose que partiellement à la zone de déplétion. Or, c'est précisément la ZCE qui est à l'origine de la variation d'indice, d'où l'introduction du facteur pour refléter également le recouvrement du mode optique avec la ZCE.

$$\delta\varphi\ [\mathrm{rad.m^{-1}}] = \frac{2\pi\ \delta n}{\lambda}\ corr_\varphi \tag{2-10}$$

avec

- λ [m] la longueur d'onde optique ;
- $corr_\varphi$ le facteur correctif pour la phase.

Pour conclure cette section sur la jonction PN, nous présentons en Figure 2.2 des exemples de caractéristiques simulées de deux jonctions en fonction de la tension de modulation. Ces caractéristiques sont obtenues pour une longueur d'onde de 1310 nm. La première jonction est celle du HSPM seconde génération (HSPM v2), de hauteur de slab standard ($h_{slab} = 150$ nm) et dont les dopages N et P sont : $N_d = 6 \times 10^{17}$ cm^{-3} et $N_a = 3 \times 10^{17}$ cm^{-3}. La seconde jonction est celle

conçue pour les anneaux résonants, de type deep-rib ($h_{slab} = 50$ nm) et dont les dopages sont : $N_d = 15 \times 10^{17}$ cm^{-3} et $N_a = 9 \times 10^{17}$ cm^{-3}. D'une part, nous pouvons constater que l'augmentation du dopage améliore le déphasage car la variation de l'indice de réfraction est plus grande (Figure 2.2 (a)) mais l'augmentation du dopage dégrade la capacité de jonction car la largeur de déplétion diminue (Figure 2.2 (b)). Globalement, on peut montrer que le dopage a peu d'effet sur l'efficacité de modulation de la jonction définie ici comme le rapport $\frac{\delta\varphi}{C_j}$. D'autre part, la diminution de la hauteur de slab améliore le confinement du mode optique donc la jonction deep-rib a un meilleur recouvrement avec le mode optique, c'est-à-dire un déphasage meilleur. Ceci se traduit dans l'équation (2-10) par l'amélioration du coefficient correctif, soit globalement par l'amélioration de l'efficacité de modulation. Cette rapide étude démontre ainsi l'intérêt d'un slab fin pour atteindre des variations de phase plus importantes. Ceci est d'ailleurs souligné par l'équipe du Centre de Nanosciences et de Nanotechnologies (C2N) de l'université Paris-Sud [37] qui montre que son modulateur optique basé sur la technologie de STMicroelectronics atteint une meilleure efficacité de modulation (18°/mm sous une polarisation de -1.15V) que la majorité des modulateurs de la littérature conçus pour fonctionner dans la bande O (autour de 1310 nm), grâce notamment à l'utilisation d'un slab fin de 50 nm d'épaisseur. Ainsi la longueur de la jonction PN a pu être réduite à 1mm tout en maintenant une tension de modulation faible, compatible avec les technologies BiCMOS.

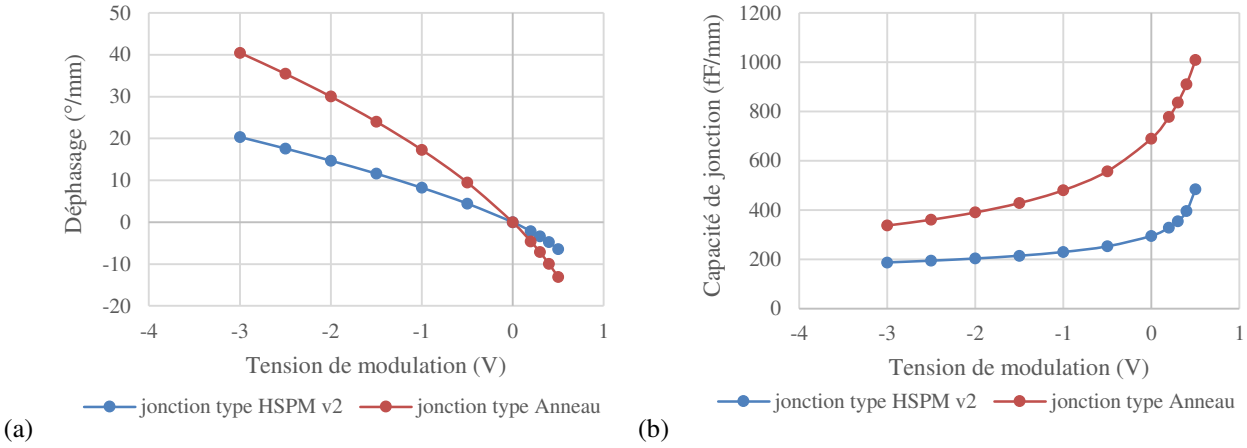


Figure 2.2. Caractéristiques pour deux types de jonction PN ($\lambda = 1310\ nm$) : (a) Déphasage et (b) Capacité de déplétion en fonction de la tension de modulation

En conclusion, nous venons de voir que la modulation de phase dans le silicium est rendue possible par l'intégration d'une jonction PN au sein du modulateur. La modulation de la tension appliquée sur la jonction PN permet de faire varier la concentration des porteurs libres au sein du guide d'onde et ainsi de modifier l'indice effectif et le coefficient d'absorption du silicium, ce qui est traduit par les relations de Soref. Les paramètres importants de la jonction sont les concentrations de dopages des zones N et P, ainsi que la forme du guide, en particulier la hauteur du slab. En effet, ils ont un impact direct sur l'efficacité de modulation de la jonction et nous avons montré qu'une jonction deep-rib, type anneau, est plus performante. Nous verrons dans la suite du chapitre comment le déphasage induit est transformé en variation d'intensité de la lumière, ce qui dépend de la structure interférométrique utilisée. Nous allons donc détailler et modéliser successivement le modulateur de Mach-Zehnder et le modulateur en anneau.

2.2. Le modulateur de Mach-Zehnder

Bien que cette thèse s'oriente principalement vers la solution d'un anneau résonant comme modulateur électro-optique, l'interféromètre de Mach-Zehnder est couramment employé dans la littérature (cf. état de l'art, section 1.3.3). Le modulateur de Mach-Zehnder est très intéressant pour plusieurs raisons. Un MZM équilibré est relativement insensible aux variations de température et aux variations du procédé de fabrication. Ainsi il ne nécessite pas de réglage de la longueur d'onde car le MZI peut opérer sur une large bande spectrale optique. Par conséquence, il n'y a pas besoin d'un circuit de stabilisation ou d'asservissement pour compenser les dérives de température et aucun supplément de consommation de puissance n'apparaîtra dans le budget du lien optique. Par ailleurs, concernant STMicroelectronics, les MZM sont la solution la plus mature pour réaliser un transmetteur en photonique sur silicium fiable. La technologie est en développement depuis 2012 et les transmetteurs à base de MZI démontrent un rendement élevé et des performances très bien contrôlées [31], au détriment d'une plus grande empreinte et une plus grande consommation.

2.2.1. Présentation générale du MZM

L'architecture d'un modulateur de Mach-Zehnder consiste en un guide d'onde d'entrée, un diviseur, les deux bras du Mach-Zehnder et un combineur (Figure 2.3). Le diviseur et le combineur sont réalisés par des coupleurs directionnels 50/50%. Le principe de l'interféromètre est de recombiner deux faisceaux optiques dont les phases sont modulées pour faire varier la puissance optique du signal de sortie. Pour obtenir cette modulation de phase, une diode PN (sous forme du composant HSPM) est insérée dans chacun des bras du MZI, ainsi équilibré. La configuration de la Figure 2.3 est une architecture « *dual-drive* », c'est-à-dire que les deux modulateurs HSPM sont pilotés par des signaux d'entrée complémentaires. Cette configuration évite la création du même déphasage dans les deux bras et de plus, elle permet, à taux d'extinction de sortie constant, de réduire de moitié la longueur des HSPM par rapport à une configuration « *single-drive* » (un seul HSPM est modulé). Afin d'assurer une amplitude de modulation optique maximale, deux déphaseurs supplémentaires sont utilisés. Ce sont des modulateurs à base de jonction PIN nommés PINPM (*PIN junction-based Phase Modulator*) ou LSPM (*Low Speed Phase Modulator*). Ils permettent d'induire un déphasage constant de 90° entre les bras du MZI pour le placer à son point de quadrature c'est-à-dire dans la partie linéaire des courbes de transmission de puissance du MZI.

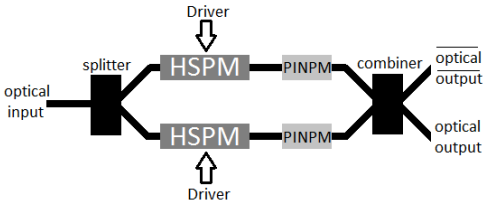


Figure 2.3. Architecture dual-drive d'un modulateur de Mach-Zehnder

Les variations de phase obtenues avec les HSPM sont converties en une modulation d'intensité de la lumière de sortie du MZI. Les équations suivantes décrivent cette conversion. Le déphasage en degré ($\Delta\varphi$) dans chacun des bras du MZM est calculé en considérant la différence entre les variations de phases sous une polarisation de V_{mod} et de 0 V, respectivement $\delta\varphi_{V_{mod}}$ et $\delta\varphi_{0\,V}$ qui sont données par l'équation (2-10). L_{HSPM} [m] est la longueur du HSPM.

$$\Delta\varphi_{HSPM}\,[°] = \frac{180}{\pi}\left(\delta\varphi_{V_{mod}} - \delta\varphi_{0\,V}\right) L_{HSPM} \tag{2-11}$$

Lorsque les deux ondes lumineuses se recombinent à la sortie du MZ, elles interfèrent entre elles et ainsi la puissance en sortie du MZ est directement liée à la différence des phases d'un faisceau par rapport à l'autre. Les puissances optiques P_{out} et $\overline{P_{out}}$ varient selon une caractéristique en cosinus et sinus carrés :

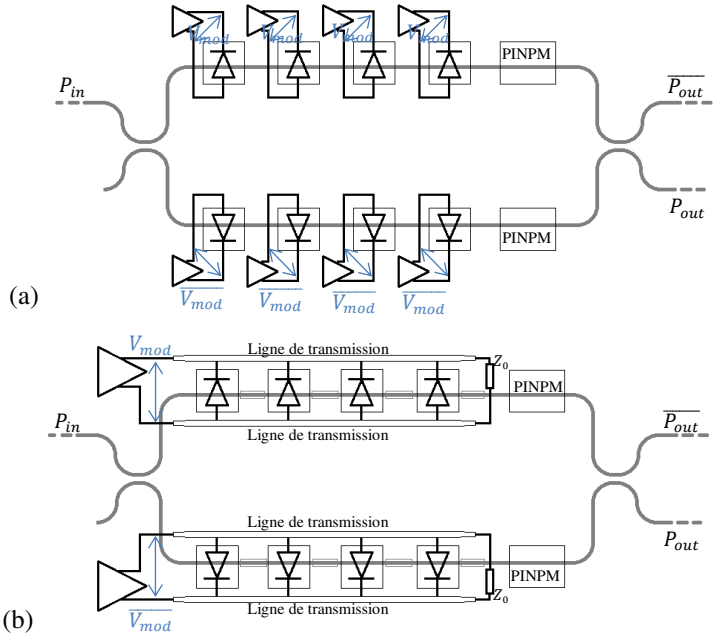
$$\begin{cases} P_{out}\,[\mathrm{mW}] = loss\; P_{in}\; cos^2\left(\dfrac{\Delta\varphi_{HSPM\,1} - \Delta\varphi_{HSPM\,2} + 90°}{2}\right) \\ \overline{P_{out}}\,[\mathrm{mW}] = loss\; P_{in}\; sin^2\left(\dfrac{\Delta\varphi_{HSPM\,1} - \Delta\varphi_{HSPM\,2} + 90°}{2}\right) \end{cases} \tag{2-12}$$

avec

- P_{in} [mW] la puissance optique en entrée du MZI ;
- $loss$ un facteur prenant en compte les pertes optiques dues aux coupleurs directionnels, aux HSPM, aux PINPM et à la propagation dans les guides d'onde.
- 90° est le déphasage entre les bras du MZ induit par les PINPM.

Comme précisé dans la section 1.3.1, les performances du modulateur sont caractérisées par le taux d'extinction, c'est-à-dire le rapport entre la puissance de sortie maximale et minimale : $ER\,[\mathrm{dB}] = 10\log\left(\frac{P_{out,high}}{P_{out,low}}\right)$. Le taux d'extinction peut être maximisé soit en augmentant la tension de modulation appliqué sur les HSPM, soit en augmentant la longueur des HSPM. La 1ère solution ne peut pas être retenue car les tensions fournies par un driver sont directement limitées par la technologie. Considérant l'efficacité de modulation d'un HSPM (cf. Figure 2.2), il est nécessaire d'avoir des modulateurs suffisamment longs (de l'ordre de quelques millimètres) ce qui implique forcément des capacités de jonction importantes (de l'ordre de plusieurs centaines de femto farads). Ces capacités sont alors incompatibles avec des débits élevés visés par les applications de la photonique sur silicium, ainsi qu'un obstacle à de faibles consommations. Pour résoudre cette problématique, l'état de l'art propose des architectures similaires à celle adoptées en conception RF : les HSPM sont découpés en petites sections afin de constituer une structure capacitive distribuée le long du MZI au lieu de considérer le

MZI comme une structure localisée. Deux types d'architectures existent et sont comparées dans les travaux d'une équipe de STMicroelectronics [48] : le MZM à multi-étages (MS-MZM *MultiStage Mach-Zehnder Modulator*) et le MZM *travelling wave* (TW-MZM). Les deux configurations sont illustrées par la Figure 2.4 qui résume également les caractéristiques de chacune des architectures.



Multistage MZM : N drivers, N électrodes, N sections de HSPM	
Taux de remplissage	100 %
Driver	CMOS, V_{mod} constante le long du HSPM
Taux d'extinction	Grand
Débit	Limité
Ajustement des retards	Blocs électriques

Travelling wave MZM : 1 driver, 1 électrode, N sections de HSPM	
Taux de remplissage	60 % à 80 %
Driver	ECL, V_{mod} diminue le long du HSPM
Taux d'extinction	Limité
Débit	Grand
Ajustement des retards	Blocs optiques

Figure 2.4. Modulateur de MZ en architecture (a) multi-étages et (b) travelling wave

L'architecture à multi-étages consiste à diviser l'électrode du modulateur en différentes sections, chacune étant pilotée par un driver dédié. Chaque section peut être modélisée comme une capacité localisée et peut être drivée à un débit élevé. Chaque driver repose sur une structure CMOS à base d'inverseurs. Cette solution permet d'optimiser l'efficacité de modulation et également de maximiser le taux d'extinction car la tension appliquée sur le HSPM est maximale tout le long des électrodes. Temporiti montre qu'il existe une longueur de modulateur optimale permettant de maximiser l'OMA, c'est-à-dire obtenir le meilleur compromis entre un taux d'extinction élevé et des pertes d'insertion modérées [48]. Le choix du nombre de sections et de la longueur de chacune des sections est dicté par deux éléments :

- D'une part, il faut suffisamment de sections pour diminuer la charge capacitive locale de chaque driver et pouvoir atteindre des débits de modulation élevés. Ceci se traduit par une longueur maximale des sections telle que la fréquence de résonance de la section soit supérieure à la bande passante souhaitée.
- D'autre part, trop de sections compromettront la complexité globale du modulateur, d'où une limite inférieure à la longueur des sections.

Par ailleurs, il est important de synchroniser les différents signaux électriques modulant les sections en fonction du retard de propagation de l'onde optique dans le guide d'onde afin de minimiser les temps de montée et descente optiques. Pour ce faire, un réseau d'éléments passifs ou actifs est implémenté dans l'architecture des drivers pour induire les retards désirés (non représenté sur la Figure 2.4 (a)). La correspondance de ces retards (*delay matching*) n'est pas critique pour des débits jusqu'à 25 Gb/s mais le devient au-delà. De plus, le débit est également intrinsèquement limité par la vitesse des transistors. C'est pourquoi une architecture travelling wave est préférée pour des débits plus élevés.

L'architecture travelling wave consiste à réaliser l'électrode de chaque bras du MZM comme une ligne de transmission (TL *transmission line*). Un driver généralement réalisé en technologie CML pilote l'impédance de charge de cette électrode. Pour cette configuration, il existe également une longueur de modulateur optimale afin d'atteindre l'OMA maximum. Cette longueur est cependant différente du cas multistage car les contraintes sont autres. Le modulateur souffre en effet de problèmes liés aux lignes de transmission intégrées : des pertes de propagation électrique et une bande passante limitée. Pour minimiser les pertes, les électrodes sont chargées périodiquement par de courtes sections de HSPM séparées par des guides d'onde non dopés, ce qui permet d'isoler le flux de courant dans les électrodes. En revanche, les sections de HSPM placées loin du driver contribuent moins à la modulation de la phase tout en augmentant l'atténuation optique, car la tension de modulation décroît le long du modulateur. C'est pourquoi le taux d'extinction d'une structure travelling

wave est réduit comparé à la structure multistage. La synchronisation entre les ondes électriques et optiques est ici réalisée en optimisant la longueur des sections non dopées entre chaque section de HSPM. Ce taux de remplissage permet d'égaliser les retards de propagation dans l'électrode et dans le guide d'onde et ainsi minimiser les temps de montée et descente optiques.

Le choix de telle ou telle architecture dépend finalement des spécifications requises par l'application. Si le taux d'extinction et le débit sont modérés, le choix sera alors guidé par des considérations énergétiques. Temporiti montre que la consommation énergétique d'une architecture multistage est constante alors que celle d'une architecture travelling wave diminue lorsque le débit augmente [48]. Ainsi un point de croisement à 30 Gb/s est trouvé au-delà duquel la structure travelling wave est plus avantageuse.

2.2.2. Exemple de caractérisation d'un MZM

Cette thèse a pour but de concevoir un prototype en lien avec les communications chip-to-chip. Néanmoins, vu les contraintes de temps imposées par la fabrication des puces et l'assemblage 3D envisagés, nous avons entrepris la réalisation d'un prototype en assemblage wire-bonding en anticipation du démonstrateur final. Ce travail préparatoire sera présenté au Chapitre 5 et permet de prévenir les difficultés d'une co-intégration entre un circuit électrique et un circuit optique. Le prototype implémente un modulateur de Mach-Zehnder. Dans cette section, nous allons donc justifier le choix de ce modulateur et montrer ses caractéristiques. Le prototype complet sera exposé au Chapitre 5.

Notre choix s'est porté sur un modulateur de MZ plutôt qu'un anneau résonant pour ce démonstrateur car les composants HSPM sont bien maîtrisés et caractérisés par STMicroelectronics au contraire des anneaux, encore en cours de développement. Ainsi la technologie PIC25G est fiable et cela facilite le co-design d'un transmetteur électro-optique. Le MZM a été fabriqué en utilisant la seconde génération de HSPM présentant une efficacité de modulation de 18 °/mm sous une polarisation inverse de -2.5 V pour des pertes d'insertion de 0.6 dB/mm [31]. Le MZM a une architecture méandrée afin de rendre son layout plus compact. La longueur totale des HSPM (sections droites et courbes incluses) est de 850 µm, ce qui correspond à une capacité de jonction de 250 fF sous une polarisation nulle. Cette longueur est suffisamment courte pour pouvoir considérer le MZM comme un composant localisé, c'est-à-dire que le modulateur peut être vu comme une architecture multistage avec une seule section. Ceci permet d'éviter les effets RF inhérents à la ligne de transmission d'une architecture travelling-wave.

La puce optique comprend également des réseaux de couplage d'entrées et de sorties afin d'injecter la lumière ($\lambda = 1310$ nm) d'un laser externe et de la recueillir. Certains des réseaux permettent d'aligner correctement le porte-fibre (*fiber-array*) à la surface du wafer. Cet alignement est réalisé de telle sorte à maximiser la puissance de sortie. Les mesures réalisées à partir de cette puce sont des « mesures tout optiques », signifiant que la lumière modulée en sortie du modulateur est collectée directement par une fibre. Nous observons ainsi à l'oscilloscope des puissances optiques. Une autre configuration possible aurait été de convertir le signal optique en un signal électrique par une photodiode intégrée dont le courant varie proportionnellement à la lumière absorbée. On parle alors de « mesures opto-électriques », caractérisées par une entrée optique et une sortie électrique. Le layout de la puce est illustré à la Figure 2.5.

Les HSPM sont polarisés autour de -4 V (polarisation inverse) et deux signaux PRBS (*Pseudo Random Bit Sequence*) complémentaires d'amplitude 4 V sont appliqués sur chacun des deux bras du MZM. Une puissance optique de 13 dBm (soit 20 mW) est injectée en entrée du modulateur. Les mesures dynamiques permettent d'accéder au tracé des diagrammes de l'œil de la puissance optique en sortie. Ceux-ci sont représentés à la Figure 2.6 pour un débit de 10 Gb/s et 25 Gb/s. Les diagrammes sont relativement bruités à cause de l'environnement de mesure qui présente des chemins complexes comprenant des câbles RF et des sondes (*probes*), ce qui dégrade considérablement les signaux électriques envoyés sur le MZM. De plus, l'utilisation de de-emphasis sur les signaux PRBS est inévitable à 25 Gb/s afin de compenser les pertes et obtenir un œil ouvert. Au Chapitre 5, nous comparerons ces diagrammes de l'œil et ceux obtenus avec le prototype intégrant ce même modulateur et un driver.

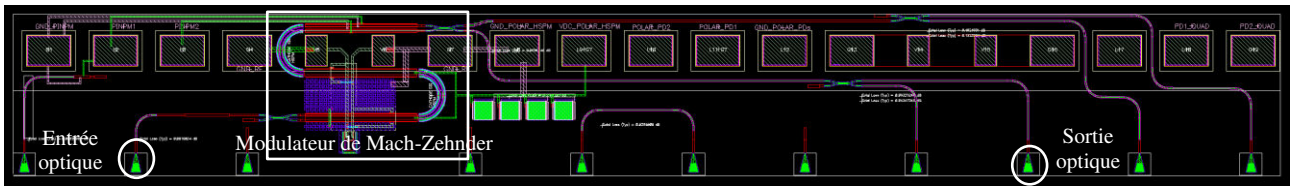
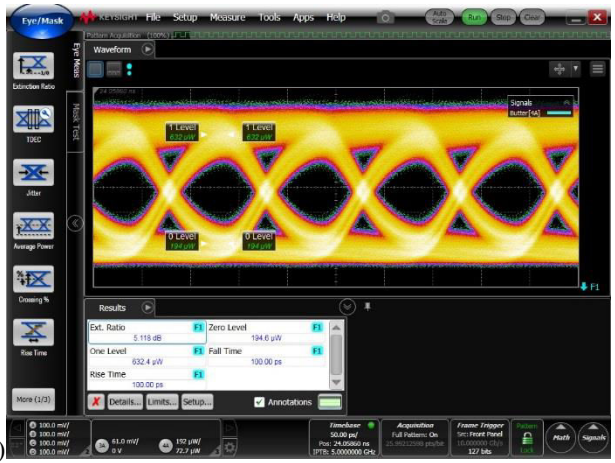


Figure 2.5. Layout de la puce optique, mesure tout optique d'un modulateur de MZ méandré

(a)



10 Gb/s
Pas d'emphasis
$P_1 = 632\ \mu W \quad P_0 = 194\ \mu W$
$ER = 5.12$ dB

(b)

25 Gb/s
Emphasis de 5dB (pre & post curseurs)
$P_1 = 686\ \mu W \quad P_0 = 478\ \mu W$
$ER = 1.57$ dB

Figure 2.6. Diagramme de l'œil du MZM : (a) à 10 Gb/s, (b) à 25 Gb/s

Pour conclure cette section, nous venons de voir que le modulateur de Mach-Zehnder est la solution actuellement mise en œuvre par STMicroelectronics pour moduler des données optiques. De ce fait, les deux architectures travelling wave et multistage sont bien maitrisées. Cependant, le Mach-Zehnder reste un composant très grand et peu adapté au multiplexage par longueurs d'onde, deux aspects sur lesquels l'anneau résonant est au contraire très compétitif.

2.3. Le modulateur en anneau

L'anneau résonnant constitue un des éléments clé des sujets de R&D des équipes de photonique à STMicroelectronics. En effet, il s'agit d'une structure très compacte (rayon de l'ordre de 10 µm) qui trouve des applications en modulation faible puissance ainsi qu'en filtrage passe-bande. Il constitue de ce fait un candidat idéal pour des liaisons optiques WDM à très haut débit. Dans cette section, nous nous intéressons à la modélisation mathématique du fonctionnement de l'anneau, ce qui permet de définir un modèle analytique et de caractériser les performances d'un tel modulateur. Une étude sur les phénomènes non linéaires qui peuvent perturber la transmission optique sera également proposée en Annexe 3. Les liens WDM à base d'anneaux résonants seront, quant à eux, expliqués plus particulièrement dans la section 6.3.

2.3.1. Présentation générale du composant

Un anneau résonnant est un guide d'onde bouclé sur lui-même, ce qui crée une cavité et aboutit à l'apparition d'une résonance lorsque la longueur du chemin optique est un multiple de la longueur d'onde de l'onde se propageant dans l'anneau [95]. Afin d'injecter une onde lumineuse dans l'anneau, celui-ci est couplé avec un ou deux guides d'onde droits. Les configurations obtenues sont nommées respectivement « *all-pass* » et « *add-drop* » (Figure 2.7). Lorsqu'une onde lumineuse est injectée dans le port d'entrée IN, une partie du flux passe dans l'anneau par couplage évanescent, puis tourne dans la cavité jusqu'à ressortir par l'un des deux ports THROUGH ou DROP ou jusqu'à être dissipé sous forme de pertes. A certaines longueurs d'onde, l'énergie stockée dans l'anneau devient très élevée car les ondes interférent de manière constructive à chaque tour d'anneau effectué : c'est le phénomène de résonance. La résonance se traduit par des pics dans les spectres de transmission de la lumière collectée aux ports THROUGH et DROP comme illustré à la Figure 2.7 (b). Le port THROUGH présente le spectre caractéristique d'un filtre coupe-bande tandis que le port DROP présente celui d'un filtre passe-bande.

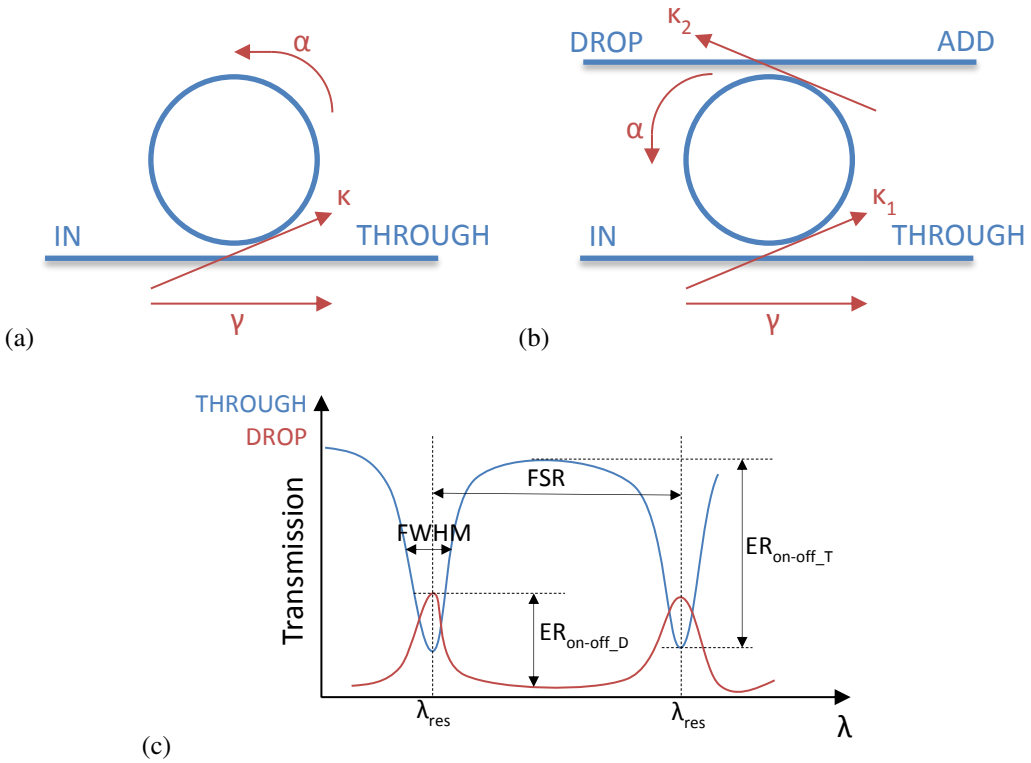


Figure 2.7. Anneau en configuration (a) all-pass, (b) add-drop et (c) son spectre de transmission

Les longueurs d'onde de résonance λ_{res} sont définies par l'expression (2-13). Les résonances apparaissent de façon périodique dans le spectre. Cette période est appelée l'intervalle spectrale libre (FSR *Free Spectral Range*) et son expression est donnée par (2-14).

$$\lambda_{res}[\mathrm{m}] = \frac{n_{eff} L_{ring}}{m}, \quad m = 1, 2, 3 \ldots \tag{2-13}$$

$$FSR\ [\mathrm{m}] = \frac{\lambda^2}{n_g L_{ring}} \tag{2-14}$$

Avec

- n_{eff} l'indice effectif du guide d'onde ;
- n_g l'indice de groupe du guide d'onde ;
- L_{ring} [m] le périmètre de l'anneau ;
- λ [m] la longueur d'onde de l'onde se propageant dans l'anneau.

Pour caractériser les pics de résonance, nous définissons également la profondeur maximale du pic – également appelée taux d'extinction on-off (ER_{on-off} *on-off Extinction Ratio*) – la largeur à mi-hauteur (FWHM *Full Width at Half Maximum*), la finesse F et le facteur de qualité $\mathbb{Q}$:

$$F = \frac{FSR}{FWHM} \tag{2-15}$$

$$\mathbb{Q} = \frac{\lambda_{res}}{FWHM} \tag{2-16}$$

La finesse est une mesure de l'étroitesse des résonances par rapport à leur espacement tandis que le facteur de qualité mesure l'étroitesse des résonances par rapport à leur fréquence centrale. Les deux paramètres trouvent aussi leur interprétation physique dans le nombre de tours effectués dans l'anneau par l'énergie lumineuse avant d'être dissipée par pertes internes ou par couplage dans les guides adjacents.

L'anneau peut prendre différentes formes. Les géométries les plus courantes sont l'anneau circulaire et l'anneau en piste de course (racetrack). L'anneau racetrack inclut des portions de guide rectilignes au niveau du couplage avec les guides adjacents. Ces sections droites permettent d'ajuster le couplage en jouant sur leur longueur et sur leur écart avec les guides d'onde. Dans la suite, nous considérons des anneaux racetrack, l'anneau circulaire étant un cas particulier avec des sections droites de longueur nulle. Nous adoptons les notations suivantes (Figure 2.8) :

- R [m] le rayon de l'anneau ;
- L_c [m] la longueur de couplage ;
- gap [m] la distance entre l'anneau et le guide droit ;
- L_{ring} [m] $= 2\pi R + 2L_c$ le périmètre de l'anneau.

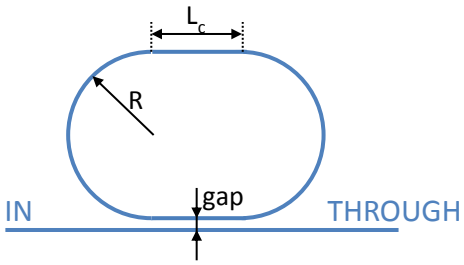


Figure 2.8. Schéma de l'anneau racetrack

L'anneau est un composant très sélectif en longueur d'onde mais du coup, également très sensible à toutes perturbations. En particulier, l'anneau est sensible aux fluctuations de température et aux variabilités de géométries entrainées par les procédés de fabrication. En effet, ces deux paramètres ont un impact direct sur l'indice effectif du silicium ce qui conduit à la variation du pic de résonance (équation (2-13)).

- Le silicium a un coefficient thermo-optique élevé de 2.10^{-4}/°C. Ce changement d'indice de réfraction se traduit par une variation d'indice effectif. Le décalage de la résonance est d'environ 0.1 nm/°C.
- Les procédés de fabrication entrainent des variations de quelques nm sur les dimensions du guide d'onde (hauteur et largeur du rib, hauteur du slab) [96]. Or l'indice effectif est sensible à cette modification de la géométrie du guide. Le décalage de la résonance est d'environ 1nm/nm.

Une incertitude sur la position des pics du spectre de transmission est introduite et elle est relativement importante comparé à la distance d'un FSR, qui est de l'ordre de 7 nm. Il est donc bien souvent nécessaire d'implémenter un dispositif de contrôle des résonances. La méthode thermique qui consiste à placer une résistance chauffante près de l'anneau afin de réguler sa température est la méthode la plus employée. Certains travaux vont plus loin et implémente un système d'asservissement de la position des pics [97]. Plus d'informations peuvent être trouvées dans le manuscrit de thèse de Jean-Baptiste Quélène [98] ou les publications de Meisam Bahadori (université de Columbia) [99] [100].

L'anneau résonant peut être utilisé dans de nombreuses applications. Il peut par exemple servir de capteur car la position et la forme des pics de résonance sont très sensibles aux conditions expérimentales qui affectent les propriétés optiques du silicium. Un groupe de recherche de l'institut catalan des nanosciences et nanotechnologies (ICN2) a entrepris de nombreux travaux à ce sujet et propose notamment des bio-capteurs photoniques basé sur un interféromètre à guide d'onde bimodal [101]. Ce genre de capteurs pourrait servir à terme à créer un « *lab-on-chip* » pour mener des diagnostics « *point-of-care* », c'est-à-dire un test médical réalisé et interprété sur place plutôt que dans un laboratoire central pour prendre une décision clinique immédiate.

Les applications intéressant STMicroelectronics ne sont cependant pas dans le domaine médical mais dans celui des communications à haut débit. L'anneau résonant peut alors être utilisé en tant que modulateur dès lors qu'une jonction PN est incluse dans la structure de l'anneau. La modulation de la tension appliquée sur l'anneau entraîne un décalage du pic de résonance, ce qui crée une modulation de la lumière collectée au port THROUGH. Le modulateur en anneau présente un certain nombre d'avantages vis-à-vis du modulateur classique de type Mach-Zehnder. Il apporte une solution compacte et très efficace d'un point de vue énergétique pour réaliser des interconnexions optiques. En effet, l'anneau est sensiblement plus petit qu'un MZM avec des rayons typiques variant de 5 à 20 µm. Cette petite taille ne nuit pas à l'efficacité de modulation de l'anneau car les résonances sont très sensibles à la modulation de tension. De plus, cette compacité permet de réduire la charge capacitive de la jonction PN et ainsi réduire la consommation de puissance du lien optique.

Les anneaux sont très intéressants pour des applications WDM (*Wavelength Division Multiplexing*) [102] [103] [104] [105]. Ils sont utilisés comme filtre spectral pour multiplexer (TX) ou démultiplexer (RX) les différentes longueurs d'onde d'un signal WDM. La sélection de la longueur d'onde de travail se règle très facilement par exemple par la taille de l'anneau. L'architecture d'une interconnexion WDM se présente sous la forme du schéma de la Figure 2.9. Les modulateurs en anneau modulent indépendamment une longueur d'onde spécifique sur le même guide d'onde, ce qui

évite l'utilisation d'un ensemble de réseaux de couplage, très contraignant pour la surface de la puce, mais nécessaire pour réaliser un lien à base de MZM. Du côté récepteur, le routage des différentes longueurs d'onde vers le canal désiré est également réalisé de manière très compacte grâce à l'utilisation des anneaux en configuration add-drop.

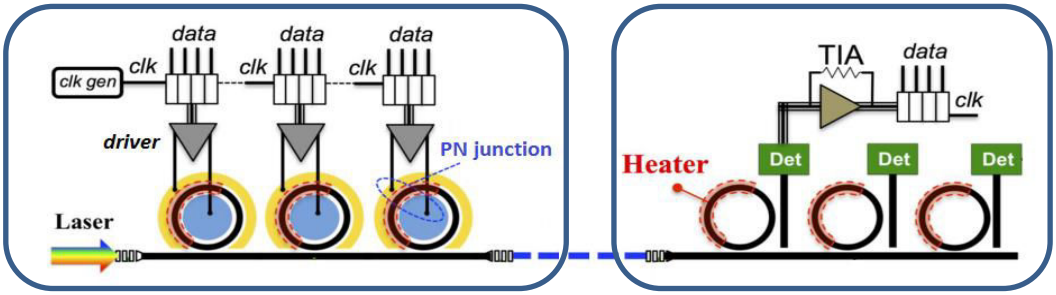


Figure 2.9. Interconnexion optique WDM à base d'anneaux résonants réalisant les fonctions de modulateurs et de filtres [102]

Enfin, les anneaux peuvent trouver de nombreuses applications en traitement du signal, par exemple comme porte logique optique [106] ou comme switch optique, ce qui constitue d'ailleurs le sujet de thèse de Nicolas Michit, encadré par STMicroelectronics, le CEA-LETI et l'INL (Institut des Nanotechnologies de Lyon).

2.3.2. Modélisation de l'anneau : équations du résonateur

Dans ce paragraphe, nous allons donner les équations qui régissent le fonctionnement d'un modulateur en anneau. Pour cela, nous commençons par expliquer les différentes hypothèses sur lesquelles reposent ces équations afin de préciser leur domaine de validité. Puis, nous exposons la méthode dite « *round-trip* » qui aboutit à l'expression du spectre de transmission de l'anneau, suivi d'une discussion sur les principaux paramètres intervenant dans la modélisation. Les équations seront enfin combinées avec la modulation de l'indice effectif via la jonction PN (section 2.1) pour aboutir dans le paragraphe suivant au modèle analytique du modulateur.

Principales hypothèses – Domaine de validité des équations

1. Le modèle présenté est valable uniquement pour la configuration all-pass de l'anneau. Des équations similaires peuvent être dérivées pour la configuration add-drop [107] [95]. Mais nous ne les exposerons pas ici car les modulateurs en anneau réalisés dans cette thèse utilisent la configuration all-pass. A noter toutefois que l'asservissement dynamique des modulateurs nécessitera d'utiliser des anneaux add-drop [83].

2. La deuxième hypothèse consiste à se placer dans le cas d'ondes monomodes, ce qui est vérifié car seul le mode TE d'ordre 0 est excité. Les modes d'ordres supérieurs ne peuvent pas se propager dans l'anneau car ils sont limités par les dimensions du guide. Le mode TM d'ordre 0 pourrait également se propager dans un guide droit mais les pertes par courbure sont plus importantes dans l'anneau que pour le mode TE donc il n'est pas excité.

3. La troisième hypothèse concerne la propriété dite de faible couplage. Elle s'applique quand le temps de relaxation des photons est grand devant le temps caractéristique de couplage de la cavité. Ceci permet de découpler les aspects temporel et spatial, c'est-à-dire qu'on considère que seule l'amplitude du champ optique varie au cours du temps et non sa répartition spatiale.

4. Enfin la dernière hypothèse suppose qu'il n'y a pas de couplage entre des ondes se propageant en sens horaire et antihoraire, les ondes se propageant toujours vers l'avant. Cette hypothèse n'est en général pas vérifiée. En effet, les mesures expérimentales démontrent bien souvent un dédoublement des pics de résonance de l'anneau, caractéristique de la rétrodiffusion des ondes (Figure 2.10 (a)). La rétrodiffusion dans un anneau est due d'une part à la rugosité des surfaces du guide d'onde et d'autre part aux réflexions au niveau du coupleur directionnel. La rétrodiffusion est un phénomène relativement compliqué à modéliser car la rugosité est un procédé statistique. De plus la rétrodiffusion est très dépendante de la longueur d'onde considérée. La rétrodiffusion peut être à l'origine de pénalité en puissance élevée jusqu'à 4 dB et ainsi avoir un impact important sur le budget en puissance d'un lien optique [108]. L'IMEC [109] et le centre de technologie nano-photonique de Valence (Espagne) [110] [111] ont tous deux proposé une

modélisation permettant de reproduire très précisément les spectres de transmission de l'anneau en présence de rétrodiffusion, même lorsque le dédoublement des pics est asymétrique. L'IMEC [112] propose également une approche permettant d'éliminer la rétrodiffusion en incorporant un réflecteur accordable dans l'anneau. Ce réflecteur prend la forme d'un interféromètre de Mach-Zehnder dont les sorties sont bouclées (Figure 2.10 (b)). Nous avons décidé de ne pas prendre en compte la rétrodiffusion car comme nous le montrerons dans le Chapitre 3, les anneaux que nous cherchons à concevoir ont un facteur de qualité faible. Or diminuer le facteur de qualité, c'est-à-dire augmenter les pertes dans l'anneau et le couplage permet de négliger la propagation des ondes vers l'arrière et le dédoublement des pics est plus rare.

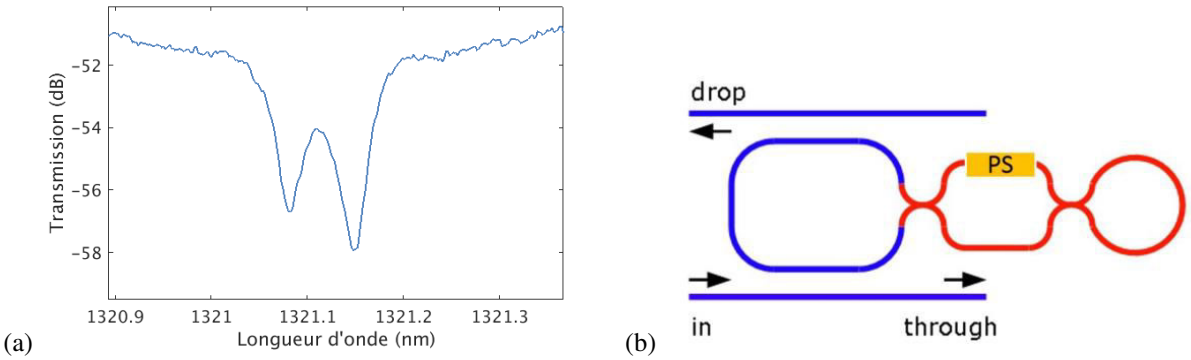


Figure 2.10. (a) Exemple d'un pic de résonance dédoublé mesuré pour un anneau all-pass de rayon 8 µm (couplage de 2% et $\mathcal{Q}$ de 20000 visés) (b) Schéma de l'anneau avec le réflecteur [112]

Approche « round-trip »

Cette approche fait intervenir les amplitudes des champs optiques à chaque port du coupleur entre l'anneau et le guide adjacent. Elle présente l'avantage de donner une solution sur toute la largeur du spectre et n'est pas réduite aux fréquences / longueurs d'onde proches de la résonance considérée. Cette méthode est décrite dans les travaux [113] et [95]. Les différentes notations utilisées ici sont illustrées à la Figure 2.11.

- E_i, E_o, E_i', et E_o' sont les amplitudes complexes des champs optiques aux entrées et sorties du coupleur.
- γ et κ sont respectivement les coefficients en amplitude de couplage direct (*self-coupling*) et de couplage croisé (*cross-coupling*). γ^2 et κ^2 sont donc les rapports de division de puissance du coupleur. En supposant qu'il n'y ait pas de pertes dans le coupleur, ils vérifient l'égalité $\gamma^2 + \kappa^2 = 1$.
- a est le coefficient en amplitude de pertes pour un tour dans l'anneau (*round-trip loss*). Il inclut les pertes de propagation dans l'anneau, les pertes dues au rayon de courbure, les pertes due à la rugosité des surfaces, les pertes dues aux porteurs libres de la jonction PN et les pertes dans le coupleur. a est relié à l'atténuation de puissance dans l'anneau par la relation $a^2 = \exp(-attenuation)$.
- $\varphi = \frac{2\pi n_{eff} L_{ring}}{\lambda}$ est le déphasage apporté lorsqu'un tour de l'anneau est effectué (*round-trip phase shift*), avec n_{eff} l'indice effectif de l'anneau, L_{ring} le périmètre de l'anneau et λ la longueur d'onde de l'onde se propageant dans l'anneau.

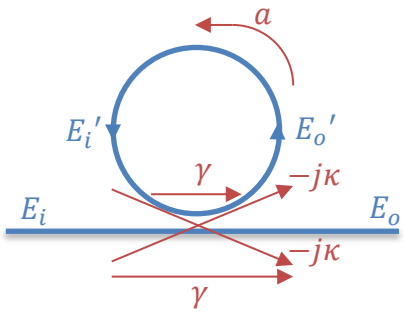


Figure 2.11. Structure de l'anneau pour une approche round-trip

Les interactions dans l'anneau sont décrites par le système d'équations (2-17).

$$\begin{cases} E_o = \gamma E_i - j\kappa E_i' \\ E_o' = -j\kappa\, E_i + \gamma E_i' \\ E_i' = a\exp(-j\varphi)\, E_o' \end{cases} \quad (2\text{-}17)$$

En réorganisant ce système, nous obtenons l'expression (2-18) du champ optique de sortie en fonction du champ d'entrée, et ainsi l'expression (2-19) de la transmission T de l'anneau qui est le rapport entre la puissance de sortie et d'entrée.

$$E_o = \frac{\gamma - ae^{-j\varphi}}{1 - a\gamma e^{-j\varphi}}\, E_i \quad (2\text{-}18)$$

$$T(\varphi) = \left|\frac{E_o}{E_i}\right|^2 = \frac{a^2 + \gamma^2 - 2a\gamma\cos(\varphi)}{1 + a^2\gamma^2 - 2a\gamma\cos(\varphi)} \quad (2\text{-}19)$$

La cavité entre en résonance quand le déphasage « *round-trip* » φ est un multiple de 2π. Nous retrouvons alors l'expression de la longueur d'onde de résonance (2-13). La transmission de l'anneau est minimale à la résonance et correspond à la profondeur maximale du pic de résonance. Le rapport entre la transmission maximale (pour un déphasage multiple de π) et la transmission minimale est appelé taux d'extinction on-off ER_{on-off} et est donné par la relation (2-22). Le couplage critique est défini par la condition $a = \gamma$. Au couplage critique, ER_{on-off} est infini ce qui correspond à l'égalité entre les pertes dans la cavité et les pertes de couplage direct. Les conditions $a < \gamma$ et $a > \gamma$ sont respectivement appelées conditions de sous-couplage et de sur-couplage.

$$T_{min} = T(\varphi = 2\pi) = \frac{(a-\gamma)^2}{(1-a\gamma)^2} \quad (2\text{-}20)$$

$$T_{max} = T(\varphi = \pi) = \frac{(a+\gamma)^2}{(1+a\gamma)^2} \quad (2\text{-}21)$$

$$ER_{on-off}[\text{dB}] = 10\log\frac{T_{max}}{T_{min}} \quad (2\text{-}22)$$

La largeur à mi-hauteur $FWHM$, le facteur de qualité $\mathbb{Q}$ et la finesse F peuvent être exprimés en fonction des coefficients a, γ et κ [95] :

$$FWHM = \frac{(1-a\gamma)\,\lambda_{res}^2}{\pi\, n_g\, L_{ring}\,\sqrt{a\gamma}} \quad (2\text{-}23)$$

$$\mathbb{Q} = \frac{\pi\, n_g\, L_{ring}\,\sqrt{a\gamma}}{\lambda_{res}\,(1-a\gamma)} \quad (2\text{-}24)$$

$$F = \frac{\pi\sqrt{a\gamma}}{1-a\gamma} \quad (2\text{-}25)$$

Le formalisme obtenu par l'approche round-trip est celui utilisé par la suite pour définir le modèle du modulateur en anneau. Nous reviendrons dans les paragraphes suivants sur la caractérisation de l'anneau et notamment nous expliciterons davantage le rôle du facteur de qualité dans l'étude des anneaux.

Discussion sur la modélisation

Avant de poursuivre avec le modèle analytique du modulateur en anneau, nous formulons ici quelques remarques sur la mise en équation du spectre de transmission de l'anneau.

1. A partir de l'équation (2-19), et en considérant λ proche de la longueur d'onde de résonance λ_{res}, on aboutit à l'expression (2-26) de la transmission sous la forme d'un pic Lorentzien. Cette expression n'est valable qu'autour du pic considéré. Les détails des calculs sont donnés dans l'Annexe 1.

$$T(\lambda) = 1 - \frac{A}{1 + \left(2\mathbb{Q}\,\frac{\lambda - \lambda_{res}}{\lambda_{res}}\right)^2} \quad avec\ A = 1 - \left(\frac{\gamma - a}{1 - a\gamma}\right)^2 \quad (2\text{-}26)$$

2. Les sources de pertes au sein de l'anneau sont relativement nombreuses. Nous ne pouvons toutefois pas modéliser précisément chacun des phénomènes car certains sont difficilement quantifiables. Par exemple, les pertes par rugosité à la surface des guides dépendent de la qualité du procédé de fabrication et nous ne pouvons en donner qu'une estimation. Nous allons cependant diviser le terme de pertes en deux termes distincts :
   - α_{dop} [Np.m^{-1}] tient compte des pertes dues au dopage de la jonction PN. Il sera explicité dans le paragraphe (2.3.3) suivant.

- α_{other} [NP. m^{-1}] tient compte des autres pertes de l'anneau, c'est-à-dire des pertes de propagation, de courbure, de rugosité mais aussi les pertes dans le coupleur entre l'anneau et le guide adjacent. Ce terme ne fera pas l'objet d'une étude approfondie. Il a été estimé via plusieurs mesures sur différents types d'anneaux à une valeur de 500 dB/m (115 Np/m).

Pour rappel, la conversion des pertes en dB/m (décibel par mètre) vers des Np/m (Néper par mètre) se fait selon la relation suivante (2-27) :

$$\alpha\ [\mathrm{Np.m^{-1}}] = \alpha\ [\mathrm{dB.m^{-1}}] * \frac{\ln(10)}{10} \tag{2-27}$$

L'atténuation dans l'anneau s'exprime alors comme (2-28) où la distinction est faite entre L_{ring} la longueur totale de l'anneau (son périmètre) et L_{active} la longueur de la section active de l'anneau, c'est-à-dire la longueur de la jonction PN incluse dans l'anneau.

$$attenuation = \alpha_{dop} * L_{active} + \alpha_{other} * L_{ring} \tag{2-28}$$

3. La troisième remarque concerne les coefficients de couplage γ et κ. Ceux-ci sont considérés comme constants. Or une modélisation plus précise du coupleur directionnel, comme cela a été réalisé dans les travaux [114] et [115], montre que les coefficients de couplage dépendent directement de la longueur d'onde. Ceci implique d'importantes variations du spectre de transmission de l'anneau. Mais notre étude étant restreinte à une zone peu étendue de longueur d'onde (de 1270 nm à 1330 nm environ), nous pouvons faire l'hypothèse d'un couplage constant. Par ailleurs, comme le coupleur n'est pas idéal, il faut ajouter un facteur de perte dans l'équation de la transmission de l'anneau (2-19) pour prendre en compte les pertes dans le coupleur. L'expression (2-19) devient alors (2-29). De manière approximative, nous considérons que l'atténuation due au couplage est égale aux pertes α_{other} multipliées par la longueur de couplage L_c.

$$T(\varphi) = \exp(-\alpha_{other} L_c)\ \frac{a^2 + \gamma^2 - 2a\gamma\cos(\varphi)}{1 + a^2\gamma^2 - 2a\gamma\cos(\varphi)} \tag{2-29}$$

4. Une approche faisant intervenir l'énergie dans la cavité et non les amplitudes des champs optiques peut également être utilisée pour modéliser le fonctionnement de l'anneau. Cette approche repose sur la théorie des modes couplés et permet de décrire la dynamique temporelle de l'anneau. Cette méthode est intéressante car elle est très générale et s'adapte à toute géométrie d'anneaux et de configuration. En particulier, elle permet d'inclure facilement des phénomènes non-linéaires. La mise en équation de cette approche est expliquée dans l'Annexe 2. Les liens entre l'approche round-trip et la théorie des modes couplés y sont également explicités.

2.3.3. Modèle analytique du modulateur en anneau

Le modèle développé pour simuler les caractéristiques d'un modulateur en anneau a été implémenté sous MATLAB. C'est un modèle purement analytique qui ne nécessite pas la puissance de calcul d'un simulateur par éléments finis ou FDTD. Le but de la modélisation est d'inclure la modulation de l'indice effectif via la jonction PN (section 2.1) dans le modèle de l'anneau donné principalement par l'équation (2-29). Le modèle est schématisé par le graphe de la Figure 2.12.

La première étape consiste à définir les paramètres de l'anneau, c'est-à-dire :

- les dimensions de l'anneau (rayon R, longueur de couplage L_c) ;
- la longueur de la zone active (L_{active}). En général la jonction PN occupe environ 70 % de l'anneau car la zone de couplage avec le guide adjacent n'est pas dopée ;
- les dimensions du guide d'onde qui sont résumées à la Figure 2.1 ;
- les concentrations de dopage des zones N, P, N+ et P+ (Figure 2.1) ;
- le coefficient de couplage en puissance K qui prend des valeurs en général entre 2% et 15%. A partir de K, les coefficients de couplage en amplitude κ et γ peuvent être déduits $\kappa = \sqrt{K}$ et $\gamma = \sqrt{1-K}$;

Puis la deuxième étape consiste à calculer les pertes dans l'anneau qui se décomposent en une part fixe $\alpha_{other} = 500$ dB/m et une part variable α_{dop} dépendant du dopage de la jonction PN. α_{dop} rend compte de l'absorption par porteurs libres (FCA *Free Carrier Absorption*) qui est un procédé par lequel les photons sont absorbés par des électrons ou des trous libres. Ainsi, l'intensité de l'onde lumineuse est réduite et l'énergie des photons est perdue sous forme de chaleur. L'absorption FCA devient particulièrement importante lorsque les concentrations de dopants impliquées sont

élevées, ce qui est le cas pour les anneaux que nous cherchons à concevoir. Les problématiques de FCA sont généralement mises en avant lors de la conception de cellules solaires en silicium [116]. Une modélisation classique du phénomène fait appel au modèle de Drude qui étudie les collisions de porteurs libres dans un solide. Cette modélisation suppose une dépendance linéaire du coefficient d'absorption avec la concentration des porteurs et une dépendance quadratique avec la longueur d'onde. C'est le modèle développé par l'équipe de Schroder en 1978 [117]. Il repose sur une hypothèse forte que les paramètres des porteurs libres, notamment leur mobilité, ne dépendent pas de leur concentration. Par conséquent le modèle n'est valable que sur une certaine plage de longueur d'ondes et de concentrations. Suite à cette première mise en équation, d'autres modèles sont apparus sous la forme de paramétrisation du modèle initial. Nous relevons en particulier le modèle proposé par Isenberg et Warta [118] dont l'application s'étend à du silicium fortement dopé, ainsi que le modèle de Rüdiger et al. [119] qui se concentre à des longueurs d'onde de 1 à 2 µm. Les coefficients des différents modèles sont à chaque fois déterminés à partir de mesures expérimentales. Nous avons choisi ici d'implémenter le modèle de Schroder en y introduisant un coefficient correctif c_{FCA} qui permet d'adapter le modèle à nos propres mesures. Le coefficient d'absorption α_{dop} est ainsi donné par l'ensemble d'équations (2-30).

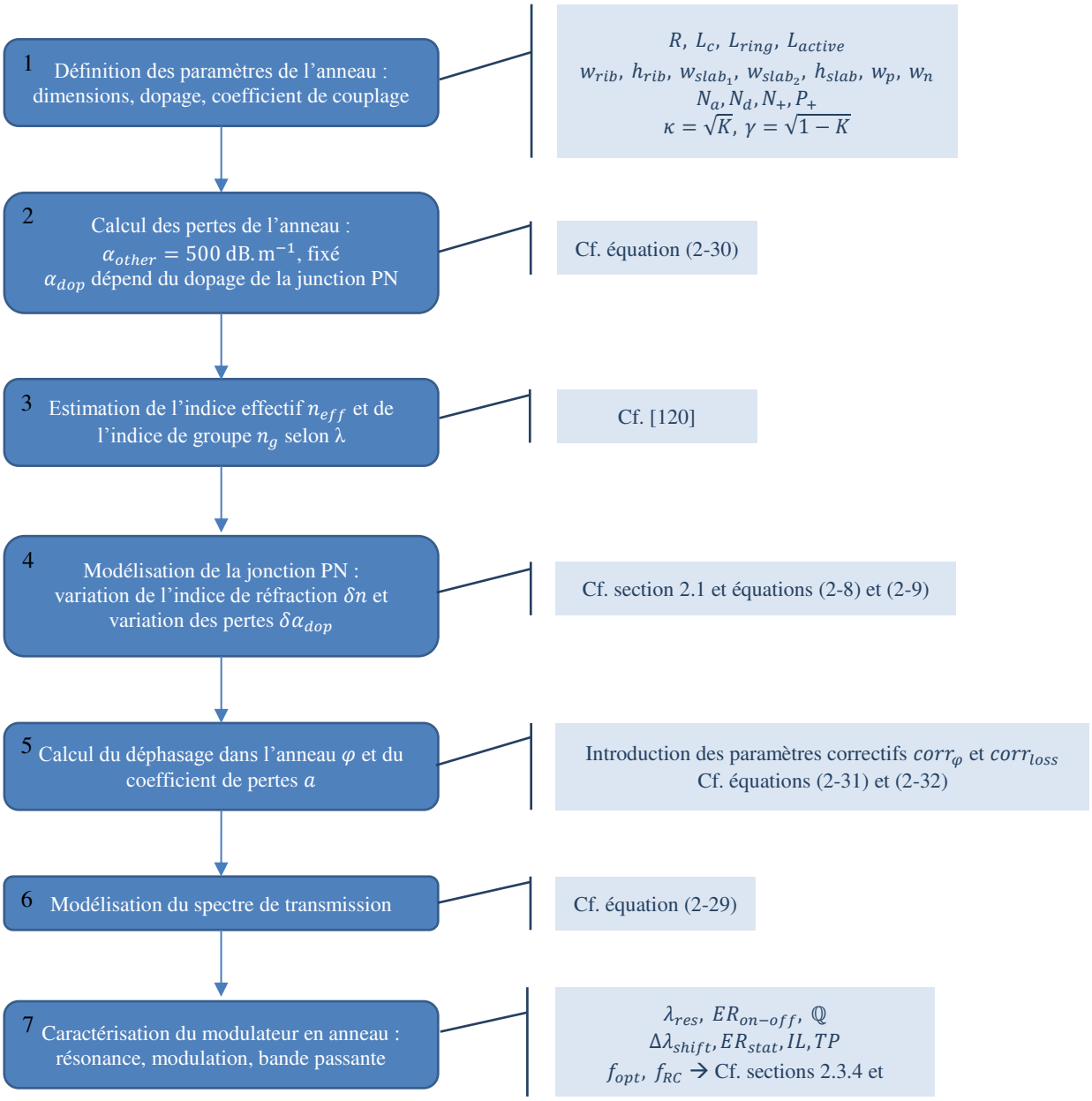


Figure 2.12. Modèle analytique du modulateur en anneau

$$\begin{cases} \alpha_{dop,n}[\mathrm{Np.cm^{-1}}] = c_{FCA}\ 1.0\ \times 10^{-18}\ \lambda[\mu\mathrm{m}]^2\ N_d[\mathrm{cm^{-3}}] \\ \alpha_{dop,p}[\mathrm{Np.cm^{-1}}] = c_{FCA}\ 2.7 \times 10^{-18}\ \lambda[\mu\mathrm{m}]^2\ N_a[\mathrm{cm^{-3}}] \\ \alpha_{dop}[\mathrm{Np.cm^{-1}}] = \alpha_{dop,n} + \alpha_{dop,p} \end{cases} \quad (2\text{-}30)$$

La troisième étape consiste à déterminer les profils d'indice de réfraction et d'indice de groupe au sein de l'anneau. En effet, la propagation des modes optiques dans un guide d'onde dépend fortement des dimensions du guide. La modélisation adoptée ici est tirée directement des codes MATLAB fournis dans le livre de Chrostowski et Hochberg [120].

La quatrième étape consiste à introduire la modélisation de la jonction PN. La modulation de la tension appliquée sur la jonction a pour conséquence la modulation de la concentration des porteurs libres. Cette variation, comme nous l'avons expliqué dans la section 2.1, conduit à la variation de l'indice de réfraction du silicium mais également à la variation du coefficient d'absorption selon les équations (2-8) et (2-9).

La cinquième étape consiste à calculer le déphasage φ apporté par un tour effectué dans l'anneau et le coefficient de pertes a qui interviennent tous deux dans l'expression du spectre de transmission de l'anneau. Ces deux paramètres se calculent facilement en additionnant les contributions dues à un anneau passif et celles dues à la modulation de la jonction PN. Nous obtenons alors les équations (2-31) et (2-32) où un coefficient correctif $corr_\varphi$ (resp. $corr_{loss}$) est introduit dans l'équation de la phase (resp. dans l'équation des pertes). Ces coefficients permettent d'ajuster le modèle de la jonction PN aux mesures réalisées sur des anneaux résonants. Physiquement ces paramètres sont liés au confinement du mode optique dans le guide d'onde et au recouvrement du mode avec la zone de charge d'espace de la jonction PN. (Dans l'équation (2-32), les coefficients d'absorption α_{other}, α_{dop} et $\delta\alpha_{dop}$ sont exprimés en Np/m.)

$$\varphi = \frac{2\pi\ n_{eff}\ L_{ring}}{\lambda} + \underbrace{\frac{2\pi\ \delta n\ L_{active}}{\lambda} * corr_\varphi}_{=\delta\varphi} \quad (2\text{-}31)$$

$$a^2 = \exp\left(-\alpha_{dop}L_{active} - \alpha_{other}L_{ring} - \delta\alpha_{dop}L_{active} * corr_{loss}\right) \quad (2\text{-}32)$$

La sixième étape consiste à introduire la modélisation de l'anneau résonant. Nous utilisons l'expression du spectre de transmission (2-29) qui est obtenue par l'approche « round-trip » et qui est valable sur une large plage de longueurs d'onde. Tous ses paramètres ont été définis dans les étapes précédentes.

La septième et dernière étape consiste enfin à analyser les résultats obtenus par cette modélisation. Les principales figures de mérite que nous allons caractériser sont :

- la résonance de l'anneau définie par la longueur de résonance λ_{res}, la profondeur ER_{on-off} et le facteur de qualité $\mathbb{Q}$ (équations (2-13), (2-22), (2-24)) ;
- la modulation de l'anneau définie par l'efficacité de modulation $\Delta\lambda_{shift}$ (c'est-à-dire le décalage du pic de résonance en fonction de la tension appliquée) et par la pénalité en transmission TP dérivée à partir du taux d'extinction ER_{stat} et des pertes d'insertion IL. Des précisions sont apportées dans le paragraphe suivant.
- La bande passante de l'anneau définie par une limitation optique f_{opt} due au temps de vie des photons dans la cavité et une limitation électrique f_{RC} due au produit RC de la jonction PN. Ceci sera détaillé dans la section 3.1.

Pour conclure sur la description du modèle analytique, il est important de souligner que ce modèle est flexible par rapport aux mesures expérimentales car nous disposons de quatre paramètres permettant d'adapter les courbes modélisées sur des courbes mesurées. Ceci permet de prendre en compte des variations liées au procédé de fabrication par exemple ou de compenser une modélisation trop restrictive de certains phénomènes. Ces quatre paramètres sont : K, c_{FCA}, $corr_\varphi$ et $corr_{loss}$. Le coefficient de couplage K dépend directement du gap entre l'anneau et le guide adjacent. Une loi a été établie expérimentalement, cependant le modèle de l'anneau étant très sensible au couplage (une variation de K de 0.01% est significative pour l'anneau), nous avons préféré laisser K comme paramètre. K suit une loi exponentielle en fonction du gap qui dépend évidemment des dimensions de l'anneau (largeur du guide, rayon et longueur de couplage). La Figure 2.13 donne la courbe de tendance tracée à partir de quatre points de mesure pour des anneaux de caractéristiques $R = 8\ \mu\mathrm{m}$, $L_c = 2\ \mu\mathrm{m}$ et $w_{rib} = 320\ \mathrm{nm}$. Cette figure sera utilisée notamment lors de la conception des anneaux 50G (Chapitre 3) pour déterminer le gap à appliquer afin d'obtenir le couplage souhaité.

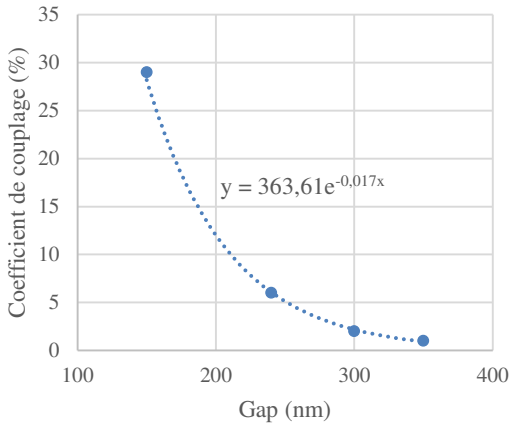


Figure 2.13. Couplage anneau - guide en fonction du gap pour un anneau de rayon 8µm et de longueur de couplage 2µm

2.3.4. Validation du modèle – Caractérisation du spectre de transmission

Lors de la modulation de la tension appliquée sur l'anneau, les pics de résonance se décalent (effet de δn) et se déforment (effet de $\delta\alpha_{dop}$). La déformation se traduit par un changement du facteur de qualité $\mathbb{Q}$ et de la profondeur ER_{on-off}. Pour caractériser le décalage, nous définissons l'efficacité de modulation $\Delta\lambda_{shift}$ de l'anneau qui mesure l'écart des longueurs d'onde de résonance entre l'anneau non modulé et l'anneau modulé sous une certaine tension. Ceci est illustré sur la Figure 2.14.

Le choix de la longueur d'onde de travail (i.e. la longueur d'onde du laser) par rapport à la résonance de l'anneau à 0V est optimisé afin d'obtenir le meilleur compromis entre le taux d'extinction ER et les pertes d'insertion IL. La longueur d'onde optimale coïncide rarement avec la longueur d'onde de résonance. La transmission de l'anneau correspondant à un bit 1, $T1$, respectivement à un bit 0, $T0$, est définie comme montré à la Figure 2.14. A partir de ces deux valeurs, nous définissons :

- le taux d'extinction $ER_{stat} = \frac{T1}{T0}$, il correspond à l'ouverture maximale du diagramme de l'œil qui serait obtenu par une modulation dynamique de l'anneau entre ces deux positions ;
- les pertes d'insertion $IL = \frac{2\,T_{max}}{T1+T0}$, elles correspondent aux pertes induites par l'anneau, c'est le rapport entre la puissance injectée (transmission maximale proche de 1) et la puissance moyenne en sortie de l'anneau (en moyenne autant de bits 1 que de bits 0) ;
- la pénalité en puissance $PP = \frac{T1+T0}{T1-T0} = \frac{ER+1}{ER-1}$, elle reflète la mesure du taux d'extinction, si l'ER est infini alors la pénalité en puissance est de 0 dB ;
- la pénalité en transmission $TP = \frac{2\,T_{max}}{T1-T0} = IL * PP$, elle est l'image à la fois du taux d'extinction et des pertes d'insertion. Le point optimal de modulation correspond au minimum de la pénalité en transmission.

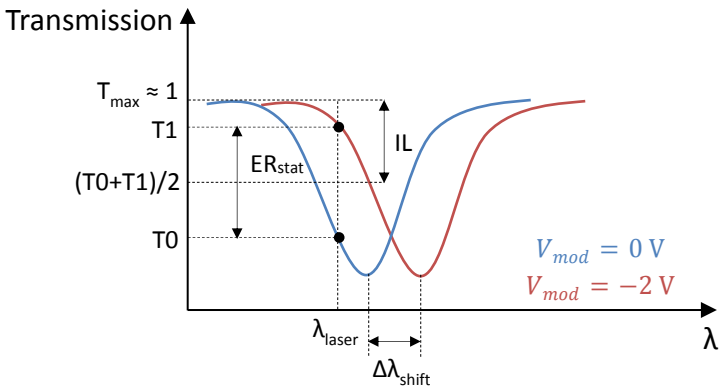


Figure 2.14. Modulation de l'anneau : définition des métriques

A présent, nous allons illustrer notre modélisation de l'anneau résonant sur un exemple. Le modèle de l'anneau sera ajusté via les paramètres K, c_{FCA}, $corr_{\varphi}$ et $corr_{loss}$ pour reproduire au mieux les mesures expérimentales. Les dimensions et les dopages de l'anneau (Tableau 3) ont été choisis pour viser un coefficient de couplage de 4% et un facteur de qualité de 14 000. Cet anneau nous servira de référence lorsque nous chercherons à concevoir un anneau 50G (Chapitre 3). Pour plus de clarté, nous nommons cet anneau « anneau 20G » car comme nous le verrons par la suite son débit maximal est aux alentours de 20 Gb/s. Le Tableau 3 donne les paramètres de l'anneau 20G tandis que le Tableau 4 donne les principales caractéristiques obtenues par simulation.

Dimensions	Dopage	Couplage	Pertes	Facteurs correctifs
$R = 8\mu m$ $L_c = 2\mu m$ $L_{active} = 71.7\ \%\ L_{ring}$ $w_{slab_1} = 800\ nm$ $w_{slab_2} = 2.9\mu m$ $h_{slab} = 50nm$ $w_p = 190nm$ $w_n = 130nm$	$N_a = 9.10^{17}\ cm^{-3}$ $N_d = 15.10^{17}\ cm^{-3}$ $N_+ = 2.10^{19}\ cm^{-3}$ $P_+ = 2.10^{19}\ cm^{-3}$	$K = 4.9\%$ $\kappa = 0.22$ $\gamma = 0.97$	$c_{FCA} = 1.2$ $\alpha_{other} = 500\ dB.m^{-1}$ $\alpha_{dop} = 3500\ dB.m^{-1}$	$corr_{\varphi} = 0.78$ $corr_{loss} = 0.8$

Tableau 3. Paramètres du modulateur en anneau 20G, les 4 en bleu sont ajustés sur la mesure

Pic de résonance à 0V	Modulation de l'anneau entre 0V et -2V
$\lambda_{res} = 1307.3nm$ $ER_{on-off} = 15.8\ dB$ $\mathbb{Q} = 12300$	$\Delta\lambda_{shift} = 12.4\ pm/V$ $ER_{stat} = 4.6\ dB$ $IL = 5.2\ dB$ $TP = 8.4\ dB$

Tableau 4. Caractéristiques du modulateur en anneau 20G obtenus par le modèle MATLAB

Les résultats sont également illustrés par le spectre de transmission de la Figure 2.15 (a) obtenu en variant la tension de modulation de 0.5V à -2V. La Figure 2.15 (b) montre le décalage du pic de résonance en fonction de la tension de modulation. L'efficacité de modulation n'est pas linéaire avec la tension, nous remarquons notamment que le décalage est plus important pour une polarisation directe de la jonction qu'une polarisation inverse. La Figure 2.16 (a) compare les spectres simulés à 0V et -2V avec les résultats de mesures. Une très bonne correspondance modèle/mesure est obtenue par « essais successifs ». Une méthode d'ajustement via une fonction de coût aurait pu être définie comme c'est le cas pour les travaux de Jean-Baptiste Quélène [98]. Cependant nous n'avons pas jugé cela utile pour cette thèse car l'objectif du modèle est de permettre la conception de nouveaux anneaux et non d'analyser les mesures réalisées sur des anneaux. C'est pourquoi nous avons cherché à mettre au point une modélisation analytique reposant sur les dimensions et le dopage de l'anneau et non une modélisation expérimentale reposant sur les caractéristiques du pic de résonance ($\lambda_{res}, \mathbb{Q}, ER_{on-off}$) [98]. Enfin la Figure 2.16 (b) présente le compromis entre le taux d'extinction et les pertes d'insertion selon la longueur d'onde du laser. L'optimum est obtenu lorsque la pénalité en transmission est minimale.

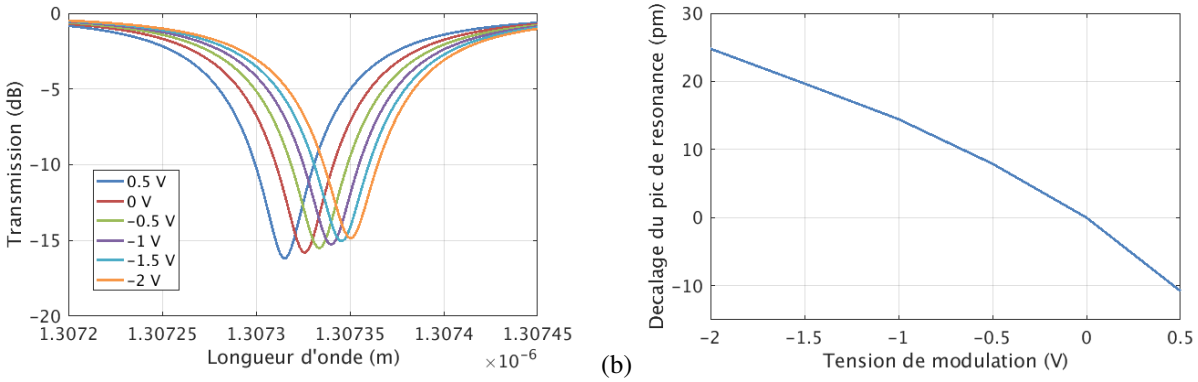


Figure 2.15. (a) Modélisation de la modulation de l' anneau 20G pour des tensions variant de 0.5 V à -2 V, (b) Efficacité de modulation de l'anneau 20G

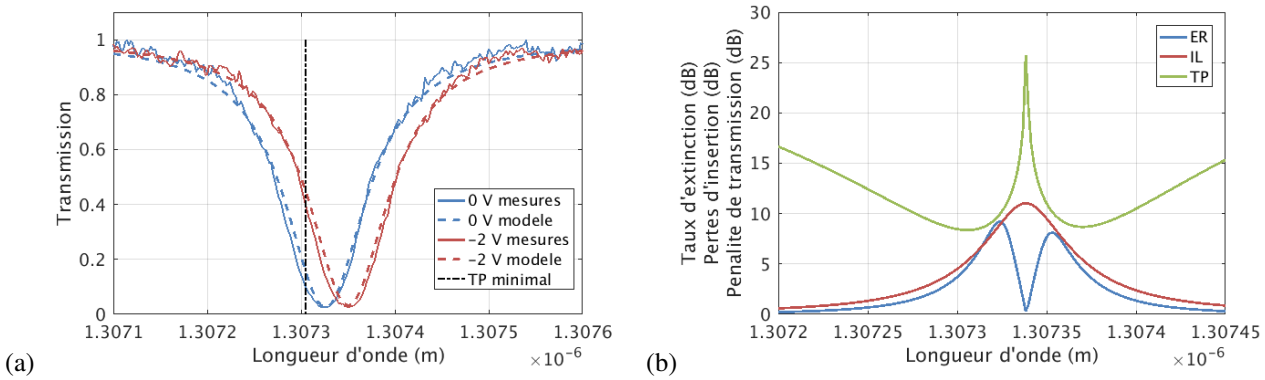


Figure 2.16. (a) Comparaison du modèle et des mesures pour des tensions de modulation de 0V et -2V. Le point optimal de modulation est représenté par la ligne en pointillée, (b) Métriques de l'anneau 20G en fonction de la longueur d'onde de travail.

Pour terminer cette section sur la modélisation de l'anneau, précisons que le modèle développé ici ne prend pas en compte les phénomènes non linéaires (NL *Non Linear*) pouvant se manifester au sein d'un anneau. En effet, nous considérons que nous nous plaçons dans des conditions de fonctionnement telles que les effets NL sont négligeables. Ces effets NL incluent principalement des phénomènes thermiques qui engendrent un auto-échauffement (*self-heating*) de l'anneau. Ils sont directement liés à la puissance optique circulant dans l'anneau et sont donc essentiellement visibles quand la puissance d'entrée est importante (> 1mW). Ainsi pour assurer un comportement linéaire, la puissance injectée dans l'anneau sera toujours suffisamment faible. Néanmoins, afin de compléter notre étude de l'anneau résonant, nous proposons en Annexe 3 une modélisation des effets d'absorption à deux photons (TPA *Two Photons Absorption*) et d'absorption par porteurs libres (FCA *Free Carrier Absorption*).

2.4. Modèle électrique des modulateurs électro-optiques

Cette section permet de préparer les cosimulations électro-optiques qui seront détaillées dans les Chapitre 5 et Chapitre 6. En effet, afin de cosimuler le modulateur optique avec son driver, il faut développer un modèle électrique, type circuit, du modulateur qui sera intégré aux simulations électriques classiques (simulateur Eldo ou ADS par exemple). On introduit donc un modèle petit-signal de la jonction PN, valable à la fois pour un modulateur de Mach-Zehnder et pour un modulateur en anneau.

L'université de Yonsei [121] présente un modèle circuit équivalent pour un modulateur en anneau de type déplétion (jonction PN). Ce modèle est composé de trois blocs : un pour les composants parasites dus aux interconnexions et aux pads, un pour les éléments électriques de la jonction PN et un pour les caractéristiques optiques de l'anneau. Le troisième bloc se modélise sous la forme d'un réservoir LC avec pertes qui représente les temps caractéristiques des phénomènes optiques présents dans l'anneau (cf. Annexe 2 sur la théorie des modes couplés). Les deux premiers blocs sont représentés schématiquement à la Figure 2.17, ils constituent le modèle électrique petit-signal que nous souhaitons mettre en place. Néanmoins nous utiliserons un modèle simplifié ne comprenant que 5 éléments (résistances et capacités) pour modéliser la dynamique de la jonction PN et les parasites des interconnexions. Ce modèle est illustré à la Figure 2.18 (a) et est également employé par l'université de Yonsei dans certains autres travaux [122]. C_{pad} représente la capacité parasite entre les pads RF utilisés lors des mesures. C_{ox} est la capacité à travers la couche d'oxyde (BOX *Buried Oxide*). R_{sub} est la résistance du substrat silicium. C_j et R_{access} modélisent la jonction PN. Ce sont respectivement la capacité de la zone de déplétion et la résistance d'accès des zones P et N vers les contacts métalliques. La capacité de déplétion est variable car elle dépend de la tension de modulation appliquée sur la jonction PN. Il est également important de noter que ce modèle est valable pour un modulateur en anneau aussi bien que pour un modulateur de Mach-Zehnder car ce sont les paramètres de la jonction qui interviennent et non le principe du résonateur ou de l'interféromètre.

Pour le modulateur de MZ, la jonction PN dont nous cherchons les caractéristiques correspond au HSPM utilisé dans les bras du MZM. Les valeurs des composants constitutifs du modèle électrique du HSPM v2 ont été déterminés par Jean-Robert Manouvrier (STMicroelectronics) [92] et sont : $C_{j0} = 295$ fF/mm, $R_{access} = 11.5\ \Omega.\text{mm}$, $C_{ox} = 92$ fF/mm et $R_{sub} = 2.5$ kΩ.mm. La valeur de C_{pad} dépend quant à elle, du pad électrique utilisé pour faire les mesures, typiquement de 50 à 100 fF.

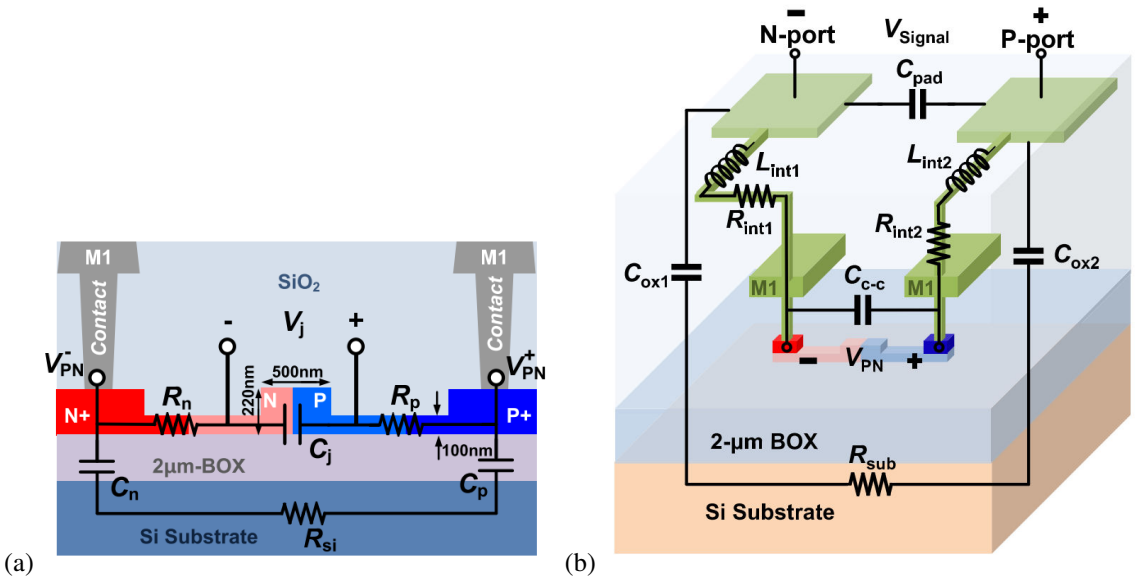


Figure 2.17. Modèle électrique de : (a) La jonction PN, (b) Les composants parasites dus aux pads et interconnexions [121]

En ce qui concerne le modulateur en anneau, une caractérisation RF d'un anneau a été réalisée afin de déterminer les valeurs des paramètres du modèle petit-signal. L'anneau utilisé pour ce travail a un rayon de 8 µm, un gap de 0.2 µm et une longueur de couplage de 1.9 µm. Ce n'est pas exactement le même anneau que l'anneau 20G présenté dans la section précédente (Tableau 3) mais nous pouvons considérer que les éléments parasites C_{pad}, C_{ox} et R_{sub} restent inchangés d'un anneau à l'autre car les pads et les interconnexions (BEOL *Back End Of Line*) ne sont pas modifiés. Les éléments de la jonction C_j et R_{access} seront déterminés de manière analytique pour chacun des anneaux considérés.

La caractérisation de l'anneau, effectuée lors du stage de fin d'études précédent cette thèse [123], consiste à mesurer les paramètres S (*Scattering*) du dispositif en injectant un signal de fréquence allant de 50 MHz à 60 GHz. Puis les paramètres S de l'anneau sont analysés à l'aide du logiciel ADS (*Advanced Design System*) de Keysight. Les paramètres S traduisent les propriétés de réflexion et de transmission entre les ports d'entrée et de sortie de l'anneau. Nous pouvons alors extraire les paramètres d'impédance et d'admittance de l'anneau qui nous permettent de donner une première estimation des valeurs des composants du modèle électrique. Puis après simulation des paramètres S de ce modèle, nous pouvons comparer les deux jeux de paramètres S et ainsi ajuster le modèle électrique. Les valeurs suivantes ont été déterminées : $C_{pad} = 8$ fF, $C_{ox} = 10$ fF, $R_{sub} = 1.25$ kΩ.

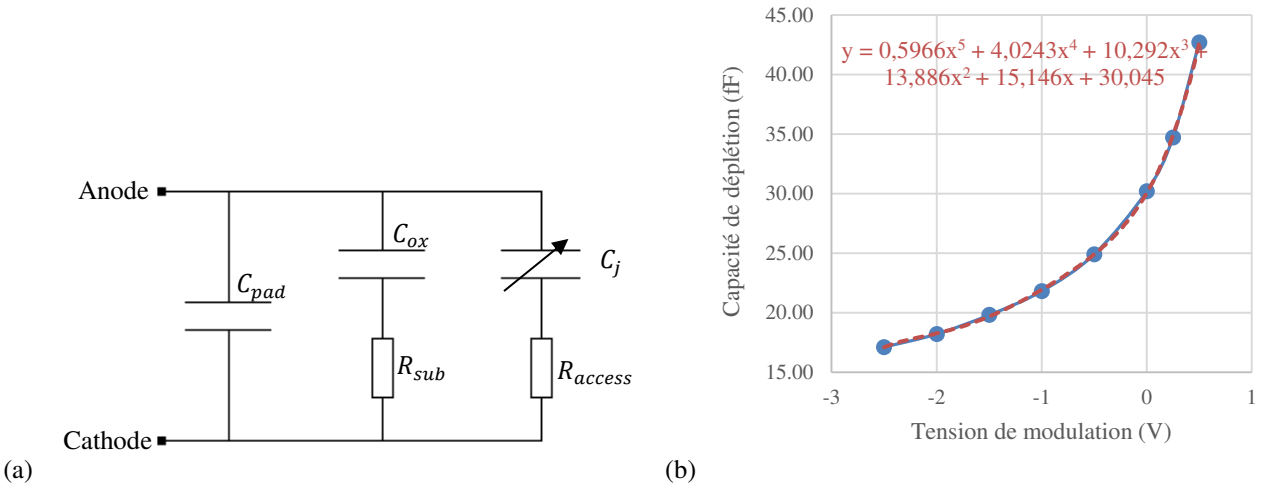


Figure 2.18. (a) Modèle petit signal du modulateur en anneau, (b) Capacité de déplétion de l'anneau 20G en fonction de la polarisation de la jonction PN. Les points bleus sont donnés par les simulations Matlab ($C_j = C_{j_{par}} + C_{j_{fringe}}$), la courbe rouge est une courbe de tendance extraite à partir de ces points.

L'expression de la capacité de déplétion C_j est donnée par la relation (2-7) (cf. section 2.1). C_j peut également être exprimée comme la somme d'une capacité idéale $C_{j_{par}}$ et une capacité $C_{j_{fringe}}$ prenant en compte les effets du champ électrique de dispersion. $C_{j_{par}}$ est donnée par la relation (2-6) et dépend principalement des concentrations de dopage de la jonction et de la tension de modulation. $C_{j_{fringe}}$ est explicitée dans la thèse de Jayatilleka [91]. Ce terme dépend également de la largeur de la zone de déplétion et peut s'écrire sous la forme (2-33) où les notations sont les mêmes qu'à la section 2.1. $K(k)$ est l'intégrale elliptique complète de première espèce. t_n et t_p correspondent à l'extension de la largeur de la zone de charge d'espace par le champ électrique de dispersion [91].

$$C_{j_{fringe}}[\mathrm{F.m^{-1}}] = \varepsilon_{SiO_2} \ln\left(2\pi \frac{h_{rib}}{w_{ZCE}}\right) + 2\,\varepsilon_{SiO_2} \frac{K(\bar{k})}{K(k)} \; avec\; k = \sqrt{\frac{w_{ZCE}\left(w_{ZCE} + t_n + t_p\right)}{(w_{ZCE} + t_n)(w_{ZCE} + t_p)}} \; et\; \bar{k} = \sqrt{1 - k^2} \quad (2\text{-}33)$$

La résistance d'accès à la jonction R_{access} peut également s'exprimer de façon analytique. Elle se décompose en trois termes : la résistance du rib de dopage N_a et N_d, la résistance du slab de dopage N_a et N_d et la résistance du slab de dopage N_+ et P_+. A chaque dopage est associé une mobilité des électrons μ_n ou une mobilité des trous μ_p dépendant des concentrations de dopage. L'expression des mobilités pour du silicium dopé avec des atomes de phosphores ou de bore est donnée dans les travaux [124]. La résistance s'exprime selon les équations (2-34).

$$\begin{cases} R_{slab_1}[\Omega.\mathrm{m}] = \dfrac{w_{slab_1}}{q\, h_{slab}} \left(\dfrac{1}{N_a\, \mu_{p_{N_a}}} + \dfrac{1}{N_d\, \mu_{n_{N_d}}}\right) \\ R_{slab_2}[\Omega.\mathrm{m}] = \dfrac{w_{slab_2} - w_{slab_1}}{q\, h_{slab}} \left(\dfrac{1}{P_+\, \mu_{p_{P_+}}} + \dfrac{1}{N_+\, \mu_{n_{N_+}}}\right) \\ R_{rib}[\Omega.\mathrm{m}] = \dfrac{1}{q\, h_{rib}} \left(\dfrac{w_p}{N_a\, \mu_{p_{N_a}}} + \dfrac{w_n}{N_d\, \mu_{n_{N_d}}}\right) \\ R_{access}[\Omega.\mathrm{m}] = R_{rib} + R_{slab_1} + R_{slab_2} \end{cases} \quad (2\text{-}34)$$

Pour l'anneau 20G (Tableau 3) de section active L_{active}, nous trouvons les valeurs suivantes : $C_j\,(V_{mod} = 0\mathrm{V}) = 30$ fF et $R_{access} = 343\ \Omega$. L'évolution de la capacité de déplétion en fonction de la tension de modulation est illustrée à la Figure 2.18 (b). Pour pouvoir adapter le modèle de C_j au modèle de capacité variable proposé par les logiciels de simulation électrique (ADS notamment), nous approximons l'expression de C_j par un polynôme d'ordre 5 dont les coefficients sont donnés à la Figure 2.18 (b).

Pour conclure cette section, la modélisation électrique du modulateur optique est très simplifiée et ne comporte que cinq paramètres. Néanmoins, ce travail permet de prendre en compte les aspects dynamiques d'une jonction PN via la constante de temps $R_{access}C_j$. Ainsi nous pouvons envisager une modélisation dynamique des modulateurs, c'est-à-dire cosimuler le modulateur avec la partie électrique du transmetteur afin d'avoir accès à des simulations de diagrammes de l'œil et de BER (*Bit Error Rate*). Ceci sera développé dans le Chapitre 5 et le Chapitre 6, respectivement pour un MZM et un RRM.

Conclusion du chapitre

En résumé, la modulation électro-optique dans le silicium est réalisée par l'intégration d'une jonction PN au sein d'une structure interférométrique. La variation de la polarisation de la diode PN induit une variation de l'indice de réfraction des guides d'onde, proportionnellement à la concentration des dopants des zones N et P. Les caractéristiques de la jonction sont directement liées aux performances du modulateur (efficacité de modulation, bande passante). C'est pourquoi il est primordial de comprendre et d'optimiser cette jonction, que ce soit l'optimisation de ses dimensions ou de ses niveaux de dopages. La variation de l'indice optique est ensuite convertie en changement d'intensité lumineuse par le biais d'un interféromètre de Mach-Zehnder ou d'un anneau résonant. Ces deux modulateurs, bien que reposant sur le même principe de déplétion des porteurs, sont dédiés pour des applications bien spécifiques d'où des caractéristiques très différentes.

Le modulateur de Mach-Zehnder se présente principalement sous deux formes : l'architecture travelling-wave et

l'architecture multistage. Dans les deux cas, le MZM vise des applications datacoms et est actuellement la solution la plus mature grâce notamment à son insensibilité aux variations de son environnement de fonctionnement. Néanmoins, l'amélioration de la zone active des MZM par exemple par l'utilisation d'une jonction PN deep-slab permet d'envisager également son fonctionnement comme un modulateur localisé et son application pourrait s'étendre aux interconnexions à courtes distances. L'implémentation d'un MZM comme transmetteur électro-optique sera détaillée au Chapitre 5.

Le modulateur en anneau est un composant très compact ce qui en fait un très bon candidat pour des applications très faible puissance. Par ailleurs, sa grande sensibilité en longueurs d'onde permet de réaliser très facilement du multiplexage en longueurs d'onde (WDM). En conséquence, le RRM semble idéal pour des applications de type HPC pour lesquelles une grande densité de bande passante et une faible consommation énergétique sont requises. Dans ce chapitre, nous avons vu en particulier comment modéliser le fonctionnement de l'anneau à partir d'une approche round-trip. Ceci nous a permis d'implémenter sur Matlab un modèle analytique de l'anneau reposant sur la modulation de la jonction PN et la propagation des ondes au sein de la cavité résonante. A partir de cet outil, nous pouvons évaluer les caractéristiques statiques du RRM, c'est-à-dire les spectres de transmission en puissance, l'efficacité de modulation et l'optimisation de la longueur d'onde de travail. De plus, afin de compléter notre étude sur les anneaux, certains des phénomènes non-linéaires apparaissant au sein de l'anneau ont été analysés et modélisés, ce qui est décrit en Annexe 3. Notre modèle analytique a un rôle avant tout prédictif pour nous aider à concevoir un modulateur. En effet, en s'appuyant sur ce modèle, nous montrerons au Chapitre 3suivant comment optimiser les paramètres de l'anneau dans le but de fabriquer un RRM visant des transmissions à des débits de 50 Gb/s. Puis ce modèle sera encore utilisé au Chapitre 6 pour préparer l'implémentation d'un transmetteur électro-optique à base d'anneaux et spécifier les contraintes d'un lien WDM.

Chapitre 3
Conception des modulateurs en anneau

Dans ce chapitre, nous poursuivons notre étude sur les modulateurs électro-optiques, en se concentrant sur l'anneau résonant. Nous nous intéressons à la conception d'un modulateur très haut débit (> 50 Gb/s) dont les principales étapes sont l'optimisation des paramètres de l'anneau, sa fabrication puis sa caractérisation expérimentale.

Nous souhaitons réaliser un modulateur en anneau à 50 Gb/s en se basant sur la technologie PIC25G de STMicroelectronics. Le débit très élevé est le point challengeant de cette étude. Les transceivers optiques de prochaine génération (CFP8 form factor en particulier, cf. section 1.1) devront supporter des bandes passantes de 400GbE afin de subvenir aux standards des datacoms. Les briques de base d'un tel transceiver devront alors être spécifiées pour des débits de 50 Gb/s pour réaliser des modules MSA à 4 liens (4×50Gbaud PAM4 = 400G). Par ailleurs, il n'est pas exclu que les interconnexions à plus courte distance (type chip-to-chip à base d'interposeur photonique) s'orientent aussi dans quelques années vers des hauts débits même si à l'heure actuelle, plusieurs études s'accordent à dire qu'un débit plus modéré autour de 10 à 20 Gb/s permet d'optimiser l'efficacité énergétique du lien électro-optique (cf. section 6.1). Cependant, l'amélioration des performances de la technologie photonique et l'utilisation de nœuds CMOS avancés pour la puce EIC intégrée à côté de l'ASIC conduira certainement à l'utilisation de modulateurs 50G, voire 64G ou plus. Outre le débit, l'étude présentée dans ce chapitre est également très formatrice pour la suite des travaux car elle permet de s'exercer à la conception optique en vue du démonstrateur WDM final à base d'anneaux.

L'objectif du chapitre est d'identifier les paramètres importants qui déterminent les performances du modulateur, en particulier sa bande passante et sa pénalité en transmission, afin de pouvoir concevoir un modulateur répondant à nos spécifications. Après fabrication des dispositifs, nous procèderons aux mesures expérimentales afin de vérifier que le comportement du modulateur est conforme à nos attentes et permet des transmissions de données à 50 Gb/s.

Le chapitre est organisé de la façon suivante. La première partie est consacrée à l'optimisation de la bande passante d'un anneau ce qui aboutit à la proposition d'un anneau 50G. La seconde partie présente les différentes structures de test implémentant un modulateur en anneau et détaille leur caractérisation. Plusieurs campagnes de mesures ont été nécessaires afin d'extraire l'ensemble de ses propriétés. Des mesures statiques ont permis de tracer les spectres de transmission de l'anneau tandis que des mesures dynamiques ont donné accès aux diagrammes de l'œil. De plus, une caractérisation RF a permis de mesurer les paramètres S des dispositifs afin de déterminer le modèle petit-signal du modulateur 50G et sa bande passante électro-optique. Enfin les performances de l'anneau 50G sont comparées à celles de modulateurs équivalents de la littérature.

3.1. Optimisation de la bande passante pour des débits de 50 Gb/s

Dans cette section, nous nous intéressons aux limitations en bande passante d'un modulateur en anneau, ce qui sera illustré sur l'anneau 20G introduit dans le chapitre précédent. Puis nous montrerons comment évoluent les performances d'un anneau en fonction de ses paramètres principaux et nous expliquerons comment optimiser sa bande passante afin de réaliser un anneau très haut débit : l'anneau 50G.

L'anneau connaît deux limitations de sa bande passante :

- La première est électrique. Elle est liée à la bande passante du circuit RC équivalent de la jonction PN. De façon classique, nous avons l'expression de la fréquence de coupure f_{RC} du filtre RC :

$$f_{RC}[\text{Hz}] = \frac{1}{2\pi}\frac{1}{R_{access}C_j} \tag{3-1}$$

- La deuxième est optique. Elle est liée à la fois au temps de vie des photons circulant dans l'anneau et au temps caractéristique de couplage entre l'anneau et le guide adjacent. Nous définissons alors le temps caractéristique τ de la cavité qui prend en compte ces deux dynamiques : τ_l lié aux pertes dans l'anneau et τ_c lié au couplage avec le guide droit. τ satisfait la relation suivante : $\frac{1}{\tau} = \frac{1}{\tau_l} + \frac{1}{\tau_c}$. La théorie des modes couplés (cf. Annexe 2) nous donne une interprétation du temps τ en termes d'énergie circulant dans l'anneau et permet également de l'exprimer en fonction du facteur de qualité $\mathbb{Q}$ de la cavité. Nous obtenons ainsi l'expression de la fréquence de coupure f_{opt} de la résonance :

$$f_{opt}[\text{Hz}] = \frac{1}{2\pi}\frac{2}{\tau} = \frac{c}{\lambda_{res}\,\mathbb{Q}} \tag{3-2}$$

La bande passante BW de l'anneau est donnée par la relation (3-3). Le débit maximal est déduit de la bande passante par l'approximation (3-4) classiquement considérée en traitement du signal [125].

$$\frac{1}{BW} = \sqrt{\frac{1}{f_{RC}^2} + \frac{1}{f_{opt}^2}} \tag{3-3}$$

$$DR_{max} = \frac{BW}{0.7} \tag{3-4}$$

Le Tableau 5 donne les caractéristiques fréquentielles de l'anneau 20G qui a été étudié dans la section 2.3. Son débit maximal est estimé à 17 Gb/s, il est limité d'une part par la résistance d'accès de la jonction et d'autre part par le facteur de qualité de la résonance. Afin d'augmenter la bande passante de l'anneau, nous pouvons donc en déduire les deux tendances suivantes. L'optimisation de la bande passante électrique nécessite principalement de réduire la résistance d'accès de la jonction. Pour cela, il faut diminuer la largeur du slab, la hauteur du slab étant fixée par le procédé de fabrication. L'optimisation de la bande passante optique nécessite de diminuer le facteur de qualité, ce qui signifie augmenter les pertes dans l'anneau et/ou augmenter le couplage entre les guides (cf. équation (2-24)). Pour cela, il faut augmenter les concentrations de dopage de la jonction et /ou diminuer le gap entre l'anneau et le guide droit. Cependant, tous ces paramètres ne sont pas indépendants et notamment, l'augmentation de la concentration des dopages implique une augmentation de la capacité de la jonction, d'où la réduction de la bande passante électrique. Il s'agit ainsi de trouver le meilleur compromis entre ces paramètres afin de satisfaire les spécifications demandées.

Bande passante électrique	**Bande passante optique**	**Débit**
$R_{access} = 343\ \Omega$ $C_j = 30$ fF $f_{RC} = 15.4$ GHz	$\mathbb{Q} = 12300$ $\tau = 17$ ps $f_{opt} = 18.7$ GHz	$DR_{max} = 17$ Gbps

Tableau 5. Caractéristiques fréquentielles de l'anneau 20G (cf. Tableau 3 pour ses paramètres)

Dans le cadre de la conception d'un anneau 50G, l'objectif est d'élargir la bande passante du modulateur afin de permettre des débits d'au moins 50 Gb/s tout en conservant une bonne efficacité de modulation et des pénalités en transmission les plus faibles possibles. Les graphiques de la Figure 3.1 illustrent les tendances de la pénalité TP et du débit DR_{max} d'un anneau en fonction du dopage de la jonction, en considérant $N_a = N_d$. Ces courbes ont été calculées à partir du modèle de l'anneau défini à la section 2.3.3 et ont été tracées pour trois coefficients de couplage et pour deux largeurs de slab différentes. Elles permettent d'orienter les choix de conception de l'anneau 50G. Il apparaît clairement (Figure 3.1 (b)) que les dopages doivent être sensiblement augmentés et la largeur de slab réduite par rapport à l'anneau 20G. Puis l'optimisation des performances de l'anneau est réalisée via l'ajustement du coefficient de couplage afin de maintenir une pénalité la plus faible possible.

Ces tendances sont confirmées par exemple par l'étude réalisée par Olivier Dubray et Alexis Abraham (CEA-LETI) [126]. Le modèle ultra-compact développé au cours de leur thèse permet de modéliser un modulateur en anneau à base de jonction PN, PIN ou capacitive et montre les compromis à considérer pour optimiser ses performances. Notamment, on peut noter que les concentrations de dopants de la jonction PN doivent être relativement élevées ($> 10^{18}$ cm^{-3}) pour assurer une grande bande passante.

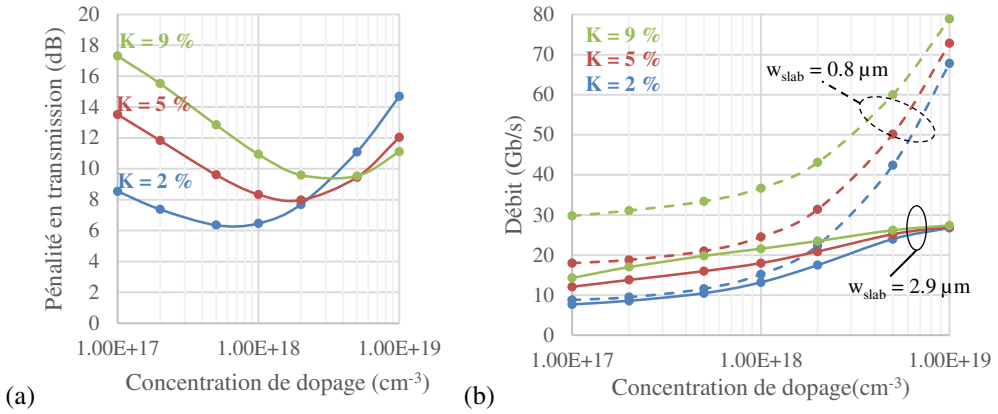


Figure 3.1. Etude des caractéristiques d'un anneau en fonction du dopage, du couplage et des dimensions du slab : (a) Pénalité en transmission, (b) Débit maximal

Dimensions	Dopage	Couplage	Pertes	Facteurs correctifs
$R = 8\mu m$ $L_c = 2\mu m$ $L_{active} = 71.7\ \%\ L_{ring}$ $w_{slab_1} = 120\ nm$ $w_{slab_2} = 640\ nm$ $h_{slab} = 50nm$ $w_p = 190nm$ $w_n = 130nm$	$N_a = 4.10^{18}\ cm^{-3}$ $N_d = 6.10^{18}\ cm^{-3}$ $N_+ = 5.10^{19}\ cm^{-3}$ $P_+ = 5.10^{19}\ cm^{-3}$	$K = 7\%$ $\kappa = 0.26$ $\gamma = 0.96$	$c_{FCA} = 1$ $\alpha_{other} = 500\ dB.m^{-1}$ $\alpha_{dop} = 12500\ dB.m^{-1}$	$corr_\varphi = 0.8$ $corr_{loss} = 0.9$

Tableau 6. Paramètres du modulateur en anneau 50G

Le Tableau 6 propose un ensemble de paramètres susceptibles de conduire à la réalisation du modulateur en anneau 50G. Quelques variantes ont également été étudiées et seront proposées dans la section 3.2 afin de tester expérimentalement l'influence de certains paramètres. Exceptée la largeur du slab qui est réduite à 640 nm, les dimensions de l'anneau 50G n'ont pas été modifiées par rapport à l'anneau 20G pour respecter les contraintes des procédés de fabrication. En revanche, les concentrations de dopages sont nettement changées et les dopages de la jonction N_a et N_d atteignent des valeurs 4 à 5 fois plus élevées que les dopages de l'anneau 20G. Ces valeurs sont comparables aux dopages utilisés par Marianna Pantouvaki et son équipe à l'IMEC pour fabriquer un modulateur en anneau capable d'atteindre un débit de 56 Gb/s [42] (dopages de $4 \times 10^{18}\ cm^{-3}$ pour la jonction PN et $4.5 \times 10^{19}\ cm^{-3}$ pour le slab). Il a été nécessaire de créer de nouvelles « recettes d'implants » pour réaliser les dopages souhaités. Comme nous l'avons précisé dans la section 2.1, nous ne modifions que la dose des implants en considérant une loi linéaire entre la dose et la concentration de dopage souhaitée. Les énergies qui permettent de définir la profondeur d'implantation des ions restent inchangées car la hauteur du guide d'onde n'est pas modifiée. Les doses et énergies utilisées sont définies dans la section suivante, au Tableau 8. En ce qui concerne le coefficient de couplage, nous visons une valeur proche de 7%, ce qui correspond à un gap entre l'anneau et le guide droit de 230 nm (cf. Figure 2.13). Le dopage fort accompagné d'un couplage relativement important conduisent bien à des pertes très importantes d'environ 12.5 dB/cm et devraient permettre d'étendre la bande passante optique de l'anneau. Pour les coefficients correctifs du modèle (c_{FCA}, $corr_\varphi$, $corr_{loss}$), nous conservons dans un premier temps des valeurs standards obtenues avec l'anneau 20G, puis dans un second temps, ces valeurs seront ajustées sur la mesure afin de réaliser des rétro-simulations précises de nos anneaux. En tenant compte de l'ensemble de ces paramètres, nous appliquons le modèle Matlab pour extraire les caractéristiques attendues de l'anneau 50G. Le Tableau 7 récapitule les performances du modulateur ainsi obtenu. Nous pouvons noter principalement le faible facteur de qualité synonyme d'une grande bande passante optique ainsi que la faible résistance d'accès qui permet d'obtenir une grande bande passante électrique.

Enfin, nous donnons à la Figure 3.2, pour comparaison avec l'anneau 20G, le spectre de transmission de l'anneau 50G et les courbes d'optimisation de la longueur d'onde de travail (spectres de ER, IL, TP). Ces résultats de simulation restent néanmoins à être validés par des mesures expérimentales. Les différentes structures de test fabriquées ainsi que les mesures réalisées sont décrites dans les sections suivantes.

Pic de résonance à 0V	Modulation de l'anneau entre 0V et -2V	Bande passante électrique	Bande passante optique	Débit
$\lambda_{res} = 1309.3$ nm $ER_{on-off} = 13$ dB $\mathbb{Q} = 5670$	$\Delta\lambda_{shift} = 23$ pm/V $ER_{stat} = 3.6$ dB $IL = 5.0$ dB $TP = 9.1$ dB	$R_{access} = 32\ \Omega$ $C_j = 57$ fF $f_{RC} = 88.4$ GHz	$\mathbb{Q} = 5670$ $\tau = 7.8$ ps $f_{opt} = 40.4$ GHz	$DR_{max} = 52$ Gbps

Tableau 7. Caractéristiques du modulateur en anneau 50G

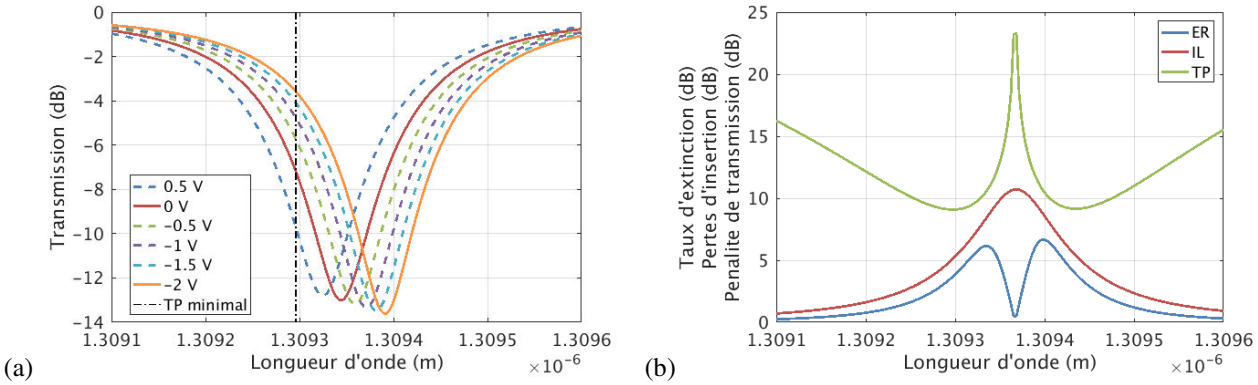


Figure 3.2. (a) Spectres de transmission de l'anneau 50G pour une polarisation variant de 0.5 à -2V, (b) Recherche de la longueur d'onde optimale pour une modulation entre 0 et -2 V

3.2. Conception des structures de tests

Les anneaux résonants sont fabriqués sur la plateforme photonique sur silicium PIC25G de STMicroelectronics. Cette plateforme utilise des wafers SOI de diamètre 300 mm. Les dispositifs optiques sont réalisés à partir d'une lithographie 193 nm comme décrit dans les papiers [31] et [96] qui présentent la plateforme et l'impact de la variabilité des procédés de fabrication. De nouveaux procédés d'implantation ont été définis pour les forts dopages de la jonction. De plus, l'option deep-slab est utilisée pour réduire la hauteur de slab du guide d'onde et permettre un meilleur confinement de la lumière dans l'anneau et ainsi augmenter son efficacité de modulation. Tous les anneaux ont une forme « racetrack » avec un rayon de 8 µm et une longueur de couplage de 2 µm de long. Un des anneaux fabriqués est illustré en exemple à la Figure 3.3 (a) et la Figure 3.3 (b) rappelle la forme du guide d'onde et la définition de la jonction PN. Les contacts de la jonction PN sont connectés à un pad GSG de pitch 100 µm ce qui permet de polariser l'anneau et d'appliquer le signal RF de modulation. La lumière est injectée dans le circuit puis collectée à partir de deux réseaux de couplage, espacés de 250 µm.

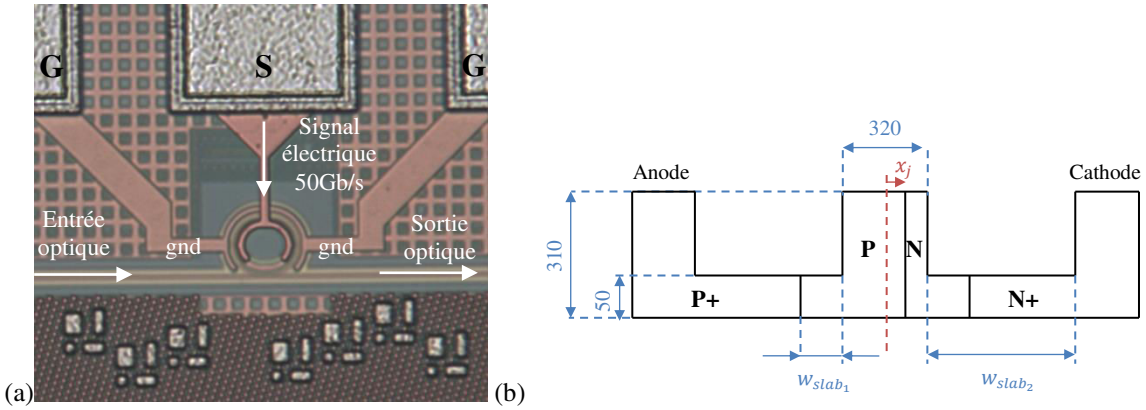


Figure 3.3. (a) Microphotographie d'un anneau résonant. (b) Vue en coupe schématique de la jonction PN intégrée dans l'anneau. Les dimensions sont données en nm.

Différentes structures de test sont réalisées afin de constituer un plan d'expériences (DoE *Design of Experiments*) des anneaux 50G. Parmi les paramètres, le DoE inclut la variation des concentrations de dopages, la variation du gap entre l'anneau et le guide adjacent, la variation de la largeur du slab (W_{slab_1} et W_{slab_2}), ainsi que la variation de la position latérale de la rupture de la jonction (x_j est la distance entre le centre du guide et la séparation P/N).

Trois splits ont pu être fabriqués correspondant chacun à un dopage différent de la jonction PN. Les doses et énergies des différentes couches d'implant sont récapitulées dans le Tableau 8. Le premier split utilise les dopages de l'anneau 20G étudié dans le Chapitre 2. Ce split nous servira de référence pour comparer l'influence des forts dopages des deux autres splits, nommés 50G1 et 50G2. Le split 50G1 est celui défini dans la section 3.1 précédente ($N_a < N_d$) tandis que le split 50G2 utilise une concentration de dopants P plus forte que les dopants N ($N_a > N_d$). En effet, notre modélisation des pertes dans l'anneau résonant (section 2.3.3) montre que les pertes d'absorption par les porteurs libres sont plus importantes pour les dopants P que N (cf. équation (2-30)). Ainsi en augmentant davantage la concentration N_a nous devrions pouvoir bénéficier d'une meilleure bande passante optique de l'anneau.

			SPLIT 1 : 20G $N_a = 0.9 \times 10^{18}$ cm^{-3} $N_d = 1.5 \times 10^{18}$ cm^{-3}	**SPLIT 2 : 50G1** $N_a = 4 \times 10^{18}$ cm^{-3} $N_d = 6 \times 10^{18}$ cm^{-3}	**SPLIT 3 : 50G2** $N_a = 5 \times 10^{18}$ cm^{-3} $N_d = 3 \times 10^{18}$ cm^{-3}
Couche d'implants	**Ions**	**Energie (keV)**	**Doses ($\times 10^{13}$ cm^{-2})**	**Doses ($\times 10^{13}$ cm^{-2})**	**Doses ($\times 10^{13}$ cm^{-2})**
N_d (ONWM)	Phosphore	180	3	12	5.8
		50	1.2	4.7	2.3
N_a (OPWM)	Bore	70	1.8	8	10
		20	0.84	3.6	4.5

Tableau 8. Fabrication des jonctions PN : Doses et Energies des implants pour les trois wafers

Chaque split comprend les mêmes structures de tests, c'est-à-dire 6 layouts d'anneaux distincts. Ces 6 layouts sont également répétés à l'identique en ajoutant une résistance de 50 Ω en parallèle de l'anneau. Les structures sans résistance seront utilisées pour la caractérisation statique des anneaux tandis que les structures avec 50 Ω serviront pour les mesures dynamiques afin d'éviter des réflexions vers le générateur RF. En considérant les trois splits, nous disposons au total de 18 structures de test, cependant elles ne sont pas toutes intéressantes. Nous en retenons 7 que nous définissons de la façon suivante :

- R1 : split **20G**, $K = \mathbf{5}\%$, $x_j = +30\text{nm}$, $w_{slab_1} = 120\text{nm}$, $w_{slab_2} = 640\text{nm}$
- R2 : split 50G1, $K = \mathbf{5}\%$, $x_j = +30\text{nm}$, $w_{slab_1} = 120\text{nm}$, $w_{slab_2} = 640\text{nm}$
- R3 : split 50G1, $K = \mathbf{7}\%$, $x_j = +30\text{nm}$, $w_{slab_1} = 120\text{nm}$, $w_{slab_2} = 640\text{nm}$
- R4 : split 50G1, $K = \mathbf{9}\%$, $x_j = +30\text{nm}$, $w_{slab_1} = 120\text{nm}$, $w_{slab_2} = 640\text{nm}$
- R5 : split 50G1, $K = 7\%$, $x_j = \mathbf{+60nm}$, $w_{slab_1} = 120\text{nm}$, $w_{slab_2} = 640\text{nm}$
- R6 : split 50G1, $K = 7\%$, $x_j = +30\text{nm}$, $w_{slab_1} = \mathbf{100nm}$, $w_{slab_2} = \mathbf{340nm}$
- R7 : split **50G2**, $K = 7\%$, $x_j = \mathbf{-30nm}$, $w_{slab_1} = 120\text{nm}$, $w_{slab_2} = 640\text{nm}$

Les paramètres de l'anneau R3 correspondent à ceux définis lors de l'optimisation à 50 Gb/s dans la section précédente. A partir de cet anneau, R2 et R4 sont conçus en modifiant le coefficient de couplage, c'est-à-dire en variant le gap (250nm pour 5%, 230nm pour 7% et 215nm pour 9%). R5 a sa jonction PN plus excentrée par rapport au guide ce qui permet de mieux centrer la zone de déplétion qui s'étend davantage du côté P lorsque $N_a < N_d$. La largeur de slab de R6 est réduite davantage pour bénéficier de résistances d'accès plus petites. R1 et R7 correspondent aux splits à 20G et 50G2 respectivement. R1 devrait cependant permettre d'atteindre des débits supérieurs à 20 Gb/s car sa caractéristique RC est améliorée par rapport à l'anneau 20G présenté dans le Chapitre 2. La position de la jonction de R7 est inversée par rapport aux autres anneaux ($w_p < w_n$) pour s'adapter à l'inversion des concentrations de dopage ($N_a > N_d$).

De plus, des structures de de-embedding (OPEN et THROUGH) ont été réalisées pour permettre le découplage des impédances parasites séries et parallèles dues au pad et au montage expérimental.

3.3. Caractérisation expérimentale

Le montage expérimental adopté pour la caractérisation statique (spectre de transmission) et la mesure des diagrammes de l'œil est illustré à la Figure 3.4. Une source optique (Yenista Tunics-T100S-HP) réglable dans la bande O (1260 nm à 1360 nm) est utilisée pour générer le signal optique. Le testeur CT400 (*optical component tester*) de Yenista permet de balayer le spectre de longueurs d'onde avec une résolution de 1pm. Un ParBERT (*Parallel Bit Error Rate Tester*) de Keysight (BERT M9505A) est utilisé pour générer les signaux PRBS jusqu'à 64 Gb/s en modulation NRZ. Il est associé à un oscilloscope de type DCA (*Digital Communication Analyzer*) de Keysight (DCA-X 86100D) pour l'analyse des

diagrammes de l'œil. Le ParBERT utilise une tête déportée pour limiter la longueur des câbles RF et améliorer la qualité des signaux de modulation. Les signaux électriques provenant du ParBERT sont amplifiés puis additionnés à une polarisation DC à travers un té de polarisation afin de moduler l'anneau autour du point de fonctionnement désiré.

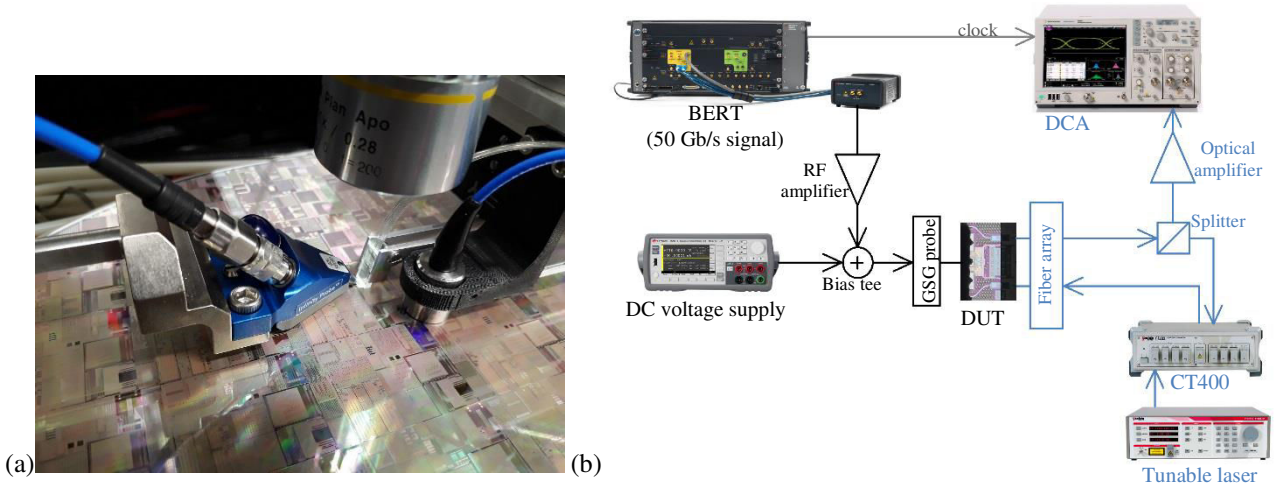


Figure 3.4. (a) Photographie des mesures sous pointes. (b) Montage expérimental pour les caractérisations statique et dynamique.

3.3.1. Caractérisation optique statique

Les mesures statiques de l'anneau sont réalisées sur une plage de longueur d'onde de 1300 nm à 1330 nm. La puissance du laser est fixée à quelques microwatts afin d'assurer un comportement linéaire des modulateurs en anneau. Pour chaque anneau (R1 à R7), nous mesurons son spectre de transmission en fonction de la tension de polarisation appliquée sur la jonction PN. A partir de cette caractérisation, nous pouvons en extraire l'efficacité de modulation ainsi que le facteur de qualité de l'anneau et ainsi déduire la limitation optique de la bande passante.

Les spectres de transmission en puissance de l'anneau R3, celui sur lequel s'est basée l'optimisation et le DoE, sont illustrés à la Figure 3.5 (a) et (b). L'intervalle spectral libre FSR séparant deux pics de résonance est de 7.5 nm. La largeur à mi-hauteur ($FWHM$) d'un pic est d'environ 260 pm ce qui permet de calculer le facteur de qualité. $\mathbb{Q}$ est estimé à 5000 et correspond à une bande passante optique de 46 GHz. En supposant une modulation entre 0V et -2V, le décalage en longueur d'onde pour cet anneau est de 24 pm/V. Cette valeur peut être convertie dans l'expression du produit $V_\pi L_\pi$ pour un modulateur d'après les équations (3-5), (3-6) et (3-7). Les notations sont les mêmes qu'au Chapitre 2. Le décalage de la résonance en fonction de la variation de l'indice effectif (équation (3-5)) est obtenu selon le développement donné en Annexe 1. De plus, la valeur de l'indice de groupe n_g est obtenue par la mesure du FSR. $V_\pi L_\pi$ vaut 0.62 V-cm. Nous traçons également les spectres du taux d'extinction, des pertes d'insertion et de la pénalité en transmission pour une tension de modulation entre 0V et -2V (Figure 3.5 (c)), en se basant sur les équations données à la section 2.3.4. Les pénalités TP sont minimales (8.6 dB) pour la longueur d'onde 1312.896 nm. Nous pouvons noter que la dégradation des pénalités reste inférieure à 1 dB sur une plage de 78 pm de large. En comparaison, l'anneau 20G caractérisé dans le Chapitre 2 ne dispose que d'une plage de 36 pm de large sur laquelle la pénalité en transmission n'est pas dégradée de plus de 1dB. Ceci signifie que le réglage de la longueur d'onde via des résistances chauffantes sera moins critique pour un anneau 50G.

$$\Delta\lambda_{shift}[\mathrm{m.V^{-1}}] = \frac{\Delta n_{eff}\,\lambda_{res}}{n_g}\frac{L_{active}}{L_{ring}} \tag{3-5}$$

$$\Delta\varphi[\mathrm{rad.V^{-1}}] = \frac{2\pi\,\Delta n_{eff} L_{active}}{\lambda_{res}} \tag{3-6}$$

$$V_\pi L_\pi\,[\mathrm{V.cm}] = \frac{\pi}{\Delta\varphi} \times \frac{L_{active}}{1\mathrm{cm}} \tag{3-7}$$

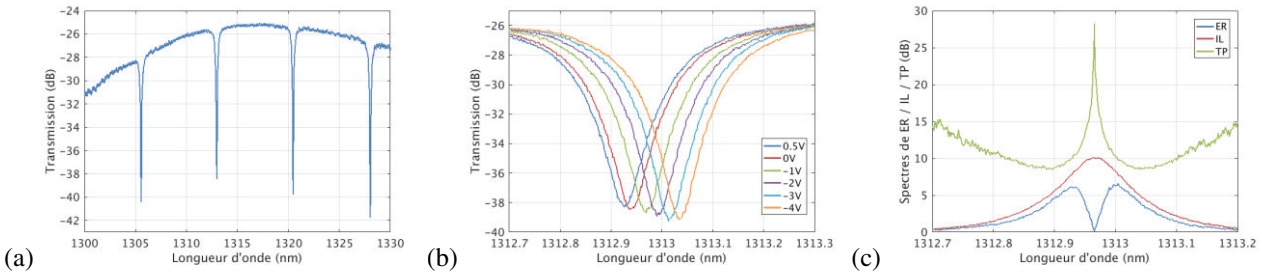


Figure 3.5. Caractérisation statique de l'anneau R3 (50G1, K=7%) : (a) Spectre de transmission à 0V, (b) Zoom du spectre sur la 2ème résonance pour différentes tensions de modulation, (c) Spectres du taux d'extinction, des pertes d'insertion et des pénalités en transmission pour une modulation entre 0V et -2V.

Afin de confirmer notre modélisation, nous comparons ces spectres de mesures avec les spectres obtenus par simulation de l'anneau 50G. Quelques ajustements des coefficients correctifs sont nécessaires pour reproduire parfaitement le spectre. Ces nouvelles valeurs sont données dans le Tableau 9. Néanmoins notre modèle a permis de prédire de façon relativement précise le comportement de l'anneau. Ceci est vérifié également sur deux autres modulateurs : les anneaux R1 et R7 qui correspondent aux dopages 20G et 50G2. Les différents spectres simulés et mesurés sont illustrés à la Figure 3.6. Un très bon accord est obtenu dans chacun des cas. Les caractéristiques de ces trois anneaux déduites de la modélisation sont récapitulées dans le Tableau 9. Les anneaux R3 et R7 ont des performances semblables avec toutefois une moins bonne efficacité de modulation pour R7 car les niveaux de dopages 50G2 sont plus faibles que les dopages 50G1 d'où un déphasage moins important. Cependant cette tendance reste à être validée par la mesure des spectres de l'ensemble des dies du wafer pour s'assurer qu'il n'agisse pas d'un cas isolé. Par ailleurs, nous constatons très nettement que le pic de l'anneau R1 est plus étroit que ceux de R3 et R7, ce qui correspond à des pertes de dopage plus faibles et donc une plus petite bande passante optique. Nous pouvons également remarquer que la bande passante électrique est sensiblement améliorée comparée à celle de l'anneau 20G du Chapitre 2 grâce à la réduction de la largeur du slab conduisant à la réduction des résistances d'accès de la jonction.

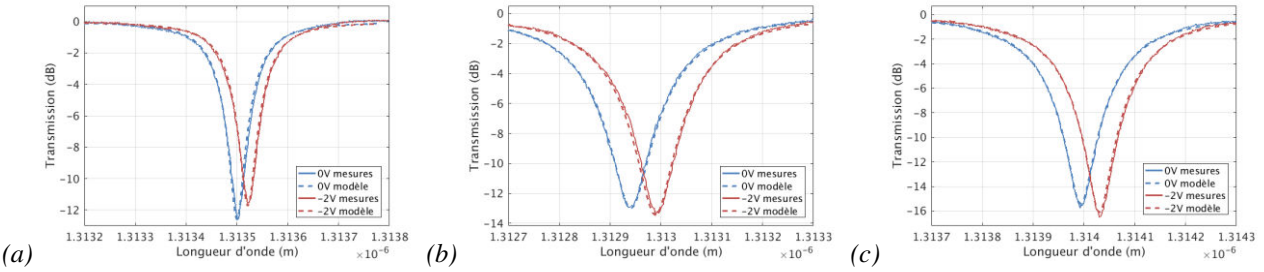


Figure 3.6. Spectres de transmission de trois anneaux : (a) R1 (20G, K=5%), (b) R3 (50G1, K=7%), (c) R7 (50G2, xj=-30nm). Les mesures expérimentales (traits pleins) sont comparées avec la modélisation des anneaux (traits pointillés).

Anneau	Couplage et pertes	Facteurs correctifs	Pic de résonance à 0V	Modulation de l'anneau entre 0V et -2V	Bande passante électrique	Bande passante optique
R1	$K = 4.85\ \%$ $c_{FCA} = 1$ $\alpha_{dop} = 2\,930$ dB/m	$corr_{\varphi} = 0.68$ $corr_{loss} = 0.9$	$ER_{on-off} = 13$ dB $\mathbb{Q} = 13\,200$	$\Delta\lambda_{shift} = 10.8$ pm/V $TP_{min} = 8.7$ dB $ER_{stat} = 4.1$ dB	$C_j = 30$ fF $R_{access} = 74\ \Omega$ $f_{RC} = 71$ GHz	$\mathbb{Q} = 13\,200$ $\tau = 18.3$ ps $f_{opt} = 17$ GHz
R3	$K = 8\ \%$ $c_{FCA} = 1.15$ $\alpha_{dop} = 14\,400$ dB/m	$corr_{\varphi} = 0.82$ $corr_{loss} = 0.8$	$ER_{on-off} = 13$ dB $\mathbb{Q} = 4\,950$	$\Delta\lambda_{shift} = 23.6$ pm/V $TP_{min} = 9.6$ dB $ER_{stat} = 3.3$ dB	$C_j = 57$ fF $R_{access} = 32\ \Omega$ $f_{RC} = 88$ GHz	$\mathbb{Q} = 4\,950$ $\tau = 6.86$ ps $f_{opt} = 46$ GHz
R7	$K = 7.7\%$ $c_{FCA} = 1$ $\alpha_{dop} = 12\,300$ dB/m	$corr_{\varphi} = 0.7$ $corr_{loss} = 0.9$	$ER_{on-off} = 15$ dB $\mathbb{Q} = 5\,500$	$\Delta\lambda_{shift} = 18.0$ pm/V $TP_{min} = 10.1$ dB $ER_{stat} = 3.1$ dB	$C_j = 51$ fF $R_{access} = 33\ \Omega$ $f_{RC} = 95$ GHz	$\mathbb{Q} = 5\,500$ $\tau = 7.64$ ps $f_{opt} = 42$ GHz

Tableau 9. Paramètres de modélisation et caractéristiques des anneaux R1, R3 et R7

La caractérisation optique statique des anneaux R1, R3 et R7 présentée ci-dessus semble valider notre travail de conception d'un anneau 50G. Nous montrons à présent les résultats statistiques des mesures sur la moitié des dies des wafers pour les anneaux R1 à R7. Pour chaque anneau, nous disposons des spectres de transmission sous une polarisation

de 0V et de -2V pour un total de 26 dies, ce qui aboutit à une statistique de 104 pics de résonance (4 résonances par spectre). Nous allons étudier la variation « wafer-level » de quatre paramètres : le facteur de qualité $\mathbb{Q}$, la profondeur des pics ER_{on-off}, l'efficacité de modulation $\Delta\lambda_{shift}$ et la pénalité en transmission optimale TP_{min}. Dans un premier temps, nous regardons la variabilité de ces paramètres pour un anneau donné en fonction de ses résonances. La Figure 3.7 examine par exemple l'anneau R3. Le facteur de qualité et la profondeur des pics dépendent de la résonance considérée tandis qu'aucune dispersion n'est observée pour $\Delta\lambda_{shift}$ et TP_{min} (les diagrammes en boîte n'ont donc pas été représentés). En effet, $\mathbb{Q}$ et ER_{on-off} sont directement reliés à la forme d'un pic donné alors que $\Delta\lambda_{shift}$ et TP_{min} proviennent de la mesure entre un pic à 0V et le pic correspondant à -2V. Dans un second temps, nous comparons ces quatre paramètres entre les différents anneaux. Le facteur de qualité et la profondeur ne seront cependant comparés que pour une résonance donnée (le 3ème pic, statistiques sur 26 pics) alors que les statistiques de l'efficacité de modulation et de la pénalité minimale sont issues des 104 pics de résonance. La Figure 3.8 résume l'ensemble de ces mesures.

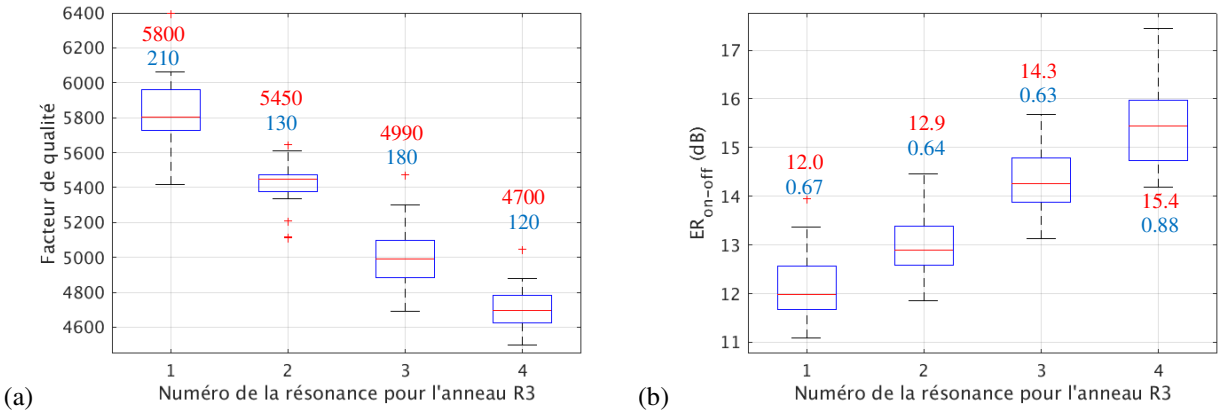


Figure 3.7. Mesures statistiques des paramètres de l'anneau R3 (50G1, K=7%) sur 26 dies : (a) Facteur de qualité, (b) Profondeur des pics. Les quatre résonances de l'anneau, numérotées 1, 2, 3 et 4 sont considérées séparément. En rouge sont notées les valeurs médianes et en bleu l'écart-type.

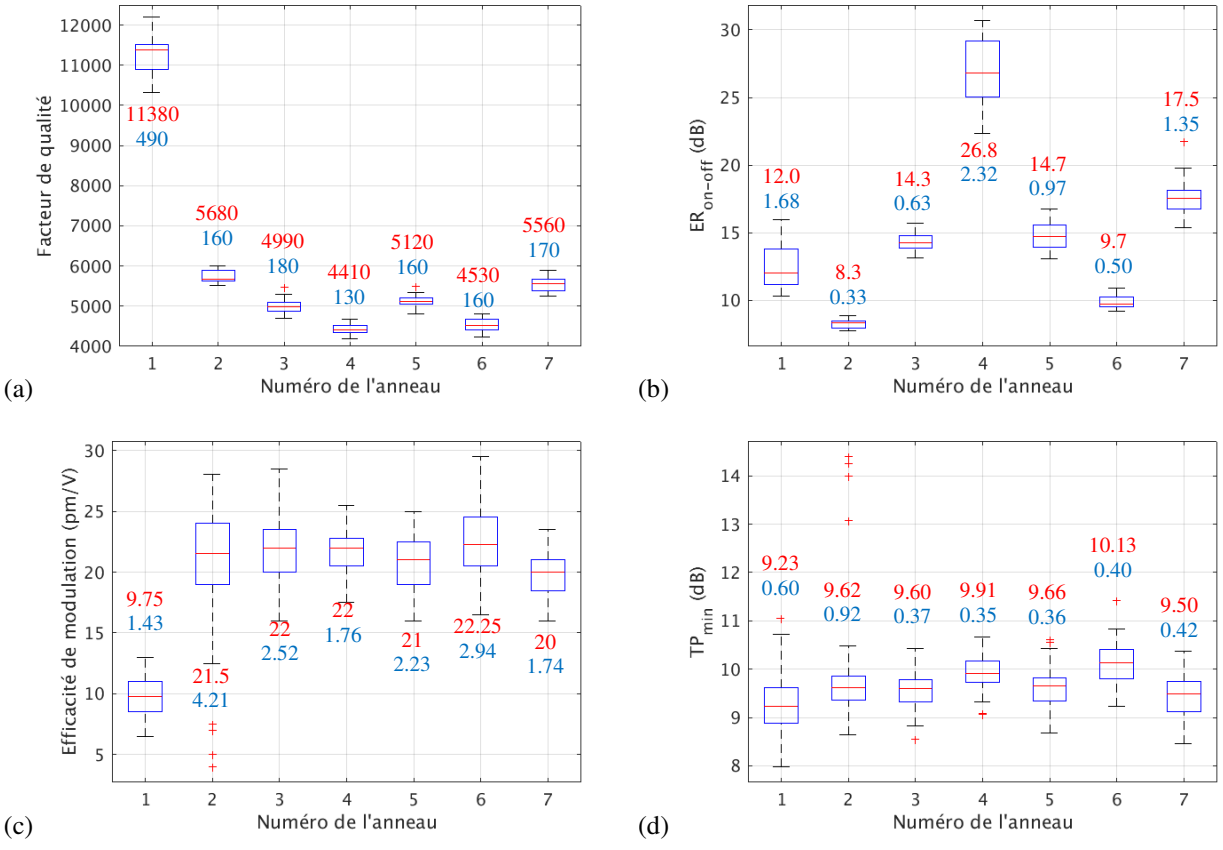


Figure 3.8. Mesures statistiques des différents anneaux R1 à R7 : (a) Facteur de qualité, (b) Profondeur des pics, (c) Efficacité de modulation, (d) Pénalité de transmission optimale. En rouge sont notées les valeurs médianes et en bleu l'écart-type.

Comparaison R1 vs (R2 à R7) : l'augmentation des concentrations de dopage est clairement identifiée par la réduction du facteur de qualité et l'augmentation du décalage en longueur d'onde d'un facteur 2.

Comparaison R2 vs R3 vs R4 : l'augmentation du coefficient de couplage est accompagnée par une diminution du facteur de qualité comme nous l'avions montré à la Figure 3.1 (b) (amélioration de f_{opt}). De plus, les pics de résonance sont de plus en plus profonds, ce qui signifie que l'on se rapproche du couplage critique (ER_{on-off} infini). En effet, nous avons pu constater sur les spectres de R4 que certaines résonances sont en sur-couplage tandis que d'autres sont en sous-couplage. Ceci se détermine facilement à partir de la variation de ER_{on-off} entre la modulation à 0V et celle à -2V : si ER_{on-off} diminue quand une polarisation à -2V est appliquée, la résonance est sur-couplée, à l'inverse si ER_{on-off} augmente, la résonance est sous-couplée. Ainsi un coefficient de 9 % est très proche du coefficient de couplage critique. Nous remarquons également que la pénalité optimale de R4 est plus élevée que celle de R2 et R3. En effet, Jean-Baptiste Quélène a montré dans ses travaux de thèse [127] que la pénalité en transmission minimale est obtenue pour un coefficient de couplage plus petit que le coefficient de couplage critique (c'est-à-dire un modulateur légèrement sous-couplé).

Comparaison R5 vs R3 : pas de modification notable des 4 paramètres quand la position de la jonction par rapport au centre du guide est modifiée de 30 à 60 nm.

Comparaison R6 vs R3 : en théorie, la modification de la largeur de slab n'a pas d'influence sur les 4 paramètres observés ici. Néanmoins nous observons à chaque fois une légère déviation de la valeur médiane. En effet, en réduisant davantage la largeur de slab, le mode optique aura tendance à voir les dopages des zones N+ et P+ donc des dopages plus élevés. En conséquence, les pertes dans l'anneau sont augmentées et le facteur de qualité diminue. De plus, l'augmentation des pertes par dopage signifie qu'on s'éloigne du couplage critique donc la profondeur des pics est réduite. Un plus fort dopage explique également que l'efficacité de modulation soit légèrement meilleure et que la pénalité se dégrade (cf. Figure 3.1 (a) pour des dopages élevés).

Comparaison R7 vs R3 : les concentrations de dopants sont plus faibles (N_a et N_d indifférenciés) donc le décalage en longueur d'onde est moins important pour l'anneau R7 (50G2) mais néanmoins les pertes dues aux dopages sont quasiment équivalentes ($\mathbb{Q}$ plus faible pour R3 tout de même) car on bénéficie de l'inversion $N_a > N_d$. En effet si les dopages de l'anneau R3 étaient diminués au niveau de ceux de R7 ($N_a = 3 \times 10^{18}\text{cm}^{-3}$ et $N_d = 5 \times 10^{18}\text{cm}^{-3}$), son facteur de qualité serait bien plus élevé, de l'ordre de 6500 d'après notre modèle.

En conclusion, nos anneaux 50G1 et 50G2 ont tous des performances semblables et devraient tous permettre une modulation dynamique à 50 Gb/s. Cependant, l'anneau R4 (50G1, K=9%) semble se distinguer légèrement car son facteur de qualité est parmi les plus faibles du DoE, ce qui est synonyme de la meilleure bande passante optique. De plus, sa pénalité en transmission n'est pas excessivement dégradée, notamment par rapport à l'anneau R6, ce qui signifie qu'on peut espérer obtenir une meilleure ouverture du diagramme de l'œil avec R4.

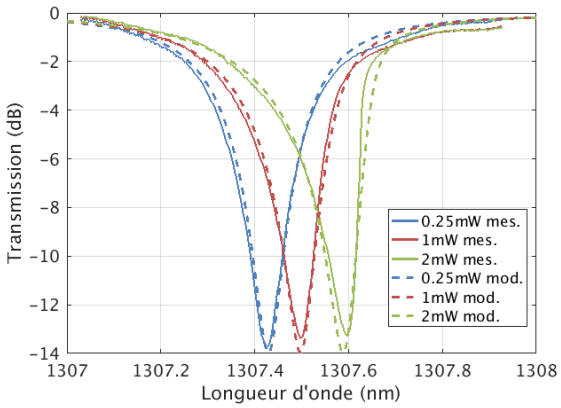


Figure 3.9. Spectres de transmission non linéaires de l'anneau R3 (50G1, K=7%) pour différentes puissances optiques. Notre modèle non linéaire (traits pointillés) permet de reproduire les mesures expérimentales (traits pleins).

Pour terminer cette section sur la caractérisation statique des anneaux, nous avons regardé le comportement non linéaire de l'anneau lorsque des effets d'auto-échauffement apparaissent. En particulier, nous nous sommes intéressés aux phénomènes TPA et FCA présents lorsque la puissance optique injectée dans l'anneau augmente. Ces phénomènes sont intensifiés par rapport à l'anneau 20G du Chapitre 2 (cf. Annexe 3) car nous avons augmenté les pertes d'absorption par

les porteurs libres. Ainsi les pics de résonance des anneaux se distordent dès que la puissance optique excède 500 µW. La Figure 3.9 affiche les spectres de transmission de l'anneau R3 sous une polarisation nulle pour différentes puissances d'entrée. Nous avons également tracé les spectres obtenus avec le modèle simplifié non linéaire développé dans l'Annexe 3. L'impact de l'auto-échauffement sur les pics semble être plutôt bien reproduit par cette modélisation. Nous ne développerons pas davantage ce sujet car dans la grande majorité des systèmes faisant intervenir des anneaux résonants, la puissance des lasers sera très faible pour maintenir une consommation énergétique totale très faible. Par exemple, l'étude de la section 6.1 dans le cadre d'une interconnexion WDM basée sur un interposeur photonique montrera que la puissance injectée dans un anneau reste inférieure à 250 µW, ce qui permet de négliger les phénomènes non linéaires.

3.3.2. Mesures dynamiques

Les mesures dynamiques des anneaux consistent à mesurer les diagrammes de l'œil optiques des modulateurs sous différentes conditions de fonctionnement. Le signal électrique de modulation est généré par le ParBERT, amplifié et additionné à une polarisation continue, puis appliqué aux bornes de la jonction PN. Les mesures sont réalisées à partir de signaux PRBS (*Pseudo Random Bit Sequences*) de longueur 2^7-1 en modulation NRZ (*Non Return to Zero*). Aucun module d'emphasis n'a été utilisé. Par ailleurs, lors de cette caractérisation, nous utilisons des structures incluant une résistance 50 Ω en parallèle des anneaux pour protéger l'amplificateur RF de toute réflexion.

Dans un premier temps, nous comparons à la Figure 3.10 les diagrammes de l'œil des sept anneaux R1 à R7 en leur appliquant des conditions similaires : modulation de 4.5 Vpp polarisée autour de -2 V (modulation de 0.25 V à -4.25 V). Le débit est de 50 Gb/s pour R2 à R7, seuls les résultats de l'anneau R1 dont les dopages sont plus faibles sont reportés pour un débit de 32 Gb/s. Les diagrammes de l'œil obtenus sont tous bien ouverts, ce qui permet de valider notre conception de l'anneau 50G. Cependant les signaux optiques présentent un bruit relativement important, combinant du jitter temporel et des interférences inter-symboles (ISI *Inter-Symbol Interference)*. Deux limitations principales peuvent être à l'origine de ce bruit : soit la limitation intrinsèque de l'anneau, soit la limitation du montage expérimental. La bande passante électro-optique des anneaux sera mesurée dans la section suivante ce qui nous permettra de confirmer ou non cette première hypothèse. Quant à la seconde limitation, l'amplificateur linéaire utilisé se trouve être en bout de bande passante pour les débits de 50 Gb/s et plus. La mesure du diagramme de l'œil délivré par l'amplificateur (mesure sans anneau) montre que le signal électrique injecté dans l'anneau présente un certain ISI qui est reproduit par le modulateur optique, d'où en partie le fort ISI observé sur les diagrammes de l'œil optiques. Nous ne disposons cependant pas d'un autre amplificateur avec une bande passante plus grande pour améliorer ce point. Parmi les anneaux 50G1 et 50G2, R4 et R7 semblent obtenir les meilleurs résultats avec un rapport signal sur bruit inférieur aux autres structures.

(a) R1 (20G,K=5%) 32 Gb/s, ER = 3.2 dB — *(b) R2 (50G1,K=5%) 50 Gb/s, ER = 1.5 dB* — *(c) R3 (50G1,K=7%) 50 Gb/s, ER = 1.2 dB* — *(d) R4 (50G1,K=9%) 50 Gb/s, ER = 1.8 dB*

(e) R5 (50G1,xj=60nm) 50 Gb/s, ER = 1.6 dB — *(f) R6 (50G1,encl=340nm) 50 Gb/s, ER = 2.0 dB* — *(g) R7 (50G2,xj=-30nm) 50 Gb/s, ER = 1.9 dB*

Figure 3.10. Comparaison des diagrammes de l'œil des sept anneaux. La tension de modulation appliquée est de 4.5 Vpp, polarisée autour de -2 V.

Dans un second temps, nous étudions le comportement dynamique de l'anneau R4 en faisant varier trois paramètres : le débit, la tension de polarisation et l'amplitude pic-pic de modulation. Ces résultats sont illustrés à la Figure 3.11. L'anneau

R4 permet facilement une modulation à 50 Gb/s et présente un taux d'extinction dynamique de 1.75 dB. Le diagramme de l'œil reste clairement ouvert jusqu'à un débit de 56 Gb/s. L'utilisation d'une tension continue de -1.5 V montre le fonctionnement de l'anneau en faible polarisation directe (modulation entre 0.75 V et -3.75 V). Le diagramme de l'œil n'est pas déformé signifiant que la jonction reste dans un mode de déplétion et n'est pas pénalisée par le temps de recombinaison des porteurs lors d'un fonctionnement en injection. L'amplitude de modulation n'a cependant pas pu être réduite en dessous de 3 Vpp car les diagrammes de l'œil présentent un fort ISI. L'anneau R4 développé dans ce travail ne semble pas convenir pour une application très faible puissance, car même si la capacité de jonction du modulateur est très faible, la puissance consommée est proportionnelle au carré de la tension appliquée. Ainsi la prochaine implémentation d'anneau 50G devra se concentrer sur la réduction de l'amplitude de modulation à des débits élevés. Des pistes d'amélioration seront données dans la conclusion de ce chapitre.

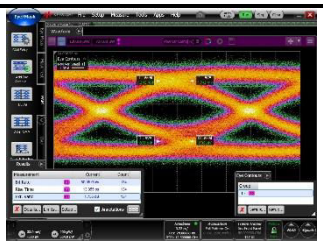
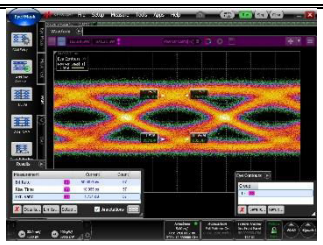
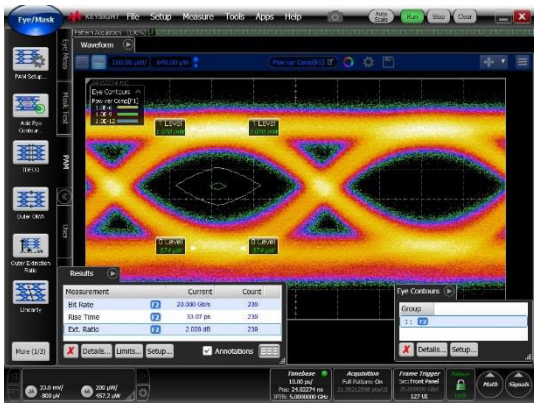
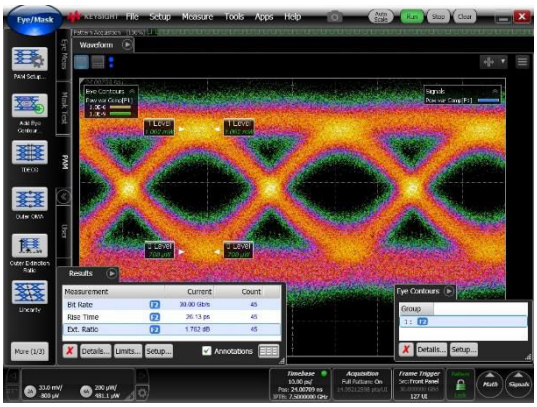
(a) Débit			
	40 Gb/s, 4.5 Vpp, -2 V ER = 1.6 dB	50 Gb/s, 4.5 Vpp, -2 V ER = 1.75 dB	56 Gb/s, 4.5 Vpp, -2 V ER = 1.3 dB
(b) Tension de polarisation			
	50 Gb/s, 4.5 Vpp, -1.5 V ER = 1.75 dB	50 Gb/s, 4.5 Vpp, -2 V ER = 1.75 dB	50 Gb/s, 4.5 Vpp, -3 V ER = 1.8 dB
(c) Tension pic-pic de modulation			
	50 Gb/s, 3 Vpp, -2 V ER = 1.7 dB	50 Gb/s, 3.75 Vpp, -2 V ER = 1.7 dB	50 Gb/s, 4.5 Vpp, -2 V ER = 1.75 dB

Figure 3.11. Diagrammes de l'œil de l'anneau R4 (50G1, K=9%) en fonction de différents paramètres.



(a) 20 Gb/s, ER = 2.0 dB



(b) 32 Gb/s, ER = 1.8 dB

Figure 3.12. Fonctionnement low-power de l'anneau R7 (50G2, xj=-30nm) : diagrammes de l'œil pour une tension de modulation de 1.5 Vpp polarisée autour de 0 V.

La Figure 3.12 montre par exemple le fonctionnement de l'anneau R7 sous une faible amplitude de modulation de 1.5 Vpp. La polarisation est fixée à 0V pour bénéficier du mode de faible polarisation directe. Cependant, le débit est réduit à 20 Gb/s et 32 Gb/s car au-delà la faible tension ne parvient pas à compenser l'ISI. Un taux d'extinction dynamique de 2.0 dB et le tracé du contour d'un BER (*Bit Error Rate*) à 10^{-9} sont obtenus. Ceci démontre que la modulation de nos anneaux à partir d'une faible tension compatible avec des procédés CMOS, et notamment avec le driver que nous développerons au Chapitre 4, est possible. Ce genre de considération doit être pris en compte pour les futures améliorations de l'anneau 50G car il ne faut pas perdre de vue les applications finales de tels modulateurs. En effet, en particulier pour des applications de type HPC à base de liens WDM, la consommation énergétique de l'interconnexion optique est tout aussi importante que sa densité de bande passante. Nous reviendrons sur la puissance consommée par un anneau résonant dans le Chapitre 6 et nous montrerons comment optimiser les performances du modulateur pour réduire la consommation globale d'un lien WDM.

Pour finaliser cette étude sur le fonctionnement dynamique du modulateur en anneau, il est intéressant de faire des rétro-simulations de l'anneau incluant son environnement de mesure afin de comparer les diagrammes de l'œil simulés et mesurés et vérifier par ce biais la validité du modèle de l'anneau. La procédure de cosimulation prenant en compte à la fois la partie électrique (générateur PRBS, driver) et la partie optique (modulateur) sera explicitée en détails à la section 5.2.2. Les cosimulations sont réalisées sous le logiciel ADS à partir du modèle circuit équivalent de la jonction PN (section 2.4) et des équations modélisant le comportement optique du modulateur. Les résultats des cosimulations des anneaux 50G sont reportés dans l'Annexe 4. Les diagrammes de l'œil simulés sont semblables aux caractérisations expérimentales et présentent également un taux d'extinction d'environ 2 dB. Néanmoins, nous expliquons également dans l'Annexe 4 pourquoi une rétro-simulation plus précise n'a pas pu être effectuée.

3.3.3. Caractérisation RF et mesure de la bande-passante électro-optique

La caractérisation RF des anneaux consiste à mesurer les paramètres S des dispositifs sur la plage de fréquence 100 MHz – 60 GHz à l'aide d'un analyseur de réseau vectoriel (VNA *Vector Network Analyzer*). Nous avons réalisé des mesures 1-port permettant de caractériser la réflexion de l'onde incidente d'une puissance RF de -10 dBm. Les structures OPEN et THROUGH nous permettent de de-embedder les impédances parasites entourant l'anneau résonant. A partir de la mesure du coefficient S_{11}, nous pouvons déterminer le modèle électrique petit-signal de l'anneau considéré.

Dans un premier temps, nous étudions le comportement petit-signal de l'anneau R3. Son modèle électrique est donné à la Figure 3.13 (a). Il est calqué sur celui déterminé dans la section 2.4 et comprend la capacité de jonction C_j en série avec la résistance d'accès R_{access}, ainsi que les éléments parasites : la capacité d'oxyde C_{ox}, la résistance du substrat R_{sub} et la capacité entre les pads électriques R_{pad}. Les valeurs de ces éléments sont déterminées de telle façon à reproduire le plus fidèlement possible la mesure du paramètre S_{11} de l'anneau. L'amplitude et la phase de S_{11} sont illustrées à la Figure 3.14 pour différentes tensions de polarisation de la jonction PN. La polarisation de la diode en inverse se traduit sur le schéma électrique par la variation de la capacité de jonction en fonction de V_{mod}. C_j est alors modélisée par l'équation (2-7), rappelée sur la Figure 3.13. Nous trouvons les valeurs suivantes :

- $C_{pad} = 4$ fF
- $C_{ox} = 4$ fF, $R_{sub} = 100\ \Omega$, ces deux valeurs sont en accord avec la caractérisation du HSPM v2 ($C_{ox} = 92$ fF/mm et $R_{sub} = 2.5$ kΩ.mm) en considérant une longueur de jonction d'environ 39 µm (72 % du périmètre de l'anneau). En effet, les changements effectués sur la jonction de l'anneau par rapport à la jonction du HSPM n'affectent pas le BOX ni le substrat.
- $R_{access} = 32\ \Omega$, cette valeur est en accord avec le calcul théorique de la résistance d'accès donné par les équations (2-34).
- $C_{j0} = 35$ fF, le calcul analytique surestime la capacité de déplétion en comparaison de la valeur déduite de la caractérisation RF. En effet, l'équation (2-6) calculant la capacité $C_{j_{par}}$ créée par la zone de déplétion de la jonction donne une valeur de 53 fF à laquelle s'ajoute la capacité $C_{j_{fringe}}$ de 4 fF donnée par l'équation (2-33).
- $V_{seuil} = 0.7$ V, cette valeur est confirmée par la caractéristique I(V) de la jonction PN comme le montre la Figure 3.13 (b).
- $MJ = 0.35$.

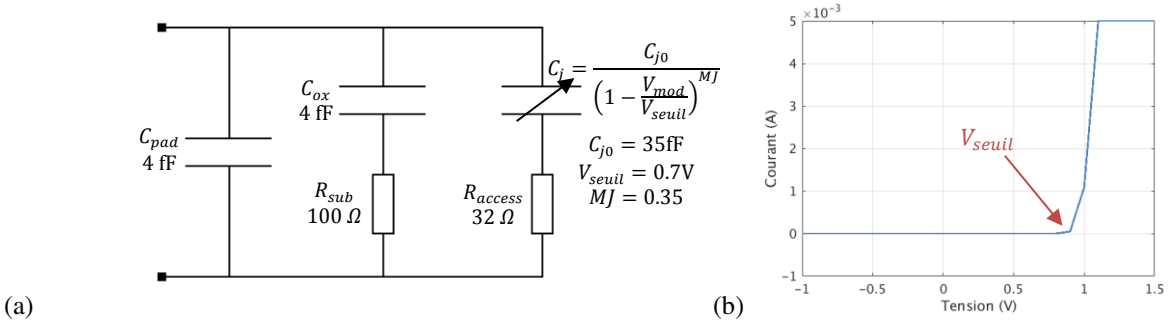


Figure 3.13. (a) Modèle électrique petit-signal de l'anneau R3, (b) Caractéristique I(V) de l'anneau R3 (une limitation à 5mA a été fixée lors des mesures d'où le plateau à 5 mA pour des tensions supérieures à 1.1V)

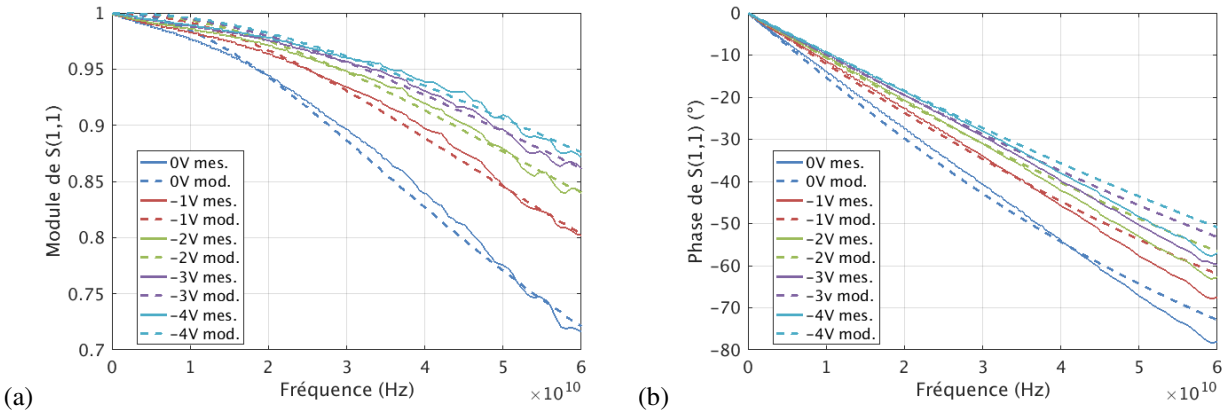


Figure 3.14. Réponse spectrale du paramètre S_{11} de l'anneau R3 pour différentes tensions de polarisation : comparaison entre la mesure et le modèle électrique. (a) Module de S_{11}, (b) Phase de S_{11}.

A partir de cette caractérisation, nous pouvons déterminer la bande passante électrique à -3dB de l'anneau f_{elec} qui est différente de la fréquence de coupure f_{RC} de la jonction PN car f_{elec} prend également en compte les impédances parasites du composant. La limitation électrique à -3dB de l'anneau R3 est de 63 GHz. Nous rappelons également sa limitation optique f_{opt} qui est de 46 GHz. Ainsi la réponse fréquentielle de l'anneau est limitée par sa dynamique optique, c'est-à-dire le temps de vie des photons dans la cavité et le temps de couplage entre l'anneau et le guide adjacent. Ceci sera confirmé par la mesure de la bande passante électro-optique de l'anneau.

Dans un second temps, nous comparons les modèles petit-signal des anneaux R2 à R7 en appliquant à chaque fois la même technique d'extraction des valeurs des résistances et capacités à partir de la mesure du paramètre S_{11}. Les résultats sont résumés dans le Tableau 10. Les six anneaux sont basés sur la même structure de test, ainsi les éléments parasites du modèle conservent la même valeur que l'anneau R3 : C_{pad} = 4fF, C_{ox} = 4fF et $R_{sub} = 100\Omega$. En revanche, la jonction PN est modifiée d'un anneau à l'autre d'où une modification des valeurs de C_j et R_{access}. La variation du coefficient de couplage n'impacte pas la jonction PN donc le modèle électrique est identique pour les anneaux R2, R3 et R4. La position latérale de l'anneau R5 est plus excentrée ce qui a manifestement une légère influence sur la valeur de la capacité de jonction. C_{j0} n'est pas modifié mais lorsqu'une polarisation inverse est appliquée sur l'anneau, la capacité de jonction de R5 est légèrement plus grande que celle de R3. Ceci se traduit par une variation du coefficient MJ, la comparaison des caractéristiques I(V) des deux anneaux nous indiquant que la tension de seuil reste identique. La largeur réduite du slab de l'anneau R6 avait pour but de diminuer la résistance d'accès de la jonction ce qui est clairement observé par la caractérisation RF de cet anneau. Nous obtenons alors $R_{access} = 24\Omega$. Enfin, la baisse des concentrations de dopages de l'anneau R8 (50G2) entraine à la fois une légère augmentation de la résistance mais surtout une réduction de la capacité de jonction, ce qui conduit globalement à une meilleure bande passante électrique de 68 GHz.

Anneau	R2	R3	R4	R5	R6	R7
R_{access} [Ω]	32	32	32	32	24	33
C_{j_0} [fF]	35	35	35	35	35	32
V_{seuil} [V]	0.7	0.7	0.7	0.7	0.7	0.7
MJ	0.35	0.35	0.35	0.32	0.35	0.35
$f_{elec_{3dB}}$ [GHz]	63	63	63	63	80	68
f_{opt} [GHz]*	40	46	52	45	50	42
BW_{EO} [GHz]	29	40	43	42	42	38

*Les valeurs de f_{opt} sont calculées à partir de la mesure du facteur de qualité de l'anneau

Tableau 10. Comparaison des résistances et capacités de jonction des anneaux R2 à R7

La caractérisation électro-optique des anneaux consiste à mesurer les paramètres S électro-optiques des dispositifs sur une plage de fréquence de 100 MHz à 67 GHz à l'aide d'un analyseur de composants électro-optiques (LCA *Lightwave Component Analyzer*). Le LCA couplé à un analyseur de réseau vectoriel (VNA) mesure la réponse fréquentielle (coefficient S_{21}) des modulateurs définie par $\frac{P_{mod,out}}{V_{mod,in}}$ où l'entrée est la tension appliquée sur l'anneau et la sortie est la puissance optique délivrée par l'anneau.

Un schéma du montage expérimental utilisé pour réaliser ces mesures est illustré à la Figure 3.15 (a). Sauf indication contraire, la puissance délivrée par le laser réglable dans la bande O est de -1 dBm, soit environ 500 µW sur l'anneau (pertes par couplage du fiber array estimées à 2 dB), ce qui permet d'éviter les non-linéarités. Le VNA génère un signal de modulation RF de puissance -8 dBm, correspondant à une tension d'amplitude 0.12 Vpp sur une charge 50 Ω. Une polarisation inverse peut également être ajoutée au signal RF.

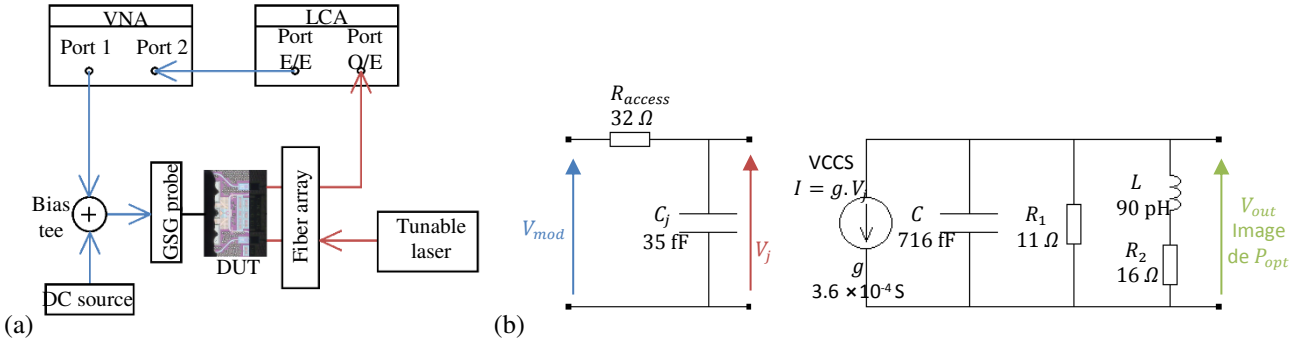


Figure 3.15. (a) Montage expérimental pour les mesures petit-signal électro-optiques. (b) Modèle petit-signal électro-optique du modulateur en anneau

Comme précédemment, nous étudions d'abord le comportement d'un anneau en particulier puis nous comparerons les performances électro-optiques petit-signal de chaque anneau R2 à R7. La réponse spectrale d'un modulateur en anneau dépend fortement de la longueur d'onde de travail, et en particulier de l'écart entre la longueur d'onde du laser et la longueur d'onde de résonance de l'anneau (*detuning*). Nous traçons à la Figure 3.16 (a) l'évolution du paramètre S_{21} de l'anneau R3 en fonction de la fréquence pour trois detunings.

La réponse spectrale montre de nombreuses oscillations lorsque la fréquence augmente. C'est pourquoi nous avons cherché à lisser les courbes de mesures via une simulation électrique afin de faciliter la lecture de la fréquence de coupure à -3 dB. Pour reproduire le comportement électro-optique petit-signal, nous avons défini un modèle de type circuit décrivant les constantes de temps optiques de l'anneau. Ce modèle est illustré à la Figure 3.15 (b) et est issu des travaux de Myungjin Shin (université de Yonsei) [121]. Il est composé de deux blocs : un circuit RC qui modélise la jonction PN et un circuit LC qui modélise la modulation optique. Le circuit RC est repris du modèle petit-signal électrique (Figure 3.13 (a)) que nous avons simplifié en supprimant les composants parasites. Le circuit LC est alimenté par une source de courant contrôlée par la tension V_j appliquée sur la jonction PN (VCCS *Voltage-Controlled Current Source*). Les constantes de temps R_1C et $\frac{L}{R_2}$ peuvent être identifiées aux constantes de temps optiques, respectivement $\frac{\tau_c}{2}$ et $\frac{\tau_l}{2}$ (cf. Annexe 2) qui traduisent les dynamiques de couplage et de pertes au sein de l'anneau résonant [121]. Les réponses spectrales obtenues par simulation électrique sont également représentées à la Figure 3.16 (a) pour l'anneau R3. Lorsque la longueur d'onde du laser varie, nous changeons légèrement les valeurs des composants g, C et R_2 afin d'ajuster les

fonctions de transfert du circuit LC aux mesures. Les valeurs des paramètres données à la Figure 3.15 (b) correspondent au detuning de 80 pm.

Les constantes de temps optiques obtenues avec ces valeurs sont $\tau_c = 15.7$ ps et $\tau_l = 11.3$ ps. Le temps caractéristique du modulateur est alors estimé à $\tau = 6.6$ ps ce qui correspond à un facteur de qualité de 4700. Nous retrouvons bien les valeurs extraites par la caractérisation statique de l'anneau (cf. Tableau 9).

Physiquement, la variation des constantes de temps τ_c et τ_l en fonction de la longueur d'onde s'interprètent par la variation du coefficient de couplage κ et du coefficient de pertes a. Lorsque le point de fonctionnement du modulateur s'éloigne du pic de l'anneau (detuning grand), la réponse fréquentielle de l'anneau présente alors une résonance qui dépend de la valeur du facteur d'amortissement. De plus, ce comportement suggère que la réponse transitoire du modulateur présentera des oscillations de relaxation pour des fréquences proches de la fréquence de résonance du filtre LC (environ 30 GHz). Ainsi, ceci peut expliquer le fort ISI observé sur les diagrammes de l'œil si la longueur d'onde du laser est trop écartée de la longueur d'onde de résonance de l'anneau. Remarquons également que ce comportement peut être comparé dans une certaine mesure à celui d'une diode laser dont la réponse spectrale présente ou non une résonance en fonction de son point de fonctionnement (puissance moyenne émise). Cette analogie pourrait être étudiée davantage dans de futurs travaux afin de mieux appréhender le fonctionnement du modulateur en anneau.

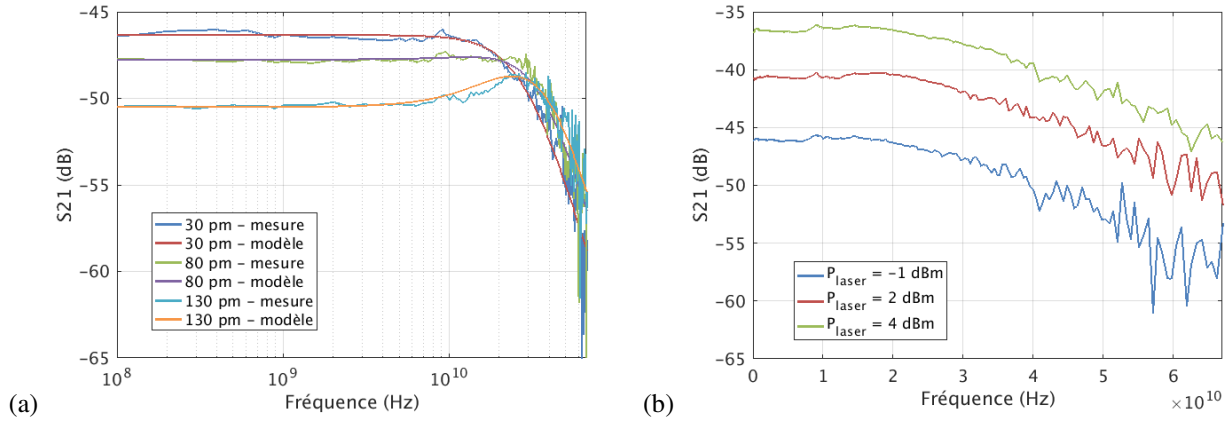


Figure 3.16. Réponse spectrale du paramètre électro-optique S_{21} (a) pour l'anneau R3 en fonction du detuning, (b) pour l'anneau R7 en fonction de la puissance laser

Une autre possibilité pour réduire expérimentalement les oscillations des réponses spectrales est d'utiliser une puissance laser plus forte. Ceci est illustré à la Figure 3.16 (b) qui représente l'évolution du paramètre S_{21} de l'anneau R7 pour différentes puissances d'entrée. Le pic de résonance de l'anneau se décalant par effet d'auto-échauffement, nous réglons pour chaque mesure la longueur d'onde du laser afin de se placer au point optimal comme caractérisé ci-après. La bande passante à -3 dB de l'anneau ne varie pas d'une mesure à l'autre. Par contre, comme attendu, le rapport signal sur bruit est amélioré pour les hautes fréquences.

Pour déterminer la fréquence à -3 dB des réponses spectrales, nous utilisons les courbes issues des simulations électriques qui sont fittées sur les mesures, puis normalisées comme montré à la Figure 3.17 (a) pour l'anneau R3. Nous remarquons que plus la longueur d'onde de travail est éloignée de la résonance, plus la fréquence de coupure augmente. Cependant, l'éloignement de la résonance s'accompagne également d'une dégradation importante de la pénalité de transmission et de la réduction du taux d'extinction, ce qui n'est pas tolérable pour le fonctionnement du modulateur. Nous estimons alors que la bande passante de l'anneau correspond à la limite d'apparition de la résonance du circuit LC, ni trop proche, ni trop loin de la résonance. Nous traçons à la Figure 3.17 (b) la fréquence de coupure de l'anneau R3 en fonction du detuning. La bande passante est estimée à 40 GHz, correspondant à un detuning de 80 pm. Ce detuning correspond approximativement au detuning utilisé pour se placer au point de fonctionnement du modulateur minimisant la pénalité en transmission (environ 50 pm d'après la Figure 3.5). Le réglage de la longueur d'onde du laser n'est cependant pas très critique vis-à-vis des pénalités TP dont la dégradation reste inférieure à 1 dB sur une plage de presque 80 pm. En revanche, nous pouvons constater que la bande passante est très sensible à la longueur d'onde et varie de près de 20 GHz sur cette même plage. Ainsi l'asservissement de l'anneau devra tout de même être très précis afin de ne pas être limité par une bande passante trop faible. Les travaux de Juliana Müller [128] et Hui Yu [129] complètent cette discussion sur la variation de la bande passante en fonction du detuning.

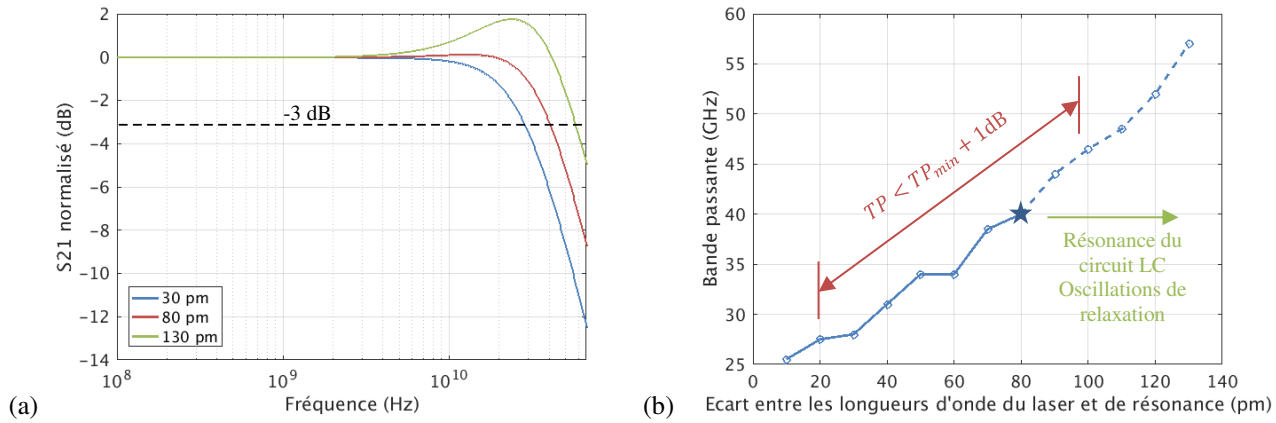


Figure 3.17. (a) Réponses spectrales normalisées et lissées avec le modèle EO pour l'anneau R3, (b) Fréquence de coupure à -3 dB de l'anneau R3 en fonction du detuning. La bande passante est estimée à 40 GHz.

Ceci permet finalement de valider notre conception d'anneau pour un débit de 50 Gb/s, ainsi que les prédictions de bande passante réalisées précédemment, soit via notre modèle Matlab (cf. Tableau 9), soit via la mesure des diagrammes de l'œil. De plus, nous pouvons confirmer que le modulateur est limité principalement par sa bande passante optique, c'est-à-dire le temps de vie des photons au sein de la cavité (temps caractéristiques des pertes et de couplage).

Des tests ont également été effectués en variant la polarisation DC appliquée à l'anneau (de 0V à -4V). Les résultats ne sont pas reportés ici car nous n'avons pas noté d'influence particulière sur la bande passante électro-optique. La bande passante électrique augmente car la capacité de jonction diminue lorsque l'anneau est polarisé en inverse mais globalement, il n'y a pas d'amélioration significative.

Pour finir la caractérisation électro-optique, nous comparons les bandes passantes des anneaux R2 à R7 en appliquant à chaque fois la même technique d'extraction à partir de la mesure du paramètre S_{21}. Les résultats sont résumés dans le Tableau 10. Une certaine imprécision sur le relevé de la bande passante persiste car, comme nous venons de le voir, celle-ci est très sensible à la longueur d'onde du laser. Néanmoins, nous avons essayé de nous placer au point optimal dans chacun des cas afin d'obtenir des résultats comparables. Ces résultats confirment les tendances déjà expliquées précédemment.

La variation du coefficient de couplage impacte directement la bande passante optique, ce qui se traduit par une augmentation de la bande passante EO lorsque le couplage augmente (anneaux R2, R3 et R4). La position latérale de la jonction de R5 est plus excentrée pour mieux centrer la zone de déplétion, ce qui semble améliorer légèrement sa bande passante EO. De même, la réduction de la largeur du slab de l'anneau R6 permet d'améliorer la bande passante électrique et donc globalement la bande passante EO. Enfin, la baisse des concentrations de dopages de l'anneau R8 (50G2) associée à l'inversion « $N_a > N_d$ » entraine une légère dégradation de la bande passante optique (moins de pertes dans l'anneau) mais aussi une amélioration de la bande passante électrique. Les deux effets se compensent quasiment pour atteindre une bande passante EO de 38 GHz, très proche de celle de l'anneau R3.

En conclusion, les quatre caractérisations effectuées sur les anneaux résonants (transmission statique, diagramme de l'œil, modèle circuit électrique, bande passante électro-optique) permettent de valider la conception pour un débit de 50 Gb/s. De plus, l'anneau R4 dont nous résumons les performances dans le Tableau 11 peut être identifié comme la meilleure des différentes structures de test.

Conclusion du chapitre

En résumé, ce chapitre s'est concentré sur la conception puis la caractérisation d'un modulateur en anneau permettant des transmissions optiques à un débit de 50 Gb/s. Nous avons d'abord montré en se basant sur la modélisation du Chapitre 2 que l'optimisation des concentrations de dopages et la réduction de la largeur du slab entre le guide d'onde et les contacts métalliques permettent d'améliorer la bande passante électro-optique de l'anneau. Puis nous avons réalisé un DoE incluant différentes structures de test afin d'étudier l'influence d'une variation du dopage, du coefficient de couplage ou encore de la position de la rupture P/N de la jonction. Enfin, nous avons procédé à la caractérisation complète des modulateurs,

comprenant la mesure des spectres de transmission, des diagrammes de l'œil et des paramètres S. De bons résultats, notamment en terme d'efficacité de modulation (22 pm/V) et de bande passante (40 GHz) ont été obtenus.

Cependant, ce travail doit être comparé à des travaux similaires pour pouvoir le situer par rapport à l'état de l'art. Le Tableau 11 reprend quatre publications présentées au Chapitre 1 sur des modulateurs en anneau à des débits de 40 Gb/s et plus. Les performances obtenues par notre étude sont globalement similaires à celles de ces quatre articles. Néanmoins, nous allons rappeler certaines caractéristiques de notre modulateur qui n'ont pas réellement été discutées jusqu'à présent mais qui montrent pourtant que notre travail se démarque des autres papiers cités.

Réf.	Cette étude (anneau R4)	[38] PETRA	([42] +) [43] IMEC	[45] Univ. Delaware	[44] IMEC
Technologie	PIC25G Plateforme 300mm	Super-Clean-Room at AIST Tsukuba Plateforme 300mm	IMEC's SiPh technology Plateforme 300mm	OpSIS – IME, A*STAR Plateforme 200mm	IMEC's SiPh technology Plateforme 200mm
Longueur d'onde	Bande O	Bande C	Bande C	Bande O	Bande O
Type de jonction	PN	PIN	PN	PN	PN
Dimension de l'anneau	Rayon 8µm + longueur de couplage 2µm ~38µm zone active	2 × 15µm zone active	Rayon 5µm ~23µm zone active	Rayon 7,5µm ~35µm zone active	-
Efficacité de modulation	22 pm/V 0.67 V-cm	0.28 V-cm	45.1 pm/V	14.2 pm/V 2.2 V-cm	~30 pm/V
Facteur de qualité	4500	4300	2200	3500	-
Capacité / Résistance de jonction	35 fF 32 Ω	-	22.7 fF 65 Ω	30 fF 70 Ω	30.2 fF 39.3 Ω
Bande passante EO	43 GHz	25 GHz	47 GHz	30 GHz	35 GHz
Diagramme de l'œil	50 Gb/s 3 Vpp ER = 1.8 dB	50 Gb/s 1.96 Vpp (pre-emphasis) ER = 4.6 dB	50 Gb/s 1 Vpp ER = 4.7 dB	40 Gb/s 4.8 Vpp ER = 6.2 dB	56 Gb/s 1 Vpp ER = 3 dB

Tableau 11. Comparaison des performances de l'anneau 50G avec l'état de l'art

Un modulateur à 50 Gb/s est envisagé à la fois pour des applications de type module MSA avec le développement du 400 GbE et également pour des applications de type interconnexion HPC à base d'interposeur photonique. Si le modulateur en anneau n'est pas destiné à court terme pour les produits 400G, il reste néanmoins très intéressant pour réaliser des systèmes WDM car il présente une grande sélectivité en longueur d'onde et une très faible consommation énergétique (au détriment de pénalités en transmission assez élevées). En particulier, pour les interconnexions très courte distance des futurs calculateurs, les transceivers à base d'anneaux permettent de répondre aux challenges de surface et de vitesse. D'ailleurs, la demande en bande passante devrait s'accentuer et le développement de modulateurs très rapides deviendrait alors inévitable. C'est dans ce contexte que nous avons cherché à réaliser un anneau à 50 Gb/s.

Nous avons choisi de baser notre modulateur sur l'utilisation d'une jonction PN à déplétion de porteurs pour atteindre des débits élevés sans utilisation de pre-emphasis, ce qui signifie une conception facilité du driver, ainsi qu'une réduction de la consommation de puissance. De plus, notre anneau travaille dans la bande O des communications optiques (1310 nm). La bande O bénéficie d'une dispersion chromatique quasi-nulle dans les fibres optiques SMF conventionnellement utilisées dans les datacenters. En conséquence, les systèmes fibrés à 1310 nm n'ont pas besoin de module de compensation et des débits plus élevés peuvent être atteints. Par ailleurs, la bande O présente également des avantages pour des liens optiques on-chip. Par exemple, l'efficacité des lasers quand la température augmente est mieux gérée à 1310 nm car la bande C est davantage sujette aux recombinaisons Auger (l'énergie liée aux recombinaisons de l'effet laser est cédée à un électron ou un trou au lieu d'être transformée en photon et contribuer à l'émission de lumière) [130]. Ainsi les lasers reviennent moins chers et consomment moins de puissance. Les considérations en température sont particulièrement importantes lors d'intégrations électro-optiques très rapprochées entre l'EIC et le PIC qui conduisent à des environnements de fonctionnement critiques. De plus, la conception du récepteur est également relaxée dans la bande O car le coefficient d'absorption y est plus élevé. Les photodiodes ont donc une meilleure responsivité (gain entrée/sortie),

quasiment constante sur toute la bande de longueurs d'onde. Enfin, si un routage complexe à plusieurs couches de guides d'onde (guide Si et guide SiN) est envisagé dans l'interposeur photonique, la bande O sera plus adaptée. En effet, les guides en nitrure de silicium fonctionnent très mal à 1550 nm et ont des pertes de près de 10 dB/cm à cause de l'absorption des liaisons N-H (nitrure – hydrogène) [thèse en préparation de Sylvain Guerber] [131].

Nous nous distinguons également par la plateforme industrielle de photonique sur silicium de STMicroelectronics. L'utilisation de procédés optimisés pour une plateforme 300 mm permet potentiellement un meilleur contrôle de la fabrication des anneaux et donc moins de variations des performances des modulateurs. Nous ne pouvons cependant pas comparer nos résultats de variabilité à l'échelle d'un wafer car la littérature ne présente pas de publication montrant l'impact de la variabilité de fabrication sur un anneau résonant dans une plateforme 300 mm (mis à part les travaux de Patrick Le Maître de ST [96]).

Pour conclure, le travail de conception réalisé sur les anneaux résonants est très prometteur pour des applications à 50 Gb/s, avec toutefois une limitation importante à relever : la grande sensibilité de la bande passante de l'anneau à la longueur d'onde. De plus, dans le cadre de cette thèse, cette première étude expérimentale sera très utile pour aborder la caractérisation d'un transmetteur complet au Chapitre 5 ainsi que l'implémentation d'un lien WDM au Chapitre 6. Enfin, notons que, même si les résultats sont très satisfaisants pour une première fabrication, nous pouvons envisager différentes pistes d'amélioration afin d'augmenter l'efficacité de modulation et réduire l'amplitude de tension nécessaire pour une modulation à 50 Gb/s.

Perspectives : Pistes d'amélioration de l'anneau 50G

- Optimisation du procédé de fabrication. Afin de tirer bénéfice des avantages d'une plateforme 300 mm (outils plus performants et plus précis qu'une plateforme 200 mm), la lithographie à immersion pourrait par exemple être utilisée pour assurer une meilleure fiabilité de la gravure. Ceci permettrait de réduire la dispersion des propriétés de l'anneau au niveau d'un wafer.

- Optimisation des concentrations de dopages. Une première passe a été effectuée avec ce travail mais il peut être intéressant d'augmenter davantage les concentrations de dopants pour diminuer le facteur de qualité et améliorer la bande passante optique, qui est actuellement la limitation des anneaux. Une étude TCAD (*Technology Computer Aided Design*) à l'aide du logiciel SILVACO par exemple, pourrait permettre également de mieux comprendre les procédés d'implantation et de s'assurer de la conformité des dopages.

- Redéfinition de la forme du guide d'onde. Comparé à l'anneau 50G de l'IMEC dans la bande O [44], le nôtre semble moins performant, c'est-à-dire une efficacité de modulation plus faible et donc une pénalité en transmission plus élevée pour une tension appliquée identique. Ceci expliquerait que nous sommes obligés de fournir 3Vpp d'amplitude de modulation à 50 Gb/s pour obtenir un diagramme de l'œil ouvert contre seulement 1Vpp pour l'IMEC. A priori (le papier [44] ne précise rien à ce sujet), il semblerait que les composants optiques de l'IMEC à 1310 nm soient basés sur un guide d'onde rib de hauteur 220 nm tout comme leurs dispositifs optimisés pour la bande C [43]. De plus, des études internes à STMicroelectronics réalisées par Stéphane Monfray sur l'efficacité du HSPM montrent qu'un guide d'onde d'une hauteur de 150 nm permet d'améliorer le déphasage de la jonction. Ainsi, l'optimisation de la hauteur du rib pourrait constituer une bonne solution pour améliorer les performances de l'anneau 50G. Cependant, il faut également s'assurer que la modification de la forme du guide soit compatible avec la plateforme actuelle : soit concevoir un taper pour adapter le mode optique d'un guide à hauteur réduite vers un guide classique (hauteur de 320 nm), soit adapter l'ensemble des composants optique à la nouvelle forme de guide (l'intégration des réseaux de couplage pourrait notamment être problématique).

- Optimisation du montage expérimental. A des débits aussi élevés que 50 Gb/s, les appareils de mesure atteignent également leurs limites. Dans le montage utilisé ici, seul l'amplificateur linéaire RF est à remettre en cause dans un premier temps. Les autres appareils (ParBERT, DCA) sont les plus performants que l'on trouve sur le marché actuel. L'amplificateur est en bout de bande passante à ces fréquences donc le signal électrique injecté dans l'anneau est relativement bruité et induit un certain ISI sur les diagrammes de l'œil optiques. Il faut s'assurer que les caractéristiques mesurées ne soient pas celles du montage expérimental mais bien celles de l'anneau.

Chapitre 4
Conception du driver

Dans ce chapitre, nous allons nous intéresser à la partie électronique du transmetteur électro-optique, c'est-à-dire le driver. Le driver permet d'adapter et de mettre en forme le signal de données à transmettre afin de piloter la charge capacitive représentée par le modulateur optique.

La littérature fait apparaître deux familles principales de drivers : technologie ECL et technologie CMOS (cf. paragraphe 1.3.2). Nous optons pour une architecture CMOS qui bénéficie d'une meilleure efficacité énergétique. En effet, le driver constitue l'un des blocs d'un lien optique qui consomme le plus de puissance (ceci sera montré en détails dans les sections 5.1 et 6.1). C'est pourquoi un soin particulier doit être accordé à la conception du driver.

D'une manière générale, le driver doit permettre d'adresser le débit maximal tout en respectant les contraintes de puissance et de surface spécifiée par les applications visées. Compte tenu des deux types d'applications discutées dans cette thèse (modules front-panel 400G et interposeur photonique), nous souhaitons réaliser un driver atteignant un débit de 20 à 25 Gb/s en se basant sur la technologie BiCMOS 55 nm développée chez STMicroelectronics. La technologie B55 est celle dédiée aux applications photoniques dans la stratégie de STMicroelectronics, d'où un choix en partie imposé. Cependant ce choix sera également justifié dans ce chapitre par rapport à d'autres nœuds technologiques. Le débit proche de 20 Gb/s ne conviendra certes pas aux applications 400 G requérant un débit unitaire de 50 Gb/s. Néanmoins cet exercice facilitera la conception future d'un driver à 50 Gb/s. De plus, un lien optique type processeur – mémoire pour des applications HPC est optimisé pour un débit plutôt faible autour de 10 à 20 Gb/s (cf. section 6.1). Ainsi le driver à 20 Gb/s sera bien adapté pour le démonstrateur WDM final dont nous aborderons la conception au Chapitre 6.

L'objectif du chapitre est de comprendre les différents enjeux liés à la conception d'un driver afin d'être en mesure de proposer une architecture répondant aux besoins de l'application visée. Après fabrication du driver, nous montrerons que les performances obtenues sont conformes aux attentes, ce qui permettra ensuite d'intégrer le driver aux côtés d'un modulateur pour étudier le comportement d'un transmetteur complet (cf. Chapitre 5).

Le plan du chapitre est le suivant. Dans un premier temps, nous décrivons l'architecture du driver et nous expliquons, en nous basant sur la méthode de l'effort logique, comment dimensionner les transistors afin d'obtenir le meilleur compromis entre la vitesse et la puissance consommée par le transmetteur. Puis la deuxième section présente les différentes structures de test implémentant un driver ainsi que les résultats de mesure. Les performances du driver sont résumées en les comparant à la littérature. Enfin, la troisième section propose une seconde implémentation du driver comprenant cette fois-ci un ensemble de protection ESD (*ElectroStatic Discharge*) visant à protéger le driver des décharges électrostatiques lors par exemple de l'assemblage 3D du driver sur une puce optique. Notre but sera ici de vérifier que les diodes ESD ne dégradent pas outre mesure les performances du driver.

4.1. Optimisation du compromis vitesse-énergie

4.1.1. Architecture

Le but du driver est de mettre en forme les signaux électriques d'entrée afin de pouvoir piloter la charge capacitive représentée par le modulateur. En quelques sortes, le driver joue le rôle d'un buffer pour adapter le signal d'entrée à l'effort logique requis par le modulateur optique. En conséquence, la topologie du driver est basée sur une chaîne d'inverseurs. Une telle structure ne permet certes pas de grandes amplitudes de modulation car la tension de sortie des inverseurs est limitée à une plage [0V, V_{DD}]. Mais, combinée avec un modulateur optique adéquat, cette solution permet

une très bonne efficacité énergétique sans détérioration de l'OMA. De plus, le choix d'une chaîne d'inverseurs est guidé par la simplicité de la conception et de l'optimisation du driver ainsi obtenu.

Deux architectures sont possibles pour connecter le driver au modulateur :

- Le driver est connecté à la cathode de la jonction PN, l'anode étant mise à la masse. Cette configuration est la plus simple, elle assure la polarisation inverse de la diode. La tension de modulation V_{mod} varie entre $-V_{DD}$ et 0V.
- Le driver est connecté à l'anode de la jonction PN et une source continue de tension polarise la cathode. Cette configuration permet de bénéficier du régime de faible polarisation directe de la diode qui présente une meilleure efficacité de modulation. La tension de modulation V_{mod} varie entre $V_{bi} - V_{DD}$ et V_{bi}.

4.1.2. Dimensionnement

La méthode de l'effort logique (LE *Logical Effort*) a été introduite en 1991 par Sutherland [132] [133] dans le but d'aider les concepteurs à optimiser la vitesse des fonctions logiques. Cette méthode peut être adaptée à une chaîne d'inverseurs et elle conduit alors à une méthodologie de dimensionnement permettant de trouver à la fois le nombre idéal d'étages du driver et la taille de tous les transistors. La méthode LE montre en particulier que le délai de propagation de la chaîne est minimisé quand chaque inverseur du driver supporte le même effort (*stage effort*). Cet effort est une métrique permettant de prendre en compte trois effets dans un circuit logique :

- l'effort logique du circuit G (*path logical effort*) qui est l'image de la topologie des portes logiques sur leur capacité à produire un courant de sortie ;
- l'effort de l'embranchement du circuit B (*path branching effort*) qui est l'image du fan-out des différentes portes :
- l'effort électrique du circuit H (*path electrical effort*) qui est l'image de l'environnement électrique sur les performances des portes logiques (essentiellement les capacités d'entrée et de charge du circuit).

Dans le cas d'une chaîne d'inverseurs, nous proposons la méthode de dimensionnement suivante. L'hypothèse de départ est basée sur la connaissance de la charge de sortie que le driver doit piloter. De plus, toutes les longueurs des grilles des transistors sont fixées à la longueur minimale de la technologie considérée L_{min}, ainsi seules les largeurs des grilles W_n et W_p sont à déterminer.

La première étape consiste à calculer le produit $F = GBH$, appelé l'effort global du circuit (*path effort*). Pour un inverseur, l'effort logique G vaut 1 (c'est la porte logique la plus simple). L'effort d'embranchement B vaut également 1 car un seul inverseur est branché à chaque inverseur. L'effort électrique H est égal au rapport $\frac{C_{out}}{C_{in}}$ de la charge en sortie du dernier inverseur sur la charge en entrée du premier inverseur. $C_{out} = C_j$ est la capacité de jonction du modulateur tandis que $C_{in} = C_{ox}\, L_{min}\, (W_{n,1} + W_{p,1})$ est la capacité de grille du premier étage qui est calculée à partir de la capacité surfacique d'oxyde C_{ox} [F. m^{-2}]. En conséquence, l'effort global est donné par l'équation (4-1).

$$F = \frac{C_j}{C_{ox} L_{min}\, (W_{n,1} + W_{p,1})} \tag{4-1}$$

La deuxième étape consiste à déterminer le nombre idéal d'étages dans la chaîne d'inverseurs. Nous définissons l'effort optimum ρ comme la solution de l'équation $\rho\,(1 - \ln(\rho)) + p_{inv} = 0$ où p_{inv} est le délai parasite d'un inverseur. p_{inv} a une valeur fixée, indépendante de la taille de la porte et de sa charge de sortie. Le calcul de p_{inv} est basé sur une technique de calibration qui consiste à mesurer le délai d'une porte logique en fonction de sa charge. Cette calibration est expliquée dans [133]. Le nombre optimal d'étages N_{opt} est alors estimé par l'expression (4-2). Le nombre N d'étages effectivement considéré est l'entier supérieur à N_{opt}.

$$N_{opt} = \frac{\ln(F)}{\ln(\rho)} \tag{4-2}$$

La troisième étape calcule l'effort f de chaque étage (*stage effort*). D'après la méthode LE, cet effort est identique pour chaque inverseur afin de minimiser le délai de propagation d'où l'expression (4-3). Dans le cas présent d'une chaîne d'inverseurs, l'effort f correspond également au rapport entre les tailles des transistors successifs. Par conséquence le dimensionnement des transistors se réalise simplement de proche en proche à partir de la dimension du premier inverseur suivant les équations (4-4). Le facteur β est introduit pour égaliser les temps de montée et de descente d'un inverseur

donné qui diffèrent du fait de la mobilité des porteurs. A ce stade, la taille du premier inverseur est fixée arbitrairement mais ce ne sera plus le cas si une contrainte supplémentaire s'ajoute aux hypothèses de départ.

$$f = F^{\frac{1}{N}} \tag{4-3}$$

$$\begin{cases} W_{n,i} = f\, W_{n,(i-1)} & \forall i = 1 \dots N \\ W_{p,i} = \beta\, W_{n,i} \end{cases} \tag{4-4}$$

Enfin, nous pouvons calculer le délai de propagation de la chaîne d'inverseurs, le débit maximal atteignable par le driver, ainsi que la consommation de puissance. Ces trois caractéristiques sont calculées à partir des dimensions des transistors et permettent de fixer des contraintes de conception dans les équations (4-1) à (4-4). La méthode LE d'origine a comme contrainte de minimiser le délai de propagation afin d'optimiser la vitesse d'une fonction logique. Le délai entre le premier et le dernier étage est donné par l'expression (4-5) où τ est le délai d'un inverseur idéal qui pilote le même inverseur. La valeur de τ est également calculée à partir de la calibration de la porte logique, similairement au calcul de p_{inv} [133] L'optimisation de notre driver nécessite également de devoir atteindre un débit autour de 20 Gbit/s. Cette contrainte supplémentaire donne lieu à un compromis entre la vitesse, l'énergie consommée et la surface du driver, ce qui oriente le choix de la technologie de conception du driver.

$$Delay = \tau\, N\, (f + p_{inv}) \tag{4-5}$$

4.1.3. Choix de la technologie

L'optimisation du driver conduit à un compromis entre sa vitesse, son énergie et sa taille. Pour illustrer ces relations, nous donnons ci-dessous les équations permettant d'estimer, à partir des dimensions des inverseurs, la limitation du driver en débit ainsi que la consommation de puissance du driver.

Le débit (*DR data rate*) est limité par les temps de montée et de descente des inverseurs, c'est-à-dire par la limitation de la vitesse de balayage (*slew rate limitation)*. Nous considérons que le temps de descente t_f (égal au temps de montée) a une durée d'environ la moitié du temps d'un bit, soit $DR = \frac{1}{2t_f}$. De plus, le temps de descente est lié à la capacité de charge du driver selon l'équation (4-6).

$$t_f[s] = \frac{V_{DD}}{I_D}\left(C_j + C_{par}\right) \tag{4-6}$$

avec

- V_{DD} [V] est la tension d'alimentation du driver ;
- I_D [A] $= J_{D,n}\, W_{n,N}$ est le courant de drain circulant dans le dernier inverseur. Il peut s'écrire en fonction de la densité de courant du transistor NMOS $J_{D,n}$ [A. m^{-1}] et de la taille de ce transistor $W_{n,N}$ [m] ;
- C_j [F] est la capacité de jonction du modulateur optique ;
- C_{par} [F] $= C_p\, W_{n,N}\, (1 + \beta)$ est la capacité parasite du dernier étage de la chaîne d'inverseurs. Elle prend en compte la capacité grille-drain totale et la capacité drain-substrat totale des deux transistors NMOS et PMOS. Pour plus de convenance, nous introduisons la capacité parasite linéique C_p [F. m^{-1}] afin d'exprimer C_{par} en fonction des tailles des derniers transistors.

Ainsi, la limitation en débit est donnée par l'expression suivante :

$$DR = \frac{1}{2}\frac{J_{D,n}\, W_{n,N}}{V_{DD}\left(C_j + C_p\, W_{n,N}\, (1 + \beta)\right)} \tag{4-7}$$

De façon similaire, la consommation de puissance moyenne est estimée pour un signal de type PRBS (*pseudo random bit sequence*) en considérant la somme de la capacité du modulateur et des capacités parasites du driver.

$$P = \frac{1}{4}\left(C_j + C_p\, (1 + \beta)\, \left(\sum\nolimits_{i=1}^{N} W_{n,i}\right)\right) V_{DD}^2\, DR \tag{4-8}$$

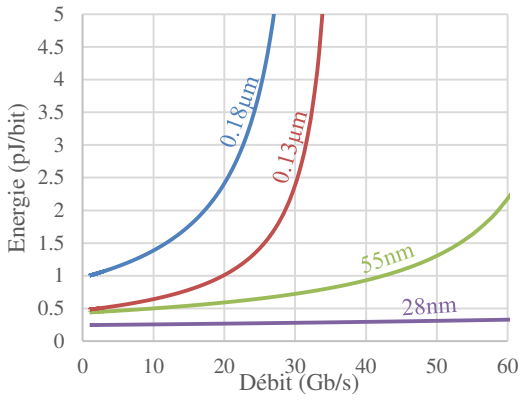
L'équation (4-7) reflète l'équilibre entre le débit et la surface du driver estimée par la largeur $W_{n,N}$ du transistor NMOS du dernier étage du driver. L'équation (4-8) explicite le compromis entre la puissance et le débit mais elle dépend du nombre d'étages N et des tailles de chacun des transistors. Afin d'obtenir une expression ne dépendant que de la largeur $W_{n,N}$, nous définissons une limite inférieure de la consommation de puissance :

$$P_{inf} = \frac{1}{4}\left(C_j + C_p\, W_{n,N}\,(1+\beta)\right) V_{DD}^2\, DR \tag{4-9}$$

A partir des équations (4-7) et (4-9), les courbes représentant l'efficacité énergétique en fonction du débit sont tracées à la Figure 4.1 (a) pour différentes technologies CMOS. Les valeurs des paramètres de calcul sont données dans le tableau de la Figure 4.1 (b). Nous pouvons constater qu'il est préférable de restreindre le débit du driver afin d'assurer une consommation de puissance raisonnable. Cependant les performances du driver peuvent être améliorées en choisissant un nœud technologique plus avancé. Les technologies dont les longueurs de grille sont réduites permettent de gagner en débit et en consommation énergétique mais au détriment d'un procédé de fabrication plus complexe et donc des coûts plus élevés.

Cette approche illustrée par la Figure 4.1 permet de choisir la technologie la plus adaptée pour une application donnée. En effet, le compromis entre la vitesse et l'énergie peut se voir en un coup d'œil ce qui rend le choix du procédé très facile, compte tenu des spécifications du driver. Cependant, il est important de retenir que ces courbes ne reflètent pas les caractéristiques nominales des différentes technologies. La comparaison est effectuée ici pour une topologie de driver donnée (une chaîne d'inverseurs) et pour une charge de 300 fF représentant le modulateur. Les courbes seraient différentes si l'architecture ou la charge changent, même si la tendance globale resterait la même. De plus, l'énergie consommée est approximative car elle est obtenue à partir de l'expression de P_{inf} et non P. Toutefois, la valeur de P_{inf} est relativement proche de celle de P pour des débits assez faibles, c'est-à-dire des débits suffisamment inférieurs à la valeur maximale DR_{max} autorisée par la technologie. Le débit maximal est obtenu en considérant la limite de l'équation (4-7) pour des transistors infiniment grands et sa valeur est : $DR_{max} = \frac{1}{2}\frac{J_{D,n}}{V_{DD}\, C_p\,(1+\beta)}$.

(a)



(b)

	XFAB CMOS 0.18 µm	ST B9MW BiCMOS 0.13 µm	ST B55 BiCMOS 55 nm	ST 28FDSOI CMOS 28 nm
V_{DD}	1.8 V	1.25 V	1.2 V	0.9 V
$J_{D,n}$	0.38 mA/µm	0.42 mA/µm	0.42 mA/µm	0.56 mA/µm
C_p	0.9 fF/µm	1.5 fF/µm	0.78 fF/µm	0.44 fF/µm
β	2.5	2	2	2
DR_{max}	33 Gb/s	37 Gb/s	74 Gb/s	235 Gb/s

Pour les quatre technologies, une capacité de modulateur C_j de 300 fF est utilisée pour les calculs.

Figure 4.1. (a) Efficacité énergétique du driver en fonction du débit pour différentes technologies CMOS ; (b) Caractéristiques des technologies

Les spécifications du driver que nous cherchons à concevoir sont les suivantes : une charge de 300 fF correspondant à un modulateur de Mach-Zehnder d'une longueur d'1mm, un débit souhaité autour de 20 Gb/s et une consommation d'énergie inférieure à 1 pJ/bit. La technologie BiCMOS 55 nm de STMicroelectronics semble ainsi parfaitement adaptée à notre application. Une prochaine étape dans la conception d'un driver électro-optique serait d'augmenter la fréquence jusqu'à 50 Gb/s afin de pouvoir piloter notamment les anneaux 50G conçus dans le chapitre précédent. Dans ce contexte, le nœud 28 nm sera plus approprié car le nœud 55 nm approche sa limitation de vitesse. Le driver 50G ne sera cependant pas abordé ici, quelques éléments sont donnés à la fin de ce manuscrit pour proposer une suite à ces travaux.

4.1.4. Conception et layout des circuits

Ce paragraphe décrit le dimensionnement choisi pour notre driver selon les contraintes imposées ainsi que le layout du circuit. Les simulations électriques et post-layout, validant respectivement la conception et le dessin des masques, seront présentées dans le paragraphe suivant.

La principale contrainte de notre driver est d'atteindre un débit proche de 20 Gb/s. C'est pourquoi nous allons reformuler légèrement la méthodologie de dimensionnement issue de la méthode Logical Effort afin de prendre en compte cette donnée. Ainsi les différentes étapes sont les suivantes :

- Fixer le débit et choisir un nombre N d'étages pour le driver ;

- Déduire la largeur $W_{n,N}$ du dernier transistor NMOS à partir de l'équation (4-7) ;
- Calculer la capacité C_N parasite d'entrée du dernier inverseur, qui correspond à la capacité de grille des transistors : $C_N = C_{ox} L_{min}\, W_{n,N}(1+\beta)$;
- Calculer l'effort f de chaque étage. En effet, l'effort f est identique pour chaque inverseur et est donc égal au rapport de la capacité de charge C_{k+1} de l'inverseur sur sa capacité d'entrée C_k : $f = \frac{C_{k+1}}{C_k}, k = 1 \dots N$. En particulier, pour le dernier inverseur ($k = N$), nous avons $f = \frac{C_j}{C_N}$;
- Déduire les dimensions de tous les transistors à partir des équations (4-4) et la valeur de l'effort global F à partir de l'équation (4-3) ;
- Estimer le nombre optimal N_{opt} d'étages d'après (4-2). Si le nombre initial N choisi correspond à l'entier supérieur à N_{opt}, nous pouvons considérer que le dimensionnement des transistors est valide car il respecte l'optimisation de la méthode LE. Dans le cas contraire, le driver fonctionnera probablement mais le dimensionnement n'est pas optimum pour assurer des délais de propagation minimaux. Il est alors préférable de changer le nombre d'étages N ou de fixer un autre débit.

Nous rappelons ici la valeur des paramètres pour la technologie BiCMOS 55nm de STMicroelectronics : $V_{DD} = 1.2$ V ; $J_{D,n} = 0.42$ mA/µm ; $C_p = 0.78$ fF/µm ; $C_{ox} = 19$ fF/µm^2 ; $L_{min} = 60$ nm ; $\beta = 2$. La valeur du courant n'est pas celle donnée dans le DRM (*Design Rule Manual*) mais correspond à la valeur maximale délivrée par les transistors en simulation. La capacité d'oxyde est calculée à partir de la donnée de l'épaisseur d'oxyde ($t_{ox} = 1.8$ nm). La capacité parasite est approximée par $C_p \approx C_{gd} + C_d \approx \frac{1}{3}C_{ox} + \frac{1}{3}C_{ox}$. De plus, la calibration de la technologie nous permet de déterminer : $p_{inv} = 2.13$; $\tau = 3$ ps et $\rho = 4.4$. La capacité de jonction du modulateur est fixée à $C_j = 300$ fF ce qui correspond à la capacité du HSPM v2 pour une longueur de 1mm (Figure 2.2 (b)).

Nous allons concevoir deux drivers avec des spécifications légèrement différentes pour l'un et l'autre. Le premier driver que nous nommerons « driver 25G », a pour contrainte d'atteindre un débit de 25 Gb/s tandis que le second driver, appelé « driver 19G », a pour contrainte un débit proche de 20 Gb/s mais surtout une consommation de puissance inférieure à 3 mW.

Nous appliquons la méthodologie de dimensionnement précédente en fixant un débit de 25 Gb/s et successivement un nombre d'étages N de 3, 4 et 5. Il en résulte que ce débit de 25 Gb/s ne permet pas d'aboutir à un dimensionnement compatible avec la méthode LE. En effet le nombre optimal N_{opt} calculé est inférieur à 2 dans chacun des cas. Néanmoins nous décidons de réaliser ce « driver 25G » avec quatre étages d'inverseurs. Le rapport entre les dimensions des inverseurs est $f = 2$ et les largeurs des transistors sont données dans le Tableau 12.

Etage n° i d'inverseur	**Largeurs des transistors (µm)**	
	Driver 25G	***Driver 19G***
($W_{p,1}$; $W_{n,1}$)	(14 ; 7)	(6 ; 3)
($W_{p,2}$; $W_{n,2}$)	(28 ; 14)	(14 ; 7)
($W_{p,3}$; $W_{n,3}$)	(56 ; 28)	(34 ; 17)
($W_{p,4}$; $W_{n,4}$)	(112 ; 56)	(78 ; 39)

Tableau 12. Dimensions des transistors composant les drivers 25G et 19G

La puissance consommée par le driver 25G est calculée via l'équation (4-8). Pour un débit de 25 Gb/s et un signal PRBS, le driver 25G consomme 4.91 mW, soit une énergie de 0.196 pJ/bit.

La méthodologie de dimensionnement est également appliquée pour le second driver en fixant le nombre d'étages N à 4 et en faisant varier le débit entre 15 Gb/s et 25 Gb/s. Pour des débits de 15 à 20 Gb/s, le nombre optimal N_{opt} calculé est de 3. Nous pouvons ainsi considérer que le dimensionnement est quasi idéal selon la méthode LE. Afin de ne pas excéder la limite de 3 mW imposée dans les spécifications, nous choisissons de réaliser ce « driver 19G » avec un débit de 19 Gb/s. Le rapport entre les dimensions des inverseurs est $f = 2.3$ et les largeurs des transistors sont données dans le Tableau 12. La puissance consommée par le driver 19G est de 3.11 mW pour un débit de 19 Gb/s, soit 0.164 pJ/bit (équation (4-8)).

Le dessin des masques (*layout*) des drivers nécessite d'utiliser les principes de conception des circuits RF car les

inverseurs commutent à un débit proche de leur fréquence de transition. En conséquence, les recommandations liées au layout RF et décrites dans [134] sont à prendre en considération. Ceci permet de s'assurer de la bonne intégrité des signaux transmis par le driver. En particulier, les principales règles de dessin RF sont les suivantes :

- La largeur des grilles des transistors doit être inférieure à quelques micromètres pour éviter des résistances de poly-silicium trop importantes. Les grilles doivent ainsi être découpées en plusieurs doigts (*transistors finger*) connectés en parallèle.
- Il ne faut pas réaliser du routage avec le poly-silicium et mettre de préférence des contacts aux deux extrémités des barreaux de poly-silicium pour réduire sa résistance.
- Il faut éviter de croiser les lignes de métal propageant les signaux d'entrée et celles des signaux de sortie. S'il y a croisement, il faut veiller à laisser au moins deux niveaux de métal.
- Les lignes de masse et d'alimentation sont dessinées aux bords du circuit mais ne doivent pas former d'anneau (*guard ring*) pour éviter la création d'un champ magnétique parasite via la circulation du courant. Il est préférable d'adopter des formes en U pour la connexion des sources de tension et des masses.
- Les lignes de masse et d'alimentation sont réalisées en niveau de métal 1 tandis que les connections des entrées et sorties sont dessinées dans des niveaux plus élevés.
- Il faut maximiser le nombre de contacts et de vias entre les différentes couches d'oxyde, de poly et de métaux.

De plus, quelques autres précautions permettent de prévenir les flux de fortes densités de courant dues aux terminaisons 50 Ω des appareils de mesure. Des limitations de courant sont imposées dans les interconnexions du backend à cause du phénomène d'électromigration. Ceci nécessite de vérifier avec attention le dimensionnement des lignes de métal afin de s'assurer que les densités de courant n'endommagent pas le circuit.

Le layout final du driver 19G est illustré à la figure Figure 4.2. Le driver 19G totalise une surface de 100 µm² (5.3µm × 18.6µm). Le driver 25G présente un layout similaire. La largeur des doigts des transistors étant conservée (2µm pour les PMOS, 1µm pour les NMOS), seul le nombre de doigts est augmenté pour atteindre les largeurs souhaitées des grilles. Le driver 25G totalise une surface de 150 µm² (5.3µm × 27.7µm).

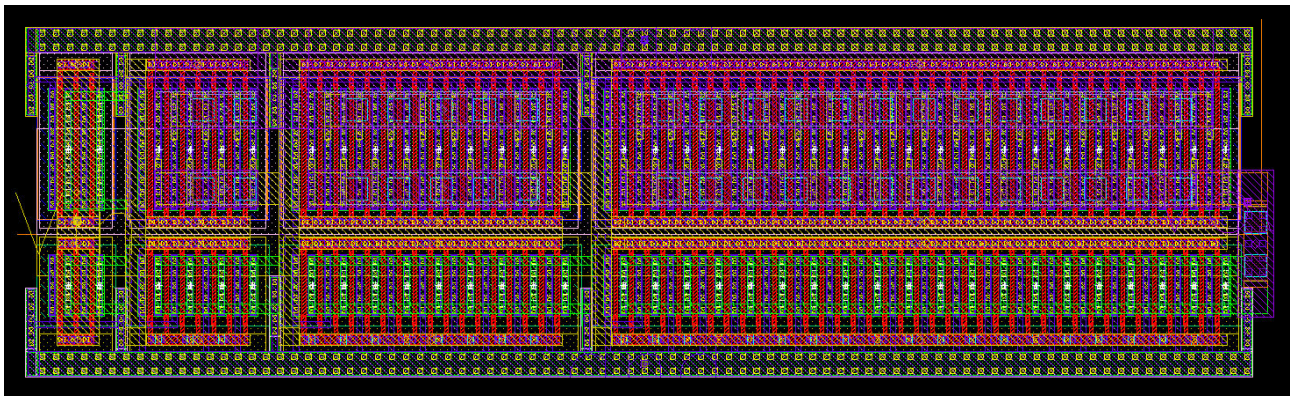


Figure 4.2. Layout du driver 19G (le driver 25G a un layout similaire)

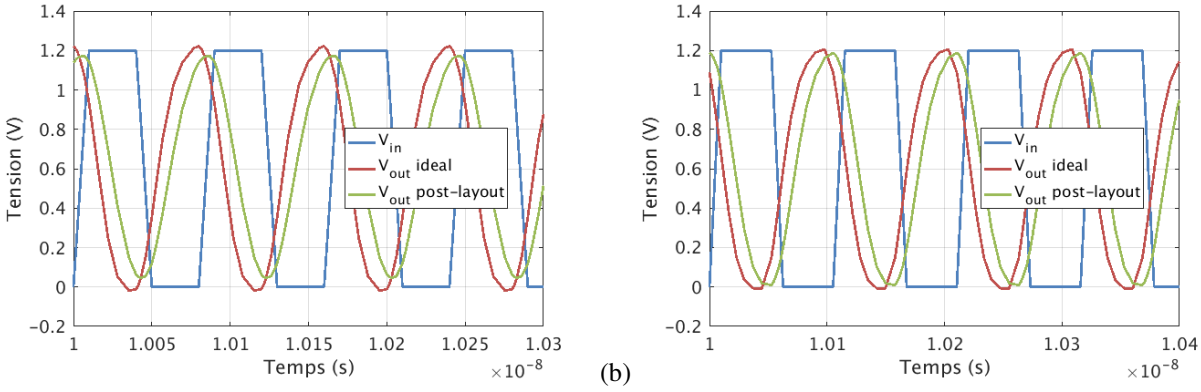
Une fois les layouts dessinés, nous procédons à la vérification DRC (*Design Rule Check*) (respect des règles de dessins), puis à la vérification LVS (*Layout Versus Schematic*) (cohérence du layout avec le schéma électrique) et enfin à l'extraction des éléments parasites. La simulation de ces parasites permet de prendre en compte les capacités, inductances et résistances engendrées par la forme même du layout et qui seront générées lors de la fabrication des circuits.

4.1.5. Simulations

Nous réalisons dans un premier temps une comparaison entre les résultats analytiques obtenus par les équations et les résultats de simulation (simulation électrique et simulation post-layout). Puis dans un second temps, nous comparerons les simulations avec les mesures expérimentales de nos drivers (cf. section 4.2).

La Figure 4.3 présente les réponses transitoires des deux drivers 25G et 19G. Dans chacun des cas, le signal d'entrée des drivers est un signal périodique d'amplitude [0 ; V_{DD}]. Les drivers sont chargés par une capacité de 300 fF simulant le modulateur optique. Les débits utilisés pour la simulation, respectivement 25 Gb/s et 19 Gb/s, semblent être proches de la limite au-delà de laquelle la transmission présente un taux d'erreurs non négligeable. Ces résultats seront confirmés

dans la section suivante par la mesure des diagrammes de l'œil des drivers ainsi que la mesure du BER (*Bit Error Rate*). Les signaux de sortie des drivers obtenus par simulation post-layout sont très peu détériorés en comparaison des simulations électriques. Ceci permet de valider les layouts des drivers. La principale conséquence des éléments parasites est d'augmenter les temps de propagation de la chaîne d'inverseurs.



(a) (b)

Figure 4.3. Réponses temporelles : (a) du driver 25G à 25 Gb/s, (b) du driver 19G à 19 Gb/s

Les Tableau 13 présentent les performances des drivers 25G et 19G. Il est important de noter que la puissance consommée dans ces simulations est le double de celle obtenue lorsque la tension d'entrée du driver est un signal PRBS. En effet, l'énergie est du type $E = \frac{1}{2}CV_{DD}^2$ pour un signal périodique alors que l'énergie est du type $E = \frac{1}{4}CV_{DD}^2$ pour un signal PRBS (lors des séquences de bits 0-0 et 1-1, aucune énergie n'est dissipée d'où une division par 2 de la consommation). Nous pouvons remarquer une dégradation de la consommation énergétique obtenue par simulation post-layout. Cependant la différence la plus notable se situe entre les résultats analytiques et les résultats de simulation. En effet, l'équation (4-8) sous-estime d'environ 30% la puissance consommée par les drivers. Cette différence s'explique probablement par une sous-estimation de la capacité parasite des drivers C_p qui ne prend en compte que les capacités grille-drain et drain-substrat des transistors. Chargé par une capacité de 300fF, le driver 25G consomme une puissance de 15 mW, soit 0.6 pJ/bit en périodique et 0.3 pJ/bit en PRBS tandis que le driver 19G consomme une puissance de 9 mW, soit 0.5 pJ/bit en périodique et 0.25 pJ/bit en PRBS.

(a)

DRIVER 25G	Résultats analytiques	Simulation électrique	Simulation post-layout
Débit (Gb/s)	25	25	25
Temps de montée / descente (ps)	20	$t_r = 21.48$ $t_f = 19.35$	$t_r = 26.47$ $t_f = 24.46$
Puissance consommée (mW)	9.82	14.85	15.32
Energie consommée (pJ/bit)	0.392	0.594	0.613
Energie équivalente pour PRBS (pJ/bit)	0.196	0.297	0.306

(b)

DRIVER 19G	Résultats analytiques	Simulation électrique	Simulation post-layout
Débit (Gb/s)	19	19	19
Temps de montée / descente (ps)	26	$t_r = 27.81$ $t_f = 24.45$	$t_r = 31.18$ $t_f = 28.33$
Puissance consommée (mW)	6.22	8.86	9.53
Energie consommée (pJ/bit)	0.327	0.466	0.502
Energie équivalente pour PRBS (pJ/bit)	0.164	0.233	0.251

Tableau 13. Performances des drivers (a) 25G et (b) 19G : comparaison des performances entre résultats analytiques et simulations

4.2. Mesures et rétro-simulations

4.2.1. Structures de test

Différentes structures de test sont réalisées afin de tester la fonctionnalité des driver 19G et 25G. Dans chacune des implémentations, le driver est connecté à un pad GSGSG via des lignes RF *microstrip* afin d'assurer une bonne intégrité

des signaux d'entrée et de sortie grâce à un blindage à la masse des lignes RF. Un autre pad GSGSG est utilisé pour apporter la source d'alimentation DC. Une capacité de découplage C_{dec} est également ajoutée à la structure, remplissant l'espace disponible entre les pads. Cette capacité est réalisée en superposant une capacité MIM (*Metal Isolator Metal*) et une capacité MOS (*Metal Oxide Semiconductor*). Certaines structures incluent aussi une capacité supplémentaire de charge C_{mod}, connectée à la sortie du driver pour évaluer l'impact d'un modulateur optique pendant les mesures. Les différentes variantes des structures de test sont les suivantes :

- Driver 25G, $C_{dec} = 100$ pF, pas de C_{mod} ;
- Driver 19G, $C_{dec} = 100$ pF, $C_{mod} = 0$ fF ;
- Driver 19G, $C_{dec} = 16$ pF, $C_{mod} = 0$ fF ;
- Driver 19G, $C_{dec} = 0$ pF, $C_{mod} = 0$ fF ;
- Driver 19G, $C_{dec} = 100$ pF, $C_{mod} = 300$ fF ;
- Driver 19G, $C_{dec} = 100$ pF, $C_{mod} = 600$ fF ;

De plus, des structures THRU et OPEN sont également conçues pour découpler respectivement les impédances parasites séries et parallèles dues aux câbles externes, aux probes de mesures et aux lignes de transmission RF internes.

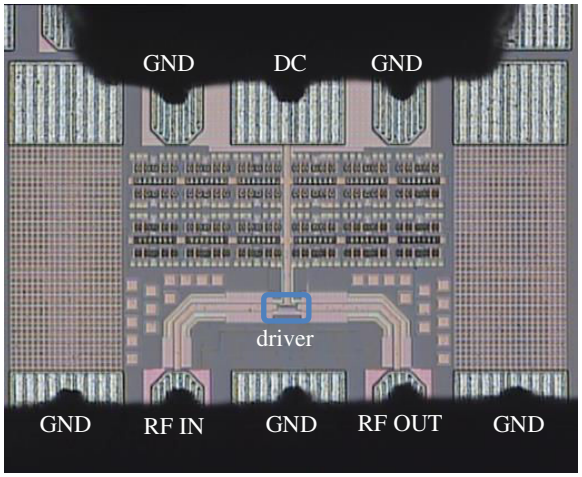
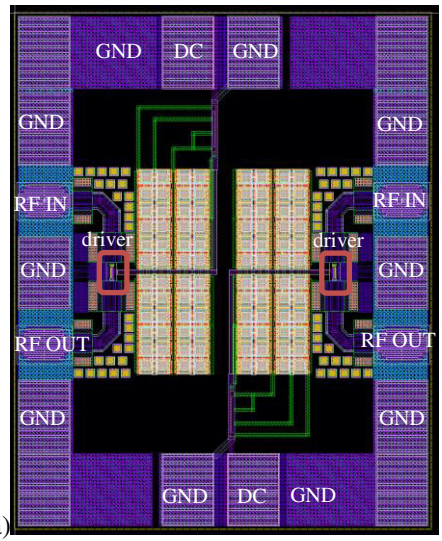


Figure 4.4. Microphotographie de la structure de test d'un driver.

Les drivers sont fabriqués chez STMicroelectronics sur la ligne de production 300mm en utilisant la technologie BiCMOS 55nm. La Figure 4.4 montre une microphotographie d'un driver et de sa structure de test. La surface de la die est de 356µm × 509µm. Les entrée et sortie RF sont mesurées en utilisant une microprobe GSGSG de 100 µm de pitch, placée dans l'accès sud. La source DC est amenée en utilisant une microprobe GSG de 100 µm de pitch, placée dans l'accès nord.

(a)



(b)

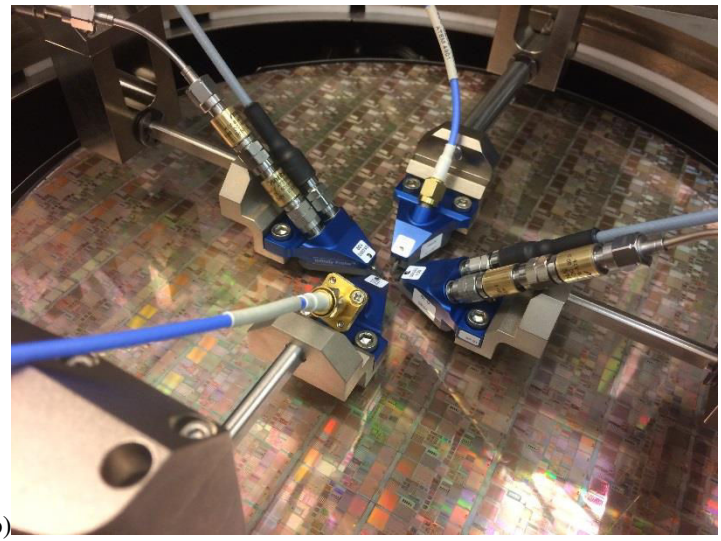


Figure 4.5. (a) Vue layout de la structure de test différentielle ; (b) Photographie des quatre probes amenant les signaux sur une die donnée

Une structure de test comprenant deux drivers 19G a aussi été réalisée afin de pouvoir simuler une structure différentielle. Une telle structure est par exemple utilisée pour driver les deux HSPMs d'un modulateur de Mach-Zehnder (cf. Figure 2.3). Les jonctions PN sont alors pilotées par des signaux complémentaires pour réaliser une architecture dual-drive. Le layout de la structure différentielle est illustré à la Figure 4.5 (a). Deux « structures simples » sont assemblées, chacune comprenant une capacité de découplage de 100 pF. Les accès RF sont placés sur les sites est et ouest tandis que les sources DC sont placées sur les sites nord et sud. Le placement des quatre microprobes (deux GSGSG et deux GSG) est montré à la Figure 4.5 (b).

4.2.2. Montage expérimental

Le montage expérimental adopté pour la mesure du BER (Bit Error Rate) et la caractérisation des diagrammes de l'œil est illustré à la Figure 4.6. Un ParBERT (*Parallel Bit Error Rate Tester*) de Keysight (BERT M9505A) est utilisé pour générer les signaux PRBS jusqu'à 32 Gb/s et pour faire la détection des erreurs de transmission. Il est associé à un oscilloscope de type DCA (*Digital Communication Analyzer*) de Keysight (DCA-X 86100D) pour l'analyse des diagrammes de l'œil. Le DCA utilise des têtes déportées pour éviter les réflexions vers le port de sortie du driver. Les mesures sont réalisées à partir de signaux PRBS (*Pseudo Random Bit Sequences*) de longueur 2^7-1 en modulation NRZ (*Non Return to Zero*). Le DCA est couplé en courant continu, ainsi sa charge interne de 50 Ω conduit à une réduction de l'amplitude de modulation en sortie du driver sur le principe d'un pont diviseur de tension. Cependant les mesures de puissance seront réalisées sans le DCA pour qu'elles ne soient pas perturbées par cette charge 50 Ω et représentatives uniquement du driver.

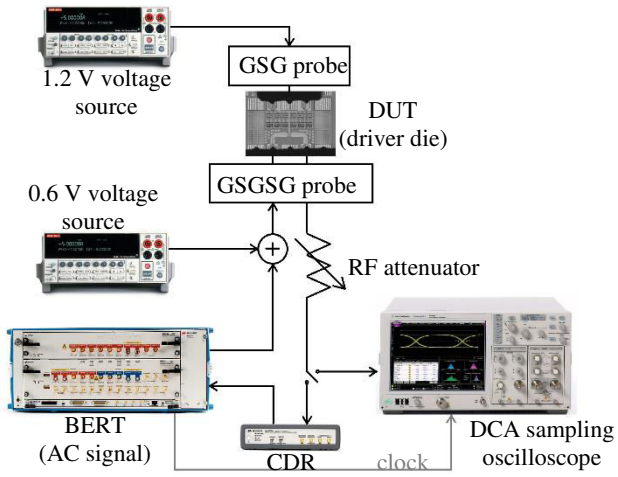


Figure 4.6. Montage expérimental. Soit on mesure les diagrammes de l'œil à l'aide du DCA, soit on mesure le BER à l'aide du CDR (Clock Data Recovery) qui sert à démultiplexer les signaux.

Dans les paragraphes suivants, les résultats expérimentaux seront présentés et comparés à des simulations réalisées à l'aide du logiciel ADS (*Advanced Design System*) de Keysight. Ces simulations prennent en compte l'ensemble de l'environnement de mesure du driver contrairement aux simulations précédentes (section 4.1.5) qui n'intégraient que le driver. Ici, les conditions expérimentales sont reproduites au mieux afin de permettre une comparaison précise avec la mesure. Le montage de simulation est illustré à la Figure 4.7. Il inclut le générateur PRBS, un filtre et une charge résistive de 50 Ω pour modéliser le DCA, ainsi que des blocks de paramètres S pour modéliser les pertes de connexion dues aux probes et au câble RF. Les capacités de découplage C_{dec} et de charge C_{load} sont également prises en compte dans les simulations, C_{load} étant la somme de la capacité équivalente du modulateur C_{mod} et de la capacité parasite du pad C_{pad}.

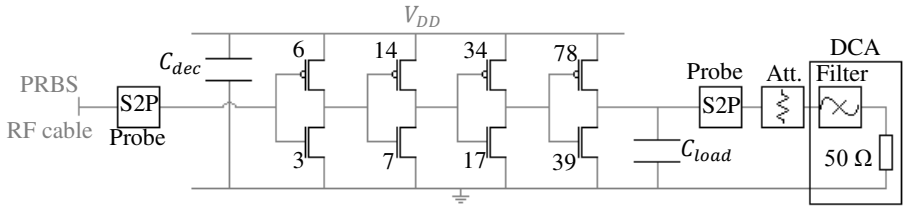
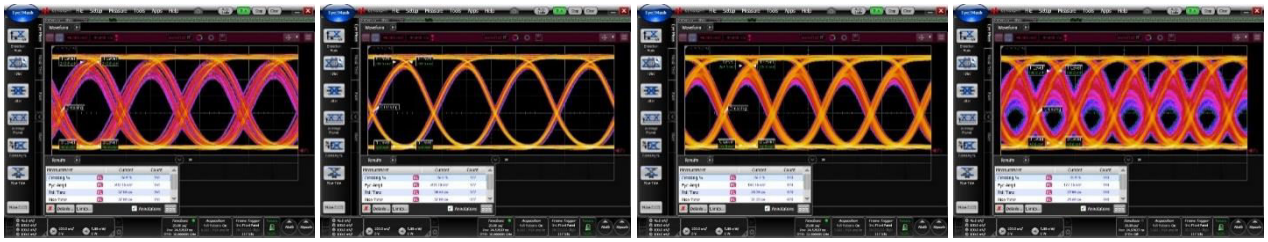


Figure 4.7. Montage de simulation. Les dimensions des transistors sont indiquées en µm et sont celles du driver 19G.

4.2.3. Diagrammes de l'œil

Les Figure 4.8 et Figure 4.9 montrent les diagrammes de l'œil respectivement du driver 25G et du driver 19G. Différentes conditions de fonctionnement sont appliquées pour chacun des diagrammes. Afin de réduire les effets des ISI (*Inter-Symbol Interference*) issus des câbles externes et des probes, nous appliquons dans la majorité des cas (sauf précision contraire) du de-emphasis. L'utilisation du de-emphasis permet de compenser les dégradations des signaux électriques. Ce module est directement intégré dans le ParBERT qui modèle la forme des signaux sur la base d'un filtre à réponse impulsionnelle finie (*FIR filter = Finite Impulse Response*) [135].



(a) 20 Gb/s, pas d'emphasis *(b) 20 Gb/s, emphasis de 9dB* *(c) 25 Gb/s, emphasis de 10dB* *(a) 32 Gb/s, emphasis de 16dB*

Figure 4.8. Diagrammes de l'œil du driver 25G

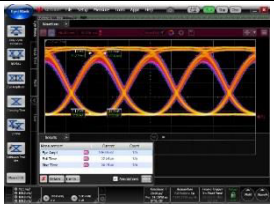
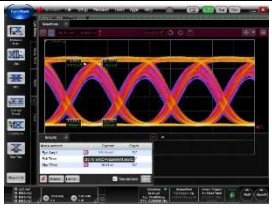
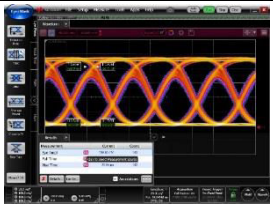
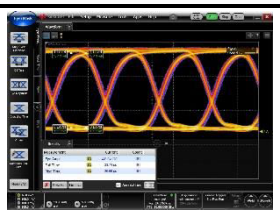
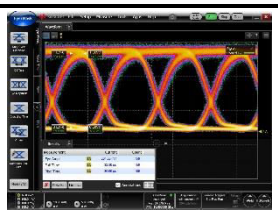
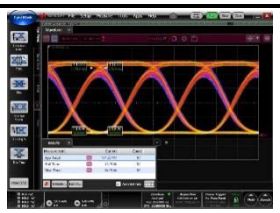
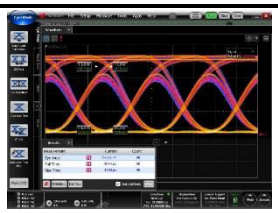
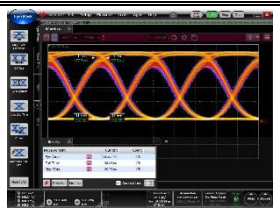
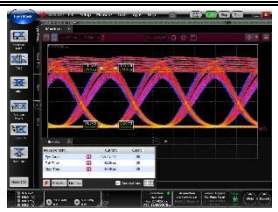
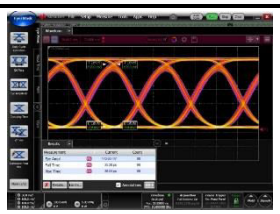
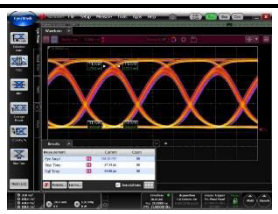
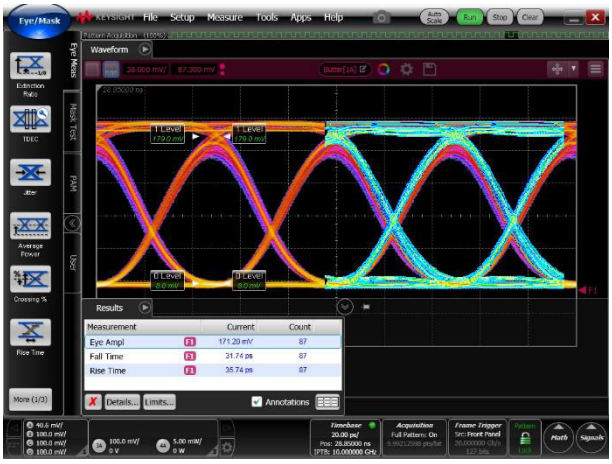
(a) Impact de l'emphasis	 20 Gb/s, emphasis de 7dB	 20 Gb/s, pas d'emphasis	 25 Gb/s, emphasis de 9 dB
(b) Impact de la longueur de la séquence de bits	 20 Gb/s, $PRBS = 2^7 - 1$	 20 Gb/s, $PRBS = 2^{31} - 1$	
(c) Impact de la capacité de charge C_{load}	 20 Gb/s, $C_{load} = C_{pad}$	 20 Gb/s, $C_{load} = C_{pad} + 300$fF	20 Gb/s, $C_{load} = C_{pad} + 600$fF
(d) Impact de la capacité de découplage C_{dec}	 20 Gb/s, $C_{dec} = 100$ pF	 20 Gb/s, $C_{dec} = 16$ pF	20 Gb/s, $C_{dec} = 0$ pF
(e) Impact de la température	 20 Gb/s, $T = 25$°C	 20 Gb/s, $T = 85$°C	

Figure 4.9. Diagrammes de l'œil du driver 19G : influence de différents paramètres. Les valeurs par défaut correspondent à celles de la première colonne.

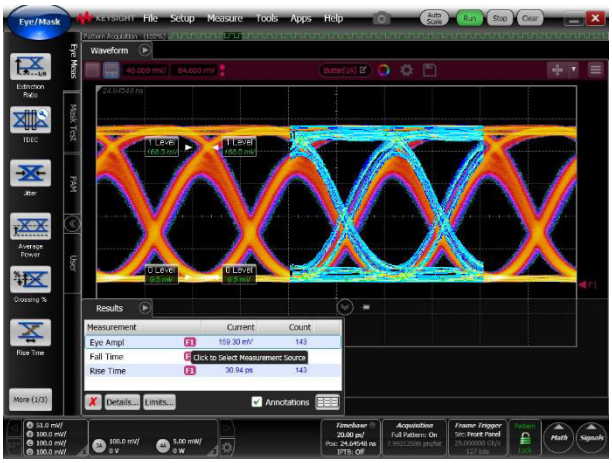
Le driver 25G (Figure 4.8) présente des diagrammes de l'œil bien ouverts jusqu'à 25 Gb/s puis la transmission se dégrade beaucoup à 32 Gb/s malgré le de-emphasis, ce qui confirme la limite de débit imposée par la taille des transistors. Quant au driver 19G, celui-ci montre des diagrammes de l'œil (Figure 4.9 (a)) sensiblement identiques à ceux du driver 25G, tout en bénéficiant d'inverseurs plus petits (d'où une capacité réduite et une consommation de puissance réduite). En effet, les résultats obtenus à 20 Gb/s sont très propres ce qui sera confirmé par la mesure du BER (cf. paragraphe 4.2.4). A 25 Gb/s, le driver atteint sa limitation en vitesse ce qui rend l'utilisation du de-emphasis inévitable pour ouvrir le diagramme de l'œil.

Des mesures utilisant un signal NRZ PRBS de longueur 2^{31}-1 ont également été réalisée (Figure 4.9 (b)) et montrent que la transmission est effectuée sans erreur jusqu'à un débit de 16 Gb/s. Le diagramme de l'œil à 20 Gb/s est toutefois bien ouvert grâce à l'utilisation de l'emphasis. L'impact de la capacité de charge a été testé (Figure 4.9 (c)) et confirme que la charge maximale supportée par le driver à un débit de 20 Gb/s est de l'ordre de 300 fF. Au-delà, le diagramme de l'œil se ferme car le driver n'est pas assez rapide pour effectuer les cycles de charge et décharge de la capacité. L'influence de la capacité de découplage est également montrée (Figure 4.9 (d)). Elle permet de compenser les variations rapides de courant qui apparaissent dans la ligne d'alimentation aux fréquences élevées. Si la capacité de découplage est sous-dimensionnée, l'inductance parasite de la ligne d'alimentation perturbe alors le fonctionnement du driver et le diagramme de l'œil se ferme. Enfin des tests en température ont été réalisés (Figure 4.9 (e)) jusqu'à 85°C. Aucune dégradation notable n'a été observée.

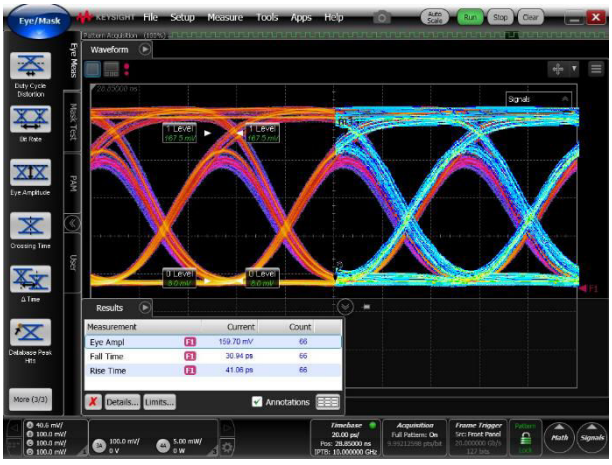
(a) 20 Gb/s, pas d'emphasis



(b) 20 Gb/s, de-emphasis de 7dB de pertes



(c) 25 Gb/s, de-emphasis de 9dB de pertes



(d) 20 Gb/s, C_{mod} = 300 fF, de-emphasis de 6dB de pertes

Figure 4.10. Diagrammes de l'œil du driver 19G mesurés (courbes rouges) et simulés (courbes bleues) pour différentes conditions de fonctionnement

Dans la suite des travaux sur le driver, nous nous concentrons uniquement sur le driver 19G. La Figure 4.10 montrent certains des diagrammes de l'œil mesurés sur lesquels les diagrammes de l'œil simulés ont été superposés. Les résultats des Figure 4.10 (a) et (b) sont pour un débit de 20 Gb/s, respectivement sans et avec de-emphasis. Ceux de la Figure 4.10 (c) sont pour un débit de 25 Gb/s avec les signaux d'entrée nécessairement de-emphasés. La Figure 4.10 (d) reproduit les conditions d'un modulateur optique connecté au driver et inclut une charge C_{mod} de 300 fF. Les résultats sont donnés

pour un débit de 20 Gb/s avec utilisation du de-emphasis. En ce qui concerne les simulations, une charge capacitive C_{load} de 100 fF est utilisée pour les Figure 4.10 (a), (b) et (c) tandis qu'une charge C_{load} de 400 fF est utilisée pour la Figure 4.10 (d). La charge supplémentaire de 100 fF prend en compte le pad en sortie du driver. L'ensemble des diagrammes de l'œil sont bien ouverts et nous pouvons noter un bon accord entre les résultats de mesure et de simulation.

4.2.4. Performance des drivers et comparaison avec l'état de l'art

La consommation d'énergie et le taux d'erreurs (BER *Bit Error Rate*) réalisés par le driver 19G sont précisés à la Figure 4.11. Les deux graphes doivent être analysés ensemble pour une bonne compréhension car la courbe du BER nous informe sur le bon fonctionnement du driver.

Le courant moyen débité par la source d'alimentation a été mesuré à différents débits et pour différents niveaux de tension d'alimentation V_{DD}. A partir de ce courant, nous calculons la puissance moyenne consommée par le driver ($P = I_{moy}\, V_{DD}$), ainsi que l'efficacité énergétique $\left(E\ [\mathrm{pJ/bit}] = \frac{P\ [\mathrm{mW}]}{DR\ [\mathrm{Gb/s}]}\right)$. La Figure 4.11 (a) compare l'énergie mesurée et l'énergie simulée sur le logiciel ADS. On peut noter une relativement bonne correspondance entre les mesures du driver chargé uniquement par les pads et les simulations effectuées avec une capacité de charge de 100 fF. A partir d'un débit supérieur à 15 Gb/s, la consommation d'énergie diminue car le signal de sortie du driver se dégrade progressivement et ne peut plus atteindre l'amplitude de tension [0 ; V_{DD}] souhaitée. Ceci est confirmé par les courbes de BER de la Figure 4.11 (b) : une transmission sans erreur (BER < 10^{-12}) est observée jusqu'à un certain seuil dépendant de la valeur de V_{DD}. Pour des conditions de fonctionnement standards ($V_{DD} = 1.2$ V, signal PRBS de longueur 2^7-1, température ambiante), cette limite BER < 10^{-12} se situe à 20 Gb/s. De plus, il est important de signaler que les mesures de puissance et de BER ont été réalisées sans utilisation de de-emphasis ce qui explique un BER de 10^{-2} à 25 Gb/s alors que le graphe à 25 Gb/s (Figure 4.10 (c)) montre un diagramme de l'œil ouvert.

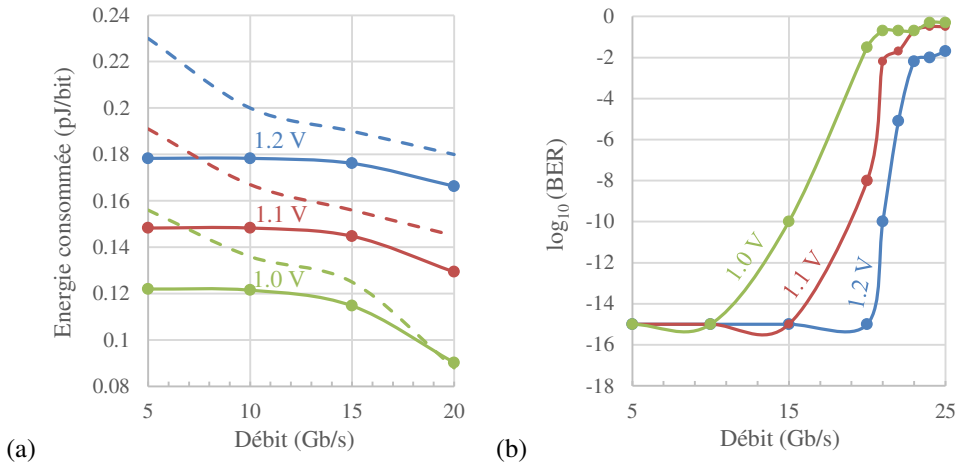


Figure 4.11. Performances du driver 19G en fonction de la tension d'alimentation V_{DD}. (a) Efficacité énergétique ; (b) Taux d'erreurs BER. Les résultats de mesures sont en traits pleins tandis que les simulations sont en pointillés.

Le Tableau 14 résume les performances du driver proposé dans cette étude et les compare avec quelques travaux publiés récemment.

B. Wang [70] discute l'impact du format de modulation (NRZ ou PAM4) sur l'efficacité énergétique d'un transmetteur à base d'anneaux résonants. Ici, nous retenons les résultats obtenus pour le driver en technologie CMOS 65nm en modulation NRZ. L'architecture du driver repose sur des étages de sorties différentiels et cascodés qui sont pré-drivés par des chaînes d'inverseurs. Cette architecture permet ainsi d'obtenir une amplitude de sortie très grande de 4.8 Vpp mais au détriment de la consommation énergétique qui est presque 10 fois plus importante que celle obtenue dans notre étude.

T. Huynh [67] montre les résultats de mesures d'un transmetteur WDM à 4 canaux, chacun atteignant un débit de 25 Gb/s. Les drivers sont conçus en technologie CMOS 32 nm et leur topologie a été choisie la plus simple possible afin de réduire au maximum la consommation énergétique. Ainsi le choix s'est porté sur une chaîne d'inverseurs CMOS, tout comme pour notre propre travail. Ce papier aboutit à un bon compromis vitesse-énergie, similaire à nos résultats mais néanmoins, nous pouvons remarquer que nous bénéficions d'une amplitude de sortie plus grande ce qui permettra d'obtenir de

meilleures performances optiques (ER et OMA).

J. Li [68] propose l'implémentation d'un transmetteur optique en intégration monolithique en technologie CMOS 130nm. Le driver utilise deux inverseurs basiques pour piloter l'anode et la cathode du modulateur optique. Afin de doubler l'amplitude de modulation, l'inverseur de la cathode commute entre [gnd ; V_{DD}] tandis que l'inverseur de l'anode commute entre [gnd ; $-V_{DD}$]. Malgré une capacité de charge très petite de 28 fF, la consommation d'énergie vaut plus du double de la valeur obtenue dans notre étude ce qui signifie que l'utilisation de la technologie 55nm nous permet de réduire de façon non négligeable les capacités parasites associées aux transistors du driver.

M Rakowski [66] développe également un transmetteur optique WDM à 4 canaux. Cependant, l'architecture du driver est ici plus complexe afin de bénéficier de la modulation en faible polarisation directe. En effet, le driver conçu en technologie CMOS 40nm est asymétrique. Il comprend une chaine d'inverseurs pour piloter la cathode du modulateur et un étage accordable pour contrôler la tension de l'anode. Avec une seule source de tension, ce papier atteint l'amplitude de sortie la plus élevée, cependant la complexité apportée par l'étage de l'anode conduit à une puissance consommée nettement supérieure par rapport aux architectures plus simplistes comme la nôtre.

M. Cignoli [57] étudie l'architecture multi-étages d'un modulateur de Mach-Zehnder et du driver associé afin de permettre une grande amplitude de modulation optique. Nous indiquons ici les performances d'un seul étage du driver qui pilote une charge comparable à notre propre driver (6 étages au total). Le driver est implémenté en technologie CMOS 65nm et est constitué d'un level shifter suivi d'un empilement d'inverseurs. Le même type de commentaires peut une fois de plus être souligné ici : certes l'amplitude de sortie est plus élevée mais l'utilisation du level shifter entraine une consommation énergétique bien supérieure à celle obtenue dans notre étude.

En résumé, la comparaison montre que notre driver atteint l'une des meilleures efficacités énergétiques pour des vitesses et des charges comparables. Sa simplicité de mise en œuvre est également un avantage indéniable, cependant cette architecture ne permet pas d'atteindre une amplitude de modulation très élevée. Il apparaît alors évident de montrer que l'utilisation d'une faible amplitude de modulation ne nuit pas aux performances optiques du modulateur vis-à-vis des spécifications attendues. Ce sujet sera traité et détaillé dans le Chapitre 5 lors de la réalisation d'un prototype implémentant un driver et un modulateur optique au sein d'un assemblage sur board.

Réf.	Technologie	Débit (Gb/s)	Energie (pJ/b)	Charge du driver (fF)	Amplitude de sortie (Vpp)	Source de tension (V)
Cette étude	55nm CMOS	20	0.18	100	1.2	1.2
[70]	65nm CMOS	25	1.6	105	4.8	1.2 & 2.4
[67]	32nm SOI CMOS	25	0.19	–	1	1
[68]	130nm SOI CMOS	25	0.68	28	2.4	1.2 & -1.2
[66]	40nm CMOS	20	1.3	–	1.95	1.3
[57]	65nm CMOS	25	1.83	150	2.5	2.5 & 1.25

Tableau 14. Performances du driver 19G : comparaison à l'état de l'art

4.3. Implémentation de protections ESD

Une décharge électrostatique (ESD *ElectroStatique Discharge*) est la décharge soudaine d'un corps chargé [136]. Elle produit une impulsion de courant très grande (jusqu'à quelques Ampères) sur une durée très courte (entre 100 ps et 100 ns). Les ESD constituent une préoccupation en matière de fiabilité des circuits intégrés car les ESD peuvent provoquer la destruction des circuits (claquage des transistors, courant de fuite important). Elles peuvent se produire à différentes étapes du cycle de vie d'un circuit : pendant sa fabrication, son assemblage avec d'autres circuits, sa mise en package, son transport ou encore pendant l'utilisation normale du produit fini. En conséquence, avant de commencer la distribution d'un produit, la sensibilité des circuits intégrés aux ESD est testée. Pour cela, trois modèles d'ESD ont été définis afin de prendre en compte les différents types de décharges possibles (Figure 4.12 (a)) :

- Modèle HBM (*Human Body Model*), qui modélise les décharges provenant d'une personne vers le circuit,
- Modèle MM (*Machine Model*), qui modélise les décharges provenant d'un équipement ou d'un outil vers le

circuit,

- Modèle CDM (*Charged Device Model*), qui modélise les décharges provenant du circuit lui-même vers un autre objet externe.

Les modèles HBM et MM sont relativement similaires car les charges sont transférées d'une source externe vers le circuit intégré et ont des caractéristiques plutôt similaires (temps de décharge de l'ordre de 100 ns). Mais ici, nous nous intéressons particulièrement aux décharges CDM apparaissant lorsque le dispositif est chargé (par effet triboélectrique ou par induction par exemple) puis entre en contact avec une masse. Les ESD de type CDM sont très courtes (1 ns) et très intenses (10 A).

Dans le cadre de notre étude, des ESD pourraient se produire lors de l'assemblage 3D. En effet, lors de la mise en contact du driver avec le PIC, des décharges électrostatiques provenant du PIC pourraient endommager les transistors de l'EIC, d'autant plus facilement que le premier étage est très petit.

Il est donc essentiel de se protéger des ESD et d'implémenter une protection directement au niveau du circuit intégré, ce qui consiste à implémenter sur la puce des chemins de décharge prédéfinis qui seront empruntés par les charges en cas d'ESD au lieu de traverser le driver. La protection ESD idéale doit se comporter comme un interrupteur, c'est-à-dire qu'elle doit pouvoir détecter une ESD et réagir très rapidement pour évacuer les forts courants et limiter la tension aux bornes du circuit sous le seuil critique de claquage des transistors. En parallèle, la protection ESD doit également avoir un impact minimal sur le fonctionnement du circuit en régime normal. Pour réaliser cette protection, nous allons donc utiliser des diodes.

Plusieurs configurations sont possibles en fonction de la complexité du circuit à protéger (protection centrale, protection distribuée ou protection locale, cf. [136]). Dans ce travail, nous nous restreignons à l'architecture présentée à la Figure 4.12 (b). Des diodes utilisées en polarisation directe (« local clamp » sur la figure) entourent chaque pad (entrée et sortie du driver) et conduisent les forts courants ESD vers un clamp central (« power clamp » sur la figure). Ce clamp central est bi-directif et permet d'évacuer les charges jusqu'à la masse en contournant le circuit principal que l'on veut protéger. Certains chemins de décharge possibles sont également illustrés sur la Figure 4.12 (b). Nous remarquons que les diodes ESD représentent une charge capacitive supplémentaire pour le circuit, ce qui peut devenir problématique pour des circuits RF fonctionnant à des débits élevés comme c'est le cas de notre driver. En effet, l'implémentation de protections ESD entraine l'apparition d'un compromis entre la qualité de la protection et les performances du circuit. Plus le courant pic supporté par les diodes est élevé, plus la capacité de charge sera grande et donc plus la vitesse du circuit sera réduite.

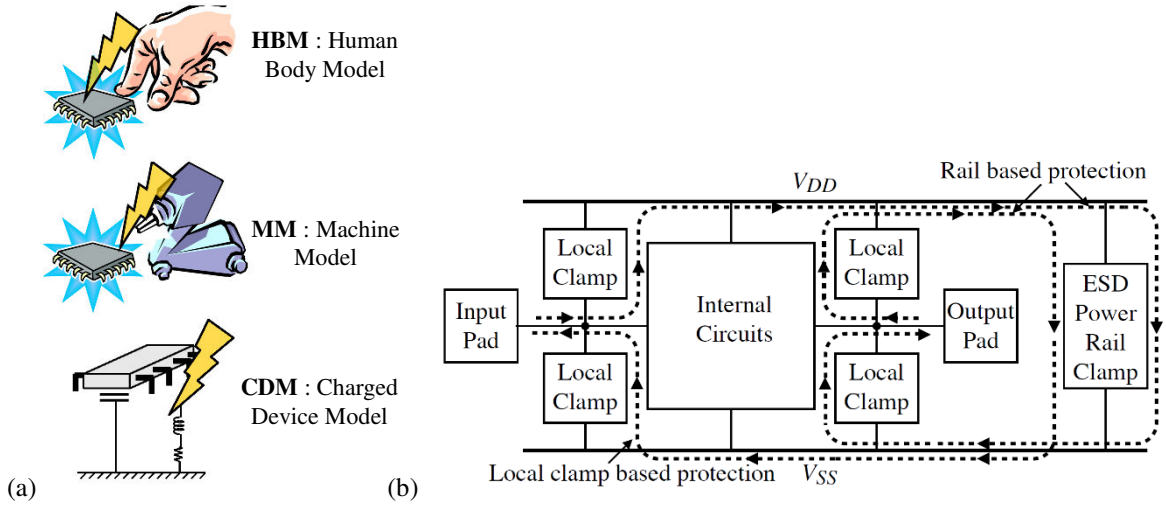


Figure 4.12. (a) Illustration des classifications des trois types d'ESD [136]*, (b) Architecture d'une protection ESD* [137]

L'implémentation des protections ESD pour notre driver est réalisée à partir des composants dédiés CDM disponibles dans la librairie de la technologie BiCMOS 55 nm. Le schéma électrique de la structure obtenue est illustré à la Figure 4.13. L'architecture est quelque peu plus complexe que celle présentée à la Figure 4.12 (b) mais elle reprend le même principe de base, c'est-à-dire les diodes D1 et D2 autour du port IN, les diodes D3 et D4 autour du port OUT et le clamp central connecté entre V_{dd} et gnd. Tous les composants sont issus de la sous-catégorie RF de la librairie B55 afin de ne pas compromettre le fonctionnement du driver à des débits élevés. Les diodes D1 et D2 (≈ 50 fF) permettent une bonne

protection jusqu'à une tension de 500 V typique des événements CDM. Les diodes D3 et D4 sont légèrement moins performantes mais ont été choisies pour avoir une très faible capacité de 20 fF à la sortie du driver. Si un pré-driver devait être intégré en amont du driver, D1 et D2 seraient certainement également modifiées pour minimiser leur capacité.

Par ailleurs, l'implémentation des protections ESD nécessitent de veiller au respect de certaines règles de design afin de s'assurer de leur bon fonctionnement. Ces règles peuvent être résumées en 5 points essentiels qui sont détaillés dans [136] :

- Règle 1 : « *Gate to pad* », une connexion directe entre la grille d'un transistor MOS et un pad est interdite.
- Règle 2 : « *Analog-digital inter-domain* », quand plusieurs domaines de puissance (différents V_{dd} et V_{ss}) sont utilisés, chaque domaine doit avoir son clamp et des connexions non protégées entre un domaine analogue et un domaine digital sont interdites.
- Règle 3 : « *Long line* », des lignes de métal d'une longueur effective supérieure à 18 cm doivent être protégées.
- Règle 4 : « *Island capacitor* », un nœud interne au circuit sans jonction P+/Nwell vers V_{dd} et sans jonction N+/Pwell vers gnd est interdit, sauf pour des blocs digitaux.
- Règle 5 : « *Pass gate to pad* », si des transistors sont utilisés en logique « pass gate », ils ne doivent pas être connectés directement à un pad.

Ces règles amènent notamment à apporter les modifications suivantes par rapport à l'architecture basique de la Figure 4.12 (b). Une résistance RPO (*Resist Protection Oxide*) est insérée entre le pad IN et l'entrée du driver pour répondre à la règle 1, ce qui permet d'améliorer la robustesse des protections ESD. Un rail ESD_{sub} est ajouté, ainsi que les diodes D5 et D6, dites back-to-back. Ceci est réalisé en anticipation du démonstrateur 3D final. En effet, ce démonstrateur implémentera une puce électrique contenant un grand nombre de drivers identiques pour piloter les liens WDM. Afin d'éviter qu'un problème sur un driver donné ne conditionne le fonctionnement des autres drivers, tous les rails d'alimentation V_{dd} seront indépendants mais la masse reste commune. Le rail ESD_{sub} permet de protéger les connexions entre les différents domaines de puissance. La Figure 4.13 montre également qu'une capacité de découplage d'une valeur d'environ 100 pF est connectée entre V_{dd} et la masse.

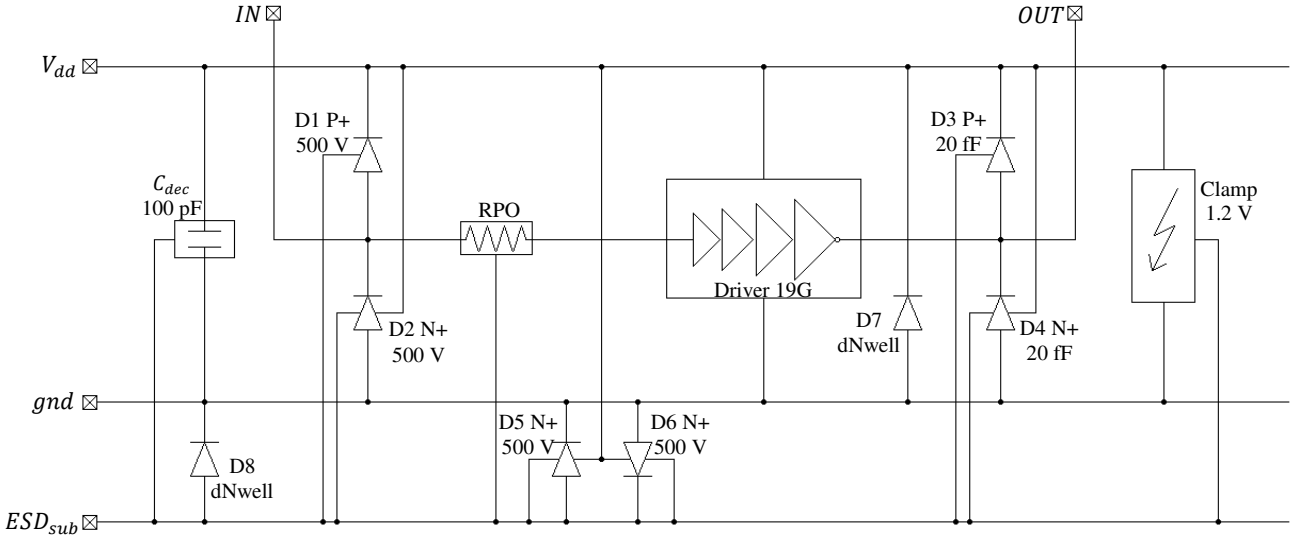


Figure 4.13. Schéma électrique du driver 19G entouré des protections ESD

Après la conception et le choix des protections ESD, nous avons réalisé le layout de cette nouvelle structure de test. Celui-ci est illustré à la Figure 4.14 et se base sur les mêmes règles de dessin que le layout du driver seul. Le driver utilisé est le driver 19G des sections précédentes (cf. Figure 4.2). Il a été inséré et connecté entre les diodes ESD. Par ailleurs, chacun des composants est isolé dans une région deep-Nwell afin de réduire les couplages de bruits entre les différentes zones et permettre une implémentation plus aisée du rail ESD_{sub}. L'ajout de ces couches dopées N sous le driver et sous la capacité de découplage a entrainé l'apparition de jonction PN entre le substrat P du driver (gnd), respectivement le substrat P de la capacité (ESD_{sub}), et l'anneau Nwell connectant le deep-Nwell. Ces jonctions PN sont modélisées par les diodes D7 et D8 sur le schéma de la Figure 4.13.

Des simulations post-layout ont alors pu être réalisées afin de confirmer le bon fonctionnement du driver. L'intégration

des protections ESD autour du driver a ajouté un délai temporel de l'ordre de 2 ps sur la réponse temporelle du driver à 20 Gb/s mais le signal de sortie n'est pas dégradé, ce qui permet de valider notre architecture ainsi que son layout.

Le driver est fabriqué chez STMicroelectronics sur la ligne de production 300mm en utilisant la technologie BiCMOS 55nm. La structure de test complète est montrée à la Figure 4.15 (a). Elle comprend deux pads GSGSG auxquels sont connectées l'entrée et la sortie du driver, ainsi que la source d'alimentation V_{dd}. Comme pour les structures de test précédentes, des lignes RF microstrip assurent la liaison entre les pads et le driver pour conserver une bonne intégrité des signaux. La structure de test a une dimension totale de 521 µm × 505 µm.

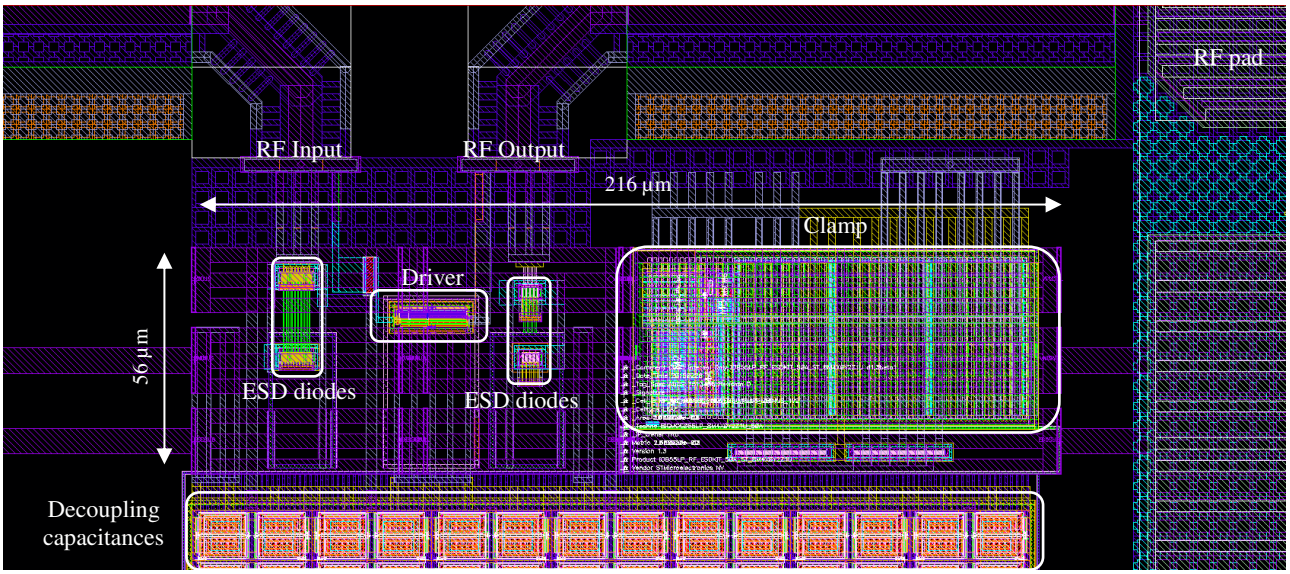
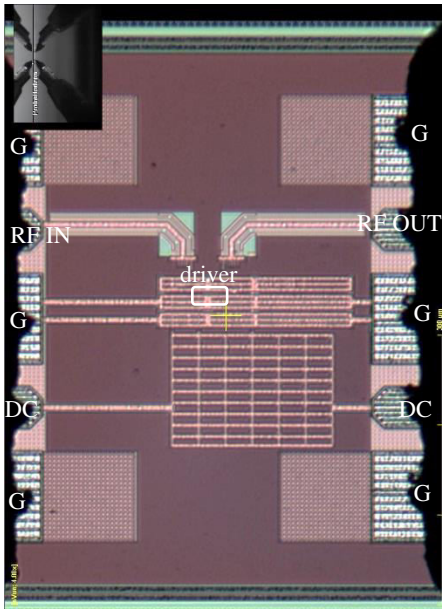
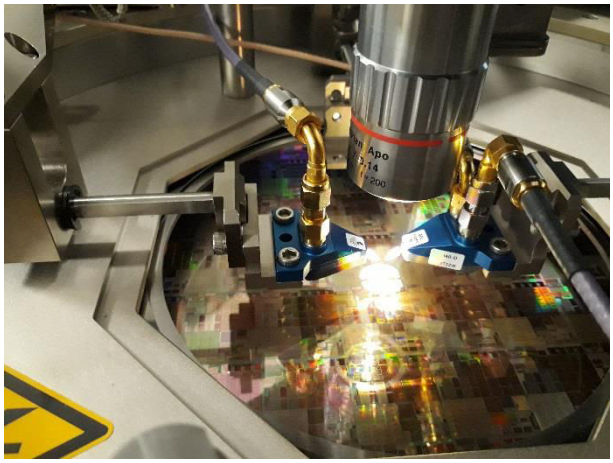


Figure 4.14. Layout du driver 19 G entouré des protections ESD



(a)



(b)

Figure 4.15. (a) Structure de test du driver entouré de protections ESD, (b) Photographie des mesures sous pointes du driver

Le montage expérimental adopté pour la mesure du BER (Bit Error Rate) et la caractérisation des diagrammes de l'œil est illustré à la Figure 4.16 (a). Il est très similaire à celui de la Figure 4.6 utilisé pour les mesures du driver seul. L'idéal aurait été de reproduire exactement les mêmes conditions de test afin d'avoir la comparaison la plus précise possible entre les deux implémentations. Mais le dispositif précédent n'était pas disponible au moment de la caractérisation de ce circuit. Le principal changement concerne le ParBERT de Keysight : une plus ancienne version est utilisée pour générer les signaux PRBS et nécessite l'ajout d'un multiplexer 2 :1 pour obtenir des débits au-delà de 12 Gb/s. De plus, cette version n'intègre pas de module d'emphasis, donc un processeur externe a également été ajouté au montage. Ainsi, le montage comprend globalement plus de câbles de connexion, ce qui aura tendance à dégrader les mesures. Les mesures utilisent

les mêmes paramètres de réglage que précédemment. Elles sont réalisées à partir de signaux PRBS (*Pseudo Random Bit Sequences*) de longueur 2^7-1 en modulation NRZ (*Non Return to Zero*) et les mesures de puissance sont réalisées sans le DCA pour ne pas être perturbées par la charge 50 Ω du DCA.

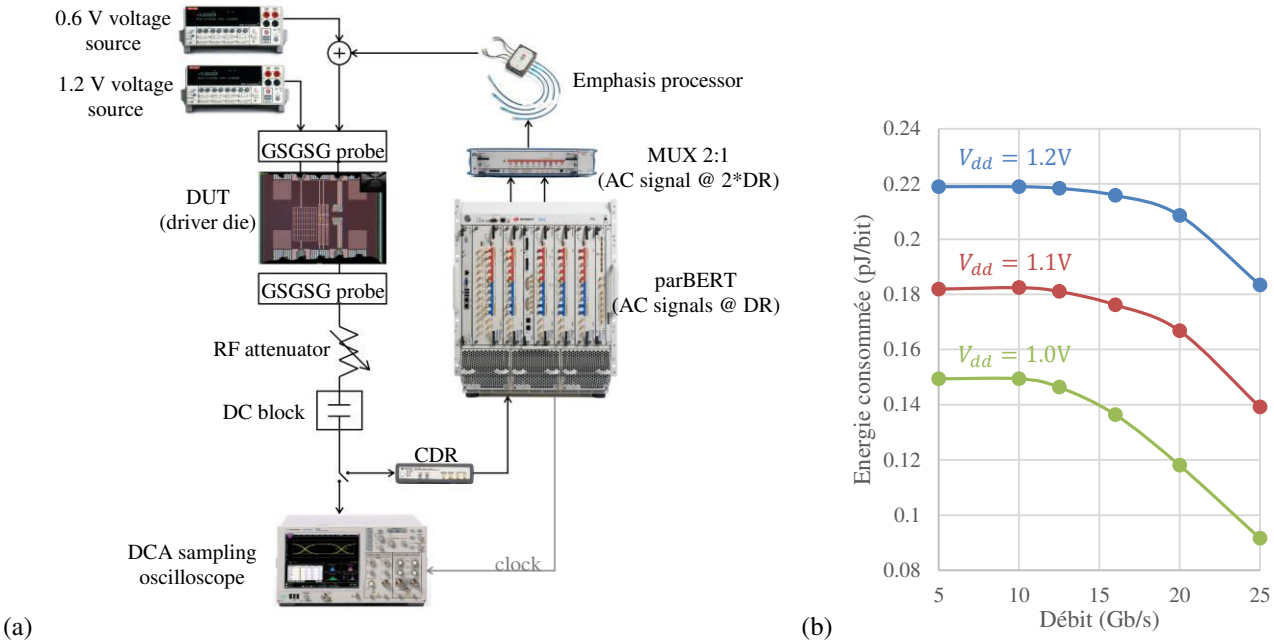
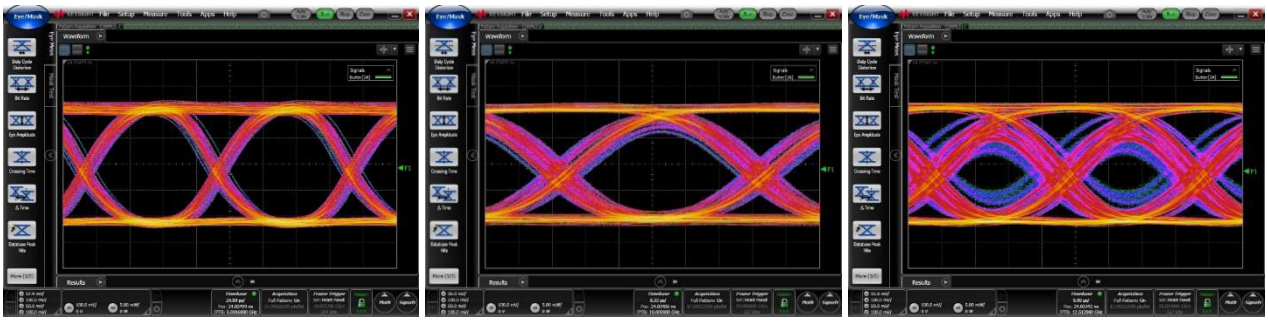


Figure 4.16. (a) Montage expérimental, dégradé par rapport à la Figure 4.6 à cause du parBERT, (b) Efficacité énergétique du driver 19G entouré des protections ESD pour différentes tensions d'alimentation.

La Figure 4.17 montre les diagrammes de l'œil du driver entouré de ses protections ESD pour différents débits de transmission. Les conclusions restent identiques à la caractérisation précédente (section 4.2.3), à savoir que la limitation en vitesse du driver est autour de 20 Gb/s, au-delà la réponse du driver est très dégradée malgré l'utilisation de de-emphasis. Par ailleurs, nous remarquons que le diagramme de l'œil à 20 Gb/s présente un jitter plus important que celui de la Figure 4.10 (b), ce qui est certainement dû au montage expérimental et n'est pas représentatif des performances du driver. En effet, même à 10 Gb/s, nous retrouvons ce même jitter alors que le débit est bien inférieur à la limite du driver.

Nous avons également mesuré la puissance consommée par le driver puis calculé son efficacité énergétique en fonction du débit de transmission, ce qui est représenté à la Figure 4.16 (b). La forme des courbes d'énergie est similaire aux mesures précédentes. La consommation est constante jusqu'à un certain seuil à partir duquel elle commence à diminuer signifiant que le driver ne parvient plus à transmettre correctement tous les bits. Par ailleurs, nous notons une légère augmentation de la consommation d'énergie, passant par exemple de 0.18 pJ/bit à 0.22 pJ/bit sous les conditions normales de fonctionnement correspondant à $V_{dd} = 1.2\text{V}$. Ceci est caractéristique de l'influence des diodes ESD en sortie du driver qui ajoutent une charge capacitive et augmentent la puissance consommée.



(a) 10 Gb/s, pas d'emphasis *(b) 20 Gb/s, emphasis de 7 dB* *(b) 25 Gb/s, emphasis de 12 dB*

Figure 4.17. Diagrammes de l'œil du driver 19G entouré des protections ESD pour différents débits

En conclusion, la caractérisation de cette structure de test nous permet de valider l'implémentation des protections ESD autour du driver. Les diodes ESD n'ont qu'un impact minime sur le fonctionnement du driver mais elles permettront certainement d'éviter le claquage des transistors en cas de décharge électrostatique. Nous pourrons ainsi implémenter cette configuration de driver pour le démonstrateur WDM du Chapitre 6 afin de s'assurer que l'assemblage par flip-chip

ne dégrade pas la puce électrique.

Conclusion du chapitre

En résumé, ce chapitre s'est concentré sur la conception puis la caractérisation d'un driver CMOS permettant des transmissions à un débit de 20 Gb/s. Nous avons basé l'architecture du driver sur une chaîne d'inverseurs CMOS. Nous avons d'abord montré, en se basant sur la méthode de l'effort logique, comment choisir le nombre d'étages et dimensionner chacun des transistors constituant le driver. Cette étude nous a permis de mettre en avant le compromis entre la vitesse et la consommation énergétique du driver et a ainsi orienté le choix de la technologie en fonction des spécifications de l'application, notamment la charge du modulateur. Puis nous avons réalisé un premier tapeout incluant différentes structures de test afin d'analyser l'influence de la capacité de découplage ou de la capacité de charge et également le fonctionnement d'une structure différentielle. Nous avons alors procédé à la caractérisation des drivers consistant à mesurer les diagrammes de l'œil, la puissance consommée ainsi que le taux d'erreurs (BER). L'architecture très minimaliste du driver contraint certes à une amplitude de tension de sortie limitée à 1.2 Vpp, mais elle permet d'atteindre une très bonne efficacité énergétique de 0.18 pJ/bit. Enfin, nous avons réalisé un second tapeout implémentant le même driver que précédemment mais entouré par des protections ESD. En effet, un futur assemblage avec un circuit photonique pourrait produire des décharges électrostatiques et endommager le driver. Les diodes ESD ont été sélectionnées parmi les protections proposées par la technologie CMOS 55 nm afin de ne pas altérer le fonctionnement du driver même à un débit de 20 Gb/s.

Le driver à 20 Gb/s est envisagé essentiellement pour des applications de type interconnexion HPC à base d'interposeur photonique pour lesquelles la vitesse de transmission optimale est autour de 10 à 20 Gb/s (cf. section 6.1). C'est pourquoi notre étude s'est concentrée sur la réduction de la puissance consommée par le driver qui est l'un des éléments les plus gourmands en énergie d'un lien électro-optique. Ainsi nous pensons qu'une architecture de transceiver privilégiant une faible amplitude de tension de modulation sera plus adaptée pour ce type d'applications même si cela signifie également de réduire le taux d'extinction optique en sortie du modulateur. Ceci nous amène alors à définir les prochaines étapes de cette thèse : la section 5.2 détaillera la co-intégration du driver aux côtés d'un modulateur de MZ et permettra en particulier de s'assurer que l'utilisation d'une faible amplitude de modulation ne nuit pas à la transmission des données optiques tandis que la section 5.1 vérifiera d'un point de vue théorique que l'utilisation d'un faible taux d'extinction peut être bénéfique pour le bilan de puissance d'un lien électro-optique.

Pour conclure, ce travail de conception électronique s'est basé sur un driver très simple mais ceci a tout de même soulevé plusieurs interrogations sur l'architecture et la caractérisation globale d'un système électro-optique. Les Chapitre 5 et Chapitre 6 apporteront certaines réponses et permettront notamment d'implémenter ce driver au sein du démonstrateur WDM. Cependant, d'autres études pourraient encore être approfondies afin d'améliorer les performances du driver et / ou concevoir un sérialiseur en amont du driver.

Perspectives : Pistes d'évolution du driver

- Optimisation du driver pour un modulateur en anneau. L'optimisation réalisée dans ce chapitre a pris en compte une capacité de charge de 300 fF, typique d'un modulateur de Mach-Zehnder d'une longueur active d'1 mm environ. Le driver permet en effet de moduler une charge jusqu'à 300 fF et sera donc opérationnel à la fois pour un MZM et pour un RRM présentant une très faible charge (< 50 fF). Cependant, réappliquer la méthodologie de conception du driver en prenant pour hypothèse une faible capacité de sortie conduirait à la réduction de la taille des transistors (équation (4-7)) et donc potentiellement à la diminution de la puissance consommée par le driver, ce qui est très intéressant pour un lien électro-optique low-power.
- Evolution de l'architecture du driver. Tout en conservant une architecture de chaîne d'inverseurs CMOS pour bénéficier d'une très faible consommation d'énergie, il est possible de l'améliorer quelque peu. Par exemple, une structure en TIA (Transimpedance Amplifier), aussi appelée « shunt-shunt feedback », peut être implémentée comme l'IMEC ou l'université de Toronto le montrent dans leurs travaux respectifs [78] [71]. Cette architecture permet d'autoriser une petite amplitude de tension d'entrée (75 mV) qui est successivement

amplifiée par les différents étages du driver jusqu'à l'amplitude de la tension d'alimentation (1V). Une structure de type amplificateur Cherry-Hooper consiste à intégrer des résistances entre l'entrée et la sortie des inverseurs et est mise en œuvre par l'équipe de Tomoaki Maekawa [138]. Elle permet d'améliorer la bande passante du driver et ainsi d'augmenter la vitesse de commutation du buffer par rapport à une simple chaîne d'inverseurs.

- Conception d'un circuit BIST (*Built-In Self Test*). Afin de compléter la partie électrique du transmetteur, les prochains travaux pourront porter sur la conception du sérialiseur ou sur l'intégration d'un générateur PRBS. Ceci nous permettra d'avoir accès à la consommation de la chaîne complète même si le driver en représente la part majoritaire car il constitue le dernier étage de la chaîne et pilote la charge capacitive la plus importante. Ce circuit complet pourrait prendre la forme d'un BIST afin d'émuler le transceiver sans avoir de générateur externe et former à terme une IP (*Intellectual Property*) pour la technologie photonique.

Chapitre 5

Co-intégration électro-optique : Assemblage par wire-bonding

Dans ce chapitre, nous nous intéressons à la co-intégration des parties électrique et optique du transmetteur. Cette co-intégration signifie de connecter le driver électrique à un modulateur optique afin de pouvoir étudier le fonctionnement du transmetteur complet.

Etant donné que les deux dispositifs ont été fabriqués sur des plateformes distinctes (BiCMOS 55 nm et PIC25G), l'intégration hybride des deux puces peut être envisagée sous forme d'un assemblage par wire-bonding (connexion par des fils métalliques) ou d'un assemblage par flip-chip (connexion par des micro-piliers en cuivre). Les deux méthodes sont largement employées dans la littérature car elles permettent d'optimiser séparément les circuits électrique et photonique et conduisent en général à de meilleures performances qu'avec une intégration monolithique. Comme nous l'avons vu dans le Chapitre 1, les futures interconnexions optiques sont basées de préférence sur un assemblage 3D. C'est en particulier le cas des liens électro-optiques à courte distance implémentant un interposeur photonique sur lequel repose les fonctionnalités électriques. Cependant, le procédé d'intégration par flip-chip est relativement complexe et les temps d'assemblage plutôt longs. C'est pourquoi, avant de lancer la fabrication du démonstrateur 3D (Chapitre 6), nous avons choisi d'assembler notre premier prototype par la méthode de wire-bonding.

Ce prototype intègre le driver CMOS 55 nm développé dans le chapitre précédent et un modulateur de Mach-Zehnder comme celui discuté dans la section 2.2. La solution retenue vise des applications HPC pour lesquelles une très faible consommation de puissance est requise. C'est pourquoi, l'architecture basique du driver n'autorisant qu'une faible tension de modulation semble bien adaptée pour améliorer l'efficacité énergétique du transmetteur. De plus, contrairement à un modulateur en anneau, le MZM fonctionne sur une large bande passante, donc il n'a pas besoin d'implémenter un circuit de stabilisation de la longueur d'onde qui représente une part importante de la consommation d'un lien électro-optique.

L'objectif du chapitre est triple. Premièrement nous allons montrer le bénéfice d'implémenter le driver au plus proche du modulateur électro-optique. En effet, nous montrerons que les performances d'un transmetteur intégrant un driver sont bien meilleures par rapport au cas d'un modulateur piloté par un générateur externe. Deuxièmement ce travail de co-intégration comprenant des cosimulations électro-optiques et un assemblage en wire-bonding permet d'appréhender les difficultés de mise en œuvre d'un transmetteur complet afin de préparer le Chapitre 6. Troisièmement, nous allons montrer que le prototype répond aux besoins des applications chip-to-chip et peut constituer une bonne alternative aux liens WDM à base d'anneaux résonants.

Le chapitre est organisé de la façon suivante. La première partie est consacrée à l'étude théorique de la co-intégration via l'étude système d'une interconnexion optique dédiée à une communication courte distance entre un processeur et des blocs mémoires. Dans cette section, nous définissons l'architecture du lien qui implémente du multiplexage spatial (SDM *Spatial Division Multiplexing*) et nous établissons les différentes spécifications de ce lien en termes de bande passante, surface et puissance. La deuxième partie du chapitre décrit la fabrication et la caractérisation du prototype co-intégrant un modulateur de Mach-Zehnder et un driver électrique différentiel, l'ensemble étant assemblé sur un board par wire-bonding. Nous présentons successivement les résultats de cosimulations électro-optiques réalisées à l'aide du logiciel ADS, et les mesures expérimentales, puis nous concluons par une brève comparaison avec des démonstrateurs similaires issus de la littérature. Enfin, la dernière partie propose une application supplémentaire du transmetteur à l'étude de la fiabilité de la technologie PIC25G en testant le prototype sur une longue période de temps pour imiter des mesures de vieillissement.

5.1. Etude système – Optimisation d'une interconnexion optique SDM

Dans cette section, nous présentons l'architecture d'une interconnexion optique basée sur un transmetteur de Mach-Zehnder. Bien qu'un lien WDM à base d'anneaux résonants soit largement préféré dans la littérature pour implémenter un lien chip-to-chip à courte distance, nous voulons montrer qu'une architecture utilisant des modulateurs de Mach-Zehnder est également envisageable. Pour cela, cette étude système va permettre de définir les principales spécifications à prendre en compte lors de la conception du modulateur et du driver.

L'étude se concentre sur les communications à très courte distance d'un supercalculateur qui permettent de connecter un processeur (CPU ou GPU) et les blocs mémoire. Nous prenons ici l'exemple d'un système HBM (*High Bandwidth Memory*) tel que défini par la société américaine AMD [139] (cf. section 1.2.2). Une mémoire HBM semble être une solution révolutionnaire pour répondre aux besoins de capacité et de bande passante des calculateurs à très haute performance (HPC *High Performance Computer*). Un bloc HBM utilise plusieurs puces mémoires de type DRAM (*Dynamic Random Access Memory*) empilées verticalement les unes sur les autres et connectées par des TSV (*Through Silicon Via*). L'implémentation de quatre blocs HBM autour d'un processeur est schématisée à la Figure 5.1 (a). Un bloc HBM permet potentiellement une bande passante de plus de 100 GB/s, soit près de 4 fois celle d'une mémoire traditionnelle du type GDDR5 (*Graphics Double Data Rate, version 5*).

Le but de la section est de montrer qu'une interconnexion optique est une solution viable pour assurer la communication au sein d'un système HBM et permet d'atteindre des performances au moins équivalentes à celles des produits actuels implémentés avec des interconnexions électriques. Notre solution optique utilise un interposeur photonique sur silicium comme nous l'avons introduit dans la section 1.2.2. Cet interposeur inclut toutes les fonctions optiques qui permettent de convertir des données électriques dans le domaine optique et vice versa. L'intégration des liens optiques avec les dies électriques (HBM et processeur) est réalisée par un assemblage 3D, comme illustré à la Figure 5.1 (b).

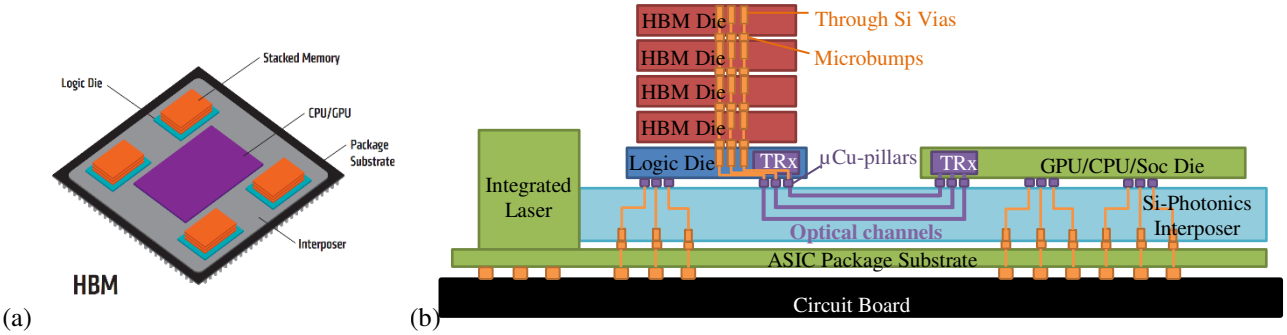


Figure 5.1. (a) Schéma d'implémentation des blocs HBM. Un bloc HBM de 1 GB occupe une surface de 5mm par 7mm (b) Vue en coupe de l'assemblage 3D du CPU/GPU et des mémoires sur un interposer photonique sur silicium

5.1.1. Architecture du lien SDM

Le lien optique que nous proposons repose sur l'architecture de la Figure 5.2. Ce lien utilise du multiplexage par répartition spatiale (SDM *Space Division Multiplexing*) ce qui consiste à transmettre les données sur plusieurs canaux physiques en parallèle, permettant ainsi d'augmenter la capacité totale du système.

Un laser en peigne (*comb laser*) est intégré sur l'interposeur photonique afin d'apporter plusieurs sources lumineuses à différentes longueurs d'onde. Après couplage sur la puce optique, ces longueurs d'onde sont séparées par un démultiplexeur optique (AWG *Arrayed Waveguide Grating*) puis chacune des longueurs d'onde est distribuée sur 8 canaux SDM par des diviseurs de puissance 1:2 successifs. En considérant 16 longueurs d'onde, nous aboutissons à un système de 128 canaux au total, tous identiques.

Chaque canal comprend un modulateur associé à un driver du côté transmetteur et une photodiode associée à un amplificateur transimpédance (TIA *TransImpedance Amplifier*) du côté récepteur. La modulation est réalisée avec un interféromètre de Mach-Zehnder. Le choix pour ce modulateur plutôt qu'un anneau résonant est dicté d'une part par son degré de maturité et d'autre part par son insensibilité aux variations de fabrication et de température. En effet, comme

nous l'avons fait remarquer à la section 2.2, un modulateur de MZ ne nécessite pas de système de réglage de la longueur d'onde (*wavelength tuning*) car un MZ équilibré peut fonctionner sur une large bande passante optique. Ainsi, aucune puissance supplémentaire ne sera consommée pour aligner les canaux ou pour stabiliser les modulateurs en fonction des variations de l'environnement. C'est pourquoi, un transmetteur basé sur un MZM reste une solution concurrentielle par rapport aux modulateurs en anneau en termes d'efficacité énergétique.

Toutefois, l'implémentation considérée au Chapitre 6 sera effectivement basée sur des anneaux résonants car ceux-ci sont très compacts et présentent une grande sélectivité en longueur d'onde ce qui les rend particulièrement bien adaptés pour des applications WDM. Nous pourrons ainsi comparer ces deux types de liens et discuter des avantages / inconvénients d'un lien SDM par rapport à un lien WDM.

Dans les deux prochaines sous-sections, nous allons analyser la performance d'une interconnexion SDM, en s'intéressant successivement aux contraintes de bande passante, de surface et de consommation énergétique. En particulier, nous allons montrer quelles sont les conditions à respecter du point de vue du modulateur pour optimiser le lien.

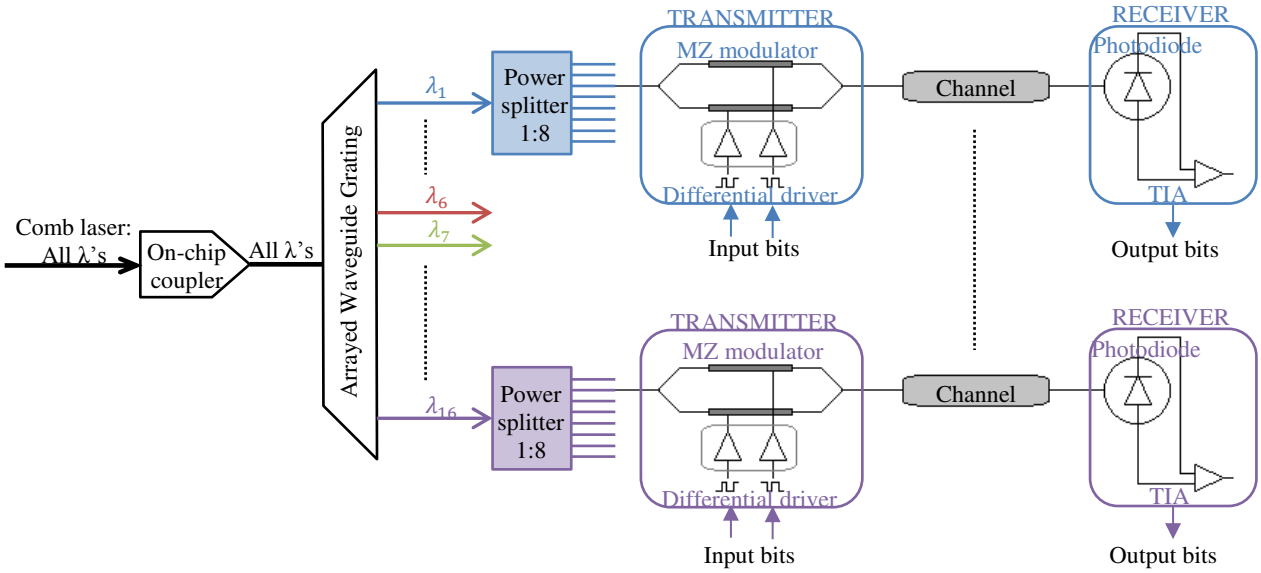


Figure 5.2. Lien électro-optique SDM à base de MZM. Le lien transmet 16 longueurs d'onde distribuées sur 16 branches. Chaque branche est divisée en 8 canaux, ce qui conduit à un total de 128 canaux en parallèle.

5.1.2. Contraintes de bande passante et de surface

Le débit total proposé dans un système HBM est de 1 TB/s en considérant quatre empilements de HBM par processeur. La communication d'un bloc HBM est réalisée sur des bus de 1024 bits, chaque canal ayant une vitesse de 2 Gb/s, soit 256 GB/s par HBM.

Pour notre solution optique, le débit d'un canal SDM est fixé autour de 10 à 20 Gb/s. En effet, plusieurs études de la littérature ont montré que le débit optimal pour une interconnexion à courte distance se situe dans cette plage afin de minimiser la consommation de puissance du lien [102]. Nous réaliserons le même genre d'étude dans le Chapitre 6 pour optimiser le lien WDM en fonction du débit de transmission. En ce qui concerne la présente analyse, 16 longueurs d'onde sont propagées, chacune à travers 8 canaux, ce qui donne un total de 128 canaux par HBM (128 modulateurs et 128 photodiodes). En conséquence, un débit de 16 Gb/s est suffisant pour atteindre la bande passante souhaitée de 1 TB/s pour l'ensemble du système (4 HBM).

Cette contrainte de bande passante de 16 Gb/s permet de décrire la première spécification pour la conception du transmetteur, à savoir la vitesse du driver et du modulateur doit permettre d'atteindre un débit d'au moins 16 à 20 Gb/s.

Un bloc HBM occupe une surface de 5 mm × 7 mm. Les dimensions du module transceiver complet ne doivent pas excéder cette empreinte pour être totalement intégré dans la die logique sur laquelle repose les couches mémoires. A noter que nous considérons ici que les dimensions du processeur (de l'ordre de 20 mm × 20 mm) sont moins contraignantes pour intégrer les 4 blocs transceivers communicant avec les 4 blocs HBM entourant le processeur. La Figure 5.3 (a)

montre une estimation de la surface occupée par un ensemble de 8 modulateurs. Le layout inclut le diviseur de puissance à l'entrée des MZM ainsi que des tapers à leur sortie qui permettent d'adapter le mode optique d'un guide monomode vers un guide multimode. Les deux bras d'un MZM sont chacun constitués d'un HSPM (zone active) permettant la modulation et d'un PINPM permettant le réglage du point de fonctionnement. De plus, nous avons ajouté sur ce layout l'empreinte des piliers en cuivre qui connectent les modulateurs aux drivers de la puce électrique. Un total de 12 contacts I/O est prévu par MZM. La surface équivalente ainsi obtenue pour un modulateur est d'environ 2 mm × 35 µm (0.07 mm²), soit une surface totale d'environ 2 mm × 5 mm pour les 128 modulateurs.

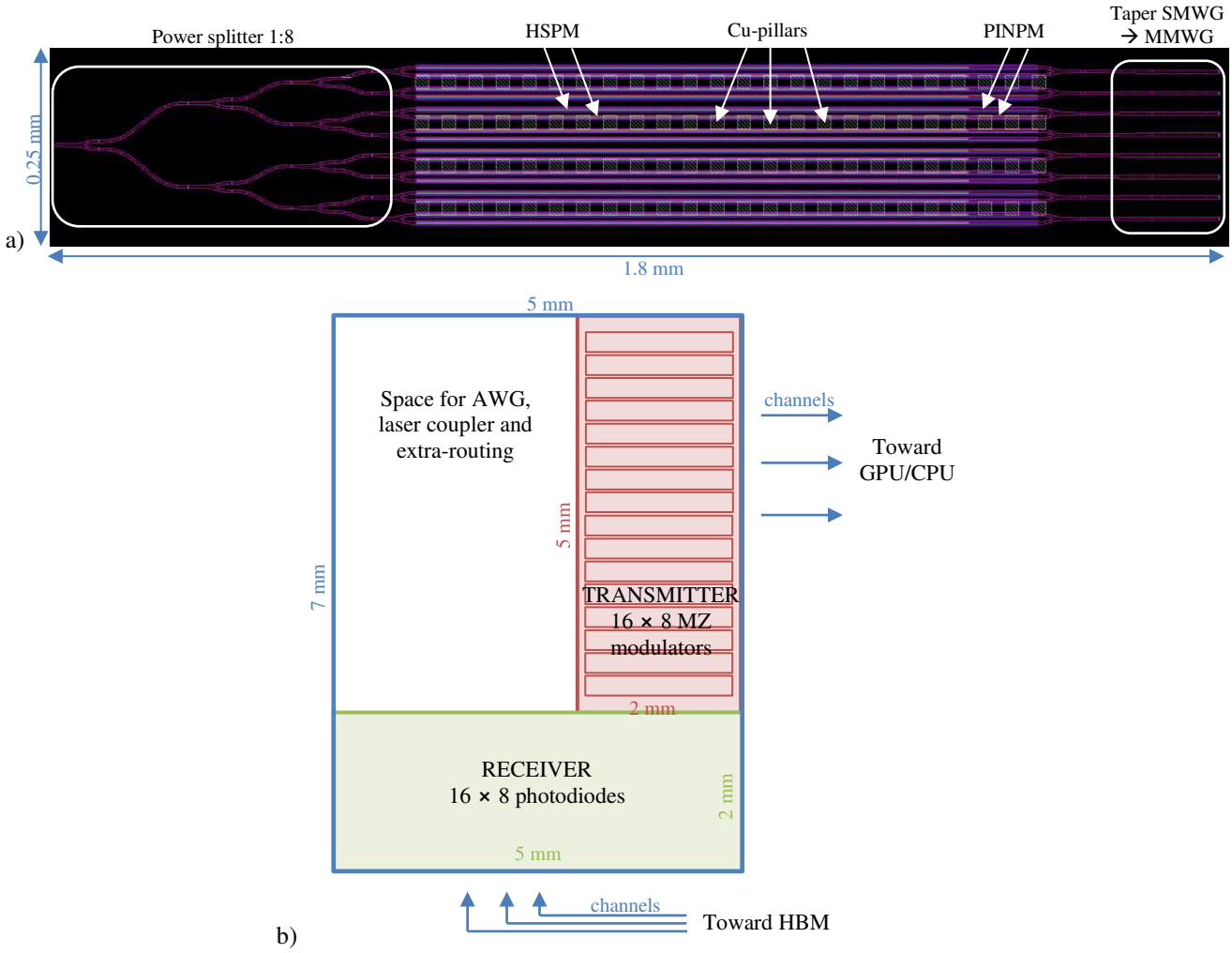


Figure 5.3. Estimation de la surface du transceiver : a) Ordre de grandeur du layout des modulateurs, b) Schéma de placement des différents éléments du PIC contraint par la surface d'un HBM.

Les modulateurs sont les composants optiques les plus contraignants concernant la surface. Le démultiplexer AWG est certes un grand composant mais l'état de l'art montre que son design occupe une surface de 1 à 2 mm² [140]. Une vue globale du placement des composants optiques au sein du PIC est donnée à la Figure 5.3 (b). Nous avons restreint la surface à celle d'un HBM de dimensions 5 mm × 7 mm.

Côté électrique, les drivers et les TIA devraient pouvoir se superposer au circuit optique et occuper approximativement la même surface. En effet, nous avons vu au Chapitre 4 que la taille d'un driver est d'environ 250 µm × 60 µm (cf. Figure 4.14). Cette surface comprend également les protections ESD entourant le driver mais n'inclut pas les capacités de découplage qui seront remplacées à terme par un système de régulation dans le transceiver complet. Deux drivers sont nécessaires par modulateur pour réaliser la configuration dual-drive. La surface occupée par 16 drivers est alors de 0.25 mm × 1 mm et se superpose à l'empreinte des 8 MZM de la Figure 5.3 (a). Nous estimons que les TIA ne présentent pas de contrainte supplémentaire pour le récepteur, ce qui permet finalement de considérer que le critère de la taille du transceiver est respecté.

Cependant, une approche plus complète devra s'assurer que le routage optique et électrique d'un tel circuit puisse être réalisé proprement. En particulier, il est important de regarder les aspects de diaphonie électrique entre les lignes de

transmission et entre les HSPM des différents modulateurs. Ces questions sont par exemple abordées dans les papiers de L. Jiang (Bell Laboratories) et de W. Yao (université de Eindhoven) [141] [142]. La diaphonie électrique pourrait dégrader les performances de modulation optique significativement, ce qui se traduit par la prise en compte d'une pénalité en puissance jusqu'à 2 dB. Afin de s'affranchir de cette pénalité, le layout des circuits optiques devra être étudié attentivement. Une forme méandrée des modulateurs comme illustrée à la Figure 2.5 pourrait permettre notamment d'atténuer les effets de couplage électromagnétique entre les MZM. Cette solution a été retenue par Jean-François Carpentier qui présente une autre implémentation des transceivers exposée à la Figure 5.4 pour une interconnexion chip-to-chip à base de MZM [143]. Les spécifications de cette implémentation repose globalement sur les mêmes critères que cette étude-ci avec toutefois quelques différences (256 modulateurs par HBM à un débit de 10 Gb/s).

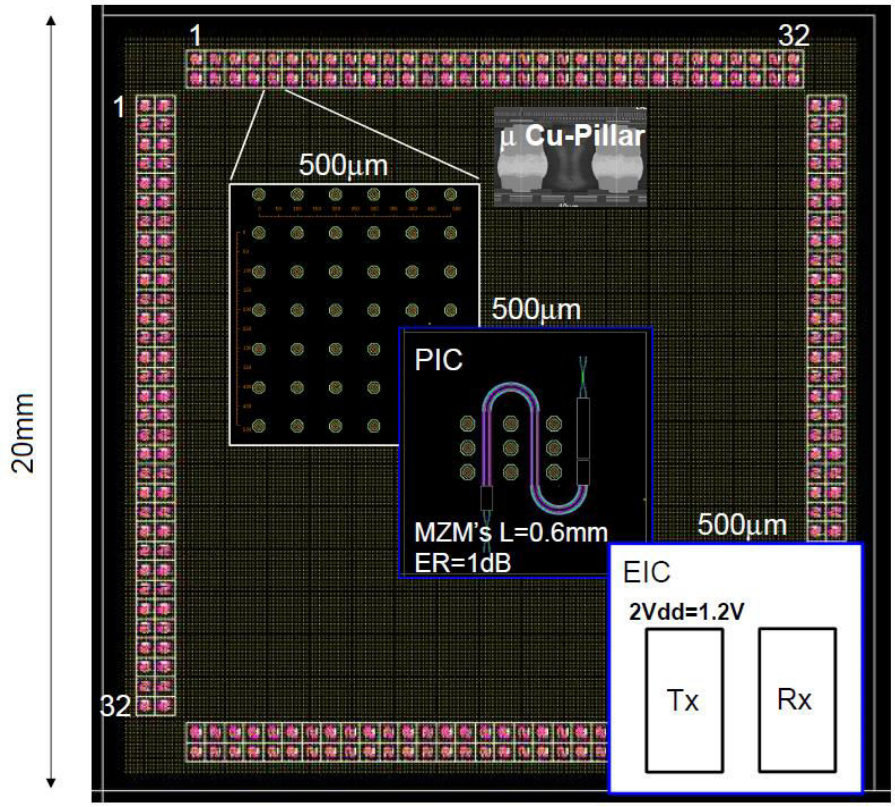


Figure 5.4. Layout envisagé pour une interconnexion optique chip-to-chip basé sur les dimensions du GPU / CPU [143]

La contrainte de surface permet de décrire la seconde spécification pour la conception du transmetteur. En effet, la surface de 2 mm × 5 mm des modulateurs a été obtenue pour une longueur de HSPM de 0.8 mm et celle-ci ne pourra pas atteindre 3 mm comme pour les modulateurs travelling-wave ou multistage classiquement utilisés [48], sous peine d'excéder l'empreinte d'un bloc HBM. La longueur de la section active des MZM doit ainsi être limitée en-dessous de 1 mm.

5.1.3. Optimisation de la consommation de puissance en fonction des performances du modulateur

La dernière contrainte à vérifier concerne la consommation de puissance de l'interconnexion optique. L'efficacité d'un dispositif à base d'HBM est actuellement évaluée à 35+ GB/s de bande passante par Watt de puissance consommée, ce qui correspond à une consommation énergétique de 3.6 pJ/bit [139]. Le lien électro-optique que nous proposons ne doit pas excéder cette valeur pour constituer une solution viable et permettre plus aisément l'évolutivité de l'interconnexion.

Dans ce paragraphe, nous allons calculer la puissance consommée par le lien complet en évaluant successivement la consommation de chaque bloc, c'est-à-dire le laser, le transmetteur, le récepteur et le serializer / deserializer (SerDes). Le SerDes n'est pas représenté sur la Figure 5.2 mais entre tout de même en compte dans le bilan de puissance global du lien. Il permet la sérialisation et la désérialisation des données à transmettre, c'est-à-dire le codage des informations en début de chaîne de transmission puis le décodage des informations en fin de chaîne. Nous incluons également la gestion de l'horloge afin de synchroniser les données dans la fonctionnalité du SerDes.

Notre objectif est de définir le taux d'extinction optimal des modulateurs qui permet de minimiser la consommation totale. La plupart des papiers de l'état de l'art cherchent à obtenir des ER d'au moins 6 dB pour assurer une ouverture suffisante des diagrammes de l'œil et un taux d'erreurs à la réception très faible. Néanmoins, la tendance des normes actuelles semble privilégier des ER autour de 3 dB pour les modules MSA (applications longue distance) [144]. La réduction de l'ER pourrait avoir plusieurs avantages comme la réduction de la longueur du modulateur et / ou la baisse des tensions de modulation appliquée sur le modulateur. C'est pourquoi, nous cherchons à savoir, dans le cadre d'une interconnexion chip-to-chip, quel ER est le plus optimal. Le calcul de puissance sera donc réalisé en fonction du taux d'extinction du MZM.

La variation du taux d'extinction correspond également à la variation de l'amplitude de tension de modulation délivrée par le driver. En effet, la longueur du modulateur étant fixée par les contraintes de surface, la seule façon d'améliorer la performance du MZM est d'augmenter la tension appliquée sur les HSPM. Dans un premier temps, nous allons donc étudier la loi reliant la tension du driver (V_{mod}) et le taux d'extinction afin de fixer les caractéristiques du système électro-optique. Puis dans un second temps, nous pourrons procéder au calcul de puissance consommée par le système.

Loi V_{mod} / ER

Le taux d'extinction d'un modulateur de Mach-Zehnder est le rapport entre la puissance maximale de sortie et la puissance minimale de sortie. La puissance de sortie P_{out} du MZM s'exprime selon l'équation (2-12) que nous rappelons ici :

$$P_{out}[\text{mW}] = loss\ P_{in}\ cos^2\left(\frac{\Delta\varphi_{HSPM_1} - \Delta\varphi_{HSPM_2} + 90°}{2}\right) \tag{5-1}$$

- P_{in} [mW] est la puissance d'entrée du MZM ;
- $loss = 0.76$ est le facteur qui prend en compte les pertes optiques dans le MZM (HSPM, PINPM, coupleurs directionnels) ;
- $\Delta\varphi_{HSPM_1}$ [°] et $\Delta\varphi_{HSPM_2}$ [°] sont les déphasages des HSPM de chacun des bras du MZM. La puissance maximale en sortie correspond au cas où le $HSPM_1$ n'est pas activé tandis que la tension maximale V_{mod} est appliquée sur le $HSPM_2$, soit $\Delta\varphi_{HSPM_1} = 0$ et $\Delta\varphi_{HSPM_2} = \Delta\varphi$. Réciproquement, la puissance minimale correspond à $\Delta\varphi_{HSPM_1} = \Delta\varphi$ et $\Delta\varphi_{HSPM_2} = 0$.

Ainsi le taux d'extinction s'exprime selon la relation (5-2) et dépend de la tension de modulation à travers le déphasage $\Delta\varphi$ des jonctions PN.

$$ER_{MZM}\ [dB] = 10\log\frac{\cos^2\left(\frac{-\Delta\varphi + 90°}{2}\right)}{\cos^2\left(\frac{\Delta\varphi + 90°}{2}\right)} \tag{5-2}$$

L'efficacité de modulation des HSPM issus de la technologie PIC25G de STMicroelectronics est de 18°/mm pour une amplitude de tension de 2.5 Vpp. La longueur des régions actives du modulateur que nous utiliserons pour la fabrication du prototype, est d'environ 850 µm. En faisant l'approximation que le déphasage est proportionnel à la tension V_{mod} (cf. Figure 2.2 (a)), le déphasage est ainsi de $\Delta\varphi = 6°/\text{V}$ par HSPM. A partir de cette valeur et de l'équation (5-2), nous pouvons déterminer facilement le taux d'extinction du MZM en fonction de la tension pic-pic V_{mod} appliquée sur chaque HSPM. La loi V_{mod} / ER est représentée sur la Figure 5.6.

Consommation du laser

La puissance que doit délivrer le laser est déterminée à partir du calcul du budget en puissance du lien optique, c'est-à-dire calculer la puissance optique nécessaire en entrée du lien pour que la puissance reçue par la photodiode soit suffisante pour pouvoir être détectée et analysée correctement. Le bilan de liaison évalue successivement la sensibilité du récepteur, les pertes de transmission et les pénalités du modulateur.

Sensibilité du récepteur

La sensibilité du récepteur [145] est une mesure de la puissance minimale d'un signal d'entrée pour assurer un taux d'erreurs (BER *Bit Error Rate*) d'au moins la valeur spécifiée. La sensibilité est déterminée à partir du bruit généré par

la conversion optique – électrique de la photodiode et du bruit de l'amplificateur transimpédance (TIA). Elle est donnée par l'expression (5-3) en fonction de l'OMA du signal optique reçu par la photodiode. L'OMA minimale détectable par la photodiode s'exprime par la relation (5-4).

$$Sensitivity\ [\text{dBm}] = 10\log\left(P_{avg}\ [\text{mW}]\right) = 10\log\left(\frac{OMA_{PD}\ [\text{mW}]}{2}\ \frac{ER_{PD}+1}{ER_{PD}-1}\right) \quad (5\text{-}3)$$

$$OMA_{PD}\ [\text{W}] = \frac{i_n^{rms}\ SNR + \frac{V_{out,TIA}^{pp}}{Z_{TIA}}}{\rho} \quad (5\text{-}4)$$

- i_n^{rms} [A_{rms}] est le bruit de courant de référence en entrée du TIA (*input-referred current noise*) causé par le bruit thermique (*thermal noise*) et le bruit quantique (*shot noise*).
- SNR est le rapport signal à bruit (*Signal to Noise Ratio*). Pour un signal OOK, il est directement lié à la valeur du BER par la formule suivante : $BER = \frac{1}{2}\text{erfc}\left(\frac{SNR}{2\sqrt{2}}\right)$ [146]. Le SNR permet de convertir une valeur RMS (le bruit) en valeur pic-pic (le signal) selon : $i_n^{rms} \times SNR = i_s^{pp}$.
- i_s^{pp} [App] est la valeur pic-pic du bruit du récepteur.
- $V_{out,TIA}^{pp}$ [V_{pp}] est la tension pic-pic en sortie du TIA, soit la sensibilité de l'amplificateur LA.
- Z_{TIA} [Ω] est le gain de transimpédance du TIA.
- ρ [A/W] est la responsivité de la photodiode et mesure son gain entrée/sortie.

Nous considérons par exemple qu'une photodiode à avalanche est utilisée [147]. Ses performances sont données dans [148]. Le bruit en courant i_n^{rms} est estimé approximativement à 1.09 μA_{rms} et la valeur de la responsivité des photodiodes est de l'ordre de 0.9 A/W. La dégradation apportée par la sensibilité des amplificateurs (terme $V_{out,TIA}^{pp}/Z_{TIA}$ de l'équation (5-4)) amène à considérer un bruit total sur le récepteur de 1.41 μA_{rms} (incluant le gain de 12 de la photodiode). Nous souhaitons atteindre un BER de 10^{-12}, ce qui correspond à un SNR de 14.07. La valeur de l'OMA minimale acceptable par le récepteur est alors de -27 dBm, ce qui correspond bien à la valeur de la sensibilité de -29.5 dBm pour un ER de 10 dB annoncée dans le papier [148].

Afin de prendre en compte différentes dégradations liées à l'intégration de la photodiode au sein d'un système complexe (débit de 16 Gb/s, variation de température, etc…), nous fixons la valeur minimale de l'OMA au niveau de la photodiode à : $OMA_{PD} = -20$ dBm $= 10$ µW.

Pertes de transmission

Les pertes de transmission dans un canal incluent les pertes optiques suivantes :

- 1 dB = pertes de propagation dans les guides d'onde. Les pertes dans un guide monomode s'élèvent à 1.6 dB/cm pour une longueur d'onde de 1310 nm. Si la distance séparant la mémoire du processeur est de quelques millimètres, il sera alors préférable d'utiliser un guide multimode dont les pertes sont de 0.17 dB/cm à 1310 nm [30].
- 1 dB = pertes de propagation dans le modulateur de MZ. Ces pertes correspondent au facteur $loss = 0.76$ de l'équation (5-1).
- 1 dB = pertes dans le diviseur de puissance 1 par 8.
- 3 à 4 dB = pertes dans le démultiplexeur AWG [140].
- 2 à 3 dB = pertes au niveau du couplage du laser sur la puce photonique.

Au total, les pertes de transmission sont donc estimées à 9 dB.

Pénalité du modulateur

L'amplitude optique de modulation minimale acceptable par le transmetteur est équivalente à : $OMA_{mod} = -11$ dBm $=$ 80 µW pour pouvoir assurer une OMA de -20 dBm sur le récepteur malgré les pertes de 9 dB. Les pénalités du modulateur de Mach-Zehnder tiennent compte de son taux d'extinction, que nous faisons varier entre 0.8 dB et 2.7 dB, ainsi que de ses pertes d'insertion, qui sont de 3 dB. Les pertes d'insertion correspondent au déphasage de 90° appliqué entre les bras du MZM pour placer son point de fonctionnement à la quadrature. A partir de la donnée de l'OMA et de l'ER, nous pouvons en déduire la valeur des puissances optiques des niveaux « 0 » et « 1 », ainsi que la puissance moyenne en sortie du modulateur. Enfin, la puissance injectée dans le modulateur est calculée à partir de la donnée des pertes d'insertion. Par exemple, pour un ER de 1.1 dB (soit une tension du driver de 1.2 Vpp appliquée par HSPM), nous obtenons les

valeurs suivantes : $P_0 = 280$ µW, $P_1 = 360$ µW, $P_{out_{mod}} = \frac{P_0+P_1}{2} = 320$ µW et $P_{in_{mod}} = 640$ µW. A noter qu'il s'agit de puissances équivalentes pour le modulateur si l'ensemble des pertes du lien se situaient après le modulateur. La répartition réelle de la puissance et des pertes le long du lien optique est représentée à la Figure 5.5. La puissance moyenne en sortie du modulateur est de 50 µW.

Puissance du laser

L'étape précédente donne accès à la puissance d'entrée de chaque canal du lien électro-optique. La puissance optique délivrée par le laser est 16 × 8 fois plus élevée pour pouvoir alimenter tous les canaux. L'efficacité de conversion du laser (WPE *wall-plug efficiency*) varie en moyenne entre 5% et 20%. Dans cette étude nous fixons une valeur intermédiaire de 10%, ce qui nous permet de calculer la puissance électrique consommée par le laser. Dans le cas de l'exemple précédent, nous obtenons : $P_{laser,OPT} = 82$ mW et $P_{laser,ELEC} = 0.82$ W. La consommation du laser en fonction de l'ER est représentée par les portions vertes du diagramme de la Figure 5.6 qui montre la puissance consommée totale au sein d'un bloc HBM. Plus l'ER est petit, plus le laser doit fournir une puissance importante pour que l'amplitude de modulation optique soit supérieure à la sensibilité du récepteur.

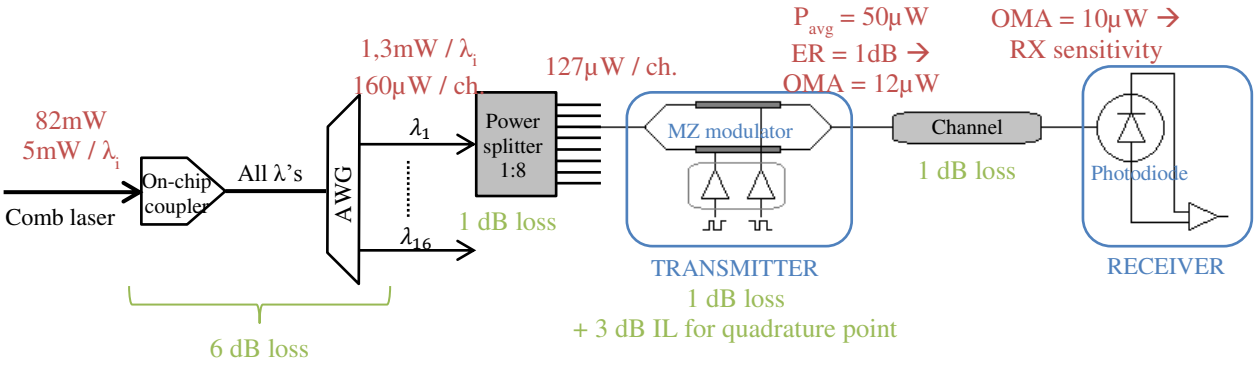


Figure 5.5. Budget en puissance de l'interconnexion optique à base de MZM

Consommation du transmetteur

La puissance consommée par le driver est déterminée à partir de la formule classique donnant l'énergie dissipée par un circuit CMOS. L'équation (5-5) estime la consommation dynamique d'un driver basé sur une architecture d'inverseurs CMOS.

$$E_{dr}[\text{J/bit}] = \frac{1}{4}\frac{CV_{mod}^2}{\eta_{dr}} \tag{5-5}$$

- V_{mod} [Vpp] est l'amplitude de tension appliquée par le driver sur un bras du modulateur de Mach-Zehnder (i.e. sur un HSPM). Elle dépend de la technologie CMOS considérée ainsi que de l'architecture du driver. Typiquement, une grande amplitude de modulation est obtenue en utilisant un level shifter qui double la tension de sortie du driver par rapport à la tension d'alimentation.
- C [F] est la capacité de charge du driver. Elle comprend la capacité d'un HSPM et des pads associés permettant sa connexion au driver (environ 300 fF pour un MZM de 1mm de long), ainsi que la capacité parasite du driver. Celle-ci dépend du nœud technologique et sera en général plus petite pour les nœuds avancés caractérisés par une plus faible tension d'alimentation (cf. Figure 4.1 (b)).
- η_{dr} est l'efficacité du driver. Elle permet de prendre en compte la complexité du driver, c'est-à-dire la présence d'étages de pré-driver incluant par exemple un level shifter (cf. Figure 1.19). Elle est estimée autour de 30 à 40 %.

L'énergie consommée par un driver peut ainsi être calculée en fonction des différents taux d'extinction du MZM. Par exemple, pour une tension $V_{mod} = 1.2$ Vpp (soit un ER de 1.1 dB), nous pouvons considérer un driver du même type que celui développé dans le Chapitre 4, c'est-à-dire une chaîne d'inverseurs en technologie CMOS 45 ou 55 nm. La capacité de charge est alors estimée autour de 500 fF et l'efficacité du driver à 40 %. Nous obtenons une énergie de $E_{dr} = 0.45$ pJ/bit. Le cas $V_{mod} = 2.4$ Vpp (soit un ER de 2.2 dB) correspond à la même technologie mais avec une architecture doubleur de tension, ce qui réduit l'efficacité du driver à 30 %. L'énergie est alors estimée à $E_{dr} = 2.4$ pJ/bit. Les valeurs d'énergie calculées sont cohérentes avec celles reportées dans la littérature [68] [57] [67], à capacité du modulateur

équivalente.

A partir de l'énergie du driver, nous pouvons calculer sa puissance consommée à un débit de 16 Gb/s. Dans un bloc HBM, il y a au total 128 modulateurs de MZ et deux drivers par modulateur (Figure 5.2) car nous utilisons une architecture dual-drive comme présentée à la Figure 2.3. Dans le cas de l'exemple $V_{mod} = 1.2\,\mathrm{Vpp}$, nous trouvons une puissance consommée totale de 1.84 W. La consommation des drivers en fonction de l'ER est représentée par les portions rouges du diagramme de la Figure 5.6.

Consommation du récepteur et du SerDes

Le récepteur comprend la consommation des photodiodes et des amplificateurs électriques permettant la conversion du photo-courant en tension électrique puis son amplification (TIA *TransImpedance Amplifier* et LA *Limiting Amplifier*). La puissance consommée par le récepteur et par le serializer / deserializer ne dépend pas des performances du modulateur. Elle est évaluée respectivement à 0.3 W pour le RX et 2 W pour le SerDes. Ces valeurs sont estimées à partir de l'efficacité énergétique de tels composants que l'on peut trouver dans la littérature. L'étude réalisée par Robert Polster au sein du CEA-LETI donne une énergie consommée de 0.2 pJ/bit pour le RX [149] tandis que l'étude de A. Roshan-Zamir (université du Texas) montre que l'énergie du SerDes est autour de 1 pJ/bit [150]. La puissance du récepteur additionnée à celle du SerDes correspond à la zone bleue du graphe de la Figure 5.6.

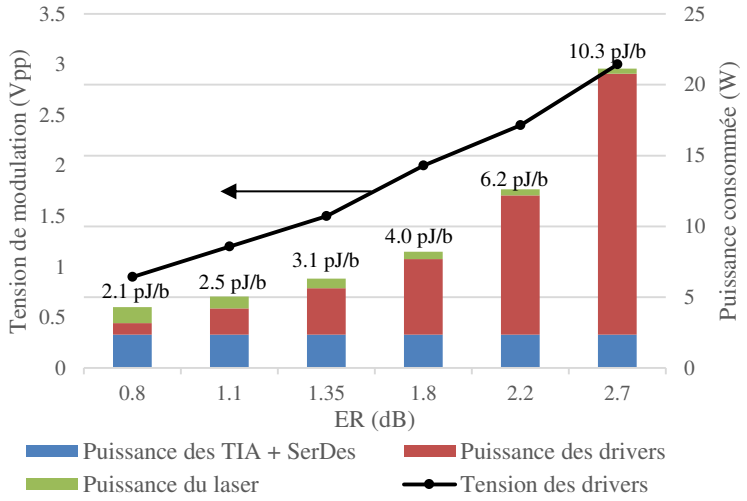


Figure 5.6. Puissance consommée par les 8 × 16 canaux à 16 Gb/s, en fonction du taux d'extinction des modulateurs. L'amplitude de tension correspondante est également tracée. Les valeurs indiquées au-dessus de chaque barre sont la consommation d'énergie totale du lien.

Bilan

En combinant les puissances consommées par le laser, le transmetteur, le récepteur et le SerDes, nous obtenons la puissance totale du système qui est calculée pour différentes valeurs du taux d'extinction. Les valeurs d'efficacité énergétique sont également reportées sur la Figure 5.6. Pour ne pas excéder la consommation énergétique actuelle d'un système HBM (3.6 pJ/bit), l'interconnexion optique est optimisée lorsqu'un faible taux d'extinction inférieur à 1.5 dB est utilisé. En effet, nous remarquons que la consommation du driver est largement dominante par rapport à la consommation du laser pour de tels liens à courte distance. Le rapport s'inverse pour un ER de 0.8 dB mais le total de puissance reste néanmoins inférieur aux autres cas.

Cette contrainte du taux d'extinction du modulateur permet de décrire la troisième et dernière spécification pour la conception du transmetteur. L'amplitude de tension de sortie du driver doit être suffisamment faible pour assurer une faible consommation de puissance du driver qui doit être de l'ordre de 1 pJ/bit au maximum. La tension de modulation est comprise entre 1 Vpp et 1.5 Vpp par HSPM, correspondant à une tension « dual-drive » de 2 Vppd et 3 Vppd pour le MZM. Ces niveaux de tension sont compatibles avec les technologies CMOS avancées, et de plus, l'architecture du driver n'a pas besoin d'implémenter de level shifter. Le driver que nous avons conçu dans le Chapitre 4 permet ainsi de répondre à ces critères.

En conclusion de cette section, nous avons proposé l'implémentation d'une interconnexion optique basée sur la modulation par des interféromètres de Mach-Zehnder pour réaliser les communications entre un processeur et un ensemble de mémoires HBM. L'étude système semble confirmer qu'un tel lien électro-optique constitue une solution viable, permettant d'atteindre des performances au moins équivalentes à celles des produits existants si les trois conditions suivantes sont satisfaites : un débit élevé, un faible taux d'extinction pour les MZM, et un driver à très faible puissance. De plus, ce système optique présente une grande flexibilité en vue de futures optimisations afin d'améliorer ses performances globales. La prochaine section a pour but de concevoir un transmetteur électro-optique basé sur les spécifications énoncées ci-dessus comme première démonstration d'une application chip-to-chip à courte distance.

5.2. Réalisation d'un transmetteur hybride à base de MZM

Dans cette section, nous proposons d'intégrer le driver développé au Chapitre 4 aux côtés d'un modulateur de Mach-Zehnder tel que décrit dans la section 2.2.2 afin de réaliser un transmetteur électro-optique complet. Le prototype est implémenté sur une carte imprimée (PCB *printed circuit board*), les connexions électriques étant réalisées par des fils en or (*wire-bonding*). Cet assemblage wire-bonding a deux principaux objectifs. Le premier est d'étudier la co-intégration hybride entre un PIC et un EIC afin de préparer le travail du Chapitre 6. Le second est de concevoir un prototype pour des applications HPC nécessitant des communications très rapides et très peu énergivores. En effet, les deux composants (driver et MZM) que nous avons étudiés dans les chapitres précédents répondent aux critères mis en évidence dans la section précédente. Le driver fournit une amplitude de tension de sortie de 1.2 Vpp, ce qui lui permet d'avoir une très bonne efficacité énergétique. Quant au modulateur de Mach-Zehnder, les HSPM intégrés dans chacun des bras ont une longueur de 850 µm et permettent une modulation jusqu'à 25 Gb/s.

5.2.1. Intégration hybride du driver et d'un modulateur de Mach-Zehnder

Le transmetteur est basé sur le driver 19G fabriqué en technologie BiCMOS 55nm et sur un modulateur de Mach-Zehnder fabriqué en technologie PIC25G seconde génération. La configuration utilisée est celle de l'architecture dual-drive présentée dans la section 2.2 et rappelée à la Figure 5.7 (a). Chacun des HSPM des deux bras de l'interféromètre de MZ est piloté par un driver identique mais avec des signaux de tensions complémentaires. Pour maximiser l'amplitude de modulation optique, deux PINPM sont également employés pour pouvoir placer le Mach-Zehnder à son point de quadrature.

Les deux drivers sont connectés aux anodes des jonctions PN tandis qu'une source de tension continue commune polarise les cathodes des HSPM. En variant cette tension V_{bias}, nous pouvons bénéficier de la faible polarisation en direct de la jonction tout en assurant un mode de fonctionnement en déplétion.

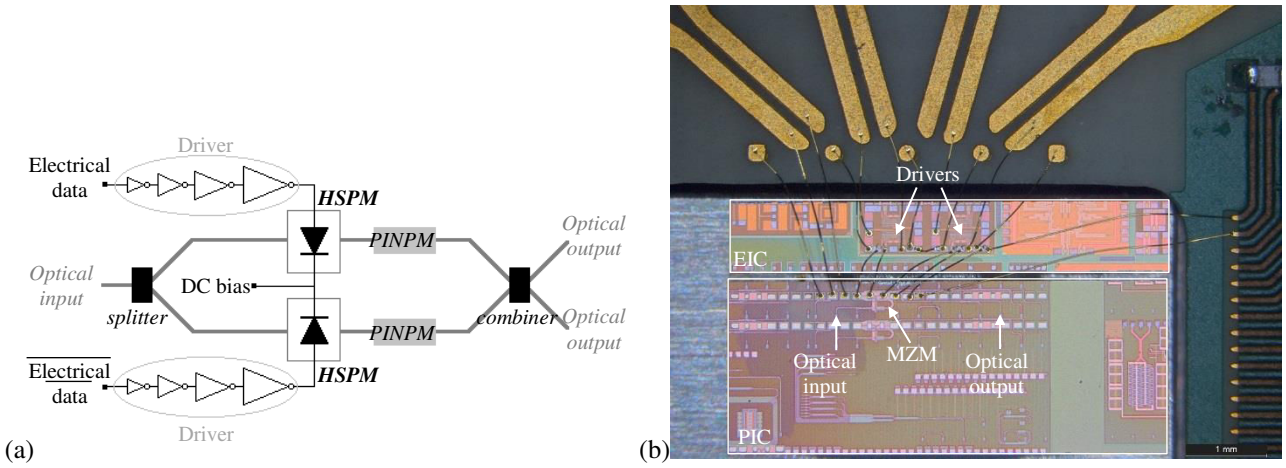


Figure 5.7. (a) Architecture dual-drive du modulateur de Mach-Zehnder piloté par deux drivers identiques. (b) Microphotographie de l'assemblage wire-bonding comprenant la puce B55 et la puce PIC25G.

L'intégration hybride est une solution attractive pour assembler les puces photonique et électronique car elle bénéficie de

l'optimisation séparée des deux circuits intégrés et conduit à de meilleures performances qu'une intégration monolithique. Une interconnexion optique basée sur un interposeur photonique implémente une méthode 3D de type flip-chip, comme illustré sur la Figure 5.1 (b). Cependant, le procédé flip-chip est relativement complexe et sera étudié à la section 6.2. Ici, nous préférons utiliser un assemblage par wire-bonding car ce procédé est plus simple et plus rapide à mettre en œuvre qu'une méthode 3D. De plus, cette étude constitue un travail de préparation pour le démonstrateur final et vise essentiellement à valider les performances d'un transmetteur à faible taux d'extinction.

La Figure 5.7 (b) montre une microphotographie du démonstrateur photonique incluant deux structures de test du driver de la Figure 4.5 (a) et le circuit intégré optique de la Figure 2.5 (a). Les deux circuits sont découpés puis intégrés sur un board de test. Le découpage de la puce B55 est plus large que l'empreinte des drivers pour permettre une bonne adhésion de la puce au support. Elle contient quatre drivers mais seulement deux sont utilisés. De la même manière, la puce PIC25G est plus large pour permettre un bon collage du porte-fibres. En effet, un porte-fibre (*fiber-array*) contenant 16 fibres optiques (dont 2 seulement seront utilisées) est collé directement sur le dessus du circuit optique afin d'amener la lumière à l'entrée du MZM et de collecter la lumière à sa sortie. La puce photonique comprend également plusieurs motifs mais seuls le MZM et les deux coupleurs par réseaux indiqués sur la Figure 5.7 (b) sont utilisés. Le câblage des fils est réalisé en ball bonding or de 18 µm. Les fils connectent les sorties des drivers aux électrodes des HSPM, ainsi que les entrées des drivers, les sources de tension, les polarisations des PINPM et des HSPM aux pads de la carte de test. Une vue d'ensemble du module du transmetteur est montrée à la Figure 5.8.

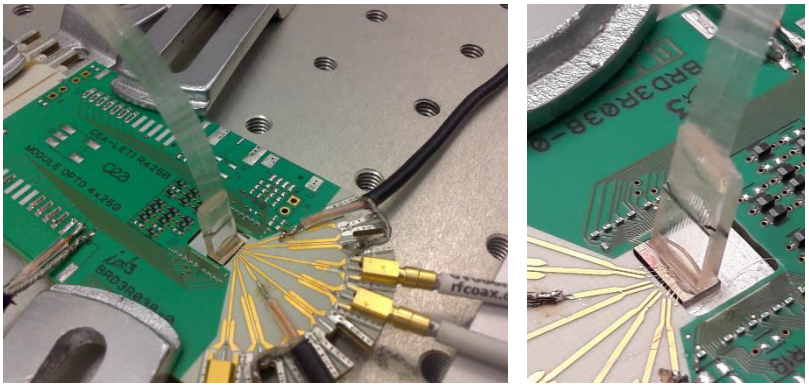


Figure 5.8. Photographies de l'assemblage sur board et du porte-fibres

5.2.2. Cosimulations électro-optiques du transmetteur

Afin de prédire le fonctionnement du transmetteur complet, nous réalisons dans cette section des cosimulations électro-optiques. La partie électrique inclut le générateur PRBS (*Pseudo Random Bit Sequence*) et les drivers CMOS tandis que la partie optique est modélisée par le modèle circuit équivalent de la jonction PN, développé à la section 2.4, qui est directement intégré dans les simulations électriques.

Les cosimulations sont réalisées avec le logiciel ADS de Keysight. Elles sont faites en deux étapes : une simulation électrique transitoire puis un post-traitement mathématique. La simulation électrique comprend le schéma électrique du transmetteur (générateur PRBS, câble RF, driver, fils de wire-bonding, etc…) associé au modèle circuit de la jonction PN (Figure 2.18 (a)). Elle permet de décrire la dynamique électrique du modulateur et on obtient ainsi l'évolution temporelle de la tension de modulation aux bornes de la capacité de jonction. A partir de la trace de V_{mod}, le traitement mathématique est appliqué en utilisant les équations de fonctionnement du modulateur (RRM ou MZM). Ceci permet de prendre en compte le comportement optique du modulateur et on obtient ainsi l'évolution temporelle de la puissance optique en sortie du modulateur. Enfin, le diagramme de l'œil du modulateur s'en déduit facilement.

Ce type de cosimulations est particulièrement bien adapté pour rétro-simuler des montages expérimentaux car ADS nous donne facilement accès aux modèles des appareils de mesures (PRBS de Keysight avec module d'emphasis) et aux modèles des câbles RF et des probes. De plus, ces simulations s'adaptent facilement au cas d'un modulateur de Mach-Zehnder ou d'un modulateur en anneau. Dans cette section, nous allons détailler celui du MZM. Des cosimulations ADS pour les anneaux résonants sont montrées dans l'Annexe 4.

Le schéma de la cosimulation est illustré à la Figure 5.9. Deux signaux PRBS complémentaires sont envoyés en entrée

des drivers, un pour chaque bras du Mach-Zehnder, tandis que le modèle d'une jonction PN est utilisé comme charge des drivers. Pour le HSPM v2, les valeurs des composants constitutifs de ce modèle électrique sont : $C_{j0} = 295$ fF/mm, $R_{access} = 11.5\,\Omega.\text{mm}$, $C_{ox} = 92$ fF/mm et $R_{sub} = 2.5$ kΩ.mm. La longueur des sections actives du modulateur est de 850 µm ce qui correspond à une capacité de jonction de 250 fF sous une polarisation nulle.

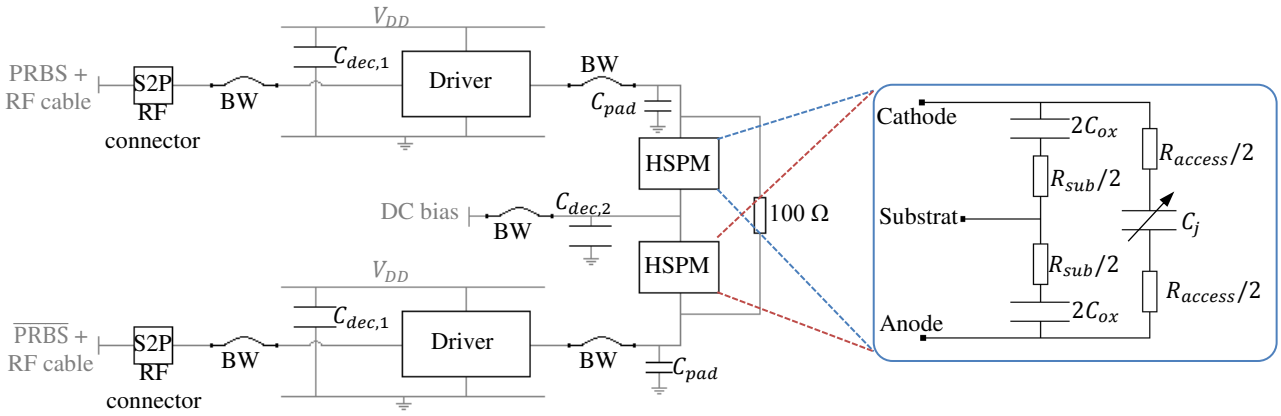


Figure 5.9. Montage de cosimulation. Les blocs « driver » incluent chacun une chaîne d'inverseurs comme pour la Figure 4.7. Les blocs « HSPM » sont constitués du modèle petit-signal d'une jonction PN.

Le montage prend en compte l'environnement de mesure du transmetteur, c'est-à-dire les paramètres de réglage du ParBERT et les pertes de connexions dues aux connecteurs et aux câbles RF. De plus, trois capacités de découplage sont intégrées dans les circuits et reproduites dans les simulations : deux capacités $C_{dec,1} = 100$ pF pour les drivers et une capacité $C_{dec,2} = 4.8$ pF pour les HSPM. Une résistance R_{term} de 100 Ω termine les lignes de transmission du modulateur et est également utilisée en simulation. Les fils de wire-bonding (BW *bond wires*) sont modélisés avec un diamètre de 10 µm et une longueur comprise entre 1 et 4 mm, dépendant de la connexion considérée. L'inductance équivalente d'un tel fil est de l'ordre du nH.

Des simulations électriques transitoires sont menées et donnent l'évolution de la tension de modulation à travers les HSPM. Puis le post-traitement mathématique est appliqué à partir des équations (2-5), (2-8), (2-10), (2-11) et (2-12) afin de modéliser le comportement optique du modulateur. L'ensemble de ces équations calcule successivement la variation de la concentration des porteurs libres au sein de la jonction PN suite à sa modulation, la variation de l'indice de réfraction, la variation de la phase de l'onde lumineuse, le déphasage entre les deux bras du MZ et enfin la puissance optique en sortie du modulateur ce qui permet de tracer les diagrammes de l'œil optiques.

Les cosimulations sont réalisées avec des signaux électriques de type PRBS de longueur 2^7-1 à l'entrée des drivers, une tension d'alimentation V_{DD} de 1.2 V et une polarisation continue V_{bias} de 0.7 V. Ainsi la tension appliquée sur chaque HSPM varie entre -0.7 V et +0.5 V, ce qui permet de bénéficier du régime de faible polarisation directe. La puissance optique d'entrée P_{in} est de 5 dBm (soit 3.2 mW). Les valeurs des paramètres utilisés dans les équations du post-traitement sont :

- $w_{rib} = 320$ nm, $L_{HSPM} = 850$ µm
- $N_a = 3.10^{23}$ m^{-3}, $N_d = 6.10^{23}$ m^{-3}
- $\lambda = 1310$ nm
- $corr_\varphi = 0.6$, $loss = 0.76$

Les diagrammes de l'œil obtenus par simulation à 20 Gb/s sont montrés à la Figure 5.10. Ces cosimulations montrent en particulier l'impact des fils de wire-bonding et de la résistance de terminaison de 100 Ω. Nous pouvons constater que les fils induisent des réflexions arrière vers le générateur PRBS (Figure 5.10 (b)) qui sont maîtrisées par l'introduction de la résistance R_{term} au bout des lignes de transmission des HSPM (Figure 5.10 (c)). Cependant l'amplitude de modulation optique s'en trouve réduite par rapport à des résultats théoriques sans fils et sans résistance (Figure 5.10 (a)). De plus, les mesures et simulations de puissance effectuées ne correspondront pas uniquement à la consommation du modulateur car elles comprennent également la puissance dissipée dans la charge résistive.

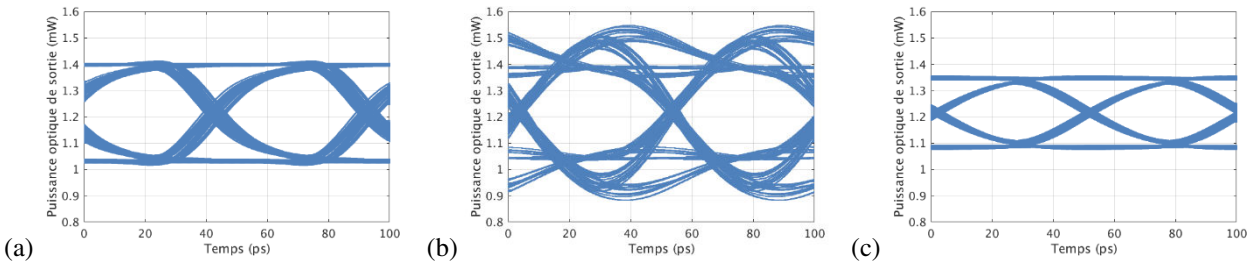


Figure 5.10. Cosimulations des diagrammes de l'œil à 20 Gb/s et $V_{bias} = 0.7\ V$: impact des fils de wire-bonding et de la résistance de terminaison. (a) Sans fils, sans R_{term} ; (b) Avec fils, sans R_{term} ; (c) Avec fils, avec R_{term}.

L'ouverture du diagramme de l'œil de la Figure 5.10 (c) est bien symétrique grâce à l'architecture dual-drive du Mach-Zehnder. Il faut toutefois veiller à ce que les deux flux de données en entrée des drivers soient bien synchronisés pour ne pas générer un retard entre les deux bras du MZM. Un décalage des signaux affecterait les performances du transmetteur et conduirait à la fermeture de l'œil, en particulier pour des débits plus élevés.

Le taux d'extinction est estimé à 0.76 dB ce qui correspond à une amplitude de modulation optique de -6.7 dBm (213 µW). La consommation de puissance moyenne est évaluée à 13.3 mW à 20 Gb/s, c'est-à-dire une consommation d'énergie de 0.66 pJ/bit.

5.2.3. Caractérisation expérimentale

Le montage expérimental adopté pour la caractérisation des diagrammes de l'œil est illustré à la Figure 5.11. Un ParBERT (*Parallel Bit Error Rate Tester*) de Keysight (BERT M9505A) est utilisé pour générer les signaux PRBS complémentaires $data$ et $\overline{data}$ modulant chacun un HSPM du MZM. Il est associé à un oscilloscope de type DCA de Keysight (DCA-X 86100D) pour l'analyse des diagrammes de l'œil dans le domaine optique. Par ailleurs, différentes sources d'alimentation continues permettent de polariser les PINPM (pour placer le MZ au point de quadrature), de polariser les HSPM (pour placer les jonctions PN en déplétion), d'alimenter les drivers ($V_{dd} = 1.2$ V), et d'ajouter un offset de 0.6 V sur les signaux PRBS initialement centrés autour de 0 V. Une source optique (Yenista Tunics-T100S-HP) réglable dans la bande O (1260 nm à 1360 nm) est utilisée pour générer le signal optique à une longueur d'onde de 1310 nm.

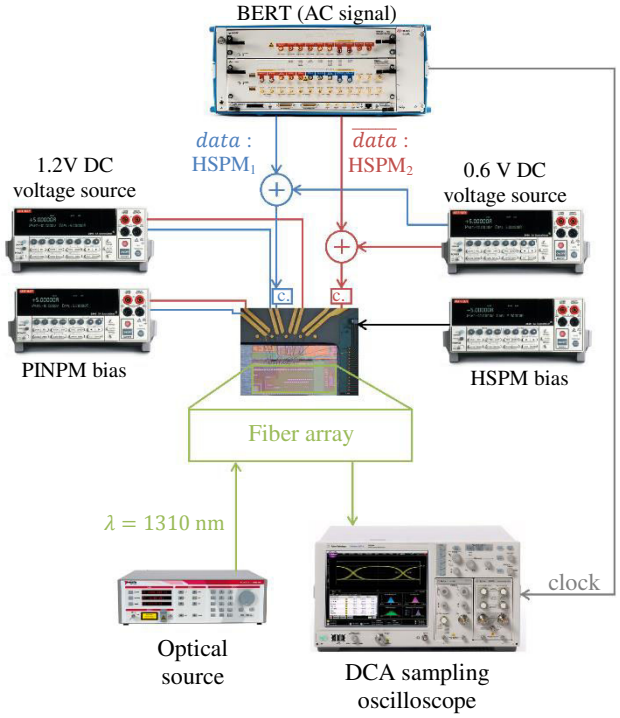


Figure 5.11. Montage expérimental. Les mesures des diagrammes de l'œil sont réalisées dans le domaine optique. « c. » indique l'utilisation d'un connecteur RF pour amener les signaux du PRBS sur le board.

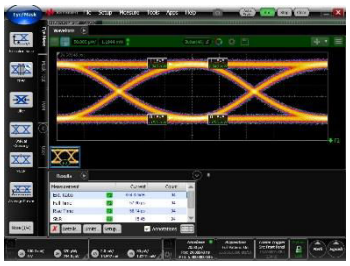
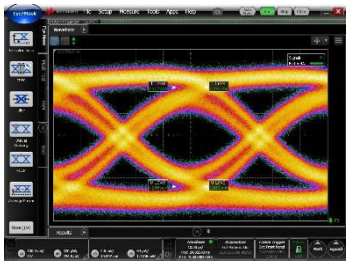
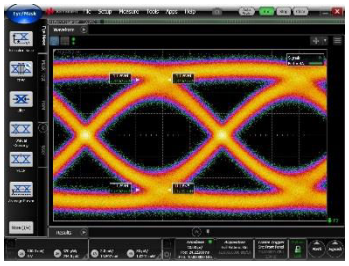
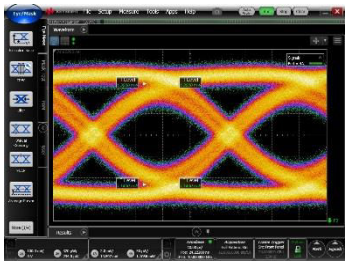
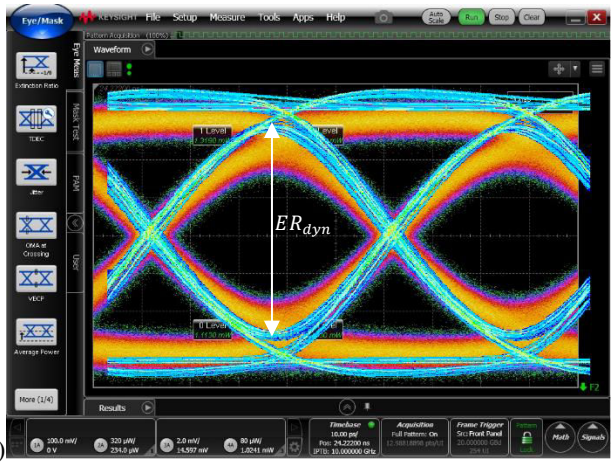
(a) Variation du débit			
	10 Gb/s, $V_{bias} = 0.50$ V $P_1 = 1.34$ mW $P_0 = 1.10$ mW $ER = 0.88$ dB	20 Gb/s, $V_{bias} = 0.50$ V $P_1 = 1.32$ mW $P_0 = 1.11$ mW $ER = 0.73$ dB	25 Gb/s, $V_{bias} = 0.50$ V $P_1 = 1.31$ mW $P_0 = 1.12$ mW $ER = 0.66$ dB
(b) Variation de la tension de polarisation			
	20 Gb/s, $V_{bias} = 0.34$ V $P_1 = 1.31$ mW $P_0 = 1.08$ mW $ER = 0.84$ dB	20 Gb/s, $V_{bias} = 0.50$ V $P_1 = 1.319$ mW $P_0 = 1.113$ mW $ER = 0.73$ dB	20 Gb/s, $V_{bias} = 0.70$ V $P_1 = 1.328$ mW $P_0 = 1.140$ mW $ER = 0.66$ dB

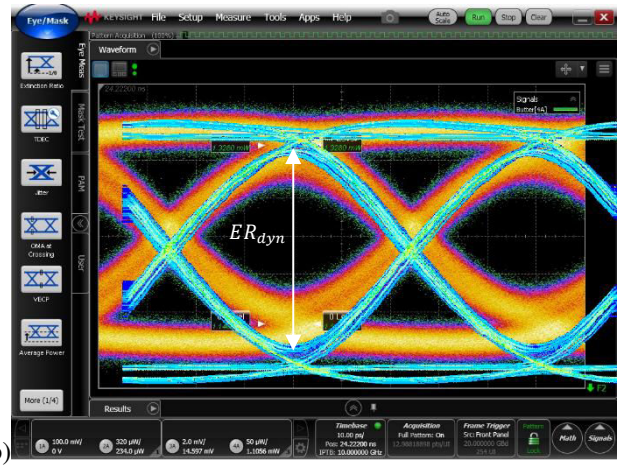
Figure 5.12. Diagrammes de l'œil du module "drivers + MZM"

Les mesures sont réalisées en appliquant les mêmes conditions expérimentales que celles utilisées pour les résultats de simulation. Des signaux PRBS de longueur 2^7-1 en modulation NRZ sont utilisés ainsi qu'une puissance optique d'entrée P_{in} de 5 dBm (soit 3.2 mW). La tension de polarisation des HSPM est considérée comme un paramètre d'étude et sera variée de 0.3 à 0.7 V (la tension des HSPM varie respectivement sur les plages [-0.3 ; +0.9] V et [-0.7 ; +0.5] V).

La Figure 5.12 montre les diagrammes de l'œil obtenus pour différents débits et pour différentes tensions de polarisation des HSPM V_{bias}. Les niveaux de puissance des bits « 1 » et « 0 » ainsi que le taux d'extinction mesuré sont indiqués sous chacun des graphes. Le diagramme de l'œil se ferme quand le débit augmente, le résultat à 25 Gb/s reste toutefois correct avec un taux d'extinction de 0.66 dB. L'ouverture de l'œil peut être améliorée en diminuant V_{bias}. En effet, ceci permet d'étendre la modulation des jonctions PN vers la polarisation directe et bénéficier ainsi d'une meilleure efficacité de modulation. A 20 Gb/s, le taux d'extinction peut atteindre jusqu'à 0.84 dB sous une polarisation de 0.34 V (limite en dessous de laquelle les HSPM entrent en mode d'injection, entrainant une distorsion importante du diagramme de l'œil).

(a) 

20 Gb/s, $V_{bias} = 0.5$ V
$P_{1,sim} = 1.331$ mW $P_{0,sim} = 1.102$ mW
$ER_{dyn} = 0.82$ dB

(b) 

20 Gb/s, $V_{bias} = 0.7$ V
$P_{1,sim} = 1.323$ mW $P_{0,sim} = 1.110$ mW
$ER_{dyn} = 0.76$ dB

Figure 5.13. Comparaison des diagrammes de l'œil simulés (bleu) et mesurés (rouge)

La Figure 5.13 compare les diagrammes de l'œil mesurés à ceux simulés via le dispositif de cosimulation (Figure 5.9). Les résultats sont donnés pour un débit de 20 Gb/s et une tension de polarisation de 0.5 V et 0.7 V. Dans les deux cas, les

mesures présentent une certaine dégradation par rapport aux cosimulations. Le taux d'extinction est réduit de près de 12% et le jitter est beaucoup plus marqué. De plus, la consommation de puissance du transmetteur est également altérée. La puissance mesurée atteint 18 mW contre 13 mW en simulation. Ceci correspond à une efficacité énergétique de 0.9 pJ/bit pour un débit de transmission de 20 Gb/s. Les dégradations ne sont pas clairement expliquées, elles pourraient être la conséquence d'un modèle de simulation approximatif. Notamment quelques imprécisions peuvent se situer dans les blocs de la Figure 5.9 qui modélisent les connecteurs et les câbles RF, les fils de wire-bonding, ou éventuellement les pads. Une autre explication pourrait provenir d'une fuite de courant pendant les mesures mais cette piste n'a pas pu être confirmée.

Certes les interférences inter-symboles (ISI) sont nettement visibles car l'ouverture du diagramme de l'œil est limitée par la bande passante électrique du chemin d'entrée. Néanmoins les distorsions des signaux sont largement atténuées grâce à l'isolation des signaux réalisée par les drivers. En effet, l'assemblage wire-bonding permet d'intégrer le driver au plus proche du modulateur optique ce qui permet de minimiser les dégradations des signaux du transmetteur par rapport à des mesure sous pointes, sans driver intégré (avec un amplificateur externe). La comparaison peut être faite avec les diagrammes de l'œil de la Figure 2.6 du même modulateur de Mach-Zehnder. Dans le cas du module « drivers + MZM », les diagrammes de l'œil sont quasi-idéaux grâce à la puce électrique alors que les mesures du MZM seul au niveau du wafer souffrent de l'impact de l'environnement (câbles RF relativement longs, probes, amplificateur externe). Ainsi, l'assemblage sur un board permet de s'affranchir des contraintes des tests sous pointes et le prototype réalisé peut alors servir de circuit de qualification de la technologie photonique pour traquer les caractéristiques du modulateur par exemple.

Par ailleurs, il est important de remarquer que ce démonstrateur est réalisé à partir d'un interféromètre de MZ de courte longueur ($L_{HSPM} < 1\text{mm}$) et avec une amplitude de tension faible (une seule source d'alimentation $V_{DD} = 1.2$ V). Les taux d'extinction mis en jeu sont très petits ($ER < 1$ dB) comme attendu, mais les diagrammes de l'œil optiques sont largement ouverts. Nous démontrons ainsi que la réduction de l'ER ne dégrade pas le fonctionnement du transmetteur et ne nuit pas à la bonne transmission des données. Par conséquence, ce transmetteur constitue un très bon candidat pour réaliser des interconnexions optiques à très courte distance (applications HPC) pour lesquelles un taux d'extinction autour de 1 dB est souhaitable afin de réduire la consommation de puissance du driver.

En ce qui concerne le budget de puissance, cette étude est similaire au cas « $V_{mod} = 1.2$ V, $ER = 1.1$ dB » de l'étude système réalisée à la section 5.1 (cf. 2ème barre de la Figure 5.6). Le taux d'extinction mesuré est de 0.7 dB contre 1.1 dB montré à la Figure 5.6. Cette différence est due à la résistance de terminaison de 100 Ω, qui implique une réduction de la tension de modulation appliquée sur les HSPM. Chaque HSPM ne voit qu'une tension de 0.8 Vpp (soit 1.6 Vppd pour le modulateur). En conséquence, la puissance du laser doit être augmentée d'environ 60 % pour compenser la réduction de l'ER. En effet, en calculant le budget de liaison du lien électro-optique avec la même méthodologie qu'à la section 5.1.3, nous trouvons que la puissance nécessaire en sortie d'un modulateur est de $P_{avg} = 80$ µW (contre 50 µW), ce qui correspond à une puissance consommée par le laser de $P_{laser,ELEC} = 1.3$ W contre 0.8 W montré aux Figure 5.5 et Figure 5.6. La mesure de l'énergie consommée par le driver différentiel de 0.9 pJ/bit est cohérente avec la valeur prédite de 0.45 pJ/bit, qui est donnée pour un seul des deux drivers impliqués dans l'architecture dual-drive du MZM. En prenant en compte la nouvelle valeur de la puissance du laser, la consommation totale d'une interconnexion optique chip-to-chip, telle que celle présentée à la Figure 5.2, est estimée à 2.7 pJ/bit pour atteindre une communication à un débit total de 2 Tb/s (256 GB/s).

Enfin, remarquons également que les mesures ont été réalisées avec une puissance optique moyenne en sortie du modulateur proche de 1.2 mW, ce qui est très éloigné des conditions de l'application finale avec $P_{avg} = 50$ µW (cf. Figure 5.5). Ceci s'explique principalement par les limitations de la photodiode du DCA. A 1310 nm, le bruit RMS caractéristique du DCA est de 15 à 20 µW, correspondant à une sensibilité optique de -8 à -6 dBm selon le débit de transmission. Ainsi pour mesurer en optique un ER de 1 dB, la puissance moyenne envoyée au DCA doit être au minimum de 0.7 mW. Afin de se rapprocher des conditions réelles d'une interconnexion chip-to-chip, il est souhaitable pour les futures implémentations du lien d'utiliser une photodiode intégrée et de réaliser les mesures sur la voie électrique du DCA.

Le Tableau 15 compare le démonstrateur proposé ici avec d'autres transmetteurs basés sur un MZM et publiés récemment dans la littérature. Les applications visées par les papiers du Tableau 15 sont relatives à des communications longue distance pour connecter les switches d'un datacenter entre eux. Elles nécessitent différentes figures de mérite (débit et taux d'extinction en particulier), ce qui conduit à des modulateurs plus grands et des architectures de drivers plus compliquées que ce que nous avons proposé. C'est pourquoi, grâce à la simplicité du driver, ce travail atteint la meilleure efficacité énergétique, mais au détriment d'autres caractéristiques. Aucun papier présentant un transmetteur à base d'un

modulateur de MZ pour une application chip-to-chip n'a été publié à notre connaissance, pour fournir une comparaison plus pertinente. Rappelons brièvement le contexte des études [57], [47] et [54] afin de montrer les principales différences de conception.

Une équipe de STMicroelectronics a étudié en parallèle l'implémentation de l'architecture multi-étages [57] et de l'architecture travelling-wave [47] du modulateur de Mach-Zehnder. La première a pour objectif d'atteindre un grand taux d'extinction tandis que la seconde vise des débits supérieurs à 50 Gb/s dans le but de réaliser le bloc de base d'un transmetteur électro-optique 400 GbE. Au contraire, notre étude s'est basée sur un interféromètre de MZ très court pour atteindre un faible taux d'extinction et un débit plutôt modéré, de 20 Gb/s au maximum. Le driver de [57] est conçu en technologie CMOS et sa structure repose sur un DC shifter suivi d'un empilement d'inverseurs. A l'inverse, le driver de [47] est conçu en technologie bipolaire et est constitué d'émetteurs-suiveurs et de paires différentielles ECL.

L'université de Laval [54] propose également la conception d'un transmetteur multi-étages afin d'augmenter la vitesse et diminuer la consommation de puissance de chacun des segments. L'architecture vise à atteindre une modulation PAM4 à 20 Gbaud (une mesure à 17 Gbaud (34 Gb/s) est effectivement obtenue) mais nous donnons ici les résultats pour un débit de 10 Gbaud soit 20 Gb/s. Les étages de sortie du driver sont composés d'un level-shifter et d'inverseurs cascodés réalisés en technologie CMOS. L'introduction du level-shifter est nécessaire pour améliorer les performances du modulateur mais aboutit à une consommation bien plus élevée que celle de notre driver (tension de modulation divisée par 2).

Référence	Cette étude	[57]	[47]	[54]
Intégration	Wire-bonding	Flip-chip	Flip-chip	Wire-bonding
Type de modulateur	1-segment MZ 824 µm	6-segments MZ 3 mm	TW MZ 3.15 mm	3-segments MZ 3 mm
Charge (fF par driver)	250	150	950	300
Taux d'extinction (dB)	0.73	4 to 6	2.5	6.1
Type de driver	Inverter chain	Level shifter + stacked inverters	ECL-pair stages	Level shifter + cascoded inverters
Technologie	55nm BiCMOS	65nm CMOS	55nm BiCMOS	130nm CMOS
Amplitude de sortie	1.2 Vpp 2.4 Vppd	2.5 Vpp	1.6 Vppd	2 Vpp 4 Vppd
Débit (Gb/s)	20	25	56	20
Energie (pJ/b)	0.9*	11	5.4	14.5

Tableau 15. Performances du transmetteur basé sur un MZM : comparaison avec l'état de l'art

En résumé, nous avons démontré dans cette section le fonctionnement d'un transmetteur à base de MZM destiné à des applications chip-to-chip à courte distance. D'une part, nous pouvons constater que la co-intégration d'un driver au plus proche du modulateur permet de s'affranchir en grande partie des limitations de l'environnement de mesure. D'autre part, l'utilisation d'une faible tension de modulation couplée à un faible taux d'extinction ne dégrade pas les mesures de diagrammes de l'œil. En conséquence, nous pensons que ce transmetteur constitue une bonne alternative aux approches basées sur des modulateurs en anneau car nous nous affranchissons des pénalités d'un lien à base d'anneaux (alignement des canaux qui nécessite un asservissement en température relativement complexe).

5.3. Application des modules à l'étude de la fiabilité

Le module « drivers + MZM » a été développé pour valider l'utilisation d'un modulateur de MZ dans le cadre d'application chip-to-chip et également pour servir d'étape intermédiaire à la conception du démonstrateur final qui réalisera un transmetteur à base d'anneaux résonants en intégration flip-chip. Cependant, ce prototype peut également servir à adresser des aspects de fiabilité, ce qui est facilité par l'assemblage sur board. Comme nous l'avons fait remarquer précédemment, le démonstrateur peut servir de testchip afin de qualifier la technologie photonique, et notamment de traquer les dérives des caractéristiques optiques lors d'un fonctionnement prolongé du module.

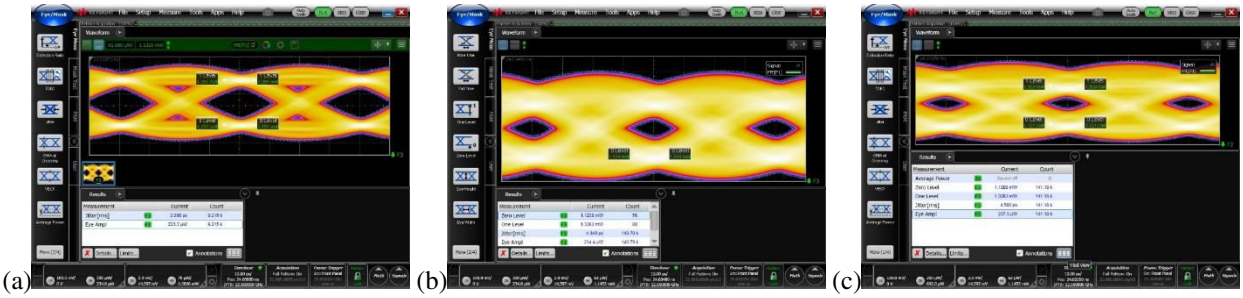
Les questions de fiabilité sont particulièrement importantes pour les applications chip-to-chip car les interconnexions

optiques évoluent dans un environnement difficile (fluctuation de température par exemple). Dans ce contexte, les transmetteurs électro-optiques doivent adresser des challenges d'efficacité et de rendement des fonctions optiques. Les mesures de fiabilité font partie des exigences habituelles dans le domaine des semi-conducteurs et les tests de qualification, comme des tests à haute température (HTOL *High Temperature Operating Life*), sont couramment réalisés sur les transceivers optiques. Par exemple, Luxtera [151] a évalué plusieurs aspects de la fiabilité de ses transceivers à travers une série de tests de qualification et a pu démontrer une grande fiabilité de chacun des composants de sa plateforme photonique. Cependant, aucune publication n'a été faite sur la fonctionnalité d'un module électro-optique complet alors que l'intégration des puces électrique et photonique conduit à des conditions de fonctionnement plus complexes que chaque composant isolé.

Les techniques de caractérisation standard sont basées sur l'utilisation d'un porte-fibre (*fiber-array*) que l'on déplace à la surface d'un wafer. Elles sont très contraignantes à cause de l'alignement du fiber-array avec les coupleurs optiques de la puce. En particulier, il est difficile de maintenir une puissance optique constante pendant un certain laps de temps quand des mesures dynamiques sont réalisées au niveau du wafer. Intégrer un transmetteur optique sur un board peut être une solution pour s'affranchir de ces limitations et simplifier les mesures de fiabilité. En effet, le fiber-array étant collé sur la puce optique, il n'y a pas de risque de désalignement des fibres avec les coupleurs pendant les tests de qualification, comme c'est le cas pour des mesures sur wafer.

Afin de déterminer le profil de fiabilité d'une technologie, les standards industriels demandent à ce qu'un grand nombre de composants identiques soient soumis à différentes conditions de fonctionnement pendant plus de 1000 heures. Cependant, avant de valider une maturité industrielle, un testchip est évalué étape par étape. Dans ce contexte, nous proposons une première étape à la qualification de la fiabilité de la technologie PIC25G en testant le module « drivers + MZM » sur une longue période de temps pour imiter des mesures de vieillissement. D'autres mesures sur ces problématiques sont attendues pour compléter notre analyse comme par exemple une durée de fonctionnement plus longue, différentes contraintes en température ou en polarisation. Néanmoins, ceci n'est pas l'objectif de cette section qui vise uniquement à montrer le potentiel d'un assemblage hybride sur board.

Le démonstrateur est mis en fonctionnement pendant plusieurs heures d'affilée. Les conditions de fonctionnement « normales » ont été utilisées comme lors des précédentes mesures (sections 5.2.2 et 5.2.3), c'est-à-dire des signaux PRBS complémentaires de longueur 2^7-1, une puissance optique de 5 dBm, à température ambiante. Les mesures sont effectuées sous une polarisation continue V_{bias} de 0.5 V et un débit de 20 Gb/s. Les diagrammes de l'œil montrant le vieillissement du module sont donnés à la Figure 5.14, respectivement au temps initial, après 24 heures et après 48 heures de fonctionnement en continu. Les graphes semblent se fermer au fur et à mesure mais l'ensemble des limitations du montage expérimental, du board et de la conception des puces doivent être prises en compte dans l'analyse de ces résultats.



(a) $t = 0\text{h}$ $P_1 = 1.38\ \text{mW}$ $P_0 = 1.16\ \text{mW}$ $ER = 0.77\ \text{dB}$

(b) $t = 24\text{h}$ $P_1 = 1.34\ \text{mW}$ $P_0 = 1.12\ \text{mW}$ $ER = 0.76\ \text{dB}$

(c) $t = 48\text{h}$ $P_1 = 1.31\ \text{mW}$ $P_0 = 1.10\ \text{mW}$ $ER = 0.75\ \text{dB}$

Figure 5.14. Test de vieillissement : diagrammes de l'œil du module "drivers + MZM" à 20 Gb/s et $V_{bias} = 0.5\ V$. (a) Au temps initial ; (b) après 24 heures de fonctionnement ; (c) après 48 heures de fonctionnement.

Les performances optiques peuvent être comparées via la mesure du taux d'extinction. Les valeurs suivantes sont obtenues : $ER = 0.77\ \text{dB}$ au début du test, $ER = 0.76\ \text{dB}$ après une journée, $ER = 0.75\ \text{dB}$ après deux jours de fonctionnement. Une variation de moins de 3% est observée signifiant que le fonctionnement du transmetteur ne se dégrade pas dans le temps. La fermeture de l'œil est due à la variation des niveaux haut et bas de puissance optique (ceux-ci sont indiqués pour chacun des diagrammes à la Figure 5.14). Nous pouvons en effet noter que la puissance optique moyenne diminue au fil du temps, ce qui a pour conséquence de décaler le diagramme de l'œil vers le bas et ainsi d'élargir les contours de l'œil. Les limitations du montage expérimental sont certainement responsables de ces déviations. Entre

autres, la puissance optique injectée dans le transmetteur n'est pas exactement constante car la source laser utilisée pour les mesures n'est pas stabilisée.

Cependant, de tels résultats de vieillissement d'un transmetteur électro-optique complet sont très encourageants pour des travaux futurs. Le bénéfice d'utiliser un assemblage sur board a été mis en évidence même si des améliorations doivent encore être apportée au banc de mesures. De plus, nous pouvons valider le fonctionnement du prototype incluant les puces électrique et photonique pour des tests sur le long terme, ce qui conforte l'idée d'utiliser de tels transceivers à base de Mach-Zehnder pour des interconnexions chip-to-chip.

Conclusion du chapitre

En résumé, ce chapitre s'est concentré sur la co-intégration électro-optique entre un driver et un modulateur. La fabrication du prototype s'inscrit dans le cadre d'applications des calculateurs à haute performance (HPC) qui nécessitent de concevoir des interconnexions très rapides et à très faible consommation de puissance. Pour répondre à ces challenges, nous avons pris le parti de proposer un transmetteur à base de modulateurs de Mach-Zehnder en multiplexage spatial. Cette solution nous évite les pénalités d'une approche en multiplexage par longueurs d'onde qui utilise des anneaux résonants (problème de l'alignement des canaux). Après avoir détaillé l'architecture d'un lien SDM, nous avons décrit les différentes contraintes à prendre en compte pour la conception du transmetteur. En effet, nous avons montré par une étude système comment optimiser les performances du modulateur afin de minimiser la consommation globale du lien. Il s'avère qu'il vaut mieux privilégier un faible taux d'extinction ($ER \approx 1$ dB) couplé à une faible tension de modulation ($V_{mod} \approx 1\,\mathrm{V}$) pour réduire la puissance du driver qui domine celle du laser. Finalement nous estimons qu'une interconnexion optique à base de MZM constitue une solution viable pour réaliser des communications à très courte distance et permet d'atteindre des performances au moins équivalentes à celles des interconnexions électriques actuelles.

Après cet aspect théorique sur l'implémentation d'un transmetteur, nous avons assemblé sur un board par une méthode de wire-bonding un driver CMOS à base de chaîne d'inverseurs du Chapitre 4 avec un modulateur de Mach-Zehnder localisé d'une longueur de 1 mm. Les mesures de diagrammes de l'œil sont en accord avec les cosimulations électro-optiques que nous avons effectuées sur le logiciel ADS à partir d'une simulation de circuit électrique combinée à la modélisation optique. Le prototype réalise la transmission d'un signal à 20 Gb/s et atteint une efficacité énergétique de 0.9 pJ/bit. Ceci démontre d'une part, le bénéfice d'intégrer un driver au plus proche du modulateur, et d'autre part, qu'un faible taux d'extinction ne nuit pas à la fonctionnalité du transmetteur complet. En conséquence, cette démonstration confirme qu'un tel transmetteur est adapté pour un lien optique à courte distance, grande bande passante et faible puissance comme requis pour les applications chip-to-chip.

Enfin, nous avons profité de l'assemblage sur board de ce prototype pour réaliser des mesures sur une longue durée ce qui permet de mimer des mesures de vieillissement du transmetteur. Cette étude peut être considérée comme le premier jalon vers des mesures de fiabilité de la technologie photonique mais elle devra être complétée pour s'assurer de la fiabilité effective du module dans les conditions de fonctionnement d'une interconnexion optique.

Avec ce premier démonstrateur co-intégrant une puce électrique et une puce photonique, nous avons pu nous confronter à un cas pratique d'implémentation d'un transmetteur. Ceci nous permet d'aborder plus sereinement la conception du démonstrateur du Chapitre 6 même si de nouvelles problématiques vont s'ajouter, notamment la maîtrise de l'assemblage 3D et l'intégration d'un lien WDM. Nous pourrons alors également comparer les deux implémentations à base de MZM et de RRM sur le plan de la consommation énergétique du lien complet.

Perspectives : Pistes d'évolution du prototype « drivers + MZM »

- Nouvel assemblage en wire-bonding comprenant un driver et un modulateur en anneau. Le même type d'assemblage sur board pourrait être envisagé pour un transmetteur à base d'anneau résonant. En effet, ceci nous permettrait d'intégrer le driver aux côtés d'un modulateur en anneau afin de confirmer la co-intégration avec un composant optique beaucoup plus sensible que le Mach-Zehnder. Nous n'attendons pas d'amélioration significative des diagrammes de l'œil car ceux obtenus au Chapitre 3 à 20 Gb/s sont déjà particulièrement propres (très peu d'interférences dues au montage). Mais ce nouveau prototype nous permettrait de vérifier que la

modulation d'un anneau résonant à partir d'une faible amplitude de tension se passe correctement et permet d'atteindre un taux d'extinction de 1 à 2 dB.

- Poursuite des tests de fiabilité. Comme nous l'avons fait remarquer précédemment, la caractérisation du prototype sur une durée de 48 heures n'est que la première étape de tests de fiabilité. Des prochains travaux sur le module « drivers + MZM » pourront inclure notamment des contraintes de température, de tension ou de courant pour caractériser les conditions de défaillance du transmetteur.

- Approfondissement de l'étude système via la conception d'un prototype plus réaliste. Pour aller plus loin que la preuve de concept apportée par la section 5.1, il pourrait être intéressant de complexifier la co-intégration du driver et du MZM afin de prendre en compte d'autres aspects d'un lien électro-optique réel. Par exemple, le prochain prototype pourrait inclure davantage de canaux en multiplexage SDM. Ceci permettrait d'une part d'avoir une meilleure vision de la conception des puces électrique et optique incluant plusieurs drivers et modulateurs. Notamment les problématiques de surface du transmetteur seraient mieux maitrisées et complèteraient l'estimation donnée à la section 5.1.2. D'autre part, la caractérisation simultanée de plusieurs liens électro-optiques est rarement traitée dans la littérature. Ceci permettrait d'identifier des problèmes de diaphonie entre les lignes RF. En effet, le domaine optique est intéressant pour supprimer la diaphonie dans les communications par guides d'onde. Par contre, cela n'exclut pas que des interférences apparaissent entre les signaux électriques des différents drivers. Enfin, un prochain prototype pourrait utiliser une intégration 3D afin de correspondre davantage à la solution d'assemblage implémentant un interposeur photonique (Figure 5.1).

Chapitre 6

Vers le développement d'un démonstrateur WDM, 20G, 3D

Dans ce chapitre, nous allons nous intéresser à la conception d'une interconnexion optique basée sur l'utilisation d'un interposeur photonique. Nous souhaitons réaliser un prototype d'un lien électro-optique destiné à des applications de communications chip-to-chip. Ce type de liens doit permettre une très grande densité et une grande vitesse de transmission des données. C'est pourquoi nous utilisons des liens optiques à base d'anneaux résonants qui permettent d'effectuer très facilement du multiplexage en longueur d'onde. De plus, nous envisageons une intégration 3D qui permettra d'assembler la puce électrique sur l'interposeur photonique afin d'optimiser les performances du système.

L'ensemble des travaux présentés dans les chapitres précédents nous a permis de poser les bases pour la réalisation de ce prototype. En effet, nous avons pu voir la conception des éléments clés du PIC et de l'EIC, c'est-à-dire l'anneau résonant et le driver, et également la co-intégration des deux circuits sous forme d'un assemblage en wire-bonding, ce qui nous a permis d'appréhender les difficultés de mise en œuvre d'un transmetteur complet. Cependant le démonstrateur final nécessite également d'étudier certains autres aspects comme la caractérisation d'un lien WDM à base d'anneaux ainsi que l'analyse de l'assemblage 3D par des micro-piliers en cuivre. Ces thématiques seront abordées dans ce chapitre afin de préparer la fabrication du démonstrateur.

L'architecture globale du lien électro-optique est une architecture chip-to-chip du type « far memory » ou « near memory » (cf. section 1.2.2). A terme, l'objectif est de montrer la validité de la solution « near memory » qui obtiendra certainement de meilleures performances. En effet, cette solution semble être très compacte car la transmission est restreinte à une propagation dans les guides d'onde intégrés. C'est d'ailleurs cette solution que nous avons déjà étudiée dans le Chapitre 5. Cependant, l'architecture considérée pour le démonstrateur s'apparente davantage à une architecture « far memory » car cette solution, tout comme notre prototype, utilise des fibres optiques pour réaliser les connexions entre les différentes unités. De plus, le processeur (resp. la mémoire) et son transceiver associé sont packagés dans des modules distincts, ce qui permet de restreindre l'EIC aux éléments constitutifs du lien WDM (drivers et TIA).

La structure générale de l'interposeur photonique peut être organisée comme schématisée à la Figure 6.1. Au centre du PIC, nous trouvons les liens WDM sur lesquels se superpose le circuit électrique via les piliers en cuivre. Une place importante est réservée pour l'intégration du laser ainsi que pour les entrées et sorties optiques correspondant au couplage des fibres optiques. Aux extrémités du PIC, nous trouvons également un ensemble de pads électriques permettant de router les signaux électriques du processeur (resp. de la mémoire) vers le transmetteur et du récepteur vers le processeur (resp. la mémoire). L'architecture des liens WDM est par exemple basée sur 8 liens parallèles transportant chacun 16 canaux. Ceci permet un débit total de 160 GB/s (1.3 Tb/s) si chaque canal est modulé à 10 Gb/s. Le transmetteur est ainsi composé de 8×16 modulateurs en anneau tandis que le récepteur est composé de $2\times(8\times16)$ filtres en anneau et autant de photodiodes. Le récepteur compte deux fois plus d'anneaux car il doit gérer les deux polarisations TE et TM de la lumière provenant d'une fibre optique. A noter que cette contrainte n'existe pas pour un lien guidé de type « near memory ».

Notre démonstrateur WDM en assemblage 3D s'inspire fortement de cette architecture de la Figure 6.1 mais il n'intègrera que la partie transmetteur du lien. Il sera composé de :

- un interposeur photonique (PIC) comprenant plusieurs liens WDM à base de modulateurs en anneaux, d'un ensemble de pads optiques et d'un ensemble de pads électriques,
- et une puce électrique (EIC) « à l'étage » comprenant les drivers qui seront connectés aux modulateurs par les piliers en cuivre.

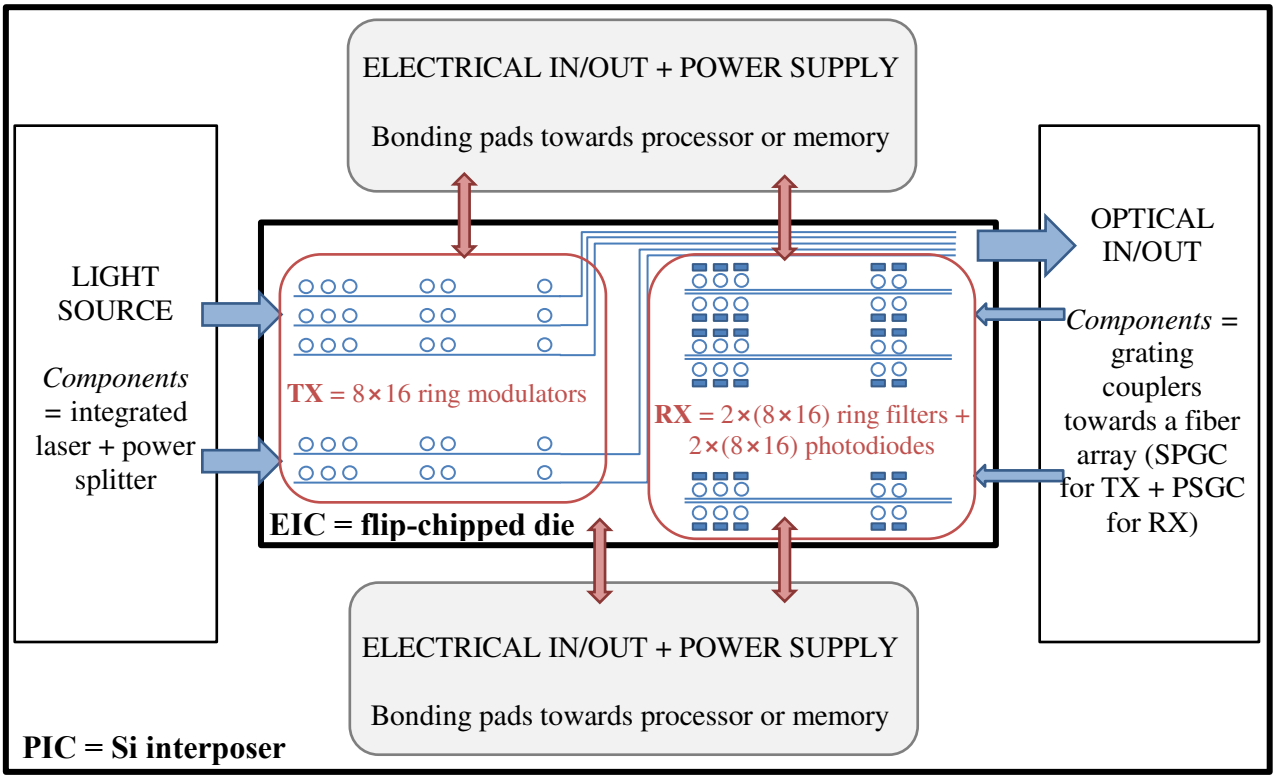


Figure 6.1. Exemple d'une architecture de PIC comprenant les modules optiques TX et RX et les accès vers la source laser, les fibres optiques et les connexions électriques. L'emplacement de l'EIC est également schématisé et correspond à la zone des CuP.

Après avoir décrit l'architecture globale du prototype, il est important également de comprendre précisément le fonctionnement d'un lien WDM. Comme nous l'avons évoqué, le multiplexage en longueurs d'onde est réalisé en cascadant plusieurs anneaux à la transmission et à la réception comme illustré à la Figure 6.2. Chaque modulateur en anneau est réglé sur une fréquence de résonance différente de telle manière à intercaler les pics de résonance sur une distance d'un FSR (*Free Spectral Range*). Du côté réception, chaque filtre est synchronisé avec un modulateur donné et permet de démultiplexer la longueur d'onde correspondante. Ainsi, grâce à l'utilisation des anneaux résonants, plusieurs signaux de données se propagent à des fréquences différentes sur le même support optique (guide ou fibre) sans interférer entre eux.

Le lien WDM ne se réduit cependant pas aux composants optiques. Le système complet (Figure 6.2) est constitué de :

- Un SerDes qui permet la sérialisation et la désérialisation des données à transmettre, c'est-à-dire le codage des informations en début de chaîne de transmission puis le décodage des informations en fin de chaîne. Nous incluons également la gestion de l'horloge afin de synchroniser les données dans la fonctionnalité du SerDes.
- Plusieurs drivers (autant que de modulateurs) qui permettent d'adapter et de mettre en forme le signal de données à transmettre afin de piloter la charge capacitive représentée par les modulateurs optiques.
- Un ou plusieurs lasers qui constituent la source optique et permettent d'injecter dans le système des signaux optiques continus aux différentes longueurs d'onde requises.
- Plusieurs modulateurs en anneau qui permettent de moduler les signaux optiques conformément aux signaux de données électriques.
- Plusieurs filtres en anneaux qui permettent de démultiplexer chaque longueur d'onde.
- Plusieurs systèmes d'asservissement des anneaux (autant que d'anneaux), en général des résistances chauffantes qui permettent de contrôler la position des pics de résonances des anneaux afin de les aligner sur les longueurs d'onde voulues.
- Plusieurs photodiodes (autant que de filtres) qui permettent de convertir les signaux optiques en signaux électriques en fournissant un courant proportionnel à l'intensité lumineuse reçue.
- Plusieurs amplificateurs transimpédance (TIA *TransImpedance Amplifier*) en général suivis par des amplificateurs limitants (LA *Limiting Amplifier*) qui permettent de convertir le photo-courant en tension électrique puis d'amplifier ce signal afin de fournir l'amplitude nécessaire au désérialiseur.

La fabrication de notre prototype ne prendra pas en compte tous ces éléments car nous nous concentrons dans un premier

temps sur l'intégration des modulateurs et des drivers. Cependant afin de pouvoir justifier le développement d'une telle structure, nous devons auparavant montrer que ce type de liens électro-optiques est compétitif vis-à-vis des solutions tout électriques qui sont actuellement utilisées pour réaliser des communications chip-to-chip [18]. Ainsi nous devons considérer l'ensemble de la chaîne de transmission pour évaluer ses performances en vitesse, en énergie et en surface et les comparer aux systèmes existants.

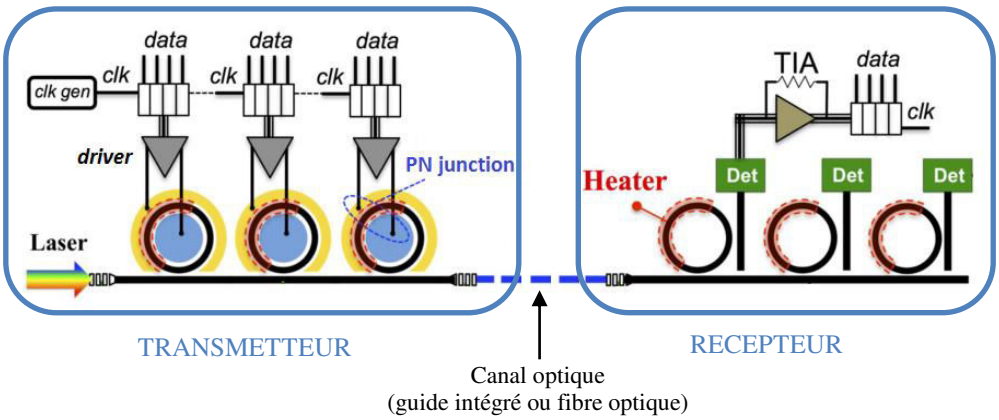


Figure 6.2. Schéma d'un lien WDM à base d'anneaux résonants [102]

L'objectif de ce chapitre est de traiter les derniers points qui conduiront à la fabrication d'un démonstrateur WDM en intégration 3D. Nous présentons trois études théoriques pour valider successivement l'architecture de l'interconnexion optique, le multiplexage en longueurs d'onde à l'aide des anneaux résonants ainsi que l'assemblage par micro-piliers en cuivre. Ceci nous permet de concevoir les puces électrique et optique constituant notre prototype. Malheureusement les étapes de fabrication ont été plus longues que prévu et nous ne pouvons pas exposer dans ce manuscrit les résultats de mesures qui nous permettraient de confirmer totalement notre démarche. Nous espérons toutefois que certains résultats pourront être apportés lors de la soutenance.

Le chapitre est organisé de la façon suivante. La première section propose une étude système de l'interconnexion électro-optique qui a pour but d'optimiser le lien pour atteindre la meilleure efficacité énergétique. Cette étude permet de montrer quels sont les paramètres critiques d'un tel système selon les spécifications imposées. Puis dans la deuxième partie, nous décrivons le procédé d'assemblage des puces par des micro-piliers en cuivre ainsi que les phénomènes thermomécanique et photo-élastique qui en résultent. Des simulations par éléments finis permettent d'estimer l'impact de l'assemblage sur les propriétés des composants optiques et orientent la conception de structures de test afin de mesurer expérimentalement ces phénomènes. La troisième section présente des simulations électro-optiques de liens WDM à base d'anneaux afin d'évaluer la diaphonie intermodulation entre les différents canaux. Ceci permet de vérifier que le nombre d'anneaux envisagés pour constituer les liens WDM du démonstrateur ne compromet pas la transmission des données. Enfin la dernière section détaille la réalisation du prototype final, imitant un transmetteur WDM basé sur un interposeur photonique.

6.1. Etude système – Optimisation d'une interconnexion optique

La première étude de ce chapitre est axée sur l'analyse d'une interconnexion optique dans son ensemble. Nous commencerons par présenter l'architecture du système optique puis nous expliquerons comment celui-ci peut être optimisé afin de réduire la consommation énergétique des liens électro-optiques. L'interconnexion repose sur le multiplexage en longueurs d'onde des signaux optiques afin de bénéficier de débits de données très importants. Nous donnons ici un petit aperçu des études menées dans la littérature sur les bilans de liaison d'un lien WDM.

Sylvie Menezo (CEA-LETI) [152] propose une étude théorique des performances d'une interconnexion optique qui pourrait être fabriquée à partir des composants disponibles dans la technologie photonique actuelle du CEA. Une architecture à N canaux optiques et M branches y est présentée et sera la base de notre propre analyse (cf section 6.1.1). Ce papier donne également certaines règles de conception permettant de définir correctement un lien WDM à base d'anneaux résonants, en particulier la diaphonie entre les canaux est attentivement étudiée afin de déterminer le nombre

de canaux optimal. La consommation énergétique de cette structure est calculée pour deux températures de fonctionnement (25°C et 60°C) et atteint un niveau très faible de 1 à 3 pJ/bit.

Chin-Hui Chen (HP) met au point un lien WDM à cinq canaux à base d'anneaux à injection de porteurs [104] [153]. La première démonstration utilise un laser monocanal réglable qui permet de tester successivement chacun des cinq canaux. Puis la seconde démonstration fait usage d'un laser en peigne (*comb laser*) qui permet de moduler simultanément et indépendamment deux des anneaux du lien afin de caractériser la diaphonie et l'intégrité des signaux. A un débit de 10 Gb/s et un espacement des canaux modulés de 240 GHz, un très faible niveau de diaphonie optique est observé mais des études futures sont attendues afin de quantifier plus précisément la pénalité en puissance associée à la modulation inter-canal. Notamment, Yuyang Wang propose un alignement non-uniforme des canaux dans un intervalle spectral libre [154]. Ceci permet de réduire la puissance moyenne consacrée au contrôle des anneaux si le laser en peigne utilisé pour l'interconnexion délivre plus de longueurs d'onde que le nombre de canaux du lien.

Michael Georgas (institut de technologie du Massachussetts) [155] expose le compromis entre les puissances consommées par les modulateurs et par les lasers ainsi que celui entre la sensibilité du récepteur et le débit de transmission. Ces analyses amènent à une optimisation des différents éléments du lien WDM et à l'établissement d'un débit de fonctionnement entre 5 et 10 Gb/s permettant d'aboutir à la meilleure efficacité énergétique du système. Pour confirmer la viabilité de la solution proposée, un démonstrateur WDM est conçu et ses résultats sont reportés par Chen Sun [103]. Le lien dispose de neuf canaux pour un débit total de 45 Gb/s. Le budget en puissance montre une consommation d'énergie de 15 pJ/bit pour une transmission à 5 Gb/s entre deux puces sur une distance de 5m.

Noam Ophir (université de Columbia) [156] et [157] réalise également l'étude d'un système WDM visant une bande passante de 1.8 Tb/s, en amont de la fabrication d'un démonstrateur. L'analyse de la consommation de puissance du lien montre que les performances de certains composants doivent nécessairement être améliorées pour pouvoir viser une énergie inférieure au pJ/bit. Notamment, une meilleure efficacité de conversion du laser et une sensibilité plus grande du récepteur sont suggérées. Quelques années plus tard, ces travaux sont repris par Meisam Bahadori en collaboration avec le CEA-LETI [102]. Il apparaît qu'une modulation autour de 10 Gb/s par canal semble être le meilleur compromis entre efficacité énergétique et débit total du système. D'autres études complètent également ces propos en se concentrant davantage sur l'évaluation des pénalités des anneaux résonants (diaphonie) [158] ou l'évaluation des pertes dans un anneau en fonction de son diamètre [159].

L'équipe de Jeremy Witzens de l'université d'Aix-la-Chapelle [160] s'intéresse à l'implémentation d'un transceiver WDM en photonique sur silicium pour des applications datacenter. La solution proposée repose sur un laser en peigne (*comb laser*) à modes verrouillés (MLL *Mode Locked Lasers*) ainsi que des modulateurs en anneau et un amplificateur optique (SOA *Semiconductor Optical Amplifier*) permettant de compenser la faible puissance maximale des canaux du laser. Une analyse systématique du budget en puissance optique a été menée afin de s'assurer de la viabilité d'un tel lien. Ces études sont reportées par Alvaro Moscoso-Mártir pour un lien n'utilisant qu'un seul canal [161] et pour un lien WDM à 12 canaux [162], [163]. En particulier, les pénalités associées à l'introduction du SOA (modulation croisée du gain et mélange à quatre ondes) sont prises en compte dans le budget. Le niveau maximal des pertes d'insertion aux interfaces laser-puce SiP (TX), puce SiP (TX)-SOA et SOA-puce SiP (RX) est évalué en fonction des spécifications requises (BER et puissance du laser). Il est démontré qu'un fonctionnement à 25 Gb/s est envisageable à condition d'implémenter un système d'égalisation (*equalization*) ou de correction (FEC *Forward Error Correction*) (sous réserve que le FEC soit compatible avec une communication vers une mémoire).

6.1.1. Cadre de l'étude – Architecture du lien

Le système optique que nous souhaitons optimiser repose sur l'architecture de la Figure 6.3. Cette architecture est reprise de celle proposée par le CEA-LETI [152]. Elle est constituée du lien WDM de la Figure 6.2 répété M fois, chacun transportant N canaux optiques. N lasers de longueur d'onde λ_1 à λ_N sont utilisés comme sources de lumière. Leurs puissances optiques sont injectées dans un diviseur de puissance N×M qui répartit la lumière dans M guides d'onde. Chacun de ces M liens est composé d'un module transmetteur et d'un module récepteur, basés tous deux sur des anneaux résonants. Ainsi le système comprend au total N×M modulateurs en anneaux associés à N×M drivers et N×M filtres en anneaux associés à N×M photodiodes et N×M TIA. Nous considérons que l'interconnexion optique a pour but une transmission de données chip-to-chip courte distance sur un interposeur photonique. Ainsi les données sont transmises

dans un guide d'onde intégré (et non une fibre optique) sur une distance de quelques millimètres.

L'objectif de l'étude est de déterminer le nombre N de longueurs d'onde et le nombre M de liens afin d'optimiser le système d'un point de vue énergétique. Le débit total atteint par le système est fixé à 160 GB/s. Cette contrainte provient directement de l'application visée par les liens optiques : réaliser une interconnexion chip-to-chip du type processeur – mémoire (cf. section 1.2.2). En effet, la première version du consortium HMC [164] annonce une spécification en bande passante de 160 GB/s lorsque le cube mémoire est composé de 4 liens et jusqu'à 320 GB/s avec 8 liens par composant. La deuxième version permet, quant à elle, une bande passante de 200 à 480 GB/s pour 4 liens (cf. section 1.2.2). En ce qui concerne les spécifications des blocs HBM, AMD annonce une bande passante jusqu'à 256 GB/s pour un ensemble de 4 couches de mémoires. Ainsi, nous allons chercher à optimiser le débit unitaire par canal (c'est-à-dire par anneau résonant) de telle sorte que la combinaison (N ; M) choisie permette d'atteindre une capacité totale de 160 GB/s.

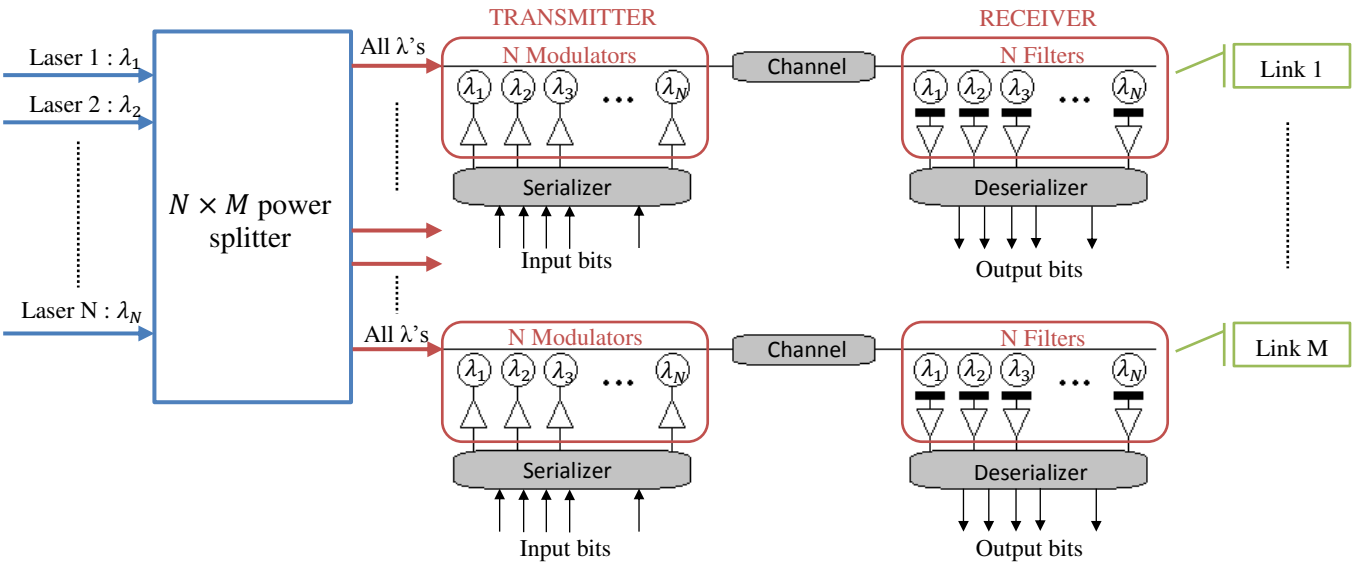


Figure 6.3. Architecture du système optique basé sur M liens WDM à N longueurs d'onde

6.1.2. Exemple du bilan de consommation d'énergie à 10 Gb/s

Avant de procéder à l'optimisation du système, nous allons expliquer dans cette section comment est calculée la consommation énergétique d'une telle interconnexion. Le calcul sera réalisé en considérant un débit unitaire de 10 Gb/s par canal. Nous examinerons le cas d'un système composé de M = 8 liens transportant chacun N = 16 longueurs d'onde. Le calcul de la puissance consommée reprend les mêmes étapes que nous avons vues précédemment pour l'optimisation d'un lien SDM à base de modulateurs de Mach-Zehnder (cf. section 5.1.3) en les adaptant au cas d'un lien WDM.

Consommation des lasers

La puissance des lasers est estimée à partir du calcul du budget en puissance du lien optique, qui évalue successivement la sensibilité du récepteur, les pertes de transmission et les pertes lors de la modulation du signal. Le bilan de liaison est effectué en ne prenant en compte qu'un seul canal du système.

Sensibilité du récepteur

Nous nous basons sur l'expression (5-4) qui donne l'OMA minimale détectable par une photodiode. Ici, le bruit en courant i_n^{rms} est estimé approximativement à 0.3 μA_{rms} et la valeur de la responsivité des photodiodes est de l'ordre de 0.85 A/W. Nous souhaitons atteindre un BER de 10^{-12}, ce qui correspond à un SNR de 14. De plus, nous considérons une dégradation d'un facteur 2 à 3 pour prendre en compte la sensibilité des amplificateurs. Ainsi l'OMA minimale acceptable par le récepteur est : $OMA_{PD} = -20$ dBm $= 10$ µW.

Pertes de transmission

Les pertes de transmission dans un canal incluent les pertes optiques suivantes :

- 0.5 dB = pertes de propagation dans les guides d'onde (distance de quelques millimètres).

- 0.5 dB = pertes de propagation dans les anneaux (modulateur et filtre).
- 1 à 2 dB = pertes dans le diviseur de puissance N×M.
- 2 à 3 dB = pertes des réseaux de couplage permettant de coupler la lumière des lasers dans les guides d'onde.
- 1 dB = pénalité de puissance liée à la diaphonie entre les canaux WDM (cf. section 6.3).

Au total, les pertes de transmission sont donc estimées à 6 dB.

Pénalité du modulateur

L'amplitude optique de modulation équivalente acceptable par le transmetteur est de : $OMA_{mod} = -14$ dBm $= 40$ µW. Les caractéristiques des modulateurs en anneau considérées sont issues de l'analyse réalisée au Chapitre 2. Nous nous basons sur les performances de l'anneau 20G données dans le Tableau 4 : $ER_{stat} = 4$ dB, $IL = 5$ dB et $TP = 8$ dB. Nous pouvons en déduire la valeur des puissances optiques des niveaux « 0 » et « 1 », ainsi que la puissance injectée dans le modulateur. Nous obtenons respectivement $P_0 = 26.5$ µW, $P_1 = 66.5$ µW et $P_{mod,IN} = 150$ µW (-8 dBm). A noter qu'il s'agit des puissances équivalentes incluant toutes les pertes du lien. La répartition réelle du budget en puissance est illustrée à la Figure 6.4.

Puissance du laser

La puissance optique délivrée par un laser dans un des 8 liens du système est : $P_{laser,OPT} = 150$ µW. L'efficacité de conversion d'un laser (WPE *wall-plug efficiency*) varie entre 5% et 20%. Dans cette étude nous fixons une valeur intermédiaire de 10%. La puissance électrique requise par les lasers pour un canal est donc : $P_{laser,ELEC} = 1.5$ mW. Pour une transmission à 10 Gb/s, une énergie de 0.15 pJ/bit est alors consommée pour alimenter un canal.

L'ensemble des lasers du système consomme une puissance $P_{laser} = 0.15$ pJ/bit $\times DR \times N \times M = 0.19$ W.

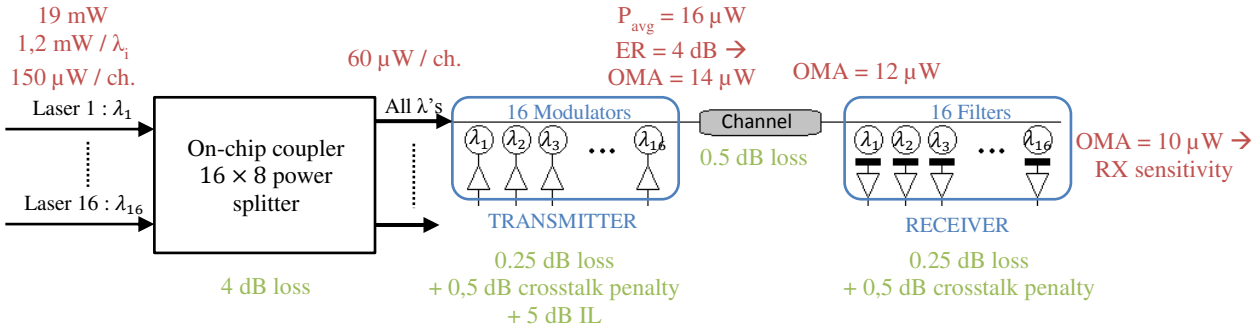


Figure 6.4. Budget en puissance de l'interconnexion optique à base de RRM

Consommation du transmetteur

La consommation du transmetteur comprend les drivers mais aussi les étages de préamplificateur et de pré-drivers éventuels qui précèdent le driver. La consommation des drivers est estimée directement à partir de l'étude menée au Chapitre 4. Le Tableau 14 donne une consommation de 0.18 pJ/bit pour un débit de 20 Gb/s et une charge de 100 fF. Les drivers contribuent de façon majoritaire à la puissance du transmetteur et donnent une bonne approximation de la consommation totale du transmetteur car ils drivent directement la charge du modulateur. Toutefois, afin de garantir une certaine marge (coefficient η_{dr} de l'étude système avec les MZM), nous prenons comme valeur une énergie de 0.5 pJ/bit consommée pour un transmetteur drivant à 10 Gb/s un anneau de charge typique de 30 à 50 fF.

Ainsi, l'ensemble des drivers du système consomme une puissance $P_{TX} = 0.5$ pJ/bit $\times DR \times N \times M = 0.64$ W.

Consommation du récepteur et du SerDes

La consommation du récepteur (photodiodes, TIA et LA) et des sérialiseur / dé-sérialiseur est estimée d'après les caractéristiques données dans la littérature. Nous conservons les mêmes valeurs qu'à la section 5.1.3, à savoir une efficacité énergétique de 0.2 pJ/bit pour le récepteur et 1 pJ/bit pour le SerDes.

Ainsi la partie récepteur du système consomme une puissance $P_{RX} = 0.2$ pJ/bit $\times DR \times N \times M = 0.26$ W.
Ainsi les modules SerDes du système consomme une puissance $P_{SerDes} = 1$ pJ/bit $\times DR \times N \times M = 1.28$ W.

Consommation du système de contrôle des anneaux

Pour contrôler les résonances des anneaux et pouvoir compenser les décalages dus aux procédés de fabrication et à la variation de la température ambiante, des résistances chauffantes sont disposées à proximité des anneaux ce qui permet d'ajuster la position des pics par rapport aux longueurs d'onde des lasers. Des mesures réalisées sur des anneaux type « anneau 20G » du Chapitre 2 montrent qu'une résonance est décalée de 1 nm lorsque l'anneau correspondant est chauffé par une puissance de 30 mW. Les anneaux 20G ont un intervalle spectral libre (écart entre deux résonances) d'environ 7 nm ce qui permet un espacement des canaux de 0.43 nm pour 16 anneaux. Nous estimons ainsi un décalage moyen de 0.15 nm à effectuer pour chaque anneau (les modulateurs et les filtres) car les pics sont réattribués au canal le plus proche même s'ils ne conservent pas leur ordre initial les uns par rapport aux autres [165]. La puissance consommée en moyenne pour réaligner un anneau est donc de 5 mW, soit une énergie de 0.5 pJ/bit à 10 Gb/s.

L'ensemble des résistances chauffantes du système consomme une puissance $P_{res} = 5\text{mW} \times 2N \times M = 1.28$ W.

A cette puissance, nous devons également ajouté la consommation du circuit d'asservissement. Nous nous basons sur les travaux d'Yvain Thonnart (CEA-LETI) qui a réalisé un circuit de contrôle consommant seulement 150 µW pour une transmission à 10 Gb/s [83]. L'efficacité énergétique est alors de 0.015 pJ/bit.

Le système complet de tuning (résistance + asservissement) consomme une puissance $P_{tuning} = 5\text{mW} \times 2N \times M + 0.015\text{pJ/bit} \times DR \times N \times M = 1.30$ W.

Bilan

Finalement, la consommation totale de ce système optique à 8 liens et 16 canaux correspond à la somme des cinq puissances calculées, soit $P_{tot} = 3.84$ W. La répartition entre les différents éléments est illustrée par le diagramme de la Figure 6.5. L'interconnexion permet de transmettre une capacité totale de 160 GB/s réalisant ainsi une efficacité énergétique de 3 pJ/bit. Dans le paragraphe suivant, ce calcul est repris pour différents débits unitaires et couples (N ; M) afin de déterminer la combinaison la plus efficace.

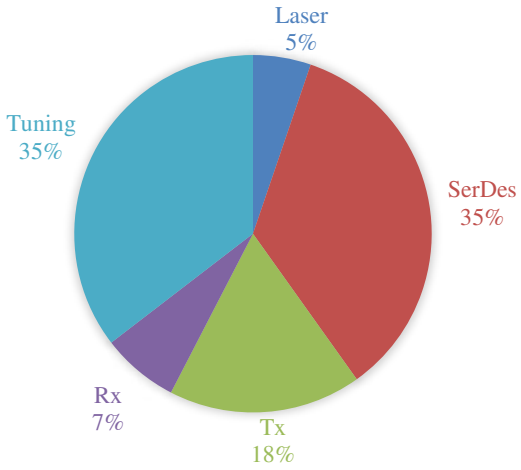


Figure 6.5. Répartition de la puissance consommée entre les différents composants du lien électro-optique

6.1.3. Optimisation du système de transmission en fonction du débit unitaire

Nous cherchons à réaliser l'interconnexion optique la moins énergivore tout en garantissant un débit total constant de 160 GB/s. Nous calculons la puissance consommée par le système pour différents débits unitaires ce qui nous amène à modifier le nombre de canaux et/ou de liens dans chaque cas. La démarche est identique au calcul de la section 6.1.2 effectué à 10 Gb/s. Cependant, certaines des équations de calcul de puissance sont légèrement modifiées pour prendre en compte le changement de débit unitaire.

Consommation du SerDes : un facteur correctif est ajouté en fonction du débit unitaire. On estime que l'énergie du SerDes varie proportionnellement au débit. La puissance consommée devient : $P_{SerDes} = 1\,\text{pJ/bit} \times DR \times N \times M \times$

$\frac{DR}{10\ \mathrm{Gb/s}}$.

Consommation du TX : un facteur correctif est également ajouté en fonction du débit unitaire. En effet, le design du driver varie selon le débit : plus le débit souhaité est important et plus les transistors composant le driver seront grands impliquant une puissance consommée plus importante. Ceci est illustré dans notre étude du Chapitre 4 détaillant la conception d'un driver pour un débit de 19 Gb/s et pour 25 Gb/s. En effet les Tableau 13 (a) et (b) montrent que le driver 19G consomme 0.25 pJ/bit contre 0.30 pJ/bit pour le driver 25G. La puissance consommée par le transmetteur est : $P_{TX} = 0.5\ \mathrm{pJ/bit} \times DR \times N \times M \times \frac{DR}{10\ \mathrm{Gb/s}}$.

Consommation du RX : l'énergie consommée par les TIA semble augmenter légèrement lorsque le débit augmente d'après l'étude réalisée par Robert Polster du CEA-LETI [149]. Cependant, le principal impact du débit sur le récepteur concerne sa sensibilité. En effet, Mostafa G. Ahmed montre que le design des amplificateurs est dicté par le compromis entre son gain, sa bande passante et le bruit en courant [166]. En particulier, la sensibilité du récepteur dépend directement du bruit et des ISI introduites par le TIA. Elle se dégrade quand le débit augmente, ce qui nécessite alors d'utiliser un circuit d'égalisation (*equalizer*) pour compenser la faible bande passante et / ou les ISI. La puissance consommée par le récepteur comprendra ainsi la somme des puissances du TIA et de l'égaliseur. La loi liant l'énergie du récepteur et le débit est toutefois difficile à donner et nous utiliserons la même approximation que pour le transmetteur : $P_{RX} = 0.2\ \mathrm{pJ/bit} \times DR \times N \times M \times \frac{DR}{10\ \mathrm{Gb/s}}$.

Consommation des lasers : comme nous venons de le voir, l'OMA minimale détectable par le récepteur dépend du débit de transmission. Ainsi la puissance laser requise pour chaque canal est également amenée à varier en fonction du débit unitaire. Nous faisons l'hypothèse que l'OMA varie entre -22 dBm à 2 Gb/s et -14 dBm à 40 Gb/s, ce qui revient à considérer que l'énergie consommée par les lasers diminue de 0.48 pJ/bit à 0.15 pJ/bit entre 2 et 10 Gb/s puis se stabilise autour de 0.15 pJ/bit lorsque le débit augmente. Par ailleurs, un facteur correctif est ajouté en fonction du nombre d'anneaux du lien WDM. En effet, plus les anneaux sont nombreux et plus l'espace inter-canal est réduit ce qui conduit à l'augmentation de la diaphonie (*crosstalk*) entre les canaux. La diaphonie sera étudiée plus précisément dans le paragraphe 6.3. Elle amène à considérer une pénalité supplémentaire dans le bilan de liaison d'un lien, d'où des pertes de transmission plus ou moins importantes selon le nombre d'anneaux. La puissance consommée par les lasers devient : $P_{laser} = E_{laser}(DR) \times DR \times N \times M \times corr_{Xtalk}(N)$.

Consommation du système de tuning : la puissance des résistances chauffantes dépend uniquement du nombre d'anneaux mis en jeu dans l'interconnexion, par contre la puissance du circuit d'asservissement dépend du débit. Nous introduisons un facteur correctif comme pour le SerDes. La puissance consommée devient : $P_{tuning} = 5\mathrm{mW} \times 2N \times M + 0.015\mathrm{pJ/bit} \times DR \times N \times M \times \frac{DR}{10\ \mathrm{Gb/s}}$.

L'évolution de la consommation d'énergie du système complet en fonction du débit unitaire est illustrée sur les graphes de la Figure 6.6. Le débit optimal est autour de 10 à 15 Gb/s. En effet, un débit trop petit est synonyme d'un grand nombre d'anneaux pour atteindre le débit souhaité de 160 GB/s, ce qui entraîne l'augmentation de la consommation des résistances chauffantes dont le nombre augmente également. Les lasers consommeront également davantage car les pertes sont plus importantes du fait du nombre important de canaux et ne sont pas compensées par l'amélioration de la sensibilité du récepteur. Au contraire, un débit trop grand verra les systèmes électroniques (drivers, TIA et SerDes) se complexifier d'où l'augmentation de leur consommation.

A 10 Gb/s, l'énergie consommée est de 3 pJ/bit. L'interconnexion optique atteint donc un niveau d'efficacité similaire à un système électrique tel que proposé par Micron (mémoire HMC) ou par AMD (mémoire HBM) (cf. section 1.2.2). De plus, la consommation d'un lien WDM est équivalente à celle d'un lien SDM à base de modulateurs de Mach-Zehnder comme celui présenté au Chapitre 5. En effet, le surplus de consommation des lasers et des transmetteurs dans un lien SDM, dû à des pertes de transmission plus importantes et une capacité de charge des drivers plus élevée, est équilibré par la consommation de puissance nécessaire au contrôle des anneaux dans un lien WDM. Même si la répartition de la puissance consommée dans les différents blocs du lien électro-optique n'est pas identique, globalement les deux systèmes permettent de concurrencer les liens processeur-mémoire actuels. La solution optique bénéficie toutefois d'une certaine simplicité de conception grâce au multiplexage spatial ou par longueur d'onde. Elle offre également de nombreuses possibilités d'amélioration. Par exemple, les caractéristiques des composants optiques peuvent être optimisées pour respecter une certaine spécification. C'est le travail qui a été mené dans la section 5.1.3 pour optimiser le taux d'extinction

des modulateurs de MZ. Le même type d'optimisation peut également être réalisé pour des modulateurs en anneau. D'autres études de la littérature prennent en compte la variation des pertes dans un anneau [158] ou encore l'alignement des canaux par rapport aux longueurs d'onde du laser [154].

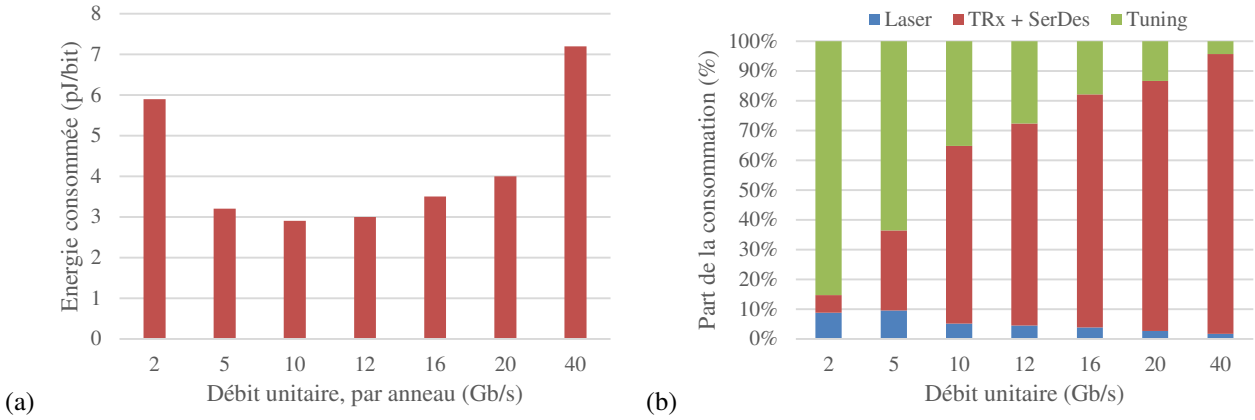


Figure 6.6. Optimisation de l'efficacité énergétique en fonction du débit unitaire pour atteindre un débit total de 160 GB/s

Pour conclure cette étude système d'une interconnexion optique, nous rappelons que le budget de puissance est basé sur de nombreuses hypothèses qui peuvent s'avérer plus ou moins correctes. Ainsi ce bilan peut être amené à varier pour prendre en compte les spécificités d'un système réel, comme par exemple l'efficacité de conversion du laser ou le BER souhaité pour le récepteur. Toutefois, cette analyse montre qu'un système optique est compétitif vis-à-vis d'une solution électrique et permet d'atteindre facilement des capacités de transmission de données très élevées. De plus, l'amélioration des performances des technologies CMOS avancées permettra à terme de réduire la consommation de l'EIC (driver et TIA). Ainsi le débit optimal de fonctionnement aura tendance à augmenter et l'énergie consommée à diminuer. Notre démonstrateur sera donc conçu avec l'objectif d'un débit unitaire de 20 Gb/s et 8 liens à 16 canaux pour une bande passante totale de 320 GB/s (2.5 Tb/s).

L'aspect de la taille des circuits n'a pas été abordé dans cette étude alors que cet élément doit également être pris en compte pour la conception d'un interposeur photonique. Cependant, comme le lien à base de MZM semble respecter les contraintes de surface (section 5.1.2), nous pensons qu'un lien WDM satisfera facilement cette problématique car l'anneau résonant bénéficie d'une empreinte bien plus compacte qu'un MZM. L'enjeu sera même dans ce cas de disposer d'un faible espacement entre les bumps connectant l'EIC et le PIC. Nous donnons en exemple à la Figure 6.7 le layout réalisé par Yvain Thonnart dans le cadre de son transceiver implémentant un système d'asservissement et de réattribution des longueurs d'onde des anneaux résonants [83]. Nous pouvons constater que le circuit optique n'est pas particulièrement contraint par la surface. Par contre, la difficulté se situera plutôt du côté de l'EIC car il faudra être capable d'implémenter le driver, le TIA et le circuit d'asservissement dans une surface très restreinte se superposant avec l'empreinte des bumps. Ceci montre également l'intérêt d'utiliser des nœuds CMOS avancés afin de réduire la taille des transistors.

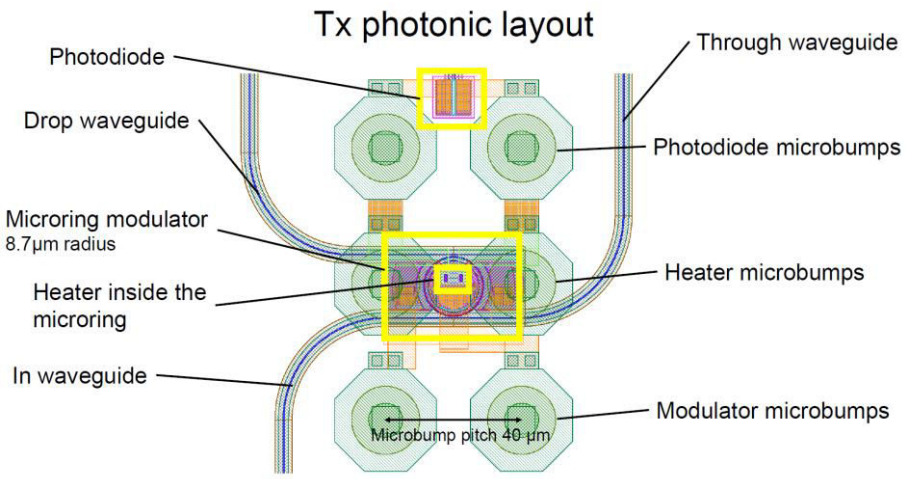


Figure 6.7. Layout du PIC du transceiver réalisé par Yvain Thonnart (CEA-LETI) [167]

6.2. L'assemblage par micro-piliers en cuivre

Dans cette section, nous allons étudier l'assemblage permettant de connecter les parties électrique et optique du transceiver entre elles. La solution hybride choisie consiste à intégrer les puces de manière verticale, en les empilant l'une sur l'autre via des micro-piliers en cuivre (CuP *Copper Pillar*). Cette technique permet de concevoir séparément les deux puces et d'optimiser indépendamment les procédés de fabrication CMOS et photonique afin de bénéficier des meilleures performances pour chacun des circuits. Cependant l'introduction des CuP induit des contraintes thermomécaniques sur les guides d'onde en silicium, ce qui n'est pas sans conséquence pour leurs propriétés optiques. C'est pourquoi il est important de caractériser cet assemblage 3D afin d'en déduire l'impact sur un lien électro-optique tel que le démonstrateur que nous souhaitons réaliser.

Les plateformes photoniques PIC25G et PIC50G de STMicroelectronics sont toutes deux compatibles avec un procédé 3D à base de piliers en cuivre [30] [89]. Ceci permet de s'affranchir des limitations de l'intégration monolithique car le circuit électrique est choisi indépendamment du PIC selon les besoins spécifiques de l'application considérée. De plus, les CuP étant très petits (20 µm de diamètre, environ 40 µm de hauteur), ils permettent de réduire la capacité parasite associée, ce qui assure une dégradation minimale des performances du transceiver, comparé à une intégration par wire-bonding. La Figure 6.8 montre une microphotographie d'un CuP ainsi que l'assemblage d'une die (EIC) sur un wafer photonique (PIC).

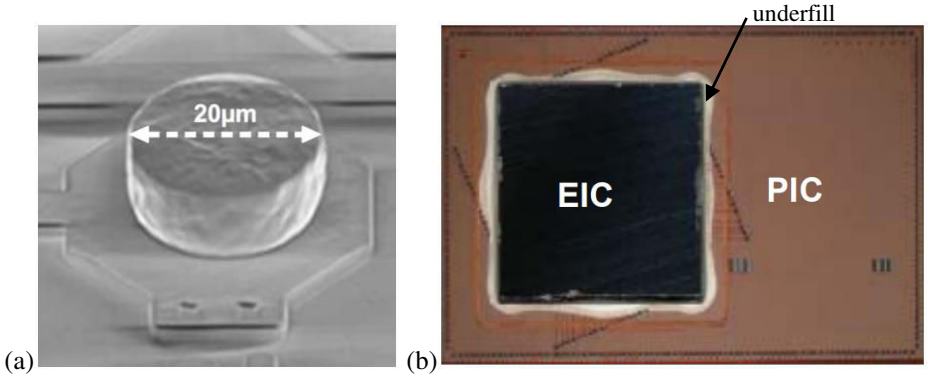


Figure 6.8. (a) Microphotographie d'un pilier en cuivre de 20 µm de diamètre [89]*, (b) Assemblage de l'EIC au-dessus du PIC via les CuP* [30]

La technique d'assemblage par CuP est relativement récente mais déjà disponible pour des productions de fort volume sur des wafers 200 mm et 300 mm. En ce qui concerne l'activité photonique, STMicroelectronics sous-traite l'assemblage par CuP auprès d'Amkor Technology qui se place comme l'un des leaders des technologies flip-chip. Les procédés d'intégration possibles ainsi que leurs caractéristiques sont expliqués dans les deux fiches techniques [168] et [169]. Sur chacun des pads des puces EIC et PIC, un pilier en cuivre est fabriqué. Les piliers sont ensuite recouverts par une capsule de SnAg, qui fait office de matériau de soudure entre les deux demi-piliers. Puis les puces sont assemblées par un procédé de thermocompression (TCB *Thermo-Compression Bonding*) qui permet à la fois de souder les piliers et d'injecter une résine époxy entre l'EIC et le PIC. La thermocompression consiste à chauffer les puces et à les presser simultanément l'une contre l'autre afin qu'une soudure se crée entre les piliers par diffusion des matériaux. La pâte de remplissage, non conductrice (NCP *Non Conductive Paste*) permet de remplir les espaces entre les piliers et est conçue spécialement pour absorber les contraintes mécaniques lors de la fabrication de l'assemblage. La thermocompression par NCP permet d'utiliser des pitchs (espace entre deux CuP) très petits jusqu'à 50 µm, voire 40µm / 80 µm pour des CuP décalés [169], et ainsi d'augmenter la densité d'interconnexions et/ou de réduire la taille des puces.

La section est organisée de la façon suivante. Dans un premier temps, nous nous focalisons sur une étude théorique d'un tel assemblage 3D. Une modélisation par éléments finis est établie afin d'évaluer les contraintes thermomécaniques induites par les piliers en cuivre sur les guides d'onde. Puis dans un second temps, nous détaillons les structures de test qui permettront de quantifier expérimentalement l'influence de l'assemblage 3D sur les anneaux résonants. Malheureusement, au moment de la rédaction de ce manuscrit, nous ne sommes pas en mesure de présenter des résultats de mesure car la fabrication des puces optiques a pris beaucoup de retard. Néanmoins nous expliquons la démarche expérimentale que nous comptons mettre en place.

6.2.1. Analyse des phénomènes thermomécanique et photo-élastique

L'assemblage 3D prendra place au sein du démonstrateur WDM dont la conception sera expliquée à la section 6.4. Ainsi nous pouvons identifier les composants optiques qui seront impactés par la fabrication des piliers en cuivre. L'objectif est de concevoir une interconnexion optique basée sur l'utilisation d'un interposeur photonique. Le schéma de la Figure 6.1 nous permet de cadrer plus précisément notre étude sur les piliers en cuivre. En effet, nous pouvons constater que seuls les anneaux et les photodiodes seront recouverts par l'EIC. Or les anneaux sont particulièrement sensibles à toute variation de leur environnement. Il est donc essentiel de caractériser les contraintes thermomécaniques engendrées par l'assemblage et d'évaluer leur impact sur les anneaux.

Pendant la fabrication des puces et la mise en contact des piliers, des procédés à relativement haute température sont employés. Lors du refroidissement de l'assemblage, des contraintes mécaniques apparaissent au sein des puces et en particulier de la puce optique car les deux matériaux principalement utilisés pour les connexions, le silicium et le cuivre, ont des coefficients d'expansion thermique différents. Le tenseur des contraintes thermomécaniques est noté σ [Pa] $= \begin{pmatrix} \sigma_x & \sigma_{xy} & \sigma_{xz} \\ \sigma_{xy} & \sigma_y & \sigma_{yz} \\ \sigma_{xz} & \sigma_{yz} & \sigma_z \end{pmatrix}$, où (x, y, z) est le repère orthonormée associé à la structure. Les termes de la diagonale correspondent aux contraintes normales tandis que les termes hors diagonale correspondent à du cisaillement.

Les propriétés optiques des guides d'onde sont modifiées par ces contraintes à cause de l'effet photo-élastique. L'effet photo-élastique est la variation de l'indice de réfraction d'un matériau lorsque celui-ci est contraint par une pression extérieure. Cet effet a été mesuré par l'équipe de Y. Amemiya de l'université de Hiroshima, au sein d'un résonateur en anneau en silicium [170]. Leur but était d'évaluer les coefficients photo-élastiques du silicium dans des structures optiques très petites telles qu'un anneau. Ils ont mesuré le décalage de longueur d'onde de résonance de l'anneau, induit par des contraintes mécaniques et en ont déduit que l'effet photo-élastique dans un anneau est similaire à celui du silicium massif (*bulk silicon*). Les coefficients photo-élastiques C_1, C_2 et C_3 du silicium sont calculés à partir du module de Young, du coefficient de Poisson et des constantes du silicium reliant sa déformation et sa variation d'indice de réfraction (*strain-optic constants*). Ils sont donnés dans [171] pour une longueur d'onde de 1.15 µm. Nous considérons que ces valeurs restent valables pour notre longueur d'onde de travail, autour de 1.31 µm, car la dispersion est faible [172]. Les coefficients photo-élastiques sont reportés dans le Tableau 16. La variation de l'indice de réfraction du silicium est décrite par le tenseur Δn dont les composantes s'expriment selon l'ensemble d'équations (6-1).

$$\begin{cases} \Delta n_x = -C_1\,\sigma_x - C_2\,(\sigma_y + \sigma_z) \\ \Delta n_y = -C_1\,\sigma_y - C_2\,(\sigma_z + \sigma_x) \\ \Delta n_z = -C_1\,\sigma_z - C_2\,(\sigma_x + \sigma_y) \\ \Delta n_{xy} = \Delta n_{yx} = C_3\sigma_{xy} \\ \Delta n_{xz} = \Delta n_{zx} = C_3\sigma_{xz} \\ \Delta n_{yz} = \Delta n_{zy} = C_3\sigma_{yz} \end{cases} \tag{6-1}$$

Notons que l'effet photo-élastique est également valable pour les couches d'oxyde de silicium entourant les guides de silicium. Néanmoins les constantes photo-élastiques du SiO_2 sont un ordre de grandeur plus faible que celles du Si. C'est pourquoi nous pouvons en première approximation négliger la variation d'indice de réfraction de l'oxyde [172].

Comme décrit par M. Huang de l'université de Princeton [171], les contraintes thermomécaniques conduisent à une distribution de l'indice de réfraction inhomogène et anisotropique au sein du guide d'onde. Ceci implique une modification de l'indice effectif du silicium et de la forme des modes optiques se propageant dans le guide. Les contraintes mécaniques peuvent aussi changer le nombre de modes et rendre ainsi le guide multimode. En effet, le nombre de modes est directement lié aux dimensions géométriques du milieu de propagation qui sont modifiées par l'application d'une pression. Par ailleurs, si la différence d'indices entre le silicium et l'oxyde se réduit, le confinement du mode optique au sein du guide sera plus faible et les pertes de radiations plus élevées. Des pertes dites de transition peuvent également apparaître lorsque la lumière passe d'une zone contrainte à non contrainte et vice-versa. Enfin, l'anisotropie du silicium se traduit par l'apparition de la biréfringence, c'est-à-dire une différence d'indice entre les modes TE (*transverse electric*) et TM (*transverse magnetic*). La biréfringence [173] [174] peut induire une différence importante des pertes de propagation entre les polarisations TE et TM (PLD *polarization dependent loss*) et peut aussi engendrer une dispersion

des modes (PMD *polarization mode dispersion*). Le phénomène de dispersion se produit en général au sein des fibres optiques [175] et se caractérise par une différence des temps de propagation des modes TE et TM. Ceci est particulièrement critique pour des systèmes de transmission à grande vitesse, avec des débits par canal de 40 Gb/s et plus. En résumé, les contraintes thermomécaniques peuvent dégrader, via l'effet photo-élastique, de façon plus ou moins importante les performances optiques des guides d'onde d'où la nécessité d'étudier ces phénomènes.

Dans notre cas, nous allons regarder l'effet induit par les piliers en cuivre sur un anneau résonant. Nous allons donc concentrer notre étude sur l'évaluation du changement d'indice effectif au sein de l'anneau et du guide d'onde adjacent. La non-uniformité de l'indice effectif le long des guides sera certainement à l'origine de pertes optiques plus importantes. De plus, un couplage entre les modes TE et TM pourrait apparaître car les CuP, placés selon un quadrillage régulier, introduisent une perturbation périodique du milieu de propagation (analogie avec un réseau de couplage). En conséquence, une faible conversion TE/TM [176] pourrait dégrader davantage les performances du lien optique. Cependant, ces aspects ne sont pas prépondérants pour un anneau résonant. Le principal impact des CuP est un décalage du pic de résonance de l'anneau qu'il est important de quantifier, notamment pour la conception d'un lien WDM mettant en jeu plusieurs anneaux cascadés.

6.2.2. Description du modèle COMSOL

Dans ce paragraphe, nous détaillons la modélisation réalisée à l'aide du logiciel COMSOL Multiphysics qui permet de simuler le procédé de refroidissement de l'assemblage 3D afin d'en extraire la distribution des contraintes mécaniques au sein de la puce photonique.

Pour réaliser notre modèle des piliers en cuivre, nous nous sommes basés sur une modélisation par éléments finis (FEM *finite element modeling*) complétée par quelques calculs de post-traitement. La FEM permet d'évaluer numériquement les contraintes thermomécaniques tandis que le post-traitement permet de prendre en compte l'effet photo-élastique et ainsi d'estimer le décalage en longueur d'onde du pic de résonance d'un anneau.

Afin de définir les paramètres des simulations COMSOL, nous nous sommes appuyés sur deux études de la littérature :

- Dans la première [177], V. Fiori (STMicroelectronics) analyse les contraintes thermomécaniques induites dans un assemblage 3D par différents types de bumps (*solder bumping, copper pillar, micro-copper pillar*). Les simulations sont également réalisées à partir du logiciel COMSOL. Puis à partir des résultats obtenus, le changement impacté sur la mobilité des porteurs des transistors de type NMOS et PMOS est calculé, en se basant sur l'effet piézo-résistif. Cette étude permet de définir des recommandations pour le placement des transistors qui pourront être inclues dans les outils de conception microélectronique.
- Dans la seconde [172], Y. Yang (A*STAR) analyse les contraintes thermomécaniques induites par des « vias à travers le silicium » (TSV *Through Silicon Via*) au sein d'un interposeur photonique. En particulier, il s'intéresse à l'impact des TSV sur l'indice effectif du silicium, à proximité d'un anneau résonant et en déduit le décalage du pic de résonance. L'étude théorique est menée à l'aide du logiciel Mechanical APDL et est confirmée par une caractérisation expérimentale. Enfin, le papier propose une zone de garde (KOZ *Keep-Out Zone*) des TSV par rapport aux anneaux afin de s'assurer que leur résonance soit décalée de moins de 0.1 nm.

Pour ce modèle, nous considérons un anneau entouré par deux micro-piliers en cuivre. Les différentes étapes de la modélisation sont successivement :

- Définir la géométrie du problème,
- Définir les propriétés des matériaux,
- Choisir la (ou les) physique(s),
- Définir le maillage,
- Résoudre le problème,
- Afficher les résultats souhaités.

La géométrie de l'assemblage est représentée à la Figure 6.9. L'anneau résonant d'un rayon de 8 µm est situé au milieu de deux piliers espacés de 60 µm. La forme, la composition et les dimensions des CuP sont extraites d'un rapport interne à STMicroelectronics [178]. Les CuP ont une hauteur totale de 33 µm, découpée en trois zones : les parties supérieure (13 µm d'épaisseur) et inférieure (10 µm) sont en cuivre tandis que la partie centrale (10 µm) est composée d'un alliage d'étain et d'argent. Le diamètre des CuP est variable. Il est minimal aux extrémités et vaut 20 µm tandis qu'il est maximal

au milieu et vaut 25 µm. La die électrique, posée sur les CuP, est modélisée par une simple couche de silicium. Par contre, le modèle de la die photonique comprend un empilement constitué du substrat silicium, du BOX, du silicium incluant les composants photoniques et du backend (BEoL). Sous les piliers, des pads en aluminium sont également modélisés ainsi que des connexions en cuivre qui relient les contacts de la jonction PN de l'anneau aux piliers. Enfin, le matériau de remplissage autour des CuP est une pâte non conductrice (NCP).

Le procédé d'assemblage 3D est simulé par un refroidissement thermomécanique uniforme de la structure. Les différentes physiques intervenant dans la modélisation sont ainsi :

- La mécanique du solide qui utilise une approche linéaire élastique pour l'ensemble des matériaux. On considère des propriétés isotropiques pour tous les matériaux ;
- Le transfert de chaleur ;
- Un module multi-physique combinant les deux modules précédents afin de modéliser la déformation thermique de l'assemblage. Une différence de température de 220°C, 170°C et 80°C est respectivement appliquée à la die du dessus, au NCP et à la die du dessous.

Nous définissons les paramètres de chacun des matériaux intervenant dans les équations mises en œuvre par la simulation thermomécanique, c'est-à-dire le module de Young, le coefficient de Poisson, le coefficient d'expansion thermique ainsi que la conductivité thermique et la capacité thermique. Ces paramètres sont récapitulés dans le Tableau 16. Le maillage de l'assemblage est généré automatiquement en prenant en compte les contraintes des physiques appliquées et des dimensions des objets. Les simulations sont ensuite réalisées à partir d'une étude stationnaire.

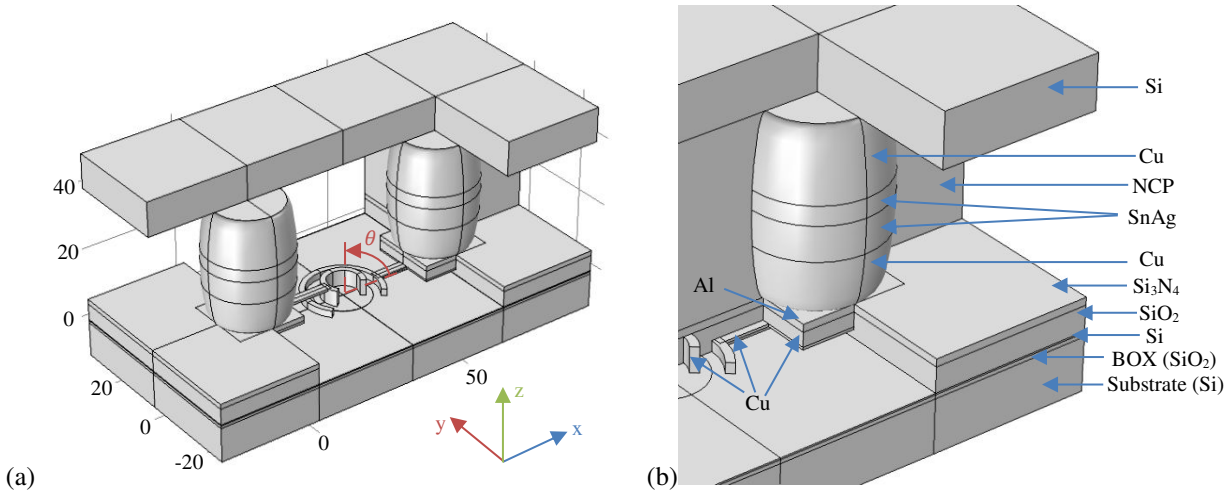


Figure 6.9. Modèle COMSOL d'un assemblage par µ-CuP : (a) vue globale, (b) définition des différents matériaux

	Coefficients mécaniques			**Coefficients thermiques**	
	Module de Young (10^9 Pa)	Coefficient de Poisson	Coefficient d'expansion thermique (10^{-6} K^{-1})	Conductivité thermique ($W.m^{-1}.K^{-1}$)	Capacité thermique ($J.kg^{-1}.K^{-1}$)
Silicium (Si)	170	0.28	2.6	131	700
Oxyde de silicium (SiO_2)	70	0.17	0.5	1.4	730
Cuivre (Cu)	110	0.35	16.5	401	384
Aluminium	70	0.33	23.1	237	904
Nitrure de silicium (Si_3N_4)	250	0.23	2.3	20	700
Etain-Argent (SnAg)	50	0.4	22	73.52	227
Pâte de remplissage (NCP)	11.4	0.25	27.2	0.85	930
	Coefficients photo-élastiques (10^{-12} Pa^{-1})			**Coefficients des indices de réfraction / effectifs**	
Silicium (Si)	$C_1 = -11.35$	$C_2 = 3.65$	$C_3 = -23.72$	$a_{1,TE} = 0.844$	$a_{2,TE} = 0.219$

Tableau 16. Paramètres de simulations et de calculs des effets thermomécanique et photo-élastique

6.2.3. Résultats des simulations COMSOL

Le logiciel COMSOL permet de déterminer les contraintes thermomécaniques induites par le procédé d'assemblage par CuP à partir d'un calcul par éléments finis. La Figure 6.10 illustre la distribution du tenseur de contraintes sur le plan de silicium contenant les composants photoniques, c'est-à-dire l'anneau et le guide adjacent, non représenté ici. Seules les cartographies des composantes σ_x, σ_y et σ_z sont représentées. Néanmoins, les contraintes normales et les contraintes de cisaillement le long de l'anneau sont reportées plus précisément sur la Figure 6.11. Le repère (x, y, z) ainsi que la position angulaire θ le long de l'anneau sont donnés à la Figure 6.9.

Les simulations montrent que les contraintes sont du type « tension » à proximité de l'anneau tandis qu'elles sont du type « compression » sous les piliers en cuivre. De plus les composantes σ_x et σ_y atteignent des valeurs relativement élevées de l'ordre de 40 MPa à 100 MPa au niveau de l'anneau.

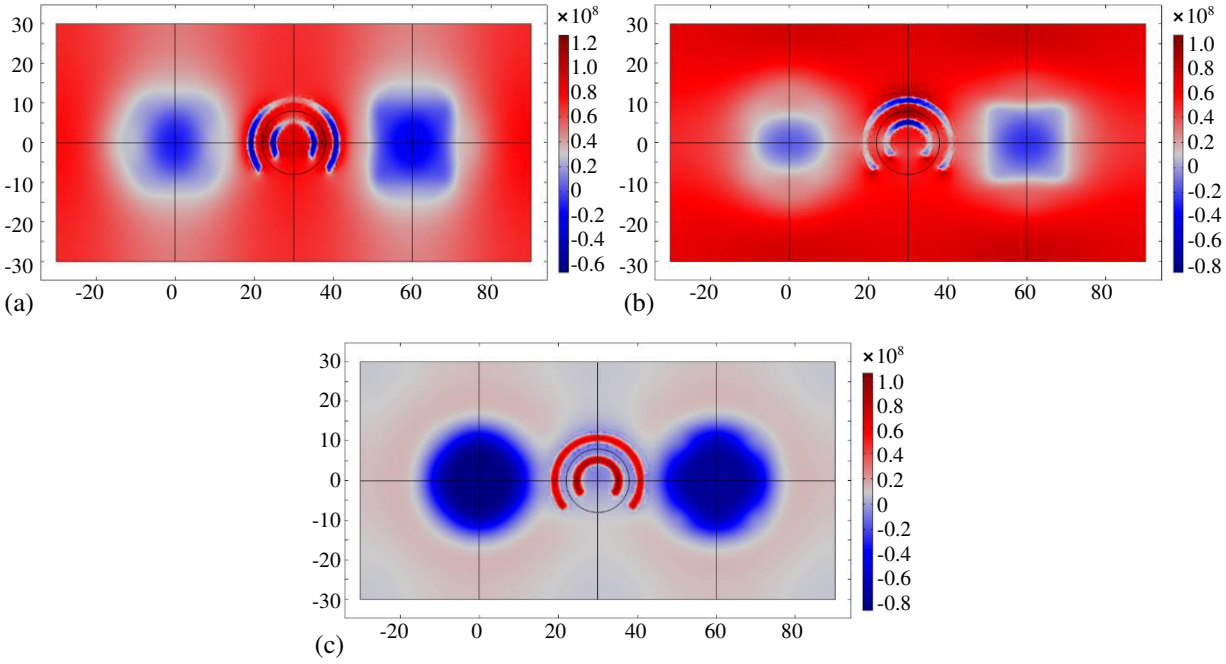


Figure 6.10. Cartographie des composantes du tenseur de contrainte ($N.m^{-2}$) sur le plan silicium : (a) composante σ_x, (b) composante σ_y, (c) composante σ_z.

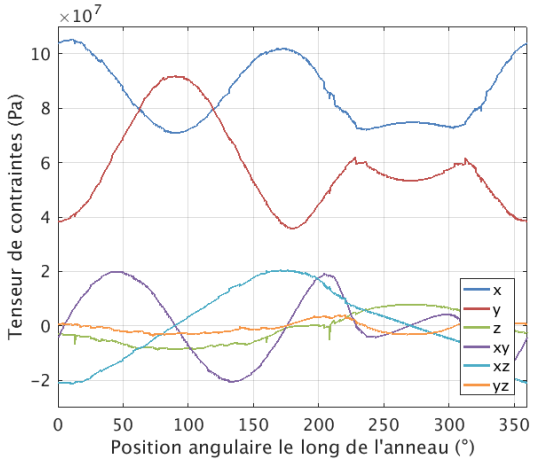


Figure 6.11. Profil des contraintes normales et de cisaillement le long de l'anneau résonant (repère (x, y, z))

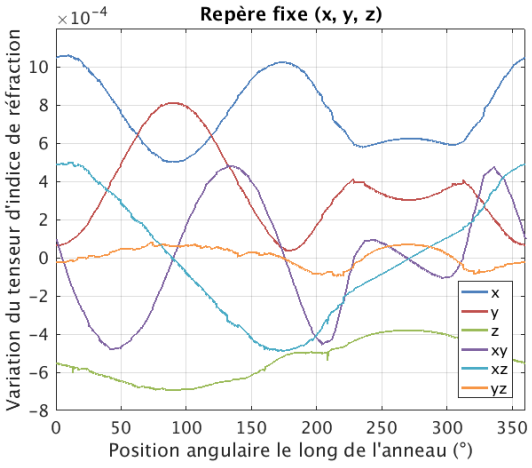
L'effet photo-élastique est ensuite analysé de manière analytique à partir des équations (6-1). Les coefficients photo-élastiques C_1, C_2 et C_3 qui interviennent dans les calculs sont donnés dans le Tableau 16. La distribution du tenseur d'indice de réfraction Δn dans le référentiel fixe (x, y, z) est illustrée à la Figure 6.12 (a). Elle est non-uniforme le long de l'anneau et varie approximativement de 0.0001 à 0.001. Nous introduisons un référentiel (r, θ, z) variable, attaché à l'anneau. Les relations de passage d'un repère à l'autre sont données par les équations (6-2). Nous calculons alors la variation du tenseur d'indice de réfraction dans le repère de l'anneau selon le système matriciel (6-3). Les composantes

Δn_r, Δn_θ, Δn_z, $\Delta n_{r\theta}$, Δn_{rz} et $\Delta n_{\theta z}$ sont représentées à la Figure 6.12 (b). Nous pouvons constater que la zone de l'anneau non entourée par des contacts métalliques (θ allant de 240° à 300°) a un indice de réfraction constant, ce qui confirme que le changement d'indice est dû à la différence de coefficient d'expansion thermique entre le silicium et le cuivre.

$$\begin{cases} \overrightarrow{e_r} = \cos\theta\ \overrightarrow{e_x} + \sin\theta\ \overrightarrow{e_y} \\ \overrightarrow{e_\theta} = -\sin\theta\ \overrightarrow{e_x} + \cos\theta\ \overrightarrow{e_y} \\ \overrightarrow{e_z} = \overrightarrow{e_z} \end{cases} \tag{6-2}$$

$$\begin{pmatrix} \Delta n_r & \Delta n_{r\theta} & \Delta n_{rz} \\ \Delta n_{r\theta} & \Delta n_\theta & \Delta n_{\theta z} \\ \Delta n_{rz} & \Delta n_{\theta z} & \Delta n_z \end{pmatrix} = \begin{pmatrix} \cos\theta & -\sin\theta & 0 \\ \sin\theta & \cos\theta & 0 \\ 0 & 0 & 1 \end{pmatrix} \begin{pmatrix} \Delta n_x & \Delta n_{xy} & \Delta n_{xz} \\ \Delta n_{xy} & \Delta n_y & \Delta n_{yz} \\ \Delta n_{xz} & \Delta n_{yz} & \Delta n_z \end{pmatrix} \begin{pmatrix} \cos\theta & \sin\theta & 0 \\ -\sin\theta & \cos\theta & 0 \\ 0 & 0 & 1 \end{pmatrix} \tag{6-3}$$

(a)



(b)

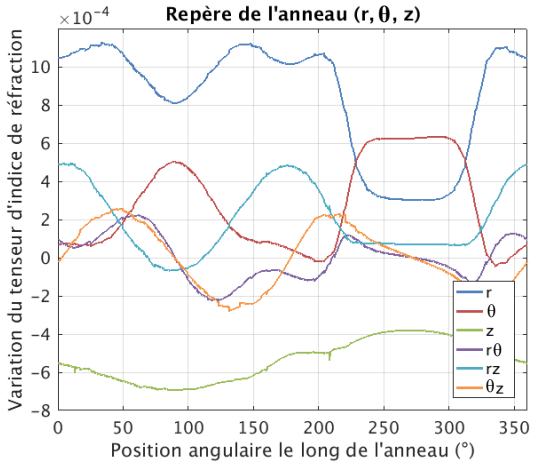


Figure 6.12. Variations de l'indice de réfraction du silicium le long de l'anneau dans le repère : (a) (x, y, z), (b) (r, θ, z)

La propagation des ondes au sein des composants photoniques est cependant dictée par l'indice effectif. Nous cherchons donc à calculer la variation de l'indice effectif Δn_{eff} en fonction de la variation de l'indice de réfraction Δn. Le papier [172] montre que pour un guide d'onde droit, d'axe de propagation x, la variation d'indice effectif du mode TE peut être dérivée à partir des variations Δn_y et Δn_z selon l'équation (6-4). Les valeurs des coefficients $a_{1,TE}$ et $a_{2,TE}$ sont données dans le Tableau 16. Pour un guide en anneau, nous adaptons cette équation afin de prendre en compte le fait que le mode TE tourne par rapport au repère fixe (x, y, z). Nous obtenons alors l'équation (6-5) formulée à partir de la variation Δn exprimée dans le repère de l'anneau (r, θ, z). La variation de l'indice effectif est illustrée à la Figure 6.13 (a).

$$\Delta n_{eff,TE} = a_{1,TE}\,\Delta n_y + a_{2,TE}\,\Delta n_z \tag{6-4}$$

$$\Delta n_{eff,TE} = a_{1,TE}\,\Delta n_r + a_{2,TE}\,\Delta n_z \tag{6-5}$$

Afin de confirmer le modèle de $\Delta n_{eff,TE}$ donné par le papier [172], nous avons réalisé une seconde modélisation sur le logiciel COMSOL afin de calculer l'indice effectif du guide d'onde à partir de l'indice non uniforme du silicium donné par la Figure 6.12 (b). Nous considérons un modèle 2D d'un guide rib en silicium avec les dimensions suivantes :

- $w_{rib} = 320$ nm
- $h_{rib} = 310$ nm
- $w_{slab} = 3$ µm
- $h_{slab} = 50$ nm

La physique appliquée au modèle correspond aux ondes électromagnétiques dans le domaine fréquentiel. La direction de propagation est définie comme perpendiculaire au plan (axe θ). Une étude paramétrique est mise en place afin de calculer successivement l'indice effectif du mode TE pour les différentes positions angulaires le long de l'anneau résonant, correspond chacune à une combinaison (Δn_r, Δn_θ, Δn_z, $\Delta n_{r\theta}$, Δn_{rz}, $\Delta n_{\theta z}$) spécifique. Cette étude est réalisée en deux étapes : une étude stationnaire puis l'analyse des modes électromagnétiques. Cette modélisation permet de décrire la répartition du champ électromagnétique au sein du guide en fonction du mode considéré. La norme du champ électrique pour le mode TE est illustrée à titre d'exemple à la Figure 6.13 (b).

La variation de l'indice effectif le long de l'anneau obtenue par la simulation Comsol est illustrée à la Figure 6.13 (a). La forme de la courbe est identique à la modélisation de l'équation (6-5) mais elle est légèrement décalée d'environ 0.0001 à 0.0002. Ce décalage est sans doute dû au fait que le guide d'onde de la publication [172] est différent du nôtre d'où un confinement différent du champ électromagnétique et un indice effectif différent.

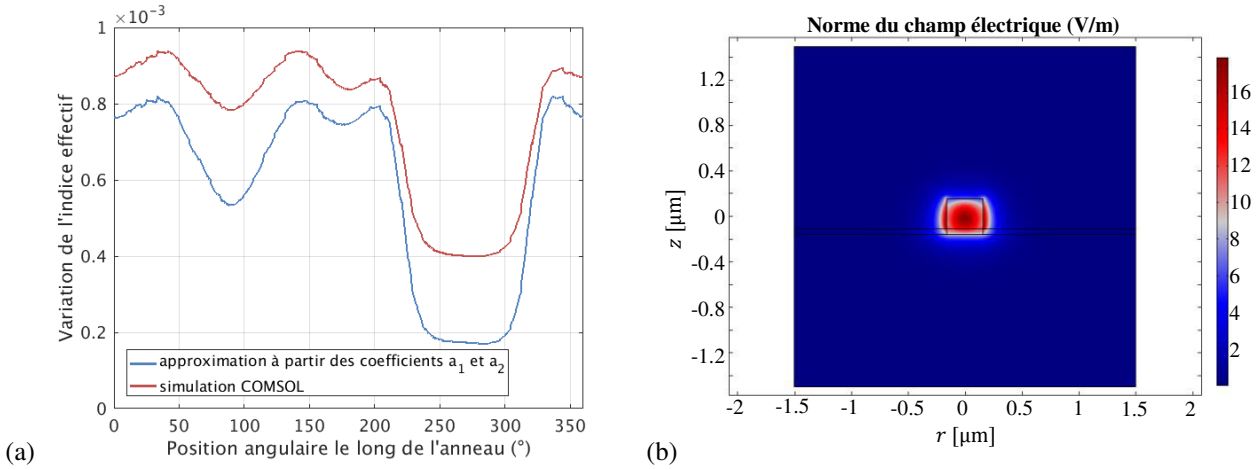


Figure 6.13. (a) Variations de l'indice effectif du mode TE se propageant dans l'anneau. (b) Modèle COMSOL décrivant la distribution du champ électrique ($V.m^{-1}$) au sein d'un guide d'onde

La variation de l'indice effectif de l'anneau conduit à un décalage de sa longueur d'onde de résonance (cf. équation (2-13)). Cependant il est difficile d'évaluer précisément le décalage du pic de résonance car la distribution de l'indice effectif n'est pas uniforme dans l'anneau. Notre étude montre que la variation de Δn_{eff} est comprise entre 0.0004 et 0.0009, avec une valeur moyenne de 7.5×10^{-4}. Le décalage de la longueur d'onde de résonance est donné par la relation (6-6) où $\lambda = 1310$ nm est la longueur d'onde de résonance de l'anneau et $n_g = 4.07$ est l'indice de groupe du guide. Le décalage du pic est estimé approximativement de 130 à 300 pm.

$$\Delta\lambda_{shift} = \frac{\Delta n_{eff}\,\lambda}{n_g} \tag{6-6}$$

Pour comparaison, le décalage du pic lors d'une modulation électro-optique (type jonction PN) est de 10 à 20 pm/V tandis qu'il est de 100 pm/°C pour une modulation thermo-optique (type résistance chauffante). De plus, un tel décalage de la résonance peut être particulièrement critique pour un système DWDM (*Dense WDM*). En effet l'espacement des canaux dans une transmission DWDM est typiquement de 50 GHz à 100 GHz, ce qui correspond à un espacement entre deux pics de résonance de 280 pm à 560 pm pour une communication à 1.31 µm. En conséquence, les performances du lien WDM pourraient être fortement dégradées par rapport au système initialement conçu si chaque anneau subit un décalage différent. Ceci montre la nécessité d'implémenter un système de correction afin de réaligner les pics de résonance. Par ailleurs, il est également essentiel d'avoir accès à des mesures expérimentales afin de valider le procédé de simulation des effets thermomécaniques induits par l'assemblage 3D.

6.2.4. Conception des structures de tests

Dans le paragraphe précédent, l'impact de la mise en contact des puces par les micro-piliers en cuivre sur un anneau résonant a été étudié théoriquement. La prochaine étape consiste donc à quantifier expérimentalement les contraintes induites par les CuP à travers l'évaluation du décalage de la longueur d'onde de résonance. Pour ce faire, nous allons concevoir des structures de test avec les CuP, mesurer avant puis après assemblage les caractéristiques des anneaux, les comparer et en déduire ainsi l'impact de l'assemblage 3D.

Les structures typiques du circuit photonique qui mettent en jeu les piliers en cuivre ont été identifiées précédemment (Figure 6.1) : il s'agit des liens WDM à base d'anneaux. Afin de préciser la conception du circuit, il faut identifier le nombre minimal de piliers par anneau. Celui-ci est de quatre. En effet, il faudra un pilier pour amener le signal de données vers l'EIC, puis ce signal est traité par le driver et redescend par un second pilier pour driver la cathode de l'anneau (l'anode est supposée être reliée à la masse). Deux autres piliers sont nécessaires afin d'amener les signaux d'alimentation au driver (Vdd et gnd). Ceci est vrai dans le cas de notre démonstrateur car les signaux de données électriques viennent de l'extérieur. Dans une implémentation réelle d'une interconnexion chip-to-chip, ce ne sera pas utile. En revanche, il

faudra prévoir des CuP pour le système d'asservissement de la position des anneaux afin de connecter la photodiode insérée dans le guide add-drop et la résistance chauffante. Une structure plus complexe de l'EIC peut aussi conduire à utiliser davantage de piliers, par exemple un driver asymétrique pilotant l'anode et la cathode de l'anneau. Cette question du nombre de CuP par anneau est importante pour déterminer la densité des anneaux ainsi que leur position par rapport aux piliers. En effet, compte tenu des contraintes de densité des piliers, dictée par l'écart entre les CuP, et du nombre de piliers nécessaires, la densité des anneaux sera limitée et différentes positions des anneaux peuvent être envisagées.

L'objectif est alors d'implémenter différentes structures de test à base d'anneaux afin d'évaluer si l'une d'entre elles est à proscrire ou au contraire à privilégier. Nous avons effectué quelques études supplémentaires sur Comsol pour nous permettre d'identifier quelques tendances. Notamment, nous nous sommes intéressés à la position de l'anneau. Les deux architectures représentées à la Figure 6.14 ont été simulées, l'une avec un anneau placé au centre de quatre piliers (hypothèse de symétrie afin de réduire la complexité des calculs) et l'autre avec un anneau placé sous un pilier. La variation du tenseur de contraintes pour chacun des cas est illustrée à la Figure 6.15 et est comparée avec la variation obtenue dans le paragraphe précédent pour le cas d'un anneau placé au milieu de deux piliers. Nous pouvons constater que le cas de l'anneau sous un pilier se détache des deux autres études car la contrainte appliquée à l'anneau est principalement dans la direction verticale et non dans le plan (x, y).

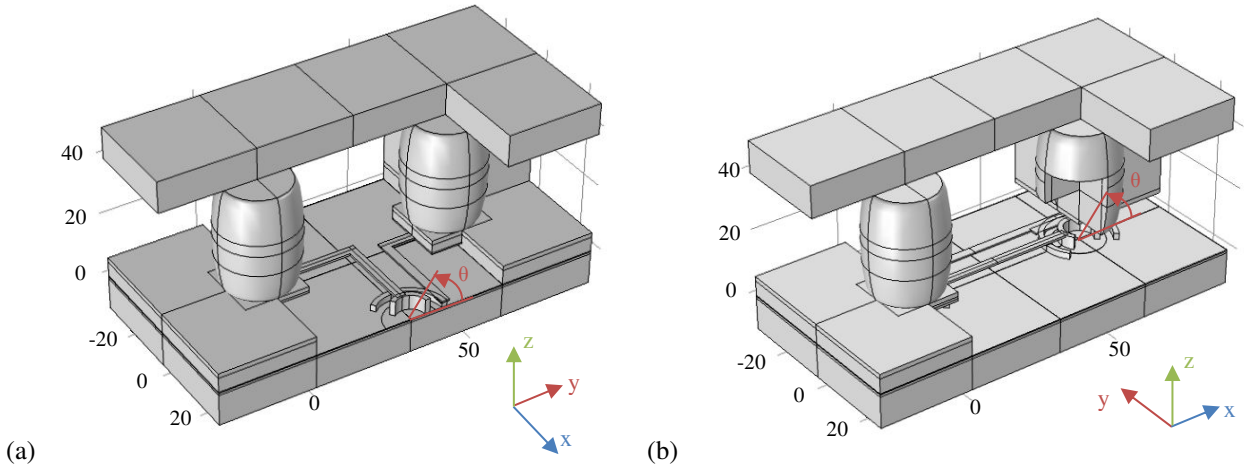


Figure 6.14. Différentes géométries : (a) anneau au centre de 4 CuP (structure symétrique), (b) anneau sous un CuP

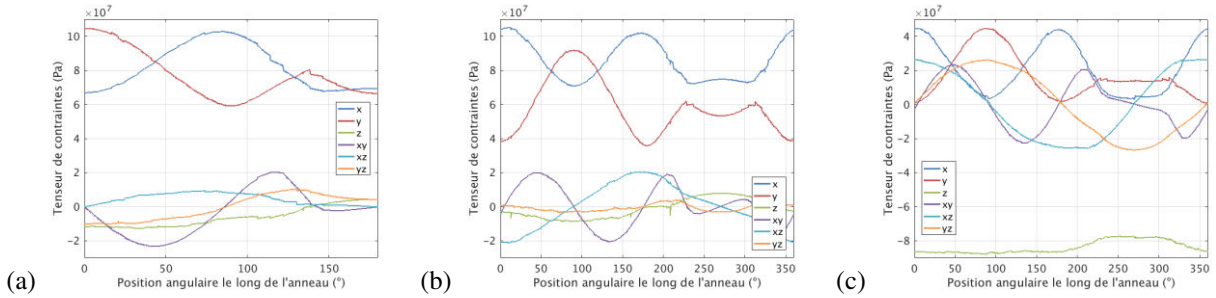
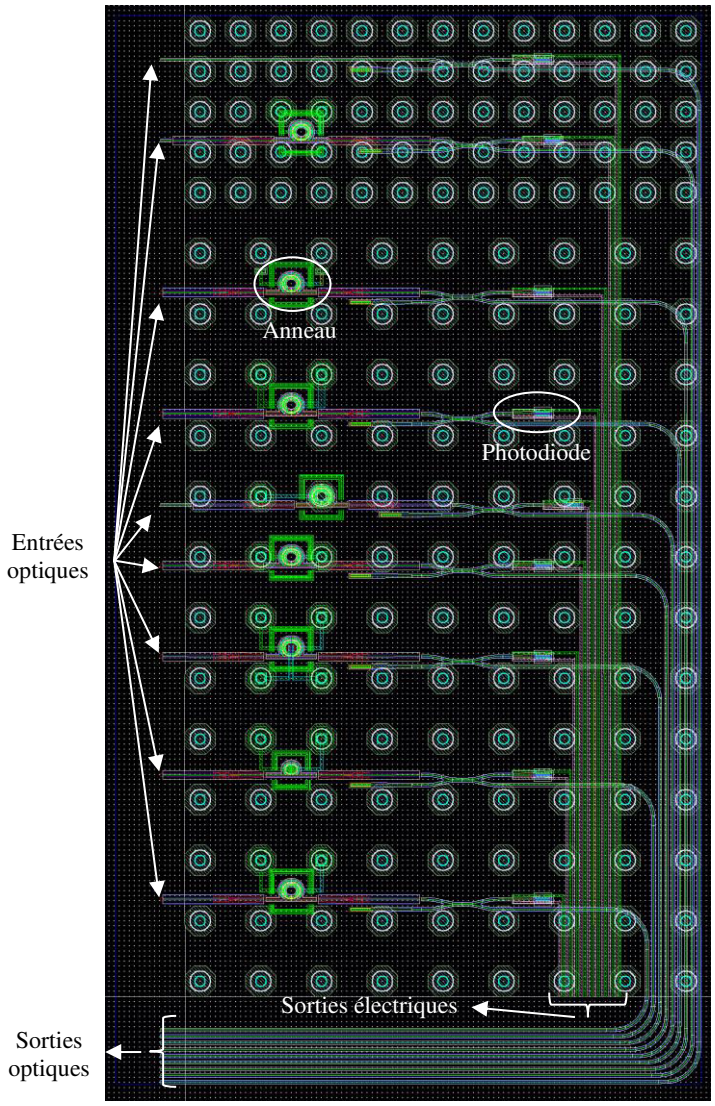


Figure 6.15. Comparaison des tenseurs de contraintes d'un anneau en fonction de sa position par rapport aux CuP : (a) Anneau au centre de 4 CuP, (b) Anneau au milieu de 2 CuP, (c) Anneau sous un CuP

Cependant, nous pouvons difficilement simuler toutes les configurations possibles et de plus, nous sommes limités par la capacité de calcul du logiciel. C'est pourquoi, nous préférons stopper le travail de simulation à ce stade pour nous concentrer sur les tests expérimentaux. Nous définissons neuf structures de test dont la vue du layout est représentée à la Figure 6.16. Ces structures ont pour but d'évaluer la variabilité des anneaux due à l'impact des piliers en cuivre. Chaque structure comprend un anneau dont la sortie optique est divisée en deux branches par un coupleur 3dB. L'un des guides permettra de mesurer le signal optiquement tandis que l'autre est terminé par une photodiode afin d'avoir accès également à une mesure électrique. Une matrice de CuP recouvre l'ensemble du module et permettra l'assemblage d'une puce électrique (sans fonctionnalité électrique). Les électrodes des anneaux sont reliées aux piliers afin de mimer une connexion vers un driver. Le module sera intégré au sein d'un circuit photonique plus grand, donc les réseaux de couplages d'entrées et de sorties optiques ne sont pas représentés ici ainsi que les pads électriques.

Les spécificités de chacune des structures sont détaillées en commentaires de la Figure 6.16. La structure n°1 correspond à l'anneau de référence, à partir duquel sont dérivées les autres structures. Les paramètres qui ne sont pas précisés sont identiques à ceux de l'anneau n°1. Seule la structure n°9 diffère car elle ne contient pas d'anneau, ce qui permettra de découpler les effets dus à la photodiode de ceux de l'anneau.

Le module sera répété à différents endroits du circuit photonique global, notamment pour comparer l'impact des CuP sur des anneaux placés aux bords ou dans les coins de la puce et ceux placés en plein milieu de la matrice de piliers. Par ailleurs, un autre module comprenant un seul anneau sera également implémenté en dehors de la zone des CuP. Ceci permettra de vérifier la reproductibilité des mesures avant et après assemblage. Les caractéristiques de ce module ne sont pas censées changer d'une mesure à l'autre puisqu'elles ne seront pas impactées par les contraintes induites par les piliers. Une vue globale de la puce photonique incluant les modules « variabilité des anneaux », au nombre de six, et les modules « reproductibilité des mesures », au nombre de quatre, sera montrée dans la section 6.4 suivante.



(9) Pas d'anneau

(8) Changement du pitch des CuP à 40 µm

(7) Pas de pastille en métal 4 sous les CuP

(6) Elargissement des connexions, 6 µm de large

(5) Changement de la position, anneau placé sous un CuP

(4) Changement de la position, au milieu de 2 CuP (cas similaire aux simulations de la section 6.2.3)

(3) Ajout d'une résistance chauffante, 4 connexions vers les CuP

(2) Changement des dimensions de l'anneau, le contact intérieur est un disque
- $R = 5$ µm
- $gap = 0.23$ µm

(1) Anneau de référence :
- $R = 8$ µm
- $L_c = 2$ µm
- $gap = 0.25$ µm
- Position au centre de 4 CuP
- Pitch des CuP de 60 µm
- Connexions de 3 µm de large

Figure 6.16. Layout des structures de test "variabilité des anneaux" vis-à-vis des CuP

En conclusion, cette étude sur les piliers en cuivre nous a permis d'examiner théoriquement l'impact de l'assemblage 3D sur un anneau résonant. La prochaine étape est tout naturellement de quantifier expérimentalement les contraintes thermomécaniques engendrées par les CuP à travers la mesure du décalage des pics de résonance de l'anneau. Pour ce faire, nous avons mis en place différentes structures de test qui permettront d'analyser l'influence des CuP en fonction du layout des anneaux. Les mesures n'ont pas pu être effectuées avant le dépôt du présent manuscrit mais nous espérons pouvoir présenter certains résultats lors de la soutenance.

6.3. Simulations et conception des liens WDM

Dans cette section, nous allons détailler comment concevoir un lien WDM (*Wavelength Division Multiplexing*) à base d'anneaux résonants. Nous ne regardons que la partie transmetteur qui est constituée d'anneaux all-pass.

Un lien WDM consiste à cascader plusieurs anneaux sur un même guide d'onde droit. Ce guide transporte plusieurs longueurs d'onde qui vont interagir chacune avec un anneau distinct. Les longueurs d'onde de résonance sont réglées en modifiant légèrement la circonférence des anneaux. Elles doivent également s'intercaler sur une distance d'un intervalle spectral libre (FSR) tout en étant les plus espacées possibles pour ne pas créer de diaphonie entre les différents canaux.

Dans un premier temps, nous définirons les caractéristiques des anneaux utilisés pour le lien WDM (dimension, couplage, espacement inter-canal, etc…). Puis dans une seconde partie, nous montrerons l'impact de la diaphonie sur la transmission des données et évaluerons grâce à des simulations électro-optiques une pénalité en puissance de diaphonie. Enfin, après validation du design du lien WDM, nous expliquerons leur conception et leur layout en vue du démonstrateur 3D.

6.3.1. Théorie sur les liens WDM

Notre objectif est de concevoir un lien constitué de 16 canaux, chacun autorisant un débit de 20 Gb/s afin d'obtenir une bande passante totale de 320 Gb/s (un total de 2.5 Tb/s avec 8 liens identiques). Le design des modulateurs en anneaux repose sur les anneaux étudiés au Chapitre 2 et au Chapitre 3. En effet, les caractéristiques de l'anneau 20G ont été validées pour un fonctionnement à 20 Gb/s, ce qui nous assure a priori que les anneaux pris séparément seront fonctionnels. Il ne reste qu'à étudier l'association de ces anneaux dans un lien WDM.

Les propriétés des anneaux étudiés sont récapitulées dans le Tableau 17. Les caractéristiques statiques ainsi que les bandes passantes optique et électrique sont estimées à partir du modèle Matlab développé dans le Chapitre 2 et confirmé par les mesures effectuées sur l'anneau 20G dans le Chapitre 3. La longueur de couplage des anneaux se base sur une longueur fixe de 2 µm mais elle sera légèrement modifiée d'un anneau à l'autre afin de modifier leur longueur d'onde de résonance.

Dimensions	**Dopage**	**Couplage, pertes et facteurs correctifs**	**Caractéristiques statiques**		**Bande passante**
$R = 8\mu m$ L_c *variable* $w_{slab_1} = 120$ nm $w_{slab_2} = 340$ nm $h_{slab} = 50$ nm $w_p = 190$ nm $w_n = 130$ nm	$N_a = 9.10^{17}$ cm^{-3} $N_d = 15.10^{17}$ cm^{-3} $N_+ = 2.10^{19}$ cm^{-3} $P_+ = 2.10^{19}$ cm^{-3}	$K = 5$ % $\alpha_{dop} = 2\,900$ dB/m $c_{FCA} = 1$ $corr_\varphi = 0.8$ $corr_{loss} = 0.9$	$\lambda_{res} \approx 1310$ nm $n_g \approx 4.2$ $n_{eff} \approx 2.6$ $FSR = 7.5$ nm $ER_{on-off} = 12$ dB	$FWHM = 100$ pm $\mathbb{Q} = 13\,000$ $\Delta\lambda_{shift} = 12.5$ pm/V $TP_{min} = 8.2$ dB $ER_{stat} = 4.4$ dB	$C_j = 30$ fF $R_{access} = 62\ \Omega$ $\tau = 9$ ps $f_{RC} = 71$ GHz $f_{opt} = 17$ GHz

Tableau 17. Caractéristiques des anneaux des liens WDM

La première étape est de définir l'espacement inter-canal $\Delta\lambda_{WDM}$ séparant chaque longueur d'onde de résonance. Le FSR des anneaux est de 7.5 nm et doit inclure 16 pics de résonance. Ainsi l'écart entre deux résonances est fixé à $\Delta\lambda_{WDM} = 0.45$ nm, ce qui correspond à un écart fréquentiel de $\Delta f_{WDM} = 78$ GHz. Nous déterminons ensuite quelle variation du périmètre de l'anneau ΔL_{ring} permet d'obtenir une variation de 0.45 nm de la longueur d'onde de résonance. Pour cela, nous utilisons l'équation (6-7), équivalente à l'équation (6-8) où N est le nombre de canaux du lien. Le détail des calculs permettant d'aboutir à ces expressions est donné dans l'Annexe 1.

$$\Delta L_{ring} = \frac{\Delta\lambda_{WDM}}{\lambda_{res}} \frac{n_g}{n_{eff}} L_{ring} \tag{6-7}$$

$$\Delta L_{ring} = \frac{1}{N} \frac{\lambda_{res}}{n_{eff}} \tag{6-8}$$

Pour un espacement de 78 GHz, la variation de la circonférence des anneaux est de 30 nm, donc la variation de la longueur de couplage est de $\Delta L_c = \Delta L_{ring}/2 = 15$ nm. Les anneaux successifs auront donc une longueur de couplage de 2 µm, 2.015 µm, 2.030 µm, …, 2.210 µm, et 2.225 µm.

Lorsqu'un lien WDM est mis en œuvre, le nombre maximum de canaux du transmetteur est limité par la diaphonie intermodulation (*inter-modulation crosstalk*). La diaphonie intermodulation est définie comme l'impact des canaux adjacents sur le spectre de l'anneau considéré. En effet, si deux pics de résonance sont très proches l'un de l'autre, une partie de la puissance optique va être capturée par le spectre voisin ce qui conduit à une dégradation du signal transmis

par l'anneau considéré. La diaphonie sera d'autant plus importante que l'intervalle spectral libre est petit (c'est-à-dire un espacement inter-canal réduit) et/ou que les pics de résonance sont larges (c'est-à-dire un facteur de qualité faible).

Afin de quantifier la diaphonie, une pénalité en puissance de diaphonie est définie. Cette pénalité correspond à la puissance optique supplémentaire fournie en entrée du lien WDM lorsque l'espacement $\Delta\lambda_{WDM}$ est réduit afin de maintenir un BER constant. Cette définition de la pénalité se prête facilement à une quantification expérimentale de la diaphonie d'un anneau, ce qui est utilisé par exemple dans les travaux de Hasitha Jayatilleka (université de Colombie-Britannique) [179] ou de Antoine Descos (HP Labs) [180]. Ici, nous cherchons à mettre en équation la pénalité de diaphonie en se basant sur les études réalisées par l'université de Columbia (Kishore Padmaraju [181] et Meisam Bahadori [158] [182]).

Le schéma de la Figure 6.17 (a) décrit la modulation du spectre de transmission d'un anneau entre 0V et -2V. La pénalité de transmission est alors considérée entre les niveaux de puissance $T1$ et $T0$. Lorsqu'un anneau adjacent vient perturber la modulation (spectre rouge), le niveau $T1$ est dégradé et remplacé par le niveau $T'1$ en présence de diaphonie. Nous faisons l'approximation que le niveau $T0$ est peu impacté par la diaphonie. Nous définissons alors la pénalité de diaphonie comme la différence entre la pénalité de transmission de l'anneau considéré sans diaphonie (spectres bleus) et la pénalité de transmission de l'anneau avec diaphonie (spectre rouge). La pénalité de diaphonie TP_{Xtalk} s'exprime comme (6-9). Cette équation peut se réécrire en fonction de la largeur $FWHM$ et de la profondeur ER_{on-off} du pic de résonance. Les détails du développement permettant d'aboutir à l'équation (6-10) sont donnés dans l'Annexe 1.

$$TP_{Xtalk} = TP_{wo\ Xtalk} - TP_{with\ Xtalk} = 10\log\left(\frac{2T_{max}}{T1 - T0}\right) - 10\log\left(\frac{2T_{max}}{T'1 - T0}\right) \tag{6-9}$$

$$TP_{Xtalk} = 10\log\left(\frac{\left(\frac{2\zeta}{FWHM}\right)^2 - \frac{1}{ER_{on-off} - 1}}{\left(\frac{2\zeta}{FWHM}\right)^2 + 1}\right) \tag{6-10}$$

ζ est la distance entre le pic de l'anneau modulé et le pic de l'anneau adjacent. Sa valeur dépend si nous considérons l'anneau adjacent à droite ou à gauche de l'anneau principal :

- Si $\lambda'_{res} > \lambda_{res}$, soit $\Delta\lambda_{WDM} > 0$, nous avons $\zeta = \Delta\lambda_{WDM} - \Delta\lambda_{shift}$ car la modulation de l'anneau implique un décalage vers les longueurs d'onde croissantes (cas de la Figure 6.17 (a)).
- Si $\lambda'_{res} < \lambda_{res}$, soit $\Delta\lambda_{WDM} < 0$, nous avons $\zeta = \Delta\lambda_{WDM}$ car le pic non modulé est le plus proche du pic adjacent.

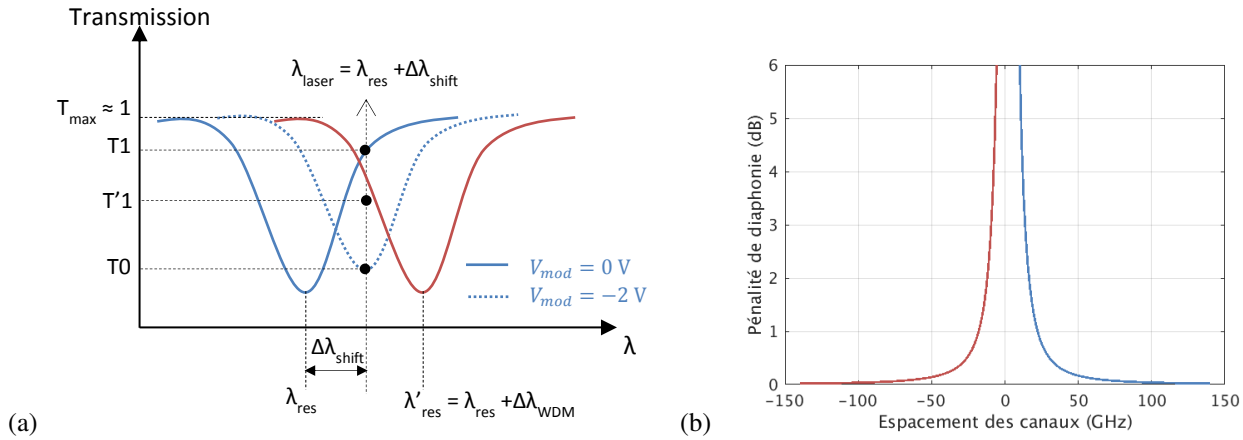


Figure 6.17. (a)Schéma des spectres de transmission d'un anneau modulé (en bleu) et de l'anneau adjacent (en rouge), (b) Pénalité de diaphonie en fonction de l'espacement inter-canal

A partir de l'équation (6-10), nous traçons à la Figure 6.17 (b) la pénalité de diaphonie en fonction de l'espacement inter-canal pour l'anneau défini ci-dessus (cf. Tableau 17). Plus les canaux sont rapprochés, plus la diaphonie sera importante. De plus, nous notons la légère asymétrie des deux branches de la courbe. En effet, comme le pic de résonance de l'anneau se décale vers la droite, l'anneau adjacent à droite aura un impact plus fort sur la diaphonie intermodulation, ce qui se traduit par une pénalité plus élevée pour la courbe bleue que pour la courbe rouge à espacement identique des canaux. Pour un espacement de 78 GHz (450 pm), la pénalité est estimée à 0.065 dB, ce qui semble raisonnable par rapport aux pertes globales dans un lien WDM (cf. section 6.1.2).

L'expression (6-10) de la pénalité de diaphonie repose sur plusieurs approximations qui sont décrites dans l'Annexe 1. C'est pourquoi, il est nécessaire d'obtenir une estimation de la diaphonie par un autre moyen afin de confirmer que notre design de lien WDM à 78 GHz ne sera pas trop pénalisé. La conception d'un DoE et des mesures expérimentales n'ont pas pu être réalisées à cause des contraintes temporelles de ce projet. Ainsi nous avons cherché à estimer la pénalité de diaphonie par des simulations électro-optiques de liens WDM.

6.3.2. Simulation électro-optique des liens WDM : Estimation de la pénalité de diaphonie

Les simulations électro-optiques d'un lien WDM ne peuvent pas être réalisées avec le logiciel ADS en utilisant la même stratégie qu'à la section 5.2.2 ou à l'Annexe 4 car le post-traitement mathématique ne permet pas de cascader plusieurs modulateurs. Nous allons simuler les liens WDM à partir de la plateforme Eldo et d'un modèle Verilog-A qui sont mieux adaptés pour des systèmes optiques complexes car les modèles des composants optiques sont directement pris en compte par la simulation. Ainsi, il est facile d'assembler plusieurs composants optiques entre eux et de simuler un lien WDM.

La plupart des composants optiques des librairies PIC25G et PIC50G disposent d'un modèle Verilog-A développé en interne à STMicroelectronics et/ou co-développé avec le CEA-LETI. Ces modèles se basent sur la définition de bus optiques qui transportent les données de puissance comme pour un signal électrique mais également les données de phase et de longueur d'onde. Les modèles Verilog-A sont compatibles avec les technologies CMOS classiques du domaine de la microélectronique, ce qui permet de combiner les composants optiques et électroniques dans une même simulation.

En ce qui concerne l'anneau résonant, son modèle a été développé récemment par André Myko du CEA-LETI et repose sur les équations de l'approche round-trip comme montrées au paragraphe 2.3.2. André a inclus dans son modèle les configurations all-pass et add-drop, ainsi que la modulation de l'anneau par une jonction PN, une jonction PIN ou une résistance chauffante. La modélisation de l'anneau est toutefois basée sur les anneaux conçus et mesurés par le CEA-LETI. Nous avons pris le soin de réviser ce modèle et de l'adapter afin de simuler le comportement des anneaux du lien WDM définis dans la section précédente (Tableau 17). Nous avons notamment intégré la modélisation RF de la jonction PN sous forme d'une capacité variable (C_j) et d'une résistance fixe (R_{access}). Le code Verilog-A ne peut pas être diffusé pour des raisons de confidentialité.

L'étape suivante consiste à créer une netlist SPICE (*Simulation Program with Integrated Circuit Emphasis*) qui comporte la liste des composants utilisés et leurs connexions entre eux et sert de fichier d'entrée pour le simulateur. Dans un premier temps, nous n'avons simulé qu'un seul anneau modulé par une tension de 0 à -2V afin de vérifier que les résultats soient conformes à la modélisation Matlab. Puis nous avons créé la netlist du lien WDM à 16 anneaux. Les anneaux sont identiques sauf leur longueur de couplage qui varie de 2 µm à 2.225 µm par pas de 15 nm. Les anneaux sont cascadés les uns à la suite des autres. En entrée, une source optique injecte un signal constant de longueur d'onde réglable et d'une puissance fixée à 1 mW. En sortie, une terminaison optique permet de terminer le lien et d'éviter les réflexions retour. Chaque anneau est modulé par une source de tension indépendante entre 0 et -2V. Les signaux électriques sont des signaux LFSR (*Linear Feedback Shift Register*) qui peuvent s'apparenter à des signaux aléatoires si la fonction de feedback est choisie de façon à avoir un cycle de répétition très long. La netlist inclut également une impédance parasite aux bornes de chaque diode PN afin de modéliser les composants C_{ox}, C_{pad} et R_{sub} du modèle circuit des anneaux (C_j et R_{access} sont directement modélisés dans le code Verilog-A).

Les simulations sont réalisées à partir du simulateur Eldo. Nous commençons par effectuer des simulations statiques en fonction de la longueur d'onde injectée dans le lien, ce qui permet de tracer les spectres de transmission. La Figure 6.18 (a) superpose les spectres de chacun des anneaux simulés séparément (spectres bleus) et le spectre de l'ensemble du lien WDM. Comme attendu, les pics de résonance sont régulièrement espacés. Ici, contrairement à une mesure réelle, il n'y a pas de besoin de réaligner les pics car la simulation ne prend pas en compte les variations de fabrication ou de température. Nous nous intéressons par exemple à la diaphonie de l'anneau n°2. Pour cela, nous traçons également le spectre de transmission de l'anneau n°2 lorsque celui-ci est soumis à une tension de -2 V pour les deux configurations : anneau seul ou anneau intégré dans le lien WDM. La Figure 6.18 (b) illustre le résultat. Nous identifions la longueur d'onde optimale de modulation correspondant au minimum de pénalité de transmission : $\lambda_{laser} = 1311.328\,\text{nm}$. Celle-ci n'est pas modifiée par l'introduction des anneaux adjacents et de la diaphonie. Dans chacun des cas, nous relevons les valeurs des puissances optiques des niveaux haut et bas et calculons le taux d'extinction, les pertes d'insertion et la pénalité de

transmission correspondante. Ces valeurs sont résumées dans le Tableau 18. Nous pouvons alors estimer la pénalité de diaphonie par la différence des pénalités de transmission. Nous obtenons une pénalité de diaphonie statique de 0.41 dB.

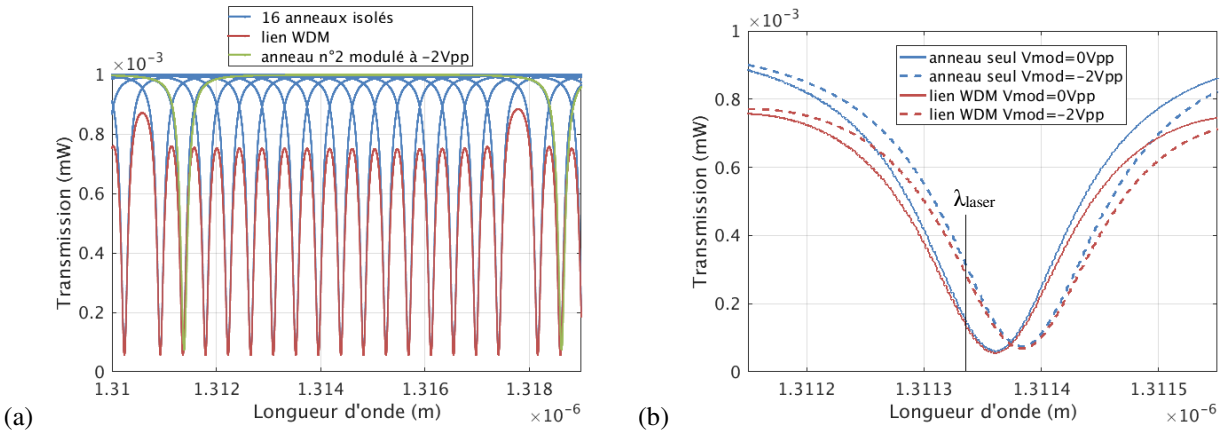


Figure 6.18. (a) Spectres de transmission des 16 anneaux pris séparément ou cascadés dans un lien WDM, (b) Zoom sur l'anneau n°2 modulé entre 0 et -2V

Nous réalisons également des simulations transitoires afin de calculer la pénalité de diaphonie dynamique à partir du tracé des diagrammes de l'œil. Elles sont effectuées à 20 Gb/s pour la longueur d'onde optimale identifiée précédemment. Nous utilisons la même méthode qu'avec les simulations statiques, à savoir une simulation de l'anneau n°2 seul puis une simulation du lien complet. Les simulations de l'anneau seul ne sont pas représentées mais les caractéristiques du diagramme de l'œil sont résumées dans le Tableau 18. En ce qui concerne les simulations du lien WDM, l'évolution temporelle de certains des signaux est illustrée à la Figure 6.19 (a) :

- Le tracé bleu représente la tension de modulation appliquée sur l'anneau n°2. Les signaux électriques appliqués sur les autres anneaux sont similaires mais tous différents.
- Le tracé rouge représente la puissance optique en sortie de l'anneau n°1, c'est-à-dire à l'entrée de l'anneau n°2. Il reproduit la modulation appliquée sur l'anneau n°1 (qui est bien différente du tracé bleu) mais l'amplitude de modulation optique est très faible (environ 5 µW) car la longueur d'onde du signal optique n'est pas réglée sur l'anneau n°1 mais sur l'anneau n°2.
- Le tracé vert représente la puissance optique en sortie de l'anneau n°2. Comme la longueur d'onde du laser impose de se placer dans le pic de résonance, la puissance moyenne est nettement réduite mais l'amplitude de modulation est bien plus élevée (environ 150 µW). De plus, le signal optique reproduit exactement la tension de modulation (tracé bleu) et nous pouvons remarquer également des résidus de modulation de l'anneau n°1 lorsque la puissance reste un certain temps au niveau 1 ou 0.
- Le tracé mauve représente la puissance optique en sortie de l'anneau n°16. Le signal est progressivement atténué et retardé à chaque passage par un anneau mais la modulation de l'anneau n°2 est bien transmise.

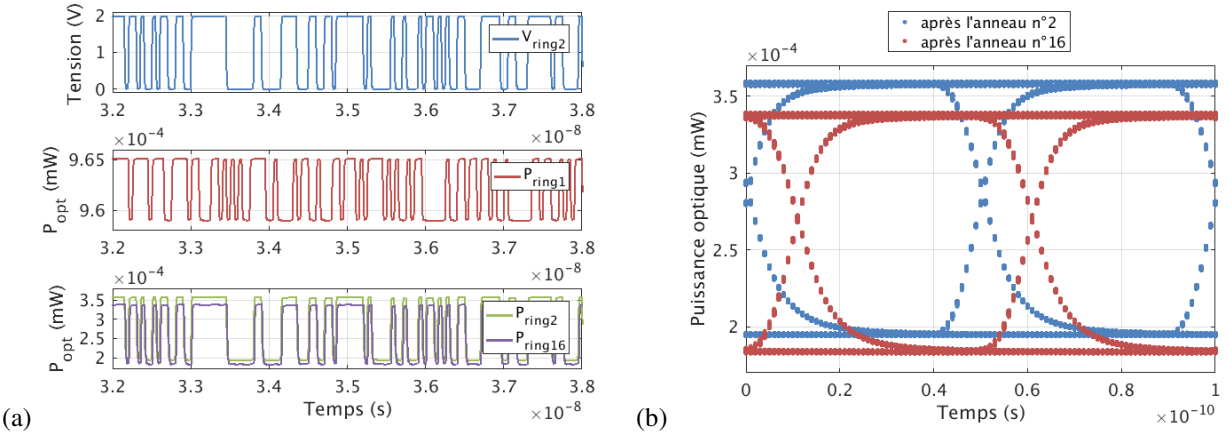


Figure 6.19. (a) Evolution temporelle de la tension de modulation de l'anneau n°2, des puissances optiques après les anneaux n°1, 2 et 16. (b) Diagrammes de l'œil à 20 Gb/s des puissances optiques en sortie des anneaux n°2 et 16.

La Figure 6.19 (b) montre les diagrammes de l'œil à 20 Gb/s des puissances optiques en sortie des anneaux n°2 et n°16. Les diagrammes sont largement ouverts et exempts de jitter et d'interférences inter-symboles (ISI) car contrairement aux

simulations électro-optiques réalisées sous ADS, nous ne prenons pas en compte les dégradations liées à l'assemblage EIC-PIC et à l'environnement de mesure. Les caractéristiques des deux diagrammes de l'œil sont données dans le Tableau 18. Similairement aux simulations statiques, nous en déduisons la pénalité de diaphonie dynamique qui est de 0.50 dB.

En conclusion de cette étude, les cosimulations des anneaux résonants montrent que la diaphonie intermodulation est à l'origine d'une pénalité supplémentaire de l'ordre de 0.5 dB, à prendre en compte dans le bilan de liaison d'un lien WDM dont l'espacement inter-canal est fixé à 78 GHz. Cette pénalité n'est pas négligeable vis-à-vis des autres pertes d'un lien WDM mais, sur la base de ces simulations, la diaphonie ne semble pas compromettre la bonne transmission des données. L'architecture du lien à 16 anneaux est donc validée et sera la base du circuit photonique développé pour réaliser le démonstrateur 3D d'une communication WDM chip-to-chip.

Enfin, remarquons que la modélisation et les simulations utilisées dans cette section seront très utiles pour la conception de futurs circuits à base d'anneaux résonants. Le modèle de l'anneau pourra notamment se complexifier pour implémenter également des filtres en anneaux. Les simulations, quant à elles, pourront inclure également les circuits électriques (driver, TIA) ainsi que d'autres composants modélisant les connexions optiques et électriques (CuP, câble RF, couplage d'un fiber-array sur la puce, etc…).

	Mesures statiques sur les spectres de transmission		**Mesures dynamiques sur les diagrammes de l'œil**		
	Anneau n°2 seul	Lien WDM	Anneau n°2 seul	Lien WDM, après l'anneau n°2	Lien WDM, après l'anneau n°16
Puissance optique du niveau 1 (mW)	371	338	370	354	333
Puissance optique du niveau 0 (mW)	201	183	208	201	189
ER (dB)	2.66	2.66	2.50	2.46	2.46
IL (dB)	5.43	5.84	5.39	5.57	5.83
TP (dB)	10.7	11.1	10.9	11.2	11.4
Pénalité de diaphonie (dB)	0.41		0.50		

Tableau 18. Mesures de la pénalité de diaphonie intermodulation

6.3.3. Conception des liens WDM pour le démonstrateur WDM

L'architecture du démonstrateur 3D final ressemblera à celle de la Figure 6.1 présentée en introduction. Dans ce paragraphe, nous allons expliquer comment est conçue la partie transmetteur des liens qui est constituée de 8 liens WDM.

Si les 8 liens WDM transportent chacun 16 canaux à 20 Gb/s comme le lien simulé dans le paragraphe précédent, l'ensemble du transmetteur atteindrait un débit total de 2.5 Tb/s (soit 320 GB/s). Cependant, afin d'assurer le fonctionnement d'au moins un lien WDM et d'aider à comprendre le dysfonctionnement potentiel d'un lien à 16 canaux, nous implémenterons un lien à 4 canaux (*L5*), 2 liens à 8 canaux (*L6* et *L7*), un lien à 12 canaux (*L8*) et 4 liens à 16 canaux (*L1* à *L4*). De plus, l'un des liens à 16 canaux (*L1*) intégrera des anneaux plus petits que le design proposé au Tableau 17 afin d'élargir l'intervalle spectral libre et de réduire les contraintes de diaphonie.

Les anneaux des liens *L2* à *L8* sont tous identiques et basés sur les paramètres du Tableau 17. Leur rayon est de 8 µm et le gap entre l'anneau et le guide droit est de 250 nm pour viser un coefficient de couplage de 5%. Le FSR est de 7.5 nm ce qui implique les espacements inter-canal et les longueurs de couplage suivants (équations (6-7) et (6-8)) :

- *L2*, *L3* et *L4* (16 canaux) : $\Delta f_{WDM} = 78$ GHz, $\Delta\lambda_{WDM} = 0.45$ nm, $\Delta L_c = 15$ nm ;
- *L5* (4 canaux) : $\Delta f_{WDM} = 323$ GHz, $\Delta\lambda_{WDM} = 1.85$ nm, $\Delta L_c = 60$ nm ;
- *L6* et *L7* (8 canaux) : $\Delta f_{WDM} = 157$ GHz, $\Delta\lambda_{WDM} = 0.90$ nm, $\Delta L_c = 30$ nm ;
- *L8* (12 canaux) : $\Delta f_{WDM} = 105$ GHz, $\Delta\lambda_{WDM} = 0.60$ nm, $\Delta L_c = 20$ nm.

Les anneaux du lien *L1* ont un rayon de 6.5 µm et la part fixe de la longueur de couplage est conservée à 2 µm. Le coefficient de couplage visé est également de 5% mais comme le rayon est réduit, le gap est ici de 230 nm. Le FSR est de 9.1 nm ce qui conduit à un espacement inter-canal de $\Delta f_{WDM} = 96$ GHz ($\Delta\lambda_{WDM} = 0.55$ nm) et une variation de la

longueur de couplage de $\Delta L_c = 15$ nm.

La vue layout des 4 liens à 16 anneaux est représentée à la Figure 6.20. Nous ne montrons pas le layout des 4 autres liens car il est très similaire à celui de la Figure 6.20. La vue globale de la puce photonique qui sera donnée dans la section 6.4 montrera le placement et la connexion de l'ensemble de ces liens avec les pads d'entrées / sorties. Un lien est constitué d'un guide droit sur lequel 16 anneaux sont couplés et régulièrement espacés. La sortie optique est divisée en deux branches par un coupleur directionnel. L'une des branches est connectée à un réseau de couplage ce qui permettra de collecter le signal lumineux par une fibre optique tandis que l'autre branche est connectée à une photodiode afin d'avoir également accès à une mesure électrique du signal modulé. Les anneaux intègrent chacun une résistance chauffante insérée au milieu de l'anneau. Les connexions de ces résistances sont réalisées en niveau de métal M2 et routées vers des pads électriques DC. Plusieurs capacités de découplage d'une valeur d'environ 1 pF sont également intégrées à proximité des anneaux afin de limiter l'amplitude des perturbations et protéger les composants optiques. Une matrice de piliers en cuivre de pitch 60 µm recouvre l'ensemble des liens WDM et permet l'assemblage de la puce électrique contenant les drivers. Cependant tous les anneaux ne seront pas pilotés par un driver. Certains seront directement connectés au générateur PRBS comme lors des caractérisations des anneaux 50G du Chapitre 3 afin de pouvoir comparer les performances de la transmission dans les deux cas. Les signaux électriques issus du générateur PRBS sont amenés au modulateur via des pads RF et une ligne de transmission RF qui est soit directement connectée à la jonction PN de l'anneau, soit connectée à un pilier en cuivre. Dans le cas d'une connexion directe, une résistance de 50 Ω est ajoutée en parallèle de la jonction afin d'éviter les réflexions vers le générateur. Dans le cas du driver, cinq piliers sont attribués par anneau : 2 pour l'entrée RF du driver et sa sortie qui pilote la jonction PN, et 3 pour les signaux V_{dd}, gnd et ESD_{sub}.

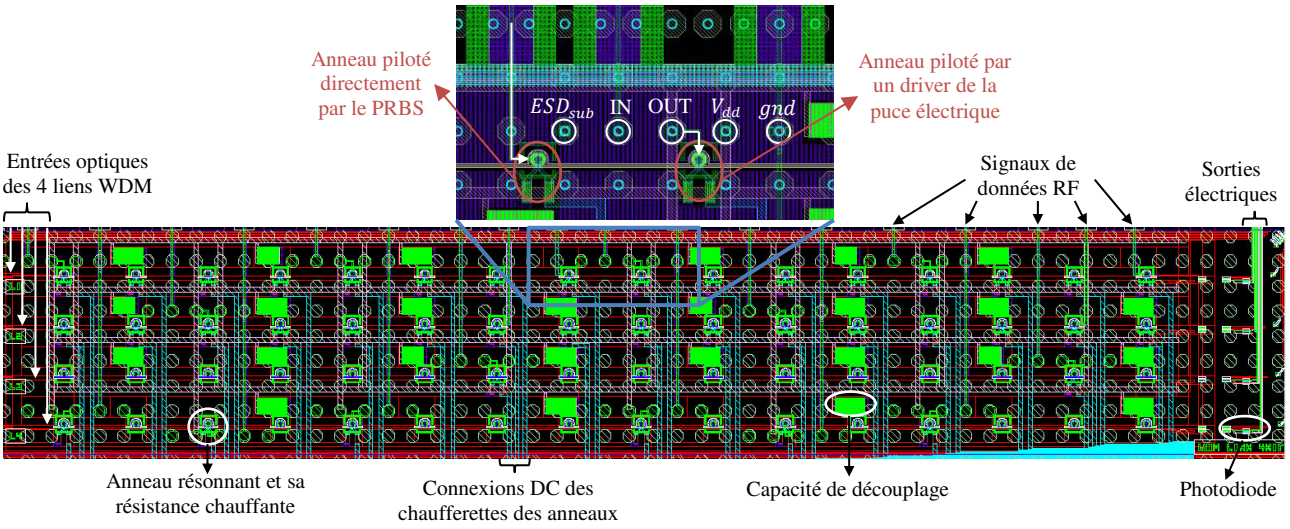


Figure 6.20. Layout des liens WDM. Les 4 liens à 16 canaux chacun sont représentés ici. Les autres liens à 12, 8 ou 4 anneaux ne sont pas représentés mais ont un layout similaire.

En conclusion, cette étude sur les liens WDM nous a permis de comprendre et de quantifier l'impact de la diaphonie intermodulation. Une pénalité de l'ordre de 0.5 dB est à prendre en compte pour un lien à 16 canaux dont l'espacement est de 78 GHz. Les simulations électro-optiques nous ont également permis de valider l'architecture du lien, ce qui a conduit à la définition de son layout en vue d'une intégration dans le démonstrateur final visant des applications HPC. Nous avons intégré au total 8 liens dont le nombre d'anneaux et leurs caractéristiques varient afin de pouvoir constituer un DoE et fournir une analyse plus complète et plus précise d'une telle structure.

6.4. Conception du démonstrateur

Cette dernière section a pour but de présenter les circuits électrique et optique développés dans le cadre d'un prototype destiné pour des applications de communications chip-to-chip. Le démonstrateur se base sur l'utilisation d'un interposeur photonique et d'un assemblage 3D par des micro-piliers en cuivre afin de reproduire le schéma d'intégration d'un lien processeur – mémoire.

La conception des deux circuits EIC et PIC est réalisée conjointement car le PIC impose des contraintes à l'EIC et vice-versa. De plus, la puce électrique étant retournée pendant l'assemblage, son design sera inversé par rapport à celui du PIC.

Nous présenterons successivement la réalisation du layout de l'EIC, puis du PIC et enfin nous donnerons quelques éléments sur l'implémentation des piliers en cuivre (CuP).

La puce électrique comprend un certain de nombre de drivers destinés à piloter les anneaux des liens WDM et une matrice de CuP permettant les connexions vers le PIC. Le layout de l'EIC est ainsi relativement facile à dessiner car il ne contient ni routage, ni pads d'entrée / sortie. Il est illustré à la Figure 6.21. Chaque driver implémenté sur l'EIC correspond au driver 19G entouré de protection ESD que nous avons caractérisé dans la section 4.3. Son layout reprend celui de la Figure 4.14 auquel nous avons enlevé les pads RF et les lignes microstrip pour les remplacer par la partie supérieure des CuP. Chaque driver nécessite ainsi 5 CuP afin de connecter son entrée et sa sortie RF, sa source d'alimentation, sa masse et le substrat des protections ESD. Nous avons préféré utiliser la structure avec diodes ESD malgré ses dimensions plus importantes et des performances très légèrement dégradées par rapport à la structure sans diodes ESD (cf. Figure 4.4) car l'assemblage 3D est une potentielle source de décharges électrostatiques qui pourraient être fatales pour les drivers. Le nombre de drivers intégrés est de 22 dont 14 pour les liens WDM *L1* à *L4* à 16 canaux et 8 pour les liens *L5* à *L8*. Ce nombre a été dicté à la fois par l'encombrement des drivers et par notre choix de piloter certains anneaux par des drivers et d'autres directement par le générateur PRBS externe. La matrice de CuP reproduit celle nécessaire pour la puce optique, d'où la variation de densité (pitch de 40 µm ou 60 µm) sans raison apparente pour l'EIC. Sur le coin en bas à gauche de l'EIC, nous pouvons remarquer également que certains CuP sont manquants, ce qui servira de repère pour l'assemblage.

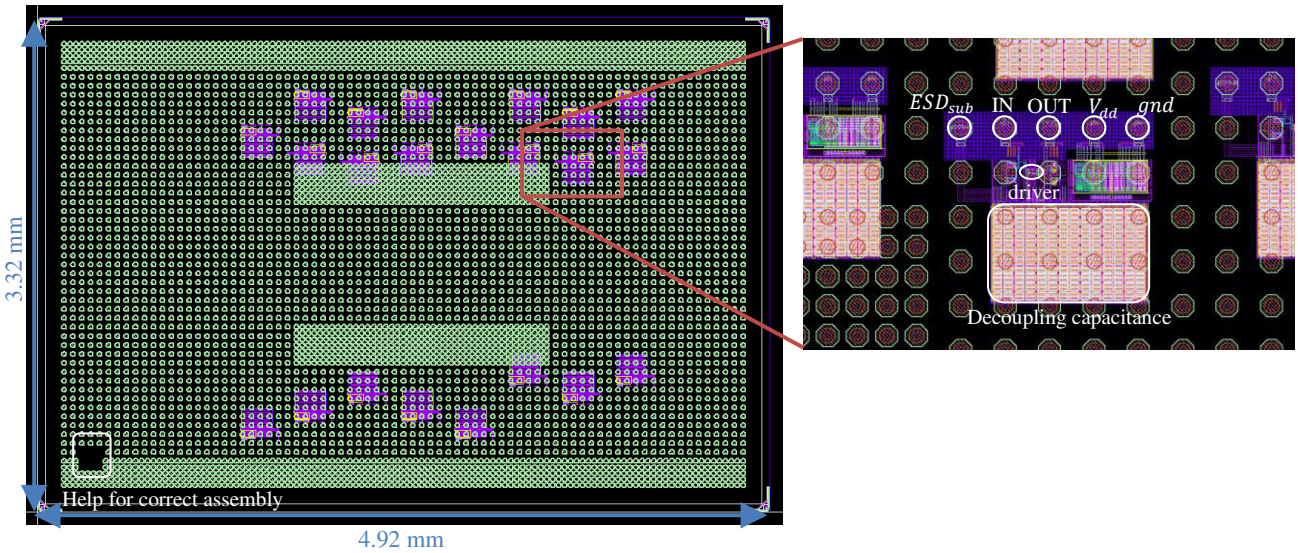


Figure 6.21. Vue layout de l'EIC : 22 drivers ont été implémentés, l'ensemble de la puce est recouverte par une matrice de CuP

Le layout de la puce photonique est représenté à la Figure 6.22. La répartition des différents éléments est inspirée de l'architecture de la Figure 6.1. Au centre, nous trouvons la zone recouverte par les CuP, incluant les circuits optiques et sur le pourtour, les différentes entrées / sorties électriques et optiques sont réparties. L'accès Ouest est dédié aux réseaux de couplage optique qui permettent de coupler un fiber-array afin d'injecter un signal optique et de collecter la lumière de la sortie correspondante. L'accès Est rassemble la grande majorité des pads DC qui permettent d'amener les signaux d'alimentation V_{dd} et les signaux de commande des résistances chauffantes et qui permettent de recueillir les différents signaux issus des photodiodes. Enfin, les accès Nord et Sud regroupent les pads RF prolongés par des lignes de transmission de type microstrip qui amènent les signaux à 20 Gb/s vers les modulateurs en anneaux. L'accès Nord comporte également quelques pads DC dédiés aux 4 structures nommées **W**, **X**, **Y** et **Z**. Ces structures sont les quatre modules « reproductibilité des mesures » et sont implémentées en dehors de la zone des CuP. Elles permettront de s'assurer que les performances d'un anneau non soumis aux contraintes des CuP sont effectivement les mêmes entre les mesures avant et après assemblage 3D. Les 6 structures nommées **A**, **B**, **C**, **D**, **E** et **F** sont les modules « variabilité des anneaux » de la Figure 6.16. Ils permettront de tester l'impact des CuP sur les anneaux et de comparer les résultats aux simulations COMSOL réalisées dans la section 6.2. Ils sont placés dans les quatre coins de la matrice de CuP, ainsi qu'au milieu et sont à l'origine de la variation de densité des CuP observée sur la puce électrique. Intercalés entre ces structures, nous trouvons les 8 liens WDM définis dans la section 6.3. Le routage des guides d'onde et des connexions électriques réalisées sur 4 niveaux de métal doit normalement permettre le test de plusieurs anneaux simultanément sur un même lien WDM. Remarquons que le routage est plutôt dense et relativement complexe au niveau des liens WDM et peut potentiellement devenir un point limitant pour de futures implémentations si des systèmes WDM plus denses sont

envisagés.

L'assemblage 3D et en particulier l'intégration des CuP sur les layouts des circuits EIC et PIC suit un ensemble de règles précises afin de garantir le bon déroulement du procédé et la bonne adhérence des deux puces. Nous donnons ici un aperçu de ces règles :

- Afin d'assurer une bonne stabilité des interconnexions PIC-EIC, la zone recouverte par les CuP doit être suffisamment dense et symétrique si possible. Pour cela, des CuP factices (*dummy bumps*) sont utilisés, c'est-à-dire des CuP non fonctionnels qui servent uniquement au maintien de l'EIC. De plus, des dummy sont également placés dans les quatre coins des circuits. Les connexions de signaux électriques sont à éviter sur toute la périphérie de la zone. La surface sans CuP ne doit pas excéder 30% de la surface totale.
- Une structure dite DAM est obligatoire afin de prévenir un débordement de l'underfill (pâte de remplissage entre les CuP) sur les pads entourant la zone des CuP. Le DAM est un double anneau de CuP intégré sur le PIC qui entoure la zone utile de bumps. La distance séparant le DAM des bords de l'EIC est d'au moins 500 µm.
- Il est conseillé d'ajouter des repères à l'aide de dummy afin d'éviter la rotation d'une die et d'assurer le bon positionnement des deux circuits l'un par rapport à l'autre. Ces repères sont placés à l'extérieur du DAM sur deux coins diamétralement opposés et ont des formes distinctes.
- Une distance minimum doit être prise en compte entre le bord de la puce supérieure et les pads disposés sur le PIC (pads de wire-bonding ou pads de test). Cette distance dépend l'épaisseur de l'EIC. Dans notre cas, nous avons laissé une distance de 200 µm entre le DAM et les pads.

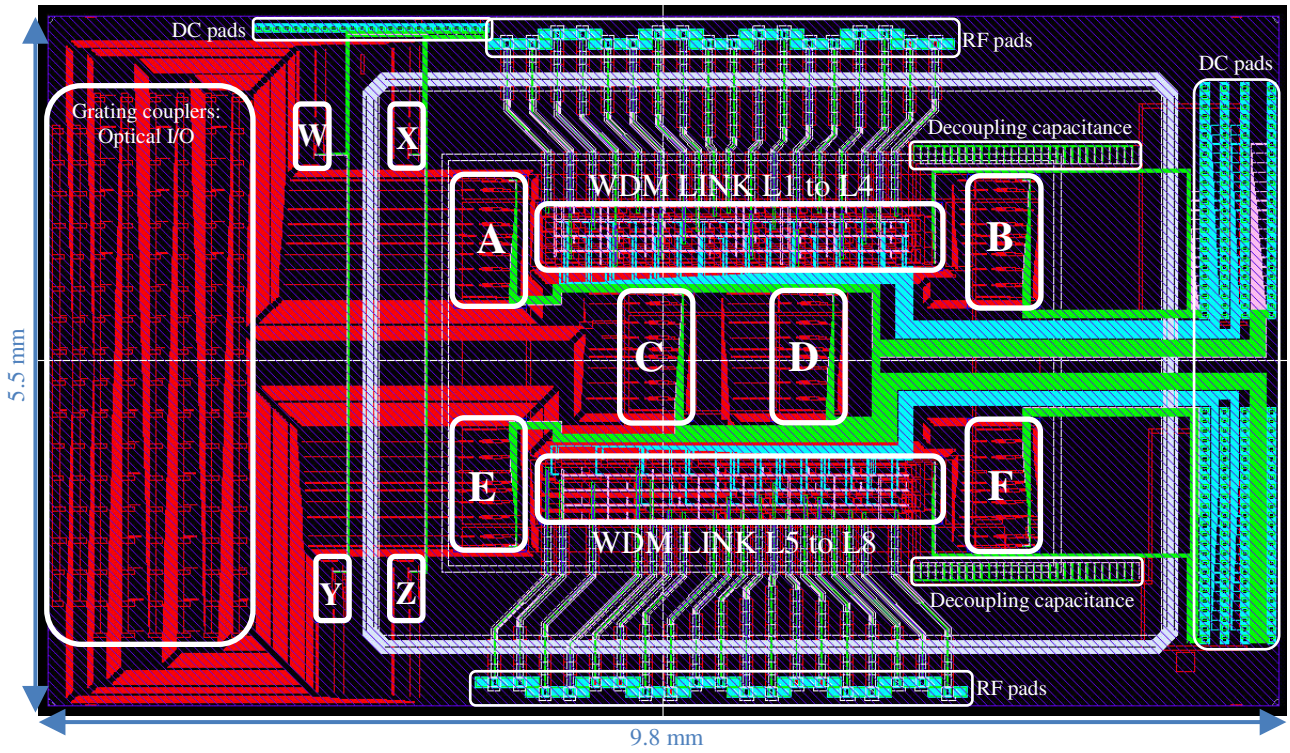


Figure 6.22. Vue layout du PIC et identification des différentes structures : A à F « variabilité des anneaux », W à Z « reproductibilité des mesures »

La fabrication des puces électrique et photonique a démarré à l'été 2017, respectivement en technologie B55 et PIC50G de STMicroelectronics. La technologie PIC50G étant en cours de développement, les différentes étapes de fabrication nécessitent des temps de procédé relativement longs, ce qui ne permet pas d'exposer des résultats de mesure dans ce manuscrit. Néanmoins, la réalisation de ces layouts est un bon exercice pour se confronter aux contraintes de l'assemblage 3D que l'on peut rencontrer avec un interposeur photonique pour réaliser une communication chip-to-chip.

Conclusion du chapitre

En résumé, ce chapitre s'est concentré sur la conception d'un démonstrateur visant à imiter une communication courte distance entre un processeur et une mémoire. Afin d'acquérir une vue globale de ce type d'interconnexion, nous avons

commencé par proposer une étude système d'un lien électro-optique à base d'anneaux résonants. Cette étude nous a permis de démontrer le potentiel d'un lien optique en termes de bande passante et d'efficacité énergétique pour remplacer les liens électriques actuellement déployés dans les applications HPC. Néanmoins, elle permet également de soulever plusieurs problématiques sur lesquelles nous reviendrons dans le paragraphe suivant. Puis nous nous sommes intéressés à l'assemblage 3D permettant de connecter à l'aide de micro piliers en cuivre, les circuits électriques sur un interposeur photonique. Cette solution semble très prometteuse mais les contraintes thermomécaniques engendrées par le procédé ne sont pas sans conséquence pour les composants optiques, très sensibles à toute variation de leur environnement. Des simulations COMSOL nous ont permis d'évaluer la variation d'indice effectif impactée dans un guide d'onde par les CuP, ce qui a dicté la conception de plusieurs structures de test afin de pouvoir caractériser expérimentalement les phénomènes thermomécanique et photo-élastique. La troisième étude de ce chapitre s'est ensuite attachée à définir les liens WDM mis en jeu dans le démonstrateur. Notamment, nous avons effectué des simulations de type SPICE à partir du modèle Verilog-A des modulateurs en anneau afin d'estimer la pénalité en puissance associée à la diaphonie intermodulation existant dans un lien WDM dense. Enfin, nous avons réalisé les layouts des puces électrique et optique qui aboutiront à la fabrication du prototype final en lien avec les communications chip-to-chip. Celui-ci permettra à terme de vérifier les fonctionnalités et les enjeux de tests de qualification d'un transmetteur électro-optique à débit élevé. Pour conclure, un aperçu du démonstrateur WDM, 3D est donné à la Figure 6.23.

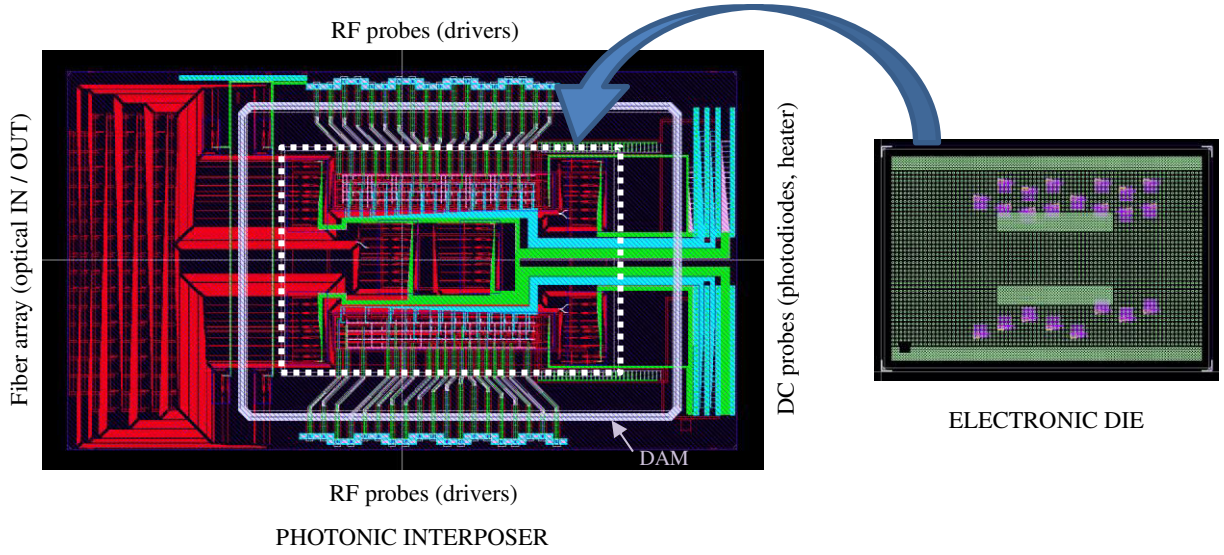


Figure 6.23. Vue globale de l'assemblage 3D

Perspectives et problématiques pour un futur démonstrateur : le démonstrateur présenté dans ce chapitre inclut d'ores et déjà bon nombre de problématiques liées à la conception d'une interconnexion à base d'interposeur photonique. Cependant, un certain nombre de points n'ont pas été abordés et devront l'être lors d'une prochaine réalisation.

- Partie récepteur : Le démonstrateur actuel n'inclut que la partie transmetteur d'un lien électro-optique. Nous avons en effet privilégié l'étude du TX car celui-ci constitue l'un des blocs les plus énergivores de l'interconnexion. Mais nous devons également nous assurer que les photodiodes et les TIA respecteront les spécifications de puissance. Si une photodiode à avalanche est utilisée afin de bénéficier de sa très bonne sensibilité et ainsi réduire la consommation du laser, celle-ci peut nécessiter en revanche une tension de détection élevée, ce qui peut compromettre une faible consommation. Par ailleurs, l'implémentation du multiplexage en longueur d'ondes sur la partie récepteur demande à cascader sur un guide plusieurs filtres à base d'anneaux résonants. Ceci soulève également le problème de la diaphonie comme pour les modulateurs. Nous parlons ici de diaphonie inter-canal qui conduit à considérer une pénalité supplémentaire dans le bilan de liaison du lien [158].

- Laser : L'intégration d'un laser sur une puce photonique sur silicium est l'un des points durs de l'implémentation d'un lien électro-optique. Plusieurs solutions sont envisageables et sont actuellement étudiées par différents

laboratoires et entreprises (laser peigne de Innolume, laser diode array avec couplage par la tranche de PETRA [183], couplage vertical de Luxtera, couplage évanescent par polymère de IBM [184], etc…). Actuellement, la solution industrielle repose sur le laser reporté sur silicium de Luxtera. Un laser III-V intégré directement sur silicium est encore au stage de recherche avancée [185] mais pourrait à terme être implémenté à l'échelle d'un produit et aboutir à l'industrialisation.

- Asservissement des anneaux : Outre la consommation énergétique des résistances chauffantes, l'implémentation d'un système d'asservissement dynamique de l'alignement des canaux du lien WDM est inévitable pour que l'interconnexion optique constitue une solution fiable [83].

- Co-conception : Le démonstrateur actuel ne prend en compte qu'un nombre limité de drivers, ce qui a facilité sa conception. Le système complet comprenant effectivement 8 liens WDM à 16 canaux, chacun étant modulés par un driver demandera un travail de conception bien plus complexe, par exemple pour gérer les couplages électromagnétiques des lignes RF. En effet, la diaphonie est quasi inexistante entre les différents guides d'onde (d'où le choix d'une solution optique lorsque des débits élevés sont mis en jeu) mais il restera tout de même à soigner la conception de l'EIC pour que les signaux n'interfèrent pas entre eux. De plus, le routage optique et électrique du PIC peut devenir un point limitant de la solution de l'interposeur, en particulier si celui-ci est traversé par des TSV et / ou que la densité des liens et des canaux augmente.

Conclusion et perspectives

Les travaux présentés dans ce manuscrit se sont intéressés à la conception et à la caractérisation d'une interconnexion électro-optique pour la plateforme photonique de STMicroelectronics. Ce sujet s'inscrit dans les développements de la technologie photonique sur silicium par ST. Tandis que les développements à court terme se concentrent sur l'amélioration des modules MSA front panel pour des débits toujours plus élevés, la photonique pourrait également s'étendre à de nouvelles applications. Nous allons résumer ici les problématiques rencontrées dans le domaine des communications chip-to-chip, ainsi que les travaux mis en œuvre au cours de cette thèse pour apporter des premiers éléments de réponse.

Le trafic de données échangées ne cesse d'augmenter que ce soit au niveau de liaisons à grande distance à travers le monde, entre les équipements des datacenters, ou encore au niveau même des puces. D'une part, les expériences d'informatique virtuelle mettent à disposition des entreprises et des particuliers des ressources mutualisées et un grand nombre de services d'où l'importance d'un accès à très haut débit. D'autre part, la quantité de données circulant au sein d'un datacenter (incluant les interconnexions entre infrastructures et les échanges cantonnés dans un serveur) dépasse actuellement les 10 ZB et connaît une croissance de 25 % par an pour soutenir les demandes des usagers. La photonique sur silicium permet d'apporter des solutions aux problématiques de densité de bande passante et d'efficacité énergétique des datacenters, notamment car les liaisons optiques permettent de dépasser les limitations des interconnexions électriques. En particulier, nous pensons que l'introduction d'un interposeur photonique dans le cadre de communications à courte distance constitue la prochaine étape du développement de la photonique sur silicium pour le marché des datacoms. Nous nous sommes basés sur les consortiums des technologies HMC et HBM pour définir les caractéristiques des interconnexions optiques. L'objectif est alors de réaliser un démonstrateur d'un lien électro-optique pouvant remplacer les liens RF pour des communications entre un processeur et un bloc mémoire, visant une bande passante supérieure à 1 Tbit/s.

Nous avons cependant restreint notre étude au transmetteur électro-optique chargé de la conversion des données électriques vers le domaine optique. Les travaux ont porté sur la conception des circuits intégrés électrique (EIC) et optique (OIC) incluant la conception d'un driver à faible consommation énergétique et la conception d'un modulateur en anneau à grande bande passante. Puis le développement du démonstrateur nous a également conduits à étudier la gestion du multiplexage en longueurs d'onde ainsi que l'assemblage 3D des puces et son impact sur les propriétés optiques du silicium.

Afin de s'assurer de la validité des interconnexions optiques basées sur l'utilisation d'un interposeur photonique, nous avons défini l'architecture globale du système puis évalué sa consommation énergétique et sa densité de bande passante en fonction des spécifications requises. L'architecture proposée repose sur l'anneau résonant qui permet de remplir les fonctions de modulateur et de filtre. De plus, grâce à sa sélectivité en longueur d'onde, ce composant est très bien adapté au multiplexage en longueurs d'onde ce qui permet de densifier les interconnexions, d'autant plus qu'un anneau occupe une surface très petite en comparaison du modulateur de Mach-Zehnder. Cependant, des résistances chauffantes et un système d'asservissement doivent être implémentés à proximité des anneaux pour compenser les variations de l'environnement, ce qui dégrade inévitablement le budget en puissance du lien et complexifie le design des circuits.

L'optimisation d'un tel système a consisté à déterminer le nombre de canaux WDM et le nombre de liens en parallèle constituant le système afin d'atteindre un débit total de 1 Tb/s. En se basant sur les performances actuelles des différents composants, cette étude a montré que le débit optimal d'un canal se situe entre 10 et 20 Gb/s mais nous estimons que celui-ci sera amené à augmenter progressivement jusqu'à 50 Gb/s si des nœuds CMOS avancés sont utilisés pour réaliser l'EIC qui sera alors intégré au plus proche de l'ASIC. De même, nous avons vu que la consommation énergétique des drivers est prépondérante sur celle des lasers, c'est pourquoi il est préférable d'utiliser des modulateurs à faible taux d'extinction associé à une faible tension de modulation pour améliorer le bilan énergétique global sans toutefois compromettre la transmission des données et dégrader le BER. Enfin, l'étude système semble confirmer qu'un lien optique est compétitif avec les interconnexions électriques actuelles à condition que les problématiques liées notamment

au laser (nombre de raies, efficacité de conversion, gestion de la température), au couplage sur puce, à l'asservissement des anneaux soient maitrisées et respectent les hypothèses de cette étude.

Le résonateur en anneau est réalisé en couplant une cavité optique résonante à un guide d'onde droit, ce qui crée des pics de résonance à intervalle périodique dans le spectre de transmission de l'anneau. Lorsqu'une jonction PN est incluse dans l'anneau, la modulation de la tension appliquée sur celle-ci entraine la variation de la concentration des porteurs libres au sein du guide d'onde, ce qui modifie en conséquence l'indice de réfraction du silicium. Ainsi les pics de résonance se décalent et permettent de créer une modulation de la puissance optique en sortie de l'anneau. La conception d'un modulateur en anneau en bande O (1310 nm) pour des débits de 50 Gb/s nous a conduits à considérer un compromis entre sa bande passante, son efficacité de modulation et sa pénalité en transmission. Plusieurs structures de test ont été fabriquées en technologie PIC25G puis caractérisées afin de valider notre design. Nous retiendrons en particulier que la bande passante électro-optique mesurée est supérieure à 40 GHz confirmant une modulation à 50 Gb/s. Cependant, si un fonctionnement à faible puissance (c'est-à-dire une faible tension de modulation) est assurée jusqu'à 30 Gb/s, les anneaux actuels ne le permettent pas à 50 Gb/s. Les travaux futurs chercheront donc à optimiser davantage les dopages de la jonction et la forme du guide afin d'améliorer les performances du modulateur.

L'étude des modulateurs a également été l'occasion de mettre en place des cosimulations électro-optiques basées sur le modèle analytique de la modulation par une jonction PN et les équations de propagation au sein d'un anneau résonant ou d'un interféromètre de Mach-Zehnder. Deux types de cosimulations ont été utilisés : des simulations à partir du logiciel ADS permettant de rétro-simuler facilement les montages expérimentaux, et des simulations SPICE à partir d'un modèle Verilog-A, particulièrement adaptées pour des systèmes optiques complexes implémentant plusieurs composants optiques. Nous avons par exemple simulé un lien WDM de 16 canaux espacés de 78 GHz (450 pm), ce qui a permis d'estimer la diaphonie entre les modulateurs et de consolider la conception du démonstrateur d'une interconnexion chip-to-chip optique.

Le driver électrique pilotant le modulateur a pour rôle celui d'un buffer qui adapte le signal de données à la charge du modulateur. Nous avons basé son architecture sur une chaîne d'inverseurs CMOS afin de garantir une faible consommation de puissance. Le dimensionnement des transistors a nécessité d'établir un compromis entre la technologie utilisée, la vitesse du driver, son efficacité énergétique et sa surface. Nous avons préparé deux tapeouts en technologie 55 nm. Le premier a permis de valider la conception du driver et d'extraire ses caractéristiques tandis que le second implémentait également des protections électrostatiques en prévision de l'assemblage 3D du démonstrateur. Optimisé pour un modulateur de Mach-Zehnder d'une charge de 300 fF, le driver atteint un débit de 20 Gb/s, proche de la limite en bande passante de cette technologie. Les travaux futurs envisageront ainsi soit une nouvelle architecture, soit un nœud CMOS plus avancé pour améliorer la vitesse du driver. Néanmoins l'assemblage wire-bonding de ce driver aux côtés d'un modulateur de Mach-Zehnder nous a permis de mettre en avant le bénéfice d'intégrer le driver afin de s'affranchir des pertes de propagation d'un générateur externe vers le modulateur. De plus, ce premier prototype de lien électro-optique a confirmé l'utilisation d'un faible taux d'extinction et a permis de préparer le travail de co-intégration entre l'EIC et l'OIC.

La co-intégration hybride des circuits électrique et optique permet de les optimiser séparément. Afin de ne pas être limité par les impédances parasites des fils de bonding, nous avons choisi d'implémenter un assemblage 3D à base de micro piliers en cuivre. Cependant la superposition des puces impacte les propriétés optiques des anneaux résonants. En effet, lors du refroidissement de l'assemblage, des contraintes mécaniques se créent dans le silicium et sont à l'origine du changement d'indice de réfraction des guides par effet photo-élastique. Nous avons alors cherché à modéliser ces phénomènes pour en estimer l'intensité. Des simulations par éléments finis évaluent un décalage des pics de résonance des anneaux jusqu'à 200 pm, non négligeable devant l'espacement inter-canal d'un système WDM.

Enfin, nous avons procédé à la conception du démonstrateur d'un lien électro-optique WDM. Ce prototype se compose d'un interposeur photonique sur lequel reposera l'EIC. La puce électrique comprend plusieurs drivers entourés de leur protection ESD en cas de décharge lors de l'assemblage. Ces drivers seront connectés au circuit photonique par les micro-piliers en cuivre et permettront de moduler les anneaux des liens WDM. Nous avons implémenté 8 liens WDM à 16, 12, 8, ou 4 canaux, chaque canal permettant d'atteindre un débit de 20 Gb/s. Ainsi la bande passante totale dépasse 1 Tb/s comme souhaité. L'interposeur inclut également des structures de test pour caractériser expérimentalement l'impact de l'assemblage flip-chip sur les anneaux résonants pour différentes configurations, et des structures permettant de tester la reproductibilité des mesures avant et après assemblage. La fabrication du démonstrateur a démarré à l'été 2017. Au

moment de la finalisation de ce manuscrit, seul l'EIC a pu être testé et validé. La caractérisation de l'OIC est prévue pour septembre / octobre 2018 et nous espérons pouvoir présenter certains résultats lors de la soutenance. Enfin l'assemblage et la caractérisation finale sont envisagés au mieux pour la fin de l'année 2018.

En conclusion, cette thèse nous a permis d'aborder beaucoup des challenges intervenant dans la conception d'un lien WDM. Néanmoins beaucoup d'autres restent encore à être analysés pour pouvoir fournir une preuve de concept complète, ce qui ouvre à de nombreuses perspectives pour les travaux futurs. En s'appuyant par exemple sur le récapitulatif donné par l'université de Columbia et illustré à la Figure C.1, nous avons étudié, autour de la thématique des modulateurs en anneaux, les drivers, l'auto-échauffement, la diaphonie intermodulation et le multiplexage en longueurs d'onde. Mais il reste à prendre en compte les variations de fabrication, le réglage thermique des anneaux, la conception d'un SerDes ainsi que tous les aspects liés au récepteur et aux filtres en anneaux. De plus, plusieurs autres questions se posent sur l'environnement global de ces liens chip-to-chip.

Ainsi les différentes perspectives que nous pouvons apporter à ce travail sont les suivantes. Concernant l'étude de l'anneau résonant, la thèse de Nicolas Michit est actuellement en cours sur son implémentation en tant que switch optique et permettra certainement d'approfondir la compréhension de ce composant. Afin d'améliorer les performances de modulation de l'anneau, des travaux futurs pourront également porter sur l'étude des niveaux de dopage et / ou de la forme de la jonction PN. Par exemple, Jie Sun (Intel) utilise une jonction à la fois verticale et horizontale afin de maximiser le recouvrement du mode optique et de la zone de déplétion [186]. En ce qui concerne le driver, une première étape consistera à optimiser son dimensionnement pour des modulateurs en anneau, puis une seconde étape visera à faire évoluer son architecture afin de pouvoir embarquer le driver directement au sein de l'ASIC. L'utilisation de nœuds CMOS avancés pour les applications HPC (plateforme 10 nm voire 7 nm) nécessitera de gérer de très faibles tensions d'alimentation et d'adapter les tensions de modulation en conséquence. Enfin, les travaux en vue d'un futur démonstrateur WDM devront s'intéresser à la partie récepteur du lien mais également à la co-conception électro-optique qui suppose, entre autres, un routage des liens optiques plus denses que la démonstration actuelle, ainsi que des problématiques de couplage électromagnétique des lignes RF. De plus, l'intégration du laser sur un interposeur silicium et la régulation de la température de fonctionnement du laser restent des points clés d'une solution photonique. De même, l'utilisation d'un gros interposeur peut poser des problèmes de stabilité mécanique ou de flexibilité d'intégration avec les autres IP du package. A long terme, nous devrons également nous confronter aux problématiques d'industrialisation de ces interconnexions, par exemple l'automatisation de l'assemblage des puces et de l'alignement des sources optiques. Pour conclure, remarquons qu'un lien SDM à base de petits modulateurs de Mach-Zehnder peut constituer une alternative à court – moyen terme aux anneaux résonants qui présentent de nombreuses contraintes de design.

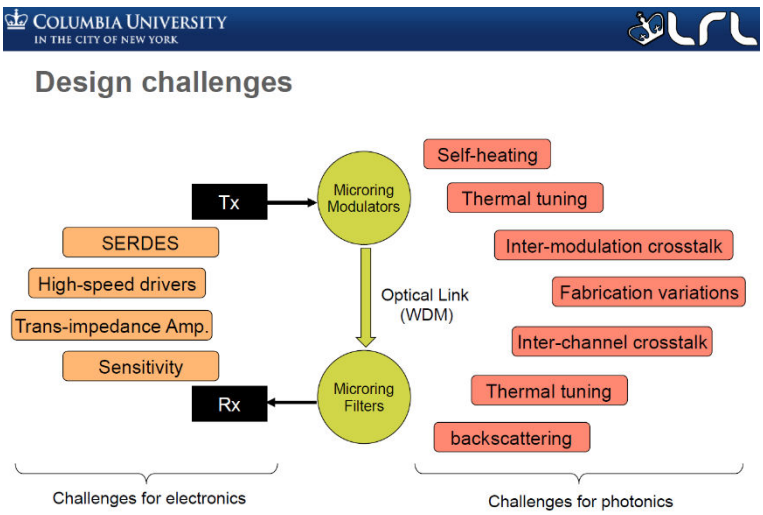


Figure C.1. Résumé des différents challenges intervenant dans la conception d'un transceiver électro-optique [187]

Annexe 1 Divers développements mathématiques sur les anneaux

Modèle Lorentzien du pic de résonance d'un anneau

Le premier paragraphe de cette annexe présente les calculs qui permettent d'écrire le spectre de transmission d'un anneau sous la forme d'un modèle Lorentzien lorsque la plage de longueurs d'onde considérées est proche d'un pic de résonance donné. Nous rappelons l'expression (A1-1) du spectre d'un anneau telle que définie dans le Chapitre 2. Celle-ci peut se réécrire sous la forme (A1-2) en transformant le cosinus par un sinus.

$$T(\varphi) = \left|\frac{E_o}{E_i}\right|^2 = \frac{a^2 + \gamma^2 - 2a\gamma\cos(\varphi)}{1 + a^2\gamma^2 - 2a\gamma\cos(\varphi)} \tag{A1-1}$$

$$T(\varphi) = 1 - \frac{1 + a^2\gamma^2 - a^2 - \gamma^2}{1 + a^2\gamma^2 - 2a\gamma\cos(\varphi)}$$

$$T(\varphi) = 1 - \frac{(1-a^2)(1-\gamma^2)}{1 + a^2\gamma^2 - 2a\gamma\left(1 - 2\sin^2\left(\frac{\varphi}{2}\right)\right)}$$

$$T(\varphi) = 1 - \frac{(1-a^2)(1-\gamma^2)}{(1-a\gamma)^2 + \left(2\sqrt{a\gamma}\sin\left(\frac{\varphi}{2}\right)\right)^2} \tag{A1-2}$$

Puis nous changeons la variable φ pour exprimer la transmission de l'anneau en fonction de la longueur d'onde λ. L'équation (A1-3) fait alors apparaître le terme $\Sigma = \sin\left(\frac{\pi n_{eff} L_{ring}}{\lambda}\right)$ que nous voulons approximer en considérant des longueurs d'onde proches de la résonance. Nous posons $\lambda = \lambda_{res} + \delta\lambda$ avec $\frac{\delta\lambda}{\lambda_{res}} \ll 1$. Des développements limités au 1er ordre permettent alors de simplifier l'expression de Σ jusqu'à l'obtention de l'équation (A1-4).

$$T(\lambda) = 1 - \frac{(1-a^2)(1-\gamma^2)}{(1-a\gamma)^2 + \left(2\sqrt{a\gamma}\sin\left(\frac{\pi n_{eff} L_{ring}}{\lambda}\right)\right)^2} \tag{A1-3}$$

$$\Sigma = \sin\left(\frac{\pi n_{eff} L_{ring}}{\lambda_{res} + \delta\lambda}\right)$$

$$\Sigma = \sin\left(m\pi\frac{\lambda_{res}}{\lambda_{res} + \delta\lambda}\right)$$

$$\Sigma = \sin\left(m\pi\frac{1}{1 + \frac{\delta\lambda}{\lambda_{res}}}\right)$$

$$\Sigma \approx \sin\left(m\pi\left(1 - \frac{\delta\lambda}{\lambda_{res}}\right)\right)$$

$$\Sigma \approx \pm\sin\left(m\pi\frac{\delta\lambda}{\lambda_{res}}\right)$$

$$\Sigma \approx \pm m\pi\frac{\delta\lambda}{\lambda_{res}}$$

$$\Sigma \approx \pm m\pi\frac{\lambda - \lambda_{res}}{\lambda_{res}} \tag{A1-4}$$

La nouvelle expression de Σ est réinjectée dans l'équation (A1-3) pour obtenir le modèle Lorentzien du pic de résonance.

Il ne reste plus qu'à réorganiser les termes et à introduire le coefficient A et le facteur de qualité $\mathbb{Q}$ pour trouver la forme classique (A1-5) de la fonction Lorentzienne.

$$T(\lambda) = 1 - \frac{(1-a^2)(1-\gamma^2)}{(1-a\gamma)^2 + \left(2\sqrt{a\gamma}\, m\pi \frac{\lambda - \lambda_{res}}{\lambda_{res}}\right)^2}$$

$$T(\lambda) = 1 - \frac{\frac{(1-a^2)(1-\gamma^2)}{(1-a\gamma)^2}}{1 + \left(\frac{2\sqrt{a\gamma}}{1-a\gamma}\, m\pi \frac{\lambda - \lambda_{res}}{\lambda_{res}}\right)^2}$$

$$T(\lambda) = 1 - \frac{A}{1 + \left(2\mathbb{Q}\, \frac{\lambda - \lambda_{res}}{\lambda_{res}}\right)^2} \quad avec\ A = 1 - \left(\frac{\gamma - a}{1-a\gamma}\right)^2 \tag{A1-5}$$

Expression du décalage du pic de résonance $\Delta\lambda_{shift}$

La longueur d'onde de résonance d'un modulateur en anneau peut s'écrire comme l'équation (A1-6) qui se compose de deux termes : l'un se rapporte à la longueur d'onde de résonance sous une polarisation de 0V, l'autre au décalage de la longueur d'onde dû à la variation d'indice effectif suite à la modulation de la jonction PN.

$$\lambda_{res} = \frac{n_{eff_{0V}} L_{ring}}{m} + \frac{\Delta_{mod} n_{eff} L_{active}}{m} \tag{A1-6}$$

Nous dérivons cette expression en distinguant deux effets comme expliqué dans [95]. Un changement de l'indice effectif implique une variation de la longueur d'onde de résonance, ce qui entraine une variation de l'indice effectif à cause de la dispersion dans le guide d'onde. Nous pouvons considérer que ces deux effets peuvent être découplés et nous introduisons ainsi les dérivées partielles $\frac{\partial}{\partial n_{env}}$ et $\frac{\partial}{\partial \lambda}$. Nous obtenons alors l'équation (A1-7). La variation de $n_{eff_{0V}}$ causée par un changement de l'environnement est nulle car nous considérons ici que le changement de l'environnement est uniquement dû à la modulation de la jonction PN ($n_{eff_{0V}}$ est dans ce cas une constante). De plus, nous pouvons faire l'approximation que la dispersion de $\Delta_{mod} n_{eff}$ avec la longueur d'onde est nulle sur la plage examinée (les coefficients de Soref n'ont pas une précision suffisante pour les distinguer sur l'intervalle 1290 nm – 1330 nm). Ceci nous permet d'écrire l'équation (A1-8) où $\Delta_{env} n_{eff} = \frac{\partial \Delta_{mod} n_{eff}}{\partial n_{env}} \Delta n_{env}$ est le décalage d'indice effectif dû à l'environnement.

$$\Delta\lambda_{shift} = \left(\underbrace{\frac{\partial n_{eff_{0V}}}{\partial n_{env}}}_{=0} \Delta n_{env} + \frac{\partial n_{eff_{0V}}}{\partial \lambda} \Delta\lambda_{shift}\right)\frac{L_{ring}}{m} + \left(\frac{\partial \Delta_{mod} n_{eff}}{\partial n_{env}} \Delta n_{env} + \underbrace{\frac{\partial \Delta_{mod} n_{eff}}{\partial \lambda}}_{\approx 0} \Delta\lambda_{shift}\right)\frac{L_{active}}{m} \tag{A1-7}$$

$$\Delta\lambda_{shift}\left(1 - \frac{\partial n_{eff_{0V}}}{\partial \lambda}\frac{L_{ring}}{m}\right) = \Delta_{env} n_{eff}\frac{L_{active}}{m}$$

$$\Delta\lambda_{shift}\left(\underbrace{n_{eff_{0V}} - \lambda_{res_{0V}}\frac{\partial n_{eff_{0V}}}{\partial \lambda}}_{=n_{g_{0V}}}\right) = \Delta_{env} n_{eff}\frac{n_{eff_{0V}}\, L_{active}}{m} \tag{A1-8}$$

Nous introduisons ensuite l'indice de groupe $n_{g_{0V}}$ du guide d'onde sous une polarisation nulle et remplaçons le mode m par la résonance à 0V. Le décalage du pic de résonance peut alors s'exprimer par (A1-9). Cette équation est similaire à celle classiquement donnée dans la littérature $\Delta\lambda_{shift} = \frac{\lambda_{res}\Delta n_{eff}}{n_g}$ mais le facteur $\frac{L_{active}}{L_{ring}} \approx 72\ \%$ y est ajouté. Ce terme prend en compte le fait que la jonction PN n'est pas intégrée sur le pourtour complet de l'anneau (pas de jonction au niveau du couplage).

$$\Delta\lambda_{shift} = \frac{\Delta_{env} n_{eff}}{n_{g_{0V}}}\frac{n_{eff_{0V}}\, L_{active}}{m}$$

$$\Delta\lambda_{shift} = \frac{\lambda_{res_{0V}}\, \Delta_{env} n_{eff}}{n_{g_{0V}}}\frac{L_{active}}{L_{ring}} \tag{A1-9}$$

Variation de la longueur des anneaux dans un lien WDM

Pour décrire la variation de la longueur L_{ring} des anneaux en fonction de l'espacement inter-canal $\Delta\lambda_{WDM}$, nous dérivons l'expression de la longueur d'onde de résonance d'un anneau $\lambda_{res} = \frac{n_{eff}}{m} L_{ring}$ comme montré par l'expression (A1-10).

$$\Delta\lambda_{WDM} = \frac{n_{eff}}{m} \Delta L_{ring} + \frac{\Delta n_{eff}}{m} L_{ring} \tag{A1-10}$$

La variation de l'indice effectif peut Δn_{eff} s'exprimer en fonction de la variation de la longueur d'onde de résonance et de l'indice de groupe dont nous rappelons son expression $n_g = n_{eff} - \lambda_{res}\frac{\Delta n_{eff}}{\Delta\lambda_{res}}$. Nous obtenons ainsi l'équation (A1-11). Les termes sont ensuite réorganisés, m est remplacé par $\frac{n_{eff}L_{ring}}{\lambda_{res}}$ et enfin nous introduisons la formule de l'intervalle spectral libre $FSR = \frac{\lambda_{res}^2}{n_g L_{ring}}$ pour aboutir à l'équation (A1-12). L'équation finale (A1-13) est obtenue en considérant que $\Delta\lambda_{WDM} = \frac{FSR}{N}$ avec N le nombre de canaux du lien WDM.

$$m\,\Delta\lambda_{WDM} = n_{eff}\,\Delta L_{ring} + \frac{n_{eff} - n_g}{\lambda_{res}}\,\Delta\lambda_{WDM}\,L_{ring} \tag{A1-11}$$

$$\Delta L_{ring} = \left(m - L_{ring}\frac{n_{eff} - n_g}{\lambda_{res}}\right)\frac{\Delta\lambda_{WDM}}{n_{eff}}$$

$$\Delta L_{ring} = \frac{n_g}{n_{eff}}\frac{L_{ring}}{\lambda_{res}}\,\Delta\lambda_{WDM}$$

$$\Delta L_{ring} = \frac{\lambda_{res}}{FSR}\frac{\Delta\lambda_{WDM}}{n_{eff}} \tag{A1-12}$$

$$\Delta L_{ring} = \frac{1}{N}\frac{\lambda_{res}}{n_{eff}} \tag{A1-13}$$

Expression de la pénalité de diaphonie

La pénalité de diaphonie est définie comme la différence entre la pénalité de transmission de l'anneau considéré sans diaphonie (l'anneau est alors isolé) et la pénalité de transmission de cet anneau avec de la diaphonie (l'anneau est inclus dans un lien WDM). En se basant sur le schéma de la Figure 6.17 (a) qui décrit les niveaux $T1$, $T'1$ et $T0$ de la puissance optique, la pénalité de diaphonie s'exprime comme (A1-14).

$$TP_{Xtalk} = TP_{wo\ Xtalk} - TP_{with\ Xtalk}$$

$$TP_{Xtalk} = 10\log\left(\frac{2T_{max}}{T1 - T0}\right) - 10\log\left(\frac{2T_{max}}{T'1 - T0}\right) \tag{A1-14}$$

Nous faisons l'approximation que le niveau $T0$ n'est pas modifié lorsque le canal adjacent est pris en compte. Quant au niveau $T'1$, nous considérons que sa valeur est le produit du niveau $T1$ par la transmission de l'anneau adjacent à la longueur d'onde du laser, soit $T'1 = T1 * T'(\lambda_{laser})$. Nous obtenons ainsi l'équation (A1-15) qui se réécrit par l'équation (A1-16) en fonction du taux d'extinction $ER = \frac{T1}{T0}$.

$$TP_{Xtalk} = 10\log\left(\frac{T1 * T'(\lambda_{laser}) - T0}{T1 - T0}\right) \tag{A1-15}$$

$$TP_{Xtalk} = 10\log\left(\frac{ER * T'(\lambda_{laser}) - 1}{ER - 1}\right) \tag{A1-16}$$

Nous utilisons le modèle Lorentzien de la transmission $T'(\lambda_{laser})$ qui est donné par l'équation (A1-1). Les caractéristiques de l'anneau adjacent sont notées par $A', \mathbb{Q}', \lambda'_{res}, FWHM'$. Nous faisons plusieurs approximations afin de simplifier les calculs. La première consiste à considérer que nous travaillons à une résonance proche du couplage critique de telle façon que $A' \approx 1$. La seconde considère que la longueur d'onde de travail est très proche de la résonance de l'anneau principal modulé par une tension de -2 Vpp, soit $\lambda_{laser} = \lambda_{res} + \Delta\lambda_{shift}$ (cf. Figure 6.17 (a)). Enfin, nous rappelons également que la résonance de l'anneau adjacent est $\lambda'_{res} = \lambda_{res} + \Delta\lambda_{WDM}$. Ceci nous amène à l'expression (A1-17) de la transmission $T'(\lambda_{laser})$.

$$T'(\lambda_{laser}) = 1 - \frac{A'}{1 + \left(2\mathbb{Q}' \frac{\lambda_{laser} - \lambda'_{res}}{\lambda'_{res}}\right)^2}$$

$$T'(\lambda_{laser}) = 1 - \frac{1}{1 + \left(2\,\frac{\Delta\lambda_{WDM} - \Delta\lambda_{shift}}{FWHM'}\right)^2} \quad \text{(A1-17)}$$

Pour plus de simplicité, nous notons $\zeta = \Delta\lambda_{WDM} - \Delta\lambda_{shift}$. ζ représente l'écart entre le pic de l'anneau modulé et le pic de l'anneau adjacent. L'expression (A1-17) est introduite dans l'équation de la pénalité de diaphonie (A1-16). Comme nous nous sommes placés dans le creux de la résonance, nous pouvons également faire l'approximation que le taux d'extinction est très proche de la profondeur maximale du pic de l'anneau ER_{on-off}. Les termes sont réorganisés pour aboutir à l'équation (A1-18). Nous pouvons remarquer que la pénalité de diaphonie ainsi exprimée est négative car la pénalité de transmission se dégrade lorsque des anneaux sont ajoutés pour constituer un lien WDM. Par ailleurs, beaucoup d'hypothèses simplificatrices ont été utilisées donc l'expression (A1-18) n'est qu'une estimation de la diaphonie et des simulations et / ou mesures sont nécessaires pour confirmer cette formule (cf. section 6.3).

$$TP_{Xtalk} = 10\log\left(\frac{ER_{on-off} - 1 - \frac{ER_{on-off}}{1 + \left(\frac{2\zeta}{FWHM'}\right)^2}}{ER_{on-off} - 1}\right)$$

$$TP_{Xtalk} = 10\log\left(1 - \frac{ER_{on-off}}{ER_{on-off} - 1}\frac{1}{1 + \left(\frac{2\zeta}{FWHM'}\right)^2}\right)$$

$$TP_{Xtalk} = 10\log\left(\frac{1 + \left(\frac{2\zeta}{FWHM'}\right)^2 - \frac{ER_{on-off}}{ER_{on-off} - 1}}{1 + \left(\frac{2\zeta}{FWHM'}\right)^2}\right)$$

$$TP_{Xtalk} = 10\log\left(\frac{\left(\frac{2\zeta}{FWHM}\right)^2 - \frac{1}{ER_{on-off} - 1}}{\left(\frac{2\zeta}{FWHM}\right)^2 + 1}\right) \quad \text{(A1-18)}$$

Annexe 2 Théorie des modes couplés

Cette théorie [188] s'utilise dans toute situation où un couplage, linéaire ou non, s'établit entre deux ondes (ou deux modes) par l'intermédiaire de leur milieu de propagation. Deux systèmes sont couplés s'ils échangent de l'énergie. La portée de la théorie est très large et peut s'appliquer aussi bien à des composants passifs, des composants thermo-optiques ou électro-optiques et des composants non linéaires. Le principe de la théorie est de rechercher pour le système couplé des solutions de l'équation de propagation sous forme d'un développement sur la base orthogonale de celles des systèmes non couplés. La méthode est similaire à celle de la théorie des perturbations. Elle est particulièrement intéressante car elle est très générale et s'adapte à toute géométrie d'anneaux.

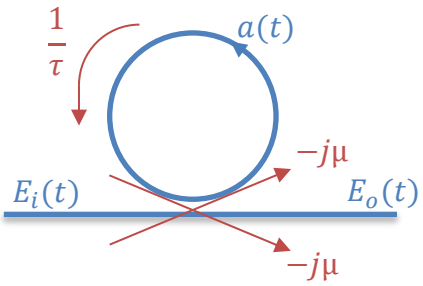


Figure A2.1. Structure de l'anneau pour une approche modes couplés

La théorie des modes couplés modélise un anneau en se basant sur l'énergie circulant dans l'anneau selon le schéma de la Figure A2.1. Elle a été appliquée en particulier dans les travaux [113] et [107] qui donnent plus de détails sur les différentes hypothèses et le formalisme utilisés pour mettre en place cette méthode. Les notations suivantes sont utilisées :

- $a(t)$ est l'amplitude de l'énergie circulant dans l'anneau. $|a(t)|^2$ est l'énergie totale stockée dans l'anneau au temps t.
- $A(t)$ est l'amplitude du champ optique dans l'anneau. $|A(t)|^2$ est la puissance totale circulant à travers toute section de l'anneau au temps t. $A(t)$ est lié à $a(t)$ par l'expression (A2-1).

$$|a(t)|^2 = |A(t)|^2 \frac{n_g L_{ring}}{c} = |A(t)|^2 \, T_{rt} \tag{A2-1}$$

- n_g est l'indice de groupe du silicium.
- $c = 3.10^8$ m. s^{-1} est la vitesse de la lumière dans le vide.
- L_{ring} [m] est le périmètre de l'anneau
- T_{rt} $[s]$ est le temps de « round-trip », c'est-à-dire le temps nécessaire pour l'onde lumineuse de faire un tour de l'anneau.
- $E_i(t)$ et $E_o(t)$ sont les amplitudes des champs électriques à l'entrée et à la sortie du guide d'onde droit.
- τ [s] est le temps caractéristique de la cavité. Il prend en compte les dynamiques liées aux pertes de propagation dans l'anneau (τ_l) et au couplage entre l'anneau et le guide adjacent (τ_c). τ satisfait la relation suivante : $\frac{1}{\tau} = \frac{1}{\tau_l} + \frac{1}{\tau_c}$.
- μ est le coefficient de couplage mutuel et satisfait la relation $\mu^2 = \frac{2}{\tau_c}$.
- $\omega_{res} = \frac{2\pi c}{\lambda_{res}}$ est la pulsation de résonance considérée pour l'anneau.

La théorie des modes couplés donne le système d'équations (A2-2) décrivant la dynamique d'un anneau.

$$\begin{cases} \dfrac{da(t)}{dt} = j(\omega - \omega_{res})a(t) - \dfrac{1}{\tau}\, a(t) - j\mu\, E_i(t) \\ E_o(t) = E_i(t) - j\mu\, a(t) \end{cases} \tag{A2-2}$$

La forme de l'équation différentielle peut varier d'une publication à l'autre selon si le terme de phase $e^{-j\omega t}$ est inclus ou non dans les définitions des amplitudes de champs et d'énergie. Ici, nous considérons que ce terme est externalisé. D'après ce système, l'énergie stockée dans l'anneau au temps initial correspond à $|a(t=0)|^2 = \frac{P_{in}}{\mu^2}$ (puissance de sortie nulle). Puis l'énergie circulant dans l'anneau décroit exponentiellement avec le temps caractéristique τ jusqu'à une limite déterminée par la puissance d'entrée et par la transmission à la pulsation ω considérée. Pour résoudre le système (A2-2), nous nous plaçons en régime permanent, soit $\frac{da(t)}{dt} = 0$. Nous obtenons alors l'expression (A2-3) de la transmission de l'anneau T définie comme le rapport des puissances de sortie et d'entrée :

$$T(\omega) = \left|\frac{E_o}{E_i}\right|^2 = \frac{(\omega - \omega_{res})^2 + \left(\frac{1}{\tau_c} - \frac{1}{\tau_l}\right)^2}{(\omega - \omega_{res})^2 + \frac{1}{\tau^2}} \tag{A2-3}$$

Cette expression de la transmission correspond en fait à un pic de Lorentz et peut se réécrire sous la forme (A2-4) avec $\mathbb{Q} = \frac{\tau\omega_{res}}{2}$ le facteur de qualité de la résonance :

$$T(\omega) = 1 - \frac{4\,\tau^2}{\tau_c \tau_l} \frac{1}{1 + \left(2\mathbb{Q}\,\frac{\omega - \omega_{res}}{\omega_{res}}\right)^2} \tag{A2-4}$$

Il est important de noter que l'expression de la transmission n'est valable que pour des pulsations proches de ω_{res} car le système d'équations (A2-2) est obtenu en faisant l'hypothèse qu'on ne regarde qu'une seule résonance de l'anneau. La modélisation de l'anneau via la théorie des modes couplés est très pratique en particulier dans le cas où on veut inclure des phénomènes non linéaires. En effet, la mise en équation du fonctionnement de l'anneau en considérant l'énergie y circulant se prête bien à l'étude des non linéarités optiques d'un anneau. Ce formalisme est exposé dans les travaux [107] et [189].

Le modèle présenté est évidemment lié à l'approche round-trip exposé dans le Chapitre 2. Des relations existent entre les paramètres τ_l, τ_c, μ de la théorie des modes couplés et les paramètres a, γ, κ de l'approche round-trip. Le facteur de qualité $\mathbb{Q}$, donné par l'expression (A2-5), peut se décomposer de telle sorte que $\frac{1}{\mathbb{Q}} = \frac{1}{\mathbb{Q}_c} + \frac{1}{\mathbb{Q}_l}$.

- Le premier terme, c'est-à-dire le facteur $\mathbb{Q}_c$ se rapporte au couplage entre l'anneau et le guide adjacent et s'exprime selon l'équation (A2-6). En faisant l'approximation que $\frac{\sqrt{\gamma}}{1-\gamma} \sim \frac{2}{1-\gamma^2}$ (car γ est proche de 1), nous obtenons l'expression (A2-8) du temps caractéristique de couplage τ_c en fonction de γ.
- Le second terme, c'est-à-dire le facteur $\mathbb{Q}_l$ se rapporte aux pertes intrinsèques de l'anneau et s'exprime selon l'équation (A2-7). De la même façon, nous obtenons l'expression (A2-9) du temps de vie des photons dans la cavité optique τ_l en fonction de a. τ_l correspond au rapport entre le temps de transit dans la cavité et les pertes.
- Enfin, la dernière relation (A2-10) concernant μ et κ découle des expressions $\mu^2 = \frac{2}{\tau_c}$ et $\gamma^2 + \kappa^2 = 1$.

$$\mathbb{Q} = \frac{\tau\omega_{res}}{2} = \frac{\pi n_g L_{ring}}{\lambda_{res}} \frac{\sqrt{a\gamma}}{1 - a\gamma} = \frac{1}{\frac{1}{\mathbb{Q}_c} + \frac{1}{\mathbb{Q}_l}} \tag{A2-5}$$

$$\begin{cases} \mathbb{Q}_c = \dfrac{\tau_c \omega_{res}}{2} = \dfrac{\pi n_g L_{ring}}{\lambda_{res}} \dfrac{\sqrt{\gamma}}{1-\gamma} & \text{(A2-6)} \\ \mathbb{Q}_l = \dfrac{\tau_l \omega_{res}}{2} = \dfrac{\pi n_g L_{ring}}{\lambda_{res}} \dfrac{\sqrt{a}}{1-a} & \text{(A2-7)} \end{cases}$$

$$\begin{cases} \tau_c = 2\dfrac{n_g L_{ring}}{c} \dfrac{1}{1-\gamma^2} & \text{(A2-8)} \\ \tau_l = 2\dfrac{n_g L_{ring}}{c} \dfrac{1}{1-a^2} & \text{(A2-9)} \\ \mu^2 = \dfrac{c}{n_g L_{ring}}\,\kappa^2 & \text{(A2-10)} \end{cases}$$

Annexe 3 Modèle non-linéaire du spectre de transmission de l'anneau

Le silicium étant un matériau centro-symétrique, les effets non-linéaires (NL *Non Linear*) d'ordre 2 ne sont pas présents. Nous considérons ici les effets NL associés à l'existence d'une susceptibilité du troisième ordre. Une grande variété de phénomènes sont possibles comme l'effet Kerr optique, un mélange à 4 ondes, une bistabilité absorptive ou réfractive [190]. Cependant dans cette section, nous nous restreignons aux phénomènes thermiques qui engendrent un auto-échauffement (*self-heating*) de l'anneau. L'auto-échauffement est à l'origine d'un décalage et d'une distorsion des pics de résonance du spectre de l'anneau. Il est directement lié à la puissance optique circulant dans l'anneau et est donc essentiellement visible quand la puissance d'entrée est importante (> 1mW). Les trois phénomènes auxquels nous nous intéressons sont :

- l'absorption à deux photons (TPA *Two Photons Absorption*) qui est un phénomène quantique se produisant lorsque la puissance optique injectée dans l'anneau est élevée. Le silicium absorbe l'énergie de deux photons et fait passer un électron de la bande de valence à la bande de conduction, créant ainsi une paire de porteurs libres électron-trou. La lumière stockée dans la cavité est absorbée ce qui génère la création de porteurs libres et un échauffement de l'anneau dues aux pertes locales d'énergie.

- l'absorption par porteurs libres (FCA *Free Carrier Absorption*) qui est un procédé par lequel les photons sont absorbés par les porteurs libres présents dans la cavité. Les porteurs libres proviennent à la fois de la jonction PN et du phénomène d'absorption à deux photons. Les porteurs passent d'un état excité à un autre état excité. L'énergie perdue est retransmise sous forme de chaleur et contribue à l'auto-échauffement de l'anneau.

- la dispersion par porteurs libres (FCD *Free Carrier Dispersion*) qui est un procédé par lequel la lumière circulant dans l'anneau subit une dispersion par les porteurs libres. Cet effet s'oppose aux deux effets précédents TPA et FCA car il est à l'origine d'un *blueshift* (décalage vers les longueurs d'onde plus petites) du pic de résonance alors que les absorptions TPA et FCA provoquent un *redshift* (décalage vers les longueurs d'onde plus grandes) de la résonance. Cependant, en pratique, un *redshift* est observé lorsque les effets NL se manifestent car les effets TPA et FCA sont dominants sur le phénomène de dispersion.

L'auto-échauffement d'un anneau a été largement traité dans la littérature. L'université de Yonsei [191] et [192] propose une modélisation de ces effets en se basant sur la théorie des modes couplés. Le modèle décrit précisément la dépendance du spectre de transmission de l'anneau avec la puissance optique incidente, ainsi que la dynamique de l'anneau en présence de FCA. La précision de leur modèle a été confirmée par des mesures. L'université de l'Illinois [193] étudie également les dynamiques d'auto-échauffement dans un anneau résonant. Leur modèle couple les effets thermique et optique. Pour la partie thermique, la modélisation repose sur la méthode des capacités localisées qui considère l'anneau comme un ensemble de masses thermiques s'échangeant de la chaleur via des résistances thermiques. Ainsi le self-heating peut être décrit à l'aide d'un circuit thermique ce qui simplifie la mise en équation. La validité des résultats a également pu être vérifiée par des mesures réalisées sur des anneaux en nitrure de silicium. L'université de Cornell [194] a démontré qu'il est possible d'utiliser la compensation des effets FCA et FCD pour réaliser un anneau insensible à la puissance incidente. Le contrôle de la résonance est effectué en modifiant les propriétés thermiques de l'anneau et présente l'avantage d'être complètement passif. La résistance thermique de l'anneau est ajustée en gravant des tranchées autour de la cavité ce qui permet d'intensifier l'effet FCD jusqu'à un équilibre avec l'absorption FCA. L'université de Cornell démontre la bistabilité optique dans un anneau résonant. La première démonstration [195] s'appuie sur un effet thermo-optique (TO *Thermo-Optic*) non-linéaire induit par des mécanismes d'absorption. Ces mécanismes incluent l'absorption à deux photons mais aussi un phénomène d'absorption linéaire dû aux états de surface créés par les parois du guide non passivées. La seconde démonstration [196], au contraire, repose sur la dispersion par les porteurs libres dans le silicium, les effets thermo-optiques étant minimisés par l'utilisation de pulses nanosecondes. En effet, il est montré théoriquement que les paires électron-trou responsables de la FCD ont un temps de vie de l'ordre de la nanoseconde tandis que le temps

caractéristique des effets TO est de l'ordre de la microseconde. Dans les deux cas, la transmission de l'anneau en fonction de la puissance optique d'entrée présente une courbe en hystérésis typique de la bistabilité. La bistabilité permet de réaliser des fonctionnalités tout-optiques comme par exemple une mémoire ou du routage. Les laboratoires d'Oracle [197] propose également d'étudier la bistabilité d'un modulateur en anneau induite par l'auto-échauffement à partir de l'absorption par les porteurs libres (FCA). L'effet peut être amélioré par des techniques d'élimination locale du substrat au niveau de l'anneau. Ces interactions thermo-optiques entrainent une dépendance du décalage des pics de résonance avec la puissance optique circulant dans l'anneau et donc, avec les données optiques à transmettre. En conséquence, la qualité de la modulation des données sera dégradée. Cependant, pour des modulations à des vitesses élevées (> 1 MHz), les effets thermo-optiques n'impacteront pas la transmission car ce sont des effets lents dont la bande passante a été évaluée à environ 100 à 200 kHz (temps caractéristique de quelques µs). Enfin, l'université de Maryland [106] exploite les anneaux résonants pour améliorer les effets NL et ainsi réduire la puissance nécessaire pour réaliser des fonctions optiques en traitement du signal. Plusieurs applications comme la commutation des signaux, le démultiplexage optique, le mélange à 4 ondes ou la réalisation de portes logiques sont démontrées. Notamment une implémentation des portes OR, AND et XNOR est proposée.

Après ce rapide état de l'art, nous montrons à la Figure A3.1 des mesures de spectres de transmission d'un anneau présentant des non-linéarités. D'une part nous pouvons constater que la résonance est distordue quand la puissance injectée dans l'anneau augmente : c'est la manifestation de l'effet TPA. D'autre part, à puissance constante, la résonance se déforme également lorsque la tension de modulation appliquée sur la jonction PN augmente en valeur absolue (V_{mod} est une tension négative) : c'est la manifestation de l'effet FCA car les porteurs libres sont de plus en plus nombreux.

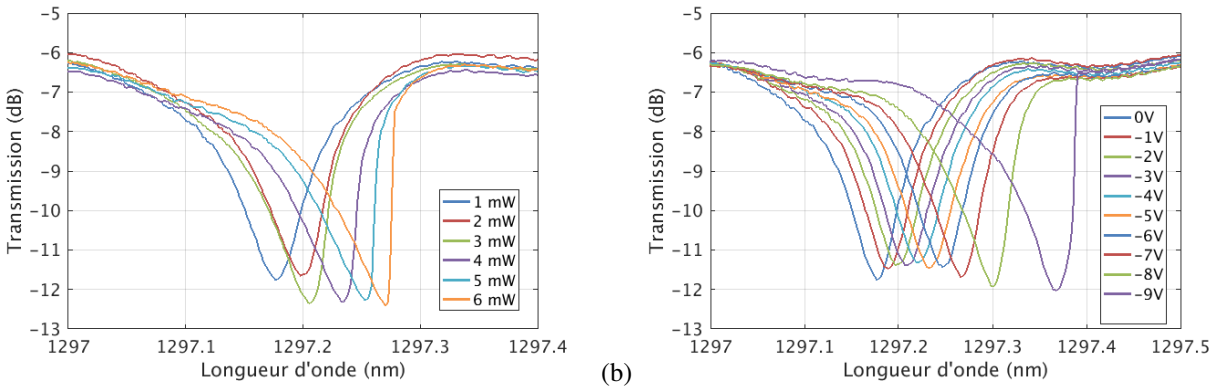


Figure A3.1. Mesures de spectres de transmission : (a) à polarisation constante $V_{mod} = 0V$, la puissance laser varie (b) à puissance laser constante $P_{in} = 1mW$, la tension de modulation varie

Le but de la modélisation que nous cherchons à réaliser est de reproduire ces comportements expérimentaux, sans toutefois chercher à régler précisément le modèle pour l'ajuster à la mesure. Le modèle NL développé est une version simplifiée du modèle analytique présenté dans le Chapitre 2. Il se base sur l'équation (2-26) de transmission locale d'un anneau et ne prend pas en compte par exemple la dépendance de l'indice effectif avec la longueur d'onde et le calcul des pertes de l'anneau en fonction des concentrations de dopage. Le principe de la modélisation est d'incrémenter pas à pas la variation de l'indice effectif, puis de calculer la transmission de l'anneau jusqu'à convergence. En effet, l'auto-échauffement par TPA et FCA peut être vu comme un phénomène rétroactif car l'indice effectif dépend de la puissance absorbée dans l'anneau qui dépend elle-même de l'indice effectif.

Le modèle repose sur les quatre équations suivantes (A3-1) à (A3-4). La première calcule l'indice effectif en incluant les effets TPA et FCA tandis que les trois autres calculent la longueur d'onde de résonance, le facteur de qualité et la transmission à partir de la nouvelle valeur de l'indice effectif. Le détail du développement permettant d'aboutir à ces équations est donné à la fin de cette annexe.

$$n_{eff,k+1} = n_{eff,0} + \delta n + (\sigma(V_{mod}) + \sigma_0)\, P_{in} \frac{4\left(\frac{n_{eff,k} L_{ring}}{c}\right)(1-\gamma^2)}{4\left(\frac{n_{eff,k} L_{ring}}{c}\right)^2 (\omega - \omega_{res,k})^2 + (2-\gamma^2-a^2)^2} \quad \text{(A3-1)}$$

$$\lambda_{res,k+1} = \frac{1}{m}\left(n_{eff,0} L_{ring} + \left(n_{eff,k+1} - n_{eff,0}\right) L_{active} * corr_{\varphi}\right) \quad \text{(A3-2)}$$

$$\mathbb{Q}_{k+1} = \frac{\pi\, n_g\, L_{ring}\, \sqrt{a\gamma}}{\lambda_{res,k+1}(1-a\gamma)} \tag{A3-3}$$

$$T_{k+1} = 1 - \frac{A}{1 + \left(2\,\mathbb{Q}_{k+1}\dfrac{\lambda - \lambda_{res,k+1}}{\lambda_{res,k+1}}\right)^2} \quad avec\ A = 1 - \left(\frac{\gamma - a}{1-a\gamma}\right)^2 \tag{A3-4}$$

P_{in} est la puissance d'entrée du modulateur injectée par le laser. $\sigma(V_{mod})$ et σ_0 sont respectivement une fonction de la tension de modulation et une constante qui permettent de rendre compte de « l'intensité » des effets NL. Ces deux paramètres peuvent être ajustés librement pour reproduire les caractéristiques de la mesure. En première approximation, nous définissons $\sigma(V_{mod})$ comme un polynôme d'ordre 3 ce qui permet de reproduire grossièrement le décalage du pic de résonance observé à la Figure A3.1 (b) en fonction de la polarisation de la jonction PN.

Les résultats des simulations MATLAB sont illustrés à la Figure A3.2 et à la Figure A3.3. Nous retrouvons sensiblement les mêmes déformations et décalage du pic de résonance par rapport aux mesures. La Figure A3.3 (b) compare en particulier les spectres de transmission obtenus avec un modèle idéal sans effet NL ($\sigma(V_{mod}) = 0$ et $\sigma_0 = 0$) et avec le modèle NL.

Nous n'étudierons pas davantage ces phénomènes d'auto-échauffement car nous nous plaçons dans des conditions telles que les effets NL peuvent être négligés. En effet, nous nous restreignons à des puissances laser inférieure à 1 mW et à des tensions de modulation inférieures à |-4 V|. De plus, comme nous l'avons souligné, les effets thermo-optiques sont lents, avec des temps caractéristiques de l'ordre de quelques µs. En conséquence, ils n'ont pas le temps de se manifester lors de transmission aux débits élevés auxquels nous travaillons (20 Gb/s et 50 Gb/s).

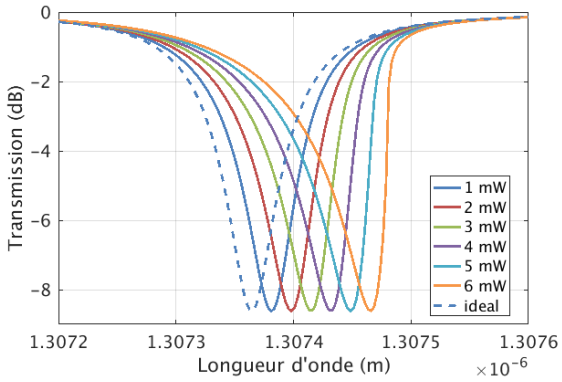


Figure A3.2. Modèle de l'auto-échauffement par TPA : Spectres à polarisation constante (0V), la puissance laser varie

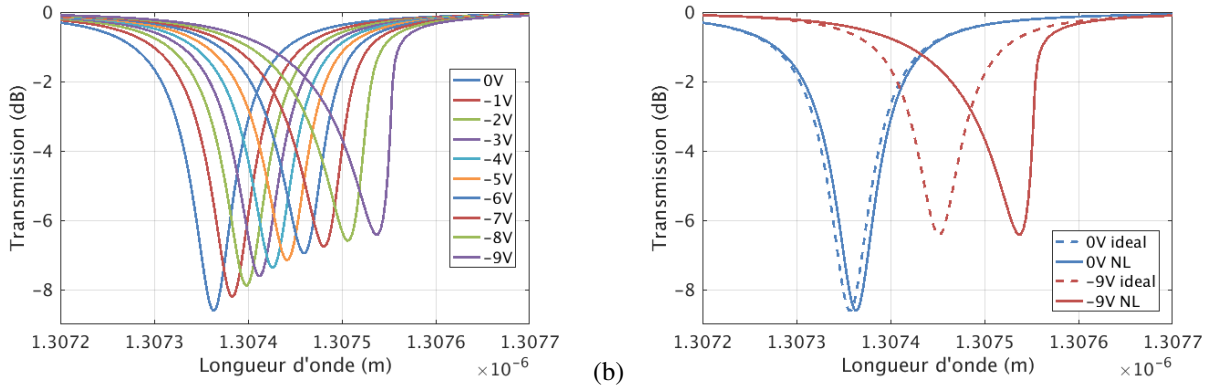


Figure A3.3. Modèle de l'auto-échauffement par FCA : (a) Spectres à puissance laser constante $P_{in} = 1mW$, la tension de modulation varie, (b) comparaison entre le modèle idéal et le modèle non-linéaire

Détails de la mise en équation de la modélisation non-linéaire

Nous expliquons dans cette sous-partie comment est obtenue la formule (A3-1) exprimant la variation de l'indice effectif. Celle-ci est décomposée en deux termes : la variation de l'indice de réfraction δn due à la modulation de la jonction PN et la variation de l'indice de réfraction δn_{TO} due aux effets thermo-optiques. Notre objectif est d'expliciter la variation thermo-optique en fonction de la puissance optique injectée en entrée de l'anneau résonant.

$$n_{eff,k+1} = n_{eff,0} + \delta n + \delta n_{TO}$$

δn_{TO} est lié à la variation de la température δT via le coefficient thermo-optique du silicium $\kappa_{th} = \frac{dn_{Si}}{dT} = 1.86 \times 10^{-4}\ \mathrm{K}^{-1}$, selon l'équation (A3-5). La variation de la température, quant à elle, est dictée par l'équation différentielle (A3-6) faisant intervenir la puissance P_{abs} absorbée par l'anneau. Nous considérons que le régime stationnaire est établi, ce qui permet d'écrire l'expression (A3-7).

$$\delta n_{TO} = \kappa_{th}\, \delta T \tag{A3-5}$$

$$\frac{d\delta T}{dt} + \frac{\delta T}{\tau_{th}} = \frac{P_{abs}}{\rho\, C\, \mathbb{V}} \tag{A3-6}$$

$$\delta T = \frac{\tau_{th}}{\rho C \mathbb{V}}\, P_{abs} = R_{th}\, P_{abs}$$

$$\delta n_{TO} = \kappa_{th}\, R_{th}\, P_{abs} \tag{A3-7}$$

Les différents paramètres sont :

- $\tau_{th} \approx 1\mu s$ est la constante de temps de dissipation thermique ;
- $\rho = 2.3 \times 10^{-3}\ \mathrm{kg.cm^{-3}}$ est la densité du silicium ;
- $C = 705\ \mathrm{J.kg^{-1}.K^{-1}}$ est la capacité thermique du silicium ;
- $\mathbb{V}\ [\mathrm{m^{-3}}]$ est le volume de la cavité optique ;
- $R_{th}[\mathrm{K.W^{-1}}] = \frac{\tau_{th}}{\rho C \mathbb{V}}$ est la résistance thermique de la cavité optique.

$P_{abs} = \gamma_{abs}\, |a(t)|^2$ est la puissance absorbée par l'anneau qui est exprimée comme le produit entre l'énergie totale circulant dans l'anneau $|a(t)|^2$ et le taux d'absorption γ_{abs} dans la cavité (en $\mathrm{s^{-1}}$). Avec le formalisme de la théorie des modes couplés (équation (A2-2)), nous pouvons exprimer P_{abs} en fonction des amplitudes des champs à l'entrée et à la sortie de l'anneau. Puis nous introduisons la puissance optique d'entrée $P_{in} = |E_i|^2$ ainsi que le coefficient de couplage κ et le temps de round-trip T_{rt} (cf. (A2-10)) pour obtenir l'équation (A3-8).

$$P_{abs} = \gamma_{abs}\, \frac{|E_o - E_i|^2}{\mu^2}$$

$$P_{abs} = \frac{\gamma_{abs}\, T_{rt}}{\kappa^2}\, P_{in} \left|\frac{E_o}{E_i} - 1\right|^2 \tag{A3-8}$$

Toujours à partir de la théorie des modes couplés, nous pouvons développer le module $\left|\frac{E_o}{E_i} - 1\right|^2$ puis remplacer les différents paramètres par ceux issus de l'approche round-trip. Nous obtenons alors l'expression (A3-9) qui est celle que l'on retrouve dans (A3-1).

$$P_{abs} = \frac{\gamma_{abs}\, T_{rt}}{\kappa^2}\, P_{in} \left|\frac{\mu^2}{j(\omega - \omega_{res}) - \frac{1}{\tau}}\right|^2$$

$$P_{abs} = \frac{\gamma_{abs}\, T_{rt}}{\kappa^2}\, P_{in}\, \frac{\kappa^4}{T_{rt}^2}\, \frac{1}{(\omega - \omega_{res})^2 + \frac{1}{\tau^2}}$$

$$P_{abs} = \gamma_{abs}\, P_{in}\, \frac{4\, T_{rt}\, (1 - \gamma^2)}{4\, T_{rt}^2\, (\omega - \omega_{res})^2 + (2 - \gamma^2 - a^2)^2} \tag{A3-9}$$

Annexe 4 Cosimulations électro-optiques sous ADS des modulateurs en anneau

Cosimulations à partir du modèle électrique et du post-traitement mathématique

Les cosimulations électro-optiques des modulateurs en anneau peuvent être réalisées à partir du logiciel ADS comme cela a été fait pour le modulateur de Mach-Zehnder à la section 5.2.2. Ici la partie électrique se réduira à un générateur PRBS et des câbles RF tandis que la partie optique est modélisée par le modèle circuit de la jonction PN pour un anneau résonant (section 2.4). Nous n'incluons pas les drivers CMOS car nous souhaitons comparer les résultats de simulation aux résultats expérimentaux issus de la caractérisation des anneaux 20G et 50G du Chapitre 3.

Les cosimulations sont réalisées en deux étapes : la simulation électrique transitoire puis le post-traitement mathématique. La simulation électrique permet de décrire la dynamique électrique du modulateur et rend compte de la bande passante électrique de l'anneau via le produit RC de la jonction PN. A partir de la tension de modulation appliquée aux bornes de l'anneau, le traitement mathématique est appliqué en utilisant le modèle analytique de l'anneau (Figure 2.12 et Tableau 9). Au préalable, la longueur d'onde de travail a été déterminée pour optimiser les performances du modulateur. La transmission de l'anneau est alors calculée à ce point précis et non sur tout le spectre. Ceci permet de prendre en compte la bande passante optique du modulateur. L'évolution temporelle de la puissance optique en sortie du modulateur s'obtient enfin par l'équation (A4-1). Puis le diagramme de l'œil du modulateur s'en déduit facilement.

$$P_{out}(t) = T\left(\lambda_{laser}, V_{mod}(t)\right) * P_{in} \tag{A4-1}$$

Pour illustrer les cosimulations électro-optiques, nous prenons l'exemple des anneaux 20G et 50G dont les caractéristiques dynamiques ont été mesurées à la section 3.3.2. Les conditions de simulation prennent en compte le générateur PRBS, les pertes d'interconnexions (câble RF et probe), la résistance de 50 Ω protégeant l'amplificateur lors des mesures et le modèle électrique de l'anneau. Les cosimulations sont réalisées avec un signal PRBS de longueur 2^7-1 et d'amplitude 0V – -4V et une puissance optique d'entrée de 1 mW. Les diagrammes de l'œil obtenus respectivement pour l'anneau 20G et l'anneau 50G sont donnés à la Figure A4.1 et à la Figure A4.2 pour différents débits. Nous définissons alors un taux d'extinction dynamique correspondant à l'ouverture du diagramme de l'œil. Ce taux dynamique est inférieur au taux d'extinction statique qui est calculé lors des simulations statiques de l'anneau et qui correspond à l'amplitude maximale de l'œil. La distinction entre ces deux taux d'extinction est montrée à la Figure A4.1 (b).

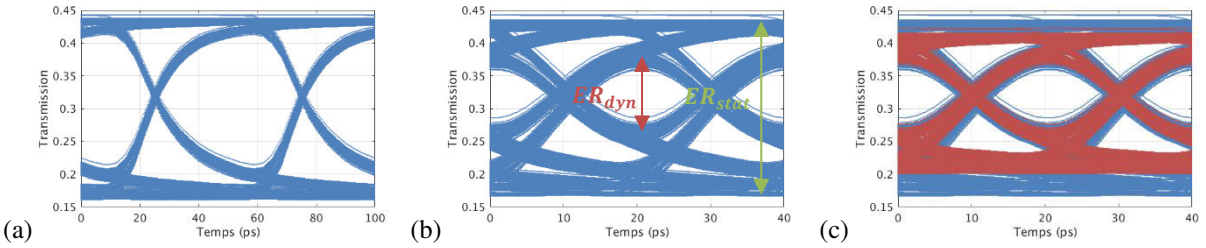


Figure A4.1. Diagrammes de l'œil de l'anneau 20G : (a) à 20 Gb/s, (b) à 50 Gb/s, (c) à 50 Gb/s avec de l'emphasis

Concernant les simulations de l'anneau 20G, l'œil est largement ouvert à 20 Gb/s et le taux d'extinction est estimé à 3.2 dB ce qui correspond au résultat trouvé lors des mesures expérimentales (cf. Figure 3.10 (a)). A 50 Gb/s, l'ouverture de l'œil s'est nettement dégradée et le taux d'extinction est alors estimé à 1.3 dB. La caractérisation expérimentale n'avait pas permis d'obtenir un œil ouvert à ce débit. Cette performance peut être améliorée en appliquant de l'emphasis au signal PRBS. L'emphasis consiste à appliquer une légère surtension à chaque premier bit d'une séquence de « 1 » ou de « 0 » au signal PRBS. En pratique, les appareils de mesure permettent de réaliser du de-emphasis, c'est-à-dire que le premier bit de la séquence est maintenu à la tension maximale tandis que la tension des bits suivants est réduite d'un certain

pourcentage. L'emphasis est couramment utilisé lors de mesures RF car il permet de compenser les dégradations des signaux électriques dues aux supports des circuits imprimés ou aux câbles connectant les ports de l'émetteur et du récepteur. La Figure A4.1 (c) superpose les diagrammes de l'œil à 50 Gb/s sans emphasis (courbe bleue) et avec emphasis (courbe rouge). Une réduction de 20% de la tension du PRBS a été appliquée ce qui permet d'ouvrir le diagramme de l'œil (ER_{dyn} augmente) même si l'amplitude maximale de l'œil (ER_{stat}) a été réduite. Le taux d'extinction est alors de 1.5 dB. L'ajout d'emphasis lors des mesures n'a toutefois pas permis d'obtenir un œil ouvert car l'anneau est limité par sa bande passante électro-optique et l'emphasis ne permet de compenser que les dégradations dues au banc de mesures.

Concernant les simulations de l'anneau 50G, la Figure A4.2 reporte les diagrammes de l'œil à 20, 50 et 64 Gb/s. Le taux d'extinction dynamique est respectivement de 2.8 dB, 1.9 dB et 1.6 dB. Ces valeurs ne peuvent pas être comparées directement aux taux d'extinction obtenus pour l'anneau 20G car elles se rapportent à des taux d'extinction statiques différents. Cependant, nous pouvons constater que les diagrammes de l'œil à 50 et 64 Gb/s sont largement ouverts par rapport à celui de la Figure A4.1 (b). De plus, les diagrammes de l'œil reproduisent correctement les mesures des anneaux 50G (cf. Figure 3.10). Les niveaux d'ISI sont sensiblement que ceux observés en mesure et les taux d'extinction sont du même ordre de grandeur.

Nous ne pouvons toutefois pas comparer plus précisément les mesures réalisées à ce modèle car :

- Dans le modèle analytique du comportement optique de l'anneau, il manque la prise en compte de l'influence de la résistance de 50 Ω sur l'anneau. En effet, cette résistance est implémentée entre les pads GSG de la structure de test. Pendant les mesures des diagrammes de l'œil, l'application d'une polarisation sur la jonction PN entraine l'échauffement de la résistance, ce qui chauffe également l'anneau. Ainsi, les pics de résonance se décalent et le point de fonctionnement du modulateur sera différent de celui prédit par le modèle optique.
- Le modèle électrique ne reproduit pas exactement le montage de mesures. Nous avons utilisé les modèles fournis par ADS pour simuler le ParBERT et les câbles RF. Il faudrait utiliser les fichiers directement issus du montage et donnant les signaux électriques réels envoyés sur l'anneau pour obtenir une rétro-simulation précise. De plus, les simulations ne prennent pas en compte le bruit de la photodiode du DCA qui ajoute un certain ISI aux mesures.

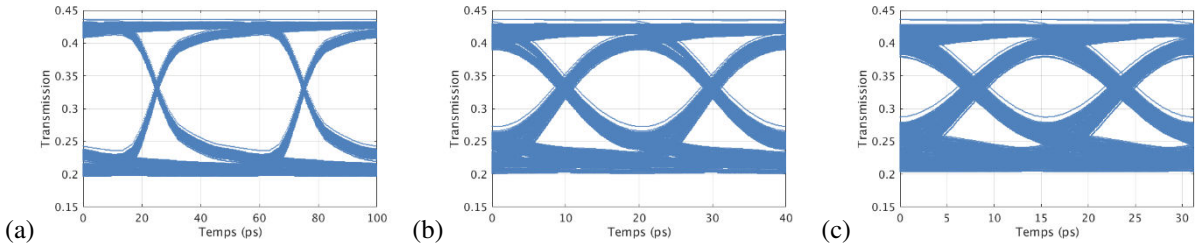


Figure A4.2. Diagrammes de l'œil de l'anneau 50G : (a) à 20 Gb/s, (b) à 50 Gb/s, (c) à 64 Gb/s

Enfin, nous pouvons noter une légère asymétrie des diagrammes de l'œil qui est due à une inégalité des temps de montée et de descente du signal optique. Ceci s'explique simplement par la variation de la capacité de jonction avec la tension de modulation. Ainsi la constante de temps du circuit RC équivalent varie selon la transition considérée : transition « 0 » vers « 1 » rapide (C_j petite) et transition « 1 » vers « 0 » lente (C_j grande).

Cosimulations à partir du modèle électro-optique

Il est également possible d'utiliser le modèle électro-optique de l'anneau de la Figure 3.15 (b) afin de simuler directement le comportement électrique et optique du modulateur sans nécessiter de post-traitement mathématique. Ces simulations sont également réalisées sous ADS afin de bénéficier de la modélisation de l'environnement de mesures (ParBERT, câbles RF, etc…). Ces simulations fonctionnent correctement et sont d'ailleurs utilisées par Minkyu Kim (université de Yonsei) pour concevoir un transmetteur photonique incluant le driver et le modulateur en anneau via des simulations SPICE [198].

Cependant, nous ne montrons pas ici de résultat de simulation car nous n'avons pas réalisé les mesures nécessaires à l'ajustement du modèle électro-optique en fonction de la tension de modulation. En effet, les valeurs des résistances, de l'inductance, de la capacité et de la transconductance dépendent de la tension, ce qui permet de prendre en compte l'influence de la polarisation de la jonction PN sur le comportement optique de l'anneau. Pour compléter ce paragraphe, il faudrait mesurer à longueur d'onde fixée, les fonctions $R_1(V_{mod})$, $R_2(V_{mod})$, $C(V_{mod})$, $L(V_{mod})$, et $g(V_{mod})$.

Bibliographie

[1] F. Brianti, “Silicon Photonics for the New Internet,” 2016.

[2] F. Boeuf, “Silicon Photonics Overview & Status.” pp. 1–26, 2018.

[3] M. Zuffada, “Vision on Silicon Photonics for Efficient Data Communications,” 2013.

[4] Cisco, “Cisco Global Cloud Index : Forecast and Methodology , 2016–2021.” pp. 1–46, 2018.

[5] P. De Dobbelaere, “InP vs Silicon Photonics,” in *5th International Symposium for Optical Interconnect in Data Centers*, 2017, pp. 1–14.

[6] CFP-MSA, “CFP Multi-Source Agreement,” 2017. [Online]. Available: www.cfp-msa.org. [Accessed: 18-Jun-2018].

[7] FS.COM, “CFP Module Overview: CFP, CFP2, CFP4 & CFP8,” 2015. [Online]. Available: https://community.fs.com/blog/cfp-transceiver-module-cfp-cfp2-cfp4-cfp8.html. [Accessed: 19-Jun-2018].

[8] FS.COM, “Decoding 100G QSFP28 Transceiver,” 2017. [Online]. Available: https://community.fs.com/blog/decoding-100g-qsfp28-fiber-optic-transceiver-2.html. [Accessed: 19-Jun-2018].

[9] F. O. Networking, “400G CDFP Vs. CFP8 Module,” 2017. [Online]. Available: http://www.fiber-optical-networking.com/400g-cdfp-vs-cfp8-module.html. [Accessed: 19-Jun-2018].

[10] OSFP-MSA, “Octal Small Form factor Pluggable Module,” 2017. [Online]. Available: http://osfpmsa.org/. [Accessed: 19-Jun-2018].

[11] A. Li, “400G CFP8 PAM4 & 400GBASE-SR16 NRZ Transceiver Modules,” *Fiber Optic Solutions*, 2017. [Online]. Available: http://www.fiber-optic-solutions.com/400g-cfp8-pam4-transceiver-modules.html. [Accessed: 20-Jun-2018].

[12] CFP-MSA, “CFP8 Hardware Specification.” pp. 1–49, 2017.

[13] M. R. Billah, M. Blaicher, J. N. Kemal, T. Hoose, H. Zwickel, P.-I. Dietrich, U. Troppenz, M. Moehrle, F. Merget, A. Hofmann, J. Witzens, S. Randel, W. Freude, and C. Koos, “8-channel 448 Gbit/s Silicon Photonic Transmitter Enabled by Photonic Wire Bonding,” in *Opt. Fiber Commun. Conf. (OFC)*, 2017, pp. 1–3.

[14] K. Bergman and L. P. Carloni, “On-chip photonic communication for high-performance multi-core processors,” in *Hpec 2007*, 2007, pp. 2–3.

[15] T. Ungerer, D. Fey, M. Knebel, N. Bagherzadeh, S. Bartoli, K. Bertels, C. Bradatsch, K. De Bosschere, M. Duranton, B. Falsafi, M. Frieb, F. Haas, S. Hamdioui, F. Kluge, M. Knebel, A. Mendelson, N. Msadek, B. Pfundt, A. Stegmeier, and S. Weis, “Report on Disruptive Technologies for years 2020-2030,” 2016.

[16] I. R. for D. and S. IRDS, “Outside system connectivity.” pp. 1–44, 2017.

[17] S. Rumley, D. M. Calhoun, A. Rodrigues, S. Hammond, and K. Bergman, “Toward transparent optical networking in exascale computers,” in *European Conference on Optical Communication, ECOC*, 2015, pp. 1–3.

[18] S. Rumley, M. Bahadori, R. Polster, S. D. Hammond, D. M. Calhoun, K. Wen, A. Rodrigues, and K. Bergman, “Optical interconnects for extreme scale computing systems,” *Parallel Comput.*, vol. 64, pp. 65–80, 2017.

[19] M. Rakowski, J. Ryckaert, M. Pantouvaki, P. Absil, and J. Van Campenhout, “Low-Power, 10-Gbps 1.5-Vpp Differential CMOS Driver for a Silicon Electro-Optic Ring Modulator,” in *Proc. IEEE Custom Integrated Circuits Conference*, 2012, pp. 1–6.

[20] P. Absil, “IMEC’S SILICON PHOTONICS PLATFORM ENABLING 100Gb/s OOK OPTICAL LINKS,” in *SEMICON Europa Munich*, 2017, pp. 1–30.

[21] M. Rakowski, “Silicon Photonics Platform for 50G Optical Interconnects,” in *Photonics Summit and Workshop*, 2017, pp. 1–45.

[22] M. A. Taubenblatt, “Optical Interconnects for High-Performance Computing,” *J. Light. Technol.*, vol. 30, no. 4, pp. 448–457, 2012.

[23] B. J. Offrein, “Chip and system-level integration technologies for silicon photonics,” in *5th International Symposium for Optical Interconnect in Data Centers*, 2017, pp. 1–23.

[24] Technische Universität Dresden, IBM, ADVA, IHP, A. I. Technology, and Optocap, “DIMENSION (Directly Modulated Lasers on Silicon).” [Online]. Available: www.dimension-h2020.eu.

[25] P. De Dobbelaere, “Silicon Photonics Technology Platform for integration of optical IOs with ASICs,” in *2013 IEEE Hot Chips 25 Symposium, HCS 2013*, 2013.

[26] J. T. Pawlowski, “Hybrid Memory Cube (HMC).” pp. 1–24, 2011.

[27] HMC Consortium, “Draft Specification Review Work Committee : Webinar Meeting,” 2015.

[28] Nvidia, “Nvidia Tesla V100 GPU Architecture.” pp. 1–58, 2017.

[29] NVIDIA Corporation, “NVIDIA Tesla P100.” pp. 1–45, 2016.

[30] F. Boeuf, S. Cremer, N. Vulliet, T. Pinguet, A. Mekis, G. Masini, L. Verslegers, P. Sun, A. Ayazi, N. K. Hon, S. Sahni, Y. Chi, B. Orlando, D. Ristoiu, A. Farcy, F. Leverd, L. Broussous, D. Pelissier-Tanon, C. Richard, L. Pinzelli, R. Beneyton, O. Gourhant, E. Gourvest, Y. Le-Friec, D. Monnier, P. Brun, M. Guillermet, D. Benoit, K. Haxaire, J. R. Manouvrier, S. Jan, H. Petiton, J. F. Carpentier, T. Quemerais, C. Durand, D. Gloria, M. Fourel, F. Battegay, Y. Sanchez, E. Batail, F. Baron, P. Delpech, L. Salager, P. De Dobbelaere, and B. Sautreuil, “A multi-wavelength 3D-compatible silicon photonics platform on 300mm SOI wafers for 25Gb/s applications,” in *Technical Digest - International Electron Devices Meeting, IEDM*, 2013, pp. 353–356.

[31] F. Boeuf, S. Cremer, E. Temporiti, M. Fere’, M. Shaw, N. Vulliet, B. Orlando, D. Ristoiu, A. Farcy, T. Pinguet, A. Mekis, G. Masini, P. Sun, Y. Chi, H. Petiton, S. Jan, J.-R. Manouvrier, C. Baudot, P. Le Maître, J.-F. Carpentier, L. Salager, M. Traldi, L. Maggi, D. Rigamonti, C. Zaccherini, C. Elemi, B. Sautreuil, and L. Verga, “Recent Progress in Silicon Photonics R&D and Manufacturing on 300mm Wafer Platform,” in *OFC Optical Fiber Communication Conference and Exposition*, 2015, pp. 1–3.

[32] D. Marris-Morini, L. Vivien, G. Rasigade, J. M. Fédéli, E. Cassan, X. L. E. Roux, P. Crozat, S. Maine, A. Lupu, P. Lyan, P. Rivallin, M. Halbwax, and S. Laval, “Recent progress in high-speed silicon-based optical modulators,” *Proc. IEEE*, vol. 97, no. 7, pp. 1199–1214, 2009.

[33] X. Li, F. Yang, F. Zhong, Q. Deng, J. Michel, and Z. Zhou, “Single-drive high-speed lumped depletion-type modulators toward 10 fJ/bit energy consumption,” *Photonics Res.*, vol. 5, no. 2, pp. 134–142, 2017.

[34] M. Wang, L. Zhou, H. Zhu, Y. Zhou, Y. Zhong, and J. Chen, “Low-loss high-extinction-ration single-drive push-pull silicon Michelson interferometric modulator,” *Chinese Opt. Lett.*, vol. 15, no. 4, pp. 1–5, 2017.

[35] M. Streshinsky, R. Ding, A. Novack, Y. Liu, X. Tu, A. E. J. Lim, E. K. Sing Chen, P. G. Q. Lo, T. Baehr-Jones, and M. Hochberg, “Low power 50 Gb/s silicon traveling wave Mach-Zehnder modulator near 1300 nm,” *Opt. Express*, vol. 21, no. 25, pp. 30350–30357, 2013.

[36] M. Streshinsky, R. Ding, A. Novack, Y. Liu, X. Tu, and A. E. Lim, “50 Gb / s Silicon Traveling Wave Mach-Zehnder Modulator near 1300 nm,” in *OFC Optical Fiber Communication Conference and Exposition*, 2014, pp. 1300–1302.

[37] D. Perez-Galacho, C. Baudot, T. Hirtzlin, S. Messaoudène, N. Vulliet, P. Crozat, F. Boeuf, L. Vivien, and D. Marris-Morini, “Low voltage 25Gbps silicon Mach-Zehnder modulator in the O-band,” *Opt. Express*, vol. 25, no. 10, pp. 11217–11222, 2017.

[38] T. Baba, S. Akiyama, M. Imai, N. Hirayama, H. Takahashi, Y. Noguchi, T. Horikawa, and T. Usuki, “50-Gb/s ring-resonator-based silicon modulator,” *Opt. Express*, vol. 21, no. 10, pp. 11869–11876, 2013.

[39] G. Li, X. Zheng, H. Thacker, J. Yao, Y. Luo, I. Shubin, K. Raj, J. E. Cunningham, and A. V. Krishnamoorthy, “40 Gb/s thermally tunable CMOS ring modulator,” in *IEEE International Conference on Group IV Photonics GFP*, 2012, pp. 12–14.

[40] G. Li, A. V. Krishnamoorthy, I. Shubin, J. Yao, Y. Luo, H. Thacker, X. Zheng, K. Raj, and J. E. Cunningham, “Ring resonator modulators in silicon for interchip photonic links,” *IEEE J. Sel. Top. Quantum Electron.*, vol. 19, no. 6, 2013.

[41] G. Li, X. Zheng, J. Yao, H. Thacker, I. Shubin, Y. Luo, K. Raj, J. E. Cunningham, and A. V. Krishnamoorthy, “25 Gb/s 1V-driving CMOS ring modulator with integrated thermal tuning,” *Opt. Express*, vol. 19, no. 21, pp. 8–10, 2011.

[42] M. Pantouvaki, P. Verheyen, J. De Coster, G. Lepage, P. Absil, and J. Van Campenhout, “56Gb/s Ring Modulator on a 300mm Silicon Photonics Platform,” in *ECOC European Conference on Optical Communication*, 2015, pp. 4–6.

[43] M. Pantouvaki, S. A. Srinivasan, Y. Ban, P. De Heyn, P. Verheyen, G. Lepage, H. Chen, J. De Coster, N. Golshani, S. Balakrishnan, P. Absil, and J. Van Campenhout, “Active Components for 50Gb/s NRZ-OOK Optical Interconnects in a Silicon Photonics Platform,” *J. Light. Technol.*, vol. 35, no. 4, pp. 631–638, 2017.

[44] J. Van Campenhout, Y. Ban, P. De Heyn, A. Srinivasan, J. De Coster, B. Snyder, S. Balakrishnan, G. Lepage,

N. Golshani, S. Janssen, K. Croes, A. Miller, P. Verheyen, M. Pantouvaki, and P. Absil, “Silicon Photonics for 56G NRZ Optical Interconnects,” in *OFC Optical Fiber Communication Conference and Exposition*, 2018, pp. 1–3.

[45] Z. Xuan, Y. Ma, Y. Liu, R. Ding, Y. Li, N. Ophir, A. E.-J. Lim, G.-Q. Lo, P. Magill, K. Bergman, T. Baehr-Jones, and M. Hochberg, “Silicon microring modulator for 40 Gb/s NRZ-OOK metro networks in O-band,” *Opt. Express*, vol. 22, no. 23, pp. 28284–28291, 2014.

[46] J. F. Wakerly, “ECL : Emitter-Coupled Logic,” in *Digital Design Principles and Practices*, 4th Editio., Pearson Education, 2006, pp. 1–8.

[47] E. Temporiti, G. Minoia, M. Repossi, D. Baldi, A. Ghilioni, and F. Svelto, “A 56Gb/s 300mW Silicon-Photonics Transmitter in 3D-Integrated PIC25G and 55nm BiCMOS Technologies,” in *ISSCC Dig. Tech.*, 2016, pp. 404–406.

[48] E. Temporiti, A. Ghilioni, G. Minoia, P. Orlandi, M. Repossi, D. Baldi, and F. Svelto, “Insights Into Silicon Photonics Mach-Zehnder-Based Optical Transmitter Architectures,” *IEEE J. Solid-State Circuits*, pp. 1–14, 2016.

[49] B. G. Lee, N. Dupuis, R. Rimolo-Donadio, T. N. Huynh, C. W. Baks, D. M. Gill, and W. M. J. Green, “Driver-Integrated 56-Gb/s Segmented Electrode Silicon Mach Zehnder Modulator Using Optical-Domain Equalization,” in *Opt. Fiber Commun. Conf. (OFC)*, 2017, pp. 1–3.

[50] J. Prades, A. Ghiotto, D. Pache, and E. Kerhervé, “High Speed Phase Modulator Driver Unit in 55 nm SiGe BiCMOS for a Single-Channel 100 Gb/s NRZ Silicon Photonic Modulator,” in *Microwave Integrated Circuits Conference (EuMIC)*, 2015, pp. 341–344.

[51] J. Prades, E. Kerhervé, A. Ghiotto, and D. Pache, “0.3-42.5 GHz Wideband Common Emitter Amplifier Driver Unit in 55 nm SiGe BiCMOS for 60 Gb/s Silicon Photonic Mach-Zehnder Modulator,” in *IEEE International New Circuits and Systems Conference (NEWCAS)*, 2016, pp. 1–4.

[52] D. M. Gill, J. Proesel, C. Xiong, J. C. Rosenberg, M. Khater, T. Barwicz, S. M. Shank, and Y. a. Vlasov, “Monolithic Travelling-Wave Mach-Zehnder Transmitter with High-Swing Stacked CMOS Driver,” in *CLEO Conference on Lasers and Electro-Optics*, 2014, pp. 1–2.

[53] S. Zhou, H. Wu, K. Sadeghipour, C. Scarcella, C. Eason, M. Rensing, M. Power, C. Antony, P. O’Brien, P. Townsend, and P. Ossieur, “Driver circuit for a PAM-4 optical transmitter using 65 nm CMOS and silicon photonic technologies,” *Electron. Lett.*, vol. 52, no. 23, pp. 1939–1940, 2016.

[54] H. Sepehrian, A. Yekani, L. A. Rusch, and W. Shi, “CMOS-Photonics Codesign of an Integrated DAC-Less PAM-4 Silicon Photonic Transmitter,” *Ieee Trans. Circuits Syst.*, vol. 63, no. 12, pp. 2158–2168, 2016.

[55] A. J. Annema, G. J. G. M. Geelen, and P. C. De Jong, “5.5-V I/O in a 2.5-V 0.25-μm CMOS technology,” *IEEE J. Solid-State Circuits*, vol. 36, no. 3, pp. 528–538, 2001.

[56] A. J. Annema, B. Nauta, R. Van Langevelde, and H. Tuinhout, “Analog circuits in ultra-deep-submicron CMOS,” *IEEE J. Solid-State Circuits*, vol. 40, no. 1, pp. 132–143, 2005.

[57] M. Cignoli, G. Minoia, M. Repossi, D. Baldi, A. Ghilioni, E. Temporiti, and F. Svelto, “A 1310nm 3D-integrated silicon photonics Mach-Zehnder-based transmitter with 275mW multistage CMOS driver achieving 6dB extinction ratio at 25Gb/s,” in *Digest of Technical Papers - IEEE International Solid-State Circuits Conference*, 2015, pp. 416–418.

[58] F. Y. Liu, D. Patil, J. Lexau, P. Amberg, M. Dayringer, J. Gainsley, H. F. Moghadam, X. Zheng, S. Member, J. E. Cunningham, A. V Krishnamoorthy, and E. Alon, “10-Gbps, 5.3-mW Optical transmitter and Receiver Circuits in 40-nm CMOS,” *IEEE J. Solid-State Circuits*, vol. 47, no. 9, pp. 2049–2067, 2012.

[59] J. L. Gonzalez, R. Polster, G. Waltener, Y. Thonnart, and E. Cassan, “10 Gbps, 560 fJ/b TIA and modulator driver for optical networks-on-chip in CMOS 65nm,” in *14th IEEE International NEWCAS Conference, NEWCAS 2016*, 2016, pp. 10–13.

[60] S. Palermo, “Design of High-Speed Optical Interconnect Transceivers,” Stanford University, 2007.

[61] H. Li, Z. Xuan, A. Titriku, C. Li, K. Yu, B. Wang, A. Shafik, N. Qi, Y. Liu, R. Ding, T. Baehr-Jones, M. Fiorentino, M. Hochberg, S. Palermo, and P. Y. Chiang, “A 25 Gb/s, 4.4 V-Swing, AC-Coupled Ring Modulator-Based WDM Transmitter with Wavelength Stabilization in 65 nm CMOS,” *IEEE J. Solid-State Circuits*, vol. 50, no. 12, 2015.

[62] A. Roshan-zamir, B. Wang, S. Telaprolu, K. Yu, C. Li, M. A. Seyedi, M. Fiorentino, R. Beausoleil, and S. Palermo, “A Two-Segment Optical DAC 40 Gb/s PAM4 Silicon Microring Resonator Modulator Transmitter in

65nm CMOS," in *Optical Interconnect Conference*, 2017, pp. 5–6.

[63] C. Li, R. Bai, A. Shafik, E. Z. Tabasy, B. Wang, G. Tang, C. Ma, C. H. Chen, Z. Peng, M. Fiorentino, R. G. Beausoleil, P. Chiang, and S. Palermo, "Silicon photonic transceiver circuits with microring resonator bias-based wavelength stabilization in 65 nm CMOS," *IEEE J. Solid-State Circuits*, vol. 49, no. 6, pp. 1419–1436, 2014.

[64] C. Li, R. Bai, A. Shafik, E. Z. Tabasy, G. Tang, C. Ma, C.-H. Chen, M. Fiorentino, P. Chiang, and S. Palermo, "A Ring-Resonator-Based Silicon Photonics Transceiver with Bias-Based Wavelength stabilization and Adaptive-Power-Sensitivity Receiver," in *IEEE International Solid-State Circuits Conference*, 2013, pp. 124–126.

[65] M. Rakowski, M. Pantouvaki, H. Yu, W. Bogaerts, K. De Meyer, M. Steyaert, B. Snyder, P. O. Brien, J. Ryckaert, P. Absil, and J. Van Campenhout, "Low-Power, Low-Penalty, Flip-Chip Integrated, 10Gb/s Ring-Based 1V CMOS Photonics Transmitter," *OFC Opt. Fiber Commun. Conf. Expo.*, pp. 4–6, 2013.

[66] M. Rakowski, M. Pantouvaki, P. De Heyn, P. Verheyen, and M. Ingels, "A 4×20Gb/s WDM Ring-Based Hybrid CMOS Silicon Photonics Transceiver," in *IEEE International Solid-State Circuits Conference*, 2015, pp. 408–410.

[67] T. N. Huynh, A. Ramaswamy, R. Rimolo-donadio, C. Schow, J. E. Roth, E. J. Norberg, J. Proesel, R. S. Guzzon, J. Shin, A. Rylyakov, C. Baks, B. Koch, D. Sparacin, G. Fish, and B. G. Lee, "Four-Channel WDM Transmitter With Heterogeneously Integrated III-V/Si Photonics and Low Power 32 nm CMOS Drivers," *Light. Technol. J.*, vol. 34, no. 13, pp. 3131–3137, 2016.

[68] J. Li, G. Li, X. Zheng, K. Raj, A. V. Krishnamoorthy, and J. F. Buckwalter, "A 25-Gb/s Monolithic Optical Transmitter with Micro-Ring Modulator in 130-nm SoI CMOS," *IEEE Photonics Technol. Lett.*, vol. 25, no. 19, pp. 1901–1903, 2013.

[69] J. F. Buckwalter, X. Zheng, G. Li, K. Raj, and A. V. Krishnamoorthy, "A monolithic 25-Gb/s transceiver with photonic ring modulators and ge detectors in a 130-nm CMOS SOI process," *IEEE J. Solid-State Circuits*, vol. 47, no. 6, pp. 1309–1322, 2012.

[70] B. Wang, K. Yu, H. Li, P. Y. Chiang, and S. Palermo, "Energy Efficiency Comparisons of NRZ and PAM4 Modulation for Ring-Resonator-Based Silicon Photonic Links," in *International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2015, pp. 1–4.

[71] S. Shopov and S. P. Voinigescu, "A 3 × 40Gb/s 28nm FDSOI CMOS Front-End Array with 10mVpp Sensitivity and >4Vpp Output Swing," in *ESSCIRC European Solid-State Circuits Conference*, 2015, pp. 72–75.

[72] S. Shopov and S. P. Voinigescu, "A 3 × 60Gb/s Transmitter/Repeater Front-End with 4.3Vpp Single-Ended Output Swing in a 28nm UTBB FD-SOI Technology," *IEEE J. Solid-State Circuits*, vol. 51, no. 7, pp. 1651–1662, 2016.

[73] Z. Yong, S. Shopov, J. C. Mikkelsen, R. Mallard, J. C. C. Mak, S. P. Voinigescu, and J. K. S. Poon, "Flip-chip integrated silicon Mach-Zehnder modulator with a 28nm fully depleted silicon-on-insulator CMOS driver," *Opt. Express*, vol. 25, no. 6, pp. 6112–6121, 2017.

[74] S. Lin, S. Moazeni, K. T. Settaluri, and V. Stojanović, "Electronic-Photonic Co-Optimization of High-Speed Silicon Photonic Transmitters," *J. Light. Technol.*, vol. 35, no. 21, pp. 4766–4780, 2017.

[75] G. Denoyer, C. Cole, A. Santipo, R. Russo, C. Robinson, L. Li, Y. Zhou, J. A. Chen, B. Park, F. Boeuf, S. Cremer, and N. Vulliet, "Hybrid silicon photonic circuits and transceiver for 50 Gb/s NRZ transmission over single-mode fiber," *J. Light. Technol.*, vol. 33, no. 6, pp. 1247–1254, 2015.

[76] C. Xiong, D. M. Gill, J. E. Proesel, J. S. Orcutt, W. Haensch, and W. M. J. Green, "Monolithic 56 Gb/s silicon photonic pulse-amplitude modulation transmitter," *Optica*, vol. 3, no. 10, pp. 1060–1065, 2016.

[77] S. Moazeni, S. Lin, M. T. Wade, L. Alloatti, R. J. Ram, M. A. Popovic, and V. Stojanovic, "29.3 A 40Gb/s PAM-4 Transmitter Based on a Ring-Resonator Optical DAC in 45nm SOI CMOS," in *IEEE International Solid-State Circuits Conference*, 2017, pp. 486–488.

[78] H. Ramon, M. Vanhoecke, J. Verbist, W. Soenen, P. De Heyn, Y. Ban, M. Pantouvaki, J. Van Campenhout, P. Ossieur, X. Yin, and J. Bauwelinck, "Low-Power 56 Gb/s NRZ Microring Modulator Driver in 28 nm FDSOI CMOS," *IEEE Photonics Technol. Lett.*, vol. 30, no. 5, pp. 467–470, 2018.

[79] A. Roshan-Zamir, B. Wang, S. Telaprolu, K. Yu, C. Li, M. A. Seyedi, M. Fiorentino, R. Beausoleil, and S. Palermo, "A 40 Gb/s PAM4 silicon microring resonator modulator transmitter in 65nm CMOS," in *IEEE Optical Interconnects Conference*, 2016, pp. 8–9.

[80] K. Yu, H. Li, C. Li, A. Titriku, A. Shafik, B. Wang, Z. Wang, R. Bai, C. H. Chen, M. Fiorentino, P. Y. Chiang, and S. Palermo, "A 24Gb/s 0.71pJ/b Si-photonic source-synchronous receiver with adaptive equalization and microring wavelength stabilization," in *Digest of Technical Papers - IEEE International Solid-State Circuits Conference*, 2015, pp. 406–408.

[81] C. Sun, M. Wade, M. Georgas, S. Lin, L. Alloatti, B. Moss, R. Kumar, A. Atabaki, F. Pavanello, R. Ram, M. Popovi, and V. Stojanovi, "A 45nm SOI Monolithic Photonics Chip-to-Chip Link with Bit-Statistics-Based Resonant Microring Thermal Tuning," in *2015 Symposium on VLSI Circuits Digest of Technical Papers*, 2015, pp. C122–C123.

[82] C. Sun, M. Wade, M. Georgas, S. Lin, L. Alloatti, B. Moss, R. Kumar, A. H. Atabaki, F. Pavanello, J. M. Shainline, J. S. Orcutt, R. J. Ram, M. Popović, and V. Stojanović, "A 45 nm CMOS-SOI Monolithic Photonics Platform With Bit-Statistics-Based Resonant Microring Thermal Tuning," *IEEE J. Solid-State Circuits*, vol. 51, no. 4, pp. 893–907, 2016.

[83] Y. Thonnart, M. Zid, J. L. Gonzales-Jimenez, G. Waltener, R. Polster, O. Dubray, F. Lepin, S. Bernabé, S. Menezo, G. Parès, O. Castany, L. Boutafa, P. Grosse, B. Charbonnier, and C. Baudot, "21 . 4 A 10Gb/s Si-Photonic Transceiver with 150μW 120μs-Lock-Time Digitally Supervised Analog Microring Wavelength Stabilization for 1Tb/s/mm^2 Die-to-Die Optical Networks," in *ISSCC Dig. Tech.*, 2018, pp. 350–352.

[84] A. H. Atabaki, S. Moazeni, F. Pavanello, H. Gevorgyan, J. Notaros, L. Alloatti, M. T. Wade, C. Sun, S. A. Kruger, H. Meng, K. Al Qubaisi, I. Wang, B. Zhang, A. Khilo, C. V Baiocco, M. A. Popović, V. M. Stojanović, and R. J. Ram, "Integrating photonics with silicon nanoelectronics for the next generation of systems on a chip," *Nature*, vol. 556, no. 7701, pp. 349–354, 2018.

[85] M. Yu, Y. Yang, Q. Fang, X. Tu, J. Song, K. Chui, and G.-Q. Lo, "3D Electro-Optical Integration Based on High-Performance Si Photonics TSV Interposer," in *Optical Fiber Communication Conference 2016*, 2016, pp. 1–3.

[86] E. Timurdogan, Z. Su, K. Settaluri, S. Lin, S. Moazeni, C. Sun, G. Leake, D. D. Coolbaugh, B. R. Moss, M. Moresco, V. Stojanovi, and M. R. Watts, "An Ultra Low Power 3D Integrated Intra-Chip Silicon Electronic-Photonic Link," in *OFC Optical Fiber Communication Conference and Exposition*, 2015, pp. 7–9.

[87] A. Hayakawa, M. Kibune, A. Toda, S. Tanaka, T. Simoyama, Y. Chen, T. Akiyama, S. Okumura, T. Baba, T. Akahoshi, S. Ueno, M. Kazunori, M. Imai, J. H. Jiang, P. Thachile, T. Riad, S. Sekiguchi, S. Akiyama, Y. Tanaka, K. Morito, D. Mizutani, T. Mori, T. Yamamoto, and H. Ebe, "A 25 Gbps silicon photonic transmitter and receiver with a bridge structure for CPU interconnects," in *Optical Fiber Communication Conference*, 2015, pp. 1–3.

[88] Y. Chen, M. Kibune, A. Toda, A. Hayakawa, T. Akiyama, S. Sekiguchi, H. Ebe, N. Imaizumi, T. Akahoshi, S. Akiyama, S. Tanaka, T. Simoyama, K. Morito, T. Yamamoto, T. Mori, Y. Koyanagi, and H. Tamura, "A 25Gb/s Hybrid Integrated Silicon Photonic Transceiver in 28nm CMOS and SOI," in *ISSCC Dig. Tech.*, 2015, pp. 402–404.

[89] E. Temporiti, G. Minoia, M. Repossi, D. Baldi, A. Ghilioni, and F. Svelto, "A 3D-integrated 25Gbps silicon photonics receiver in PIC25G and 65nm CMOS technologies," in *European Solid-State Circuits Conference*, 2014, pp. 131–134.

[90] T. Ferrotti, B. Ben Bakir, and A. Chantre, "Ring Modulator: Implant study," 2014.

[91] H. Jayatilleka, "Analytical Modelling of Carrier Depletion Silicon-on-Insulator Optical Modulation diodes," University of Toronto, 2013.

[92] J.-R. Manouvrier, "Photonics active devices model: HSPM," 2013.

[93] R. A. Soref and B. R. Bennett, "Electrooptical effects in silicon," *IEEE J. Quantum Electron.*, vol. 23, no. 1, pp. 123–129, 1987.

[94] M. Nedeljkovic, R. Soref, and G. Z. Mashanovich, "Free-carrier electrorefraction and electroabsorption modulation predictions for silicon over the 1-14-μm infrared wavelength range," *IEEE Photonics J.*, vol. 3, no. 6, pp. 1171–1180, 2011.

[95] W. Bogaerts, P. De Heyn, T. Van Vaerenbergh, K. De Vos, S. Kumar Selvaraja, T. Claes, P. Dumon, P. Bienstman, D. Van Thourhout, and R. Baets, "Silicon microring resonators," *Laser Photon. Rev.*, vol. 6, no. 1, pp. 47–73, 2012.

[96] P. Le Maitre, J. F. Carpentier, C. Baudot, N. Vulliet, A. Souhaite, J. B. Quelene, T. Ferrotti, and F. Boeuf, "Impact of process variability of active ring resonators in a 300mm silicon photonic platform," in *European Conference on Optical Communication, ECOC*, 2015, pp. 1–3.

[97] S. Agarwal, M. Ingels, M. Pantouvaki, M. Steyaert, P. Absil, and J. Van Campenhout, “Wavelength Locking of a Si Ring Modulator Using an Integrated Drop-Port OMA Monitoring Circuit,” *IEEE J. Solid-State Circuits*, vol. 51, no. 10, pp. 2328–2344, 2016.

[98] J.-B. Quélène, “Conception d’une interconnexion optique sur silicium constituée d’anneaux résonants et multiplexée en longueur d’onde,” Université Grenoble Alpes, 2017.

[99] M. Bahadori, M. Nikdast, S. Rumley, L. Y. Dai, N. Janosik, T. Van Vaerenbergh, A. Gazman, Q. Cheng, R. Polster, and K. Bergman, “Design Space Exploration of Microring Resonators in Silicon Photonic Interconnects : Impact of the Ring Curvature,” *J. Light. Technol.*, vol. 36, no. 13, pp. 2767–2782, 2018.

[100] M. Bahadori, A. Gazman, N. Janosik, S. Rumley, Z. Zhu, R. Polster, Q. Cheng, and K. Bergman, “Thermal Rectification of Integrated Microheaters for Microring Resonators in Silicon Photonics Platform,” *J. Light. Technol.*, vol. 36, no. 3, pp. 773–788, 2018.

[101] L. M. Lechuga, “Photonic lab-on-a-chip nanobiosensors for early diagnostics at the point-of-care,” in *European Conference on Integrated Optics (ECIO)*, 2017, pp. 1–3.

[102] M. Bahadori, R. Polster, S. Rumley, Y. Thonnart, J.-L. Gonzalez-Jimenez, and K. Bergman, “Energy – Bandwidth Design Exploration of Silicon Photonic Interconnects in 65nm CMOS,” in *OIC Optical Interconnects Conference*, 2016, pp. 2–3.

[103] C. Sun, M. Georgas, J. Orcutt, B. Moss, Y. H. Chen, J. Shainline, M. Wade, K. Mehta, K. Nammari, E. Timurdogan, D. Miller, O. Tehar-Zahav, Z. Sternberg, J. Leu, J. Chong, R. Bafrali, G. Sandhu, M. Watts, R. Meade, M. Popović, R. Ram, and V. Stojanović, “A Monolithically-Integrated Chip-to-Chip Optical Link in Bulk CMOS,” *IEEE J. Solid-State Circuits*, vol. 50, no. 4, pp. 828–844, 2015.

[104] C. Chen, C. Li, A. Shafik, M. Fiorentino, P. Chiang, S. Palermo, and R. Beausoleil, “A WDM Silicon Photonic Transmitter based on Carrier- Injection Microring Modulators,” in *IEEE Optical Interconnects Conference*, 2014, pp. 121–122.

[105] S. Palermo, P. Chiang, C. Li, C. Chen, M. Fiorentino, R. Beausoleil, H. Li, K. Yu, B. Wang, R. Bai, A. Shafik, and A. Titriku, “Silicon Photonic Microring Resonator-Based Transceivers for Compact WDM Optical Interconnects,” in *CSICS Compound Semiconductor Integrated Circuit Symposium*, 2015, pp. 1–4.

[106] V. Van, T. a. Ibrahim, P. P. Absil, F. G. Johnson, R. Grover, and P.-T. Ho, “Optical signal processing using nonlinear semiconductor microring resonators,” *IEEE J. Sel. Top. Quantum Electron.*, vol. 8, no. 3, pp. 705–713, 2002.

[107] N. Michit, “Simulation et Conception de circuits photoniques sur silicium - Modélisation des effets Non Linéaires et de Self Heating d’un Anneau résonant,” Ecole Centrale de Lille - STMicroelectronics, 2016.

[108] M. Bahadori, S. Rumley, Q. Cheng, and K. Bergman, “Impact of Backscattering on Microring-based Silicon Photonic Links,” in *IEEE Optical Interconnects Conference*, 2018, pp. 1–2.

[109] A. Li, T. Van Vaerenbergh, P. De Heyn, P. Bienstman, and W. Bogaerts, “Backscattering in silicon microring resonators: a quantitative analysis,” *Laser Photon. Rev.*, vol. 10, no. 3, pp. 420–431, 2016.

[110] G. C. Ballesteros, J. Matres, J. Mart, and C. J. Oton, “Backscattering Effects In Silicon Ring Resonators,” in *European Conference on Integrated Optics*, 2012, pp. 1–2.

[111] G. C. Ballesteros, J. Matres, J. Martí, and C. J. Oton, “Characterizing and modeling backscattering in silicon microring resonators,” *Opt. Express*, vol. 19, no. 25, pp. 24980–24985, 2011.

[112] A. Li and W. Bogaerts, “Fundamental suppression of backscattering in silicon microrings,” *Opt. Express*, vol. 25, no. 3, pp. 2092–2099, 2017.

[113] Y. Ban, “Silicon Micro-Ring Modulator Modeling,” Graduate School of Yonsei University, 2015.

[114] A. Delâge, D. X. Xu, R. W. McKinnon, E. Post, P. Waldron, J. Lapointe, C. Storey, A. Densmore, S. Janz, B. Lamontagne, P. Cheben, and J. H. Schmid, “Wavelength-dependent model of a ring resonator sensor excited by a directional coupler,” *J. Light. Technol.*, vol. 27, no. 9, pp. 1172–1180, 2009.

[115] W. R. McKinnon, D. X. Xu, C. Storey, E. Post, A. Densmore, A. Delâge, P. Waldron, J. H. Schmid, and S. Janz, “Extracting coupling and loss coefficients from a ring resonator,” *Opt. Express*, vol. 17, no. 21, p. 18971, 2009.

[116] PVlighthouse, “Free-carrier absorption calculator.” [Online]. Available: https://www2.pvlighthouse.com.au/calculators/free-carrier absorption calculator/free-carrier absorption calculator.aspx. [Accessed: 17-Oct-2017].

[117] D. K. Schroder, R. Noel Thomas, and J. C. Schwartz, “Free carrier absorption in silicon,” *IEEE Trans. Electron Devices*, vol. 25, no. 2, pp. 254–261, 1978.

[118] J. Isenberg and W. Warta, “Free carrier absorption in heavily doped silicon layers,” *Appl. Phys. Lett.*, vol. 84, no. 13, pp. 2265–2267, 2004.

[119] M. Rudiger, J. Greulich, A. Richter, and M. Hermle, “Parameterization of Free Carrier Absorption in Highly Doped Silicon for Solar Cells,” *Electron Devices, IEEE Trans.*, vol. 60, no. 7, pp. 2156–2163, 2013.

[120] L. Chrostowski and M. Hochberg, *Silicon Photonics Design*. Cambridge University Press, 2015.

[121] M. Shin, Y. Ban, B. Yu, M. Kim, J. Rhim, S. Member, L. Zimmermann, and W. Choi, “A Linear Equivalent Circuit Model for Depletion-Type Silicon Microring Modulators,” *IEEE Trans. Electron Devices*, vol. 64, no. 3, pp. 1140–1145, 2017.

[122] J. Rhim, Y. Ban, B. Yu, J. Lee, and W. Choi, “Verilog-A behavioral model for resonance- modulated silicon micro-ring modulator,” *Opt. Express*, vol. 23, no. 7, pp. 234–236, 2015.

[123] A. Michard, “Rapport de Stage - Développement de circuits de qualification de type BIST pour une plateforme hybride photonique à base de technologie silicium,” CentraleSupélec - Université de Lorraine, 2015.

[124] G. Masetti, M. Severi, and S. Solmi, “Modeling of Carrier Mobility Against Carrier Concentration in Arsenic-Doped, Phosphorus-Doped, and Boron-Doped Silicon,” *IEEE Trans. Electron Devices*, vol. 30, no. 7, pp. 764–769, 1983.

[125] Mindspeed Technologies, “NRZ Bandwidth (-3db HF Cutoff vs SNR) How Much Bandwidth is Enough ?” pp. 1–11, 2003.

[126] O. Dubray, A. Abraham, K. Hassan, S. Olivier, L. Vivien, I. O. Connor, and S. Menezo, “Electro-optical ring modulator: an ultra-compact model for the comparison and optimization of PN, PIN, and capacitive junction,” *IEEE J. Sel. Top. Quantum Electron.*, vol. 22, no. 6, pp. 1–11, 2016.

[127] J. B. Quelene, J. F. Carpentier, Y. Le Guennec, and P. Le Maitre, “Optimization of power coupling coefficient of a carrier depletion silicon ring modulator for WDM optical transmissions,” in *5th IEEE Photonics Society Optical Interconnects Conference, OI 2016*, 2016, pp. 106–107.

[128] J. Müller, F. Merget, S. S. Azadeh, J. Hauck, B. Garcı, S RomeroShen, and J. Witzens, “Optical Peaking Enhancement in high-speed ring modulators,” *Sci. Rep.*, vol. 4, no. 6310, pp. 1–9, 2014.

[129] H. Yu, D. Ying, M. Pantouvaki, J. Van Campenhout, Y. Hao, J. Yang, and X. Jiang, “Trade-off between optical modulation amplitude and modulation bandwidth of silicon micro-ring modulators,” *Opt. Express*, vol. 22, no. 12, pp. 15178–15189, 2014.

[130] C. Cole, “1310nm vs 1550nm,” in *5th International Symposium for Optical Interconnect in Data Centers*, 2017, pp. 1–17.

[131] S. Jeannot, “Développement de matériaux déposés par PECVD pour les interconnexions optiques dans les circuits intégrés par une approche ‘back-end,’” Institut National des Sciences Appliquées de Lyon, 2006.

[132] I. E. Sutherland and R. F. Sproull, “Logical effort: designing for speed on the back of an envelope,” in *IEEE Advanced Research in VLSI*, 1991, pp. 1–16.

[133] I. Sutherland, R. Sproull, and D. Harris, *Logical effort: designing fast CMOS circuits*. Morgan Kaufmann, 1998.

[134] A. Cathelin, B. Martineau, N. Seller, F. Gianesello, C. Raynaud, and D. Belot, “Deep-Submicron Digital CMOS Potentialities for Millimeter-wave Applications,” in *IEEE Proc. of RFIC*, 2008, pp. 53–56.

[135] Keysight Technologies, “J-BERT M8020A High-Performance BERT.” pp. 1–37.

[136] G. Troussier, “ESD / CDM Training,” Crolles, 2015.

[137] P.E. Allen, “Lecture 080 – Latchup and ESD,” *CMOS Analog IC Design Short Course*. pp. 1–32, 2010.

[138] T. Maekawa, S. Amakawa, N. Ishihara, and K. Masu, “Design of CMOS inverter-based output buffers adapting the Cherry-Hooper broadbanding technique,” in *European Conference on Circuit Theory and Design (ECCTD)*, 2009, pp. 511–514.

[139] AMD, “High-Bandwidth Memory (HBM) REINVENTING MEMORY TECHNOLOGY,” 2015. [Online]. Available: https://www.amd.com/en/technologies/hbm. [Accessed: 25-Feb-2018].

[140] C. Zhang and J. E. Bowers, “Silicon photonic terabit/s network-on-chip for datacenter interconnection,” in *Optical Fiber Technology*, 2017.

[141] L. Jiang, X. Chen, K. Kim, G. De Valicourt, Z. R. Huang, and P. Dong, "Experimental Study of Electro-Optic Crosstalk in Parallel Silicon Photonic Mach-Zehnder Modulators," in *CLEO Conference on Lasers and Electro-Optics*, 2018, pp. 1–2.

[142] W. Yao, G. Gilardi, N. Calabretta, M. K. Smit, and M. J. Wale, "Experimental and numerical study of electrical crosstalk in photonic-integrated circuits," *J. Light. Technol.*, vol. 33, no. 4, pp. 934–942, 2015.

[143] J.-F. Carpentier, P. Le Maître, and A. Michard, "Is it possible to obtain High Bandwidth Density with present Modulators in mature 300mm Silicon Photonics Platform?," in *North American Workshop on Silicon Photonics for High Performance Computing (SPHPC)*, 2018.

[144] P. Dawe, "Improving the extinction ratio specs," 2017.

[145] MAXIM, "Accurately estimating optical receiver sensitivity." pp. 1–6.

[146] MAXIM, "Converting between RMS and Peak-to-Peak Jitter at a Specified BER." pp. 1–5.

[147] L. Virot, D. Benedikovic, C. Alonso-Ramos, D. Marris-Morini, P. Crozat, E. Cassan, L. Vivien, B. Szelag, B. Karakus, J.-M. Hartmann, J.-M. Fédéli, C. Kopp, C. Baudot, and F. Boeuf, "Low Power Consumption and High-Speed Ge Receivers." pp. 1–25.

[148] M. Huang, S. Li, P. Cai, G. Hou, T. Su, W. Chen, C. Hong, and D. Pan, "Germanium on Silicon Avalanche Photodiode," *IEEE J. Sel. Top. Quantum Electron.*, vol. 24, no. 2, 2018.

[149] R. Polster, J. Luis, G. Jimenez, E. Cassan, P. Vincent, and L. Efficiencyvsbitrate, "Optimization of TIA topologies in a 65nm CMOS process," in *IEEE*, 2014, vol. 5, pp. 117–118.

[150] A. Roshan-Zamir, O. Elhadidy, H. W. Yang, and S. Palermo, "A Reconfigurable 16/32 Gb/s Dual-Mode NRZ/PAM4 SerDes in 65-nm CMOS," *IEEE J. Solid-State Circuits*, vol. 52, no. 9, pp. 2430–2447, 2017.

[151] A. Mekis, G. Armijo, J. Balardeta, B. Chase, Y. Chi, A. Dahl, P. De Dobbelaere, Y. De Koninck, S. Denton, M. Eker, S. Fathpour, D. Foltz, S. Gloeckner, K. Y. Hon, S. Hovey, S. Jackson, W. Li, Y. Liang, M. Mack, G. Mcgee, S. Pang, M. Peterson, T. Pinguet, L. Planchon, K. Roberson, N. Rudnick, S. Sahni, J. Schramm, C. Sohn, S. K., P. Sun, G. Vastola, S. Wang, G. Wong, K. Yokoyama, S. Yu, and R. Zhou, "Silicon Integrated Photonics Reliability," in *Advanced Photonics Congress*, 2017, pp. 1–3.

[152] S. Menezo, E. Crellier, G. Beninca De Farias, A. Descos, B. Ben Bakir, D. Thomson, J. M. Fedeli, C. Chauveau, C. Kopp, P. Crosse, and D. Fowler, "Evaluation of optical interconnects built up from a complete CMOS-photonics-devices-library," in *2013 Optical Interconnects Conference, OI 2013*, 2013, pp. 21–22.

[153] C.-H. Chen, M. Ashkan Seyedi, M. Fiorentino, D. Livshits, A. Gubenko, S. Mikhrin, V. Mikhrin, and R. G. Beausoleil, "A comb laser-driven DWDM silicon photonic transmitter based on microring modulators," *Opt. Express*, vol. 23, no. 16, pp. 21541–21548, 2015.

[154] Y. Wang, M. A. Seyedi, R. Wu, J. Hulme, M. Fiorentino, R. G. Beausoleil, and K. Cheng, "Energy-Efficient Channel Alignment of DWDM Silicon Photonic Transceivers," in *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, 2018.

[155] M. Georgas, J. Leu, B. Moss, C. Sun, and V. Stojanović, "Addressing link-level design tradeoffs for integrated photonic interconnects," in *Proceedings of the Custom Integrated Circuits Conference*, 2011.

[156] N. Ophir, C. Mineo, D. Mountain, and K. Bergman, "Silicon photonic microring links for high-bandwidth-density, low-power chip I/O," *IEEE Micro*, vol. 33, no. 1, pp. 54–67, 2013.

[157] N. Ophir and K. Bergman, "Analysis of high-bandwidth low-power microring links for off-chip interconnects," in *Proc. of SPIE*, 2013, vol. 8628, pp. 1–7.

[158] M. Bahadori, S. Rumley, D. Nikolova, and K. Bergman, "Comprehensive Design Space Exploration of Silicon Photonic Interconnects," *Light. Technol. J.*, vol. 34, no. 12, pp. 2975–2987, 2016.

[159] M. Bahadori, S. Rumley, R. Polster, A. Gazman, M. Traverso, M. Webster, K. Patel, and K. Bergman, "Energy-performance optimized design of silicon photonic interconnection networks for high-performance computing," in *Proceedings of the 2017 Design, Automation and Test in Europe, DATE 2017*, 2017, pp. 326–331.

[160] J. Witzens, A. Moscosohmartír, J. Müller, F. Merget, J. Hauck, S. Romero-Garcia, B. Shen, F. Lelarge, R. Brenot, A. Garreau, E. Mentovitch, D. E. Rasmussen, A. Badihi, A. Sandomirsky, and S. Rony, "Silicon Photonics based WDM Systems: Chip and Module Level Integration," in *European Conference on Integrated Optics (ECIO)*, 2017, pp. 1–2.

[161] A. Moscoso-Mártir, J. Müller, J. Hauck, N. Chimot, R. Setter, A. Badihi, D. E. Rasmussen, A. Garreau, M. Nielsen, E. Islamova, S. Romero-García, B. Shen, A. Sandomirsky, S. Rockman, C. Li, S. Sharif Azadeh, G. Q.

Lo, E. Mentovich, F. Merget, F. Lelarge, and J. Witzens, “Silicon Photonics Transmitter with SOA and Semiconductor Mode-Locked Laser,” *Sci. Rep.*, vol. 7, no. 13857, pp. 1–15, 2017.

[162] A. Moscoso-Mártir, J. Müller, E. Islamova, F. Merget, and J. Witzens, “Calibrated Link Budget of a Silicon Photonics WDM Transceiver with SOA and Semiconductor Mode-Locked Laser,” *Sci. Rep.*, vol. 7, no. 12004, pp. 1–13, 2017.

[163] A. Moscoso-Mártir, J. Müller, J. Hauck, N. Chimot, R. Setter, A. Badihi, D. E. Rasmussen, A. Garreau, M. Nielsen, E. Islamova, S. Romero-García, B. Shen, A. Sandomirsky, S. Rockman, C. Li, S. S. Azadeh, G.-Q. Lo, E. Mentovich, F. Merget, F. Lelarge, and J. Witzens, “Silicon Photonics WDM Transceiver with SOA and Semiconductor Mode-Locked Laser,” vol. 117685, pp. 1–27, 2016.

[164] Altera, ARM, Hewlett-Packard, I. B. Machines, M. Technology, Open-Silicon, and S. Electronics, “Hybrid Memory Cube Specification 1.0.” pp. 1–122, 2013.

[165] M. Georgas, J. Leu, B. Moss, C. Sun, and V. Stojanovic, “Addressing link-level design tradeoffs for integrated photonic interconnects,” in *2011 IEEE Custom Integrated Circuits Conference (CICC)*, 2011, pp. 1–8.

[166] M. G. Ahmed, M. Talegaonkar, A. Elkholy, G. Shu, A. Elmallah, A. Rylyakov, and P. K. Hanumolu, “A 12-Gb/s -16.8-dBm OMA Sensitivity 23-mW Optical Receiver in 65-nm CMOS,” *IEEE J. Solid-State Circuits*, vol. 53, no. 2, pp. 445–457, 2018.

[167] Y. Thonnart, M. Zid, J. L. Gonzalez Jimenez, G. Waltener, R. Polster, O. Dubray, F. Lepin, S. Bernabé, S. Menezo, G. Parès, O. Castany, L. Boutafa, P. Grosse, B. Charbonnier, and C. Baudot, “A 10Gb/s Si-Photonic Transceiver with 150µW 120µs-Lock-Time Digitally Supervised Analog Microring Wavelength Stabilization for 1Tb/s/mm2 Die-to-Die Optical Networks,” in *International Solid-State Circuits Conference - Presentation support*, 2018.

[168] Amkor Technology, “Amkor Flip Chip Packaging Data sheet.” pp. 1–4, 2013.

[169] Amkor Technology, “Amkor Fine Pitch Copper Pillar Flip Chip Data sheet.” pp. 1–3, 2015.

[170] Y. Amemiya, Y. Tanushi, T. Tokunaga, and S. Yokoyama, “Photoelastic effect in silicon ring resonators,” *Jpn. J. Appl. Phys.*, vol. 47, no. 4 PART 2, pp. 2910–2914, 2008.

[171] M. Huang, “Stress effects on the performance of optical waveguides,” *Int. J. Solids Struct.*, vol. 40, no. 7, pp. 1615–1632, 2003.

[172] Y. Yang, M. Yu, Rusli, Q. Fang, J. Song, L. Ding, and G. Q. Lo, “Through-Si-via (TSV) Keep-Out-Zone (KOZ) in SOI photonics interposer: A study of the impact of TSV-Induced stress on Si ring resonators,” *IEEE Photonics J.*, vol. 5, no. 6, 2013.

[173] P. Dumais, “Birefringence of strained buried-core waveguides,” in *ICO International Conference on Information Photonics*, 2011, pp. 1–2.

[174] T. Lang, J. Kuang, and X. Lin, “Analysis of the stress-optical effects in silica-on-silicon optical waveguides,” in *2010 Asia Communications and Photonics Conference and Exhibition, ACP 2010*, 2010, pp. 224–225.

[175] M. F. Ferreira, a. N. Pinto, P. S. André, N. J. Muga, J. E. Machado, R. N. Nogueira, S. V. Latas, M. H. Sousa, and J. F. Rocha, “Polarization Mode Dispersion in High-Speed Optical Communication Systems,” *Fiber Integr. Opt.*, vol. 24, no. 3–4, pp. 261–285, 2005.

[176] T. K. Liang, L. R. Nunes, H. K. Tsang, and M. Tsuchiya, “TE/TM mode conversion in silicon waveguides using selective stress applying oxide patches and etched oxide windows,” in *2005 IEEE International Conference on Group IV Photonics*, 2005, pp. 126–128.

[177] V. Fiori, K. A. Ewuame, S. Gallois-Garreignot, H. Jaouen, and C. Tavernier, “Numerical analysis of thermo-mechanical and mobility effects for 28 nm node and beyond: Comparison and design consequences over bumping technologies,” *Microelectron. Reliab.*, vol. 54, no. 4, pp. 764–772, 2014.

[178] V. Fiori, “Copper Pillar with Thermo Compression NCP induced stress: Determination of sensor placement & geometry for photonic applications,” 2013.

[179] H. Jayatilleka, M. Caverley, N. A. F. Jaeger, S. Shekhar, and L. Chrostowski, “Crosstalk limitations of microring-resonator based WDM demultiplexers on SOI,” in *Optical Interconnects Conference (OI), 2015 IEEE*, 2015, pp. 48–49.

[180] A. Descos, M. A. Seyedi, C. H. Chen, M. Fiorentino, R. G. Beausoleil, F. Vincent, D. Penkler, and B. Szelag, “Crosstalk analysis of ring-resonator based optical switches,” in *5th IEEE Photonics Society Optical Interconnects Conference, OI 2016*, 2016, pp. 44–45.

[181] K. Padmaraju, X. Zhu, L. Chen, M. Lipson, and K. Bergman, “Intermodulation crosstalk characteristics of WDM silicon microring modulators,” *IEEE Photonics Technol. Lett.*, vol. 26, no. 14, pp. 1478–1481, 2014.

[182] M. Bahadori, S. Rumley, H. Jayatilleka, K. Murray, N. Jaeger, L. Chrostowski, S. Shekhar, and K. Bergman, “Crosstalk Penalty in Microring-Based Silicon Photonic Interconnect Systems,” *J. Light. Technol.*, vol. 34, no. 17, pp. 4043–4052, 2016.

[183] T. Shimizu, N. Hatori, M. Okano, M. Ishizaka, Y. Urino, T. Yamamoto, M. Mori, T. Nakamura, and Y. Arakawa, “Multichannel and High Density Hybrid Integrated Light Source with a Laser Diode Array on a Silicon Optical Waveguide Platform for Inter-Chip Optical Interconnection,” *Photonics Res.*, vol. 2, no. 3, pp. A19–A24, 2014.

[184] T. Barwicz, Y. Taira, T. W. Lichoulas, N. Boyer, Y. Martin, H. Numata, J. W. Nah, S. Takenobu, A. Janta-Polczynski, E. L. Kimbrell, R. Leidy, M. H. Khater, S. Kamlapurkar, S. Engelmann, Y. A. Vlasov, and P. Fortier, “A novel approach to photonic packaging leveraging existing high-throughput microelectronic facilities,” *IEEE J. Sel. Top. Quantum Electron.*, vol. 22, no. 6, pp. 1–12, 2016.

[185] J. Durel, “Intégration d’un laser hybride DBR III-V / Si en face arrière d’une puce photonique,” 2017.

[186] J. Sun, M. Sakib, J. Driscoll, R. Kumar, H. Jayatilleka, Y. Chetrit, and H. Rong, “A 128 Gb/s PAM4 Silicon Microring Modulator,” in *Optical Fiber Communication Conference*, 2018, pp. 1–3.

[187] M. Bahadori and K. Bergman, “Low-Power Optical Interconnects based on Resonant Silicon Photonic Devices : Recent Advances and Challenges,” in *GLSVLSI Great Lakes Symposium on VLSI*, 2018, pp. 305–310.

[188] L. Guilbert, “Optique intégrée et nano-optique (UE 910).” 2015.

[189] N. Cazier, “Effets d’optique non-linéaire d’ordre trois dans les cavités à cristaux photoniques en silicium : Auto-oscillations GHz dues aux porteurs libres et diffusion Raman stimulée.,” Université Paris-Sud, 2013.

[190] D. Wolfersberger and M. Sciamanna, “Optique non-linéaire & applications à la photonique.” 2015.

[191] Y. Ban, Y. Byung-Min, J. Rhim, J.-M. Lee, and W.-Y. Choi, “Modeling of Self-Heating Effect for Depletion-Type Si Micro-Ring Modulator,” in *IEEE Optical Interconnects Conference (OI)*, 2015, pp. 134–135.

[192] M. Shin, Y. Ban, B.-M. Yu, J. Rhim, Z. Lars, and W.-Y. Choi, “Parametric Characterization of Self-Heating in Depletion-Type Si Micro-Ring Modulators,” *IEEE J. Sel. Top. Quantum Electron.*, 2016.

[193] A. Arbabi and L. L. Goddard, “Dynamics of self-heating in microring resonators,” *IEEE Photonics J.*, vol. 4, no. 5, pp. 1702–1711, 2012.

[194] L.-W. Luo, G. S. Wiederhecker, K. Preston, and M. Lipson, “Power insensitive silicon microring resonators,” *Opt. Lett.*, vol. 37, no. 4, pp. 590–592, 2012.

[195] V. R. Almeida and M. Lipson, “Optical bistability on a silicon chip,” *Opt. Lett.*, vol. 29, no. 20, pp. 2387–2389, 2004.

[196] Q. Xu and M. Lipson, “Carrier-induced optical bistability in silicon ring resonators,” *Opt. Lett.*, vol. 31, no. 3, pp. 341–343, 2006.

[197] X. Zheng, Y. Luo, G. Li, I. Shubin, H. Thacker, J. Yao, K. Raj, J. E. Cunningham, and A. V. Krishnamoorthy, “Enhanced optical bistability from self-heating due to free carrier absorption in substrate removed silicon ring modulators,” *Opt. Express*, vol. 20, no. 10, pp. 11478–11486, 2012.

[198] M. Kim, M. Shin, M.-H. Kim, B.-M. Yu, C. Mai, S. Lischke, L. Zimmermann, and W.-Y. Choi, “A Large-signal Equivalent Circuit for Depletion-type Silicon Ring Modulators,” in *OFC Optical Fiber Communication Conference and Exposition*, 2018, pp. 1–3.

Liste des publications

Communications avec actes

Audrey Michard, Pietro Maris Ferreira, and Jean-François Carpentier, "0.18-µm CMOS Driver Optimization for Maximum Data Rate under Power and Area Constraints", *IEEE 14th International New Circuits and Systems Conference (NEWCAS)*, June 2016.

Audrey Michard, Nicolas Michit, Jean-Baptiste Quélène, Jean-François Carpentier, and Pietro Maris Ferreira, "Influence of Thermo-mechanical Effects induced by 3D Assembly on Silicon Microring Resonator," *European Conference on Integrated Optics (ECIO)*, April 2017.

Nicolas Michit, **Audrey Michard**, and Patrick Le Maître, "Scalable highly flexible WDM switch for ONoC architectures," *SPIE Photonics West OPTO Conference*, January 2018.

Audrey Michard, Nicolas Michit, Jean-François Carpentier, Patrick Le Maître, Jean-Baptiste Quélène, and Pietro Maris Ferreira, "O-band 50Gb/s ring modulator in a 300mm Si photonic platform," *IEEE European Conference on Optical Communication (ECOC)*, September 2018.

Conférences Nationales

Audrey Michard, Jean-François Carpentier et Pietro Maris Ferreira, « Les challenges de l'intégration monolithique et hybride pour la photonique sur silicium », *Journées Nationales du Réseau Doctoral en Micro-nanoélectronique (JNRDM)*, mai 2016.

Articles de journal

Jean-Baptiste Quélène, **Audrey Michard**, Nicolas Michit, Jean-François Carpentier, Patrick Le Maître, and Yannis Le Guennec, "Carrier depletion silicon ring modulator power penalty versus power coupling coefficient," *IEEE Journal of Lightwave Technology (JLT)*, Mai 2018, (Early Access).

Audrey Michard, Jean-François Carpentier, Nicolas Michit, Patrick Le Maître, and Pietro Maris Ferreira, "A 20 Gb/s, sub-pJ/bit, low ER Mach-Zehnder-based Transmitter toward chip-to-chip Optical Interconnects," *IET Optoelectronics*, submitted for publication in October 2018.

Posters

Audrey Michard, Jean-François Carpentier, and Pietro Maris Ferreira, "Tiny companion testchips for 56 Gbaud applications based on microring resonators," *ePIXfab-plat4M Summer School*, August 2016.

Nicolas Michit, Patrick Le Maître, Benoît Charbonnier, Régis Orobtchouk, **Audrey Michard**, and Jean-François Carpentier, "Scalable highly flexible WDM switch," *Journées doctorantes de Lyon*, October 2017.

Audrey Michard, "Conception et caractérisation d'un transmetteur électro-optique dans une plateforme photonique sur silicium visant des communications très haut débit," *STMicroelectronics PhD Poster Day*, June 2018.

Glossaire

ADS = Advanced Design System
ASIC = Application-Specific Integrated Circuit
A*STAR = Agency for Science, Technology And Research
AWG = Arrayed Waveguide Grating
BEOL = Back End Of Line
BER = Bit Error Rate
BERT = Bit Error Rate Tester
BGA = Ball Grid Array
BiCMOS = Bipolar – CMOS
BIST = Built-In Self Test
BOX = Buried Oxide
BW = Bandwidth
BW = Bond Wires
C2N = Centre de Nanosciences et Nanotechnologies
C4 = Controlled Collapse Chip Connection
CAGR = Compound Annual Growth Rate
CDFP = CD (400) Form-factor Pluggable
CDM = Charged Device Model
CDR = Clock Data Recovery
CEA = Commissariat à l'Energie Atomique et aux énergies alternatives
CFP = C (100) Form-factor Pluggable
CML = Current-Mode Logic
CMOS = Complementary Metal-Oxide-Semiconductor
CMP = Chip Multi-Processors
CNIT = National Inter-University Consortium for Telecommunications
CPU = Central Processing Unit
CuP = Copper Pillar
CWDM = Coarse Wavelength Division Multiplexing
DAC = Digital to Analog Converter
DCA = Digital Communication Analyzer
DoE = Design of Experiments
DR = Data Rate
DRAM = Dynamic RAM
DRC = Design Rule Check
DRM = Design Rule Manual
DUT = Device Under Test
DWDM = Dense Wavelength Division Multiplexing
ECL = Emitter-Coupled Logic
EIC = Electrical Integrated Circuit
ER = Extinction Ratio
ESD = ElectroStatic Discharge
FCA = Free Carrier Absorption
FCD = Free Carrier Dispersion
FDSOI = Fully Depleted Silicon On Insulator
FDTD = Finite Difference Time Domain
FEC = Forward Error Correction
FEM = Finite Element Modeling
FEOL = Front End Of Line
FFE = Feed Forward Equalizer
FIR = Finite Impulse Response
FSR = Free Spectral Range
FWHM = Full Width at Half Maximum
GbE = Gigabit Ethernet
GC = Grating Coupler
GDDR = Graphics Double Data Rate
GPU = Graphics Processing Unit
HBM = High Bandwidth Memory
HBM = Human Body Model
HP = Hewlett Packard
HPC = High Performance Computing
HSPD = High Speed PhotoDiode
HSPM = High Speed Phase Modulator
HTOL = High Temperature Operating Life
ICN2 = Institut Catalan des Nanosciences et Nanotechnologies
IL = Insertion Loss
IMEC = Institut de Micro-Electronique et Composants
INL = Institut des Nanotechnologies de Lyon
I/O = Input / Output
IoT = Internet of Objects
IP = Intellectual Property
IRDS = International Roadmap for Devices and Systems
ISI = Inter-Symbol Interference
KOZ = Keep-Out-Zone
LA = Limiting Amplifier
LCA = Lightwave Component Analyzer
LE = Lumped-Element
LE = Logical Effort
LETI = Laboratoire d'Electronique et de Technologie de l'Information
LFSR = Linear Feedback Shift Register
LGA = Land Grid Array
LSPM = Low Speed Phase Modulator
LVS = Layout Versus Schematic
MCM = Multi Chip Module
MIM = Metal Isolator Metal capacitance
MLL = Mode Locked Laser
MM = Machine Model
MMF = Multi Mode Fiber
MMWG = Multi Mode WaveGuide
MOS = Metal Oxide Semiconductor capacitance
MQW = Multi Quantum Well
MS = Multi-Stage
MSA = Multi-Source Agreement
MZI = Mach Zehnder Interferometer
MZM = Mach Zehnder Modulator
NCP = Non Conductive Paste
NL = Non Linear
NoC = Network-on-Chip
NRZ = Non Return to Zero
OIC = Optical Integrated Circuit
OMA = Optical Modulation Amplitude
OOK = On-Off Keying
PAM = Pulse Amplitude Modulation
ParBERT = Parallel Bit Error Rate Tester
PCB = Printed Circuit Board
PD = PhotoDiode (or PhotoDetector)
PETRA = Photonics Electronics Technology Research Association
PIC = Photonic Integrated Circuit
PINPM = PIN junction-based Phase Modulator
PLD = Polarization Dependent Loss
PMD = Polarization Mode Dispersion
PRBS = Pseudo Random Bit Sequence
PSM = Parallel Single Mode
PSGC = Polarization Splitting Grating Coupler
QSFP = Quad Small Form-factor Pluggable
RAM = Random Access Memory
RF = Radio Frequency
RMS = Root Mean Square
RPO = Resist Protection Oxide

RR = Ring Resonator
RRM = Ring Resonator Modulator
RX = Receiver
SDM = Space Division Multiplexing
SE = Segmented Electrode
SerDes = Serializer Deserializer
SFP = Small Form Factor Pluggable
SiP = Silicon Photonics
SMF = Single Mode Fiber
SMWG = Single Mode WaveGuide
SNR = Signal to Noise Ratio
SOA = Safe Operation Area
SOA = Semiconductor Optical Amplifier
SoC = System on a Chip
SOI = Silicon On Insulator
SPGC = Single Polarization Grating Coupler
SPICE = Simulation Program with Integrated Circuit Emphasis
TCAD = Technology Computer Aided Design
TCB = Thermo-Compression Bonding
TE = Transverse Electric
TIA = TransImpedance Amplifier
TL = Transmission Line
TM = Transverse Magnetic
TO = Thermo-Optic
TOV = Through-Oxide-Via
TP = Transmitter Penalty
TPA = Two Photons Absorption
TRX = Transceiver
TSV = Through-Silicon-Via
TX = Transmitter
TW = Travelling Wave
VCCS = Voltage-Controlled Current Source
VGA = Variable-Gain Amplifier
VNA = Vector Network Analyzer
WDM = Wavelength Division Multiplexing
WPE = Wall-Plug Efficiency
ZCE = Zone de Charge d'Espace

université PARIS-SACLAY

ÉCOLE DOCTORALE
Physique et ingénierie : électrons, photons, sciences du vivant (EOBE)

Titre : Conception et caractérisation d'un transmetteur électro-optique dans une plateforme photonique sur silicium visant des communications très haut débit

Mots clés : photonique sur silicium, circuit de qualification, microélectronique, intégration hybride

Résumé : La photonique sur silicium connaît depuis plusieurs années un fort développement avec la démonstration d'importants résultats concernant les interconnexions optiques. En effet, l'explosion du trafic de données au sein des centres de données a nécessité de trouver une solution annexe aux interconnexions métalliques afin de supporter de très hauts débits de transmission, tout en assurant une faible consommation énergétique et un coût raisonnable. Les applications de la photonique se situent d'une part dans le domaine des communications à longue distance entre équipements dont les standards actuels visent un débit de 400 Gb/s, et d'autre part dans le domaine des calculateurs à haute performance afin de réaliser les interconnexions courte distance entre un processeur et une banque de mémoires.

STMicroelectronics s'est lancé depuis 2012 dans le développement d'une plateforme photonique sur silicium sur wafers de 300mm. Les principaux objectifs sont : la conception des composants optiques passifs et actifs pour réaliser un transceiver élémentaire à un débit de 20 Gb/s, l'intégration accrue des dispositifs électro-optiques afin de constituer un interposeur photonique, la capacité à gérer plusieurs longueurs d'onde.

Dans ce contexte, le sujet de cette thèse porte sur la mise au point d'un circuit de qualification proposant l'intégration d'un transmetteur électro-optique à l'échelle de la puce. Cette solution tire bénéfice de l'architecture de l'assemblage en trois dimensions des éléments constitutifs au sein de l'interposeur et permet de traiter l'hétérogénéité des composants électriques et optiques.

Dans ces travaux, nous proposons dans un premier temps d'étudier le modulateur optique. Celui-ci repose sur l'utilisation d'un anneau résonant dont la bande passante est optimisée afin de permettre des débits jusqu'à 50 Gb/s. Dans un second temps, nous décrivons la conception du driver électrique en technologie CMOS 55nm et expliquons le compromis mis en jeu entre la vitesse et la puissance consommée par le transmetteur. Les deux dispositifs sont fabriqués sur des plateformes distinctes, puis caractérisés et analysés par rapport à leur modèle respectif. Puis, nous réalisons une première intégration du transmetteur complet via un assemblage wire-bonding, ce qui nous permet de valider son fonctionnement et d'identifier les difficultés d'une telle co-intégration. Enfin, la dernière partie de la thèse est consacrée à la préparation d'un démonstrateur intégrant, dans un assemblage 3D à base de micro-piliers en cuivre, un lien électro-optique capable de transmettre 16 canaux à 20 Gb/s. Le multiplexage en longueurs d'onde déployé dans ce lien devrait permettre d'atteindre un débit total de 320 Gb/s. De plus, l'étude énergétique du système permet de s'assurer que l'interconnexion finale respectera les contraintes de consommation de puissance.

Title: Design and characterization of an electro-optic transmitter in a silicon photonics platform for high data rate communications

Keywords: silicon photonics, testchip, microelectronics, hybrid integration

Abstract: Stimulated by a series of important breakthrough, silicon photonics has been experiencing a significant development for several years. Indeed, due to exponential growth of data traffic inside datacenters, an alternative solution to metallic interconnects has been proposed to address very high transmission rates while ensuring a low energy consumption and a reasonable cost. Promising applications are in the field of both long- and short-distance optical communications. Long-range interconnects between datacenter equipment currently target an aggregate throughput of 400 Gb/s while short-reach interconnects are involved in high performance computers between a processor and a memory bank.

STMicroelectronics has been developing a silicon photonic platform on 300 mm wafers since 2012. The main objectives are: the design of passive and active optical components to achieve an elementary 20 Gb/s transceiver, the increased integration of electro-optic devices to form a photonic interposer, the ability to manage several wavelengths.

In this context, this PhD report deals with a testchip development at wafer level, proposing the integration of an electro-optic transmitter. This solution benefits from the three dimensions assembly architecture of the dies within the photonic interposer and can handle the heterogeneity of electrical and optical components.

This work first proposes to study the optical modulator which is based on a ring resonator. The ring bandwidth is optimized to operate up to 50 Gb/s. Secondly, the 55nm CMOS electrical driver design is described and the trade-off between transmitter speed and power consumption is highlighted. Both devices are fabricated on distinct technological platforms, then characterized and analyzed with respect to their respective models. A first integration of the complete transmitter is assembled through wire-bonding method, which enables to validate the transmitter operation. Finally, the last part of the report is devoted to the preparation of a 3D demonstrator based on micro-copper pillars assembly. The demonstrator integrates a wavelength division multiplexed link with 16 channels, which is expected to achieve a total throughput of 320 Gb/s. In addition, the system study enables to ensure that the final interconnect will respect power consumption constraints.

Université Paris-Saclay
Espace Technologique / Immeuble Discovery
Route de l'Orme aux Merisiers RD 128 / 91190 Saint-Aubin, France