HAL open science

Contribution à la conception d'un système d'acquisition de signaux biomédicaux pour la télésurveillance médicale

Mariam Tlili

To cite this version:

Mariam Tlili. Contribution à la conception d'un système d'acquisition de signaux biomédicaux pour la télésurveillance médicale. Electronique. Université de Bordeaux; Université de Carthage (Tunisie), 2018. Français. NNT : 2018BORD0159 . tel-01985550

HAL Id: tel-01985550

https://theses.hal.science/tel-01985550

Submitted on 18 Jan 2019

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE EN COTUTELLE PRÉSENTÉE

POUR OBTENIR LE GRADE DE

DOCTEUR DE L'UNIVERSITÉ DE BORDEAUX ET DE L'ECOLE SUPERIEURE DES COMMUNICATIONS DE TUNIS

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUES ET DE L'INGENIEUR DE L'UBX
ET ÉCOLE DOCTORALE DES TECHNOLOGIES DE L'INFORMATION ET DE LA COMMUNICATION de SUP'COM

En Electronique et En Technologies de l'Information de la Communication

Par Mariam TLILI

TITRE
Contribution à la conception d'un système d'acquisition de signaux biomédicaux pour la télésurveillance médicale

Sous la direction de
Dominique DALLET, Professeur des Universités à Bordeaux INP, France, et de
Chiheb REBAI, Professeur à SUP'COM, Tunisie
Sous l'encadrement de
François Rivet, Maître de conférence à Bordeaux INP, France,
de Manel BEN ROMDHANE, Maître Assistant à SUP'COM, Tunisie
et de Asma MAALEJ Maître Assistant à l'ENIT, Tunisie

Soutenue le 23 Octobre 2018 à SUP'COM, Tunis, devant le jury composé de :

Mme BEN JEBARA, Sofia	Professeur à SUP'COM	Président
M. BENABES, Philippe	Professeur à CentraleSupelec	Rapporteur
M. MASMOUDI, Mohamed	Professeur à l'ENIS	Rapporteur
M. ROMAIN, Olivier	Professeur à l'Université de Cergy-Pontoise	Examinateur
M. CHEIKH, Mehdi	Country Manager à General Electric Healthcare	Invité

A mon père Nabil, ma source d'inspiration et mon idole,

A ma mère Samia, mon réservoir d'amour éternel,

A mon frère Chouaeb, mes sœurs Fayrouz et Aya, mes sources de bonheurs

A mon mari Souhail, en apprenant à te connaître mon horizon est devenu plus clair, plus joyeux.

J'avoue que si je suis là, c'est grâce à vous. J'espère pouvoir réaliser, aujourd'hui, l'un de vos rêves

A tous mes amis et à tous ceux qui ont cru en moi, je vous dédie ce travail.

« Prenez de chaque science ce qu'elle a de meilleur, comme les abeilles qui mangent de chaque fleur ce qu'elle a de plus beau, lequel engendre deux essences précieuses, l'une est porteuse de guérison pour les gens, l'autre fournit de la lumière. »

Ali Ibn Abi Talib

« La vie n'est jamais un long couloir rectiligne que l'on traverserait d'une traite, libre comme le vent, mais un dédale de passages dans lequel il faut trouver son chemin, perdu et désorienté, condamné par moments à échouer au fond d'un cul-de-sac.

Mais il se trouve toujours, pour peu qu'on ait la foi, une porte entrouverte, même la plus inattendue, qui se révèlera être la voie qu'il fallait prendre. »

Archibald Joseph Cronin

(1896-1982)

Avant-propos

Les travaux de recherche détaillés dans ce manuscrit ont été conduits dans le cadre d'une thèse en co-tutelle préparée en vue de l'obtention du diplôme de Doctorat en Technologies de l'Information et des Communications de l'Ecole Supérieure des Communications de Tunis (SUP'COM), en Tunisie et en Electronique de l'Université de Bordeaux (UBx), en France.

Ces travaux de thèse de Doctorat sont le fruit d'une collaboration entre l'équipe Circuits Mixtes et Techniques Avancés pour les Systèmes de Communications (MSCAS) du laboratoire de recherche Systèmes de Communications Innovants et Verts (GRESCOM, Green and Smart Communications System), et les deux équipes Circuits et Systèmes Numériques (CSN) et Circuits et Systèmes (CAS), appartenant au groupe Conception du laboratoire de l'Intégration du Matériau au Système (IMS), relevant de l'Université de Bordeaux, de l'Institut Polytechnique de Bordeaux (Bordeaux INP) et du Centre National de la Recherche Scientifique (CNRS). Dans ce contexte, je souhaite exprimer ma sincère gratitude et ma profonde reconnaissance à Monsieur Yann DEVAL, Professeur à l'Université de Bordeaux, le directeur du laboratoire de recherche IMS, et à Monsieur Adel GHAZEL, Professeur à SUP'COM, et le directeur du laboratoire de recherche GRESCOM pour m'avoir accueillie au sein des deux laboratoires pour la réalisation de mes travaux de thèse.

J'adresse tous mes remerciements à :

Madame Sofia BEN JEBARA, Professeur à SUP'COM, Tunisie, pour l'honneur qu'elle m'a fait en acceptant de présider le jury de cette thèse et pour m'avoir initiée au traitement avancé des signaux 1D et 2D lorsque j'étais son élève. Qu'elle en soit profondément remerciée.

Monsieur Philippe BENABES, Professeur à CentraleSupelec, France, pour son honorable participation à mon jury de thèse en qualité de rapporteur de mon travail et pour le temps consacré à la lecture et la correction de cette thèse.

Monsieur Mohamed MASMOUDI, Professeur à l'Ecole Nationale d'Ingénieur de Sfax (ENIS), Tunisie, pour avoir accepté de rapporter cette thèse et dont les remarques et commentaires me permettront d'améliorer la compréhension de ce mémoire.

Monsieur Olivier ROMAIN, Professeur à l'Université de Cergy-Pontoise, France, d'avoir accepté de faire partie du jury de cette thèse en contribuant, avec sa grande rigueur scientifique, à la discussion de ces travaux.

Monsieur Mehdi Cheikh, Senior Manager, Country Manager à General Electric Healthcare, Tunisie, pour son honorable participation au jury de cette thèse. Je tiens à l'assurer de ma profonde reconnaissance pour l'intérêt qu'il porte à ce travail.

Monsieur Dominique DALLET, Professeur des Universités à Bordeaux INP, France, et Chef du groupe Conception du laboratoire IMS, pour avoir dirigé mes travaux de thèse. Ses qualités pédagogiques et scientifiques ont été prépondérantes pour la réussite de cette thèse. Je tiens à lui exprimer mes plus vifs remerciements pour être disponible malgré les difficultés du travail à distance et ses nombreuses responsabilités, ainsi que pour ses encouragements, notamment lors de mes séjours au laboratoire IMS.

Monsieur Chiheb REBAI, Professeur à SUP'COM, Tunisie, et Chef de l'équipe MSCAS à GRESCOM, pour la confiance qu'il m'a accordée en me proposant ce sujet de recherche et pour l'honneur qu'il m'a fait en acceptant de diriger mes travaux de thèse. Je lui adresse mes remerciements pour ses multiples conseils et pour toutes les heures qu'il a consacrées à diriger ma thèse. Sa compétence, sa rigueur scientifique et sa clairvoyance m'ont beaucoup appris.

Madame Manel BEN ROMDHANE Ep. ABID, Maître Assistant à SUP'COM, Tunisie, et Chercheur Senior à GRESCOM, pour l'encadrement de mes travaux de thèse. Je tiens à lui exprimer ma gratitude pour les heures passées à la relecture méticuleuse de chaque travail réalisé. Ses propositions enrichissantes et son intérêt immense à l'avancée de mes travaux étaient des éléments moteurs. Cette thèse lui doit beaucoup.

Madame Asma MAALEJ Ep. BOUATTOUR, Maître Assistant à l'ENIT, Tunisie, et Chercheur Senior à GRESCOM, pour l'encadrement de mes travaux de thèse. Sa capacité d'analyse, ses propositions avisées et sa disponibilité jusqu'au bout sont pour beaucoup dans le résultat final de ce travail. Je tiens sincèrement à la remercier pour ses encouragements qui m'ont aidées à franchir plusieurs obstacles.

Monsieur François RIVET, Maître de Conférences à Bordeaux INP, France, et Chef de l'équipe Circuits et Systèmes du laboratoire IMS, pour sa contribution à l'encadrement de mes travaux de thèse. Nos discussions m'ont beaucoup appris en matière de conception de circuits intégrés.

J'associe à ces remerciements, également :

Docteur Sadika KHEMAKHEM Ep. BEN ROMDHANE, médecin cardiologue de libre pratique, ancienne médecin principale des hôpitaux de Tunis et spécialiste en écho doppler cardiaque, en holters tensionnel et rythmique, en épreuve d'effort et en cardiologie du sport, pour être une grande ressource pour la sélection et l'évaluation de certains signaux ECG. Je la remercie pour sa participation enrichissante et son extrême gentillesse.

Les ingénieurs de configuration des outils de CAO et tout le personnel du service informatique au laboratoire IMS, notamment Monsieur Olivier MAZZOUFFRE, Monsieur David BEDENES et Monsieur Patrick VILLESUZANNE, sans lesquels la conception électronique n'était pas possible.

Tout le personnel administratif à l'Université de Bordeaux, à l'IMS et à SUP'COM. Je tiens tout particulièrement à remercier Mdame Brigitte BORDES, Madame Mathilde DALBOS, Madame Stéphanie Danaux, Monsieur Fethi TLILI, Madame Leila NAJJAR, Madame Samia

BOUZOUITA, Madame Imen AZZOUNI et Madame Jihene OUERGUI. Leurs conseils et leur patience m'ont aidé à franchir beaucoup d'obstacles.

Résumé et mots clefs

Titre : Contribution à la conception d'un système d'acquisition de signaux biomédicaux pour la télésurveillance médicale

Résumé :

Cette thèse de Doctorat s'inscrit dans le cadre des travaux de recherches qui visent la réduction de la consommation de puissance des dispositifs portables dédiés à l'acquisition et la transmission des signaux biomédicaux. Les contributions de ce travail sont la modélisation, le dimensionnement et la conception d'un convertisseur analogique-numérique à traversée de niveaux (LC-ADC, Level-Crossing Analog-to-Digital Converter) pour la numérisation des signaux électrocardiogramme (ECG). L'apport de ce travail de thèse est la réduction de la fréquence d'échantillonnage moyenne et donc la diminution de la quantité des données à transmettre en origine de la consommation excessive de puissance dans ces dispositifs. Les travaux de modélisation ont permis de proposer un modèle détaillé de l'architecture LC-ADC dans MATLAB/SIMULINK pour la validation fonctionnelle du convertisseur, la vérification de la robustesse du dimensionnement au niveau système et l'anticipation des distorsions introduites par les erreurs du circuit ou par les variations des paramètres intrinsèques du signal ECG. Les résultats du dimensionnement ont permis de choisir une résolution de 8 bits pour le LC-ADC, une fréquence de 10 kHz pour l'horloge de quantification du temps, 12 bits pour la résolution des intervalles de temps quantifiés. Un dimensionnement supplémentaire, adapté au signal sinusoïdal de fréquence 220 Hz est également effectué aboutissant aux mêmes paramètres de dimensionnement avec une fréquence d'horloge égale à 500 kHz. Les résultats de validation du LC-ADC dimensionné, en utilisant des signaux ECG réels normaux et pathologiques, en présence de l'erreur de quantification du temps uniquement puis après ajout des erreurs des composants analogiques du LC-ADC, ont montré une bonne qualité des signaux ECG pour une lecture par le médecin. En termes de réduction des volumes de données numérisées, le LC-ADC a atténué la fréquence d'échantillonnage moyenne allant jusqu'à 25 % de la fréquence d'un ADC uniforme avec un taux de compression allant jusqu'à 80 % des données générées par un ADC uniforme. L'ajout d'un étage de compression numérique par interpolation polynomiale d'Hermite cubique a augmenté le taux de compression à 95 %. Le modèle ainsi dimensionné du LC-ADC a fait l'objet d'une conception en technologie CMOS 180 nm UMC en suivant une approche ascendante (bottom-up). Un circuit incluant un préamplificateur de tension de gain 40 dB, le LC-ADC à 8 bits et un générateur de signaux d'horloge de fréquences 10 et 500 kHz a été conçu avec une tension d'alimentation de 1.8 V et une plage du signal d'entrée de 1 V. La simulation du circuit électrique incluant le LC-ADC et le préamplificateur a montré une consommation de puissance de 3.07 μW. Un rapport signal-sur-distorsion égal à 25.5 dB est mesuré. Avec un écart de 4.2 dB par rapport à la valeur limite de 21 dB, une bonne qualité du signal ECG est obtenue. Finalement, la réalisation du dessin des masques du circuit global a permis d'estimer une surface de 0.2 mm^2. Les valeurs ainsi mesurées en termes de consommation de puissance et de surface sont parmi les plus faibles reportées dans la littératures par rapport aux circuits LC-ADC conçus pour la numérisation des signaux ECG.

Mots clés : convertisseur analogique-numérique à traversée de niveaux, électrocardiogramme, modélisation, dimensionnement, conception en technologie CMOS.

Abstract and keywords

Title : Contribution to the design of a biomedical signal acquisition system for medical telemonitoring

Abstract :

The presented Doctorate thesis research work falls within research activities aiming to reduce the power consumption of biomedical signals' acquisition and transmission portable devices. The contributions of this research work are the modeling, the system-level design and the circuit-level design of a level-crossing analog-to-digital converter (LC-ADC) in order to digitize electrocardiogram (ECG) signals. The presented research work results have led to the reduction of the average sampling frequency and thus the data volumes to be transmitted which are behind the excessive power consumption of these devices. A detailed LC-ADC model has been implemented in in MATLAB/SIMULINK which is useful for functional simulations of the converter, for validation of the system-level design and for anticipation of signal distortions that are caused by the LC-ADC analog components' errors and also by intrinsic parameters' variations of ECG signals. The system-level design results are the choice of an 8-bit resolution for the LC-ADC, a 10-kHz frequency for the time-quantization clock and a 12-bit resolution for binary encoding of the quantized time intervals. Additionally, a 220-Hz sinusoidal signal is also considered for the design of the LC-ADC which has led to mainly the same design parameters with a clock frequency equal to 500 kHz. The validation results of the LC-ADC system-level design, using normal and pathological ECG signals in the presence of the time quantization error only and also after addition of the analog components' errors, have shown good signal quality for easy interpretation by the doctor. In terms of data volumes reduction, the average sampling rate reached by the LC-ADC has been attenuated to 25 % of the sampling frequency of a uniform ADC with a compression ratio as high as 80 %. Thanks to additional digital data-compression using cubic Hermitian polynomial interpolation, the compression ratio has been increased to 95 %. The LC-ADC model has been designed in CMOS 180 nm UMC technology using bottom-up approach. The designed circuit includes a 40-dB gain voltage preamplifier, the 8-bit LC-ADC and a clock signal generator of 10 Hz and 500 kHz frequencies. The circuits have been designed with a 1.8 V supply voltage and a 1 V input signal dynamic range. Electrical circuit simulations including the LC-ADC and the preamplifier circuits have shown a 3.07 μW power consumption. Besides, a signal-to-distortion ratio equal to 25.5 dB is measured. With 4.2 dBs obove the lowest signal-to-distortion ratio limit, which is equal to 21 dB, good ECG signal quality is achieved. Finally, drawing the global circuit's layout has made it possible to estimate the occupied surface area which is equal to 0.0.2 mm^2. The measured values in terms of power consumption and circuit area are among the lowest reported in the literature for the digitization of ECG signals.

Keywords : level-crossing analog-to-digital converter, elecrocardiogram, modeling, system-level design, circuit-level design in CMOS technology.

Laboratoire de l'Intégration du Matériau au Système
[IMS, CNRS UMR5218, Bâtiment A31, 351 Cours de la Libération, 33400 Talence, France
[Intitulé, n° de l'unité et adresse de l'unité de recherche]
Laboratoire Systèmes de communications innovants et verts

[GRESCOM, Cité Technologique des Communications, Rte de Raoued Km 3,5 - 2083, Ariana Tunisie]

Liste des notations

A_{vc}	Gain du comparateur
A_{av}	Gain petit signaux
$AccH$	Accumulateur pour le niveau de référence supérieur
$AccL$	Accumulateur pour le niveau de référence inférieur
a_{gi}	Amplitude de la fonction gaussienne modélisant une onde i
a_j	Coefficient du polynôme modélisant le DAC
$atan2$	Fonction arc tangente à deux arguments
b_i	Un bit
b_{gi}	Ecart type de la fonction gaussienne modélisant une onde i
c_0	Signal de contrôle du multiplexeur
C_0	Capacité unitaire
C_{ac}	Capacité de couplage
C_{as}	Capacité pour annulation de l'effet de dégénération de la source
C_{eq}	Capacité équivalente
C_i	$i^{ème}$ capacité du DAC
C_L	Capacité de charge
clk	Signal d'horloge de référence
$Cmpt$	Sortie du compteur
$CompD$	Comparateur pour la détection d'une traversée par rapport au niveau inférieur
$CompU$	Comparateur pour la détection d'une traversée par rapport le niveau supérieur
C_{ox}	Capacité de l'isolant
CR_{LC-ADC}	Taux de compression intrinsèque du LC-ADC
$CR_{interp_{max}}$	Taux de compression maximale par interpolation
$CR_{interp_{min}}$	Taux de compression minimal par interpolation
$d(.)/dt$	Dérivée par rapport au temps
$D \times D$	Dimension de Φ et Ψ
d	Degré du polynôme modélisant le DAC
DEC	Décrémenter
D_i	Entrée d'une bascule
DNL	Erreur de non-linéarité différentielle
DNL_{max}	Erreur de non-linéarité différentielle maximale
DT	Durée en seconde
$E_{0/1}$	Signal d'entrée d'un composant numérique
ECG_{en}	Signal d'entrée du LC-ADC
$\overline{ECG}_{en}$	Valeur moyenne du signal d'entrée
$\widehat{ECG}_s$	Signal ECG reconstruit
ECG_s	Données d'amplitude générées par le LC-ADC
E_{DAC}	Tension d'alimentation du modèle RC
$e_{gen_{0,1}}$	Bits de contrôle du multiplexeur
E_H	Tension finale de charge
e_i	$i^{ème}$ bit de $E_{0/1}$
E_L	Tension finale de décharge
$e_{n0/1}$	Signal d'entrée de la porte logique
$ENOB$	Nombre de bits effectif
F_c	Fréquence de l'horloge de référence
f_{en}	Fréquence d'une sinusoïde
F_m	Fréquence moyenne d'échantillonnage du LC-ADC
F_{max}	Fréquence maximale dans la bande du signal ECG
F_{inf}	Fréquence inférieure à l'horloge la plus rapide de l'ADC
F_{osc}	Fréquence d'oscillation
F_r	Fréquence de reconstruction
F_s	Fréquence d'échantillonnage de l'ADC uniforme

F_{sup}	Fréquence de l'horloge la plus rapide de l'ADC
$g_{ds_{ai}}$	Conductance du transistor M_{ai}
g_{ds_i}	Conductance du transistor M_i
$g_{m_{ai}}$	Transductance du transistor M_{ai}
g_{m_i}	Transductance du transistor M_i
I	Courant de polarisation de l'étage de sortie du comparateur
I_0	Courant de polarisation de la paire différentielle
I_{bias}	Courant de polarisation de l'amplificateur
$ICMR_-$	Tension d'entrée en mode commun minimale
$ICMR_+$	Tension d'entrée en mode commun maximale
I_d	Courant du drain
I_{fuite}	Courant de fuite
INC	Incrémenter
INL_{max}	Erreur de non-linéarité intégrale maximale
I_p	Courant de polarisation du pont diviseur de tension
K	Nombre d'ondelettes retenues par l'OMP
k	Facteur de translation
l	Déviation standard d'une distribution gaussienne
L	Longueur de grille d'un transistor
$l_0(x)$	Cardinal de x
$l_1(x)$	Somme des éléments de x en valeur absolue
l_2	Norme euclidienne
L_{max}	Longueur de grille maximale
L_{min}	Largeur de grille minimale
$log_{10}(.)$	Fonction logarithme à base 10
log_2	Fonction logarithme à base 2
L_s	Nombre d'échantillons dans le signal x
LSB	Bit de poids le plus faible
m	Résolution d'un ADC uniforme
M	Résolution du LC-ADC et de son DAC
m_α	Nombre de bits de α
m_β	Nombre de bits de β
m_γ	Nombre de bits de γ
M_{ai}	Transistor du préamplificateur
M_i	Transistor du comparateur
mod	Fonction modulo
$MuxD$	Multiplexeur contrôlé par DEC
MSB	Bit de poids le plus fort
$MuxU$	Multiplexeur contrôlé par DEC
$MuxTI$	Multiplexeur pour sélection des intervalles de temps
$MuxUD$	Multiplexeur contrôlé par INC
n	Indice
N	Résolution du compteur du LC-ADC
N_{ADC}	Nombre d'échantillons générés par un ADC uniforme
N_C	Nombre de colonnes de la matrice d'ondelettes
N_L	Nombre de lignes de la matrice d'ondelettes
N_{LC-ADC}	Nombre d'échantillons générés par le LC-ADC
$N_{L_{SC}}$	Nombre de lignes de la matrice d'acquisition
PE	Pleine échelle du LC-ADC
$P(S)$	Polynôme d'interpolation
$P(x)$	Puissance d'un signal discret
PDF	Fonction de densité de probabilité
P_i	Morceau du polynôme d'interpolation
PRD_c	PRD après compression et décompression par ondelettes
$PRD_{interp_{max}}$	PRD maximal après compression et reconstruction par interpolation
$PRD_{interp_{min}}$	PRD minimal après compression et reconstruction par interpolation
PRD_{lcadc}	PRD après numérisation par le LC-ADC et reconstruction par interpolation linéaire
PRD_r	PRD après compression, décompression et reconstruction par interpolation linéaire

q	Pas de quantification
Q_i	Sortie d'une bascule
$\Re$	Ensemble des nombres réels
R	Rapport de résolution/ Reste de soustraction entre deux signaux discrets
R_{aeq}	Résistance équivalente d'entrée
R_{eq}	Résistance équivalente
$reset$	Remise à zéro du compteur
R_{on_i}	Résistance équivalente de l'$i^{ème}$ branche du DAC
$R_{on_{H/L}}$	Résistance équivalente de la porte de transmission
R_{on_n}	Résistance équivalente d'un transistor NMOS en état passant
R_{on_p}	Résistance équivalente d'un transistor PMOS en état passant
Rst_G	Remise à zéro globale
SCR_{opt}	Taux de compression d'échantillons optimal
S	Signal de sortie d'un composant numérique
S^-	Valeur précédente de S
S_{mux3}	Sortie de $MuxUD$
S/D	Rapport signal-sur-distorsion
s	VECTEUR DES COEFFICIENTS D'ONDELETTES
$S1$	Valeur numérique du niveau de référence supérieur
$S2$	Valeur numérique du niveau de référence inférieur
Set	Signal de mise à un
s_i	Signal de sortie d'une porte logique
SNR	Rapport signal-à-bruit
SR, SR_{min}	Slew rate du comparateur
Sw_i	Commutateur CMOS
t	Un instant
T_c	Période de l'horloge de référence
$TG1/2$	Porte de transmission
TI	Intervalle de temps relatif au signal ECG
$\widehat{TI}_h$	Intervalle de temps relatif au signal ECG
TI_i	$i^{ème}$ intervalle de temps relatif au signal ECG
$\widehat{TI}_{hl}$	Intervalle de temps relatif à un segment du signal ECG
$t_p, t_{p_{inv}}$	Temps de propagation
t_r	Temps de réponse
V^+	Niveau de référence supérieur
V^-	Niveau de référence inférieur
V_{as}	Tension de source
V_{DC}	Composante continue
V_{DS}	Différence de potentiel entre drain et source
V_E	Tension d'Early
$V_{G_{bias}}$	Tension de polarisation de la grille
V_{GS}	Différence de potentiel entre grille et source
V_{GSsat}	Différence de potentiel entre grille et source à la saturation
V_{ctrl}	Tension de contrôle de l'oscillateur en anneau
v_e	Signal d'entrée de l'amplificateur de tension
V_{en}	Signal d'entrée analogique
V_{DAC}	Tension de sortie du DAC
$V_{DAC_{NL}}$	Points de la courbe de transfert non-linéaire simulée
$V^+_{DAC_{NLmod}}$	Réponse non-linéaires décrivant le niveau de référence supérieur
$V^-_{DAC_{NLmod}}$	Réponse non-linéaires décrivant niveau de référence supérieur
V_{dd}	Tension d'alimentation
V_o^+	Niveau de référence supérieur effectif
V_o^-	Niveau de référence inférieur effectif
V_{OH}	Valeur maximale de la tension sortie du comparateur
V_{OL}	Valeur minimale de la tension de sortie du comparateur
V_{pp}	Amplitude crête à crête
V_{refL}	Tension de référence minimale du DAC

V_{refH}	Tension de référence maximale du DAC
V_{sens}	Sensibilité du comparateur
$V_{th_{n/p}}$	Tension de seuil du transistor NMOS ou PMOS
W	Largeur de grille du transistor
W_{max}	Largeur de grille maximale
W_{min}	Largeur de grille minimale
$(W/L)_{ai}$	Rapport de dimensions d'un transistor dans l'amplificateur
$(W/L)_i$	Rapport de dimensions d'un transistor dans le comparateur
$(W/L)_{int_n}$	Rapport de dimensions d'un transistor NMOS dans un interrupteur
$(W/L)_{int_P}$	Rapport de dimensions d'un transistor PMOS dans un interrupteur
x	Valeur ou signal quelconque
$\hat{x}$	Signal x reconstruit par interpolation
$\bar{x}$	Valeur moyenne de x
$\lfloor x \rfloor$	partie entière de x
$\lvert x \rvert$	Valeur absolue de x
(x_0, y_0, z_0)	Conditions initiales
(x, y, z)	Système de coordonnées d'un plan tridimensionnel
Y	Vecteurs des acquisitions
$\dot{z}$	Dérivée première de z
z	Composante verticale du plan 3D
Z_H	Impédance équivalente du DAC
Z_i	Impédance équivalente de l'$i^{ème}$ branche du DAC
.	ET logique
$\oplus$	Porte logique ou exclusif
$\in$	Appartenance à un ensemble
Π	Produit
Σ	Somme
$\Sigma\Delta$	Convertisseur sigma-delta
α	Nombre de point éliminés par compression par interpolation
α_i	Nombre des points éliminés dans un vecteur d'Hermite
α_{max}	Valeur maximale de α
β	Paramètre temporel dans la compression par interpolation
β_{max}	Valeur maximale de β
γ	Paramètre temporel dans la compression par interpolation
γ_{max}	Valeur maximale de γ
ϵ	Erreur résiduelle
δ	Temps de boucle du LC-ADC
δ_{max}	Temps de boucle maximal du LC-ADC
δt_n	Erreur de quantification de l'instant de traversée de niveau
δT_n	Erreur de quantification de l'intervalle de temps entre deux traversées de niveaux successives
δV_n	Erreur de quantification de l'amplitude
Θ	Matrice d'acquisition compressée
θ	Position angulaire
θ_{gi}	Déplacement angulaire de l'onde i
λ	Facteur de modulation de la longueur du canal dans un transistor MOS
λ_n	Facteur de modulation de la longueur du canal dans un transistor NMOS
λ_P	Facteur de modulation de la longueur du canal dans un transistor PMOS
μ_n	Mobilité des électrons
μ_p	Mobilité des trous
$\Delta\theta_{gi}$	Position relative d'une onde i par à l'onde R
ΔI	Variation du courant
ΔL	Distance entre le point de pincement et la fin du canal dans un transistor MOS
ΔV	Tension différentielle infiniment faible
ξ_0	Erreur d'approximation parcimonieuse
ξ_1	Erreur d'approximation parcimonieuse par un algorithme de débruitage
τ_{DAC}	Constante de temps du DAC
Φ	Matrice inverse de la matrice des ondelettes ou matrice de décomposition

ϕ_i	$i^{ème}$ ligne de Φ
ψ_1	Ondelette mère
Ψ	Matrice des ondelettes ou dictionnaire ou matrice de décompression
Ψ^j	Sous-matrice de Ψ

Acronymes et sigles

µC	MICROCONTROLLEUR
ADC	ANALOG TO DIGITAL CONVERTOR
AVC	ACCIDENTS VASCULAIRES CEREBRAUX CRYPTOGENIQUES
AZTEC	AMPLITUDE ZONE TIME EPOCH CODING
BP	BASIS PURSUIT
BPM	BATTEMENT PAR MINUTE
CAN	CONVERTISSEUR ANALOGIQUE NUMERIQUE
CEI	COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE
CMOS	COMPLEMENTARY METAL OXIDE SEMICONDUCTOR
CORTES	COORDINATE REDUCTION TIME ENCODING SYSTEM
COTS	COMMERCIAL-OFF-THE-SHELF
CR	COMPRESSION RATIO
CS	COMPRESSIVE SENSING
DCT	DISCRETE COSINE TRANSFORM
DRC	DESIGN RULE CHECK
DSP	DATA SIGNAL PROCESSOR
DNL	DIFFERENTIAL NON-LINEARITY
DWT	DISCRETE WAVELET TRANSFORM
EMD	EMPIRICAL MODE DECOMPOSITION
E/B	ECHANTILLONNEUR BLOQUEUR
ECG	ELECTROCARDIOGRAMME
ECG-graphe	ELECTROCARDIOGRAPHE
ECG-scope	ELECTROCARDIOSCOPE
EEG	ELECTROENCEPHALOGRAMME
EMG	ELECTROMYOGRAMME
ENOB	EFFECTIVE BIT RESOLUTION
ERC	ELECTRICAL RULE CHECK
EZW	EMBEDDED ZEROTREE WAVELET
FFT	FAST FOURIER TRANSFORM
FS	FULL SCALE
FSG	FLUORINATED SILICON GLASS
GMF	GLOBAL MATCHED FILTER
GSM	GLOBAL SYSTEM FOR MOBILE COMMUNICATION
INL	INTEGRAL NON-LINEARITY
LC-ADC	LEVEL CROSSING ANALOG TO DIGITAL CONVERTOR
LSB	LEAST SIGNIFICANT BIT
LUT	LOOK UP TABLE
LSV	LAYOUT VERSUS SCHEMATIC
MedRadio	MEDICAL DEVICE RADIOCOMMUNICATIONS SERVICE SPECTRUM
MEZW	MODIFIED EMBEDDED ZEROTREE WAVELET
MCG	MAGNÉTOCARDIOGRAMME
MIMCAP	METAL-INSULATOR-METAL CAPACITOR
MOSFET	METAL OXIDE SEMICONDUCTOR FIELD EFFECT TRANSISTOR
MP	MATCHING PURSUIT
MSB	MOST SIGNIFICANT BIT
Na+	SODIUM
NCAP	N-CHANNEL CAPACITOR

NMOS	N-channel Metal Oxide Semiconductor
NL	Non-Linearite
NP-complexe	Polynome Non-deterministe complexe
OMP	Orthogonal Matching Pursuit
PE	Pleine Echelle
PCAP	P-channel Capacitor
PMOS	P-channel Metal Oxide Semiconductor
PRD	Percentage Root mean square Difference
RAM	Random Access Memory
raz	Remise A Zero
RF	Radio frequence
RS	Serial Port
SAR	Successive approximation Register
SCR	Sample Compression Ratio
SNR	Signal to Noise Ratio
SPIHT	Set Partitioning in hierarchical trees
SR	Slew Rate
S/D	Signal-to-distorsion Ratio
TFT	Transfomée de Fourier Discrète
UMC	United Microelectronics Corpportation
USB	Universal Serial Port
WBAN	Wireless Body Network
Wibio'ACT	Wireless Biomedical Acquisition and Transmission
WiFi	Wireless Fidelity

Table des matières

Avant-propos ..... *iii*

Résumé et mots clefs ..... *vii*

Abstract and keywords ..... *viii*

Liste des notations ..... *ix*

Acronymes et sigles ..... *xv*

Table des matières ..... *xvii*

Table des figures ..... *xxi*

Liste des tableaux ..... *xxv*

Introduction générale *1*

Chapitre 1. Caractéristiques et systèmes de numérisation des signaux ECG *5*

1.1. Introduction *5*

1.2. Etat de l'art des systèmes d'acquisition des signaux électrocardiogrammes *6*

1.2.1. Classification des signaux biomédicaux 6

1.2.2. Systèmes classiques de surveillance de l'activité électrique cardiaque 8

1.2.3. Limites des systèmes classiques pour la surveillance cardiaque à distance 14

1.3. Analyse du signal électrocardiogramme *16*

1.3.1. Caractéristiques médicales de l'électrocardiogramme 16

1.3.2. Caractère parcimonieux de l'électrocardiogramme 19

1.4. Etat de l'art de la numérisation des signaux ECG *23*

1.4.1. Convertisseur à approximations successives 23

1.4.2. Convertisseur sigma-delta 26

1.4.3. Convertisseur à traversée de niveaux 28

1.4.4. Etude comparative 31

1.5. Conclusion *33*

Chapitre 2. Modélisation et dimensionnement d'un LC-ADC *35*

2.1. Introduction *35*

2.2. Présentation du fonctionnement du LC-ADC *36*

2.2.1. Description des blocs constitutifs 36

2.2.2. Analyse de l'erreur de quantification du temps 38

2.2.3. Modélisation du fonctionnement du LC-ADC en présence de l'erreur de quantification du temps 39

2.2.4. Analyse du fonctionnement du LC-ADC avec un signal sinusoïdal 42

2.3. Modélisation des erreurs des composants analogiques du LC-ADC..... 46

2.3.1. Modèles d'erreurs dans l'architecture du LC-ADC 47

2.3.2. Analyse des performances du LC-ADC en présence d'erreurs 51

2.4. Dimensionnement d'un LC-ADC pour la numérisation d'un signal ECG 54

2.4.1. Modèle mathématique d'un signal ECG 54

2.4.2. Dimensionnement du LC-ADC pour numériser les signaux ECG 57

2.4.3. Analyse des performances du LC-ADC avec les signaux ECG..... 63

2.4.4. Analyse des performances du LC-ADC avec les signaux ECG en présence des erreurs des composants analogiques 65

2.5. Conclusion 68

Chapitre 3. Etude de l'opportunité de la compression après numérisation du signal ECG par un LC-ADC 71

3.1. Introduction..... 71

3.2. Etude de l'opportunité de la compression après numérisation du signal ECG par un LC-ADC..... 72

3.2.1. Etude de l'apport de compression du LC-ADC 72

3.2.2. Etat de l'art des méthodes de compressions classiques 75

3.3. Etude de la compression par ondelettes 78

3.3.1. Transformée en ondelettes 78

3.3.2. Familles d'ondelettes adéquates pour les signaux ECG 80

3.3.3. Méthodologie de l'étude de compression par ondelettes 81

3.3.4. Résultats de comparaison et choix de la famille d'ondelettes 84

3.4. Etude de la compression par interpolation 90

3.4.1. Introduction à l'interpolation polynomiale 90

3.4.2. Méthodologie de l'étude de compression par interpolation d'Hermite 95

3.4.3. Résultats de la compression par interpolation polynomiale cubique 101

3.4.4. Etude comparative des méthodes de compression 104

3.5. Conclusion 107

Chapitre 4. Conception du LC-ADC en technologie CMOS 180 nm UMC 109

4.1. Introduction.....109

4.2. Méthodologie de conception et spécifications globales du LC-ADC 110

4.2.1. Méthodologie de conception du LC-ADC 110

4.2.2. Spécifications globales du LC-ADC..... 112

4.3. Spécifications et dimensionnement des étages du LC-ADC 114

4.3.1. Spécifications et dimensionnement de l'étage de pré-amplification..... 114

4.3.2. Spécifications et dimensionnement de l'étage de comparaison..... 117

4.3.3. Spécifications et dimensionnement de l'étage de conversion numérique-analogique 122

4.3.4. Conception de l'étage de mise à jour des niveaux de références 125

4.3.5. Conception de l'étage de suivi du temps 128

4.3.6. Conception du générateur du signal d'horloge 131

4.3.7. Conception de l'étage de sortie 134

4.4. Validation de la conception.....137

4.4.1. Simulation du schéma électronique global 137

4.4.2. Résultats préliminaires du layout 144

4.4.3. Discussion 146

4.5. Conclusion 148

Conclusion générale.....151

Annexe A : Signaux ECG 155

Annexe B : Liste des ondelettes 157

Annexe C : Algorithme OMP.....159

Annexe D : Résultats de l'étude de compression par spline cubique 161

Annexe E : Transistor MOSFET et technologie CMOS 180 nm UMC.....163

Annexe F : Dimensionnement du préamplificateur.....169

Annexe G : Principe de fonctionnement et dimensionnement du comparateur.....175

Annexe H : Commutateur CMOS et dimensionnement du DAC 185

Annexe I : Eléments de la bibliothèque numérique conçue 191

Références.....193

Table des figures

Figure 1. 1 Signaux bioélectriques. 7
Figure 1. 2 Chaîne d'acquisition, de transmission sans-fil et de traitement numérique d'un signal ECG. 13
Figure 1. 3 Ondes caractéristiques d'un signal ECG : enregistrement ''rec_1m''de la base de données ''ECG-ID'' (ecgidb). 17
Figure 1. 4 Bruits de la chaîne d'acquisition de l'ECG. 18
Figure 1. 5 Mise en relief de deux exemples de bruits dans l'ECG. 18
Figure 1. 6 Convertisseur analogique numérique de type SAR. 24
Figure 1. 7 Convertisseur Sigma-Delta. 26
Figure 1. 8 Principe de l'échantillonnage par traversée de niveaux. 28
Figure 1. 9 Schéma fonctionnel du LC-ADC. 29
Figure 1. 10 Comparaison de l'échantillonnage uniforme et de l'échantillonnage par traversée de niveaux. 32

Figure 2. 1 Schéma fonctionnel du LC-ADC. 37
Figure 2. 2 Erreur de quantification du temps dans un LC-ADC pour un signal quelconque. 38
Figure 2. 3 Modèle structurel du LC-ADC à *M* bits. 40
Figure 2. 4 Méthodologie d'analyse du fonctionnement du LC-ADC avec un signal sinusoïdal. 42
Figure 2. 5 Comparaison de quatre algorithmes de reconstruction. 44
Figure 2. 6 Variations du *SNR* en fonction de *M* et F_c. 44
Figure 2. 7 Circuit du comparateur. 47
Figure 2. 8 Modèle d'erreur de la tension d'offset. 48
Figure 2. 9 Architecture d'un DAC à division de charge de résolution *M* bits. 49
Figure 2. 10 Exemple de courbes de transfert d'un DAC 5 à bits dans les cas linéaire et non-linéaire. 50
Figure 2. 11 Modèle des erreurs de non-linéarité. 50
Figure 2. 12 Variations du *SNR* en fonction des tensions d'offset des comparateurs. 51
Figure 2. 13 Estimation du degré de la fonction polynomiale modélisant les DACs non-linéaires pour trois valeurs de *l*. 53
Figure 2. 14 Variations du *SNR* en fonction des erreurs de non-linéarité différentielle maximale pour une erreur d'*INL* entre $\pm q$. 53
Figure 2. 15 Tracé du modèle d'un ECG normal. 56
Figure 2. 16 Erreurs systématiques liés aux mauvais choix des paramètres du LC-ADC. 57
Figure 2. 17 Méthodologie de dimensionnement et d'évaluation du LC-ADC. 58
Figure 2. 18 Comparaison des performances de quatre algorithmes de reconstruction pour la reconstruction du signal ECG. 59
Figure 2. 19 Conditions de reconstruction pour le choix de M pour un modèle Gaussien d'un ECG normal. 61
Figure 2. 20 Modèles Gaussiens pour la représentation de la tachycardie et la bradycardie. 62
Figure 2. 21 Résultats de simulation du modèle LC-ADC en utilisant 75 enregistrements d'ECGs réels. 64
Figure 2. 22 Deux exemples de signaux ECG avant et après échantillonnage et reconstruction. 64
Figure 2. 23 Distorsions dans le signal *ECG68* dues à sa faible dynamique d'amplitude et au bruit. 65
Figure 2. 24 Résultats de simulation du LC-ADC avec une tension d'offset des comparateurs pour le cas du signal *ECG52*. 67

Figure 3. 1 Schéma fonctionnel du système d'acquisition cardiaque. 72
Figure 3. 2 Signal ECG échantillonné par le LC-ADC. 73

Figure 3. 3 Variations du taux de compression pour différents signaux ECG, résolutions du compteur et résolutions du LC-ADC. 74
Figure 3. 4 Variations de la fréquence moyenne d'échantillonnage pour différents signaux ECG, résolutions du compteur et résolutions du LC-ADC. 74
Figure 3. 5 Organigramme de l'algorithme d'étude de compression. 82
Figure 3. 6 Variations du PRD en fonction du nombre d'ondelettes retenues pour le cas des ondelettes Haar. 85
Figure 3. 7 Variations du *PRD* en fonction du nombre d'ondelettes retenues pour le cas des ondelettes db2. 85
Figure 3. 8 Variations du PRD en fonction du nombre d'ondelettes retenues pour le cas des ondelettes bior2.2. 86
Figure 3. 9 Variations du nombre d'ondelettes retenues pour un *PRD* de 2 %, en fonction des familles d'ondelettes et des valeurs de *L* et *D*. 87
Figure 3. 10 Variations du taux de compression, *CR*, en fonction des signaux ECG. 89
Figure 3. 11 Exemples de reconstructions polynomiales d'une portion du signal ECG. 92
Figure 3. 12 Reconstruction polynomiale cubique vs reconstruction polynomiale de Lagrange. 93
Figure 3. 13 Exemple de signal ECG avant et après compression. 94
Figure 3. 14 Organigramme de la compression par interpolation pour un ensemble de données en sortie du LC-ADC. 98
Figure 3. 15 Méthodologie de l'étude de compression par interpolation polynomiale pour un signal ECG. 99
Figure 3. 16 Résultats de compression par interpolation d'Hermite pour le cas de m_α égal à 3 et m_β égal à 9. 101
Figure 3. 17 Signal *ECG45* échantillonné par le LC-ADC après compression par interpolation d'Hermite pour $(m_\alpha,m_\beta,m_\gamma)_{opt}$ = (3,6,6) donnant un *PRD* égal à 8.96 %. 103
Figure 3. 18 Signal *ECG40* échantillonné par le LC-ADC après compression par interpolation d'Hermite pour $(m_\alpha,m_\beta,m_\gamma)_{opt}$ = (3,6,6) donnant un *PRD* égal à 1.73 %. 103
Figure 3. 19 Comparaison des performances de la compression des données en sortie en du LC-ADC à 8 bits par trois méthodes de compression. 104
Figure 3. 20 Comparaison des performances de compression des données par combinaison du LC-ADC avec chacune des méthodes de compression. 105
Figure 3. 21 Comparaison des valeurs du *PRD* entre échantillonnage par le LC-ADC seulement et suivi par la compression par interpolation d'Hermite. 105
Figure 3. 22 Comparaison de la reconstruction des signaux ayant le *PRD* maximal et le taux de compression maximal. 106
Figure 3. 23 Exemples de signaux reconstruits. 106

Figure 4. 1 Flot de conception modifié par intégration d'une phase de modélisation. 111
Figure 4. 2 LC-ADC avec deux étages supplémentaires. 112
Figure 4. 3 Circuit du préamplificateur à source commune avec dégénération de la source et couplage du signal d'entrée. 115
Figure 4. 4 Signaux à la sortie du préamplificateur du LC-ADC. 117
Figure 4. 5 Simulation fonctionnelle du comparateur. 120
Figure 4. 6 Fonction de transfert du DAC en fonction de la fréquence de mise à jour des codes binaires. 124
Figure 4. 7 Addition et soustraction par 1 *LSB*. 125
Figure 4. 8 Circuit de l'accumulation. 126
Figure 4. 9 Validation fonctionnelle de l'accumulateur *AccH* où *S1<i>* représentent les bits de sortie. 127
Figure 4. 10 Validation fonctionnelle de l'étage de mise à jour des niveaux de références. 127
Figure 4. 11 Chronogramme global de l'étage de suivi du temps. 128
Figure 4. 12 Circuit de remise à zéro du compteur. 129
Figure 4. 13 Chronogramme détaillé de l'étage de suivi du temps. 130
Figure 4. 14 Circuit du compteur synchrone à 4 bits. 130
Figure 4. 15 Validation fonctionnelle de l'étage de suivi du temps. 130

Figure 4. 16 Compteur asynchrone à 10 bits. 131
Figure 4. 17 Premier générateur du signal d'horloge. 132
Figure 4. 18 Deuxième générateur du signal d'horloge à base d'un comparateur analogique. 133
Figure 4. 19 Générateur du signal d'horloge. 133
Figure 4. 20 Simulations de l'étage de génération du signal d'horloge la fréquence 500 *kHz*. 134
Figure 4. 21 Activation du multiplexeur pour lecture de la valeur du compteur avant remise à zéro. 135
Figure 4. 22 Etage de sélection du temps. 136
Figure 4. 23 Simulations fonctionnelles de l'étage de sélection du temps. 136
Figure 4. 24 Simulation fonctionnelle du circuit avec un signal sinusoïdal de fréquence 220 *Hz*. 138
Figure 4. 25 Vérification des signaux de sortie de l'étage de mise à jour des niveaux de références et de l'étage de sélection d'amplitude. 139
Figure 4. 26 Variations du pas de quantification mesuré. 140
Figure 4. 27 Variations de l'erreur entre les niveaux de références théoriques et mesurés. 140
Figure 4. 28 Simulation fonctionnelle du circuit avec le modèle gaussien. 141
Figure 4. 29 Simulation fonctionnelle du DAC pour des variations des codes binaires à la fréquence 19 *Hz*. 142
Figure 4. 30 Signal ECG reconstruit. 143
Figure 4. 31 Organisation du layout du DAC. 145
Figure 4. 32 Organisation du layout des paires de transistors identiques dans le comparateur. 145
Figure 4. 33 Dessin des masques du LC-ADC où (1)-(2) représentent les DACs, (3) représente les comparateurs, (4) représente l'amplificateur de tension, (5) représente l'étage de suivi du temps et l'étage de sélection du temps, (6) représente l'étage de mise-à-jour des niveaux de références et (7) représente l'étage de sélection d'amplitude. 146

Liste des tableaux

Tableau 1. 1 Classification des signaux biomédicaux selon leur nature et leurs origines. 6
Tableau 1. 2 Exemples d' ECG-graphe et ECG-scope commercialisés. 10
Tableau 1. 3 Exemple de systèmes de télémétrie cardiaque commercialisés. 11
Tableau 1. 4 Caractéristiques d'exemples de systèmes de télémétrie dans la littérature. 12
Tableau 1. 5 Exemples d'Holters commercialisés. 13
Tableau 1. 6 Caractéristiques des ADCs intégrés dans les holters rythmiques commercialisés pour l'acquisition du signal ECG. 13
Tableau 1. 7 Estimation du volume de données ECG numérisées. 15
Tableau 1. 8 Quelques caractéristiques temporelles et d'amplitude du signal ECG. 17
Tableau 1. 9 Méthodes de calcul des représentations parcimonieuses. 21
Tableau 1. 10 Spécifications de convertisseurs SAR de la littérature pour la numérisation des signaux ECG. 25
Tableau 1. 11 Spécifications de convertisseurs SAR commercialisés pour la numérisation de signaux biomédicaux. 25
Tableau 1. 12 Etat de l'art des convertisseurs sigma-delta de la littérature pour la numérisation des signaux ECG. 27
Tableau 1. 13 Spécifications de convertisseurs sigma-delta commercialisés pour la numérisation des signaux biomédicaux. 27
Tableau 1. 14 Etat de l'art des réalisations circuits du LC-ADC dans la littérature. 30
Tableau 1. 15 Comparaison du volume de données générées 33

Tableau 2. 1 Table de vérité de l'étage de mise à jour des niveaux de références. 40
Tableau 2. 2 Table de vérité de l'étage de suivi du temps. 41
Tableau 2. 3 Table de vérité de l'étage de sélection d'amplitude. 41
Tableau 2. 4 Valeurs du *SNR* pour les différents algorithmes de reconstruction. 43
Tableau 2. 5 Comparaison des performances du modèle LC-ADC avec des travaux dans la littérature en termes de *SNR*. 45
Tableau 2. 6 Paramètres du modèle gaussien utilisés pour générer un ECG normal. 56
Tableau 2. 7 Valeurs du *S/D* pour les différents algorithmes de reconstruction. 59
Tableau 2. 8 Paramètres de dimensionnement du LC-ADC. 62
Tableau 2. 9 Description des types et nombres des signaux ECG utilisés pour simuler le modèle LC-ADC. 63
Tableau 2. 10 Signaux ECG ayant les plus faibles valeurs du *S/D* par simulation du LC-ADC avec erreur de quantification du temps uniquement. 65
Tableau 2. 11 Signaux ECG sélectionnés pour évaluer le LC-ADC en présence des erreurs des composants analogiques. 66
Tableau 2. 12 Résultats de simulation du LC-ADC en présence d'une tension d'offset égale à 0.25 q dans les deux comparateurs. 66
Tableau 2. 13 Résultats de simulation du LC-ADC en présence des erreurs de non-linéarité dans l'intervalle $\pm q$. 67

Tableau 3. 1 Etat de l'art des méthodes de compression des signaux ECG entre 2013 et 2018. 77
Tableau 3. 2 Plage de variation de K pour les ondelettes Haar, dB2 et bior2.2 pour une *PRD* de 2 %. 86
Tableau 3. 3 Résultats de décomposition en ondelettes pour un *PRD* de 2 %. 88
Tableau 3. 4 Valeurs du *PRD* pour une compression par ondelettes bior3.1 89
Tableau 3. 5 Construction des différences divisées. 91

Tableau 3. 6 Résultats de sélection de (m_α,m_β,m_γ) pour une compression par interpolation d'Hermite pour un *PRD* inférieur à 9 %. 102
Tableau 3. 7 Résultats de sélection des paramètres optimaux pour la compression par interpolation d'Hermite 102
Tableau 3. 8 Résultats de simulation du LC-ADC en présence des erreurs des composants analogiques et après compression et reconstruction par interpolation d'Hermite. 107

Tableau 4. 1 Spécifications du circuit électronique du LC-ADC. 113
Tableau 4. 2 Spécifications du préamplificateur de tension à source commune. 114
Tableau 4. 3 Dimensionnement du préamplificateur de tension. 116
Tableau 4. 4 Signaux de test de l'amplificateur. 116
Tableau 4. 5 Résultats de simulation fonctionnelle du préamplificateur du LC-ADC. 117
Tableau 4. 6 Spécifications du circuit électronique du comparateur 119
Tableau 4. 7 Dimensions des transistors du comparateur. 120
Tableau 4. 8 Performances statiques et dynamiques du comparateur. 121
Tableau 4. 9 Caractéristiques électriques des comparateurs du commerce. 121
Tableau 4. 10 Spécifications du DAC. 123
Tableau 4. 11 Performances statiques du DAC. 124
Tableau 4. 12 Modification des mots d'entrée et de sortie des accumulateurs en fonction de *INC* et *DEC*. 125
Tableau 4. 13 Signaux de contrôle de la remise à zéro du compteur. 129
Tableau 4. 14 Table d'activation du générateur numérique. 132
Tableau 4. 15 Configuration du générateur numérique du signal d'horloge en fonction de la fréquence désirée. 132
Tableau 4. 16 Table d'activation du générateur du signal d'horloge. 133
Tableau 4. 17 Conditions de simulation. 137
Tableau 4. 18 Signaux de test du circuit LC-ADC. 138
Tableau 4. 19 Bilan de la consommation de puissance des étages du circuit et consommation totale. 144
Tableau 4. 20 Bilan de l'occupation de surface des éléments du circuit. 145
Tableau 4. 21 Performances de notre LC-ADC vs les résultats des circuits existants. 147

Introduction générale

De nos jours, l'offre de soins est confrontée à des défis socio-économiques face à l'inégalité dans la répartition des soins et la croissance des facteurs de risques de mortalité comme les maladies cardiovasculaires [1]. En effet, l'enjeu de l'accès aux soins de santé pour les citoyens dans les zones rurales ou à accès difficile est une problématique majeure dans le monde entier et surtout dans les pays en voie de développement [2]. La pratique de la télémédecine devient alors une approche globale pour une meilleure accessibilité aux soins à faible coût pour ces citoyens. Parmi les avantages recherchés, nous citons la surveillance médicale à domicile et le contrôle médical des patients à mobilité réduite, des femmes enceintes ou des personnes âgées.

Dans ce contexte, la télémédecine vise à réduire les distances en évitant le déplacement des experts et surtout des malades [3]. Le moyen adopté est l'implantation de fonctionnalités radio couplées avec des plateformes et des services appropriés dans des dispositifs portables ou implantables permettant d'échanger les informations, d'effectuer des consultations, d'interpréter des signaux biomédicaux ou de guider des interventions médicales à distance [4]. L'une des problématiques liées au concept de la télémédecine concerne le déploiement de dispositifs d'acquisition et de transmission des signaux biomédicaux intégrant des modules multi-capteurs, des capacités avancées de traitement embarqué et des blocs de communication radio mobile.

Les principales limitations face à l'implantation de toutes ces fonctionnalités et la croissance des débits de transmission se situent au niveau des étages de communication radio qui consomment la majorité de la puissance du dispositif. Des solutions ont alors été proposées par la communauté scientifique comme la miniaturisation de l'échelle de fabrication des circuits intégrés [5], la réduction de la complexité des algorithmes de traitements numériques [6-7], la compression des données [8-9], le partitionnement du flot de traitement des données entre plusieurs processeurs et la décentralisation des traitements complexes [10].

Dans le but de réduire la consommation de puissance des dispositifs d'acquisition et de transmission de l'activité électrique cardiaque, nous proposons dans le cadre de cette thèse de faire l'acquisition des signaux électrocardiogramme (ECG) par mise en œuvre de l'échantillonnage par traversée de niveaux. En effet, l'avantage de l'utilisation d'un convertisseur analogique-numérique par traversée de niveaux (LC-ADC) est l'acquisition uniquement de l'information utile dans le signal. Cette approche est pertinente pour une réduction de l'activité des circuits de numérisation et de communication radio. De plus la compression, est intrinsèque à ce procédé. Ensuite, l'ajout d'un étage de compression supplémentaire augmente le pouvoir de compression initialement atteint par le LC-ADC

vers la réduction de la consommation de puissance du système d'acquisition et de transmission.

Par conséquent, nous focalisons l'essentiel de nos travaux sur la modélisation de l'architecture d'un LC-ADC, l'étude de son fonctionnement, le choix de ses paramètres de dimensionnement pour la numérisation de signaux ECG normaux et pathologiques et la conception du circuit dimensionné en technologie CMOS 180 *nm* UMC. Ainsi, nous présentons nos travaux en les répartissant en 4 chapitres.

Dans le premier chapitre, dédié à la définition du contexte du travail de recherche, nous commençons par la présentation de l'intérêt de l'acquisition des signaux ECG dans le cadre d'une application de surveillance cardiaque. Puis, nous enchainons par la présentation de l'état de l'art des systèmes classiques commercialisés et aussi proposés dans la littérature. A l'issu de ces travaux, une discussion est établie sur les limitations et les exigences technologiques de ces dispositifs et particulièrement sur les contraintes de flexibilité de l'appareil, de stockage de données et de l'activité des étages de communication radio. La deuxième section du chapitre est dédiée à l'analyse des caractéristiques du signal ECG dans le but de localiser les données médicalement intéressantes par rapport au reste du signal. La dernière section du chapitre concerne l'état de l'art des convertisseurs analogique-numérique (ADCs, analog-to-digital converters) uniformes spécialement conçus pour l'acquisition des signaux ECG et l'état de l'art des LC-ADCs dans la littérature tout en mettant en évidence leur avantage d'élimination des données redondantes. Il est ainsi montré que les ADCs uniformes 11111111111engendrent l'acquisition de données redondantes et surtout en échantillonnant un signal à faibles variations dans le temps comme le signal ECG. En contrepartie, le LC-ADC est sensible aux variations de l'amplitude du signal d'où son intérêt pour la réduction de la quantité de données numérisées. Dans ce contexte, nous clôturons ce chapitre par la comparaison des débits de données générées par des exemples d'ADCs uniformes commercialisés et des exemples de LC-ADCs proposés dans la littérature.

Dans le cadre de l'étude de la conversion par traversée de niveaux, nous réalisons dans le second chapitre un dimensionnement du LC-ADC avec une optique de conception en technologie CMOS. Nous présentons dans la première section, le fonctionnement du LC-ADC tout en définissant ses paramètres et en détaillant le flot de données entre les différents étages numériques et analogiques. Une étude est consacrée par la suite à la modélisation des étages du convertisseur, suivie par la caractérisation des variations du rapport signal-à-bruit (SNR) en fonction des paramètres du LC-ADC et en utilisant un signal déterministe dont les caractéristiques temporelles et spectrales sont connues. Dans la deuxième section, nous modélisons les principales erreurs des composants analogiques notamment l'erreur d'offset dans les comparateurs et l'erreur de non-linéarité dans les convertisseurs numérique-analogique (DACs, digital-to-analog converters). L'analyse de résultats préliminaires de la réponse du LC-ADC en présence de ces erreurs est également présentée. Dans la troisième section, nous détaillons notre contribution concernant le dimensionnement du LC-ADC, adapté aux spécifications des signaux ECG normaux et

pathologiques. En s'inspirant des travaux d'Allier et al. dans [11], nous présentons nos approches de modélisation et de dimensionnement basées sur des variations critiques des caractéristiques temporelles des signaux ECG pathologiques. Dans cette perspective, les choix des paramètres de dimensionnement du LC-ADC sont développés. Après avoir introduit la métrique de mesure des distorsions introduites par l'échantillonnage et la reconstruction, les performances du modèle dimensionné sont évaluées en utilisant une large gamme de signaux ECG à caractéristique différentes et issus de plusieurs bases de données [12-13]. Nous analysons par la suite la qualité de ces signaux en présence des erreurs de la partie analogique en présentant un aperçu des dégradations possibles par rapport aux résultats du modèle sans ces erreurs.

Dans le troisième chapitre, nous nous intéressons à l'évaluation des résultats du LC-ADC dimensionné en termes de fréquence d'échantillonnage moyenne et de taux de compression et à la définition d'un étage de compression numérique post-LC-ADC en vue d'augmenter le pouvoir de compression dans le système d'acquisition. Les deux méthodes étudiées sont la compression par application de la transformée en ondelettes et la compression par interpolation polynomiale. La première méthode est choisie vu sa large exploitation dans la compression des signaux ECG uniformément échantillonnés. Ensuite, pour remédier les limitations identifiées à l'issu de l'étude de cette technique, nous avons envisagé l'étude de la compression par interpolation. Ainsi, dans la première section de ce chapitre, nous étudions l'apport de compression du LC-ADC. Dans la deuxième section, nous décrivons la forme matricielle des projections parcimonieuses et le choix de l'ondelette optimale pour la compression. L'évaluation de la méthode de compression par interpolation polynomiale est présentée dans la troisième section. Dans ce cadre, nous définissons une méthodologie d'étude de compression généralisée pour une large variété de signaux ECG réels. Nous clôturons cette section par une comparaison des performances de compression du LC-ADC associé à chacune des deux méthodes.

La conception en technologie CMOS 180 nm UMC et les résultats de validation fonctionnelle du convertisseur LC-ADC font l'objet du dernier chapitre. Dans la première section, nous décrivons le flot de conception adopté en fonction des outils de conception disponibles au laboratoire IMS. Ensuite, nous définissons les spécifications du circuit LC-ADC en utilisant les résultats de dimensionnement présentés en chapitre 2 et les paramètres de la technologie CMOS. Ainsi, nous expliquons également les modifications apportées par rapport au modèle définit en migrant d'un flot de données séquentiel dans MATLAB/SIMULINK à un flot parallèle avec l'outil de conception Cadence et en définissant des étages supplémentaires nécessaires au fonctionnement du circuit global. Cette section est suivie par une présentation des détails de conception et des validations fonctionnelles des différents étages du circuit selon une approche de conception ascendante. De plus, les erreurs de la partie analogique sont mesurées et les résultats sont ensuite confrontés à ceux du modèle en termes de distorsions maximales des signaux ECG introduites par ces erreurs. Par la suite, la troisième section est dédiée à la validation fonctionnelle du circuit global en analysant les origines des erreurs identifiées mais aussi en proposant une méthode de correction du schéma électronique du LC-ADC. Les

résultats préliminaires de réalisation du dessin des masques sont également présentés et nous clôturons ce dernier chapitre par une comparaison des performances de notre circuit avec les résultats existants dans la littérature en termes de consommation de puissance, nombre de bits effectifs et de surface.

Chapitre 1. Caractéristiques et systèmes de numérisation des signaux ECG

1.1. Introduction

Un des piliers de la médecine moderne est l'analyse de la réponse des organes vitaux qui se traduit par des signaux physiologiques. L'extraction de l'information pertinente décrivant une pathologie à partir de ces signaux biomédicaux demande non seulement une analyse fine par un médecin spécialiste mais aussi une chaine d'acquisition proprement dimensionnée. Cette chaine doit mettre en œuvre des techniques avancées de traitements analogiques et numériques. C'est dans ce contexte que s'inscrivent les finalités de notre projet, décrites dans [14], qui sont focalisées sur la réalisation d'une plateforme d'acquisition et de transmission de signaux biomédicaux en alliant des capacités de traitement de signal avancées à une consommation de puissance réduite.

Ce chapitre introduit la problématique de nos travaux de recherche ainsi que la solution proposée. Il décrit, en première section, les signaux biomédicaux les plus connus, leurs origines, l'importance du signal ECG et les paradigmes des acquisitions classiques de ce signal en passant en revue les systèmes commercialisés à électrodes non-invasives et les travaux de recherche proposés dans la littérature. Cette section inclut aussi une discussion sur les challenges technologiques imposés par l'évolution courante des conditions de surveillance médicale. La deuxième section s'intéresse à l'identification des paramètres temporels et spectraux du signal ECG, en premier temps, et la mise en œuvre de la caractéristique de parcimonie à travers une revue de l'état de l'art des travaux utilisant cette propriété du signal, en second temps. La dernière section de ce chapitre est consacrée à l'état de l'art des convertisseurs analogique-numérique existants en discutant leurs performances en termes de consommation de puissance et volume des données numérisées. Nous étudions les deux types d'ADCs uniformes les plus utilisés pour la numérisation du signal ECG mais aussi le type à traversée de niveaux. A travers une étude comparative de ces ADCs, nous mettons en œuvre l'avantage de l'utilisation du LC-ADC pour réaliser des réductions significatives des volumes de données, d'un côté. D'un autre côté, nous identifions les limitations des convertisseurs analogique-numérique classiques qui empêchent d'optimiser l'acquisition du signal, mais aussi éventuellement réduisent la consommation totale du dispositif d'acquisition.

1.2. Etat de l'art des systèmes d'acquisition des signaux électrocardiogrammes

Les traitements analogiques et surtout numériques des signaux biomédicaux sont très diversifiés en conséquence de la diversité de ces signaux. Ainsi, notre revue de l'état de l'art des systèmes d'acquisition des signaux ECG est précédée par la justification du choix de ce type particulier de signaux, lié non-seulement à leur utilité dans les pratiques médicales courantes mais aussi à leurs propriétés intrinsèques.

1.2.1. Classification des signaux biomédicaux

Le corps humain comprend de nombreux systèmes biologiques. Nous pouvons citer le système nerveux, le système cardiovasculaire, le système respiratoire et le système musculaire [15]. Chaque système exécute de nombreux processus physiologiques complexes. La plupart des processus physiologiques sont accompagnés par des manifestations qui reflètent leurs natures et leurs activités comme des stimulations nerveuses et hormonales et des actions qui pourraient être mécaniques, électriques ou biochimiques. De telles manifestations représentent des signaux de types biochimiques sous la forme d'hormones et de neurotransmetteurs, électriques sous la forme de potentiels ou des courants et finalement physiques, sous la forme de pression ou température [15-16]. Le Tableau 1. 1 définit des exemples de ces signaux biomédicaux.

Tableau 1. 1 Classification des signaux biomédicaux selon leur nature et leurs origines.

Type du signal	Exemples	Origine
Bioélectriques	Electrocardiogramme (ECG) [15]	Activité électrique du cœur
	Electroencéphalogramme (EEG) [17]	Activité électrique du cerveau
	Electromyogramme (EMG) [18]	Activité électrique des muscles
Bioacoustiques	Phonocardiogramme [19]	Bruits sonores du cœur
	Signal de l'égophonie [20]	Bruits pulmonaires
Biochimiques	Signaux extracellulaires [21]	Hormones, neuromédiateurs
Biomécaniques	Vibromyogramme [15]	Contraction des muscles squelettiques
Biomagnétiques	Magnétoencéphalogramme (MEG) [22]	Champs magnétique cérébral
	Magnétocardiogramme (MCG) [23]	Champs magnétique cardiaque

Etant de parfaits indicateurs de pathologies, les signaux bioélectriques comme l'ECG, l'EEG et l'EMG sont très utilisés parmi les signaux biomédicaux aussi bien dans les applications cliniques que dans la recherche [24-25]. En effet, l'ECG est le tracé de l'activité électrique du cœur permettant de mettre en évidence les anomalies cardiaques. L'EEG est un tracé de l'activité électrique du cerveau permettant d'orienter un diagnostic médical ou de suivre les effets d'un traitement. Quant à l'EMG, il décrit non seulement l'activité électrique des muscles au repos ou après une contraction musculaire volontaire, mais aussi l'activité d'un nerf après une stimulation électrique pour permettre de diagnostiquer des atteintes nerveuses périphériques ou musculaires.

Souvent, la combinaison des acquisitions d'un ensemble de ces signaux fournit d'importants indicateurs pour surveiller la condition physique du corps humain et détecter les pathologies [26]. Nous pouvons citer l'activité électrique des cellules neurologiques et musculaires utilisées pour l'analyse des maladies neurologiques comme l'épilepsie [27]. De plus, dans la recherche, ces trois signaux ensemble sont utilisés pour fournir un aperçu d'action face à certains cas d'urgence comme la mort subite [28]. Particulièrement, l'acquisition des signaux ECG est une pratique médicale très courante car les maladies cardiovasculaires sont classées parmi les plus importants tueurs dans le monde [1,29]. C'est ainsi que notre intérêt est axé particulièrement sur les signaux bioélectriques.

A titre comparatif, nous présentons à la Figure 1. 1 trois exemples de signaux ECG, EEG et EMG téléchargés de l'archive en ligne Physionet [12]. Cette archive regroupe une large variété de bases de données accessibles aux chercheurs et aux scientifiques, qui sont intéressés par l'étude et le traitement des signaux biomédicaux. Tel que le montre la Figure 1. 1, les trois types de signaux se caractérisent par une faible plage de variation de l'amplitude, qui ne dépasse généralement pas une dizaine de millivolts. Ils couvrent des bandes fréquentielles faibles de 20 Hz à 10 kHz [30]. De plus, les signaux EMG et EEG n'ont pas de formes identifiables mais ressemblent plutôt à un bruit [15]. Cependant, le signal ECG se caractérise par sa quasi-périodicité, en état normal, en plus de ses faibles variations d'amplitude dans le temps.

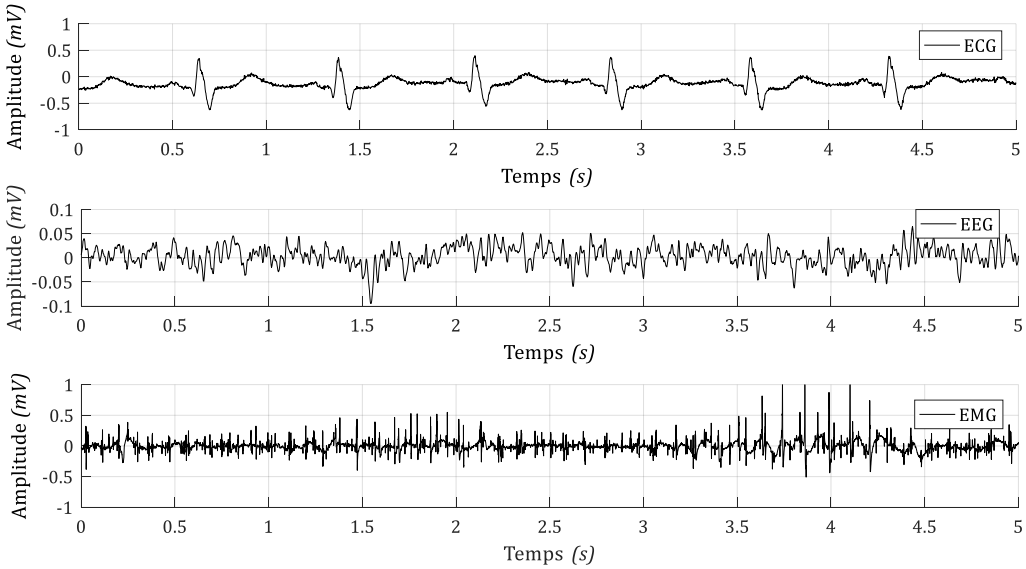


Figure 1. 1 Signaux bioélectriques.

Par conséquent, en plus d'être de haute importance médicale, le signal ECG se distingue des signaux ECG et EMG par ses faibles variations dans le temps que nous exploiterons pour optimiser l'étape de numérisation des signaux analogiques. Ces propriétés motivent donc nos travaux de recherche dans le cadre de cette thèse que nous commençons par l'identification des systèmes d'acquisition classiques du signal ECG.

En effet, vu sa grande importance médicale, les cadres d'acquisition du signal ECG sont diverses. Il s'avère que l'enregistrement de ce signal se fait, par exemple, dans les cadres suivants :

- en milieu hospitalier, pour le suivi médical de façon continue sous la surveillance d'un spécialiste,
- dans le cadre d'une visite médicale ou préventive, pour la détection d'anomalies cardiaques comme l'arythmie, l'infarctus du myocarde, etc.,
- dans le cadre d'une surveillance médicale de longue durée hors d'un milieu hospitalier, ou
- en centres de soin pour la réadaptation cardiaque et le suivi d'un traitement.

Ces diverses cadres d'acquisitions des signaux ECG se caractérisent par des durées d'acquisitions, des cadres spatiaux et des degrés d'urgences du test médical très différents. Toutes ces modalités définissent divers types de dispositifs d'acquisition, que nous classons principalement en trois gammes décrites dans la sous-section suivante.

1.2.2. Systèmes classiques de surveillance de l'activité électrique cardiaque

Les trois gammes les plus utilisées des dispositifs classiques de surveillance de l'activité électrique cardiaque sont la gamme standard, la gamme des dispositifs de télémétrie et la gamme des Holters.

En effet, nous commençons notre revue de ces dispositifs par les électrodes qui sont présentes dans la quasi-totalité des dispositifs classiques. Les électrodes mesurent les potentiels créés par les fibres myocardiques assimilées à une fibre musculaire unique en supposant que le corps humain est un milieu conducteur [31]. Elles sont posées au niveau des extrémités des membres et sur le thorax.

Les électrodes sont deux types : le type invasif, implantable à l'intérieur du corps, et le type non-invasif ou électrodes de surface [32-33]. Les électrodes invasives sont utilisées pour des surveillances de durées supérieures à 30 jours, la surveillance de maladies à causes inconnues comme les accidents vasculaires cérébraux cryptogéniques (AVC) ou encore au niveau des stimulateurs cardiaques et défibrillateurs automatiques [33]. La stabilité de ces électrodes sous la surface de la peau contribue à des enregistrements de bonne qualité. Cependant, elles restent contraignantes pour le patient à cause des interventions chirurgicales pour le dépôt des électrodes.

Les électrodes non-invasives quant à elles, sont faciles d'utilisation même par les non-spécialistes. Elles sont utilisées dans les applications de surveillance de durée inférieure à 30 jours [34]. Pour éviter l'irritation de la peau, des électrodes dermatologiquement compatibles sont développées. Toutefois, le mouvement des électrodes sur la peau introduit un bruit dans l'enregistrement de l'ECG.

Dans le cadre de nos travaux de recherche, nous nous intéressons aux électrodes non-invasives souvent utilisées dans les dispositifs de surveillance médicale. Nous citons par exemple, les électrodes de Philips Healthcare de référence 404899E [35]. Ces électrodes

sont dotées d'une surface de contact collante avec un gel de contact. Elles sont adaptées pour les dispositifs non fabriquées par Philips Healthcare mais elles nécessitent des adaptateurs d'électrodes 4 mm et des câbles de connexion de type Banana 4.0.

En effet, le nombre des électrodes non-invasives définies pour l'enregistrement de l'ECG est égal à 10, dont quatre sont posées sur les extrémités des membres et six sont posées sur le thorax [31]. Ces électrodes permettent ainsi de recueillir 12 tracés d'un même ECG, appelés aussi dérivations [31]. Les dix électrodes peuvent coexister dans un même dispositif permettant, par exemple, la surveillance de l'infarctus, de l'ischémie et des arythmies comme les tachycardies supra et ventriculaires [36]. Parfois, pour alléger l'encombrement des 10 électrodes, une configuration optimisée d'électrodes appelée EASI est utilisée permettant de relever les 12 dérivations de l'ECG [36]. Dans des applications de surveillance de pathologies moins sophistiquées comme les arythmies basiques et la fibrillation auriculaire, il est possible de se contenter de trois à cinq électrodes [36].

Après avoir distingué les types d'électrodes et leur effet d'encombrement sur le dispositif d'acquisition, nous décrivons dans les paragraphes suivants les trois gammes des systèmes d'acquisition classiques des signaux ECG.

Dans la gamme standard nous distinguons les premiers dispositifs d'acquisition de l'ECG, qui sont d'abord l'électrocardiographe (ECG-graphe) puis l'électrocardioscope (ECG-scope). Le premier électrocardiographe a été réalisé par Willem Einthoven à l'aube du $XX^{\text{ème}}$ siècle [31-37]. Les déflexions de l'activité électrique cardiaque sont mesurées par un galvanomètre et transcrites sur un papier photographique qui se déroule à une vitesse constante. Cet appareil était purement analogique. Ensuite, avec l'ère du numérique, l'ECG-graphe a évolué vers l'ECG-scope doté d'un circuit de numérisation des potentiels électriques. Souvent, il est aussi muni d'une sortie sur papier, d'un affichage numérique et d'un support de stockage des données numérisées [38].

Dans notre revue des solutions commercialisées de cette gamme, nous avons identifié les quatre exemples suivants : l'ECG-graphe ''Cardiovit AT -2PLUS'' de Shiller [39], les deux ECG-scopes ''Cardiofax C'' et '' 'Cardiofax V'' [40-41] de Nihon Cohden et l'ECG-scope ''MAC 3500'' de GE Healthcare [38]. Ils sont décrits au Tableau 1. 2. Dans la relève des caractéristiques de ces dispositifs, nous nous intéressons aux fonctionnalités d'analyse, de stockage et de transmission des données mais aussi à la flexibilité de l'appareil en termes de nombre de dérivations et de poids.

Généralement, ces dispositifs sont destinés à un usage dans un cadre hospitalier pour la relève de tracés à 12 dérivations. Ils comportent donc au moins dix électrodes chacun. Leur poids est de quelques kilogrammes. Ils sont déplaçables mais généralement pas portables. De plus, ils sont dotés de capacités de stockage sur mémoires amovibles avec, dans certains cas, la possibilité d'établir des connexions à un réseau local pour le transfert des données [38,40,41]. Par ailleurs, les normes européennes actuellement utilisées dans le dimensionnement de ces dispositifs conformément aux exigences du signal ECG et de

la sécurité du patient sont les normes de la Commission Européenne Internationale (CEI), qui sont la norme 60601-2-25, 60601-2-27 et la norme 60601-2-51.

Tableau 1. 2 Exemples d' ECG-graphe et ECG-scope commercialisés.

	Schiller	Nihon Kohden		GE Healthcare
	Cardiovit AT -2PLUS [39]	Cardiofax C [40]	Cardiofax V [41]	MAC 3500 [38]
Type	ECG-graphe	ECG-scope	ECG-scope	ECG-scope
Poids (kg)	4.8	1.7	8.6	7.6
Vitesse du papier (mm/s)	5-25-50	25-50	5-10-12.5-22-50	5-12.5-25-50
Autonomie de batterie (h)	6	> 2	$> 1/2$	6
Type de test	Repos	-	repos et stress	repos
Patient cible	-	enfant et adulte	enfant et adulte	pédiatrique et adule
Stockage de données	-	carte mémoire externe de type flash	carte mémoire externe de type flash	carte mémoire externe de type flash 2 Go
Type de communication	Aucune	filaire (USB 1.1), réseau LAN(1)	filaire (RS 232C, USB 2.0), réseau LAN	réseau LAN
Exemples d'interprétations des données	mesure d'intervalles et d'amplitudes	détection de l'ischémie	détection de l'ECG brugada(2)	détection de l'infarctus du myocarde et de l'ischémie

(1) : local area network
(2) : un syndrome qui s'accompagne d'une élévation du segment ST. Il est utile pour le diagnostic d'arythmies.

La rapidité et la pertinence d'interprétation des données numérisées en cas d'urgence sont exigées pour ces appareils sollicités dans un cadre clinique. Ils sont donc munis de plateformes logicielles pour l'analyse des données afin d'améliorer la sensibilité du diagnostic [38]. Parmi les fonctionnalités de ces programmes, nous citons la capacité de synthèses d'une à trois dérivations supplémentaires à partir des 12 dérivations classiques pour améliorer la prédiction de maladies comme le cas d'une ischémie invisible [41]. De plus, des fonctionnalités supplémentaires peuvent exister afin d'améliorer la qualité des acquisitions comme les alarmes sonores et graphiques pour signaler un niveau élevé de bruit [38].

En résumé, les dispositifs de la gamme standard génèrent des tracés statistiques reflétant l'activité électrique cardiaque sur une durée qui ne dépasse pas les dix minutes. Néanmoins, l'enregistrement sur une courte durée est insuffisant pour dévoiler certaines pathologies dont les symptômes apparaissent de façon brusque ou lente.

La deuxième et la troisième gammes sont donc développées pour prolonger la durée de surveillance cardiaque mais aussi pour permettre une surveillance sans restreindre la mobilité du patient. Ainsi, la gamme des dispositifs de télémétrie est souvent utilisée dans les cadres suivants :

- la réadaptation physique pour surveiller la réaction d'un organisme au traitement,
- le diagnostic lors des tests d'effort pour stimuler certains symptômes pathologiques ou pour déterminer la cause d'un événement transitoire,
- l'urgence pour surveiller l'activité électrique cardiaque des personnes qui risquent une mort subite après une crise d'infarctus [36] ou en initiant l'acquisition et la transmission de l'ECG lors du transfert du patient pour accélérer le diagnostic d'un infarctus [42].

La télémétrie cardiaque est ainsi assistée par le spécialiste en temps réel mais permet aussi la sauvegarde et la transmission des données. Les systèmes de télémétrie sont composés d'un appareil d'enregistrement de taille réduite par rapport aux dispositifs de la gamme standard qui communique avec une unité distante pour la collecte des signaux ECG [36]. Dans ce contexte, le dispositif ''EC-12RM'' commercialisé par LAB-Tech [43] est un exemple de solution complète conçue pour faire les enregistrements dans une ambulance. L'appareil d'enregistrement est ainsi doté d'une connexion sans fil à courte portée pour le transfert des données vers un terminal mobile séparé avec écran d'affichage. Ce terminal envoie les rapports de diagnostic via les services web sur une plateforme cloud. Il permet également d'établir une liaison filaire avec un ordinateur pour la collecte des signaux. Un autre exemple de cette deuxième gamme est l'appareil ''ARGUS PRO TM'' de Schiller [44]. En plus de la surveillance pendant une activité normale du patient, cette solution offre aussi la possibilité de faire un court enregistrement en état de repos du patient et de notifier le médecin par e-mail en cas d'urgence. Nous résumons dans le Tableau 1. 3 certaines caractéristiques de ces deux appareils.

Tableau 1. 3 Exemple de systèmes de télémétrie cardiaque commercialisés.

	LAB-Tech	Schiller
	EC-12RM [43]	ARGUS PRO TM-1 [44]
Poids (kg)	0.14	< 0.4
Type de batterie	rechargeable	rechargeable
Etat du patient	urgence	en mouvement, repos
Nombre de dérivations	12	12
Stockage	carte mémoire externe de type flash	-
Type de communication	filaire (USB), sans fil courte portée (WiFi, Bluetooth)	sans fil courte portée, réseau LAN

En comparant le Tableau 1. 3 au Tableau 1. 2, en termes de poids, les dispositifs d'enregistrement télémétriques sont jusqu'à 61 fois plus légers que les dispositifs de la gamme standard. En plus de la connexion à un réseau LAN pour le partage des données télémétriques entre les unités hospitalières, ces dispositifs commercialisés sont capables de transmettre les données numérisées par communication radio à courte portée.

Dans la littérature, la communauté scientifique s'intéresse au développement de techniques avancées de traitement des données télémétriques mais aussi à l'amélioration de la connectivité du dispositif d'acquisition. A titre d'exemple, dans [45], le système de télémétrie inclut un module de classification automatique des signaux selon le niveau de bruit mais aussi un module de compression des données numérisées et de classification de formes. Les auteurs dans [46] s'intéressent à la sécurité des données télémétriques. Ils proposent un codage canal pour sécuriser les données. Finalement, les auteurs de [4] font la conception du circuit d'un émetteur et récepteur radio à faible consommation de puissance. Dans ces travaux, le dispositif d'acquisition transmet les données à courte portée vers un terminal mobile, qui à son tour envoie les données vers une unité distante. Les caractéristiques des systèmes proposés dans la littérature sont ainsi, la fréquence d'échantillonnage des potentiels électriques, le nombre de bits utilisés pour coder les valeurs numériques de ces potentiels, la capacité de stockage des données numérisées

et le type de la communication. Ces caractéristiques pour le cas des trois exemples [4,45] et [46] sont résumées dans le Tableau 1. 4.

Le Tableau 1. 4 nous donne ainsi une première idée sur les fréquences d'échantillonnage des signaux ECG et le nombre de bits pour le codage des données numériques qui varient de 250 Hz à 1 kHz et de 8 bits à 12 bits. Par ailleurs, dans la littérature des fonctionnalités supplémentaires de communication à longue portée sont ajoutées au dispositif pour permettre le transfert des données au spécialiste dans les centres de soins.

Tableau 1. 4 Caractéristiques d'exemples de systèmes de télémétrie dans la littérature.

	[46]-2005	[4]-2016	[45]-2017
Fréquence (kHz)	0.250	1	0.360
Nombre de bits	8	12	11
Stockage de données	125 octets (1)	-	carte mémoire externe de type flash 2 Go
Type de la communication	cellulaire (GSM)	cellulaire (2), courte portée (MedRadio) (3)	courte portée (Blutetooth, WiFi)

(1) : nom de la technologie non-indiqué
(2) : RAM du microcontrôleur utilisé
(3) : le bande de fréquence 401–406 MHz MedRadio (Medical Device Radiocommunications Service Spectrum)

Quant à la troisième gamme des Holters, elle permet aussi de surveiller l'ECG d'un patient pendant une période prolongée par rapport à la gamme standard pour observer les arythmies cardiaques occasionnelles ou événements épileptiques qui ne se présentent pas dans l'électrocardiogramme effectué pendant un test médical de courte durée. La surveillance cardiaque se fait de façon continue pendant 24 heures ou plus en accompagnant le patient dans ses activités normales [47-48].

Pour répondre à cette fonction, l'Holter est formé par un moniteur portable et alimenté par batterie. Les données numérisées sont stockées dans le moniteur chez le patient. Puis, leur analyse se fait par le médecin en utilisant un logiciel adapté au moniteur employé. Certains dispositifs, appelés moniteurs d'événement, n'enregistrent l'ECG que pendant l'apparition de symptômes particuliers. Le démarrage de ces appareils se fait automatiquement ou par déclenchement imposé par le patient [49]. Comme exemples de solutions commercialisées, nous identifions la série des Holters ''CardioMem CM 3000'' et l'enregistreur ''SEER Light'' de GE Healthcare [49-50] en plus de la série ''EC-xH'' de LaB-Tech [51]. Les caractéristiques de ces solutions en termes de flexibilité et de performances techniques sont décrites au Tableau 1. 5.

Enfin, l'état de l'art des trois gammes de dispositifs médicaux nous a permis d'identifier les éléments de base de la chaîne d'acquisition, de transmission et d'interprétation médicale classique de l'activité électrique cardiaque que nous présentons à la Figure 1. 2. En plus des électrodes pour l'ECG et des câbles de connexions, le dispositif regroupe un étage de traitement analogique qui fait le conditionnement du signal suivi par un convertisseur analogique-numérique puis des modules de communication radio et une antenne. Ces parties du dispositif communiquent ainsi avec une unité d'interprétation des données médicales et une interface Homme-machine du côté du médecin ou du praticien de santé.

Tableau 1. 5 Exemples d'Holters commercialisés.

	Produit	Dérivations	Poids (kg)	Stockage de données	Durée du monitorage (h)	Type de communication	Type de batterie
GE Healthcare	Série CardioMem CM 3000 [50]	5 à 12	0.14	carte mémoire externe de type flash 128 Mo à 2 Go	24 à 240	radio courte portée (Bluetooth)	rechargeable/ remplaçable
	SEER Light [49]	5 à 7	0.357	carte mémoire externe de type flash 32 Mo	24 à 72	filaire (via le cable SEER Light Direct Connect)	rechargeable
LAB Tech	Série EC-xH [51]	3 à 12	0.05-0.15	2 Go	24 à 48	radio courte portée (Bluetooth)	rechargeable/ remplaçable

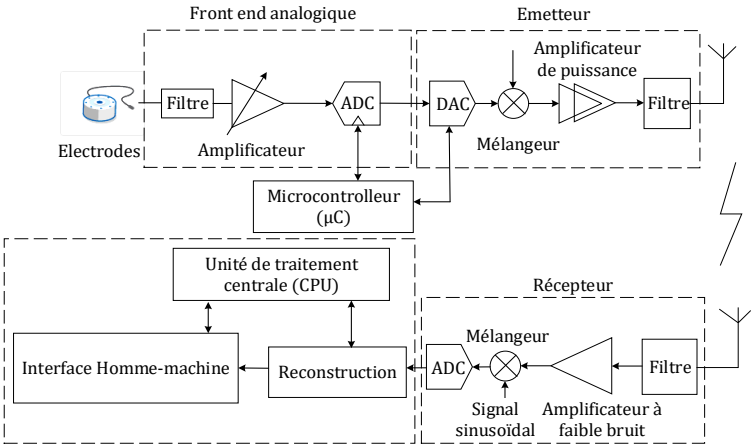


Figure 1. 2 Chaîne d'acquisition, de transmission sans-fil et de traitement numérique d'un signal ECG.

Dans cette chaîne, l'ADC constitue une brique de base qui assure l'interfaçage entre le mode analogique et le mode numérique par lequel se fait l'analyse et l'affichage des données. En effet, la conversion analogique-numérique conventionnelle repose sur la technique d'échantillonnage uniforme suivant laquelle la fréquence de prélèvements des échantillons est constante. Le Tableau 1. 6 résume notre revue de quelques ADCs commercialisés qui sont utilisés dans les système Holter du Tableau 1. 5.

Tableau 1. 6 Caractéristiques des ADCs intégrés dans les holters rythmiques commercialisés pour l'acquisition du signal ECG.

	Fréquence d'échantillonnage (Hz)	Résolution (bits)	Plage du signal d'entrée (mV)
Série CardioMem CM 3000 [50]	1024	12	±6
SEER Light [49]	125	10	±8/±16
Série EC-xH [51]	256/ 512/1024	16	±20

En effet, les normes internationales CEI 60601-1, CEI 60601-1-2, CEI 60601-2-25, CEI 60601-2-47, 60601-2-51, 60601-2-47 définissent les exigences pour la sécurité de base et les spécifications essentielles de ces systèmes d'électrocardiographie et particulièrement celles de l'ADC. Selon [52] et [53], la norme CEI 60601-2-47 spécifie une plage du signal d'entrée de l'ADC qui peut couvrir 6 mV_{pp} à une fréquence 10 Hz, un pas de quantification de l'ADC qui doit être strictement inférieur à 50 μV et un bruit référé

d'entrée (input referred noise en anglais), calculé par rapport à 9 périodes pour une durée d'enregistrement de 10 s, qui doit être inférieur à 50 µV. De plus, selon [54], la norme CEI 60601-2-47 spécifie une plage du signal d'entrée égale à 8 mV_{pp}.

En résumé, le réseau d'électrodes placées sur le corps humain est relié à un appareil d'enregistrement doté d'une capacité de stockage limitée et de modules de communications radios et filaires. Les architectures proposées dans la littérature comme dans le commerce utilisent essentiellement quatre composantes qui sont l'acquisition par des électrodes, la numérisation par un ADC, l'interprétation des données par des plateformes logicielles et la communication sans fil avec une passerelle sur une zone de couverture donnée. Nous pouvons également conclure à partir de notre revue des plus utilisés de ces systèmes que l'acquisition de l'ECG se caractérise par des durées d'enregistrements allant de quelques minutes à quelques semaines. Les dispositifs peuvent inclure de 3 à 12 dérivations avec des poids allant de quelques centaines de grammes à quelques kilogrammes. L'intervention d'un spécialiste pendant l'enregistrement n'est pas toujours obligatoire mais l'analyse des données numérisées doit être obligatoirement faite par un médecin.

Le choix du dispositif d'acquisition se fait en fonction de la durée d'acquisition nécessaire pour aboutir à un diagnostic et la nécessité ou non de la mobilité du patient pendant la surveillance. Ces dispositifs évoluent vers la combinaison d'un maximum de scénarios de surveillance cardiaque dans un même dispositif ce qui impose beaucoup de challenges technologiques mais reste aussi limité par des problèmes énergétiques.

1.2.3. Limites des systèmes classiques pour la surveillance cardiaque à distance

Les dispositifs portables comme les Holters évoluent vers des systèmes personnels de santé pour la gestion à distance des malades en dehors des hôpitaux et des centres de soins. Beaucoup de problématiques et de défis technologiques sont liés au déploiement de ces systèmes d'acquisition et de transmission des signaux ECG. En suivant la chaîne d'acquisition données à la Figure 1. 2, nous identifions les principaux challenges technologiques liés aux différents étages de la chaîne d'acquisition, qui sont :

- l'intégration de modules multi-capteurs invasifs ou non-invasifs pour la surveillance simultanément de plusieurs paramètres vitaux,
- l'immunité contre les bruits d'acquisition,
- la transmission d'un volume important de données vers les réseaux hospitaliers en établissant une communication sans-fil à longue portée,
- des capacités avancées de traitements embarqués pour filtrer les bruits d'acquisition, pour réduire le volume de données numérisées sans introduire des distorsions significatives dans l'information médicale, pour sécuriser le transfert des données et pour améliorer la sensibilité du diagnostic médical.

Tous ces challenges technologiques imposent des contraintes sur l'appareil d'acquisition en termes de flexibilité, autonomie et complexité. En effet, le tout doit être intégré dans

un système à faible complexité de déploiement, peu encombrant pour le patient comme pour les centres hospitaliers et de haute efficacité énergétique. Par exemple, dans un cadre hospitalier, il est possible de tolérer le nombre élevé d'électrodes, le poids ou la non-portabilité de l'ECG-scope, tandis que dans un cadre différent où un Holter est nécessaire, ces défis doivent être relevés. Actuellement, le poids des Holters est de l'ordre de quelques centaines de grammes. De plus, avec les dix électrodes de l'ECG à 12 dérivations, l'attachement de cet appareil sur le corps d'un patient âgé, d'un enfant ou d'une femme enceinte est contraignant.

Un autre inconvénient de l'augmentation du nombre d'électrodes est le volume énorme de données acquises. Nous illustrons au Tableau 1. 7 des exemples de volumes de données numérisées sans compression pendant 24h par les trois dispositifs Holter CardioMem [50], SEER Light [51] et un exemple de la série ''EC-xH'' [51]. Les caractéristiques de ces dispositifs en termes de durée maximale du monitorage, nombre de dérivations, nombre de bits par dérivation et fréquence d'échantillonnage sont résumées au Tableau 1. 5 et au Tableau 1. 6. Pour l'exemple de la série ''EC-xH'', nous considérons la fréquence d'échantillonnage à 512 Hz.

Tableau 1. 7 Estimation du volume de données ECG numérisées.

	Référence	**Données par dérivation**	**Occupation mémoire par dérivation**	**Données totales**	**Occupation mémoire totale**
GE Healthcare	CardioMem CM 3000 [50]	0.132 Go	6.60 %	1.58 Go	79 %
	SEER Light [49]	13.50 Mo	42.18 %	94.5 Mo	295.31 %
LaB-Tech	EC-xH [51]	88,47 Mo	44.23 %	10.61 Go	530.82

En comparant les données calculées par la capacité de stockage de ces appareils, égales à 2 Go, 32 Mo et 2 Go, respectivement, l'équivalent de 44 % de la mémoire est saturée par la numérisation des données détectées par une simple électrode. Nous remarquons que ces dispositifs sont contraints par des exigences de stockage de données si toutes les dérivations sont à considérer. Le stockage des données issues des 12 dérivations est impossible si aucune compression n'est réalisée. Ainsi, il faut faire des transferts réguliers vers l'unité de collecte des données.

Par ailleurs, la transmission radio de ces données diminue significativement l'autonomie de la batterie. Dans [55], les modules de transmission par Bluetooth consomment 65.7 % de la puissance du dispositif composé d'un étage de conditionnement analogique, de modules de communication radio et d'un décimateur. Dans [56], cette valeur est augmentée à 75 %.

De plus, comme tous les systèmes électroniques, ces dispositifs vieillissent avec le temps et le nombre d'utilisations. Des problèmes de sécurité sont également envisageables suite au partage des données avec plusieurs unités connectées. Les chercheurs s'intéressent alors au développement de techniques de codage sécurisées pour le transfert des données. Dans ce contexte, nous pouvons citer les travaux de Huang et al., qui proposent

une méthode de cryptage homographique basée sur un calcul matriciel pour sécuriser la transmission et la collecte des données partagées [57].

Cependant, nous portons notre intérêt dans le cadre de nos travaux spécialement sur le problème du volume croissant de données, qui peut être considéré comme l'origine de la majorité des challenges mentionnés. En effet, la réduction du volume des données acquises réduira certainement la consommation de puissance, l'activité des circuits électroniques et donc le vieillissement du dispositif d'acquisition. Par ailleurs, les éléments clés qui nous permettront de développer cette idée sont le signal ECG lui-même et l'ADC. Nous commençons donc par présenter les particularités de ce signal dans la section suivante puis nous enchaînons, dans la section 1.4, avec la justification du choix de l'ADC.

1.3. Analyse du signal électrocardiogramme

Dans le cadre de nos travaux nous visons la numérisation des données ECG en prélevant uniquement l'information utile dans le signal. Notre analyse du signal ECG a pour but de localiser les données médicalement intéressantes par rapport au reste du signal dans un premier temps, puis de vérifier le caractère parcimonieux de ce signal qui nous permettrait d'optimiser les données acquises.

1.3.1. Caractéristiques médicales de l'électrocardiogramme

Le signal ECG est l'enregistrement d'une excitation électrique du muscle cardiaque, appelé aussi myocarde. Notamment, l'excitation myocardique prend naissance du nœud sinusal situé dans l'oreillette gauche du cœur. Cette excitation implique des échanges ioniques entre les parois internes et externes de chaque cellule du muscle cardiaque, ce qui modifie le potentiel intracellulaire. De ce fait vient l'utilité de l'ECG qui peut renseigner sur la fréquence des battements, la nature et la genèse du rythme, l'excitation et ses effets, ainsi que les perturbations éventuelles. Ces perturbations peuvent être soit d'origine anatomique, mécanique ou électrique [58], soit concernent des altérations tissulaires en rapport avec une irrigation sanguine myocardique [58].

Tel que le montre la Figure 1. 3 de l'enregistrement ''rec_1m'' de la base de donnée ''ECG_ID'' (ecgidb), l'ECG est une succession de déflexions positives et négatives par rapport à l'axe horizontal, appelé ligne de base. Les caractéristiques temporelles de ce signal sont la durée des intervalles et segments, la largeur et amplitude des ondes P, Q, R, S et T ainsi que la fréquence cardiaque [58]. Un segment est défini par la période de temps entre la fin d'une onde et une autre, tandis qu'un intervalle est une section du signal qui comporte une onde et un segment. La première colonne du Tableau 1. 8 donne les caractéristiques de l'ECG normal [59].

Par ailleurs, vu la périodicité du cycle cardiaque, l'ECG est un signal quasi-périodique mais dont les formes des ondes ne sont pas forcément identiques d'une période à l'autre, telles que le montre la Figure 1. 3. La fréquence cardiaque est calculée à partir de l'inverse d'un intervalle R-R. Elle représente selon une lecture sur papier millimétré une variation de 60

à 100 battements par minute (bpm) pour un adulte en état normal et devient entre 30 et 240 dans le cas d'arythmies comme la tachycardie ou la bradycardie [60-61]. En général, les pathologies impliquent des changements des caractéristiques du signal ECG, dont les plus simples sont résumées au Tableau 1. 8 [62]. D'autres variations plus sophistiquées peuvent apparaitre, mais demandent l'analyse par un expert [58,61,63].

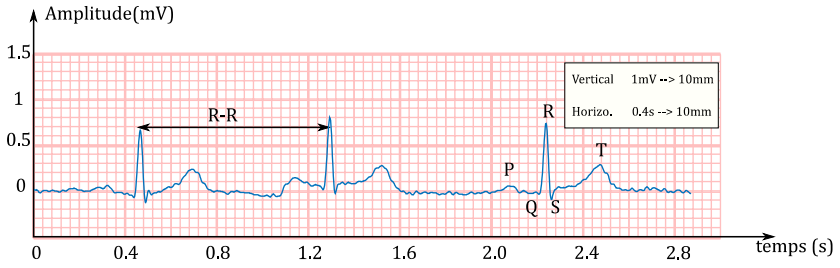


Figure 1. 3 Ondes caractéristiques d'un signal ECG : enregistrement ''rec_1m''de la base de données ''ECG-ID'' (ecgidb).

Tableau 1. 8 Quelques caractéristiques temporelles et d'amplitude du signal ECG.

Onde/Segment	Amplitude (mV)	Durée (s)	Variations pathologiques
P	0.2 - 0.25	0.08 - 0.1	>0.25 mV, >0.11 s
QRS	1.73 ± 0.4	0.04 - 0.1	$\geq 0.12\ s$
T	0.1 - 0.5	0.35 - 0.43	signe inversé
PR	-	0.12 - 0.2	>0.2 s ou <0.12 s
ST	-	0.05 - 0.15	Elévation ou dépression de 0.1 mV par rapport à la ligne de base

Ainsi, la plage d'amplitude d'un ECG normal est autour de 3 mV, la durée temporelle de ses ondes varie entre 50 ms à 430 ms. De plus, les pathologies se traduisent par des changements dans les durées des segments et intervalles dans le signal ECG mais aussi dans les durées, amplitudes et signes de ses ondes. Par ailleurs, la variation de la fréquence cardiaque et des formes des ondes dans le signal ECG peut être également liée aux bruits accompagnant l'acquisition, qui sont résumés à la Figure 1. 4 [64]. Ces bruits ont plusieurs origines intrinsèques au corps humain [64-65], comme les activités biologiques accompagnant l'ECG et des origines extrinsèques, comme les bruits introduits par la chaîne d'acquisition [65]. Nous classons ces bruits selon leurs effets sur le tracé de l'ECG comme suit.

- Les interférences avec l'activité électrique musculaire se manifestent par un bruit blanc gaussien sur la totalité du signal [64-65]. Généralement, l'amplitude et la bande de fréquence de l'activité musculaire varient de 100 μV à 1 mV et de 500 Hz à 1 kHz, respectivement, comme représentés à la Figure 1. 5 (a).
- L'activité respiratoire et le mouvement des électrodes en contact avec la peau introduisent des fluctuations entre 0,15 Hz et 0,3 Hz dans la ligne de base, présentées à la Figure 1. 5 (b).
- Les interférences avec les lignes d'alimentation électrique introduisent des déformations au signal ECG qui ressemblent à un bruit blanc gaussien avec des fluctuations de la ligne de base [65].

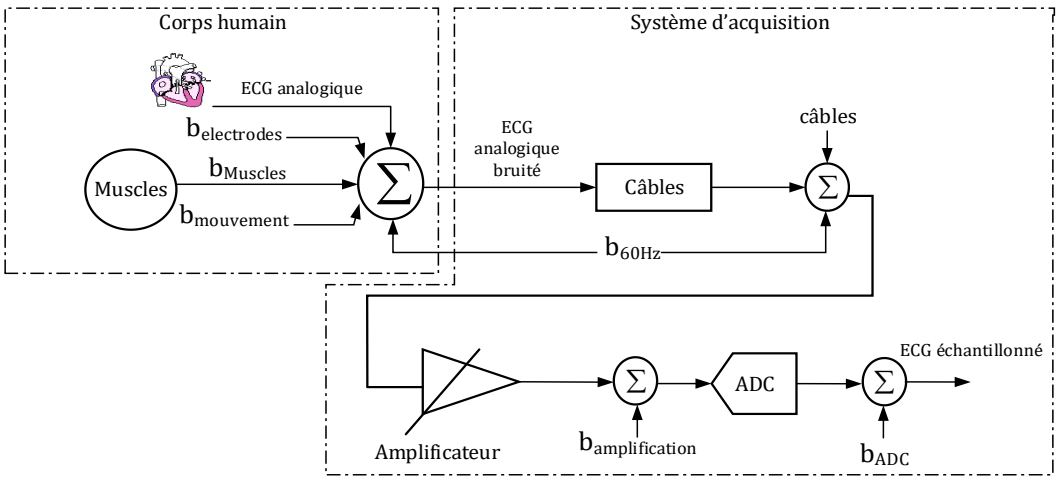
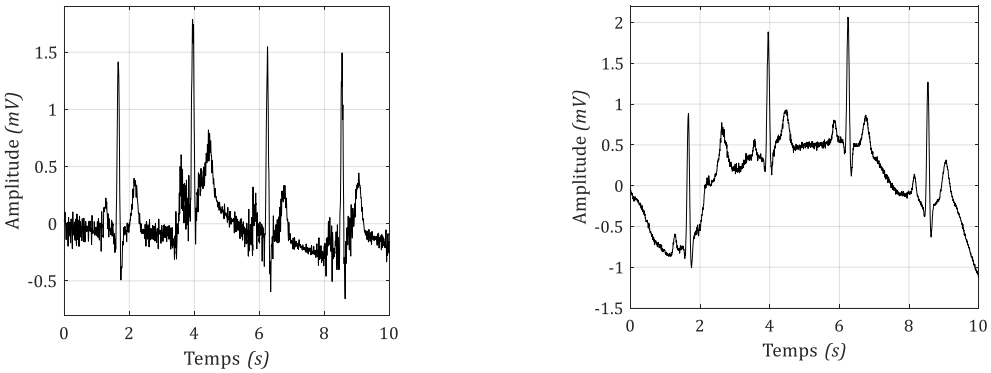


Figure 1. 4 Bruits de la chaîne d'acquisition de l'ECG.

Ces bruits empêchent l'analyse du spectre de l'ECG dont le contenu est noyé dans le spectre du bruit. Plusieurs travaux dans la littérature traitent ce sujet en essayant de délimiter la bande du signal ECG. Dans [66], il est montré que la valeur maximale de la densité spectrale de puissance de l'ECG normal en état de repos se trouve autour de la fréquence 1.22 Hz. Les informations sur les durées de temps se situent en dessous de 60 Hz tandis que les informations d'amplitude s'étendent jusqu'à 200 Hz. En fait, selon les travaux de Gupta et al. dans [67], la majorité des informations médicales d'un ECG adulte se trouve dans la bande 100 Hz. Quant à la norme CEI 60601-2-51, elle délimite la bande utile du signal entre 0.05 et 100 Hz selon les travaux de [68]. D'autres travaux de recherche comme [70] recommandent une bande de 250 Hz pour l'ECG pédiatrique afin de minimiser l'erreur d'amplitude au niveau du complexe QRS.



(a) Bruit de l'EMG. **(b) Bruit respiratoire et mouvement des électrodes.**

Figure 1. 5 Mise en relief de deux exemples de bruits dans l'ECG.

En résumé, d'après les données du Tableau 1. 8, nous pouvons conclure que les informations utiles dans le signal ECG sont l'amplitude de ses ondes, leurs durées mais aussi les durées de ses segments et de ses intervalles. En effet, ces informations représentent des indicateurs pertinents pour le diagnostic médical. Notamment, les arythmies cardiaques comme la tachycardie et la bradycardie modifient la durée de l'intervalle R-R et du complexe QRS [60-61]. Elles influent donc sur la vitesse de variation

du signal ECG au cours du temps. Ainsi, en plus d'être des pathologies très communes, la tachycardie et la bradycardie modifient aussi les propriétés physiques du signal ECG.

Puisque notre objectif dans le cadre de ces travaux est la numérisation des signaux ECG en s'inspirant de leurs caractéristiques intrinsèques, nous tenons compte de ces deux pathologies dans le dimensionnement de l'étage de numérisation. Outre ses caractéristiques temporelles, le signal ECG se caractérise par la possibilité de concentrer son information utile dans un nombre réduit de valeurs ou autres. Cette propriété est connue par la parcimonie que nous définissons dans la sous-section suivante [71-72]. Nous introduisons également les outils pour la mettre en œuvre et nous citons ses applications dans la littérature notamment pour la compression des données numérisées.

1.3.2. Caractère parcimonieux de l'électrocardiogramme

Par définition, un signal ECG numérisé avec N_L échantillons dans $\Re$ est dit parcimonieux lorsqu'il est possible de le représenter, avec une certaine fidélité, par un nombre réduit de coefficients [73]. Ces coefficients sont la solution du problème d'optimisation (E.1. 1) en utilisant la quasi-norme l_0, où s est le vecteur de la représentation parcimonieuse, $l_0(s)$ où $\|s\|_0$ est le nombre d'éléments non nuls de s, ξ_0 est une constante qui définit l'erreur d'approximation maximale et Ψ une matrice à $N_L \times N_C$ éléments dans $\Re$, appelée dictionnaire [73] avec N_L le nombre de lignes et N_C le nombre de colonnes.

$$\min_s \|s\|_0 \text{ pour } \|ECG - \Psi s\|_2^2 \leq \xi_0 \qquad \textbf{(E.1. 1)}$$

L'idée de la parcimonie signifie qu'à partir d'un ensemble d'atomes, l'information utile dans le signal peut être restaurée en utilisant uniquement quelques atomes pondérés à leurs coefficients respectifs dans s. Ces quelques atomes sont les plus significatifs dans ce signal. En admettant que le signal ECG est parcimonieux. Il peut être décrit selon (E.1. 2), où K est le nombre d'atomes les plus significatifs dans le signal et le nombre de coefficients non nuls dans s, et ϵ est l'erreur résiduelle. Dans ce cas, les $N_L - K$ échantillons restant sont nuls ou approchés par des zéros.

$$ECG = \sum_{i=1}^{K} \alpha_i \psi_i + \epsilon \text{ avec } K \ll N_L \; et \; \epsilon \leq \xi_0 \qquad \textbf{(E.1. 2)}$$

La matrice du dictionnaire peut être une base orthogonale ou une matrice non-carrée de N_L lignes et N_C colonnes. Le nombre de colonnes, N_C, est augmenté dans le but d'augmenter la probabilité de retrouver des atomes significatifs, conduisant ainsi à une représentation plus précise du signal. Dans ce cas, le dictionnaire est dit redondant (over complete en anglais) [74].

La représentation parcimonieuse du signal ECG ou de tout autre signal n'est pas unique. Elle dépend du niveau de bruit dans le signal, du dictionnaire utilisé et aussi du seuil de l'erreur d'approximation [73]. Le problème de la parcimonie est donc de retrouver la représentation qui garantit le plus faible nombre de coefficients non nuls dans le vecteur s. En effet, la résolution du problème (E.1. 1), qui revient à déterminer les valeurs des coefficients dans s, dépend de deux facteurs: le dictionnaire, dont les atomes doivent ressembler aux formes d'ondes du signal ECG et la méthode de calcul de la représentation

parcimonieuse. Le premier facteur est important vu les variations des formes d'ondes dans les signaux ECG en cas de pathologies et par conséquent, le dictionnaire doit permettre à n'importe quel type de signal ECG d'être décomposé de façon parcimonieuse. Pour cela, il y a des applications qui font l'apprentissage itératif d'un dictionnaire spécifique à partir d'un ensemble de signaux d'entraînement [75]. Les algorithmes d'apprentissage alternent entre le calcul des projections parcimonieuses et l'actualisation du contenu du dictionnaire.

Certains de ces algorithmes s'exécutent en temps réel en traitant les un par un les signaux d'apprentissage pour la construction du dictionnaire. Par exemple, dans [75], Mairal et al. proposent un algorithme d'apprentissage en temps réel qui prend en entrée les échantillons acquis pour apprentissage puis met à jour le dictionnaire par minimisation d'une fonction. Cet algorithme est ensuite adopté par [76] pour générer un dictionnaire adapté aux signaux ECG. D'autres méthodes itératives d'apprentissage de dictionnaires s'exécutent simultanément sur un ensemble de signaux acquis telles que la méthode des directions optimales (MOD) et la méthode K-SVD [77].

Dans d'autres applications telles que la séparation de l'ECG maternel de l'ECG fœtal et la compression des données [74,78], des dictionnaires génériques sont utilisés. Ils sont construits à partir de fonctions prototypes et paramétrées comme les ondelettes [79], les fonctions cosinus et sinus [78] et les fonctions gaussiennes [74]. Ainsi, pour générer le dictionnaire, il suffit de fixer l'amplitude et la durée des ondes gaussiennes ou l'ordre de décomposition par ondelettes. Dans des applications de traitement en temps réel, l'utilisation des dictionnaires génériques s'avère plus optimale en évitant l'implémentation d'un algorithme d'apprentissage. Nous utilisons donc le type de dictionnaires génériques dans le cadre de nos travaux de compression des signaux ECG.

Le deuxième facteur qui influence le résultat de la décomposition parcimonieuse est la méthode de calcul de cette représentation. De multiples algorithmes de décomposition parcimonieuse ont été suggérés dans la littérature. Ils sont généralisés pour tout type de signal et particulièrement appliqués dans le cas du signal ECG. En général, trouver la solution à (E.1. 1) est un problème NP-complexe [72]. Une alternative de relaxation du problème est proposée par passage de la quasi-norme l_0 dans (E.1. 1) à la minimisation de la norme euclidienne l_2 dans (E.1. 3), rendant le problème solvable. Les techniques de calcul basée sur ce principe sont les algorithmes de poursuite qui calculent la représentation parcimonieuse du signal à partir d'un dictionnaire donné en incrémentant la valeur K itérativement.

$$\min_{s} \|ECG - \Psi s\|_2^2 \text{ avec } \|s\|_0 \leq K \qquad \textbf{(E.1. 3)}$$

Une autre approche consiste à relaxer (E.1. 1) par passage à la norme l_1 en utilisant (E. 1. 4), où ξ_1 est une constante qui définit l'erreur d'approximation maximale. Le problème résultant consiste en un débruitage par l'algorithme Basis Pursuit (BP).

$$\min_{s} \|s\|_1 \text{ pour } \|ECG - \Psi s\|_2^2 \leq \xi_1 \qquad \textbf{(E.1. 4)}$$

Les algorithmes qui minimisent ces normes sont appelés algorithmes de minimisation. Certains exemples de ces algorithmes sont donnés au Tableau 1. 10. Particulièrement, l'algorithme Orthogonal Matching Pursuit (OMP) est largement utilisé pour décomposer le signal ECG vu la simplicité de sa mise en œuvre et sa rapidité d'exécution [80-81].

Tableau 1. 9 Méthodes de calcul des représentations parcimonieuses.

Méthode	Description	Avantages/ Inconvénients	Exemples
Poursuite [82]	Itérative Chaque itération sélectionne l'atome le plus corrélé avec le signal L'algorithme s'arrête quand le nombre d'atomes, K, est atteint	Rapide Converge parfois vers la solution optimale	Matching Pursuit (MP) [83] Orthogonal Matching Pursuit (OMP) [84]
Minimisation d'une norme	Itérative Chaque itération minimise le critère sélectionné	Complexe Problème de convergence vers la solution optimale	Basis Pursuit (BP) Global Matched Filter (GMF)
Seuillage itératif [85]	S'applique à des unions de bases orthonormées Décomposition dans chaque base à part	Adapté pour des dictionnaires particuliers Choix du seuil	Algorithmes de seuillage dur Algorithmes de seuillage doux

Dans la littérature, la parcimonie du signal ECG est largement exploitée dans les applications de débruitage, d'identification biométrique, de classification et de compression. A titre d'exemple, le débruitage des signaux ECG dans [86] se fait par décomposition des données numérisées dans un dictionnaire spécifique sensible aux bruits de l'activité musculaire électrique et d'interférence avec la ligne d'alimentation. La projection du signal bruité dans ce dictionnaire permet la séparation entre le signal propre et le bruit qui est ensuite soustrait du signal.

Par ailleurs, dans [76], Wang et al. testent une méthode d'identification biométrique à partir des représentations parcimonieuses de 100 signaux ECG associés à 100 sujets différents. L'identification se fait pas classification des vecteurs s calculés en utilisant la norme euclidienne. Les résultats d'identification montrent une précision de 99.48 %. Dans cet exemple aussi, les dictionnaires sont créés par apprentissage d'une multitude de signaux ECG. Quant aux auteurs dans [74], ils proposent de séparer le signal ECG maternel du signal ECG fœtal et des bruits en décomposant les données numérisées à l'aide d'un dictionnaire redondant construit par des fonctions gaussiennes. Ce dictionnaire comporte trois sous-dictionnaires paramétrés différemment pour être séparément sensibles aux trois types de signaux.

En ce qui concerne l'utilisation de la parcimonie pour la compression, les deux types de dictionnaires spécifiques et génériques sont sollicités. Par exemple, grâce à un dictionnaire d'ondelettes les auteurs dans [87], ont réussi à éliminer jusqu'à 94.4 % des données en termes de bits. De plus, pour faire la compression, les auteurs dans [71] et [88] font l'encodage des coefficients significatifs du vecteur s calculés par décomposition avec des dictionnaires spécifiques construits avec des formes extraites des signaux ECG. Le nombre de coefficients retenus est variable d'un signal à un autre, mais globalement

cette méthode a réussi à éliminer jusqu'à 78 % des données sans distorsions significatives dans les signaux testés.

Néanmoins, ces travaux de compression n'ont pas apporté des réponses sur les moyens de prendre en compte le caractère parcimonieux pendant la numérisation du signal ECG mais plutôt sur la réduction des don

nées numérisées. Dans ce cadre s'inscrit la technique d'acquisition compressée (CS, compressed sensing) qui tient compte de la parcimonie du signal ECG pour réduire la fréquence d'échantillonnage de l'ADC [79,89]. Pour ce faire, le signal analogique est d'abord multiplié simultanément par $N_{L_{SC}}$ séquences aléatoires dont les valeurs alternent entre $+1$ et -1 à une fréquence F_{sup}. Les $N_{L_{SC}}$ signaux résultants sont par la suite filtrés puis échantillonnés avec $N_{L_{SC}}$ ADCs uniformes de fréquence F_{inf} inférieure à F_{sup}. La propriété de parcimonie est finalement utilisée pour reconstruire le signal à partir de la matrice des échantillons générés par ces ADCs, Y, en utilisant un algorithme de poursuite (E.1. 5), où Θ est la matrice qui regroupe les séquences aléatoires échantillonnées.

$$\min_{s} \|Y - \Theta\Psi s\|_2^2 \text{ avec } \|s\|_0 \leq K \qquad \textbf{(E.1. 5)}$$

A partir de (E.1. 5), la reconstruction se fait en utilisant un dictionnaire spécifique comme dans [89] ou avec un dictionnaires d'ondelettes [79]. Cette technique d'acquisition compressée permet l'élimination de 83 % à 91 % des données d'après [79] et entre 75 % et 92 % d'après [89].

Notre objectif, dans le cadre de nos travaux sur l'étage de numérisation des signaux ECG, se ramène à celui des méthodes d'acquisition compressée pour une réduction du volume des données au niveau même de l'étage de numérisation, dont l'ADC est la brique de base. Néanmoins, un étage de numérisation mettant en œuvre l'acquisition compressée est plus complexe qu'un ADC dans une approche classique de numérisation ou qu'un simple LC-ADC.

En effet, la mise en œuvre de la CS nécessite $N_{L_{SC}}$ étages parallèles. Ainsi, chaque étage regroupe un circuit pour la génération d'une séquence aléatoire, un circuit pour la multiplication analogique, un filtre analogique et un ADC. Par ailleurs, l'ADC utilisé prélève les échantillons de façon uniforme. Donc, les segments de l'ECG, dont les variations de l'amplitude sont faibles dans le temps, et les ondes P, Q, R, S et T sont échantillonnés avec la même fréquence. En revanche, une meilleure solution est d'utiliser un prélèvement cadencé sur les variations du signal permettant ainsi de réduire les données dues à l'échantillonnage des segments de l'ECG. Par conséquent, afin de pouvoir développer cette idée, nous passons en revue les différentes architectures d'ADCs classiques mais aussi d'ADCs à traversée de niveaux.

1.4. Etat de l'art de la numérisation des signaux ECG

Nous pouvons classer les ADCs selon le principe d'échantillonnage en ADCs à échantillonnage uniforme et d'autres à échantillonnage par traversée de niveaux. La première classe de convertisseurs est la plus ancienne et la plus mature technologiquement. Elle représente la totalité des solutions commercialisées, comme les exemples présentés au Tableau 1. 6, et la majorité des travaux publiés dans la littérature. Nous avons notamment identifié le convertisseur à approximations successives (SAR, Sucessive Approximation Register) et le convertisseur sigma-delta (ΣΔ).

La deuxième classe a vu le jour au cours des quatre dernières décennies à savoir le convertisseur par traversée de niveaux, LC-ADC, initialement proposé pour optimiser les données numérisées des signaux 1D et 2D en lui associant un encodage prédictif non-uniforme [90]. Puis, les travaux de caractérisation du LC-ADC en termes de rapport signal-à-bruit, menés par Sayiner et al. dans [91], ont motivé plusieurs chercheurs à adopter ce convertisseur pour la numérisation des signaux biomédicaux comme les signaux ECG [92] [93] et le signal de parole [94,96].

Dans cette section nous décrivons les principes de fonctionnement des trois convertisseurs SAR, ΣΔ et LC-ADC en explorant les résultats des réalisations au niveau du circuit. Les réalisations les plus récentes proposées par la communauté scientifique en termes de consommation de puissance, nombre de bits effectif ($ENOB$) et surface occupée sont discutées. Une revue des performances des circuits commercialisés de types SAR et ΣΔ est également présentée et discutée. Enfin, nous clôturons par une étude comparative entre les performances de ces trois convertisseurs nous permettant de valider notre choix du LC-ADC.

1.4.1. Convertisseur à approximations successives

En effet, il existe plusieurs circuits de convertisseurs de type Nyquist, qui se différencient par leur précision, leur fréquence d'échantillonnage et leur coût [97]. En fonction de la fréquence d'échantillonnage, les convertisseurs de Nyquist les plus connus sont classés en deux catégories. La première et la plus rapide est la catégorie des convertisseurs flash. Ils effectuent une recherche parallèle des valeurs de tous les bits quantifiant le signal en les comparant à des niveaux de références. Il suffit donc d'un seul cycle d'horloge pour générer la valeur numérique en sortie de l'ADC. L'inconvénient de ce type de convertisseurs est l'augmentation exponentielle du nombre de comparateurs en fonction de la résolution de l'ADC. La deuxième catégorie emploie une méthode de recherche séquentielle pour évaluer la valeur numérique de l'échantillon [97]. Elle est donc moins rapide que le type flash mais elle tolère l'augmentation de la résolution. Nous citons les convertisseurs SAR et pipeline qui appartiennent à cette catégorie [98].

Le signal ECG est un signal à faible fréquence comparé à d'autres types comme le signal sonore, l'EMG et l'EEG. Par ailleurs, selon les résolutions utilisées pour la numérisation des signaux ECG, entre 8 et 16 bits comme le montre le Tableau 1. 4 et le Tableau 1. 6, les ADCs flash sont sous-dimensionnés. C'est ainsi que nous n'avons pas relevé de travaux sur

ce type de convertisseurs appliqués à la numérisation du signal ECG dans la littérature ni dans les exemples commercialisés. Notre choix est alors limité à la deuxième catégorie des convertisseurs à recherche séquentielle dont la fréquence d'échantillonnage est au moins cent fois plus faible par rapport aux ADCs flash [97]. Ils peuvent être dimensionnés avec des résolution de 8 à 14 bits. Ainsi, ils sont conformes aux spécifications des ADCs pour la numérisation du signal ECG. Entre les deux convertisseurs SAR et pipeline, le type pipeline est le plus gourmand en termes de consommation de puissance et d'occupation de surface dues principalement à la présence de plusieurs structures à amplification et convertisseurs numérique-analogique (DAC) dans un même circuit [98-99]. Pour ces raisons, notre état de l'art se restreint uniquement à l'ADC SAR.

Ce convertisseur a une architecture mixte, constituée d'un échantillonneur bloqueur (E/B), d'un seul comparateur, d'un DAC et d'un registre à décalage. Le schéma bloc du SAR est donné à la Figure 1. 6, où ECG_{en}, ECG_s, F_s et $F_{s_{sup}}$ sont le signal d'entrée, le signal de sortie, la fréquence de commutation de l'E/B et la fréquence du registre à décalage, respectivement. La conversion est réalisée en appliquant le processus de dichotomie en positionnant tous les bits à zéro, au départ, à l'exception du bit le plus significatif (MSB) et en parcourant progressivement tous les bits jusqu'au bit le moins significatif (LSB). La fréquence d'échantillonnage est donc F_s qui est inférieure à la fréquence interne $F_{s_{sup}}$.

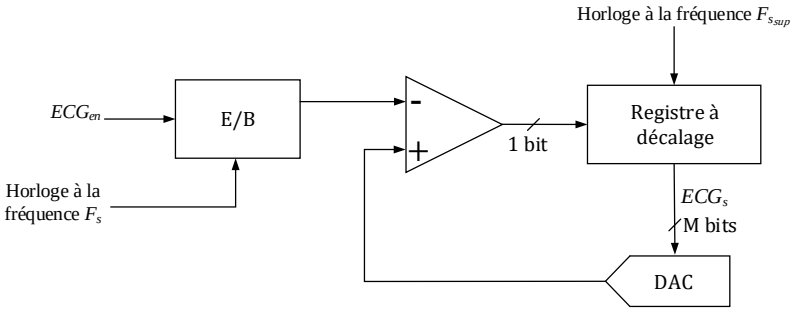


Figure 1. 6 Convertisseur analogique numérique de type SAR.

Les performances de quelques circuits de types SAR proposés par la communauté scientifique entre les années 2014 et 2017 pour la numérisation des signaux ECG sont résumés au Tableau 1. 10, où INL et DNL sont les erreurs de non-linéarité intégrale et différentielle, respectivement. D'abord, les auteurs dans [5] et [100] proposent deux circuits intégrés implantables. Le circuit de [100] est destiné à la stimulation électrique du cœur mais aussi au monitoring du rythme cardiaque et le circuit de [5] fait l'acquisition des signaux ECG à long terme. Ensuite, dans [32], le SAR est intégré dans un système sur puce (SoC) pour l'acquisition et la transmission sans fil à courte portée des signaux ECG. Finalement, les auteurs de [101] proposent un SAR avec la particularité d'adapter intrinsèquement la résolution et la fréquence d'échantillonnage pour compresser les données pendant la phase de numérisation.

Comme le montre le Tableau 1. 10, le SAR est souvent utilisé avec des résolutions de 10 à 14 bits, dans des applications comme les acquisitions de longue durée et les systèmes implantables. Les fréquences d'échantillonnage, F_s, sont généralement supérieures à 1 kHz sauf dans le cas d'une acquisition qui ne requiert pas une haute précision comme la

surveillance du rythme cardiaque [100]. Nous n'avons pas trouvé d'indications sur la fréquence $F_{S_{sup}}$ mais nous avons identifié les fréquences des horloges de références dans ces circuits qui varient entre 32 kHz et 50 MHz. La consommation de puissance maximale de ces circuits est autour de quelques dizaines de microwatts. A titre comparatif avec ces résultats, nous présentons dans le Tableau 1. 11 quatre exemples de SARs commercialisés, dont "ADS833x" et "ADS7039-Q1" sont fabriqués par Texas Instrument. Ils sont particulièrement dédiés aux acquisitions des signaux bioélectriques [102-103]. Les deux autres exemples sont les circuits " AD7298" et " AD7641" d'Analog Devices qui sont destinés aux applications de monitoring et de télécommunication d'ordre général [104-105].

Tableau 1. 10 Spécifications de convertisseurs SAR de la littérature pour la numérisation des signaux ECG.

	[100]-2014	[5]-2016	[32]-2017	[101]-2017
Résolution (bits)	7 à 10	10	14	10
Fréquence (kHz)	0.512 (1)	1 à 100	1	$\leq 1 < 50000$
Horloge de référence (kHz)	32	<200	-	50000
Plage d'entrée (V)	0.11	25×10^{-3}	-	1.8
Technologie CMOS	180 nm, 1.3 ou 1.8 V	65 nm, 0.6 V	130 nm, 1.5 V	180 nm, 1.8 V
Consommation (μW)	0.884 ou 1.22 (2)	0.088	1.3	78.8 @ F_s =1 kHz 2300 @ F_s =50 MHz
Surface (mm^2)	< 2.15 (3)	0.168	1360 (4)	0.72
ENOB	9	9	12.1 (5)	5.25-6.6 (5,6)
|INL|/|DNL| (LSB)	$\leq 0.79/\leq 0.6$	0.87/0.96	-	-

(1) : relève du rythme cardiaque uniquement
(2) : en fonction de la tension d'alimentation 1.3 V ou 1.8 V
(3) : une approximation
(4) : surface totale du SoC
(5) : déduit à partir du SNR en utilisant $ENOB = (SNR - 1.76)/6.02$
(6) : ADC+Compression

Tableau 1. 11 Spécifications de convertisseurs SAR commercialisés pour la numérisation de signaux biomédicaux.

	Texas Instruments		Analog Devices	
	ADS833x [102]	ADS7039-Q1 [103]	AD7298-1 [104]	AD7641 [105]
Résolution (bits)	16	10	10	18
Fréquence (kHz)	500	2000	1000	2000
Consommation (μW)	14200	1200	17400	75000
Surface (mm^2)	3.4	4.6	16.81	63
***ENOB* (bits)**	14.9	9.6	9.9(*)	<16
Composition du circuit	amplificateur, filtre, oscillateur, ADC,	correction d'offset, comparateur, interface de communication série, ADC	multiplexeur, buffer, logique de contrôle, ADC	DAC, logique de contrôle, interface de communication parallèle, ADC

(*) : déduit à partir de la valeur du SNR

Les ADCs du commerce se caractérisent donc par des résolutions allant jusqu'à 18 bits, des fréquences d'échantillonnage entre 500 Hz et 2 MHz et des consommations de puissance 1000 fois plus importantes que les valeurs reportées dans la littérature [5,32,101]. Certainement, ces caractéristiques sont amplifiées par rapport à ce qui existe dans la littérature pour adapter le convertisseur à l'échantillonnage de plusieurs types de signaux biomédicaux et diversifier les applications du circuit. De plus, ces solutions

incluent généralement d'autres composants électroniques comme les amplificateurs et les filtres [102]. Néanmoins, dans l'objectif final de réduire la consommation de puissance du dispositif d'acquisition, nous remarquons que les solutions du commerce sont gourmandes avec des consommations de puissance de l'ordre de quelques dizaines de milliwatts sans oublier les modules de communication radio, qui une fois ajoutés, consomment jusqu'à 75 % de la puissance totale du dispositif.

Outre les ADCs SAR de type Nyquist, largement utilisés pour la numérisation des signaux ECG, il existe aussi les convertisseurs à sur-échantillonnage que nous présentons dans la sous-section suivante.

1.4.2. Convertisseur sigma-delta

Le convertisseur sigma-delta (ΣΔ) est basé sur le principe de sur-échantillonnage où la fréquence, F_S, est approximativement 5000 fois supérieure à la fréquence de Nyquist en supposant une bande de fréquence du signal ECG autour de 200 Hz [106]. Le but est de repousser le bruit de quantification en dehors de la bande utile du signal en appliquant deux fonctions de transfert différentes sur le signal et le bruit de quantification [97]. Le schéma fonctionnel du convertisseur ΣΔ est donné à la Figure 1. 7. Cette architecture est appelée sigma-delta conformément aux opérations de soustraction (delta) et d'intégration (sigma). Le soustracteur calcule la différence entre le signal d'entrée et la sortie du DAC. Ensuite, le résultat est intégré puis quantifié. Cette architecture est souvent suivie d'un décimateur pour sous-échantillonner le signal à la sortie du modulateur et fournir un signal ECG à la fréquence $F_{S_{inf}}$ inférieure à F_S.

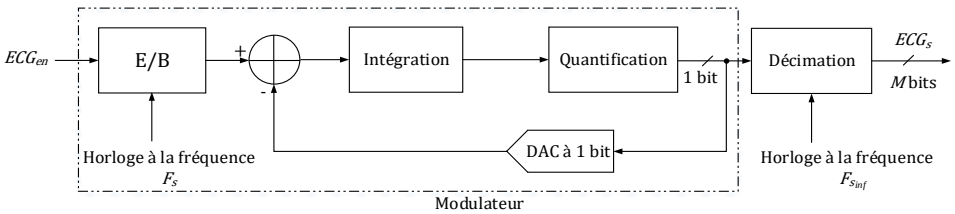


Figure 1. 7 Convertisseur Sigma-Delta.

Entre les années 2015 et 2018, moins de travaux ont été proposés dans la littérature pour la numérisation du signal ECG avec l'ADC ΣΔ qu'avec le SAR. En effet nous avons repéré uniquement trois réalisations de circuits intégrés incluant un ΣΔ [55,106-107]. Les caractéristiques et les performances des trois circuits réalisés dans le cadre de ces travaux sont décrites au Tableau 1. 12. Dans [55], le ΣΔ est proposé dans le cadre d'une solution complète de numérisation, de traitement numérique et enfin de transmission des données vers un terminal mobile à proximité pour la visualisation de l'ECG. Dans [106] et [107], les auteurs proposent deux circuits intégrés incluant chacun un étage d'amplification suivi d'un convertisseur ΣΔ. Les auteurs dans [106] s'intéressent à l'atténuation des bruits d'interférence avec la ligne d'alimentation et les variations de la ligne de base quant aux travaux dans [107], ils sont axés sur la réduction de la consommation de puissance.

Ainsi, d'après le Tableau 1. 12, dans la littérature les résolution des ADCs ΣΔ varient entre 4 et 14 bits pour des fréquences d'échantillonnage supérieure à 51 kHz. De plus, la consommation de puissance des circuits utilisant ces convertisseurs est clairement supérieure à celle des circuits à base de SAR. Par ailleurs, pour évaluer ces résultats par rapport aux ADCs commercialisés, nous décrivons dans le Tableau 1. 13, les caractéristiques des quatre exemples : ''AD7716'' et ''AD7722'' d'Analaog Devices, [108-109], et ''ADS1258'' et ''ADS129'' de Texas Instruments [110-111]. Ces convertisseurs sont dédiés à l'utilisation dans les dispositifs médicaux portables.

Tableau 1. 12 Etat de l'art des convertisseurs sigma-delta de la littérature pour la numérisation des signaux ECG.

	[55]-2015	[106]-2018	[107]-2018
Résolution (bits)	10	4	14
Fréquence (kHz)	51.2	1000	256
Technologie CMOS	180 nm, 1.2 V	180 nm, 1.2 ou 1.8 V	130 nm, 0.6 V
Consommation (μW)	37.5	64.8	4.8
Surface (mm^2)	0.57(*)	0.24 (*)	1.68
***ENOB* (bits)**	9.6	-	10.78

(*) : Estimation

Tableau 1. 13 Spécifications de convertisseurs sigma-delta commercialisés pour la numérisation des signaux biomédicaux.

	Analog Devices		Texas Instruments	
	AD7716 [108]	AD7722 [109]	ADS1258 [111]	ADS129 [110]
Résolution (bits)	22	16	24	24
Fréquence (kHz)	≤ 750	195	125	2000
Consommation (μW)	50000	375000	42000	6000
Surface (mm^2)	282.4	147.9	114.5	148.84
***ENOB* (bits)**	≥ 17 bits	14.6 (1)	19.5	18 (2)
Composition du circuit	4 ADCs, 4 filtres, oscillateur, interface de communication série	Filtre, logique de contrôle, oscillateur, ADC	Filtre, logique de contrôle, oscillateur, ADC, interface de communication série	8 amplificateurs, 8 ADCs, multiplexeur, oscillateur

(1) : SNR égal à 88.34 dB pour une fréquence d'entrée 20 kHz
(2) : SNR égal à 122 dB pour une fréquence d'entrée 10 Hz

Par rapport aux trois exemples de la littérature, la consommation de puissance des circuits commercialisés est au moins quatre fois plus grande mais aussi la fréquence d'échantillonnage et la surface sont plus importantes. Ces performances défavorisent l'utilisation du ΣΔ par rapport au SAR. En résumé, en comparant le Tableau 1. 10 au Tableau 1. 12 et le Tableau 1. 11 au Tableau 1. 13 en termes de consommation de puissance et de surface, nous pouvons conclure que les convertisseurs SARs sont à présent les plus adaptés aux applications de numérisation des signaux ECG. L'intérêt de ce type de convertisseur réside dans sa plage de résolution assez élevée. De plus, les SoCs incluant un SAR présentent une meilleure intégrabilité par rapport à ceux conçus avec un ΣΔ. Cependant, les fréquences d'échantillonnage constantes face à la croissance de la durée d'acquisition et du nombre de signaux acquis reste une limitation. Elles induisent des volumes énormes de données et une consommation de puissance importante. Dans

une tentative de pallier à ces problèmes, le convertisseur à traversée de niveaux est proposé par la communauté scientifique. Il est présenté dans la sous-section suivante.

1.4.3. Convertisseur à traversée de niveaux

Le principe de prélèvement des échantillons est décrit à la Figure 1. 8. Un échantillon est détecté lorsque le signal analogique traverse l'un des niveaux de références prédéfinis sur l'axe d'amplitude [11]. Les échantillons détectés ne sont donc pas équidistants sur l'échelle temporelle. De plus, les zones de faibles variations dans le temps et dont l'amplitude est limitée dans une fenêtre de comparaison donnée ne sont pas échantillonnées. Ainsi, un signal de basse fréquence et de faible amplitude engendre moins d'échantillons qu'un signal de haute fréquence et d'amplitude élevée.

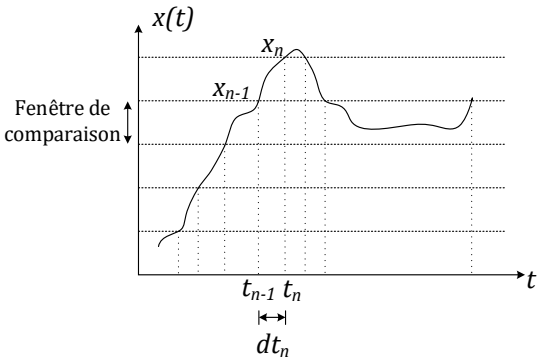


Figure 1. 8 Principe de l'échantillonnage par traversée de niveaux.

Le schéma fonctionnel du LC-ADC est donné à la Figure 1. 9. Le LC-ADC a été d'abord développé dans les travaux de [94] et [112] pour l'échantillonnage des signaux de parole et ultrasons, respectivement. Puis, en 2013, Li et al. l'ont adopté pour le cas du signal ECG [93]. Cette architecture est mixte. Un premier étage de la partie analogique est dédié à la détection des traversées de niveaux en comparant le signal d'entrée, V_{en}, à deux niveaux de références. Cet étage est généralement conçu à base de deux comparateurs dont les signaux de sortie ne changent de niveaux que lorsque le signal n'est plus limité entre les deux niveaux de références. Parallèlement, un compteur s'incrémente à une fréquence F_c afin d'estimer la durée mise par le signal entre deux traversées de niveaux successives. Dès qu'un événement est détecté, le compteur est mis à zéro. De plus, deux étages numériques dédiés à l'interprétation des indications des comparateurs en définissant les valeurs numériques associées aux niveaux traversés, $S1$ et $S2$, et en calculant la sortie du LC-ADC, sont activés. Par ailleurs, un deuxième étage de la partie analogique, responsable de la mise à jour des valeurs analogiques de la fenêtre de comparaison, est sollicité. Les données générées par le LC-ADC représentent le niveau traversé, $Echantillon$, et l'intervalle de temps séparant deux traversées de niveaux successives, $Intervalle$. Ces données sont indispensables pour la reconstruction du signal.

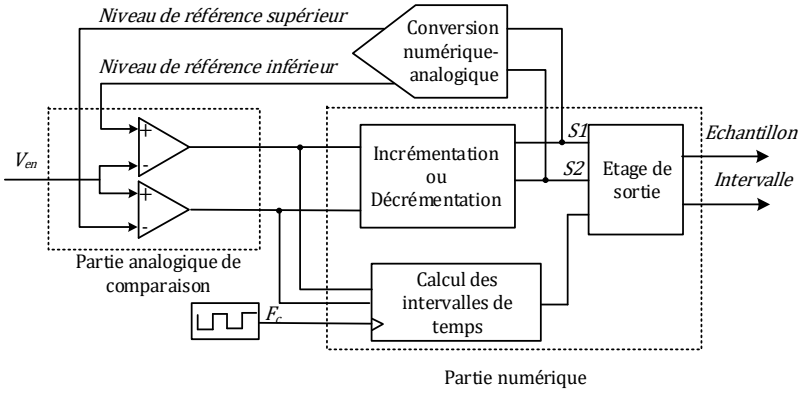


Figure 1. 9 Schéma fonctionnel du LC-ADC.

Au fil des années, des modifications de cette structure ont été proposées dont nous avons repéré les plus importantes [113-114]. En tenant compte de ces modifications, les architectures du LC-ADC qui s'en suivent peuvent être classifiées selon la mise à jour ou non de la fenêtre de comparaison, en architectures à fenêtre fixe [113] ou flottante [115], en fonction de la distribution des niveaux de références, en architectures adaptatives [116-115] et non-adaptives [113], et finalement selon le nombre de comparateurs utilisés en architectures simples [113] ou parallèles [114,116].

L'architecture classique, donnée à la Figure 1. 9, est l'exemple du LC-ADC à fenêtre flottante, dont les valeurs sont incrémentées ou décrémentées en suivant la direction de variation du signal analogique. Dans le cas contraire, le signal analogique à l'entrée du LC-ADC est modifié avant d'être relié à l'étage de comparaison tandis que les niveaux de références sont fixes, comme proposé par Tang et al. dans [113]. Dans ce travail, les auteurs remplacent les DACs par deux niveaux de références fixes et d'un amplificateur à gain inférieur à 1 dont la sortie est connectée à deux comparateurs. Le signal d'entrée est connecté à l'amplificateur de telle sorte à fournir un signal analogique d'amplitude inférieure ou égale aux niveaux de références limitant la fenêtre de comparaison. Lorsqu'une traversée de niveaux est détectée, la décharge d'un condensateur connecté entre l'entrée et la sortie de l'amplificateur force le signal de sortie de l'amplificateur à l'intérieur de la fenêtre de comparaison. Cette modification de la structure du LC-ADC vise l'élimination du DAC pour diminuer la surface du circuit.

Toujours par rapport aux niveaux de références, dans l'architecture classique de la Figure 1. 9, la distribution des niveaux de références dans la plage d'amplitude du signal analogique est uniforme. La différence entre deux niveaux consécutifs est ainsi constante, tel que le montre la Figure 1. 8. Nous appelons, LC-ADC adaptatif toute structure qui utilise plus d'une valeur pour caractériser la différence entre les niveaux de références. Deux approches sont possibles pour un tel LC-ADC. La première est l'utilisation d'une distribution non-uniforme inspirée de la nature de variation de l'amplitude du signal concerné. Par exemple, le signal ultrason se caractérise par des montées brusques, puis un retour vers une plage de variation faible de l'amplitude. La détection des traversées de niveaux selon une distribution uniforme des niveaux de références engendre des données beaucoup plus concentrées autour des zones à variations rapides que les zones à faible

amplitude. De plus, la diminution du nombre total de ces niveaux de références n'est pas la meilleure solution car elle risque de dégrader la qualité de reconstruction des zones à faible amplitude. Pour pallier à ce problème, les auteurs dans [116] adoptent une distribution logarithmique des niveaux de références. La deuxième approche consiste en l'implémentation d'une logique de contrôle qui adapte la largeur de la fenêtre de comparaison en fonction de la pente du signal par exemple [115].

Généralement, l'étage de comparaison du LC-ADC est composé d'un maximum de deux comparateurs dont chacun est relié à un niveau de référence mais une architecture utilisant un banc de comparateurs peut être réalisée [114]. Elle représente la version parallèle du LC-ADC. Les niveaux de références sont fixes et aucun DAC n'est requis. Seul le comparateur connecté au niveau de référence traversé change d'état. Par conséquent, l'étage numérique met à jour la sortie du LC-ADC. De plus, en se limitant à des simulations comportementales du LC-ADC parallèle, les auteurs de [114] proposent d'ajouter un signal triangulaire au signal analogique pour augmenter la précision d'échantillonnage dans les zones à faible amplitude afin d'améliorer les performances de la méthode de reconstruction.

Différentes réalisations de circuits ont été proposées de ces architectures surtout pour l'acquisition du signal ECG, allant des LC-ADCs dans les circuits intégrés à applications spécifiques (ASIC) [92,94], aux systèmes intégrés sur puce (SoC) pour les capteurs portables [117] et la mise en œuvre avec un microcontrôleur à faible coût [118]. Le Tableau 1. 14 résume l'état de l'art de ces réalisations dans la littérature.

Tableau 1. 14 Etat de l'art des réalisations circuits du LC-ADC dans la littérature.

Référence (Application)	Type	Résolution (bits)	Horloge de référence (MHz)(1)	Technologie CMOS	Consommation (μW) @ f_{en} (2)	Surface (mm^2)	$ENOB$ (bits)
[94]-2005 (Parole)	Fenêtre flottante Non-adaptatif	4	1.37	180 nm, 1.8 V	210 @ 1.37 MHz (3)	3.36	8
[112]-2008 (Parole)	Fenêtre flottante Non-adaptatif	8	-	90 nm, 1 V	350 @ 1 kHz 1710 @ 10 kHz	0.64	10
[116]-2009 (ultrason)	Parallèle Adaptatif	4	100	350 nm, -	175000 @ 10 MHz	1.8	12.2
[115]-2011 (ECG)	Fenêtre flottante Adaptatif	4 à 8	1	180 nm, 0.7 V	25 @ 1.1 kHz	0.96	8.4
[113]-2013 (ECG)	Fenêtre fixe Non-adaptatif	5 à 6	50	500 nm, 3.3 V	106 @ 1 kHz	0.06	5(4)
[119]-2013 (ECG)	Fenêtre fixe Adaptatif	8	-	130 nm, 0.8 V	7.4 @ 10 kHz	1.69	9
[120]-2013 (ECG)	Fenêtre flottante Non-adaptatif	6	0.01 à 5	180 nm, 0.8 V	0.313 à 582@ 10 kHz à 5 MHz	0.045	8
[117]-2016 (ECG)	Fenêtre flottante Non-adaptatif	8	-	180 nm, 1.25 V	2.42 (5)	3.8	8 (6)
[121]-2016 (ECG)	Fenêtre flottante Non-adaptatif	5	-	130 nm, 1.2 V	2.89 (5)	-	7 (6)
[92]-2017 (ECG)	Fenêtre fixe Non-adaptatif	4 à 8	32.77×10^{-3} à 1	350 nm, 1.8 à 2.4 V	0.6 à 2 @ 3.8 kHz	0.0372	6 à 8

(1) : fréquence de calcul des intervalles de temps
(2) : fréquence du signal d'entrée (une sinusoïde)
(3) : calculée pour la fréquence d'horloge de référence
(4) : calculé à partir du $SNDR$ égal à 31 dB en utilisant $SNDR = (SNR - 1.76)/6.02$
(5) : mesurée pour un signal ECG
(6) : calculé en tenant compte des distorsions introduites par le conditionnement analogique du signal

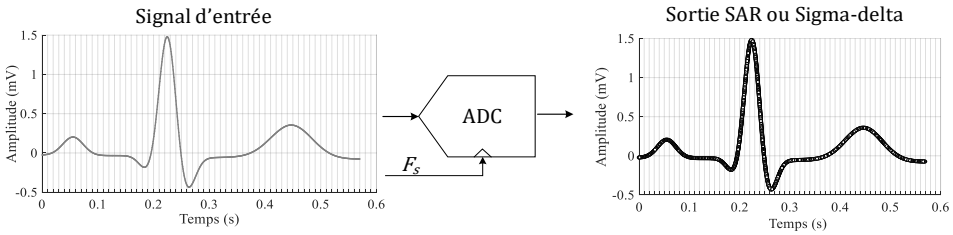
Tel que le montre le Tableau 1. 14, les circuits dédiés à la numérisation du signal ECG admettent une consommation de puissance et une surface maximales égales à 3.8 mm^2 et 582 µW. Avec des signaux ECG, la consommation de puissance ne dépasse pas 3 µW. De plus, l'$ENOB$ atteint par le LC-ADC est supérieur à sa résolution. En effet, le LC-ADC se caractérise par la détection des valeurs exactes de l'amplitude du signal et de la quantification du temps. Son SNR admet donc une expression différente de celle d'un ADCs classique. Elle est dépendante de la quantification du temps [92,94]. Cependant, l'estimation de son $ENOB$ dans la littérature se fait en utilisant l'expression classique des ADCs uniformes en échantillonnant un signal sinusoïdal [94]. Globalement, l'une des causes de dégradation de l'$ENOB$ des convertisseurs à échantillonnage uniforme par rapport au nombre de bits théorique est le bruit de quantification de l'amplitude. Dans le cas du LC-ADC, certes le calcul des intervalles de temps séparant les traversées de niveaux introduit un bruit de quantification, mais ceci n'empêche pas d'atteindre des valeurs d'$ENOB$ supérieures à la résolution du LC-ADC.

1.4.4. Etude comparative

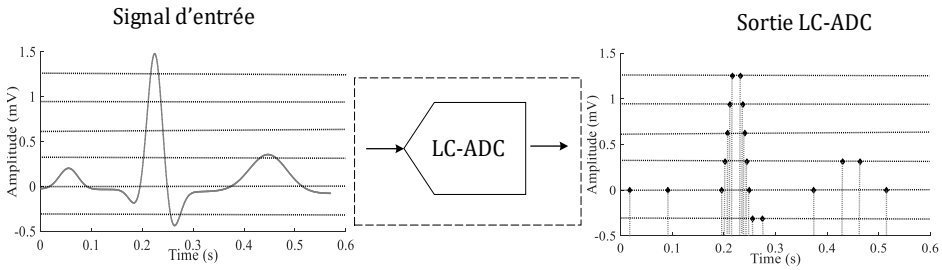
Comme le LC-ADC est encore au stade de la recherche, nous basons notre étude comparative sur les résultats dans la littérature, présentés au Tableau 1. 14. Nous confrontons ces résultats à ceux des ADCs uniformes commercialisés et proposés dans la littérature. En effet, en se reportant aux schémas de principe de ces trois convertisseurs à la Figure 1. 6, la Figure 1. 7 et la Figure 1. 9, puis en analysant Tableau 1. 10 au Tableau 1. 14, nous distinguons quatre caractéristiques qui différencient le LC-ADC et qui favorisent son choix pour optimiser la numérisation des signaux ECG. Ces caractéristiques sont le mode d'échantillonnage, la consommation de puissance, la surface occupée et le volume de données générées.

D'abord, la différence majeure entre le LC-ADC et les deux ADCs SAR et ΣΔ est le mode d'échantillonnage, illustré à la Figure 1. 10. En fait, le LC-ADC échantillonne le signal analogique en le comparant à des niveaux de références. L'activité du LC-ADC est ainsi sensible à la cadence des variations du signal au cours du temps par rapport à la fenêtre de comparaison. En contrepartie, les ADCs SAR et ΣΔ utilisent un échantillonnage à des fréquences constantes, souvent supérieure à 1 kHz ou à quelques dizaines de kilos Hertz. Par suite, le mode d'échantillonnage du LC-ADC est en accord avec la nature du signal ECG qui ne varie pas significativement au cours du temps. De plus, l'information pertinente en termes d'amplitude est contenue dans les ondes P, Q, R, S et T. Ainsi, l'inactivité du LC-ADC autour des segments de faible variation de l'ECG dans une fenêtre de comparaison ne devrait pas dégrader l'information médicale.

Ensuite, le convertisseur ΣΔ est le plus gourmand en termes de consommation de puissance en comparant les données du Tableau 1. 10 et le Tableau 1. 12 par rapport au Tableau 1. 14. En termes d'occupation de surface et de consommation de puissance, selon le Tableau 1. 10 et le Tableau 1. 14, le LC-ADC et le SAR montrent presque les mêmes performances. En effet, les circuits à base de LC-ADC et de SAR peuvent être miniaturisés jusqu'à quelques multiples d'un centième du mm^2.



(a) Echantillonnage de l'ECG avec un ADC SAR ou ΣΔ.



(b) Echantillonnage de l'ECG avec un LC-ADC.

Figure 1. 10 Comparaison de l'échantillonnage uniforme et de l'échantillonnage par traversée de niveaux.

Finalement, l'activité des trois types de convertisseurs LC-ADC, SAR et ΣΔ est comparée en évaluant le volume de données générées par deux exemples de LC-ADCs et quatre exemples de convertisseurs uniformes, dont deux sont commercialisés et deux existants dans la littératures, respectivement. Le volume de données générées est calculé selon (E.1. 6), où N_{bit}, M et F_s et DT sont le nombre total de bits, la résolution de l'ADC, la fréquence d'échantillonnage et la durée d'acquisition des données, respectivement. Nous nous limitons à une valeur de DT égale à 1 seconde, qui représente la durée typique d'une quasi-période de l'ECG normal. De plus, dans le cas du LC-ADC, nous remplaçons la fréquence d'échantillonnage, F_s, par la fréquence d'échantillonnage moyenne, F_m, estimée en utilisant le nombre d'échantillons générés par seconde.

$$Nbit = \begin{cases} F_s \times M \times DT, & \text{pour ADC uniforme} \\ F_m \times (M + N) \times DT, & \text{pour LC} - \text{ADC} \end{cases} \quad \textbf{(E.1. 6)}$$

En effet, Li et al. montrent dans [120] que le LC-ADC élimine plus que 50 % des échantillons, acquis normalement par échantillonnage à des fréquences constantes pour les résolutions comprises entre 3 et 5 bits. Les auteurs montrent également que des réductions du volume de données acquises sont réalisées jusqu'à avec une résolution 8 bits du LC-ADC. Au-delà, de cette valeur, ces performances se dégradent à cause de l'augmentation du nombre de niveaux de références définis.

Les deux exemples commercialisés sont les convertisseurs SAR à 10 bits et ΣΔ à 24 bits de Texas Instruments [103,111] générant le nombre le plus faible de bits par seconde et consommant le moins de puissance parmi les exemples du Tableau 1. 11 et du Tableau 1. 13, respectivement. Les deux autres exemples de la littérature sont le SAR [5] et le ΣΔ à 10 bits [55]. Nous comparons le volume de données générées par ces ADCs aux deux LC-ADCs présentés dans [113] et [115]. Dans cette comparaison, nous relevons les valeurs de F_s pour une fréquence du signal d'entrée autour de 200 Hz conformément à la bande de fréquence maximale du signal ECG.

Les résultats en termes du nombre total de bits générés par seconde sont résumés au Tableau 1. 15.

Tableau 1. 15 Comparaison du volume de données générées

	ADC @ (M, F_s)	**$Nbit$ par seconde ($kbits$)**
ADCs uniformes dans la littérature	SAR @$(10\ bits, 1$ à $100\ kHz)$ [5]	10 à 1000
	$\Sigma\Delta$@ $(10\ bits, 51.2\ kHz)$ [55]	512
ADCs uniformes commercialisés	SAR @$(10\ bits, 2\ MHz)$ [103]	20000
	$\Sigma\Delta$@ $(24\ bits, 125\ kHz)$ [111]	3000
ADCs à échantillonnage par traversée de niveaux	fenêtre fixe non-adaptatif [113] @$(6\ bits, -)$	14.7
	fenêtre flottante adaptatif [115] @ $(8\ bits, -)$-	20

Ainsi, grâce à sa faible fréquence moyenne d'échantillonnage et sa faible résolution, le volume de données générées par le LC-ADC est clairement inférieur à celui des deux convertisseurs uniformes tel que le montre le Tableau 1. 15. En tenant compte de ces observations et des résultats de l'$ENOB$, nous concluons que l'échantillonnage avec ces ADCs conventionnels est loin d'être optimal. En revanche, le LC-ADC représente une meilleure solution pour diminuer l'activité du circuit pendant l'échantillonnage, et par suite limiter la consommation de puissance des modules de communication radio et du dispositif en total.

1.5. Conclusion

De nos jours, la diversité des cas d'usage de l'électrocardiogramme motive les chercheurs et le marché des instrumentations médicales à proposer des solutions programmables, connectées et flexibles. Dans ce chapitre, nous avons commencé par identifier et caractériser les systèmes usuels de surveillance de l'activité électrique cardiaque proposés par la communauté scientifique. Nous avons alors montré que l'efficacité énergétique et le stockage des données numérisées est un défi technologique de haute importance.

C'est ainsi que nous avons accordé un intérêt particulier dans la deuxième section de ce chapitre, à l'étude des caractéristiques médicales et du caractère parcimonieux du signal ECG. Cette étude, avec la revue des travaux exploitant la parcimonie du signal ECG dans les applications de compression, ont permis de vérifier la possibilité d'exploiter les variations lentes du signal ECG au cours du temps pour éliminer les redondances dans le signal de façon intrinsèque à l'étape de numérisation. De plus, le caractère parcimonieux du signal ECG peut être exploité pour accentuer la réduction du volume de données après acquisition dans le cadre d'une étape de compression numérique.

Dans la troisième section, à l'issu de l'état de l'art des ADCs utilisés pour la numérisation de l'ECG dans les solutions commercialisées et proposées dans la littérature, nous avons montré que l'approche conventionnelle de l'échantillonnage des signaux analogiques est indépendante des caractéristiques du signal ECG. Par ailleurs, la nouvelle classe des convertisseurs analogique-numérique par traversée de niveaux, proposée dans la littérature, représente une approche pertinente pour la réduction de la quantité de données acquises et donc la réduction de la consommation de puissance. De plus la

compression, nécessaire à la transmission de l'information dans un cadre traditionnel avec échantillonnage uniforme est intrinsèque à ce procédé. Cette conclusion a motivé notre étude de dimensionnement et de modélisation du LC-ADC, que nous présentons dans le chapitre 2.

Chapitre 2. Modélisation et dimensionnement d'un LC-ADC

2.1. Introduction

L'état de l'art prometteur des premières applications de l'échantillonnage par traversée de niveaux motivent nos travaux de recherche pour le recours à cette technique pour la numérisation des signaux ECG. En effet, nous avons dégagé l'importance de l'échantillonnage dépendant de l'activité du signal pour notre système d'acquisition de l'électrocardiogramme. Néanmoins, les travaux antérieurs n'ont pas apporté un dimensionnement du LC-ADC en tenant compte de toutes les caractéristiques de l'ECG et des simulations avec plusieurs types de pathologies cardiaques [7].

Pour répondre à cette problématique, nous envisageons à travers le travail présenté dans ce deuxième chapitre, d'étudier en détail le fonctionnement du LC-ADC en fonction des caractéristiques du signal ECG qui peuvent impacter sur les paramètres du convertisseur. Notre objectif est de reprendre et de compléter la méthodologie de dimensionnement proposée par Allier et al. dans [94] puis de proposer un nouveau modèle du convertisseur LC-ADC et de le valider par des simulations dans MATLAB/SIMULINK. Le choix des paramètres appropriés du convertisseur permettra de minimiser la distorsion du signal ECG.

Le présent chapitre est alors structuré en trois sections. Dans la première section, nous effectuons la modélisation structurelle de l'architecture à fenêtre flottante et nous définissons des conditions pour justifier le choix des différents paramètres nécessaires pour le dimensionnement et l'analyse de l'erreur de quantification du temps. Dans la deuxième section du chapitre, nous modélisons l'erreur d'offset dans les comparateurs et les erreurs de non-linéarité dans les DACs. Afin d'analyser les performances du LC-ADC, cette étude est complétée par l'application d'un signal déterministe dont les propriétés temporelles et spectrales sont connues et l'analyse des performances en termes de SNR. Par la suite, nous proposons une méthode de dimensionnement au niveau système adaptée aux spécifications des signaux ECG reflétant des arythmies, dans la troisième section. Cette méthode a été établie après étude des caractéristiques des signaux ECG normal et pathologiques. L'objectif de cette méthode est de minimiser les distorsions liées aux variations des paramètres intrinsèques du signal. Finalement, nous analysons les performances du LC-ADC avec des signaux ECG réels pour valider les choix des paramètres de dimensionnement pour l'acquisition du signal ECG.

2.2. Présentation du fonctionnement du LC-ADC

En effet, nos recherches dans la littérature montrent que les travaux qui sont dédiés à la modélisation détaillée de l'architecture du LC-ADC en analysant son fonctionnement sans et en présence des erreurs des composants analogiques ou en considérant des facteurs comme les variations pathologiques dans le signal ECG sont quasiment inexistants. Les travaux publiés se divisent principalement en trois catégories. La première catégorie est dédiée à la réalisation du circuit électronique du LC-ADC. Dans ces travaux, le LC-ADC est décrit en utilisant un schéma en bloc simplifié. Puis, la conception des composants les plus critiques comme le DAC et le comparateur est détaillée. Dans ce cas, seuls les résultats de simulation du circuit électronique sont présentés [92,119-121], mais aussi les erreurs des composants analogiques sont mesurées dans certains travaux [96,122].

La deuxième catégorie présente des simulations comportementales d'un modèle sans le développer [92,96]. Ainsi, un schéma en bloc du LC-ADC est présenté et une analyse des résultats de simulations comportementales dans MATLAB en termes de SNR est faite. Ce sont les premiers travaux sur le LC-ADC [91,96,114,123], mais aussi d'autres travaux plus récents existent [92]. Enfin, la troisième catégorie des travaux utilise le LC-ADC pour améliorer un traitement numérique du signal ECG comme la détection du complexe QRS [124-125]. Dans ce cas, les résultats de simulations comportementales présentés résument les performances de la technique de traitement proposées mais pas celles du LC-ADC.

D'après cette revue des travaux existants, nous jugeons comme étape primordiale la proposition d'un modèle détaillé du LC-ADC nous permettant de définir l'architecture système du convertisseur et de faire un dimensionnement tout en tenant compte des caractéristiques du signal ECG et des erreurs des composants analogiques. Ainsi, nous présentons dans cette section notre description de l'architecture du LC-ADC en détaillant le flot de données à travers les différents étages dans un premier temps. Dans un second temps, nous expliquons l'origine de l'erreur de quantification comme étant une erreur intrinsèque à l'architecture du LC-ADC et nous analysons son impact sur la précision de l'échantillonnage. Nous utilisons dans notre analyse un signal sinusoïdal de fréquence 220 Hz comme étant un signal déterministe mais aussi le signal le plus utilisé pour la caractérisation des convertisseurs analogique-numérique. La fréquence de la sinusoïde est choisie dans la bande de fréquence du signal ECG.

2.2.1. Description des blocs constitutifs

Le convertisseur LC-ADC est constitué de cinq étages dont trois sont connectés en formant deux boucles identiques ayant en commun le signal analogique d'entrée. Le schéma fonctionnel du LC-ADC est présenté à la Figure 2. 1. Les éléments d'une boucle sont un comparateur de tension, un étage numérique de mise à jour de la valeur des niveaux de références et un DAC. La fonction de chacune des boucles est la détection de la traversée de niveaux par le biais des comparateurs suivie par la mise à jours des valeurs numériques puis analogiques des niveaux de références. Les deux autres étages sont dédiés aux calcul

des intervalles de temps séparant les traversées de niveaux et la mise à jour des données en sortie du LC-ADC.

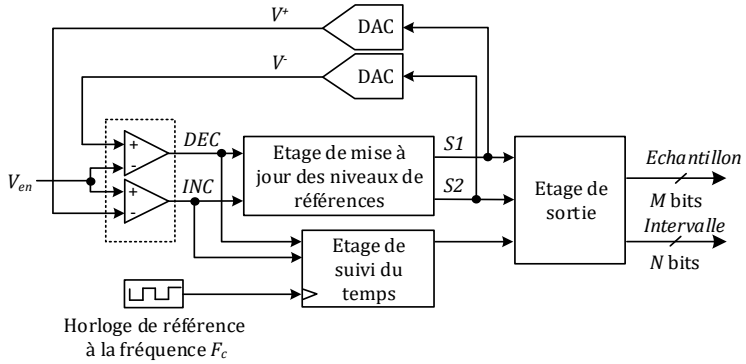


Figure 2. 1 Schéma fonctionnel du LC-ADC.

Le signal d'entrée, V_{en}, est comparé en temps continu aux niveaux des tensions de références, V^+et V^-. Tant que V_{en} n'a pas franchi l'un des deux niveaux, les sorties des deux comparateurs, INC pour incrémenter et DEC pour décrémenter, sont maintenues à l'état bas. Pendant ce temps, l'étage de suivi de temps calcule le nombre de périodes de l'horloge de référence entre deux traversées successives à une fréquence F_c. La durée d'un échantillon est ainsi approchée par un multiple de la période de l'horloge. Lorsque le signal traverse V^+ ou V^-, l'une des sorties des comparateurs, INC ou DEC, passe à l'état haut, respectivement. Par conséquent, les valeurs numériques des niveaux de références, $S1$ et $S2$, les valeurs analogiques de V^+et V^- et les valeurs numériques des signaux de sortie du LC-ADC, $Echantillon$ et $Intervalle$, qui représentent les échantillons de l'amplitude et les intervalles de temps associés, sont alors actualisés.

Les paramètres caractérisant l'architecture au niveau système du LC-ADC telle que présentée à la Figure 2. 1 sont :

- la pleine échelle, PE, qui délimite la plage de variation admissible du signal d'entrée, et qui doit couvrir les variations d'amplitude des signaux échantillonnés,
- la résolution de l'amplitude, M, qui définit le nombre de bits d'un échantillon d'amplitude, $Echantillon$, à la sortie du convertisseur,
- la fréquence de l'horloge de référence, F_c, dont l'inverse représente la résolution temporelle de quantification des intervalles de temps, et
- la résolution de l'étage de suivi du temps, N, qui définit le nombre de bits d'un intervalle de temps, $Intervalle$, à la sortie du LC-ADC.

Ensemble, la pleine échelle, PE, et la résolution, M, définissent le pas de quantification qui est égal à la différence entre deux niveaux de références consécutifs, selon (E.2. 1).

$$q = \frac{PE}{2^M} \qquad \textbf{(E.2. 1)}$$

Le LC-ADC est caractérisé par un fonctionnement qui dépend uniquement des variations locales du signal autour des niveaux de références définis. Seuls sont les signaux logiques INC et DEC, à la sortie des comparateurs, qui activent la modification de l'état du circuit.

En revanche, la présence d'une horloge de fréquence F_c est nécessaire pour la quantification des intervalles de temps.

2.2.2. Analyse de l'erreur de quantification du temps

Dans le cas du LC-ADC, les niveaux d'amplitude, $S1$ et $S2$, ne sont pas quantifiés comme le cas des convertisseurs classiques mais les intervalles du temps le sont [91]. En effet, l'erreur de quantification du temps engendre aussi une erreur d'amplitude. D'après les travaux de Sayiner et al., pour une $n^{ème}$ traversée, l'erreur de calcul du temps δt_n implique une erreur en amplitude, δV_n, sur le signal de sortie, telle que présentée à la Figure 2. 2. La relation entre δt_n et δV_n est définie par la dérivée locale du signal d'entrée dans l'intervalle de temps, δt_n, qui est strictement inférieur à la période de l'horloge de référence, T_c.

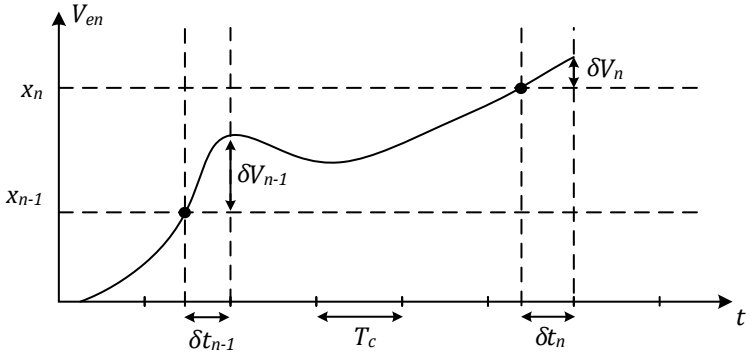


Figure 2. 2 Erreur de quantification du temps dans un LC-ADC pour un signal quelconque.

La dégradation de la qualité du signal due au bruit de quantification est caractérisée par le SNR dont l'expression pour le cas du LC-ADC est différente des convertisseurs à échantillonnage uniforme. Dans une tentative d'analyser les variations du SNR, Sayiner et al. ont proposé des simulations avec un signal sinusoïdal en fonction du rapport de résolution définit dans (E.2. 2) [91], où f_{en} est la fréquence du signal d'entrée sinusoïdal à l'entrée du LC-ADC.

$$R = \frac{F_C}{f_{en}} \qquad \textbf{(E.2. 2)}$$

Ces simulations ont montré que le SNR spectral augmente de 6 dB en doublant le rapport de résolution si la résolution de l'amplitude, M, tend vers l'infini. Puis, en 2003, Allier et al. ont proposé une expression du SNR dans leurs travaux sur l'acquisition asynchrone des signaux de parole en partant de la relation reliant l'erreur de quantification du temps à l'erreur d'amplitude qui en résulte [122]. Etant égal au rapport de la puissance du signal d'entrée, $P(V_{en})$, par la puissance de l'erreur en amplitude, l'expression du SNR pour un LC-ADC est ainsi donnée par (E.2. 3), où $P(dV_{en}/dt)$ est la puissance de la dérivée du signal d'entrée. Cette expression a été originellement proposée avec un facteur multiplicatif du rapport des puissances égal à 3 au lieu de 12 [91,122-126]. Elle n'est valable que lorsque M tend vers l'infini. En 2009, basés sur [91,122], Kozmin et al. ont proposé l'expression

du SNR pour un signal sinusoïdal. En tenant compte de la correction que nous avons apportée, l'expression (E.2. 3) devient (E.2. 4) [96].

$$SNR_{dB} = 10log_{10}\left(\frac{12P(V_{en})}{P\left(\frac{dV_{en}}{dt}\right)}\right) + 20\,log_{10}(F_c) \quad \textbf{(E.2. 3)}$$

$$SNR_{dB} = 20log_{10}(R) - 5.2 \quad \textbf{(E.2. 4)}$$

Dans la suite de notre étude de fonctionnement du LC-ADC, l'expression (E.2. 3) est utilisée en appliquant le signal sinusoïdal. En tenant compte de la quantification du temps et de la comparaison du signal d'entrée à des niveaux de références selon une distribution uniforme, nous procédons dans la sous-section suivante à la modélisation détaillée des différents étages du LC-ADC.

2.2.3. Modélisation du fonctionnement du LC-ADC en présence de l'erreur de quantification du temps

Conformément au fonctionnement décrit à la sous-section 2.2.1, nous avons modélisé l'architecture du LC-ADC dans MATLAB/SIMULINK [127]. Des modèles comportementaux des composants analogiques ont été réalisés en utilisant des opérateurs logiques et arithmétiques de la bibliothèque "*Commonly Used Blocks*", configurés pour un fonctionnement en temps continu. Les comparateurs ont été modélisés avec des blocs de comparaison à deux entrées. Les DACs ont été décrits avec une fonction qui associe un niveau de référence, représenté par un nombre à virgule flottante, à chaque valeur numérique représentée par une valeur entière selon les spécifications du standard IEEE 754 [128]. Nous décrivons, dans les paragraphes suivants, les modèles structurels des étages numériques à savoir l'étage de mise à jour des niveaux de références, l'étage de suivi du temps et l'étage de sortie.

L'étage de mise à jour des niveaux de références est composé de deux accumulateurs, $AccH$ et $AccL$ qui sont contrôlés par une succession de trois multiplexeurs, $MuxU$, $MuxD$ et $MuxUD$, comme décrit à la Figure 2. 3. Chaque accumulateur met en jeux un additionneur de M bits qui actualise son état précédent et délivre la valeur numérique du niveau de référence au DAC correspondant. Les comparateurs, $CompU$ et $CompD$, détectent la traversée du niveau de référence supérieur, V^+, ou inférieur, V^-, respectivement. Pour modéliser un fonctionnement cadencé à l'activité du signal, les accumulateurs ne modifient leur valeurs qu'au niveau haut du signal, INC ou DEC. Ainsi, l'étage réalise une incrémentation de 1 lorsque le niveau supérieur est franchi et une décrémentation de 1 dans le cas contraire. Sinon, les signaux de sortie des deux accumulateurs, $S1$ et $S2$, restent inchangés.

Le Tableau 2. 1 résume les valeurs prises par les signaux dans l'étage de mise à jour des niveaux de références en fonction de INC et DEC. Les signaux S_{mux3}, $Si(n)$ et $Si\ (n-1)$ pour i apparetenant à $[\![1,2]\!]$ représentent la sortie de $MuxUD$, l'état présent et l'état précédent de la sortie de l'accumulateur d'ordre i, respectivement, où i est égal à 1 pour $AccH$ et 2 pour $AccL$. Tout au long du processus d'échantillonnage, la différence entre $S1$

et $S2$ est maintenue égale à 1. Nous obtenons à partir du Tableau 2. 1 l'expression de $Si(n)$ en fonction de INC et DEC (E.2. 5).

$$Si(n) = \begin{cases} Si(n-1)+1 & si\ \ INC = 1\ et\ DEC = 0 \\ Si(n-1)-1 & si\ \ INC = 0\ et\ DEC = 1 \quad i \in [\![1,2]\!] \\ Si(n-1) & si\ \ INC \oplus DEC = 0 \end{cases} \qquad \textbf{(E.2. 5)}$$

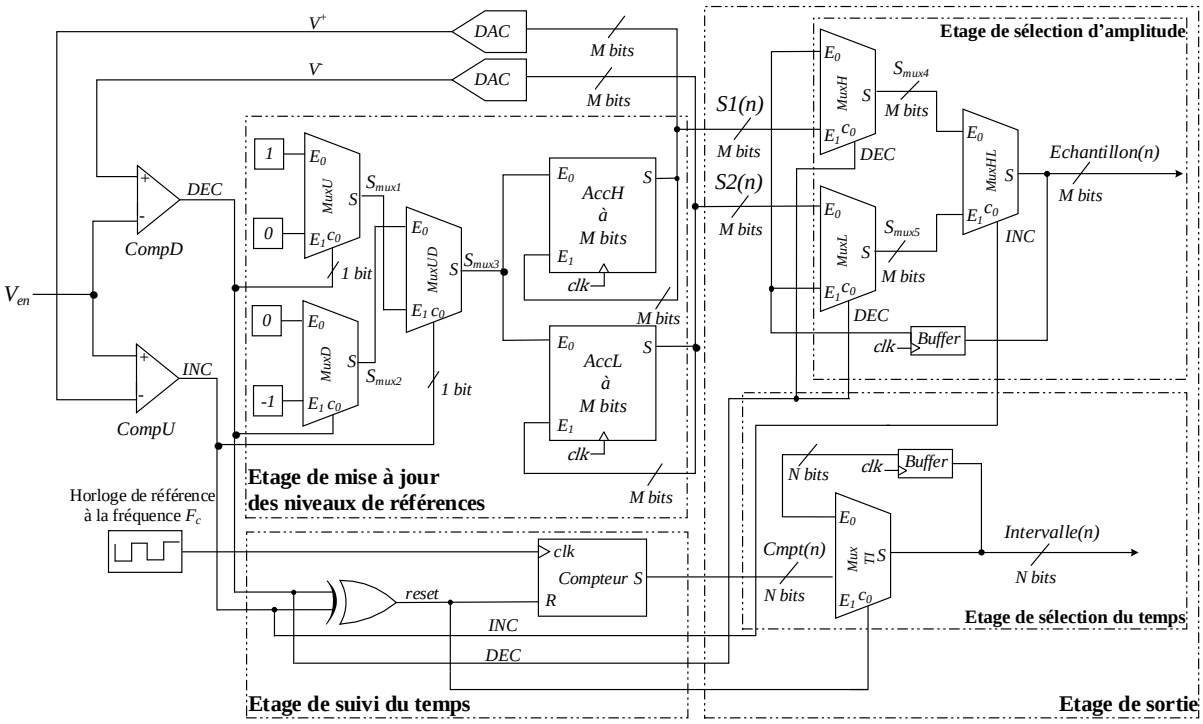


Figure 2. 3 Modèle structurel du LC-ADC à *M* bits.

Tableau 2. 1 Table de vérité de l'étage de mise à jour des niveaux de références.

INC	DEC	S_{mux1}	S_{mux2}	S_{mux3}	$Si(n)$
0	0	1	0	S_{mux2}	$Si(n-1)$
0	1	0	-1	S_{mux2}	$Si(n-1)-1$
1	0	1	0	S_{mux1}	$Si(n-1)+1$
1	1	0	-1	S_{mux1}	$Si(n-1)$

Même si des buffers synchronisés à la fréquence de l'horloge sont requis pour faire l'accumulation par rapport aux données précédentes, l'état de l'étage de mise à jour des niveaux de références n'est modifié que sur passage à un niveau haut de INC ou DEC. Contrairement à ceci, l'étage de suivi du temps est synchronisé à l'horloge de référence. Il comporte un compteur à N bits qui s'incrémente à chaque front montant de l'horloge tant que INC et DEC sont au niveau bas. La remise à zéro du compteur est conditionnée par la porte XOR qui délivre un signal de $reset$ actif à chaque nouvelle traversée de niveau. Ce comportement est décrit dans le Tableau 2. 2, où $Cmpt(n)$ est la sortie présente du compteur et $Cmpt(n-1)$ est sa sortie précédente.

Tableau 2. 2 Table de vérité de l'étage de suivi du temps.

Horloge	INC	DEC	$Cmpt(n)$
↑	0	0	$Cmpt(n)+1$
↑	1	1	$Cmpt(n)+1$
x	0	0	$Cmpt(n-1)$
x	1	1	$Cmpt(n-1)$
x	x	x	0

Outre le pas de quantification, q, défini en (E.2. 1), il faut justifier les choix de la fréquence de l'horloge de référence, F_c, et de la résolution du compteur, N. D'un côté, le choix de la fréquence dépend de la variation la plus rapide du signal entre deux niveaux de références consécutifs. Cette condition est exprimée par (E.2. 6) où $|dV_{en}/dt|_{max}$ est la pente maximale du signal d'entrée entre deux niveaux de références successifs avec $|x|$ la valeur absolue de x. Dans le cas contraire, des échantillons seront manquants à la sortie du LC-ADC ce qui engendre des formes écrêtées du signal reconstruit.

$$\left|\frac{dV_{en}}{dt}\right|_{max} \leq qF_C \qquad \textbf{(E.2. 6)}$$

D'un autre côté, le compteur ne doit pas dépasser la valeur maximale, $2^N - 1$, pendant la durée de la variation la plus lente du signal entre deux niveaux de références consécutifs. Par conséquent, le choix de la résolution du compteur est conditionné par la pente minimale du signal tel que le décrit (E.2. 7).

$$\left|\frac{dV_{en}}{dt}\right|_{min} \geq \frac{q}{2^N - 1}F_C \qquad \textbf{(E.2. 7)}$$

En considérant l'expression (E.2. 7), pour un signal d'entrée, V_{en}, pour un pas de quantification q et une fréquence F_c donnés, la résolution minimale du compteur, N_{min}, est déterminée par (E.2. 8), où $\lfloor x \rfloor$ est la partie entière de x.

$$N_{min} = \left\lfloor log_2\left(\frac{qF_C}{\left|\frac{dV_{en}}{dt}\right|_{min}} + 1\right)\right\rfloor \qquad \textbf{(E.2. 8)}$$

L'étage de sortie tel que décrit à la Figure 2. 3 est divisé en deux sous-étages. Le premier étage sélectionne la valeur numérique de l'échantillon d'amplitude, $Echantillon(n)$. Il est composée de deux multiplexeurs parallèles, $MuxH$ et $MuxL$, en cascade avec un troisième, $MuxHL$, dont la fonction est de mettre à jour la valeur de $Echantillon$ uniquement sur niveau haut de INC et DEC. Ce comportement est décrit dans le Tableau 2. 3, où S_{mux4} et S_{mux5} sont les signaux de sorties de $MuxH$ et $MuxL$, respectivement.

Tableau 2. 3 Table de vérité de l'étage de sélection d'amplitude.

INC	DEC	S_{mux4}	S_{mux5}	$Echantillon(n)$
0	0	$Echantillon(n-1)$	$S2(n)$	$Echantillon(n-1)$
0	1	$S1(n)$	$Echantillon(n-1)$	$S1(n)$
1	0	$Echantillon(n-1)$	$S2(n)$	$S2(n)$
1	1	$S1(n)$	$Echantillon(n-1)$	$Echantillon(n-1)$

Le deuxième sous-étage sélectionne la valeur adéquate, $Intervalle(n)$, par le biais d'un multiplexeur, $Mux\ TI$, contrôlé par le signal $reset$. Ainsi, au niveau haut du signal INC ou DEC, $Mux\ TI$ sélectionne la sortie du compteur $Cmpt\ (n)$ qui correspond à la dernière valeur non-nulle avant la remise-à-zéro du compteur. Dans le cas contraire, $Intervalle(n-1)$ est à nouveau délivré grâce à la boucle de retour sur la deuxième entrée de $Mux\ TI$. A partir de la Figure 2. 3, Tableau 2. 2 et Tableau 2. 3, nous déduisons les expressions des signaux de sortie du LC-ADC décrits dans (E.2. 9) et (E.2. 10).

$$Echantillon(n) = \begin{cases} S2(n), & INC = 1\ et\ DEC = 0 \\ S1(n), & INC = 0\ et\ DEC = 1 \\ Echantillon(n-1) & , \quad sinon \end{cases} \qquad \textbf{(E.2. 9)}$$

$$Intervalle(n) = \begin{cases} Cmpt(n), & INC \oplus DEC = 1 \\ Intervalle(n-1) & , \quad sinon \end{cases} \qquad \textbf{(E.2. 10)}$$

Après description structurelle de l'architecture du LC-ADC à fenêtre flottante, nous détaillons dans la sous-section suivante les résultats de notre analyse du fonctionnement de ce convertisseur en validant le modèle proposé.

2.2.4. Analyse du fonctionnement du LC-ADC avec un signal sinusoïdal

En suivant la méthodologie de l'analyse du fonctionnement, décrite à la Figure 2. 4, nous considérons une sinusoïde pure en entrée du LC-ADC de fréquence f_{en} égale à 220 Hz et d'amplitude A_{en} égale à 4.5 mV. Ces valeurs de l'amplitude et de la fréquence sont choisies pour être conformes à la fréquence et amplitude maximales d'un signal ECG. Le modèle est simulé en variant la résolution du LC-ADC et la fréquence du compteur. Cette étude permet de valider notre description architecturale du LC-ADC avant de passer à la phase de dimensionnement pour la numérisation des signaux ECG. Le processus de validation consiste à comparer les valeurs théoriques du SNR, calculées à partir de (E.2. 3), aux valeurs calculées après acquisition par le LC-ADC, interpolation des données issues du LC-ADC et analyse spectrale.

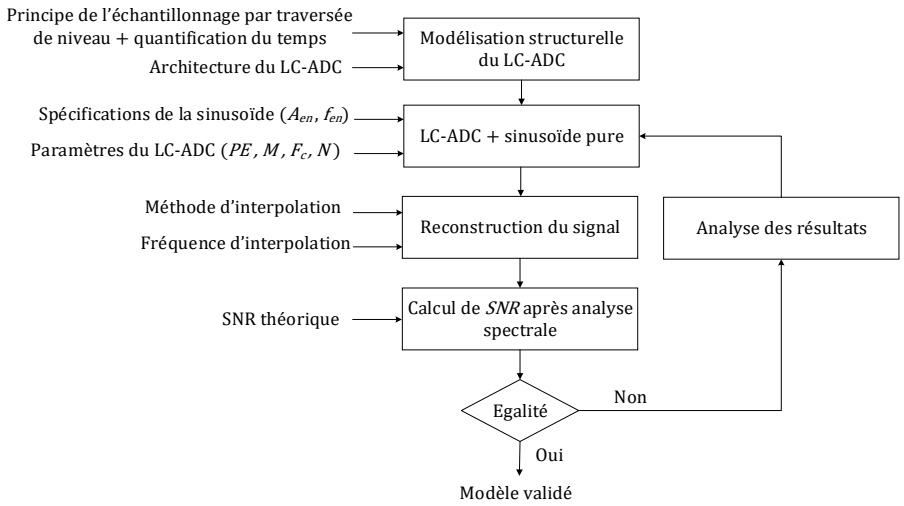


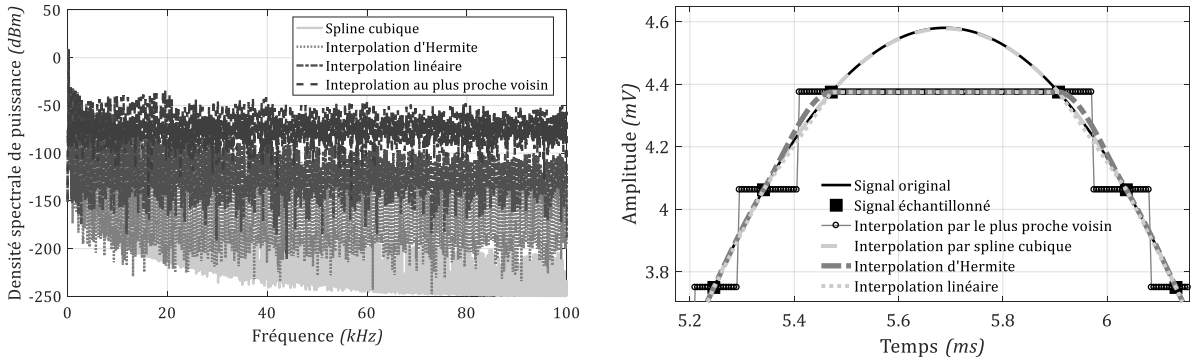
Figure 2. 4 Méthodologie d'analyse du fonctionnement du LC-ADC avec un signal sinusoïdal.

Comme le montre la Figure 2. 4, le SNR dépend non-seulement des distorsions introduites par la quantification du temps mais aussi du bruit ajouté par l'algorithme d'interpolation pour la reconstruction du signal uniforme. Nous discutons donc le choix d'une méthode de reconstruction adaptée au signal sinusoïdal pour s'approcher des valeurs du SNR théorique. Ainsi, nous avons généré des couples de données, $(Echantillon, Intervalle)$, sans quantification du temps en comparant la sinusoïde à une distribution de 32 niveaux de références équidistants pour l'exemple d'une résolution M égale à 5 bits. Nous avons ensuite utilisé les fonctions prédéfinies de MATLAB pour tester l'interpolation linéaire et l'interpolation au plus proche voisin, comme étant les plus simples des techniques d'interpolation, puis l'interpolation par polynômes d'Hermite et l'interpolation par spline cubique, vu la ressemblance entre les formes des fonctions polynomiales et la fonction sinusoïdale. De plus, reconstruire avec un polynôme d'ordre plus élevé risque de nous mener vers le phénomène de Runge [129].

Les quatre méthodes sont décrites dans le Tableau 2. 4. Le SNR est mesuré après représentation spectrale en appliquant une transformée de Fourier rapide (FFT, Fast Fourier Transform) et une fenêtre d'apodisation de type Hanning sur 8192 points dans la bande $[0,F_r/2]$, où F_r est la fréquence de reconstruction. Comme le montre la Figure 2. 5 (a), la valeur de F_r est égale à 200 kHz. Elle est choisie supérieure à la fréquence de la sinusoïde pour éviter le repliement du spectre. Il s'avère que l'interpolation linéaire, l'interpolation au plus proche voisin et l'interpolation d'Hermite sont limitées en précision par rapport à l'interpolation par spline cubique, qui donne le meilleur SNR. En effet, pour le cas du signal sinusoïdal, les limitations de l'algorithme de reconstruction apparaissent au niveau de ses deux extrema. Selon les résultats de la Figure 2. 5 (b), l'interpolation par spline cubique reconstruit correctement l'extremum à partir de deux points uniquement.

Tableau 2. 4 Valeurs du *SNR* pour les différents algorithmes de reconstruction.

Méthode d'interpolation	Description	SNR (dB)
Spline cubique	- Définition d'un polynôme cubique entre deux échantillons successifs. - Interpolation de la fonction et ses dérivées première et seconde. - Fonctions dérivables de classe C^2.	74.76
Hermite	- Définition d'un polynôme cubique entre deux échantillons successifs. - Interpolation de la fonction et sa dérivée première. - Fonctions dérivables de classe C^1.	35.03
Linéaire	- Mise en forme linéaire entre deux échantillons successifs. - Fonctions continues de classe C^0.	35.70
Au plus proche voisin	- Recherche de la valeur du point le plus proche. - Fonctions constantes par morceaux.	30.35



(a) Représentation du spectre après interpolation. **(b) Exemple de reconstruction d'un extremum.**

Figure 2. 5 Comparaison de quatre algorithmes de reconstruction.

En complément des travaux de Sayiner et al., d'Allier et al. et ceux de Kozmin et al., dans [91], [94] et [96], respectivement, nous avons déterminé les variations du SNR en fonction de la fréquence de l'horloge et de la résolution du LC-ADC pour une résolution du compteur égale à 32 bits. Cette valeur est choisie pour éviter les erreurs de compression de l'axe du temps quelles que soient les valeurs de M et F_c. La Figure 2. 6 donne les variations du SNR pour M variant de 2 à 10 bits et F_c de 20 kHz à 200 MHz. Pour améliorer notre analyse des variations du SNR, ces valeurs maximales de résolution M et de fréquence F_c sont choisies en gardant des marges par rapport aux valeurs maximales de résolutions, 8 bits et de fréquence, 50 MHz, identifiées dans [92], [115] et [113].

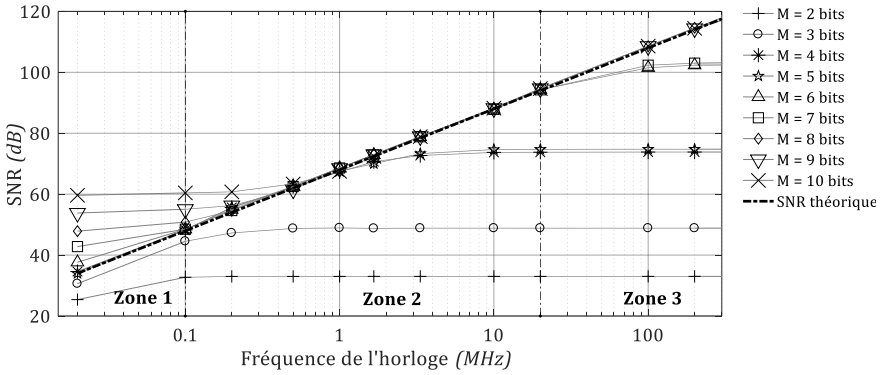


Figure 2. 6 Variations du *SNR* en fonction de *M* et *F*$_c$.

Nous constatons que les valeurs du SNR simulées se caractérisent par 3 types de variations par rapport à la courbe théorique. Le premier type, concerne les résolutions inférieures ou égales à 3 bits où le SNR mesuré est inférieur à la valeur théorique correspondante pour toutes les valeurs simulées de F_c. Dans ce cas, vu le nombre réduit de données en sortie du LC-ADC, l'erreur de reconstruction sature le SNR. Le deuxième type de variations, valide pour les résolutions entre 4 et 7 bits, présente trois zone différentes, que nous délimitons sur la Figure 2. 6 pour la cas de la résolution égale à 7 bits. Dans la première zone, le SNR mesuré est supérieur à la valeur théorique correspondante pour certaines valeurs de F_c. Ce cas se produit lorsque la condition (E.2. 6) n'est pas respectée et par conséquent la reconstruction du signal ne peut être effectuée qu'après élimination des instants redondants. A titre d'exemple, pour le cas de la résolution 8 bits à la fréquence, F_c, égale à 20 kHz, environ 30 % des données redondantes

sont éliminées ce qui entraîne une diminution de l'erreur de quantification et augmente ainsi le SNR mesuré de 3,7 dB par rapport à la valeur théorique. La deuxième zone est linéaire où le SNR mesuré suit correctement le segment des valeurs théoriques et la condition (E.2. 6) est respectée. Dans la troisième zone, le SNR mesuré sature à cause des limitations de l'algorithme de reconstruction face au nombre fini de niveaux de références définis.

Au contraire, pour le troisième type de variations pour les résolutions de 8 à 10 bits, l'écart entre les niveaux de références et les extrema de la sinusoïde est significativement réduit grâce au nombre augmenté des niveaux de références. L'erreur de reconstruction est alors moins importante et les valeurs mesurées du SNR se rapprochent des valeurs théoriques. Finalement, nous pouvons conclure que les zones non-linéaires du SNR mesuré ne sont pas dues à des erreurs de modélisation mais à des choix inappropriés des paramètre M et F_c du LC-ADC ou à des limitations de l'algorithme de reconstruction. Par ailleurs, pour respecter les conditions sur les pentes, (E.2. 6) et (E.2. 7), pour échantillonner correctement la sinusoïde de fréquence 220 Hz, les paramètres de l'étage de suivi du temps doivent être sélectionnés dans la zone linéaire donc pour des résolution supérieures ou égales à 4 bits. Plus précisément, pour le cas de la résolution 8 bits et la fréquence de l'horloge 500 kHz, le SNR est égal à 62 dB. Ces choix nous permettent de comparer notre LC-ADC aux ADCs de type SAR dédiés à la numérisation des signaux ECG dont la résolution est généralement autour de 10 bits impliquant un SNR d'environ 62 dB tels que présentés au Tableau 1. 11. Par conséquent, avec une pente maximale de la sinusoïde, égale à 6.32 V/s, calculée entre deux niveaux de références successifs, la résolution minimale du compteur est égale à 6 bits.

Dans la littérature, des travaux comme [91], [96] et [123] et que nous comparons à notre modèle au Tableau 2. 5, ont étudié les variations du SNR à travers des simulations comportementales de modèles LC-ADC en utilisant un signal sinusoïdal et une reconstruction polynomiale. Comme le SNR dépend de l'amplitude de la sinusoïde, de sa fréquence, f_{en}, et de la fréquence du compteur, F_c, comme indiqué par (E.2. 3), nous utilisons plutôt l'expression (E.2. 4) pour faciliter la comparaison avec ces travaux, où le rapport de résolution, R, est calculé en utilisant (E.2. 2). Nous rappelons que pour notre modèle du LC-ADC, f_{en} est égale à 220 Hz tandis que F_c est variée entre 20 kHz et 200 MHz.

Tableau 2. 5 Comparaison des performances du modèle LC-ADC avec des travaux dans la littérature en termes de *SNR*.

	SNR (dB)(1)			
	[91] @$N_{nr}^{(2)} = 16$	[96](3/4) $N_{nr} = 256$	[123] @$N_{nr} = 256$	Notre LC-ADC @$f_{en} = 220\ Hz$ @$N_{nr} = 256$
$R = 10^2$	-	30/40	-	47
R =2048	55	57/64	-	60
R =4096	61	62/72	110	67
R =8192	68	68/78	-	73
$R = 10^4$	-	70/80	-	76

(1) : Valeurs déterminées visuellement à partir des courbes fournies.

(2) : nombre de niveaux de références du LC-ADC.

(3/4) : fréquence de reconstruction égale à $4f_{en}$ / fréquence de reconstruction égale à $2f_{en}$

Certes, dans tous ces travaux, le SNR augmente avec le rapport de résolution mais la comparaison reste relativement exacte car le SNR dépend non-seulement du rapport de résolution mais aussi du pas de quantification et des méthodes de reconstruction qui ne sont différentes dans ces travaux. De plus, pour le cas des travaux dans [96] et [123], les LC-ADCs modélisés sont de type parallèle. Particulièrement, dans [123] la comparaison se fait par rapport à 256 niveaux de références. Il est vrai que le SNR associé est élevé mais une réalisation avec 256 comparateurs reste inenvisageable. Ainsi, nous pouvons conclure que notre LC-ADC assure un bon compromis entre le choix d'une architecture optimisée et des valeurs élevées du SNR.

A ce niveau de notre travail de recherche, nous avons montré que les performances du LC-ADC dépendent intrinsèquement de sa résolution, M, et de l'erreur de quantification du temps, qui est une erreur systématique. Par ailleurs, la partie analogique introduit également des incertitudes dans les mesures du signal. Nous n'avons pas identifié de relation dans la littérature qui relie les erreurs de la partie analogique à l'expression du SNR pour une architecture de type LC-ADC. Seules quelques mesures de ces erreurs après réalisation des circuits intégrés du LC-ADC ont été proposées. Nous proposons alors une modélisation comportementale des erreurs dominantes dans l'objectif de fournir un aperçu utile de leur impact sur la qualité du signal.

2.3. Modélisation des erreurs des composants analogiques du LC-ADC

En effet, même si les outils de conception assistée par ordinateur permettent de prendre en compte une large gamme des erreurs du circuit électronique du LC-ADC, ceux-ci souffrent d'un temps de simulation excessif et de problèmes de convergence [130]. Nous proposons ainsi, dans cette section, une modélisation comportementale des erreurs de la partie analogique inspirés des circuits réels des comparateurs et DACs. L'évaluation des limites de ces erreurs en fonction du SNR est à ce niveau présentée pour le signal sinusoïdal. De cette manière, le temps requis pour la conception et l'essai du circuit est considérablement réduit.

Les erreurs sont modélisées par description comportementale sur MATLAB/SIMULINK en utilisant des équations analytiques. Nous nous intéressons aux erreurs qui modifient la précision des niveaux de références en ajoutant un bruit de quantification d'amplitude supplémentaire. Les erreurs analogiques sont identifiées par rapports aux circuits électroniques des comparateurs et des DACs en technologie CMOS [127].

En effet, la précision des comparateurs est décrite en termes de trois paramètres dynamiques et statiques qui sont la vitesse de balayage (slew rate en anglais), le délai de propagation et la tension d'offset. Les deux premiers paramètres modifient l'évolution temporelle de la réponse des comparateurs ce qui limite la fréquence maximale du signal pouvant être appliqué au LC-ADC. Néanmoins, la fréquence faible du signal ECG relâche les contraintes sur la réponse temporelle des comparateurs. Par contre, la tension d'offset modifie la valeur des niveaux de références ce qui introduit un bruit de quantification de

l'amplitude. Ainsi, l'étude de l'erreur de tension d'offset est cruciale non seulement pour évaluer son impact sur la précision de l'échantillonnage mais aussi pour prévoir la possibilité d'une technique de compensation qui risque d'augmenter la complexité du circuit LC-ADC [131]. De plus, la précision du DAC est décrite en termes de trois paramètres statiques qui sont le gain, l'offset et la non-linéarité (NL) [132]. Dans nos travaux de recherche, nous nous intéressons aux erreurs de non-linéarité car ce type de non-idéalités est inévitable et ne peut pas être compensé contrairement aux erreurs d'offset et de gain.

Ainsi, nous commençons cette section par la description des modèles comportementaux de l'erreur d'offset et de non-linéarité. Nous analysons par la suite la réponse du LC-ADC après avoir défini une plage de variation de ces erreurs en nous reportant aux caractéristiques de quelques exemples de circuits commercialisés.

2.3.1. Modèles d'erreurs dans l'architecture du LC-ADC

Comme les comparateurs détectent les traversées de niveaux, ils ne doivent pas introduire de décalage aux valeurs des niveaux de références définis. De cette manière, un passage au niveau haut des signaux INC et DEC doit se produire suite à l'application d'une différence infiniment petite entre le signal d'entrée et V^+ ou V^-. Cette propriété est définie par la sensibilité du comparateur qui doit être très faible par rapport au pas de quantification, q. Le circuit du comparateur à deux étages, présenté à la Figure 2. 7, assure une plage de tension de sortie entre environ 25 % et 90 % de la tension d'alimentation et un gain allant jusqu'à 80 dB donc une sensibilité allant jusqu'à 0.11 mV pour une tension d'alimentation V_{dd} égale à 1.8 V [133-134].

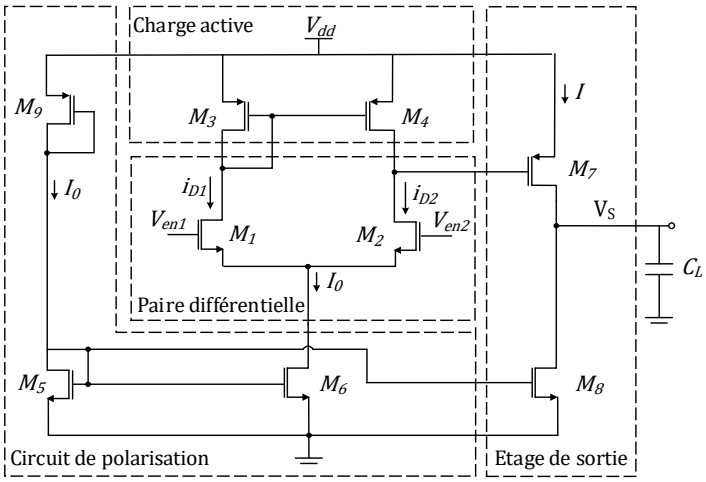


Figure 2. 7 Circuit du comparateur.

Le circuit du comparateur est composé de trois paires de transistors identiques (M_1, M_2), (M_3, M_4) et (M_5, M_6). La première est une paire différentielle dont les grilles sont connectées d'un côté au signal d'entrée, et d'un autre côté à V^+ou V^-. La deuxième est une charge active qui répartit uniformément le courant de polarisation entre M_1 et M_2 pour des tensions d'entrée égales. La troisième paire est utilisée pour polariser le circuit avec le courant I_0 contrôlé par le transistor M_9. De plus, l'étage de sortie composé des

transistors M_7 et M_8 définit la plage de variation de la tension de sortie entre les valeurs minimale et maximale de la tension d'alimentation. Ce circuit est décrit en plus de détails en Annexe G.

Dans ce circuit, la tension d'offset est essentiellement due aux imperfections de l'appariement des transistors identiques d'une même paire, qui se produisent pendant le processus de fabrication du circuit intégré [135]. Ces imperfections incluent les variations de la tension de seuil, l'épaisseur de l'oxyde entre la grille et le substrat ainsi que les dimensions des transistors. Ces variations produisent des différences entre les courants de drain, i_{D1} et i_{D2}, conduisant à une tension de sortie non nulle lorsque V^+ ou V^- est franchi.

Ainsi, la tension d'offset est définie comme la tension différentielle d'entrée non nulle qui existe lorsqu'un changement est observé sur le signal de sortie comme indiqué en (E.2. 11) et (E.2. 12), où V_o^+ et V_o^- sont les tensions d'offset de $CompU$ et $CompD$, respectivement. Cela peut être vu comme si le signal est comparé à une mauvaise valeur de V^+ et V^-, respectivement. Ainsi, les niveaux de références décalées par effet d'erreur d'offset sont modélisés en ajoutant deux erreurs aux valeurs idéales de V^+et V^-, comme l'indique (E.2. 12), où V_o^+ et V_o^- sont les niveaux de références effectifs dus aux tensions d'offset V_ε^+ et V_ε^-, respectivement, et ε_i est un entier positif dans l'intervalle ⟦0,100⟧.

$$\begin{cases} INC = 1 \text{ si } V_{en2} - V^+ = V_o^+ \\ DEC = 1 \text{ si } V^- - V_{en1} = V_o^- \end{cases} \quad \textbf{(E.2. 11)}$$

$$\begin{cases} V_\varepsilon^+ = V^+ + V_o^+, & \text{où } V_o^+ = \dfrac{\varepsilon_1}{100} q \\ V_\varepsilon^- = V^- - V_o^-, & \text{où } V_o^- = \dfrac{\varepsilon_2}{100} q \end{cases} \quad \textbf{(E.2. 12)}$$

Le modèle d'erreur des tensions d'offset des deux comparateurs est donné à la Figure 2. 8. Les erreurs de tension d'offset sont générées puis ajoutées aux valeurs idéales de V^+et V^- comme indiqué en (E.2. 11) et (E.2. 12).

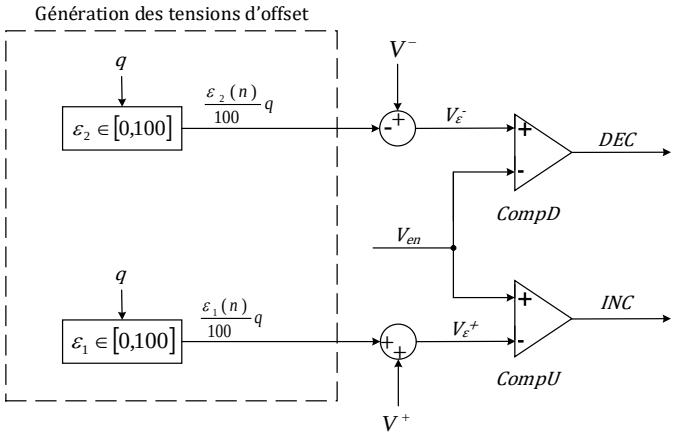


Figure 2. 8 Modèle d'erreur de la tension d'offset.

Par ailleurs, la conversion numérique-analogique se fait généralement avec des DACs à réseaux résistifs ou capacitifs [132]. Néanmoins, en technologie CMOS, les réseaux capacitifs sont plus avantageux en termes d'occupation de surface et de précision

d'implantation sur silicium [136]. Pour ces raisons nous choisissons le DAC à division de charge formé par des capacités pondérées, représentées à la Figure 2. 9. C'est une architecture adaptée pour des résolutions inférieures à 10 bits [133].

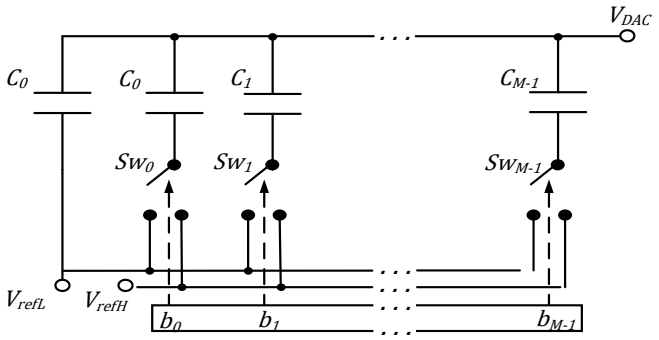


Figure 2. 9 Architecture d'un DAC à division de charge de résolution *M* bits.

La Figure 2. 9 montre le circuit du DAC à M bits, où C_0 est la capacité élémentaire. Les armatures inférieures des condensateurs $C_i = 2^i C_0$ pour $0 \leq i \leq M-1$ sont connectées respectivement à M commutateurs $Sw_0, Sw_1, \ldots,$ et Sw_{M-1} de type CMOS, tandis que les armatures supérieures se joignent au nœud de sortie, V_{DAC}. Les commutateurs sont commandés par les codes numériques d'entrée $b_0, b_1, \ldots,$ et b_{M-1}. Un condensateur C_i est connecté à la tension de référence V_{refH} lorsque le bit b_i est à l'état haut et connecté à V_{refL} sinon, où V_{refH} et V_{refH} sont la tension maximale et la tension minimale délivrées par le DAC, respectivement. Le circuit est identique à un diviseur de tension entre deux branches capacitives. Ainsi, la tension de sortie, donnée par (E.2. 13) est égale à la somme des tensions aux bornes des deux condensateurs équivalents connectés à V_{refH} et V_{refH}, où b_i est le $i^{ème}$ bit et $\bar{b}_i$ est son complément dans le mot binaire d'entrée $b_{M-1} \ldots b_1\ b_0$ dont la représentation décimale est notée S et est égale à $\sum_{i=0}^{M-1} 2^i b_i$.

$$V_{DAC}(S) = \sum_{i=0}^{M-1} \frac{2^i b_i}{2^M} V_{refH} + \sum_{i=0}^{M-1} \frac{2^i \bar{b}_i}{2^M} V_{refL}, S \in \{S1, S2\} \qquad \textbf{(E.2. 13)}$$

Les erreurs de non-linéarité sont très communes dans les micro et nanotechnologies dont les principales sources sont les imperfections d'appariement des tailles des capacités et les effets parasites des armatures supérieures dans le réseau binaire [136]. Pour une déviation, ΔC_i, par rapport à la valeur théorique, C_i, la tension de sortie du DAC s'exprime par (E.2. 14).

$$V_{DAC_{NL}}(S) = \frac{\sum_{i=0}^{M-1} 2^i b_i C_0 + \sum_{i=0}^{M-1} b_i \Delta C_i}{2^M C_0 + \sum_{i=0}^{M-1} \Delta C_i} V_{refH} + \frac{\sum_{i=0}^{M-1} 2^i \bar{b}_i C_0 + \sum_{i=0}^{M-1} \bar{b}_i \Delta C_i}{2^M C_0 + \sum_{i=0}^{M-1} \Delta C_i} V_{refL}, S \in \{S1, S2\} \qquad \textbf{(E.2. 14)}$$

Un exemple de fonctions de transfert idéale et non-linéaire d'un DAC à 5 bits est illustré à la Figure 2. 10. Une tension de sortie égale à $\sum_{i=0}^{4} 2^i b_i q$ est associée à chaque mot binaire d'entrée, $b_4 \ldots b_1\ b_0$, où V_{refL} est liée à la masse et V_{refH} est égale à 5 mV. La non-linéarité exprimée dans (E.2. 14) implique un décalage positif ou négatif de chaque point de la courbe idéale. Ce décalage est normalisé à q comme illustré sur la Figure 2. 10, où la non-linéarité intégrale, INL, est une erreur statique mesurée après correction des erreurs de

gain et d'offset [137]. Par conséquent, en se basant sur la Figure 2. 10, nous modélisons cette réponse non-linéaire par un polynôme de degré d, tel que d augmente avec q et INL.

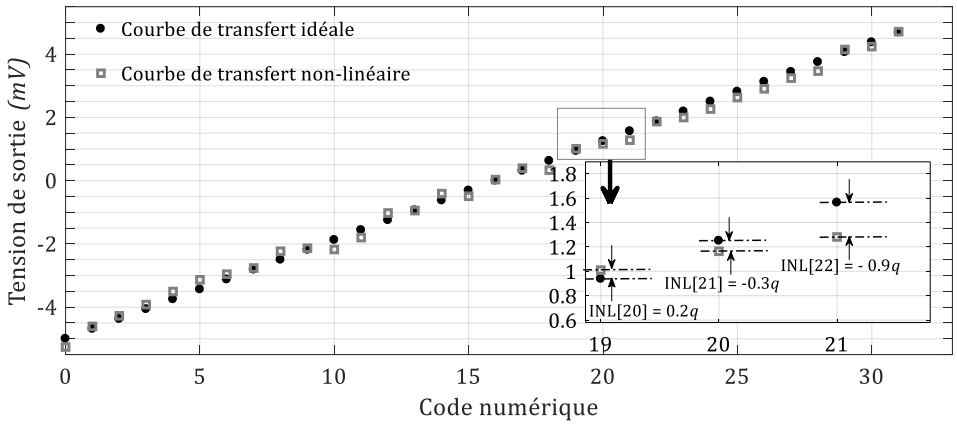


Figure 2. 10 Exemple de courbes de transfert d'un DAC 5 à bits dans les cas linéaire et non-linéaire.

La fonction polynomiale modélisant les DACs est donnée par (E.2. 15), où $V_{DAC_{NLmod}}$ est la sortie non linéaire égale à $V^{+}_{DAC_{NLmod}}(S1)$ ou $V^{-}_{DAC_{NLmod}}(S2)$ avec a_j sont les coefficients du polynôme où $0 \leq j \leq d$ sont le coefficients du polynôme. Par ailleurs, l'erreur INL, exprimées dans (E.2. 16), est bornée entre $-mq$ et $+mq$ où m est un entier positif.

$$V_{DAC_{NL_{mod}}}(S) = \sum_{j=0}^{d} a_j S^j q \text{ pour } d > 1 \text{ et } S \in \{S1, S2\} \quad \textbf{(E.2. 15)}$$

$$INL \leq mq \text{ tel que } INL = V_{DAC_{NL_{mod}}}(S) - V_{DAC}(S) \text{ et } S \in \{S1, S2\} \quad \textbf{(E.2. 16)}$$

Afin d'estimer l'ordre du polynôme et ses coefficients pour la génération des erreurs de non-linéarité dans l'intervalle désiré, nous avons employé la fonction ''*polyfit*'' de MATLAB comme l'indique la Figure 2. 11.

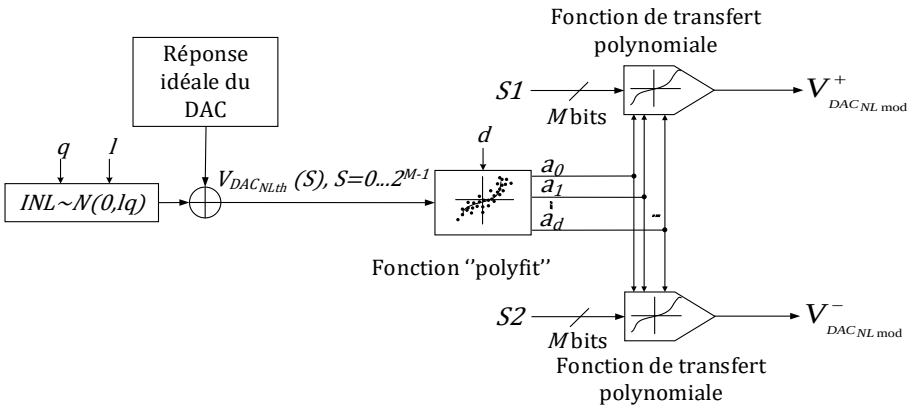


Figure 2. 11 Modèle des erreurs de non-linéarité.

D'abord, 2^M erreurs statiques, INL, sont générées à partir d'une distribution gaussienne de moyenne nulle et de déviation standard égale à lq, où l est une variable strictement positive. Ensuite, les erreurs générées sont ajoutées aux données des courbes de transfert idéales des deux DACs. La réponse calculée est notée $V_{DACNL_{th}}$. Enfin, les fonctions de transfert polynomiales, décrites dans (E.2. 15), sont calculées en appliquant la fonction

"*polyfit*" aux données du vecteur $V_{DACNL_{th}}$. Les réponses calculées relatives à V^+ et V^- sont notées $V^+_{DAC_{NLmod}}$ et $V^-_{DAC_{NLmod}}$, respectivement.

Après avoir défini et intégré les modèles des erreurs d'offset et de non-linéarité dans notre modèle du LC-ADC sur MATLAB/SIMULINK, nous pouvons maintenant nous intéresser à l'analyse de la réponse du LC-ADC que nous développant dans la sous-section suivante.

2.3.2. Analyse des performances du LC-ADC en présence d'erreurs

Pour analyser les performances du LC-ADC en présence des erreurs d'offset et de non-linéarités, nous continuons notre étude en utilisant le même signal sinusoïdal généré en mode continu et les paramètres choisis par rapport à la zone linéaire des variations du SNR et qui sont 8 bits pour la résolution, M, 500 kHz pour la fréquence de l'horloge, F_c, et 6 bits pour la résolution du compteur, N. Pour chacune des deux types d'erreurs simulée, l'autre source d'erreur est supposée idéale.

D'une part, les tensions d'offset varient entre 0 V et 25 % du pas de quantification, q. En effet, pour fixer cette plage de variation nous avons identifié trois exemples de comparateurs de type CMOS de STMicroelectronics et Texas Instruments qui sont compatibles aux applications d'acquisition des signaux biomédicaux ou de communication à distance à faible consommation de puissance [138-139]. Les tensions d'offsets de ces comparateurs sont égales à 2 mV, 0.4 mV et 3 mV, respectivement. Ainsi, en considérant les plage d'amplitude admissibles à l'entrée de ces comparateurs égales à 3 V, 1.8 V et 3 V, respectivement, et en supposant une résolution du LC-ADC de 8 bits, les pas de quantifications sont 11.7 mV, 5 mV, et 11.7 mV respectivement. Par conséquent, les valeurs des tensions d'offsets de ces comparateurs sont équivalentes à 17.1 %, 8 % et 25.6 % de leurs pas de quantification respectifs. Les variations du SNR spectral en fonction des tensions d'offset des comparateurs en supposant des DACs linéaires, sont présentées à la Figure 2. 12.

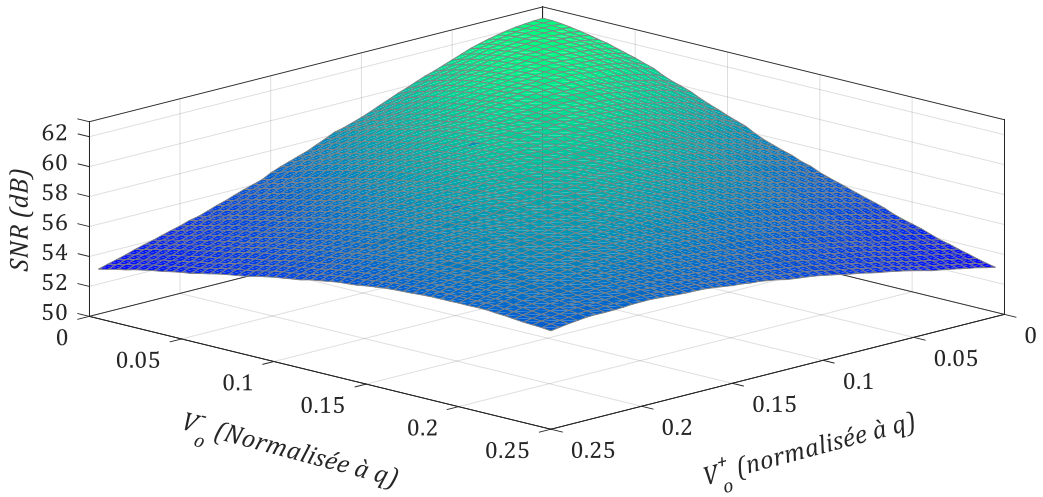


Figure 2. 12 Variations du *SNR* en fonction des tensions d'offset des comparateurs.

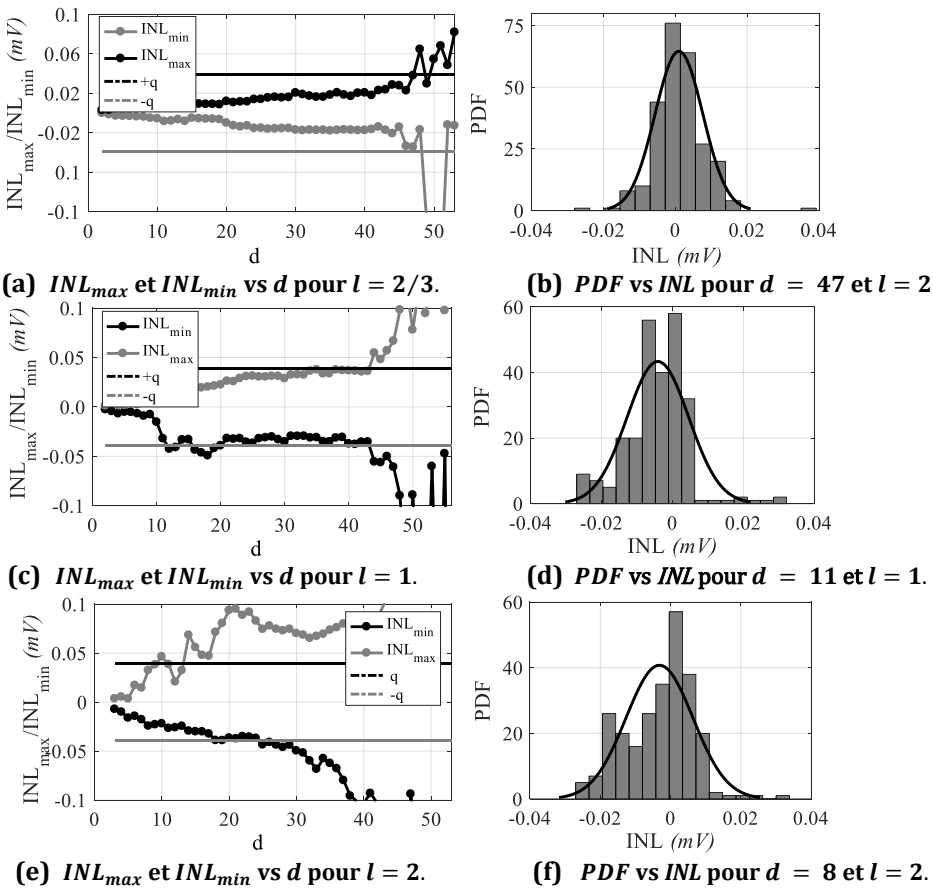
La dégradation maximale du SNR est égale à 8.6 dB pour des tensions d'offset maximale de $CompU$ égales à 25 % de q et minimale de $CompD$ et vice-versa. Les performances du LC-ADC sont par conséquent similaires à un ADC uniforme de résolution 8.6 bits. De plus, le SNR diminue de 0.05 % pour une augmentation de l'offset de l'ordre de 0.5 % de q.

D'autre part, afin d'analyser l'impact des erreurs de non-linéarité sur le SNR, nous commençons par déterminer l'ordre du polynôme modélisant un DAC non-linéaire tel que décrit à la Figure 2. 11. En effet, l'examen de quelques exemples de datasheets de DACs commercialisés en technologie CMOS et de résolutions allant de 8 à 16 bits montrent que la plage de variation de l'INL est généralement limitée à $\pm q$ [140-142]. L'estimation des paramètres du modèle du DAC, l et d, devrait alors répondre à cette exigence d'amplitude des erreurs de non-linéarité tout en maintenant un faible degré du polynôme pour éviter la complexité de calcul pendant l'exécution du modèle LC-ADC.

Afin d'estimer l'ordre du polynôme permettant de générer des valeurs de non-linéarité dans l'intervalle $\pm q$, nous avons utilisé la fonction "*polyfit*" de Matlab appliquée à des distributions aléatoires d'erreurs. D'abord, différents exemples de données aléatoires, $V_{DACNL_{th}}$, sont générés selon des distributions gaussiennes de moyenne nulle et d'écart types, lq, pour l égal à $2/3$, 1 et 2 comme montré à la Figure 2. 11. Ensuite, nous avons approché chaque distribution par un polynôme de degré différent dont les coefficients sont calculés à l'aide de la fonction "*polyfit*" de MATLAB. Les polynômes calculés sont ensuite évalués sur l'ensemble représentatif des codes numériques à l'entrée des DACs avec, $S \in [\![0,255]\!]$. Enfin, pour vérifier l'appartenance des points de la réponse non-idéale modélisée dans l'intervalle d'erreurs $\pm q$ souhaité, nous avons calculé la différence entre les valeurs de la fonction de transfert idéale et la réponse non-idéale. D'une part, les valeurs maximales et minimales de ces différences, représentées par INL_{max} et INL_{min}, sont extraites et comparées à q. D'autre part, la fonction de densité de probabilité (PDF) de ces différences est inspectée.

La Figure 2. 13 montre les variations de la densité de probabilité d'INL_{max} et d'INL_{min} en fonction de trois combinaisons de l et d pour M et q égaux à 8 bits et 39,1 µV, respectivement. Les résultats sont différents mais conduisent à des fonctions polynomiales avec des erreurs INL limitées à $\pm q$. Cependant, pour l égal à $2/3$, l'exécution du LC-ADC simultanément avec les calculs polynomiaux de degré 47 risque d'engendrer des calculs intensifs donc une simulation lente. Une solution pour minimiser le degré du polynôme requis est d'augmenter la valeur de l. En effet, plus l est élevé, moins élevé est le nombre de coefficients du polynôme et plus élevées sont les valeurs de ces coefficients. Par conséquent, les courbes d'INL_{max} et d'INL_{min} convergent plus vite vers les limites souhaitées, $\pm q$, et d diminue.

Les résultats de la Figure 2. 13 (c) à la Figure 2. 13 (f) confirment la validité de cette solution pour minimiser la complexité du modèle du DAC. Ainsi, le degré retenu pour modéliser la fonction de transfert non-linéaire du DAC est égal à 8. En prenant l égal à 2 et d égal à 8 et en supposant des comparateurs idéaux, nous avons effectué 30 simulations du LC-ADC en modélisant le DAC par un polynôme différent pendant chaque simulation.



(a) INL_{max} **et** INL_{min} **vs** d **pour** $l = 2/3$. **(b)** PDF **vs** INL **pour** $d = 47$ **et** $l = 2/3$.

(c) INL_{max} **et** INL_{min} **vs** d **pour** $l = 1$. **(d)** PDF **vs** INL **pour** $d = 11$ **et** $l = 1$.

(e) INL_{max} **et** INL_{min} **vs** d **pour** $l = 2$. **(f)** PDF **vs** INL **pour** $d = 8$ **et** $l = 2$.

Figure 2. 13 Estimation du degré de la fonction polynomiale modélisant les DACs non-linéaires pour trois valeurs de *l*.

Les variations du SNR sont alors déterminées en fonction de l'erreur de non-linéarité différentielle maximale due à chaque polynôme, $|DNL|_{max}$, donnée par (E.2. 17) [132].

$$|DNL|_{max} = \max\left(\left|\frac{V_{DAC_{NL_{mod}}}(S+1) - V_{DAC_{NL_{mod}}}(S) - q}{q}\right|\right) \text{ pour } S \in \{S1, S2\} \text{ et } S \in [\![0,255]\!] \quad \textbf{(E.2. 17)}$$

Les résultats de simulation, tels que présentés à la Figure 2. 14, montrent les variations non-linéaires du SNR avec des dégradations entre 5 et 18.4 dB. Pour une dégradation maximale de 18.4 dB, le SNR chute à 43.59 dB. L'$ENOB$ est par conséquent équivalent à 7 bits et les performances du LC-ADC 8 bits sont alors similaires à un ADC uniforme de résolution 7 bits.

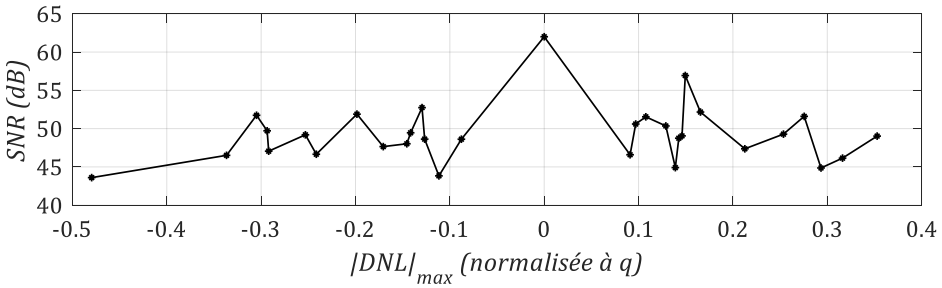


Figure 2. 14 Variations du *SNR* en fonction des erreurs de non-linéarité différentielle maximale pour une erreur d'*INL* entre ±*q*.

En résumé, les dégradations du SNR peuvent aller jusqu'à 8.7 et 18.4 dB en présence des erreurs d'offset et de non-linéarité, respectivement. Ces performances sont équivalentes à un $ENOB$ de 8.6 et 7 bits au lieu de 10 bits, respectivement. Après avoir étudié les variations du SNR en fonction des erreurs de la partie analogique pour le cas du signal sinusoïdal à une fréquence et une plage d'amplitude proches de celles du signal ECG, nous présentons dans la section suivante les résultats de dimensionnement et d'évaluation du LC-ADC avec des signaux ECG.

2.4. Dimensionnement d'un LC-ADC pour la numérisation d'un signal ECG

Les résultats obtenus jusqu'à présent pour un signal sinusoïdal ont permis de valider l'architecture du LC-ADC, de définir des paramètres et de caractériser les variations du SNR en fonction des erreurs dominantes de la partie analogique. Nous allons alors dans ce qui suit faire le dimensionnement et la validation du LC-ADC pour la numérisation des signaux ECG en utilisant le modèle développé. Dans ce contexte, nous proposons deux contributions. La première concerne une nouvelle méthodologie de dimensionnement dépendante du signal ECG, inspirée des travaux d'Allier et al. [11]. Cette étape est cruciale pour préserver les informations médicales de l'ECG. Notre méthodologie commence par la simulation avec des signaux ECG modélisés à savoir des signaux normaux et pathologiques. Elle concerne également l'extraction des paramètres du LC-ADC en se basant sur les variations d'amplitude et les variations de pente à cause d'arythmies cardiaques qui ont un impact direct sur les formes d'onde de l'ECG. La deuxième contribution concerne l'analyse des performances du LC-ADC en présence de l'erreur de quantification du temps, puis aussi des erreurs des circuits analogiques avec une large gamme de signaux ECG réels de caractéristiques très différents. Nous démarrons cette section par une discussion du choix du modèle mathématique de l'ECG. Nous enchainons par la suite par l'explication de la méthodologie de dimensionnement et les choix des valeurs des différents paramètres du LC-ADC. Finalement, les résultats de simulation du LC-ADC sont présentés et discutés.

2.4.1. Modèle mathématique d'un signal ECG

Pour éviter les bruits qui se trouvent généralement dans les enregistrements réels de l'ECG et pour s'approcher de la précision d'un signal analogique en entrée du LC-ADC, nous effectuons le dimensionnement en utilisant des signaux ECG modélisés et sur-échantillonnés.

Pour justifier le choix de l'approche de modélisation de l'ECG, nous avons identifié trois grandes familles qui résument les méthodes proposées dans la littérature en comparant leur complexité et leur précision. La première et la plus complexe des familles est une des plus anciennes techniques qui repose sur la modélisation macroscopique des propriétés électriques du muscle cardiaque et du torse [143-144]. Cette technique vise à simuler numériquement des signaux ECG afin de virtualiser des bases de données à usage médical

par des experts. Malgré la haute précision des signaux générés qui sont inspirés du fonctionnement électrique réel du cœur, cette approche est forcément complexe en termes de calcul et maîtrise des nombreux paramètres macroscopiques du tissu cardiaque qui diffèrent d'un individu à un autre.

La deuxième famille représente des techniques de modélisation à niveau plus haut dont les paramètres de départ sont ceux d'un signal ECG original comme l'amplitude et la durée temporelle des ondes P, Q, R, S et T. Elle fait usage de fonctions mathématiques à caractéristiques sont connues et qui présentent une ressemblance avec les formes d'ondes du signal ECG. Parmi ces fonctions, nous citons les fonctions d'Hermite utilisées principalement pour modéliser le complexe QRS dans les traitements de classification. Dans ce genre d'application, un ensemble de complexes QRS sont modélisés à partir de caractéristiques médicales connues du signal ECG, auxquels les signaux acquis sont comparés et classifiés [145].

De plus, il y a les fonctions polynomiales du quatrième ordre, utilisées pour représenter des données numérisées de l'ECG dans des applications de compression [146]. Compte tenu des résultats dans [146], il a été montré que le stockage des coefficients des polynômes ont réduit de 98 % les ressources en mémoire occupées par les données originales. Cependant, la qualité des signaux reconstruits est médiocre avec des mesures de l'erreur entre les signaux originaux et les signaux reconstruits qui sont comprises entre 16,94 % et 17,55 % sachant que cette erreur doit tendre vers 0 % avec une limite maximale de 9 %. Dans la même famille, nous identifions également les fonctions gaussiennes [147], utilisées pour modéliser des signaux ECG sans et avec des phénomènes cardiaques, comme la variation du rythme cardiaque, et des phénomènes physiologiques accompagnant l'acquisition du signal, comme la tension artérielle et l'activité respiratoire. Finalement, il y a les fonctions sinusoïdales et triangulaires utilisées de façon combinée [148], qui, malgré la simplicité de leurs équations, ont de faibles performances en termes de précision de modélisation.

La troisième famille concerne la modélisation par transformation comme par les ondelettes, utilisée dans les applications de compression [149]. Comme la modélisation polynômiale, le modèle se construit en fonction du signal pré-numérisé. Dans nos travaux, nous choisissons le modèle gaussien. D'un côté, cette approche permet d'obtenir des modèles ECG réalistes en présence d'activités physiologiques. Cette approche est utile pour notre application de modélisation des changements des caractéristiques du signal ECG, dus aux arythmies cardiaques. D'un autre côté, la modélisation gaussienne couvre l'ensemble des ondes du signal et elle ne nécessite pas l'utilisation de données pré-numérisées. De plus, les paramètres du modèle sont prévisibles et aucune complexité de calcul n'est détectée.

Le modèle gaussien est une trajectoire tridimensionnelle dynamique décrite par les coordonnées (x, y, z) autour d'un cercle unité défini dans le plan (x, y). Une forme d'onde de l'ECG est obtenue par intégration d'une combinaison linéaire de fonctions gaussiennes au long de l'axe z comme décrit par (E.2. 18), où $\dot{z}$ est la dérivée première de z, i est l'onde

P, Q, R, S ou T du signal ECG, a_{gi} et b_{gi} sont l'amplitude et l'écart-type de l'onde i, respectivement. De plus, $\Delta\Theta_{gi}$ est la position relative de i par rapport au pic R. Elle est égale à $(\Theta - \Theta_{gi}) mod 2\pi$, où Θ est équivalent à $atan2(x, y)$ sachant que Θ_{gi} est le déplacement angulaire de l'onde i.

$$\dot{z} = -\sum_{i\in\{P,Q,R,S,T\}} a_{gi}\Delta\Theta_{gi} exp\left(-\frac{\Delta\Theta_{gi}^2}{2b_{gi}^2}\right) - z \qquad \textbf{(E.2. 18)}$$

En utilisant le code MATLAB téléchargeable de la base de donnée Physionet [12], proposé par les travaux de McSharry et al. dans [147], un signal ECG est généré à une fréquence 1 MHz par intégration de (E.2. 18) en utilisant les paramètres d'un ECG normal et les paramètres du modèle donnés dans le Tableau 1. 8 et le Tableau 2. 6, respectivement. Le signal obtenu est donné à la Figure 2. 15. Il a une dynamique d'amplitude, une fréquence maximale, F_{max}, et une fréquence cardiaque égales à 1,92 mV, 25 Hz et 60 bpm, respectivement.

Tableau 2. 6 Paramètres du modèle gaussien utilisés pour générer un ECG normal.

	P	**Q**	**R**	**S**	**T**
Θ_{gi} (°)	-0.99	-0.09	0	-0.09	1.30
a_{gi}	102	-1000	8150	-1850	44
b_{gi}	0.1	0.03	0.03	0.03	0.2
$(x_0, y_0, z_0)^{(*)}$	(0.05,0.05,0)				

(*) : conditions initiales pour l'intégration

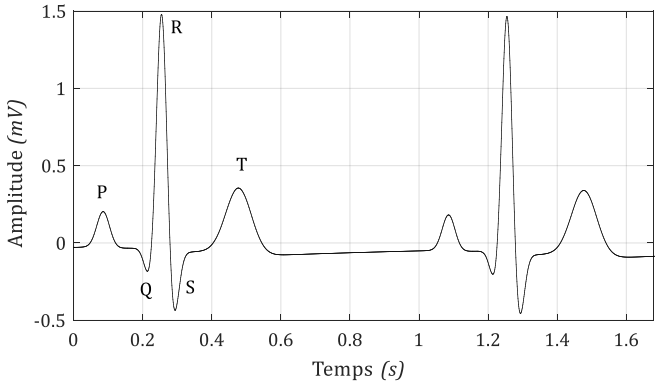


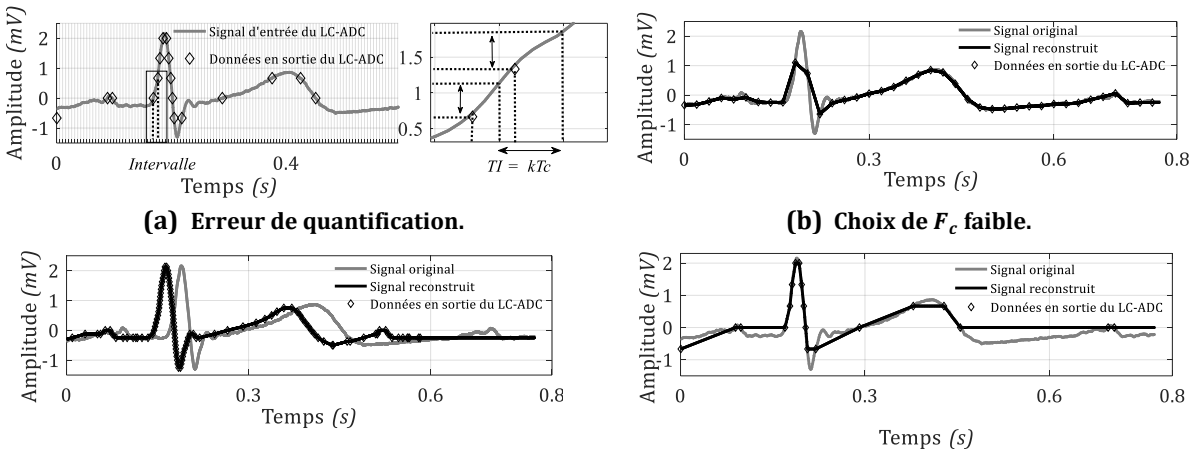
Figure 2. 15 Tracé du modèle d'un ECG normal.

Afin de minimiser la distorsion du signal ECG après échantillonnage par le LC-ADC, nous proposons dans la section suivante une méthodologie de dimensionnement en fonction des caractéristiques intrinsèques du signal ECG en utilisant le modèle Gaussien de la Figure 2. 15 mais aussi deux autres modèles pathologiques modifiés par rapport à ce modèle.

2.4.2. Dimensionnement du LC-ADC pour numériser les signaux ECG

Afin de justifier la nécessité de faire un dimensionnement du LC-ADC adapté aux spécifications du signal ECG, nous présentons les erreurs engendrées par mauvais choix des paramètres de dimensionnement avec l'exemple de signal ECG réel, ''ecgca115.edf '' téléchargé de la base de donnée ''Non-invasive fetal ECG'' de l'archieve Physionet [12]. Le dimensionnement est en effet basé sur le choix de la pleine échelle, PE, la résolution du LC-ADC, M, le pas de quantification, q, la fréquence de l'horloge de référence, F_c, et la résolution du compteur, N. D'abord, la pleine échelle doit couvrir les variations de l'amplitude des signaux ECG dans les conditions normales et pathologiques pour éviter l'écrêtage du signal. Ensuite, la fréquence du compteur doit être assez élevée pour minimiser le bruit de quantification tout en minimisant la consommation de puissance.

En effet, comme illustré dans la Figure 2. 16 (a), la quantification du temps signifie que l'intervalle du temps, entre deux échantillons consécutifs est arrondi au multiple supérieur le plus proche, kT_c, de la période de l'horloge, où k est un entier positif. En outre, plus la fréquence de l'horloge est importante plus petite est l'erreur de quantification et plus le SNR est important comme exprimé par (E.2. 3) [91]. Par ailleurs, étant donné que la variation la plus rapide des signaux ECG est généralement localisée au niveau du complexe QRS, un choix adéquat de la fréquence de l'horloge doit être établi. Dans le cas contraire, le choix d'une fréquence faible par rapport aux variations du complexe QRS engendre l'écrêtage du pic R, comme le montre la Figure 2. 16 (b).



(a) Erreur de quantification. **(b) Choix de F_c faible.**

(c) Choix de N faible. **(d) Choix de q élevé.**

Figure 2. 16 Erreurs systématiques liés aux mauvais choix des paramètres du LC-ADC.

Un autre paramètre lié au compteur est sa résolution, N, qui peut engendrer le débordement du compteur pendant les variations lentes des segments de l'ECG, ce qui donne lieu à un décalage temporel dans le signal comme présenté à la Figure 2. 16 (c). Finalement, le choix d'une faible valeur de M, par suite une grande valeur de q, réduit la probabilité de détecter des événements de traversées de niveaux, comme illustré sur la Figure 2. 16 (d). Cette erreur devrait être évitée en particulier au niveau du complexe QRS, qui est médicalement une forme d'onde très significative de l'ECG. La résolution M doit être alors augmentée comme décrit dans (E.2. 1) en maintenant une pleine échelle

supérieure à la plage de variation de l'amplitude des signaux ECG pour éviter leur distorsion.

Les valeurs de M et q sont déterminées en mesurant la qualité des signaux reconstruits après numérisation par le LC-ADC et interpolation mais aussi en utilisant la condition sur la fréquence d'échantillonnage moyenne dans (E.2. 19). En effet, la fréquence moyenne d'échantillonnage, F_m, est évaluée par rapport à la largeur de la bande du signal ECG, F_{max}, pour vérifier la condition (E.2. 19) pour reconstruire des signaux échantillonnés de manière irrégulière dans le temps.

$$F_m \geq 2F_{max} \qquad \textbf{(E.2. 19)}$$

Par ailleurs, la méthodologie de dimensionnement et d'évaluation du LC-ADC est donnée à la Figure 2. 17. En effet, la distorsion introduite aux signaux originaux après échantillonnage et interpolation des données en sortie du LC-ADC est mesurée en utilisant le rapport signal-sur-distorsion, S/D, donné par (E.2. 20), où x est le vecteur de L_s, échantillons qui représente le signal d'entrée, $\bar{x}$ est la moyenne de x et $\hat{x}$ est le signal reconstruit [150]. En effet, l'analyse spectrale d'un signal ECG n'est pas facile à cause de la présence de bruits dans sa bande passante [151]. De plus, les variations des formes d'ondes du signal ECG, de leurs positions temporelles dans le cycle cardiaque et de la fréquence cardiaque elle-même modifient le contenu spectral de l'ECG [152]. Nous utilisons donc le rapport S/D comme étant une métrique temporelle de mesure d'erreur qui est largement utilisé dans les applications de traitement du signal ECG. Ainsi, dans (E.2. 20), L_s, x, $\bar{x}$ et $\hat{x}$ sont remplacés par N_{LC-ADC}, V_{en}, $\bar{V}_{en}$ et $\hat{V}_{en}$.

$$S/D = 10log_{10}\left(\frac{\sum_{n=1}^{L_s}(x-\bar{x})^2}{\sum_{n=1}^{L_s}(x-\hat{x})^2}\right) \qquad \textbf{(E.2. 20)}$$

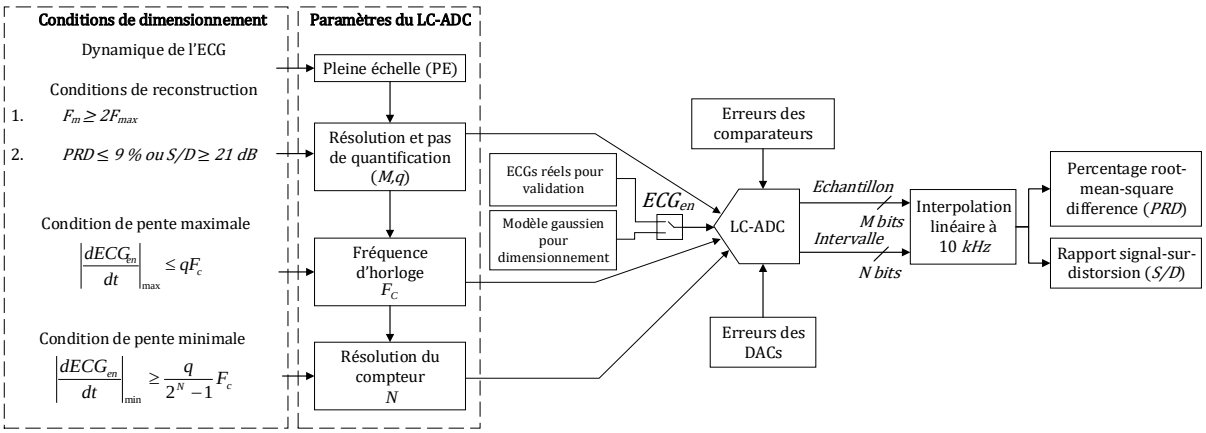


Figure 2. 17 Méthodologie de dimensionnement et d'évaluation du LC-ADC.

Par ailleurs, la deuxième métrique temporelle, également très utilisée avec les signaux ECG est le PRD (Percentage Root-mean-square Difference en anglais). Les relations qui relient le PRD au S/D sont données par (E.2. 21) [150]. En effet, dans les travaux de Zigel et al. dans [150], il est montré qu'un signal ECG avec un PRD inférieur ou égal à 9 % après

traitement est médicalement interprétable par le médecin par une lecture sur papier millimétré. De plus, avec un PRD inférieur à 2 % la qualité des signaux est considérée très bonne et les distorsions sont négligeables. Par conséquent, la relation (E.2. 21) implique que les critères exigeants un PRD maximal égal à 9 % et un PRD de 2 % sont équivalentes à une valeur minimale du S/D égale à 21 dB et une valeur du S/D égale à 34 dB, respectivement.

$$\begin{cases} PRD = 10^{\frac{-S/D}{20}+2} \\ S/D = -20\log(0.01PRD) \end{cases} \quad \textbf{(E.2. 21)}$$

Pour le choix de la méthode d'interpolation des données générées par le LC-ADC dans le cas des signaux ECG et en suivant l'évaluation des performances des algorithmes de reconstruction présentées au Tableau 2. 7 et à la Figure 2. 18, nous avons conclu que l'interpolation linéaire engendre l'erreur reconstruction la plus faible. Notamment, l'interpolation par spline cubique introduit des oscillations indésirables autour des segments de l'ECG, tel que le montre la Figure 2. 18. Les signaux sont ainsi reconstruits par interpolation linéaire à la fréquence 10 kHz. Le choix de la fréquence de reconstruction est motivé par les valeurs des fréquences d'échantillonnage utilisées pour la numérisation des signaux ECG par des ADCs classiques [153]. Ce choix de fréquence de reconstruction permet donc la comparaison du LC-ADC avec les ADCs classiques.

Tableau 2. 7 Valeurs du S/D pour les différents algorithmes de reconstruction.

Méthode d'interpolation	S/D (dB)	PRD (%)
Spline cubique	12.3	24.3
Hermite	20.7	9.2
Linéaire	21.3	8.6
Au plus proche voisin	18.2	12.3

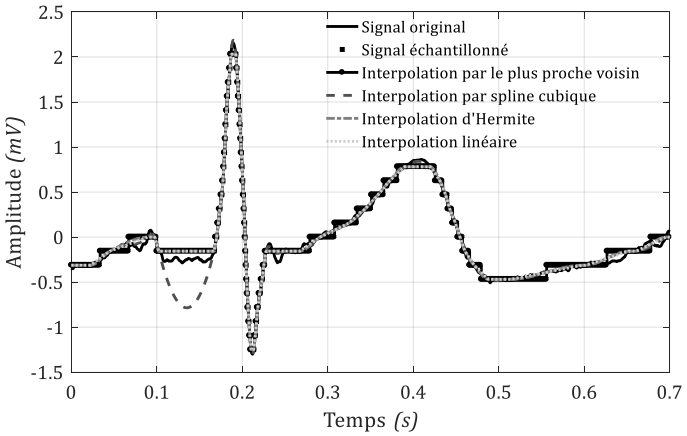


Figure 2. 18 Comparaison des performances de quatre algorithmes de reconstruction pour la reconstruction du signal ECG.

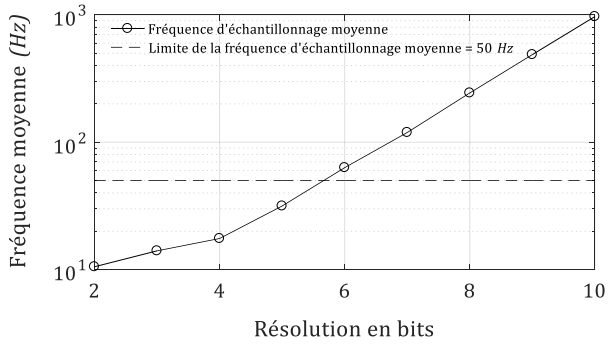
Après détermination de la résolution du LC-ADC, les paramètres de l'étage de suivi du temps sont déterminés comme décrit dans la sous-section 2.2.3 à partir des conditions des pentes (E.2. 6) et (E.2. 7). Pour répondre aux conditions (E.2. 6) et (E.2. 7), représentées par la condition de pente maximale et la condition de pente minimale à la

Figure 2. 17, deux modèles de signaux ECG décrivant les arythmies cardiaques, tachycardie et bradycardie, sont considérés pour déterminer les pentes maximale et minimale, respectivement. En effet, ces pathologies modifient les pentes du signal ECG par rapport à un signal normal. D'une part, la tachycardie a été identifiée comme étant une arythmie très commune qui augmente la pente maximale du complexe QRS [60]. Particulièrement, la tachycardie supraventriculaire se caractérise par une fréquence cardiaque pouvant atteindre 240 bpm engendrant un complexe QRS étroit de durée inférieure à 0,12 s [60]. D'autre part, la bradycardie sinusale est généralement accompagnée d'un rythme régulier et de formes normales des ondes P, QRS et T. Cependant, la fréquence cardiaque peut être aussi lente que 30 bpm. Ainsi, la bradycardie sinusale produit des segments et des intervalles plus longs que pour un ECG normal. Elle est donc modélisée pour estimer la pente minimale de l'ECG et donc la résolution minimale du compteur.

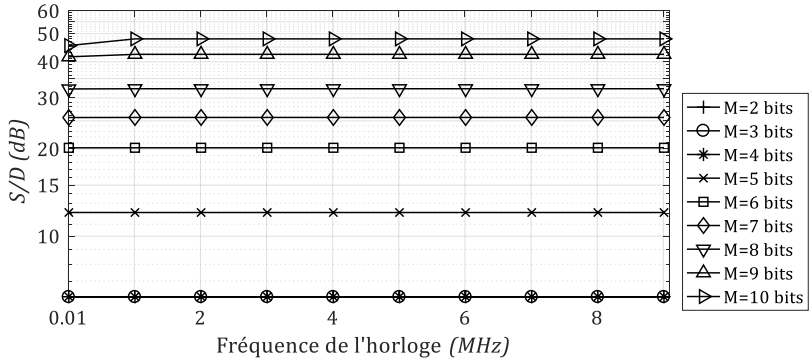
Comme montrée dans la Figure 2. 17, la pleine échelle est le premier paramètre du LC-ADC. Selon les spécifications du standard CEI-60601-2-47 présentées dans [52], [53] et [54], la dynamique du signal d'entrée d'un dispositif ambulatoire doit couvrir 8 $mVpp$. Pour maintenir les performances du convertisseur en présence du bruit d'acquisition, la dynamique du LC-ADC est augmentée à 10 $mVpp$. Le second paramètre est la résolution. Dans cette étape, le modèle gaussien de l'ECG normal, donné à la Figure 2. 15, est utilisé. Plusieurs simulations du modèle LC-ADC ont été réalisées pour des résolutions, M, de 2 à 10 bits et des valeurs de N et F_c, respectivement égales à 32 bits et 100 MHz en utilisant le modèle ECG. En effet, la résolution maximale est limitée à 10 bits pour éviter la génération d'un plus grand nombre d'échantillons comparé à l'échantillonnage uniforme, ce qui est strictement indésirable. De plus, les valeurs élevées de N et F_c sont choisies pour réduire les erreurs de quantification du temps.

Les résultats obtenus sont présentés à la Figure 2. 19. Comme le montre la Figure 2. 19 (a), pour une fréquence d'échantillonnage moyenne supérieure à 50 Hz, la résolution minimale requise est égale à 6 bits. De plus, la qualité du signal reconstruit est calculée en termes de S/D telle que présentée à la Figure 2. 19 (b) pour des fréquences de l'horloge de référence, F_c, allant de 10 kHz à 10 MHz. Étant donné qu'une faible consommation d'énergie est requise pour l'acquisition de l'ECG, la plage de variation simulée de la fréquence est maintenue en dessous de 10 MHz.

Des courbes de valeurs constantes sont observées lorsque F_c varie. Cependant, une augmentation minimale de 5.5 dB est observée pour une augmentation de 1 bit de M. Comme la distorsion du signal dépend de la précision de l'échantillonnage et de la précision de l'interpolation, la saturation du rapport S/D peut être expliquée par le bruit de reconstruction qui s'avère beaucoup plus important que le bruit de quantification du temps. Par conséquent, la sensibilité du S/D aux variations de la fréquence de l'horloge du compteur peut être distinguée pour des résolutions plus élevées ou en améliorant l'algorithme de reconstruction. Cette hypothèse est confirmée par la courbe pour M égale à 10 bits dans la Figure 2. 19 (b), où une augmentation de 2,5 dB est observée lorsque F_c augmente de 10 kHz à 1 MHz.



(a) Variations de la fréquence moyenne en fonction de M.



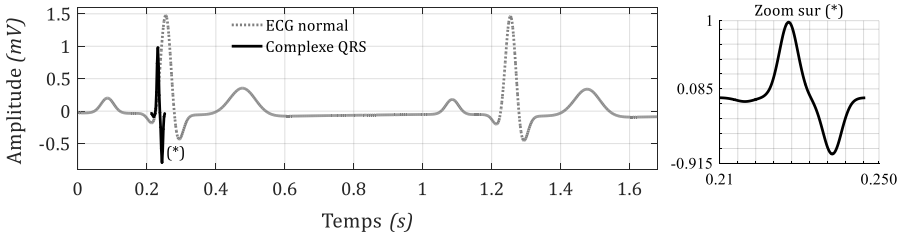
(b) Variations du S/D en fonction de M et F_c.

Figure 2. 19 Conditions de reconstruction pour le choix de M pour un modèle Gaussien d'un ECG normal.

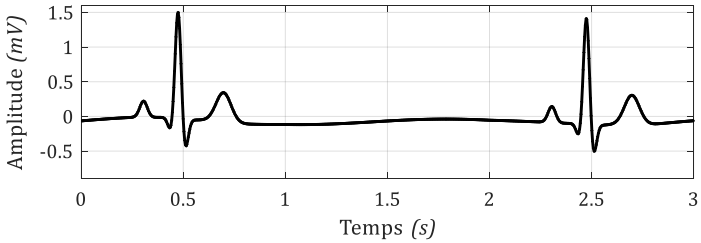
Par ailleurs, la Figure 2. 19 (b) montre que le rapport S/D est supérieur à 21 dB lorsque M est au moins égale à 7 bits. Il est autour de 20.1 dB pour une résolution égale à 6 bits et varie entre 6.18 dB et 12 dB pour les résolutions entre 2 et 5 bits, respectivement. Ces résultats montrent l'invalidité du choix d'une résolution égale à 6 bits, sélectionnée par la condition sur la fréquence d'échantillonnage moyenne à la Figure 2. 19 (a). De plus, quand M est égale à 7 bits, la qualité du signal est de 4.7 dB au-delà de la limite minimale, 21 dB du S/D. Enfin, pour une résolution de 8 bits, un écart de 11 dB par rapport à la valeur limite du S/D est observé. Donc, une marge de 3.7 dB est autorisée pour des erreurs supplémentaires dont les effets sont négligeables par rapport à l'offset et les non-linéarités. Ainsi, une résolution de 8 bits représente le choix optimal. En utilisant (E.2. 1), le pas de quantification est égal à 39.1 μV.

Les autres étapes du dimensionnement du LC-ADC concernent les paramètres, F_c et N, caractérisant le compteur. D'une part, pour déterminer la fréquence de l'horloge, un nombre total de 140 enregistrements réels de l'ECG reflétant la tachycardie, disponibles dans les bases de données ''MIT-BIH arythmia'' et ''MIT-BIH malignant ventricular'', ont été étudiés pour identifier les signaux avec les variations les plus rapides aux niveaux de leurs complexes QRS. Par exemple, les enregistrements 104 et 209 ont des complexes QRS de durées égales à 0.042 s et 0.053 s dans les intervalles de 310.466 s à 310.508 s et de 154.591 s à 154.644 s, respectivement. Leurs plages d'amplitude sont respectivement égales à 1.97 mV et 1.66 mV. Le complexe QRS de l'enregistrement 104, donné sur la Figure 2. 20 (a) est modélisé et échantillonné à 1 MHz. Sa pente maximale égale à 239.6

mV/s, donne une fréquence d'horloge minimale autour de 6.144 kHz en appliquant (E.2. 6). En utilisant ces résultats, nous choisissons une valeur de F_c égale à 10 kHz pour avoir environ 4 kHz en dessus de la limite minimale et en donnant une marge de variation de 51 mV/s pour des augmentations supplémentaires de la pente maximale.



(a) Modèle du complexe QRS reflétant la tachycardie.



(b) Modèle ECG avec bradycardie.

Figure 2. 20 Modèles Gaussiens pour la représentation de la tachycardie et la bradycardie.

D'autre part, pour déterminer la résolution du compteur, un modèle Gaussien représentatif de la bradycardie sinusale à 30 bpm est généré en utilisant les mêmes ondes P, QRS et T avec la même précision de l'axe temporel de l'ECG normal à l'exception de segments plus longs. Le signal généré est donné dans la Figure 2. 20 (b). Sa pente minimale est égale à 0.0962 mV/s. Ainsi, la résolution minimale du compteur est 12 bits en utilisant (E.2. 7) puis (E.2. 8). Par conséquent, les paramètres de conception du LC-ADC par rapport aux variations normales, rapides et lentes des signaux ECG sont résumés dans le Tableau 2. 8.

Tableau 2. 8 Paramètres de dimensionnement du LC-ADC.

Paramètre	Spécification
Pente maximale	290.6 mV/s
Pente minimale	0.0962 mV/s
Résolution du LC-ADC	8 bits
Pleine échelle	± 5 mV
Quantum	39.1 μV
Fréquence de l'horloge de référence	10 kHz pour le signal ECG
	500 kHz pour le signal sinusoïdal
Résolution du compteur	12 bits

En utilisant les paramètres du Tableau 2. 8, nous présentons dans la sous-section suivante, les résultats de simulation du LC-ADC en termes de qualité de signaux ECG réels après échantillonnage et reconstruction.

2.4.3. Analyse des performances du LC-ADC avec les signaux ECG

Dans le processus de validation du dimensionnement proposé, tel que décrit à la Figure 2. 17, nous avons sélectionné 75 signaux normaux et pathologiques de formes, de plages d'amplitude et de fréquences très différentes pour évaluer la robustesse du modèle LC-ADC contre les variations des formes d'ondes des signaux ECG et des erreurs des composants analogiques. Les signaux sélectionnés, ont été téléchargés de différentes bases de données de l'archive Physionet [12], tel que résumé au Tableau 2. 9. Le détail de ces signaux est donné en Annexe A.

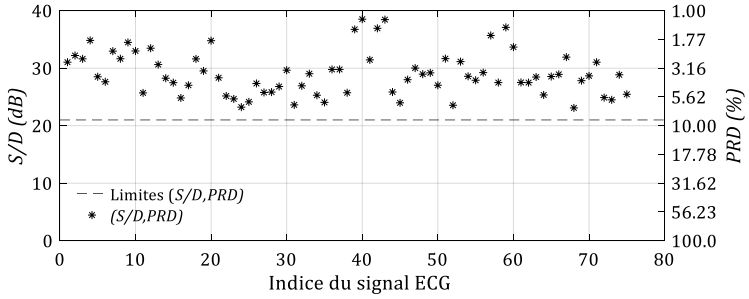
Tableau 2. 9 Description des types et nombres des signaux ECG utilisés pour simuler le modèle LC-ADC.

Base de données	Type de signaux ECG	Nombre d'enregistrements
Apnea-ECG (apnea-ecg)	Apnée	10
MIT-BIH arrythmia (mitdb)	Bradycardie/Tachycardie	14
PTB diagnotic ECG (ptbdb)	Infarctus du myocarde/Normal	17/6
Intracardiac atrial fibrillation (iafdb)	Fibrillation atriale	10
Long-term ST (lstdb)	Variations du segment ST	7
MIT-BIH atrial fibrillation (afdb)	Fibrillation atriale	7
MGH-MF waveform (mghdb)	Hypertrophie supraventriculaire	4
Plage de variation d'amplitude	$[0.7, 5.15]\ mV$	
Plage de variation de la pente maximale	$[35.5, 290.6]\ mV/s$	
Plage de variation de la pente minimale	$[0.13, 5.14]\ mV/s$	

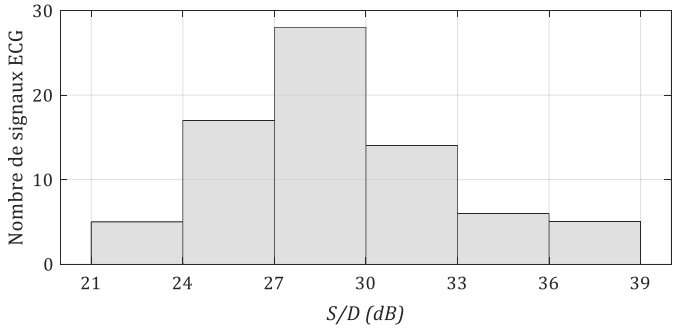
Avant de faire l'échantillonnage par le LC-ADC, nous sur-échantillonnons ces signaux à la fréquence 1 MHz pour modéliser des signaux analogiques [7,127]. Les résultats de simulation du modèle avec les paramètres de dimensionnement du Tableau 2. 8 et les signaux du Tableau 2. 9, donnés à la Figure 2. 21 (a), montrent que le convertisseur LC-ADC atteint des valeurs du S/D et du PRD qui varient de 23 dB à 38,52 dB et de 1,18 % à 7 %, respectivement. Ces valeurs reflètent une bonne qualité des signaux après échantillonnage et reconstruction. De plus, la densité de distribution de ces valeurs, donnée à la Figure 2. 21 (b), montre que 71 % des signaux convertis ont des S/Ds supérieurs à 27 dB. Deux exemples de signaux, $ECG40$ qui est l'enregistrement avec la valeur maximale du S/D et $ECG36$ avec un S/D plus faible égal à 29.87 dB, sont illustrés dans la Figure 2. 22 (a) et la Figure 2. 22 (b), respectivement. Les tracés des deux signaux reconstruits ne montrent ni une distorsion remarquable au niveau des complexes QRS, ni un décalage par rapport aux formes d'ondes originales.

Cependant, nous avons constaté l'existence de 5 signaux ECG dont les valeurs du S/D sont de seulement 2 à 3 dB supérieures à la valeur minimale. En effet, leurs plages d'amplitude sont 10 fois plus petites que la pleine échelle du LC-ADC. Ils ont des valeurs de pentes maximales proches, à l'exception du signal $ECG31$. Le signal $ECG68$, avec un S/D égal à 23.09 dB et la plage d'amplitude la plus faible, est représenté à la Figure 2. 23, où nous remarquons que les positions temporelles des ondes P, QRS et T ainsi que leurs durées sont correctement reconstruites mais certaines de leurs formes sont distordues. D'un côté, les segments où le niveau de bruit est élevé ne sont pas correctement reconstruits

comme indiqué dans les sections agrandies (1) et (2). Cette distorsion est tolérée et peut être considérée comme une atténuation du bruit. D'un autre côté, les ondes R et T sont tronquées comme indiquées dans les sections agrandies (3) et (4). Ce type de distorsion peut être atténué en amplifiant les signaux dont l'amplitude est faible en amont du LC-ADC à l'aide d'un amplificateur à faible bruit et à gain variable [154].

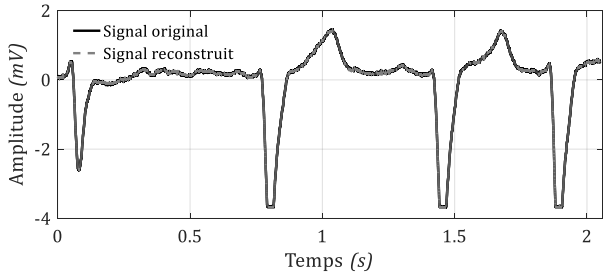


(a) Variations du S/D et son PRD équivalent.

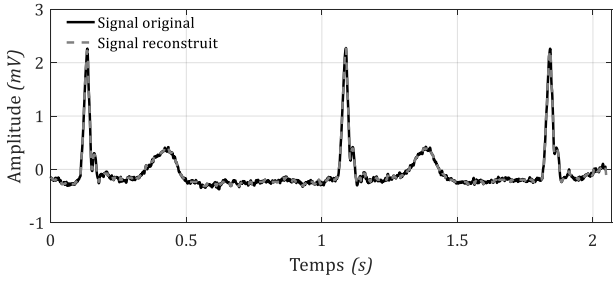


(b) Histogramme des valeurs du S/D.

Figure 2. 21 Résultats de simulation du modèle LC-ADC en utilisant 75 enregistrements d'ECGs réels.



(a) $ECG40$.



(b) $ECG36$.

Figure 2. 22 Deux exemples de signaux ECG avant et après échantillonnage et reconstruction.

Par conséquent, en respectant la condition sur la valeur de la pente maximale, 290.6 mV/s acceptable à l'entrée du LC-ADC, les cinq signaux avec des S/D inférieurs à 24 dB sont décrits dans le Tableau 2. 10 ont été amplifiés avec un gain allant jusqu'à 6 dB à

l'exception du signal $ECG31$ qui a été amplifié de 2 dB uniquement. Ainsi, les nouvelles valeurs du S/D et du PRD après amplification, échantillonnage et reconstruction, varient de 27 dB à 36.77 dB et de 1.45 % à 4.46 %, respectivement. Par suite, 77.33 % des 75 signaux convertis ont des rapports S/D qui sont au moins 6 dB supérieurs à la limite minimale de 21 dB.

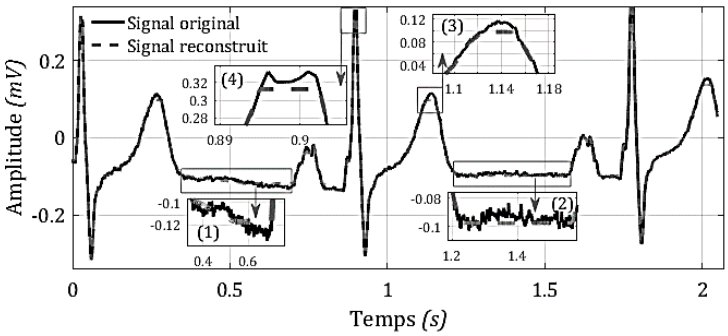


Figure 2. 23 Distorsions dans le signal *ECG68* dues à sa faible dynamique d'amplitude et au bruit.

Tableau 2. 10 Signaux ECG ayant les plus faibles valeurs du S/D par simulation du LC-ADC avec erreur de quantification du temps uniquement.

Signal	Base de donnée	Type d'ECG	Dynamique (mV)	Pente minimale (mV/s)	S/D (dB)	PRD (%)
$ECG24$	ptbdb	Infarctus du myocarde	0.86	97.65	23.0	7.0
$ECG31$			1.08	181.0	23.0	7.0
$ECG45$	iafdb	Fibrillation artérielle	0.74	65.14	23.97	6.33
$ECG52$	lstdb	Maladie coronaire/ Hypertension	1.20	78.12	23.55	6.64
$ECG68$	ptbdb	Normal	0.68	68.10	23.09	7.0

Les résultats présentés jusque-là ont été obtenus par simulation du LC-ADC sans modèles d'erreurs. Les distorsions relevées sont donc dues à l'erreur systématique de quantification du temps et à l'erreur de reconstruction uniquement.

2.4.4. Analyse des performances du LC-ADC avec les signaux ECG en présence des erreurs des composants analogiques

Dans cette section, nous allons analyser les performances du modèle LC-ADC en activant les modèles des erreurs des composants analogiques et en partant de signaux ECG réels avec des valeurs S/D différentes. Ainsi, les signaux sélectionnés sont résumés dans le Tableau 2. 11. En supposant un modèle idéal pour les DACs, les tensions d'offset ajoutées aux deux comparateurs varient entre 0 V et 9.8 µV, soit 25 % du pas de quantification, q. Nous résumons dans le Tableau 2. 12 les dégradations maximales du rapport S/D et son équivalent PRD, qui ont été obtenues pour les valeurs les plus élevées des tensions d'offset. Dans tous les cas étudiés, une bonne qualité de signal est maintenue avec des valeurs du S/D et du PRD allant de 23.74 dB à 34.47 dB et de 1.89 % à 6.5 %, respectivement, quelle que soit la valeur simulée de la tension d'offset.

Tableau 2. 11 Signaux ECG sélectionnés pour évaluer le LC-ADC en présence des erreurs des composants analogiques.

Signal	Base de donnée	Type d'ECG	S/D (dB)	PRD (%)
$ECG3$	Apnea-ecg	Apnea	31.50	2.66
$ECG9$			34.50	1.88
$ECG27$	Ptbdb	Infarctus du myocarde	25.50	5.30
$ECG42$	Iafdb	Fibrillation artérielle	36.93	1.42
$ECG52$	Lstdb	Maladie coronaire/Hypertension	36.77 (après amplification)	1.45
$ECG63$	Ptbdb	Normal	28.50	3.76

Tableau 2. 12 Résultats de simulation du LC-ADC en présence d'une tension d'offset égale à 0.25 q dans les deux comparateurs.

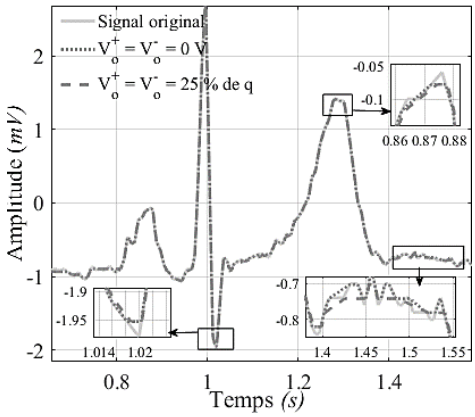
Signal	S/D (dB)	Dégradation du S/D (dB)	PRD (%)	Dégradation du PRD (%)
$ECG3$	29.05	2.45	3.53	0.87
$ECG9$	32.85	1.65	2.27	0.39
$ECG27$	23.74	1.76	6.50	1.20
$ECG42$	34.47	2.46	1.89	0.47
$ECG52$	32.58	4.19	2.35	0.90
$ECG63$	26.09	2.41	4.96	1.20

En particulier, l'analyse de la qualité du signal reconstruit, $ECG52$, ayant la valeur maximale de dégradation égale à 4.19 dB, montre que les erreurs d'offset ont introduit des distorsions au niveau des segments et des pics des ondes Q, S et T, tels que le montre la Figure 2. 24 (a). Néanmoins, même avec une tension d'offset de 0.25 q, nous pouvons vérifier que le signal $ECG52$ reste médicalement compréhensible avec une représentation sur papier millimétré inchangée et un PRD inférieur à la valeur limite de 9 %. Par ailleurs, toujours avec le signal $ECG52$, les variations du S/D en fonction de l'erreur d'offset montrent une diminution maximale de 0.78 dB du rapport S/D suite à une augmentation de 0.025 q de l'erreur d'offset entre 0 V et 0.25 q. Ces variations sont données à la Figure 2. 24 (b).

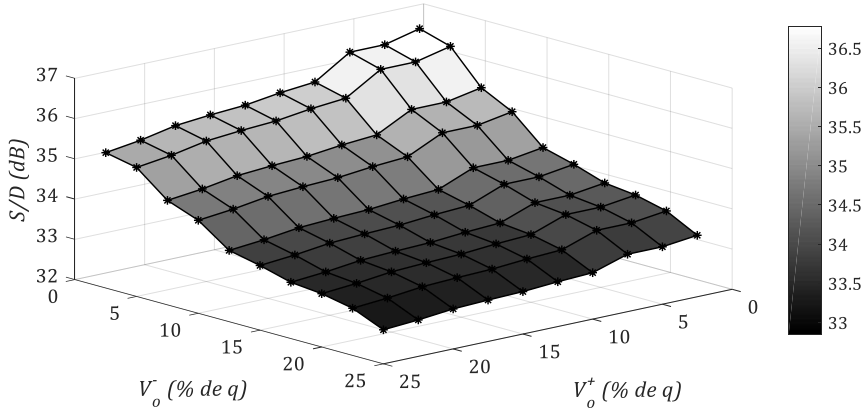
La deuxième étape de l'évaluation du modèle du LC-ADC est la simulation avec injection des erreurs de non-linéarités des DACs en supposant des comparateurs idéaux. Afin d'analyser l'impact de ces erreurs sur les performances du LC-ADC, nous calculons le rapport S/D et le PRD équivalent en fonction de l'erreur de non-linéarité différentielle maximale, $|DNL|_{max}$. Comme expliqué dans la sous-section 2.3.1, nous décrivons la réponse non-idéale du DAC par une fonction polynomiale de degré, d, qui génère des erreurs d'amplitude dans l'intervalle $\pm mq$ par rapport aux valeurs idéales, où m est fixé à 1 conformément à la plage de variation de l'INL dans les circuits réels [140-142].

Puisque le polynôme modélisant le DAC n'est pas unique, la qualité d'un même signal peut changer d'un polynôme à un autre. Par suite, pour chaque signal ECG du Tableau 2. 11, 10 simulations sont faites avec 10 polynômes de degré 8, assurant des erreurs de non-linéarité dans l'intervalle désiré mais des coefficients différents. Ainsi, nous améliorons

notre vision sur les dégradations possibles de la qualité du signal. Le Tableau 2. 13 résume les dégradations maximales du S/D pour chaque signal par rapport aux résultats obtenu avec le modèle LC-ADC avec uniquement l'erreur de quantification du temps.



(a) Signal reconstruit avec $V_o^+ = V_o^- = 0\ V$ et $V_o^+ = V_o^- = 0.25\ q$



(b) Variations du S/D en fonction de V_o^+ et V_o^- entre 0 V et 0.25 q.

Figure 2. 24 Résultats de simulation du LC-ADC avec une tension d'offset des comparateurs pour le cas du signal *ECG52*.

Tableau 2. 13 Résultats de simulation du LC-ADC en présence des erreurs de non-linéarité dans l'intervalle ±q.

Signal	S/D (dB)	Dégradation du S/D (dB)	PRD (%)	Dégradation du PRD (%)	$\lvert DNL\rvert_{max}$ (mV)
$ECG3$	27.30	4.20	4.30	1.64	0.182 q
$ECG9$	25.17	9.33	5.51	3.63	0.159 q
$ECG27$	20.11	5.39	9.87	4.47	0.182 q
$ECG42$	32.50	4.43	2.37	0.95	0.36 q
$ECG52$	31.35	5.42	2.70	1.25	0.182 q
$ECG63$	21.54	6.96	8.37	4.61	0.182 q

En effet, les dégradations du S/D varient de 4.2 dB à 9.33 dB, équivalents à des dégradations du PRD de 0.95 % et 4.61 % pour $\lvert DNL\rvert_{max}$ inférieur à 0.36 q. Un seul signal ECG a presque atteint la mauvaise qualité avec un S/D environ 1 dB en-dessous de la limite minimale de S/D et une valeur de PRD légèrement supérieure à 9 %.

D'après les résultats de simulation du LC-ADC avec les modèles définis des erreurs de la partie analogique, nous remarquons que les erreurs de non-linéarité ont un effet plus

important sur la précision d'échantillonnage du LC-ADC que les tensions d'offset dans les comparateurs. En fait, il est montré qu'en considérant uniquement les non-linéarités des DACs avec la quantification du temps comme sources d'erreurs dans le modèle du LC-ADC, la dégradation du S/D atteint 9.33 dB. Par ailleurs, selon les datasheets des DACs commercialisés de type CMOS à résolutions entre 8 et 16 bits [140-142], la valeur de $|DNL|_{max}$ est généralement inférieure à 0.15 q. Par conséquent, nous pouvons conclure, selon les résultats du Tableau 2. 13, que les erreurs des non-linéarités telles que $|DNL|_{max}$ soit inférieure à 0,15 q, engendrent un rapport S/D supérieur à 21 dB reflétant ainsi des signaux ECG de bonne qualité.

2.5. Conclusion

L'objectif des travaux présentés dans ce chapitre est la mise en œuvre de la technique d'échantillonnage par traversée de niveau pour la numérisation des signaux ECG. Dans ce cadre, une étude détaillée de l'architecture du convertisseur LC-ADC à fenêtre flottante a été proposée. Nous avons réussi au terme de notre étude à apporter trois contributions significatives, par rapport aux travaux antérieurs, concernant la modélisation, le dimensionnement et l'analyse des performances du LC-ADC.

La première contribution est la proposition d'un modèle structurel développé du LC-ADC à fenêtre flottante dans MATLAB/SIMULINK. Ce modèle constitue une brique de base dans nos travaux de recherche permettant de valider la description en blocs du convertisseur, de vérifier la robustesse du dimensionnement et d'anticiper les distorsions possibles suite à des erreurs ou des variations des paramètres intrinsèques du signal ECG. Notre deuxième contribution concerne l'établissement d'une méthodologie de dimensionnement et d'évaluation du convertisseur LC-ADC. D'un côté, grâce à la définition de conditions pour le choix des paramètres du convertisseur, nous minimisons le risque de distorsions liées à des mauvais choix. D'un autre côté, nous montrons que les choix appropriés de ces paramètres dépendent fortement des caractéristiques de l'ECG normal mais aussi de ceux avec arythmie. Par ailleurs, notre méthodologie de dimensionnement est complétée par des simulations exhaustives avec différents signaux ECG réels pour valider la robustesse du dimensionnement proposé. Globalement, ces trois contributions permettent de garantir une bonne qualité des signaux reconstruits après échantillonnage par traversée de niveaux mais aussi elles réduisent considérablement le temps de la conception du circuit LC-ADC. Finalement, la troisième contribution concerne la modélisation comportementale des erreurs des composants analogiques en les intégrant au modèle structurel du LC-ADC. Les plages de variations adoptées dans les simulations sont conformes à des valeurs relatives à des circuits CMOS commercialisés. Cette étude a permis d'analyser l'impact des erreurs sur la qualité du signal.

En conclusion, notre étude a abouti à un LC-ADC à 8 bits avec un compteur 12 bits dont la fréquence est reconfigurable selon la nature du signal d'entrée, soit 10 kHz pour le signal ECG et 500 kHz pour le signal sinusoïdal. En présence de l'erreur de quantification du temps uniquement, 100 % des 75 signaux testés sont de bonne qualité. En appliquant des

erreurs d'offset entre 0 V et 25 % de q ou des erreurs de non-linéarité intégrale entre $-q$ et $+q$, malgré les distorsions détectées, une bonne qualité des signaux est conservée permettant ainsi une lecture compréhensible par le médecin.

Ces résultats de modélisation promoteurs nous motivent pour évaluer l'apport de compression de notre LC-ADC au chapitre 3 en utilisant les paramètres de dimensionnement choisis. Nous allons nous intéresser aussi à l'exploration de techniques de compression post-LC-ADC. Pour ce faire, nous continuons dans le chapitre suivant, avec l'approche de modélisation dans MATLAB et les simulations avec des signaux ECG réels pour tester la compression des données en sortie du LC-ADC.

Chapitre 3. Etude de l'opportunité de la compression après numérisation du signal ECG par un LC-ADC

3.1. Introduction

Les résultats du chapitre précédent ont permis de définir un dimensionnement du LC-ADC permettant la mise en œuvre de l'échantillonnage par traversée de niveaux pour la numérisation des signaux ECG normaux et pathologiques. En définissant un modèle de validation et une métrologie d'analyse, nous avons évalué les performances du LC-ADC en fonction des caractéristiques intrinsèques du signal ECG, de l'erreur de quantification du temps, de l'offset des comparateurs et des non-linéarités des DACs. En observant les résultats de simulation obtenus jusque-là, nous constatons que le LC-ADC, outre la numérisation, permet de compresser le signal ECG en ne capturant que les informations pertinentes. L'objectif de ce chapitre est alors d'étudier la compressibilité des signaux à la sortie du LC-ADC dans le but de définir un étage de compression à adjoindre à l'étage de numérisation.

Ce travail nécessite d'effectuer une recherche bibliographique pour identifier les techniques de compression les plus couramment utilisées avec les signaux ECG uniformément échantillonnés. Il est également important de définir une méthodologie d'étude de compression en fonction des techniques de compression présélectionnées et enfin d'évaluer l'apport de compression supplémentaire à la compression intrinsèque du LC-ADC.

Nous commençons alors ce chapitre par l'évaluation de l'apport de compression du LC-ADC. Nous considérons dans notre évaluation la comparaison avec les volumes de données générés par des ADCs uniformes. Puis, nous présentons l'état de l'art des méthodes de compression les plus utilisées en portant notre intérêt sur les méthodes s'appuyant sur la parcimonie du signal ECG. La deuxième section de ce chapitre est consacrée à la définition d'une méthodologie d'étude de compression par transformée en ondelettes suivie par la discussion du choix de la meilleure ondelette en termes de PRD et de taux de compression, CR. Nous nous intéressons dans la dernière section à l'étude de compression par interpolation polynomiale et nous concluons par une discussion des résultats de compression par rapport à la compression intrinsèque du LC-ADC.

3.2. Etude de l'opportunité de la compression après numérisation du signal ECG par un LC-ADC

L'objectif des travaux conduits dans le cadre de cette thèse est la réduction du volume énorme de données numérisées de l'ECG par rapport à une acquisition classique. Pour répondre à cette problématique, nous nous sommes intéressés dans le cadre de la numérisation par le LC-ADC au prélèvement de l'information pertinente en ignorant les variations non-significatives du signal. La Figure 3. 1 montre le schéma fonctionnel simplifié d'un système d'acquisition cardiaque incorporant le LC-ADC et un bloc de compression supplémentaire pour une acquisition en temps réel et une reconstruction sur un terminal distant. Le LC-ADC effectue des acquisitions compressées des signaux analogiques. De plus, l'étape de compression numérique, aussi cadencée à l'activité du signal, réduit le volume des données numériques, $(Echantillon, Intervalle)$, issues du LC-ADC. Après le codage canal, la transmission radio et le décodage canal, le bloc de reconstruction numérique effectue une décompression du signal puis une interpolation pour récupérer les échantillons uniformes. L'unité de contrôle gère le bloc de reconstruction numérique.

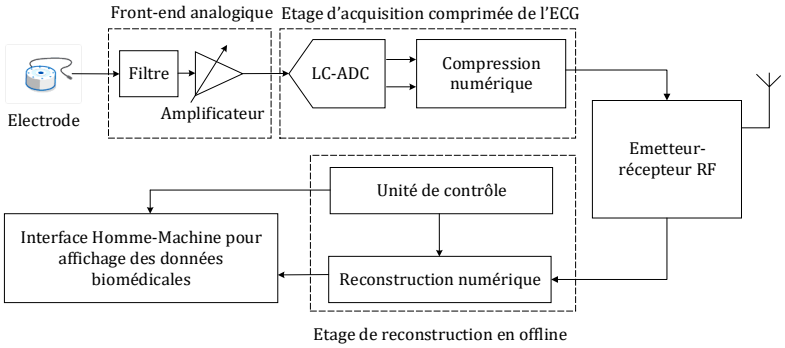


Figure 3. 1 Schéma fonctionnel du système d'acquisition cardiaque.

Nous proposons alors, dans la suite, de mesurer le taux de compression du LC-ADC en utilisant le modèle proposé dans le deuxième chapitre. Ensuite, et après mise en évidence de la propriété de parcimonie du signal ECG dans le premier chapitre, nous présentons les techniques classiques de compression en identifiant les méthodes tirant profit de cette propriété. Par ailleurs, pour alléger les notations dans le reste du manuscrit, nous remplaçons $(Echantillon, Intervalle)$ par (ECG_S, TI), respectivement.

3.2.1. Etude de l'apport de compression du LC-ADC

Des simulations ont été effectuées en utilisant les 75 enregistrements réels des signaux ECG provenant de la base de données Physionet. Les caractéristiques des ADCs uniformes utilisés pour numériser ces signaux sont données au Tableau A. 1 de l'Annexe A. Les performances de compression du LC-ADC sont évaluées en fonction de la résolution, M, qui définit le pas de quantification et donc le nombre de traversées de niveaux détectées pour un signal donné. Ainsi, le modèle LC-ADC est simulé avec des résolutions allant de 8 à 10 bits [155]. Ces valeurs sont typiques pour la quantification de l'amplitude de l'ECG et aboutissent généralement à une bonne qualité du signal après reconstruction

[5,100-101]. La pleine échelle du LC-ADC est fixée à 10 mV. La fréquence de l'horloge du compteur, F_c, est fixée à 10 kHz pour le LC-ADC 8 bits et à 20 kHz pour les LC-ADCs à 9 et 10 bits. Finalement, la résolution du compteur, N, est fixée à 12 bits pour le LC-ADC à 8 bits et à 14 bits pour les deux autres. Ces choix sont faits pour éviter l'erreur de compression de l'axe du temps en respectant la condition (E.2. 7). Les simulations sont effectuées sur une période ou plus de chaque signal contenant une onde P suivie d'un complexe QRS puis une onde T comme présentée à la Figure 3. 2. Pour modéliser des signaux analogiques, les signaux sont sur-échantillonnés à la fréquence 1 MHz à l'entrée du LC-ADC.

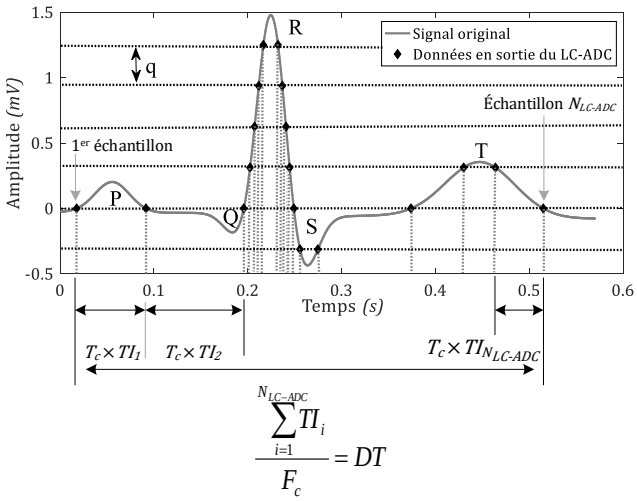


Figure 3. 2 Signal ECG échantillonné par le LC-ADC.

Pour une durée donnée du signal ECG, DT, les performances de compression du LC-ADC sont comparées à celles des ADCs classiques en termes de fréquence d'échantillonnage moyenne, F_m, et de taux de compression, CR_{LC-ADC}, donnés dans (E.3. 1) et (E.3. 2), respectivement, où m est la résolution de l'ADC classique, M est la résolution du LC-ADC, N est la résolution du compteur dans le LC-ADC, N_{ADC} est le nombre d'échantillons générés par l'ADC au bout de la durée DT et N_{LC-ADC} est le nombre d'échantillons générés par le LC-ADC pendant la même durée DT.

$$F_m = \left(\frac{1}{N_{LC-ADC} . F_c} \sum_{i=1}^{N_{LC-ADC}} TI_i \right)^{-1} \quad \textbf{(E.3. 1)}$$

$$CR_{LC-ADC} = \frac{mN_{ADC} - (M+N)N_{LC-ADC}}{mN_{ADC}} \quad \textbf{(E.3. 2)}$$

Les variations du taux de compression, CR_{LC-ADC}, et de la fréquence moyenne, F_m, sont respectivement représentées à la Figure 3. 3 et la Figure 3. 4. Certes, les résultats sont différents d'un ECG à un autre puisque le nombre d'échantillons générés par le LC-ADC dépend de la plage d'amplitude et de la fréquence du signal. De plus, puisque la numérisation se fait selon les traversées par rapport aux niveaux de références, le taux de compression décroit avec la résolution M et avec la décroissance du nombre d'échantillons en sortie du LC-ADC qui s'en suit.

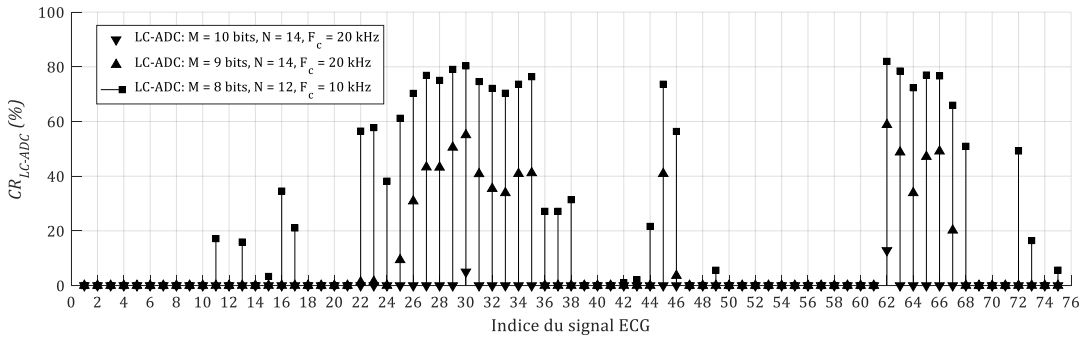


Figure 3. 3 Variations du taux de compression pour différents signaux ECG, résolutions du compteur et résolutions du LC-ADC.

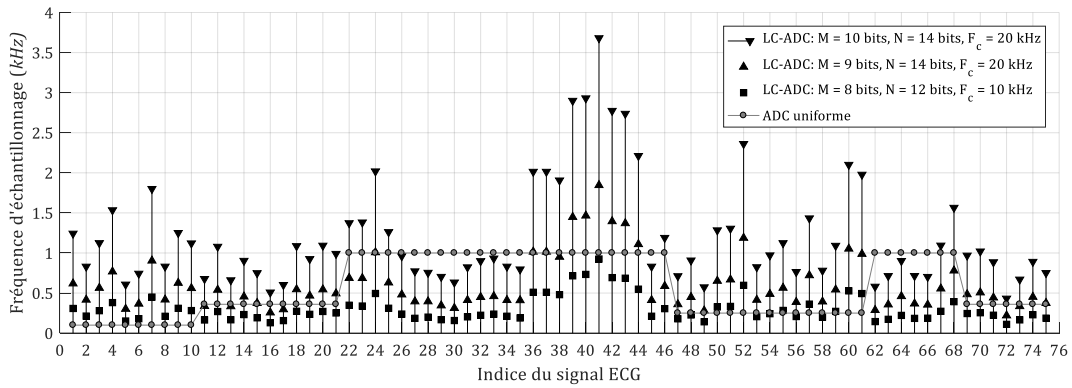


Figure 3. 4 Variations de la fréquence moyenne d'échantillonnage pour différents signaux ECG, résolutions du compteur et résolutions du LC-ADC.

A partir des résultats de la Figure 3. 3, nous constatons que les LC-ADCs à 8 et 9 bits permettent d'atteindre des taux de compression jusqu'à 81 % et 58.8 %, respectivement. Par ailleurs, comme illustré à la Figure 3. 4, pour ces deux résolutions et pour les signaux ECG qui ont été compressé, les fréquences moyennes d'échantillonnage des LC-ADC à 8 et 9 bits sont plus faibles par rapport aux fréquences des ADCs classiques. Avec ces deux configurations, la fréquence d'échantillonnage moyenne du LC-ADC est au moins la moitié de la fréquence d'échantillonnage de l'ADC uniforme. Cependant, avec la résolution 10 bits, dans 97.33 % des cas, aucune compression n'est réalisée. Pour le cas des deux signaux qui ont été compressé, $ECG30$ et $ECG62$, le taux de compression ne dépasse pas 12.8 %.

De plus, avec les trois configurations du LC-ADC, nous remarquons que dans certains cas, comme pour les signaux $ECG1$ à $ECG10$ et $ECG50$ à $ECG61$ par exemple, le taux de compression est nul car plus d'échantillons sont générés avec le LC-ADC qu'avec l'ADC uniforme. En effet, tel que le montre la Figure 3. 4, la fréquence moyenne du LC-ADC est comparée par rapport des fréquences d'échantillonnages d'ADCs uniformes qui sont inférieures ou égales à 400 Hz. Ces fréquences sont très faibles par rapport à la bande 200 Hz du signal ECG mais aussi par rapport aux fréquences d'échantillonnage relevées dans la littérature et dans le commerce qui varient entre un minimum de 512 Hz et un maximum de 2 MHz tel que le montre le Tableau 1. 10, le Tableau 1. 11, le Tableau 1. 12 et le Tableau 1. 13.

En résumé, nous pouvons déduire que le nombre de bits en sortie du LC-ADC dépend de la résolution, M, qui définit le nombre des niveaux de références et de la résolution du compteur, N, qui est obligatoirement choisie de façon à éviter le débordement du compteur dans les intervalles de l'ECG à faible variation. De plus, l'échantillonnage du complexe QRS, qui comporte l'onde R à fréquence et amplitude maximales dans l'ECG, augmente l'activité du LC-ADC. En effet, dans la Figure 3. 2, 66,6 % des échantillons générés par le LC-ADC sont représentatifs du complexe QRS pour un exemple d'un LC-ADC à 3 bits donc avec 8 niveaux de références. Ainsi, dans les régions à pente élevée, comme le complexe QRS, plus la résolution M augmente, plus important est le nombre de traversées de niveaux détectées, plus le CR_{LC-ADC} diminue. Le volume de données générés peut alors dépasser celui généré par un ADC classique et aucune compression ne serait réalisée, comme pour le cas du LC-ADC avec une résolution de 10 bits.

Finalement, la conclusion la plus importante que nous pouvons faire à partir de ces simulations est l'utilité du LC-ADC dimensionné en chapitre 2 car nos choix de la pleine échelle 10 mV, la résolution 8 bits du LC-ADC et la résolution 12 bits du compteur ont permis d'atteindre non-seulement une bonne qualité des signaux numérisés mais aussi des taux de compression de l'ordre 81 % et d'atténuer la fréquence d'échantillonnage moyenne jusqu'à 25 % de la fréquence d'un ADC uniforme.

Outre l'acquisition et la compression intrinsèque du LC-ADC, une compression supplémentaire est nécessaire pour augmenter le taux de compression. Pour définir l'étage de compression numérique présenté à la Figure 3. 1, nous nous inspirons des méthodes de compression classiques les plus couramment utilisées avec les signaux ECG uniformément échantillonnés. Nous détaillons alors dans la sous-section suivante, l'état de l'art de ces méthodes.

3.2.2. Etat de l'art des méthodes de compressions classiques

La compression du signal ECG a connu des avancées fondamentales dans les dernières décennies, marquées par l'expansion du marché des technologies d'acquisition et de communication de l'activité cardiaque à distance. Dans ce domaine, les chercheurs ciblent l'efficacité de la compression et la préservation de l'information médicale. En effet, l'efficacité d'une technique de compression est mesurée en termes du taux de compression, du temps d'exécution et du traitement requis pour la compression et la reconstruction des données, la complexité de ces traitements numériques mais aussi en termes de l'erreur de compression à travers le calcul du PRD [8,156-157].

Les techniques de compression sont classées en techniques sans perte, à l'issu desquelles les données compressées sont reconstruites pour représenter rigoureusement le signal original et d'autres techniques avec perte, grâce auxquelles les rapports de compression sont augmentés au détriment de l'introduction d'une erreur sur la qualité du signal [9]. En fonction du traitement de données effectué, ces deux catégories regroupent trois familles de techniques différentes qui sont la compression directe, la compression par transformation et la compression par extraction de paramètres [158].

La première famille des techniques de compression s'effectue en analysant directement le signal ECG pour détecter les redondances [159]. Parmi ces techniques nous citons la méthode de CORTES (the coordinate reduction time encoding system) et la méthode AZTEC (the amplitude zone time epoch coding) [160]. Pendant les deux dernières décennies, l'application de ces méthodes directement sur le signal ECG a quasiment disparue. D'autres méthodes directes plus récentes sont actuellement utilisées à la suite d'une compression par transformation pour augmenter le taux de compression en hiérarchisant l'information avec des algorithmes de tri comme le codage SPITH (set partitioning in hierarchical trees), le codage par arbre EZW (embedded zero tree wavelet) et le codage MEZW (modified embedded zero tree wavelet) [8,87].

La deuxième famille des techniques de compression s'effectue par décomposition du signal original en combinaison linéaire de fonctions particulières. S'en suivent ensuite les étapes de quantification et de compression supplémentaire en utilisant l'une des techniques directes suscitées [8,87]. Ces transformations sont développées en utilisant la transformée en cosinus discrète (DCT, Discrete Cosine Transform) [78], la transformée en ondelettes discrète (DWT, Discrete Wavelet Transform) [157] et la décomposition empirique modale (EMD, Empirical mode decomposition). En effet, dans [78], les auteurs utilisent la DCT pour stocker les coefficients calculés au lieu du signal ECG. De plus, ils définissent une méthode de sélection adaptative du nombre de coefficients à retenir en fonction de la distribution de l'énergie spectrale des signaux ECG. Dans [157], les données à compresser sont d'abord décomposées en valeurs singulières puis décomposées en ondelettes. Les coefficients à stocker sont aussi sélectionnés de façon adaptative. Pour ce faire, des prétraitements sont requis comme la normalisation de la période de l'ECG, la suppression de la valeur moyenne du signal suivie par le filtrage et la segmentation.

Quant à la troisième famille des techniques de compression, elle utilise le concept d'extraction d'une série de paramètres à partir des données originales. Les paramètres dégagés caractérisent par exemple l'amplitude, la durée ou la forme du signal. Ils sont ensuite utilisés pour classifier des portions du signal selon une connaissance au préalable. Pour faciliter ces traitements, la période de l'ECG est généralement normalisée, les données sont segmentées, et les ondes comme le complexe QRS sont détectées [156]. Dans cette famille, nous pouvons citer les travaux dans [156] qui, après détection des paramètres du signal, font l'allocation des bits pour la compression en se basant sur le calcul de la déviation standard à partir de données ECG segmentées. Un deuxième exemple de cette famille couvre les méthodes de prédiction [6]. En effet, un prédicteur d'ordre 1 ou 2 prend en entrée le signal à compresser et génère en sortie un résultat de prédiction qui est ensuite comparé à l'information la plus proche. L'erreur de comparaison est ensuite stockée. Un troisième exemple est la compression par réseaux de neurones multicouches [161-162]. Les données à compresser sont reliées à la couche d'entrée. A chacune de ces entrées est associé un poids. Les neurones de la couche intermédiaire, reliées à la couche d'entrée et la couche de sortie, forment une couche cachée. Quant à elles, les neurones de cette couche ajustent les poids entre elles et les neurones de la couche d'entrée. Il est ainsi possible d'extraire l'information caractérisant

l'ECG et de l'exprimer comme information dans les neurones de sortie. Par ailleurs, à la suite de ces techniques, un codage supplémentaire peut être effectué comme le codage statistique à savoir le codage de Huffman et le codage arithmétique. Le codage statistique exploite le fait que la probabilité d'occurrence des échantillons n'est pas la même. Ainsi, les codes les plus courts sont affectés aux échantillons les plus fréquents et les codes les plus longs sont affectés aux échantillons d'occurrences rares [6].

Nous présentons dans le Tableau 3. 1, l'état de l'art des méthodes de compression par transformation, par extraction des paramètres mais aussi les méthodes hybrides. Ces dernières représentent les méthodes par transformation, notamment en utilisant une transformée en ondelettes, suivie par une méthode de compression directe [8,71,87]. Certes, en termes de complexité de traitement, certaines méthodes nécessitent des prétraitements comme la normalisation de la période des signaux ECG, le filtrage et la segmentation [157,162], mais, nous nous intéressons dans le cadre de nos travaux à la relève des performances de ces méthodes en termes de PRD et de taux de compression, CR, uniquement.

Tableau 3. 1 Etat de l'art des méthodes de compression des signaux ECG entre 2013 et 2018.

Méthode de compression	Travaux	CR (%)	PRD (%)	Signaux testés
Par transformation	[78]-2015	78.16 à 96	0.53 à 9.68	Base de donnée MIT-BIH arrhythmia
	[157]-2016	74.50 à 66.9	0.73 à 3.44	Base de donnée MIT-BIH arrhythmia
Par extraction de paramètres	[6]-2013	61	-	Base de donnée MIT-BIH
	[156]-2016	91	3.27	Base de donnée PTB Diagnostic
	[162]-2015	-	3(*)	Base de donnée MIMIC II (un signal)
Méthode de compression hybrides	[87]-2017	95.40	9	Base de donnée MIT-BIH ECG Compression Test
	[8]-2018	73 à 96.8	2 à 5	Base de donnée MIT-BIH arrhythmia
	[71]-2015	93.8 à 98.6	9.18 à 32.19	Base de donnée MIT-BIH arrhythmia
	[88]-2015	93.3 à 98.7	4 à 10	Base de donnée MIT-BIH arrhythmia

(*) : erreur quadratique

Selon l'état de l'art présenté au Tableau 3. 1, les méthodes classiques comme la méthode de CORTES (the Coordinate Reduction Time Encoding System) et la méthode AZTEC (the Amplitude Zone Time Epoch Coding), ont quasiment disparues. Les méthodes directes les plus récentes, comme la méthode SPIHT, sont plutôt utilisées pour coder les coefficients de la transformation en ondelettes ou les fonctions de fourrier et non pas directement les données ECG. Le développement de ces types de méthodes de compression a permis d'atteindre des taux de compression entre 61 % et 96 % pour des PRD inférieurs à 9 %. Par ailleurs, nous remarquons que la majorité de ces résultats sont relatifs aux signaux de la base de données MIT-BIH arrhytmia.

Vu les petites valeurs que peut avoir le PRD et le grand taux de compression [157], la transformée en ondelettes est un outil puissant dans le traitement et la compression du signal ECG échantillonné par un ADC classique s'appuyant sur la parcimonie du signal. Il

s'avère donc judicieux de commencer par tester la compression des données issues du LC-ADC par la transformée en ondelettes discrète afin d'améliorer les résultats de compression. Dans notre étude, et contrairement aux travaux existants, nous considérons une large gamme de signaux ECG à caractéristiques différentes et qui sont issus de plusieurs bases de données.

3.3. Etude de la compression par ondelettes

Nous commençons d'abord par introduire la formulation générale de la DWT et sa relation avec la parcimonie d'un signal. Puis, nous présentons quelques familles d'ondelettes ainsi que la justification du choix des ondelettes adaptées à la compression du signal ECG. Ensuite, nous présentons la méthodologie développée pour l'étude de compression en fonction d'une variété de familles d'ondelettes. Nous commençons notre analyse de la compression par ondelettes par l'identification de la meilleure famille pour la compression de l'amplitude. Ensuite, nous évaluons le PRD total de la chaîne de traitement du signal en partant de l'échantillonnage par le LC-ADC, puis la compression avec les ondelettes et enfin l'interpolation pour la reconstruction. Le critère de bonne qualité que nous considérons est un PRD final inférieur ou égal à 9 % [150].

3.3.1. Transformée en ondelettes

La DWT est un ensemble de projections linéaires effectuées sur un signal échantillonné, x. Le résultats de cette décomposition est un signal discret, s, qui peut remplacer x dans des opérations de traitement de signal comme la compression, la modélisation ou la reconnaissance de formes [163]. La forme matricielle de ces projections linéaires est décrite par la multiplication entre une matrice Φ et le vecteur colonne x tel que le montre (E.3. 3), où Φ est la matrice de décomposition de dimensions $D \times D$, ϕ_i est la $i^{ème}$ ligne de Φ et α_i est le produit scalaire entre x et ϕ_i.

$$\Phi x = s \quad \text{tel que} \quad \langle \phi_i, x \rangle = \alpha_i \qquad \textbf{(E.3. 3)}$$

En effet, lorsque x est compressible dans le domaine décrit par Φ, le vecteur s généré présente un nombre total de coefficients significatifs faible par rapport à sa dimension. La restitution de x à partir de ces coefficients se fait par multiplication à gauche de (E.3. 3) par la matrice inverse de Φ pour donner l'équation (E.3. 4) où Ψ est la matrice des ondelettes, égale à Φ^{-1}.

$$x = \Psi s \qquad \textbf{(E.3. 4)}$$

Pour un coefficient, α_i, de valeur beaucoup plus élevée que le reste des coefficients α_j avec $j \neq i$ dans s, ψ_i, étant la $i^{ème}$ colonne dans Ψ, est dite active dans x. De plus, les coefficients négligeables par rapport à α_i dans s peuvent être arrondis à zéro pour faire de s un vecteur parcimonieux. Ainsi, le nombre de coefficients non-nuls dans s devient faible par rapport à sa dimension originale et x est considéré parcimonieux dans Φ. Il est restitué sans distorsions significatives en utilisant (E.3. 4) qui donne l'expression approximative

de x dans (E.3. 5), où $\hat{x}$, K et N sont la version décompressée de x, le nombre d'ondelettes actives et la longueur de x, respectivement.

$$\hat{x} = \sum_{u=1}^{K} \alpha_u \psi_u \, , K \ll N \qquad \textbf{(E.3. 5)}$$

Lorsque Φ est orthogonale, la décompression se fait en utilisant Ψ qui est simplement la transposée de Φ. Les matrices d'ondelettes orthogonales ont l'avantage de permettre l'utilisation d'une seule matrice pour la compression et la décompression. Par suite, la complexité de calculs et la taille de mémoire requises pour le traitement des données sont diminuées en maintenant les mêmes performances de compression [164].

Les fonctions d'ondelettes sont obtenues par translation et dilatation d'une ondelette mère, ψ_1. Les fonctions obtenues se caractérisent par un nombre réduit d'échantillons non-nuls par rapport à la longueur du support de l'ondelette mère. Pour le cas d'une famille orthogonale, définie par (E.3. 6), les ondelettes sont obtenues par transformation dyadique de l'ondelette mère où ψ_i, L, j et k sont respectivement la $i^{ème}$ fonction d'ondelette, le niveau de décomposition, le facteur d'échelle et le facteur de translation [165].

$$\begin{cases} \psi_i(t) = 2^{\frac{j}{2}} \psi_1(2^j t - k) \\ i = 2^j + k, 0 < j \leq L, 0 \leq k < 2^j \end{cases} \qquad \textbf{(E.3. 6)}$$

En analyse multi-résolution, il est possible de faire des projections multi-niveaux du signal. En effet, dans le cas d'une base d'ondelettes orthogonale, l'espace engendré par Ψ est défini comme étant la somme orthogonale de sous-espaces. Chaque sous-espace est engendré par la base orthogonale, $\Psi^{\,j}$. Cette base est constituée de la translation de fonctions d'ondelettes ayant le même facteur d'échelle, j, comme décrit dans (E.3. 6) en variant uniquement le facteur de translation k [163,165].

Dans notre étude, la décomposition des données numériques jusqu'au niveau L, revient à la projection des données dans les sous-espaces engendrés par $\{\Psi^j, 0 \leq k < 2^j, 0 < j \leq L\} = \{\psi_i(t), 2^j \leq i < 2^{j+1}, 0 \leq k < 2^j\}$ où les fonction $\psi_i(t)$ sont les colonnes de Ψ^j. Ainsi, la projection multi-résolution de x est effectuée en sélectionnant les K ondelettes les plus significatives pour chaque ensemble $\{k_j, 0 < j \leq L\}$ et la version décompressée de x dans (E.3. 5) devient (E.3. 7) où les k_j sont les adresses des ondelettes les plus actives de Ψ^j.

$$\hat{x} = \sum_{j=1}^{L} \sum_{u \in \{k_j\}} \alpha_u \psi_u \qquad \textbf{(E.3. 7)}$$

Après avoir décrit la transformée en ondelettes et la décomposition multi-résolution, nous présentons dans la section suivante les familles d'ondelettes que nous utilisons dans nos travaux sur la compression en mettant l'accent sur les plus utilisées pour la compression des signaux ECG.

3.3.2. Familles d'ondelettes adéquates pour les signaux ECG

La décomposition multi-résolution est généralement effectuée en utilisant des ondelettes orthogonales telles que les Coiflet, Daubechies, Symlet, DMeyer et Haar, ou des ondelettes biorthogonales (bior pour biorthogonale et rbio pour reverse biorthogonal) [166]. La liste de ces ondelettes est donnée en Annexe B avec leurs notations. Dans la littérature, les résultats de compression après échantillonnage par un ADC classique ne sont pas les mêmes pour toutes les ondelettes étant donné leurs propriétés différentes et la variabilité des signaux ECG. Globalement, les ondelettes les plus couramment utilisées pour la compression de l'ECG sont les Daubechies et les biorthogonales. A la sortie d'un ADC classique, ces deux exemples de familles orthogonales et biorthogonales aboutissent généralement à des taux de compression entre 70 % et 90 % équivalents à des $PRDs$ entre 0.64 % et 7.1 % [9,167-168]. En pratique, les ondelettes n'offrent pas la même souplesse dans leur conception. Par ailleurs, malgré leurs formes d'ondes constante par morceaux [163], ce qui en fait les ondelettes les plus simples à maîtriser et à implémenter, les ondelettes Haar sont quasiment absentes dans les applications de compression de l'ECG.

L'ondelette mère de type Haar est la fonction définie par morceaux dans (E.3. 8).

$$\psi_1(t) = \begin{cases} 1, & 0 \leq t \leq 1/2 \\ -1, & 1/2 \leq t \leq 1 \\ 0, & sinon \end{cases} \qquad \textbf{(E.3. 8)}$$

Les ondelettes Haar sont données dans (E.3. 9), où i est égal à $2^j + k, j$ appartient à $[\![0, \mathrm{L}]\!]$ et k est dans l'intervalle $[\![0,2^j[\![$. Ainsi, l'ondelette mère est obtenue en remplaçant k et j par des zéros et i par 1.

$$\psi_i(t) = \begin{cases} 1, & \frac{k}{2^j} \leq t \leq \frac{k + {}^1\!/_2}{2^j} \\ -1, & \frac{k + {}^1\!/_2}{2^j} \leq t \leq \frac{k+1}{2^j} \\ 0, & sinon \end{cases} \qquad \textbf{(E.3. 9)}$$

Comme décrite dans (E.3. 9), la base de Haar est inversible mais non orthogonale. La forme orthogonale est caractérisées par des fonctions d'amplitudes dyadiques [165]. Dans notre étude, nous avons utilisé la forme non-orthogonale mais inversible de la base de Haar de façon à minimiser la complexité de la matrice de décomposition. Comme l'intégration de l'étape de décomposition est un défi dans les applications de traitement en temps réel, les ondelettes de Haar représentent une alternative simple pour la compression des données ECG [169].

En ce qui concerne les ondelettes Daubechie, elles ne peuvent pas être construites directement car il n'existe aucune formule analytique le permettant. Elles sont connues pour leur continuité, leur orthogonalité et leurs support compact. C'est à partir de ces caractéristiques que les ondelettes Daubechie sont calculées par des méthodes numériques telles que les méthodes polynomiales ou matricielles [163,165,170].

Les ondelettes biorthogonales sont définies en relâchant la condition d'orthogonalité et en supposant que la matrice de décomposition et de décompression sont orthogonales

entre elles mais ne sont pas elles-mêmes orthogonales [171]. En fait, en tolèrant que la matrice de décomposition soit différente de la matrice de décompression, plus de souplesse s'offre dans le choix des propriétés de l'ondelette comme la symétrie ou l'antisymétrie, qui donnent plus de flexibilité dans l'implémentation des ondelettes. Dans nos travaux, nous utilisons les ondelettes biorthogonales construites par MATLAB à base de fonctions B-splines [172].

Comme nos travaux de recherche proposent un échantillonnage différent de l'approche classique uniforme, des simulations doivent être menées en considérant les données en sortie du LC-ADC. La compression par ondelettes de Haar est certainement la moins complexe à mettre en œuvre mais, il est nécessaire de mener une étude comparative entre toutes les familles d'ondelettes pour la sélection de la famille la plus appropriée en termes de taux de compression et de distorsion du signal. Nous discutons alors dans la section suivante, les résultats de compression et l'évaluation de la qualité de reconstruction après choix de la familles d'ondelette adéquate.

Dans la sous-section suivante, nous présentons la méthodologie de choix de la famille d'ondelette pour réaliser la compression post-LC-ADC.

3.3.3. Méthodologie de l'étude de compression par ondelettes

L'étude de compression est faite sur les 75 enregistrements réels de signaux ECG, décrits dans le Tableau 2. 9, après acquisition avec le LC-ADC. L'algorithme OMP, décrit en Annexe C, est utilisé pour calculer tous les coefficients des ondelettes par appel itératif à la DWT et sélectionner les K ondelettes les plus actives [163]. Ainsi, le paramètre K représente la condition de convergence de l'OMP et le nombre maximal d'itérations.

La Figure 3. 5 montre le schéma synoptique de la méthodologie de l'étude de compression par ondelettes [164]. L'algorithme de compression est en fait organisé sur 8 étapes comme suit :

- le signal de la base de données Physionet, ECG_h, est sur-échantillonné à la fréquence 1 MHz pour modéliser un signal analogique, où h est le numéro du signal ECG et il varie de 1 à 75 ;
- le signal sur-échantillonné, ECG_h, est ensuite converti par le modèle LC-ADC pour fournir ECG_{s_h} [155],
- afin de permettre la multiplication entre la matrice Φ de dimensions $D \times D$, et les données échantillonnées, la longueur du vecteur à la sortie du LC-ADC est tronquée au multiple le plus proche de D en utilisant l'équation (E.3. 10), où N_{LC-ADC} et n sont la longueur initiale des données numériques et le multiple le plus proche de D, respectivement ;

$$\widehat{N}_{LC-ADC} = nD \text{ with } n = \left\lfloor \frac{N_{LC-ADC}}{D} \right\rfloor \qquad \textbf{(E.3. 10)}$$

- le vecteur de longueur $\widehat{N}_{LC-ADC}$ est réparti sur n segments, $ECG_{s_{hl}}$, pour $l = 1 \ldots n$,
- l'algorithme OMP est appliqué séparément à chaque segment pour une famille d'ondelettes donnée, une valeur fixe du niveau de décomposition, L, et un nombre

maximal d'itérations, K. A la fin de cette étape, les vecteurs s_{hl}, pour $l = 1 \ldots n$, contenant les K coefficients les plus significatifs sont générés.

- pour faire la décompression des données, la matrice d'ondelettes est appliquée séparément à la décomposition de chaque segment en utilisant (E.3. 7) pour $\hat{x}$ égal à $\widehat{ECG}_{s_{hl}}$;
- une fois que tous les segments $\widehat{ECG}_{s_{hl}}$ sont récupérés, le signal décompressé, $\widehat{ECG}_{s_h}$, de taille nD est retrouvé par concaténation des segments obtenus après décompression ;
- pour évaluer la qualité du signal après compression et décompression pour des valeurs de D, K et L, le PRD est calculé par (E.3. 11) [150], tel que x et $\hat{x}$ sont le signal de sortie du LC-ADC, ECG_{s_h}, et la sortie de l'étage de concaténation, $\widehat{ECG}_{s_h}$, respectivement. De plus, L_s correspond à $\widehat{N}_{LC-ADC}$ et $\bar{x}$ est la moyenne de ECG_{s_h}.

$$PRD = \sqrt{\frac{\sum_{i=1}^{L_s}(x(i)-\hat{x}(i))^2}{\sum_{i=1}^{L_s}(x(i)-\bar{x})^2}} * 100 \qquad \textbf{(E.3. 11)}$$

En fait, comme l'expression du PRD est indépendante du type de traitement, nous utilisons dans la suite le PRD pour évaluer la qualité des signaux ECG après compression et interpolation. Ainsi, dans (E.3. 11), $x\ (i)$ est le $i^{ème}$ échantillon de x avant l'opération de traitement, $\bar{x}$ est sa valeur moyenne, $\hat{x}(i)$ est le $i^{ème}$ échantillon de x après le traitement et U est le nombre total d'échantillons.

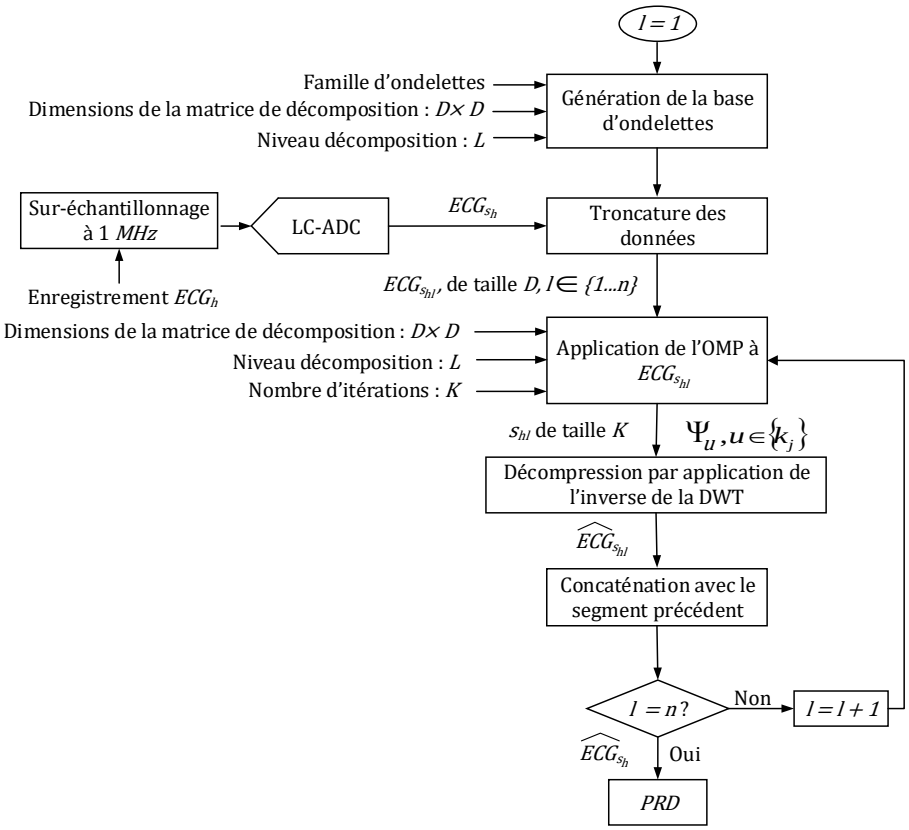


Figure 3. 5 Organigramme de l'algorithme d'étude de compression.

Ainsi, les huit étapes de l'organigramme de la Figure 3. 5 nous permettent de tracer les variations du PRD en fonction de K pour une famille d'ondelettes donnée, des dimensions données de la matrice d'ondelettes, D x D, et un niveau de décomposition, L, donné. Un PRD égal à 0 % reflète une compression sans perte. Sinon, il est important de faire le choix de l'ondelette appropriée selon un PRD inférieur à 2 % comme critère de très faible distorsion [150].

En raison des variations de la plage temporelle et de l'amplitude de l'ECG [173], le nombre d'ondelettes nécessaires pour atteindre un PRD 2 % varie d'un signal à l'autre. Par conséquent, pour évaluer les performances de compression d'une famille d'ondelettes pour des dimensions de la base et un niveau de décomposition fixes en tenant compte de tous les signaux testés, nous définissons deux valeurs indicatives de K, en fonction de la famille d'ondelettes et des variations du PRD comme décrit dans (E.3. 12), où h varie de 1 à 75 et w varie de 1 au nombre total de familles d'ondelettes. De plus, K_{max_h} et K_{min_h} sont le nombre d'ondelettes retenu pour avoir un PRD 2 % dans le cas du signal le moins compressible et le plus compressible, respectivement.

$$\begin{cases} K_{max_w} = \max\limits_{h}(K_h), \\ K_{min_w} = \min\limits_{h}(K_h), \end{cases} \quad \text{pour } PRD \approx 2\ \% \qquad \textbf{(E.3. 12)}$$

Pour choisir la meilleure famille d'ondelettes, K_{max_w} est minimisé, comme décrit par (E.3. 13), où K_{opt} est utilisé pour restreindre les choix possibles à un petit nombre de familles d'ondelettes de façon à conserver uniquement les familles qui aboutissent à un PRD 2 % pour tous les signaux testés tout en conservant K_{max} le plus petit possible.

$$K_{opt} = \min_{w}\left(K_{max_w}\right) \qquad \textbf{(E.3. 13)}$$

Pour évaluer les performances de compression des familles d'ondelettes assurant un choix optimal de K, nous définissons le taux de compression optimal des échantillons, SCR_{opt}, en fonction des dimensions de la base dans (E.3. 14).

$$SCR_{opt} = \frac{D - K_{opt}}{D} \qquad \textbf{(E.3. 14)}$$

De plus, étant donné que le LC-ADC génère des couples de données d'amplitudes et d'intervalles de temps, il est intéressant d'utiliser le même étage de compression par ondelettes pour faire la compression des intervalles de temps et de l'amplitude. Nous proposons alors d'étudier la compression des intervalles de temps en analysant les résultats pour toutes les ondelettes en utilisant la même méthodologie définie dans la Figure 3. 5. Ainsi, ECG_s , $\widehat{ECG}_{s_h}$, $ECG_{s_{hl}}$ et $\widehat{ECG}_{s_{hl}}$ sont remplacés par TI, $\widehat{TI}_h$, TI_{hl} et $\widehat{TI}_{hl}$ dans la Figure 3. 5.

Dans la section suivante, nous allons détailler et analyser les résultats obtenus en utilisant la méthodologie de l'étude de compression par ondelettes.

3.3.4. Résultats de comparaison et choix de la famille d'ondelettes

Pour compresser les échantillons d'amplitude générés par le LC-ADC, nous avons utilisé les fonctions prédéfinies de MATLAB pour générer les familles d'ondelettes db2 et bior2.2. Seules les ondelettes Haar ont été implémentées en utilisant l'équation (E.3. 9) dans la forme non-orthogonale de la base. Les paramètres de simulation sont les dimensions de la matrice d'ondelettes, $D \times D$, le niveau de décomposition, L, et le nombre d'ondelettes, K, sélectionnées pour compresser le signal.

Dans le but de simplification de l'implémentation matérielle, l'analyse multi-résolution est limitée jusqu'au troisième niveau de décomposition, car pour des niveaux de décomposition plus élevés, les performances de la famille d'ondelettes ne varient pas de manière significative. De plus, pour optimiser le calcul des fonctions d'ondelettes, la dimension, D, de la matrice d'ondelettes doit être une puissance de 2. Par ailleurs, d'une part, avec des dimensions petites, les zéros dans le vecteur de l'ondelette risquent de diminuer, ce qui empêchera d'avoir des représentations compressibles des signaux. D'une autre part, des valeurs élevées de D conduisent à une implémentation matérielle plus complexe car le paramètre D représente aussi la profondeur de mémoire où sont stockés les échantillons d'amplitude avant compression. Ainsi, nous proposons de faire les simulations uniquement pour D égale à 64 et 128.

Les variations du PRD en fonction du nombre d'ondelettes, K, retenues par l'OMP sont présentées à la Figure 3. 6, la Figure 3. 7 et la Figure 3. 8 pour le cas des ondelettes Haar, db2 et bior2.2, respectivement, où (L, D) est égal à (2,64), (2,128), (3,64) ou (3,128). Ces trois familles ont été choisies à titre d'exemple pour comparer quelques résultats préliminaires [164]. Comme l'indiquent ces figures, le PRD diminue lorsque le nombre d'ondelettes sélectionnées augmente. En fait, plus le nombre d'ondelettes éliminées est grand, plus importantes sont les informations perdues. Par ailleurs, le nombre des coefficients les plus significatifs, K, satisfaisant un PRD de 2 % varie en fonction des ondelettes et des signaux ECG. Ainsi, nous marquons ces variations par la définition de l'intervalle de variation de K, $\left[K_{min_w}, K_{max_w}\right]$ dans le Tableau 3. 2 pour les différents cas de simulations, où w est égal à Haar, db2 et bior2.2.

Dans le cas particulier de la famille des ondelettes Haar, les meilleurs résultats en termes de $K_{min_{haar}}$ sont obtenus pour le niveau de décomposition 3 où autour de 68 % des échantillons sont éliminés dans le cas des dimensions 64 et 128. Cependant, ces résultats sont applicables uniquement sur un seul signal. Pour atteindre un PRD de 2 % avec la totalité des signaux, seulement 13 % des fonctions d'ondelettes doivent être éliminées quelle que soit la valeur de L et D. Nous en déduisons que les signaux ECG ne sont pas compressibles dans la base de Haar, si cette condition sur le PRD après compression est à remplir.

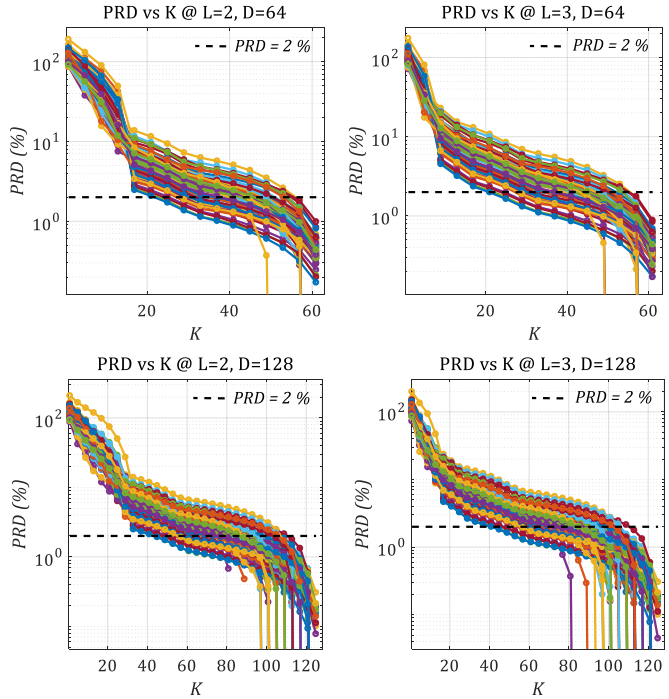


Figure 3. 6 Variations du PRD en fonction du nombre d'ondelettes retenues pour le cas des ondelettes Haar.

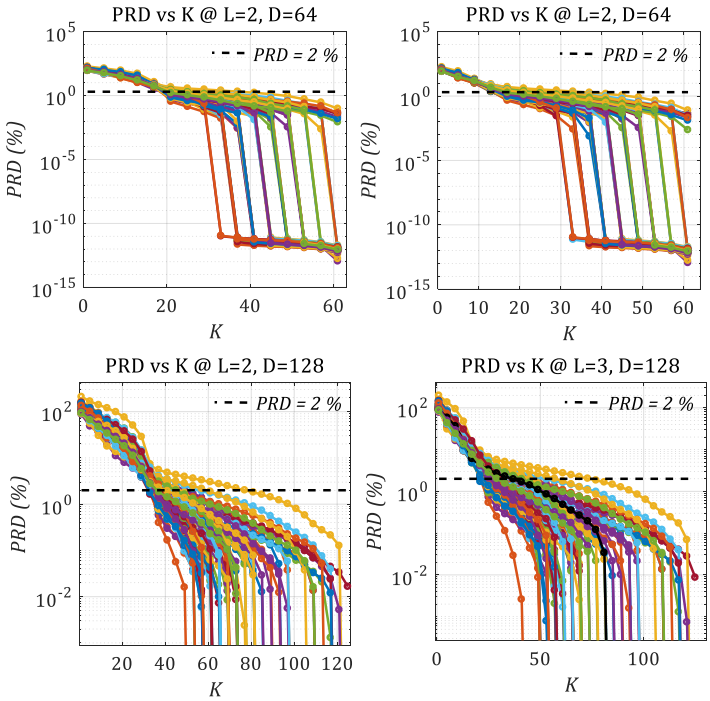


Figure 3. 7 Variations du *PRD* en fonction du nombre d'ondelettes retenues pour le cas des ondelettes db2.

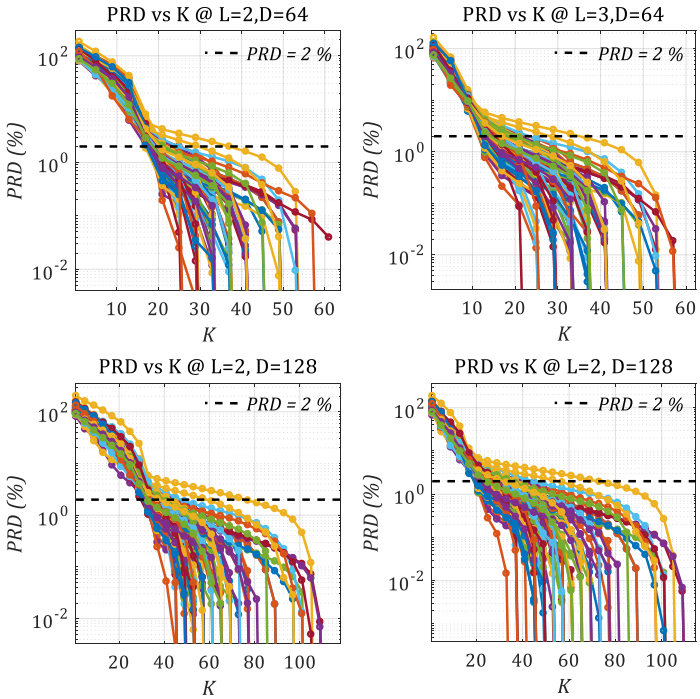


Figure 3. 8 Variations du PRD en fonction du nombre d'ondelettes retenues pour le cas des ondelettes bior2.2.

Au contrario, les ondelettes db2 et bior2.2 donnent de meilleurs résultats. D'un côté, comme le montre le Tableau 3. 2, avec les ondelettes db2, la condition sur le PRD est respectée pour tous les signaux en éliminant 41.4 % et 43.75 % dans le cas de (L, D) égal à (3,128) et (3,64), respectivement. D'un autre côté, dans le cas des ondelettes bior2.2, et pour les mêmes conditions du PRD et de (L, D), ces résultats deviennent 42.96 % 45.31 %, respectivement. De plus, nous remarquons que le niveau de décomposition et les dimensions de la base ont de légers effets sur les performances du PRD, car au passage de $L = 2$ à $L = 3$, la valeur de $K_{max_{bior2.2}}$ a diminué de 2 à 4 ondelettes équivalentes et le passage de $D = 128$ à $D = 64$ a éliminé 2.4 % plus d'échantillons en utilisant la même famille.

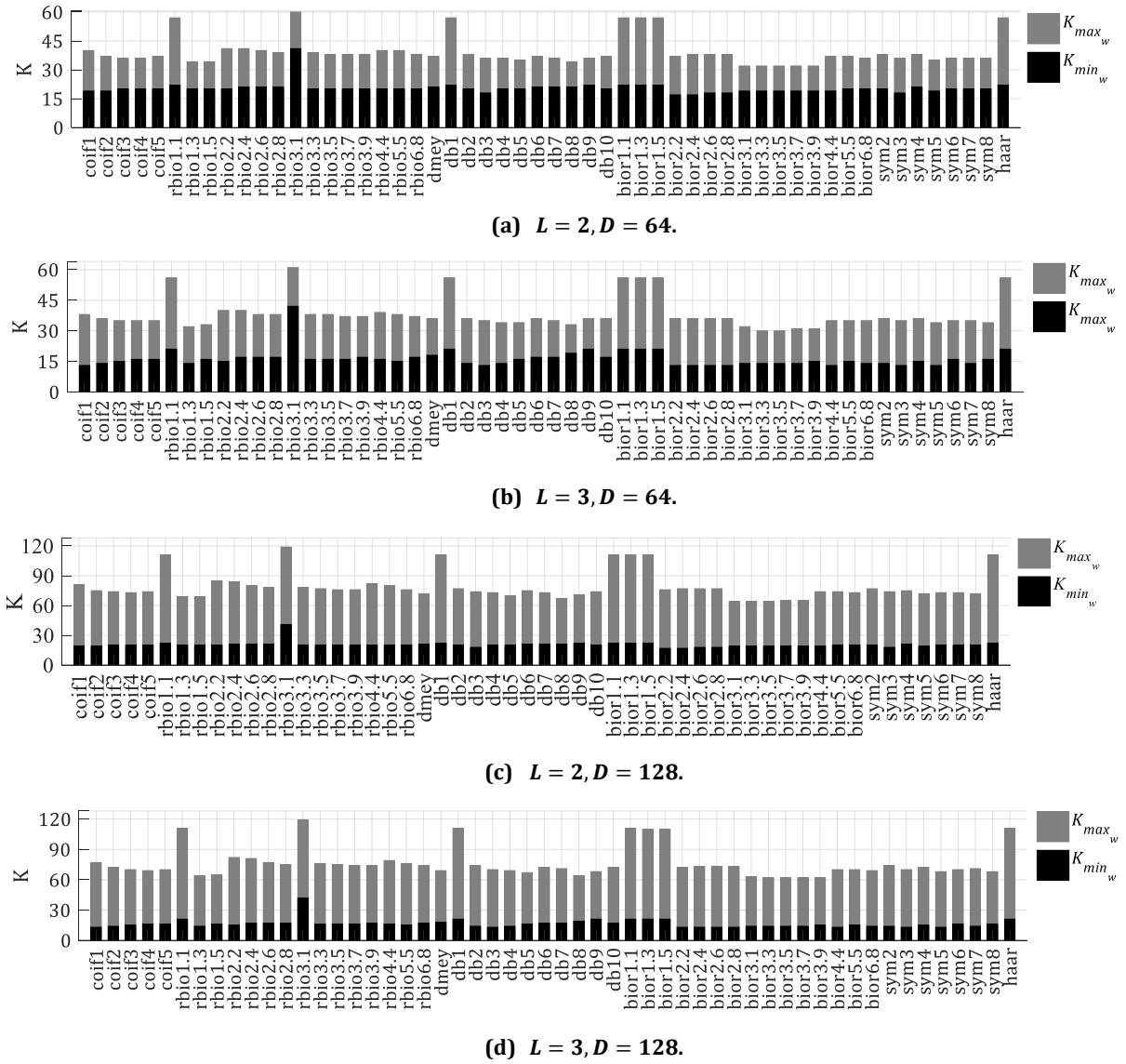
Tableau 3. 2 Plage de variation de K pour les ondelettes Haar, dB2 et bior2.2 pour une *PRD* de 2 %.

$(\boldsymbol{L}, \boldsymbol{D})$	$(\boldsymbol{K}_{min_{haar}}, \boldsymbol{K}_{max_{haar}})$	$(\boldsymbol{K}_{min_{db2}}, \boldsymbol{K}_{max_{db2}})$	$(\boldsymbol{K}_{min_{bior2.2}}, \boldsymbol{K}_{max_{bior2.2}})$
$(\mathbf{2}, \mathbf{64})$	(21,56)	(19,38)	(17,37)
$(\mathbf{3}, \mathbf{64})$	(20,56)	(14,36)	(13,35)
$(\mathbf{2}, \mathbf{128})$	(44,111)	(35,78)	(30,77)
$(\mathbf{3}, \mathbf{128})$	(41,111)	(22,75)	(20,73)

Comme l'indiquent les résultats préliminaires de simulations, la base de Haar n'est quasiment pas exploitable pour compresser les signaux ECG si le critère de 2 % de PRD est respecté. Les meilleurs résultats sont obtenus avec la décomposition en ondelettes bior2.2 en utilisant une matrice de dimension 64. Ce travail mérite donc d'être complété par la mise en œuvre d'un éventail plus large de familles d'ondelettes de manière à comparer la compression de toutes les familles d'ondelettes disponibles sur MATLAB à

savoir Coiflet (coif), Daubechies (db), Symlet (sym), DMeyer (dmey), Biorthogonal (bior) et Reverse biorthogonal (rbio). Dans l'Annexe B, la liste de toutes ces familles est fournie.

Les résultats de simulation sont donnés à la Figure 3. 9 où nous représentons l'intervalle de variation de K, $[K_{min_w}, K_{max_w}]$. A partir de ces résultats, nous remarquons que beaucoup d'ondelettes ne sont pas appropriées à la compression des signaux ECG. Certaines présentent des résultats pires que les ondelettes Haar et en particulier nous distinguons l'ondelette rbio3.1 ayant les valeurs les plus élevées de K_{max_w} et de K_{min_w} pour toutes les dimensions de matrice et les niveaux de décomposition.



(a) $L = 2, D = 64$.

(b) $L = 3, D = 64$.

(c) $L = 2, D = 128$.

(d) $L = 3, D = 128$.

Figure 3. 9 Variations du nombre d'ondelettes retenues pour un *PRD* de 2 %, en fonction des familles d'ondelettes et des valeurs de *L* et *D*.

Comme expliqué dans la sous-section 3.3.3, pour discuter le choix de la famille d'ondelettes, nous nous intéressons aux valeurs de K_{max_w} plutôt que celles de K_{min_w} pour garantir un PRD maximal égal à 2 % pour tous les signaux ECG testés. Ainsi, en se basant sur les résultats de la Figure 3. 9, les meilleures ondelettes sont les familles biorthogonales bior3.1, bior3.3, bior3.5, bior3.7 et bior3.9. Plus particulièrement, les ondelettes, bior3.3

et bior3.5, assurent un choix optimal de K, K_{opt}, selon (E.3. 13) pour toutes les valeurs de L et D. Les valeurs du SCR_{opt} ainsi obtenues sont résumées dans le Tableau 3. 3. Il atteint 50 % pour le niveau de décomposition 2, et augmente légèrement à 53.12 % et 51.56 % pour (L, D) égal à (3, 64) et (3, 128), respectivement.

D'une part, afin de minimiser le nombre de multiplications et d'accumulations effectuées dans la DWT, nous nous limitons à une dimension D égale à 64 au lieu de 128. D'autre part, compte tenu de la légère augmentation de SCR_{opt} en fonction de L, la plus petite valeur de L est retenue pour éviter l'augmentation du nombre d'ondelettes ψ_i comme défini dans (E.3. 5) et (E.3. 6). Par suite, les ondelettes optimales sont les bior3.*nd* où *nd* est l'ordre du filtre de décomposition [174]. Parmi ces possibilités, nous choisissons les ondelettes bior3.1 ayant la plus faible complexité d'implémentation [175].

Tableau 3. 3 Résultats de décomposition en ondelettes pour un *PRD* de 2 %.

(L, D)	K_{opt}	SCR_{opt}(%)	Familles d'ondelettes
(2,64)	32	50	bior3.1 bior3.3 bior3.5 bior3.7 bior3.9
(3,64)	30	53.12	bior3.3 bior3.5
(2,128)	64	50	bior3.3 bior3.5 bior3.7 bior3.9
(3,128)	62	51.56	bior3.1 bior3.3 bior3.5

Après sélection de la famille bior3.1, la dimension 64 et le niveau de décomposition 2, et en fixant K à 32, nous passons à la décompression et la reconstruction des informations biomédicales. Nous mesurons les distorsions du signal ECG après chaque traitement en utilisant la métrique PRD selon (E.3. 11) comme suit :

- PRD_{lcadc} mesure la distorsion du signal original après échantillonnage par le LC-ADC et la reconstruction par interpolation linéaire,
- PRD_c mesure la distorsion du signal d'amplitude à la sortie du LC-ADC après compression et décompression par ondelettes bior3.1,
- PRD_r mesure la distorsion du signal original après échantillonnage par le LC-ADC, compression par ondelettes bior3.1, décompression et reconstruction par interpolation linéaire. Il représente le PRD final de la chaîne de traitement.

Les résultats du PRD sont calculés avec des données représentées en double-précision en virgule flottante selon les spécifications du standard IEEE 754 [128].

Les valeurs du PRD sont présentées par rapport au signal le plus compressible, $ECG6$, au signal de compressibilité moyenne, $ECG41$, et au signal le moins compressible, $ECG38$, dans la base bior3.1 de dimensions 64×64 avec un niveau de décomposition L égal à 2. Les résultats sont résumés dans le Tableau 3. 4. Nous observons que le meilleur PRD_c est obtenu pour le cas du signal le plus compressible avec une compression et une décompression presque sans perte. Notons aussi que la condition du PRD inférieur à 2% est satisfaite pour tous les signaux. En outre, PRD_r est le plus élevé pour tous les signaux car il combine l'erreur d'échantillonnage par LC-ADC, l'erreur de compression/décompression et l'erreur d'interpolation. De plus, quel que soit le signal, notre choix de la base d'ondelettes bior3.1 avec un niveau de décomposition égal à 2 et

des dimensions 64 × 64 garantissent un SCR_{opt} égal à 50 % et des valeurs de PRD finaux inférieures à 9 %, reflétant ainsi une bonne qualité de ces signaux.

Tableau 3. 4 Valeurs du *PRD* pour une compression par ondelettes bior3.1 pour *L = 2, D = 64* et *K = 32*.

Signal	SCR_{opt} (%)	PRD_{lcadc}(%)	PRD_c(%)	PRD_r(%)
$ECG6$	50	4.19	≈ 0	4.19
$ECG41$		2.64	0.92	2.9
$ECG38$		5.12	1.86	5.34

Pour résumer l'apport de compression du LC-ADC et de la DWT au taux de compression total, l'équation (E.3. 2) est révisée en (E.3. 15). Ainsi, nous tenons compte de l'effet de SCR_{opt} associé à la compression de l'amplitude à la sortie du LC-ADC sur le facteur de compression total, tel que SCR_{opt} est égal à 50 %. La compression est effectuée en utilisant les ondelettes bio3.1 pour L, D et K égaux à 2, 64 et 32, respectivement.

$$CR_{LC-ADC/bior3.1} = \frac{mN_{ADC} - (M \times SCR_{opt} + N)N_{LC-ADC}}{mN_{ADC}} \quad \textbf{(E.3. 15)}$$

Les résultats en termes du CR, donnés à la Figure 3. 10, en comparaison avec le taux de compression du LC-ADC, montrent qu'en combinant l'échantillonnage en temps continu et la compression en utilisant la DWT avec les ondelettes bior3.1, le CR varie de 40 % à 83.4 %. De plus, jusqu'à 35.5 % d'augmentation du taux de compression par rapport au LC-ADC est observée.

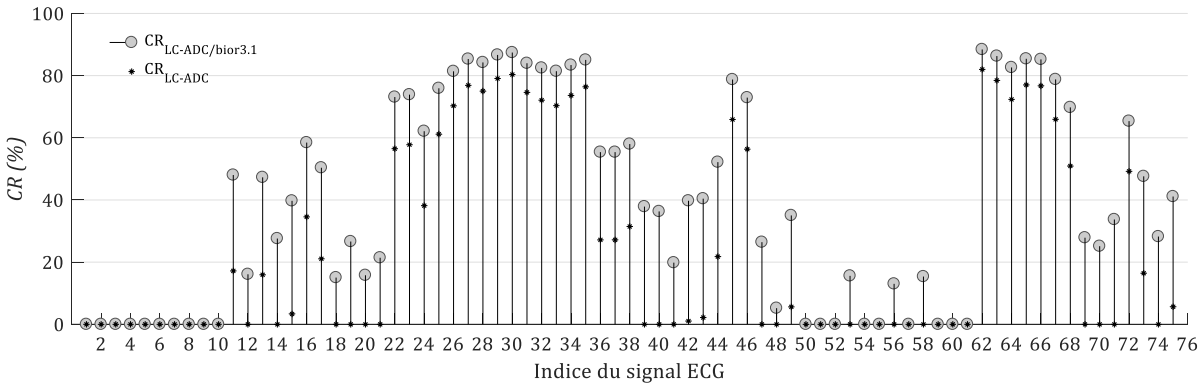


Figure 3. 10 Variations du taux de compression, *CR*, en fonction des signaux ECG.

Avec la compression de l'amplitude uniquement, le taux décompression des échantillons à la sortie du LC-ADC est réduit à 25 % si les intervalles de temps sont considérés. De plus, en essayant d'atteindre le même taux de compression pour les intervalles de temps et pour les échantillons de l'amplitude en utilisant les mêmes ondelettes et la même valeur de K, égale à 32, des erreurs reconstruction de l'axe du temps apparaissent conduisant ainsi à des signaux décalés et des valeurs énormes du PRD. En effet, pour garantir une bonne qualité de l'axe temporel après la décompression, au moins 59 de 64 ondelettes doivent forcément être utilisées. Pour pallier à ce problème, d'autres méthodes de compression doivent être envisagées au lieu de la DWT pour la compression des intervalles de temps.

3.4. Etude de la compression par interpolation

L'interpolation polynomiale est utilisée dans des applications biomédicales très variées comme la prédiction, la modélisation et la compression. Dans [176], les polynômes d'Hermite cubiques sont utilisés pour modéliser l'onde f, caractéristique d'une fibrillation auriculaire dans l'ECG. Dans [25], la même méthode d'interpolation est adoptée en plus des fonctions spline cubique pour améliorer les performances de l'identification biométrique à partir des données ECG.

Dans le domaine de la compression du signal ECG, l'interpolation polynomiale est particulièrement utilisée pour réduire le volume de données au niveau du segment S-Q en en remplaçant les données redondantes par des polynômes splines cubiques [177]. Datant de 1994, nous n'avons relevé d'autres travaux reposant sur le même principe qu'en 2015 quand le même raisonnement fut reproduit mais avec l'interpolation cubique par les fonctions d'Hermite [7]. La compression est faite sur des données en sortie d'une architecture LC-ADC. L'erreur de reconstruction est mesurée par le biais du PRD. Cette méthode de compression inclut les échantillons d'amplitudes et les intervalles de temps à la sortie du LC-ADC. Dans la même perspective de faire la compression des deux types de données en sortie du LC-ADC, nous proposons dans la suite de nos travaux d'étude de compression de tester la compression dans le cas non seulement des fonctions d'Hermite mais aussi dans le cas des fonctions spline cubique. Par rapport aux travaux dans [177], nous étendons la compression à la totalité des ondes du signal ECG. De plus, contrairement à [7], qui se limite à l'utilisation de signaux ECG modélisés, nous employons des signaux ECG réels.

3.4.1. Introduction à l'interpolation polynomiale

Le problème d'interpolation consiste en la détermination d'un polynôme passant par $n+1$ points $(x_0, y_0), (x_1, y_1) \dots (x_n, y_n)$, issus d'une fonction f. L'interpolation permet ainsi d'approcher la fonction f par un polynôme d'ordre au plus égal à n. Elle se caractérise par la résolution d'un système linéaire de $n+1$ équations, décrit par (E.3. 16).

$$P(x_i) = f(x_i) = y_i \quad \text{pour } i \in [\![0, n]\!] \qquad \textbf{(E.3. 16)}$$

Les méthodes classiques de résolution de ce système sont la méthode de Lagrange et la méthode de Newton [178]. Le polynôme de Lagrange, donné par (E.3. 17), est une somme pondérée de fonctions l_i, pour $i \in [\![0, n]\!]$, qui dépendent des points, $x_0, x_1, \dots, x_n$, mais pas des valeurs de la fonction en ces points.

$$P(x) = \sum_{i=0}^{n} f(x_i) l_i(x)$$
$$l_i(x) = \prod_{k=0, k\neq i}^{n} \frac{(x - x_k)}{(x_i - x_k)} \qquad \textbf{(E.3. 17)}$$

La méthode de Newton est analogue à celle de Lagrange, mais se prête plus à l'implémentation en temps réel grâce à la récursivité dans la construction du polynôme et la possibilité d'ajouter un point supplémentaire avec chaque itération [178]. Le polynôme

de Lagrange [178], donné par (E.3. 18), est une combinaison linéaire de n différences divisées, a_i, d'ordre 1 à n, dont la construction est décrite dans (E.3. 19) et le Tableau 3. 5.

$$P(x) = a_0 + \sum_{i=1}^{n} a_i \prod_{k=0}^{i-1} (x - x_k) \qquad \textbf{(E.3. 18)}$$

$$a_0 = f[x_0] = f(x_0)$$
$$a_1 = f[x_0, x_1] = \frac{f(x_1) - f(x_0)}{x_1 - x_0} \qquad \textbf{(E.3. 19)}$$
$$a_i = f[x_0, x_1 \dots, x_{i-1}, x_i] = \frac{f[x_1, x_i] - f[x_0, x_{i-1}]}{x_i - x_0}$$

Ces deux méthodes aboutissent ainsi à un polynôme qui coïncide avec la fonction f uniquement dans les points $x_0, \dots, x_n$ ce qui implique une erreur de reconstruction sur tout point supplémentaire. Notamment, les oscillations sur les bords de l'interpolant augmentent avec l'ordre du polynôme, connues par le phénomène de Runge [129]. Pour améliorer la convergence du polynôme aux points décrits par la fonction, l'interpolation d'Hermite suggère un polynôme, de degré au plus égal à $2n + 1$, qui ne passe pas seulement par les points (x_i, y_i) mais coïncide aussi avec la dérivée de la fonction en ces points. La forme de Lagrange du polynôme d'Hermite s'écrit (E.3. 20) [179]. Les fonctions H et F sont données par (E.3. 21).

$$P(x) = \sum_{i=0}^{n} f(x_i)\, H_i(x) + \sum_{i=0}^{n} f'(x_i)\, F_i(x) \qquad \textbf{(E.3. 20)}$$

$$\begin{cases} H_i(x) = [1 + 2l_i'(x_i)(x_i - x)]l_i^2(x) \\ F_i(x) = (x - x_i)l_i^2(x) \end{cases} \qquad \textbf{(E.3. 21)}$$

Tableau 3. 5 Construction des différences divisées.

x_i	$f(x_i)$	1er ordre	2ème ordre	…	nème ordre
x_0	$f[x_0]$				
		$f[x_0, x_1]$			
x_1	$f[x_1]$		$f[x_0, x_1, x_2]$		
		$f[x_1, x_2]$			
x_2	$f[x_2]$		$\vdots$	…	$f[x_0, \dots, x_n]$
$\vdots$	$\vdots$	$\vdots$			
x_{n-1}	$f[x_{n-1}]$		$f[x_{n-2}, x_{n-1}, x_n]$		
		$f[x_{n-1}, x_n]$			
x_n	$f[x_n]$				

Pour mieux réduire l'erreur d'interpolation, une autre tentative consiste en la réduction de l'ordre du polynôme par définition de n polynômes cubiques, P_i pour $i = 0 \dots n - 1$, locaux aux intervalles adjacents $[x_i, x_{i+1}]$ sur lesquels f est monotone, de classe C^1 et qui sont raccordés par des conditions de continuité. Le polynôme ainsi construit est défini par morceaux comme l'indique (E.3. 22).

$$P(x) = \begin{cases} P_0(x), & \text{pour } x_0 \le x \le x_1 \\ P_1(x), & \text{pour } x_1 \le x \le x_2 \\ & \vdots \\ P_{n-1}(x), & \text{pour } x_{n-1} \le x \le x_n \end{cases} \qquad \textbf{(E.3. 22)}$$

Chaque polynôme cubique, P_i, est donné par (E.3. 23) [180], où $\{H_0, H_1, \widetilde{H}_0, \widetilde{H}_1\}$ sont les fonctions d'Hermite données par (E.3. 24)..

$$P_i(x) = f(x_i)H_0(x) + f(x_{i+1})H_1(x) + f'(x_i)\widetilde{H}_0(x) + f'(x_{i+1})\widetilde{H}_1(x) \quad \textbf{(E.3. 23)}$$

$$\begin{cases} H_0(x) = \phi\left(\frac{x_{i+1}-x}{x_{i+1}-x_i}\right) \\ H_1(x) = \phi\left(\frac{x-x_i}{x_{i+1}-x_i}\right) \\ \widetilde{H}_0(x) = -(x_{i+1}-x_i)\psi\left(\frac{x_{i+1}-x}{x_{i+1}-x_i}\right) \\ \widetilde{H}_1(x) = (x_{i+1}-x_i)\psi\left(\frac{x-x_i}{x_{i+1}-x_i}\right) \end{cases} \text{ tel que } \begin{cases} \phi(x) = -2x^3 + 3x^2 \\ \psi(x) = x^3 - x^2 \end{cases} \quad \textbf{(E.3. 24)}$$

La différence entre les résultats de la reconstruction par le polynôme de Lagrange dans (E.3. 17) et le polynôme d'Hermite cubique, à partir de 10 points, est illustrée dans la Figure 3. 11 où une portion du signal ECG représente la fonction f. Pour simplifier cet exemple, le signal est échantillonné avec un LC-ADC de résolution M égale à 4.

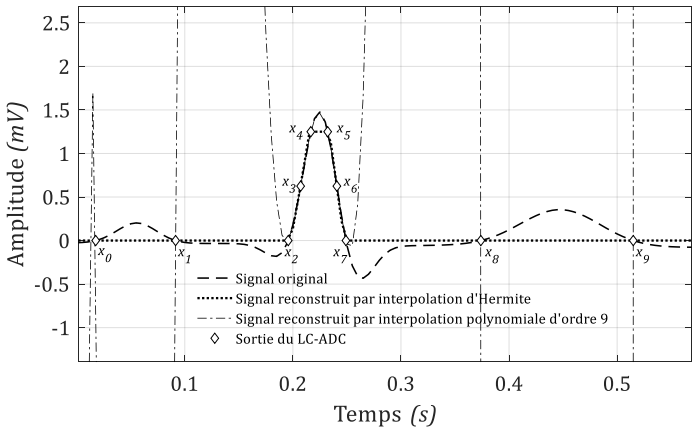


Figure 3. 11 Exemples de reconstructions polynomiales d'une portion du signal ECG.

Les fonctions spline cubique constituent une deuxième description d'un polynôme cubique définit par morceaux, où l'ensemble des polynômes $\{P_i, i \in [\![0, n-1]\!]\}$ sont des fonctions dérivables de classe C^2, qui passent par les points (x_i, y_i) et (x_{i+1}, y_{i+1}) et qui coincident avec les dérivées première et seconde de la fonction f en ces points (E.3. 25) [179] avec M_i et h_i donnés par (E.3. 26).

$$P_i(x) = M_i\frac{(x_{i+1}-x)^3}{6h_{i+1}} + M_{i+1}\frac{(x-x_i)^3}{6h_{i+1}} + \left(y_i - \frac{M_i {h_{i+1}}^2}{6}\right)\frac{x_{i+1}-x}{h_{i+1}} + \left(y_{i+1} - \frac{M_{i+1}{h_{i+1}}^2}{6}\right)\frac{x-x_i}{h_{i+1}} \quad \textbf{(E.3. 25)}$$

$$\begin{cases} h_{i+1} = x_{i+1} - x_i \\ y_i = f(x_i) \\ M_i = P_i''(x_i) = P_{i-1}''(x_i) \end{cases} \text{ pour } i \in [\![0, n]\!] \quad \textbf{(E.3. 26)}$$

Les conditions de dérivabilité d'ordre 1 et 2 des polynômes P_i aboutissent à un système linéaire de $n-1$ équations, auxquelles deux conditions sont ajoutées selon la nature des spline cubiques, permettant de déterminer les continuités M_i et de caractériser $P_i(x)$ sur les intervalles $[x_i, x_{i+1}]$. Dans le cas d'une spline périodique de période $x_n - x_0$, (E.3. 27) doit être satisfaite [181].

$$P^{(\epsilon)}(x_0^+) = P^{(\epsilon)}(x_n^-) \text{ pour } \epsilon \in [\![0,2]\!] \quad \textbf{(E.3. 27)}$$

Le système linéaire ainsi obtenu s'écrit matriciellement (E.3. 28) [181].

$$\begin{pmatrix} 2 & \lambda_1 & 0 & \cdots & 0 & 0 & \mu_1 \\ \mu_2 & 2 & \lambda_2 & \cdots & 0 & 0 & 0 \\ 0 & \mu_3 & 2 & \cdots & 0 & 0 & 0 \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots & \vdots \\ 0 & 0 & 0 & \cdots & 2 & \lambda_{n-2} & 0 \\ 0 & 0 & 0 & \cdots & \mu_{n-1} & 2 & \lambda_{n-1} \\ \lambda_n & 0 & 0 & \cdots & 0 & \mu_n & 2 \end{pmatrix} \begin{pmatrix} M_1 \\ M_2 \\ M_3 \\ \vdots \\ M_{n-2} \\ M_{n-1} \\ M_n \end{pmatrix} = \begin{pmatrix} d_1 \\ d_2 \\ d_3 \\ \vdots \\ d_{n-2} \\ d_{n-1} \\ d_n \end{pmatrix} \quad \textbf{(E.3. 28)}$$

avec $M_0, \lambda_i,\ \mu_i$ et d_0 sont définis par (E.3. 29).

$$\begin{cases} M_0 = M_n \\ \lambda_i = \dfrac{h_{i+1}}{h_i + h_{i+1}} \text{ pour } i \in [\![1, n-1]\!] \\ \lambda_n = \dfrac{h_1}{h_1 + h_n} \\ \mu_i = 1 - \lambda_i \text{ pour } i \in [\![1, n]\!] \\ d_0 = 2M_0 + \lambda_0 M_1 \end{cases} \quad \textbf{(E.3. 29)}$$

Dans le cas contraire (E.3. 28) devient (E.3. 30).

$$\begin{pmatrix} 2 & \lambda_0 & 0 & \cdots & 0 & 0 & 0 \\ \mu_1 & 2 & \lambda_1 & 0 & 0 & 0 & 0 \\ 0 & \mu_2 & 2 & \ddots & 0 & 0 & 0 \\ \vdots & \vdots & \vdots & \cdots & \vdots & \vdots & \vdots \\ 0 & 0 & 0 & \cdots & 2 & 0 & 0 \\ 0 & 0 & 0 & \cdots & \mu_{n-1} & 2 & \lambda_{n-1} \\ 0 & 0 & 0 & \cdots & 0 & \mu_n & 2 \end{pmatrix} \begin{pmatrix} M_0 \\ M_1 \\ M_2 \\ \vdots \\ M_{n-2} \\ M_{n-1} \\ M_n \end{pmatrix} = \begin{pmatrix} d_0 \\ d_1 \\ d_2 \\ \vdots \\ d_{n-2} \\ d_{n-1} \\ d_n \end{pmatrix} \quad \textbf{(E.3. 30)}$$

Ainsi, en remplaçant les valeurs de $M_0, M_1, \dots, M_n$ calculées par (E.3. 30) dans (E.3. 25), le polynôme $P_i(x)$ reliant (x_i, y_i) et (x_{i+1}, y_{i+1}) est déterminé.

En reprenant l'exemple de la Figure 3. 11, nous ajoutons le résultat de la reconstruction par spline cubique, donné à la Figure 3. 12. Ainsi, dans les deux cas d'interpolation cubique, que ce soit par polynômes d'Hermite ou spline cubique, l'erreur de reconstruction est atténuée par rapport à la reconstruction par le polynôme de Langrange d'ordre 9.

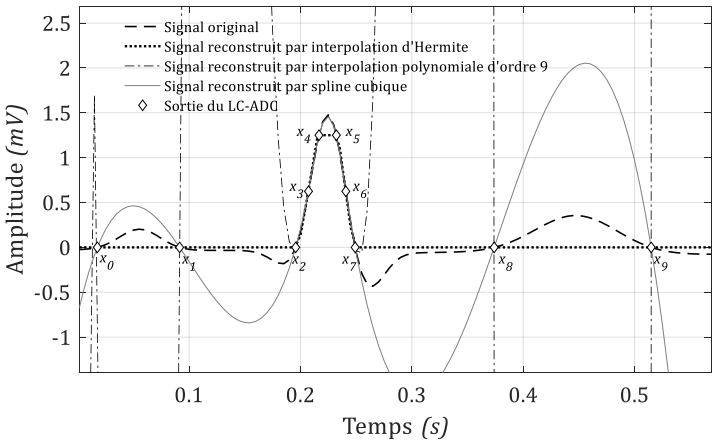


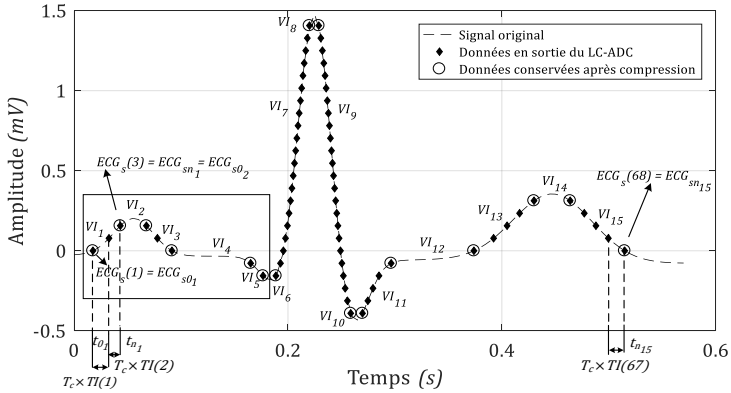
Figure 3. 12 Reconstruction polynomiale cubique vs reconstruction polynomiale de Lagrange.

L'interpolation polynomiale met donc en jeux, des couples de données $(x_i, y_i)_{i \in [\![0,n]\!]}$, qui sont dans notre cas les couples $(t(i), ECG_s(i))_{\ i \in [\![1, N_{LC-ADC}]\!]}$, où $t(i)$ est l'instant de

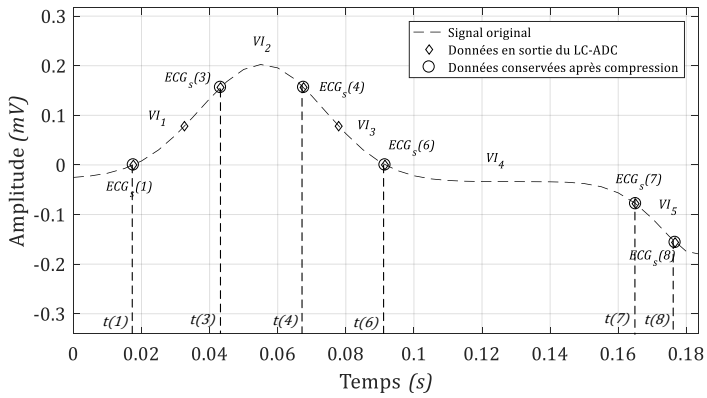
traversée de niveau et est égal à la somme cumulative des intervalles de temps associés à toutes les traversées de niveaux précédant $ECG_s(i)$ (E.3. 31).

$$t(i) = T_c \sum_{k=1}^{i} TI(k) \text{ pour } i \in [\![1, N_{LC-ADC}]\!] \quad \textbf{(E.3. 31)}$$

En utilisant le LC-ADC, nous avons réussi à éliminer les redondances autour des segments du signal ECG. A partir des données générées, par le LC-ADC, $(ECG_s(i), TI(i))_{\ i\in[\![1,N_{LC-ADC}]\!]}$, l'idée principale de la compression par interpolation polynomiale consiste en l'élimination des couples de données qui peuvent être reconstruits à partir d'un même polynôme cubique. Les couples de données qui restent doivent permettre de reconstruire des polynômes cubiques interpolant la totalité du signal. La Figure 3. 13 illustre l'exemple d'un signal ECG avant et après compression où N_{LC-ADC} est égal à 68.



(a) Exemple des données d'un signal ECG avant et après compression par interpolation polynomiale.



(b) Zoom sur l'onde P et le segment P-S.

Figure 3. 13 Exemple de signal ECG avant et après compression.

Nous notons le vecteur d'interpolation, VI_i pour $i \in [\![1, N_{interp}]\!]$, le quadurplet $[ECG_{s0_i}, ECG_{sn_i}, t_{0_i}, t_{n_i}]_{i\in[\![1,N_{interp}]\!]}$, qui permettra de construire un polynôme cubique passant entre les points (ECG_{s0_i}, t_{0_i}) et (ECG_{sn_i}, t_{n_i}), où l'ensemble $(ECG_{s0_i}, ECG_{sn_i})_{i\in[\![1,N_{interp}]\!]}$ est inclut dans $(ECG_s(i))_{\ i\in[\![1,N_{LC-ADC}]\!]}$ et N_{interp} est le nombre des quadruplets crées. Dans l'exemple de la Figure 3. 13, N_{interp} est égal à 15. Ainsi, après compression, les 136 échantillons, $(ECG_s(i), TI(i))_{\ i=1\ldots68}$ sont réduits à 32 échantillons

qui sont $\left(ECG_{s0_i}, t_{0_i}\right)_{i=1\ldots15}$ et $\left(ECG_{sn_{16}}, t_{n_{16}}\right)$ étant donné la multitude des points sur les deux segments monotones du complexe QRS. De plus, les intervalles de temps $(TI(i))_{i=1\ldots68}$ sont remplacés par 16 instants de traversées de niveaux. Les vecteurs $VI_i = \left[ECG_{s0_i}, ECG_{sn_i}, t_{0_i}, t_{n_i}\right]_{i\in[\![1,15]\!]}$ nous permettent ainsi de construire 15 polynômes cubiques, raccordés par des conditions de continuité entre les intervalles $\left[t_{0_i}, t_{n_i}\right]_{i\in[\![1,15]\!]}$.

Le premier défi de la compression par interpolation est l'élimination d'un maximum de points en conservant une bonne qualité du signal, ce qui nous permettra de faire la reconstruction avec un PRD inférieur à 9 %. Ainsi, meilleure est la qualité de la reconstruction, plus grand est le nombre de données que nous pourrons éliminer, d'où le lien entre la méthode d'interpolation et cette technique de compression. De plus, comme l'interpolation polynomiale met en jeux deux amplitudes de niveaux traversés et les deux instants de traversée correspondants, le deuxième défi est de générer ces informations à la sortie de l'algorithme de compression à partir des données en sortie du LC-ADC.

3.4.2. Méthodologie de l'étude de compression par interpolation d'Hermite

Le LC-ADC génère les intervalles de temps séparant chaque deux traversées de niveaux successives et les valeurs des niveaux traversés. Ces valeurs fournissent directement les valeurs du signal en ces points et permettent de déduire les instants de traversées selon (E.3. 31). Ainsi, le vecteur d'interpolation est simplement obtenu à partir de la sortie du LC-ADC par (E.3. 32) et (E.3. 33), où T_{tot_i}, TI_{j_i}, α_i sont la durée totale du temps entre les bornes de l'intervalle $\left[t_{0_i}, t_{n_i}\right]$, les intervalles de temps caractérisant les points dans l'intervalle $\left[t_{0_i}, t_{n_i}\right]$ et le nombre de points éliminés entre les bornes de cet intervalle, respectivement.

$$VI_i = \left[ECG_{s0_i}, ECG_{sn_i}, t_{0_i}, t_{n_i}\right] \text{ tel que } \begin{cases} t_{n_i} = T_{tot_i} + t_{0_i} \\ T_{tot_i} = \sum_{j=1}^{\alpha_i+1} TI_{j_i} \end{cases} \text{pour } i \in [\![1, N_{interp}]\!], \alpha_i \geq 0 \qquad \textbf{(E.3. 32)}$$

avec les conditions de continuité sont données par (E.3. 33).

$$\begin{cases} ECG_{sn_i} = ECG_{s0_{(i+1)}} \\ TI_{n_i} = TI_{0_{(i+1)}} \\ t_{n_i} = t_{0_{(i+1)}} \end{cases} \text{pour } i \in [\![1, N_{interp} - 1]\!] \qquad \textbf{(E.3. 33)}$$

Tel que défini dans (E.3. 32), au total le vecteur d'interpolation comporte 16 bits qui représentent les données d'amplitudes et au moins 24 bits qui représentent les instants de traversées de niveaux. Dans le but d'optimiser le nombre de bits total Marisa et al. proposent une forme modifiée, VI_{m_i}, du vecteur d'interpolation VI_i dans [7].

En effet, deux solutions sont proposées dans [7], que nous considérons dans notre étude de compression. La première solution est de remplacer les données $\left(ECG_{s0_i}, ECG_{sn_i}\right)$ codées sur M égal à 8 bits chacune par les données $\left(E_{s0_i}, E_{sn_i}\right)$, codées sur m_E égal à 2 bits chacune. En effet, $E_s \in \{-1,0,+1\}$ est générée par le LC-ADC selon la direction de la traversée de niveaux [92]. Afin de profiter de cette optimisation, notre modèle du LC-ADC, peut être modifié de façon à inclure un deuxième sous-étage de sélection d'amplitude au

niveau de l'étage de sortie. Le premier sous-étage est celui décrit à la Figure 2. 3 par le biais duquel nous sélectionnons la valeur du niveau traversé. Ce premier sous-étage, est utilisé pour générer les données $[ECG_s(i)]_{\ i\in[\![1,N_{LC-ADC}]\!]}$ à compresser avec les ondelettes comme étudié dans la section 3.3. Quant au deuxième sous-étage, il est activé pour remplacer les informations d'amplitude, $[ECG_s(i)]_{\ i\in[\![1,N_{LC-ADC}]\!]}$, par les directions des traversées de niveaux, $[E_s(i)]_{\ i\in[\![1,N_{LC-ADC}]\!]}$. Les couples de données $[E_s(i), TI(i)]_{\ i\in[\![1,N_{LC-ADC}]\!]}$ sont ainsi à compresser par interpolation polynomiale cubique.

La deuxième solution proposée par Marisa et al. est l'introduction du paramètre, γ_i (E.3. 34), afin de réduire le nombre de bits engendré par les instants de traversées de niveaux.

$$\gamma_i = \sum_{j=1}^{\alpha_i+1}(TI_{j_i} - TI_{0_i}) \text{ pour } i \in [\![1, N_{interp}]\!] \qquad \textbf{(E.3. 34)}$$

Ainsi, en utilisant les paramètres α_i, γ_i et E_{s0_i}, il est possible de remplacer le vecteur d'interpolation, VI_i, par un vecteur modifié, VI_{m_i} donné par (E.3. 35).

$$VI_{m_i} = [E_{s0_i}, TI_{0_i}, \alpha_i, \gamma_i] \text{ pour } i \in [\![1, N_{interp}]\!] \qquad \textbf{(E.3. 35)}$$

A partir des éléments de VI_{m_i}, et des conditions de continuité dans (E.3. 33), nous retrouvons les éléments de VI_i tels que donnés par (E.3. 36).

$$VI_i = [ECG_{s0_i}, ECG_{sn_i}, t_{0_i}, t_{n_i}] \text{ tel que } \begin{cases} ECG_{sn_i} = ECG_{s0_i} + E_{s0_i}(\alpha_i + 1) \\ t_{n_i} = T_{tot_i} + t_{0_i} \\ T_{tot_i} = \gamma_i + (\alpha_i + 1)TI_{0_i} \end{cases} \text{ pour } i \in [\![1, N_{interp}]\!], \alpha_i \geq 0 \qquad \textbf{(E.3. 36)}$$

De plus, pour que (E.3. 36) soit valide, la valeur de ECG_{s0_1} doit être initialement connue. Le vecteur d'interpolation ainsi modifié comporte 2 bits uniquement pour représenter E_{s0_i} et 12 bits pour l'intervalle de temps TI_{0_i}. En choisissant un nombres de bits inférieur à 26 bits pour représenter α_i et γ_i, il est possible de réduire le nombre total de bits de VI_{m_i} par rapport à un minimum de 40 bits dans VI_i.

Outre les paramètres α_i et γ_i, nous définissons le paramètres β_i qui représente la différence, en valeur absolue, entre les intervalles de temps des points éliminées et remplacées par un même vecteur et la valeur de TI_0 (E.3. 37).

$$\beta_i = \max_j |TI_{0_i} - TI_{j_i}| \text{ pour } j \in [\![1, n]\!] \text{ et } i \in [\![1, N_{interp}]\!] \qquad \textbf{(E.3. 37)}$$

En fonction de α_i β_i, γ_i, et E_{s_i} nous définissons des conditions limites permettant de faire la compression en identifiant les données qui peuvent être éliminées et représentées par un même vecteur d'interpolation modifié tout en minimisant l'erreur d'interpolation. Ces conditions sont testées à la réception de chaque couple de données du LC-ADC. Le dépassement de ces conditions provoque la fin de la création du vecteur en cours et l'initialisation d'un nouveau vecteur. Ces conditions sont imposées et sont au nombre de quatre.

1. Les données représentées par un même polynôme d'interpolation VI_{m_i}, doivent avoir la même direction de variation, donc le même signe des E_{sj_i} correspondants

(E.3. 38). Si un changement de pente est détecté, il n'y a plus intérêt de tester les conditions suivantes.

$$E_{s0_i} = E_{sj_i} \text{ pour } j \in [\![1, n]\!] \text{ et } i \in [\![1, N_{interp}]\!] \quad \textbf{(E.3. 38)}$$

2. Le nombre maximal de couples de données à éliminer et à remplacer par un même vecteur d'interpolation ne doit pas dépasser une valeur maximale, notée α_{max}.
3. Les durées des traversées de niveaux représentées par un même vecteur d'interpolation doivent avoir le même ordre de grandeur [7]. Cette condition se traduit par la définition d'une valeur maximale que peut prendre β_i, notée β_{max}.
4. La valeur de γ_i par le biais de laquelle la somme cumulative des déviations des intervalles de temps par rapport à TI_{0_i} dans un même vecteur d'interpolation ne doit pas dépasser une valeur maximale, notée γ_{max}.

D'après ces conditions, nous pouvons constater que la compression par interpolation est très efficace au niveau du complexe QRS et surtout l'onde R, tel que donné dans l'exemple de la Figure 3. 13. D'un côté, l'importance de l'amplitude du pic R et la régularité de sa courbe font que la condition sur la pente soit satisfaite par un grand nombre de points en sortie du LC-ADC. D'un autre côté, pour les mêmes raisons, les ordres de grandeurs des intervalles de temps associés à ces points sont proches. Si la reconstruction après compression est faite avec l'interpolation linéaire, les portions du complexe QRS seront approchées par des segments de droite contrairement à l'interpolation polynomiale moyennant des polynômes cubiques qui est susceptible de donner des approximations plus proches du signal. Il est donc judicieux d'étudier les performances de compression des deux méthodes d'interpolation cubique les plus connues : Hermite et spline cubique selon les polynômes d'interpolation (E.3. 23) et (E.3. 25).

En tenant compte des modifications du nombre de bits en sortie du LC-ADC, de l'introduction des paramètres $(\alpha_i, \beta_i, \gamma_i)$ et des conditions limites $(\alpha_{max}, \beta_{max}, \gamma_{max})$, les étapes de la construction des vecteurs d'interpolation modifiés, en prenant en entrée la sortie du LC-ADC, $[E_s(i), TI(i)]_{\ i \in [\![1, N_{LC-ADC}]\!]}$, sont résumées à la Figure 3. 14. Pour simplifier les notations $(\alpha_i, \beta_i, \gamma_i)$ et $[E_{s0_i}, TI_{0_i}, \alpha_i, \gamma_i]$ pour un intervalle d'interpolation VI_{m_i} donné, nous prenons le vecteur (α, β, γ), $[E_{s0}, TI_0, \alpha, \gamma]$ et VI_m, respectivement.

Au départ, le triplet (α, β, γ) et initialisé à (0,0,0) et les conditions limites $(\alpha_{max}, \beta_{max}, \gamma_{max},)$ sont chargées. La compression est activée sur passage au niveau haut de la sortie des comparateurs INC ou DEC. A la réception du premier doublet $[E_s(1), TI(1)]$, les valeurs de E_{s0_1} et TI_{0_1} sont initialisées à $E_s(1)$ et $TI(1)$, respectivement. Nous définissons à cet effet la variable ρ qui prend 0 jusqu'à l'initialisation du premier vecteur d'interpolation suite à l'arrivé du premier échantillon du LC-ADC. Dès qu'un deuxième évènement est détecté, les conditions limites sont vérifiées. A ce niveau, deux cas se présentent. Dans le premier cas, les conditions limites ne sont pas respectées. Par conséquent, le vecteur d'interpolation, $[E_{s0}, TI_0, \alpha, \gamma]$ est chargé par les valeurs de (α, γ) et les valeurs initialisées de E_{s0} et TI_0.

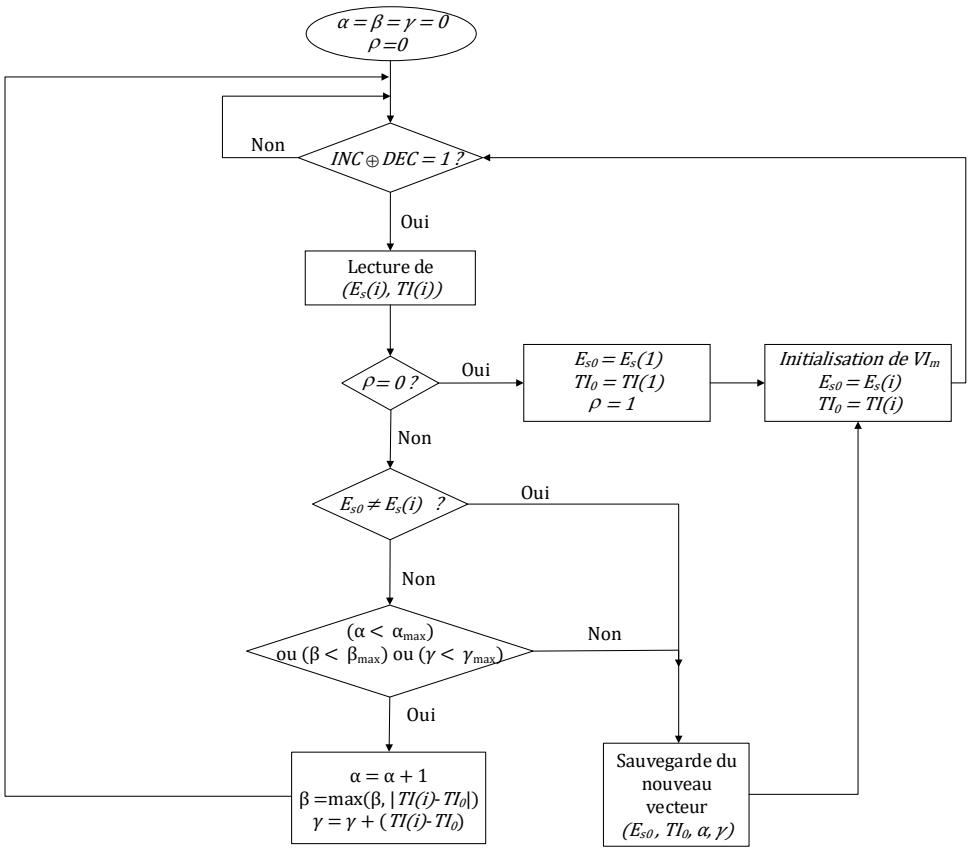


Figure 3. 14 Organigramme de la compression par interpolation pour un ensemble de données en sortie du LC-ADC.

Puis, à la réception de l'échantillon suivant, les valeurs de E_{s0} et TI_0 sont modifiées. Dans le deuxième cas, toutes les conditions sont vérifiées ce qui résulte en l'actualisation des valeurs de (α, β, γ) puis le retour à l'état de repos en attendant l'arrivée d'un nouveau doublet de données. Ces étapes de vérification, initialisation, chargement du vecteur et mise à jour des variables (α, β, γ) sont répétées jusqu'à l'épuisement des données générées par le LC-ADC.

Comme les valeurs maximales de (α, γ) définissent le nombre de bits requis pour les représenter, ces paramètres n'influencent pas seulement l'erreur d'interpolation mais aussi le taux de compression. De ce fait, nous proposons de faire une étude de compression complète à travers laquelle nous évaluons les variations du PRD et du taux de compression en fonction de (α, β, γ). Nous continuons notre étude de compression en utilisant les signaux ECG définis dans le Tableau 2. 9 et détaillés en Annexe A.

Pour simplifier les simulations et le calcul du taux de compression, nous considérons des variations dyadiques de (α, β, γ) selon les nombres de bits $(m_\alpha, m_\beta, m_\gamma)$. Ces plages de variations sont respectivement: $1 \leq m_\alpha < 7$, $0 \leq m_\beta \leq 12$, et $0 \leq m_\gamma \leq 7 + 12$. En effet, la plage de variation de m_β est une conséquence directe de la définition (E.3. 37) de β qui ne peut pas dépasser la résolution du compteur. Ensuite, la condition sur α_{max} n'est valide que pour des échantillons équidistants de q et qui varient selon le même signe de pente. L'évaluation de α_{max} par rapport aux 75 signaux ECG échantillonnés par le LC-ADC a donné une valeur égale à 110 et donc m_α est limitée à 7 bits.

Pour simplifier, la méthodologie de l'étude de compression par interpolation polynomiale est présentée à la Figure 3. 15 pour le cas d'un seul signal. L'algorithme de compression, décrit à la Figure 3. 14, est utilisé pour sélectionner les données significatives dans le signal et calculer les vecteurs d'interpolation. Les paramètres de la simulation sont le nombre maximal de points à éliminer α_{max}, la différence maximale entre TI_0 et les intervalles de temps des points éliminés dans un même vecteur, β_{max}, et la somme cumulative de ces différences, γ_{max}. Pour chaque signal ECG, nous varions γ_{max} entre 0 et $2^{m_\gamma} - 1$ pour des valeurs fixes de α_{max} et $\beta_{\max}$, où α_{max}, β_{max} et m_γ, sont égaux à $2^{m_\alpha} - 1$, $2^{m_\beta} - 1$ et $m_\alpha + m_\beta$, respectivement. Puis, en fonction de ces paramètres, nous traçons les variations du PRD et du taux de compression. Ces étapes sont effectuées pour le cas de l'interpolation polynômiale par Hermite cubique puis spline cubique.

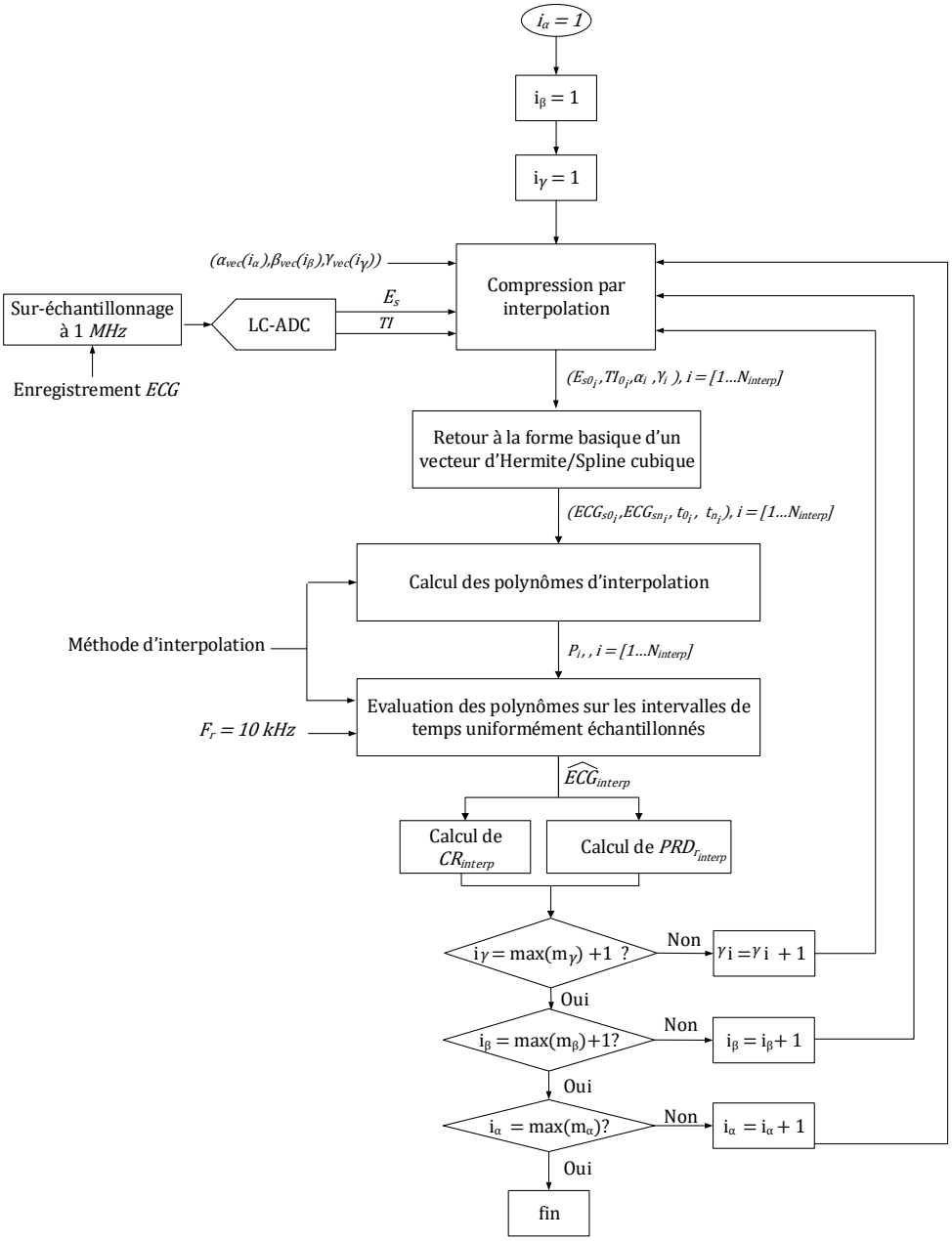


Figure 3. 15 Méthodologie de l'étude de compression par interpolation polynomiale pour un signal ECG.

Ainsi, l'étude de compression réalisée pour chacun des 75 signaux est organisée en cinq étapes comme suit.

- En fixant la valeur de $m_\alpha = m_{\alpha_{vec}}(i_\alpha)$ et $m_\beta = m_{\beta_{vec}}(i_\beta)$ où i_α et i_β appartiennent à $[\![1,7]\!]$et $[\![1,13]\!]$, respectivement. Le paramètre m_γ est varié dyadiquement dans l'intervalle $m_{\gamma_{vec}} = [\![1, m_\alpha + m_\beta]\!]$. Pour chaque valeur de m_γ, les directions des traversées de niveaux et les intervalles de temps (E_s, TI) en sortie du LC-ADC sont compressés.
- A partir des vecteurs modifiés générés par l'algorithme de compression, VI_{m_i} égaux à $[E_{s0_i}, TI_{0_i}, \alpha_i, \gamma_i]$ pour $i \in [\![1, N_{interp}]\!]$, la forme originale des vecteurs d'interpolation, VI_i égale à $[ECG_{s0_i}, ECG_{sn_i}, t_{0_i}, t_{n_i}]$, est restituée.
- Le signal ECG est reconstruit à partir des données sélectionnées à la fréquence 10 kHz et selon l'une des méthodes d'interpolation.
- La qualité du signal, après acquisition par le LC-ADC et interpolation par les polynômes cubiques à la fréquence F_r, est évaluée par calcul du $PRD_{r_{interp}}$ en utilisant (E.3. 11), tel que x, $\bar{x}$ et $\hat{x}$ sont remplacés par le signal original ECG_h, sa valeur moyenne $\overline{ECG}$ et le signal reconstruit $\widehat{ECG}_{interp}$, où $interp$ est la méthode d'interpolation polynomiale.
- L'apport de compression, par rapport au LC-ADC est calculé en termes du taux de compression CR_{interp} donné par (E.3. 39), où M est la résolution du LC-ADC et N est la résolution du compteur dans le LC-ADC. Nous rappelons que m_E est égale à 2 bits et $interp$ est la méthode d'interpolation.

$$CR_{interp} = \frac{(M+N)N_{LC-ADC} - (m_E + N + m_\alpha + m_\gamma)N_{interp}}{(M+N)N_{LC-ADC}} \quad \textbf{(E.3. 39)}$$

Ainsi, cette méthodologie nous permet non seulement d'évaluer les performances de la méthode de compression mais aussi de faire le choix optimal des paramètres $(m_\alpha, m_\beta, m_\gamma)_{opt}$ qui permettent d'atteindre des valeurs du PRD inférieures à 9 %.

Pour chaque type d'interpolation et en variant m_α, m_β et m_γ, 1001 combinaisons de $(\alpha_{max}, \beta_{max}, \gamma_{max})$ sont possibles. Pour chacune de ces combinaisons, nous calculons 75 valeurs de $PRD_{r_{interp}}$ et 75 valeurs de CR_{interp} associés aux 75 signaux testés tel que $PRD_{r_{interp}}$ mesure la qualité du signal ECG après compression et reconstruction par interpolation polynomiale. Ce paramètre est calculé en utilisant (E.3. 11) et en remplaçant x par ECG, $\hat{x}$ par $\widehat{ECG}_{interp}$ et $\bar{x}$ par $\overline{ECG}$. Toutefois, nous cherchons uniquement les combinaisons qui assurent un $PRD_{r_{interp}}$ inférieur à 9 % pour tous ces signaux.

Ainsi, pour faciliter l'analyse des résultats des simulations, nous représentons les plages de variations, $[PRD_{r_{interp_{min}}}, PRD_{r_{interp_{max}}}]$ et $[CR_{interp_{min}}, CR_{interp_{max}}]$ de $PRD_{r_{interp}}$ et de CR_{interp} pour chaque valeur de $(m_\alpha, m_\beta, m_\gamma)$, respectivement. Nos critères de sélection de la combinaison optimale de ces paramètres de compression seront d'abord et obligatoirement un $PRD_{r_{interp_{max}}}$ inférieur à 9 %. Ensuite, après identification des

triplets qui garantissent cette condition, nous sélectionnons le triplet qui donne le meilleur taux de compression $CR_{interp_{opt}}$ en maximisant l'ensemble $CR_{interp_{min,PRD\leq 9\%}}$, comme décrit par (E.3. 40) et (E.3. 41) où $CR_{interp_{min,PRD\leq 9\%}}$ est l'ensemble des valeurs de $CR_{interp_{min}}$ pour lesquelles $PRD_{r_{interp_{max}}}$ est inférieur à la limite de 9 %.

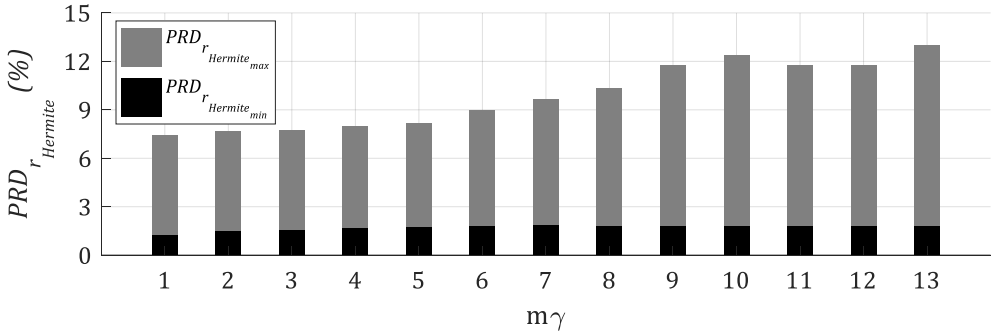
$$(m_\alpha, m_\beta, m_\gamma)_{opt} \text{ pour } CR_{interp_{opt}} = \max_{i_{opt}}\left(CR_{interp_{min,PRD\leq 9\%}}\right) \quad \textbf{(E.3. 40)}$$

$$CR_{interp_{min,PRD\leq 9\%}} = \left\{CR_{interp_{min_{i_{opt}}}}\right\} \text{ pour } PRD_{r_{interp_{max}}} \leq 9\ \% \quad \textbf{(E.3. 41)}$$

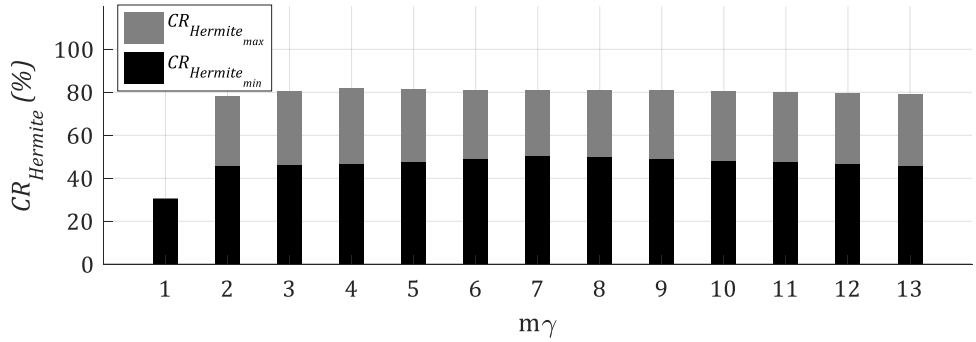
En effet, la méthode de compression et la méthodologie de compression présentées à la Figure 3. 14 et la Figure 3. 15 sont adaptées à tout type d'interpolation du moment où les données générée par l'algorithme de compression permettent de retrouver les couples de données (amplitude, instant) permettant la reconstruction du signal. Dans la sous-section suivante, nous présentons les résultats de simulation et de sélection des paramètres optimaux pour la compression par interpolation polynomiale cubique d'Hermite.

3.4.3. Résultats de la compression par interpolation polynomiale cubique

Un exemple des résultats de simulation avec l'interpolation d'Hermite est donné à la Figure 3. 16 pour le cas de (m_α, m_β) égal à (3,9), avec m_γ qui varie de 0 à $m_\alpha + m_\beta$. Pour ce cas, les valeurs reportées sont entre 1.2 % et 12.99 % pour le $PRD_{r_{Hermite}}$ et entre 30.07 % et 81.04 % pour le taux de compression, $CR_{Hermite}$.



(a) Plage de variation du *PRD*.



(a) Plage de variations du taux de compression.

Figure 3. 16 Résultats de compression par interpolation d'Hermite pour le cas de m_α égal à 3 et m_β égal à 9.

En effet, parmi les 1001 cas possibles pour la compression avec interpolation d'Hermite, seuls 492 cas admettent des $PRD_{r_{Hermite_{max}}}$ inférieurs à 9 %. Les valeurs sélectionnées de

$(m_\alpha, m_\beta, m_\gamma)$ sont résumées dans le Tableau 3. 6. Globalement, les paramètres de ce tableau assurent des valeurs $PRD_{r_{Hermite_{max}}}$ et $CR_{Hermite}$ de 1.2 % à 8.99 % et de 30 % à 86 %, respectivement.

Tableau 3. 6 Résultats de sélection de (m_α,m_β,m_γ) pour une compression par interpolation d'Hermite pour un *PRD* inférieur à 9 %.

m_α	m_β	m_γ
1	$[\![0,12]\!]$	$[\![1, m_\beta + 1]\!]$
2	$[\![0,8]\!]$	$[\![1, m_\beta + 2]\!]$
	$[\![10,12]\!]$	$[\![1,6]\!]$
3	$[\![0,4]\!]$	$[\![1, m_\beta + 3]\!]$
	$[\![6,7]\!]$	
	5	$[\![1,7]\!]$
	$[\![8,11]\!]$	$[\![1,5]\!]$
	12	$[\![1,4]\!]$
4	$[\![0,2]\!]$	$[\![1, m_\beta + 1]\!]$
	3	$[\![1,3]\!]$
	$[\![7,12]\!]$	
	$[\![4,6]\!]$	$[\![1,4]\!]$
5	$[\![0,1]\!]$	$[\![1, m_\beta + 5]\!]$
	$[\![2,12]\!]$	$[\![1,2]\!]$
6	$[\![0,1]\!]$	$[\![1, m_\beta + 6]\!]$
	2	$[\![1,4]\!]$
	$[\![3,12]\!]$	$[\![1,2]\!]$
7	$[\![0,1]\!]$	$[\![1, m_\beta + 7]\!]$
	2	$[\![1,4]\!]$
	$[\![3,12]\!]$	$[\![1,2]\!]$

Par suite, en appliquant (E.3. 40) aux éléments du Tableau 3. 6, nous obtenons un triplet unique $(m_\alpha, m_\beta, m_\gamma)_{opt}$ qui garantit les performances résumées dans le Tableau 3. 7.

Tableau 3. 7 Résultats de sélection des paramètres optimaux pour la compression par interpolation d'Hermite

$(m_\alpha, m_\beta, m_\gamma)_{opt}$	$PRD_{r_{Hermite_{min}}}$	$PRD_{r_{Hermite_{max}}}$	$CR_{Hermite_{min}}$	$CR_{Hermite_{max}}$
(3,6,6)	1.72	8.96	50.03	79.83

Nous présentons, à la Figure 3. 17 et la Figure 3. 18, les signaux ayant le pire PRD, $PRD_{r_{Hermite_{max}}}$ et le meilleur PRD, $PRD_{r_{Hermite_{min}}}$, suite à la compression en utilisant les paramètres optimaux $(m_\alpha, m_\beta, m_\gamma)_{opt}$. Ces signaux sont reconstruits par interpolation d'Hermite à la fréquence F_r, égale à 10 kHz. Les taux de compression, $CR_{Hermite}$, de ces signaux sont égaux à 64 % et 67 %, respectivement. Comme décrit à la sous-section 3.4.1, nous observons que cette méthode de compression est surtout efficace dans les zones actives du signal ECG. En effet, le point fort de la compression par interpolation est la compensation de l'activité du LC-ADC au niveau du complexe QRS qui engendre un nombre important d'échantillons.

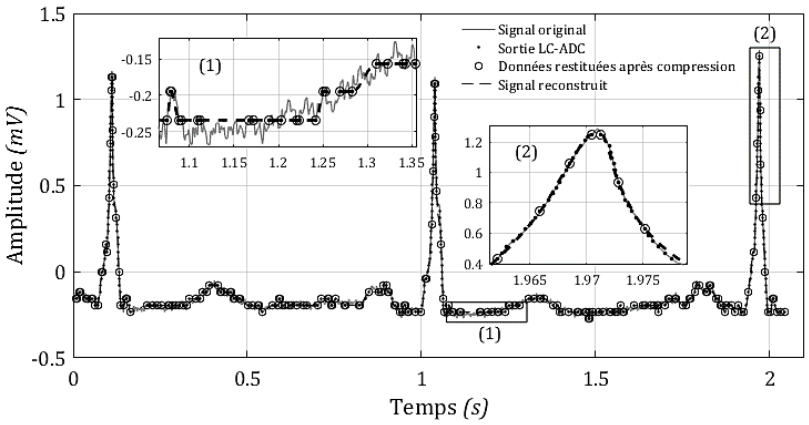


Figure 3. 17 Signal *ECG45* échantillonné par le LC-ADC après compression par interpolation d'Hermite pour $(m_\alpha,m_\beta,m_\gamma)_{opt}$ = (3,6,6) donnant un *PRD* égal à 8.96 %.

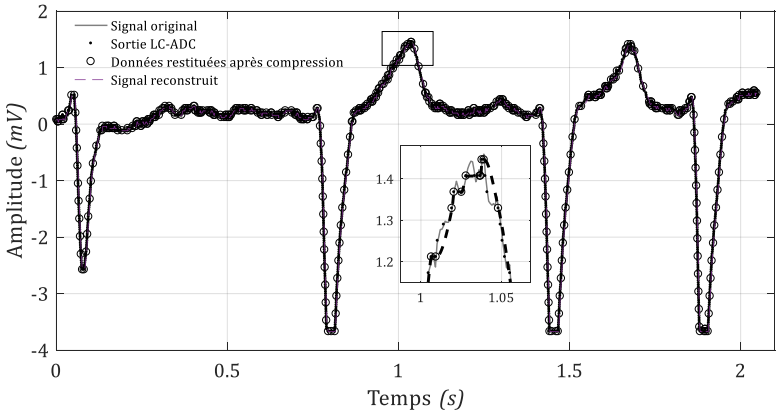


Figure 3. 18 Signal *ECG40* échantillonné par le LC-ADC après compression par interpolation d'Hermite pour $(m_\alpha,m_\beta,m_\gamma)_{opt}$ = (3,6,6) donnant un *PRD* égal à 1.73 %.

D'après les résultats de reconstruction du signal ECG à la sortie du LC-ADC en utilisant l'interpolation par spline cubique, décrits au Tableau 2. 7 et à la Figure 2. 18, nous constatons que les splines cubiques ne produisent pas des approximations proches du signal original au niveau des segments de l'ECG. Par conséquent, l'élimination de données supplémentaires suite à la compression risque de détériorer d'avantage les performances de la reconstruction. La même méthodologie d'étude de compression et de sélection des paramètres optimaux est adoptée pour la compression par interpolation par spline cubique. Dans ce cas, après extraction des résultats de simulation et en appliquant la condition d'un $PRD_{r_{spline_{max}}}$ inférieur à 9 %, nous avons malheureusement relevé un ensemble vide des valeurs possibles de $(m_\alpha, m_\beta, m_\gamma)$. Par conséquent, $(m_\alpha, m_\beta, m_\gamma)_{opt}$ est aussi vide. En effet, la valeur minimale de $PRD_{r_{spline_{max}}}$ est égale à 23.68 %. Ce premier résultat guide notre choix impérativement vers la méthode de compression par interpolation d'Hermite, mais nous présentons quand même les résultats de l'étude de compression par interpolation spline cubique en Annexe D.

Après avoir analysé les résultats de l'étude de compression, qui ont abouti à la sélection des paramètres optimaux en maximisant les performances de la compression en termes de PRD et de taux de compression, nous effectuons, dans la sous-section suivante, une

comparaison globale des performances du LC-ADC seul et accompagné par une méthode de compression.

3.4.4. Etude comparative des méthodes de compression

Nous comparons les performances de la compression intrinsèque du LC-ADC dimensionné, la compression par transformée en ondelettes bior3.1 et la compression par interpolation d'Hermite cubique. Nous utilisons dans cette comparaison les 75 signaux testés. Ainsi, nous commençons d'abord par évaluer l'apport de compression par transformée en ondelettes bior3.1 et la compression par interpolation d'Hermite cubique par rapport aux données à la sortie du LC-ADC. Nous traçons donc $CR_{Hermite}$ et $CR_{bior3.1}$ tels que présentés à la Figure 3. 19, où $CR_{bior3.1}$ est le taux de compression calculé entre le nombre de bits total à la sortie du LC-ADC et le nombre de bits total des 32 coefficients d'ondelettes (E.3. 42) où $SCR_{opt_{ECG}}$ est égal à 50 %.

$$CR_{bior3.1} = \frac{M\left(1 - SCR_{opt_{ECG}}\right)}{M + N} \qquad \textbf{(E.3. 42)}$$

En effet, le nombre de bits utilisé pour la quantification des coefficients des ondelettes est M égal à 8 bits. Cette valeur est choisie après analyse de la plage de variation de ces coefficients et en minimisant les erreurs introduites par troncature des mots binaires qui les représentent. Comme le montre la Figure 3. 19, pour tous les signaux testés, l'utilisation de la compression par interpolation d'Hermite réduit les données en sortie du LC-ADC par au moins 50.03 % et par au plus 80 %. Ces valeurs sont réduites à 31.17 % et 39.32 % dans le cas des ondelettes bior3.1, respectivement.

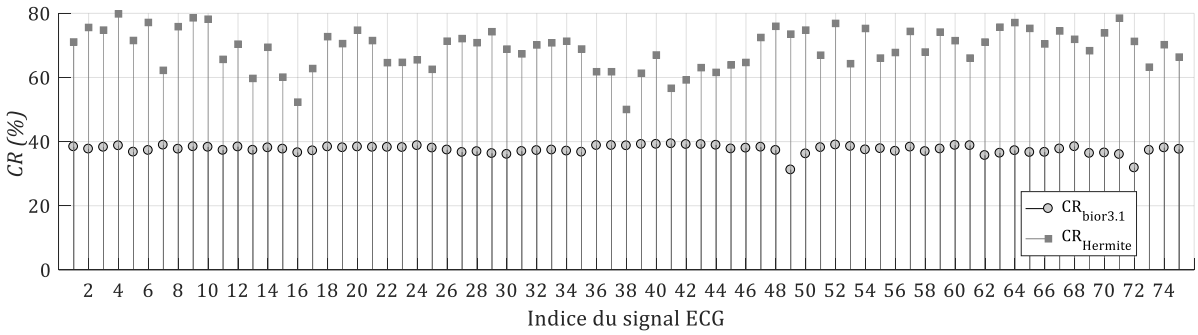


Figure 3. 19 Comparaison des performances de la compression des données en sortie en du LC-ADC à 8 bits par trois méthodes de compression.

Enfin, pour résumer, nous comparons le taux de compression du LC-ADC à 8 bits, CR_{LC-ADC}, du LC-ADC suivi par la décomposition en ondelettes bior3.1, $CR_{LC-ADC/bior3.1}$, et du LC-ADC suivi par la compression par interpolation d'Hermite cubique, $CR_{LC-ADC/Hermite}$. Le nombre de bits générés dans les trois cas est évalué par rapport au nombre de bits générés par les ADCs classiques utilisés pour l'acquisition des 75 signaux tels que résumés en Annexe A. Ainsi, pour le calcul de CR_{LC-ADC}, $CR_{LC-ADC/bior3.1}$, et $CR_{LC-ADC/Hermite}$, nous utilisons (E.3. 2), (E.3. 15) et (E.3. 43) respectivement.

$$CR_{LC-ADC/Hermite} = \frac{mN_{ADC} - \left(m_E + N + m_\alpha + m_\gamma\right)N_{Hermite}}{mN_{ADC}} \qquad \textbf{(E.3. 43)}$$

Les résultats de variation des taux de compression en fonction des signaux ECG testés et de la méthode de compression sont donnés à la Figure 3. 20. Ces résultats montrent bien que notre LC-ADC suivi par un étage de compression par interpolation d'Hermite atteint des taux de compression allant jusqu'à 95 % pour des valeurs du PRD inférieures à 9 %. Ces résultats sont conformes à ce que nous avons relevé dans la littérature dans le cas de la compression des signaux ECG échantillonnés en temps discret.

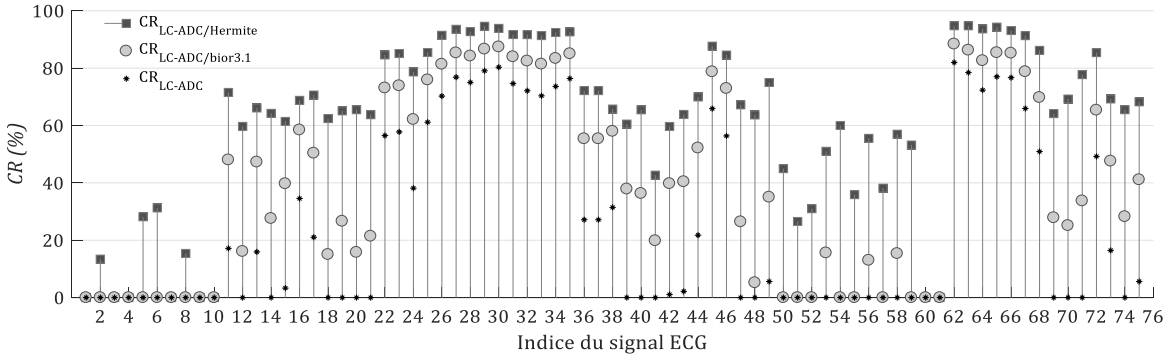


Figure 3. 20 Comparaison des performances de compression des données par combinaison du LC-ADC avec chacune des méthodes de compression.

En effet, en se référant à la Figure 3. 4, les cas pour lesquels le LC-ADC ne fait pas de compression, ce qui engendre des taux de compression inférieurs à 20 % en ajoutant la compression numérique, sont dus à la comparaison avec les fréquences d'échantillonnage qui sont inférieures à 400 Hz. Ces fréquences d'échantillonnage sont considérées très faibles pour les applications de diagnostic médical en utilisant le signal ECG. Par contre, elles peuvent être utilisées dans des dispositifs de monitorage du rythme cardiaque ou les stimulateurs électriques.

Pour s'assurer de la qualité des signaux après compression par interpolation d'Hermite avec des taux de compression jusqu'à 95 %, nous présentons à la Figure 3. 21 les nouvelles valeurs du PRD. Ces valeurs sont calculées après échantillonnage et compression et sont comparées à celles obtenues par échantillonnage et compression intrinsèque du LC-ADC. Il s'avère que 98.7 % des signaux ont un PRD final, $PRD_{r_{Hermite}}$, inférieur à 8 %. Ces signaux ont ainsi une marge minimale de 1 % par rapport à la valeur maximale permissible pour une bonne qualité des signaux. Seul le signal $ECG45$, après avoir été compressé à 87.7 %, présente un PRD de 8.9 %. En effet, ce signal n'admet pas le taux de compression maximal, qui est plutôt associé au signal $ECG62$.

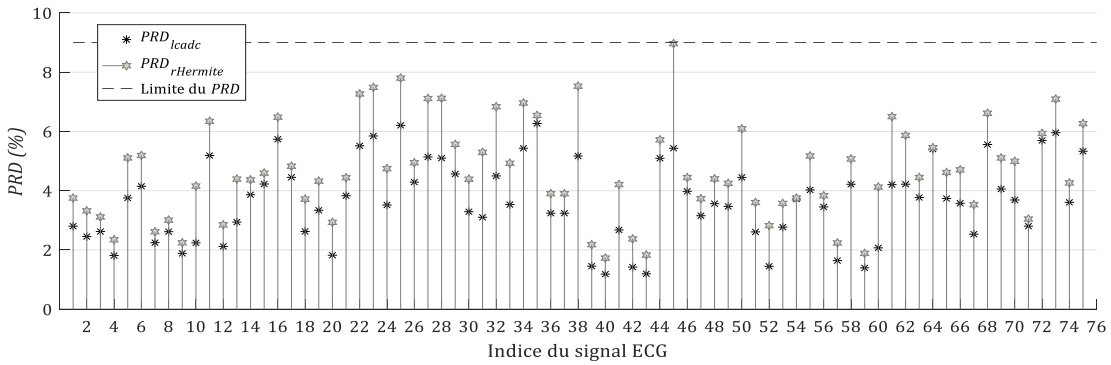
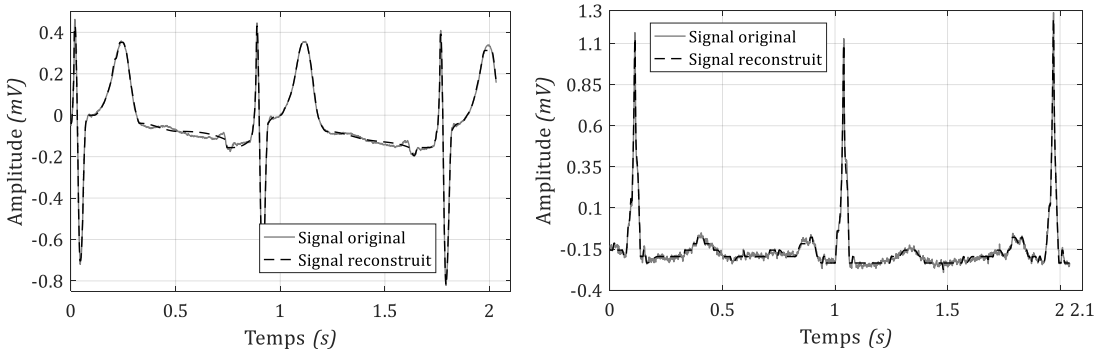


Figure 3. 21 Comparaison des valeurs du *PRD* entre échantillonnage par le LC-ADC seulement et suivi par la compression par interpolation d'Hermite.

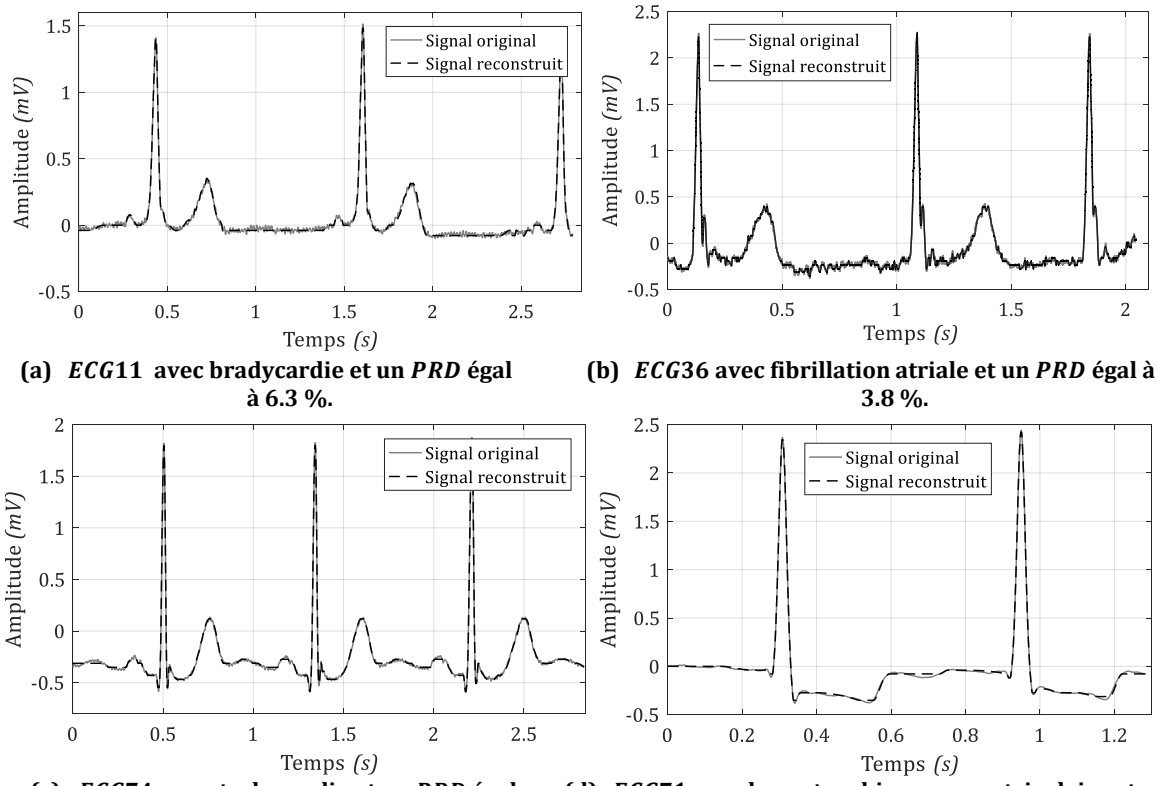
Les deux signaux $ECG45$ et $ECG62$, sont représentés à la Figure 3. 22. Ils présentent des valeurs du PRD égales à 8.9 % et 5.8 %, respectivement. Ils correspondent à un infarctus du myocarde et un ECG normal, respectivement. Le signal $ECG45$ est visiblement bruité au niveau des segments séparant ses ondes. Ce sont les fluctuations du bruit dans la fenêtre de comparaison du LC-ADC qui ont engendré une erreur de reconstruction importante après échantillonnage, compression et reconstruction. Toutefois, visuellement, la différence entre chacun des signaux originaux et sa version reconstruite reste assez faible.



(a) $ECG62$. **(b)** $ECG45$.

Figure 3. 22 Comparaison de la reconstruction des signaux ayant le *PRD* maximal et le taux de compression maximal.

Quatre signaux supplémentaires reflétant des qualités différentes et des pathologies différentes sont décrits à la Figure 3. 23. Ces signaux présentent une bonne qualité avec quelques distorsions autours du bruit mais nous estimons que ces dégradations n'influent pas sur le résultat du diagnostic médical.



(a) $ECG11$ **avec bradycardie et un** PRD **égal à 6.3 %.** **(b)** $ECG36$ **avec fibrillation atriale et un** PRD **égal à 3.8 %.**

(c) $ECG74$ **avec tachycardie et un** PRD **égal à 4.2 %.** **(d)** $ECG71$ **avec hypertrophie supraventriculaire et un** PRD **égal à 3 %.**

Figure 3. 23 Exemples de signaux reconstruits.

Après avoir choisi la compression par interpolation d'Hermite et détaillé les performances du LC-ADC sans et avec un étage de compression numérique, nous clôturons notre étude par l'analyse de la qualité des signaux numérisés après passage par les étages de la chaîne d'acquisition mais aussi en tenant compte des erreurs des composants analogiques. Les résultats de simulation en termes de PRD sont donnés au Tableau 3. 8 pour des tensions d'offset des deux comparateurs et des erreurs de non-linéarité différentielle maximale égales à 0.25 q et 0.182 q, respectivement.

Tableau 3. 8 Résultats de simulation du LC-ADC en présence des erreurs des composants analogiques et après compression et reconstruction par interpolation d'Hermite.

		Dégradation du PRD		$PRD_{r_{Hermite}}$	
Signal	PRD_{lcadc} (%)	**Pour $\lvert DNL\rvert_{max}$ égal à $0.182q$**	**Pour V_o^+ et $V_o^- = 0.25q$**	**Pour $\lvert DNL\rvert_{max}$ égal à $0.182q$**	**Pour V_o^+ et $V_o^- = 0.25q$**
$ECG3$	2.62	2	1.46	4,62	4,08
$ECG9$	1.89	2.18	1.08	4,07	2,97
$ECG27$	5.14	5.09	3.2	10,23	8,34
$ECG42$	1.42	1.86	1.92	3,28	3,34
$ECG52$	1.45	1.4	1.38	2,85	2,83
$ECG63$	3.77	4.62	1.57	8,39	5,34

Au passage par le LC-ADC, la valeur maximale du PRD_{lcadc} est égale à 5.14 %. Cette valeur est augmentée à 10.23 % et 8.34 % en présence des erreurs de non-linéarité et des erreurs d'offset, respectivement. Ainsi, des dégradations maximales de 5.09 % et 3.2 % sont observées. Nous considérons ces résultats prometteurs car seul le signal $ECG27$ a légèrement dépassé la limite 9 % du PRD. De plus, pour le reste des signaux du Après avoir choisi la compression par interpolation d'Hermite et détaillé les performances du LC-ADC sans et avec un étage de compression numérique, nous clôturons notre étude par l'analyse de la qualité des signaux numérisés après passage par les étages de la chaîne d'acquisition mais aussi en tenant compte des erreurs des composants analogiques. Les résultats de simulation en termes de PRD sont donnés au Tableau 3. 8 pour des tensions d'offset des deux comparateurs et des erreurs de non-linéarité différentielle maximale égales à 0.25 q et 0.182 q, respectivement.

Tableau 3. 8 une marge entre 0.61 % et 6.15 % est gardée à partir de la valeur limite.

3.5. Conclusion

L'objectif des travaux présentés dans ce chapitre est de définir un étage de compression des données ECG en aval du LC-ADC. L'ensemble est susceptible de fonctionner en temps réel en assurant la conversion analogique-numérique et la compression. En utilisant le LC-ADC dimensionné dans le deuxième chapitre, nous avons montré dans ce chapitre qu'un taux de compression de l'ordre de 81 % est atteint par le LC-ADC. De plus, la fréquence d'échantillonnage moyenne est atténuée jusqu'à 25 % de la fréquence d'un ADC uniforme contrôlé par une horloge aux fréquences égales à 500 et 1000 Hz.

Pour justifier le choix de la technique de compression à utiliser, un état de l'art des techniques récemment utilisées dans la littérature a été exposée. Cette étude a montré

que la méthode par transformée en ondelettes permet de mieux s'adapter aux propriétés du signal ECG tout comme le LC-ADC. Pour justifier le choix de la famille d'ondelettes à utiliser, une méthodologie d'étude de compression en utilisant les principales familles d'ondelettes existantes dans la littérature a été définie. Cette étude a montré que la famille bior3.1 donne les meilleures performances en termes de taux de compression pour un PRD après compression égal à 2 %. Cependant, nous considérons uniquement l'utilisation de la DWT pour la compression des échantillons de l'amplitude car toutes les familles d'ondelettes testées sont quasiment inappropriées pour la compression des intervalles du temps en sortie du LC-ADC.

Pour remédier à cette limitation et par suite améliorer le taux de compression, la technique de compression par interpolation est étudiée. Cette technique requiert le choix d'une méthode de reconstruction adaptée pour maximiser le taux de compression contrairement à la DWT qui est indépendante de la technique d'interpolation appliquée sur le signal décompressé. L'idée consiste en la construction de vecteurs de données dont le nombre de bits est optimisé par rapport aux données originales et qui permettent de restituer efficacement les données à interpoler dans la phase de reconstruction avec un PRD inférieur à 9 %. Les résultats de simulation en termes de qualité des signaux reconstruits et taux de compression ont montré que la méthode de compression par interpolation d'Hermite est meilleure que celle des splines cubiques.

Pour pouvoir mettre le point sur la meilleure méthode de compression parmi les compressions par ondelettes bior3.1 et par interpolation d'Hermite, nous avons établi une comparaison entre les performances du LC-ADC seul et accompagné par chacune de ces deux méthodes non seulement en termes de taux de compression mais aussi en termes de PRD. Nous avons montré ainsi que le LC-ADC suivi par une compression par interpolation d'Hermite permet d'atteindre les meilleures performances.

Après le dimensionnement LC-ADC au niveau système et l'étude de l'opportunité de compression post-LC-ADC dans ce chapitre, nous nous intéressons dans le dernier chapitre de ce manuscrit à la conception au niveau circuit du LC-ADC, constituant ainsi un premier prototype de test pour permettre la validation expérimentale de la solution proposée pour l'acquisition des signaux ECG à base de l'échantillonnage par traversée de niveaux offrant une compression intrinsèque des données.

Chapitre 4. Conception du LC-ADC en technologie CMOS 180 *nm* UMC

4.1. Introduction

Les résultats des travaux de recherche présentés dans le chapitre 2 ont conduit au dimensionnement d'un LC-ADC pour la numérisation des signaux ECG présentant l'originalité d'être adapté pour la réduction des données numérisées. La considération des spécifications des signaux ECG normaux et pathologiques a permis de choisir une résolution de 8 bits pour le DAC, une horloge de fréquence 10 kHz et une résolution 12 bits pour le compteur. Ces valeurs sont optimisées par rapport à la fréquence d'échantillonnage et la résolution des ADCs classiques comme nous les avons présentés dans le chapitre 1. Nous avons ainsi validé la description en blocs du convertisseur LC-ADC, où seulement l'information pertinente dans le signal est capturée. Ensuite, en s'inspirant des plages de variations des erreurs dans les circuits des comparateurs et DACs du commerce, nous avons évalué l'impact de ces erreurs sur la qualité de différents signaux.

Après validation de l'architecture du LC-ADC, grâce à laquelle jusqu'à 80 % de compression par rapport aux ADCs à échantillonnage uniforme est réalisée, nous avons mené une étude détaillée sur les méthodes de compression par DWT et par interpolation polynomiale dans le but d'augmenter le taux de compression. Ainsi, nous avons montré que les ondelettes bior3.1 sont appropriées pour la compression des échantillons d'amplitudes à la sortie du LC-ADC. Par ailleurs, en termes de schéma de numérisation et de compression global, nous avons montré qu'un étage de compression par interpolation polynomiale d'Hermite bien dimensionné en aval du LC-ADC est la meilleure solution pour compresser les échantillons d'amplitudes et de temps de façon simultanée. Les résultats obtenus nous ont motivé pour concevoir notre LC-ADC.

Ce chapitre est donc consacré au détail du passage de la description structurelle du LC-ADC à la conception du circuit en technologie CMOS 180 nm UMC. La première section est dédiée à la présentation du flot et de l'environnement de conception. Puis, la deuxième section est consacrée à la description des spécifications et des résultats de dimensionnement des étages du circuit. Nous enchainons dans la dernière section par les résultats de validation de la conception du circuit global du LC-ADC et la description du dessin des masques.

4.2. Méthodologie de conception et spécifications globales du LC-ADC

Nous avons commencé les travaux décrits dans ce chapitre par l'organisation d'une méthodologie de conception en fonction de la disponibilité des ressources logicielles dans le laboratoire d'accueil et en se basant sur le flot de conception des circuits numériques et analogiques décrit dans [136].

4.2.1. Méthodologie de conception du LC-ADC

La conception des circuits intégrés se fait en suivant une approche ascendante (bottom-up), ou descendante (top-down), ou encore mixte. En effet, dans le cadre de cette thèse, les travaux de recherche menés sur le LC-ADC en partant du simple principe de fonctionnement à la description structurelle détaillée puis au circuit électronique, décrivent une approche de conception mixte, détaillée à la Figure 4. 1. Dans un premier temps, l'approche descendante, présentée par le diagramme en blanc, a fait le sujet des travaux décrits dans le chapitre 2, qui ont permis de modéliser et dimensionner le LC-ADC au niveau système. Dans un deuxième temps, les travaux décrits dans ce chapitre, quant à eux, ont été réalisés en suivant l'approche de conception bottom-up tant pour la partie analogique que pour la partie numérique.

Il s'agit d'une réalisation hiérarchique ascendante du circuit LC-ADC. Elle débute par un simple schéma électronique du transistor, elle évolue vers la conception des composants élémentaires et aboutit enfin au circuit complet du convertisseur. Idéalement, la conception des circuits numériques en suivant l'approche de conception descendante minimise le temps de travail et les erreurs de conception, mais elle nécessite des outils autres que le logiciel de conception pour automatiser certaines étapes du flot de conception comme la synthèse logique et le routage. Cependant, étant limité par les ressources du laboratoire d'accueil, nous avons réalisé tous les éléments du circuits en suivant la même approche ascendante [136].

Ainsi, le flot de conception commence par la définition des spécifications globales du circuit puis celles de chaque composant. Il ne s'agit pas seulement des caractéristiques électriques souhaitées comme la plage de variation admissible du signal d'entrée et le temps de traitement des données mais aussi de tous les paramètres au niveau système comme la fréquence de fonctionnement et la résolution. Ensuite, une première étape de dimensionnement des circuits élémentaires est faite à travers des calculs de paramètres de conception spécialement au niveau de la partie analogique. Cette étape est souvent consolidée par des simulations au niveau schématique pour valider le dimensionnement par rapport aux spécifications de chaque composant et chaque étage du LC-ADC.

Après assemblage et validation du circuit électronique global du LC-ADC, le dessin des masques (layout en anglais) est réalisé en suivant la même approche bottom-up et en utilisant les dessins des couches physiques de la technologie CMOS 180 nm UMC décrite en Annexe E. Dans cette phase, des contraintes topologiques sont respectées pour minimiser les effets parasites. Cette étape est accompagnée par des tests de vérification

des règles du dessin (DRC, Design Rule Check), des interconnections électriques (ERC, Electrical Rule Check) et de la correspondance avec le schéma électronique (LVS, Layout Versus Schematic) [182]. Puis, la vérification des performances du layout dessiné se ferait par simulation après extraction des valeurs des capacités et résistances parasites issues des couplages capacitifs et résistifs des niveaux de métaux de la technologie. Néanmoins, cette étape d'extraction n'a pas pu être accomplie par manque de la disponibilité des outils nécessaires.

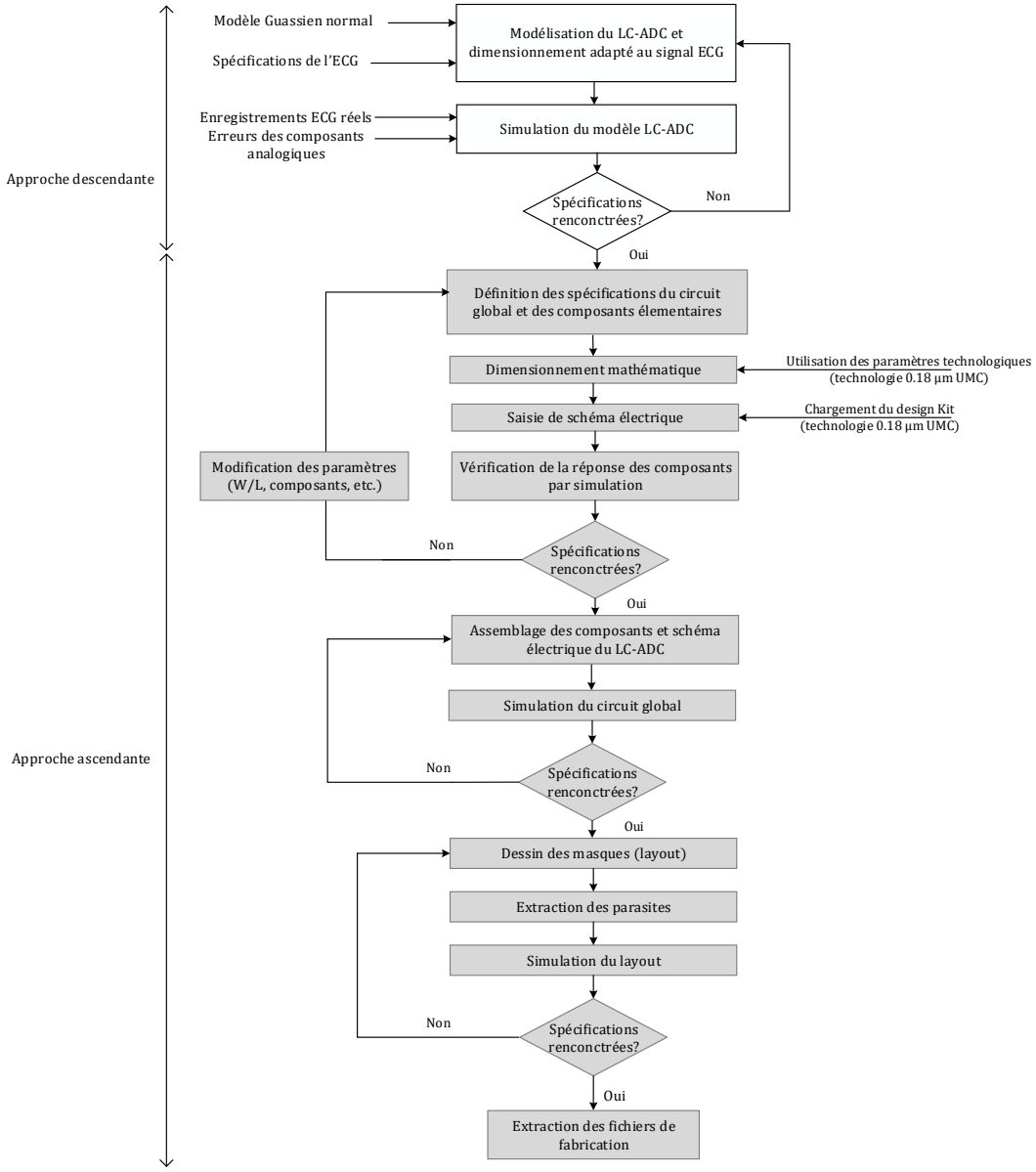


Figure 4. 1 Flot de conception modifié par intégration d'une phase de modélisation.

Par conséquent, dans le cadre des travaux de conception et en se référant à la Figure 4. 1, nous avons réalisé les différentes phases de l'approche top-down jusqu'au dessin des masques uniquement. Nous avons utilisé la version 6.1.5 à 64 bits de Cadence Virtuoso pour la définition et le dimensionnement des circuits numériques et analogiques. Le simulateur utilisé pour la validation de tous les éléments du circuit est Spectre Circuit Simulator dans sa version 7.2.0.593 isr22 à 64 bits [182]. Nous allons dans la sous-section

suivante commencer par déterminer les spécifications globales du LC-ADC en fonction des paramètres de la technologie CMOS 180 nm UMC décrits en Annexe E.

4.2.2. Spécifications globales du LC-ADC

Le LC-ADC se caractérise par une architecture électronique mixte. La partie analogique et la partie numérique communiquent à travers les signaux numériques des comparateurs et des accumulateurs. A l'issu de l'étude réalisée dans le chapitre 2, la résolution choisie pour le LC-ADC est égale à 8 bits. Ainsi, le pas de quantification de l'amplitude est égal à 39 μV. Cependant, pour être conforme à la plage d'alimentation imposée par la technologie CMOS 180 nm UMC, cette valeur est amplifiée.

En fonction de la valeur de la tension d'alimentation et l'intervalle de variation de la tension de seuil des transistors, présentés en Annexe E, la plage du signal d'entrée est choisie entre 0.6 V et 1.6 V. D'un côté, ces choix ont été faits pour garder une plage de sécurité minimale de 50 mV à partir de la tension de seuil des transistors pour éviter leur blocage à l'entrée des comparateurs. D'un autre côté, nous avons choisi une amplitude maximale de 1.6 V pour assurer une tension inférieure à la tension d'alimentation de 1.8 V.

L'architecture du LC-ADC est présentée à la Figure 4. 2. Par rapport au modèle décrit dans le chapitre 2, nous avons ajouté deux étages. Un étage analogique qui relie le signal d'entrée aux comparateurs. A ce niveau, deux scénarios sont envisagés selon l'origine du signal ECG analogique. Le premier scénario est sollicité au moment de l'échantillonnage de signaux réels en temps réel acquis avec des électrodes pour signal ECG. Dans ce cas, le passage par un amplificateur est nécessaire vu la plage d'amplitude réduite du signal ECG.

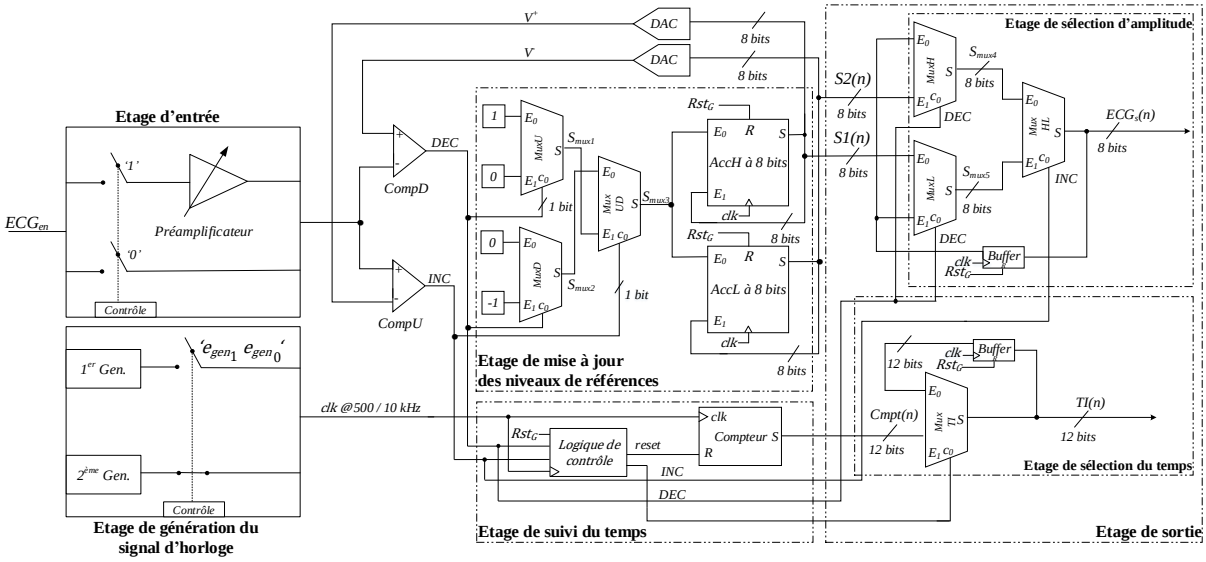


Figure 4. 2 LC-ADC avec deux étages supplémentaires.

Le deuxième scénario est envisagé pendant la phase des tests laboratoire du circuit avec des signaux ECG téléchargés de la base de données. Avant de les exploiter, ces signaux seront convertis en format analogique et envoyés à l'entrée du LC-ADC. Dans ce cas, il est

possible de modifier la plage de variation de ces signaux au moment du traitement pré-LC-ADC envisagé.

Le deuxième étage ajouté est mixte. D'après les résultats du Tableau 2. 8 et en fonction du type du signal d'entrée, le signal d'horloge est à la fréquence 500 kHz pour le signal sinusoïdal et 10 kHz pour le signal ECG. Le signal d'horloge est en fait généré pour la quantification des intervalles de temps et la synchronisation des registres dans le circuit. Cet étage est commandé par deux bits de contrôle selon lesquels il fait appel à un premier générateur numérique à base d'un oscillateur en anneau. Dans le cas contraire, un comparateur analogique et un signal externe sont sollicités. Dans les deux cas, il est possible de sélectionner l'une des deux fréquences souhaitées.

Pour le bon fonctionnement du LC-ADC, tous les registres du circuit sont synchronisés à la même fréquence, soit 500 kHz, soit 10 kHz. De plus, ils sont munis d'une entrée de remise à zéro asynchrone reliée au signal de remise à zéro globale du LC-ADC, à l'exception du compteur qui est de plus contrôlé par les signaux INC et DEC comme montré à l'étage de suivi du temps à travers une logique de contrôle.

Ainsi, les spécifications du circuit LC-ADC sont résumées dans le Tableau 4. 1. Un paramètre très important lié à la fréquence maximale du circuit et qui conditionne la rapidité de la conversion est le temps de boucle, noté δ_{max} [94]. Ce paramètre caractérise le temps de fonctionnement maximal depuis la détection de la traversée de niveau jusqu'à l'actualisation des niveaux de références à l'entrée des comparateurs. Il dépend des temps de propagation des comparateurs, de l'étage de mise à jour des niveaux de références et des DACs. En tenant compte de l'horloge la plus rapide du circuit, qui est l'horloge de référence de période T_c, le temps de boucle maximal, δ_{max}, ne doit pas dépasser cette période égale à 2 µs pour le cas de la numérisation d'un signal sinusoïdal.

Tableau 4. 1 Spécifications du circuit électronique du LC-ADC.

Paramètres	Spécifications
Résolution M	8 bits
Plage du signal d'entrée	[0.6, 1.6] V
Pleine échelle PE	1 V
Quantum q	3.9 mV
Fréquence du compteur F_c	10 kHz pour les signaux ECG
	500 kHz pour les signaux sinusoïdaux
Résolution matérielle du compteur N	12 bits
Temps de boucle maximal δ_{max}	2 µs

A l'issue de la définition des spécifications globales du LC-ADC, nous avons déduit la nécessité de deux étages supplémentaires qui sont l'étage d'entrée et l'étage de génération du signal d'horloge. Ces spécifications nous permettront également, avec la présentation de la technologie CMOS en Annexe E, de définir les spécifications des différents étages du LC-ADC.

4.3. Spécifications et dimensionnement des étages du LC-ADC

Le circuit que nous désirons concevoir, présenté à la Figure 4. 2 comprend un total de sept étages dont trois sont analogiques. Ce sont l'étage de comparaison et de conversion numérique-analogique, tel que nous les avons décrits dans le chapitre 2 à base de transistors et réseau capacitif, respectivement, et l'étage de pré-amplification. De plus, le circuit contient trois étages numériques propres au LC-ADC, qui sont l'étage de mise à jour des niveaux de références, l'étage de suivi du temps et l'étage de sortie. Finalement, le septième étage, qui représente le générateur du signal d'horloge, est mixte.

4.3.1. Spécifications et dimensionnement de l'étage de pré-amplification

Dans le cas de la numérisation de signaux ECG réels provenant d'une électrode, l'étage de pré-amplification permet de mettre l'amplitude de ces signaux à l'échelle des spécifications du LC-ADC avant de les échantillonner. Ainsi, en considérant une pleine échelle 1 V à la sortie du préamplificateur avec une plage de 0.6 V à 1.6 V et des signaux ECG qui varient entre $\pm 5\ mV$, le gain maximal de l'amplificateur est 40 dB. Comme les formes d'ondes d'un signal ECG oscillent autour de la ligne de base idéalement nulle, le signal amplifié doit être translaté vers le point milieu de la pleine échelle du LC-ADC égal à 1.1 V. Ces spécifications sont résumées dans le Tableau 4. 2.

Tableau 4. 2 Spécifications du préamplificateur de tension à source commune.

Paramètres	Spécifications
Gain A_{av}	40 dB
Plage de la tension d'entrée	[-5 , 5] mV
Plage de la tension de sortie	[0.6, 1.6] V
Composante continue du signal de sortie V_{DC}	1.1 V

Nous avons ainsi besoin de concevoir un amplificateur en mode tension, à sortie non-différentielle et de gain moyennement élevé. En basse fréquence, l'architecture MOS la plus simple mais aussi la moins complexe en termes de nombre de transistors et qui répond à ces spécifications est l'amplificateur à source commune dont le principe est décrit en Annexe F [136]. Le circuit implémenté de l'amplificateur à source commune est décrit à la Figure 4. 3, où M_{a1} est un transistor polarisé en régime de saturation et $V_{G_{bias}}$ est la tension de grille de M_{a1}.

La tension de sortie lorsque le signal d'entrée varie entre V_{gssat1} et V_{gssat2} décrites en Annexe F, est donnée par (E.4. 1), où V_{DC} et A_{av} sont la composante continue du signal de sortie et le gain petit signaux.

$$v_S = V_{DC} + A_{av} v_e \qquad \textbf{(E.4. 1)}$$

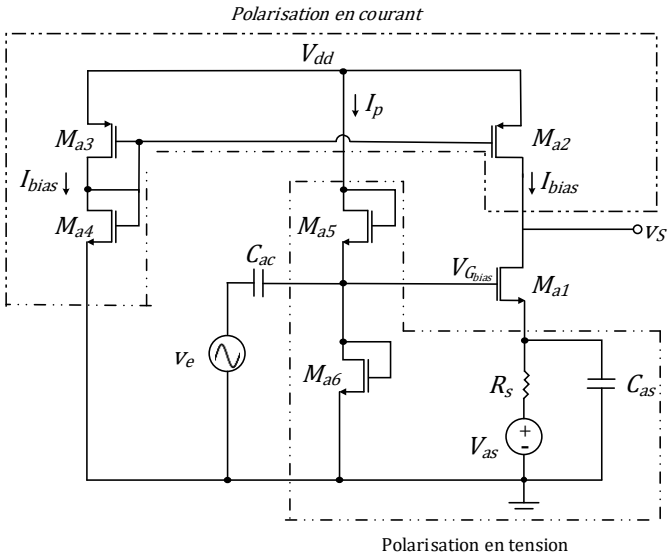


Figure 4. 3 Circuit du préamplificateur à source commune avec dégénération de la source et couplage du signal d'entrée.

Pour polariser M_{a1} avec I_{bias} et passer du mode amplificateur de courant au mode tension, la source de courant est constituée de trois transistors M_{a2}, M_{a3} et M_{a4}. De plus, pour assurer la tension de polarisation, V_{bias}, sur la grille de M_{a1}, un pont diviseur de tension est réalisé en utilisant les transistors M_{a5} et M_{a6} traversés par le courant I_p.

Pour bloquer la composante continue du signal d'entrée et éviter de modifier la valeur de la tension de polarisation, $V_{G_{bias}}$, une capacité de couplage, C_{ac}, est reliée au pont de grille à l'entrée de l'amplificateur. Le choix de la valeur de C_{ac} dépend de la fréquence maximale, F_{max}, du signal d'entrée et de la résistance équivalente d'entrée de l'amplificateur, R_{aeq}, comme donnée par (E.4. 2),

$$C_{ac} \gg \frac{1}{2\pi F_{max} R_{aeq}} \qquad \textbf{(E.4. 2)}$$

Par ailleurs, une source de tension, V_{as}, est montée en série avec une résistance, R_s, et connectée à la source de M_{a1}. Cette configuration est connue par la dégénération de la source [183]. Elle améliore la linéarité de la caractéristique du transistor M_{a1} mais nous donne aussi la possibilité d'ajuster légèrement la tension de polarisation, $V_{G_{bias}}$, pendant la phase des tests expérimentaux [184]. Comme le gain de cet amplificateur est inversement proportionnel à la résistance équivalente entre le drain et la source de M_{a1}, l'ajout de la résistance R_s dégrade le gain. Finalement, pour annuler l'effet de la résistance de la dégénération de la source, une deuxième capacité, C_{as}, est ajoutée entre la source de M_{a1} et la masse. Dans ce cas, le transistor M_{a1} est correctement polarisé car la capacité est assimilée à un circuit ouvert en régime continu. Par contre, elle annule l'effet de la dégénération de la source car la capacité est assimilée à un court-circuit en régime alternatif. Le gain du circuit est donc donné par (E.4. 3), où $g_{m_{a1}}$ est la transconductance de M_{a1}, $g_{ds_{a1}}$, $g_{ds_{a2}}$ sont les conductances de M_{a1} et M_{a2}, respectivement.

$$A_{av} = \frac{-g_{m_{a1}}}{g_{ds_{a1}} + g_{ds_{a2}}} \qquad \textbf{(E.4. 3)}$$

De plus, ce circuit d'amplification introduit une opposition de phase au signal de sortie par rapport à l'entrée originale. Ce déphasage ne nuit pas au fonctionnement du LC-ADC. Par ailleurs, il est facilement corrigé par traitement numérique.

En suivant les étapes de dimensionnement, décrites en Annexe F, les dimensions des composants du préamplificateur de la Figure 4. 3 sont déterminées. En effet, pour stabiliser la polarisation du transistor M_{a1}, en minimisant les effets de modulation de la longueur du canal, nous avons fixé une longueur minimale de la grille de tous les transistors du circuit à 1 μm. Dans le cas contraire, en considérant 180 nm comme longueur de grille, le courant de polarisation devient de plus en plus sensible aux variations de la différence de potentiel entre le drain et la source [136]. Sachant que le dimensionnement de tous les transistors du circuit et la valeur du gain sont définis par rapport à la polarisation du transistor M_{a1} tel qu'expliqué en Annexe F, toute variation du courant modifierait la réponse du préamplificateur. Les résultats de dimensionnement sont résumés dans le Tableau 4. 3, où $(W/L)_{ai}, i = 1 \dots 6$ est le rapport entre la largeur et la longueur de la grille du transistor M_{ai}.

Pour vérifier les résultats de dimensionnement obtenus, l'amplificateur est testé en appliquant un à un les signaux décrits dans le Tableau 4. 4 et en utilisant le simulateur Spectre configuré avec Cadence Virtuoso.

Tableau 4. 3 Dimensionnement du préamplificateur de tension.

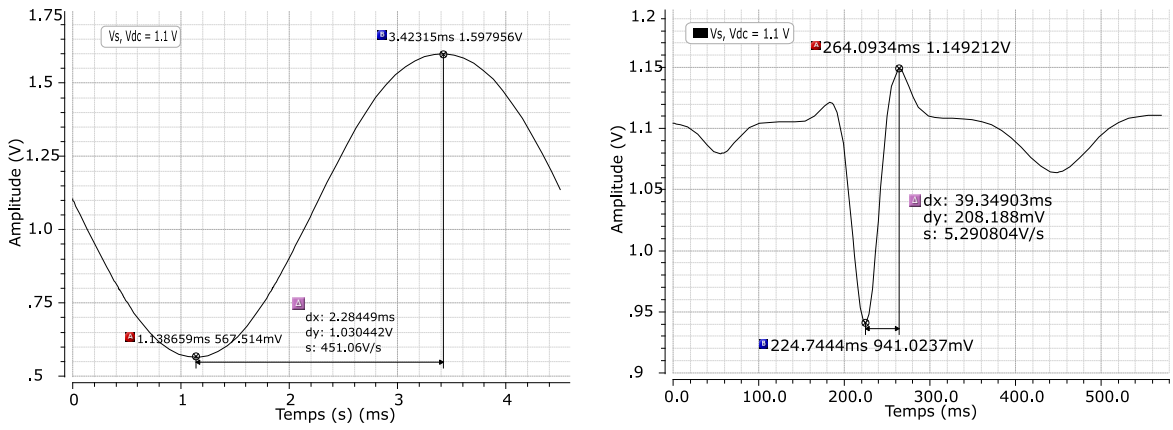
Paramètre	Résultat
$(I_{bias}, V_{G_{bias}})$	$(4.7\ \mu A, 734.7\ mV)$
$(W/L)_{a1}$	$40\ \mu m/4\ \mu m$
$(W/L)_{a2}, (W/L)_{a3}$	$56.4\ \mu m/1\ \mu m$
$(W/L)_{a4}$	$0.24\ \mu m/6.12 \mu m$
$(W/L)_{a5}, (W/L)_{a6}$	$0.52\ \mu m/1\mu$, $1.25\ \mu m/1\mu m$
V_{as}	$300\ mV$
R_s	$5\ k\Omega$
C_{ac}, C_{as}	$14.2\ \mu F$

Tableau 4. 4 Signaux de test de l'amplificateur.

Nature	Amplitude Vpp	Fréquence maximale	Composante continue(*)
Sinusoïdal	$10\ mV$	$220\ Hz$	$0\ mV$
Modèle Gaussien d'ECG normal	$1.9\ mV$	$50\ Hz$ (Onde R)	$0.02\ mV$

(*) : valeur moyenne des signaux

Les résultats de simulation fonctionnelle de l'amplificateur sont résumés à la Figure 4. 4 et le Tableau 4. 5.



(a) Signal sinusoïdal amplifié. **(b) Signal ECG amplifié.**

Figure 4. 4 Signaux à la sortie du préamplificateur du LC-ADC.

Tableau 4. 5 Résultats de simulation fonctionnelle du préamplificateur du LC-ADC.

Paramètres mesurés	Signal sinusoïdal	Signal ECG
(I_{bias}, V_{Gbias})	(4.75 µA,735.5 mV)	
V_{DC}	1.104 V	
A_{av}	40.25 dB	40.71 dB

Le gain obtenu est légèrement supérieur à 40 dB. Ainsi, l'étage de pré-amplification augmente l'amplitude des signaux ECG lors d'une acquisition en temps réel et ne risque pas de saturer les comparateurs. En effet, nous avons gardé une marge de sécurité de $\pm 2\ mV$ par rapport aux spécifications du signal ECG comme indiqué à la sous-section 1.2.2. En plus de la plage d'amplitude admissible à leurs entrées, nous avons montré dans le chapitre 2 que les comparateurs admettent des spécifications notamment liées à l'erreur de comparaison. Nous détaillons ainsi les spécifications et les résultats de dimensionnement des comparateurs dans la sous-section suivante.

4.3.2. Spécifications et dimensionnement de l'étage de comparaison

La sortie du préamplificateur est appliquée aux deux comparateurs du LC-ADC comme indiqué à la Figure 4. 2. En effet, le comparateur détecte les variations du signal amplifié par rapport au niveau de référence V^+ ou V^-. Son circuit est donné à la Figure 2. 7. Le niveau haut ou le niveau bas de sa réponse dépend du signe de la tension différentielle entre ses deux bornes. En réalité, il n'y a pas que ces deux niveaux mais aussi un régime de transition entre les deux. De ce fait, pour caractériser un comparateur selon un modèle réel, des paramètres statiques et dynamiques sont définis dans la littérature [185].

Les paramètres statiques sont définis comme suit.

- La plage d'entrée en mode commun, $ICMR$, est la plage de variation admissible de la tension d'entrée en mode commun pour laquelle le gain du comparateur est constant.
- La plage de sortie entre V_{OL} et V_{OH}, où la valeur maximale de la tension de sortie, V_{OH}, correspond à la valeur logique '1' et la valeur minimale, V_{OL}, correspond à la valeur logique '0'.

- La sensibilité, V_{sens}, est la tension différentielle minimale entre les bornes du comparateur pour laquelle la sortie du comparateur est stabilisée à un état haut ou bas.
- La tension d'offset, définie dans le chapitre 2, est une tension indésirable qui se crée à cause des imperfections de l'appariement des transistors. Dans les architectures à base d'amplificateur opérationnel, la tension d'offset est en particulier due aux imperfections de la paire différentielle de l'étage d'entrée.
- Le gain, A_{vc}, est idéalement définit par (E.4. 4), où ΔV est la valeur de la tension différentielle infiniment petite aux bornes du comparateur [186]. En pratique, le gain est approximé et est inversement proportionnel à la sensibilité (E.4. 5).

$$A_{vc} = \lim_{\Delta V \to 0} \frac{V_{OH} - V_{OL}}{\Delta V} \quad \textbf{(E.4. 4)}$$

$$A_{vc} \approx \frac{V_{OH} - V_{OL}}{V_{sens}} \quad \textbf{(E.4. 5)}$$

Par ailleurs, les caractéristiques dynamiques d'un comparateur sont le slew rate, SR, et le temps propagation, t_p. D'une part, le slew rate est défini comme étant la pente maximale de la tension de sortie suite à une variation significative de la tension d'entrée, mesurée par application d'un signal carré. Comme donné par (E.4. 6) [187], il dépend du courant de polarisation de l'étage de sortie du comparateur, I, et de sa capacité de charge, C_L.

$$SR = \left(\frac{dV_S}{dt}\right)_{max} = \frac{I}{C_L} \quad \textbf{(E.4. 6)}$$

D'autre part, le temps de propagation est la différence de temps entre le moment de traversée du niveau de référence par le signal d'entrée et le moment quand il y a un changement dans le niveau logique du signal de sortie, généralement lorsque le signal de sortie atteint 50 % de sa valeur finale [136]. Il détermine donc la vitesse du comparateur. L'expression du temps de propagation en fonction du slew rate est donnée par (E.4. 7) [133].

$$t_p = \frac{V_{OH} - V_{OL}}{2SR} \quad \textbf{(E.4. 7)}$$

En fonction de l'application visée, différentes architectures des comparateurs CMOS sont proposées dans la littérature. Par exemple, dans les applications qui requièrent la précision, les comparateurs à corrections d'offset sont les plus utilisés [188]. Dans les applications qui visent une faible consommation de puissance, les comparateurs dynamiques sont fréquemment présents. Une telle réalisation sollicite le circuit seulement à des fronts d'horloge réguliers. Finalement, dans les applications à haute fréquence tels que les DACs de type flash dont le temps de réponse dépend de la rapidité du banc de comparateurs, des architectures moyennant des bascules latches et un étage de correction d'offset sont utilisées.

Dans la définition du cahier des charges du comparateur, nous tenons compte d'abord et obligatoirement de la plage de variation, admissible par le LC-ADC, de l'amplitude du

signal d'entrée. Puis, nous essayons de respecter le SNR. La sensibilité du comparateur dans notre cas d'application est imposée par les 62 dB du SNR théorique relatifs au dimensionnement proposé dans le chapitre 2. Par analogie avec un ADC à échantillonnage uniforme et en utilisant l'expression l'ENOB et le SNR, un SNR de 62 dB implique une résolution de 10 bits. Par suite, en divisant la pleine échelle du comparateur, égale à 1 V par 2^{10}, la sensibilité minimale du comparateur doit être de l'ordre de 0.98 mV. Ainsi, en utilisant l'expression (E.4. 5), le gain minimal du comparateur est égal à 60. 2 dB. Ensuite, en utilisant (E.4. 6) et par rapport à un temps de montée, le slew rate du comparateur doit être supérieur à 45 $V/\mu s$.

Sachant que le courant de polarisation de l'étage de sortie passe à travers une capacité de charge, C_L, ceci limite le temps de montée de la tension de sortie. En effet, la capacité de charge est équivalente aux capacités parasites de l'étage numérique directement connecté au comparateur. La valeur estimée de C_L est égale à 200 fF. Elle est déterminée en fonction des interconnexions de l'étage de sortie du comparateur avec les étages numériques du circuit LC-ADC. Ainsi, en utilisant (E.4. 6), un courant de polarisation égal à 20 μA est nécessaire pour garantir un slew rate supérieur à 90 MV/s. Ainsi, les spécifications du comparateur sont résumées dans le Tableau 4. 6.

Tableau 4. 6 Spécifications du circuit électronique du comparateur

Paramètres	Spécifications
V_{sens}	0.98 mV
A_{vc}	65.3 dB
SR_{min}	90 MV/s
t_p	t_{ps}= 20 ns [14]
ICMR	$[\mathrm{ICMR}_-, \mathrm{ICMR}_+] = [0.6, 1.6\ ]\ V$
C_L	200 fF
I	20 μA

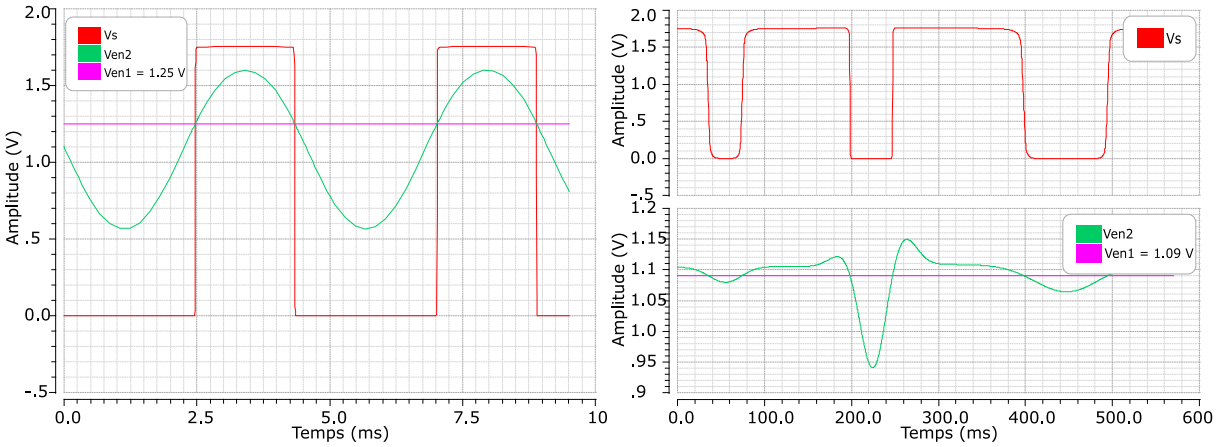
En termes de précision, gain et rapidité, l'architecture basique à temps continu présentée dans la sous-section 2.3.1, dite comparateur de Miller sans correction d'offset, répond aux spécifications exigées par le LC-ADC [115]. Il s'agit d'un comparateur à deux étages dont le premier est un amplificateur différentiel à charge active et le deuxième est un étage de sortie de type inverseur. L'analyse et la description des différents étages sont détaillées en Annexe G de ce rapport. En tenant compte des spécifications du Tableau 4. 6 et des paramètres technologiques notamment la tension de seuil des transistors NMOS et PMOS, les dimensions des transistors sont calculées telles que résumées au Tableau 4. 7, où $(W/L)_i$, $i = 1 \ldots 9$ est le rapport des dimensions du transistor M_i. Les détails des calculs de ces rapports sont décrits en Annexe G. Etant un étage critique dans le LC-ADC, nous avons choisi des longueurs de grilles égales à 1 μm pour les transistors de la paire différentielle. Celles du reste des transistors sont maintenues à 180 nm pour optimiser la surface du comparateur.

La validation du dimensionnement est faite à travers la simulation fonctionnelle du comparateur en utilisant les signaux décrits dans le Tableau 4. 4, qui sont d'abord

amplifiés puis connectés à l'entrée V_{en2} du comparateur en plus d'une tension de référence continue, reliée à V_{en1}. Les deux valeurs de la tension de référence, V_{en1}, sont choisies en fonction de la plage de variation de l'amplitude du signal appliqué à l'entrée V_{en2} du comparateur. Dans les deux cas, le comparateur est chargé par une capacité égale à 1 pF. Les résultats de simulation sont donnés à la Figure 4. 5. Nous remarquons que la sortie du comparateur change d'état lorsque le signal traverse la valeur 1.25 V. La tension de sortie du comparateur varie entre 0 et 1.75 V.

Tableau 4. 7 Dimensions des transistors du comparateur.

Transistor M_i	(M_1, M_2)	M_8	(M_3, M_4)	(M_5, M_6)	M_7	M_9
Rapport $(W/L)_i$	15	5	8	5	18.33	1.33
Longueur du canal	$L = 1\ \mu m$	$L = 180\ nm$				



(a) Signal sinusoïdal amplifié. **(b) Signal ECG amplifié.**

Figure 4. 5 Simulation fonctionnelle du comparateur.

Finalement, la troisième étape est la caractérisation du comparateur par mesure de ses paramètres dynamiques et statiques. D'un côté, pour déterminer la plage admissible en mode commun, une même tension continue est appliquée sur les deux entrées du comparateur dont l'amplitude varie de 0 à 1.8 V. D'un autre côté, toutes les caractéristiques dynamiques, à l'exception du temps de propagation, sont mesurées par application de la sinusoïde 220 Hz amplifiée sur son entrée V_{en_2} et de la tension continue sur son entrée V_{en_1}. Pour la mesure du temps de propagation, la sinusoïde est remplacée par un échelon de tension [138]. Par ailleurs, en considérant le chronogramme de la tension de sortie du comparateur, le slew rate est mesuré entre les points 0.1 de V_{dd} et 0.9 de V_{dd}. Les caractéristiques mesurées sont résumées au le Tableau 4. 8.

Nous avons considéré deux valeurs différentes de la capacité de charge qui sont la valeur estimée, 200 fF, et une deuxième valeur de 1 pF, afin d'envisager les dégradations possibles des performances du comparateur. Ces résultats montrent que les contraintes temporelles de la réponse du comparateur sont conformes aux spécifications du cahier des charges avec un SR supérieur ou égal à 90 MV/s et un temps de propagation inférieur à 20 ns dans les deux cas. De plus, étant inférieure à 25 % de q, nous supposons que

l'erreur d'offset introduira des distorsions inférieures à 1.2 dB au rapport S/D par rapport aux résultats de modélisation présentés en section 2.3.2.

Tableau 4. 8 Performances statiques et dynamiques du comparateur.

	Valeur mesurée @$C_L = 200\ fF$	**Valeur mesurée @$C_L = 1\ pF$**
V_{sens}	0.65 mV	0.8 mV
A_v	68.6 dB	66.8 dB
Tension d'offset	0.1 q = 0.39 mV	0.11 q = 0.43 mV
SR	178 MV/s	90 MV/s
t_p	1.76 ns	4.7 ns
$[\mathrm{ICMR}_-, \mathrm{ICMR}_+]$	$[0.575, 1.67\ ]\ V$	
$[V_{OL}, V_{OH}]$	$[0, 1.75]\ V$	

Par ailleurs, à titre comparatif, nous considérons les quatre exemples de comparateurs de type CMOS de STMicroelectronics et Texas Instruments qui sont compatibles aux applications de monitorage ou de communication à distance à faible consommation de puissance [138-189]. Particulièrement, les deux exemples de STMicroelectronics [190-189] regroupent deux comparateurs sur une même puce ce qui est avantageux en termes de surface pour le cas du LC-ADC à fenêtre flottante. Les caractéristiques électriques des quatre comparateurs sont résumées au Tableau 4. 9.

Tableau 4. 9 Caractéristiques électriques des comparateurs du commerce.

	STMicroelectronics		Texas Instruments	
	TS372 [190]	TS3702 [189]	LPV7215 [139]	LMC712-N [138]
Tension d'alimentation V_{dd}	5 V	3 V	1.8 V	2.7 V
$\mathrm{ICMR}_+ - \mathrm{ICMR}_-$	$V_{dd} - 2.25(\pm 0.25)\ V$	$V_{dd} - 1.2\ V$	V_{dd}	$V_{dd} + 0.3\ V$
V_{OH}	V_{dd}	$0.8V_{dd}$	$0.9V_{dd}^+$ à $0.93V_{dd}$	$0.93V_{dd}$
V_{OL}	$0.08V_{dd}$	$0.1V_{dd}$à $0.19V_{dd}$	$0.05V_{dd}$ à $0.22V_{dd}$	$0.07V_{dd}$
Tension d'offset	2 mV (typique)	5 à 6 mV (maximale)	0.4 mV (typique) 6 à 8 mV (maximale)	3 mV (typique)
t_p	200 à 600 ns @ $C_L = 15\ pF$	0.7 à 1.5 µs @ $C_L = 50\ pF$	4.5 µs	4.5 µs

A partir du Tableau 4. 8 et du Tableau 4. 9, nous pouvons tout d'abord conclure que les caractéristiques électriques de notre comparateur sont conformes aux résultats généraux des réalisations commercialisées en termes de plage de tension de sortie et d'entrée mais aussi de réponse temporelle. Néanmoins, même s'il est mesuré pour des capacités de charges de l'ordre de quelques dizaines de pF, le temps de propagation dans ces exemples commercialisés est très important par rapport à la valeur maximale, 20 ns, spécifiée au Tableau 4. 6. Particulièrement, les deux comparateurs de Texas Instruments ne peuvent pas être utilisés pour échantillonner le signal sinusoïdal car leurs temps de propagation est très proche de la période de l'horloge, égale à 2 µs.

De plus, en considérant les comparateurs commercialisés TS372, LPV7215 et LMC712, avec une pleine échelle maximale de $\mathrm{ICMR}_+ - \mathrm{ICMR}_-$ et une résolution de 8 bits pour chacun des trois, les tensions d'offset typiques de ces comparateurs représentent 17 %, 8 % et 25.6 % des pas de quantifications calculés en utilisant (E.2. 1), respectivement. Ainsi,

selon les résultats de la section 2.4.4, ces valeurs ne risquent pas de provoquer des dégradations importantes du rapport S/D.

Une fois que nous avons validé la conception du comparateur, nous enchaînons dans la sous-section suivante avec la conception des DACs, qui actualisent les valeurs analogiques des tensions de références reliées aux entrées V_{en_1} et V_{en_2} de $CompU$ et $CompD$, respectivement.

4.3.3. Spécifications et dimensionnement de l'étage de conversion numérique-analogique

Pour actualiser la tension de référence en entrée de chaque comparateur, nous utilisons un DAC qui convertit les M bits en sortie de chaque accumulateur en une tension analogique.

Dans la littérature, les architectures classiques des DACs reposent sur le principe du pont diviseur de tension ou de courant. Un DAC à division de tension est constitué d'un réseau linéaire de 2^M résistances identiques, M étant la résolution du DAC. Les résistances sont reliées à une batterie de $\sum_{i=1}^{M} 2^i$ commutateurs commandés par les bits d'entrées. Ce nombre élevé de commutateurs introduit des capacités parasites et des résistances qui ralentissent le temps de conversion. En outre, cette architecture est difficile à intégrer à cause de la surface importante des résistances et l'augmentation du courant dans le circuit si les valeurs des résistances sont diminuées [191].

Pour améliorer l'intégrabilité du réseau linéaire, la division de tension est remplacée par une division de courant [192] comme l'exemple de l'architecture R-2R, où la somme des courants non nuls dans les branches est proportionnelle au mot binaire convertit. Le courant est converti ensuite en tension par un amplificateur courant-tension. Par rapport à la chaîne linéaire, le nombre des résistances est réduit à $2M$.

Afin d'éviter l'utilisation des résistances, notre choix est ramené au DAC à redistribution de charge [136,192]. Nous rappelons que cette architecture, comme présentée à la Figure 2. 9, est constituée d'un réseau parallèle de capacités pondérées de façon binaire par rapport à une capacité élémentaire, C_0. Ces capacités sont connectées aux tensions de références, V_{refL} et V_{refH} à travers des commutateurs commandés par les M bits du mot binaire à convertir. La description des commutateurs du réseau binaire est donnée en Annexe E.

Les paramètres caractérisant le DAC sont la capacité élémentaire, C_0, la résolution M, les tensions de références, V_{refL} et V_{refH} et le temps de réponse, t_r. D'abord, notre circuit regroupe $M+1$ capacités pondérées de façon binaire donc la nature et la valeur de C_0 influencent la surface occupée. En fait, la technologie CMOS 180 nm UMC offre deux types de capacités que nous décrivons à la Figure E. 1 et le Tableau E. 1 de l'Annexe E : le type à jonction (NCAP/PCAP), à base d'un transistor MOS, et le type métal-à-métal (MIMCAP). L'inconvénient majeur de la capacité NCAP ou PCAP est la non-linéarité à cause de la modulation du canal dans le transistor. Par conséquent, son utilisation risque de dégrader la linéarité du DAC. Quant à la capacité MIMCAP, elle offre une plage

supérieure de valeurs, une meilleure linéarité mais reste plus encombrante. Ainsi, en termes de surface les capacités à jonction sont plus avantageuses mais en termes de linéarité, notre choix se ramène obligatoirement aux capacités en couches métalliques.

Le deuxième paramètre est la résolution, qui définit le nombre des capacités dans le réseau, la valeur de la capacité maximale par rapport à C_0 et la valeur du quantum, q, du LC-ADC. Ensuite, le troisième et le quatrième paramètres sont les tensions de références, V_{refL} et V_{refH} qui définissent aussi la plage de variation de la tension de sortie du DAC. L'interconnexion entre le DAC et le comparateur, exige une plage de tension égale à la plage de la tension d'entrée du comparateur. Enfin, le dernier paramètre est le temps de réponse, t_r, qui constitue une source d'erreur de la partie analogique du LC-ADC. Ce temps de réponse est quantifié par la constante de temps que font intervenir les impédances dans le réseau du DAC. En tenant compte du temps de boucle maximal, δ_{max}, le temps de réponse du DAC doit être strictement inférieur à cette valeur.

Ainsi, Les spécifications du DAC sont données dans le Tableau 4. 10.

Tableau 4. 10 Spécifications du DAC.

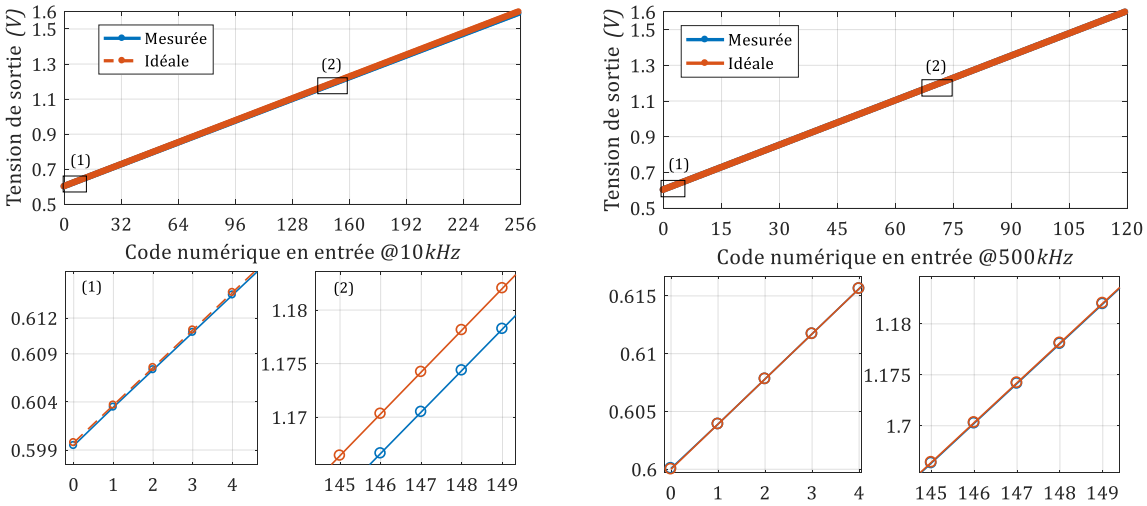
Paramètre	Spécification
Résolution M	8 bits
Quantum q	3.9 mV
t_r	< 2 µs
Type de capacités	MIMCAP
V_{refH}	1.6 V
V_{refL}	0.6 V

En suivant les étapes de dimensionnement expliquées dans l'Annexe H, la valeur finale de C_0 est 14.5 fF. La largeur de grille des transistors NMOS est 240 nm et la longueur est 180 nm. Ce sont les dimensions minimales admissibles par la technologie CMOS 180 nm UMC. Pour le cas des transistors PMOS, la largeur de grille est doublée. Afin de vérifier la pertinence de ce dimensionnement, des mots binaires sur 8 bits sont appliqués aux commutateurs du réseau en balayant la pleine échelle du DAC avec tous les mots binaires en entrée allant de ''00000000'' à ''11111111''. La mise à jour des codes binaires est faite à la fréquence 10 kHz puis 500 kHz. Ainsi, la charge du réseau capacitif du DAC est modifiée toutes les 100 µs puis les 2 µs, respectivement. A l'issu de chaque simulation, le DAC est caractérisé par mesure de ses performances statiques comme décrit dans le standard IEEE pour la terminologie et les méthodes de test des convertisseurs numérique-analogique [137]. En plus de $|INL|_{max}$ et de $|DNL|_{max}$, les caractéristiques mesurées sont [137] :

- l'erreur absolue, qui est la valeur absolue de l'écart maximal entre les points de la courbe de transfert idéale et les valeurs mesurées, elle est calculée sans correction de l'erreur d'offset et de gain,
- l'erreur de gain, qui est la valeur par laquelle les points de la courbe de transfert idéale sont amplifiés, et
- l'erreur d'offset, qui est la valeur ajoutée aux points de la courbe de transfert idéale.

Les courbes de transfert dans les deux cas sont données à la Figure 4. 6. Pour améliorer la lisibilité des courbes tracées nous avons zoomé autour des intervalles ⟦0,4⟧ et ⟦145,149⟧, représentés par les zones (1) et (2). A la fréquence 10 kHz, l'erreur absolue varie dans les intervalles [0.21,0.30] mV et [3.7,3.8] mV dans les zones (1) et (2), respectivement. Ces valeurs sont diminuées à [0.10,73.85] µV et [70.43,74.53] µV, respectivement, à la fréquence 500 kHz. Pour ces exemples l'erreur absolue représente donc un maximum de 0.97 de q à la fréquence 10 kHz et 0.019 de q à la fréquence 500 kHz.

En utilisant les valeurs mesurées, les caractéristiques statiques du DAC sont calculées telles que présentées dans le Tableau 4. 11. Nous constatons que par rapport aux valeurs simulées dans le chapitre 2 de $|INL|_{max}$ dans l'intervalle $\pm q$ et $|DNL|_{max}$ entre 0.159q et 0.36q et qui engendrent des distorsions du S/D entre 4.2 et 9.33 dB, les erreurs mesurées sont aux moins 10 fois plus petites.



(a) pour 10 kHz. **(b) pour 500 kHz.**

Figure 4. 6 Fonction de transfert du DAC en fonction de la fréquence de mise à jour des codes binaires.

Tableau 4. 11 Performances statiques du DAC.

	@10 kHz [127]	**@500 kHz**
Gain	0.9925	0.9998
Offset	4,9 mV	0,108 mV
Erreur absolue	7.7 mV	3.9 mV
$\|INL\|_{max}$	$0{,}655.10^{-3}q$	$0{,}06.10^{-3}q$
$\|DNL\|_{max}$	0.018 q	0.019 q

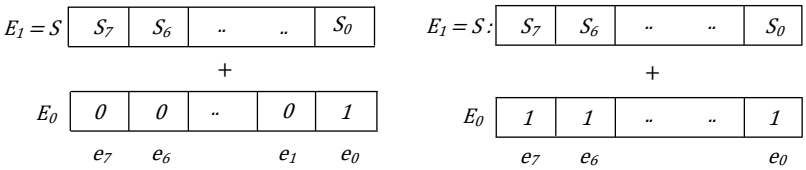
A ce niveau, nous avons fait la conception des étages analogiques du LC-ADC en déterminant les dimensions des transistors et des capacités élémentaires de chaque composant. Dans la suite, nous utilisons les éléments de bases, conçus au niveau de la bibliothèque numérique et décrits en Annexe I, pour réaliser le circuit d'accumulation, l'étage de suivi du temps, l'étage de sortie et le générateur du signal d'horloge. Tous les

éléments numériques sont simulés en utilisant le même simulateur Spectre 7.2.0.593 dans Cadence Virtuoso.

4.3.4. Conception de l'étage de mise à jour des niveaux de références

Comme illustré à la Figure 4. 2, cet étage est composé de trois multiplexeurs identiques et deux accumulateurs identiques mais à sorties décalées de 1 bit le moins significatif (LSB, Least Significant Bit). Les accumulateurs actualisent les valeurs numériques des niveaux de références en réponse à la détection d'un évènement par addition ou soustraction d'un LSB aux anciennes valeurs de $S1$ et $S2$. L'élément de base de chacun des deux accumulateurs est un additionneur à 8 bits et à propagation de retenue dont la sortie, S est rebouclée sur son entrée, E_1, à travers un registre 8 bits. Tous les composants numériques de cet étage ont été constitués à partir des éléments de la bibliothèque numérique décrits en Annexe I.

Les trois multiplexeurs sélectionnent la valeur à ajouter en fonction de la direction de la traversée de niveaux en délivrant ± 1 ou 0 à l'entrée non rebouclée E_0 de chaque accumulateur. Comme expliqué à la Figure 4. 7, une incrémentation de 1 LSB revient à activer le bit de poids le plus faible, e_0 , et mettre le reste des bits, e_1 à e_7, à '0', où e_0 à e_7 sont les 8 bits de E_0. En revanche, une décrémentation de 1 LSB revient à activer tous les bits de e_0 à e_7. Ainsi, les variations possibles des bits de E_0 sont résumées dans le Tableau 4. 12, où S représente $S1$ ou $S2$ dans le cas de $AccH$ et $AccL$, respectivement et S^- représente la valeur précédente de S.



(a) Addition. **(b) Soustraction.**

Figure 4. 7 Addition et soustraction par 1 *LSB*.

Tableau 4. 12 Modification des mots d'entrée et de sortie des accumulateurs en fonction de *INC* et *DEC*.

INC	DEC	e_0	e_1 à e_7	S
0	0	0	0	S^-
0	1	1	1	$S^- - 1$
1	0	1	0	$S^- + 1$
1	1	0	0	S^-

La structure de l'étage est donnée à la Figure 4. 8. Pour simplifier le schéma, nous illustrons les interconnexions entre la sortie de $MuxUD$ et $AccH$ uniquement. Le même principe s'applique entre $MuxUD$ et $AccL$. L'accumulateur à 8 bits et à propagation de retenue est conçu par la mise en série de 8 accumulateurs à 1 bit. Le composant élémentaire de l'accumulateur à 1 bit est un compteur complet à 1 bit suivi d'une bascule

D qui mémorise la sortie rebouclée de l'additionneur. La même structure est utilisée pour réaliser deux accumulateurs identiques, $AccH$ et $AccL$, initialisés à 127 et 128, respectivement. Ces choix sont faits en admettant que le signal d'entrée après amplification oscille par rapport à la moitié de la pleine échelle égale à 1.1 V. A l'état initial, ces valeurs sont choisies pour comparer les valeurs converties par le DAC au signal d'entrée. Etant donné le décalage entre ces valeurs initiales, la différence entre V^+ et V^-, après conversion numérique-analogique de $S1$ et $S2$, est égale à 3.9 mV. En résumé, les accumulateurs balayent l'intervalle $[\![0,255]\!]$ en ajoutant ou en retranchant 1 LSB et par suite, les tensions de sortie des DACs varient entre 0.6 V et 1.6 V avec un pas de 3.9 mV.

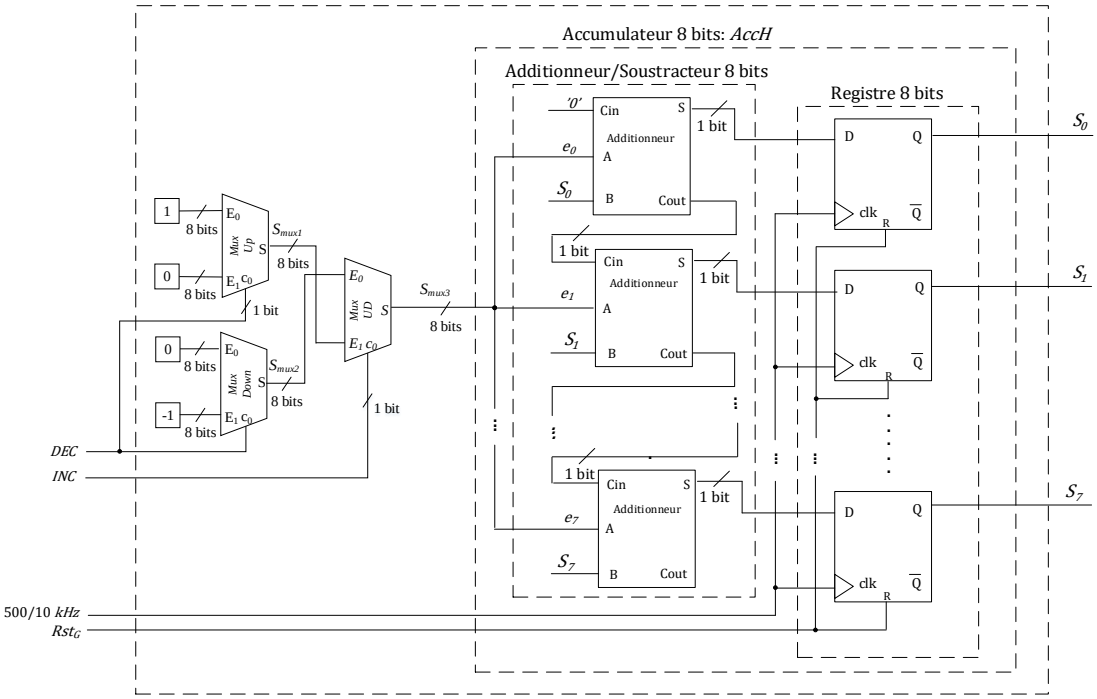


Figure 4. 8 Circuit de l'accumulation.

Les trois multiplexeurs sont conçus de façon identique. Ils sont de type 2 vers 1 à entrées et sorties à 8 bits. Ainsi, chacun de ces trois multiplexeurs est réalisé par assemblage en parallèle de 8 multiplexeurs à 1 bit de type 2 vers 1. Le multiplexeur à 1 bit est conçu à base de trois portes NAND et un inverseur en modélisant (E.4. 8), où S, c_0, e_0 et e_1 sont le signal de sortie, le bit de contrôle et les deux entrées de sélection du multiplexeur à 1 bit, respectivement. Dans un cas, e_0 est sélectionnée pendant le niveau bas de c_0. Dans le cas contraire, e_1 est sélectionnée.

$$S = \overline{\overline{c_0 . e_1} . \overline{\overline{c_0} . e_0}} \qquad \textbf{(E.4. 8)}$$

Pour valider l'étage de mise à jour des niveaux de références, nous avons commencé par la validation fonctionnelle des accumulateurs en testant l'incrémentation et la décrémentation par 1 LSB à chaque front montant de l'horloge. Puis, nous avons vérifié le fonctionnement de l'ensemble. Les simulations ont été faites pour le cas des deux fréquences d'horloge égales à 10 kHz et 500 kHz. Les résultats de simulation fonctionnelle des deux accumulateurs à la fréquence 500 kHz sont présentées à la Figure 4. 9, où $AccH$ compte de 128 à 255 avec un pas de 1 LSB puis se décrémente vers sa valeur

de départ 128. Les variations de S_{mux3}, $S1$ et $S2$ en fonction des combinaisons possibles de INC et DEC sont illustrées à la Figure 4. 10.

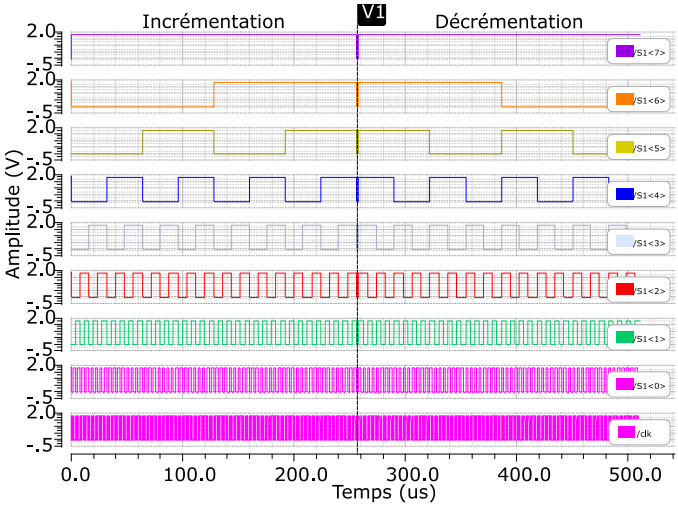


Figure 4. 9 Validation fonctionnelle de l'accumulateur *AccH* où *S1<i>* représentent les bits de sortie.

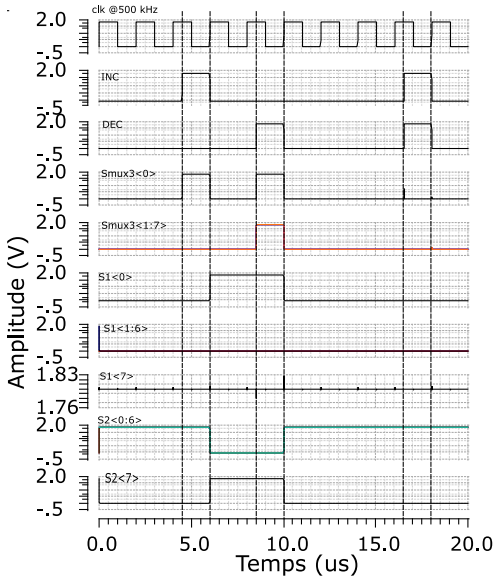


Figure 4. 10 Validation fonctionnelle de l'étage de mise à jour des niveaux de références.

Comme le montre le résultat de simulation de la Figure 4. 10, en considérant l'exemple de $AccH$, au départ, sa sortie est initialisée à 128. Cette valeur est maintenue jusqu'à détection du niveau haut d'abord de INC puis de DEC. Par conséquent, au front montant du signal d'horloge, $S1$ varie de 128 à 129 puis revient à 128. Par ailleurs, nous avons ajouté une protection contre le cas de disfonctionnement qui se traduit par un niveau haut des signaux INC et DEC simultanément. Il peut se produire suite à un disfonctionnement de l'un des accumulateurs, ou de l'un des composants de la partie analogique.

Parallèlement à l'actualisation des niveaux de références, l'étage de suivi du temps délivre la durée quantifiée séparant les traversées de niveaux consécutives. Nous détaillons dans la sous-section suivante la conception de cet étage synchrone.

4.3.5. Conception de l'étage de suivi du temps

L'étage de suivi du temps, donné à la Figure 4. 2, est constitué d'un compteur à 12 bits, synchrone et avec remise à zéro. Comme expliqué dans le chapitre 2, le compteur calcule le nombre de cycles de l'horloge entre deux traversées de niveaux successives et se met à zéro à chaque traversée de niveaux.

En supposant qu'un évènement se produit au bout d'un intervalle de temps de valeur exacte, Δt_i, la quantification de cette valeur revient à l'arrondir au multiple supérieur de T_c, avec une erreur de calcul du temps, δT_i. La valeur de comptage, $Cmpt$, est par suite délivrée à l'étage de sélection du temps. De plus, le compteur doit être mis à zéro avant l'écoulement de la $k^{ème}$ période de l'horloge pour repartir de 1 au prochain front montant. Dans le cas contraire, si le compteur part de zéro, les intervalles de temps générés par le LC-ADC seront inférieurs aux valeurs réelles ce qui engendrerait un axe du temps compressé.

Le chronogramme donné à la Figure 4. 11, décrit l'évolution temporelle du signal d'horloge, clk, le signal $SXOR$ en sortie d'une porte XOR entre INC et DEC, la valeur du compteur, $Cmpt$, et le signal Rst_{XOR} qui représente l'ordre de remise à zéro suite à la détection d'une traversée de niveaux. Ainsi, la remise à zéro du compteur peut être exécutée en activant le signal Rst_{XOR} ou le signal de remise à zéro globale du LC-ADC, Rst_G. Pour l'exemple de la Figure 4. 11, nous supposons que le signal Rst_G est à zéro.

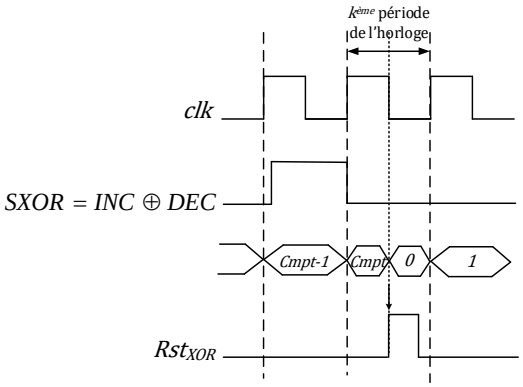


Figure 4. 11 Chronogramme global de l'étage de suivi du temps.

Dans un premier temps, ce scénario de fonctionnement nous permet d'identifier les contraintes de la remise à un du compteur. Il faut que la remise à zéro du compteur soit initiée par la détection d'une traversée de niveaux ou d'un ordre de remise à zéro globale du circuit LC-ADC. De plus, elle ne doit pas être prise en compte instantanément avec la détection de la traversée de niveaux, ni à l'arrivé du front montant suivant de l'horloge. Elle doit ainsi être retardée par rapport à ces deux évènements.

Dans un second temps, en se basant sur ce scénario de fonctionnement et ces contraintes, nous définissons une logique de contrôle, présentée à la Figure 4. 12, qui gère les états de la remise à zéro en amont du compteur. Elle est divisée en cinq sous-blocs qui sont :

- une porte XOR qui génère le signal $SXOR$ entre INC et DEC,
- une bascule D qui retarde le signal $SXOR$ par une période T_c,

- une porte AND qui active la remise à zéro pendant le niveau bas de l'horloge clk,
- une deuxième porte AND qui désactive la remise à zéro avant l'arrivée du front montant de l'horloge, et
- une porte OR qui détecte l'ordre de remise à zéro ayant deux origines, Rst_{XOR} et Rst_G.

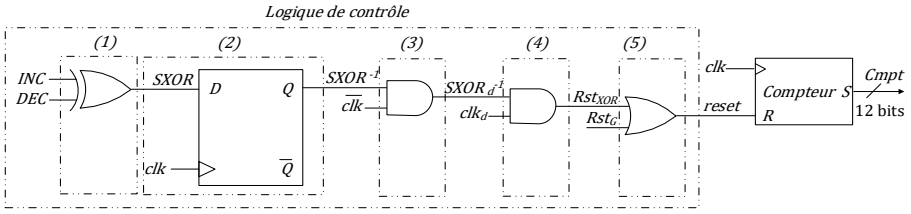


Figure 4. 12 Circuit de remise à zéro du compteur.

Les signaux utilisés par la logique de contrôle sont décrits dans le Tableau 4. 13.

Tableau 4. 13 Signaux de contrôle de la remise à zéro du compteur.

Signal	Déscription
$\overline{clk}$	sortie d'un inverseur d'entrée clk
clk_d	clk retardé de $T_c/4$
$SXOR^{-1}$	$SXOR$ retardé de T_c
$SXOR_d^{-1}$	$SXOR^{-1}$ activé sur niveau descendant de clk
Rst_{XOR}	remise à zéro du compteur suite à l'effet d'une traversée de niveau

Le signal Rst_{XOR} n'est autre que le signal $SXOR_d^{-1}$ mais désactivé avant le prochain front montant du signal d'horloge clk. Ainsi, d'un côté, nous employons le signal d'horloge, clk, pour synchroniser le compteur. D'un autre côté, nous utilisons sa version retardée d'un quart de période T_c, clk_d, pour désactiver le signal Rst_{XOR} avant l'arrivée du front montant suivant de l'horloge clk et garantir ainsi le départ du compteur d'une valeur égale à 1. Nous pouvons alors vérifier le fonctionnement de la logique de contrôle en utilisant l'exemple de la Figure 4. 11. Tous les signaux de l'étage de suivi de temps sont ainsi schématisés dans les chronogrammes de la Figure 4. 13.

Quant au compteur à 12 bits, il a été conçu en utilisant 12 bascules D de notre bibliothèque numérique. L'expression reliant les entrées et les sorties de ces bascules est (E.4. 9), où D_i et Q_i sont l'entrée et la sortie de la $i^{ème}$ bascule, respectivement [193]. Pour le schéma logique du compteur, le système récursif dans (E.4. 9) est décrit à la Figure 4. 14 pour le cas d'un compteur modulo 16.

$$\begin{cases} D_1 = \overline{Q_1} \\ D_i = Q_1 \dots Q_{i-1} \oplus Q_i, i = 1..12 \end{cases} \quad \textbf{(E.4. 9)}$$

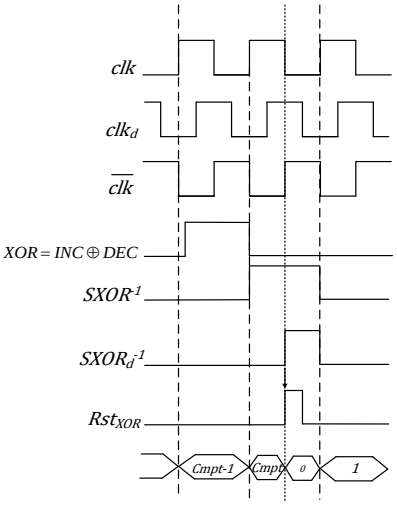


Figure 4. 13 Chronogramme détaillé de l'étage de suivi du temps.

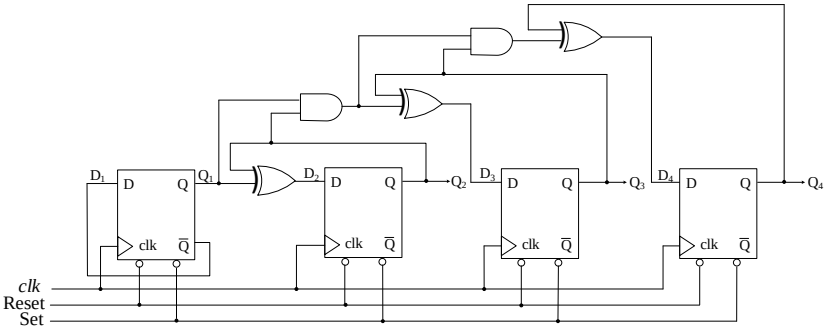


Figure 4. 14 Circuit du compteur synchrone à 4 bits.

Le fonctionnement du compteur à la fréquence 10 kHz est validé. En effet, le compteur balaye toutes les valeurs possibles puis revient à 0 après $(2^{12}+1)T_c$ égal à 409.7 ms réalisant ainsi une division de la fréquence de l'horloge par 4096. Pour vérifier le fonctionnement de l'étage de suivi du temps, le même scénario de la Figure 4. 13 est simulé. Les résultats sont donnés à la Figure 4. 15.

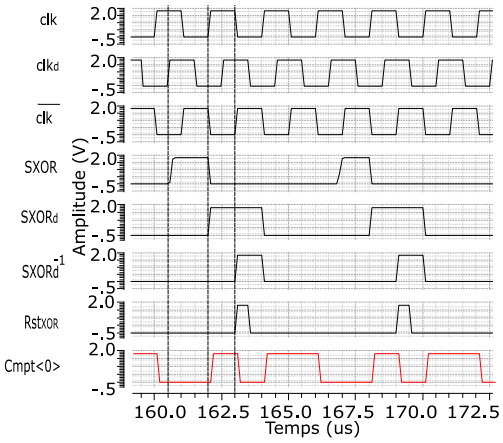


Figure 4. 15 Validation fonctionnelle de l'étage de suivi du temps.

D'après la Figure 4. 15, le premier sous-bloc de la logique de contrôle détecte la traversée de niveau et génère le signal $SXOR$. Par conséquent, la sortie du deuxième sous-bloc, qui est la bascule D, est actualisée à l'arrivé du front montant de l'horloge. Grâce à la porte

AND du troisième sous-bloc, l'impulsion non-nulle de $SXOR_d$ est restreinte sur la moitié de la période T_c uniquement. Finalement, après passage par la porte AND du quatrième sous-bloc, le signal Rst_{XOR} est activé simultanément avec ${SXOR_d}^{-1}$ mais remis à zéro à l'arrivée du front descendant de l'horloge clk_d provoquant ainsi la remise à zéro asynchrone du compteur.
Etant d'une importance primordiale pour l'étage de suivi du temps mais aussi pour la synchronisation des registres de l'étage de mise à jour des niveaux de références et l'étage de sortie, nous décrivons dans la sous-section suivante la génération du signal d'horloge avec deux méthodes comme présenté à la Figure 4. 2.

4.3.6. Conception du générateur du signal d'horloge

Tel que montré à la Figure 4. 2, nous avons défini deux méthodes pour générer le signal d'horloge. Le premier générateur est un oscillateur en anneau, souvent utilisé en technologie CMOS. Il s'agit d'une cascade d'un nombre impair, N_{inv}, d'inverseurs connectés en anneau. En partant d'un état initial nul du signal de sortie, celui-ci alterne des '0' et '1' de façon continue. Chaque inverseur introduit un délai de propagation, $t_{p_{inv}}$, définissant ainsi la fréquence d'oscillation F_{osc} (E.4. 10).

$$F_{osc} = \frac{1}{2N_{inv}t_{p_{inv}}} \qquad \textbf{(E.4. 10)}$$

Comme indiqué en Annexe E, en technologie CMOS 180 nm UMC, le délai de propagation dans un inverseur est 28 ps. De ce fait, pour atteindre une fréquence d'oscillation égale à 500 kHz, il faut un minimum de 35715 inverseurs. Pour éviter la mise en œuvre de ce nombre aussi élevé d'entités d'inverseurs, nous proposons une solution plus simple qui consiste d'abord à concevoir un oscillateur de haute fréquence F_{osc}, utilisant un nombre acceptable d'inverseurs, puis faire une division de fréquence d'un facteur 2^{m_c} à l'aide d'un compteur asynchrone de m_c bits. La fréquence du signal d'horloge ainsi obtenue est donnée par (E.4. 11).

$$F_C = \frac{F_{osc}}{2^{m_c}} \qquad \textbf{(E.4. 11)}$$

En utilisant uniquement 35 inverseurs, nous avons réalisé un oscillateur capable de délivrer une fréquence variable entre 86 MHz et 1 GHz en variant une tension de contrôle, V_{ctrl}, entre 500 mV et 1.8 V, respectivement. Pour faire la division de fréquence, deux compteurs 10 bits et 4 bits, sont réalisés par mise en série de 10 et 4 bascules D, respectivement. L'exemple du compteur à 10 bits et le schéma complet du générateur interne du signal d'horloge sont présentés à la Figure 4. 16 et la Figure 4. 17, respectivement.

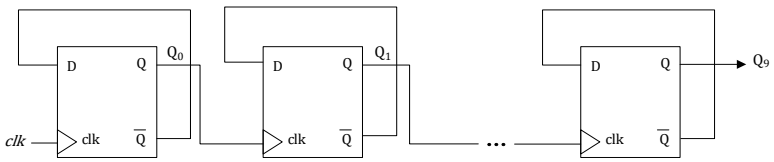


Figure 4. 16 Compteur asynchrone à 10 bits.

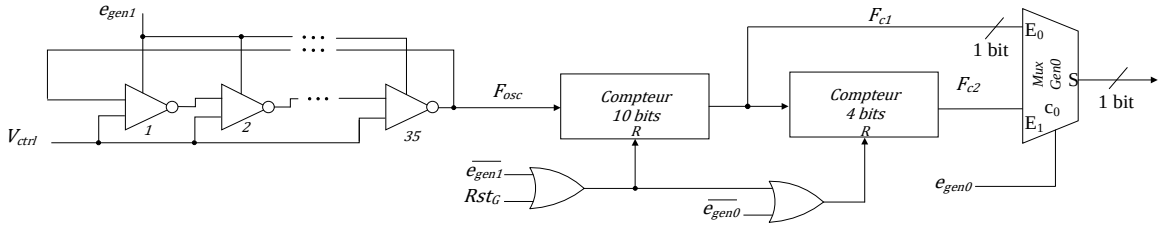


Figure 4. 17 Premier générateur du signal d'horloge.

Grâce aux deux bits de contrôle e_{gen_0} et e_{gen_1}, au multiplexeur $MuxGen0$ et à la tension V_{ctrl}, les deux fréquences 10 kHz et 500 kHz sont envisageables. Il est également possible d'activer ou désactiver l'oscillateur. Dans le cas d'un signal ECG, les deux bits de contrôle sont activés. Les deux compteurs sont ainsi utilisés. Sinon, dans le cas du signal sinusoïdal, uniquement le compteur à 10 bits est sollicité. Les scénarios de fonctionnement en fonction des paramètres de l'oscillateur sont résumés dans le Tableau 4. 14 et le Tableau 4. 15.

Tableau 4. 14 Table d'activation du générateur numérique.

Rst_G	e_{gen_1}	e_{gen_0}	Horloge interne
0	0	x	désactivée
0	1	0	activée à la fréquence 500 kHz
0	1	1	activée à la fréquence 10 kHz
1	x	x	désactivée

Tableau 4. 15 Configuration du générateur numérique du signal d'horloge en fonction de la fréquence désirée.

	10 kHz	**500 kHz**
F_{osc}	163.84 MHz	512 MHz
V_{ctrl}	750 mV	880 mV
Compteur 10 bits	Utilisé	Utilisé
Compteur 4 bits	Utilisé	Non-utilisé

Dans le cas de désactivation du générateur interne, nous avons envisagé la deuxième méthode en générant le signal d'horloge à partir de deux signaux appliqués par voie externe. Pour ce faire, un signal sinusoïdal, V_{clk}, d'amplitude crête à crête, $V_{pp_{clk}}$, et de fréquence F_{clk} est comparé à une tension de référence, $V_{ref_{clk}}$, de valeur appartenant à la plage de variation de la sinusoïde et strictement inférieure à sa valeur maximale. Le schéma du deuxième générateur du signal d'horloge est donné à la Figure 4. 18. Le comparateur utilisé est identique à celui conçu pour l'étage de comparaison. Nous avons donc respecté la plage d'entrée admissible par le comparateur dans notre choix de $V_{pp_{clk}}$ et $V_{ref_{clk}}$. Ce deuxième générateur est aussi commandé par e_{gen_0} et e_{gen_1} à travers les deux commutateurs CMOS identiques Sw_{gen0} et Sw_{gen1}. Les entrées du comparateurs sont ainsi reliées à la masse quand les deux bits sont nuls et reliées aux signaux analogiques en activant uniquement e_{gen_0}.

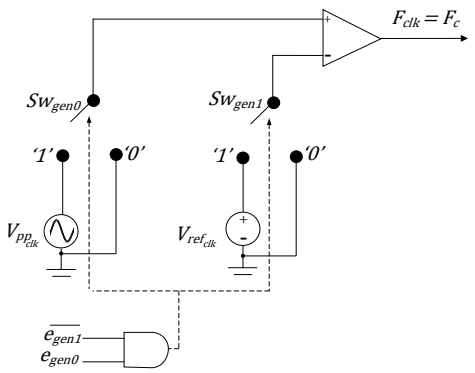


Figure 4. 18 Deuxième générateur du signal d'horloge à base d'un comparateur analogique.

Finalement, pour gérer le fonctionnement de l'étage global de génération du signal d'horloge en offrant la possibilité de choisir le générateur à utiliser et sa fréquence, nous avons introduit deux autres multiplexeurs, $MuxGen1$ et $MuxGen2$, contrôlés à leur tour par e_{gen_0} et e_{gen_1}, tel que décrit à la Figure 4. 19. Le fonctionnement logique de l'étage ainsi conçu est résumé dans le Tableau 4. 16.

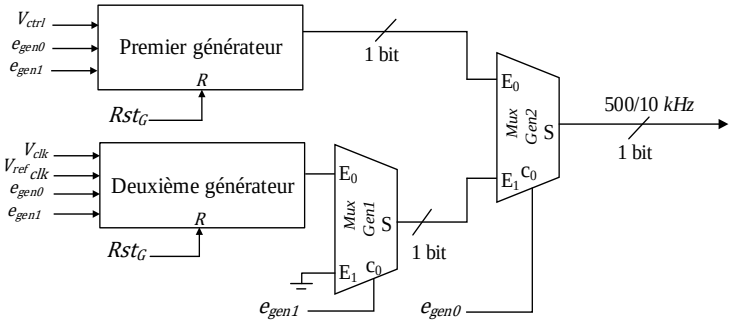


Figure 4. 19 Générateur du signal d'horloge.

Tableau 4. 16 Table d'activation du générateur du signal d'horloge.

Rst_G	e_{gen_1}	e_{gen_0}	Horloge clk
0	0	0	désactivée
0	0	1	activée à la fréquence F_{clk}
0	1	0	activée à la fréquence 500 kHz
0	1	1	activée à la fréquence 10 kHz
1	x	x	désactivée

En fonction de la valeur de F_c, deux scénarios de test ont été effectués, d'abord en utilisant la configuration décrite à la deuxième colonne du Tableau 4. 15 et en balayant toutes les combinaisons possibles de e_{gen_0} et e_{gen_1}, ensuite en suivant la configuration de la troisième colonne pour les mêmes valeurs de e_{gen_0} et e_{gen_1}. Le signal Rst_G est maintenu inactif. Les résultats de simulation sont présentés à la Figure 4. 20. Pour cet exemple, nous avons choisi $V_{pp_{clk}}$ égale à 600 mV avec une composante continu de 1.1 V et une amplitude de $V_{ref_{clk}}$ égale à 1.2 Vconformément à la plage admissible à l'entrée du comparateur entre 0.6 et 1.6 V.

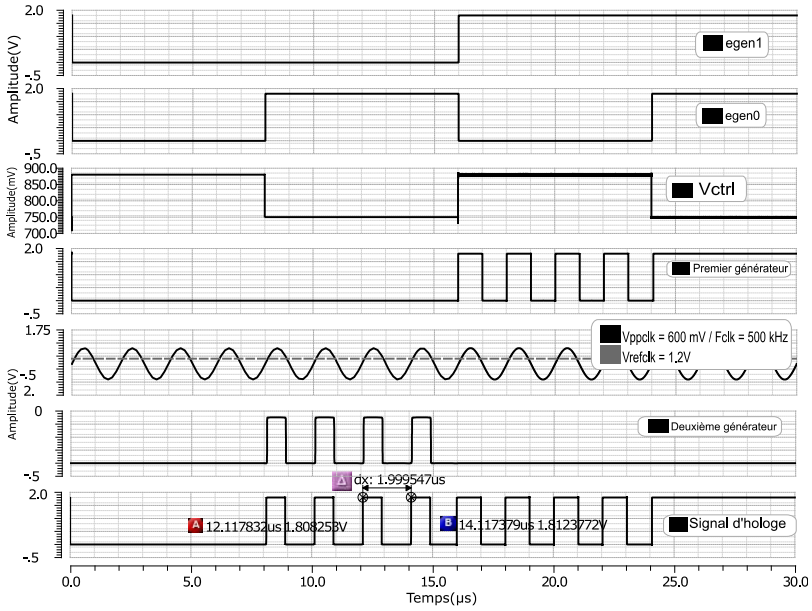


Figure 4. 20 Simulations de l'étage de génération du signal d'horloge la fréquence 500 *kHz*.

Pour un signal d'horloge, les étages de la partie numérique fonctionnent à la même fréquence. De plus, leur activation est conditionnée par la détection d'une traversée de niveau. Nous enchainons dans la sous-section suivante avec la conception des étages numériques en se focalisant sur les composants de l'étage de sortie.

4.3.7. Conception de l'étage de sortie

A la détection d'un évènement, l'étage de sortie sélectionne la valeur numérique du niveau traversé parmi $S1$ et $S2$ en plus de la valeur quantifiée de l'intervalle du temps. En cas d'inactivité du signal analogique, les valeurs sélectionnées à l'issu du dernier évènement détecté sont maintenues. Tel que décrit à la Figure 4. 2, la structure du sous-étage de sélection d'amplitude est une mise en parallèle de deux multiplexeurs en cascade avec un troisième. La sortie de ce dernier est rebouclée sur l'entrée des deux multiplexeurs en parallèle à travers un registre à 8 bits.

Les seules modifications apportées par rapport au modèle MATLAB/SIMULINK sont les connexions de $S1$ et $S2$ en sortie de $AccH$ et $AccL$, respectivement, aux entrées E_1 et E_0 des deux multiplexeurs $MuxH$ et $MuxL$, respectivement. En effet, au passage du signal $SXOR$ à '1', les accumulateurs n'actualisent leur contenu qu'à l'arrivée du front montant de l'horloge. Ceci donne le temps nécessaire aux multiplexeurs pour sélectionner la sortie d'amplitude parmi les valeurs non actualisées de $S1$ et $S2$. Ainsi, contrairement au modèle MATLAB/SIMULINK de la Figure 2.3 et la description dans le Tableau 2.1, nous relions $S1$ à l'entrée E_0 de $MuxL$ et $S2$ à l'entrée E_1 de $MuxH$, comme montré à la Figure 4. 2. Par conséquent, $S1$ est sélectionné en cas d'une traversée de niveau ascendante du signal et vice-versa.

Pour la réalisation de cet étage, nous avons utilisé trois multiplexeurs à 8 bits de type 2 vers 1 et un registre à 8 bits identiques à ceux conçus au niveau de l'étage de mise à jour des niveaux de références.

Au niveau de l'étage de sélection du temps, qui représente la deuxième partie de l'étage de sortie, nous avons conçu un multiplexeur et un registre à 12 bits conformément à la description de la Figure 4. 2. Quand un évènement est détecté, le multiplexeur délivre la sortie du compteur vers le registre. Ceci doit être fait en respectant les contraintes suivantes afin d'éviter la livraison d'intervalles de temps nuls à la sortie du LC-ADC.

- La sortie du compteur à recopier est la valeur établie qui précède la remise à zéro.
- Au moment de la remise à zéro du compteur, le multiplexeur doit livrer la sortie rebouclée du registre. Son signal de contrôle doit être donc désactivé.

Ces deux conditions nous permettent d'identifier le schéma de synchronisation du signal de contrôle, c_0, du multiplexeur $Mux\ TI$ en fonction du signal d'horloge et de l'activation de $SXOR^{-1}$, comme illustré à la Figure 4. 21. Lorsque la valeur $Cmpt$ commence à s'établir en sortie du compteur, elle est livrée vers le registre et recopiée en sortie du LC-ADC. Le registre à 12 bits est synchronisé au signal d'horloge retardé, clk_d, afin de permettre au registre de recopier la dernière valeur de comptage avant la remise à zéro du compteur.

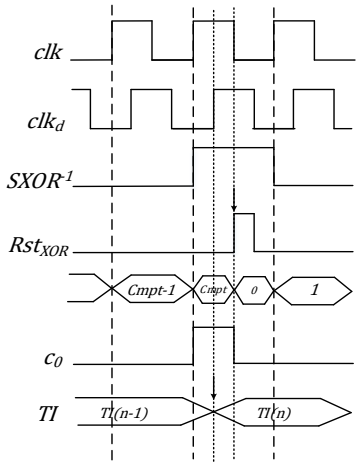


Figure 4. 21 Activation du multiplexeur pour lecture de la valeur du compteur avant remise à zéro.

De cette manière, la sortie TI du LC-ADC est actualisée après mise à jour du compteur et avant écoulement de la période du signal d'horloge, clk. Nous avons ainsi conçu le multiplexeur à 12 bits de type 2 vers 1 et le registre à 12 bits, décrits à la Figure 4. 22. De plus, le signal de contrôle, c_0, est généré en utilisant une porte AND autre que les deux portes AND utilisées au niveau de la logique de contrôle pour la remise à zéro du compteur. Cette porte prend en entré le signal d'horloge clk_d retardé par $T_c/4$ par rapport à clk et le signal $SXOR^{-1}$ retardé par T_c par rapport au signal $SXOR$. Pour valider la conception de ce circuit, nous activons le signal $SXOR$ à trois reprises telles que présentées à la Figure 4. 23, où S_{muxout} représente la sortie de $Mux\ TI$.

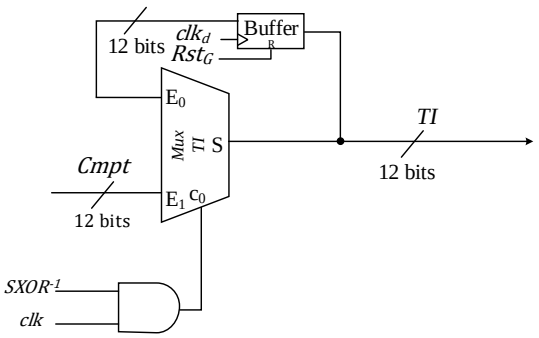


Figure 4. 22 Etage de sélection du temps.

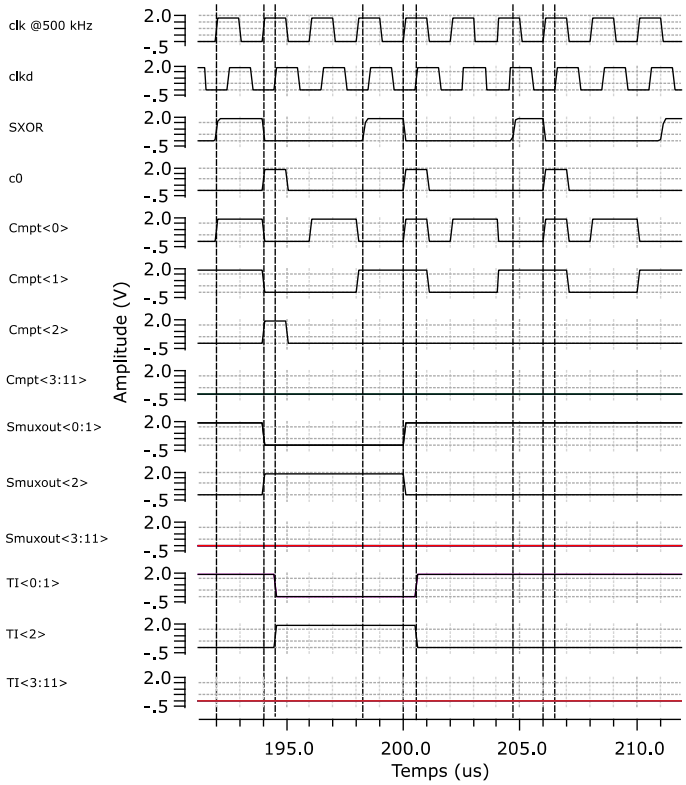


Figure 4. 23 Simulations fonctionnelles de l'étage de sélection du temps.

Au moment de la première activation du signal $SXOR$, la valeur du compteur est égale à 3. Elle est ensuite incrémentée de 1 à l'arrivée du front montant suivant de l'horloge. Dès établissement de la valeur 4 à la sortie du compteur, le signal de contrôle, c_0, est activé et la valeur 4 est sélectionnée par le multiplexeur. Finalement, au front montant de l'horloge retardée, clk_d, cette valeur est recopiée par le registre à 12 bits. De la même manière, le signal de sortie, TI, prend la valeur 3 deux fois de suite à l'activation du signal $SXOR$ aux instants 198.4 µs et 204.8 µs.

Ainsi, après avoir fait l'implémentation des schémas électroniques de la partie numérique suivis par les validations fonctionnelles mais aussi le dimensionnement, l'implémentation et la caractérisation de la partie analogique, nous décrivons dans la section suivante les résultats de la validation du schéma électronique global du circuit proposé.

4.4. Validation de la conception

Idéalement, la validation de la conception se fait telle que présentée à la Figure 4. 1, en effectuant la validation du schéma électronique dimensionné du LC-ADC puis en passant à la réalisation du dessin des masques. Dans notre cas, comme nous avons suivi une approche conception bottom-up aussi pour la partie numérique, et afin d'optimiser le temps de la réalisation du dessin des masques, nous avons commencé cette étape parallèlement à l'étape de validation du schéma électronique global. Ainsi, nous nous intéressons dans cette section à l'analyse de la réponse du circuit dans un premier temps. Puis, à la présentation des premiers résultats de réalisation du dessin des masques dans un deuxième temps. Nous clôturons par une discussion sur les performances de notre circuit en comparaison avec les résultats existants dans la littérature.

4.4.1. Simulation du schéma électronique global

La simulation du circuit LC-ADC au niveau schématique permet de vérifier que le dimensionnement des composants du circuit mène bien aux formes d'ondes finales désirées. Dans ce type de simulation qui englobe tous les composants du circuit, il est nécessaire de prendre en compte les paramètres de simulation liés au simulateur et au LC-ADC afin d'avoir le temps de simulation le plus court possible. Les paramètres liés au simulateur qui influent sur le temps de simulation sont la méthode d'intégration qui définit la fréquence d'échantillonnage interne, la tolérance d'erreur qui définit la précision de calcul des données et la période d'échantillonnage des données à afficher ou à stocker [182].

Principalement, le paramètre lié au circuit LC-ADC qui influe sur la durée de simulation est le temps de montée ou de descente minimal spécifié pour la génération des tensions de référence des DACs ou le signal d'horloge. Cette information temporelle est utilisée par le simulateur pour ajuster la fréquence d'échantillonnage interne. Le Tableau 4. 17 résume les choix optimaux pour réduire au maximum la durée de simulation du circuit LC-ADC.

Tableau 4. 17 Conditions de simulation.

Temps de montée ou descente	Méthode d'intégration	Temps de simulation maximal*	Période d'échantillonnage pour affichage**
$50\ ps/20\ ns$	''Liberal'': meilleur compromis entre rapidité et précision de calcul	$T_{rf}/80$ avec $T_{rf} < 100\ ns$	$0.25T_C$

* T_{rf} : temps de montée/descente le plus court dans la simulation
** T_C : période du compteur LC-ADC

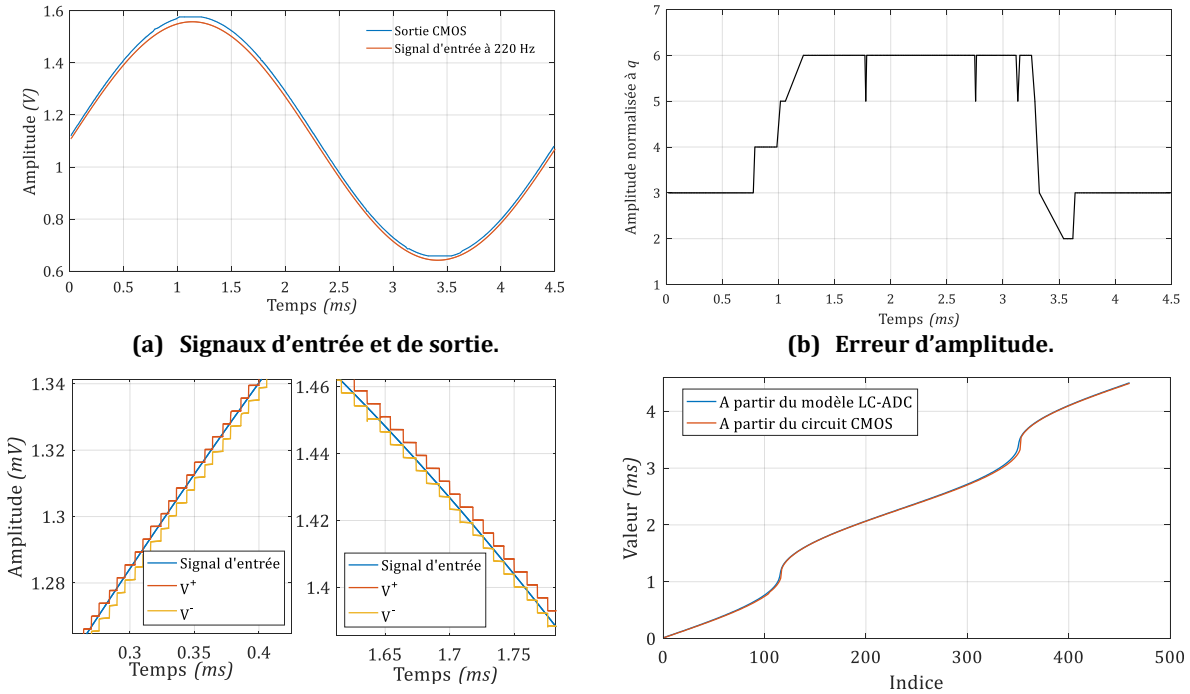
En effet, nous avons choisi un temps de monté de 50 ps spécialement pour le signal d'horloge clk et sa version retardée, clk_d, pour éviter tout disfonctionnement du circuit lié à un temps de montée large du signal d'horloge. Pour le reste des signaux, notamment les tensions de références des DACs, le temps de montée est augmenté à 20 ns. Pour la validation fonctionnelle du LC-ADC, le circuit global est simulé par application d'abord d'un signal sinusoïdal puis d'un signal ECG, tels que décrits au Tableau 4. 18. Comme le signal sinusoïdal est destiné à la caractérisation du circuit, il est possible d'ajuster son

amplitude à la pleine échelle [0.6, 1.6] V en utilisant le générateur de signaux. Le passage par le circuit du préamplificateur est dans ce cas inutile. Par ailleurs, pour une réduction supplémentaire du temps de simulation et comme il s'agit d'une simulation fonctionnelle du LC-ADC, nous utilisons un signal d'horloge idéal.

Tableau 4. 18 Signaux de test du circuit LC-ADC.

Nature	Amplitude Vpp	Fréquence maximale	Composante continue	Pré-amplification	Horloge
Sinusoïdale	916 mV	220 Hz	1.1 V	non	idéale
Modèle gaussien d'ECG normal	1.9 mV	50 Hz (onde R)	0.1 mV	oui	idéale

La Figure 4. 24 présente les signaux d'entrée et de sortie du circuit LC-ADC dans le cas du signal sinusoïdal selon les conditions de test du Tableau 4. 17. Le signal de sortie est obtenu en convertissant les bits des signaux ECG_s et TI en format décimal, puis en les multipliant par les valeurs idéales de q et T_c, égales à 3.9 mV et 2 µs, respectivement, et en calculant les instants de traversées de niveaux à partir des intervalles de temps, TI.



(a) Signaux d'entrée et de sortie. **(b) Erreur d'amplitude.**

(c) Formes d'ondes des signaux de références. **(d) Instants de traversées de niveaux.**

Figure 4. 24 Simulation fonctionnelle du circuit avec un signal sinusoïdal de fréquence 220 *Hz*.

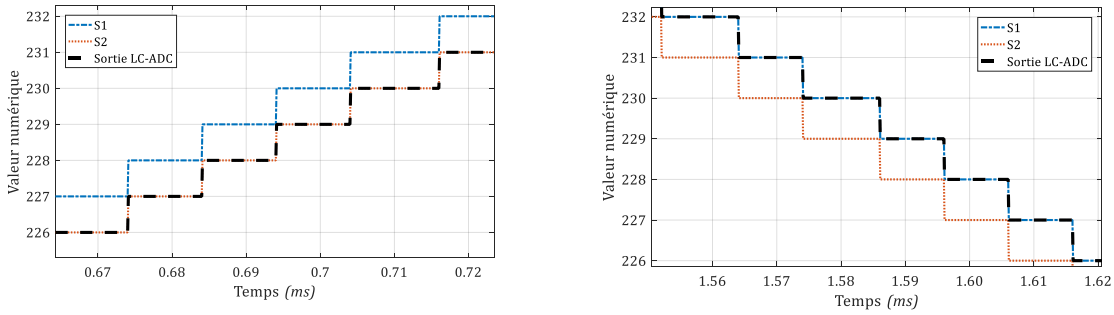
A partir de la Figure 4. 24, nous constatons les résultats suivants.

- Les valeurs d'amplitudes en sortie du circuit sont légèrement décalées par rapport au signal d'entrée, telles que le montre la Figure 4. 24 (a).
- Le décalage est quasiment constant sauf autour des crêtes de la sinusoïde. Il s'agit d'un offset positif qui varie le plus souvent entre 3q et 6q. L'erreur est quasiment constante sur les zones ascendantes et descendantes mais elle peut varier autour des deux crêtes, tel que décrit par la Figure 4. 24 (b).
- Le signal sinusoïdal est constamment limité entre deux niveaux de références consécutifs, tel que présenté à la Figure 4. 24 (c). Nous en déduisons que la

détection des traversées de niveaux et la mise à jour des valeurs numériques et analogiques des niveaux de références se fait correctement.

- Globalement, les instants des traversées de niveaux calculés à partir des intervalles de temps en sortie du circuit CMOS coïncident avec la sortie du modèle MATLAB/SIMULINK comme le montre la Figure 4. 24 (d).

Puisque l'erreur de décalage peut être liée à l'étage de mise à jour des niveaux de références comme à l'étage de sélection d'amplitude ou encore aux DACs, nous avons commencé par la vérification du fonctionnement des deux étages numériques. Ainsi, nous présentons à la Figure 4. 25, des exemples de variations du signal de sortie de l'étage de sélection d'amplitude, ECG_s, et des signaux de sortie de l'étage de mise à jour des niveaux de références, $S1$ et $S2$. Nous vérifions les états de ces signaux en fonction de la direction des traversées de niveaux. Ainsi, d'après la Figure 4. 25, conformément à notre conception de ces étages, d'un côté, les valeurs de $S1$ et $S2$ s'incrémentent de 1 LSB pendant les variations croissantes du signal et se décrémentent de 1 LSB dans le cas contraire. D'un autre côté, en fonction de la direction de la traversée de niveau, la valeur générée par le LC-ADC est égale à $S1$ si le signal est croissant et correspond à $S2$ sinon. De plus, la valeur choisie est maintenue constante jusqu'à la détection d'un évènement. Nous pouvons donc conclure que l'erreur de décalage provient des DACs.



(a) Pente positive. **(b) Pente négative.**

Figure 4. 25 Vérification des signaux de sortie de l'étage de mise à jour des niveaux de références et de l'étage de sélection d'amplitude.

Afin de caractériser cette erreur au niveau des DACs, nous avons eu recourt aux valeurs mesurées des niveaux de références, que nous notons V_m^+ et V_m^- mais aussi aux signaux mesurées $S1$ et $S2$, que nous multiplions par la valeur théorique de q pour représenter les valeurs idéales, V^+ et V^-. L'analyse de ces signaux nous a permis d'identifier deux anomalies qui ont contribué au décalage positif. Tout d'abord, en calculant la différence entre chaque deux valeurs successives dans $S1$ et dans $S2$, respectivement, nous avons déterminé les variations de q mesurées, notées q_m, telles que présentées à la Figure 4. 26. Idéalement, ces différences doivent être constantes et égales à q, mais effectivement elles varient entre et 0 et q en valeur absolue avec dans certains cas des glitchs qui varient entre $-2q$ et q. Ces glitchs représentent au maximum 0.0056 de la durée d'un code numérique.

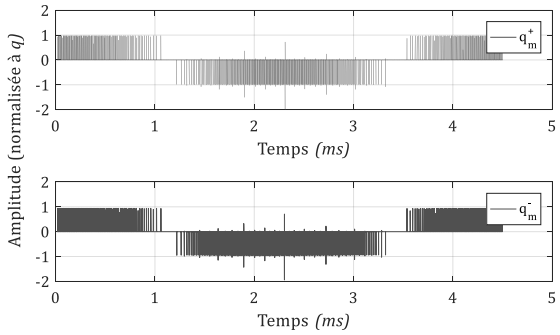
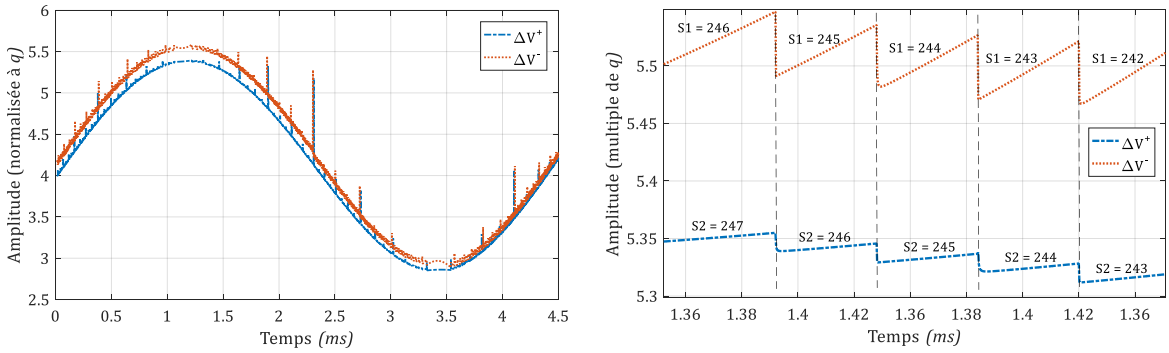


Figure 4. 26 Variations du pas de quantification mesuré.

La première erreur consiste donc en des valeurs de q_m inférieures au pas de quantification idéal, q. Cette erreur engendre nécessairement des différences ΔV^+ et ΔV^-, entre les valeurs idéales, V^+ et V^-, et les valeurs mesurées, V_m^+ et V_m^-, respectivement. En utilisant (E.4. 12), nous quantifions cette erreur par rapport à q, telle que présentée à la Figure 4. 27 (a).

$$\begin{cases} \Delta V^+ = \dfrac{S1 \times q - V_m^+}{q} \\ \Delta V^- = \dfrac{S2 \times q - V_m^-}{q} \end{cases} \qquad \textbf{(E.4. 12)}$$

Par ailleurs, en analysant de près une portion de la courbe de l'erreur d'amplitude du DAC telle que décrite à la Figure 4. 27 (b), nous remarquons l'évolution croissante de la valeur de l'erreur pour un code numérique constant. Cette décroissance est une conséquence directe d'une chute de tension progressive observée à la sortie des DACs.



(a) Variation de l'erreur sur une période.

(b) Illustration zoomée d'une portion de la courbe.

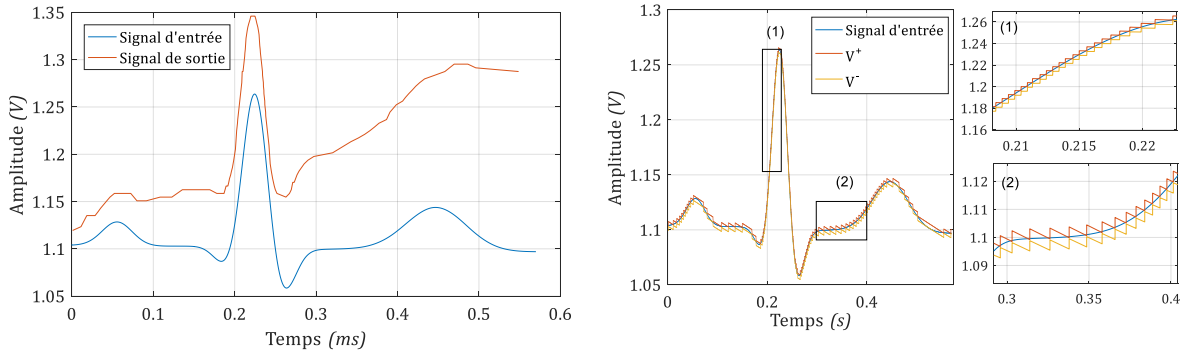
Figure 4. 27 Variations de l'erreur entre les niveaux de références théoriques et mesurés.

Ce phénomène est dû à des courants de fuites, I_{fuite}, dans chaque capacité du réseau binaire du DAC car pratiquement, la couche de diélectrique utilisée entre les armatures métalliques de la MIMCAP ne peut pas avoir une résistance infinie [194]. Nous pouvons ainsi définir la résistance d'isolement du diélectrique, R_i, souvent modélisée en parallèle à la capacité [195]. Ainsi, un léger courant de fuite est inévitable si une différence de potentiel est appliquée. L'existence de la résistance avec le passage d'un courant faible implique une différence de potentiel, ΔV, proportionnelle au courant de fuite.

L'effet des courants de fuites commencent à apparaître avec l'application d'une différence de potentiel aux bornes de la capacité. Il est maximal au départ puis il décroit avec la charge de la capacité. Le courant de fuite dépend de la période de charge, de la tension de référence appliquée aux armatures mais aussi de la température. Ce phénomène explique la chute de tension progressive à la sortie du DAC. L'erreur d'amplitude est ainsi maximale autour des crêtes de la sinusoïde où les intervalles de temps séparant les deux points de la crête sont maximaux par rapport au reste du signal. Ils sont de l'ordre de 0.216 ms et sont donc équivalents à 108 périodes de l'horloge.

Finalement, nous pouvons conclure qu'avec la décharge progressive des tensions de sorties des deux DACs, le signal à l'entrée du LC-ADC est réellement comparé à des valeurs de références inférieures aux valeurs théoriques. De ce fait, la multiplication des valeurs numériques du signal de sortie par la valeur idéale de q implique un signal à amplitude supérieure au signal original. C'est ainsi que nous obtenons une amplitude positive des erreurs ΔV^+ et ΔV^-.

Dans le cas du modèle gaussien de l'ECG, la fréquence maximale ne dépasse pas 50 Hz et les intervalles de temps maximaux sont autour de 53 ms, équivalente à 245 fois l'intervalle de temps maximal calculé dans le cas du signal sinusoïdal. Nous supposons alors que le décalage devrait être plus important avec le signal ECG. Pour valider notre analyse de l'erreur de décalage en confirmant cette supposition et avant d'envisager la méthode de correction, nous simulons le LC-ADC avec le modèle gaussien du signal ECG. Ainsi, des illustrations des différents signaux sont données à la Figure 4. 28 (a) et (b).

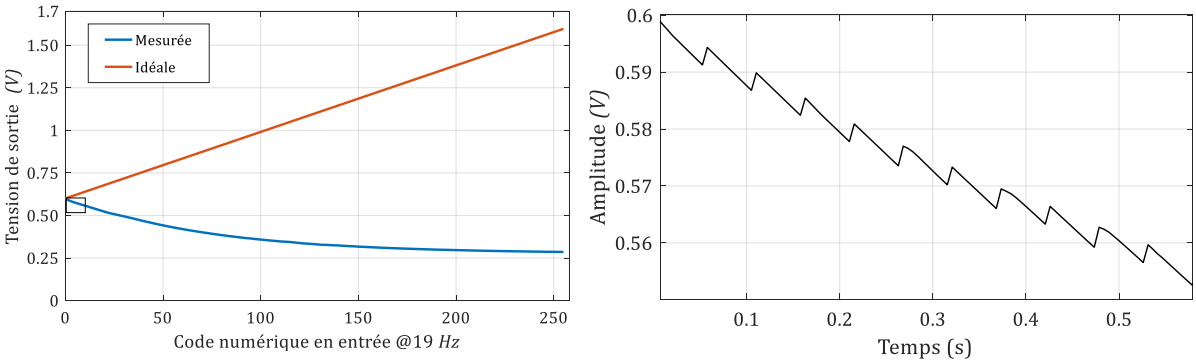


(a) Forme d'onde du signal de sortie. **(b) Formes d'ondes des signaux de références.**

Figure 4. 28 Simulation fonctionnelle du circuit avec le modèle gaussien.

Les simulations avec le signal ECG montrent une erreur de décalage croissante et beaucoup plus importante que dans le cas du signal sinusoïdal. Elle varie entre 80 mV et 190 mV. Particulièrement, tel que le montre la Figure 4. 28 (b), certes les niveaux de références, V^+ et V^-, sont actualisés après chaque traversée de niveau mais leurs valeurs analogiques ne se maintiennent pas constantes entre deux traversées de niveaux successives. Par ailleurs, nous remarquons, d'après la Figure 4. 28 (a) et les zones zoomées (1) et (2) dans la Figure 4. 28 (b), que cette décroissance se produit uniquement au niveau des ondes P et T ainsi que les segments. Au niveau du complexe QRS, où la fréquence est de l'ordre de 50 Hz, l'erreur d'amplitude est moins faible.

En considérant la valeur maximale des intervalles de temps générés par le LC-ADC, égale à 526 et équivalente à une période temps égale à 52.6 ms, nous avons simulé la caractéristique du DAC en faisant varier les codes numériques à la fréquence 19 Hz, l'inverse de 52.6 ms. La caractéristique du DAC est ainsi présentée à la Figure 4. 29 (a). De plus, nous présentons à la Figure 4. 29 (b), un exemple de la variation de la réponse du DAC en fonction du temps entre les mots binaires ''00000000'' et ''00001011'' qui correspondent théoriquement à 600 mV et 639.1 mV, respectivement. D'après ces deux figures, nous remarquons que le réseau capacitif du DAC se décharge au cours du temps. Cette décharge implique une caractéristique à valeurs non seulement décroissantes mais aussi à variations non-linéaires.



(a) Courbe de transfert du DAC. **(b) Exemple des variations de la tension de sortie du DAC en fonction du temps.**

Figure 4. 29 Simulation fonctionnelle du DAC pour des variations des codes binaires à la fréquence 19 *Hz*.

Ainsi, le dimensionnement des DACs, particulièrement le choix de la valeur de la capacité élémentaire C_0, doit être révisé. Dans [196], les auteurs discutent le choix de la valeur de la capacité élémentaire pour l'exemple d'un DAC à redistribution de charge en tenant compte de :

- la valeur maximale de l'erreur de tension, ΔV_{max}, engendrée par les courants de fuites, qui selon notre étude du chapitre 2, doit être négligeable en valeur absolue par rapport à q,
- la fréquence minimale du fonctionnement des DACs, f_{min}, sans introduire l'erreur de tension,
- la configuration du réseau capacitif en fonction des codes numériques d'entrée, représentée par une capacité équivalente, C_{feq}, qui introduit le courant de fuite maximal et par suite l'erreur de tension maximale.

Ce raisonnement est aussi applicable à notre DAC également basé sur la charge d'un réseau capacitif. Ainsi, en évaluant l'expression de la capacité équivalente, C_{feq}, en fonction de C_0, la charge de fuite est égale à (E.4. 13) en fonction du courant de fuite et à (E.4. 14) en fonction de l'erreur maximale de tension qui en résulte, où Δt_{max} est l'intervalle de temps maximal séparant deux traversées de niveaux successives équivalent à un code numérique constant à l'entrée des DACs. En effet, l'inverse de cet intervalle de temps définit la fréquence minimale, f_{min}, supportée par le circuit sans introduire des

chutes de tension supérieures à ΔV_{max} par rapport aux valeurs idéales de V^+ et V^-. En utilisant (E.4. 13) et (E.4. 14), C_{feq} est donnée par (E.4. 15).

$$\Delta Q = I_{fuite}\Delta t_{max} \quad \textbf{(E.4. 13)}$$

$$\Delta Q = C_{feq}\Delta V_{max} \quad \textbf{(E.4. 14)}$$

$$C_{feq} = \frac{I_{fuite}}{f_{min}\Delta V_{max}} \quad \textbf{(E.4. 15)}$$

Par conséquent, il faut déterminer l'expression du courant de fuite, qui dépend nécessairement des caractéristiques internes du diélectrique. Pour ce qui est de l'expression de C_{feq}, nous pouvons utiliser notre code développé pendant la phase de dimensionnement du DAC pour le calcul de l'impédance équivalente du DAC. Ainsi, une fois que nous identifions le code numérique qui engendre le courant de fuite maximal, nous simulons les variations de C_{feq} en fonction de C_0 pour déterminer la valeur de C_0 qui assure (E.4. 15).

En effet7, en augmentant la valeur de la capacité élémentaire C_o à 1 pF, qui représente la valeur maximale admissible par la technologie CMOS 180 nm UMC pour le type MIMCAP, nous avons obtenu les résultats de simulation avec le modèle gaussien du signal ECG donnés à la Figure 4. 30. Pour faire la reconstruction, nous supprimons les redondances en gardant uniquement les points associés à des fronts montants du signal $SXOR$ à la sortie de la porte XOR entre INC et DEC. Après interpolation linéaire à la fréquence 10 kHz, le PRD calculé est égal à 5.5 %. Ce résultat reflète une dégradation égale à 3.11 % par rapport à la valeur simulée en utilisant le modèle LC-ADC avec erreur de quantification du temps. Avec la possibilité d'apparition d'erreurs supplémentaires après fabrication du circuit, nous avons une marge de 3.5 % de la valeur maximale du PRD.

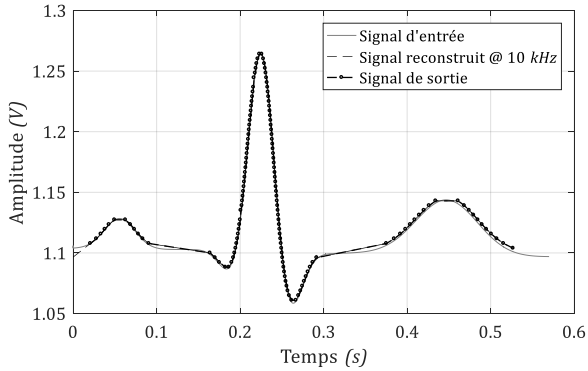


Figure 4. 30 Signal ECG reconstruit.

En utilisant le dimensionnement initialement proposé pour les DACs avec une valeur de C_0 égale à 14.5 fF, nous avons évalué la consommation moyenne de puissance des étages du circuit en appliquant les scénarios de tests donnés au Tableau 4. 18. Une estimation de la consommation moyenne de puissance dans les deux cas du signal sinusoïdal et du signal ECG est ainsi résumée au Tableau 4. 19. Pour le cas du signal sinusoïdal, la durée totale de la conversion est égale à 4.5 ms. Elle est augmentée à 570 ms avec le signal ECG.

Tableau 4. 19 Bilan de la consommation de puissance des étages du circuit et consommation totale.

	Consommation de puissance (μW)	
Etage	**Signal sinusoïdal**	**Modèle gaussien du signal ECG**
Pré-amplification	-	70.6
Comparaison	0.914	116.6
Conversion numérique-analogique	0.223	5.644
Mise à jour des niveaux de références	0.871	0.76
Suivi du temps	0.1	7.2
Sélection d'amplitude	0.969	4.7
Sélection du temps	0.066	0.0094
Consommation totale	3.07 μW pendant 4.5 ms	210 pendant 570 ms

Ainsi, en utilisant un signal ECG comme signal de test, 55.5 % de la consommation de puissance est attribuée aux comparateurs puis à l'amplificateur en deuxième rang avec 33.6 % de la consommation totale de puissance. Néanmoins, cette consommation de puissance des comparateurs reste faible par rapport à 710 mW, 625 mW et 5 mW qui correspondent aux trois comparateurs commercialisés décrits au Tableau 4. 9 [190], [189] et [139], respectivement.

Dans ce travail, nous avons suivi l'approche de conception bottom-up au niveau schéma électronique mais aussi pour la réalisation du dessin des masques pour les deux parties analogiques et numériques du LC-ADC. Afin d'optimiser le temps de conception du circuit, nous avons commencé l'élaboration du layout parallèlement à la validation fonctionnelle du schéma électronique global du LC-ADC. Nous décrivons dans la sous-section suivante les résultats préliminaires du dessin des masques et les contraintes respectées. Néanmoins, par manque de disponibilité d'un outil d'extraction de capacités parasites dans le layout, nous n'avons pas réalisé cette étape. De plus, des modifications seront certainement apportées en fonction des corrections des erreurs de disfonctionnement, notamment au niveau du layout des DACs dont la surface sera augmentée.

4.4.2. Résultats préliminaires du layout

Le composant le plus critique à dessiner est le DAC vu la taille élevée des capacités, représentant presque 296 fois la surface d'un transistor, et le rapport reliant les valeurs des capacités qui doit être conservé lors de l'étape de fabrication. Pour maintenir les performances des composants du circuit en maximisant l'appariement des capacités et des transistors de la partie analogique et en minimisant les effets parasites, les règles suivantes sont respectées lors de l'étape de dessin des masques :

- la répartition de la largeur de grille des transistors de la partie analogique sur plusieurs grilles parallèles de même largeur pour réduire la résistance équivalente de la grille,
- les grilles des transistors orientées dans le même sens,
- l'utilisation de capacités factices (dummy) pour garantir la symétrie pour un bon appariement des condensateurs,

- l'isolation électrique des composants du circuit par utilisation de deux couches métalliques,
- les layouts centroides pour maximiser l'appariement des paires de transistors et des capacités binaires.

Ainsi, le layout a été dessiné de façon à réduire les effets parasites dus aux variations des paramètres technologiques et des gradients de température qui altèrent les performances finales du circuit. La surface rectangulaire du DAC, décrite à la Figure 4. 31, a été réalisée sous forme centroide. Sur la partie gauche du rectangle sont posés les interrupteurs. Par ailleurs, pour maximiser l'appariement des paires de transistors identiques dans le comparateurs, la même technique de layout centroide a été utilisée pour réaliser le layout des transistors dans les miroirs de courant et dans la paire différentielle, tel que présenté à la Figure 4. 32. De plus, les transistors M_1, M_2, M_3, M_4, M_5 et M_6 ont été réalisés en répartissant leurs grilles en plusieurs grilles parallèles telles que le montre la Figure 4. 32, où m_i représente une grille élémentaire du transistor M_i.

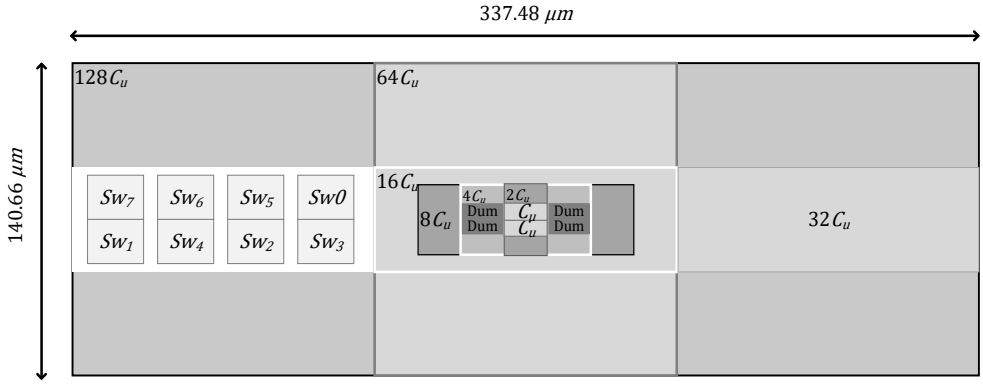


Figure 4. 31 Organisation du layout du DAC.

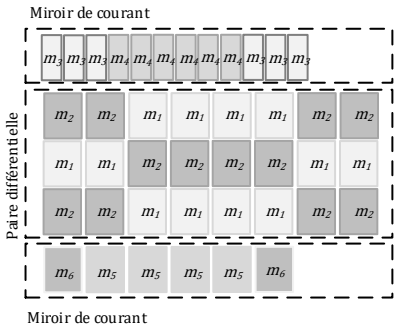


Figure 4. 32 Organisation du layout des paires de transistors identiques dans le comparateur.

Le Tableau 4. 20 résume les surfaces occupées par les composants analogiques et la partie numérique du circuit LC-ADC après réalisation de leur dessin des masques.

Tableau 4. 20 Bilan de l'occupation de surface des éléments du circuit.

Composant	Surface ($mm \times mm$)
Un DAC	0.337×0.140
Un comparateur	0.020×0.014
Préamplificateur	0.048×0.024
Partie numérique du LC-ADC et générateur du signal d'horloge	0.329×0.080

Ainsi, la puce est réalisée pour inclure l'amplificateur de tension, le générateur du signal d'horloge et les composants analogiques et numériques du LC-ADC dans une surface égale à 0.2 mm^2. Des blindages électriques en utilisant les couches métalliques pour isoler les composants du circuit sont réalisés autour de chaque composant. Le layout du circuit global est décrit à la Figure 4. 33. Certes, un travail important de dessin des masques a été réalisé mais des modifications restent à faire au niveaux des DACs en fonction des valeurs modifiées des différentes capacités. Notamment, la surface globale du circuit sera augmentée.

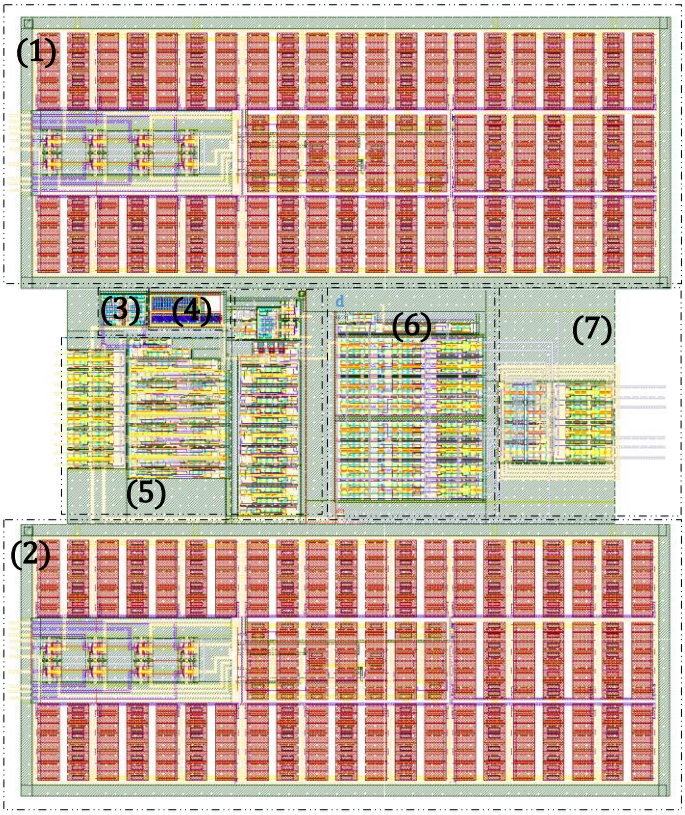


Figure 4. 33 Dessin des masques du LC-ADC où (1)-(2) représentent les DACs, (3) représente les comparateurs, (4) représente l'amplificateur de tension, (5) représente l'étage de suivi du temps et l'étage de sélection du temps, (6) représente l'étage de mise-à-jour des niveaux de références et (7) représente l'étage de sélection d'amplitude.

Ces résultats préliminaires de calcul de la consommation de puissance du circuit et de mesure de sa surface active nous permettent de comparer le LC-ADC conçu aux travaux de la littérature. Les résultats de ces comparaisons sont ainsi détaillés dans la sous-section suivante.

4.4.3. Discussion

En reprenant le Tableau 1. 14, qui résume l'état de l'art des réalisations de circuits LC-ADC dans la littérature, nous comparons les performances de notre LC-ADC avec les résultats publiés dans le Tableau 4. 21. Nous comparons essentiellement notre travail par rapport aux circuits dédiés à la numérisation du signal ECG car le signal de parole est beaucoup plus actif. Il engendre donc des consommations de puissance plus importantes. Particulièrement, à partir des courbes de variations de la consommations de puissance

fournies dans [92,119-120], nous avons relevé des approximations des valeurs de consommation de puissance de ces circuits avec un signal sinusoïdal de fréquence 220 Hz nous permettant de faire une comparaison plus précise avec la consommation de puissance de notre circuit.

En termes de précision de l'acquisition, la totalité de ces travaux calculent le SNR d'un signal sinusoïdal après numérisation par le LC-ADC et reconstruction. Des exemples de signaux ECG reconstruits sont donnés dans [92] et [117], sans indications de la valeur du PRD ou du S/D mais nous pouvons conclure par inspection visuelle du signal reconstruit dans [92] que la valeurs du PRD est inférieure à 9 %.

Tableau 4. 21 Performances de notre LC-ADC vs les résultats des circuits existants.

Référence (Application)	Type	Résolution (bits)	F_c (MHz)	Technologie CMOS	Consommation (μW) @ f_{en}	Surface (mm^2)
Notre LC-ADC-2018	Fenêtre flottante Non-adaptatif	8	0.5/0.01	180 nm, 1.8 V	3.07 @ 220 Hz	0.2
[115]-2011 (ECG)	Fenêtre flottante Adaptatif	4 à 8	1	180 nm, 0.7 V	25 @ 1.1 kHz	0.96
[113]-2013 (ECG)	Fenêtre fixe Non-adaptatif	5 à 6	50	500 nm, 3.3 V	106 @ 1 kHz	0.06
[119]-2013 (ECG)	Fenêtre fixe Adaptatif	8	-	130 nm, 0.8 V	3.2 @ 220 Hz	1.69
[120]-2013 (ECG)	Fenêtre flottante Non-adaptatif	6	0.01 à 5	180 nm, 0.8 V	3.2 @ 220 Hz	0.045
[117]-2016 (ECG)	Fenêtre flottante Non-adaptatif	8	-	180 nm, 1.25 V	2.42 @ ECG	3.8
[121]-2016 (ECG)	Fenêtre flottante Non-adaptatif	5	-	130 nm, 1.2 V	2.89 @ ECG	-
[92]-2017 (ECG)	Fenêtre fixe Non-adaptatif	4 à 8	32.77×10^{-3} à 1	350 nm, 1.8 à 2.4 V	>2.7 @ 220 Hz	0.0372

En termes de résolution et de technologie CMOS, nos choix des 8 bits et de la technologie 180 nm sont conformes à la majorité des travaux de conception dédiés au signal ECG. D'un côté, nous avons montré que la résolution 8 bits est suffisante pour conserver un PRD inférieur à 9 % pour la totalité des signaux étudiés. D'un autre côté, la technologie 180 nm est une technologie mature. Elle est donc largement utilisée par la communauté scientifique pour la conception des circuits intégrés dédiés aux applications de traitement de signaux biomédicaux avec des consommations de puissance de l'ordre de quelques microwatts.

En termes de consommation de puissance du LC-ADC, en considérant les travaux [119] et [120], nous pouvons conclure que la consommation de notre circuit est la plus faible, surtout que ces travaux sont réalisés autour de technologies plus optimisées. Enfin, notons que nos résultats en termes de consommation de puissance et surtout d'occupation de surface ne sont pas finaux car un travail supplémentaire doit être fait pour corriger l'erreur de décalage engendrée par les courants de fuites dans les réseaux capacitifs des DACs.

4.5. Conclusion

Les taux de compression des données obtenus grâce à l'échantillonnage par traversée de niveaux et la compression polynomiale nous ont motivés d'envisager la réalisation d'un prototype de l'étage de numérisation dans une perspective de proposer un prototype complet d'un système d'acquisition et de transmission des signaux ECG. Vu l'inexistence de LC-ADCs dans le commerce, la conception du circuit intégré de ce convertisseur s'avère une étape primordiale dans la réalisation du prototype souhaité. C'est ainsi que nous décrivons dans ce chapitre les travaux de conception d'un LC-ADC à 8 bits en fonction des résultats de dimensionnement déterminés dans le deuxième chapitre et en suivant une approche de conception ascendante.

Pour bien justifier cette approche de conception, nous avons présenté le flot de conception classique que nous avons suivi en fonction des outils disponibles dans le laboratoire IMS. Nous avons ensuite défini les spécifications globales du circuit en respectant les résultats de dimensionnement au niveau système tout en les adaptant aux paramètres de la technologie CMOS 180 nm UMC comme la plage de la tension d'alimentation. Par ailleurs, pour pouvoir caractériser notre circuit par application d'un signal sinusoïdal et pour s'affranchir de la plage d'amplitude réduite des signaux ECG, nous avons conçu un préamplificateur de tension et un générateur de signaux d'horloge. Les étages du modèle MATLAB/SIMULINK, ont été décrits au niveau transistor avec une tension d'alimentation de 1.8 V et une plage de variation du signal d'entrée entre 0.6 et 1.6 V. Des modifications ont été apportées au niveau des interconnexions entre l'étage de mise-à-jour des niveaux de références et de l'étage de sortie en migrant du flot de données séquentiel dans MATLAB/SIMULINK au parallélisme dans le fonctionnement des modèles électriques du simulateur Spectre.

Le circuit global est réalisé pour inclure le LC-ADC, un préamplificateur de tension avec une plage de variation admissible du signal d'entrée égale à $\pm$ 5 mV et un générateur de signal d'horloge à la fréquence 10 ou 500 kHz. La validation fonctionnelle des étages du circuit et la caractérisation de la partie analogique pendant la phase de conception ont permis de valider l'échantillonnage par traversée de niveaux tel que les états des signaux dans le circuit soient actualisés à la cadence des traversées de niveaux. Les résultats de conception du circuit ainsi conçu ont montré une occupation de surface de 0.2 mm^2 et une consommation de puissance de l'ordre de 210 µW en considérant un signal ECG de durée 0.57 s et une fréquence du compteur égale à 10 kHz. Pour l'exemple d'un signal sinusoïdal à la fréquence 220 Hz, la consommation de notre LC-ADC est de l'ordre de 3.07 µW. En considérant uniquement les travaux dans la littérature qui ont utilisé ce signal, la consommation de puissance de notre LC-ADC est ainsi inférieure à la consommation de ces exemples de circuits, qui sont réalisés avec des technologies plus optimisées que la technologie CMOS 180 nm UMC et dont les tensions d'alimentation sont inférieures à 1.8 V.

Toutefois, ces résultats ne sont pas finaux. En effet, il a été observé que la précision des DACs est très sensible aux basses fréquences dans le signal ECG à cause des courants de

fuites dans le réseau capacitif. Ces courants de fuites ont impacté la linéarité des DACs et ont engendré un décalage positif de l'amplitude du signal de sortie par rapport au signal original. Nous avons alors envisagé une méthode de correction par modification de la valeur de la capacité élémentaire en tenant compte de la fréquence minimale et de l'erreur d'amplitude maximale admissibles par les DACs. Dans cette perspective, les résultats de simulation avec une capacité élémentaire égale à 1 pF, ont montré la disparition de l'erreur de décalage et ont abouti à PRD égal à 5.5 % reflétant ainsi une bonne qualité du signal ECG pour le diagnostic médical.

Conclusion générale

Les travaux de recherche présentés dans ce rapport et réalisés dans le cadre d'une thèse de co-tutelle entre l'Ecole Supérieure des Communications de Tunis (SUP'COM) et l'Université de Bordeaux (UBx), se situent dans le domaine de l'acquisition et de la transmission des données biomédicales pour le déploiement de dispositifs de surveillance médicale à faible consommation de puissance. A la recherche de solutions pour la réduction des volumes de données numérisées, en origine de la consommation excessive de puissance dans ces dispositifs, nous avons proposé dans notre travail de faire l'acquisition par traversée de niveaux pour la numérisation des signaux ECG et d'y adjoindre un étage de compression numérique.

En effet, les travaux préliminaires d'étude bibliographique élaborés dans le premier chapitre, nous ont permis de conclure que l'échantillonnage uniforme d'un signal parcimonieux comme le signal ECG engendre l'acquisition de données redondantes. Des solutions commercialisées mais aussi proposées dans la littérature sont aussi présentées pour faire face aux limitations des ADCs uniformes. Au niveau des systèmes de surveillance cardiaque existants, nous avons relevé l'existence uniquement de ce mode d'échantillonnage en plus de modules de communication radio sollicités pour la transmission de données de façon continue pendant des heures. Notre objectif est alors de remplacer le mode d'échantillonnage uniforme et indépendant de la nature du signal ECG par un échantillonnage par traversée de niveaux sensible aux variations du signal en fonction du temps. L'apport de ce travail est la réduction de la fréquence d'échantillonnage moyenne et donc diminuer ou compresser la quantité de données à transmettre. Pour les applications de surveillance à long terme, cette compression a été accentuée par l'utilisation de l'interpolation polynomiale impliquant un choix optimal des paramètres de l'étage de compression afin de maximiser le taux de compression pour tous les signaux testés.

A l'issu de notre étude de l'échantillonnage par traversée de niveaux des signaux ECG normaux et pathologiques, deux contributions sont faites. La première concerne la proposition d'un modèle MATLAB/SIMULINK du LC-ADC le plus proche d'un circuit réel en suivant deux approches de modélisation, structurelle décrivant l'architecture du convertisseur et comportementale pour reproduire les erreurs de la partie analogique. Dans ce cadre, en partant d'une description en blocs du LC-ADC, nous avons défini un modèle détaillé de chaque étage régi par un fonctionnement qui dépend uniquement des variations locales du signal autour des niveaux de références. Par la suite, en s'inspirant des circuits électroniques des comparateurs et des DACs en technologie CMOS, nous avons identifié les principales erreurs pouvant dégrader la précision de l'acquisition notamment la tension d'offset dans les comparateurs et les non-linéarités dans les DACs. Des descriptions analytiques dans le modèle MATLAB/SIMULINK sont alors proposées

pour modéliser les réponses non-idéales de ces composants analogiques. Le modèle du LC-ADC ainsi proposé permet de valider la description en blocs du convertisseur, de vérifier la robustesse du dimensionnement établi et d'anticiper les distorsions possibles suite aux erreurs systématiques, aux erreurs électroniques mais aussi suite aux variations des paramètres intrinsèques du signal ECG. En adoptant une méthodologie de dimensionnement dépendante des caractéristiques du signal ECG normal et pathologique, particulièrement les changements de pentes engendrées par les arythmies cardiaques, nous avons proposé un dimensionnement de l'architecture LC-ADC dans le cadre de la deuxième contribution. D'abord, les paramètres caractérisant les étages du LC-ADC sont identifiés mais aussi les erreurs engendrées par mauvais choix de ces paramètres sont discutées. Ensuite, des conditions sont établies pour définir les limites minimales de choix de ces paramètres.

L'évaluation des performances du modèle dimensionné pour des signaux ECG réels avec différentes formes et pathologies en présence de l'erreur systématique de quantification du temps, a abouti à des valeurs du rapport signal-sur-distorsion supérieures à 21 dB pour tous les signaux testés. Ces résultats reflètent alors une bonne qualité des signaux pour le diagnostic médical. D'un côté, en utilisant les plages de variations des erreurs tirées à partir d'exemples de circuits commercialisés, l'évaluation de l'impact de la tension d'offset des comparateurs en termes de distorsion des signaux montre de légères dégradations, inférieures à 1 dB. Ces dégradations n'influent pas réellement sur la lisibilité du signal sur papier millimétré et donc sur l'interprétation médicale. D'un autre côté, l'évaluation de l'impact des non-linéarités des DACs montre seulement une dégradation de 1 dB par rapport à la limite minimale de la bonne qualité. Par ailleurs, les résultats de dimensionnement du LC-ADC pour les signaux normaux et pathologiques ont permis de montrer que dans le cas d'un échantillonnage par traversée de niveaux, une compression des données allant jusqu'à 81 % est réalisée. Particulièrement des fréquences moyennes d'échantillonnage jusqu'au moins la moitié des fréquences d'échantillonnage des ADCs uniformes sont atteintes par le LC-ADC dimensionné. De plus, pour permettre de prolonger l'autonomie de la batterie pendant des heures continues d'acquisition, une compression supplémentaire est souhaitable. Il s'avère que l'exploration des performances de la décomposition en ondelettes a montré que seules les données d'amplitude sont compressées jusqu'à 50 % tandis que celles de types intervalles de temps ne sont pas compressibles. Le résultat de cette étude nous a orienté vers la compression par interpolation qui requiert le choix d'une méthode de reconstruction adaptée pour maximiser le taux de compression. Nous avons ainsi montré que le recourt à l'interpolation par polynômes d'Hermite assure des taux de compression entre 63 % et 95 %.

Dans le but de réaliser un prototype d'expérimentation du LC-ADC modélisé et dimensionné dans le premier volet de notre travail de recherche, nous avons fait la conception d'un circuit intégré du convertisseur en technologie CMOS 180 nm UMC en y ajoutant un préamplificateur et un générateur de signaux d'horloges. Ces travaux ont fait l'objet de deux contributions de recherche supplémentaires. La première concerne les

travaux de conception du circuit électronique du LC-ADC. En effet, la méthodologie de conception adoptée est l'approche ascendante avec laquelle le circuit évolue progressivement d'un transistor à des composants analogiques et numériques et aboutit enfin au circuit global. Des choix architecturaux ont été effectués pour les composants analogiques en veillant à réduire la complexité du circuit. De plus, l'extraction des caractéristiques statiques de ces composants a permis de faire des comparaisons avec les résultats du modèle dimensionné en vue de valider la conception. Dans la conception de la partie numérique, des efforts pour la synchronisation du flot de données notamment au niveau de l'étage de suivi du temps et de l'étage de sélection du temps ont été fournis. De plus, nous avons conçu un générateur de signal d'horloge à la fréquence 10 kHz pour l'acquisition des signaux ECG et à la fréquence 500 kHz pour permettre la caractérisation du LC-ADC avec un signal sinusoïdal de fréquence 220 Hz.

La validation par simulation du schéma électronique conçu du circuit global a fait l'objet de la deuxième contribution. Nous avons présenté une analyse de la réponse temporelle du circuit par le biais de laquelle l'approche de l'échantillonnage par traversée de niveaux est validée. Les résultats de simulation après reconstruction d'un signal ECG montrent une valeur du PRD égale à 5.5 %. De plus, la conception du convertisseur avec la technologie CMOS 180 nm UMC a permis d'avoir des premières valeurs estimatives des performances du convertisseur en termes d'occupation de surface de l'ordre de 0.2 mm^2 et de consommation de puissance de l'ordre de 210 µW pour un signal ECG pendant une durée de 0.57 s de numérisation.

A l'issue des résultats encourageants obtenus tout au long de ce travail de recherche, nous proposons de continuer ces travaux par la mise en place d'un flot de données optimisé sur une plateforme matérielle pour le calcul des vecteurs d'Hermite modifiés à partir des signaux de sortie du circuit LC-ADC. Par ailleurs, une méthode de reconstruction efficace et surtout robuste aux erreurs introduites par l'électronique, autre que l'interpolation linéaire, est à prévoir et à implémenter sur une cible numérique. L'exploration des techniques dites aveugles sans connaissance de l'instant d'occurrence des échantillons s'avère prometteuse pour la reconstruction des données avec la qualité requise pour l'application visée ce qui nous donnera une marge supérieure pour augmenter les taux de compression.

Autre que le volet traitement du signal, l'objectif sera aussi de faire les tests électriques du LC-ADC après envoi du circuit en fonderie pour la validation fonctionnelle et l'extraction de ses paramètres électriques à savoir sa fréquence maximale de fonctionnement, son nombre de bits effectifs et sa consommation de puissance. Après la validation des performances du LC-ADC, il sera sujet de réaliser le prototype complet du système d'acquisition et de transmission des signaux ECG. D'abord, un prototype pour le système radio en technologie COTS (commercial-off-the-shelf) sera construit en utilisant des composants du commerce. Ensuite, il sera question de compléter la chaîne par les électrodes ainsi qu'un circuit de conditionnement réalisant les opérations de filtrage et d'adaptation d'impédance. Finalement, les composants du système seront intégrés dans une unité mobile qui sera alimentée par batterie.

Annexe A : Signaux ECG

Lors de ce travail de recherche, nous avons utilisé 75 signaux ECG différents qui proviennent de 44 enregistrements de la base de données Physionet. Un enregistrement peut contenir jusqu'à 15 signaux qui représentent les quelques-unes ou la totalité des 15 dérivations de l'ECG. Le Tableau A. 1 liste les signaux avec leurs noms, les noms des bases de données, les types des signaux, leurs durées, et les caractéristiques des ADCs uniformes avec lesquels ils ont été échantillonnés en termes de résolutions et fréquences d'échantillonnage.

Tableau A. 1 Liste des signaux ECG réels utilisés pour l'évaluation du LC-ADC et l'étude de compression.

Signal	Nom	Base de données	Type	Durée (s)	Résolution ADC (bits)	Fréquence ADC (Hz)
$ECG1$	*'a03m'*	Apnea-ECG (apnea-ecg)	Apnée du sommeil	2.57	12	100
$ECG2$	*'a05m'*					
$ECG3$	*'a07m'*					
$ECG4$	*'a08m'*					
$ECG5$	*'a10m'*					
$ECG6$	*'a11m'*					
$ECG7$	*'a13m'*					
$ECG8$	*'a15m'*					
$ECG9$	*'a16m'*					
$ECG10$	*'a17m'*					
$ECG11$	*'202m'*	MIT-BIH arrythmia (mitdb)	Bradycardie	2.85	11	360
$ECG12$	*'217m'*					
$ECG13$						
$ECG14$	*'219m'*					
$ECG15$	*'221m'*					
$ECG16$						
$ECG17$	*'223m'*					
$ECG18$	*'230m'*					
$ECG19$	*'231m'*					
$ECG20$	*'233m'*					
$ECG21$						
$ECG22$	*'s0044lrem'*	PTB diagnotic ECG (ptbdb)	Infarctus du myocarde	2.05	16	1000
$ECG23$						
$ECG24$	*'s0101lrem'*					
$ECG25$	*'s0044lrem'*					
$ECG26$						
$ECG27$						
$ECG28$						
$ECG29$	*'s0101lrem'*					
$ECG30$						
$ECG31$						
$ECG32$						
$ECG33$						
$ECG34$						
$ECG35$						

Signal	Nom	Base de données	Type	Durée (s)	Résolution ADC (bits)	Fréquence ADC (Hz)
$ECG36$	*'iaf1_afwm'*	Intracardiac atrial fibrillation (iafdb)	Fibrillation atriale	2.05	14	1000
$ECG37$	*'iaf2_afwm'*					
$ECG38$	*'iaf2_ivcm'*					
$ECG39$						
$ECG40$						
$ECG41$	*'iaf2_tvam'*					
$ECG42$						
$ECG43$						
$ECG44$	*'iaf3_afwm'*					
$ECG45$	*'s0101lrem'*	PTB diagnotic ECG (ptbdb)	Infarctus du myocarde	2.05	16	1000
$ECG46$	*'iaf3_svcm'*	Intracardiac atrial fibrillation (iafdb)	Fibrillation atriale	2.05	14	1000
$ECG47$	*'s20011m'*	Long-term ST (lstdb)	Variations du segment ST	4.1	12	250
$ECG48$				2.05		
$ECG49$	*'s20041m'*			1.02		
$ECG50$	*'s20051m'*			1.02		
$ECG51$	*'s20081m'*			2.05		
$ECG52$	*'s0101lrem'*	PTB diagnotic ECG (ptbdb)	Infarctus du myocarde	2.05	16	1000
$ECG53$	*'s20111m'*	Long-term ST (lstdb)	Variations du segment ST	4.1	12	250
$ECG54$	*'s20141m'*			2.05		
$ECG55$	*'04048m'*	MIT-BIH atrial fibrillation (afdb)	Fibrillation atriale	2.05	12	250
$ECG56$	*'04746m'*					
$ECG57$	*'04908m'*					
$ECG58$	*'04936m'*					
$ECG59$	*'05121m'*					
$ECG60$						
$ECG61$	*'05261m'*					
$ECG62$	*'s0476_rem'*	PTB diagnotic ECG (ptbdb)	Normal	2.05	16	1000
$ECG63$						
$ECG64$						
$ECG65$						
$ECG66$						
$ECG67$						
$ECG68$	*'s0101lrem'*	PTB diagnotic ECG (ptbdb)	Infarctus du myocarde	2.05	16	1000
$ECG69$	*'mgh010m'*	MGH-MF waveform (mghdb)	Hypertrophie supraventriculaire	1.42	12	360
$ECG70$	*'mgh017m'*					
$ECG71$	*'mgh027m'*					
$ECG72$						
$ECG73$	*'102m'*	MIT-BIH arrythmia (mitdb)	Tachycardie	2.85	11	360
$ECG74$	*'103m'*					
$ECG75$						

Annexe B : Liste des ondelettes

Dans l'étude de la compression par ondelettes, menée dans le cadre de cette thèse, nous avons utilisé sept familles d'ondelettes différentes. Dans une même famille, différents types d'ondelettes sont présents qui se caractérisent par des ondelettes mères de formes différentes [166]. La matrice des ondelettes, Ψ, est générée en utilisant la fonction prédéfinie de MATLAB, *'wmpdictionary'*, en indiquant les dimensions $D \times D$ de Ψ et le type des ondelettes selon les notations de MATLAB, telles que données au Tableau B. 1.

Le Tableau B. 1 résume toutes les ondelettes utilisées.

Tableau B. 1 Liste des ondelettes.

	Ondelette	**Notation de MATLAB**	**Types**
1	Biorthogonal	Bior	1.1, 1.3, 1.5, 2.2, 2.4, 2.6, 2.8, 3.1, 3.3, 3.5, 3.7, 3.9, 4.4, 5.5, 6.8
2	Coiflet	Coif	1,2,3,4,5
3	Daubechies	Db	1, 2, 3, 4, 5, 6, 7, 8, 9, 10
4	Discrète de Meyer	Dmey	-
5	Haar	Haar	-
6	Reverse biorthogonal	Rbio	1.1, 1.3, 1.5, 2.2, 2.4, 2.6, 2.8, 3.1, 3.3, 3.5, 3.7, 3.9, 4.4, 5.5, 6.8
7	Symlet	Sym	2, 3, 4, 5, 6, 7, 8

Annexe C : Algorithme OMP

L'algorithme OMP permet de retrouver les K ondelettes les plus significatives dans le signal ECG en calculant leurs coefficients. La combinaison linéaire de ces K ondelettes pondérées à leurs coefficients respectifs permet d'approximer le signal ECG. Les signaux et les paramètres en entrée et en sortie de l'OMP sont donnés à la Figure C. 1

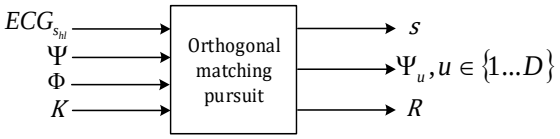


Figure C. 1 Entrées et sorties de l'algorithme OMP.

Les entrées de l'OMP sont :

- $ECG_{s_{hl}}$: le signal à décomposer en ondelettes,
- Φ : la matrice de décomposition,
- Ψ : la matrice des ondelettes,
- K : le nombre d'itérations et le nombre d'ondelettes significatives à sélectionner.

Les sorties sont :

- s : le vecteur des coefficients des ondelettes,
- Ψ_u : les ondelettes significatives et leurs adresses,
- R : l'erreur de décomposition.

L'OMP, décrit à la Figure C. 2, est un algorithme itératif. Une ondelette significative dans le signal $ECG_{s_{hl}}$ est sélectionnée à l'issu de chaque itération. Tel que décrit à la Figure C. 2, l'OMP comprend une phase d'initialisation et six étapes qui se reproduisent à chaque itération. D'abord, à la phase d'initialisation, le contenu du signal $ECG_{s_{hl}}$ est affecté à R et le nombre d'itérations, i, est mis à 0. Ensuite, les six étapes de chaque itération sont :

1. Calcul du produit scalaire entre R et chaque ligne de la matrice de décomposition Φ.
2. Détermination du coefficient maximal en valeur absolue.
3. Mise à jour de la position i dans le vecteur des coefficient, s, en lui affectant la valeur du coefficient maximal.
4. Mise à jour de R.
5. Incrémentation de 1 du nombre d'itérations, i.
6. Vérification de la valeur de i et retour à l'étape 1 si i est inférieur à K ou fin de l'exécution sinon.

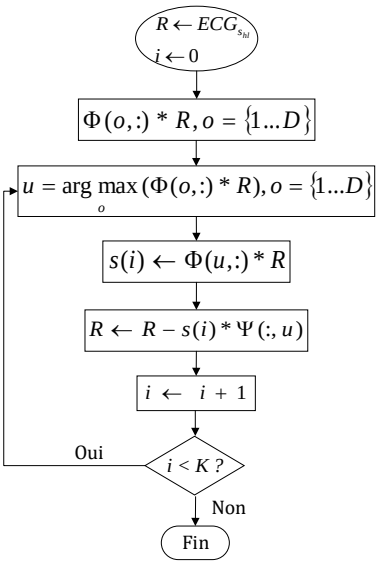


Figure C. 2 Algorithme OMP.

Annexe D : Résultats de l'étude de compression par spline cubique

Nous présentons dans cette annexe les résultats de la compression par interpolation polynomiale par spline cubique, pour le cas d'un $PRD_{r_{spline_{max}}}$ égal à 23.68 %. Les valeurs de $\alpha_{max}, \beta_{max}$ et γ_{max} satisfaisant cette condition constituent 6 combinaisons possibles pour m_α égale à 1, m_β égale à 5 et γ_{max} variant de 1 à 6. Le triplet optimal de $(\mathrm{m}_\alpha, m_\beta, m_\gamma)$, pour un $PRD_{r_{spline_{max}}}$ égal à 23.68 %, correspond à (1,5,1), tel que présenté au Tableau D. 1.

Tableau D. 1 Résultats de sélection des paramètres optimaux pour la compression par interpolation par spline cubique pour $PRD_{r_{spline_{max}}}$ égal à 23.68 %.

$(\mathbf{m}_\alpha, \boldsymbol{m_\beta}, \boldsymbol{m_\gamma})$	$\boldsymbol{PRD_{r_{spline_{min}}}}$	$\boldsymbol{PRD_{r_{spline_{max}}}}$	$\boldsymbol{CR_{spline_{min}}}$	$\boldsymbol{CR_{spline_{max}}}$
$(\mathbf{1}, \mathbf{5}, \mathbf{1})$	1.57	23.68	42.87	57.22

Les signaux ayant le $PRD_{r_{spline_{min}}}$ et le $PRD_{r_{spline_{max}}}$ sont représentés à la Figure D. 2 et la Figure D. 1, respectivement. Pour le cas du signal $ECG40$, le PRD minimal associé à ce signal est dû au nombre d'échantillons élevé à la sortie du LC-ADC, qui, une fois réduit à 42.87 %, garantit une distorsion minimale par rapport au reste des signaux ECG compressés.

Comme le montre la Figure D. 2, le signal reconstruit par interpolation par spline cubique amène une erreur de reconstruction au niveau des zones à faible variations. Ce phénomène se produit à cause du nombre réduit de données à interpoler et l'ordre de grandeur important des intervalles de temps séparant ces données par rapport à l'ordre de grandeur du reste des intervalles de temps dans le signal.

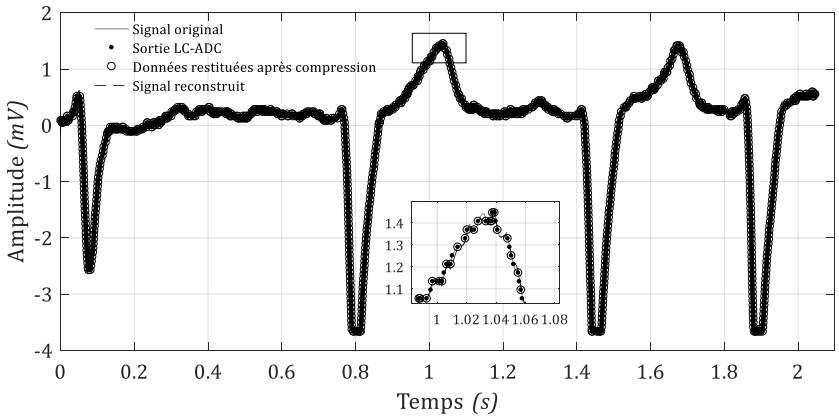


Figure D. 1 Signal $ECG40$ reconstruit après compression par interpolation spline cubique pour $(\boldsymbol{m_\alpha}, \boldsymbol{m_\beta}, \boldsymbol{m_\gamma})_{opt} = (\mathbf{1}, \mathbf{5}, \mathbf{1})$.

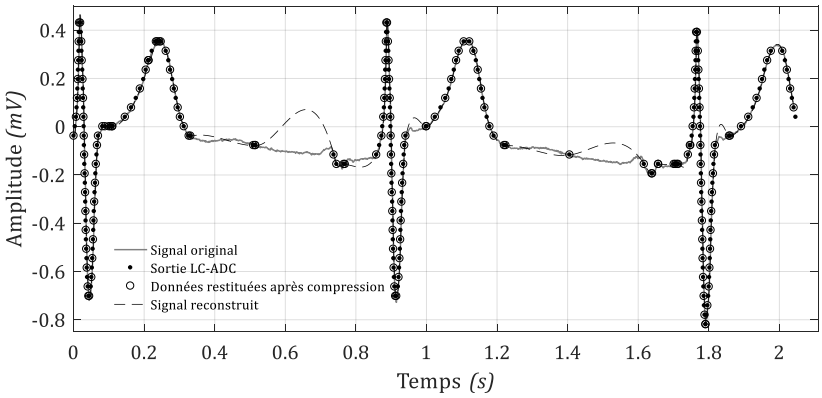


Figure D. 2 Signal *ECG*62 reconstruit après compression par interpolation spline cubique pour $(\boldsymbol{m_\alpha}, \boldsymbol{m_\beta}, \boldsymbol{m_\gamma})_{\boldsymbol{opt}} = (\mathbf{1}, \mathbf{5}, \mathbf{1})$.

Par ailleurs, le taux de compression, $CR_{spline_{max}}$, ne dépasse pas 58 % pour le cas présenté de $PRD_{r_{spline_{max}}}$ égal à 23.68 %. Ainsi, en comparant ces résultats au $PRD_{r_{Hermite_{max}}}$, égal à 8.96 %, et $CR_{spline_{max}}$, égal à 79.83 %, nous pouvons conclure que la méthode de compression par spline cubique n'est pas adaptée au signal ECG.

Annexe E : Transistor MOSFET et technologie CMOS 180 *nm* UMC

Nous présentons brièvement dans cette annexe la technologie CMOS et les caractéristiques de la technologie CMOS 180 *nm* UMC qui sont utilisées dans nos travaux de recherche.

E.1. Introduction à la technologie CMOS

La technologie CMOS (Complementary MOS) permet d'obtenir sur un même substrat de type Silicium, des transistors de type NMOS et PMOS souvent montés en complémentaire. Ainsi, lorsque l'un des transistors conduit, l'autre est bloqué, grâce à quoi une porte logique CMOS ne consomme de l'énergie que pendant la commutation. Ce mode de commutations distingue le CMOS et réduit, voir annule, sa consommation de puissance statique.

L'élément de base dans les circuits CMOS est le transistor à effet de champs à grille métal-oxide (MOSFET, Metal Oxide Semiconductor Field Effect Transistor). Dans sa structure interne, le transistor est un cristal en Silicium à l'état extrinsèque. Il est dopé dans trois zones différentes, substrat, drain et source, de telle sorte que des zones de semi-conducteurs extrinsèques de type P ou N sont créés. Ce déséquilibre entre les porteurs de charges négatives (électrons) et les porteurs de charges positives (trous) favorise la conduction électrique par l'un des deux types de porteurs dans un canal de conduction entre le drain et la source.

Selon le dopage et le type du substrat, deux types de transistor MOS sont définis. Nous distinguons le transistor à canal P, appelé transistor PMOS dans lequel le drain et la source sont de type P entourés par un substrat de type N. Le deuxième type est le transistor NMOS à canal N. Dans les deux cas, une grille métallique, est séparée du substrat par une couche fine d'oxyde isolant. Généralement, le substrat dans la technologie CMOS est faiblement dopé de type P. Il est donc possible d'y graver directement le NMOS. Le PMOS est obtenu par gravure dans un caisson faiblement dopé N introduit dans le substrat P.

La Figure E. 1 montre la structure interne, vue en coupe, d'un transistor de type NMOS. Le substrat de type P est toujours connecté au potentiel le plus faible pour bloquer les jonctions substrat/drain et substrat/source. Ces jonctions doivent se maintenir bloquées sinon le transistor agit comme une diode. En absence de toute alimentation, le drain et la source sont isolés et il n'y a donc pas de passage de courant comme illustré à la Figure E. 1. Le transistor est dit bloqué. Pour créer le canal de type N entre la source et le drain, la différence de potentiel V_{GS} doit être positive ce qui pousse des électrons à se grouper en dessous de la grille. Ce transistor est dit à enrichissement de canal. Lorsque le canal est créé, les porteurs de charges sont mis en mouvement par application d'une différence de potentiel, V_{DS}, positive. Les caractéristiques statiques du transistor NMOS en fonction de

V_{GS} et V_{DS} sont données à la Figure E. 2, où I_D est le courant traversant le drain vers la source et V_{thn} est la tension de seuil du transistor.

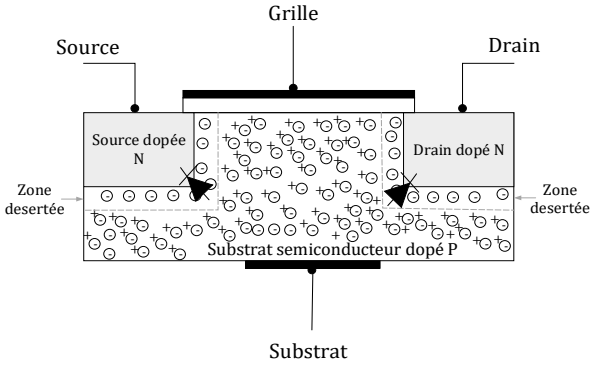


Figure E. 1 Coupe transversale d'un transistor de type NMOS.

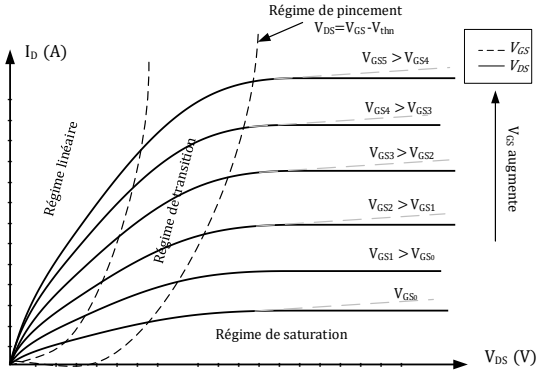
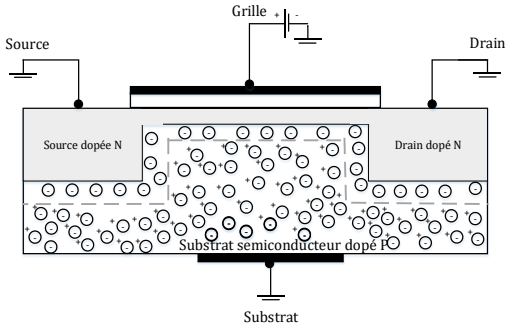
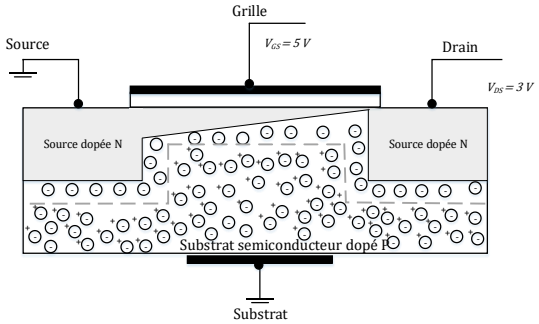


Figure E. 2 Caractéristiques statiques d'un transistor NMOS.

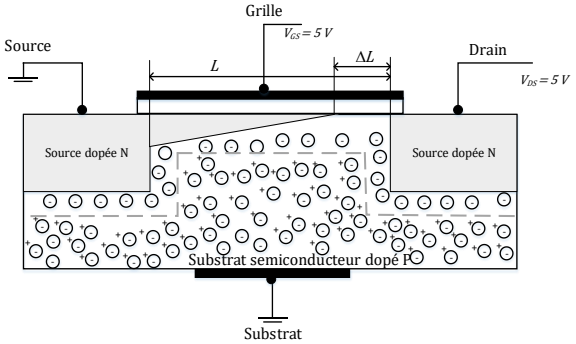
Le courant dans le transistor NMOS est ainsi régi par le déplacement des électrons qui circulent entre la source et le drain en appliquant une différence de potentiel positive entre ces deux terminaux. Le fonctionnement d'un NMOS se distingue par trois régimes, le régime de saturation, le régime de transition et le régime linéaire, délimités par les traits interrompus à la Figure E. 2 et illustrés à la Figure E. 3.



(a) Régime linéaire.



(b) Régime de transition.



(c) Régime saturé.

Figure E. 3 Régimes de fonctionnement du transistor NMOS.

Le régime linéaire est observé pour $V_{GS} \geq V_{thn}$ et V_{DS} positive. En appliquant une tension V_{GS} positive, il existe une accumulation d'électrons dans la zone entre la source et le drain.

A mesure que la tension V_{GS} augmente au-delà d'une tension limite V_{thn}, le canal est créé tel que présenté à la Figure E. 3 (a). Par application d'une tension V_{DS}, un champ électrique longitudinal se crée et favorise le déplacement des électrons de la source vers le drain dans le canal. L'équation qui régit la variation du courant en fonction de la tension V_{DS} est donnée par (E.E. 1), où $\left(\frac{W}{L}\right)$ est le facteur des dimensions du transistor avec L la longueur du canal et W sa largeur, I_D est le courant du drain, μ_n est un paramètre technologique en $m^2V^{-1}s^{-1}$ qui décrit la mobilité des électrons et C_{ox} est la capacité par unité de surface de l'isolant de grille qui est aussi un paramètre technologique en Fm^{-2}.

$$I_D = \frac{\mu_n C_{ox} W}{L}\left(V_{GS} - V_{thn} - \frac{V_{DS}}{2}\right)V_{DS} \qquad \textbf{(E.E. 1)}$$

En régime de fonctionnement linéaire, le transistor agit comme une résistance contrôlée par la tension V_{DS}. Le courant augmente à fur et à mesure que la tension V_{GS} augmente. Par suite, comme indiqué à la Figure E. 2, pour chaque valeur de V_{GS} une courbe linéaire décrivant le régime linéaire est obtenue.

En régime de transition, V_{GS} reste toujours supérieure à V_{thn} mais V_{DS} ne doit pas dépasser V_{DSsat}. Le régime de transition caractérise l'amincissement du canal du côté du drain avant le passage en régime saturé comme indiqué à la Figure E. 3 (b). Cette transition à lieu après une augmentation significative de la tension entre le drain et la source tout en restant inférieur à une valeur maximale V_{DSsat} égale à $V_{GS} - V_{thn}$. L'équation (E.E. 1) du courant reste toujours valide pour le régime de transition.

Par ailleurs, le régime saturé existe quand V_{GS} et V_{DS} sont supérieures à V_{thn} et V_{DSsat}, respectivement. Lorsque la tension V_{DS} est égale à la tension de saturation, le canal est étranglé du côté du drain. Le point de pincement, donné à la Figure E. 3 (c), est à une longueur ΔL du canal. En remplaçant V_{DS} par $V_{GS} - V_{thn}$ dans (E.E. 1), la valeur du courant devient (E.E. 2).

$$I_{Dsat} = \frac{\mu_n C_{ox} W}{2L}(V_{GS} - V_{thn})^2 \qquad \textbf{(E.E. 2)}$$

Continuer à augmenter la tension V_{DS} au-delà de la tension limite V_{DSsat} augmente l'épaisseur du canal tel qu'illustré dans la Figure E. 3 (c). Le courant continue à circuler par effet du champ électrique intense. Puisque la longueur du canal est légèrement modulée en fonction de la tension V_{DS}, le courant ne varie plus que faiblement avec V_{DS}. Ce phénomène est connu par l'effet d'Early. L'expression du courant en tenant compte de l'effet d'Early est alors donnée par (E.E. 3), où $\lambda = 1/(V_E L)$ est le facteur de modulation du canal, V_E est la tension d'Early qui est une caractéristique intrinsèque du transistor.

$$I_D = I_{Dsat}[1 + \lambda(V_{DS} - V_{DSsat})] \qquad \textbf{(E.E. 3)}$$

En pratique, pour simplifier les calculs, le modèle utilisé pour le transistor en régime saturé néglige l'effet de la modulation du canal et suppose que le courant de saturation est constant en fonction de V_{DSsat}, comme donné par (E.E. 2). En suivant le même raisonnement, il est possible de déduire les équations du transistor PMOS. Vu que les

porteurs de charges mobiles dans le PMOS sont des trous, les conditions de passages d'un régime à un autre sont inversées par rapport à celles du NMOS.

Après avoir détaillé la structure interne et les régimes de fonctionnement du transistor NMOS qui seront exploités dans l'étape de conception, nous passons à l'introduction de la technologie CMOS 180 nm UMC.

E.2. Technologie CMOS 180 nm UMC

La fonderie UMC (United Microelectronics Corporation) est spécialisée dans la fabrication des circuits intégrés à base de semi-conducteurs. Autre que le transistor MOSFET, l'UMC fabrique la technologie 14 nm à base de transistor FINFET. Dans le cadre de nos travaux de recherches, nous utilisons la technologie UMC L180 MM/RF 1.8V/3.3V 1P6M, qui est classée dans la catégorie des technologies matures. Elle est dédiée à la conception de circuits mixtes. Les fichiers de la technologie sont fournis par l'organisme européen Europractice.

La technologie UMC L180 MM/RF 1.8V/3.3V 1P6M se caractérise par :

- deux tensions d'alimentation : 1.8 V et 3.3 V
- un substrat de type P,
- une couche de polysilicium ou silicium polycristallin,
- six couches métalliques de type aluminium, et
- un diélectrique de type FSG (Fluorinated Silicon Glass).

Les caractéristiques de cette technologie que nous avons utilisés dans nos travaux de recherche sont données au Tableau E. 1.

Tableau E. 1 Caractéristiques de la technologie CMOS 180 nm UMC pour V_{dd} égale à 1.8 V.

		Définition	Valeurs
Transistors	$V_{dd}(V)$	Tension d'alimentation	1.8
	$\mu_n C_{ox}(*)(\mu F V^{-1} s^{-1})$	C_{ox} : capacité de l'oxyde par unité de surface μ_n: mobilité des électrons μ_p: mobilité des trous	298
	$\mu_p C_{ox}(*)(\mu F V^{-1} s^{-1})$		65
	$[L_{min}, L_{max}]\ (m)$	Longueur de grille	$[180n, 50\mu^{(**)}]$
	$[W_{min}, W_{max}](m)$	Largeur de grille	$[240n, 100\mu^{(**)}]$
	$V_{thn}(V)$	Tension de seuil du NMOS	0.5
	$V_{thp}\ (V)$	Tension de seuil du PMOS	-0.5
Capacités	NCAP (aF)	NMOS capacitor (**)	$[484.04, 178000]$
	MIMCAP (fF)	Metal insulator metal capacitor (**)	$[14.49, 1016]$
	$(W/L)_{NCAP}$	Rapports des dimensions (**)	$[240nm/180nm, 100\mu m/180nm]$
	$(W/L)_{MIMCAP}$		$[10\mu m/1.28\mu m, 10\mu/100\mu m]$
Oscillateur en anneau	$t_{p_{inv}}\ (ps)$	Temps de propagation par inverseur	28

(*) : déterminés par simulation d'un transistor en régime de saturation
(**) : grandeur mesurée

La Figure E. 4. montre le dessin des masques et les dimensions des capacités NCAP et MIMCAP pour une valeur de 15 fF chacune. Les rapports des dimensions sont :

- 8.36µm/180nm comme longueur et largeur de la grille du transistor formant la NCAP, respectivement,
- 10µm/1.33µm comme longueur et largeur de l'armature métallique inférieure de la MIMCAP, respectivement.

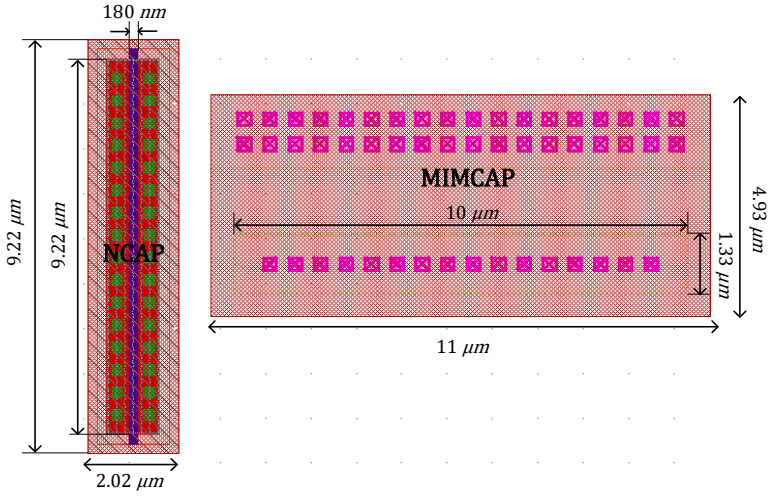


Figure E. 4 Dessin des masques des capacités de la technologie CMOS 180 *nm* UMC.

Annexe F : Dimensionnement du préamplificateur

L'amplificateur à source commune, présenté à la Figure F. 1, est construit autour d'un transistor M_{a1} polarisé en régime de saturation. En fait, comme le montre la Figure F. 2, pour un transistor en régime de saturation, les variations du courant du drain en fonction des variations de V_{GS} entre $V_{GS_{sat1}}$ et $V_{GS_{sat2}}$ peuvent être approchées par une fonction linéaire amplificatrice [184], où $\left(I_{bias}, V_{G_{bias}}\right)$ sont le courant et la tension de polarisation du transistor en régime de saturation.

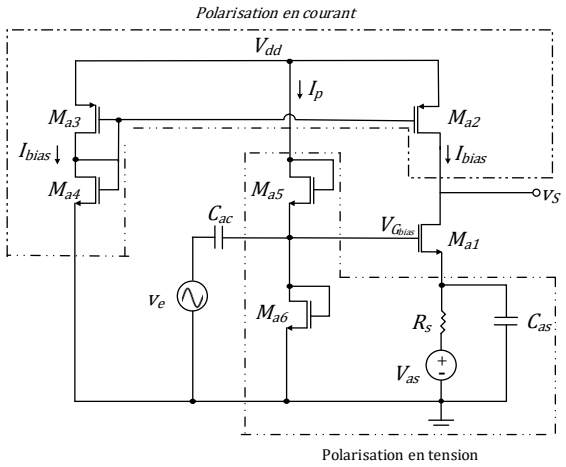


Figure F. 1 Circuit du préamplificateur à source commune.

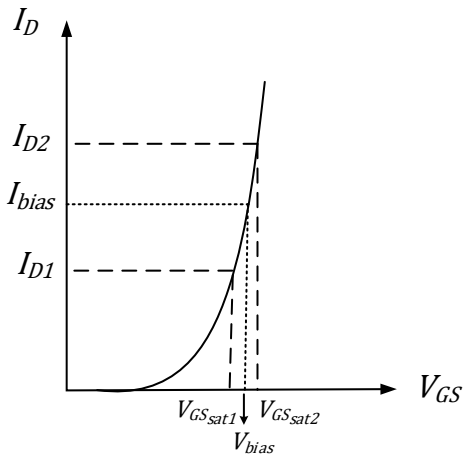


Figure F. 2 Variations du courant du drain en fonction de la différence de potentiel entre la grille et la source.

Le transistor est ainsi assimilé à un amplificateur de courant pour les variations de V_{GS} entre $V_{GS_{sat1}}$ et $V_{GS_{sat2}}$. Son gain, $g_{m_{a1}}$, est donné par (E.F. 1) où ∂i_D et ∂v_{GS} sont les variations locales du courant du drain et de la tension grille-source entre $[I_{D1}, I_{D2}]$ et $\left[\, V_{GS_{sat1}}, V_{GS_{sat2}} \,\right]$, respectivement.

$$g_{m_{a1}} = \frac{\partial i_D}{\partial v_{GS}} \qquad \textbf{(E.F. 1)}$$

Pour passer du mode amplification de courant au mode amplification de tension, il faut connecter une source de courant au drain de M_{a1} tel que présenté à la Figure 4. 3. Le gain en tension de l'amplificateur, noté A_{av}, est (E.F. 2), où $g_{ds_{a1}}$ et $g_{ds_{a2}}$ sont les conductances des transistors M_{a1} et M_{a2}, respectivement [184].

$$A_{av} = \frac{-g_{m_{a1}}}{g_{ds_{a1}} + g_{ds_{a2}}} \qquad \textbf{(E.F. 2)}$$

En remplaçant $g_{m_{a1}}$ par son expression dans (E.F. 3) et les conductances $g_{ds_{a1}}$ et $g_{ds_{a2}}$ par $\lambda_n I_{bias}$ et $\lambda_p I_{bias}$, respectivement, le gain dans (E.F. 2) devient (E.F. 4), où λ_n et λ_p sont les facteurs de modulation des canaux des transistors NMOS et PMOS, respectivement.

$$g_{m_{a1}} = \sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_{a1} I_{bias}} \quad \textbf{(E.F. 3)}$$

$$A_{av} = -\frac{\sqrt{2\mu_n C_{ox} \left(\frac{W}{L}\right)_{a1} I_{bias}}}{(\lambda_n + \lambda_p) I_{bias}} \quad \textbf{(E.F. 4)}$$

Cette expression est une fonction du courant de polarisation, des dimensions du transistor M_{a1} et des paramètres de la technologie CMOS 180 nm UMC, λ_n et λ_p.

Le dimensionnement du préamplificateur, donné à la Figure F. 1, revient donc d'abord au dimensionnement du transistor M_{a1} en déterminant le rapport $(W/L)_{a1}$ et les valeurs de $(I_{bias}, V_{bias}, V_{DSsat})$ qui garantissent un gain proche de 40 dB. Puis, les dimensions des transistors (M_{a2}, M_{a3}, M_{a4}) et (M_{a5}, M_{a6}) sont déterminées en utilisant (E.F. 5) à (E.F. 8), en utilisant les paramètres du Tableau E. 1 et en admettant que :

- les transistors M_{a2} et M_{a3} sont identiques,
- les transistors M_{a1}, M_{a2}, M_{a3} et M_{a4} sont traversés par le courant de polarisation I_{bias},
- les transistors M_{a4}, M_{a5} et M_{a6} sont assimilés à des résistances de valeurs approximativement égales à $g_{m_{a4}}^{-1}$, $g_{m_{a5}}^{-1}$ et $g_{m_{a6}}^{-1}$, respectivement, et
- les transistors M_{a5} et M_{a6} sont traversés par le courant I_p.

En égalisant les courants traversant M_{a1} et M_{a2}, les dimensions de M_{a2} et M_{a3} sont données par (E.F. 5), où $V_{DS_{a1}}$ et $V_{DS_{a2}}$ sont décrites par (E.F. 6), V_{DC} est la composante continue du signal amplifié et V_{as} est la tension aux bornes de la source de tension connectée à la source de M_{a1} telle que décrite à la Figure F. 1.

$$\left(\frac{W}{L}\right)_{a2,a3} = \frac{\mu_n C_{ox} (W/L)_{a1} {V_{DS_{a1}}}^2}{\mu_p C_{ox} {V_{DS_{a2}}}^2} \quad \textbf{(E.F. 5)}$$

$$\begin{cases} V_{DS_{a1}} = V_{DC} - V_{as} - R_s I_{bias} \\ V_{DS_{a2}} = V_{DC} - V_{dd} \end{cases} \quad \textbf{(E.F. 6)}$$

Les dimensions de M_{a4} sont déterminées par (E.F. 7), où g_{ma4} est donnée par (E.F. 8) et $V_{DS_{a3}}$ est la différence de potentiel entre le drain et la source de M_{a3}.

$$\left(\frac{W}{L}\right)_{a4} = \frac{g_{ma4}^2}{2\mu_p C_{ox} I_{bias}} \quad \textbf{(E.F. 7)}$$

$$g_{ma4} = \frac{V_{dd} + V_{DS_{a3}}}{I_{bias}} \quad \textbf{(E.F. 8)}$$

En déterminant la valeur du courant I_p donnée par (E.F. 9), les dimensions de M_{a5} et M_{a6} sont déduites à partir de (E.F. 10).

$$I_p = \frac{V_{dd}}{g_{ma5}^{-1} + g_{ma6}^{-1}} \qquad \textbf{(E.F. 9)}$$

$$\begin{cases} \left(\frac{W}{L}\right)_{a5} = \frac{g_{ma5}^2}{2\mu_p C_{ox} I_p} \\ \left(\frac{W}{L}\right)_{a6} = \frac{g_{ma6}^2}{2\mu_p C_{ox} I_p} \end{cases} \qquad \textbf{(E.F. 10)}$$

Finalement, la valeur de C_{ac} est déterminée en utilisant (E.4. 2), où R_{aeq} est égale à la somme de g_{ma5}^{-1} et g_{ma6}^{-1}.

En commençant par le dimensionnement du transistor M_{a1}, nous nous sommes retrouvés face à une équation du gain A_{av} à quatre inconnus qui sont $(W/L)_{a1}$, I_{bias}, λ_n et λ_p. De ce fait, nous avons fait recours à des simulations du schéma électronique donné à la Figure F. 3 pour trouver les bonnes valeurs de $\left(I_{bias}, V_{G_{bias}}, V_{DSsat}\right)$ et $(W/L)_{a1}$ qui garantissent un gain, A_{av}, proche de 40 dB.

Ainsi, pour $V_{D_{a1}}$ fixée à 1.1 V et pour une valeur donnée de $(W/L)_{a1}$, la simulation de ce schéma électronique nous permet de tracer les variations du courant $I_{D_{a1}}$ en fonction de $V_{G_{a1}}$. En utilisant la réponse du circuit $I_{D_{a1}} = f\left(V_{G_{bias}}\right)$, nous choisissons un point $\left(I_{bias}, V_{G_{bias}}\right)$ en tenant compte des conditions suivantes.

1. Il faut polariser le transistor en régime de saturation, notamment, la tension grille-source de M_{a1}, V_{bias}, doit être supérieure à sa tension de seuil V_{thn}.
2. Il faut minimiser le courant de polarisation pour augmenter le gain A_{av}.

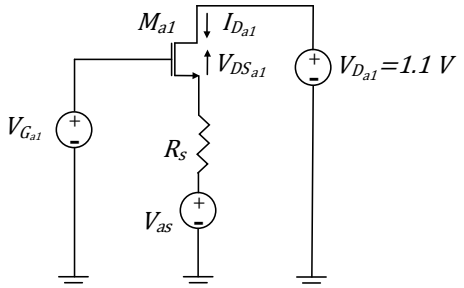


Figure F. 3 Schéma électronique pour un dimensionnement de M_{a1} par simulation.

La sélection de la polarisation du transistor et ses dimensions est faite en fixant et en respectant les considérations suivantes :

3. Le gain dans (E.F. 4) augmente avec l'augmentation de g_{ma1} et la diminution de λ_n et λ_p. Donc, pour augmenter g_{ma1} il faut maximiser $(W/L)_{a1}$ et pour diminuer λ_n et λ_p, il faut augmenter les longeurs des grilles de M_{a1} et M_{a2}, respectivement.

4. Pour minimiser le courant I_p et donc la consommation de puissance du circuit, il faut augmenter les valeurs de g_{ma5}^{-1} et g_{ma6}^{-1} en augmentant les dimensions de M_{a5} et M_{a6} selon (E.F. 9).

Par ailleurs, R_s et V_{as} sont fixées à 3 $k\Omega$ et 300 mV. Ces valeurs sont choisies pour minimiser $V_{S_{a1}}$ et donc maximiser $V_{Gs_{a1}}$. Des exemples de résultats de simulations du schéma électronique de la Figure F. 3 sont présentés au Tableau F. 1. Nous choisissons la configuration du 5ème cas telle que décrite à la 6ème colonne. Cette configuration correspond à $(I_{bias}, V_{G_{bias}})$ égal à (4.7 µA, 734.7 mV) avec des dimensions de M_{a1} et M_{a2} égales à (40µm /4µm) et (56.41µm / 1µm), respectivement. Le gain ainsi obtenu correspond à la valeur désirée, égale à 40 dB.

Tableau F. 1 Variation du gain du préamplificateur en fonction de $(W/L)_{a1}$ et $(W/L)_{a2}$ pour $V_{D_{a1}} = 1.1\ V$ et $R_s = 3\ k\Omega$ $V_{ref} = 300\ mV$.

	1er cas	**2ème cas**	**3ème cas**	**4ème cas**	**5ème cas**
$(W/L)_{a1}$	1µm /1µm	10µm /1µm	20µm /2µm	30µm /3µm	40µm /4µm
V_{thn} **(mV)**	458.4	443.6	436.6	394.3	389
I_{bias} **(µA)**	3.84	6.37	6.85	4.35	4.7
$V_{G_{bias}}$ **(mV)**	930.60	808.10	783.60	734.69	734.69
V_{bias} **(mV)**	611.4	476	449.30	412.9	411.2
$(W/L)_{a2}$	57.04µm /1µm	55.20µm /1µm	54.86µm /1µm	56.66µm /1µm	56.41µm /1µm
A_{av} **(dB)**	34.52	36.46	38.10	39.50	40

Par suite, en utilisant les paramètres de la sixième colonne du Tableau F. 1, nous procédons au calcul des dimensions des transistors M_{a43}, M_{a4}, M_{a5}, M_{a5} et des capacités C_{ac} et C_{as}. D'abord, le transistor M_{a3} est identique à M_{a2}, ses dimensions sont donc égales à 56.41 µm comme largeur de grille et 1 µm comme longueur.

Ensuite, $(W/L)_{a4}$ est déterminé par (E.F. 7) et (E.F. 8), où $V_{DS_{a3}}$ est égale à $-495\ mV$. Cette valeur est déterminée par simulation du circuit en polarisant M_{a1} avec le courant I_{bias} et la tension de grille $V_{G_{bias}}$. La valeur numérique obtenue de $(W/L)_{a4}$ est égale à 0.02. En utilisant cette valeur et en simulant la partie du circuit constituée de M_{a1} et du miroir de courant formé par M_{a2}, M_{a3} et M_{a4}, le courant débité dans le circuit ne représente que 50 % de la valeur désirée, égale à 4.7 µA. Nous avons donc doublé $(W/L)_{a4}$.

Puis, pour déterminer $(W/L)_{a5}$ et $(W/L)_{a6}$, nous commençons par le calcul de g_{ma5}^{-1} et de g_{ma6}^{-1}. Ces transconductances représentent les résistances équivalentes des deux transistors M_{a5} et M_{a6} au passage du courant I_p. D'après la Figure 4. 3, $V_{G_{bias}}$ est donnée par (E.F. 11).

$$V_{G_{bias}} = \frac{g_{ma6}^{-1}}{g_{ma6}^{-1} + g_{ma5}^{-1}} V_{dd} \qquad \textbf{(E.F. 11)}$$

Par suite, le rapport $g_{ma5}^{-1}/g_{ma6}^{-1}$ est égal à $(V_{dd} - V_{G_{bias}})/V_{G_{bias}}$. Comme g_{ma5}^{-1} et g_{ma6}^{-1} sont inconnues et que nous disposons d'une équation unique les décrivant, nous fixons la valeur de g_{ma5}^{-1} en première étape. Puis, nous déterminons la valeur de g_{ma6}^{-1} en deuxième étape. Ainsi, g_{ma5}^{-1} est fixée à 3 $k\Omega$. Cette valeur est choisie conformément à l'ordre de

grandeur des transconductances des transistors dans la technologie CMOS 180 nm UMC qui sont de l'ordre de quelques kilohertz. Par conséquent, g_{ma6}^{-1} est égale à 2 $k\Omega$.

En utilisant (E.F. 9), le courant dans le diviseur de tension formé par M_{a5} et M_{a6} est égal à 354.83 µA. En remplaçant I_p par cette valeur dans (E.F. 10), les valeurs calculées de $(W/L)_{a5}$ et $(W/L)_{a6}$ sont égales à 0.52 et 1.1, respectivement. En simulant l'amplificateur avec ces valeurs, la tension $V_{G_{bias}}$ qui en résulte est égale à 750.2 mV. Nous avons donc légèrement augmenté $(W/L)_{a5}$ jusqu'à 1.25 pour assurer une tension de grille proche de 734.7 mV.

Finalement, après avoir calculé les dimensions de tous les transistors dans le circuit, nous déterminons les valeurs des capacités C_{ac} et C_{as}. D'un côté, nous remplaçons R_{eq} par la somme de g_{ma5}^{-1} et g_{ma6}^{-1} et d'un autre côté F_{max} par 220 Hz dans (E.4. 2). Il en résulte une valeur minimale de C_{ac} égale à 0.142 µF. Ainsi, pour respecter la condition dans (E.4. 2), nous considérons une valeur 100 fois supérieure à 0.142 µF.

De la même manière, nous déterminons la valeur minimale de C_{ac} à partir de (E.4. 2) pour f_{max} égale à 220 Hz et en remplaçant R_{eq} par 5 kΩ qui est le résultat de la mise en parallèle de R_s, égale à 5 $k\Omega$ et ${g_{ds_{a1}}}^{-1}$ dont la valeur mesurée est égale à 1.56 $M\Omega$. Par conséquent, la valeur minimale calculée de C_{as} vaut 0.142 µF. Nous utilisons donc la même valeur de 14.2 µF pour C_{as} et C_{ac}.

Les résultats de dimensionnement du préamplificateur sont résumés au Tableau F. 2.

Tableau F. 2 Résultats de dimensionnement du préamplificateur de tension.

Paramètre	Résultat
$(I_{bias}, V_{G_{bias}})$	(4.7 µA, 734.7 mV)
$(W/L)_{a1}$	40 µm/4 µm
$(W/L)_{a2}, (W/L)_{a3}$	56.4 µm/1 µm
$(W/L)_{a4}$	0.24 µm/6.12µm
$(W/L)_{a5}, (W/L)_{a6}$	0.52 µm/1µ , 1.25 µm/1µm
V_{as}	300 mV
R_s	5 $k\Omega$
C_{ac}, C_{as}	14.2 µF

Annexe G : Principe de fonctionnement et dimensionnement du comparateur

Nous détaillons dans cette annexe les étapes de dimensionnement des transistors du comparateur donné à la Figure G. 1. Nous commençons par expliquer le fonctionnement du circuit en analysant ses étages puis nous décrivons les équations de dimensionnement des transistors et les résultats numériques.

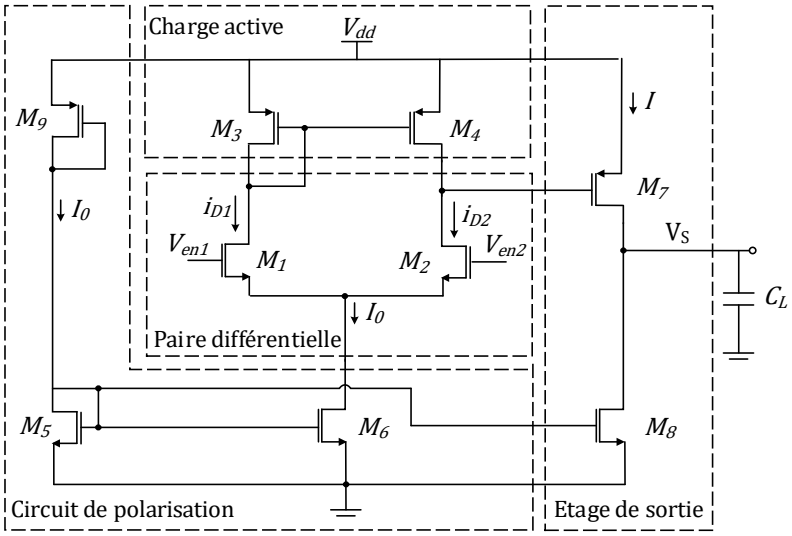


Figure G. 1 Circuit du comparateur.

G.1. Principe de fonctionnement du comparateur

Le comparateur est composé de deux étages dont le premier est un amplificateur différentiel à charge active et le deuxième est un étage de sortie de type inverseur. Nous analysons dans les paragraphes suivants les deux étages séparément pour déduire à la fin le principe de fonctionnement du comparateur.

- Paire différentielle :

L'amplificateur différentiel est constitué d'une paire différentielle et d'un miroir de courant. Comme indiqué à la Figure G. 2, la paire différentielle comporte deux transistors de type NMOS à sources interconnectées. L'entrée différentielle est appliquée sur les grilles des deux transistors [136]. Ce circuit constitue la base des amplificateurs opérationnels à sortie unique et différentielle [133] ainsi que celle des comparateurs analogiques.

Dans l'analyse de ce circuit, nous supposons que les deux transistors sont polarisés en régime saturé. En négligeant l'effet de la modulation de la longueur du canal, le courant de saturation sur les drains des deux transistors est donné par (E.E. 2).

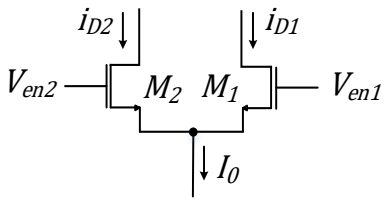


Figure G. 2 Paire différentielle de type NMOS.

Comme les sources de M_1 et M_2 sont connectées, l'entrée différentielle V_{en} s'exprime en fonction des tensions source-grille des deux transistors (E.G. 1).

$$V_{en} = V_{en2} - V_{en1} = V_{GS2} - V_{GS1} \quad \textbf{(E.G. 1)}$$

En utilisant (E.E. 2), la différence entre les racines carrées des courants des drains de M_1 et M_2 s'écrit en fonction de l'entrée différentielle et du rapport des dimensions $(W/L)_{1,2}$ par (E.G. 2).

$$\sqrt{i_{D2}} - \sqrt{i_{D1}} = \sqrt{\frac{\mu_n C_{ox}}{2}\left(\frac{W}{L}\right)_{1,2}} V_{en} \quad \textbf{(E.G. 2)}$$

Afin de retrouver l'expression du courant différentiel de sortie, $i_{D2} - i_{D1}$, en fonction de la tension différentielle d'entrée, nous faisons appel à (E.G. 3) et (E.G. 4), qui sont déductibles à partir de (E.G. 5).

$$\left(\sqrt{i_{D2}} - \sqrt{i_{D1}}\right)^2 = I_0 - 2\sqrt{i_{D1}}\sqrt{i_{D2}} \quad \textbf{(E.G. 3)}$$

$$\left(\sqrt{i_{D2}} + \sqrt{i_{D1}}\right)^2 = I_0 + 2\sqrt{i_{D1}}\sqrt{i_{D2}} \quad \textbf{(E.G. 4)}$$

$$I_0 = i_{D2} + i_{D1} \quad \textbf{(E.G. 5)}$$

En remplaçons (E.G. 2) dans (E.G. 3), nous avons (E.G. 6).

$$2\sqrt{i_{D1}}\sqrt{i_{D2}} = I_0 - \frac{\mu_n C_{ox}}{2}\left(\frac{W}{L}\right)_{1,2} {V_{en}}^2 \quad \textbf{(E.G. 6)}$$

Ensuite, en remplaçant (E.G. 6) dans (E.G. 4) nous avons (E.G. 7).

$$\sqrt{i_{D1}} + \sqrt{i_{D2}} = \sqrt{2I_0 - \frac{\mu_n C_{ox}}{2}\left(\frac{W}{L}\right)_{1,2} {V_{en}}^2} \quad \textbf{(E.G. 7)}$$

Ainsi, la relation entre la tension différentielle d'entrée et le courant différentiel des drains, (E.G. 8), est déduite en multipliant (E.G. 2) par (E.G. 7).

$$i_{D2} - i_{D1} = V_{en}\sqrt{\mu_n C_{ox}\left(\frac{W}{L}\right)_{1,2} I_0}\sqrt{1 - \frac{\mu_n C_{ox}}{4I_0}\left(\frac{W}{L}\right)_{1,2} {V_{en}}^2} \quad \textbf{(E.G. 8)}$$

Par conséquent, les courants des drains s'expriment en fonction du courant de polarisation, I_0, des dimensions des transistors et de l'entrée différentielle, V_{en}, par (E.G. 9).

$$\begin{cases} i_{D2} = \frac{I_0}{2} + \frac{V_{en}}{2}\sqrt{\mu_n C_{ox}\left(\frac{W}{L}\right)_{1,2} I_0}\sqrt{1 - \frac{\mu_n C_{ox}}{4I_0}\left(\frac{W}{L}\right)_{1,2} {V_{en}}^2} \\ i_{D1} = \frac{I_0}{2} - \frac{V_{en}}{2}\sqrt{\mu_n C_{ox}\left(\frac{W}{L}\right)_{1,2} I_0}\sqrt{1 - \frac{\mu_n C_{ox}}{4I_0}\left(\frac{W}{L}\right)_{1,2} {V_{en}}^2} \end{cases} \quad \textbf{(E.G. 9)}$$

Ces équations sont valides pour $|V_{en}| \leq 2\sqrt{L_{1,2}I_0/(\mu_n C_{ox} W_{1,2})}$. Au-delà de cet intervalle, lorsque l'un des courants tend vers zéro, l'autre courant de drain tend vers I_0 en fonction du signe de la tension différentielle V_{en} [197]. De plus, d'après (E.G. 9), lorsque la tension différentielle est nulle, les deux courants des drains sont égaux à la moitié du courant de polarisation. Quand V_{en2} augmente par rapport à V_{en1}, le courant du drain de M_2 augmente et celui de M_1 diminue. Ces variations sont représentées à la Figure G. 3 pour laquelle nous avons utilisé les paramètres du Tableau G. 1.

Dans la région où $|V_{en}| \ll 2\sqrt{L_{1,2}I_0/(\mu_n C_{ox} W_{1,2})}$, la paire différentielle se comporte comme un amplificateur et les deux transistors sont saturés. Au-delà de cette région, le transistor ayant la tension de grille la plus faible quitte la saturation vers le régime linéaire puis le régime de blocage.

Tableau G. 1 Paramètres de calcul des courants des drains.

Paramètre	Spécification
$\mu_n C_{ox}$	$298\times 10^{-6} FV^{-1}s^{-1}$
W/L	1
I_0	45 μA
V_{en}	[-0.8, 0.8] V

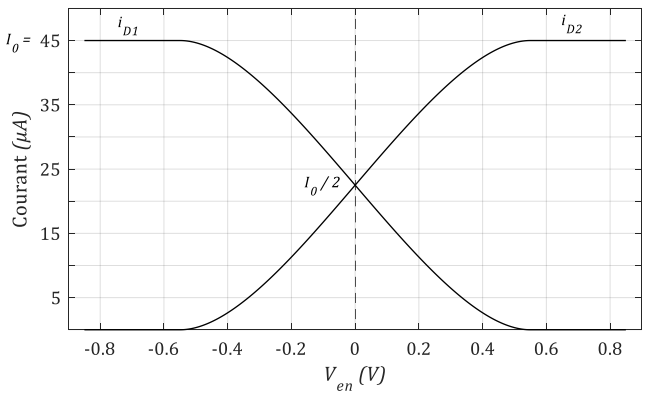


Figure G. 3 Courants des drains en fonction de la tension différentielle de la paire différentielle.

- Amplificateur différentiel à charge active :

La paire différentielle est chargée par un miroir de courant pour transformer le courant du drain de M_2 en tension tel que présenté à la Figure G. 4.

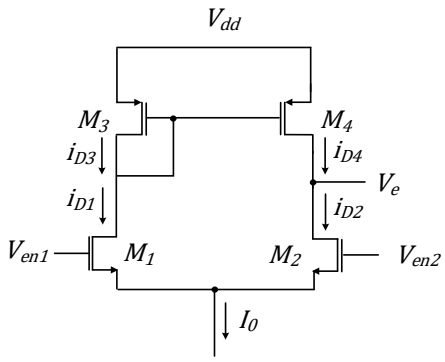


Figure G. 4 Amplificateur différentiel à charge active.

Le principe de fonctionnement d'un miroir de courant est le suivant : lorsque deux transistors MOS identiques sont polarisés dans un même régime d'opération, ils génèrent des courants de drain identiques. Le transistor M_3 est monté en diode, il est donc en régime de saturation. Sous la condition que M_4 soit en saturation, comme M_3 et M_4 sont identiques et que leurs potentiels de sources et de grilles sont identiques, le courant qui circule à travers M_3 est identique à celui dans le drain de M_4. Ainsi, i_{D3} et i_{D4} sont donnés par (E.G. 10).

$$i_{D3,4} = \frac{-\mu_p C_{ox}}{2}\left(\frac{W}{L}\right)_{3,4}\left(V_{GS3,4} - V_{thp}\right)^2 \qquad \textbf{(E.G. 10)}$$

En admettant que tous les transistors sont en régime de saturation et comme les paires (M_1, M_2) et (M_3, M_4) sont deux par deux identiques, le même courant $I_0/2$ est partagé entre les deux branches du circuit lorsque V_{en} est nulle. Dans le cas contraire, pour une différence de potentiel $|V_{en}|$ inférieure à $2\sqrt{L_{1,2}\, I_0/\mu_n C_{ox} W_{1,2}}$, les courants des drains de M_1 et M_2 varient autour de la valeur moyenne $I_0/2$ mais dans deux sens différents. Ainsi, une augmentation de i_{D1} d'un facteur ΔI, le courant i_{D2} diminue du même facteur. Comme i_{D4} suit toujours i_{D1}, la différence entre i_{D4} et i_{D2} anime le nœud de sortie connecté à V_e. La tension de sortie est alors exprimée en fonction de la tension V_{SD4} par (E.G. 11).

$$V_e = V_{dd} - V_{SD4} \qquad \textbf{(E.G. 11)}$$

En effet, pour une valeur non-nulle de V_{en}, deux cas sont possibles. Le premier cas se traduit par une tension V_{en1} supérieure à V_{en2}. Ainsi, la valeur de i_{D1} est supérieur à i_{D2}. Dans ce cas, i_{D4} est aussi supérieur à i_{D2}. Par conséquent, V_{DS4} augmente et V_e augmente. Le deuxième cas se traduit par la situation inverse où V_{en1} est inférieure à V_{en2}. Par conséquent, le courant i_{D2} augmente par rapport à i_{D1} et i_{D4}. Dans ce cas, V_{DS4} diminue et par suite V_e diminue aussi.

Dans les cas extrêmes, quand $|V_{en}|$ augmente considérablement par rapport à $2\sqrt{L_{1,2}\, I_0/\mu_n C_{ox} W_{1,2}}$, la totalité du courant I_0 circule dans une seule branche du circuit ce qui annule le courant dans la branche opposée et engendre le blocage des transistors correspondants. Par conséquent, V_e tend vers 0 pour des valeurs de V_{en1} très inférieures à V_{en2} et tend vers V_{dd} dans le cas contraire.

- Etage de sortie :

L'étage de sortie est donné à la Figure G. 5. Il est composé d'un transistor PMOS relié à travers sa grille à la tension de sortie de l'amplificateur différentiel, V_e, et d'un transistor NMOS polarisé en saturation par la tension V_b et le courant I. Dans la littérature, cette configuration, quand polarisée en saturation, représente un amplificateur à source commune, d'entrée V_e, de sortie V_s et de gain A_{v2} égal à $-g_{m_7}/(g_{ds_7} + g_{ds_8})$, où g_{m_7} est la transconductance du transistor M_7, g_{ds_7} et g_{ds_8} sont les conductances de M_7 et M_8, respectivement. Ce circuit est un inverseur puisqu'il est à base d'un transistor PMOS.

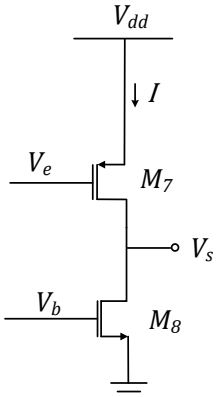


Figure G. 5 Etage de sortie du comparateur.

Le but de l'étage de sortie est d'augmenter le gain du comparateur et de convertir la sortie du premier étage en des seuils numériques V_{dd} et $0\ V$, tel que donné à la Figure G. 6. Ainsi, lorsque V_e tend vers V_{dd}, la tension de sortie V_s tend vers $0\ V$ et vice-versa.

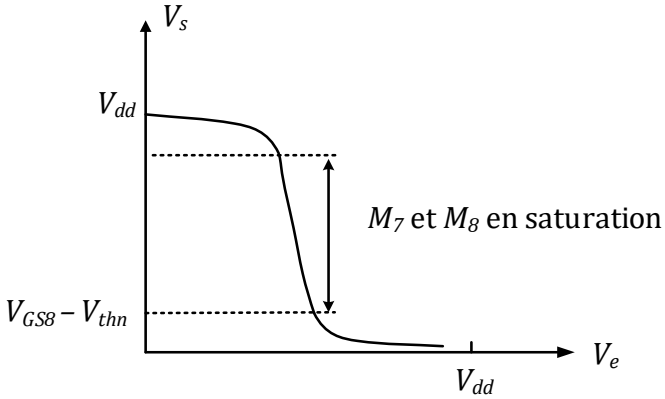


Figure G. 6 Caractéristique d'entrée-sortie de l'étage de sortie.

En se basant sur les principes de fonctionnement des deux étages décrits ci-dessus, nous décrivons dans les paragraphes suivants les scénarios de fonctionnement du comparateur en fonction du signe de la tension différentielle. En effet, cinq cas se présentent.

Si $V_{en1} > V_{en2}$ et $i_{D1} < I_0$ et en admettant que les deux transistors de la paire différentielle sont saturés, le courant de drain du transistor M_1 augmente par rapport à celui de M_2 d'un facteur ΔI. Le courant dans M_1 va déterminer celui dans M_3 qui sera reproduit dans M_4. Par conséquent, V_e augmente et V_s diminue.

Si $V_{en1} \gg V_{en2}$, dans ce cas, i_{D1} tend vers I_0 et i_{D2} tend vers 0. De ce fait, la différence de potentiel, V_{SD4}, s'approche de 0 et V_s s'approche de V_{dd} ce qui engendre le blocage de M_7. Ainsi, tel que le montre la Figure G. 6, la sortie du comparateur s'approche de 0.

Si $V_{en1} = V_{en2}$ et vu que les transistors (M_1, M_3) et (M_2, M_4) sont deux à deux identiques, le même courant $I_0/2$ circule dans les deux branches. Puisque les transistors de l'étage de sortie sont polarisés en régime saturé, la sortie du comparateur est non-nulle.

Si $V_{en1} < V_{en2}$ et $i_{D2} < I_0$, dans ce cas, le courant de drain de M_2 augmente par rapport à celui de M_1. Le courant i_{D2} augmente par rapport à i_{D1} et à i_{D4} et V_s diminue.

Si $V_{en2} \gg V_{en1}$, dans ce cas, la totalité du courant de polarisation circule dans la branche (M_2, M_4) ce qui bloque (M_1, M_3). Par conséquent, la tension de grille de M_4 et la tension V_{SD4} s'approchent de V_{dd}. Donc, V_e tend vers 0 et V_s tend vers V_{dd}.

Les spécifications présentées dans le Tableau 4. 6 conditionnent le choix des dimensions minimales des transistors du comparateur. Nous déterminons dans les paragraphes suivants les équations de dimensionnement des trois étages en considérant que tous les transistors sont en régime de saturation et que certains sont identiques.

G.2. Dimensionnement du comparateur

Nous présentons dans cette section les équations et les valeurs numériques calculées des dimensions des transistors dans le comparateur en commençant par l'étage de sortie.

- Etage de sortie :

Le choix des dimensions de l'étage de sortie dépend de la plage minimale de variation de la tension de sortie $[V_{OLmax}, V_{OHmin}]$. Les différences de potentiels entre le drain et la source de chacun des deux transistors M_7 et M_8 sont données par (E.G. 12) et (E.G. 13).

$$V_{DSsat7} = V_{OHmin} - V_{dd} \quad \textbf{(E.G. 12)}$$

$$V_{DSsat8} = V_{OLmax} \quad \textbf{(E.G. 13)}$$

Ainsi, le rapport des dimensions des deux transistors est déterminé par (E.G. 14) et (E.G. 15), où le courant I est égal à 20 μA tel que donné par le Tableau 4. 6.

$$\left(\frac{W}{L}\right)_7 = \frac{2I}{\mu_p C_{ox} V_{DSat7}^2} \quad \textbf{(E.G. 14)}$$

$$\left(\frac{W}{L}\right)_8 = \frac{2I}{\mu_n C_{ox} V_{DSat8}^2} \quad \textbf{(E.G. 15)}$$

Les valeurs minimales de $(W/L)_7$ et $(W/L)_8$ ainsi calculées sont égales à 2.5 et 1.5, respectivement. Nous considérons donc des valeurs égales à 3 et 2 pour $(W/L)_7$ et $(W/L)_8$, respectivement.

Par suite, pour le dimensionnement des transistors de la paire différentielle, la charge active et le circuit de polarisation, nous commençons par déterminer la valeur minimale du courant I_0 qui peut y circuler. Pour ce faire, nous considérons le miroir de courant

formé par M_5, M_6 et M_8. La relation qui relie le courant I dans M_8 et le courant I_0 dans M_5 et M_6 est indiquée par (E.G. 16).

$$I_0 = \frac{(W/L)_{5,6}}{(W/L)_8} I \qquad \textbf{(E.G. 16)}$$

En effet, $(W/L)_8$ est égale à 2. Donc, la valeur minimale de I_0 est déterminée en remplaçant $(W)_{5,6}$ et $(L)_{5,6}$ par la largeur et la longueur de grille minimales, égales à 180 nm et 240 nm, respectivement.

Dans ce cas, I_0 est égale à 18 μA. Dans la suite, nous considérons cette valeur minimale du courant pour minimiser la consommation de puissance du comparateur et nous commençons par le calcul des dimensions de la paire différentielle.

- Paire différentielle :

Pour ce faire, nous déterminons d'abord le gain de l'étage formé par la paire différentielle et la charge active, A_{v_1}, en fonction du gain total, A_{vc}, et du gain de l'étage de sortie, A_{v_2}.

En effet, ces trois gains sont donnés par (E.G. 17), (E.G. 18) et (E.G. 19), respectivement, où g_{ds2}, g_{ds4} sont les conductances de M_2 et M_4, et g_{m_2}, $-g_{m_7}$ sont les transconductances de M_2 et M_7.

$$A_{v1} = \left| \frac{-g_{m_2}}{g_{ds4} + g_{ds2}} \right| \qquad \textbf{(E.G. 17)}$$

$$A_{vc} = A_{v_1} \times A_{v_2} \qquad \textbf{(E.G. 18)}$$

$$A_{v2} = \left| \frac{-g_{m_7}}{g_{ds_8} + g_{ds_7}} \right| \qquad \textbf{(E.G. 19)}$$

Les transconductances, g_{m_2} et g_{m_7}, des transistors M_2 et M_7 sont données par (E.G. 20) et (E.G. 21), respectivement.

$$g_{m_2} = \sqrt{\left(\frac{W}{L}\right)_2 I_0 \mu_n C_{ox}} \qquad \textbf{(E.G. 20)}$$

$$g_{m_7} = \sqrt{\left(\frac{W}{L}\right)_7 I \mu_p C_{ox}} \qquad \textbf{(E.G. 21)}$$

En utilisant (E.G. 18) et (E.G. 19), le gain du premier étage est donné par (E.G. 22).

$$A_{v1} = \frac{A_{vc}(g_{ds_7} + g_{ds_8})}{g_{m_7}} \qquad \textbf{(E.G. 22)}$$

En utilisant (E.G. 18) et (E.G. 22), la transconductance g_{m_2} est exprimée en fonction de A_{v1} par (E.G. 23).

$$g_{m_2} = A_{v1}(g_{ds_2} + g_{ds_4}) \qquad \textbf{(E.G. 23)}$$

Ainsi, en remplaçant g_{m2} par (E.G. 20) dans (E.G. 23), les dimensions de M_1 et M_2 sont égales à (E.G. 24).

$$\left(\frac{W}{L}\right)_{1,2} = \frac{\left(A_{vc}\left(g_{ds_7} + g_{ds_8}\right)\left(g_{ds_2} + g_{ds_4}\right)\right)^2}{{g_{m_7}}^2 I_0 \mu_n C_{ox}} \quad \textbf{(E.G. 24)}$$

Les valeurs mesurées des conductances g_{ds_7}, g_{ds_8} et g_{ds_4} sont égales à 0.7, 1.1 et 1 μS, respectivement. Celle de g_{ds_2} est estimée en utilisant un transistor NMOS en régime de saturation, parcourut par un courant I_0 égal à 18 μA et ayant une longueur de grille de 1 μm. La valeur mesurée est égale à 6 μS. De plus, g_{m_7} est déterminée en utilisant (E.G. 21) où I, $\mu_p C_{ox}$ et $(W/L)_7$ sont remplacés par 20 μA, 65 $\mu F V^{-1} s^{-1}$ et 3, respectivement. La valeur calculée est égale à 88.31 μS. Finalement, en remplaçant g_{ds_2}, g_{ds_4}, g_{ds_7}, g_{ds_8} et g_{m_7} par leurs valeurs respectives dans (E.G. 24) et en remplaçant A_{vc}, I_0 et $\mu_n C_{ox}$ par 2000, 18 µA et 298 $\mu F V^{-1} s^{-1}$, la valeur calculée de $(W/L)_{1,2}$ est égale à 15.

- Miroir de courant :

Le dimensionnent du miroir de courant dépend de la tension maximale admissible par le circuit. En effet, les transistors qui constituent le miroir de courant doivent rester en régime de saturation lorsque la tension d'entrée en mode commun est maximale. En prenant l'exemple du transistor M_4, pour garantir un fonctionnement en régime de saturation lorsque la tension V_{G2} à la grille de M_2 est égale à $ICMR_+$, il faut respecter la condition (E.G. 25).

$$V_{DS4} \leq V_{GS4} - V_{thp} \quad \textbf{(E.G. 25)}$$

Sachant que la grille de M_4 est connectée au drain de M_1 et que la source de M_1 est connectée à la masse, (E.G. 25) devient (E.G. 26).

$$V_{DS4} \leq V_{D1} - V_{dd} - V_{thp} \quad \textbf{(E.G. 26)}$$

En remplaçant V_{D1} par $ICMR_+ - V_{thn}$, (E.G. 26) devient (E.G. 27).

$$V_{DS4} \leq ICMR_+ - V_{thn} - V_{dd} - V_{thp} \quad \textbf{(E.G. 27)}$$

Ainsi, les dimensions minimales des transistors du miroir de courant sont données par (E.G. 28).

$$\left(\frac{W}{L}\right)_{3,4} = \frac{I_0}{\mu_p C_{ox}\left(ICMR_+ - V_{thn} - V_{dd} - V_{thp}\right)^2} \quad \textbf{(E.G. 28)}$$

En remplaçant I_0 par 18 μA, $ICMR_+$ par 1.6 V et $\mu_p C_{ox}$, V_{dd}, V_{thn} et V_{thn} par leurs valeurs respectives données au Tableau E. 1, les dimensions minimales requises de M_3 et M_4 sont égales à 7.

- Etage de polarisation :

Les dimensions de M_5 et M_6 sont déterminées par la tension minimale admissible en mode commun, $ICMR_$. En effet, les deux transistors doivent rester en régime de saturation lorsque la tension appliquée sur les deux grilles de M_1 et M_2 diminue jusqu'à $ICMR_$. En prenant le cas du transistor M_5, cette condition se traduit par (E.G. 29) où V_{GS1} est donnée par (E.G. 30).

$$V_{DS5} \leq ICMR_ - V_{GS1} \quad \textbf{(E.G. 29)}$$

$$V_{GS1} = \sqrt{\frac{I_0}{\mu_n C_{ox}(W/L)_1}} + V_{thn} \quad \textbf{(E.G. 30)}$$

Ainsi, les dimensions minimales de M_5 et M_6 sont données par (E.G. 31).

$$\left(\frac{W}{L}\right)_{5,6} = \frac{2I_0}{\mu_n C_{ox}\left(ICMR_ - \sqrt{\frac{I_0}{\mu_n C_{ox}(W/L)_1}} - V_{thn}\right)^2} \quad \textbf{(E.G. 31)}$$

En effet, comme les dimensions du transistor M_1 sont déjà connues, nous avons mesuré une valeur approximative de sa tension de seuil qui est autour de 380 mV. Par conséquent, en remplaçant V_{thn} par 380 mV, I_0 par 18 µA, $ICMR_$ par 0.6 V et $\mu_n C_{ox}$ par sa valeur dans le Tableau E. 1, (E.G. 31) donne un résultat égal à 4.9.

Finalement, pour déterminer les dimensions de M_9, nous utilisons (E.G. 32) car ce transistor peut être approché par une résistance R_{on_9} égale à l'inverse de sa transconductance g_{m_9} donnée par (E.G. 33).

$$R_{on_9} = \frac{V_{dd} - V_{DS6}}{I_0} \quad \textbf{(E.G. 32)}$$

$$g_{m_9} = \sqrt{\left(\frac{W}{L}\right)_9 2I_0 \mu_p C_{ox}} \quad \textbf{(E.G. 33)}$$

Par ailleurs, la tension V_{DS6} s'exprime en fonction de I_0 et $(W/L)_6$ tel que donné par (E.G. 34).

$$V_{DS6} = \sqrt{\frac{2I_0}{\mu_n C_{ox}(W/L)_6}} \quad \textbf{(E.G. 34)}$$

Ainsi, les dimensions de M_9 sont déterminées en remplaçant V_{DS6} par (E.G. 34) dans (E.G. 32) et en égalisant (E.G. 32) et l'inverse de (E.G. 33). Par conséquent $(W/L)_9$ est égale à (E.G. 35).

$$\left(\frac{W}{L}\right)_9 = \frac{I_0}{2\mu_p C_{ox}\left(V_{dd} - \sqrt{\frac{2I_0}{\mu_n C_{ox}(W/L)_6}}\right)^2} \quad \textbf{(E.G. 35)}$$

En remplaçant I_0 par 18 µA, $(W/L)_6$ par 4 et $\mu_p C_{ox}$, $\mu_n C_{ox}$ et V_{dd} par leurs valeurs dans l'Annexe E, la valeur numérique de $(W/L)_9$ est de l'ordre de 0.05.

Les dimensions retenues des différents transistors dans le comparateur sont alors données au Tableau G. 2 où $(W/L)_i, i = 1 \ldots 9$ est le rapport des dimensions du transistor M_i.

Tableau G. 2 Dimensions des transistors dans le comparateur.

Transistors M_i	(M_1, M_2)	M_8	(M_3, M_4)	(M_5, M_6)	M_7	M_9
Rapport $(W/L)_i$	15	2	7	4.9	3	0.05
Longueur du Canal	$L = 1\ \mu m$			$L = 180\ nm$		

La première étape de validation du dimensionnement est la vérification de l'état des transistors par application des tensions maximales et minimales en mode commun. Ainsi, la simulation du circuit en régime de tension continue montre que :

- tous les transistors sont en régime de saturation à l'exception du transistor M_8 qui fonctionne dans le régime linéaire par application d'une tension 0.6 V sur sa grille,
- tous les transistors sont en régime de saturation par application d'une tension 1.6 V, et
- le courant de l'étage de sortie est de l'ordre de 7 μA et est donc faible par rapport aux spécifications du Tableau 4. 6.

Ainsi, les modifications suivantes ont été apportées au circuit :

- les dimensions de M_5, M_6 et M_8 ont été augmentées pour améliorer la valeur du ICMR_ à 0.575 V et
- les dimensions de M_3, M_4, M_7 et M_9 ont été ajustée pour augmenter le courant dans le circuit à la valeur 20 μA.

Les dimensions finales des transistors sont résumées au Tableau G. 3(E.G. 3).

Tableau G. 3 Dimensions finales des transistors du comparateur.

Transistor M_i	(M_1, M_2)	M_8	(M_3, M_4)	(M_5, M_6)	M_7	M_9
Rapport $(W/L)_i$	15	5	8	5	18.33	1.33
Longueur du canal	$L = 1\ \mu m$	$L = 180\ nm$				

Annexe H : Commutateur CMOS et dimensionnement du DAC

Nous décrivons dans cette annexe le circuit électronique des commutateurs identiques, présentés à la Figure 2. 9, qui sont utilisés dans le circuit du DAC. Puis, nous détaillons les étapes de dimensionnement du DAC en fonction de son impédance équivalente et de son temps de réponse, t_r.

H.1. Commutateur CMOS

Les commutateurs du réseau capacitif, $Sw_0, Sw_1, \ldots,$ et Sw_{M-1} pour M égal à 8 bits, sont des cellules identiques de type CMOS à deux entrées reliées à V_{refH} et V_{refL} et une sortie, Sc, reliée aux armatures inférieures des capacités. Chacune des cellules comprend deux portes de transmission TG_1 et TG_2 telles que présentées à la Figure H. 1.

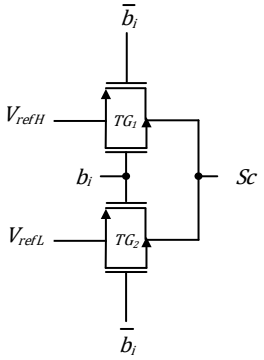


Figure H. 1 Commutateur de type CMOS.

Un commutateur est passant lorsque les grilles des transistors NMOS et PMOS sont reliées à la tension d'alimentation et à la masse, respectivement. Les scénarios de fonctionnement des commutateurs sont détaillés au Tableau H. 1. Nous rappelons que les états, passant et bloqué, des transistors sont déterminés en comparant leur tensions grille-source à leur tensions de seuils sachant que V_{refH}, V_{refL}, V_{thn} et V_{thp} sont égales à 1.6 V, 0.6 V, 0.5 V et -0.5 V, respectivement.

Tableau H. 1 Description des états des commutateurs CMOS.

b_i	$\overline{b_i}$	Etat des transistors				Etat de TG_1	Etat de TG_2	Sc
		NMOS de TG_1	PMOS de TG_1	NMOS de TG_2	PMOS de TG_2			
1	0	Bloqué	Passant	Bloqué	Bloqué	Passant	Bloqué	V_{refH}
0	1	Bloqué	Bloqué	Passant	Passant	Bloqué	Passant	V_{refL}

Autre que la description de son principe de fonctionnement, la modélisation d'un commutateur par une résistance équivalente nous aide à évaluer l'impédance équivalente pour le dimensionnement du DAC. Pour ce faire, nous partons des expressions des résistances équivalentes d'un transistor NMOS et d'un transistor PMOS en état passant, R_{on_n} et R_{on_p}, respectivement, données par (E.H. 1), où $(W/L)_{int_n}$ et $(W/L)_{int_p}$ sont les rapports des dimensions des transistors NMOS et PMOS, respectivement.

$$R_{on_n} = \frac{1}{\mu_n C_{ox}(W/L)_{int_n}\left(V_{GS_n} - V_{thn}\right)}$$
$$R_{on_p} = \frac{1}{\left|\mu_p C_{ox}(W/L)_{int_n}\left(V_{GS_p} - V_{thp}\right)\right|} \quad \textbf{(E.H. 1)}$$

Puis, en utilisant (E.H. 1) et le Tableau H. 1 en fonction de l'état de b_i, nous déterminons les résistances équivalentes R_{on_H} et R_{on_L} en état passant des deux portes de transmission, TG_1 et TG_2, respectivement. Ces impédances sont données par (E.H. 2).

$$R_{on_H} = \frac{1}{\mu_n C_{ox}(W/L)_{int_n}\left(V_{dd} - V_{refH} - V_{thn}\right)}$$
$$R_{on_L} = \frac{1}{\mu_p C_{ox}(W/L)_{int_p}\left(V_{refL} + V_{thn}\right)} // \frac{1}{\mu_n C_{ox}(W/L)_{int_n}\left(V_{dd} - V_{refL} - V_{thn}\right)} \quad \textbf{(E.H. 2)}$$

Ainsi, à l'état haut de b_i, le commutateur Sw_i est assimilé à une résistance de valeur R_{on_H}. Dans le cas contraire, Sw_i est modélisé par R_{on_L}.

Après avoir déterminé le modèle résistif du commutateur CMOS, nous détaillons le dimensionnement du DAC dans les paragraphes suivants.

H.2. Dimensionnement du DAC

Le circuit du DAC est constitué d'un réseau de capacités et de commutateurs alimentées par deux tensions de références. Ce circuit admet ainsi une constante du temps, τ_{DAC}, qui dépend de ces éléments et qui définit le temps de réponse du DAC, t_r. Ainsi, il est possible de choisir la valeur de la capacité unitaire C_0 et la taille des transistors dans les commutateurs en essayant de minimiser la constante du temps maximale du DAC. Pour ce faire, il est nécessaire de simplifier le circuit complexe de la Figure 2. 9 afin de déterminer l'expression de τ_{DAC}. Puis, la valeur limite de cette constante est fixée en considérant le temps de boucle dans le LC-ADC.

Dans la suite, nous décrivons les étapes de dimensionnement du DAC en commençant par la définition de la valeur maximale admissible de τ_{DAC}.

- Définition de la condition limite de la constante du temps :

Le modèle permettant d'estimer la constante du temps, τ_{DAC}, est donné à la Figure H. 2, où R_{eq}, C_{eq} et E_{DAC} sont la résistance équivalente de tous les commutateurs, la capacité équivalente et la tension d'alimentation du circuit, respectivement.

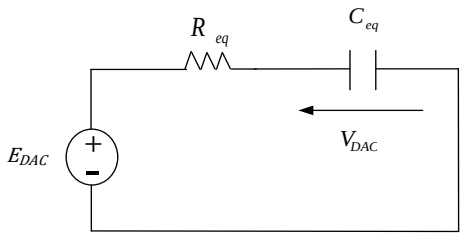


Figure H. 2 Modèle RC du DAC.

En effet, l'équation différentielle régissant ce modèle s'exprime en fonction de τ_{DAC}, par (E.H. 3), où τ_{DAC} est égale à $\left(R_{eq}C_{eq}\right)^{-1}$

$$\tau_{DAC}{}^{-1}\frac{dV_{DAC}}{dt} + V_{DAC} = E_{DAC} \qquad \textbf{(E.H. 3)}$$

Cette équation différentielle du premier ordre admet une solution de la forme (E.H. 4), où A et B sont des constantes.

$$V_{DAC} = Ae^{-t/\tau_{DAC}} + B \qquad \textbf{(E.H. 4)}$$

Ces constantes dépendent des conditions initiales et finales de charge de C_{eq}. Ainsi, pour évaluer les valeurs numériques de A et B, nous nous référons au fonctionnement du LC-ADC. En effet, l'actualisation de la sortie du DAC se fait par un pas de quantification, q, par rapport à sa valeur analogique précédente. Dans le cas de la détection d'une traversée de niveau par rapport au niveau de référence supérieur, une incrémentation de q se produit. Dans le cas contraire, la sortie du DAC se décrémente de q. Nous définissons alors les tensions analogiques E_L et E_H telles que (E.H. 5).

$$E_H - E_L = q \qquad \textbf{(E.H. 5)}$$

Lorsque la tension aux bornes du DAC s'incrémente, nous considérons E_L la tension initiale aux bornes de C_{eq} et E_H la tension finale après la charge. Ainsi, (E.H. 4) devient (E.H. 6).

$$V_{DAC} = E_H - qe^{-t/\tau_{DAC}} \qquad \textbf{(E.H. 6)}$$

A l'instant t égal à τ_{DAC}, la différence de potentiel aux bornes de C_{eq} est égale à $E_H - 0.37q$. Dans le cas contraire, pendant une décrémentation, la tension aux bornes de C_{eq} passe de E_H à E_L. L'expression de V_{DAC} est donc (E.H. 7).

$$V_{DAC} = E_L + qe^{-t/\tau_{DAC}} \qquad \textbf{(E.H. 7)}$$

Dans ce cas, à l'instant t égal à τ_{DAC}, la tension au bornes de C_{eq} est déchargée à une valeur égale à $E_L + 0.37q$. De la même manière, en utilisant (E.H. 6) et (E.H. 7), nous traçons, à la Figure H. 3, la variation de l'erreur de tension en fonction d'instants multiples de τ_{DAC}. Cette erreur est définie par la différence entre E_H et V_{DAC} en cas de charge, et entre E_L et V_{DAC} en cas de décharge.

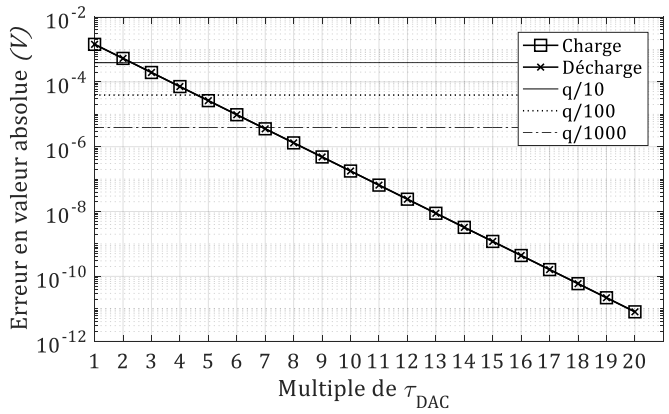


Figure H. 3 Variations de l'erreur de tension en fonction de la constante du temps.

D'après la Figure H. 3, au bout de $7\tau_{DAC}$, l'erreur de tension est inférieure à un millième de q. Ainsi, nous pouvons considérer qu'à cet instant, le réseau capacitif dans le DAC est entièrement chargé.

Pour estimer la valeur limite de τ_{DAC}, nous commençons par analyser le temps de boucle du LC-ADC, δ, donné par (E.H. 8). En eff et, δ dépend du temps de réponse du DAC, t_r, du temps de propagation du comparateur, t_p, et du temps de propagation de la partie numérique intermédiaire entre le comparateur et le DAC, $t_{p_{DIG}}$, respectivement, où t_r caractérise le temps d'établissement de la tension finale à la sortie du DAC.

$$\delta = t_r + t_p + t_{p_{DIG}} \quad \textbf{(E.H. 8)}$$

Par conséquent, en considérant un temps de boucle maximal, δ_{max}, inférieur à 2 µs, la constante du temps du DAC doit satisfaire la condition (E.H. 9).

$$\tau_{DAC} < \frac{\delta_{max} - t_p - t_{p_{DIG}}}{7} \quad \textbf{(E.H. 9)}$$

D'un côté, le temps de propagation mesuré du comparateur est inférieur à 5 ns. D'un autre côté, comme la réponse de la partie numérique est plus rapide que le comparateur, $t_{p_{DIG}}$ est aussi inférieure à 5 ns. De ce fait, la somme de t_p et $t_{p_{DIG}}$ est inférieure $\delta_{max}/200$ et (E.H. 9) devient (E.H. 10). Cette condition définit la valeur maximale de τ_{DAC}.

$$\tau_{DAC} < 0.28\ \mu s \quad \textbf{(E.H. 10)}$$

En effet, τ_{DAC} dépend non seulement de la valeur de C_0 mais aussi de la configuration du réseau du DAC, qui est définie par le mot binaire appliqué aux commutateurs. Nous proposons, dans le paragraphe suivant, d'évaluer l'expression de la constante du temps en fonction des éléments constitutifs du DAC.

- Evaluation de l'expression de la constante du temps :

Dans notre travail, nous dimensionnons par rapport au pire cas, qui provoque la constante du temps maximale. Ainsi, parmi les scénarios de décrémentations et incrémentations possibles provoqués par des mots binaires variant entre ''00000000'' et ''11111111'', la constante du temps la plus importante se produit aux passages entre les deux niveaux de

références équivalents au mots binaires ''01111111'' et ''10000000''. En effet, le maximum de commutations se produit dans ce cas. Par conséquent, le passage au modèle RC simple de la Figure H. 2 doit se faire en simplifiant le circuit de la Figure H. 4, où toutes les branches du réseau sont reliées à la tension V_{refL} à l'exception de la branche contrôlée par le MSB, qui est reliée à V_{refH}.

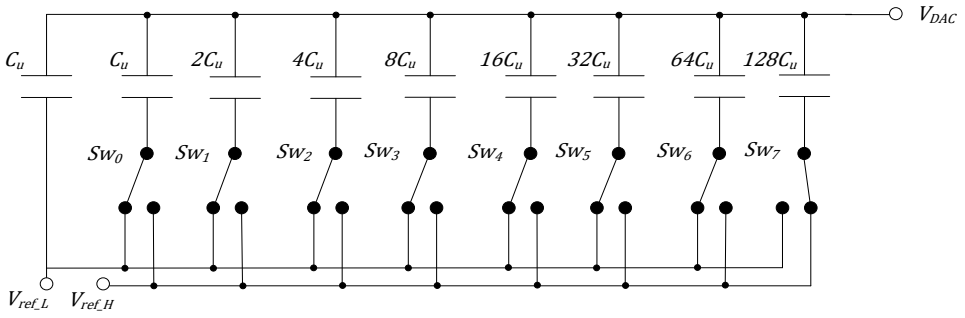


Figure H. 4 Configuration du DAC pour *S* égal à 128.

Par ailleurs, pour simplifier d'avantage cette étape, nous dimensionnons par rapport au cas de fonctionnement où les bits à l'entrée du DAC passent de ''00000000'' à ''11111111''. Cette configuration du circuit admet une constante du temps supérieure au cas d'un passage entre ''01111111'' et ''10000000'' vu que toutes les branches du circuit commutent et que les capacités se chargent à partir de la tension minimale 0.6 V. Ce cas n'est réellement pas envisageable mais il permet de garder une marge de sécurité par rapport à la constante du temps effective du circuit, d'un côté. D'un autre côté, il facilite énormément l'évaluation de C_{eq} et R_{eq} par rapport au circuit de la Figure H. 4.

Ainsi, le circuit équivalent du DAC est présenté à la Figure H. 5, où Z_i est l'impédance de l'$i^{ème}$ branche du réseau. Elle est contrôlée par le commutateur dans le circuit du DAC. Son expression est donnée par (E.H. 11), où w est la pulsation et est égale à $2\pi/T_c$ pour T_c égale à 2 µs et R_{on_i} est la résistance équivalente de la $i^{ème}$ branche définie par (E.H. 12).

$$Z_i = \frac{1}{j2^i C_0 w} + R_{on_i} \text{ pour } i \in [\![0,7]\!] \qquad \textbf{(E.H. 11)}$$

$$R_{on_i} = \begin{cases} R_{on_H} \text{ pour } b_i = '1' \\ R_{on_L} \text{ pour } b_i = '0' \end{cases} \qquad \textbf{(E.H. 12)}$$

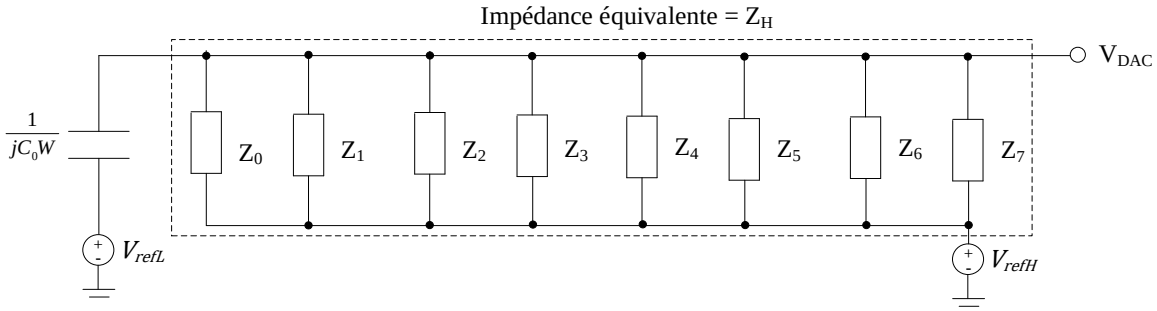


Figure H. 5 Circuit équivalent du DAC pour *S* égal à 255.

Ainsi, en négligeant l'effet de la constante du temps induite par la charge de la capacité unitaire reliée à V_{refL} par rapport au reste du réseau, l'impédance équivalente du DAC, Z_H, est donnée par (E.H. 13).

$$Z_H = Z_0//Z_1//\ldots//Z_7 \quad \textbf{(E.H. 13)}$$

Afin d'éviter la complexité de l'expression analytique de cette impédance, nous avons implémenté un code MATLAB qui calcule la valeur numérique de Z_H en utilisant (E.H. 13) pour des valeurs données de C_0 et de $(W/L)_{int_{n,p}}$. Sachant que Z_H s'exprime en fonction de C_{eq} et R_{eq} tel que donné par (E.H. 14), les valeurs numériques de R_{eq} et C_{eq} sont par suite connues.

$$Z_H = R_{eq} + \frac{1}{jC_{eq}w} \quad \textbf{(E.H. 14)}$$

Comme la constante du temps n'est autre que l'inverse du produit entre R_{eq} et C_{eq}, nous évaluons dans le paragraphe suivant les variations de τ_{DAC} en fonction des paramètres de dimensionnement du DAC, C_0 et $(W/L)_{int_{n,p}}$.

- Evaluation de τ_{DAC} et dimensionnement des éléments du circuits :

Les variations de la constante du temps, τ_{DAC}, sont présentées à la Figure H. 6 en considérant des valeurs de $(W/L)_{int_n}$ et $(W/L)_{int_p}$ égales à $240nm/180nm$ et $480nm/180nm$ respectivement, et en variant C_0 dans la plage de $10\ fF$ à $1\ pF$.

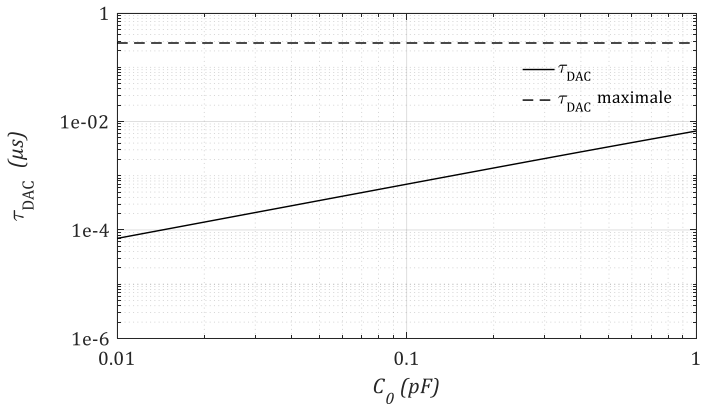


Figure H. 6 Variations de la constante du temps du DAC en fonction de la valeur de C_0.

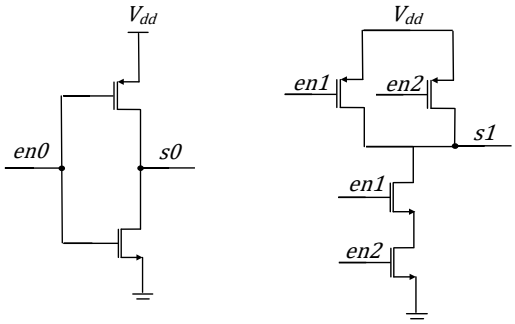
Tel que le montre la Figure H. 6, quelle que soit la valeur de C_0, τ_{DAC} est inférieure à 0.28 µs. Par conséquent, afin de minimiser la surface du DAC, nous choisissons la valeur minimale admissible par la technologie CMOS 180 nm UMC pour le cas des capacités de types MIMCAP. Les paramètres de dimensionnement du DAC qui garantissent une constante du temps inférieure à 0.28 µs sont alors résumés au Tableau H. 2.

Tableau H. 2 Paramètres de conception du DAC.

Paramètres	Valeurs
C_0	$14.5\ fF$
$(W/L)_{int_n}$	$240nm$ / $180nm$
$(W/L)_{int_p}$	$480nm$ / $180nm$

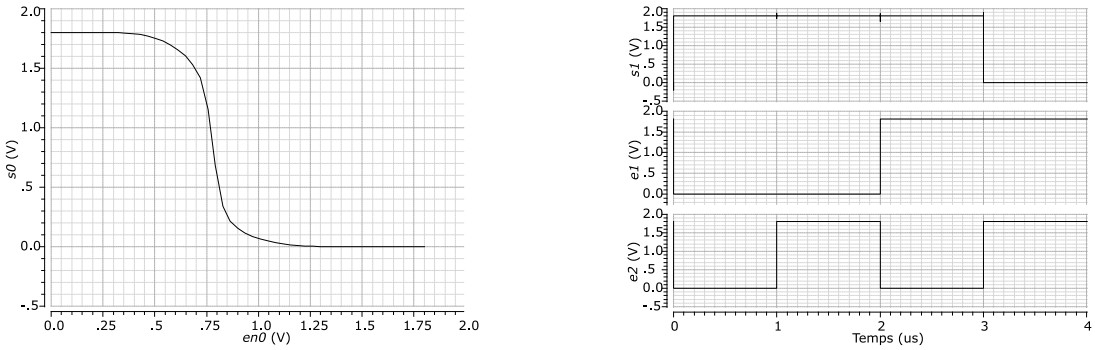
Annexe I : Eléments de la bibliothèque numérique conçue

Tous les éléments de la partie numérique ont été réalisés à base des deux portes logiques qui sont l'inverseur et la porte NAND [136]. Les circuits électroniques au niveau transistor de ces deux composants sont présentés à la Figure I. 1, où les signaux d'entrée sont $en0, en1, en2$ et les signaux de sortie sont $s0$ et $s1$. La validation fonctionnelle des éléments de base de notre bibliothèque numérique est présentée à la Figure I. 2. Les délais de propagation mesurés de l'inverseur et de la porte NAND sont de l'ordre de 21 ps et 30 ps, respectivement.



(a) Porte inverseur. **(b) Porte NAND.**

Figure I. 1 Cicrcuits élémentaires.



(a) Inverseur. **(b) Porte NAND.**

Figure I. 2 Validation fonctionnelle des portes logiques inverseur et NAND.

En plus des fonctions logiques inverseur et NAND, l'élément de base des fonctions de mémorisation dans les circuits séquentiels est la bascule D de structure maître-esclave avec remise à '0' et remise à '1' asynchrones. Le schéma logique de la bascule D conçue est donné à la Figure I. 3 [136]. La bascule mémorise le bit d'entrée, D, sur front montant de l'horloge clk. Set et $reset$ sont les signaux de remise à '1' et de remise à '0' asynchrones, respectivement. La validation fonctionnelle de la bascule D est présentée à la Figure I. 4.

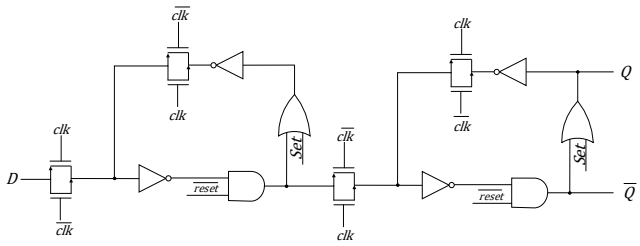


Figure I. 3 Bascule D de type maître-esclave.

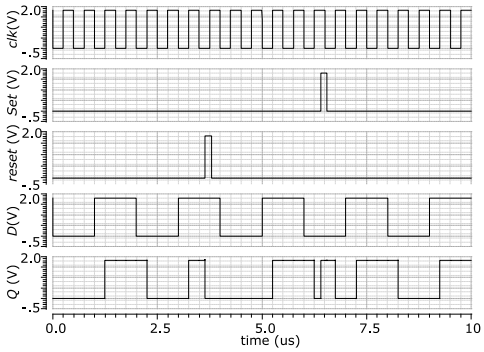


Figure I. 4 Validation fonctionnelle de la bascule D de type maître-esclave.

Tel que le montre la Figure I. 4, la bascule D recopie le contenu du signal D à chaque front montant du signal d'horloge clk. Le signal de sortie, Q, est ainsi maintenu constant entre deux front montants successifs de clk tant que les signaux Set et $reset$ sont inactifs.

En effet, la longueur et la largeur considérées pour dimensionner les grilles des transistors NMOS de toute la partie numérique sont égales à 180 nm et 240 nm, respectivement. Par ailleurs, la largeur des grilles des transistors PMOS est augmentée au double de celles des NMOS afin d'augmenter la mobilité des trous dans le PMOS.

Références

[1] "American Heart Association, Heart Disease and Stroke Statistics, 2017," *Update at-a-glance*, 2017.

[2] J. O. T. A. Watkins, J. Goudge, F. X. Gómez-Olivé, and F. Griffiths, "Mobile phone use among patients and health workers to enhance primary healthcare: A qualitative study in rural South Africa," *Social Science & Medicine*, 2018.

[3] L. H. Schwamm, N. Chumbler, E. Brown, G. C. Fonarow, D. Berube, K. Nystrom, R. Suter, M. Zavala, D. Polsky, K. Radhakrishnan, and others, "Recommendations for the implementation of telehealth in cardiovascular and stroke care: a policy statement from the American Heart Association," *Circulation*, vol. 135, no. 7, pp. e24–e44, 2017.

[4] A. Srivastava, N. Sankar, B. Chatterjee, D. Das, M. Ahmad, R. Kukkundoor, V. Saraf, A. Jayachandran, D. Sharma, and M. Baghini, "Bio-WiTel: A low power integrated wireless telemetry system for healthcare applications in 401-406 MHz band of medRadio spectrum," *IEEE journal of biomedical and health informatics*, 2016.

[5] P. Harpe, H. Gao, R. van Dommele, E. Cantatore, and A. H. van Roermund, "A 0.20 mm^2 3 nW Signal Acquisition IC for Miniature Sensor Nodes in 65 nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 51, no. 1, pp. 240–248, 2016.

[6] S.-L. Chen, G.-A. Luo, and T.-L. Lin, "Efficient fuzzy-controlled and hybrid entropy coding strategy lossless ECG encoder VLSI design for wireless body sensor networks," *Electronics Letters*, vol. 49, no. 17, pp. 1058–1060, 2013.

[7] T. Marisa, T. Niederhauser, A. Haeberlin, R. A. Wildhaber, R. Vogel, M. Jacomet, and J. Goette, "Bufferless compression of asynchronously sampled ECG signals in cubic Hermitian vector space," *IEEE Transactions on Biomedical Engineering*, vol. 62, no. 12, pp. 2878–2887, 2015.

[8] J.-H. Hsieh, R.-C. Lee, K.-C. Hung, and M.-J. Shih, "Rapid and coding-efficient SPIHT algorithm for wavelet-based ECG data compression," *Integration, the VLSI Journal*, vol. 60, pp. 248–256, 2018.

[9] C.-I. Ieong, M. Li, M.-K. Law, P.-I. Mak, M. I. Vai, and R. P. Martins, "A 0.45 V 147–375 nW ECG Compression Processor With Wavelet Shrinkage and Adaptive Temporal Decimation Architectures," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 25, no. 4, pp. 1307–1319, 2017.

[10] L. Duch, S. Basu, R. Braojos, G. Ansaloni, L. Pozzi, and D. Atienza, "HEAL-WEAR: An Ultra-Low Power Heterogeneous System for Bio-Signal Analysis," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 64, no. 9, pp. 2448–2461, 2017.

[11] E. Allier, G. Sicard, L. Fesquet, and M. Renaudin, "Asynchronous level crossing analog to digital converters," *Elsevier Measurement Journal*, vol. 37, no. 4, pp. 296–309, 2005.

[12] G. B. Moody, R. G. Mark, and A. L. Goldberger, "PhysioNet: a web-based resource for the study of physiologic signals," *IEEE Eng Med Biol Mag*, vol. 20, no. 3, pp. 70–75, 2001.

[13] G. B. Moody and R. G. Mark, "The impact of the MIT-BIH arrhythmia database," *IEEE Engineering in Medicine and Biology Magazine*, vol. 20, no. 3, pp. 45–50, 2001.

[14] M. Tlili, A. Maalej, M. Ben-Romdhane, M. C. Bali, F. Rivet, D. Dallet, and C. Rebai, "Level-crossing ADC modeling for wireless electrocardiogram signal acquisition system," in *IEEE International Instrumentation and Measurement Technology Conference Proceedings (I2MTC), 2016*, 2016, pp. 1–5.

[15] R. M. Rangayyan, *Biomedical Signal Analysis: A Case-Study Approach*. IEEE Press, Wiley-Interscience, 2001.

[16] J. D. Bronzino, *The biomedical engineering handbook*, 2nd ed., vol. Volume I. CRC Press, 2000.

[17] P. Amorim, T. Moraes, D. Fazanaro, J. Silva, and H. Pedrini, "Electroencephalogram signal classification based on shearlet and contourlet transforms," *Expert Systems with Applications*, vol. 67, pp. 140–147, 2017.

[18] K. Min, D. Shin, J. Lee, and S. Kakei, "EMG refinement using muscle synergy based regulation of Uncertain Information from EMG," *Journal of Biomechanics*, 2018.

[19] M. V. Shervegar and G. V. Bhat, "Automatic segmentation of phonocardiogram using the occurrence of the cardiac events," *Informatics in Medicine Unlocked*, vol. 9, pp. 6–10, 2017.

[20] M. Steven McGee, *Evidence-Based Physical Diagnosis E-Book*, 4th ed. Elsevier Health Sciences, 2018, pp. 261–274.

[21] L. Dou, Y.-F. Chen, P. J. Cowan, and X. Chen, "Extracellular ATP signaling and clinical relevance," *Clinical Immunology*, 2017.

[22] I. E. Harmsen, N. C. Rowland, R. A. Wennberg, and A. M. Lozano, "Characterizing the effects of deep brain stimulation with magnetoencephalography: a review," *Brain stimulation*, 2018.

[23] E.-S. Shin, Y.-Y. Lam, A.-Y. Her, J. Brachmann, F. Jung, and J.-W. Park, "Incremental diagnostic value of combined quantitative and qualitative parameters of magnetocardiography to detect coronary artery disease," *International journal of cardiology*, vol. 228, pp. 948–952, 2017.

[24] M. Anas, A. Norali, and W. Jun, "On-line monitoring and analysis of bioelectrical signals," *Procedia Computer Science*, vol. 42, pp. 365–371, 2014.

[25] K. A. Sidek and I. Khalil, "Enhancement of low sampling frequency recordings for ECG biometric matching using interpolation," *Computer methods and programs in biomedicine*, vol. 109, no. 1, pp. 13–25, 2013.

[26] R. M. Rangayyan, *Biomedical signal analysis*, vol. 33. John Wiley & Sons, 2015.

[27] W. Tatum, G. Rubboli, P. Kaplan, S. Mirsatari, K. Radhakrishnan, D. Gloss, L. Caboclo, F. Drislane, M. Koutroumanidis, D. Schomer, and others, "Clinical utility of EEG in diagnosing and monitoring epilepsy in adults," *Clinical Neurophysiology*, vol. 129, no. 5, pp. 1056–1082, 2018.

[28] L. Jin, Y. Zhang, X.-L. Wang, W.-J. Zhang, Y.-H. Liu, and Z. Jiang, "Postictal apnea as an important mechanism for SUDEP: A near-SUDEP with continuous EEG-ECG-EMG recording," *Journal of Clinical Neuroscience*, vol. 43, pp. 130–132, 2017.

[29] "World health organization, World Health Statistics 2016: Monitoring Health for the SDGs Sustainable Development Goals," *2016. ISBN:9789240695696*.

[30] D. Gangopadhyay, E. G. Allstot, A. M. Dixon, K. Natarajan, S. Gupta, and D. J. Allstot, "Compressed sensing analog front-end for bio-sensor applications," *IEEE Journal of Solid-State Circuits*, vol. 49, no. 2, pp. 426–438, 2014.

[31] P. R. Harris, "The normal electrocardiogram: resting 12-lead and electrocardiogram monitoring in the hospital," *Critical Care Nursing Clinics*, vol. 28, no. 3, pp. 281–296, 2016.

[32] A. Sharma, A. Polley, S. B. Lee, S. Narayanan, W. Li, T. Sculley, and S. Ramaswamy, "A Sub-60-μA multimodal smart biosensing SoC with >80-dB SNR, 35μA photoplethysmography signal chain," *IEEE Journal of Solid-State Circuits*, vol. 52, no. 4, pp. 1021–1033, 2017.

[33] S. M. Lee, H. J. Byeon, B. H. Kim, J. Lee, J. Y. Jeong, J. H. Lee, J.-H. Moon, C. Park, H. Choi, S.-H. Lee, and others, "Flexible and implantable capacitive microelectrode for bio-potential acquisition," *BioChip Journal*, vol. 11, no. 2, pp. 153–163, 2017.

[34] D. L. Musat, N. Milstein, and S. Mittal, "Implantable loop recorders for cryptogenic stroke (plus real-world atrial fibrillation detection rate with implantable loop recorders)," *Cardiac electrophysiology clinics*, vol. 10, no. 1, pp. 111–118, 2018.

[35] *Philips family of multi-purpose electrodes*, no. 40489E. PHILIPS Healthcare.

[36] P. Jevon, *ECGs for nurses*, vol. 14. John Wiley & Sons, 2009.

[37] H. C. Hemmings and P. M. Hopkins, *Foundations of anesthesia: basic sciences for clinical practice*. Elsevier Health Sciences, 2006.

[38] *Fundamental fit MAC 3500 resting ECG analysis system*, no. MAC 3500. GE Healthcare.

[39] *CARDIOVIT AT-2 PLUS*, no. AT-2. Shiller.

[40] *Cardiofax C*, no. C. Nihon Kohden.

[41] *Cardiofax V*, no. C. Nihon Kohden.

[42] L. Sörnmo and P. Laguna, *Bioelectrical signal processing in cardiac and neurological applications*, vol. 8. Academic Press, 2005.

[43] *EC-12RM and cardiopsy mobile for Android*, no. EC-12RM. Labtech.

[44] *ARGUS PRO TM-1 Telemetry*, no. ARGUS PRO TM-1. SCHILLER.

[45] U. Satija, B. Ramkumar, and M. S. Manikandan, "Real-time signal quality-aware ECG telemetry system for IoT-based health care monitoring," *IEEE Internet of Things Journal*, vol. 4, no. 3, pp. 815–823, 2017.

[46] M. Engin, Y. Yamaner, and E. Z. Engin, "A biotelemetric system for human ECG measurements," *Measurement*, vol. 38, no. 2, pp. 148–153, 2005.

[47] P. M. Barrett, R. Komatireddy, S. Haaser, S. Topol, J. Sheard, J. Encinas, A. J. Fought, and E. J. Topol, "Comparison of 24-hour Holter monitoring with 14-day novel adhesive patch electrocardiographic monitoring," *The American Journal of Medicine*, vol. 127, no. 1, pp. 95–e11, 2014.

[48] H. Nazzari, L. Halperin, and A. Krahn, "Electrocardiographic monitoring strategies (Holter, implantable loop recorder, in between)," 2014.

[49] *SEER Light/SEER Light Extend compact digital recorders for ambulatory ECG testing*, no. SEER Light. GE Healthcare.

[50] *CardioMem CM 3000 Holter ECG recorder series*, no. CM 3000. GE Healthcare.

[51] *EC-1-12H Holter ECG System Technical specification*, no. EC-1–12H. Labtech.

[52] J. Johansson, H. Neubauer, and H. Hauer, "A 16-bit 60-μW multi-bit Sigma-Delta modulator for portable ECG applications," in *ESSCIRC 2004 - 29th European Solid-State Circuits Conference*, 2003, pp. 161–164.

[53] R. Dorn, M. Volker, H. Neubauer, J. Hauer, and J. Johansson, "A 3-channel ECG measuring system for wireless applications," in *IEEE International Workshop on Medical Measurement and Applications, 2006. MeMea 2006.*, 2006, pp. 49–52.

[54] M. Yip, J. L. Bohorquez, and A. P. Chandrakasan, "A 0.6 V 2.9 μW mixed-signal front-end for ECG monitoring," in *VLSI Circuits (VLSIC), 2012 Symposium on*, 2012, pp. 66–67.

[55] S.-Y. Lee, J.-H. Hong, C.-H. Hsieh, M.-C. Liang, S.-Y. C. Chien, and K.-H. Lin, "Low-power wireless ECG acquisition and classification system for body sensor networks," *IEEE Journal of Biomedical and Health Informatics*, vol. 19, no. 1, pp. 236–246, 2015.

[56] R. F. Yazicioglu, S. Kim, T. Torfs, H. Kim, and C. V. Hoof, "A 30 μW analog signal processor ASIC for portable biopotential signal monitoring," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 1, pp. 209–223, 2011.

[57] H. Huang, T. Gong, N. Ye, R. Wang, and Y. Dou, "Private and secured medical data transmission and analysis for wireless sensing healthcare system," *IEEE Transactions on Industrial Informatics*, vol. 13, no. 3, pp. 1227–1237, 2017.

[58] M. G. Khan, *Rapid ECG interpretation*. Springer Science & Business Media, 2008.

[59] E. Lepeschkin and B. Surawicz, "The duration of the QU interval and its components in electrocardiograms of normal persons," *American Heart Journal*, vol. 46, no. 1, pp. 9–20, 1953.

[60] S. S. Al-Zaiti and K. S. Magdic, "Paroxysmal supraventricular tachycardia: pathophysiology, diagnosis, and management," *Critical Care Nursing Clinics of North America*, vol. 28, pp. 309–316, 2016.

[61] S. Chokroverty, *Sleep Disorders Medicine E-Book: Basic Science, Technical Considerations, and Clinical Aspects*. Elsevier Health Sciences, 2009.

[62] D. Craven, B. McGinley, L. Kilmartin, M. Glavin, and E. Jones, "Electrocardiologie numérique," *Encyc. Med. Chir. (Paris, France), Coeur-Vaisseaux 11003,*, vol. 21, no. 3, p. 10.

[63] C. Chapelon-Abric, "Électrocardiogramme normal de l'adulte," *EMC-Cardiologie-Angéiologie*, vol. 1, no. 1, pp. 2–10, 2004.

[64] M. Tlili, A. Maalej, M. B. Romdhane, F. Rivet, D. Dallet, and C. Rebai, "Mathematical modeling of clean and noisy ECG signals in a level-crossing sampling context," in *International Symposium on Signal, Image, Video and Communications (ISIVC)*, 2016, pp. 359–363.

[65] J. A. Van Alste and T. Schilder, "Removal of base-line wander and power-line interference from the ECG by an efficient FIR filter with a reduced number of taps," *IEEE Transactions on Biomedical Engineering*, no. 12, pp. 1052–1060, 1985.

[66] D. P. Golden Jr, R. A. Wolthuis, and G. Hoffler, "A spectral analysis of the normal resting electrocardiogram," *IEEE Transactions on Biomedical Engineering*, no. 5, pp. 366–372, 1973.

[67] R. Gupta, M. Mitra, and J. Bera, *ECG acquisition and automated remote processing*. Springer, 2014.

[68] R. Gonzalez, R. Perez, M. Lopez, I. Fernandez, J. Espinosa, L. Badias, A. Fernandez, Y. Pena, and G. Rodriguez, "A new tool for heart disease prognosis in the community," in *Computing in Cardiology, 2011*, 2011, pp. 773–776.

[69] I. E. Commission and others, "MMedical electrical equipment - Part 2-51: Particular requirements for safety, including essential performance, of recording and analysing single channel and multichannel electrocardiographs," *IEC 60601-2-51*, 2003.

[70] P. R. Rijnbeek, J. A. Kors, and M. Witsenburg, "Minimum bandwidth requirements for recording of pediatric electrocardiograms," *Circulation*, vol. 104, no. 25, pp. 3087–3090, 2001.

[71] A. Adamo, G. Grossi, R. Lanzarotti, and J. Lin, "ECG compression retaining the best natural basis k-coefficients via sparse decomposition," *Biomedical Signal Processing and Control*, vol. 15, pp. 11–17, 2015.

[72] Z. Zhang, Y. Xu, J. Yang, X. Li, and D. Zhang, "A survey of sparse representation: algorithms and applications," *IEEE access*, vol. 3, pp. 490–530, 2015.

[73] D. L. Donoho, M. Elad, and V. N. Temlyakov, "Stable recovery of sparse overcomplete representations in the presence of noise," *IEEE Transactions on Information Theory*, vol. 52, no. 1, pp. 6–18, 2006.

[74] G. Da Poian, R. Bernardini, and R. Rinaldo, "Separation and analysis of fetal-ECG signals from compressed sensed abdominal ECG recordings," *IEEE Transactions on Biomedical Engineering*, vol. 63, no. 6, pp. 1269–1279, 2016.

[75] J. Mairal, F. Bach, J. Ponce, and G. Sapiro, "Online learning for matrix factorization and sparse coding," *Journal of Machine Learning Research*, vol. 11, no. Jan, pp. 19–60, 2010.

[76] J. Wang, M. She, S. Nahavandi, and A. Kouzani, “Human identification from ECG signals via sparse representation of local segments,” *IEEE Signal Processing Letters*, vol. 20, no. 10, pp. 937–940, 2013.

[77] Q. Barthelemy, “Représentations parcimonieuses pour les signaux multivariés,” Université de Grenoble, 2013.

[78] D. Sadhukhan, S. Pal, and M. Mitra, “Electrocardiogram data compression using adaptive bit encoding of the discrete Fourier transforms coefficients,” *IET Science, Measurement & Technology*, vol. 9, no. 7, pp. 866–874, 2015.

[79] A. Singh and S. Dandapat, “Block sparsity-based joint compressed sensing recovery of multi-channel ECG signals,” *Healthcare Technology Letters*, vol. 4, no. 2, p. 50, 2017.

[80] A. M. Abdulghani, A. J. Casson, and E. Rodriguez-Villegas, “Quantifying the performance of compressive sensing on scalp EEG signals,” in *3rd International Symposium on Applied Sciences in Biomedical and Communication Technologies (ISABEL), 2010*, 2010, pp. 1–5.

[81] Y.-C. Cheng, P.-Y. Tsai, and M.-H. Huang, “Matrix-inversion-free compressed sensing with variable orthogonal multi-matching pursuit based on prior information for ECG signals,” *IEEE Transactions on Biomedical Circuits and Systems*, vol. 10, no. 4, pp. 864–873, 2016.

[82] S. G. Mallat and Z. Zhang, “Matching pursuits with time-frequency dictionaries,” *IEEE Transactions on Signal Processing*, vol. 41, no. 12, pp. 3397–3415, 1993.

[83] E. T. Hale, W. Yin, and Y. Zhang, “A fixed-point continuation method for l1-regularized minimization with applications to compressed sensing,” *CAAM TR07-07, Rice University*, vol. 43, p. 44, 2007.

[84] Y. C. Pati, R. Rezaiifar, and P. Krishnaprasad, “Orthogonal matching pursuit: Recursive function approximation with applications to wavelet decomposition,” in *Signals, Systems and Computers, 1993. 1993 Conference Record of The Twenty-Seventh Asilomar Conference on*, 1993, pp. 40–44.

[85] S. Sardy, A. G. Bruce, and P. Tseng, “Block coordinate relaxation methods for nonparametric wavelet denoising,” *Journal of computational and graphical statistics*, vol. 9, no. 2, pp. 361–379, 2000.

[86] U. Satija, B. Ramkumar, and M. S. Manikandan, “Noise-aware dictionary-learning-based sparse representation framework for detection and removal of single and combined noises from ECG signal,” *Healthcare Technology Letters*, vol. 4, no. 1, pp. 2–12, 2017.

[87] Z. Peng, G. Wang, H. Jiang, and S. Meng, “Research and improvement of ECG compression algorithm based on EZW,” *Computer Methods and Programs in Biomedicine*, vol. 145, pp. 157–166, 2017.

[88] G. Grossi, R. Lanzarotti, and J. Lin, “High-rate compression of ECG signals by an accuracy-driven sparsity model relying on natural basis,” *Digital Signal Processing*, vol. 45, pp. 96–106, 2015.

[89] D. Craven, B. McGinley, L. Kilmartin, M. Glavin, and E. Jones, “Adaptive dictionary reconstruction for compressed sensing of ecg signals,” *IEEE journal of biomedical and health informatics*, vol. 21, no. 3, pp. 645–654, 2017.

[90] J. W. Mark and T. D. Todd, "A nonuniform sampling approach to data compression," *IEEE Transactions on Communications*, vol. 29, no. 1, pp. 24–32, 1981.

[91] N. Sayiner, H. V. Sorensen, and T. R. Viswanathan, "A level-crossing sampling scheme for A/D conversion," *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, vol. 43, no. 4, pp. 335–339, 1996.

[92] T. Marisa, T. Niederhauser, A. Haeberlin, R. A. Wildhaber, R. Vogel, J. Goette, and M. Jacomet, "Pseudo Asynchronous Level Crossing ADC for ECG Signal Acquisition," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 11, no. 2, pp. 267–278, 2017.

[93] Y. Li, D. Zhao, W. Serdijn, and others, "A sub-microwatt asynchronous level-crossing adc for biomedical applications," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 7, no. 2, pp. 149–157, 2013.

[94] E. Allier, G. Sicard, L. Fesquet, and M. Renaudin, "Asynchronous level crossing analog to digital converters," *Measurement*, vol. 37, no. 4, pp. 296–309, 2005.

[95] B. Schell and Y. Tsividis, "A continuous-time ADC/DSP/DAC system with no clock and with activity-dependent power dissipation," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 11, pp. 2472–2481, 2008.

[96] K. Kozmin, J. Johansson, and J. Delsing, "Level-crossing ADC performance evaluation toward ultrasound application," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, no. 8, pp. 1708–1719, 2009.

[97] M. P. (auth.), *Analog-to-Digital Conversion*, 3rd ed. Springer International Publishing, 2017.

[98] I. A. (auth.), *Pipelined ADC Design and Enhancement Techniques*, 1st ed. Springer Netherlands, 2010.

[99] S. P. Kopparthy, I. Makwana, and A. Gupta, "An asynchronous 8-bit 5 MS/s pipelined ADC for biomedical sensor based applications," in *IEEE International Conference onElectronics, Computing and Communication Technologies (CONECCT), 2013*, pp. 1–6.

[100] L. Yan, P. Harpe, V. R. Pamula, M. Osawa, Y. Harada, K. Tamiya, C. Van Hoof, and R. F. Yazicioglu, "A 680 nA ECG acquisition IC for leadless pacemaker applications," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 8, no. 6, pp. 779–786, 2014.

[101] S.-L. Chen, J. F. Villaverde, H.-Y. Lee, D. W.-Y. Chung, T.-L. Lin, C.-H. Tseng, and K.-A. Lo, "A Power-Efficient Mixed-Signal Smart ADC Design With Adaptive Resolution and Variable Sampling Rate for Low-Power Applications," *IEEE Sensors Journal*, vol. 17, no. 11, pp. 3461–3469, 2017.

[102] *ADS833x Low-Power, 16-Bit, 500-kSPS, 4- and 8-Channel Unipolar Input Analog-to-Digital Converters With Serial Interface*, no. ADS7040. Texas Instruments, 2016.

[103] *ADS7039-Q1 Small-Size, Low-Power, 10-Bit, 2-MSPS, SAR ADC*, no. ADS7039. Texas Instruments, 2017.

[104] *8-Channel, 1 MSPS, 10-Bit SAR ADC*, no. AD7298–1. Analog Devices.

[105] *18-Bit, 2 MSPS SAR ADC*, no. AD7641. Analog Devices.

[106] W. Bai, Z. Zhu, Y. Li, and L. Liu, "A 64.8 μW > 2.2 GΩ DC-AC Configurable CMOS Front-End IC for Wearable ECG Monitoring," *IEEE Sensors Journal*, 2018.

[107] C. Chen, L. Chen, X. Wang, and F. Zhang, "A 0.6 V, 8.4 μW AFE circuit for biomedical signal recording," *Microelectronics Journal*, vol. 75, pp. 105–112, 2018.

[108] *LC2MOS 22-Bit Data Acquisition System*, no. AD7716. Analog Devices.

[109] *16-Bit, 195 MSPS CMOS, Sigma-Delta ADC*, no. AD7722. Analog Devices.

[110] *ADS129x Low-Power, 8-Channel, 24-Bit Analog Front-End for Biopotential Measurements*, no. ADS129. Texas Instruments, 2015.

[111] *16-Channel, 24-Bit Analog-to-Digital Converter*, no. ADS1258. Texas Instruments, 2011.

[112] B. Schell and Y. Tsividis, "A continuous-time ADC/ DSP/ DAC system with no clock and With activity-dependent power dissipation," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 11, pp. 2472–2481, Nov. 2008.

[113] W. Tang, A. Osman, D. Kim, B. Goldstein, C. Huang, B. Martini, V. A. Pieribone, and E. Culurciello, "Continuous time level crossing sampling ADC for bio-potential recording systems," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 60, no. 6, pp. 1407–1418, 2013.

[114] T. Wang, D. Wang, P. J. Hurst, B. C. Levy, and S. H. Lewis, "A level-crossing analog-to-digital converter with triangular dither," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, no. 9, pp. 2089–2099, 2009.

[115] M. Trakimas and S. R. Sonkusale, "An adaptive resolution asynchronous ADC architecture for data compression in energy constrained sensing applications," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 58, no. 5, pp. 921–934, 2011.

[116] K. Kozmin, J. Johansson, and J. Delsing, "Level-Crossing ADC Performance Evaluation Toward Ultrasound Application," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 56, no. 8, pp. 1708–1719, 2009.

[117] A. L. Mansano, Y. Li, S. Bagga, and W. A. Serdijn, "An autonomous wireless sensor node with asynchronous ECG monitoring in 0.18 μm CMOS," *IEEE transactions on biomedical circuits and systems*, vol. 10, no. 3, pp. 602–611, 2016.

[118] L. Bengtsson, "Single-Chip Implementation of Level-Crossing ADC for ECG Sampling," *Journal of Electrical and Electronic Systems*, vol. 6, pp. 1–6, 2017.

[119] C. Weltin-Wu and Y. Tsividis, "An event-driven clockless level-crossing ADC with signal-dependent adaptive resolution," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 9, pp. 2180–2190, 2013.

[120] Y. Li, D. Zhao, and W. A. Serdijn, "A Sub-Microwatt asynchronous level-crossing ADC for biomedical applications," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 7, no. 2, pp. 149–157, 2013.

[121] X. Zhang, Z. Zhang, Y. Li, C. Liu, Y. X. Guo, and Y. Lian, "A 2.89$\mu W Dry-Electrode Enabled Clockless Wireless ECG SoC for Wearable Applications," *IEEE journal of solid-state circuits*, vol. 51, no. 10, pp. 2287–2298, 2016.

[122] E. Allier, G. Sicard, L. Fesquet, and M. Renaudin, "A new class of asynchronous A/D converters based on time quantization," in *Ninth International Symposium on Asynchronous Circuits and Systems*, 2003, pp. 196–205.

[123] P. Jungwirth and A. Poularikas, "Improved Sayiner level crossing ADC," in *System Theory, 2004. Proceedings of the Thirty-Sixth Southeastern Symposium on*, 2004, pp. 379–383.

[124] N. Ravanshad, H. Rezaee-Dehsorkh, R. Lotfi, and Y. Lian, "A level-crossing based QRS-detection algorithm for wearable ECG sensors," *IEEE journal of biomedical and health informatics, 2014.*, vol. 18, pp. 183–192.

[125] R. Agarwal and S. Sonkusale, "Input-feature correlated asynchronous analog to information converter for ECG monitoring," *IEEE transactions on biomedical circuits and systems*, vol. 5, no. 5, pp. 459–467, 2011.

[126] M. Tlili, M. B. Romdhane, A. Maalej, M. C. Bali, F. Rivet, D. Dallet, and C. Rebai, "Accurate Level-crossing ADC Design for Biomedical Acquisition Board," in *BIOSTEC 2016*, 2016, vol. 4, pp. 321–326.

[127] M. Tlili, M. Ben-Romdhane, A. Maalej, F. Rivet, D. Dallet, and C. Rebai, "Level-crossing ADC design and evaluation methodology for normal and pathological electrocardiogram signals measurement," *Elsevier Measurement*, vol. 124, pp. 413–425, 2018.

[128] D. Hough, "Applications of the proposed IEEE 754 standard for floating-point arithetic," *Computer*, vol. 14, no. 3, pp. 70–74, 1981.

[129] R. P. Agarwal and P. J. Wong, *Error inequalities in polynomial interpolation and their applications*, vol. 262. Springer Science & Business Media, 2012.

[130] C. Serra, P. Daponte, and L. Michaeli, "ADC and DAC modelling and testing–state of the art," *Metrology and Measurement Systems*, vol. 12, no. 3, pp. 231–248, 2005.

[131] R. Wu, J. H. Huijsing, and K. A. Makinwa, *Precision instrumentation amplifiers and read-out integrated circuits*. Springer Science & Business Media.

[132] R. J. Van de Plassche, *CMOS integrated analog-to-digital and digital-to-analog converters*, vol. 742. Springer Science & Business Media.

[133] P. E. Allen and D. R. Holberg, *CMOS analog circuit design*. Oxford Univ. Press, 2002.

[134] F. P. Cortes, E. Fabris, and S. Bampi, "Analysis and design of amplifiers and comparators in CMOS 0.35 μm technology," *Microelectronics Reliability*, vol. 44, no. 4, pp. 657–664, 2004.

[135] L. H. C. Ferreira, R. L. Moreno, T. C. Pimenta, and C. A. R. Fitho, "An offset self-correction sample and hold circuit for precise applications in low voltage CMOS, IEEE Symposium on Integrated Circuits and Systems Design," 2002, pp. 243–246.

[136] R. J. Baker, *CMOS: circuit design, layout, and simulation*, vol. 1. John Wiley & Sons, 2008.

[137] S. Tilden and others, "IEEE standard for terminology and test methods for digital-to-analog converters," *IEEE Std 1658-2011*, pp. 1–114.

[138] *LMC7211 Tiny CMOS Comparator with Rail-to-Rail Input and Push-Pull Output*, no. LMC7211-N. Texas Instruments, 2013.

[139] *Micropower, CMOS Input, RRIO, 1.8-V, Push-Pull Output Comparator*, no. LPV7215. Texas Instruments, 2016.

[140] *Quad 8-bit voltage out CMOS DAC complete with internal 10 V reference DAC8426*, no. DAC8426. Analog Devices, 2017.

[141] *10-bit digital-to-analog converters, TCL5916*, no. TLC5615C,TLC5615I. Texas Instruments, 2007.

[142] *16-bit single-supply buffered voltage output digital-to-analog conversion with less than ±1 LSB integral and differential nonlinearity, CN-0348*, no. CN-0348. Analog Devices, 2014.

[143] Y. Jiang, *Solving the inverse problem of electrocardiography in a realistic environment*. KIT Scientific Publishing, 2014.

[144] M. Boulakia, S. Cazeau, M. A. Fernández, J.-F. Gerbeau, and N. Zemzemi, "Mathematical modeling of electrocardiograms: a numerical study," *Annals of biomedical engineering*, vol. 38, no. 3, pp. 1071–1097, 2010.

[145] L. Sornmo, P. O. Borjesson, M. Nygards, and O. Pahlm, "A method for evaluation of QRS shape features using a mathematical model for the ECG," *Biomedical Engineering, IEEE Transactions on*, no. 10, pp. 713–717, 1981.

[146] S. Yimman, M. Deeudom, J. Ittisariyanon, S. Junnapiya, and K. Dejhan, "An Implementation of Discrete Mathematical Model for ECG waveform," in *International Conference on Control, Automation, and Systems, Korea*, 2005.

[147] P. E. McSharry, G. D. Clifford, L. Tarassenko, L. Smith, and others, "A dynamical model for generating synthetic electrocardiogram signals," *IEEE Transactions on Biomedical Engineering*, vol. 50, no. 3, pp. 289–294, 2003.

[148] S. Agrawal and A. Gupta, "Fractal and EMD based removal of baseline wander and powerline interference from ECG signals," *Computers in biology and medicine*, vol. 43, no. 11, pp. 1889–1899, 2013.

[149] A. Ghaffari, H. Golbayani, and M. Ghasemi, "A new mathematical based QRS detector using continuous wavelet transform," *Computers & Electrical Engineering*, vol. 34, no. 2, pp. 81–91, 2008.

[150] Y. Zigel, A. Cohen, and A. Katz, "The weighted diagnostic distortion (WDD) measure for ECG signal compression," *IEEE Transactions on Biomedical Engineering*, vol. 47, no. 11, pp. 1422–1430, 2000.

[151] S. Pal and M. Mitra, "Increasing the accuracy of ECG based biometric analysis by data modelling," *Elsevier Measurement Journal*, vol. 45, no. 7, pp. 1927–1932, 2012.

[152] J. Surda, S. Lovas, J. Pucik, and M. Jus, "Spectral properties of ECG signal," in *Radioelektronika, 2007. 17th International Conference*, pp. 1–5.

[153] T. B. Nazzal, S. A. Mahmoud, and M. O. Shaker, "A 200-nW 7.6-ENOB 10-KS/s SAR ADC in 90-nm CMOS for Portable Biomedical Applications," *Elsevier Microelectronics Journal*, vol. 56, pp. 81–96, 2016.

[154] R. Rieger, "Variable-gain, low-noise amplification for sampling front ends," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 5, pp. 253–261, 2011.

[155] M. Tlili, A. Maalej, M. Ben Romdhane, M. C. Bali, F. Rivet, D. Dallet, and C. Rebai, "Level-Crossing ADC Modeling for Wireless Electrocardiogram Signal Acquisition System," in *I2MTC 2016*, 2016.

[156] P. Bera and R. Gupta, "Hybrid encoding algorithm for real time compressed electrocardiogram acquisition," *Measurement*, vol. 91, pp. 651–660, 2016.

[157] R. Kumar, A. Kumar, and G. K. Singh, "Electrocardiogram signal compression using singular coefficient truncation and wavelet coefficient coding," *IET Science, Measurement & Technology*, vol. 10, no. 4, pp. 266–274, 2016.

[158] C. C. M. Amine Nait Ali, *Compression of biomedical images and signals*, 1st ed. Wiley-ISTE, 2008.

[159] S. Jalaleddine, C. G. Hutchens, R. D. Strattan, W. Coberly, and others, "ECG data compression techniques-a unified approach," *IEEE Transactions on Biomedical Engineering*, vol. 37, no. 4, pp. 329–343, 1990.

[160] B. Singh, A. Kaur, and J. Singh, "A review of ECG data compression techniques," *International journal of computer applications*, vol. 116, no. 11, 2015.

[161] A. Chatterjee, A. Nait-Ali, and P. Siarry, "An input-delay neural-network-based approach for piecewise ECG signal compression," *IEEE Transactions on Biomedical Engineering*, vol. 52, no. 5, pp. 945–947, 2005.

[162] D. Del Testa and M. Rossi, "Lightweight lossy compression of biometric patterns via denoising autoencoders," *IEEE Signal Processing Letters*, vol. 22, no. 12, pp. 2304–2308, 2015.

[163] I. Daubechies, *Ten lectures on wavelets*. CBMS-NSF Regional Conference Series in Applied Mathematics, 1992.

[164] M. Tlili, M. Ben-Romdhane, A. Manel, F. Rivet, D. Dallet, and C. Rebai, "Compression Study of Continuous-Time Sampled ECG Data for e-Health Applications," in *IMEKO TC4, 2017*.

[165] J.-M. Lina and M. Mayrand, "Complex daubechies wavelets," *Applied and Computational Harmonic Analysis*, vol. 2, no. 3, pp. 219–229, 1995.

[166] M. Misiti, Y. Misiti, and J. Poggi, "Wavelet tool-box user's guide, MathWorks Inc, 1996."

[167] K.-C. Hung, T.-C. Wu, H.-W. Lee, and T.-K. Liu, "EP-based wavelet coefficient quantization for linear distortion ECG data compression," *Medical Engineering and Physics*, vol. 36, no. 7, pp. 809–821, 2014.

[168] R. Kumar, A. Kumar, and G. Singh, "Electrocardiogram signal compression based on singular value decomposition (SVD) and adaptive scanning wavelet difference reduction (ASWDR) technique," *AEU-International Journal of Electronics and Communications*, vol. 69, no. 12, pp. 1810–1822, 2015.

[169] U. Lepik, "Numerical solution of differential equations using Haar wavelets," *Mathematics and Computers in Simulation*, vol. 68, no. 2, pp. 127–143, 2005.

[170] J. Shen and G. Strang, "Asymptotics of daubechies filters, scaling functions, and wavelets," *Applied and Computational Harmonic Analysis*, vol. 5, no. 3, pp. 312–331, 1998.

[171] A. Cohen, I. Daubechies, and J.-C. Feauveau, "Biorthogonal bases of compactly supported wavelets," *Communications on Pure and Applied Mathematics*, vol. 45, no. 5, pp. 485–560, 1992.

[172] T.-X. He, "Biorthogonal spline type wavelets," *Computers & Mathematics with Applications*, vol. 48, no. 9, pp. 1319–1334, 2004.

[173] L. Lu, J. Yan, and C. W. de Silva, "Feature selection for ECG signal processing using improved genetic algorithm and empirical mode decomposition," *Measurement*, vol. 94, pp. 372–381, 2016.

[174] S. Y. Hwang and J. Y. Lee, "Construction of biorthogonal wavelet vectors," *Linear Algebra and its Applications*, vol. 434, no. 4, pp. 1171–1188, 2011.

[175] G. Strang and T. Nguyen, *Wavelets and filter banks*. SIAM, 1996.

[176] M. Meo, V. Zarzoso, O. Meste, D. G. Latcu, and N. Saoudi, "Spatial variability of the 12-lead surface ECG as a tool for noninvasive prediction of catheter ablation outcome in persistent atrial fibrillation," *IEEE Transactions on Biomedical Engineering*, vol. 60, no. 1, pp. 20–27, 2013.

[177] H. I. Shahein and H. M. Abbas, "ECG data compression via cubic-splines and scan-along polygonal approximation," *Signal Processing*, vol. 35, no. 3, pp. 269–283, 1994.

[178] G. Mastroianni and G. Milovanovic, *Interpolation processes: Basic theory and applications*. Springer Science & Business Media, 2008.

[179] J. P. M. M Farrashkhalvat, *Basic structured grid generation with an introduction to unstructured grid generation*, 1st ed. Butterworth Heinemann, 2003.

[180] F. N. Fritsch and R. E. Carlson, "Monotone piecewise cubic interpolation," *SIAM Journal on Numerical Analysis*, vol. 17, no. 2, pp. 238–246, 1980.

[181] J. H. Ahlberg, E. N. Nilson, and J. L. Walsh, *The Theory of Splines and Their Applications: Mathematics in Science and Engineering: A Series of Monographs and Textbooks*, vol. 38. Elsevier, 2016.

[182] *Virtuoso Spectre Circuit Simulator Reference Product Version 11.1*, no. DAC8426. Cadence, 2011.

[183] A. Sheikholeslami, "Source degeneration [circuit intuitions]," *IEEE Solid-State Circuits Magazine*, vol. 6, no. 3, pp. 5–6, 2014.

[184] B. Razavi, *Design of Analog CMOS Integrated Circuits*, First Edition. McGraw Hill Higher Education, 2003.

[185] R. Smat, "Introduction to comparators, their parameters and basic applications," *STMicroelectronics, App. Note*, vol. 4071, 2012.

[186] D. J. Allstot, "A precision variable-supply CMOS comparator," *IEEE Journal of Solid-State Circuits*, vol. 17, no. 6, pp. 1080–1087, 1982.

[187] P. E. Allen and D. R. Holberg, "CMOS analog circuit design," *Oxford University Press.*

[188] V. Katyal, R. L. Geiger, and D. J. Chen, "A new high precision low offset dynamic comparator for high resolution high speed ADCs," in *APCCAS 2006-2006 IEEE Asia Pacific Conference on Circuits and Systems*, 2006, pp. 5–8.

[189] *Micropower dual CMOS voltage comparators*, no. TS3702. STMicroelectronics, 2007.

[190] *Low power dual CMOS voltage comparator*, no. TS372. STMicroelectronics, 2011.

[191] Y.-L. S. Lin, C.-M. Kyung, H. Yasuura, and Y. Liu, *Smart sensors and systems*. Springer, 2015.

[192] R. V. D. P. (auth.), *Integrated Analog-To-Digital and Digital-To-Analog Converters*, 1st ed. Springer US, 1994.

[193] J. Crowe and B. Hayes-Gill, *Introduction to digital electronics*. Elsevier, 1998.

[194] P.-Y. Chiu and M.-D. Ker, "Metal-layer capacitors in the 65 nm CMOS process and the application for low-leakage power-rail ESD clamp circuit," *Microelectronics Reliability*, vol. 54, no. 1, pp. 64–70, 2014.

[195] Y. E. Papananos, *Radio-frequency microelectronic circuits for telecommunication applications*. Springer Science & Business Media, 2013.

[196] W. Xiong, Y. Guo, U. Zschieschang, H. Klauk, and B. Murmann, "A 3-V, 6-bit C-2C digital-to-analog converter using complementary organic thin-film transistors on glass," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 7, pp. 1380–1388, 2010.

[197] R. L. Geiger, P. E. Allen, and N. R. Strader, *VLSI design techniques for analog and digital circuits*, vol. 90. McGraw-Hill New York, 1990.