Contribution à l'étude des modes de dégradation des transistors HEMT à base de GaN pour les applications de puissance

Malika Elharizi

▶ **To cite this version:**

Malika Elharizi. Contribution à l'étude des modes de dégradation des transistors HEMT à base de GaN pour les applications de puissance. Autre. Université Paris Saclay (COmUE), 2018. Français. NNT : 2018SACLN040 . tel-01946672

HAL Id: tel-01946672

https://theses.hal.science/tel-01946672

Submitted on 6 Dec 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

NNT : 2018SACLN040

CONTRIBUTION A L'ETUDE DES MODES DE DEGRADATION DES TRANSISTORS HEMT A BASE DE GaN POUR LES APPLICATIONS DE PUISSANCE

Thèse de doctorat de l'Université Paris-Saclay
Préparée à l'ENS CACHAN

École doctorale n°575
Electrical, Optical, Bio-Physics and Engineering (EOBE)
Génie Electrique, Electronique, Photonique et Systèmes

Thèse présentée et soutenue à Versailles, le 21/11/2018, par

Malika ELHARIZI

Composition du Jury :

M. Frédéric MORANCHO Professeur des Universités, Université de Toulouse III Paul Sabatier	Rapporteur
M. Olivier LATRY Professeur des Universités, Université de Rouen	Rapporteur
M. Dominique PLANSON Professeur des Universités, INSA de Lyon	Président
M. René ESCOFFIER Ingénieur de recherche, CEA-Leti Grenoble	Examinateur
M. Eric LABOURE Professeur des Universités, Université Paris-Sud	Examinateur
M. Alain BENSOUSSAN Ingénieur de recherche, IRT Saint Exupery	Examinateur
M. Ali IBRAHIM Ingénieur de recherche, IFSTTAR (SATIE)	Examinateur
M. Zoubir KHATIR Directeur de recherche, IFSTTAR (SATIE)	Directeur de thèse

Thèse de doctorat

A mes chers parents

Remerciements

Ce mémoire de thèse est le résultat d'un travail mené au sein de l'équipe TEMA du laboratoire SATIE à l'Institut Français des Sciences et Technologies des Transports, de l'Aménagement et des Réseaux (IFSTTAR). Il s'est effectué avec le concours de plusieurs personnes à qui je voudrais témoigner toute ma reconnaissance.

Je voudrais d'abord adresser mes remerciements à tous les membres de l'équipe TEMA qui m'ont aidé tout au long de ces trois ans de thèse. Mes remerciements s'adressent en premier lieu à mon directeur de thèse, Monsieur Zoubir KHATIR, pour son accompagnement, son aide, sa patience, sa disponibilité et surtout ses judicieuses orientations. Je le remercie pour son savoir-faire scientifique qui m'a permis de mener mon travail à terme et d'évoluer sur le plan professionnel.

Je remercie également mon encadrant, Monsieur Ali IBRAHIM, pour son suivi et sa bienveillance au quotidien durant ces trois ans passés à TEMA.

J'exprime ma reconnaissance à Monsieur Frédéric MORANCHO, Professeur des Universités à l'Université de Toulouse III Paul Sabatier, et Monsieur Olivier LATRY, Professeur des Universités à l'Université de Rouen, pour avoir accepté d'être les rapporteurs de ce mémoire, pour en avoir fait la relecture et pour leurs remarques pertinentes et constructives.

Je tiens à exprimer ma sincère gratitude à Monsieur Dominique PLANSON, Professeur des Universités à l'INSA de Lyon, Monsieur René ESCOFFIER, Ingénieur de recherche, CEA-Leti à Grenoble, Monsieur Éric LABOURÉ, Professeur des Universités à l'Université Paris-Sud et à Monsieur Alain BENSOUSSAN, Ingénieur de recherche, IRT Saint Exupéry pour m'avoir fait l'honneur d'avoir accepté de prendre part à ce jury de thèse.

Je tiens à exprimer ma sincère gratitude à Richard LALLEMEND pour sa forte contribution dans les travaux expérimentaux et l'intérêt qu'il a porté à ma thèse. Il m'a appris beaucoup de choses en commençant par la réalisation des bancs d'expérimentations jusqu'aux méthodologies de tests.

Je tiens à remercier particulièrement Jean-Pierre OUSTEN, pour sa précieuse aide dans la réalisation des montages expérimentaux ainsi que pour le covoiturage entre Cachan et Satory, sa disponibilité et ses conseils qui m'ont beaucoup servi tout au long de ces trois années. Je le remercie également pour sa relecture minutieuse de ma thèse.

J'adresse tous mes remerciements à Monsieur René ESCOFFIER pour sa collaboration et pour avoir fourni les composants du CEA-Leti.

Je tiens également à témoigner de la bonne ambiance qui régnait dans l'équipe TEMA grâce à : Damien INGROSSO, Thierry KOCINIEWSKI, Son Ha TRAN, Nausicaa DORNIC et Zeineb CHABRAK. Je pense également aux autres collègues : Franck ROBLIN, Laurent DUPONT, Juliette KAUV, Alexandre De-Bernardinis, Rabeb YAHYAOUI, Abdelfatah KOLLI, Salah OULD MAHAMMEED et Nandhini RAVA-RAJI-SHANAR. Je remercie chaleureusement Isnié RUSANI pour sa gentillesse et ses conseils précieux, Merouane OUHAB pour son amitié, son soutien et du temps passé ensemble ainsi que Fadi ZAKI pour le travail effectué ensemble sur le vieillissement des composants GaN.

Il m'est impossible d'oublier mes meilleures amies, Saloua CHLAILY et Rajae BOUARFA, dont l'amitié n'a pas été ébranlée par les années et la distance. Je les remercie pour leur soutien, leur disponibilité, leur écoute ainsi que pour le partage des moments de joie et de tristesse.

Mes derniers remerciements s'adressent à ma famille : ma chère maman, qui a tout fait pour m'aider, qui m'a soutenue et surtout supportée dans tout ce que j'ai entrepris, mon cher papa pour son soutien

et pour son aide dans tout ce qui est administratif et financier, mes sœurs et mon frère qui étaient tout le temps à mes côtés pour me soutenir malgré la distance qui nous sépare.

Je remercie toutes les personnes qui ont contribué directement ou indirectement à la réalisation de ce travail.

Liste des symboles

AIN	Aluminium Nitride
Al_2O_3	Alumine
AlGaN	Aluminium Gallium Nitride
BPI	Banque Public d'Investissement
CEA-Leti	Commissariat à l'Energie Atomique et aux Energies Alternatives- Laboratoire d'électronique et de technologie de l'information
CIF	Circuit imprimé français
CMS	Composant monté en surface
c_n	Coefficient de capture d'électrons
c_p	Coefficient de capture de trous
C_{th}	Capacité thermique
DC	Direct Current
DCB	Direct Copper Bonding
DLOS	Spectroscopie optique de niveau profond
DUT	Die Under test
E_a	Energie d'activation
E_C	Energie de conduction
EL	Electroluminescence
EMI	Interférences électromagnétiques
e_n	Coefficient d'émission d'électrons
e_p	Coefficient d'émission de trous
E_T	Energie du piège
E_V	Energie de valence
Freq	Fréquence
GaAs	Gallium Arsenide
GaN	Nitrure de Gallium
g_f	Transconductance
GIT	Gate Injection Transistor
HEMT	High Electron Mobility Transistor
HTOT	High Temperature Operating Test
HTRBT	High Temperature Reverse Bias Test
Ict	Courant Cyclage Thermique
I_D	Courant de fuite de drain
I-DLTS	Spectroscopie transitoire de niveau profond (Deep Level Transient Spectroscopy)
I_{DS}	Courant Drain-Source
I_G	Courant de fuite de grille
I_L	Courant de charge
InP	Indium Phosphide

IR	Imagerie thermique Infrarouge
Itr	Transitoire du courant
L_G	Longueur de la grille
L_{GD}	Distance Grille-Drain
MEGAN	Module Electronique à base de GaN
MLI	Modulation de largeur d'impulsion
MOCVD	Metalorganic Vapour Phase Epitaxy
MOS	Métal-Oxyde-Semi-conducteur
n	Densité d'électrons
n_s	Concentration de charges du canal
n_{s0}	Concentration de charges du canal à l'équilibre
N_T	Densité de charges des pièges
n_T	Densité des pièges occupés par des électrons
n_{T0}	Densité des pièges occupés par des électrons à l'équilibre
P	Puissance dissipée
p	Densité de trous
PECVD	Plasma-Enhanced Chemical Vapor Deposition
p_T	Densité des pièges occupés par des trous
PWM	Pulse Width Modulation
R_{ch}	Résistance sous la grille
R_d	Résistance entre la grille et le drain
RF	Radio-fréquence
R_{on}	Résistance Drain-Source
R_{on_dyn}	Résistance dynamique à l'etat passant
R_{on_th}	Résistance due à l'effet de la thermique
R_{on_tr}	Résistance due à l'effet du piégeage
R_{on0}	Résistance dynamique à l'instant 0
R_{onf}	Résistance dynamique à la fin du test
SAM	Scanning Acoustic Microscope
Si	Silicium
SiC	Carbure de Silicium
SiN	Silicon mononitride
T-ALD	Thermo-Atomic Layer Deposition
Tc	Température case
TiN	Titanium Nitride
T_j	Température de jonction
T_{j0}	Température de jonction à l'instant 0
T_{jf}	Température de jonction à la fin du test
T_{jmax}	Température de jonction maximale
T_{jmin}	Température de jonction minimale
t_{off}	Durée à l'état Off

t_{on}	Durée à l'état On
TPAD	Pad Thermique
T_{ref}	Température de reference
TSEP	Thermal-sensitive electrical parameter
Vdc	Tension au blocage
V_{DS}	Tension Drain-Source
V_{DSoff}	Tension Drain-Source au l'état OFF
V_{DSon}	Tension Drain-Source à l'état ON
V_{GS}	Tension Grille-Source
V_{GSoff}	Tension Grille-Source à l'état OFF
V_{GSon}	Tension Grille-Source à l'état ON
V_p	Tension de pincement
V_{th}	Tension seuil
WBD	Wide Band Gap
Z_{th}	Impédance thermique
η	Rapport cyclique
σ_n	section efficace de capture
τ_c	Constante de temps de capture
τ_e	Constante de temps d'émission
$(dn_T/dt)_{G-R}$	Variation des concentrations de charges piégées
$(DV_{DS}/dt)_{turn_off}$	Taux de variation de la tension au blocage
2DEG	2 D Electron Gas

Table des matières

Introduction générale 19

CHAPITRE I Etat de l'art sur les modes de dégradation des dispositifs de puissance à base de GaN 23

Introduction 24

I.1 Généralités sur les composants Grands Gaps 24

I.1.1 Compromis entre la tenue en tension et la température 25

I.1.2 Compromis entre la tenue en tension et la résistance R_{ON}-spécifique 27

I.1.3 Applications des composants Grands Gaps 27

I.2 Structures des composants GaN 29

I.2.1 Structure latérale 30

I.2.2 Structure verticale 32

I.3 Mécanismes de dégradation des composants GaN 33

I.3.1 Mécanismes de piégeage 34

I.3.1.1 Principe et modèle mathématique 34

I.3.1.2 Caractérisations des pièges 37

I.3.1.3 Conséquences des mécanismes de piégeage 42

I.3.2 Electrons chauds 44

I.4 Problème des fuites 45

I.5 Problème de la variation dynamique de R_{on} 46

I.6 Vieillissement 48

I.6.1 Vieillissement des composants GaN en Radiofréquence 48

I.6.2 Vieillissement par court-circuit 54

I.6.3 Cyclage actif : contrainte thermique 56

I.7 Estimation de la température de jonction T_j 59

I.7.1 Méthodes électriques (mesures indirectes) 60

I.7.2 Méthodes optiques (mesures directes) 62

Conclusion 64

CHAPITRE II Description et caractérisations des composants étudiés 67

Introduction 68

II.1 Composant GaNSystems 68

II.1.1 Description générale du transistor GS66508P 68

II.1.2 Caractéristique statiques de transfert I_{DS}-V_{GS} et tension de seuil du transistor GS66508P 71

II.1.3 Caractéristiques statiques de sortie I_{DS}-V_{DS} du transistor GS66508P 72

II.1.4 Courants de fuite du transistor GS66508P 73

II.1.5 Gate lag et Drain lag 74

II.2 Composant CEA Normally-On 77
II.2.1 Description générale du composant Normally-On 77
II.2.2 Caractéristique statique de transfert I_{DS}-V_{GS} et tension de seuil du transistor CEA Normally-On 78
II.2.3 Caractéristiques statiques I_{DS}-V_{DS} du transistor CEA Normally-On 79
II.2.4 Courants de fuite du transistor CEA Normally On 80
II.2.5 Gate lag et Drain lag 81
II.3 Composant CEA Normally-Off 84
Conclusion 85
CHAPITRE III Evolution de la résistance dynamique R_{on_dyn} des transistors de puissance GaN pendant les cycles de commutation 87
Introduction 88
III.1 Caractérisations en commutations cycliques 89
III.1.1 Principe du test 89
III.1.2 Moyens de test et méthodologie 90
III.1.3 Tests de commutations cycliques sur le composant GaNSystems 93
III.1.3.1 Séparation de l'effet dû à la thermique de celui dû au piégeage 93
a) Modèle thermique 93
b) Etalonnage 97
c) Différenciation entre l'effet dû à la thermique de celui dû au piégeage 97
III.1.3.2 Résultats expérimentaux sur les composants GaNSystems 98
a) Influence de la température 100
b) Influence de la fréquence de commutation 101
c) Influence de la tension Vdc au blocage 102
d) Cas destructifs 103
III.1.4 Tests de commutations cycliques sur les composants CEA 104
III.1.4.1 Principe et étude expérimentale 104
III.1.4.2 Résultats expérimentaux 106
a) Tests « statiques » et « normaux » 107
b) Effet de la température 108
c) Effet du courant 109
d) Effet du dV/dt 110
III.2 Modélisation de l'évolution de la R_{on_dyn} 113
III.2.1 Modèle simplifié de R_{on_dyn} 113
III.2.2 Évolution des densités de centres "piégeurs" neutres 114
III.2.3 Estimation de la valeur initiale à l'équilibre 116
III.2.4 Estimation de la résistance R_{on_dyn} 116
Conclusion 119

CHAPITRE IV Effet du vieillissement par cyclage de puissance sur les composants Normally-On Al_2O_3/AlGaN/GaN 121
Introduction 122
IV.1 Méthodologie de test 123
IV.2 Mesure de la température de jonction 124
IV.2.1 Méthode TSEP 124
IV.2.2 Mesure de la température par le capteur à fibre optique 125
IV.3 Banc de test 126
IV.3.1 Paramètres thermiques et électriques relevés 126
IV.3.2 Conditions des tests de cyclage 128
IV.4 Protocole de caractérisation 130
IV.4.1 Caractérisations électriques 131
IV.4.1.1 Courbes I_{DS}-V_{GS} et V_{th} 131
IV.4.1.2 Transconductances g_f 132
IV.4.1.3 Caractérisations I_{DS}-V_{DS} 134
IV.4.1.4 Résistance R_{on} 135
IV.4.2 Caractérisations des pièges 136
IV.4.2.1 Gate lag 137
IV.4.2.2 Drain-lag 138
IV.5 Résultats du vieillissement 139
IV.5.1 Caractérisations électriques 139
IV.5.1.1 Tension de seuil V_{th} 139
IV.5.1.2 Transconductance g_f-V_{GS} 140
IV.5.1.3 Caractérisations I_{DS}-V_{DS} 141
IV.5.1.4 Résistance R_{on} et courant de fuite I_{ges} 141
IV.5.2 Caractérisations des pièges 143
IV.5.3 Discussion sur les résultats de vieillissement 145
Conclusion 145
Conclusion générale et Perspectives 147
Références 151

Liste des figures

Figure I. 1: Compromis entre la tenue en tension et la température pour différents semi-conducteurs [But11] 25
Figure I. 2: Résumé des propriétés des matériaux de semi-conducteurs Si, SiC et GaN [Mil14] 26
Figure I. 3 : Résistances ON spécifiques en fonction de la tenue de tension des différents matériaux de semi-conducteurs [Kam12] 27
Figure I. 4 : Domaines d'application actuels du GaN vs ceux du SiC [Kam12] 28
Figure I. 5: Structure de couches successives afin de réduire le désaccord de mailles entre le substrat Si et la zone active GaN/AlGaN [Ish10] 29
Figure I. 6: Différentes structures schématiques de transistors AlGaN/GaN : a) structure recess-gate, b) structure p-GaN, c) structure Fluor implant, d) structure MOS-gate [Kac12] 30
Figure I. 7: Principe de fonctionnement du transistor GIT de Panasonic [Ued17] 31
Figure I. 8: Caractéristiques typiques du GIT de Panasonic [Uem07, Ued17] 31
Figure I. 9 : (a) Schéma de la coupe transversale ; (b) Vue de dessus ; (c) vue arrière (microscope optique) de HFET. S = Source, G =Grille et D = Drain ; (d) et (e) Record de la tenue en tension de 2,2kV pour un R_{ON} de 20Ωmm [Sri11] 32
Figure I. 10 : Structure verticale de transistor GaN : Gauche : transistor à grille isolée AlGaN/GaN HFET (CAVET) ; Droite : MISFET à grille trench [Kac14] 32
Figure I. 11: Principaux mécanismes affectant la fiabilité des HEMT-GaN, [Men13c] 33
Figure I. 12: Mécanismes d'émission et de capture assistés par pièges profonds et équations correspondantes à chaque mécanisme [Sch06] 35
Figure I. 13 : Evolutions de Ron et Vp sous le processus de vieillissement [Ima11] 38
Figure I. 14 : Procédure de la mesure DLOS [Ima11] 38
Figure I. 15 : Densité des pièges estimée par DLOS [Ima11] 39
Figure I. 16 : Mesure C-DLTS appliquée sur HEMT AlGaN/GaN sur un substrat Si [Sgh04] 39
Figure I. 17 : (a) Transitoire du courant I_D ; (b) Spectre des constantes de temps du HEMT-GaN dans le cas où V_{GS}=1V et V_{DS}=6V [Joh11] 40
Figure I. 18 : Spectre des constantes de temps des pièges à V_{GS}=1V, pour différents V_{DS} entre 2 et 8V et à 30°C [Joh11] 41
Figure I. 19 : Spectre des constantes de temps du piège TP1 à V_{DS}=0V, V_{GS}= - 5V et à différentes températures entre 70°C et 110°C. (En haut) Graphe d'Arrhenius (Ea=0.74 eV) [Joh11] 41
Figure I. 20: Schéma d'une coupe transversale d'un HEMT AlGaN/GaN à différents conditions de stress et piégeage [Wur17] 43
Figure I. 21: Gauche : Mesure de pièges avant et après le stress : deux pièges à E_C-0,45eV et E_C-0,54eV sont révélés, Droite : Caractéristiques I(V) pulsées montrent une différence de résistance de ΔR_D=0,04Ω.mm [Sas12] 43
Figure I. 22: Gauche: Résultats typiques d'un stress réalisée en augmentant la tension (négative) appliquée à la grille ; Droite : Caractérisations I(V) avant et après le stress [Men14d] 44
Figure I. 23: Intensité de l'Electroluminescence en fonction de la tension V_{GS} pour un stress à différents niveaux de tension V_{DS} [Men12] 45
Figure I. 24: Caractéristiques $I_D(V_{DS})$ et $I_G(V_{GS})$ pour des températures allant de 138°C à 340°C [Ung16] 45
Figure I. 25: Chemins possibles du courant de fuite [Tre09] 46
Figure I. 26: Mesure des caractéristiques du courant de fuite de la grille: comparaison des mesures avec et sans recuit [Yam12] 46
Figure I. 27: Gauche : Schéma simplifié du système de mesure ; Droite : Formes d'onde de tension typiques pendant un intervalle de temps [Chi 18] 47
Figure I. 28: Transitoire expérimental du R_{on} et leurs signaux $dR_{on}/d(\log(t))$; Encadré : le tracé d'Arrhenius [Chi17] 48
Figure I. 29: Caractérisations I(V) pour le test 45V-200mA : avant et après le vieillissement avec -1,8V<V_{GS}<0V et un pas de 0,1V [Tem16] 49

Figure I. 30: Résultats du test Etat On effectuée sur un HEMT, à V_{GS} = 0V et la tension de drain est augmentée de 5V toutes les 5 minutes [Lak17] 50
Figure I. 31: Résultats du test Etat On effectuée sur un HEMT, à V_{GS} = -4V et la tension de drain est augmentée de 5V toutes les 5 minutes [Lak17] 50
Figure I. 32: Caractéristiques I_{DS} –V_{DS}, d'un composant vieilli à V_{GS} = 0, avant et après un stress et un stockage d'un jour [Lak17] 50
Figure I. 33: Structure épitaxiale de la plaque AEC1388 [Sur11] 51
Figure I. 34: Dégradation moyenne du courant de saturation Drain-Source à 2000 heures [Sur11] 52
Figure I. 35: Caractérisations I_{DS}-V_{GS} avant le vieillissement et après 1000 et 2000 heures de vieillissement [Sur11] 52
Figure I. 36: Caractérisations I_{DS}-V_{DS} à l'état initial après 1000 et 2000 heures de vieillissement [Sur11] 53
Figure I. 37: Gauche : Evolution de la puissance de sortie pendant le vieillissement, Droite : Evolution du courant de drain moyen pendant le vieillissement [Div15] 53
Figure I. 38: Gauche : Réseau I(V) pulsé avant et après vieillissement au point de polarisation (0V, 0V) ; 54
Figure I. 39: Dépendance de la variation du courant en fonction de la tension grille et de la tension drain [Abb13] 55
Figure I. 40: Gauche : Formes d'onde du courant I_{DS} et de la tension V_{DS} pour V_{DS}=50V et V_{GS}=4V ; Droite : Formes d'onde du courant I_{DS} et de la tension V_{DS} pour V_{DS}=100V et V_{GS}=4V [Abb13] 55
Figure I. 41: Evolution de Ids-Vds pour un V_{GS}=2,5V pendant le vieillissement pour une durée de court-circuit de 1,1ms à Gauche et de 1.9ms à Droite [Fu18] 56
Figure I. 42: Différentes étapes du cyclage actif [Gop15] 56
Figure I. 43: Structure du composant GaNSystems GS66508P [Son17a] 57
Figure I. 44: Image avec la microscopie acoustique du DUTs avant et après les tests de cyclage actif [Son17a] 57
Figure I. 45: ΔTj, R_{DS_MX}, R_{DS_ON} et I_{DSS} en fonction du nombre de cycles [Son17a] 58
Figure I. 46: Evolution des paramètres de vieillissement I_{DSS}, I_{GSS}, V_{TH} et R_{DSON} pendant le cyclage à 650V [Ech18] 59
Figure I. 47: Evolution des paramètres de vieillissement I_{DSS}, I_{GSS}, V_{TH} et R_{DSON} pendant le cyclage à 250V [Ech18] 59
Figure I. 48: Courbes I_{Dmax} et R_{ON} en fonction de la température T_a [Joh09] 60
Figure I. 49: AlGaN/GaN HEMTs caractéristiques I(V) et de transconductance [Kuz02] 61
Figure I. 50: Courbes de la résistance de la source et la tension de seuil en fonction de la température [Kuz02] 61
Figure I. 51: Résistance R_{ON} sous différentes températures [Sah15] 62
Figure I. 52: Température dans la zone source-drain de l'AlGaN/GaN HFET. Mesures avec spectroscopie Raman et caméra infrarouge [Sar06] 63
Figure I. 53: (a) Mesure de la température par IR du HFET AlGaN/GaN. (I) = point chaud, (II) = zone couverte par des contacts métalliques, (III) = zone exempte de contacts métalliques. (b) Mesure de la température par Raman sur le dispositif GaN [Sar06] 63
Figure I. 54: Gauche : Système conditionneur Prosens, Droite : Structure du capteur à fibre optique OTG-F [Ouh17] 64
Figure II. 1: Composant GaNSystems GS66508P et ses connexions externes 61
Figure II. 2: Structure du composant GS66508P [Ech18] 61
Figure II. 3: Structure éclatée du composant GS66508B (voisine de celle du GS66508P hormis les positions des pads de connexions externes) [GaN2] 62
Figure II. 4: Structure interne du composant GS66508P [Ech18] 62
Figure II. 5: Gauche : Layout du circuit électrique gravé sur le substrat, Droite : Puce montée sur un substrat en Aluminium 63
Figure II. 6: Caractéristiques I_{DS}-V_{GS} pour les températures allant de 20 à 140°C avec un pas de 20°C et à V_{DS}=500mV 64
Figure II. 7: Tension de seuil V_{th} en fonction de la température pour un I_{DS}=10mA 64
Figure II. 8: Caractéristiques I_{DS}-V_{DS} pour les tensions V_{GS} allant de 1 à 6V avec un pas de 1V pour T=20°C 65
Figure II. 9: Caractéristiques I_{DS}-V_{DS} pour les températures allant de 20 à 140°C avec un pas de 20°C pour une tension V_{GS} à 6V 65

Figure II. 10: Courants de fuite en fonction de la température [15-135°C] avec un pas de 15°C, la courbe rouge représente le courant de fuite de Grille et celle en bleu le courant de fuite de Drain. 66
Figure II. 11: Transitoires du courant (Gate-lag) en fonction de la température [15-135°C] avec un pas de 15°C67
Figure II. 12: Transitoires du courant (Drain-lag) en fonction de la température [15-135°C] avec un pas de 15°C 68
Figure II. 13: Tracé d'Arrhenius du composant GaNSystems GS66508P à partir des graphes de la figure II.12 ... 69
Figure II. 14: Schéma de structure du transistor HEMT Normally-ON du CEA-LETI [Zak18] 70
Figure II. 15: Gauche : Puce testée Al_2O_3/AlGaN/GaN MOS-HEMTs/AlGaN/GaN MOS-HEMTs, Droite : Structure du composant Al2O3/AlGaN/GaN MOS-HEMTs/AlGaN/GaN MOS-HEMTs avec substrat DCB..... 70
Figure II. 16: Caractéristiques I_{DS}-V_{GS} pour les températures allant de 20 à 140°C avec un pas de 20°C, à V_{DS}=1,5V 71
Figure II. 17: Tension seuil V_{th} en fonction de la température pour I_{DS}=3mA 71
Figure II. 18: Caractéristiques I_{DS}-V_{DS} pour une tension V_{GS} allant de -3 à 2V avec un pas de 1V pour T=20°C 72
Figure II. 19: Caractéristiques I_{DS}-V_{DS} pour les températures allant de 20 à 140°C avec un pas de 20°C pour V_{GS}=2V 72
Figure II. 20: Courants de fuite en fonction de la température [15-135°C] avec un pas de 15°C, la courbe rouge représente le courant de fuite de grille et celle en bleu le courant de fuite de drain 73
Figure II. 21: Transitoires du courant (Gate-lag) en fonction de la température [15-135°C] avec un pas de 15°C74
Figure II. 22: Transitoires du courant (Drain-lag) en fonction de la température [15-135°C] avec un pas de 15°C 75
Figure II. 23: Tracé d'Arrhenius du dispositif Normally-On du CEA à partir des graphes de la figure II.22..... 75
Figure II. 24: Gauche : Boitier en métal (TO267), Droite : Composant Normally-Off 76
Figure II. 25: Courbe du courant drain I_d en fonction de V_{gs} à V_{ds}=0.5V [Nof] 76
Figure II. 26: Caractéristiques $I_{ds}(V_{ds})$ pour les tensions V_{gs} suivantes : 6V, 4V et 0V [Nof]..... 77
Figure III. 1: Evolution de la résistance dynamique R_{on_dyn} lors des commutations 81
Figure III. 3 : Montage expérimental pour la mesure de la résistance dynamique R_{on_dyn} sur un composant GaN lors de commutations successives 83
Figure III. 4: Mesure de la température de la puce GaN sur son dispositif de test..... 84
Figure III. 5: Principe de la méthodologie de mesure de la résistance dynamique R_{on_dyn} 84
Figure III. 6: Dissipation de la chaleur dans l'assemblage DUT et refroidisseur..... 86
Figure III. 7: Températures de jonction et de case pendant le cycle de puissance..... 86
Figure III. 8: Impédance thermique de l'assemblage 87
Figure III. 9: Modèle Foster équivalent de l'assemblage..... 87
Figure III. 10: Comparaison entre l'impédance thermique Zth expérimentale et celle obtenue avec le modèle de Foster 88
Figure III. 11: Evolution de la température mesurée de la semelle du composant mesurée et de la température de jonction calculée pour : $T_{ambiante}$ = 25°C, Vdc = 100V, Freq = 20kHz, η = 50% 88
Figure III. 12: Evolution de la résistance **Ron_th** en fonction de la température 89
Figure III. 13 : Evolution des résistances R_{on_dyn}, R_{on_th} et R_{on_Tr} pour : $T_{ambiante}$ = 25°C, Vdc = 100V, Freq = 20kHz, η = 50%..... 90
Figure III. 14: Evolution de R_{on_dyn} en fonction de la température [-50°C, 0°C, 50°C, 75°C, 100°C] pour : Vdc = 400V, Freq = 20kHz, η = 50%..... 92
Figure III. 15: Evolution de R_{on0} et R_{onf} en fonction de la température [-50 à 100°C] pour : Vdc = 400V, Freq = 20kHz, η = 50%..... 93
Figure III. 16: Courbes d'évolution de la résistance R_{on_dyn} en fonction de la fréquence de commutation [20kHz, 100kHz, 150kHz] pour : $T_{ambiante}$ = 25°C, Vdc = 100V, η = 50% 94
Figure III. 17: Courbes d'évolution de R_{on_dyn} en fonction de la fréquence de commutation [20kHz, 100kHz, 150kHz] pour : $T_{ambiante}$ = 25°C, Vdc = 200V, η = 50% 94
Figure III. 18: Evolution de la résistance R_{on_dyn} en fonction de la tension Vdc au blocage pour : $T_{ambiante}$ = -50°C, Freq = 20kHz, η = 50%, Vdc = [100V, 200V, 400V] 95
Figure III. 19: Courbes de R_{on_dyn} dans des cas destructifs..... 95
Figure III. 20: Chronogrammes des tests a) normaux, b) statiques 96
Figure III. 21: Composant CEA et position des fibres optiques sur le composant..... 97

Figure III. 22: Méthodologie de test 97
Figure III. 23: Evolution de la R_{on_dyn}, de la température du boitier T_{case} et de la température de jonction T_j durant le test : Vdc =400V, Freq = 20kHz, $T_{ambiante}$ = 25°C, I_{DS}=3A. 99
Figure III. 24: Comparaison entre l'évolution de R_{on_dyn} normalisée pendant un test normal et un test statique 100
Figure III. 25: Comparaison entre l'évolution de la résistance R_{on_dyn} non normalisée durant un test normal et un test statique 100
Figure III. 26: Evolution de R_{on0} et R_{onf} en fonction de la température ambiante [-50 à 150°C] pour : Vdc = 400V, Freq = 20kHz, I_{DS}= 3A 101
Figure III. 27: Evolution de R_{on0} et R_{onf} en fonction de la température ambiante [-50 à 125°C] pour : Vdc = 400V, Freq = 100kHz, I_{DS}=3A 101
Figure III. 28: Evolution de la résistance R_{on_dyn} en fonction du courant I_{DS} [3A, 5A, 7A] pour : $T_{ambiante}$ = 25°C, Vdc =400V, Freq = 20kHz pendant 23 secondes 102
Figure III. 29: Evolution de la résistance R_{on_dyn} en fonction du courant I_{DS} [3A, 5A] pour : $T_{ambiante}$=25°C, Vdc =400V, Freq = 20kHz pendant 1 minute 102
Figure III. 30: Schéma électrique du montage expérimental avec le circuit rajouté pour la commande du composant 103
Figure III. 31 : Forme d'onde de la tension Vdc pour les cinq configurations du dV/dt pour : $T_{ambiante}$ = 25°C, Vdc =400V, Freq = 20kHz, I_{DS}=3A 104
Figure III. 32: Evolution de la résistance R_{on_dyn} en fonction du temps du dV/dt [5,12 kV/µs, 4,1 kV/µs, 2,98 kV/µs, 2,22 kV/µs, 1,64 kV/µs] pour : $T_{ambiante}$ = 25°C, Vdc =400V, Freq = 20kHz 104
Figure III. 33: Evolution de la concentration des charges piégées durant les cycles de commutation 105
Figure III. 34: Schéma simplifié des résistances dans les composants AlGaN/GaN 105
Figure III. 35: Evolution de la densité des charges piégées n_T en fonction des cycles de commutation 107
Figure III. 36: Comparaison mesures/modèle de l'évolution dynamique de R_{on_dyn} [$T_{ambiante}$=25°C, Vdc = 100V, Freq=20 kHz, η = 50%] 110
Figure III. 37: Comparaison mesures/modèle de l'évolution dynamique de R_{on_dyn} en échelle de temps logarithmique : [$T_{ambiante}$ = 25°C, Vdc = 100V, Freq=20 kHz, η = 50%] 110
Figure III. 38: Dérivation d(R_{on_dyn})/d(log(t)) en fonction de la fréquence de la commutation [20kHz, 100kHz, 150kHz] pour : $T_{ambiante}$ = 25°C, Vdc = 100V, η = 50% 111
Figure IV. 2: Principe du cyclage thermique. (a) schéma électrique du banc de test, (b) chronogramme des tests 117
Figure IV. 3: Etalonnages thermiques des deux DUTs 118
Figure IV. 4 : Emplacement des fibres optiques dans le banc de cyclage 119
Figure IV. 5: Banc de test de cyclage de puissance 120
Figure IV. 6: Vue de dessus du banc de test (Gauche), Vue de droite du banc (Droite) 121
Figure IV. 7: Mesure de la température de jonction avec la fibre optique et mesure de la température de semelle avec le thermocouple 122
Figure IV. 8: Formes d'onde du courant de puissance I_L, de la tension Drain-Source V_{DS} et de la température de jonction T_j (fibre optique) pendant le cyclage de puissance 122
Figure IV. 9: Evolution de la différence de la température de jonction ΔTj pendant les cycles de puissance (mesurée tous les 50 cycles) 123
Figure IV. 10: Courant I_{DS} en fonction de la tension grille V_{GS} pour les deux composants à T=20°C 125
Figure IV. 11: Tension seuil V_{th} (I_{DS}=3mA) en fonction de la température pour les deux composants 125
Figure IV. 12: Transconductance en fonction de la tension grille VGS pour les deux composants à T=20°C et VDS=100mV 126
Figure IV. 13: Transconductance en fonction de la température pour les deux composants à V_{DS}=100mV 127
Figure IV. 14: Chronogramme des impulsions de tensions V_{DS} et V_{GS} pour les caractéristiques I(V) 128
Figure IV. 15: Courant de drain I_{DS} en fonction de la tension drain V_{DS} pour les deux composants à T=20°C 128
Figure IV. 16: Courbes I_{DS}-V_{DS} en fonction de la température pour les deux composants et à V_{GS}=-3V 129
Figure IV. 17: Résistance R_{on} en fonction de la température pour les deux composants à I_{DS}=0.5A et V_{GS}=-3V 129
Figure IV. 18: Paramètres du stress appliqué 130
Figure IV. 19: Processus suivi pour l'extraction des énergies d'activation et les sections de capture 131

Figure IV. 20: Transitoires du courant I_{DS} (Gate-lag) en fonction de la température pour le DUT2..... 132
Figure IV. 21: Transitoires du courant I_{DS} (Drain-lag) en fonction de la température pour le DUT2..... 133
Figure IV. 22: Evolution de la tension de seuil V_{th} durant le vieillissement pour DUT1 (haut) et pour le DUT2 (bas) 134
Figure IV. 23: Evolution de la transconductance durant le vieillissement à T=20°C pour DUT1 (gauche) et le DUT2 (droite) 135
Figure IV. 24: Evolution des caractérisations I(V) pendant le vieillissement à T=20°C pour DUT1 (gauche) et le DUT2 (droite) 135
Figure IV. 25: Evolution de la résistance R_{on} des deux composants pendant le vieillissement pour ΔTj=80K et T=20°C : Gauche : à V_{GS}=-3V ; Droite : à V_{GS}=0V..... 136
Figure IV. 26: Evolution du courant de fuite I_{ges} des deux composants pendant le vieillissement pour ΔTj=80K et T=20°C..... 136
Figure IV. 27: Transitoire de courant normalisé (I_{tr}) (graphique supérieur) et dI_{tr} / dLog (t) correspondant (graphique inférieur) du DUT2 avant le vieillissement 138
Figure IV. 28: Transitoire de courant normalisé (I_{tr}) (graphique supérieur) et dI_{tr}/dLog(t) correspondant (graphique inférieur) du DUT2 après le vieillissement. 138
Figure IV. 29: Tracé d'Arrhenius à partir des pics représentés en figure IV.26 (lignes pointillées rouges) et enfigure IV.27 (lignes noires pointillées)..... 139

Liste des tableaux

Tableau I 1 : Propriétés physiques des « semi-conducteurs classiques » : Si et GaAs et des semi-conducteurs à large bande interdite : SiC, GaN et Diamant [But11] 28
Tableau I 2: Figures de mérite normalisées par rapport au Silicium des composants Grands-Gaps [Zha01] 28
Tableau I 3: Propriétés des différents substrats pour l'épitaxie du GaN [Kell17] 31
Tableau I 4: Résumé des mécanismes de dégradations dans les HEMT-GaN [Men17] 36
Tableau I 5: Expression de la densité de charges piégées n_T en fonction des différents états [Sch06] 39
Tableau I 6: Durée de chaque test de vieillissement [Tem16] 51
Tableau II 1: Caractéristiques électriques et thermiques du GaNSystems GS66508P à 25°C 72
Tableau II 2: Paramètres de configuration pour le test I_{DS}-V_{GS} 74
Tableau II 3: Paramètres de configuration pour le test I_{DS}-V_{DS} 76
Tableau II 4: Paramètres de configuration pour le test Gate-lag 79
Tableau II 5: Paramètres de configuration pour le test Drain-lag 81
Tableau II 6: Caractérisations électriques et thermiques du composant MOS-HEMTs Normally-On du CEA-Leti 83
Tableau II 7 : Paramètres de la configuration pour le test I_{DS}-V_{GS} 85
Tableau II 8: Paramètres de configuration pour le test I_{DS}-V_{DS} 87
Tableau II 9: Paramètres de configuration pour le test Gate-lag 89
Tableau II 10: Paramètres de configuration pour le test Drain-lag 91
Tableau II 11: Caractéristiques électriques et thermiques du composant Normally-off du CEA 94
Tableau III 1: Valeurs des résistances et des capacités thermiques du système 104
Tableau III.2 : Essaies réalisés sur le composant GS66508P avec un rapport cyclique de 50% 108
Tableau III 3: Essais réalisés sur le composant GS66508P avec un rapport cyclique de 50% 118
Tableau III.4 : Différents schémas du circuit électronique rajouté pour la commande du D.U.T 125
Tableau III 5: Constante de temps en fonction de la fréquence de la commutation [20kHz, 100kHz, 150kHz] pour : $T_{ambiante}$ = 25°C, Vdc = 100V, η = 50% 135
Tableau IV 1 :Tableau IV.1 : Paramètres de la configuration pour le test $I_{DS}V_{Gs}$ 149
Tableau IV 2 : Paramètres de la configuration pour le test I_{DS}-V_{GS} et la transconductance 151
Tableau IV 3 : Paramètres de la configuration pour le test I_{DS}-V_{DS} 154
Tableau IV 4 : Paramètres de la configuration pour la caractérisation de R_{on} 155
Tableau IV 5 : Paramètres de la configuration pour la mesure gate-lag 158
Tableau IV 6: Paramètres de la configuration pour la mesure drain-lag 159

Introduction générale

Le Silicium est le matériau de prédilection pour la fabrication des transistors grâce à ses propriétés électriques et à son faible coût de production. La croissance fulgurante des dispositifs à base de Silicium s'est poursuivie tout au long des années 1970 et 1980 ; ces dispositifs sont devenus très répandus dans l'industrie des semi-conducteurs. Cependant, avec le développement et l'évolution des applications qui requièrent des niveaux de tensions très élevés et des températures ambiantes sévères, les transistors de puissance à base de Silicium ont atteint leurs limites, en particulier au niveau des densités de puissance qu'ils peuvent fournir. A cet effet, un recours à de nouveaux matériaux est devenu indispensable pour dépasser les limites du Silicium et accompagner les nouvelles tendances des applications en électronique de puissance. C'est dans cette optique, que depuis de nombreuses années, la recherche s'est orientée vers les matériaux à large bande interdite «Grands Gaps». Ces matériaux ont des propriétés physiques et électriques, que leur confère leur largeur de bande interdite, très intéressantes pour un grand nombre d'applications de fortes puissances et de très hautes températures.

Les matériaux à large bande interdite, que l'on trouve le plus dans le marché, sont le Carbure de Silicium (SiC) et le Nitrure de Gallium (GaN). Le diamant est un autre matériau à large bande interdite, mais en raison de son coût élevé, le Nitrure de Gallium (GaN) et le Carbure de Silicium (SiC) restent les mieux adaptés pour les semi-conducteurs. Ils présentent l'avantage, par rapport au Silicium, d'avoir une plus grande vitesse de saturation impliquant une possibilité de fonctionnement avec des grandes fréquences et une concentration intrinsèque très faible conduisant à de plus faibles courants de fuite à haute température. A titre d'exemple, pour une tension de 1 kV, la température du Silicium ne peut pas dépasser 200°C tandis que le Nitrure de Gallium peut supporter en température jusqu'à 1400°C. De même, le champ électrique critique fourni par le Carbure de Silicium est dix fois plus élevé que celui du Silicium.

Les composants AlGaN/GaN composés d'une hétérostructure permettent de construire les transistors à haute mobilité électronique (HEMTs). Cette structure permet de créer un puits de potentiel dans lequel est confinée une forte densité d'électrons appelée gaz 2D dans lequel les charges peuvent se déplacer avec une grande vitesse. Ces composants possèdent pratiquement le meilleur compromis puissance-fréquence dans un large domaine d'utilisation. Ils possèdent une faible résistance donnant de faibles pertes de conduction et une vitesse de commutation très élevée engendrant moins de pertes de commutation…

Cependant, les avantages de la technologie des HEMTs à base de GaN n'ont pas encore été pleinement exploités bien que des composants soient déjà commercialisés. La principale raison est que plusieurs aspects liés à la fiabilité des transistors HEMTs sont en cours d'amélioration. C'est dans ce cadre que s'inscrit cette thèse intitulée ″Contribution à l'étude des modes de dégradation des transistors HEMT à base de GaN pour les applications de puissance″. Les principaux mécanismes de dégradation des composants GaN sont le piégeage/dé-piégeage des charges, les dégradations des interconnexions métalliques, des contacts ohmiques, la délamination de la passivation et la dégradation par effet tunnel. Dans cette thèse, nous nous intéressons principalement aux mécanismes de piégeage/dé-piégeage. Ces défauts existent depuis la fabrication du semi-conducteur et leurs effets pourraient évoluer avec le fonctionnement du composant et selon le stress qui est appliqué sur le dispositif. Il est bien connu que ces phénomènes provoquent des instabilités dans les caractéristiques physiques et électriques du dispositif. Ces instabilités se rapportent au changement de l'équilibre des

charges dans le gaz 2D qui se modifie par des processus de piégeage/dé-piégeage. Le piégeage dépend de la disponibilité des états des pièges, de leur niveau d'énergie et de la section efficace de capture, du champ électrique dans la région du dispositif et de la température. Un stress électrique appliqué, par exemple, sur le drain provoque un piégeage de charges négatives sous le drain ce qui change la concentration de charges dans le canal entrainant une variation de la résistance dynamique Drain-Source.

Par conséquent, plusieurs questions se posent sur l'influence par exemple d'une fatigue thermomécanique sur les charges piégées. Comment ces défauts évoluent avec du stress électrique et/ou thermique ? Nous avons abordé cette question sous plusieurs angles. Quels impacts des pièges sur l'évolution de la résistance dynamique R_{on_dyn} lors de commutations cycliques ? Est-ce que le vieillissement par cyclage actif influence ces mécanismes de dégradation ? Et enfin y a-t-il une dégradation irréversible lors du vieillissement? Pour les cycles de commutation, nous cherchons à déterminer l'effet de certains paramètres sur l'évolution de la résistance dynamique Drain-Source R_{on_dyn}. Pour le vieillissement, nous étudions l'effet du cyclage actif sur les pièges. Par exemple, l'application d'un stress thermomécanique sur le composant pourrait entrainer une dégradation de l'interface entre la couche AlGaN et la passivation, et par conséquent les caractéristiques des pièges pourraient être affectées dans cette région.

L'objectif de cette thèse est le suivi et l'analyse du comportement des charges piégées vis-à-vis des environnements de fonctionnement, à savoir la commutation cyclique et le vieillissement par cyclage actif ainsi qu'apporter des éléments de réponse aux questions posées ci-dessus.

Les travaux de cette thèse se sont déroulés dans le cadre du projet collaboratif MEGAN, financé par la BPI (Banque Public d'Investissement). Notre participation dans ce projet a consisté à caractériser et à rechercher des modes de dégradation en collaboration principale avec le CEA-LETI qui nous a fourni certains des composants GaN.

Ces travaux ont apporté deux points innovants. Les effets des paramètres d'expérimentation sur la résistance dynamique R_{on_dyn} ont été abordés de manière plus large que ce qui existe dans la littérature. En effet, des travaux similaires ont été faits par une équipe italienne, mais ils se sont limités à l'effet de la température sur la résistance R_{on_dyn}. Nos travaux montrent l'effet notamment de la température sur une plus large plage, de la fréquence de commutation, de la tension au blocage et du courant. Le deuxième point original est l'effet du vieillissement par cyclage actif sur les charges piégées et sur les caractéristiques électriques. Le vieillissement a été régulièrement interrompu afin de caractériser plusieurs indicateurs. De plus, des caractérisations de pièges, basées sur des analyses de mesures de courants transitoires, ont été effectuées avant, pendant et après le processus de vieillissement afin de déterminer l'impact de ce dernier sur les pièges.

Ce mémoire se compose de quatre chapitres. Le premier présente un état de l'art sur les modes de défaillance des dispositifs à base de GaN. Dans un premier temps, nous présentons le positionnement du GaN par rapport aux autres matériaux (Si, SiC et Diamant), les applications dans lesquelles les dispositifs à base de GaN sont utilisés ainsi que les différentes structures des composants HEMTs AlGaN/GaN existants sur le marché. Dans un deuxième temps, nous expliquons le principe et le modèle du piégeage. Sont présentées les méthodes de caractérisations des pièges ainsi que les différentes conséquences provenant des mécanismes engendrés par le piégeage. Nous continuons cette partie par l'introduction de l'effet des électrons chauds sur les dispositifs HEMTs AlGaN/GaN. Les problèmes de fuites et de la résistance dynamique sont ainsi abordés. Ensuite, nous listons les différents travaux de vieillissement effectués sur les composants à base de GaN. Enfin, une partie de ce chapitre est dédiée aux méthodes de mesures de température de jonction qui est un élément important dans ces travaux expérimentaux.

Le deuxième chapitre décrit les structures et les caractéristiques des différents composants testés lors des travaux effectués pendant cette thèse. Il s'agit des composants GaNSystems GS66508P et Normally-Off du CEA qui sont utilisés dans la partie commutation cyclique et le composant Normally-On utilisé pour le vieillissement par cyclage actif. Nous présentons les caractéristiques électriques : le courant du drain en fonction de la tension drain (I_{DS}-V_{DS}), le courant du drain en fonction de la tension de grille (I_{DS}-V_{GS}), les courants de fuite ainsi que les mesures de Current-Collapse (Gate-lag et Drain-lag).

Le troisième chapitre est divisé en deux parties : une partie expérimentale dédiée aux caractérisations en commutations cycliques et une partie modélisation analytique. Dans la première, nous commençons par détailler le principe, les moyens et la méthodologie des tests. Nous exposons ensuite une méthode permettant de séparer l'effet dû à la thermique de celui dû au piégeage sur la résistance dynamique R_{on_dyn}. Puis nous présentons les différents résultats de l'évolution de la résistance dynamique en fonction de la température et des paramètres de commutation, à savoir la tension au blocage, la fréquence de commutation et le courant pour les composants GaN Systems et Normally-off du CEA. Dans la seconde partie, nous détaillons les étapes suivies pour déterminer le modèle de l'évolution de la résistance dynamique et nous confrontons le modèle avec les résultats expérimentaux.

Le quatrième chapitre est consacré à l'effet du vieillissement par cyclage de puissance sur les composants Normally-On Al_2O_3/AlGaN/GaN du CEA. Nous expliquons tout d'abord la méthodologie du cyclage actif. Nous présentons les principales méthodes utilisées pour la mesure de la température de jonction. Ensuite, nous précisons les conditions des tests de cyclage thermique ainsi que les paramètres thermiques et électriques relevés lors du vieillissement. Nous finissons ce chapitre par une interprétation des résultats qui donnent une dégradation irréversible des caractéristiques électriques qui est probablement due aux effets des électrons chauds.

Nous clôturons ce mémoire par une conclusion générale dans laquelle nous répondons à la problématique de la thèse en donnant des interprétations des résultats obtenus et citant leurs implications (leur faisabilité) d'un point de vue pratique. Finalement, nous terminons par poser de nouvelles questions et proposer de nouvelles pistes de recherche pour continuer l'étude de la fiabilité des composants à base de GaN sur la base des résultats obtenus dans cette thèse.

CHAPITRE I

Etat de l’art sur les modes de dégradation des dispositifs de puissance à base de GaN

Introduction

Les véhicules électriques, les générateurs RF, les systèmes flexibles de transmission alternative et d'autres applications nécessitent des circuits et des sous-systèmes bien développés, robustes et à haut débit. Ces structures ont besoin des dispositifs d'alimentation ayant une tension au blocage et une fréquence de commutation élevées, ce qui n'est pas possible pour la technologie Silicium en raison de certaines limitations en termes de combinaison température/ fréquence/tenue en tension.

Pour surmonter ces limitations, la recherche s'est orientée vers les matériaux à large bande interdite (Grands Gaps) tels que le Carbure de Silicium (SiC), le Nitrure de Gallium (GaN) et le Diamant en raison de l'avantage que présentent leurs propriétés intrinsèques.

En effet, le Diamant offre une bande interdite exceptionnellement grande et des propriétés thermiques uniques, mais la recherche sur ce type de matériaux n'en est qu'à ses débuts. Le SiC possède une conductivité thermique élevée et une large bande interdite et le GaN offre pour sa part une bande interdite directe et une performance à haute fréquence ; ceci les rend donc pertinents pour la génération de dispositifs de commutation de puissance. A cet effet, la technologie des matériaux à large bande interdite (Wide Band Gap) (WBG) s'est concentrée sur le SiC et le GaN pour leurs caractéristiques prometteuses. Cependant, les transistors à base de GaN pour les applications de commutation sont encore récents et manquent d'une pleine maturité. En particulier, certains défauts de fabrication entrainent des instabilités dans les caractéristiques électriques.

Dans ce premier chapitre, après un préambule général sur les matériaux Grands Gaps, il est présenté des travaux voisins à ceux de cette thèse relative à l'étude et la caractérisation des modes de dégradation des dispositifs de puissance à base de GaN en détaillant les raisons pour lesquelles les recherches se sont concentrées sur ces matériaux. Ensuite, les différentes structures des composants GaN existantes sur le marché sont listées avant d'expliquer et détailler les dysfonctionnements de ces composants, liés en particulier aux mécanismes de piégeage, à l'effet des électrons chauds et aux problèmes de fuites. Les mécanismes de piégeage sont à l'origine de problèmes liés à la résistance dynamique à l'état passant et du comportement du composant vis-à-vis du vieillissement. Enfin, et comme la mesure de la température de jonction est indispensable pour nos travaux car principal facteur associé à ces dysfonctionnements, des méthodes d'estimation de celle-ci pour les composants GaN sont présentées à la fin de ce chapitre.

I.1 Généralités sur les composants Grands Gaps

Les nouvelles technologies mises en œuvre pour réduire la consommation énergétique des systèmes électroniques se basent sur les matériaux Grands Gaps (semi-conducteurs à large bande interdite) tels que le Carbure de Silicium (SiC), le Nitrure de Gallium (GaN) et le Diamant. Les objectifs recherchés à travers ces technologies sont la réduction des dimensions et du poids des convertisseurs, l'augmentation de l'efficacité énergétique et la diminution des coûts.

La technologie GaN (Nitrure de Gallium) fait partie des technologies « Grands Gaps » qui permet de repousser les limites des semi-conducteurs de puissance actuels. Dans cette section, des généralités sur les matériaux Grands Gaps sont présentées en mettant l'accent sur le positionnement du GaN par rapport aux Si, SiC et au Diamant.

I.1.1 Compromis entre la tenue en tension et la température

Les dispositifs de puissance traditionnels réalisés à partir du Silicium (Si) montrent certaines limitations dès lors que l'on souhaite combiner de fortes tenues en tension, des utilisations en températures au-dessus de 200°C et des fréquences de commutation élevées afin d'augmenter les densités de puissance. Pour franchir ces limitations, il est nécessaire de recourir à des matériaux à large bande interdite (Grands Gaps) qui présentent des propriétés plus adaptées. Ils permettent un fonctionnement potentiel du dispositif à des températures, des tensions et des vitesses de commutation supérieures aux dispositifs à base de Silicium (Si) utilisés actuellement. Le Carbure de Silicium (SiC), le Nitrure de Galium (GaN) et le Diamant sont les matériaux à large bande interdite les plus prometteurs.

Les compromis tenus en tension/température de différents matériaux à large bande interdite sont présentés en figure I.1. Pour le Silicium, si la tenue en tension dépasse le kilovolt, la température de fonctionnement est limitée à environ 200°C. Pour les semi-conducteurs à large bande interdite, le compromis est beaucoup plus large. Le Diamant est le meilleur matériau, mais en raison de son coût élevé et de son niveau d'évolution, le GaN et le SiC restent les mieux adaptés. Avec des dispositifs à base de GaN ou de 4H-SiC, la tenue en tension pourrait théoriquement atteindre de très fortes tensions dans une ambiance supérieure à 500°C (Cf. Figure I.1).

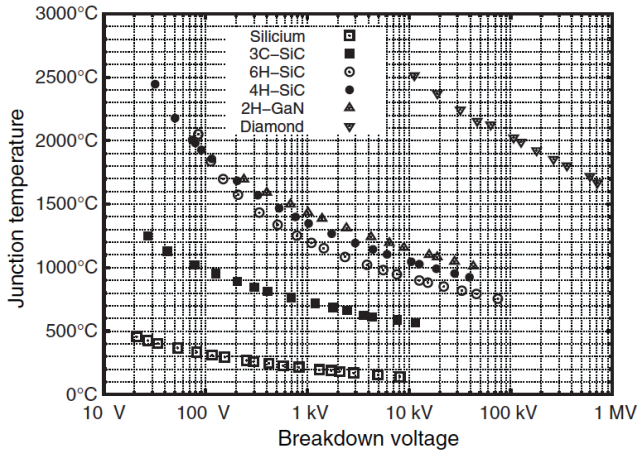


Figure I. 1: Compromis entre la tenue en tension et la température pour différents semi-conducteurs [But11]

Les avantages des matériaux à large bande interdite sont présentés dans le tableau I.1 : un champ critique plus élevé (permettant de plus hautes tenues en tension), une vitesse de saturation plus élevée (permettant d'augmenter les fréquences de commutation) et la mobilité électronique élevée (permettant de faibles résistances à l'état passant).

Néanmoins, le SiC (4H-SiC) et le GaN présentent des propriétés assez similaires par rapport au matériau standard Silicium (Cf. Tableau I.1). Pour la plupart des propriétés, le GaN est légèrement supérieur au SiC. Cependant, la conductivité thermique du GaN est un point faible. Cela est également visible dans les figures de mérite comparées et normalisées par rapport au Silicium, situées dans le tableau I.2, extrait de [Zha01].

Tableau I.2 : Propriétés physiques des « semi-conducteurs classiques » : Si et GaAs et des semi-conducteurs à large bande interdite : SiC, GaN et Diamant [But11]

	"Classical" semiconductors		Wide-bandgap semiconductors				
	Si	GaAs	3C–SiC	6H–SiC	4H–SiC	GaN	Diamond
Bandgap energy E_g (eV)	1.12	1.4	2.3	2.9	3.2	3.39	5.6
Elec. mobility μ_n ($cm^2\,V^{-1}\,s^{-1}$)	1450	8500	1000	415	950	2000	4000
Hole mobility μ_p ($cm^2\,V^{-1}\,s^{-1}$)	450	400	45	90	115	350	3800
Critical elec. field E_c ($V\,cm^{-1}$)	3×10^5	4×10^5	2×10^6	2.5×10^6	3×10^6	5×10^6	10^7
Saturation velocity v_{sat} ($cm\,s^{-1}$)	10^7	2×10^7	2.5×10^7	2×10^7	2×10^7	2×10^7	3×10^7
Termal cond. λ ($W\,cm^{-1}\,K^{-1}$)	1.3	0.54	5	5	5	1.3	20
Dielectric constant ε_r	11.7	12.9	9.6	9.7	10	8.9	5.7

Tableau I.3 : Figures de mérite normalisées par rapport au Silicium des composants Grands-Gaps [Zha01]

Material	JM $(E_c v_{sat}/\pi)^2$	KM $\Theta_K(v_{sat}/\varepsilon_r)^{1/2}$	BM $(\varepsilon_r \mu E_c^3)$	BHM (μE_c^2)
Si	1	1	1	1
4H-SiC	410	4.61	400	50
GaN	760	1.6	650	77.8
AlN	5120	21	31700	1100

La figure I.2 met en évidence certaines propriétés des matériaux clés GaN et SiC. Bien que le GaN offre théoriquement de meilleures performances en haute fréquence et en haute tension, sa conductivité thermique plus basse confère au SiC la meilleure position pour les dispositifs hautes températures. Mais, utiliser un substrat à base de SiC pour les dispositifs GaN permettrait de tirer avantage de la bonne conductivité thermique de l'un tout en conservant les performances électriques de l'autre. Ce schéma permet de bien montrer les potentialités du SiC et du GaN par rapport au Silicium et de préfigurer les avantages de l'un par rapport à l'autre.

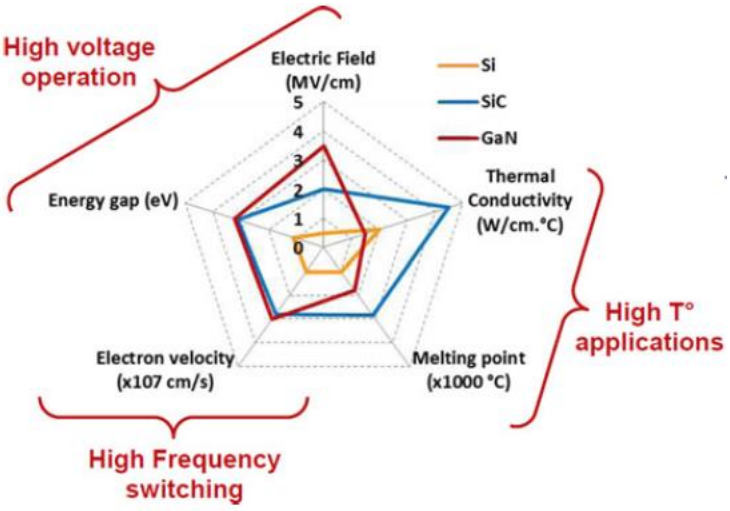


Figure I. 2: Résumé des propriétés des matériaux de semi-conducteurs Si, SiC et GaN [Mil14]

I.1.2 Compromis entre la tenue en tension et la résistance R_{ON}-spécifique

La figure I.3 présente les limites théoriques de la résistance R_{ON} spécifique en fonction de la tenue en tension du GaN en comparaison avec celles du SiC et Si. Comme attendu, vu les mobilités respectives des électrons dans ces matériaux, les résistances R_{ON} spécifiques GaN sont inférieures d'un ordre de grandeur à celles des dispositifs SiC et inférieures de deux ordres de grandeur à celles des dispositifs à base de Silicium.

Pour les composants HEMT-GaN et pour des tenues en tension faibles, les dimensions Drain-Source sont suffisamment réduites pour que la résistance du canal R_{ON} soit la plus faible possible. A contrario, pour des tenues en tensions élevées, la longueur du canal augmente et la résistance spécifique du canal devient le facteur limitant du fonctionnement des dispositifs GaN. Contrairement au SiC, les dispositifs GaN actuels sont encore loin de la limite unipolaire théoriquement prévue et de fortes marges de progrès sont encore à attendre.

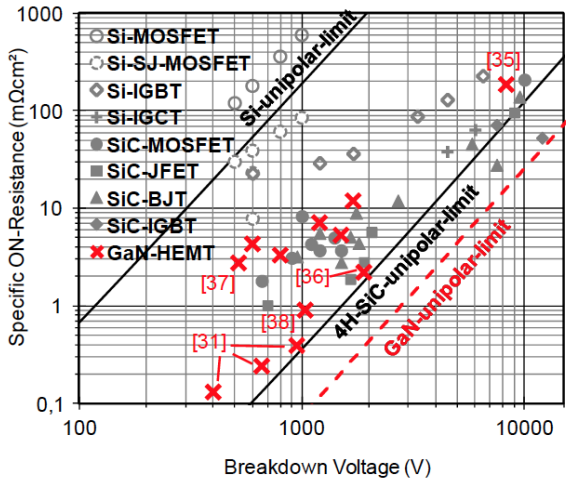


Figure I. 3 : Résistances ON spécifiques en fonction de la tenue de tension des différents matériaux de semi-conducteurs [Kam12]

I.1.3 Applications des composants Grands Gaps

Comme le montre la figure I.4, il existe une intersection de la performance actuelle du SiC et de la performance du GaN à environ 1000V. En-dessous de cette valeur, l'utilisation du matériau GaN pour les semi-conducteurs est bénéfique en termes de réduction de la résistance spécifique du canal. La fabrication des composants à base de GaN évolue continuellement, on s'attend donc dans les prochaines années à avoir de meilleures performances en se rapprochant des limites théoriques du matériau GaN.

Par conséquent, l'application idéale pour les transistors GaN est la réalisation de circuits intégrés à haute tension allant jusqu'à 1000V. Le SiC est plutôt adapté aux dispositifs discrets ou aux modules avec des tensions de claquage supérieures à 1000V [Kam12].

Les dispositifs à large bande interdite offrent une vitesse de commutation élevée et un fonctionnement à haute température. Cependant, les deux aspects ne sont actuellement pas réalisables en raison des

limitations des boîtiers. Ainsi, une amélioration significative est nécessaire pour exploiter pleinement les avantages des dispositifs à base des matériaux à large bande interdite (particulièrement les dispositifs à base de GaN).

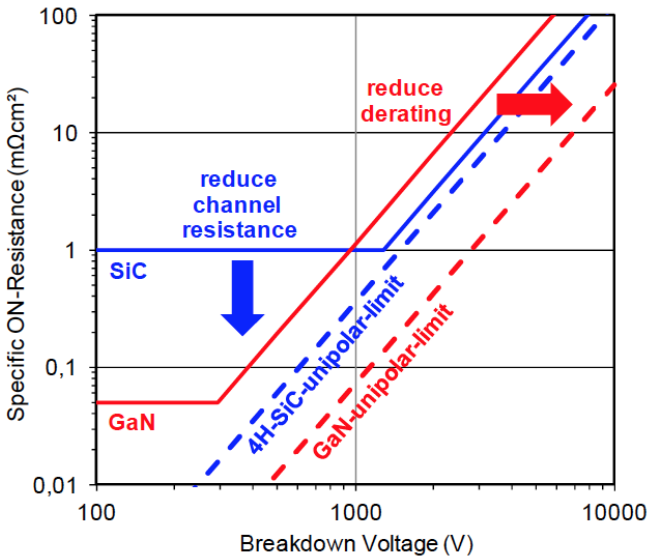


Figure I. 4 : Domaines d'application actuels du GaN vs ceux du SiC [Kam12]

Plusieurs applications des Grands Gaps et plus particulièrement du GaN sont décrites dans [Kac07, Kac12, Ued13, Jai08, Tol03]. Les auteurs de [Kac07] et [Kac12] discutent de l'application des dispositifs GaN dans le domaine automobile, en particulier pour les véhicules hybrides. Le recours au GaN est utilisé pour créer des onduleurs à haute puissance électrique afin de piloter des moteurs de grande puissance. [Ued13] présente de nouvelles technologies à base de GaN, comme un système inverseur qui a atteint 99.3% de rendement de conversion en utilisant la structure GIT (Gate Injection Transistor), cette structure est détaillée plus loin.

Grace à sa tension de claquage et sa vitesse de saturation des électrons les plus élevées, le candidat évident pour remplacer les technologies Si et GaAs, pour les applications RF, est le HEMT-GaN [Jai08].

Les développements récents dans les dispositifs HEMT-GaN ont permis de concevoir des amplificateurs à découpage avec une puissance élevée et un rendement très élevé aux fréquences micro-ondes [Jai08].

L'intérêt industriel pour les dispositifs de puissance GaN augmente régulièrement. Au cours de la dernière décennie et en se focalisant sur les transistors à haute mobilité d'électrons (HEMT) à base de GaN, ces derniers ont été utilisés pour la fabrication de diodes électroluminescentes et ils servent de plate-forme pour les applications électroniques à hautes fréquences et hautes tensions.

Mais la technologie GaN doit s'améliorer et se développer pour atteindre les limites théoriques décrites dans cette section. Ma thèse est dédiée à l'étude des modes de dégradation des transistors à base de GaN. Ainsi, une analyse bibliographique des différents modes de défaillance s'avère nécessaire à ce stade. Mais avant d'entamer cette étude, il est nécessaire de connaitre les différentes structures des transistors GaN existant sur le marché.

I.2 Structures des composants GaN

Les premiers transistors à base de GaN pour des applications de commutation ont été réalisés sur des substrats en Saphir et Carbure de Silicium (4H-SiC et 6H-SiC) [Zha01]. Ce n'est que plus récemment que les substrats Silicium ont été utilisés pour la croissance du GaN [Ish99, Ish10].

Dans le tableau I.3, issu de [Kell17], nous pouvons observer que le substrat SiC présente le moindre écart de mailles avec le GaN alors que le Saphir et le Silicium présentent des écarts comparables mais dans des sens opposés. Les écarts de coefficients de dilatation sont également moins favorables avec le Silicium qu'avec les autres substrats. Malgré ces désavantages, l'utilisation du Silicium comme substrat a permis d'accélérer le développement de ce type de composant pour sa commercialisation. Cela est dû à une diminution des coûts puisqu'il est devenu possible d'utiliser les lignes de production du Silicium et leurs grands diamètres de wafers [Ish10].

Tableau I.4 : Propriétés des différents substrats pour l'épitaxie du GaN [Kell17]

	Sapphire	SiC	Si	GaN
Lattice mismatch (%)	16	3.1	−17	0
Linear thermal expansion coefficient ($\times 10^{-6}$ K^{-1})	7.5	4.4	2.6	5.6
Thermal conductivity (W cm^{-1} K^{-1})	0.25	4.9	1.6	2.3
Cost	Cheap	Expensive	Cheap	Very expensive
Dislocation density of GaN films grown on substrate (optimized) (cm^{-2})	Low 10^8	Low 10^8	Low 10^8	10^4–10^6

Les contraintes mécaniques dues aux écarts de mailles ont cependant été traitées par les technologues à l'aide d'une structure entrelacée de couches successives de GaN et AlN entre le substrat Si et la couche active de GaN/AlGaN afin de réduire progressivement le désaccord de maille, comme on peut le voir sur la figure I.5 [Ish10].

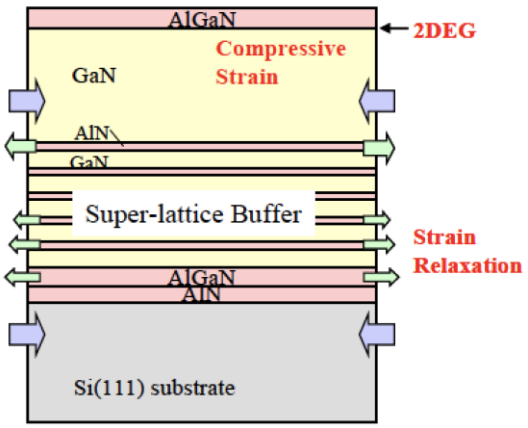


Figure I. 5: Structure de couches successives afin de réduire le désaccord de mailles entre le substrat Si et la zone active GaN/AlGaN [Ish10]

I.2.1 Structure latérale

Les structures latérales concernent la majorité de celles développées à l'heure actuelle, issues des composants HEMT dérivés des composants RF. La structure de base exploite le gaz-2D (2DEG) d'électrons qui forme le canal entre drain et source à l'interface entre le GaN et l'AlGaN. Les caractéristiques de ces composants latéraux sont adaptées à des applications de faibles et moyennes puissances, en particulier pour le véhicule électrique. La caractéristique principale recherchée est la forte mobilité des électrons dans ce canal permettant des vitesses de saturation des porteurs élevées et donc des utilisations dans les hautes fréquences. Par ailleurs, les fortes densités de charges dans le gaz-2D permettent de réduire la résistance à l'état passant (R_{on}).

Les travaux sur ces structures pour les applications de commutations ont particulièrement été liés à l'obtention de composants Normally-Off qui sont souhaités dans ce domaine. Les différentes structures latérales dans cette démarche sont représentées en figure I.6, extraite de [Kac12], où l'on peut observer :

- la structure (a) « recess gate » se base sur un creusement partiel de la couche AlGaN, réduisant l'épaisseur de cette couche sous la grille [Sai06]. La barrière AlGaN dont l'épaisseur est de l'ordre de 20 à 25nm est réduite à une épaisseur de l'ordre de 2 à 5nm ce qui réduit significativement la concentration du 2DEG sous la grille. En conséquence, la tension seuil (V_{th}) est ramenée vers des valeurs positives sans pour autant avoir des valeurs de V_{th} très positives car il est difficile de dépleter complètement le canal [Ibb00, Kac14].
- la structure (b) p-GaN permet de produire une zone déplétée dans la barrière AlGaN sous la zone p-GaN, et réduire ainsi par déplétion la concentration du 2DEG et par conséquent déplacer la tension de seuil V_{th} vers les valeurs positives [Uem06, Hil11]. Cependant, ces structures présentent des courants de fuite de grille.
- la structure (c) met en œuvre une implantation d'ions Fluor dans l'AlGaN dont la charge négative est utilisée pour dépléter le 2DEG [Cai06].
- la structure (d) « MOS-Gate » est une extension du « recess gate » jusqu'au creusement total de la couche AlGaN sous la grille. Le canal y est interrompu sans tension de grille et reformé par la création d'un canal MOS en polarisant la grille [Ike11, Su12, Mar10].

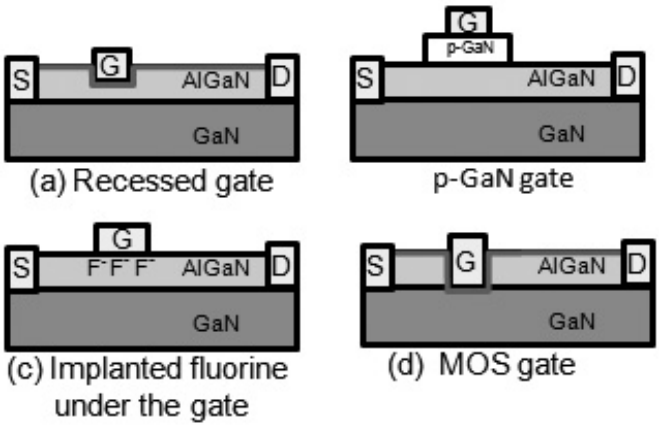


Figure I. 6: Différentes structures schématiques de transistors AlGaN/GaN : a) structure recess-gate, b) structure p-GaN, c) structure Fluor implant, d) structure MOS-gate [Kac12]

- Structure GIT : La société Panasonic a développé un transistor avec une structure de grille p-AlGaN au lieu de p-GaN, dénommée « Gate Injection Transistor » (GIT) [Uem06, Uem07]. Elle est mieux adaptée et elle exploite l'injection de trous de cette couche vers le canal, ce qui mène à une réduction de la résistance à l'état passant.

Le principe du GIT est visible en figure I.7. A Vg=0V, le 2DEG sous la grille est déplété et le transistor est bloqué. La polarisation directe de la jonction PN de grille entraine l'injection de trous de la zone P vers le 2DEG. La présence des trous dans la zone du canal, entraine une génération d'électrons supplémentaires dans le 2DEG pour des raisons de maintien de la neutralité électrique. Il est à noter que l'hétérojonction AlGaN/GaN empêche l'injection d'électrons dans le sens inverse (vers le P-AlGaN). La conductivité du canal 2DEG est ainsi modulée par cette injection de trous [Ued17]. Les caractéristiques typiques du GIT fabriqué par Panasonic sont présentées en figure I.8 [Uem07, Ued17].

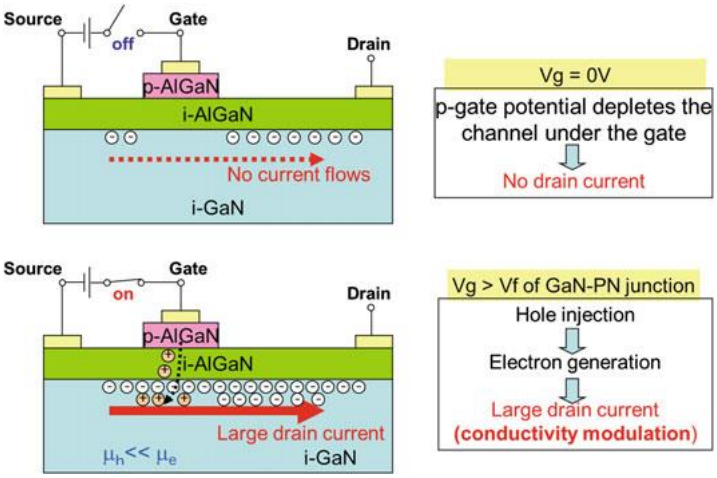


Figure I. 7: Principe de fonctionnement du transistor GIT de Panasonic [Ued17]

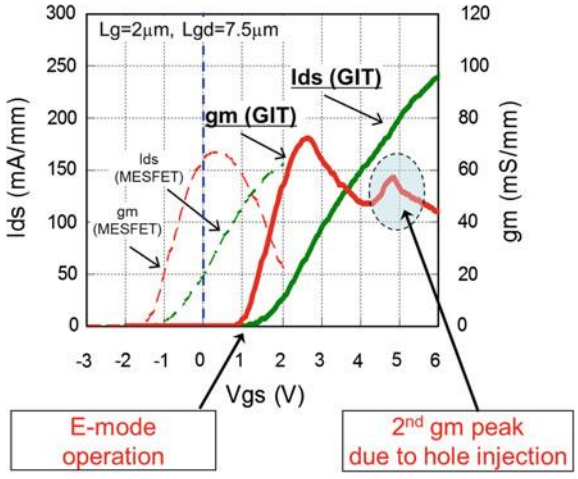


Figure I. 8: Caractéristiques typiques du GIT de Panasonic [Uem07, Ued17]

Concernant la tenue en tension de ces structures, elle est d'autant plus importante que la distance entre drain et grille est élevée, compromettant par ailleurs la résistance R_{ON} [Mar10]. Une tenue en tension de 2.2kV a été rapportée sur une structure HFET latérale sur substrat Si (Cf. Figure I.9 (a), (b) et (c))

dans [Sri11] pour une distance drain-grille de 20µm, la résistance R_{ON}-spécifique étant de 20Ωmm (Cf. Figure I.9 (d) et (e)).

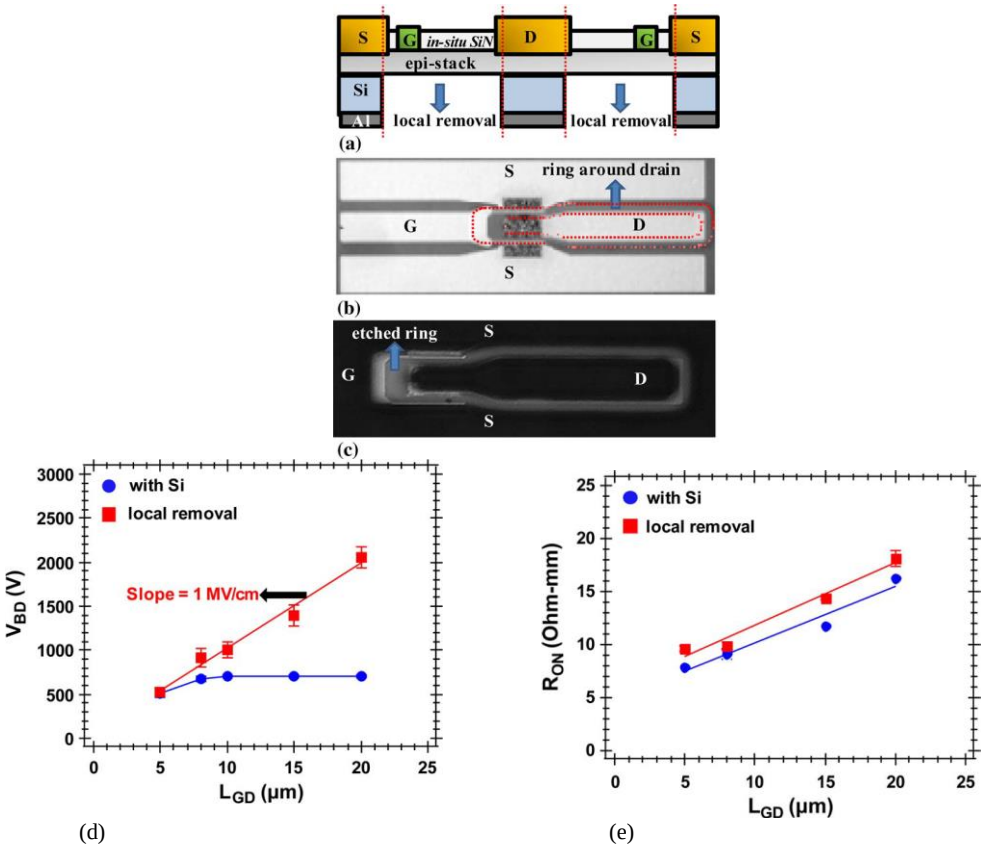


Figure I. 9 : (a) Schéma de la coupe transversale ; (b) Vue de dessus ; (c) vue arrière (microscope optique) de HFET. S = Source, G =Grille et D = Drain ; (d) et (e) Record de la tenue en tension de 2,2kV pour un R_{ON} de 20Ωmm [Sri11]

I.2.2 Structure verticale

En ce qui concerne les structures verticales de transistors GaN, les premiers développements datent de 2004 [Kac14, Cho08, Kod08] (Cf. Figure I.10). Le courant d'électrons circule le long de l'hétérojonction AlGaN/GaN et à travers l'ouverture centrale de la couche p-GaN. Cette dernière couche sert à couper le courant durant l'état bloqué [Kac14].

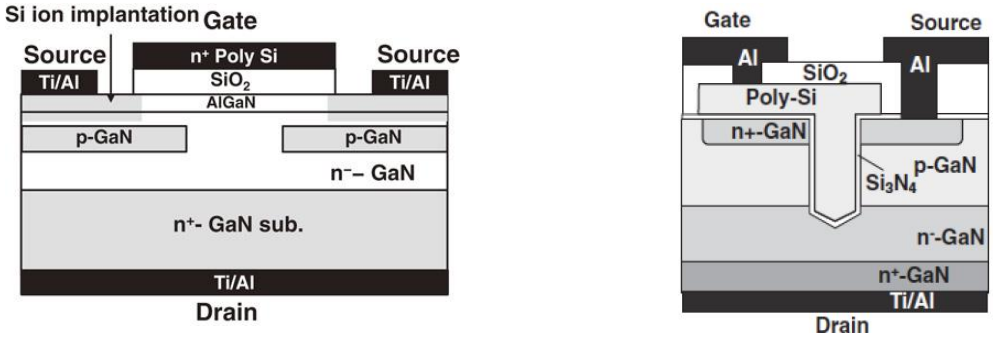


Figure I. 10 : Structure verticale de transistor GaN : Gauche : transistor à grille isolée AlGaN/GaN HFET (CAVET) ; Droite : MISFET à grille trench [Kac14]

I.3 Mécanismes de dégradation des composants GaN

Malgré les progrès technologiques, les composants HEMT-GaN de puissance souffrent toujours de défauts qui les rendent non encore matures pour les applications de commutation. En effet, un certain nombre de mécanismes limite encore leurs performances et leur fiabilité [Joh14, Bis14, Men16, Men13, Men16b, Ruz16]. Ces mécanismes sont présentés schématiquement sur la figure I.11 et peuvent se répartir en trois groupes principaux [Men13c] :

- Les mécanismes induits par les électrons chauds incluant le piégeage dans les passivations SiN ou dans le cristal semi-conducteur, et la génération de défauts cristallins.
- Les mécanismes affectant les propriétés de l'hétérostructure AlGaN/GaN, c'est-à-dire les dégradations du bord de la grille dues aux polarisations inverses et la génération de pièges due aux stress électriques.
- Les mécanismes activés thermiquement qui incluent les dégradations des interconnexions métalliques, les contacts ohmiques et la délamination des passivations.

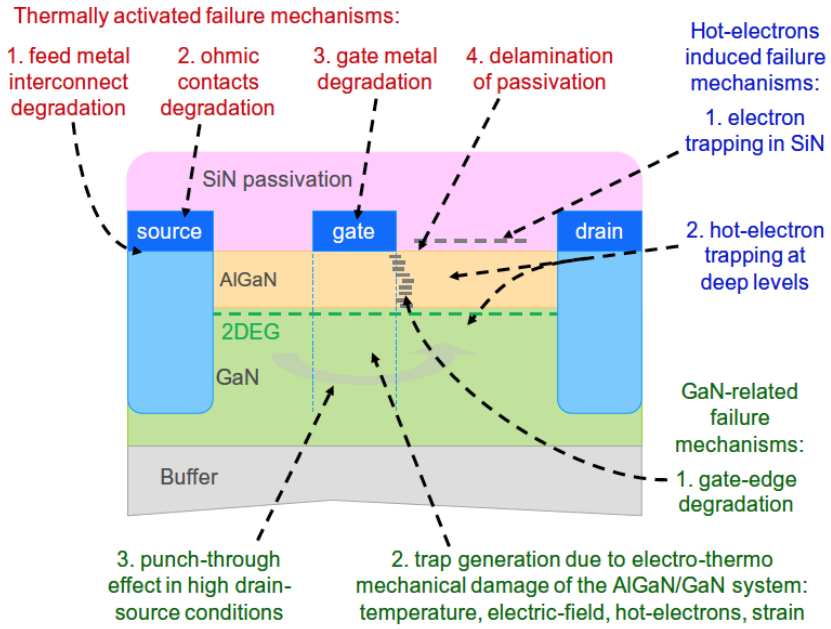


Figure I. 11: Principaux mécanismes affectant la fiabilité des HEMT-GaN, [Men13c]

Le tableau I.4, extrait de [Men17], résume les mécanismes de dégradation usuels qui sont induits lors des états passants, les états bloqués et les « semi-on state » qui sont les états de commutation de fermeture dans lesquels des niveaux élevés de tension et de courants sont présents, de manière transitoire, lors d'une commutation de l'état bloqué à l'état passant. La commutation de l'état OFF à l'état ON est plus pénalisante dans le cas où le stress électrique est induit par les forts niveaux de tensions bloquées juste avant la commutation. Ce tableau indique également les méthodes de tests qui ont été proposées dans la littérature pour l'analyse de ces dégradations.

Tableau I.5 : Résumé des mécanismes de dégradations dans les HEMT-GaN [Men17]

Bias point	Degradation mode/process	Physical origin	Test methodology
Off-state	Dynamic-R_{on} increase	Buffer trapping [Men16], due to -ionization of buffer acceptors [Moe15] -injection of electrons from the substrate [Bis14]	-Pulsed I_D-V_{DS} characterization [Men14] -"on-the-fly" measurements [Men14] -backgating tests [Mar03], [Men15] -substrate ramps [Ure14]
		Surface trapping due to -injection of electrons from gate to drain, due to poor passivation [Men13]	-surface leakage measurements [Tan06] -analysis of the trapping transients with drain connected to substrate [Men15]
	V_{th} shift	-trapping/detrapping of electrons in the gate area [Men16b]	-Pulsed I_D-V_{GS} characterization [Men16b] -"on-the-fly" measurements [Bis14]
	Time-dependent degradation	-generation of source-drain current paths [Bah13], [Men14b] -short circuits between gate and channel [Men15b], [Ros17] -vertical (drain to substrate) breakdown [Fle13]	-HTRB testing [Rug14] -2-terminal (drain to substrate) stress [Fle13]
On-state	V_{th} shift (PBTI, NBTI)	-trapping at the gate insulator (for MIS/MOS structures) [Fle13], [Guo16], [Men16b] -electron/hole trapping in the p-GaN (for transistors with p-GaN gate) [Li16]	-Pulsed I_D-V_{GS} characterization [Men16c] -capacitance-voltage-frequency analysis [Men16c] -analysis of the correlation between V_{th} shift and gate leakage [Bis15]
	Time-dependent gate breakdown	-TDDB (for MIS/MOS structures) [Wu15b], [Wam16] -generation of defects/leakage paths in the p-GaN/AlGaN gate stack [Wu15], [Ros16b], [Tap16], [Men16d]	-high temperature gate stress testing [Wu15], [Tap16] -constant voltage gate stress [Tap16] - Pulsed I_D-V_{GS}/DLTS to investigate the generation of traps induced by stress [Men14c] -electroluminescence to identify the failed regions [Ros16b]
Semi-on state	V_{th} shift/increase in R_{on} induced by semi-on operation	-trapping of hot electrons under the gate and gate edge [Bis15], [Men14], [Ruz16] -generation of lattice defects [Puz10 &11],	-constant voltage stress in semi-on conditions [Men13b] -High temperature source current (HTSC) stress [Ruz16] -stress in hard switching [Joh14]

Dans ce qui suit, nous ferons un focus sur les mécanismes de piégeages et d'électrons chauds qui sont les mécanismes que nous avons rencontrés pendant les travaux de cette thèse.

I.3.1 Mécanismes de piégeage

I.3.1.1 Principe et modèle mathématique

Ces mécanismes sont liés à des défauts provenant des procédés de réalisation, encore difficilement maitrisés. Les structures HEMT, avec des couches actives très fines, sont particulièrement sensibles à ces défauts et la densité du gaz-2D est facilement perturbée par ces charges.

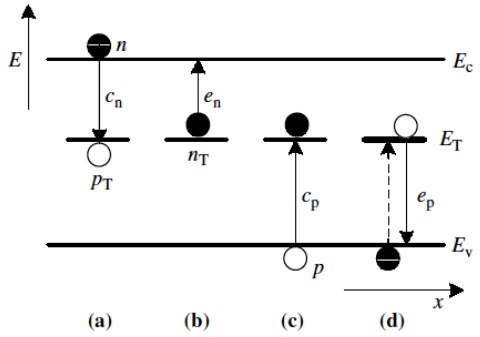
Lorsque des défauts ponctuels ou des défauts cristallins sont présents, soit dans le volume de la structure ou aux interfaces (par exemple entre l'AlGaN et la passivation SiN de la figure I.11), ces derniers introduisent des niveaux d'énergie à l'intérieur de la bande interdite (qui est particulièrement

large). Ces niveaux d'énergie, non souhaités, vont dès lors capturer et/ou émettre des porteurs en ionisant ou neutralisant le défaut auquel ils sont liés. On dit alors que les impuretés, ou les défauts, en question sont des pièges car ils auront tendance à piéger ou libérer des électrons (capture ou émission). Ceci a pour conséquence de modifier l'état de charge dans la structure et par effet électrostatique (en modifiant le champ électrique local) de modifier localement la densité du gaz-2D.

En fonction du type d'impuretés, le piège est dit accepteur s'il capte un électron (en s'ionisant négativement) ou donneur s'il le fournit (en s'ionisant positivement).

En effet, le diagramme de bandes d'un semi-conducteur monocristallin parfait (sans impuretés) se compose d'une bande de valence E_v et d'une bande de conduction E_c séparées par la bande interdite dans laquelle il n'y a aucun niveau d'énergie. Lorsque le cristal contient des atomes étrangers ou des défauts cristallins (pièges), des niveaux d'énergie discrets sont introduits dans la bande interdite, indiqués par les niveaux E_T sur la figure I.12. Pour les semi-conducteurs monocristallins comme le Silicium, le Germanium et l'Arséniure de Gallium, les défauts sont généralement des impuretés métalliques, mais également des imperfections cristallines, telles que des dislocations, des empilements, des précipités, des lacunes ou des interstitiels. Dans certains semi-conducteurs comme GaAs et InP, les impuretés augmentent la résistivité du substrat, créant des substrats semi-isolants [Sch06].

Considérons l'impureté de la figure I.12 avec une énergie E_T et une densité de pièges N_T/cm^3. Si n et p sont les densités d'électrons et de trous respectivement dans le semi-conducteur, les différents processus de capture et d'émission sont schématisées dans la figure I.12. De manière générale, il y a quatre événements possibles entre la bande de conduction, le niveau d'énergie d'impureté et la bande de valence. Le piège peut capturer un électron de la bande de conduction (Cf. Figure I.12 (a)), processus caractérisé par le coefficient de capture c_n. Après la capture d'électrons, un des deux événements peut avoir lieu, le renvoi de l'électron vers la bande de conduction, émission d'électrons caractérisé par un coefficient d'émission e_n (Cf. Figure I.12 (b)), ou la capture d'un trou de la bande de valence (Cf. Figure I.12 (c)) caractérisé par un taux de capture c_p. Après l'un ou l'autre de ces événements, le piège est occupé par un trou et il a de nouveau deux possibilités. Soit il renvoie le trou vers la bande de valence (e_p) (Cf. Figure I.12 (d)), soit il capture un électron (Cf. Figure I.12 (a)).



(a)	$c_n\, n\, p_T$
(b)	$e_n\, n_T$
(c)	$c_P\, p\, n_T$
(d)	$e_p\, p_T$

Figure I. 12: Mécanismes d'émission et de capture assistés par pièges profonds et équations correspondantes à chaque mécanisme [Sch06]

Un événement de capture est représenté par la figure I.12 (a) suivie de (c) et un événement d'émission est représenté par (b) suivi de (d). Donc le piège peut exister dans l'un des deux états : soit occupé par un électron (n_T) soit par un trou (p_T). La densité des pièges occupés par des électrons (n_T) et des trous (p_T) doit être égale à la densité totale des pièges N_T (Cf. Eq.I.1).

$$N_T = n_T + p_T \qquad \textbf{Eq.I.1}$$

La densité d'électrons dans la bande de conduction n, la densité des trous dans la bande de valence p et l'état de piège n_T ou p_T sont toutes des fonctions du temps à cause des processus de capture et d'émission. Pour cette raison, des équations se sont définies pour suivre l'évolution de n, p et n_T en fonction du temps. Seules les équations appropriées pour les électrons sont développées. Les équations pour les trous sont analogues.

La densité d'électrons dans la bande de conduction est diminuée par la capture d'électrons (processus (a) de la figure I.12) et augmentée par l'émission d'électrons (processus (b) de la figure I.12).

L'émission d'électrons dépend de la densité des impuretés occupés par les électrons n_T et du taux d'émission. Elle ne dépend pas de la densité d'électrons dans la bande de conduction n car il n'est pas nécessaire qu'il y ait des électrons dans la bande de conduction pendant le processus d'émission. Mais les pièges doivent être occupés par des électrons, car s'il n'y a pas d'électrons dans les pièges, aucun électron ne peut être émis. L'expression de l'émission est représentée par le processus (b) dans la figure I.12.

Le processus de capture dépend de n, p_T et du coefficient de capture c_n. La densité d'électrons n est importante car, pour capturer des électrons, il doit y avoir des électrons dans la bande de conduction. L'expression de capture d'électrons est présentée par le processus (a) dans la figure I.12. Pour les trous, nous trouvons les expressions parallèles ((c) et (d)).

Par conséquent, la variation des densités des charges dans les bandes de conduction et de valence dépend des processus de capture et d'émission (Cf. Eq.I.2 et Eq.I.3 respectivement).

$$\frac{dn}{dt} = (b) - (a) = e_n\, n_T - c_n\, n\, p_T \qquad \textbf{Eq.I.2}$$

$$\frac{dp}{dt} = (d) - (c) = e_p\, p_T - c_p\, p\, n_T \qquad \textbf{Eq.I.3}$$

Chaque fois qu'un électron ou un trou est capturé ou émis, l'occupation du piège change, et ce taux de variation est donné par :

$$\frac{dn_T}{dt} = \frac{dp}{dt} - \frac{dn}{dt} = \big(c_n\, n + e_p\big)(N_T - n_T) - \big(c_p\, p + e_n\big)n_T \qquad \textbf{Eq.I.4}$$

La relation I.4 est non linéaire et, pour la résoudre, il a fallu faire plusieurs simplifications [Sch06] pour pouvoir en tirer les deux expressions des densités des pièges pour les deux processus : émission et capture.

Pendant la période d'émission, l'expression temporelle de n_T simplifiée est la suivante :

$$n_T(t) = n_T(0)\ \exp\left(-\frac{t}{\tau_e}\right) \qquad \textbf{Eq.I.5}$$

Où $n_T(0)$ est la densité de charges piégées à t=0 et $\tau_e = 1/e_n$ est la constante de temps d'émission.

L'expression temporelle de n_T pendant la période de capture est :

$$n_T(t) = N_T - \big(N_T - n_T(0)\big)\exp\left(-\frac{t}{\tau_C}\right) \qquad \textbf{Eq.I.6}$$

Où $\tau_c = 1/c_n$ est la constante de temps de capture.

La densité des pièges à l'état d'équilibre (t→∞) n_T est la suivante :

$$n_T = \frac{e_p}{e_n + e_p} N_T \qquad \textbf{Eq.I.7}$$

Le tableau I.5 résume les différentes expressions en fonction de l'état des pièges.

Tableau I.6 : Expression de la densité de charges piégées n_T en fonction des différents états [Sch06]

Etat	Expression de n_T
Emission	$n_T(t) = n_T(0)\ \exp\left(-\frac{t}{\tau_e}\right)$
Capture	$n_T(t) = N_T - \left(N_T - n_T(0)\right)\exp\left(-\frac{t}{\tau_C}\right)$
équilibre	$n_T = \frac{e_p}{e_n + e_p} N_T$

En se basant sur [Sch06], l'évolution de la densité des charges piégées dans un semi-conducteur est une fonction exponentielle qui dépend des constantes de temps d'émission et de capture. Chaque piège a ses propres constantes de temps (caractéristiques physiques).

Les pièges sont caractérisés par certains paramètres dont l'énergie d'activation et la section de capture. Cette dernière peut être définie comme une zone autour des pièges qui quantifie la probabilité de capturer un électron. Par conséquent, plus la section est grande, plus la probabilité de capturer des électrons est élevée.

Une représentation d'Arrhenius peut nous donner ces paramètres pour chaque piège, il est nécessaire pour cela de déterminer les constantes du temps de chaque piège en fonction de la température. Dans la littérature, il y a plusieurs méthodes de détermination des constantes de temps que nous allons voir ci-après.

I.3.1.2 Caractérisations des pièges

La caractérisation des pièges est l'étape qui permet d'extraire expérimentalement les paramètres physiques des pièges. Elle consiste à déterminer les constantes de temps de chaque type de pièges puis définir les énergies d'activation (E_a) et les sections efficaces de capture (σ_n) en utilisant les graphes d'Arrhenius.

Diverses méthodes ont été utilisées sur les HEMT-GaN pour étudier le comportement de piégeage [Bin02, Miz03, Men08, Soz05, Ima11]. Dans [Ima11], la méthode de la spectroscopie optique de niveau profond (DLOS) a été utilisée pour caractériser les pièges pendant le vieillissement. Les résultats ont permis de conclure que le décalage de la résistance R_{on} et de la tension de pincement V_p (Cf. Figure I.13) était attribué au niveau profond dans la région de la grille. En effet, pour l'essai de vieillissement, une contrainte V_{GS} de 10V a été appliquée pendant 5000s. Les électrodes de drain et de source ont été mises à la terre. Le test de vieillissement a été arrêté toutes les 1000s en mesurant V_p, définie comme la tension V_{GS} à Id de 1mA/mm et V_{DS} de 0,5V, et R_{on}, définie comme résistance de Drain-Source à V_{GS} de 10V. Par le test de vieillissement, V_p a été décalé vers la valeur positive et R_{on} a augmenté. La dépendance de R_{on} a été comparé vis-à-vis de Lr (la longueur de grille en retrait= gate recess) (Cf. Figure I.13). En l'absence de structure de grille en retrait, R_{on} a été mesuré à V_{GS} = 0V et à V_{DS} = 0,5V. R_{on} a augmenté uniquement lorsque des structures de grille en retrait ont été utilisées.

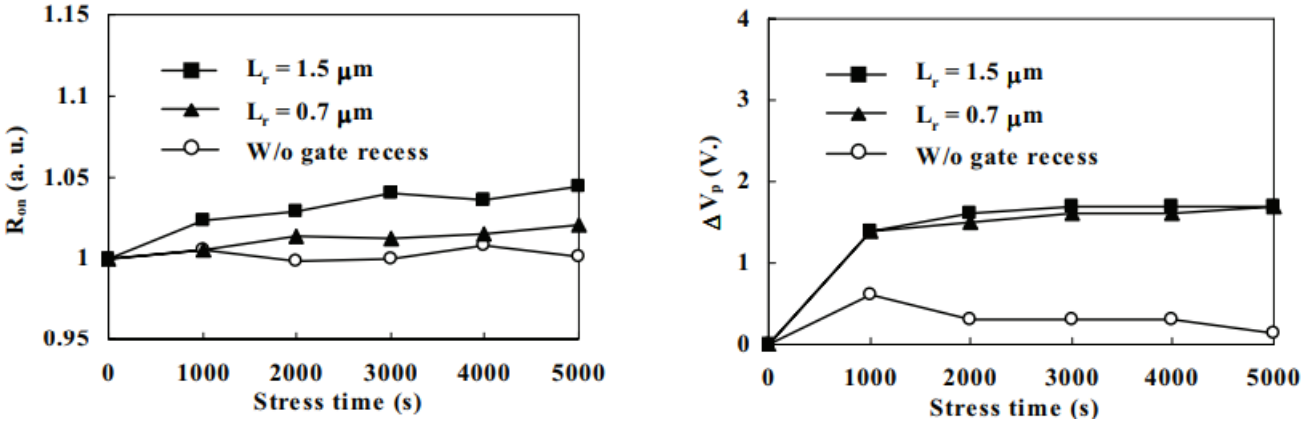


Figure I. 13 : Evolutions de Ron et Vp sous le processus de vieillissement [Ima11]

Pour estimer l'effet de la grille en retrait, nous étudions la densité des pièges autour de l'électrode de la grille en utilisant la spectroscopie optique à haut niveau (DLOS). Cette technique permet principalement de mesurer la variation de la capacité lors d'une excitation optique. La capacité mesurée correspond à la région d'appauvrissement de l'électrode de grille. La cartographie détaillée des niveaux profonds dans la bande interdite large pourrait être possible en tenant compte de la variation des régions d'appauvrissement.

La figure I.14 montre la procédure de mesure DLOS. La lumière a été exposée obliquement vers le bas de l'échantillon sous des tensions V_{GS} bien réglées. Ensuite, V_{GS} a été balayé à une valeur positive. La courbe C-V a été modifiée par l'incidence de la lumière. La densité des pièges a été calculée par ce décalage de courbe C-V. L'énergie photonique incidente suggère un niveau de piège sous la bande de conduction.

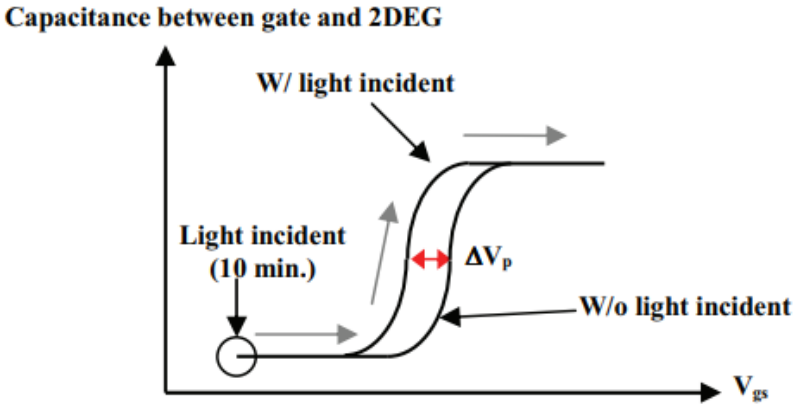


Figure I. 14 : Procédure de la mesure DLOS [Ima11]

Comme le montre la figure I.15, deux niveaux profonds différents ont été trouvés. Le «niveau A» se situait autour de 1,75 eV. Ce niveau A n'a été observé que lorsque la grille en retrait a été utilisée. Le «niveau B» se situait autour de 2,5 eV. Ce niveau B a été observé pour les cas en retrait.

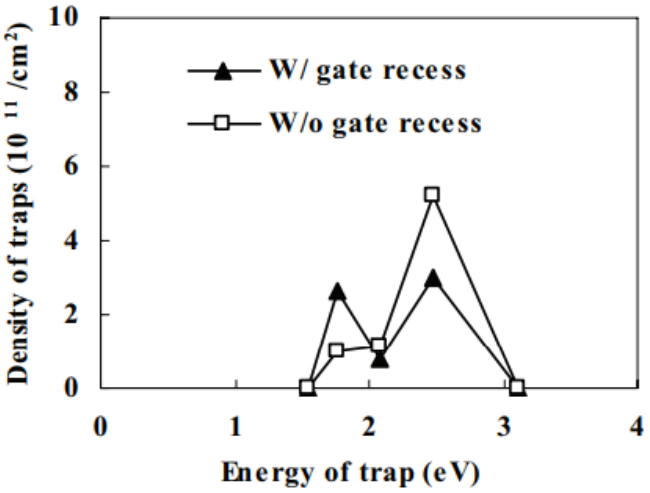


Figure I. 15 : Densité des pièges estimée par DLOS [Ima11]

La spectroscopie transitoire de niveau profond (DLTS) est une technique très puissante et sensible qui peut être utilisée pour déterminer la position énergétique des niveaux de pièges par rapport aux bords de la bande et leurs paramètres tels que les concentrations des pièges et les sections efficaces de capture, dans les semi-conducteurs [Man14a, Man14b]. En effectuant une étude systématique dans une plage de températures à l'aide de la DLTS, l'évolution thermique des pièges peut être déduite de changements dans les paramètres.

Un spectre C-DLTS est généré à partir des transitoires de capacité en fonction de la température. La densité des pièges, les sections efficaces de capture et les énergies d'activation sont ensuite extraites par l'analyse des transitoires de capacité. [Sgh04] présente la spectroscopie transitoire de niveau profond capacitif pour un dispositif à base de GaN: Les mesures DLTS ont été effectuées à une température comprise entre 77K et 550K. La figure I.16 montre les spectres de capacité DLTS typiques pour le dispositif HEMT d'AlGaN/GaN/Si.

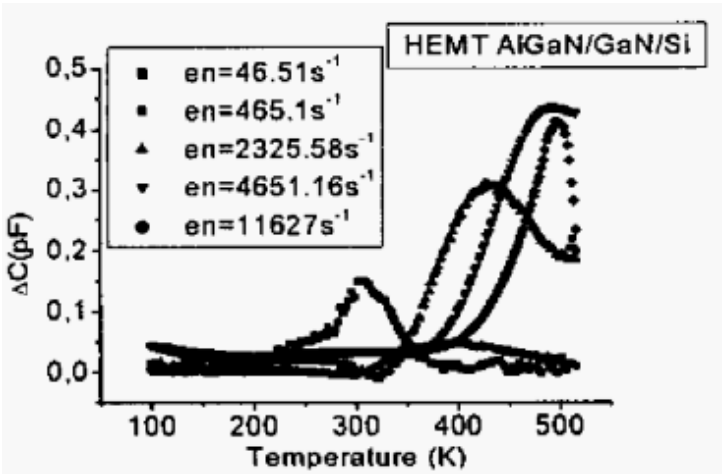


Figure I. 16 : Mesure C-DLTS appliquée sur HEMT AlGaN/GaN sur un substrat Si [Sgh04]

Les énergies d'activation extraites des signaux C-DLTS sont proches de 0.3eV. Les sections efficaces de capture sont d'environ de 10^{-17} cm^2. Les mesures du signal C-DLTS pour différentes valeurs de durée d'impulsion (tp) montrent que le signal DLTS est saturé au-dessus de 1ms.

La I-DLTS consiste à mesurer les transitoires de courant et les traiter pour obtenir les spectres des constantes de temps correspondants. Différents points de polarisation sont utilisés pour induire

différents modes de piégeage (Gate-lag et Drain-lag : expliqués dans Chapitre I § I.3.1.3) et à différents endroits dans le composant.

Les données des transitoires du courant sont analysées en les ajustant à une somme d'exponentielles. L'hypothèse sous-jacente est qu'un transitoire de courant implique plusieurs processus indépendants de piégeage. La fonction d'approximation peut être exprimée comme :

$$Ifitted = \sum_{1}^{n} a_i \exp\left(-\frac{t}{\tau_i}\right) + I_\infty \qquad \textbf{Eq.I.8}$$

Les coefficients représentent l'amplitude du processus de piégeage (ou de dé-piégeage), et τ_i les constantes de temps correspondants aux a_i. Les valeurs positives (négatives) de a_i correspondent au processus de piégeage (dé-piégeage) [Joh11]. Le courant I_∞ représente la valeur du courant pendant le régime permanent.

La figure I.17, extraite de [Joh11], montre un exemple d'un transitoire de courant avec sa courbe filtrée en échelle logarithmique (Cf. Figure I.17 (a)). Après avoir filtré le signal I_D (Cf. Eq.I.8), les valeurs a_i extraites peuvent être utilisées pour construire le spectre des constantes de temps en les traçant en fonction de τ_i (Cf. Figure I.17 (b)). Dans le spectre des constantes de temps, deux processus de piégeage majeurs (TP1 et TP2) peuvent être identifiés. À cette température, les constantes de temps de ces processus TP1 et TP2 sont respectivement d'environ 3s et 0,1s.

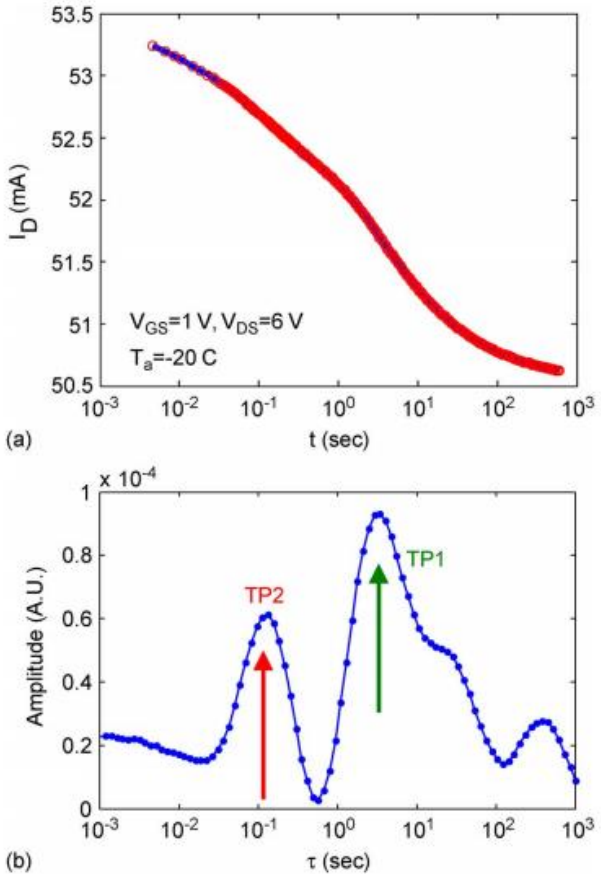


Figure I. 17 : (a) Transitoire du courant I_D ; (b) Spectre des constantes de temps du HEMT-GaN dans le cas où V_{GS}=1V et V_{DS}=6V [Joh11]

Dans des expériences similaires dans lesquelles différentes valeurs de V_{DS} sont appliquées, on constate que la constante de temps de TP2 ne change pas, bien que son amplitude augmente avec V_{DS} (Cf. Figure I.18). D'autre part, la constante de temps de TP1 se réduit avec la tension V_{DS}. Cela peut résulter soit d'une température plus élevée qui est due à une forte puissance dissipée, soit d'une conséquence du champ électrique plus élevé à V_{DS} élevé [Joh11].

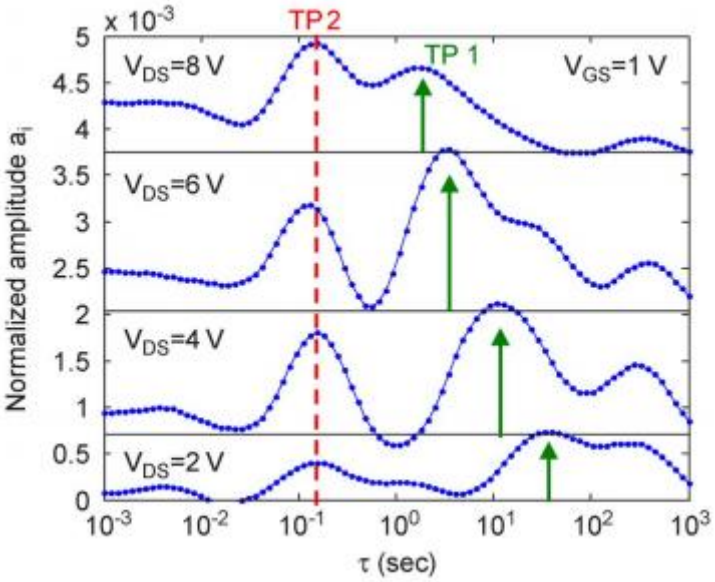


Figure I. 18 : **Spectre des constantes de temps des pièges à V_{GS}=1V, pour différents V_{DS} entre 2 et 8V et à 30°C [Joh11]**

Afin de comprendre la dépendance en température du comportement de piégeage à l'état ON, la même expérience que celle réalisée à la figure I.17 est effectuée à différentes températures. La figure I.19 montre le spectre des constantes de temps. La constante de temps pour le piège TP1 est activée thermiquement, tandis que celle pour TP2 est insensible à la température (TP2 n'est pas représenté dans la figure I.19).

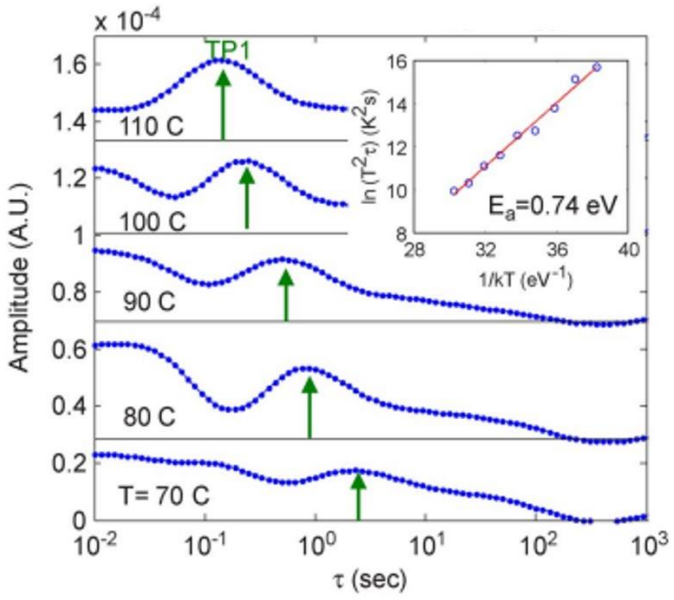


Figure I. 19 : Spectre des constantes de temps du piège TP1 à V_{DS}=0V, V_{GS}= - 5V et à différentes températures entre 70°C et 110°C. (En haut) Graphe d'Arrhenius (Ea=0.74 eV) [Joh11]

Enfin, en utilisant ces constantes de temps révélées, nous pouvons tracer le graphe d'Arrhenius qui n'est que le tracé de $\ln(TPxT^2)$ en fonction de 1/kT où TP est la constante de temps, T la température et k la constante de Boltzmann. La pente de ce graphe représente l'énergie d'activation du piège et le point à l'origine représente une image de la valeur de la section de capture [Sch06]. À partir de la constante de temps de TP1 à différentes températures, l'énergie d'activation est estimée à 0,74eV (Cf. Encadré de la figure I.19).

I.3.1.3 Conséquences des mécanismes de piégeage

Ces mécanismes ont pour conséquence de créer des instabilités dans les caractéristiques électriques des semi-conducteurs.

La figure I.20, issue de [Wur17], présente les conséquences des différents stress que peut subir un composant HEMT- GaN. Seul le recouvrement de charge négatif est affiché. Le piégeage peut être interprété comme un changement de l'équilibre de charge dans certaines régions du dispositif selon les conditions de fonctionnement. La charge supplémentaire doit être équilibrée immédiatement afin de maintenir la neutralité des charges du système entier. Habituellement, l'équilibre se produit en changeant la densité des charges électriques dans le canal 2DEG. Si des charges négatives sont piégées à proximité de la source ou du drain, la densité d'électrons 2DEG se réduit entraînant une augmentation de la résistance à l'état passant. Si des charges négatives sont piégées sous la grille, un changement de tension de seuil se produit. Un dispositif idéal serait un composant sans aucun piégeage à l'état passant où le 2DEG serait entièrement rempli d'électrons (Cf. Figure I.20 (a)).

L'emplacement et la densité des charges piégées dépendent du type du stress appliqué sur le composant. Il y a plusieurs types de dégradations électriques qui peuvent survenir dans le composant. Quand un stress électrique est appliqué sur le drain, des charges négatives vont se mettre à la surface ou au niveau du 2DEG, entrainant un excès de charges négatives. Par conséquent, il faut compenser ces charges ajoutées pour maintenir la neutralité (l'équilibre) des charges dans cette zone. L'excès des charges négatives est compensé par une réduction de la concentration des charges dans le 2DEG entrainant la variation de la résistance dynamique à l'état passant R_{on_dyn} (Cf. Figure I.20 (b)). Cette situation se produit par exemple immédiatement après un passage de l'état bloqué à l'état passant avec une tension de drain élevée au blocage.

Quand on applique un champ électrique sur la grille, des charges négatives vont venir se mettre sous la grille, donc la concentration des électrons dans la partie juste au-dessous de la grille du 2DEG se réduit pour maintenir la neutralité des charges, créant ainsi le décalage de la tension seuil V_{th} (Cf. Figure I.20 (c)).

Le stress sur la grille et le drain conduit à la fois à un décalage de la tension seuil V_{th} et à la formation d'une grille virtuelle à l'interface AlGaN/passivation ainsi qu'à une réduction de la concentration d'électrons dans la zone 2DEG générant l'augmentation de R_{on_dyn} (Cf. Figure I.20 (d)). [Sas12] détaille ce phénomène en se basant sur une étude faite sur les transistors AlGaN/GaN HEMTs. Un stress électrique en tension est appliqué sur des HEMT d'AlGaN/GaN de manière à pouvoir observer une dispersion dans les caractéristiques I(V) pulsées. Des techniques de mesures pour caractériser les pièges sont appliquées avant et après le stress. Ces techniques ont permis d'observer une corrélation directe entre la création de pièges et une légère dispersion dans les caractérisations I(V) pulsées (Cf. Figure I.21 (Droite)) représentant le début de la dégradation. Pour des conditions de courant Drain-Source et tension Grille-Source spécifiques, la différence de la résistance Drain-Source ΔR_D est de 0,04Ω.mm. Pour les mêmes conditions de courant et de tension, le ΔR_D provenant des données DLTS (Cf. Figure I.21 (Gauche)) montre que l'amplitude de ΔR_D liée à un piège E_C-0,45eV augmente

de 0,04Ω-mm après le stress. Cette valeur est en excellent accord avec la légère dispersion mesurée dans les caractéristiques I(V) pulsées. En effet, le stress est appliqué afin de favoriser le mécanisme de piégeage situé physiquement près de la région drain-grille. La présence de charges négatives piégées localement dans la région drain-grille appauvrit électrostatiquement les densités de canal 2DEG dans la région drain-grille, comme si une «grille virtuelle» à potentiel négatif était étendue [Vet01]. En effet, [Vet01] montre que la cause de la baisse du courant est une recharge d'une deuxième grille virtuelle, située physiquement dans la région drain-grille. En raison des grandes tensions de polarisation présentées sur le dispositif pendant le fonctionnement, les états de surface au voisinage de la grille agissent comme une grille virtuelle chargée négativement. Par conséquent, le courant maximum est limité par la décharge de cette grille virtuelle.

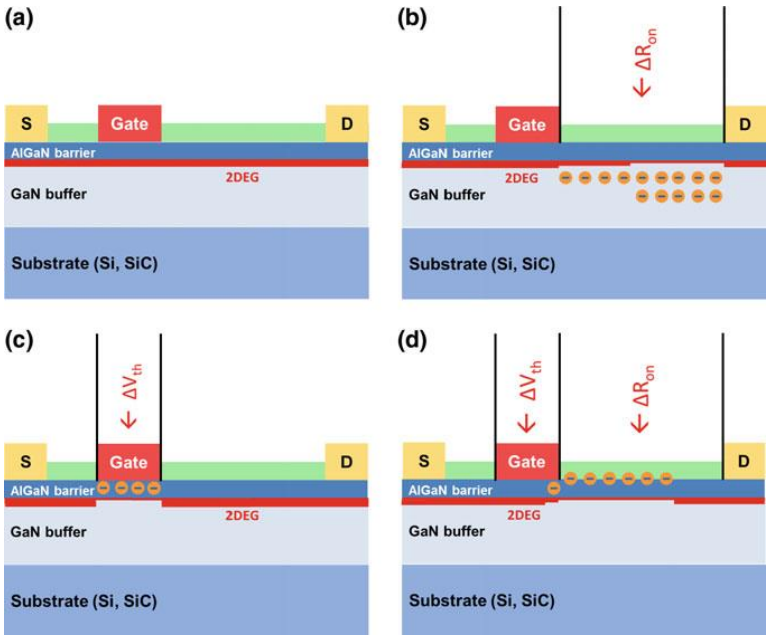


Figure I. 20: Schéma d'une coupe transversale d'un HEMT AlGaN/GaN à différents conditions de stress et piégeage [Wur17]

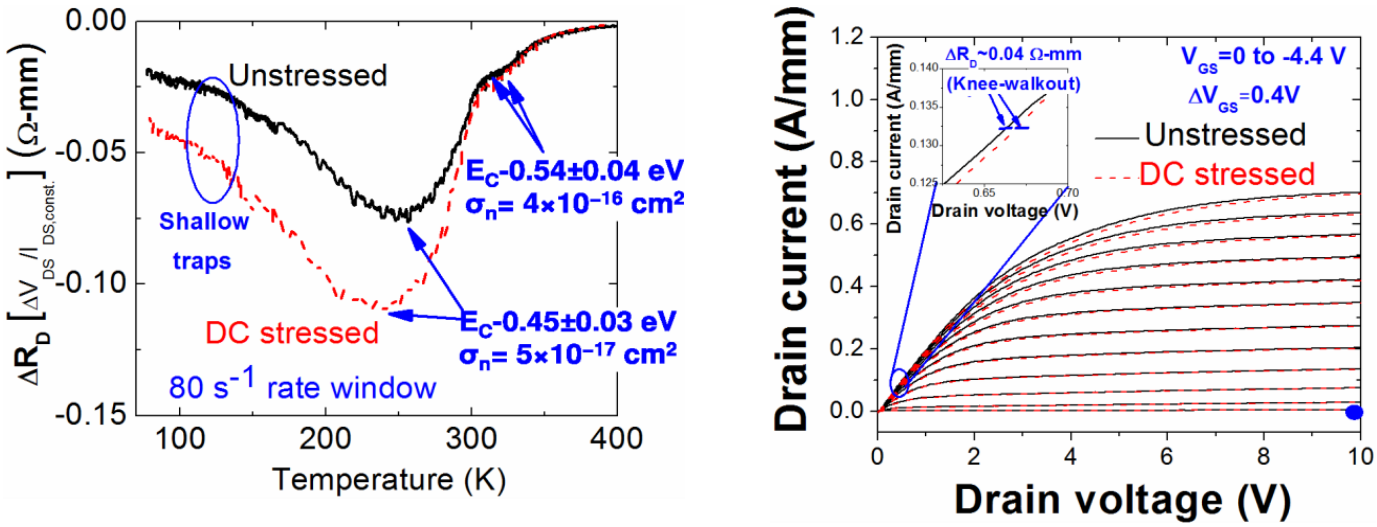


Figure I. 21: Gauche : Mesure de pièges avant et après le stress : deux pièges à E_C–0,45eV et E_C–0,54eV sont révélés, Droite : Caractéristiques I(V) pulsées montrent une différence de résistance de ΔR_D=0,04Ω.mm [Sas12]

I.3.2 Electrons chauds

Malgré les excellentes performances des dispositifs GaN, ceux-ci souffrent de plusieurs problèmes. Pour ces technologies, on ne sait toujours pas quels sont les principaux mécanismes de défaillance. Les effets des électrons chauds ont souvent été cités comme une menace possible pour la fiabilité des dispositifs HEMT-GaN.

Les électrons chauds sont les électrons qui acquièrent une énergie cinétique importante sous l'effet d'un champ électrique élevé. Ces électrons chauds peuvent sortir du puits de potentiel formant le canal 2DEG et se piéger dans la structure au niveau du GaN ou de la barrière AlGaN. Ainsi, c'est une forme de piégeage provoqué par les électrons chauds, qui peut également conduire à une modification locale de la densité de charges dans le canal 2DEG, d'où la variation des caractéristiques [Men14d] en induisant une augmentation de la résistance et une diminution du courant de drain (Cf. Figure I.22 (Droite)). La densité et l'amorçage des électrons chauds dépendent du stress appliqué sur le composant.

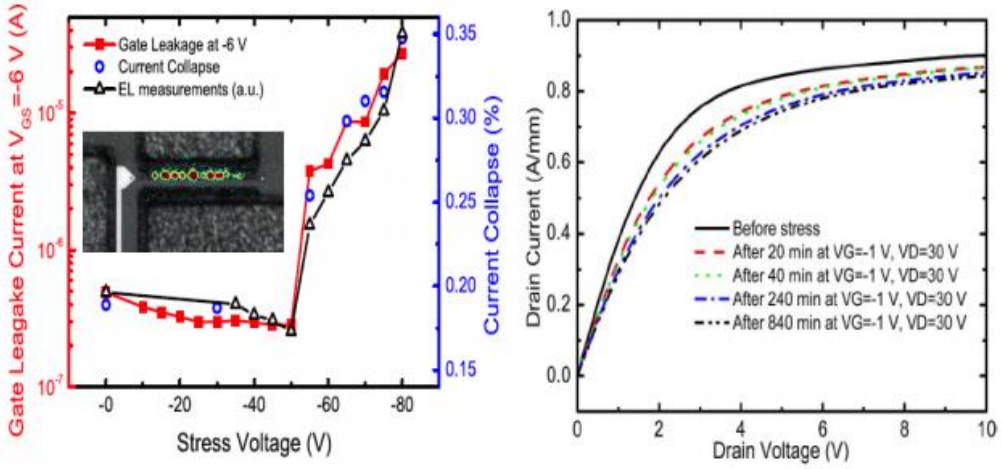


Figure I. 22: Gauche: Résultats typiques d'un stress réalisée en augmentant la tension (négative) appliquée à la grille ; Droite : Caractérisations I(V) avant et après le stress [Men14d]

Afin de caractériser les effets d'électrons chauds, des mesures par Electroluminescence (EL) sont utilisées [Hil16]. La figure I.23 représente un exemple de l'évolution d'Electroluminescence en fonction du stress appliqué, les mesures d'Electroluminescence étant montrées à différents niveaux de V_{GS} et V_{DS}. Les tests sont effectués sur un composant Normally-On [Men12]. Comme le montre la figure I.23, l'Electroluminescence a une dépendance non monotone avec la tension de grille V_{GS}. D'autre part, l'intensité électroluminescence dépend de la valeur de la tension V_{DS} [Hui90, Zan92]. Les résultats présentés dans la figure I.23 montrent une signature claire des effets d'électrons chauds, qui se produisent et varient selon les conditions de polarisation.

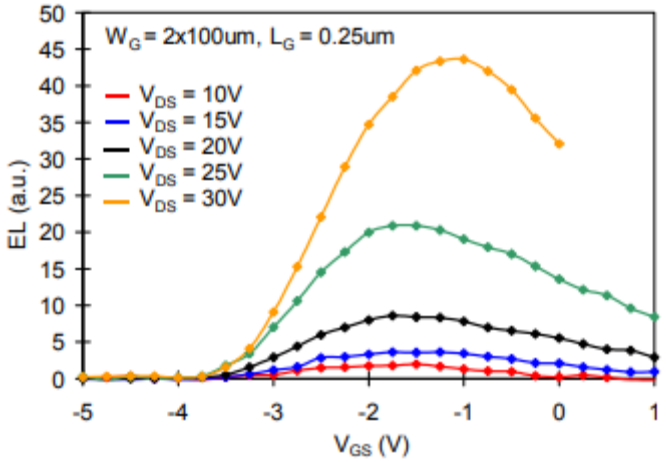


Figure I. 23: Intensité de l'Electroluminescence en fonction de la tension V_{GS} pour un stress à différents niveaux de tension V_{DS} [Men12]

I.4 Problème des fuites

Un des défis que les dispositifs HEMT-GaN doivent surmonter est la réduction du courant de fuite au blocage. La figure I.24, issue de [Ung16], représente l'évolution des courants de fuite (I_D et I_G) en fonction de la tension V_{DS} au blocage et la température. Elle montre que le courant de fuite de grille (I_G) dépasse celui du drain (I_D). Il a été confirmé que la jonction drain-grille était à l'origine de ce courant de fuite via une mesure séparée avec des contacts de source flottante. Bien que ce comportement ait été rapporté par [Tan02] pour des dispositifs avec des contacts de grille de type Schottky, le mécanisme physique n'est toujours pas clair. La formation de ces défauts est supposée être le résultat d'une déformation provoquée par l'effet piézoélectrique inverse [Joh07]. Les mesures de fuites indiquent également une réduction de la tension de claquage drain-grille avec la température.

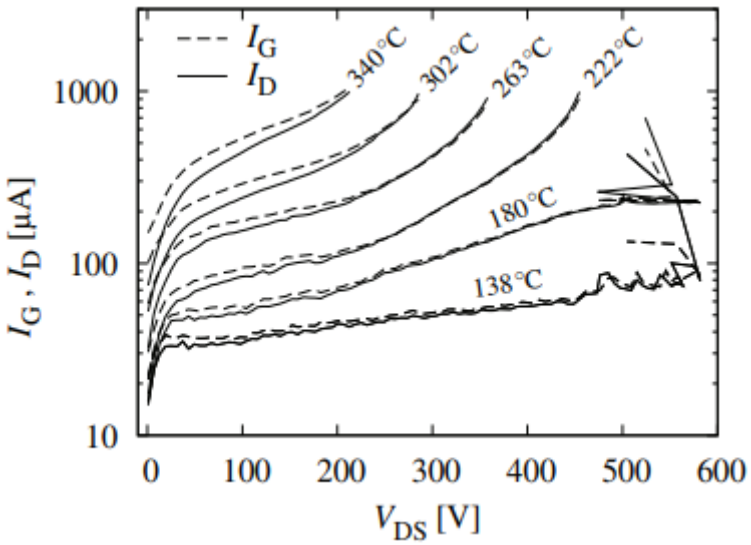


Figure I. 24: Caractéristiques $I_D(V_{DS})$ et $I_G(V_{GS})$ pour des températures allant de 138°C à 340°C [Ung16]

La figure I.25, issue de [Tre09], présente les différents chemins possibles que peut prendre un courant de fuite. Selon l'environnement de fonctionnement, les électrons peuvent :

1) s'accumuler à la surface du semi-conducteur à côté de la grille ;
2) conduire le long de la surface, créant un courant de fuite grille-drain en surface ;
3) traverser la couche AlGaN par effet tunnel vers le canal gaz 2D ;

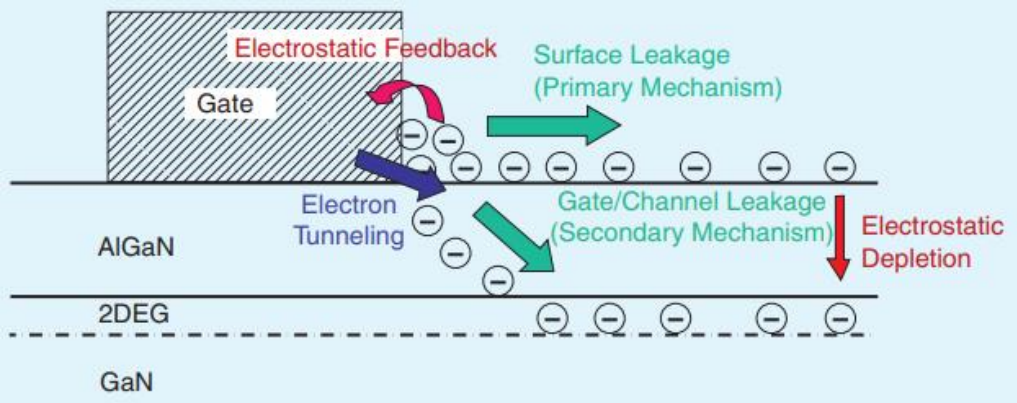


Figure I. 25: Chemins possibles du courant de fuite [Tre09]

L'augmentation des courants de fuite résulte de l'effet tunnel des électrons [Shi18]. Pour réduire ces courants de fuite, le processus de recuit de la grille est l'une des méthodes utilisée [Yam12]. Elle se base sur la réduction de la densité de pièges [Wun68]. Le processus de recuit diminue le courant de fuite de grille, comme le montre la figure I.26.

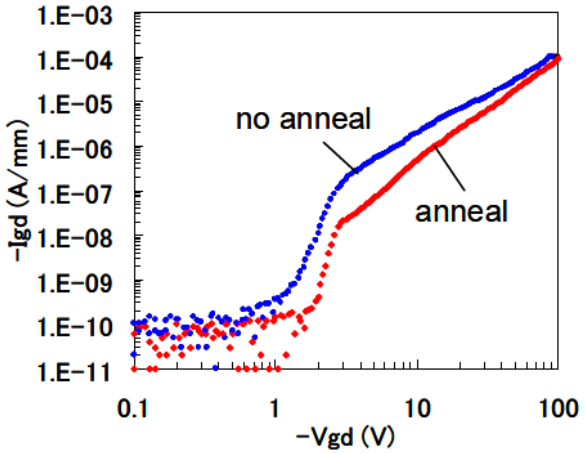


Figure I. 26: Mesure des caractéristiques du courant de fuite de la grille: comparaison des mesures avec et sans recuit [Yam12]

Une autre méthode pour réduire les courants de fuite est l'utilisation des couches tampons de super-réseau de GaN dopé au carbone. Le courant de fuite de la couche tampon détériore les propriétés électroniques du transistor à haute mobilité électronique à base de GaN (HEMT). [Xu16] propose l'ajout d'un super-réseau GaN:C/GaN pour améliorer la résistivité de la couche tampon sans réduire sa cristallisation. Le courant de fuite de HEMT avec un tampon dopé au carbone (avec super-réseaux GaN:C/GaN) diminue d'un ordre de grandeur par rapport au HEMT classique [Xu16].

I.5 Problème de la variation dynamique de R_{on}

Les transistors à haute mobilité à base de GaN sont utilisés pour la réalisation des dispositifs (convertisseurs) de puissance à faible résistance à l'état ON et à faible pertes de commutation. Mais l'un des problèmes majeurs des composants HEMT-GaN est l'augmentation de la résistance R_{on}

lorsqu'ils fonctionnent dans des conditions critiques (une tension au blocage élevée, une température élevée ou les deux en même temps) [Men15]. L'évolution de R_{on} est en relation directe avec les phénomènes de piégeage/dé-piégeage des charges dans la structure des composants HEMT-GaN. Il est important de comprendre l'effet du phénomène de piégeage sur l'évolution de la résistance lorsque ces composants sont exposés à des scénarios de fonctionnement sévères en commutation : on parle alors de résistance à l'état passant dynamique. Il est à noter que le phénomène de la variation de la résistance dynamique à l'état passant peut être appelé « Current-Collapse » dans le domaine de RF.

Un exemple de banc de test a été réalisé dans [Chi18] afin de mener des expérimentations sur les effets des commutations cycliques sur le R_{on}. La figure I.27 (gauche) représente le banc avec lequel ces expérimentations ont été menées. Le banc de test permet de contrôler les cycles de commutation et le type de stress appliqué, étudier l'influence des fréquences de commutation et du rapport cyclique. La figure I.27 (droite) montre les formes d'ondes des signaux V_{DS} et V_{GS} appliquées au composant [Chi18].

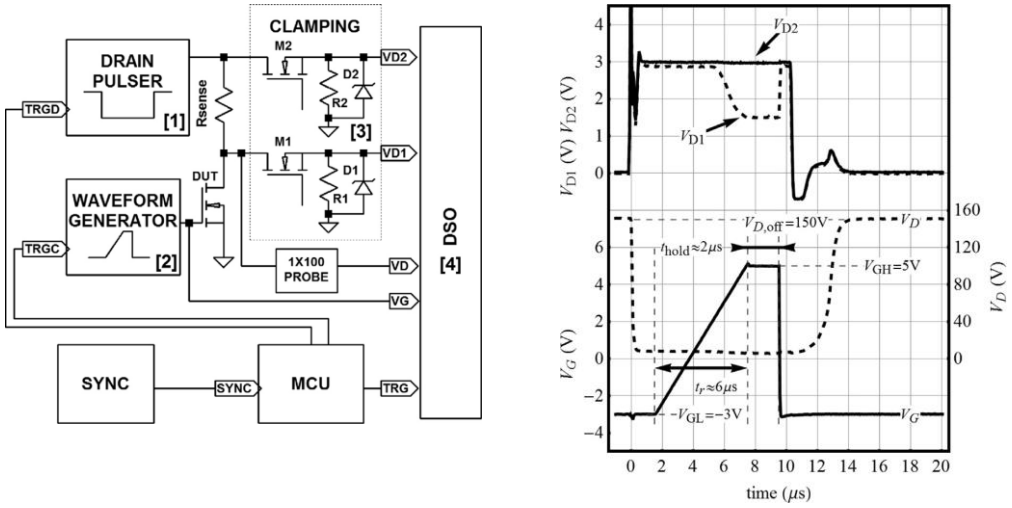


Figure I. 27: Gauche : Schéma simplifié du système de mesure ; Droite : Formes d'onde de tension typiques pendant un intervalle de temps [Chi 18]

Les valeurs des résistances dynamiques R_{on} ont été mesurées pendant que les dispositifs fonctionnaient en mode impulsionnel avec une fréquence de commutation de 1kHz. La figure I.28, extraite de [Chi 17], représente un exemple de l'évolution de R_{on} dans les conditions suivantes : une période T_S = 1ms, état bloqué (V_{DSoff} = 100V, V_{GSoff} = -3V) et état passant (V_{DSon} = 1V, V_{GSon} = 2,5V) avec un rapport cyclique de 1%. Les évolutions de la résistance à l'état passant R_{on} ont ainsi été évaluées à cinq températures différentes, de 40°C à 60°C avec un pas de 5°C. Comme on peut le voir sur la figure I.28, les valeurs mesurées de R_{on} ont augmenté d'environ 30% dans les 30 premières secondes du fonctionnement en mode impulsionnel à 40°C avant la saturation. L'augmentation de la température a entraîné une augmentation des résistances R_{on}, suggérant que le mécanisme physique conduisant à la dégradation de R_{on} observée pourrait être lié à un processus de piégeage. Les constantes de temps des évolutions de R_{on} ont ensuite été extraites en évaluant les pics (maxima) des signaux $dR_{on}/d(\log(t))$ associés [Tap 10] (Cf. Figure I.28). Sur la base des constantes de temps extraites, le tracé d'Arrhenius rapporté dans l'encadré figure I.28 a été obtenu et a donné une énergie d'activation de 0,83eV avec une section de capture associée d'environ 4 x 10^{-15} cm^{-2} [Chi 17].

Dans le chapitre III, nous présenterons les tests effectués pendant cette thèse sur l'évolution de la résistance dynamique avec plus de détails et un balayage assez complet de l'effet des paramètres des

commutations, notamment l'effet de de la tension au blocage V_{DS}, du courant, de la fréquence de commutation et de la température.

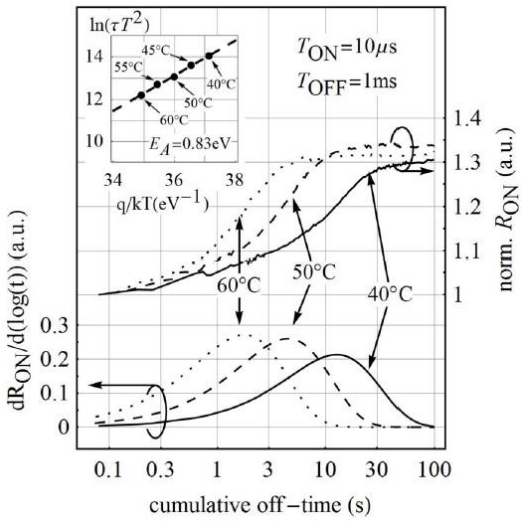


Figure I. 28: Transitoire expérimental du R_{on} et leurs signaux dR_{on} /d (log (t)) ; Encadré : le tracé d'Arrhenius [Chi17]

I.6 Vieillissement

Les composants à base de GaN HEMT devraient être des dispositifs prometteurs pour les convertisseurs de puissance compte tenu de leurs avantages évoqués plus haut. Afin d'utiliser largement les transistors à base de GaN pour la conversion de puissance, une fiabilisation et une stabilité de leur comportement doivent être assurées face au vieillissement. Pour cette raison, des tests de vieillissement ont été surtout menés dans le domaine RF et relativement encore très peu dans celui de la commutation de puissance, comme nous le montre la littérature.

I.6.1 Vieillissement des composants GaN en Radiofréquence

Plusieurs travaux ont été effectués sur le vieillissement des composants GaN en Radiofréquence. Fonder a présenté dans sa thèse une étude de vieillissement accéléré des transistors de puissance radiofréquences (NITRONEX NPTB00050) dans des conditions de fonctionnement standards de type RADAR [Fon14]. Cette méthode de vieillissement se base sur des excitations radiofréquences pulsées. Les conditions de test sont : fréquence de 3GHz, température de 80°C, rapport cyclique de 15%, durée d'impulsion de 500µs avec des conditions de polarisation V_{DS0} et I_{D0} [Fon14]. Les résultats de [Fon14] sont identiques à ceux de [Tem16] qui a effectué les mêmes tests, mais en changeant les conditions de polarisation. Le tableau I.6 présente les différentes conditions de tests ainsi que la durée du vieillissement pour laquelle les critères de défaillances ont été atteints. En augmentant le courant ou la tension, la durée diminue. La figure I.29 illustre les caractéristiques de sortie en courant continu du transistor testé dans le cas (45V, 200mA), avant et après le vieillissement. Comme prévu, et sous faible V_{DS}, les caractéristiques des transistors de sortie montrent une augmentation du R_{DSon}.

Tableau I.7 : Durée de chaque test de vieillissement [Tem16]

Bias	Test duration (hours)
40 V 0 mA	837
40 V 600 mA	752
43 V 0 mA	819
45 V 0 mA	791
45 V 200 mA	432

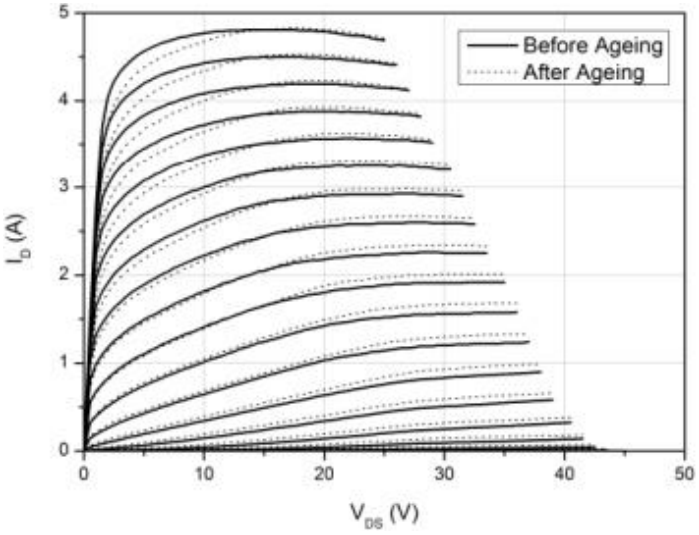


Figure I. 29: Caractérisations I(V) pour le test 45V-200mA : avant et après le vieillissement avec -1,8V<V_{GS}<0V et un pas de 0,1V [Tem16]

Lakhdhar a aussi présenté des travaux de vieillissement accéléré des composants GaN HEMTs sur des substrats Si avec une grille ultra-courte, dédiés aux applications de puissance avec une fréquence supérieure à 40 GHz [Lak17]. La méthodologie consiste à réaliser des séquences de vieillissement en courant continu sous deux points de polarisation (V_{GS}, V_{DS}). Deux types de tests sont présentés :

Etat On : Les tests de dégradation à l'état On sont réalisés à V_{GS} = 0V et les tensions de drain augmentent jusqu'à ce que la défaillance du dispositif soit atteinte, la tension de drain augmentant de 5V à 25V par pas de 5V toutes les 5 minutes. La figure I.30 montre un résultat de l'évolution des courants I_{DS} et I_{GS} mesurés pendant la séquence de vieillissement.

Etat Off: Les tests de dégradation de l'état Off sont effectués à V_{GS} = -4V. La figure I.31 montre un résultat de l'évolution des courants de grille et de drain pendant le vieillissement, la tension de drain augmentant de 5V à 60V par pas de 5V toutes les 5 minutes. Comme prévu, l'augmentation de la tension de polarisation V_{DS} entraîne une augmentation des courants de grille et de drain.

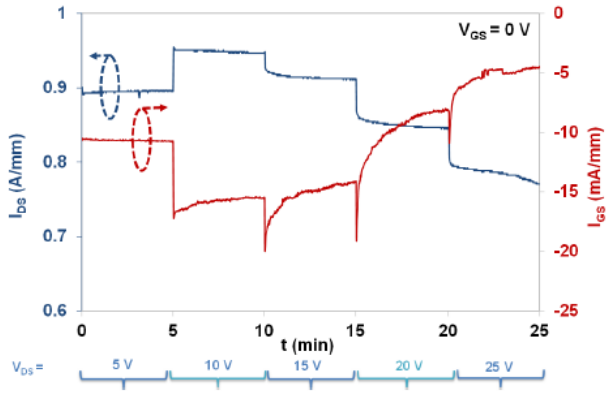


Figure I. 30: Résultats du test Etat On effectuée sur un HEMT, à V_{GS} = 0V et la tension de drain est augmentée de 5V toutes les 5 minutes [Lak17]

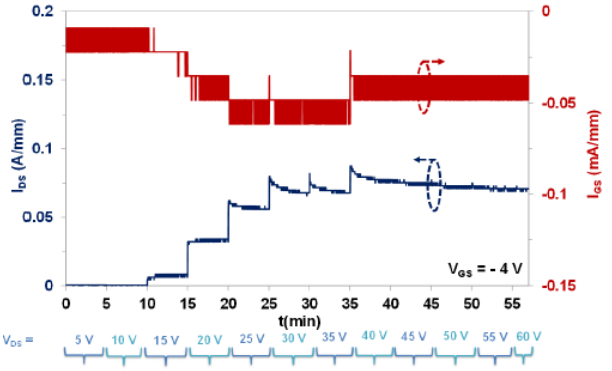


Figure I. 31: Résultats du test Etat On effectuée sur un HEMT, à V_{GS} = -4V et la tension de drain est augmentée de 5V toutes les 5 minutes [Lak17]

En terme de résultats, la figure I.32 montre une évolution typique des caractéristiques I_{DS}-V_{DS} avant et après les contraintes réalisées à V_{GS} = 0V (l'état On) où le courant de drain à V_{DS} = 5V diminue de 12% pendant la séquence de stress. Pour tenter d'identifier les mécanismes de dégradation, [Lak17] a comparé ces caractéristiques avec celles mesurées après un stockage à température ambiante pendant 24 heures.

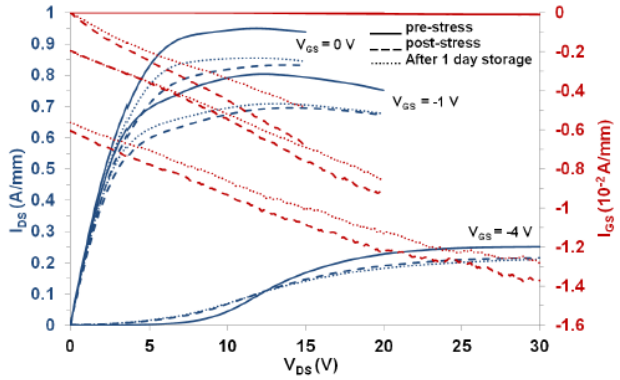


Figure I. 32: Caractéristiques I_{DS} –V_{DS}, d'un composant vieilli à V_{GS} = 0, avant et après un stress et un stockage d'un jour [Lak17]

La figure I.32 montre une diminution du courant de drain de 0,9 à 0,8 A/mm à V_{GS} = 0 et V_{DS} = 15V, ceci est attribué à la formation de fissures ou au piégeage d'électrons.
Aucune influence électrique piézoélectrique n'est remarquée pour les tests à l'état Off. Les dispositifs qui étaient soumis aux tests de stress par état Off ont subi la plus petite influence du vieillissement [Lak17].

D'autres types de vieillissement ont été présentés dans la thèse de Sury. L'étude est faite sur un transistor basée sur l'hétérostructure AlGaN/GaN, avec la structure épitaxiale AEC1388 sur un substrat SiC par croissance MOCVD. Les épaisseurs des couches épitaxiales de la structure AEC1388 sont données en figure I.33.

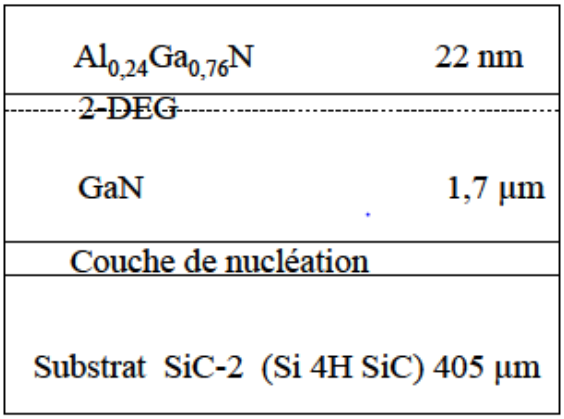


Figure I. 33: Structure épitaxiale de la plaque AEC1388 [Sur11]

Trois types de tests de vieillissement accéléré ont été appliqués aux transistors :

- le test en débit (High Temperature Operating Test (HTOT)) : les contraintes électriques appliquées dans ce test sont des contraintes en débit pour un V_{DS} de 25V.
- le test au blocage, (High Temperature Reverse Bias Test (HTRBT)) : la tension de polarisation pour les tests HTRB a été fixée à 70V.
- le test au point de repos I_{dq}. Les HEMT qui ont subi les tests I_{dq} présentaient peu de dégradations.

La figure I.34 présente la dégradation moyenne du courant de saturation I_{DSS} de 50 à 2000 heures pour les tests réalisés. On remarque 13% de dégradation pour les tests HTO à 175°C ainsi que pour les tests HTRB à 175°C et 10% pour les tests HTO à 150°C [Sur11].

Les figures I.35 et I.32 présentent respectivement les caractéristiques du courant drain en fonction de la tension grille I_{DS}-V_{GS} et du courant drain en fonction de la tension drain I_{DS}-V_{DS} par type de test étudié avant vieillissement (t0), après 1000 heures de vieillissement, et enfin après 2000 heures de vieillissement.

Pour le test HTO à 150°C, la tension de seuil a dérivé de 0,1V après 1000 heures de vieillissement. Les tests HTO et HTRB à 175°C ont entraîné des dégradations similaires sur les HEMT testés, un peu plus prononcées pour le test au blocage. Pour le test en débit, la tension de seuil a dérivé de 0,26V et la transconductance a diminué de 8%. Après le test au blocage, la tension de seuil a dérivé de 0,32V et la transconductance a diminué de 9%. Les caractéristiques présentent une diminution du courant de saturation de drain et une augmentation de la résistance Drain-Source [Sur11].

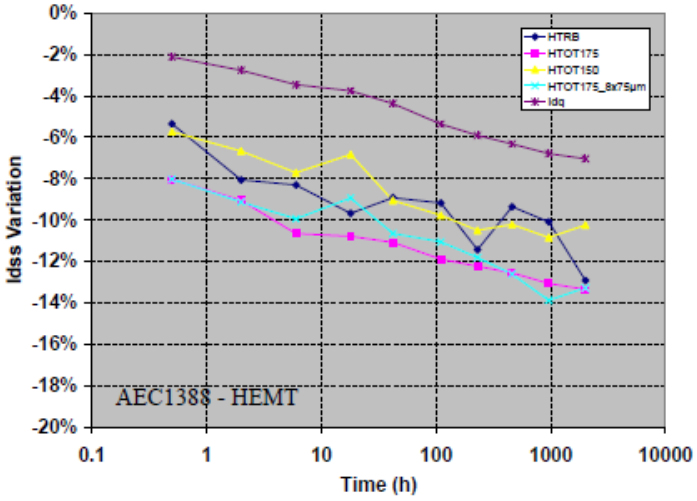


Figure I. 34: Dégradation moyenne du courant de saturation Drain-Source à 2000 heures [Sur11]

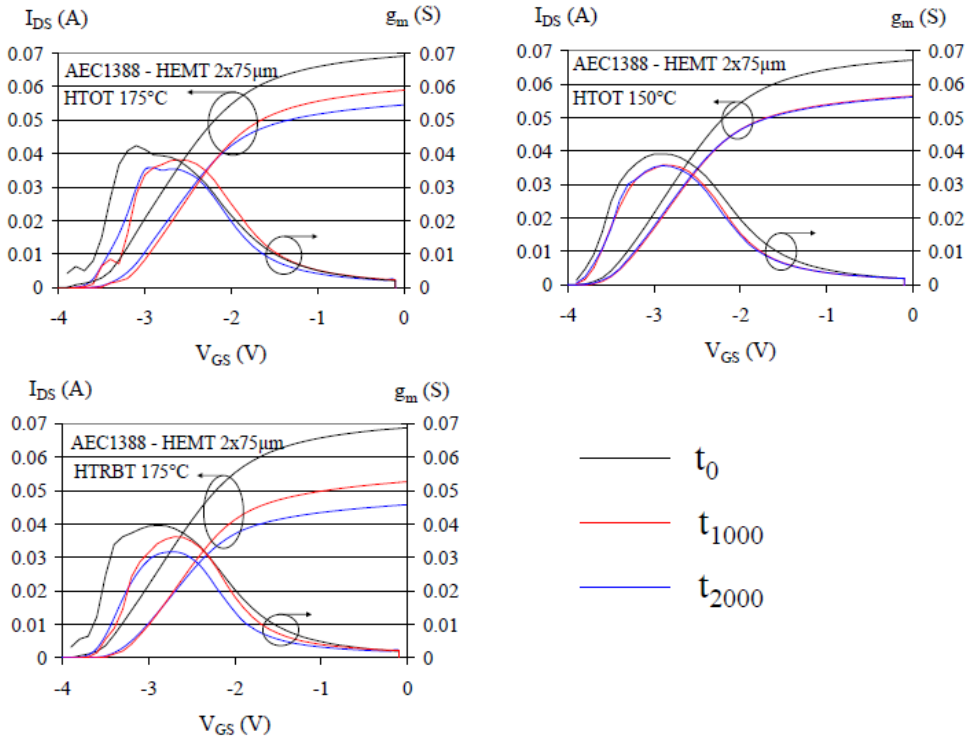


Figure I. 35: Caractérisations I_{DS}-V_{GS} avant le vieillissement et après 1000 et 2000 heures de vieillissement [Sur11]

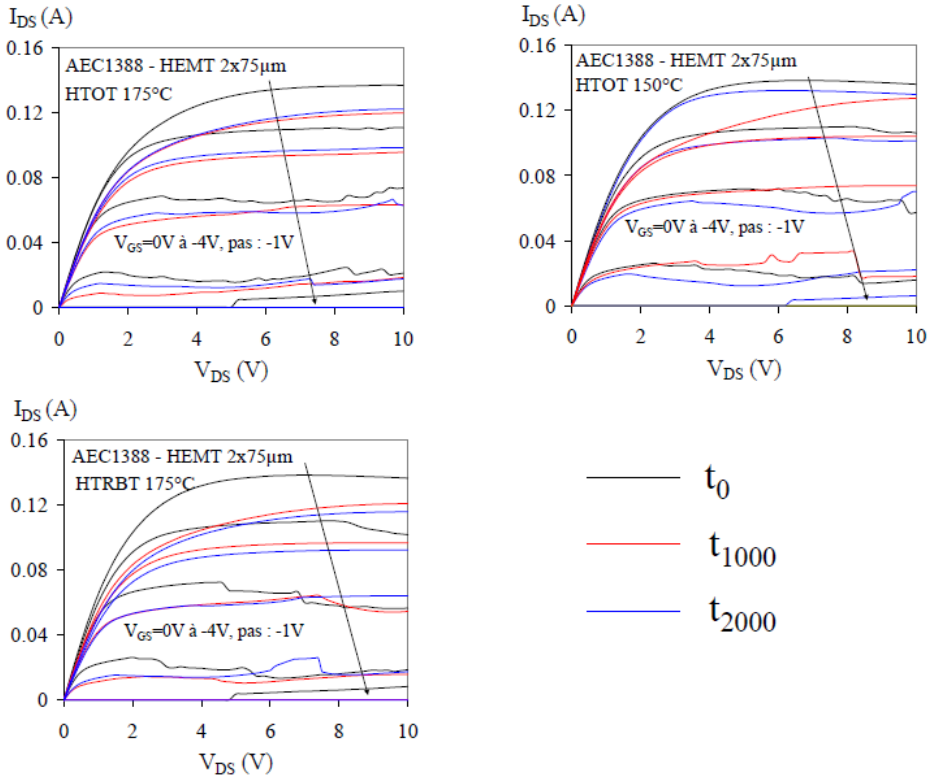


Figure I. 36: Caractérisations I_{DS}-V_{DS} à l'état initial après 1000 et 2000 heures de vieillissement [Sur11]

Les figures I.37 et I.38 représentent les résultats d'une étude qui s'est focalisée sur l'analyse de la fiabilité à long terme des transistors HEMT-GaN pour les applications Radar [Div15]. Trois composants A5, A10 et A7 ont été vieillis dans des branches parallèles d'un circuit en condition opérationnelle. Pendant le vieillissement, un certain nombre de paramètres a été suivi en fonction du temps : P_{in} (puissance d'entrée), P_{out} (puissance de sortie), I_d (Courant drain) et R_{dson} (Résistance Drain-Source à l'état passant). La puissance de sortie s'est dégradée pour les trois composants (Cf. Figure I.37 (Gauche)). Les courants de drain moyens des transistors diminuent avec le temps (Cf. Figure I.37 (Droite)). D'après cette étude, il est donc probable que cette baisse de courant soit due à des effets de piégeage [Div15].

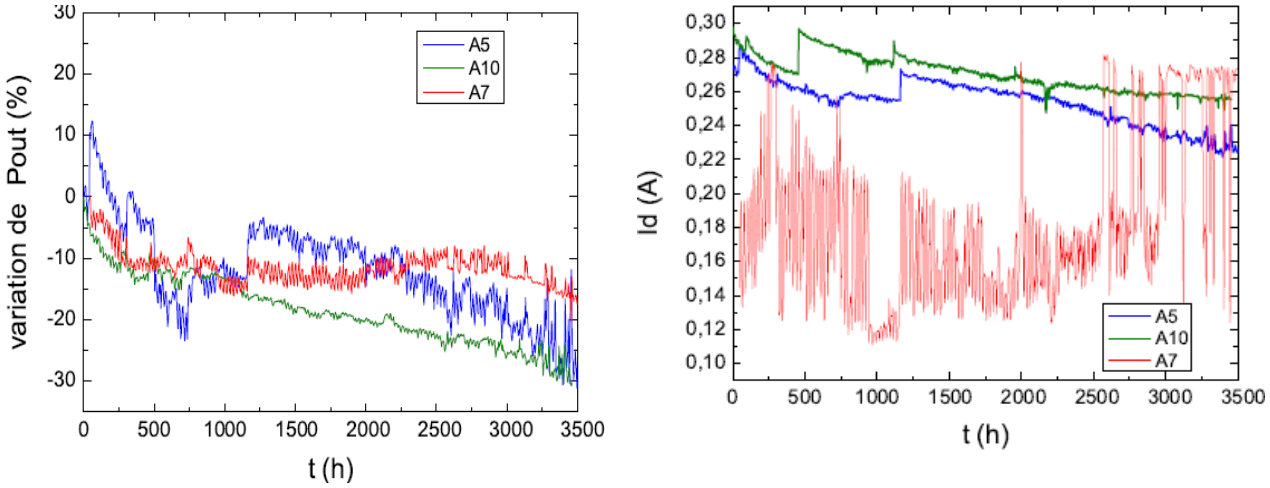


Figure I. 37: Gauche : Evolution de la puissance de sortie pendant le vieillissement, Droite : Evolution du courant de drain moyen pendant le vieillissement [Div15]

Les mesures I_{DS}-V_{DS} pulsées permettent de mettre en évidence des très fortes diminutions de courant de drain. Pour tous les composants, il y a une diminution générale du courant de drain, dont l'amplitude est différente suivant les points de polarisation (Cf. Figure I.38 (Gauche)). Par conséquent, selon le comportement des réseaux, la transconductance a diminué et la résistance à l'état passant R_{on} a augmenté.

Lorsqu'on fait intervenir les effets des pièges par un changement des points de polarisation des caractérisations I_{DS}-V_{DS} (Cf. Figure I.38 (Droite)), on remarque une variation de courant de saturation de 38% [Div15].

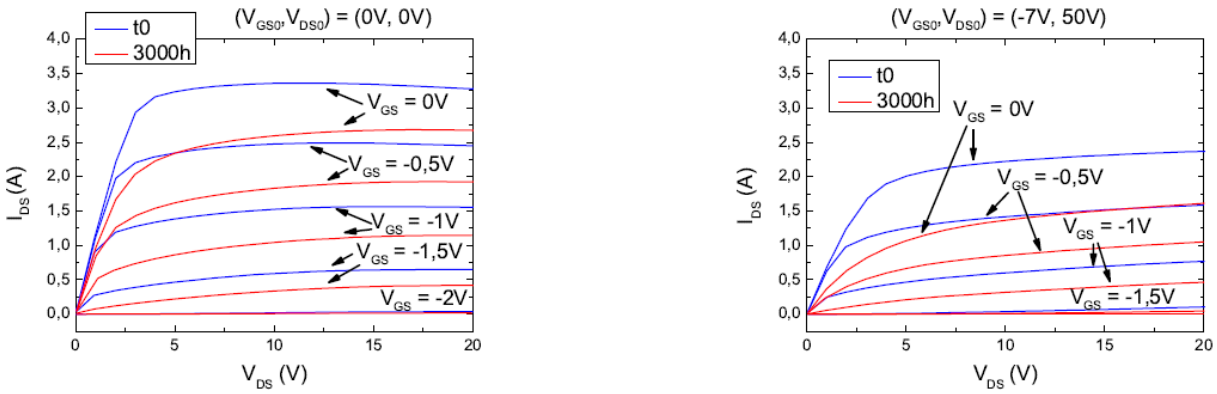


Figure I. 38: Gauche : Réseau I(V) pulsé avant et après vieillissement au point de polarisation (0V, 0V) ; Droite : Réseau I(V) pulsé avant et après vieillissement au point de repos (-7V, 50V) [Div15]

I.6.2 Vieillissement par court-circuit

Dans la littérature, des tests expérimentaux de vieillissement par des court-circuits sur des composants GaN ont été publiés [Fu18, Abb13, Lan16]. L'auteur de [Abb13] a rapporté que les transistors 200V à base de GaN ne peuvent supporter que 2µs de court-circuit pour une tension Drain-Source de 100V. Les composants testés sont des HFETs AlGaN/GaN sur un substrat Si avec une tension drain nominale de 200V et un courant nominal de 3A. [Abb13] a appliqué des court-circuits sur les composants pendant 10µs et en changeant la tension Drain-Source appliquée. La figure I.39 présente le taux de variation du courant en fonction de la tension de grille et de la tension de drain appliquées sur le composant. Le comportement ci-dessus a été étudié pour plusieurs points de polarisation de drain et de grille, comme indiqué en figure I.39. En fixant V_{GS} à 4V, et en analysant ce qui se produit lors de l'augmentation des tensions de drain, il semble bien évident que le composant a un comportement stable jusqu'à 50V, alors qu'à 75V et 100V il devient instable. Dans le même graphique, il a été rapporté une rupture à V_{DS} = 100V et V_{GS} = 4,5V, ce qui démontre la dangerosité de telles opérations même à 50% de la tension de blocage nominale [Abb13].

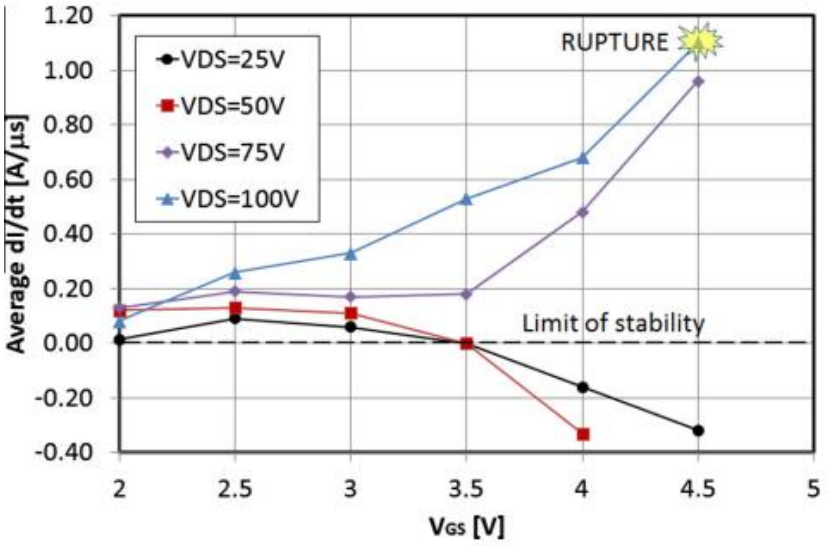


Figure I. 39: Dépendance de la variation du courant en fonction de la tension grille et de la tension drain [Abb13]

Les résultats présentés dans la figure I.39 indiquent clairement qu'un phénomène instable implique le dispositif dans des conditions critiques. Par ailleurs, la littérature confirme que les contraintes électriques / thermiques entraînent une réduction du courant de drain et de la transconductance de ce type de dispositifs par un phénomène de piégeage de charge [Mor09, Kuz02, Aru02, She03, Tay07, Cue07, Huq09, Zha13, Sad06, Tur06, Lu11] (Cf. Figure I.40-Gauche). Mais dans certaines conditions, ce n'est pas le cas (Cf. Figure I.40-Droite).

La figure I.40-Gauche illustre une commutation saine de court-circuit effectuée à V_{DS} = 50V et V_{GS} = 4V. En fait, le dispositif présente un comportement stable dans cette condition de test, le gradient de courant négatif est observé. La figure I.40-Droite montre la forme d'onde du courant de drain, pendant un comportement instable du courant de drain. Une augmentation du courant pendant le test de court-circuit est observée.

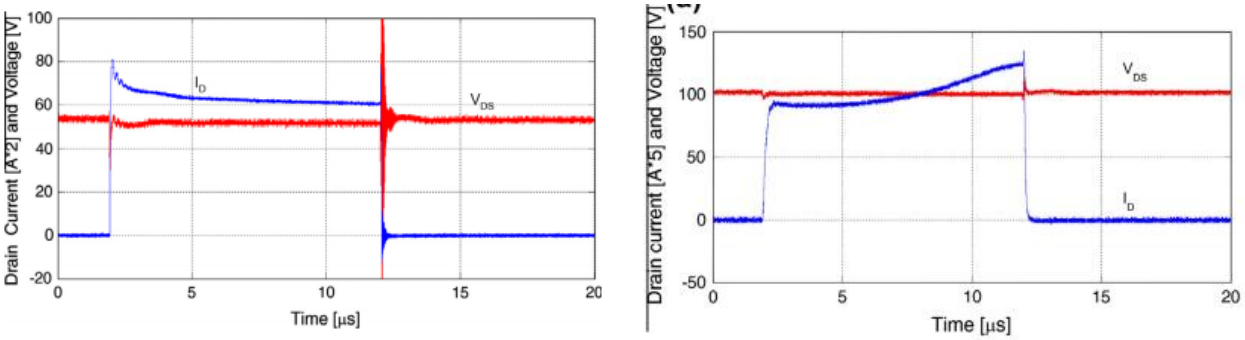


Figure I. 40: Gauche : Formes d'onde du courant I_{DS} et de la tension V_{DS} pour V_{DS}=50V et V_{GS}=4V ; Droite : Formes d'onde du courant I_{DS} et de la tension V_{DS} pour V_{DS}=100V et V_{GS}=4V [Abb13]

[Abb13] a présenté le comportement du courant de grille pendant un test instable. Il a constaté qu'en même temps que le courant de drain augmente, une augmentation du courant de fuite de grille se produit également. Cette observation est en accord avec [Mil00], où il est démontré que le mécanisme de tunnel vertical est significatif dans ce type de dispositifs et présente un coefficient thermique positif.

[Fu18] s'est focalisé sur le mode de dégradation des transistors 600V. Les composants testés ont une structure GIT (voir plus haut), le test de court-circuit étant sous 35V en tension de drain avec deux durées de court-circuit (1,1ms et 1,9ms). Les caractéristiques I(V) des deux tests sont présentés en figure I.41 [Fu18]. La saturation du courant Drain-Source a diminué durant les tests de court-circuit répétitif. Dans le cas du court-circuit de 1,1ms, le courant de saturation a diminué de 0,9A, et pour la durée de 1,9ms, il a diminué de 1,8A entre 0 et 190k court-circuit.

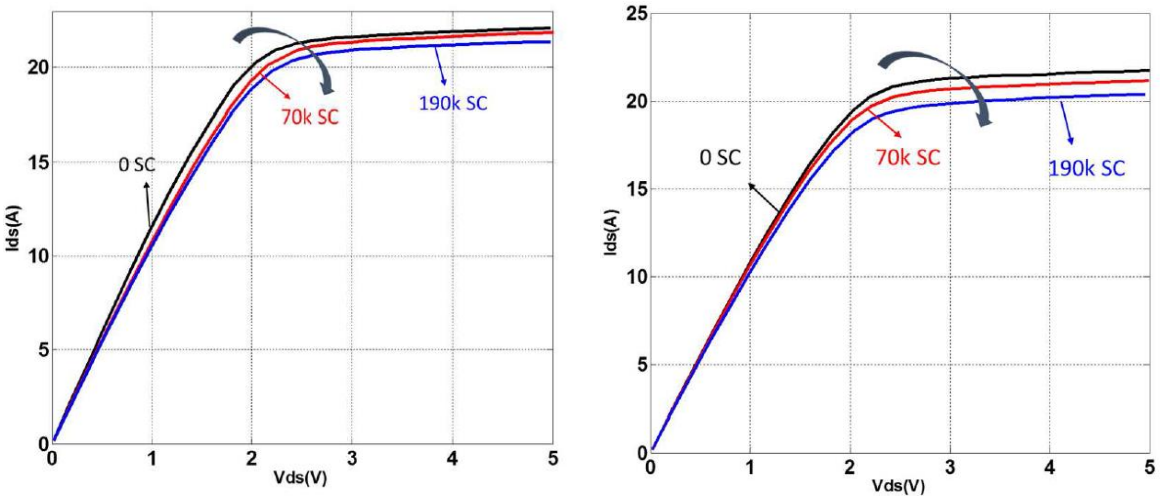


Figure I. 41: Evolution de Ids-Vds pour un V_{GS}=2,5V pendant le vieillissement pour une durée de court-circuit de 1,1ms à Gauche et de 1.9ms à Droite [Fu18]

I.6.3 Cyclage actif : contrainte thermique

Le vieillissement des composants peut se faire par plusieurs méthodes. Le cyclage actif (Power Cycling) est l'une des méthodes les plus utilisées pour étudier la durée de vie d'un composant de puissance. Le principe du cyclage actif est la création de variations cycliques de température dans la puce et son assemblage pendant des temps bien déterminés par auto-échauffement des puces actives. Ceci est obtenu par une injection cyclique d'un courant de puissance. Les différentes étapes de cette méthode sont détaillées dans [Gop15]. Le schéma suivant répertorie les étapes et leur enchainement:

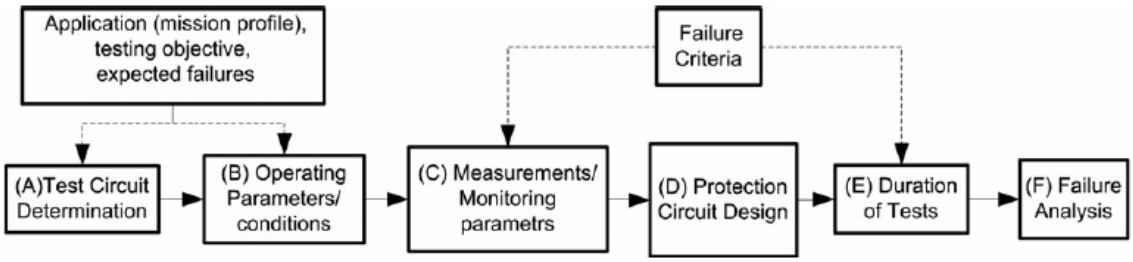


Figure I. 42: Différentes étapes du cyclage actif [Gop15]

La première étape consiste à déterminer le circuit de test qui sera utilisé pour le cyclage. Celui-ci se base habituellement sur l'application pour laquelle le module va fonctionner (profils de missions). Ensuite, les conditions opératoires du test doivent être évaluées en fonction des exigences de l'application. L'étape suivante consiste à déterminer les paramètres indicateurs de défaillance pour la collecte des données sur la base des critères de défaillances considérés. Le circuit de protection est conçu pour éviter une défaillance catastrophique du dispositif pendant le cyclage et permettre ainsi les

analyses post-vieillissement. La durée des essais est déterminée par les critères de défaillance et les conditions de tests. Enfin, après avoir effectué les tests, la dégradation du module est analysée.

Il a été rapporté que les tests de cyclage actif répétitifs ont conduit à une augmentation du courant de fuite I_{DSS} sur des dispositifs commerciaux de 650V GaN sur Si [Son17b, Son17c]. Dans [Son17a], le mécanisme de dégradation avec une augmentation d'I_{DSS} pendant les tests de cyclage actif avec un dispositif de puissance GaN-on-Si commercial est analysé. [Son17a] a fait l'étude sur un composant GaNSytems 650V possédant quatre pads (grille, drain, source et le pad thermique TPAD) (Cf. Figure I.43). Des images de microscopie acoustique (Scanning Acoustic Microscope SAM) d'échantillons vieillis présentent l'état de la soudure sous le composant avant et après le vieillissement (Cf. Figure I.44). On observe un décollement discernable de la soudure sous la zone du pad thermique du dispositif GaN. D'autre part, il n'y a aucun signe d'anomalie dans la couche de soudure sous les connexions électriques (source, grille et drain). Les résultats sur la fatigue de la soudure sont similaires à ceux des recherches précédentes sur le test du cyclage actif d'un module de puissance [Son17b, Son17c, Dur16] et ne sont pas spécifiques aux composants GaN testés.

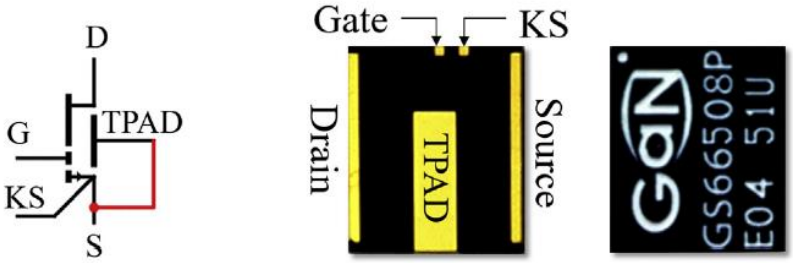


Figure I. 43: Structure du composant GaNSystems GS66508P [Son17a]

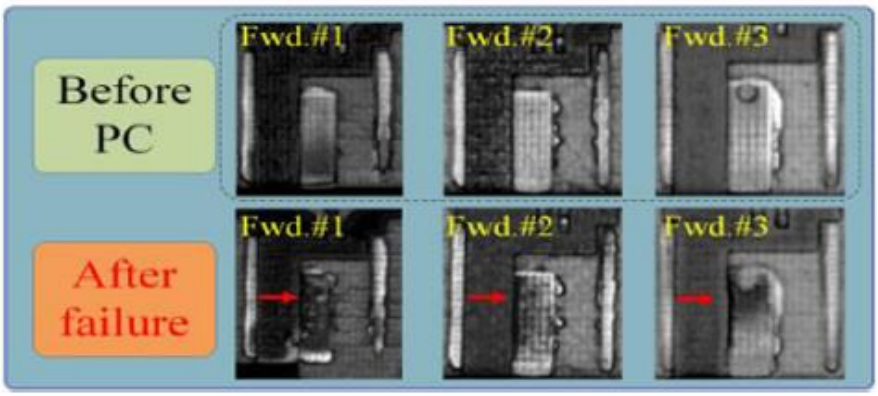


Figure I. 44: Image avec la microscopie acoustique du DUTs avant et après les tests de cyclage actif [Son17a]

La figure I.45 illustre la variation de température (ΔTj) mesurée avec une caméra IR et les caractéristiques électriques de trois DUTs testés (FWD#1, FWD#2 et FWD#3) pendant le test du cyclage actif [Son17a]. Les conditions de test sont : ΔTj=125°C, t_{on}=1s et t_{off}=2s. R_{DS_MX} est la valeur maximale de la résistance mesurée à la fin de l'injection du courant et R_{DS_ON} est la résistance mesurée à l'extérieur du banc de test à 9mA avec une durée d'impulsion de 200µs. La différence de température ΔTj et la résistance Drain-Source R_{DS_MX} restent presque constantes pour un grand nombre de cycles, et finissent par augmenter progressivement après environ des dizaines de kcycles

suivant le composant. Généralement, la résistance Drain-Source varie en fonction de l'augmentation de la température. En revanche, la résistance Drain-Source R_{DS_ON} mesurée à l'extérieur du banc à température ambiante ne change pas. Cela signifie que la dégradation de la résistance thermique progresse sans la variation des caractéristiques électriques. Après que la R_{DS_MX} dépasse la valeur initiale de 20%, une augmentation du courant de fuite (I_{DSS}) est également observée dans deux échantillons testés [Son17a].

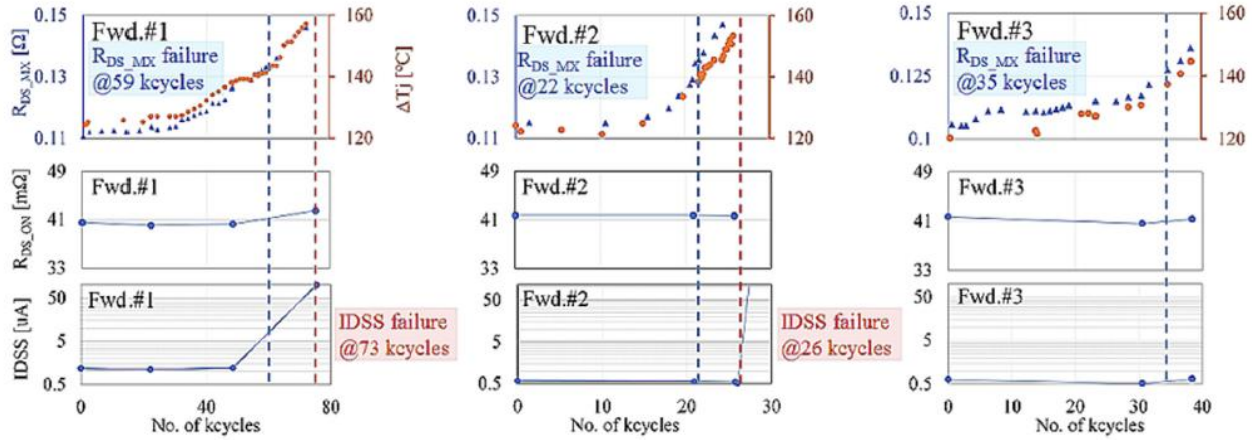


Figure I. 45: ΔTj, R_{DS_MX}, R_{DS_ON} et I_{DSS} en fonction du nombre de cycles [Son17a]

Dans la thèse d'Echeverri [Ech18], le vieillissement est effectué sur des composants 650V GaNSystems GS66508P. Trois types de contraintes sont appliqués sur ces composants. DUT_M est un transistor ayant subi des contraintes au niveau de l'énergie (alternance fort courant-forte tension), DUT_C est un dispositif qui ne subit que des contraintes en courant et le troisième, DUT_V, est stressé seulement en tension.

Pour la tension à l'état ON, deux valeurs sont utilisées. L'une correspond à la tension maximale du dispositif, c'est à dire 650V, l'autre vaut 250V. Les indicateurs suivis pendant le vieillissement sont le courant de saturation de drain I_{DSS}, le courant de saturation de la grille I_{GSS}, la tension seuil V_{TH} et la résistance Drain-Source à l'état passant R_{DSON}. On observe une augmentation de R_{DSON} qui est plutôt liées à la dissipation de puissance, une diminution de V_{TH} plus importante sur les composants stressés en tension et souvent accompagnée d'une augmentation du courant I_{GSS} (Cf. Figures I.46, I.47) [Ech18].

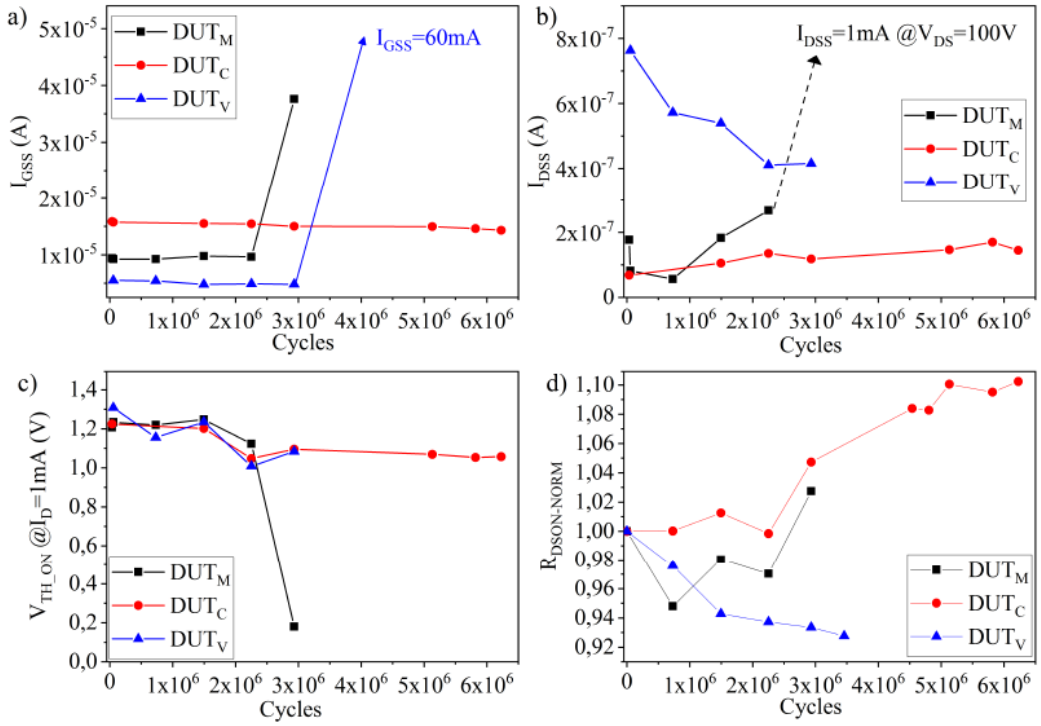


Figure I. 46: Evolution des paramètres de vieillissement I_{DSS}, I_{GSS}, V_{TH} et R_{DSON} pendant le cyclage à 650V [Ech18]

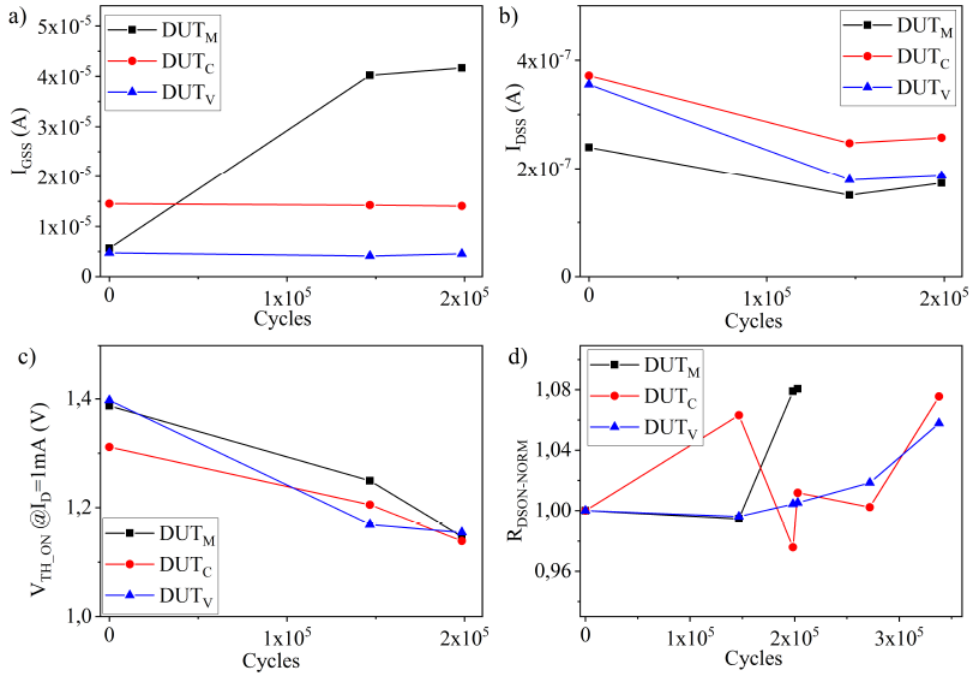


Figure I. 47: Evolution des paramètres de vieillissement I_{DSS}, I_{GSS}, V_{TH} et R_{DSON} pendant le cyclage à 250V [Ech18]

I.7 Estimation de la température de jonction T_j

Pour les essais de vieillissement évoqués plus haut, l'estimation de la température des transistors GaN (HEMT) est essentielle. Cette estimation de la température de "jonction" est particulièrement compliquée pour les dispositifs de puissance à haute densité tels que les HEMT-GaN, car, d'une part, les gradients de température d'auto-échauffement sont importants, et, d'autre part, la méthode utilisée

ne doit pas perturber les tests souhaités pour ne pas fausser les résultats. Par exemple, une méthode d'estimation de température nécessitant un passage de courant ne doit pas être utilisée avec un test de cyclage actif pour une différence de température trop faible (un niveau de courant faible).

I.7.1 Méthodes électriques (mesures indirectes)

Les méthodes électriques sont utilisées pour la mesure indirecte de la température de jonction. Le principe est de déterminer et choisir un paramètre électrique thermosensible qui représente l'image de la température de jonction. Plusieurs paramètres électriques pour les composants HEMT ont montré une dépendance exploitable à la température.

La dépendance en température des caractéristiques de la diode Schottky de la grille a été utilisée pour les mesures de température dans les dispositifs GaAs [Fuk80]. Cependant, il est difficile d'appliquer cette technique aux dispositifs HEMT-GaN en raison de la dégradation de la barrière de Schottky avec un courant de grille important [Joh07]. L'utilisation des caractéristiques en courant continu pour mesurer la température de la puce (appelée température de jonction) a également été proposée dans les HEMT- GaN [Mca06, Kuz02]. Dans [Joh09], la mesure électrique de la température est basée sur la mesure du courant de drain maximal I_{Dmax} et la résistance R_{ON} en fonction de la température (Cf. Figure I.48). Pour utiliser de tels paramètres thermosensibles (Thermal Sensitive Electrical Parameter TSEP), il est nécessaire de procéder à un étalonnage ou à la caractérisation de la relation entre les paramètres thermosensibles et la température. Pour cela, I_{Dmax} et R_{ON} sont mesurés à différents niveaux de température T_a [Joh09] (Cf. Figure I.48).

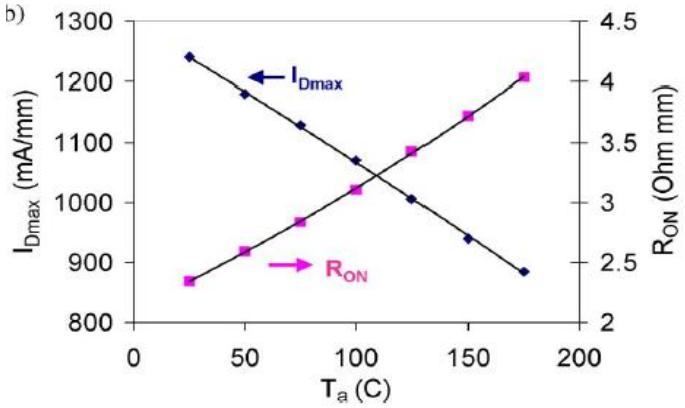


Figure I. 48: Courbes I_{Dmax} et R_{ON} en fonction de la température T_a [Joh09]

Ici, R_{ON} et I_{Dmax} sont les indicateurs à suivre pour mesurer indirectement la température. Dans ces courbes d'étalonnage, la température ambiante T_a est supposée égale à la température de jonction.

La méthode présentée dans [Kuz02] se base sur les paramètres électriques suivants: R_s (résistance de la source), v_{sat} (vitesse de saturation des électrons dans le canal), g_m (transconductance) et V_{th} (tension de seuil). En utilisant la formule de la variation du courant de saturation montrée dans [Kuz02], on peut déterminer les paramètres cités ci-dessus en fonction de la température.

En utilisant les caractéristiques I(V) (Cf. Figure I.49), les paramètres R_s, V_{th} et v_{sat} peuvent être déterminés (Cf. Figure I.50). Par contre, les calculs théoriques [Kha97, Anw01] indiquent que vsat dans le GaN est beaucoup moins sensible à la température que dans le GaAs. De plus, de forts champs de polarisation dans le puits AlGaN/GaN éliminent très fortement la dépendance de la mobilité

électronique à la température [Yu01]. Par conséquent, dans [Kuz02], v_{sat} est considérée comme constante.

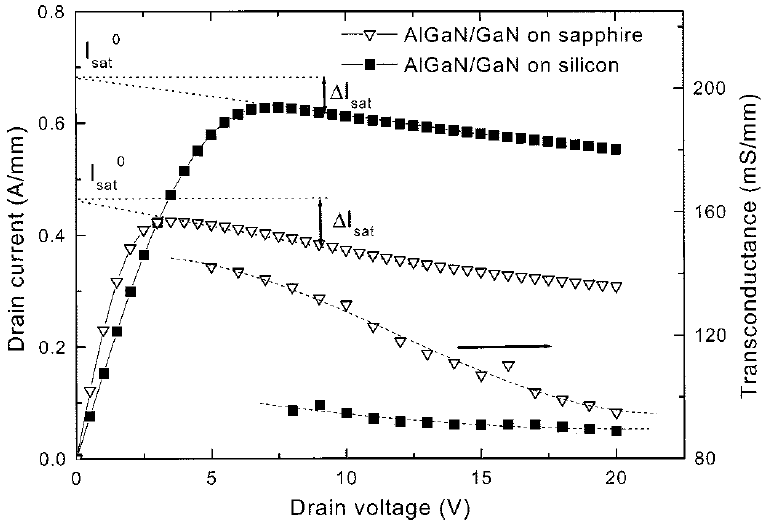


Figure I. 49: AlGaN/GaN HEMTs caractéristiques I(V) et de transconductance [Kuz02]

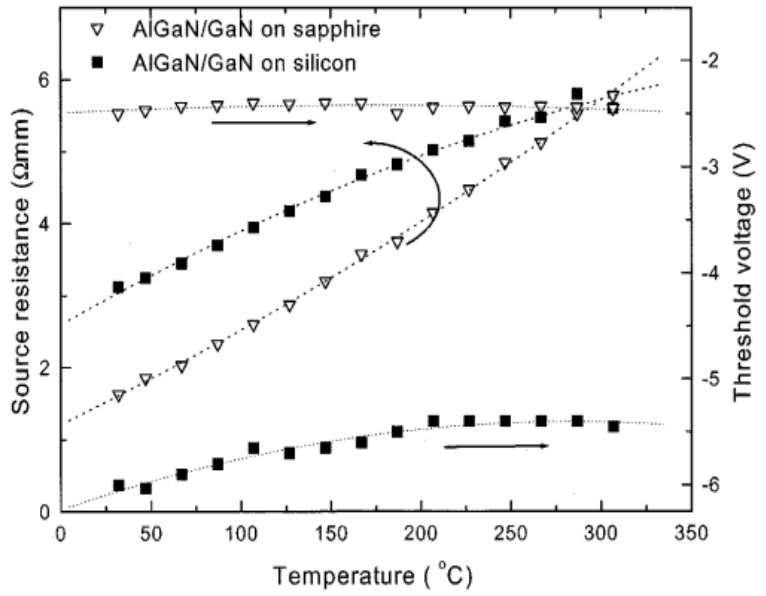


Figure I. 50: Courbes de la résistance de la source et la tension de seuil en fonction de la température [Kuz02]

Pour ces mesures indirectes, l'un des paramètres électriques le plus utilisé est la chute de tension aux bornes du composant V_{DS} (ou bien la résistance R_{ON}) à l'état passant et à faible courant [Zha16], présentant un coefficient positif avec la température [Zha16] (Cf. Figure I.51). Ce paramètre est largement utilisé en électronique de puissance pour la mesure de la température de la puce. Particulièrement pour les dispositifs HEMT-GaN, la chute de tension V_{DS} ou la résistance R_{ON} montre une dépendance à la température à faible courant avec suffisamment de sensibilité.

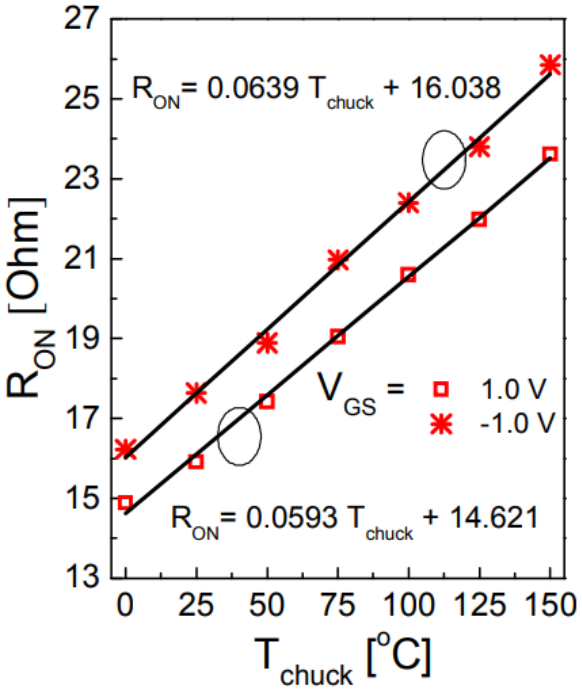


Figure I. 51: Résistance R_{ON} sous différentes températures [Sah15]

Pour déterminer les courbes d'étalonnage, il faut éviter les problèmes dans le composant tels que les phénomènes de piégeage qui peuvent influencer les résultats. Pour cela, le choix de la méthodologie de mesure est très important et il est nécessaire de s'assurer que l'on peut revenir à l'état d'équilibre initial avant chaque mesure (soit par illumination ou par des impulsions positives sur la grille) [Kuz08].

I.7.2 Méthodes optiques (mesures directes)

Des techniques optiques de mesure de température sont souvent utilisées et permettent de mesurer la distribution de la température sur la surface du composant. On peut citer l'imagerie thermique infrarouge (IR) et la spectroscopie Raman [Sar06]. Mais ces méthodes présentent plusieurs limites; tout d'abord, elles imposent généralement des exigences spécifiques sur la géométrie du dispositif, tels qu'un espace suffisant entre la grille et le drain, son décapsulage (puce directement visible). Il est donc difficile de mesurer un dispositif packagé. En outre, la configuration expérimentale pour ce genre de mesure est difficilement réalisable dans un banc de test en vieillissement.

Les figures I.52 et I.53, issues de [Sar06], présentent un exemple de mesure de la température en utilisant la caméra infrarouge et la spectroscopie Raman.

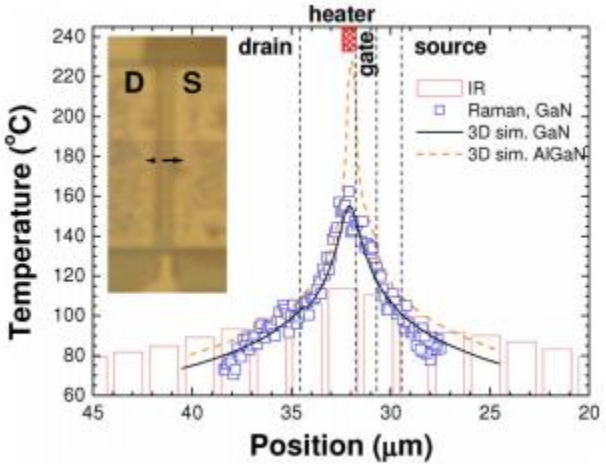


Figure I. 52: Température dans la zone source-drain de l'AlGaN/GaN HFET. Mesures avec spectroscopie Raman et caméra infrarouge [Sar06]

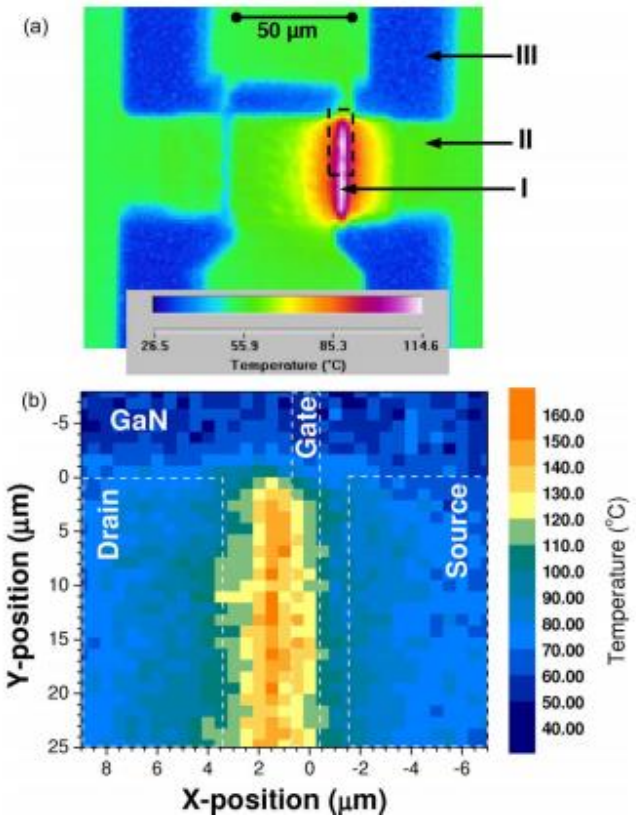


Figure I. 53: (a) Mesure de la température par IR du HFET AlGaN/GaN. (I) = point chaud, (II) = zone couverte par des contacts métalliques, (III) = zone exempte de contacts métalliques. (b) Mesure de la température par Raman sur le dispositif GaN [Sar06]

La mesure avec la fibre optique est une mesure directe et locale de la température. Elle est réalisée par contact physique avec la puce. Les capteurs par fibres optiques offrent des avantages au niveau de l'environnement et de l'éloignement. En effet, la mesure n'est pas affectée par les interférences électromagnétiques (EMI), ni par les interférences radio. Elle peut être positionnée à des endroits difficilement atteignables, manipulée avec précision pour effectuer des mesures dans des

emplacements réduits ou spécifiques. Les fibres optiques peuvent être passées dans un conduit ou des chemins de câbles existants. Elles sont isolantes donc ne transmettent pas de courant électrique.

Au laboratoire, on utilise l'appareil Prosens pour la mesure de la température par fibres optiques. Le Prosens est un système polyvalent comprenant une plate-forme acceptant jusqu'à 8 modules avec une fréquence d'échantillonnage d'1kHz (Cf. Figure I.54 (Gauche)). Son principe de fonctionnement est basé sur la détection par interférométrie polarimétrique en lumière blanche [Ref Prosens]. Il est utilisé avec des capteurs à fibre optique OTG-F (Cf. Figure I.54 (Droite)) pour mesurer la température, la pression, la déformation et le déplacement. Ce type de capteur à fibre optique est basé sur la dépendance en température de la bande interdite d'un cristal en GaAs comme mécanisme de transduction de la température [Ref OTG-F]. Son petit cristal GaAs de détection est situé à l'extrémité de la fibre optique, le rendant pratique pour les applications de mesure de pointe (Cf. Figure I.54 (Droite)). Le capteur de température à fibre optique OTG-F offre de bonnes performances car il offre une isolation électrique dans les environnements à haute tension ainsi qu'une immunité contre les ondes électromagnétiques. Sa plage de mesure se situe entre -40°C et +250°C avec une précision moyenne de 0,2°C et un temps de réponse de l'ordre de la milliseconde.

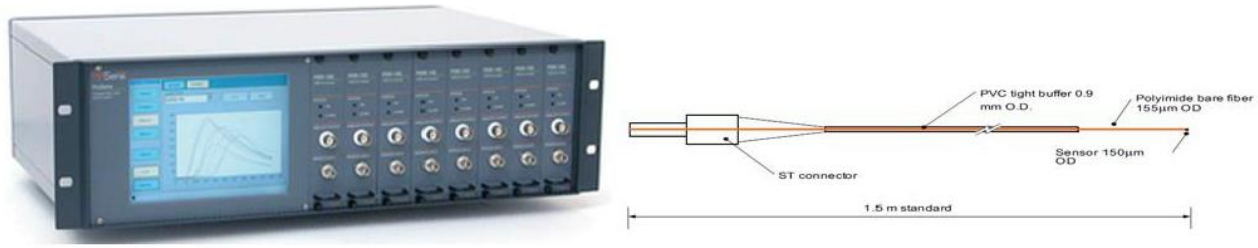


Figure I. 54: Gauche : Système conditionneur Prosens, Droite : Structure du capteur à fibre optique OTG-F [Ouh17]

Pour la mesure directe de la température, nous utiliserons la mesure par fibre optique puisqu'elle reste la méthode la plus facilement manipulable et ne perturbe pas les tests ou les mesures faites lors des expérimentations.

Conclusion

Cette analyse bibliographique avait pour objectif de définir les principaux modes de défaillance des transistors à base de GaN ainsi que les méthodes expérimentales existantes permettant d'analyser et étudier ces différents dysfonctionnements.

Ainsi, cette étude a permis de présenter les propriétés des matériaux Grands Gaps (SiC, GaN et Diamant) et particulièrement celles du GaN ainsi que leurs avantages pour une utilisation dans les applications de l'électronique de puissance. À cause de son cout élevé, le Diamant est limité au niveau d'évolution. Le GaN et le SiC restent les meilleurs matériaux à large bande interdite. Le GaN offre théoriquement de meilleures performances en haute fréquence et en haute tension. Par contre, sa conductivité thermique plus basse confère au SiC la meilleure position pour les dispositifs haute température. Mais utiliser un substrat à base de SiC pour les dispositifs GaN permettrait de tirer avantage de la bonne conductivité thermique de l'un, tout en conservant les performances électriques de l'autre.

Une section a été dédiée aux différentes structures existantes des transistors à base de GaN à savoir les structures latérales et verticales avec un focus sur la structure latérale GIT. La structure latérale permet

d'obtenir des composants Normally-Off pour les applications de commutation. L'avantage de la structure GIT est la possibilité de réduire la résistance à l'état passant.

Cette étude bibliographique a permis également de définir les principaux modes de défaillance des transistors à base de GaN, notamment les mécanismes de piégeage et des électrons chauds. Le mécanisme de piégeage comprend deux processus: l'émission et la capture. Selon le type d'impuretés, le piège est dit accepteur s'il capte un électron (en s'ionisant négativement) ou donneur s'il le fournit (en s'ionisant positivement). Une représentation mathématique de ces deux phénomènes est présentée. Chaque piège a ses propres paramètres physiques : énergie d'activation et section de capture. Ces mécanismes ont pour conséquence la création d'instabilités au niveau des caractéristiques électriques des semi-conducteurs. Le piégeage peut être interprété comme un changement de l'équilibre de charge dans certaines régions du dispositif selon le stress. La charge supplémentaire doit être équilibrée immédiatement par un changement de la densité des charges électriques dans le canal 2DEG. Les instabilités peuvent être présentées comme une augmentation des courants de fuite ou de la résistance dynamique R_{on}. Cette dernière augmente avec les cycles de commutation par exemple.

Nous avons également présenté dans ce chapitre les différents travaux du vieillissement sur les composants GaN. Les tests de vieillissement effectués en radiofréquence ont montré une augmentation de la résistance R_{DS}, une dérive de la tension seuil V_{th} et une diminution de la transconductance avec le vieillissement. Pour les tests en court-circuit, une diminution du courant de saturation a été observée lors du vieillissement. Pour le cyclage actif, on observe une augmentation de R_{DSON} qui est plutôt liée à la dissipation de puissance, une diminution de V_{th} plus importante sur les composants stressés en tension et souvent accompagnée d'une augmentation d'I_{GSS}.

Enfin, les différentes méthodes pour estimer la température de jonction ont été développées et analysées à la fin de ce chapitre sachant que le suivi de l'évolution de la température de jonction est un élément nécessaire lors des expérimentations.

CHAPITRE II

Description et caractérisations des composants étudiés

Introduction

Dans le projet MEGAN, notre rôle a été d'étudier les caractérisations et les modes de dégradation des composants issus du laboratoire Leti du Commissariat à l'Énergie Atomique et aux Énergies Alternatives CEA-LETI (Grenoble). Ceci n'a pas pu être fait à temps, parce que les composants CEA doivent être testés avant de nous être envoyés, ce qui a pris beaucoup de temps. Par conséquent, les tests de fiabilité ont pu être réalisés sur deux types de composants provenant de deux fournisseurs différents. Dans ce chapitre, nous décrivons les composants testés et nous détaillons leurs structures ainsi que leurs caractéristiques. En utilisant le Traceur Agilent B1505, nous avons pu tracer toutes les caractéristiques des composants GaNSystems et Normally-On du CEA, à savoir : la caractérisation de la tension seuil, les courbes I_{DS}-V_{GS} et I_{DS}-V_{DS}, les courants de fuite de grille et de drain ainsi que des mesures de Current-Collapse (Gate-lag et Drain-lag). Malheureusement pour le composant Normally-Off du CEA, comme nous n'avions pas un nombre d'échantillons suffisant, nous n'avons pas pris le risque de détériorer ceux mis à notre disposition en étudiant les caractéristiques électriques. Les courbes présentées dans ce chapitre sont donc extraites de la fiche technique fournie par le CEA.

Il est à noter que les paramètres choisis, dans les configurations pour les caractérisations, sont déterminés par des tests préliminaires et selon le type du composant.

II.1 Composant GaNSystems

II.1.1 Description générale du transistor GS66508P

Le transistor GS66508P est un HEMT-GaN sur silicium à enrichissement. Il est conçu pour des applications de commutation avec un calibre en tension de 650V, un calibre en courant de 30A, une résistance R_{on} de 50mΩ, à 25°C et à une tension grille de 6V, et une température de jonction maximale admissible de 150°C, avec une préconisation de tension de grille V_{GS} située dans l'intervalle [-10V, +10V] (Cf. Tableau II.1). Il se présente sous la forme d'un composant monté en surface (CMS) (Cf. Figure II.1).

Les électrodes de drain, de source et de grille sur la face avant, sous formes de plaques métalliques en cuivre, y sont visibles. Ces contacts électriques ainsi que le pad thermique, qui prend toute la surface de la puce, sont reportés en face arrière comme le montre la figure II.2, extraite de la thèse [Ech18], avec des vues de la structure interne après décapsulation et imagerie X. On peut y observer les vias latéraux (en cuivre) qui relient les plaques métalliques en face avant avec les pads en face arrière ainsi que ceux (sur la zone centrale), situés entre le substrat silicium et le pad thermique qui sont distribués sur toute la surface. Le pad thermique offre une résistance thermique faible.

Tableau II 1 : Caractéristiques électriques et thermiques du GaNSystems GS66508P à 25°C

Paramètres	Symboles	Valeurs	Unités
Température de jonction	T_j	-55 à 150	°C
Tension Drain-Source	V_{DS}	650	V
Tension Grille-Source minimale	V_{GSMIN}	-10	V
Tension Grille-Source maximale	V_{GSMAX}	+10	V
Courant Drain-Source (T=25°C)	I_{DS}	30	A
Résistance Drain-Source à l'état passant (V_{GS}=6V)	R_{on}	52	mΩ

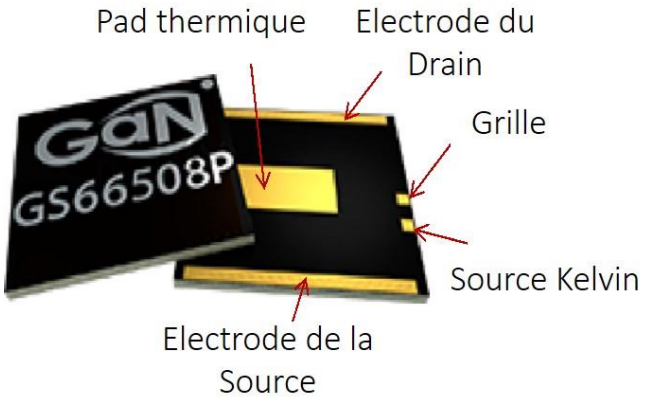
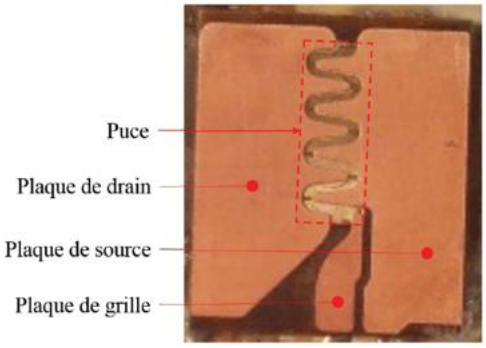
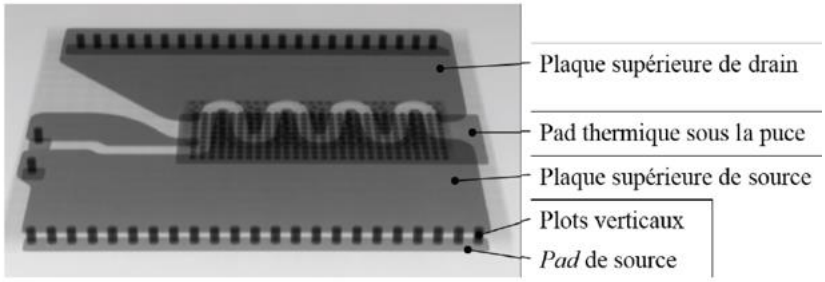


Figure II. 1: Composant GaNSystems GS66508P et ses connexions externes



(a) GS66508P décapsulé en face avant, avec ses plaques de drain, source et grille



(b) Vue en perspective du GS66508P aux Rayons X

Figure II. 2: Structure du composant GS66508P [Ech18]

Afin de mieux visualiser la structure interne, une vue éclatée d'un composant voisin (GS66508B), qui se distingue du composant étudié par la disposition des pads de connexions externes, est présenté en figure II.3. Nous n'avons malheureusement pas accès à une vue identique pour notre composant.

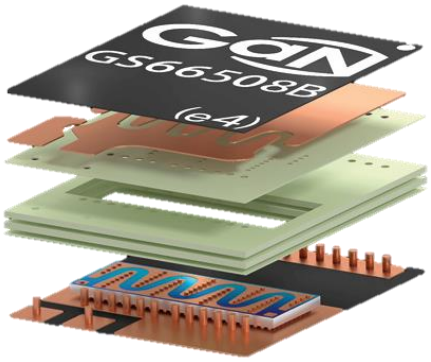


Figure II. 3: Structure éclatée du composant GS66508B (voisine de celle du GS66508P hormis les positions des pads de connexions externes) [GaN2]

La figure II.4, extraite de [Ech18], présente la structure interne du composant étudié avec le contact de source au centre et son report vers la métallisation extérieure. Cette image fournit les dimensions inter-contacts entre grille et source qui est de l'ordre de 0,8µm et entre grille et drain qui est de l'ordre de 18µm. Nous pouvons également y voir la structure des plaques de champ.

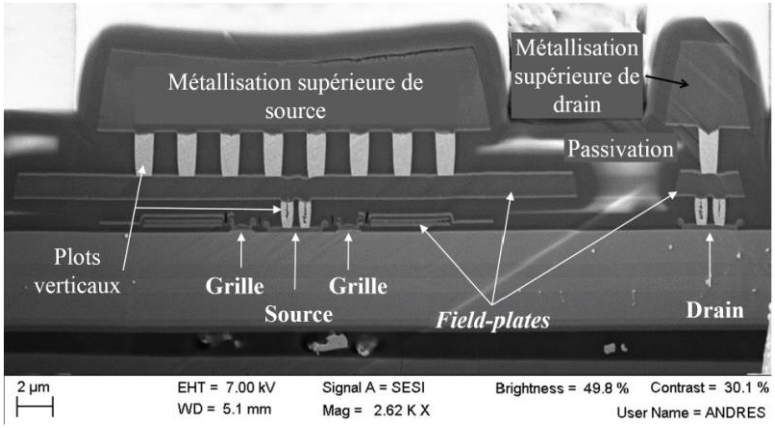


Figure II. 4: Structure interne du composant GS66508P [Ech18]

Puisque le composant sera utilisé dans différents bancs de tests, il a fallu y ajouter un substrat pour faciliter son maintien et sa manipulation. Le substrat utilisé est une plaque en Aluminium de Circuit Imprimé Français (CIF) qui a pour référence AAT10 (Cf. Figure II.5) et qui peut supporter une température de 130°C en continu. Un circuit électrique est gravé sur le substrat pour établir la connexion avec la puce (Cf. Figure II.5).

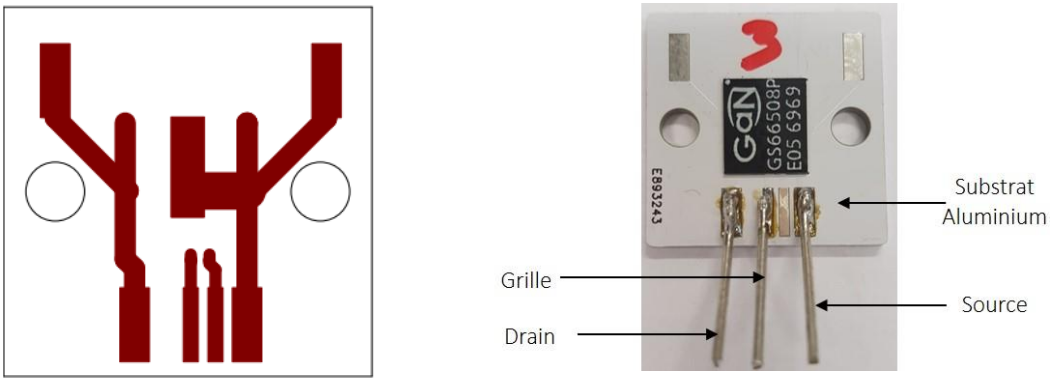


Figure II. 5: Gauche : Layout du circuit électrique gravé sur le substrat, Droite : Puce montée sur un substrat en Aluminium

Comme il a fallu souder la puce sur le substrat pour réaliser ce montage, les caractéristiques de la puce présentées dans la fiche technique [GaN1] ont été changées à cause des contraintes mécaniques et des décharges électrostatiques. Par conséquent, les caractéristiques qui seront présentées par la suite sont celles de la puce montée sur le substrat Aluminium.

II.1.2 Caractéristique statiques de transfert I_{DS}-V_{GS} et tension de seuil du transistor GS66508P

Pour cette caractérisation, nous traçons le courant Drain-Source I_{DS} en fonction de la tension Grille-Source V_{GS} pour une tension Drain-Source V_{DS} fixée. Dans notre cas, le courant I_{DS} est mesuré pour une tension V_{DS} maintenue à 500mV avec un balayage de la tension V_{GS} allant de 0 à 6V avec un pas de 100mV (Cf. Tableau II.2). La plage de V_{GS} est choisie de telle sorte qu'on puisse passer de l'état bloqué à l'état passant du composant. La figure II.6 présente les courbes du courant I_{DS}-V_{GS} obtenues pour une température allant de 20°C à 140°C avec un pas de 20°C.

La figure II.7 présente l'évolution de la tension de seuil en fonction de la température. La tension de seuil V_{th} est la tension V_{GS} pour un courant Drain-Source de 10mA. Il est à noter que cette définition de la tension de seuil dépend des courbes I_{DS}-V_{GS} obtenues et du type de composant.

Tableau II.2 : Paramètres de configuration pour le test I_{DS}-V_{GS}

Paramètres du test	Valeurs (Unités)
Tension V_{DS}	500 (mV)
Limite du courant I_{DS}	20 (A)
Tension V_{GS} initiale	0 (V)
Tension V_{GS} finale	6 (V)
Pas V_{GS}	100 (mV)
Période d'impulsion	50 (ms)
Durée d'impulsion	500 (µs)

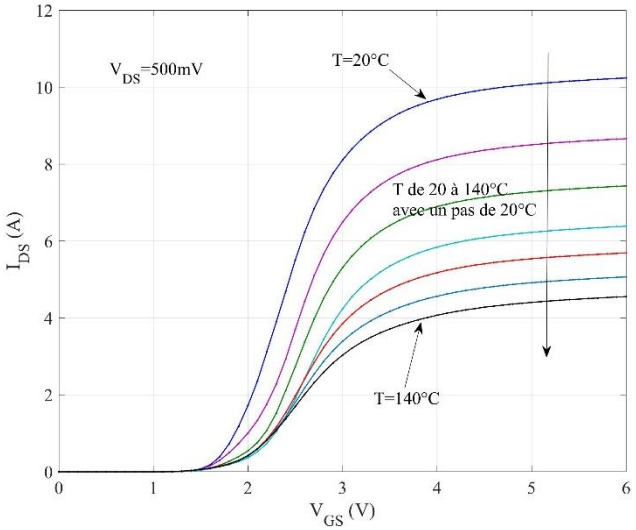


Figure II. 6: Caractéristiques I_{DS}-V_{GS} pour les températures allant de 20 à 140°C avec un pas de 20°C et à V_{DS}=500mV

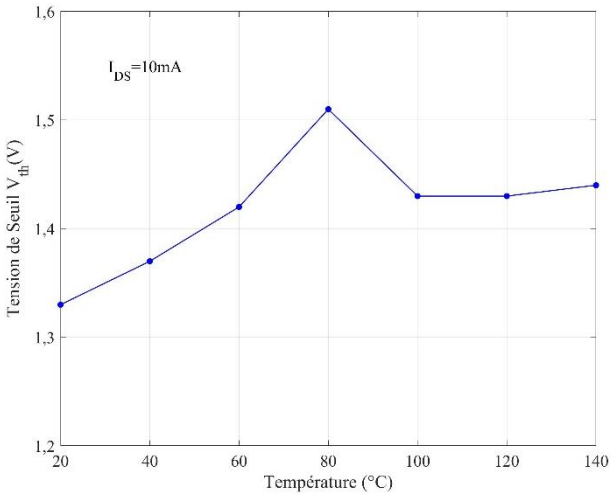


Figure II. 7: Tension de seuil V_{th} en fonction de la température pour un I_{DS}=10mA

II.1.3 Caractéristiques statiques de sortie I_{DS}-V_{DS} du transistor GS66508P

Ces caractéristiques correspondent aux courbes du courant Drain-Source I_{DS} en fonction de la tension Drain-Source V_{DS} pour une tension V_{GS} fixée. Nous balayons V_{DS} de 0V à 20V puis nous mesurons le courant I_{DS} pour une tension V_{GS} donnée. Nous avons tracé la caractéristique I_{DS}-V_{DS} pour les tensions V_{GS} allant de 1V à 6V pour une température de 20°C (Cf. Figure II.8).

Tableau II.3 : Paramètres de configuration pour le test I_{DS}-V_{DS}

Paramètres du test (I_{DS}-V_{DS})	Valeurs (Unités)
Plage V_{DS}	De 0 (V) à 20 (V)
Plage V_{GS}	De 1 (V) à 6 (V)
Largeur de l'impulsion de V_{DS}	50 (µs)
Largeur de l'impulsion de V_{GS}	150 (µs)
Délai d'impulsion de V_{DS} par rapport à celle du V_{GS}	50 (µs)
Base V_{DS}	0 (V)
Base V_{GS}	0 (V)
Période d'impulsion	1 (s)

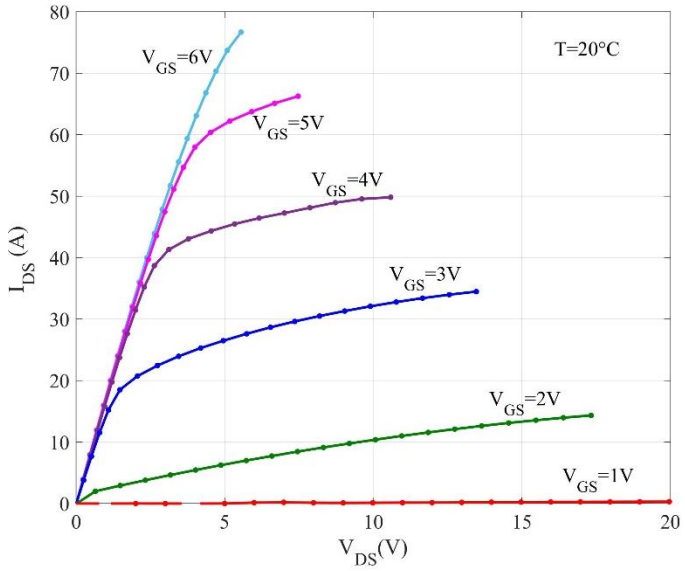


Figure II. 8: Caractéristiques I_{DS}-V_{DS} pour les tensions V_{GS} allant de 1 à 6V avec un pas de 1V pour T=20°C

La figure II.9 présente les courbes I_{DS}-V_{DS} en fonction de la température de 20 à 140°C pour une tension V_{GS} de 6V. La figure II.9 est en cohérence avec la figure II.6. En effet, pour des tensions V_{DS} et V_{GS} fixées, le courant I_{DS} diminue avec la température.

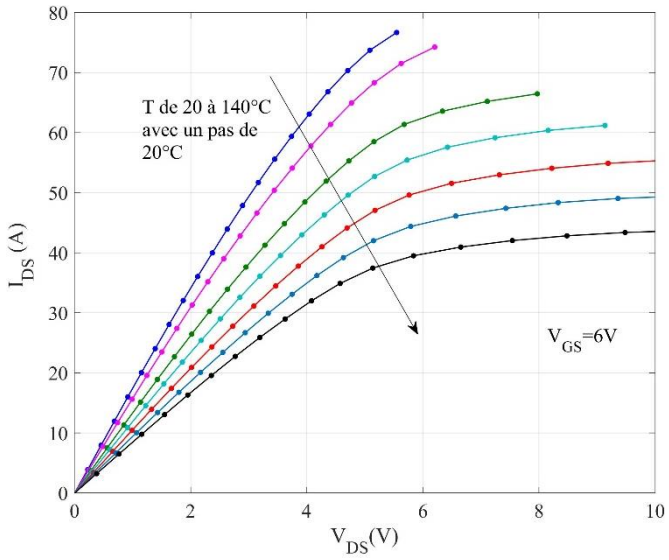


Figure II. 9: Caractéristiques I_{DS}-V_{DS} pour les températures allant de 20 à 140°C avec un pas de 20°C pour une tension V_{GS} à 6V

II.1.4 Courants de fuite du transistor GS66508P

Les courants de fuite sont mesurés au niveau du drain et de la grille, on les appelle respectivement courant de fuite de drain Id et courant de fuite de grille Ig. Ces courants de fuite sont mesurés lorsque le transistor est bloqué pour une tension Drain-Source V_{DS}, une tension Grille-Source V_{GS} et une température de jonction T_j bien définies.

Dans notre cas, le courant de fuite de drain Id est mesuré dans les conditions suivantes : V_{DS}=80V, V_{GS}=0V et pour différents niveaux de températures allant de 15°C à 135°C. Le courant de fuite de grille Ig est mesuré à V_{DS}=1V, V_{GS}=0V et pour la même plage de température. Chaque point tracé en

figure II.10 présente la moyenne de 50 points sur une durée de 10ms (avec un échantillonnage de 200 µs).

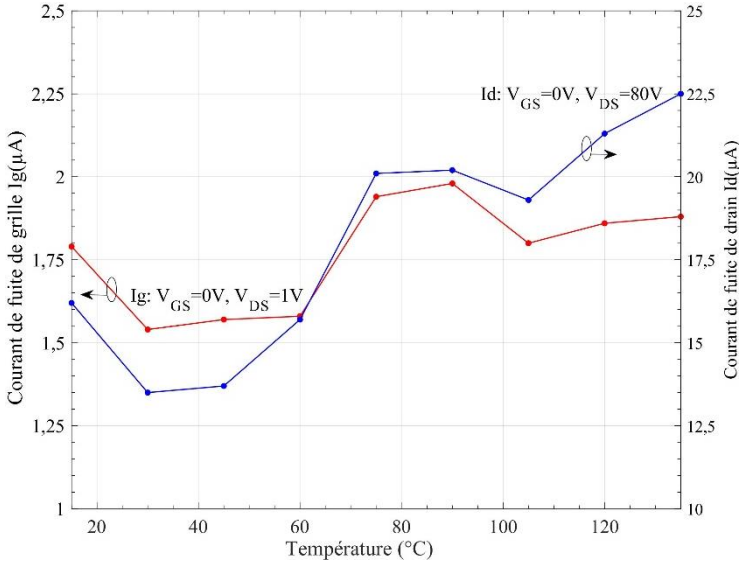


Figure II. 10: Courants de fuite en fonction de la température [15-135°C] avec un pas de 15°C, la courbe rouge représente le courant de fuite de Grille et celle en bleu le courant de fuite de Drain.

II.1.5 Gate lag et Drain lag

Le Current-Collapse est un phénomène indésirable dans les dispositifs de puissance à base de GaN. La caractérisation de ce phénomène est essentielle, car les performances et la fiabilité de ces dispositifs peuvent être limitées à cause de ce dernier. Il en résulte, selon la contrainte et le stress appliqué sur le composant, une diminution de la densité de charges dans le gaz 2D, donc une réduction de la mobilité des électrons en provoquant un Drain lag, qui est représenté par une augmentation de la résistance dynamique à l'état On. Il dégrade également la capacité de la gestion de l'énergie en provoquant un Gate-lag, qui est la réponse retardée du dispositif à une variation de la tension de grille. Ces phénomènes sont expliqués en détail dans le chapitre I § I.3.1.3.

Nous allons présenter les transitoires du courant qui résultent de chaque type de stress. Ils sont tracés pendant l'état passant après l'application du stress à l'état bloqué. Pour le Gate lag, on maintient la tension V_{DS} constante entre l'état OFF et l'état ON en ne changeant que la tension V_{GS}. Pour le Drain-lag, on applique une tension V_{DS} élevée à l'état OFF. À la fin, on détermine la nature et les pièges responsables du Current-Collapse en relevant l'énergie d'activation et la section de capture de chaque piège. La méthode d'extraction des E_a et σ est détaillée dans le chapitre I § I.3.1.2.

- **<u>Gate lag</u>**

Le tableau II.4 présente les paramètres de la configuration pour le test Gate lag. Les paramètres pour l'état bloqué sont : V_{GS}=0V, V_{DS}=1V avec une durée de 1s, pour l'état passant : V_{GS}=3V, V_{DS}=1V avec une durée d'environ 2 minutes (avec un échantillonnage de 10ms et 12500 points) (Cf. Tableau II.4). La figure II.11 présente les transitoires du courant à différents niveaux de températures entre 15°C et 135°C avec un pas de 15°C.

Tableau II.4 : Paramètres de configuration pour le test Gate-lag

Paramètres du test	Valeurs (Unités)
Tension V_{GS} OFF	0 (V)
Tension V_{GS} ON	3 (V)
Tension V_{DS} OFF	1 (V)
Tension V_{DS} ON	1 (V)
Durée OFF du stress	1 (s)
Durée ON	125 (s) (12500 points chaque 10 (ms))

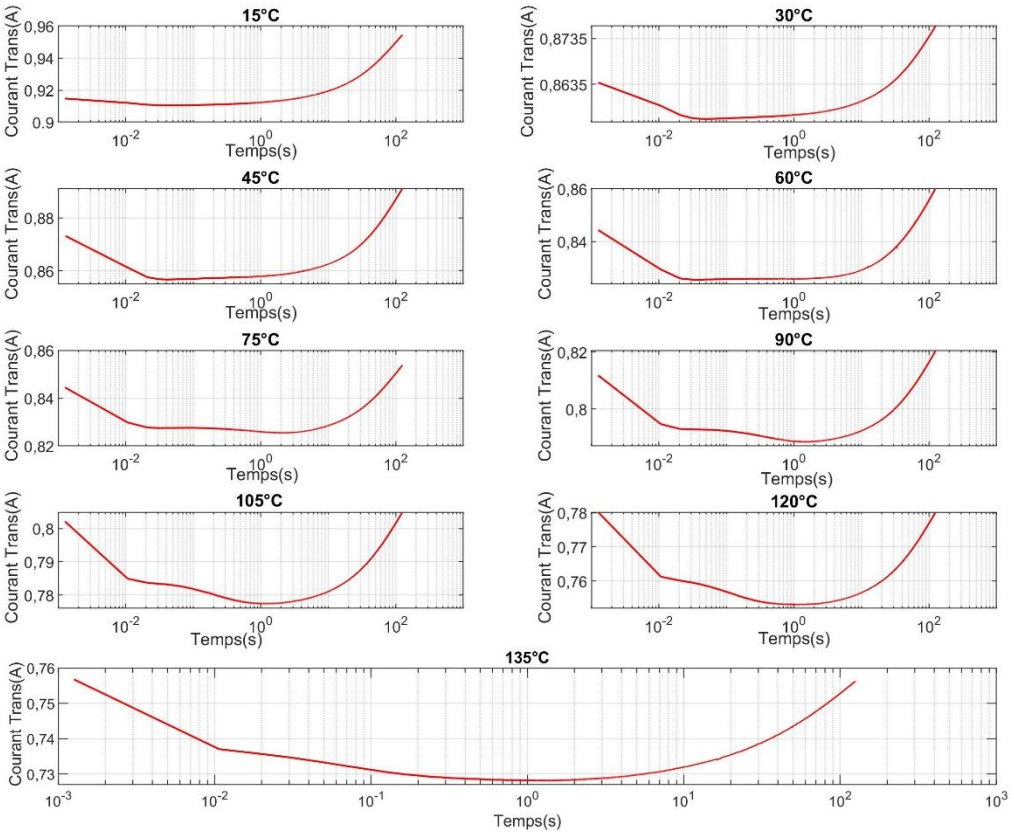


Figure II. 11: Transitoires du courant (Gate-lag) en fonction de la température [15-135°C] avec un pas de 15°C

La valeur du courant I_{DS} diminue avec la température. En effet, en augmentant la température, les constantes de temps des pièges deviennent beaucoup plus petites, d'où la diminution de la concentration de charges dans le canal 2DEG.

- **Drain lag**

Le tableau II.5 présente les paramètres de configuration pour le test Drain lag. Les paramètres pour l'état bloqué sont : V_{GS}=0V, V_{DS}=80V avec une durée de 1s, pour l'état passant : V_{GS}=3V, V_{DS}=1V avec une durée de 2 minutes (12500 points avec un échantillonnage de 10ms). La figure II.12 présente les transitoires du courant à différents niveaux de températures entre 15°C et 135°C avec un pas de 15°C.

Tableau II.5 : Paramètres de configuration pour le test Drain-lag

Paramètres du test	Valeurs (Unités)
Tension V_{GS} OFF	0 (V)
Tension V_{GS} ON	3 (V)
Tension V_{DS} OFF	80 (V)
Tension V_{DS} ON	1 (V)
Durée OFF du stress	1 (s)
Durée ON	125 (s) (12500 points chaque 10 (ms))

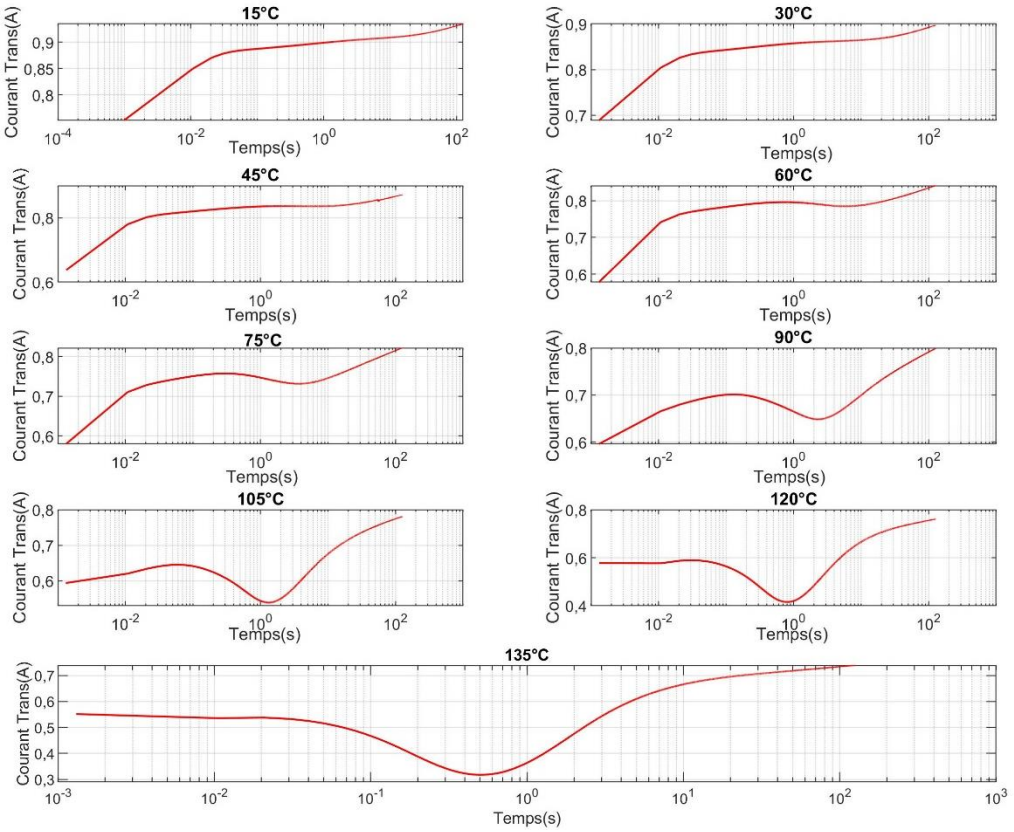


Figure II. 12: Transitoires du courant (Drain-lag) en fonction de la température [15-135°C] avec un pas de 15°C

Une énergie d'activation a été détectée : 0,34eV avec une section de capture de $2{,}8\text{x}10^{-20}$ cm^2 (Cf. Figure II.13). D'après [Oki04], cette énergie d'activation correspond probablement à des états de surface.

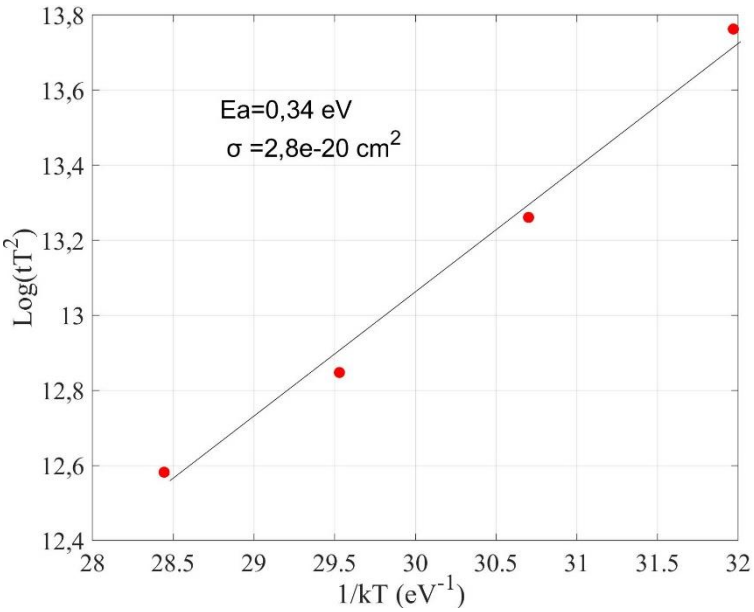


Figure II. 13: Tracé d'Arrhenius du composant GaNSystems GS66508P à partir des graphes de la figure II.12

II.2 Composant CEA Normally-On

II.2.1 Description générale du composant Normally-On

Les composants testés sont des composants Al_2O_3/AlGaN/GaN MOS-HEMTs Normally-On de calibre en tension de 600V et en courant de 30A, réalisés par le CEA. Le tableau II.6 montre les différentes caractéristiques électriques et thermiques de ces composants.

Tableau II.6 : Caractérisations électriques et thermiques du composant MOS-HEMTs Normally-On du CEA-Leti

Paramètres	Symboles	Valeurs	Unités
Température de jonction	Tj	-40 à 200	°C
Tension Drain-Source maximale	V_{DS}	600	V
Tension Grille-Source maximale	V_{GSmax}	3	V
Tension Grille-Source minimale	V_{GSmin}	-7	V
Courant Drain-Source (T=25°C)	I_{DS}	30	A
Résistance Drain-Source à l'état passant (Vgs=6V)	R_{on}	100	mΩ

La structure de ces composants est similaire à celle citée dans la littérature [Has04, Hor13, Lu13 et Ma13]. La structure technologique du composant peut être décrite comme suit : la structure est formée d'un oxyde d'aluminium de 30nm (Al_2O_3) déposé par dépôt de couche thermo-atomique (T-ALD) sur une barrière dopée involontairement de 25nm d'Al0.25GaN0.75. La croissance de la couche d'AlGaN a été réalisée au-delà de 3,5µm de GaN cultivé par dépôt chimique en phase vapeur organométallique (MOCVD). Cette hétérostructure a été développée sur un substrat de silicium. Le métal de la grille est constitué de nitrure de titane (TiN) de 60nm déposé par dépôt chimique en phase vapeur assisté par plasma (PECVD). Le dispositif a été passivé par PECVD en utilisant du nitrure de silicium (Si_3N_4) (Cf. Figure II.14).

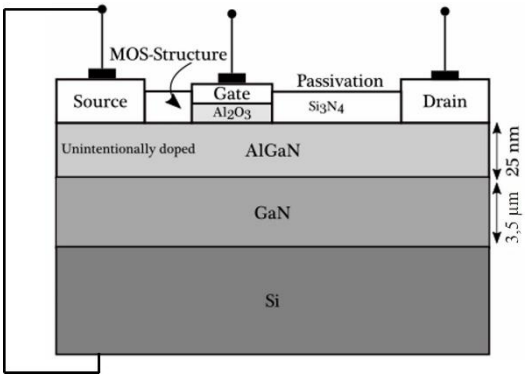


Figure II. 14: Schéma de structure du transistor HEMT Normally-ON du CEA-LETI [Zak18]

Le dispositif est composé de 7 blocs, 3 blocs de drain, 3 blocs de source et un bloc de grille (Cf. Figure II.15 (Gauche)). Chaque paire Drain-Source peut faire passer au maximum un courant de 10A. Pour pouvoir utiliser ces composants dans les tests de puissance, il a fallu les monter sur un substrat (DCB). Un DCB, répondant à nos besoins de tests, a donc été conçu comme le montre la figure II.15 (Droite). Ce DCB a été fabriqué en Cu/Al_2O_3/Cu par flash. Cette conception a été réalisée par la plateforme 3D Power Hybrid Integration (3DPHI) de l'Université Toulouse III - Paul Sabatier.

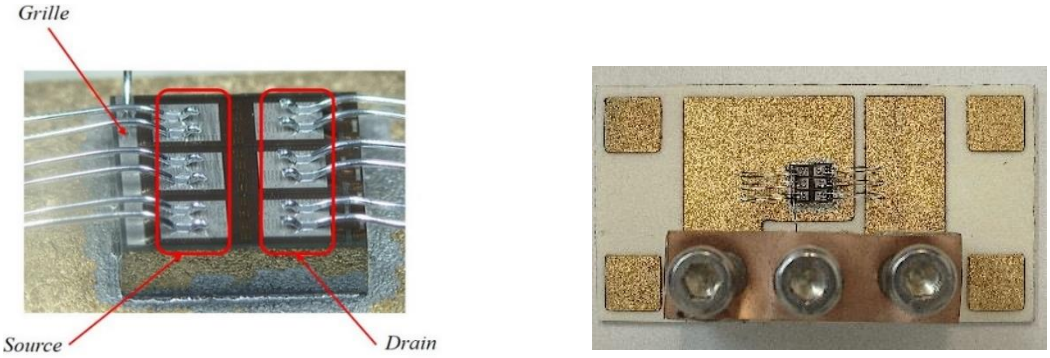


Figure II. 15: Gauche : Puce testée Al_2O_3/AlGaN/GaN MOS-HEMTs/AlGaN/GaN MOS-HEMTs, Droite : Structure du composant Al2O3/AlGaN/GaN MOS-HEMTs/AlGaN/GaN MOS-HEMTs avec substrat DCB

II.2.2 Caractéristique statique de transfert I_{DS}-V_{GS} et tension de seuil du transistor CEA Normally-On

La configuration pour le test I_{DS}-V_{GS} est présentée en tableau II.7. Nous balayons V_{GS} de -6V à +2V avec un pas de 200mV, la tension V_{DS} étant maintenue à 1,5V. La figure II.16 présente les courbes I_{DS}-V_{GS} pour différents points de températures allant de 20 à 140°C. La figure II.17 montre l'évolution de la tension de seuil V_{th} en fonction de la température. La tension de seuil diminue avec la température.

Tableau II.7 : Paramètres de la configuration pour le test I_{DS}-V_{GS}

Paramètres du test	Valeurs (Unités)
Tension V_{DS}	1,5 (V)
Limite du courant I_{DS}	20 (A)
Tension V_{GS} initiale	-6 (V)
Tension V_{GS} finale	2 (V)
Pas V_{GS}	200 (mV)
Période d'impulsion	50 (ms)
Durée d'impulsion	1 (ms)

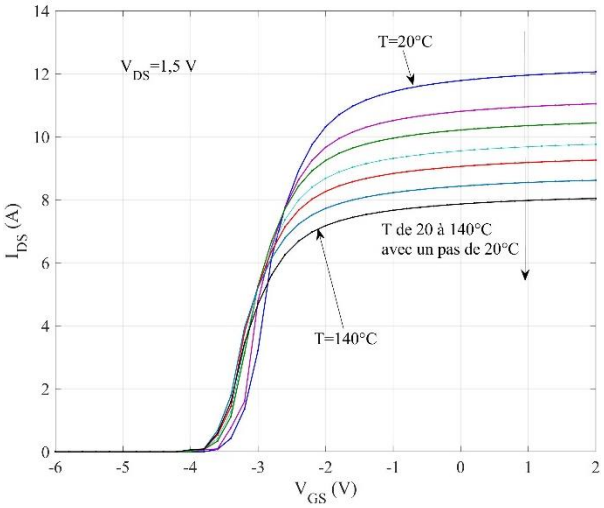


Figure II. 16: Caractéristiques I_{DS}-V_{GS} pour les températures allant de 20 à 140°C avec un pas de 20°C, à V_{DS}=1,5V

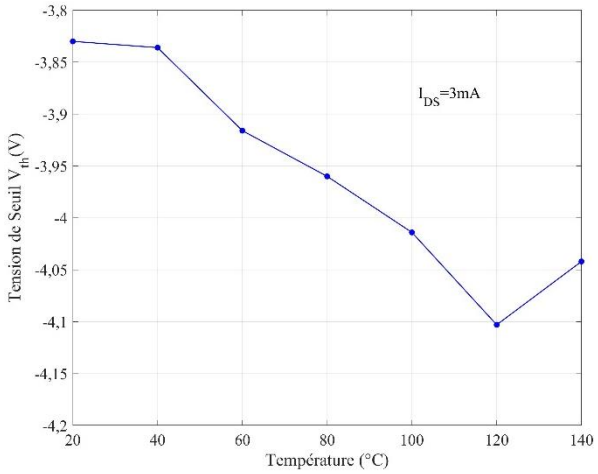


Figure II. 17: Tension seuil V_{th} en fonction de la température pour I_{DS}=3mA

II.2.3 Caractéristiques statiques I_{DS}-V_{DS} du transistor CEA Normally-On

Les caractéristiques statiques I_{DS}-V_{DS} des composants CEA Normally-On sont présentées en figure II.18. Ces caractéristiques sont tracées pour des tensions V_{DS} allant de 0 à 20 V et une tension V_{GS} allant de -5V à +2V (Cf. Tableau II.8). La figure II.19 présente l'évolution de la caractéristique I_{DS}-V_{DS} pour un V_{GS}=2V en fonction de la température entre 20 et 140°C avec un pas de 20°C

Tableau II.8 : Paramètres de configuration pour le test I_{DS}-V_{DS}

Paramètres du test (I_{DS}-V_{DS})	Valeurs (Unités)
Plage V_{DS}	De 0 (V) à 20 (V)
Plage V_{GS}	De -5 (V) à 2 (V)
Largeur de l'impulsion de V_{DS}	50 (µs)
Largeur de l'impulsion de V_{GS}	150 (µs)
Délai d'impulsion de V_{DS} par rapport à celle du V_{GS}	50 (µs)
Base V_{DS}	0 (V)
Base V_{GS}	-6 (V)
Période d'impulsion	1 (s)

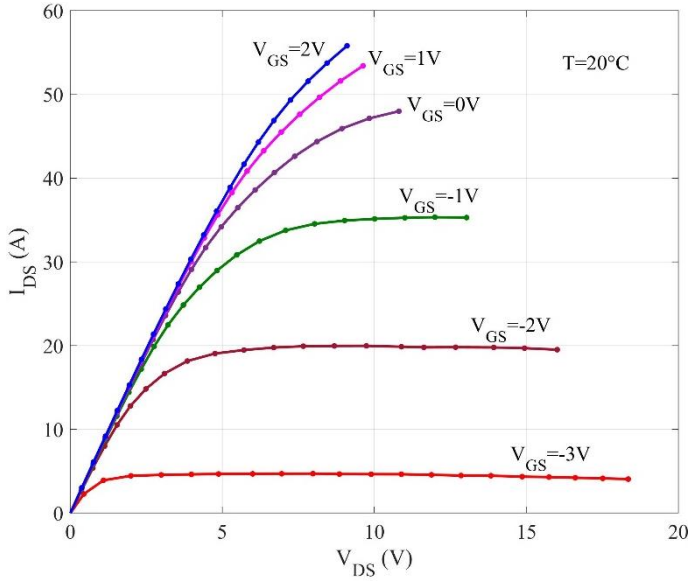


Figure II. 18: Caractéristiques I_{DS}-V_{DS} pour une tension V_{GS} allant de -3 à 2V avec un pas de 1V pour T=20°C

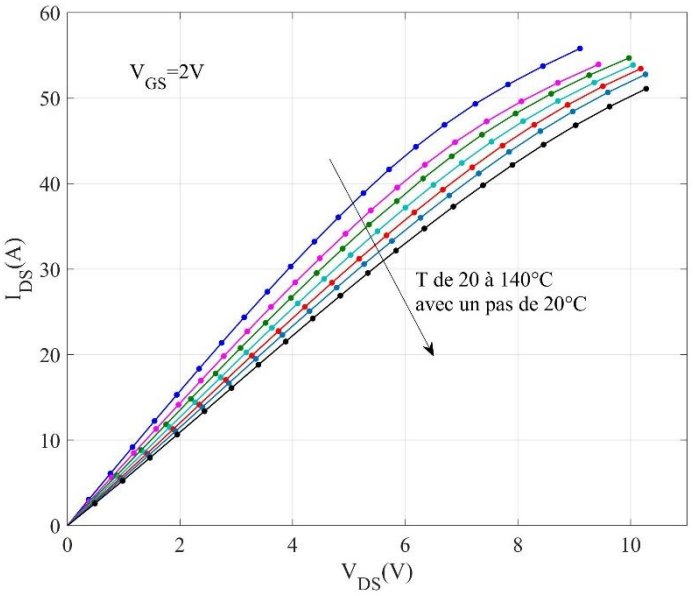


Figure II. 19: Caractéristiques I_{DS}-V_{DS} pour les températures allant de 20 à 140°C avec un pas de 20°C pour V_{GS}=2V

II.2.4 Courants de fuite du transistor CEA Normally On

Le courant de fuite de grille est mesuré pour les conditions suivantes : V_{GS}= -6V et V_{DS}=1V, alors que celles du courant de fuite de drain sont : V_{GS}= -6V et V_{DS}=80V. Dans les deux cas, la température varie entre 15°C et 135°C avec un pas de 15°C.

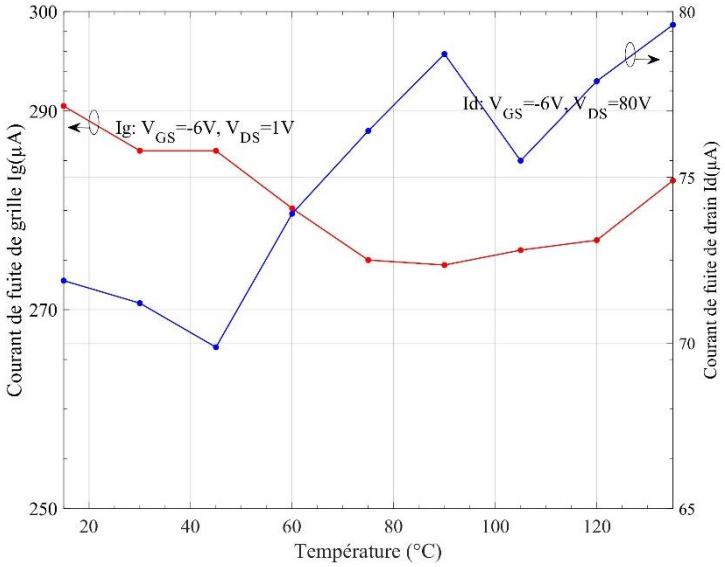


Figure II. 20: Courants de fuite en fonction de la température [15-135°C] avec un pas de 15°C, la courbe rouge représente le courant de fuite de grille et celle en bleu le courant de fuite de drain

II.2.5 Gate lag et Drain lag

- **Gate lag**

Pour tracer les transitoires du courant dus au Gate-lag, nous appliquons un stress sur la grille avec les conditions suivantes : V_{GSoff}= -6V, V_{DSoff}= 1V avec une durée de 1s, puis nous traçons le courant I_{DS} à l'état passant dans les conditions suivantes : V_{GSon}= -2V et V_{DSon}= 1V avec une durée d'environ 2 minutes (Cf. Tableau II.9).

Tableau II.9 : Paramètres de configuration pour le test Gate-lag

Paramètres du test	Valeurs (Unités)
Tension V_{GS} OFF	-6 (V)
Tension V_{GS} ON	-2 (V)
Tension V_{DS} OFF	1 (V)
Tension V_{DS}ON	1 (V)
Durée OFF du stress	1 (s)
Durée ON	125 (s) (12500 points chaque 10 (ms))

La figure II.21 présente les transitoires du courant dus au Gate-lag en fonction de la température entre 15 et 135°C avec un pas de 15°C. Nous remarquons qu'ils ont la même allure, la seule différence étant au niveau de la valeur, celle-ci diminuant avec la température (même explication que pour le composant GaNSystems).

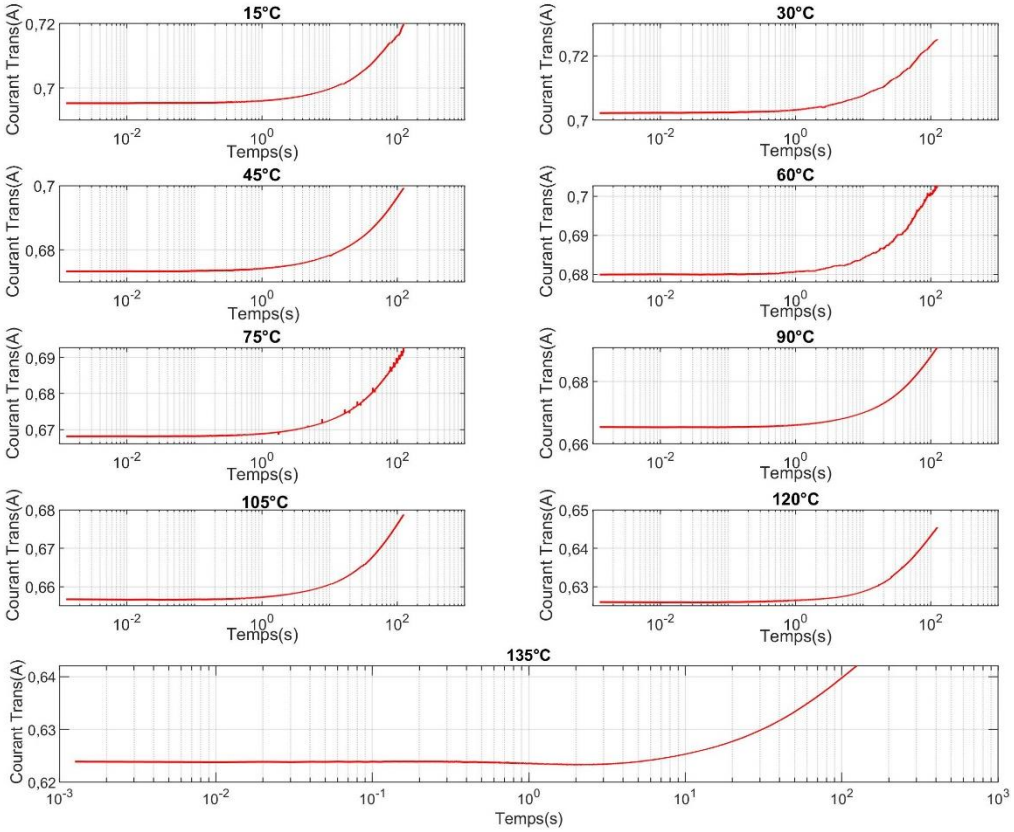


Figure II. 21: Transitoires du courant (Gate-lag) en fonction de la température [15-135°C] avec un pas de 15°C

- ## Drain lag

Le tableau II.10 présente les paramètres de la configuration pour le test Drain lag. À l'état bloqué, nous appliquons une tension V_{GSoff} de -6V, une tension V_{DSoff} de 80V avec une durée t_{off}=1s, les conditions à l'état passant étant : V_{GSon}= -2V et V_{DSon}= 1V avec une durée de 125 secondes (Cf. Tableau II.10).

La figure II.22 montre l'évolution des transitoires du courant I_{DS} en fonction de la température entre 15 et 135°C avec un pas de 15°C. Nous remarquons que le transitoire du courant dû au Drain-lag est dépendant de la température, l'allure du courant changeant avec la température (apparition de nouvelles constantes de temps).

Tableau II.10 : Paramètres de configuration pour le test Drain-lag

Paramètres du test	Valeurs (Unités)
Tension V_{GS} OFF	-6 (V)
Tension V_{GS} ON	-2 (V)
Tension V_{DS} OFF	80 (V)
Tension V_{DS} ON	1 (V)
Durée OFF du stress	1 (s)
Durée ON	125 (s) (12500 points chaque 10 (ms))

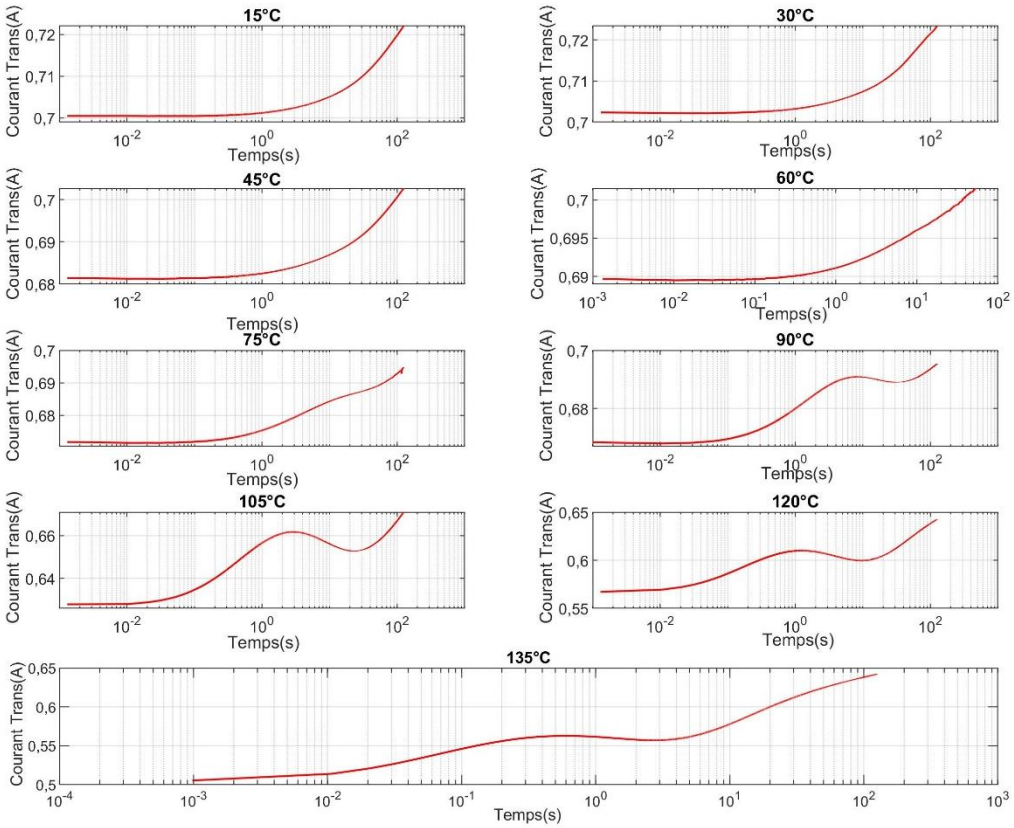


Figure II. 22: Transitoires du courant (Drain-lag) en fonction de la température [15-135°C] avec un pas de 15°C

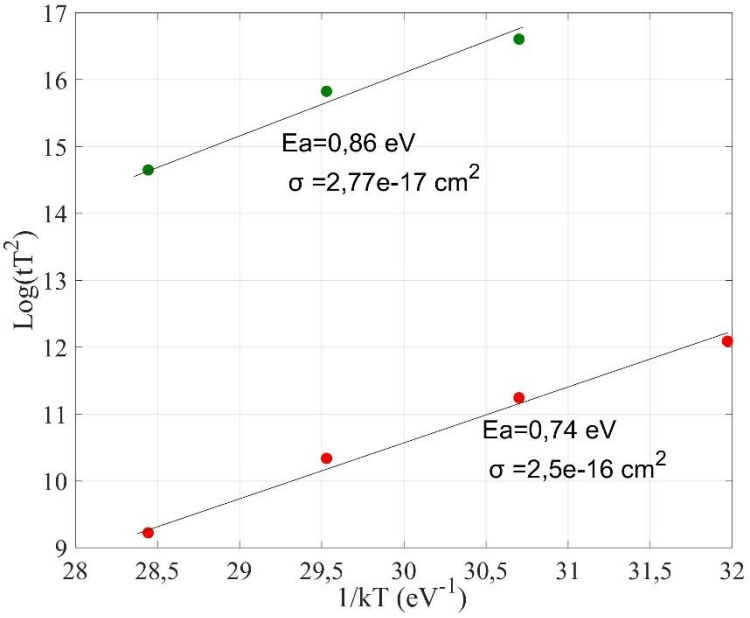


Figure II. 23: Tracé d'Arrhenius du dispositif Normally-On du CEA à partir des graphes de la figure II.22

Deux énergies d'activation ont été détectées: 0,74eV et 0,86eV avec les sections de capture suivantes de $2{,}5\text{x}10^{-16}$ cm^2 et $2{,}77\text{x}10^{-17}$ cm^2 (Cf. Figure II.23). Le premier est probablement dû à des lacunes du Ga ou à des interstitiels N [Asg04], le second correspondant à des lacunes du Ga [Oki04].

II.3 Composant CEA Normally-Off

Ces composants sont la deuxième génération de la technologie LETI pour les transistors HEMT-GaN de puissance. Le boitier utilisé est un boitier doré de type TO267 (Cf. Figure II.24 (Gauche)). Ce produit a été conçu et testé pour être utilisé à un calibre en tension de 650V et en courant de 10A pour une plage de température allant de -55°C à 200°C. La figure II.24 (Droite) montre l'emplacement et la connectique de la puce à l'intérieur du boitier.

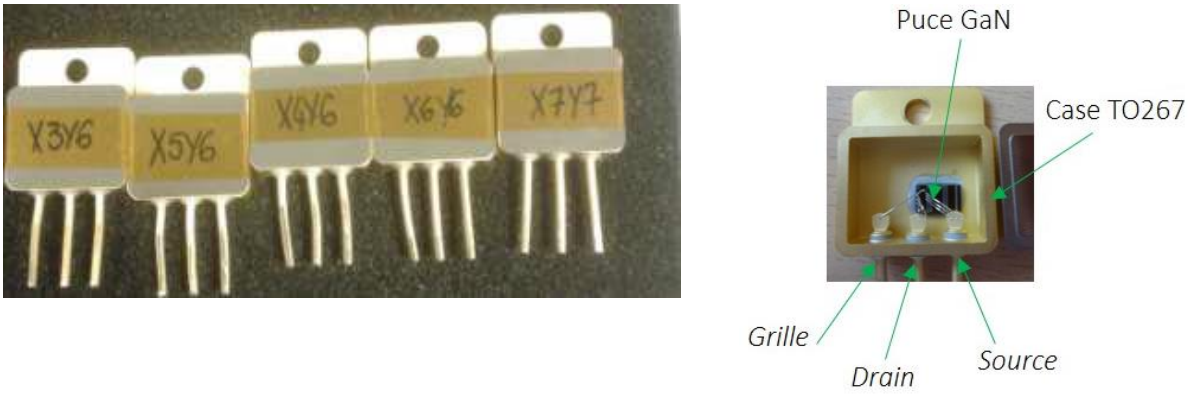


Figure II. 24: Gauche : Boitier en métal (TO267), Droite : Composant Normally-Off

Tableau II.11 : Caractéristiques électriques et thermiques du composant Normally-off du CEA

Paramètres	Conditions	Symboles	Min	Max	Unités
Tension Drain Source	-50°C<Tj<200°C	V_{DS}	400	620	V
Tension Grille Source		V_{GS}	-6	6	V
Courant Drain Source	V_{GS}= 6V, T=25°C	I_{DS}	6	15	A
Température de jonction		Tj	-50	200	°C
Résistance Drain-Source à l'état passant	V_{GS} = 6 V; I_{DS} = 10 A; Tj = 25 °C	R_{on}	220	270	mΩ

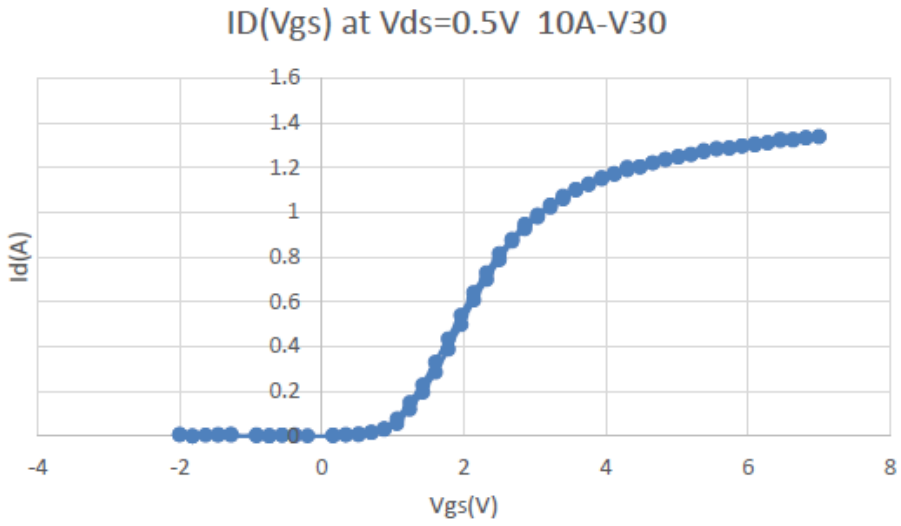


Figure II. 25: Courbe du courant drain I_d en fonction de V_{gs} à V_{ds}=0.5V [Nof]

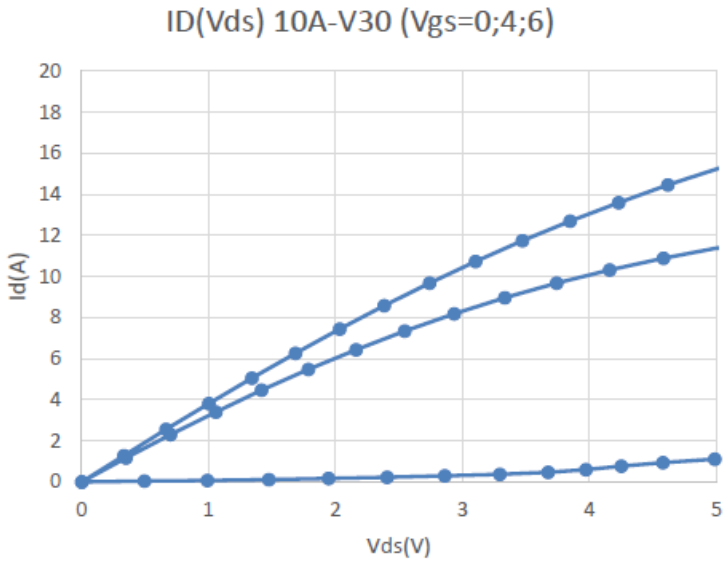


Figure II. 26: Caractéristiques $I_{ds}(V_{ds})$ pour les tensions V_{gs} suivantes : 6V, 4V et 0V [Nof].

La figure II.25 présente la courbe I_{DS}-V_{GS} pour une tension V_{DS} de 0,5V, la tension de seuil V_{th} de ce composant est aux alentours de 1,2V. Les caractéristiques I_{DS}-V_{DS} pour les tensions V_{GS} suivantes : 0, 4 et 6 V sont présentées en figure II.26. A V_{GS} = 6V la résistance Drain-Source vaut 266 mΩ.

Conclusion

Les tests réalisés et présentés dans ce chapitre ont permis de définir les caractéristiques des composants utilisés dans le cadre de cette thèse sachant que ces dernières changent d'un composant à l'autre à cause de la sensibilité et de la fragilité des composants à base de GaN. En effet, le fait de souder par exemple un composant sur un substrat, de le manipuler pour l'insérer dans un banc d'expérimentation, entraîne un changement de ses caractéristiques électriques. Les caractéristiques présentées dans ce chapitre donnent une idée générale du comportement du composant en fonction de la température ou du stress appliqué.

Dans la suite de ce travail, les composants GaNSystems GS66508P et le composant Normally-Off du CEA sont utilisés pour les tests menés sur l'évolution de la résistance dynamique dont les résultats sont présentés au chapitre III. Le transistor Normally-On du CEA est utilisé pour le vieillissement par cyclage actif, ces travaux étant présentés dans le Chapitre IV.

CHAPITRE III

Evolution de la résistance dynamique R_{on_dyn} des transistors de puissance GaN pendant les cycles de commutation

Introduction

La connaissance des effets indésirables d'un dispositif d'électronique de puissance est impérative pour prédire les dysfonctionnements possibles lorsque celui-ci est utilisé dans un environnement et des conditions réelles. Ces effets parasites influencent les performances du composant, réduisent son efficacité lors des commutations et compromettent sa fiabilité.

Le phénomène de «Current Collapse» [Sai10, Miz03], lié aux mécanismes de piégeages/dé-piégeages, est la cause de la dégradation de la résistance dynamique à l'état passant. En cas de dérive de la valeur de cette résistance lors du fonctionnement du composant, les pertes de conduction s'en trouveront affectées et des dysfonctionnements seront possibles si cette dérive n'est pas limitée. L'analyse de l'évolution de la résistance dynamique à l'état passant Drain-Source (R_{on_dyn}) est donc indispensable pour étudier le comportement et les conditions limites de fonctionnement des composants GaN. Par ailleurs, bien que ce phénomène ait été bien traité dans la littérature (Cf. Chapitre I § I.5), il est nécessaire d'identifier les paramètres qui ont le plus d'influence sur ce phénomène et d'en comprendre leurs agissements.

Ce chapitre présente un certain nombre de résultats sur l'étude du phénomène de la résistance dynamique R_{on_dyn} ou « Current Collapse ». Les mécanismes de piégeage/dé-piégeage menant à la dérive de la résistance dynamique peuvent être provoqués par exemple par un stress électrique en durée ou en amplitude sur la tension V_{DS} (phénomène de drain-lag). Suivant les constantes de temps d'émission ou de capture des charges, les charges piégées peuvent légèrement modifier l'effet de champ présent dans la structure, et par conséquence modifier la densité de charge dans le gaz 2D (canal) et finalement mener à un décalage de la tension de seuil. Ceci affecte de manière dynamique les caractéristiques du composant et modifie ses performances.

Nous nous focaliserons sur les conséquences engendrées par le phénomène de drain-lag sur l'évolution de la résistance R_{on_dyn} lors de commutations successives. En effet, en modifiant les conditions de commutation, on peut étudier l'effet du drain-lag sur la résistance Drain-Source dynamique R_{on_dyn} du composant. C'est ainsi que l'on peut mettre en évidence les effets de la tension au blocage, de la fréquence de commutation, du courant et de la température sur l'évolution dynamique de la résistance R_{on_dyn}. Dans certaines conditions, le fonctionnement du composant ne peut être assuré, cela pouvant mener à sa destruction.

Ce chapitre est structuré en trois parties. Dans la première partie, nous nous focaliserons sur les caractérisations effectuées en commutation cyclique sur le composant GaNSystems et les évolutions de la résistance R_{on_dyn} en fonction des paramètres de commutation et de la température. Dans une seconde partie, nous présenterons l'étude faite sur les composants GaN Normally-Off 10A du CEA, avec les résultats obtenus lors des tests expérimentaux. Enfin, dans la dernière partie, nous détaillerons les étapes d'obtention du modèle analytique correspondant à l'évolution de la résistance R_{on_dyn}.

III.1 Caractérisations en commutations cycliques

III.1.1 Principe du test

Nous pouvons considérer, en première approximation, que lors d'une commutation, quand le composant est à l'état bloqué (Off state) avec une tension de blocage appliquée (V_{DS}), un phénomène de piégeage (capture) se produit et à l'état passant (On state) nous avons un phénomène de dé-piégeage (émission). Il est à noter que, de façon générale, les constantes de temps de capture sont plus faibles que celles d'émission. Ainsi, si nous menons une succession de commutations avec des temps bien choisis de telle sorte qu'il y ait un déséquilibre entre les taux de capture et d'émission, nous pouvons observer une dérive de la tension de seuil et de la résistance dynamique à l'état passant. C'est le principe représenté en figure III.1 montrant l'évolution schématique de la résistance dynamique à l'état passant R_{on_dyn} lors des commutations.

A chaque état bloqué, la densité de charges piégées augmente à cause des phénomènes de capture. Et lors des états passants, seulement une partie de ces charges est émise à cause de la différence des constantes de temps de capture et d'émission. Ainsi, avec le temps et les commutations successives, un phénomène cumulatif de charges piégées se produit, entrainant une dérive progressive de la résistance R_{on_dyn}. Ce processus transitoire, généré par les commutations cycliques, modifie les taux d'émission et de capture de telle manière qu'un nouvel équilibre entre émission et capture va être atteint au bout d'un certain temps si les conditions thermiques le permettent. Ainsi, l'accumulation de charges piégées, rapide au début, finit par se saturer progressivement avec le nouvel équilibre entre les deux mécanismes physiques d'émissions et de captures. Si le refroidissement n'est pas assez efficace et que l'augmentation de la résistance R_{on_dyn} est telle que l'auto-échauffement engendré entraine un emballement thermique, le test mène à la destruction du composant si aucune protection ou un seuil n'est activé pour arrêter le test.

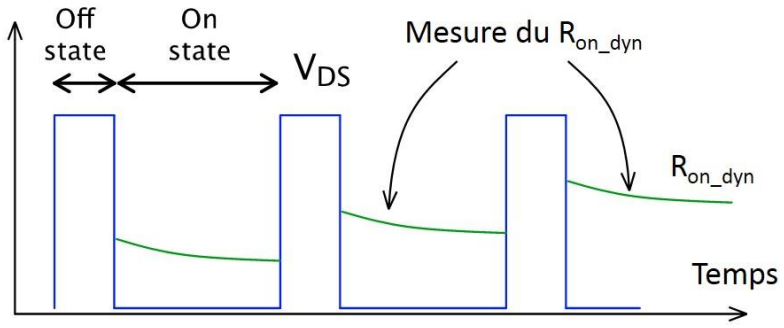


Figure III. 1: Evolution de la résistance dynamique R_{on_dyn} lors des commutations

D'un point de vue technique, deux difficultés peuvent être identifiées :

- la mesure de la résistance R_{on_dyn}, lors des états passants, en particulier lorsque les fréquences de commutation sont élevées et les durées des états passants trop courtes pour réaliser la mesure ;
- la séparation des effets thermiques de ceux des piégeages dans l'augmentation de la résistance R_{on_dyn}. En effet, durant le test, la température du composant s'élève naturellement et a un effet sur la résistance R_{on_dyn}.

III.1.2 Moyens de test et méthodologie

Les composants de puissance testés sont des composants Normally-Off GaNSystems (GS66508P) de calibre 30A-650V, avec une préconisation de tension de grille V_{GS} située dans l'intervalle (-10V, +10V) (Cf. Chapitre II § II.1.1).

Un banc de test de Modulation de Largeur d'Impulsion (Cf. Figure III.2) a été mis en œuvre afin de mener les investigations. Le montage proposé permet d'effectuer une mesure quasi-continue de la résistance dynamique R_{on_dyn} lors de commutations successives.

Le dispositif expérimental permet d'étudier sur le composant testé (Device Under Test) les effets de différents paramètres comme :

- ✓ La température de semelle : celle-ci pouvant varier entre -50°C et 200°C grâce à un thermorégulateur à bain d'huile (Julabo Thermal HL45) alimentant un refroidisseur à circulation de fluide sur lequel est monté le D.U.T (Cf. Figure III.2-a) ;
- ✓ La fréquence de découpage : pouvant aller de quelques Hz à 300kHz ;
- ✓ Le courant : le banc MLI permettant de délivrer un courant continu de 200A maximum et un courant alternatif de 500A crête jusqu'à 500Hz ;
- ✓ La tension de bus Vdc : celle-ci pouvant monter jusqu'à 600V ;
- ✓ Le temps de conduction des composants : celui-ci étant donné par la relation :

$$t_{on} = \eta\, T \qquad \textbf{Eq.III.1}$$

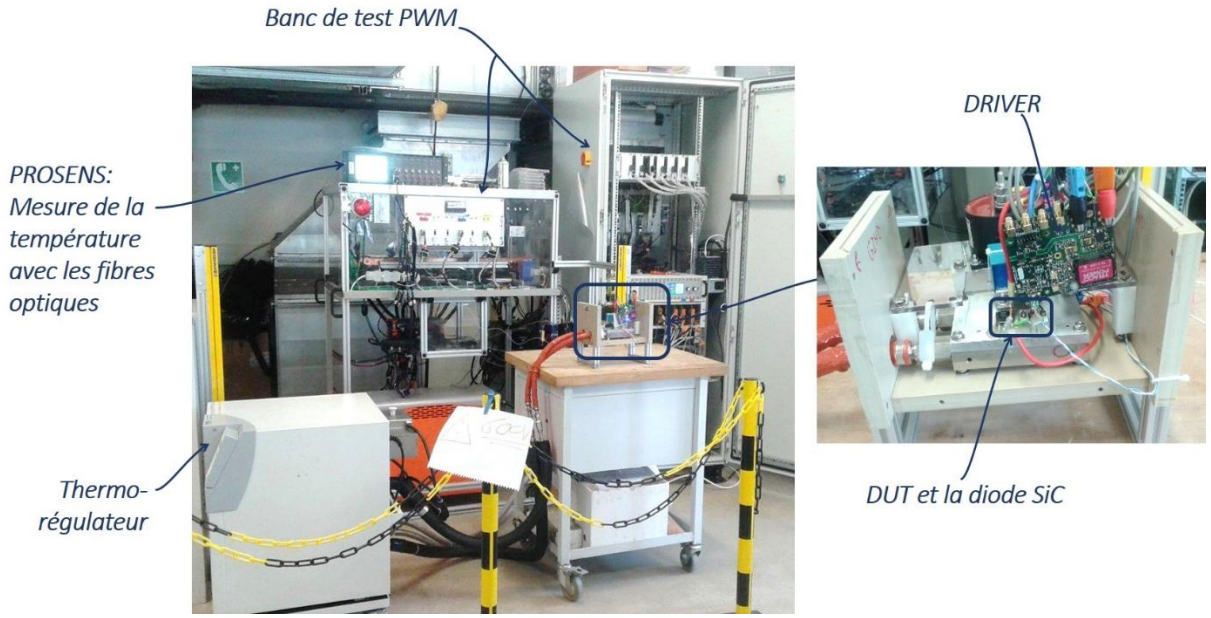
Où η et T sont respectivement le rapport cyclique et la période.

Il est à noter qu'une diode en Carbure de Silicium est utilisée pour la commutation comme l'indique le schéma électrique du montage expérimental (Cf. Figure III.2-b).

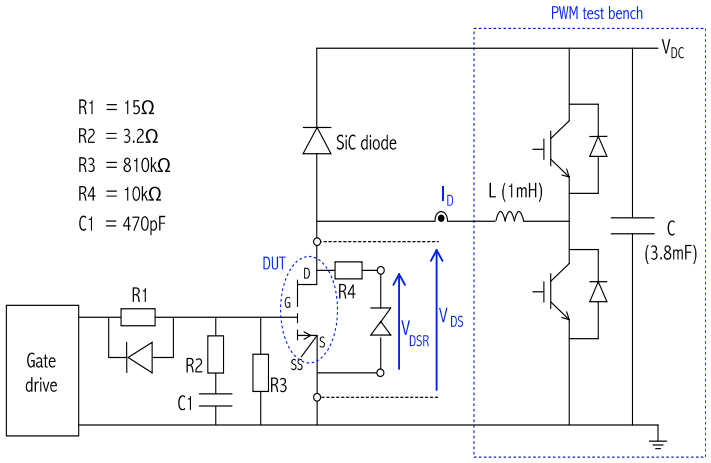
Un plan d'expérience a été réalisé pour différentes températures, combinant plusieurs niveaux de tension Vdc (allant de 100 à 400V) et plusieurs fréquences (variant de 20kHz à 300kHz). Les conditions de test sont récapitulées dans le tableau III.2 plus loin.

Le driver utilisé pour piloter la grille du composant a été fourni par notre partenaire de projet, le Commissariat aux Energies Alternatives et à l'Energie Atomique (CEA-Leti). Néanmoins, nous l'avons adapté au dispositif GaNSystems en rajoutant un filtre sur la commande de grille et un circuit électronique afin d'améliorer la qualité des commutations (Cf. Figure III.2-b). La tension de grille V_{GS} a été réglée à -3V pour l'état bloqué et à +6V pour l'état passant.

Comme la tension Drain-Source est mesurée en permanence, que ce soit à l'état passant (valeurs de tension faibles) où à l'état bloqué (valeurs de tension élevées), cette mesure a été dupliquée pour utiliser deux calibres différents afin d'avoir une meilleure précision de mesure. Nous noterons V_{DSR} la tension drain–source à l'état passant et V_{DS} celle à l'état bloqué (Cf. Figure III.2-b). Le courant de drain (I_{phase}), dont la valeur est maintenue à 10A, est mesuré à l'aide d'un shunt de courant (Current Transducer ITN 600-S).



a) Banc MLI avec le circuit fluidique recevant le D.U.T



b) Schéma électrique du montage expérimental

Figure III. 3 : Montage expérimental pour la mesure de la résistance dynamique R_{on_dyn} sur un composant GaN lors de commutations successives

Une mesure de la température du boîtier du composant a été réalisée par contact direct en utilisant un capteur de température à fibre optique (Cf. Chapitre I § I.7.2). Ce type de capteur permet d'avoir une mesure isolée et d'éviter toute perturbation électromagnétique. La mesure a été réalisée sous le boitier à travers le refroidisseur qui a été percé de part en part à cette fin, avec un diamètre légèrement supérieur à celui de la fibre afin de permettre son passage (Cf. Figure III.3).

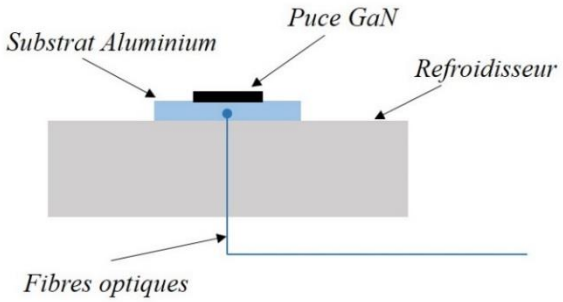


Figure III. 4: Mesure de la température de la puce GaN sur son dispositif de test

La durée d'un essai a été fixée à une minute, temps estimé pour atteindre le régime thermique permanent. Pour retrouver des conditions initiales identiques au niveau des états de charges piégées au début de chaque essai, un temps de repos de cinq minutes a été instauré entre deux tests consécutifs. Toutes ces durées ont été déterminées par des essais préliminaires.

Le haut de la figure III.4 présente le chronogramme schématique des essais qui sont effectués, alors que le bas montre un détail des formes d'ondes mesurées. L'instrumentation mise en place permet de réaliser des mesures correctes de la résistance R_{on_dyn} pour des durées minimales à l'état passant de l'ordre de 30µs. Ainsi pour des commutations à des fréquences inférieures à 20kHz, la mesure peut se faire aisément au vol à chaque état passant. Par contre, pour des fréquences de test supérieures à cette valeur, la mesure n'est faite que périodiquement durant le test. Comme indiqué sur la figure III.4, la fréquence de test est ralentie à 5kHz toutes les 20ms sur quatre périodes afin d'effectuer la mesure de la résistance R_{on_dyn}. Ces quatre cycles, d'une durée de 1ms, permettent de s'assurer de la reproductibilité de la mesure tout en perturbant le moins possible le test proprement dit.

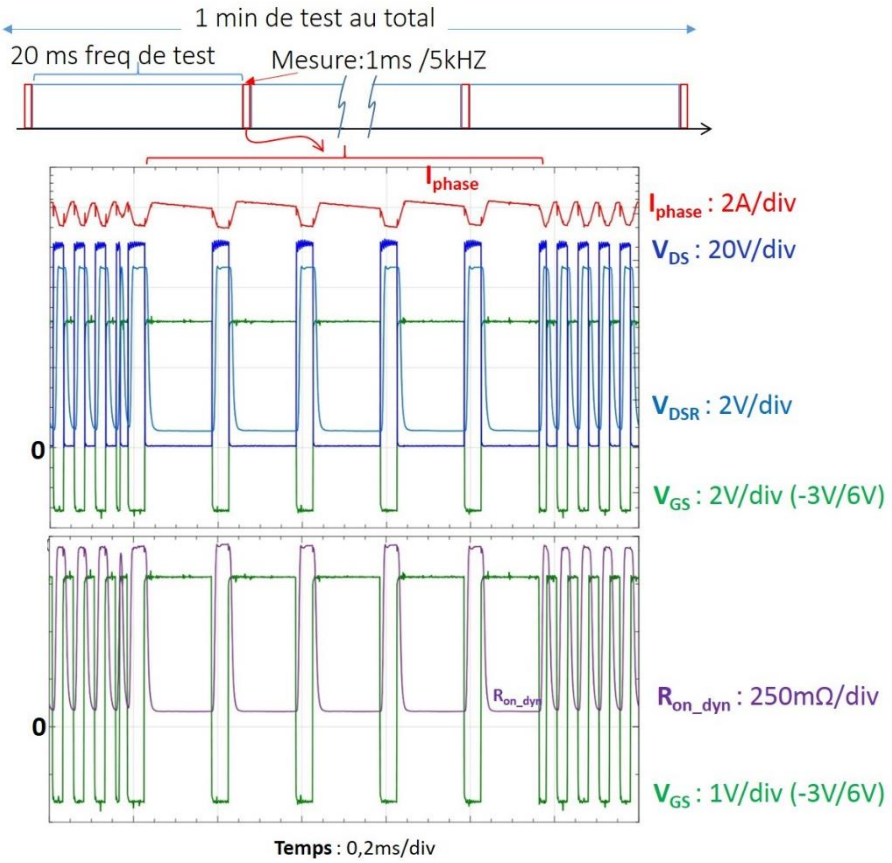


Figure III. 5: Principe de la méthodologie de mesure de la résistance dynamique R_{on_dyn}

III.1.3 Tests de commutations cycliques sur le composant GaNSystems

III.1.3.1 Séparation de l'effet dû à la thermique de celui dû au piégeage

L'évolution de la résistance dynamique R_{on_dyn} provient des mécanismes de piégeage auxquels s'ajoutent les effets de la température provenant de l'auto-échauffement de la puce. Il est donc nécessaire d'identifier l'effet de chaque phénomène sur cette évolution.

Pour cela, le principe est d'estimer la part d'accroissement de la résistance à l'état passant due à la température de jonction et de la soustraire de la valeur globale pour déterminer la part d'accroissement de la résistance due au piégeage.

$$\Delta R_{on_dyn} = \Delta R_{on_th} + \Delta R_{on_tr} \qquad \textbf{Eq.III.2}$$

À cette fin, si l'on a accès à la mesure de la température de la puce (ou son estimation) et si l'on dispose d'une relation donnant la dépendance de la résistance R_{on} avec cette température, alors nous pouvons connaître pour une température donnée le niveau attendu d'accroissement de la résistance due à la thermique (ΔR_{on_th}).

Dans le cas des dispositifs GaN, comme la tension de seuil varie suivant les mécanismes de piégeage lors de la commutation, il est impossible d'utiliser un paramètre thermosensible (Temperature Sensitive Electrical Parameter) pour obtenir une mesure indirecte de la température de jonction [Ave12]. De plus, comme la puce n'est pas accessible à cause de son encapsulation, il est impossible de réaliser une mesure directe par contact à l'aide d'un capteur thermique à fibre optique. Finalement, le seul moyen d'estimer la température de jonction est d'utiliser un modèle thermique à l'aide de la mesure de l'impédance thermique de l'assemblage et la mesure de température de la semelle du composant (Tc). Cette mesure a été effectuée pendant les tests avec un capteur thermique optique (fibre optique). La pointe de la fibre optique est positionnée au milieu du substrat aluminium, à l'aplomb du centre de la puce GaN (Cf. Figure III.5).

Ce modèle est déterminé ci-dessous. Celui-ci nous permettra d'estimer l'évolution de la température de la puce au cours des tests et d'en déduire la variation de la résistance due à la thermique ΔR_{on_th} à l'aide de la relation $R_{on} = f(T)$, issue de l'étalonnage.

a) Modèle thermique

Le modèle a été déterminé par mesure de l'impédance thermique de l'assemblage dans un premier temps, puis par formalisation de cette impédance à l'aide d'un réseau RC thermique de Foster [Dav14] par identification de paramètres dans un deuxième temps.

- *Mesure de l'impédance thermique*

Cette mesure a été réalisée en dissipant une puissance considérée constante durant 1 minute. Cela a été effectué en injectant un courant de 10A dans la puce, la durée d'impulsion a été déterminée de façon à atteindre quasiment la stabilité thermique. Les mesures des températures de jonction (Tj) et de semelle (Tcase) sont faites pendant la période de refroidissement sur la même durée d'une minute.

La température de jonction est mesurée à l'aide d'un TSEP qui est ici la résistance à l'état passant. Dans les conditions de mesure de l'impédance thermique, comme il n'y a pas de stress électrique par des polarisations inverses de drain ou de grille, il n'y a pas de phénomène de drain-lag ni de gate-lag et donc de dérive de la tension de seuil ou de la valeur du R_{on_dyn} liée à ces phénomènes. La courbe d'étalonnage utilisée pour le TSEP est donnée en figure III.11.

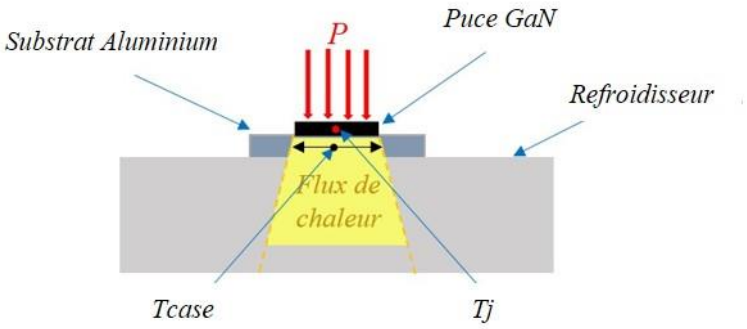


Figure III. 6: Dissipation de la chaleur dans l'assemblage DUT et refroidisseur

L'impédance thermique est alors tracée (Cf. Figure III.7) à l'aide de la relation :

$$Zth = \frac{\mathrm{Tj} - \mathrm{Tcase}}{\mathrm{P}} \qquad \textbf{Eq.III.3}$$

À titre d'illustration, les relevés de températures obtenus par le TSEP lors de l'échauffement et celui de la semelle sont montrés en la figure III.6.

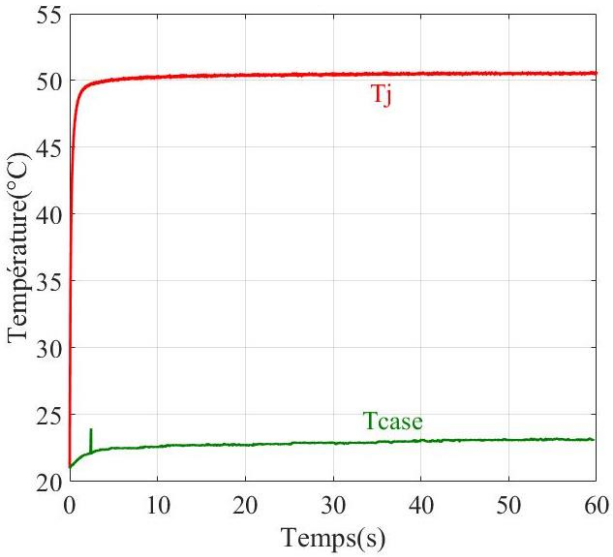


Figure III. 7: Températures de jonction et de case pendant le cycle de puissance

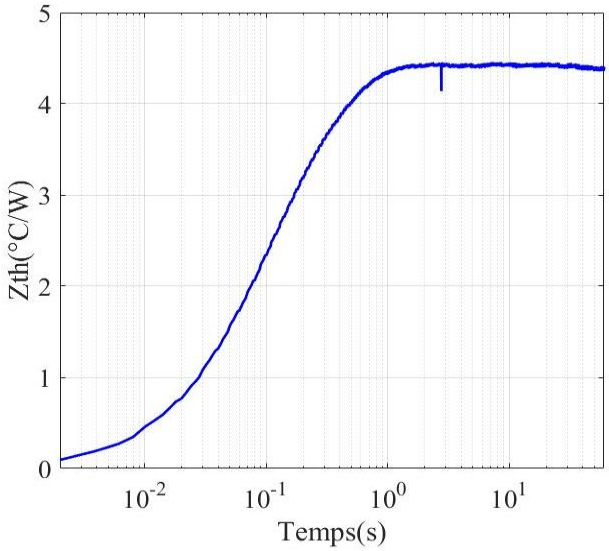


Figure III. 8: Impédance thermique de l'assemblage

- *Formalisation sous forme d'un réseau de Foster*

Cette courbe expérimentale a ensuite été formalisée sous la forme d'un réseau de cellules RC de Foster (Cf. Eq.III.4), [Ger07]. L'utilisation de deux cellules a été suffisante pour correctement représenter la courbe expérimentale. Un outil d'identification de paramètres nous a permis d'extraire les valeurs des éléments RC.

$$Zth = \sum_{i=1}^{n} Rth_i * (1 - e^{-\frac{t}{\tau_i}}) \qquad \textbf{Eq.III.4}$$

Avec : n : nombre de cellules RC ;

Rth_i : Résistance thermique de la cellule i ;

Et τ_i : Constante de temps de la cellule i ($\tau_i = Rth_i * Cth_i$ où Cth_i est la capacité thermique)

Par conséquent, le schéma électrique équivalent du système est le suivant :

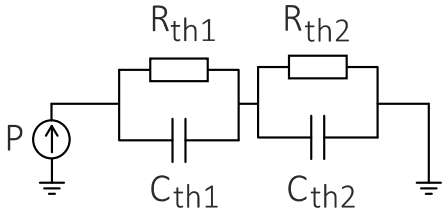


Figure III. 9: Modèle Foster équivalent de l'assemblage

Avec :

Tableau III.1 : Valeurs des résistances et des capacités thermiques du système

Rth_1 (K/W)	2,172	Cth_1 (J/K)	0,0297
Rth_2 (K/W)	2,249	Cth_2 (J/K)	0,1296

La figure suivante présente la comparaison entre l'impédance thermique mesurée expérimentalement (Courbe bleu) et celle déduite du modèle de Foster (Courbe rouge) (Cf. Figure III.9).

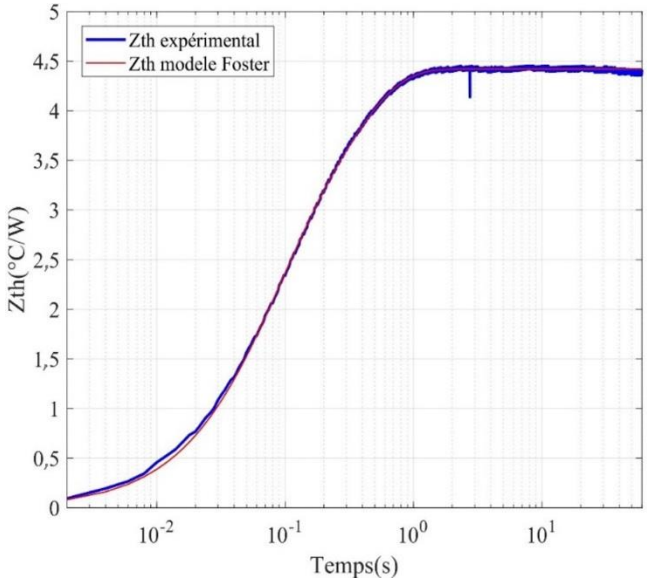


Figure III. 10: Comparaison entre l'impédance thermique Zth expérimentale et celle obtenue avec le modèle de Foster

L'utilisation de ce réseau, avec la puissance dissipée donnée par l'équation III.5 et la donnée de la température Tcase, fournit la température de jonction du composant. La puissance dissipée est alors obtenue par la relation III.5 avec des impulsions de courant de 10A avec les mêmes fréquences que celles utilisées expérimentalement et les valeurs mesurées de la résistance R_{on_dyn} lors du test.

$$P = R_{on_dyn}\, I_{DS}^2 \qquad \textbf{Eq.III.5}$$

A titre d'illustration, la température de la semelle du composant mesurée (Tc en vert) et la température de jonction calculée (Tj en rouge) sont représentées en figure III.10 durant un essai pour les conditions expérimentales suivantes : $T_{ambiante}$ = 25°C, Vdc = 100V, Freq = 20kHz, η = 50%.

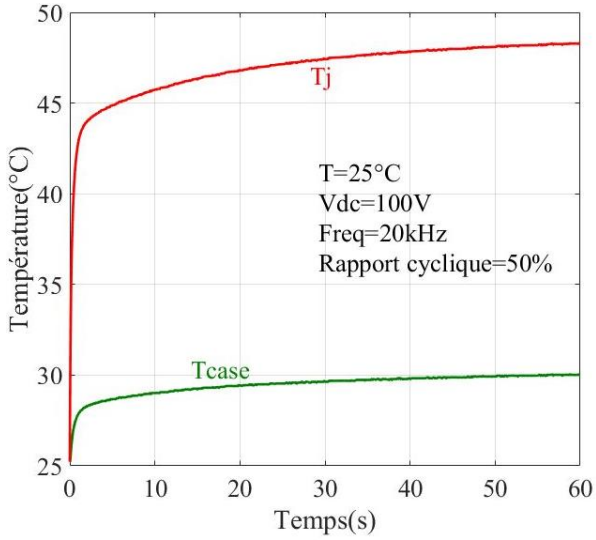


Figure III. 11: Evolution de la température mesurée de la semelle du composant mesurée et de la température de jonction calculée pour : $T_{ambiante}$ = 25°C, Vdc = 100V, Freq = 20kHz, η = 50%

b) Etalonnage

Pour cette étude, il s'est avéré nécessaire d'effectuer un étalonnage de la résistance en fonction de la température lors de caractérisations préliminaires. Un exemple de calibration sur les composants à tester est donné en figure III.11 pour des températures variant de 0 à 125°C, la résistance étalonnée étant notéeR_{on_th}.

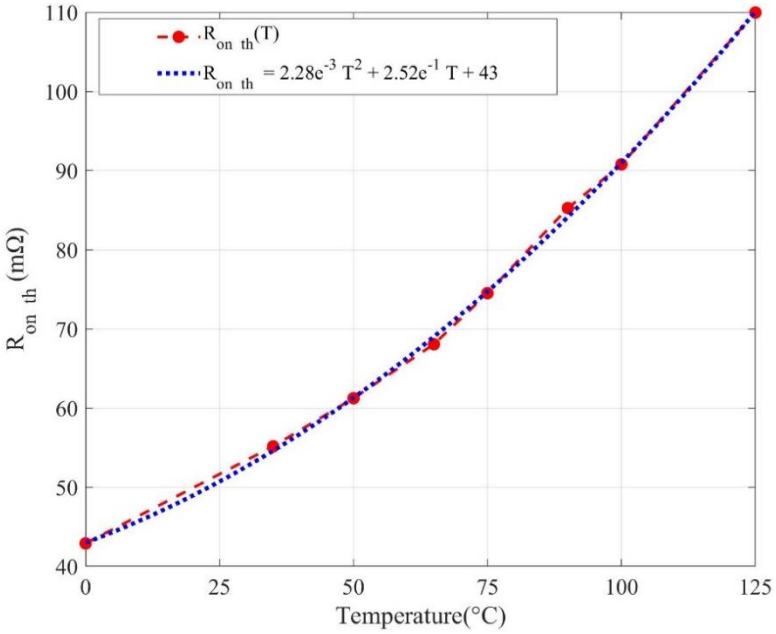


Figure III. 12: Evolution de la résistance R_{on_th} en fonction de la température

L'équation de la résistance R_{on_th} en fonction de la température peut être approximée par la fonction quadratique suivante :

$$R_{on_th}\ (m\Omega) = \alpha\ T^2(°C) + \beta\ T(°C) + \gamma \qquad \textbf{Eq.III.6}$$

Où les valeurs des coefficients sont : $\alpha = 2{,}28 \times 10^{-3},\ \beta = 2{,}52 \times 10^{-1}\ et\ \gamma = 43$

c) Différenciation entre l'effet dû à la thermique de celui dû au piégeage

Avec l'estimation de la température de jonction du composant, nous pouvons maintenant extraire la part d'accroissement de la résistance dynamique à l'état passant due seulement aux phénomènes de piégeages, notée ΔR_{on_tr}. Il convient de garder à l'esprit que cette dernière n'est que la valeur supplémentaire de la résistance dynamique par rapport à la résistance dynamique initiale due au piégeage.

Comme l'illustre la figure III.12, pour les mêmes conditions expérimentales que celles présentées en figure III.10, nous pouvons distinguer la résistance dynamique à l'état passant due à l'effet de la thermique (ΔR_{on_th}) de celle due aux phénomènes de piégeage (ΔR_{on_tr}), leurs expressions étant données respectivement par les équations III.7 et III.8, où Tj est la température de jonction à chaque instant et Tj0 est celle à l'instant initial.

$$\Delta R_{on_th} = \alpha \left(T_j - T_{j0}\right)^2 + \beta \left(T_j - T_{j0}\right) \quad \textbf{Eq.III.7}$$

$$\Delta R_{on_tr} = \Delta R_{on_dyn} - \Delta R_{on_th} \quad \textbf{Eq.III.8}$$

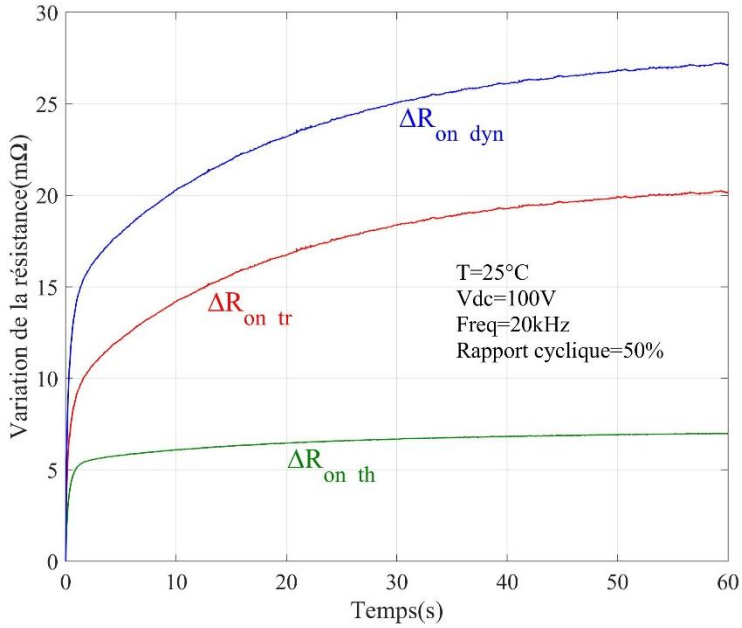


Figure III. 13 : Evolution des résistances R_{on_dyn}, R_{on_th} et R_{on_Tr} pour : $T_{ambiante}$ = 25°C, Vdc = 100V, Freq = 20kHz, η = 50%

Comme nous pouvons l'observer dans ce graphe, l'accroissement de la résistance dynamique due à l'effet thermique (ΔR_{on_th}) représente environ 34% de l'accroissement total de la résistance (ΔR_{on_dyn}).

III.1.3.2 Résultats expérimentaux sur les composants GaNSystems

Nous avons ainsi procédé à un certain nombre de tests de commutations cycliques en suivant la méthodologie présentée ci-dessus en évaluant les effets des paramètres : températures, tension à l'état bloqué et fréquence de commutation. Les différents essais réalisés sont résumés dans le tableau III.2. Comme l'on peut le constater, tous les paramètres n'ont pas pu être balayés de manière systématique. Cela est dû à l'emballement du composant. Sous certaines conditions de test, par exemple à haute température, le composant chauffe très vite et par conséquent sa résistance augmente rapidement dépassant les limites qu'il peut supporter, provoquant ainsi sa casse.

Les trois premières colonnes donnent les conditions de test utilisées. L'influence de la température ambiante (de semelle) a été particulièrement investiguée dans une plage allant de -50°C à 100°C. Les valeurs de tension à l'état bloqué sont de 100, 200 et 400V et les fréquences de 20kHz, 100kHz et 150kHz. Pour l'ensemble de ces tests, le rapport cyclique a été fixé à 50%. La colonne R_{on0} donne la valeur de la résistance à l'état passant mesurée à l'instant initial, juste avant le stress cyclique et R_{onf} la valeur mesurée au bout de la minute de test. De même, la colonne Tj0 donne la valeur de la température de la puce à l'instant initial et Tjf celle au bout de la minute de test. Pour les tests en températures négatives, le capteur à fibre optique fournissant la valeur de température de semelle

(Tcase) n'a malheureusement pas pu fonctionner correctement, probablement à cause du givre s'insérant au niveau du contact entre la tête du capteur et la surface de mesure.

Comme on peut le voir au tableau III.2, les composants GaNSystems ont montré une instabilité dans leurs caractéristiques et performances. Malgré toutes les précautions et respect des durées de repos, nous observons des disparités dans les valeurs des résistances initiales (R_{on0}) pour une même température de Tcase.

Une protection, au niveau du logiciel de pilotage du banc, permet de stopper le test dès que la résistance franchit un seuil arbitraire jugé critique (ici de 200 mΩ) et permet ainsi de sauvegarder l'intégrité du composant sous test.

Tableau III.2 : Essaies réalisés sur le composant GS66508P avec un rapport cyclique de 50%

Tcase (°C)	Tension (V)	Freq(kHz)	R_{on0}(mΩ)	Tj0(°C)	R_{onf}(mΩ)	Tjf(°C)
100	100	20	90,8	97,37	165,3	103,50
	200	20	90,1	97,3	167	104,5
	400	20	91,2	97,4	174,9	106,6
90	100	20	85,3	87,55	150,7	93,49
75	100	20	74,5	73,16	131,6	78,52
	200	20	79,5	73,20	133	79,20
	400	20	75,1	73,18	139	80,98
65	100	20	68,1	63,62	121,3	68,56
50	100	20	61,2	49,56	105,2	55,34
	200	20	61,7	49,56	106,9	56,05
	400	20	61	49,56	103,4	57,74
35	100	20	55,2	34,77	90,2	40,17
25	100	20	55,4	25,22	82,7	30,06
	200	20	52,2	25,30	82,3	30,66
	400	20	48,7	25,24	83	32,14
25	100	100	50,8	25,8	93,6	30,20
	200	100	50	25,80	110,5	32,50
	400	100	47,9	25,70	142,6	38,00
25	100	150	48,6	25,7	102,4	30,80
	200	150	50,7	25,70	132,4	34,60
	400	150	51	25,70	Emballement	
0	100	20	42,9	ND	63,7	ND
	200	20	42,3	ND	65,5	ND
	400	20	38,5	ND	58,9	ND
-25	100	20	32,6	ND	43,4	ND
	200	20	34	ND	47,3	ND
	400	20	30,9	ND	44,4	ND

Tcase (°C)	Tension (V)	freq(kHz)	R_{on0}(mΩ)	Tj0(°C)	R_{onf}(mΩ)	Tjf(°C)
-40	100	20	28,2	ND	35,6	ND
-50	100	20	27,5	ND	32,8	ND
	200	20	28,3	ND	35,6	ND
	400	20	25,1	ND	33,9	ND

Comme notre objectif est de mettre en évidence qualitativement le rôle des différents paramètres sur la résistance dynamique à l'état passant R_{on_dyn}, y compris celui de la température, les résultats obtenus seront présentés par la suite en utilisant une résistance dynamique à l'état passant normalisée, c'est-à-dire correspondant au rapport entre la résistance dynamique à l'état passant et sa valeur initiale, notée R_{on0}.

a) Influence de la température

A titre d'illustration, nous pouvons observer sur la figure III.13 l'effet de la température ambiante sur l'évolution de la résistance normalisée à l'état passant (R_{on_dyn}/R_{on0}) pour les conditions de test suivantes : Vdc = 400V, Freq = 20kHZ, η = 50%, $T_{ambiante}$ = [-50°C, -25°C, 0°C, 25°C, 50°C, 75°C, 100°C]. Nous pouvons remarquer que la résistance R_{on_dyn} augmente assez rapidement pour atteindre 80 à 90% de sa valeur de saturation au bout d'une seconde. Le piégeage est un mécanisme dépendant de la température. Les résultats montrent que la variation relative de résistance est d'autant plus importante que la température est élevée. Pour des températures au-delà de 75°C, le R_{on_dyn} double quasiment de valeur. La tendance observée est conforme avec la théorie.

Dans la figure III.14 nous pouvons observer les effets de la température sur la valeur de la résistance R_{on0} au début de l'essai (t = 0 s) et sur la résistance finale R_{onf} à la fin du test (t = 60 s). Comme prévu, la différence entre R_{on0} et R_{onf} augmente avec la température ambiante.

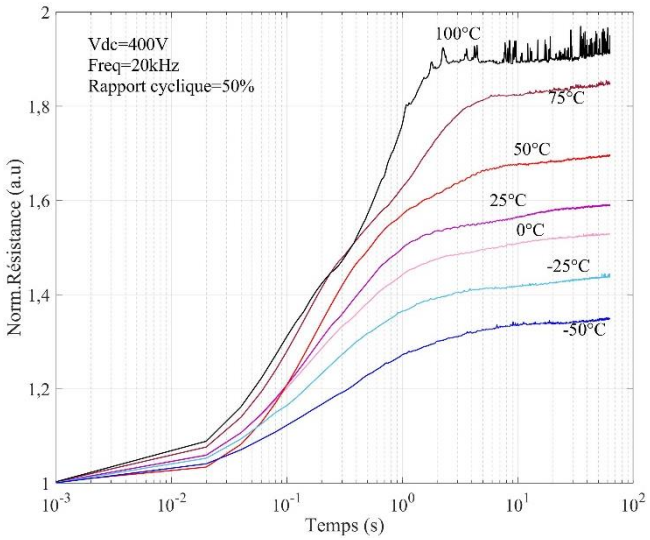


Figure III. 14: Evolution de R_{on_dyn} en fonction de la température [-50°C, 0°C, 50°C, 75°C, 100°C] pour : Vdc = 400V, Freq = 20kHz, η = 50%

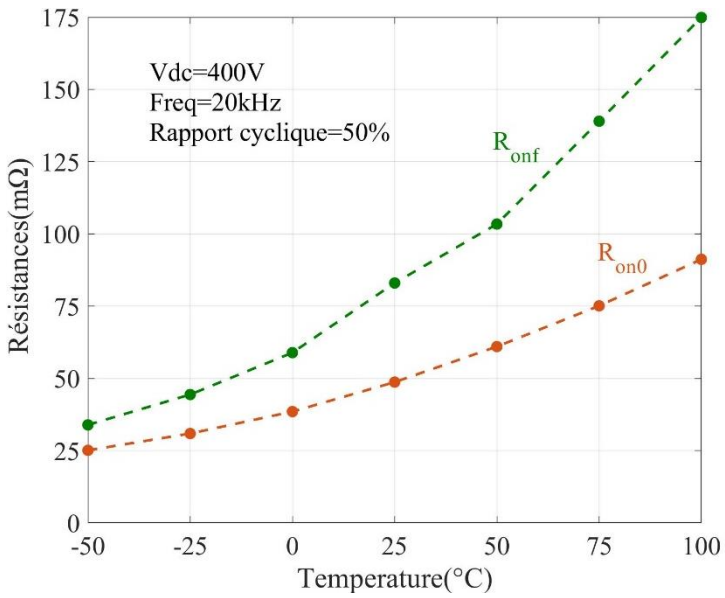


Figure III. 15: Evolution de R_{on0} et R_{onf} en fonction de la température [-50 à 100°C] pour : Vdc = 400V, Freq = 20kHz, η = 50%

b) Influence de la fréquence de commutation

Comme la durée du test est toujours identique quelles que soient les conditions de test choisies (une minute), changer la fréquence de commutation signifie modifier le nombre de cycles de commutation pendant le test mais aussi la durée de l'état bloqué. Ainsi, l'augmentation de la fréquence de commutation accroit le nombre d'états transitoires entre les états passants (ON) et bloqués (OFF), ce qui a pour conséquence d'influencer la résistance dynamique Drain-Source [Hwa13]. Néanmoins, la durée de chaque état bloqué est réduite avec un effet attendu contraire sur le piégeage. Ces deux effets ont donc un impact en sens contraire sur l'évolution du R_{on_dyn} et nécessitent de connaître séparément le poids de chaque effet séparément.

La figure III.15 montre l'influence de la fréquence de commutation sur l'évolution de la résistance dynamique à l'état passant normalisée pour les conditions de test suivantes : $T_{ambiante}$ = 25°C, Vdc = 100V, η = 50%, Freq = [20kHz, 100kHz, 150kHz]. Comme nous pouvons le constater, plus la fréquence de commutation est élevée, plus le taux de piégeage augmente avec un effet d'autant plus important sur la résistance R_{on_dyn}. À la lumière de ces résultats, il semblerait que le piégeage soit plus influencé par le nombre de transitoires que par la durée de l'état bloqué. La figure III.16 présente un autre exemple de l'évolution de la résistance dynamique pour les mêmes conditions hormis la tension Vdc qui vaut ici 200V. Les mêmes observations peuvent en être tirées.

Les résultats obtenus dans ces deux figures montrent également que les constantes de temps des phénomènes de capture sont d'autant plus petites que la fréquence est élevée.

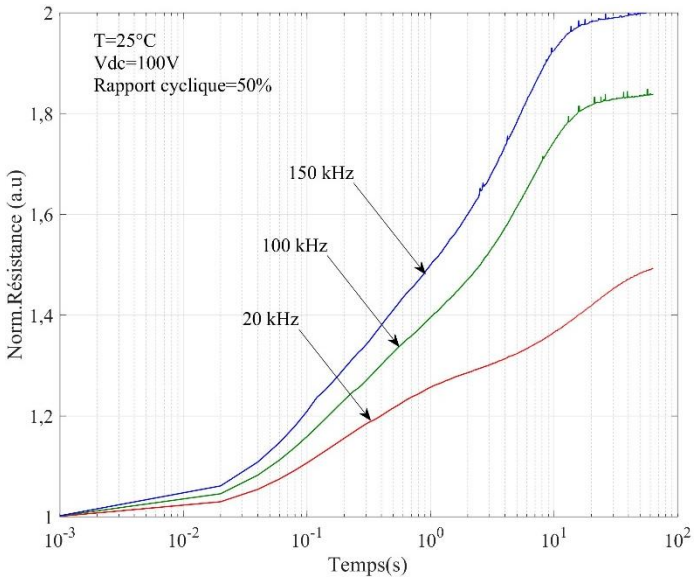


Figure III. 16: Courbes d'évolution de la résistance R_{on_dyn} en fonction de la fréquence de commutation *[20kHz, 100kHz, 150kHz] pour : $T_{ambiante}$ = 25°C, Vdc = 100V, η = 50%*

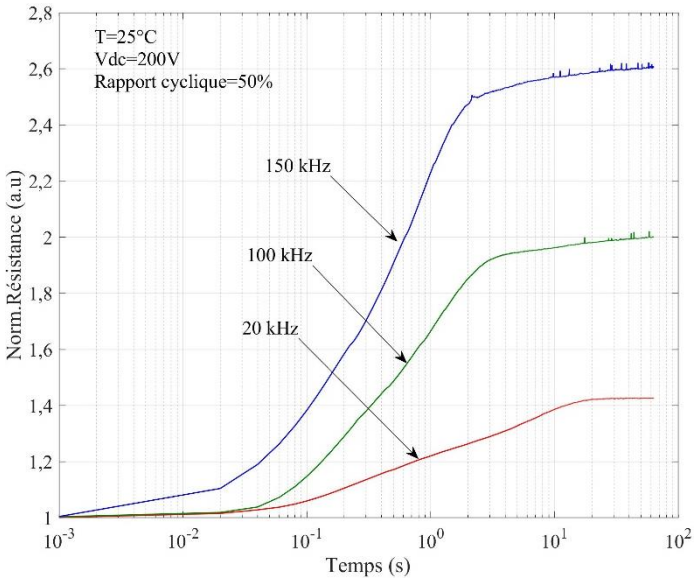


Figure III. 17: Courbes d'évolution de R_{on_dyn} en fonction de la fréquence de commutation [20kHz, 100kHz, 150*kHz] pour : $T_{ambiante}$ = 25°C, Vdc = 200V, η = 50%*

c) Influence de la tension Vdc au blocage

L'augmentation de la tension Vdc au blocage provoque la diminution des constantes de temps des courbes de la résistance dynamique R_{on_dyn} et l'augmentation du taux de piégeage comme l'illustrent les relevés présentés en figure III.17 pour les conditions de test suivantes : $T_{ambiante}$ = -50°C, Freq = 20kHz, η = 50%, Vdc = [100V, 200V, 400V].

La résistance dynamique est l'image de la densité instantanée des électrons dans le canal. En première approximation, les mécanismes de piégeage s'effectuent à l'état bloqué et sont théoriquement plus importants lorqsue la tension bloquée est élevée. En augmentant la tension Vdc au blocage, une densité plus élevée d'électrons piégés réduira la concentration de charges dans le canal et augmentera la résistance dynamique R_{on_dyn} comme on peut le voir en figure III.17.

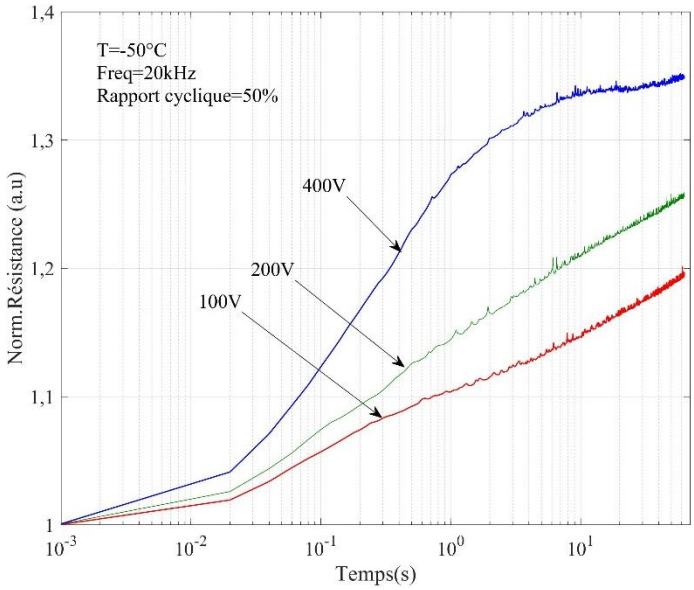


Figure III. 18: Evolution de la résistance R_{on_dyn} en fonction de la tension *Vdc au blocage pour : $T_{ambiante}$ = -50°C,* Freq = 20kHz, η = 50%, Vdc = [100V, 200V, 400V]

d) Cas destructifs

Lors des tests, nous avons rencontré quelques cas d'emballement. La résistance dynamique R_{on_dyn} tend vers l'infini, ce qui conduit à la destruction du composant. Il y a deux causes à l'origine de cet emballement, soit c'est un emballement thermique, le composant s'échauffe rapidement et fortement, soit c'est une coupure du canal, entrainant une discontinuité du gaz 2D. En effet, le taux de piégeage varie d'un test à un autre selon les conditions de commutation. Sous des conditions sévères, les charges se piègent beaucoup plus rapidement et elles n'arrivent pas à se dé-piéger de la même vitesse du piégeage, une augmentation brusque de la résistance dynamique se produit donc. Ce phénomène peut être accompagné d'une augmentation de la température de jonction du composant.

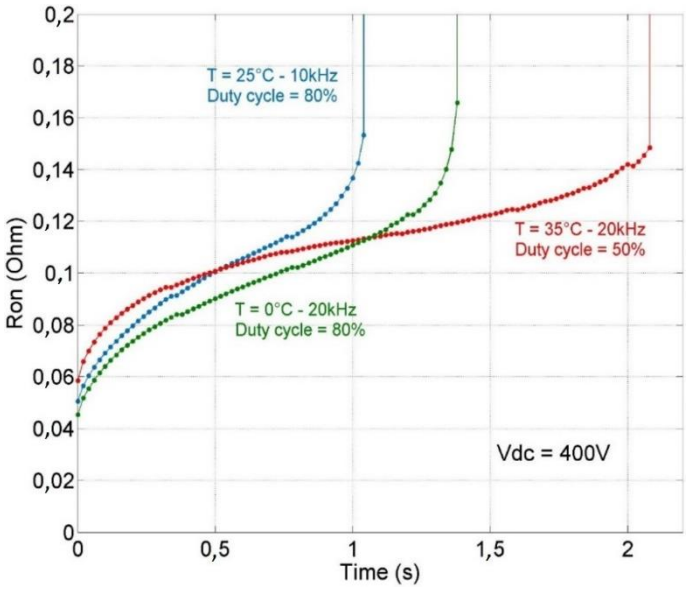


Figure III. 19: Courbes de R_{on_dyn} dans des cas destructifs

III.1.4 Tests de commutations cycliques sur les composants CEA

III.1.4.1 Principe et étude expérimentale

Les composants CEA testés sont des composants Normally-off avec les caractéristiques suivantes 10A-600V, les caractéristiques du composant étant détaillées dans le chapitre II § II.3.

Le banc de test MLI et la méthodologie de test sont identiques à ce qui a été présenté précédemment pour les composants GaNSystems, avec des cycles de commutations dont la durée est d'une minute. Pour ces composants nous avons cherché à connaître les effets d'un certain nombre de paramètres sur l'évolution dynamique de la résistance R_{on_dyn} :

- la température ;
- le courant drain I_{DS} ;
- le taux de variation de la tension dV/dt durant les commutations ;
- l'effet d'un maintien d'un état bloqué au préalable des tests de commutations cycliques.

Concernant l'étude du dV/dt : comme évoqué plus haut, il est bien connu que le niveau de la tension et la durée de son maintien constituent le stress électrique menant au phénomène de la résistance dynamique à l'état passant. Cependant, nous avons cherché à savoir si, au moment du blocage de la tension, la vitesse de variation de la tension drain $(dV_{DS}/dt)_{turn-off}$ avait une influence ou pas. En effet, nous pourrions imaginer que l'excitation des centres piégeurs et les constantes de temps associées pourraient être influencées par la vitesse de montée de cette tension.

Concernant le maintien de l'état bloqué : pour les applications automobiles, il existe certaines situations pour lesquelles nous pourrions nous attendre à un impact important sur le R_{on_dyn}. C'est le cas par exemple pour toute situation où le véhicule est arrêté en mode « drive », pied sur le frein (arrêt à un feu par exemple). Dans ces situations, les composants peuvent être dans un état bloqué durant plusieurs minutes avant de reprendre des cycles de commutations. Dans la suite, les tests où ce « maintien » est appliqué sont dénommés « tests statiques », par opposition aux tests sans maintien dits « tests normaux ». La durée choisie de maintien pour ces tests est de 10 minutes et le niveau de tension bloquée pendant cette période est de 400V, sachant que les composants ont des tenues en tension de 650V. La figure III.19 montre schématiquement les types de tests « normaux » et « statiques ».

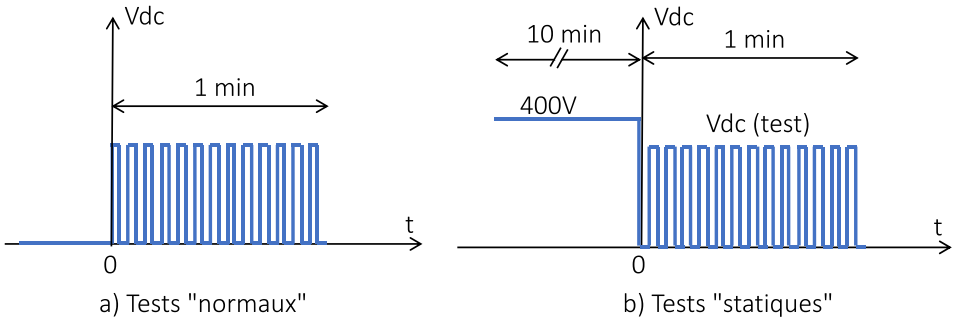
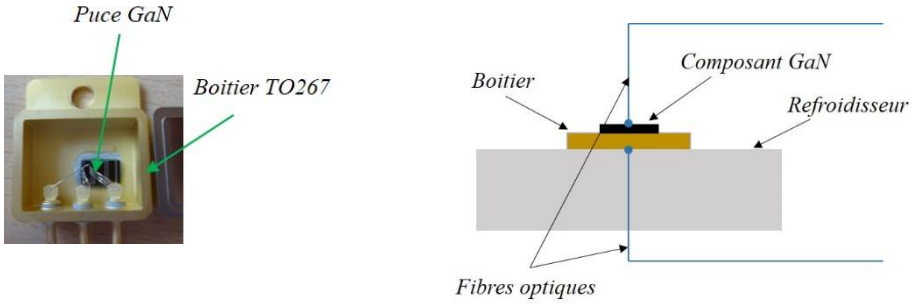


Figure III. 20: Chronogrammes des tests a) normaux, b) statiques

Pour les tests, la tension de grille (V_{GS}) a été réglée à -3V pour l'état bloqué et à +6V pour l'état passant.

Vu l'accès facile à la surface de la puce, des mesures de température de jonction à l'aide d'un contact direct ont été réalisées en utilisant des capteurs de température à fibre optique isolés afin d'éviter toute

perturbation électromagnétique (Cf. Figure III.20). Deux mesures de températures sont faites : une mesure de température de jonction (Tj) et une autre pour le boitier (Tcase).



a) *Composant sous test* b) *Position des fibres optiques*

Figure III. 21: Composant CEA et position des fibres optiques sur le composant

Comme pour les tests précédents, pour retrouver des conditions initiales identiques au début de chaque test, en termes de charges piégées, une période de repos entre deux tests a été fixée à 5 minutes.

La figure III.21 montre un chronogramme schématique pour illustrer la méthodologie de mesure. Comme indiqué ci-dessus, la durée totale d'un test est d'une minute. Comme dans le cas des essais précédents (Cf. Chapitre III § III.1.3), la fréquence est réduite à 20kHz pour permettre la mesure de la résistance R_{on_dyn} sur 20 cycles.

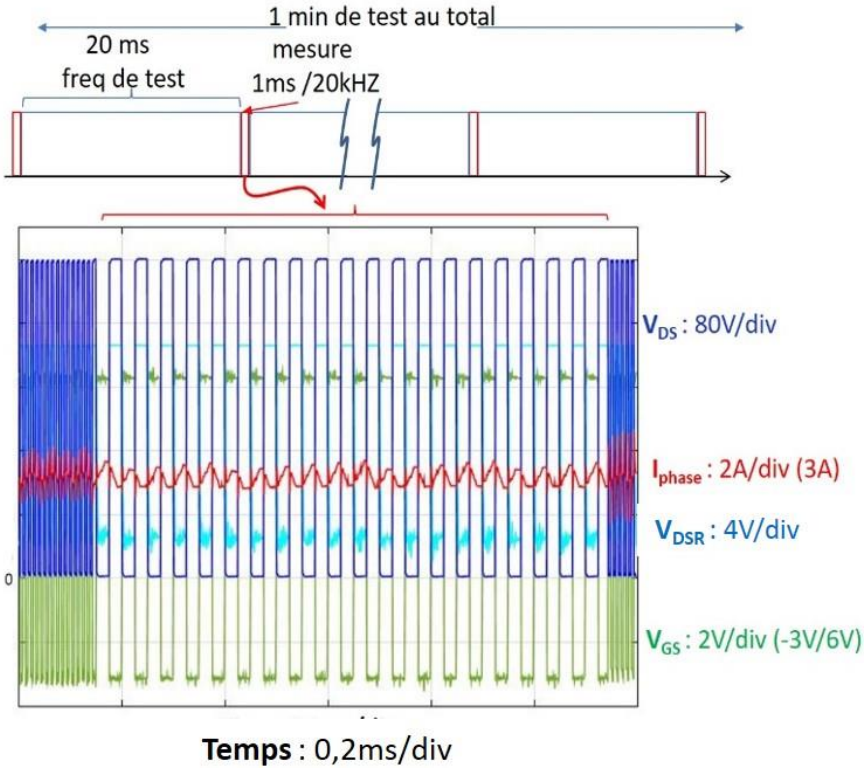


Figure III. 22: Méthodologie de test

III.1.4.2 Résultats expérimentaux

Les différents essais réalisés sont résumés dans le tableau III.3 ci-dessous. Les quatre premières colonnes donnent les conditions de test utilisées. Les essais « statiques » sont indiqués dans la colonne « fréquence ». Pour chaque test, les valeurs de R_{on_dyn} initiale (t=0) et finale (t=1min) sont indiquées. Pour l'ensemble de ces tests, le rapport cyclique a été fixé à 50%. De même, les températures initiales et finales de jonctions sont indiquées dans le tableau. Ici encore, pour les tests en température négatives, le capteur à fibre optique fournissant la valeur de température de semelle (Tcase) n'a malheureusement pas pu fonctionner correctement, probablement à cause du givre s'insérant au niveau du contact entre l'extrémité du capteur et la surface à mesurer. Lorsque le test s'effectue «normalement» jusqu'au bout, la colonne « durée du test » indique une minute. Dans le cas contraire, la case est colorée et indique la durée au bout de laquelle la résistance ou la température ont atteint les valeurs seuils de protection pour lesquelles le test a été stoppé, ce qui correspond à un début d'emballement thermique. Les valeurs seuils sont alors les valeurs arbitrairement fixées pour sauvegarder le composant, la valeur seuil de la résistance R_{on_dyn} est de 1,5Ω et celle de la température est de 210°C.

Tableau III.3 : Essais réalisés sur le composant GS66508P avec un rapport cyclique de 50%

Courant (A)	Tension Vdc (V)	Température case (°C)	fréquence (kHz)	Rdson initiale(Ω)	Rdson finale(Ω)	Tj initiale(°C)	Tj finale(°C)	durée du test
3	400	25	20	0,456	0,606	26	47	1min
			100	0,551	0,873	26	102	1min
			300	0,466	1,36	26	210	3,5s
			20(statique)	0,417	0,66	26	48	1min
		75	20(statique)	0,547	0,934	73	103	1min
			20	0,635	0,891	73	102	1min
			100	0,628	1,21	73	172	1min
		125	20(statique)	0,705	0,95	119	154	1min
			20	0,712	0,94	119	154	1min
			100(statique)	0,702	1,21	119	208	1min
			100	0,756	1,2	119	208	1min
		150	20(statique)	0,866	1,22	142	182	1min
			20	0,883	1,155	142	180	1min
			50	0,907	1,37	142	202	1min
			50(statique)	0,945	1,5	142	186	500ms
		0	20(statique)	0,5	0,72	2	21	1min
			20	0,581	0,735	2	21	1min
			100	0,586	0,989	2	57	1min
			300	0,63	1,5	2	173	33s
			300(statique)	0,629	1,5	2	171	12s
		-50	20	0,677	1,33	?	?	1min
			100	0,904	1,5	?	?	200ms
			20(statique)	0,696	1,38	?	?	1min
3	200	25	20(statique)	0,553	0,626	26	38	1min
	200		20	0,83	0,603	26	38	1min
	100		20(statique)	0,472	0,496	26	34	1min
	100		20	0,934	0,49	26	34	1min
5	400		20	0,766	1,258	26	102	1min
	400		20(statique)	0,7	1,235	26	102	1min
7	400		20	0,935	1,5	26	193	23s

La figure III.22 présente un exemple de l'évolution de la résistance R_{on_dyn} et de la mesure des températures du boitier et de jonction pendant le test sous les conditions suivantes : $T_{ambiante}$=25°C, I_{DS}=3A, Vdc=400V et Freq=20kHz.

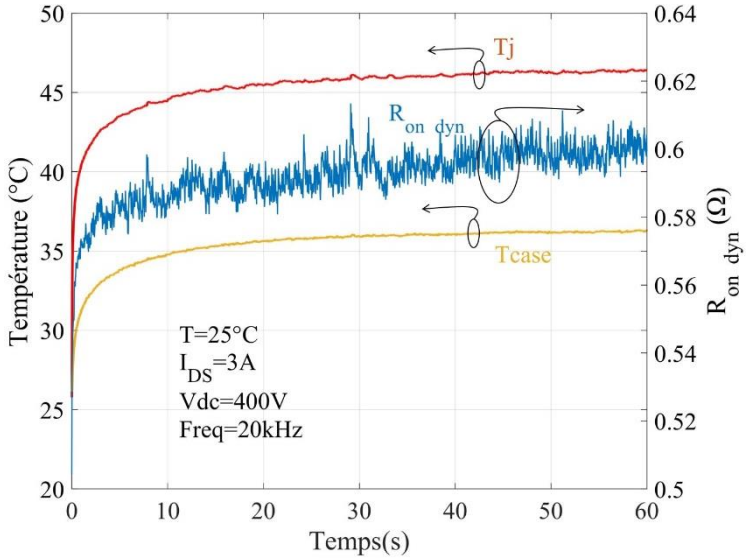


Figure III. 23: Evolution de la R_{on_dyn}, de la température du boitier T_{case} et de la température de jonction T_j durant le test : Vdc =400V, Freq = 20kHz, $T_{ambiante}$ = 25°C, I_{DS}=3A.

a) Tests « statiques » et « normaux »

Comme le montre le schéma de la figure III.19, la différence entre ces deux types de test est le pré-stress en tension que subit le composant pendant une durée de 10 minutes sous 400V avant le test de cycles de commutations pour les tests dits « statiques ». Ainsi, nous devrions avoir un état de piégeage plus important à l'instant initial des cycles de commutations pour ces derniers et donc des valeurs relatives de R_{on_dyn} plus importantes.

La figure III.23 montre une comparaison entre l'évolution de la résistance R_{on_dyn} normalisée pendant un test "normal" et pendant un test "statique". Les conditions d'essai choisies sont T = 75°C, I_{DS} = 3A, Vdc = 400V et Freq = 20 kHz. Pour pouvoir comparer l'effet du test "statique", il a été trouvé plus pratique de présenter, dans ce qui suit, les résultats en utilisant une résistance R_{on_dyn} normalisée (rapport entre R_{on_dyn} et la valeur initiale R_{on0}).

Comme attendu, le taux de piégeage du test "statique" à t = 0s est supérieur à celui du test "normal". Au début du test, la différence entre la résistance R_{on_dyn} normalisée dans le test statique avec celle du test normal est plus élevée, mais cette différence diminue tout au long du test. Cela est probablement dû à la saturation progressive des centres "piégeurs" réduisant petit à petit le taux de piégeage.

À titre d'illustration, la figure III.24 montre les mêmes évolutions que celle de la figure III.23 pour des valeurs non normalisées de la R_{on_dyn}. Nous remarquons que la valeur initiale R_{on0} du test "statique" est plus élevée que celle du test normal, ce qui confirmerait l'effet du pré-stress en tension sur le piégeage. Cependant, cela n'a pas toujours été confirmé pour d'autres conditions de test, comme le montrent les résultats du tableau III.3. L'instabilité des caractéristiques est telle qu'il est difficile de proposer des hypothèses ou des explications sur ces observations contradictoires.

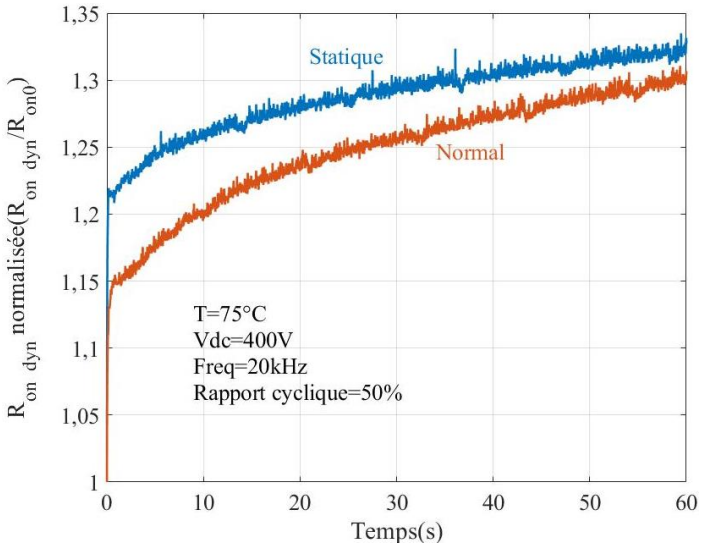


Figure III. 24: Comparaison entre l'évolution de R_{on_dyn} normalisée pendant un test normal et un test statique

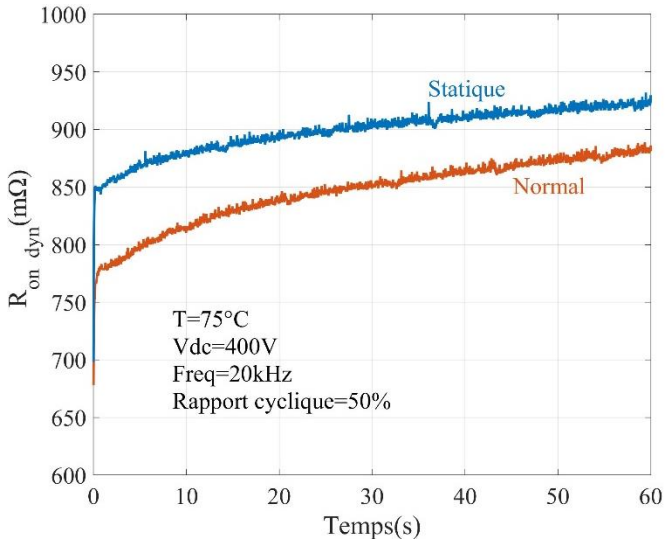


Figure III. 25: Comparaison entre l'évolution de la résistance R_{on_dyn} non normalisée durant un test normal et un test statique

b) Effet de la température

L'effet de la température sur les valeurs initiales (t = 0s) et finales (t = 1min) de la résistance R_{on_dyn} pour ces composants est montré en figure III.25, pour les conditions d'essai : I_{DS} = 3A, Vdc = 400V et Freq = 20kHz. Si la partie des courbes au-dessus de 25°C est conforme à ce qui est attendu, les résultats obtenus pour des températures inférieures l'est moins car il est attendu une dépendance croissante de R_{on_dyn} avec la température. Cette observation a été reproduite également pour d'autres conditions (Vdc = 400V, Freq = 100kHz, I_{DS}=3A), comme on peut le voir en figure III.26. La question concerne essentiellement les valeurs initiales (R_{on0}) car celles finales (R_{onf}) sont bien sûr liées aux premières.

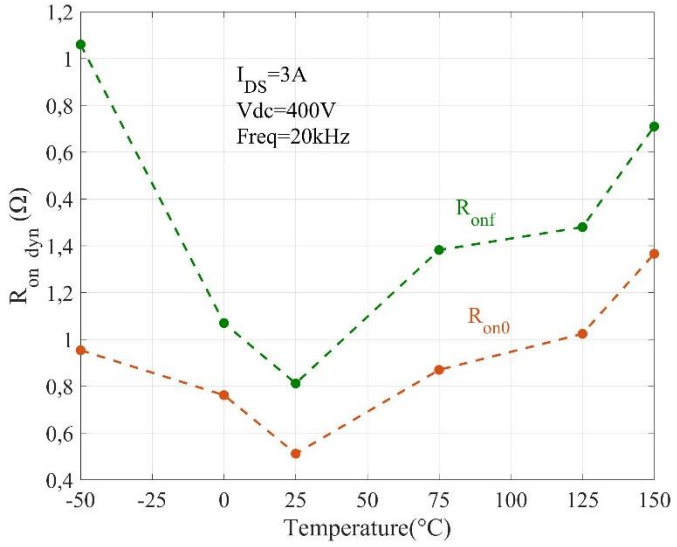


Figure III. 26: Evolution de R_{on0} et R_{onf} en fonction de la température ambiante *[-50 à 150°C] pour : Vdc = 400V, Freq = 20kHz, I_{DS}= 3A*

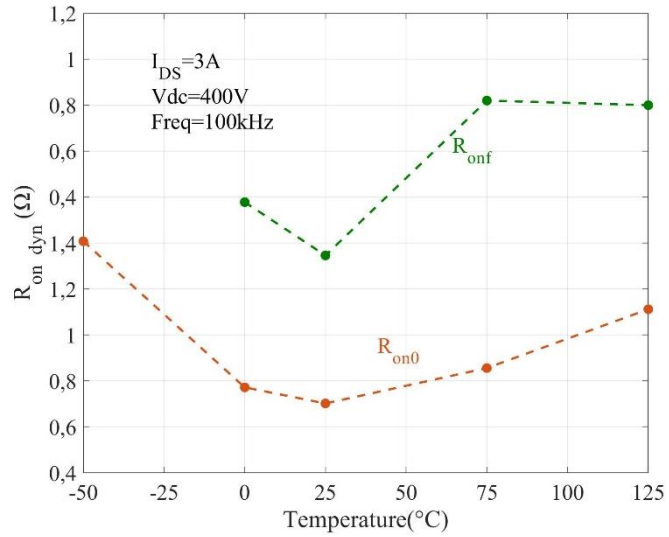


Figure III. 27: Evolution de R_{on0} et R_{onf} en fonction de la température ambiante *[-50 à 125°C] pour : Vdc = 400V, Freq = 100kHz, I_{DS}=3A*

c) Effet du courant

L'effet du courant n'a pu être investigué que pour une fréquence de commutation relativement basse (20kHz) et une température raisonnable (25°C) afin d'éviter les emballements des résistances R_{on_dyn} observées mais non présentées ici.

L'influence du niveau de courant de drain sur l'évolution de la résistance R_{on_dyn} est présentée en figure III.27. Nous ne présentons qu'une durée de 23s du test parce que la résistance dynamique du test à 7A a atteint les limites de sécurité. La figure III.28 présente l'évolution de la résistance dynamique des tests à 3A et 5A pendant 1 minute.

Les variations sont qualitativement conformes à celles attendues : la résistance dynamique augmente avec l'augmentation de la valeur du courant I_{DS}. Pour 3A, nous pouvons observer une variation assez douce vers une saturation de R_{on_dyn} à une valeur 20% supérieure à celle initiale. Pour les courants plus

élevés (5 et 7A), nous pouvons observer un premier maximum avant de reprendre une allure ascendante. Cela est signe de phénomènes liés aux constantes de temps de piégeages, le creux laisserait supposer une inversion temporaire de la balance entre taux de capture et d'émission

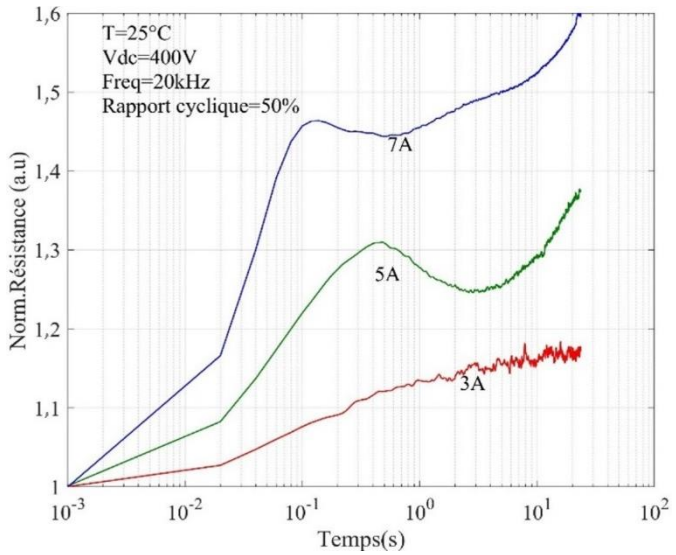


Figure III. 28: Evolution de la résistance *R_{on_dyn} en fonction du courant I_{DS} [3A, 5A, 7A] pour : $T_{ambiante}$ = 25°C, Vdc =400V, Freq = 20kHz pendant 23 secondes*

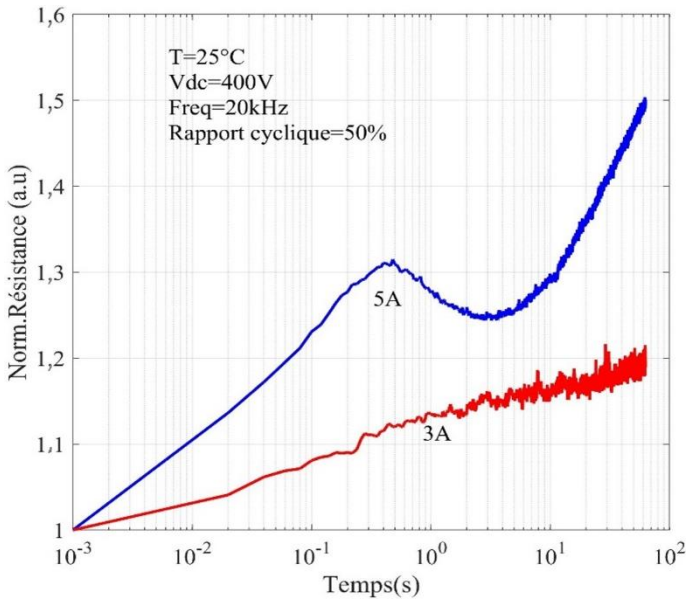


Figure III. 29: Evolution de la résistance *R_{on_dyn} en fonction du courant I_{DS} [3A, 5A] pour : $T_{ambiante}$=25°C, Vdc =400V, Freq = 20kHz* pendant 1 minute

d) Effet du dV/dt

Dans cette partie, l'effet du taux de variation de la tension est investigué. Un complément de circuit (Cf. cercle rouge en figure III.29) est ajouté au niveau du circuit de la commande de la grille pour pouvoir changer facilement le temps de montée sans toucher au Driver ou au banc (Cf. Figure III.29). Cinq valeurs de dV/dt ont été mises en œuvre pour cette étude. Le tableau III.4 résume les changements effectués sur le circuit électronique rajouté et les temps de montée correspondant à chaque configuration.

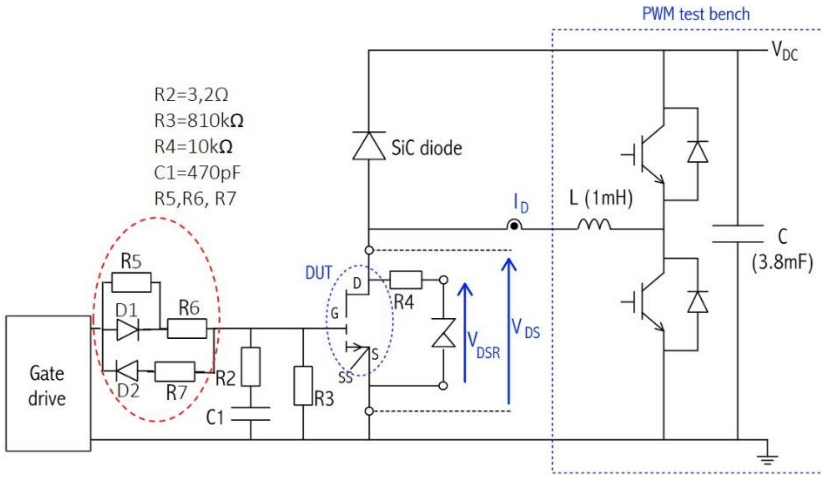
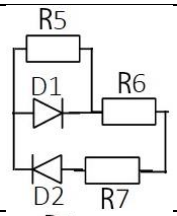
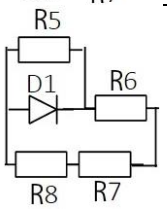
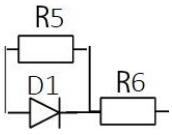


Figure III. 30: Schéma électrique du montage expérimental avec le circuit rajouté pour la commande du composant

Tableau III.4 : Différents schémas du circuit électronique rajouté pour la commande du D.U.T

Schéma	Valeurs	dV/dt
	R5=15Ω ; R6=1Ω ; R7=1Ω;	5,12kV/µs
	R5=100Ω ; R6=15Ω ; R7=56Ω; R8=68Ω	4,1kV/µs
	R5=100Ω ; R6=15Ω	2,98kV/µs
	R5=180Ω ; R6=15Ω	2,22kV/µs
	R5=270Ω ; R6=15Ω	1,64kV/µs

La figure III.30 présente les différentes courbes de Vdc en passant de l'état ON à l'état OFF pour les cinq configurations décrites dans le tableau III.4.

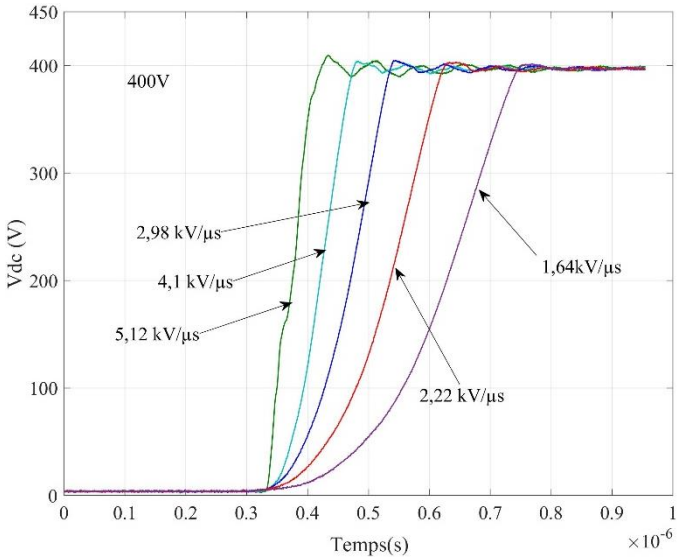


Figure III. 31 : Forme d'onde de la tension *Vdc pour les cinq configurations du dV/dt pour : $T_{ambiante}$ = 25°C, Vdc =400V, Freq = 20kHz, I_{DS}=3A*

La figure III.31 montre l'effet du temps de montée sur l'évolution de la résistance R_{on_dyn} normalisée pendant un test de commutation d'une durée d'une minute. Les conditions de test sont les mêmes pour les cinq configurations ($T_{ambiante}$=25°C, Vdc=400V, Freq=20kHz, I_{DS}=3A). Nous pouvons observer qu'il n'y a pas de corrélation notable entre l'évolution de la résistance R_{on_dyn} et le taux dV/dt. La vitesse d'augmentation de la tension lors de la commutation d'ouverture ne semble pas avoir d'effet particulier sur le piégeage qui se déroulera durant l'état statique bloqué correspondant.

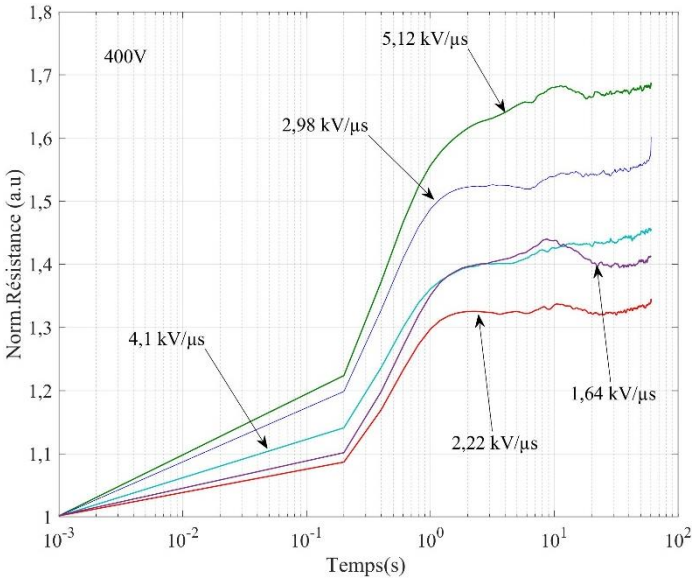


Figure III. 32: Evolution de la résistance *R_{on_dyn}* en fonction du temps d*u dV/*dt [5,12 kV/µs, 4,1 kV/µs, 2,98 kV/µs, 2,22 kV/µs, 1,64 kV/µs] *pour : $T_{ambiante}$ = 25°C, Vdc =400V, Freq = 20kHz*

III.2 Modélisation de l'évolution de la R_{on_dyn}

La modélisation proposée de l'évolution de la résistance R_{on_dyn} dynamique part de l'hypothèse que cette résistance est modifiée à travers une modulation locale de la densité du canal 2DEG induite elle-même par une variation de charges piégées dans la structure localement, la variation de charges piégées agissant par effet de champ directement sur la densité du 2DEG.

Une seconde hypothèse est de dire que les mécanismes de piégeage se déroulent essentiellement durant les états bloqués sous tension inverse et, a contrario, les mécanismes de dé-piégeage se produisent durant les états statiques passants. Dans ces conditions, nous nous retrouvons avec le scénario schématisé dans la figure III.32 :

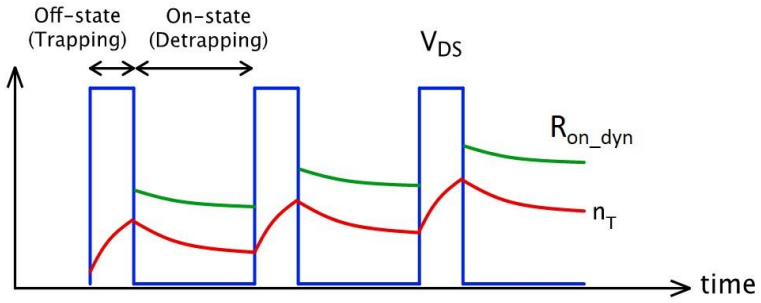


Figure III. 33: Evolution de la concentration des charges piégées durant les cycles de commutation

Physiquement, l'évolution de R_{on_dyn} est reliée à l'évolution des charges piégées, représentée par la grandeur n_T. Par conséquent, la modélisation analytique proposée est faite sur la base d'un modèle simplifié de la résistance R_{on_dyn}, des lois d'émissions et de captures.

On commence par un modèle simple pour un seul type de pièges et puis nous généralisons le modèle.

III.2.1 Modèle simplifié de R_{on_dyn}

De manière très simplifiée, si nous négligeons les résistances d'accès au gaz 2D de drain et de source, nous pouvons écrire que la résistance à l'état passant peut s'écrire comme la somme des contributions du canal (R_{ch}) sous la grille et d'une résistance complémentaire du 2DEG entre grille et drain (R_d) (Cf. Eq.III.9):

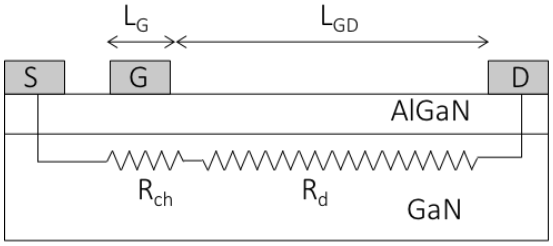


Figure III. 34: Schéma simplifié des résistances dans les composants AlGaN/GaN

$$R_{on_dyn} = R_{ch} + R_d \qquad \textbf{Eq.III.9}$$

avec

$$R_{ch} = \frac{L_G}{W_G}\frac{1}{q\mu n_s} \quad \text{et} \quad R_d = \frac{L_{GD}}{W_G}\frac{1}{q\mu n_s} \qquad \textbf{Eq.III.10 et Eq.III.11}$$

Où L_G est la longueur de la grille, W_G sa profondeur et L_{GD} la distance grille-drain. Nous rappelons que n_S est une densité surfacique. Si l'on fait l'hypothèse simplificatrice que la densité du 2DEG reste uniforme sous le canal et dans l'espace grille-drain, nous pouvons écrire :

$$R_{on_dyn} = \left(\frac{L_G}{W_G} + \frac{L_{GD}}{W_G}\right)\frac{1}{q\mu n_s} = A\frac{1}{q\mu n_s} \qquad \textbf{Eq.III.12}$$

Par ailleurs, si l'on note n_{s0} la densité du 2DEG à l'instant t=0s (considéré à l'équilibre thermique), et R_{on0} la résistance correspondante, nous pouvons écrire la résistance R_{on_dyn} en fonction de R_{on0} :

$$R_{on_dyn} = R_{on0}\frac{n_{s0}}{n_s} \qquad \textbf{Eq.III.13}$$

La densité de charges dans le canal 2DEG (n_s) est influencée par les charges piégées dans les centres profonds. Ainsi, un centre "piégeur" qui capture un électron aura une influence électrostatique telle qu'il aura tendance à réduire localement la densité de charges du canal. Au contraire, un centre piégeur qui émet un électron en s'ionisant positivement aura l'influence inverse en augmentant localement la densité du 2DEG.

Si nous notons N_T la densité totale de centres piégeurs, n_T la densité de centres "piégeurs" neutres et n_{T0} sa valeur à l'équilibre thermodynamique (à t=0s), compte tenu du principe précédent, nous pouvons écrire :

- si $n_T > n_{T0}$ alors $n_s < n_{s0}$, régime de capture prépondérant ;
- si $n_T = n_{T0}$ alors $n_s = n_{s0}$, régime d'équilibre (taux de capture et d'émission égaux) ;
- si $n_T < n_{T0}$ alors $n_s > n_{s0}$, régime d'émission prépondérant.

Finalement, nous pouvons écrire un bilan sur ces concentrations :

$$n_s = n_{s0} - (n_T - n_{T0}) \qquad \textbf{Eq.III.14}$$

Il est donc nécessaire d'avoir une connaissance des densités à l'équilibres n_{s0}, n_{T0} et de l'évolution de n_T si l'on souhaite modéliser l'évolution de R_{on_dyn} à l'aide de l'équation III.13.

III.2.2 Évolution des densités de centres "piégeurs" neutres

De manière générale, les lois d'évolutions de ces densités sont obtenues à l'aide des bilans de générations/recombinaisons [Sch06]:

$$\left(\frac{dn_T}{dt}\right)_{G-R} = (c_n n + e_p)(N_T - n_T) - (c_p p + e_n)n_T \qquad \textbf{Eq.III.15}$$

Dans cette expression, c_n et c_p sont respectivement les coefficients de capture des électrons et des trous, e_n et e_p les taux d'émission d'électrons et de trous, n et p les densités d'électrons et de trous. Les produits $c_n n$ et $c_p p$ sont les taux de capture et représentent respectivement les densités d'électrons et de trous capturés par unité de temps. De même, e_n et e_p représentent les densités de porteurs (électrons et trous) émises par seconde. Ces taux de capture et d'émission ont des dimensions inverses du temps et sont l'inverse de constantes de temps. Pour les électrons, $c_n n = 1/\tau_c$,$e_n = 1/\tau_e$, où τ_c et τ_e sont les constantes de temps de capture et d'émission.

Dans le cas où seuls des électrons sont mis en jeu, la relation III.15 devient :

$$\left(\frac{dn_T}{dt}\right)_{G-R} = \frac{N_T - n_T}{\tau_c} - \frac{n_T}{\tau_e} \qquad \textbf{Eq.III.16}$$

Si nous faisons l'hypothèse simplificatrice de dire que les mécanismes de capture sont dominants durant les états statiques bloqués et que seuls les mécanismes d'émission se produisent lors des états statiques passants, alors :

Etats bloqués (captures) $\quad \frac{dn_T}{dt} = \frac{N_T - n_T}{\tau_c} \quad \Rightarrow \quad n_T = N_T - [N_T - n_T(0)]e^{-t/\tau_c}$ **Eq.III.17**

Etats passants (émissions) $\quad \frac{dn_T}{dt} = -\frac{n_T}{\tau_e} \quad \Rightarrow \quad n_T = n_T(0)\, e^{-t/\tau_e}$ **EqIII.18**

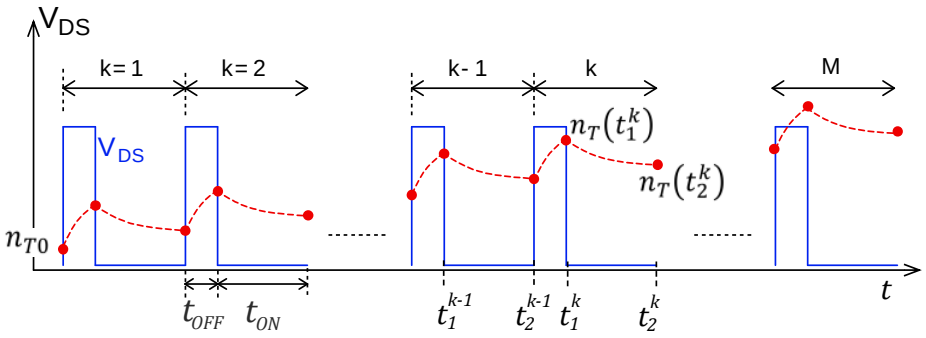


Figure III. 35: Evolution de la densité des charges piégées n_T en fonction des cycles de commutation

Les cycles peuvent donc se diviser en deux phases "ON" et "OFF" pour lesquelles les phénomènes de capture et d'émission se succèdent. Ainsi, les relations III.17 et III.18 s'utilisent de manière entrelacée avec une valeur initiale de n_T qui correspond à la valeur finale de la phase précédente.

Ainsi, si l'on considère la fin du k^{ième} cycle, la densité n_T à l'instant t_2^k est donnée par l'équation III.18 avec la condition initiale $n_T(t_1^k)$, autrement dit :

$$n_T(t_2^k) = n_T(t_1^k)\, e^{-(t_2^k - t_1^k)/\tau_e} = n_T(t_1^k)\, e^{-t_{ON}/\tau_e} \qquad \textbf{Eq.III.19}$$

Par ailleurs, la valeur $n_T(t_1^k)$ est elle-même fournie par l'équation III.17, résultat final de la phase de capture du cycle k, avec une valeur initiale $n_T(t_2^{k-1})$:

$$n_T(t_1^k) = N_T - \left[N_T - n_T(t_2^{k-1})\right]e^{-(t_1^k - t_2^{k-1})/\tau_c} = N_T - \left[N_T - n_T(t_2^{k-1})\right]e^{-t_{OFF}/\tau_c} \qquad \textbf{Eq.III.20}$$

Soit, en combinant ces deux dernières relations :

$$n_T\left(t_2^k\right) = \left[N_T - \left[N_T - n_T\left(t_2^{k-1}\right)\right]e^{-t_{OFF}/\tau_c}\right] e^{-t_{ON}/\tau_e} \qquad \textbf{Eq.III.21}$$

Si l'on simplifie la notation en écrivant : $n_{T,k} = n_T\left(t_2^k\right)$, cette dernière relation peut se réécrire sous la forme d'une suite arithmético-géométrique :

$$n_{T,k} = a\, n_{T,k-1} + b \qquad \textbf{Eq.III.22}$$

Avec : $a = e^{-t_{OFF}/\tau_c}\, e^{-t_{ON}/\tau_e}$ et $b = N_T\left(1 - e^{-t_{OFF}/\tau_c}\right) e^{-t_{ON}/\tau_e}$

Si l'on pose $r = b/(1-a)$, le k^{ième} terme de cette suite peut s'écrire en fonction du premier :

$$n_{T,k} = a^k(n_{T0} - r) + r \qquad \textbf{Eq.III.23}$$

Cette expression nous donne donc les valeurs des concentrations de centres "piégeurs" neutres en fin de chaque cycle k en fonction de la valeur initiale à l'équilibre.

III.2.3 Estimation de la valeur initiale à l'équilibre

Nous pouvons raisonnablement penser que cette valeur est une fraction de la densité totale de centres "piégeurs" :

$$n_{T0} = n_T(0) = \alpha\, N_T \qquad \textbf{Eq.III.24}$$

A l'instant initial (t=0s), si nous faisons l'hypothèse (très simplificatrice) que, sans stress préalable, les centres sont tous ionisés, soit $\alpha = 0$, soit $n_{T0} = 0$.

III.2.4 Estimation de la résistance R_{on_dyn}

Dans les limites des hypothèses formulées ci-dessus, l'évolution de la résistance R_{on_dyn} peut alors être exprimée en combinant les relations III.13, III.14, III.23 et III.24 et sa valeur pour le k^{ième} cycle est:

$$R_{on_dyn,k} = R_{on0}\frac{n_{s0}}{n_{s0} - n_{T,k}} = R_{on0}\frac{n_{s0}}{n_{s0} - r(1-a^k)} \qquad \textbf{Eq.III.25}$$

Dans le cas où plusieurs constantes de temps d'émission et de capture seraient à prendre en compte, nous pouvons généraliser l'expression ci-dessus en suggérant des centres recombinants avec les constantes de temps correspondantes :

$$R_{on_dyn,k} = R_{on0}\frac{n_{s0}}{n_{s0} - \sum_i n_{T^i,k}} \qquad \textbf{Eq.III.26}$$

Où $n_{T^i,k}$ est la densité de centres neutres de type "i" (avec les constantes de temps $\tau_{e,i}$ et $\tau_{c,i}$) au k^{ième} cycle.

Le modèle exprimé par la relation III.25 ou III.26 nécessite la connaissance d'un certain nombre de paramètres physiques dont :

- la densité de charges du 2DEG à l'équilibre (n_{s0}) ;
- la (ou les) densités de charges totales des pièges (N_T) ;
- les constantes de temps d'émission (τ_e) et de capture (τ_c) ;

Malheureusement, l'identification de ces paramètres requiert des méthodes qui ne sont pas à notre disposition. Cependant, nous pouvons utiliser le fait que, dans certaines conditions, la résistance croît jusqu'à une saturation au bout d'un certain nombre de cycles. Cela est le fait d'un nouvel équilibre retrouvé entre les phénomènes de génération et de recombinaison qui mène à un régime permanent.

Ainsi, le nouveau régime d'équilibre s'exprime par le fait que la densité de pièges neutres se sature : $n_{T,k} = n_{T,k-1}$ pour $k \to \infty$. Si nous insérons cette condition dans l'équation III.22, nous trouvons une première expression pour $n_{T,\infty}$ qui est la densité de pièges neutres à l'équilibre en régime permanent de commutation :

$$n_{T,\infty} = r = b/(1-a) \qquad \textbf{Eq.III.27}$$

Une seconde expression de cette grandeur peut être déterminée en exprimant le fait que le taux net de génération/recombinaison (Cf. Eq.III.16) s'annule :

$$\left(\frac{dn_T}{dt}\right)_{G-R} = \frac{N_T - n_{T,\infty}}{\tau_c} - \frac{n_{T,\infty}}{\tau_e} = 0$$

Soit,

$$n_{T,\infty} = N_T/(1 + \tau_c/\tau_e) \qquad \textbf{Eq.III.28}$$

De manière générale, les constantes de temps d'émission sont très importantes devant celles de capture: $\tau_e \gg \tau_c$, et dans ces conditions $n_{T,\infty} \approx N_T$.

Par ailleurs, la relation III.25 peut être utilisée pour relier la valeur de saturation de la résistance à celle correspondante de la densité de pièges neutres à saturation, c-à-d :

$$R_{on_dyn,\infty} = R_{on0}\frac{n_{s0}}{n_{s0} - n_{T,\infty}} \qquad \textbf{Eq.III.29}$$

Ce qui nous permet d'extraire la densité du 2DEG à l'équilibre thermodynamique (t=0s) en fonction de la densité totale de pièges et des valeurs de résistance initiale et à saturation :

$$n_{s0} = n_{T,\infty}\frac{R_{on_dyn,\infty}}{R_{on_dyn,\infty} - R_{on0}} \approx N_T\frac{R_{on_dyn,\infty}}{R_{on_dyn,\infty} - R_{on0}} \qquad \textbf{Eq.III.30}$$

Ainsi, dans le cas concret du test des conditions [$T_{ambiante}$ = 25°C, Vdc = 100V, Freq=20kHz, η = 50%] nous avons identifié 2 constantes de temps et suivant le principe posé plus haut :

$$n_{T,\infty} = n_{T^1,\infty} + n_{T^2,\infty} \text{ et } N_T = N_{T^1} + N_{T^2}$$

$R_{on,\infty} \approx 84\text{m}\Omega$, $R_{on0} \approx 53\text{m}\Omega$, et le rapport $n_{s0}/N_T \approx 2{,}7$.

Si l'on prend une valeur arbitraire de concentration réaliste de densité 2DEG de $n_{s0} = 4 \times 10^{13}\ cm^{-2}$ alors la densité de pièges (surfacique) serait $N_T = 1{,}5 \times 10^{13}\ cm^{-2}$. Malheureusement, plusieurs solutions sont possibles pour les densités N_{T^1} et N_{T^2}.

Un couple choisi arbitrairement : $N_{T^1} = 1 \times 10^{13}\ cm^{-2}$ et $N_{T^2} = 5 \times 10^{12}\ cm^{-2}$, utilisé avec les constantes de temps de capture extraites du cas test expérimental (voir plus loin figure III.37 et tableau III.5) $\tau_{c1} = 0{,}25\ s$ et $\tau_{c2} = 20\ s$, fournit les résultats présentés dans la figure III.35.

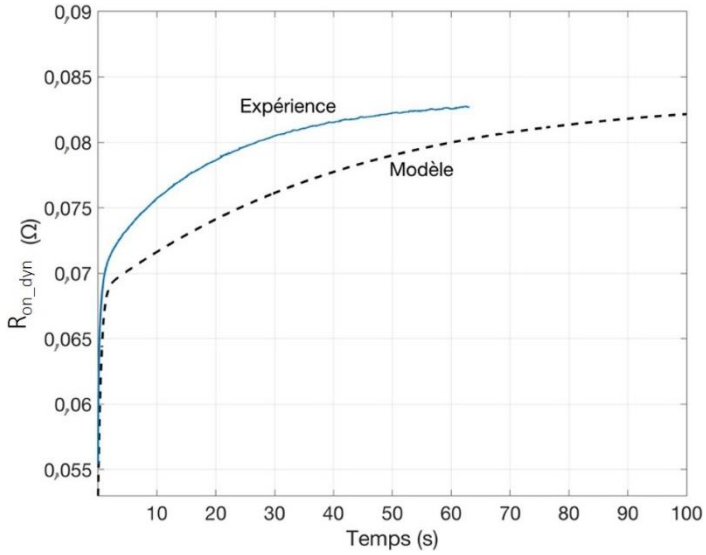


Figure III. 36: Comparaison mesures/modèle de l'évolution dynamique de R_{on_dyn} [$T_{ambiante}$=25°C, Vdc = 100V, Freq=20 kHz, η = 50%]

Il est cependant à noter que les constantes de temps extraites des courbes expérimentales de l'évolution de la résistance R_{on_dyn}, n'ont aucune raison de coïncider avec celles des mécanismes de capture. La figure III.36, représentée en échelle de temps logarithmique, permet de vérifier que les constantes de temps extraites de la mesure de la résistance R_{on_dyn} et celles des mécanismes de capture ne sont pas très éloignées malgré tout.

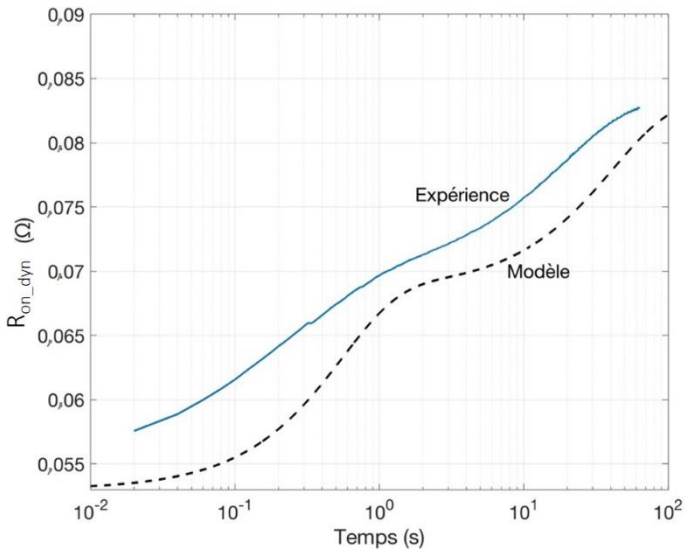


Figure III. 37: Comparaison mesures/modèle de l'évolution dynamique de R_{on_dyn} en échelle de temps logarithmique : [$T_{ambiante}$ = 25°C, Vdc = 100V, Freq=20 kHz, η = 50%]

Pour déterminer les constantes de temps, nous avons utilisé la méthode détaillée dans [Tap10]. La figure III.38 montre la dérivation d(R_{on_dyn})/d(log(t)) en fonction de la fréquence de la commutation [20kHz, 100kHz, 150kHz] pour : $T_{ambiante}$ = 25°C, Vdc = 100V, η = 50%. Le tableau III.5 regroupe les

constantes de temps en fonction des fréquences de la commutation. Les constantes de temps utilisées dans le modèle analytique sont celles du test à 20kHz.

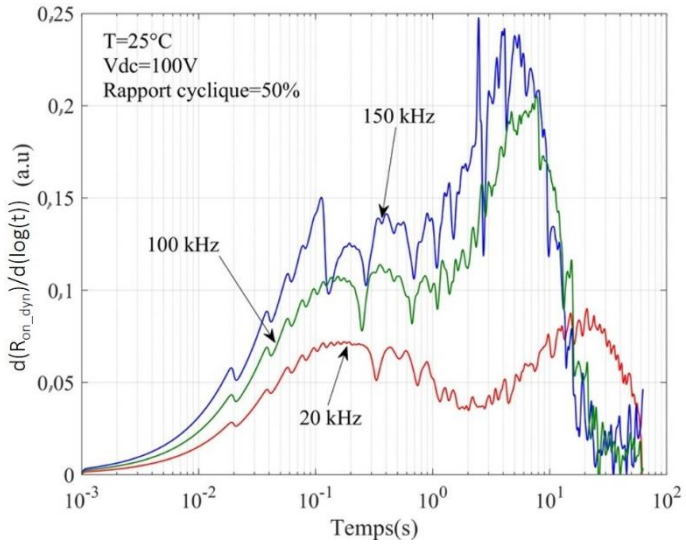


Figure III. 38: Dérivation $d(R_{on_dyn})/d(log(t))$ en fonction de la fréquence de la commutation [20kHz, 100kHz, 150kHz] pour : $T_{ambiante}$ = 25°C, Vdc = 100V, η = 50%

Tableau III.5 : Constante de temps en fonction de la fréquence de la commutation [20kHz, 100kHz, 150kHz] pour : $T_{ambiante}$ = 25°C, Vdc = 100V, η = 50%

Fréquence de commutation (kHz)	*Constante de temps τ_{c1} (s)*	*Constante de temps τ_{c2} (s)*
20	*0,249*	*20,06*
100	*0,2*	*6,28*
150		*4,104*

Il y a 2 constantes de temps (τ_{c1}, τ_{c2}), sauf pour la fréquence de commutation 150kHz pour laquelle nous trouvons une seule constante de temps.

Conclusion

La résistance dynamique R_{on_dyn} des transistors GaN dépend des conditions de fonctionnement, à savoir : la température, la tension Drain-Source au blocage, le courant Drain-Source, la fréquence de découpage, la durée de l'état passant et le courant Drain-Source.

Lors des cycles de commutation, les deux phénomènes, à savoir l'auto-échauffement et le piégeage, peuvent se produire ; par conséquent, une méthode de différenciation de l'effet de chaque phénomène est nécessaire. Dans ce chapitre, nous avons présenté une méthode pour séparer les effets des deux phénomènes en se basant sur un modèle thermique de l'assemblage.

Comme résultat, avec une température décroissante, les constantes de temps augmentent et le taux de piégeage (valeur de R_{on_dyn}) diminue. Que ce soit avec une augmentation de la fréquence ou avec une

augmentation de la tension au blocage de Vdc ou une augmentation du courant de drain, nous observons le même phénomène, à savoir une diminution des constantes de temps de piégeage et une augmentation du taux de piégeage. Cependant, l'évolution de la résistance dynamique en fonction du temps de montée (ou du dV/dt) semble inattendue.

Le modèle analytique permet de confirmer les résultats expérimentaux. Mais ce modèle doit être perfectionné. En effet, nous remarquons qu'il y a une différence entre les résultats expérimentaux et les résultats analytiques ; cela est principalement dû à l'estimation des constantes de temps et à l'absence de l'effet de l'auto-échauffement dans le modèle analytique.

CHAPITRE IV

Effet du vieillissement par cyclage de puissance sur les composants Normally-On Al_2O_3/AlGaN/GaN

Introduction

Les dispositifs d'électronique de puissance HEMTs (High Electron Mobility Transistors) basés sur le GaN (Nitrure de Gallium) ont attiré l'attention de la recherche et de l'industrie au cours des deux dernières décennies. Ces dispositifs ont des propriétés intéressantes [Wu01, Mis02] qui en font d'excellents candidats pour les applications d'électronique de puissance. Parmi ces propriétés, on peut citer la polarisation spontanée et piézoélectrique des semi-conducteurs nitrures III-V [Amb00, Ibb00] qui induit à une forte densité de charges dans le canal 2DEG, une large bande interdite, une faible résistance à l'état passant [Bis13] et un faible coût de fabrication dû à la possibilité de réaliser une hétéro-épitaxie de GaN sur Silicium. Toutes ces propriétés rendent leur utilisation possible dans les environnements sévères à haute température et à forte puissance.

Malgré leurs performances théoriques, ces composants manquent encore de fiabilité. Les transistors GaN souffrent de phénomènes de piégeage et de dé-piégeage des charges pendant les utilisations normales, ce qui peut induire à des instabilités dans les caractéristiques électriques. Ces problèmes réduisent les performances des composants de puissance à base de GaN.

Certains auteurs se sont concentrés sur le développement de solutions technologiques afin d'éliminer ou de réduire l'effet de ces pièges. H. Kim et al. [Kim03] ont démontré l'effet de la passivation SiN sur les effets des pièges neutralisants, Z. H. Liu et al. [Liu11] ont présenté une réduction des effets de piégeage avec une suppression du courant de fuite de grille en utilisant la passivation SiN / Al_2O_3.

Cependant, même si les progrès technologiques ont réussi à éliminer ou à réduire les effets de piège au repos, il n'y a aucune garantie qu'ils n'en généreront pas de nouveaux avec des contraintes dues à leur utilisation ou à un environnement difficile.

L'objectif principal de ce chapitre est de suivre le comportement des transistors de puissance GaN vis-à-vis du vieillissement en "power cycling". En effet, les composants de puissance à base de GaN sont connus pour leur instabilité au niveau de leurs caractéristiques électriques, en particulier la tension de seuil et la résistance à l'état passant à cause des mécanismes de piégeage/dé-piégeage. Les travaux présentés dans ce chapitre tentent de répondre à la question de savoir comment ces pièges sont affectés pendant le vieillissement par les cycles de puissance et, surtout, s'il y a une dégradation irréversible. Dans ce but, des essais de cyclage de puissance ont été effectués en utilisant 80K de variation de température de jonction sur des puces de puissance MOS-HEMT Normally-On Al_2O_3/AlGaN / GaN reportées sur un substrat DCB. Le vieillissement a été régulièrement interrompu afin de caractériser plusieurs indicateurs de vieillissement. De plus, des caractérisations de pièges, basées sur les analyses de mesures de courant transitoire, ont été effectuées au cours du processus de vieillissement. Les résultats montrent que la dégradation irréversible affecte la tension de seuil avec une dérive vers des valeurs négatives pour tous les échantillons testés. Ces dérives ont été principalement attribuées à un piégeage cumulatif avec des cycles de puissance, probablement induits par des électrons chauds, de manière progressive et non réversible.

IV.1 Méthodologie de test

L'objectif de cette étude expérimentale est de reproduire les contraintes thermiques et électriques que ces composants pourraient subir dans une application réelle telle que l'automobile ou l'aéronautique. Les tests de vieillissement accélérés par cyclage actif sont souvent utilisés pour reproduire les contraintes thermiques induites par l'auto-échauffement des composants de puissance [Ber98]. En effet, le principe de ces essais consiste en une injection cyclique de courant de puissance créant des phases d'auto-échauffement et de refroidissement dans le composant.

La figure IV.1 présente le principe du cyclage actif sur deux composants. Durant le test, un courant de puissance est injecté créant de l'effet Joule dans les puces semi-conductrices qui s'auto-échauffent par les pertes générées. En effet, le courant de puissance I_L est injecté pendant une durée spécifique (t_{on}). Cette durée et le niveau du courant de puissance sont ajustés pour que la température du composant atteigne la température maximale T_{jmax} souhaitée. La durée du refroidissement ou "état OFF" (t_{off}) correspond à la durée nécessaire pour que le composant revienne à la température de référence (température minimale) T_{jmin}. $\Delta Tj = T_{jmax} - T_{jmin}$ est la différence de température ajustée et répétée à chaque cycle jusqu'à l'arrêt des tests. Si la durée de refroidissement est suffisante, la valeur T_{jmin} atteint la valeur de référence (T_{ref}) fixée par le système de refroidissement.

En général, la durée de refroidissement (t_{off}) est supérieure à celle de l'échauffement (t_{on}). Pour cette étude expérimentale, deux composants, DUT1 et DUT2, sont cyclés. Un troisième bras de circuit (K3) est ajouté pour ajuster le temps nécessaire pour que la température des DUTs retourne à la température T_{ref} (Cf. Figure IV.1). K1, K2 et K3 représentent les interrupteurs auxiliaires qui se chargent de réaliser les commutations du courant de puissance dans les DUTs qui, eux, restent passants en permanence (Cf. Figure IV.1).

Un faible courant Ict est injecté en permanence pour mesurer la température de jonction pendant le refroidissement en utilisant un paramètre thermosensible (TSEP) [Ave12].

A noter que l'objectif du cyclage est d'étudier le comportement du composant tout au long des cycles de puissance et non de chercher leur durée de vie. Nous suivons l'évolution des paramètres électriques et physiques des composants pendant le vieillissement afin de comprendre comment ces paramètres évoluent et pourquoi ils évoluent de la sorte.

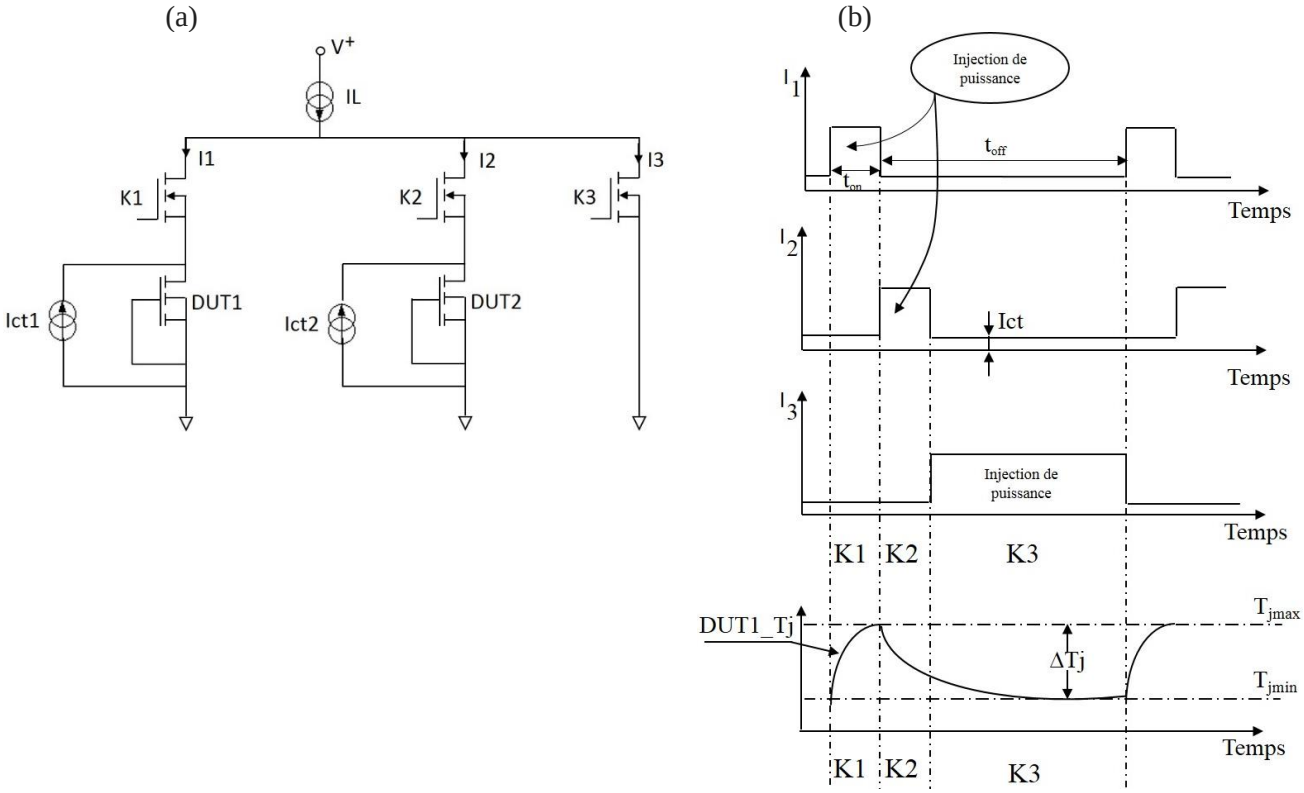


Figure IV. 2: Principe du cyclage thermique. (a) schéma électrique du banc de test, (b) chronogramme des tests

Le cyclage de puissance consiste à imposer des cycles de température ΔTj, la mesure de la température de jonction est donc nécessaire. Les différentes méthodes d'estimation de la température sont détaillées dans le chapitre I § I.7. Pour notre étude, deux méthodes sont utilisées : une mesure indirecte basée sur le paramètre électrique V_{DS}, et une mesure par fibre optique.

IV.2 Mesure de la température de jonction

IV.2.1 Méthode TSEP

Certains paramètres électriques des composants Al_2O_3/AlGaN/GaN MOS-HEMTs montrent une sensibilité vis-à-vis de la température. La chute de tension V_{DS} à faible courant est l'un des paramètres électro-thermosensibles les plus utilisés en électronique de puissance pour la mesure indirecte de la température de jonction.

Ainsi, pour obtenir une mesure indirecte de la température de jonction durant le cyclage il est nécessaire de mesurer la chute de tension V_{DS} directement sur le banc de cyclage, et dans les mêmes conditions que celles de l'étalonnage thermique (sous un courant de faible intensité (Ict)). Cette mesure se fait donc pendant la phase de refroidissement, juste après la coupure du courant de puissance en faisant circuler le courant Ict. Dans le banc de cyclage, la mesure de la chute de tension V_{DS} se fait à 0,2ms après la coupure du courant pour éviter les oscillations de la mesure. En effectuant la mesure sur toute la durée du refroidissement, nous pouvons donc suivre l'évolution de la température de puce mesurée de façon indirecte entre sa valeur maximale et sa valeur minimale. Il faut préalablement procéder à la calibration thermique qui permet de fournir la relation entre la température et la chute de tension V_{DS}.

La tension V_{DS} en fonction de la température Tj obtenue est utilisée pour l'estimation indirecte de la température de jonction lors du cyclage. Cet étalonnage thermique se fait avec une injection d'un faible courant de 500mA dans chaque puce et à une tension V_{GS} constante et égale à 0V (Cf. Figure IV.2). Ce niveau de courant Ict est choisi de telle sorte qu'il soit suffisamment faible pour éviter l'auto-échauffement et assez élevé pour avoir une sensibilité de mesure suffisante.

La figure IV.2 représente les courbes V_{DS}=f(Tj) des deux puces 1 et 2 pour les conditions Ict=500mA et la tension de grille V_{GS}=0V. Les relations déduites à partir des mesures expérimentales pour les deux dispositifs sous test peuvent s'écrire comme suit:

$$V_{DS1} = 3{,}5 \times 10^{-7}\, T_1^2 + 1{,}8 \times 10^{-4}\ T_1 + 0{,}027 \qquad \textbf{Eq.IV.1}$$

$$V_{DS2} = 3{,}4 \times 10^{-7}\, T_2^2 + 1{,}7 \times 10^{-4}\ T_2 + 0{,}024 \qquad \textbf{Eq.IV.2}$$

V_{DS1}, V_{DS2} (en V) sont respectivement les tensions Drain-Source du premier et du second composants, T_1 T_2 (en °C) sont les températures mesurées par les fibres optiques (estimées égales à la température de jonction) respectivement du premier et du second dispositif. Les mesures expérimentales et les courbes de tendances sont présentées en figure IV.2.

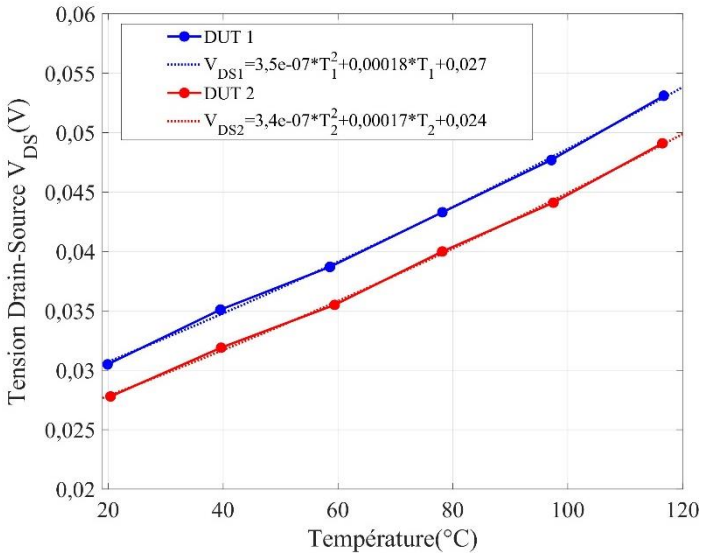


Figure IV. 3: Etalonnages thermiques des deux DUTs

IV.2.2 Mesure de la température par le capteur à fibre optique

L'assemblage des composants Al_2O_3/AlGaN/GaN MOS-HEMTs permet de mettre en place les fibres optiques. La figure IV.3 montre leur mise en place sur les deux puces ainsi que le câblage électrique des composants dans le banc de cyclage.

Le capteur de température possède la même dimension que le diamètre de la fibre optique (100µm) et est en contact direct avec l'un des pads métallisés de la puce (Cf. Chapitre II § II.2.1) qui reste accessible comme on peut le voir sur la figure IV.3. Ceci fournit donc une mesure de température locale contrairement au TSEP qui lui fournit une température moyenne de la surface de la puce.

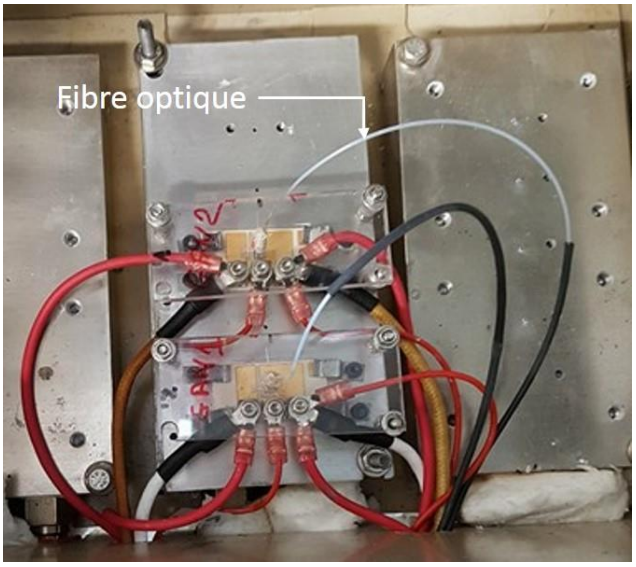


Figure IV. 4 : Emplacement des fibres optiques dans le banc de cyclage

Lors des tests, un shift de la tension de seuil V_{th} est prévu, ce qui risque de mettre en cause les mesures de la température faites en utilisant le TSEP : l'étalonnage ne reste plus valable. La fibre optique donne une mesure localisée de la température, alors que le TSEP est une valeur moyennée sur l'ensemble de la puce. Cette température est nécessairement plus faible que la valeur ponctuelle relevée par la fibre optique aux alentours du centre de la puce. Comme nous le verrons plus loin, la difficulté est liée à la dérive de la tension V_{th} ; c'est pourquoi la mesure de la température à l'aide du capteur à fibre optique est prise comme référence de mesure de température de jonction.

IV.3 Banc de test

Sur le banc de cyclage, les assemblages de la figure IV.3 sont montés sur des refroidisseurs, comme décrit précédemment, et instrumentés afin de suivre en permanence l'évolution de plusieurs paramètres électriques et thermiques (Cf. Figure IV.4 et IV.5). Pour des raisons de sécurité et de protection, certains paramètres sont également utilisés comme alarmes pour arrêter le banc.

L'enregistrement de ces paramètres se fait de manière continue sur un enregistreur numérique (Dewesoft Sirius) avec une fréquence d'échantillonnage de 1MHz. Afin de suivre l'évolution des indicateurs de vieillissement, un point de mesure est prélevé régulièrement tous les 50 cycles. Les différents paramètres électriques et thermiques, enregistrés lors des tests, et l'instrumentation nécessaire sont présentés ci-après.

IV.3.1 Paramètres thermiques et électriques relevés

Les différents paramètres thermiques relevés au cours du cyclage sont :

- Tc : Température de semelle (case) mesurée par des thermocouples de type K de diamètre 1mm. Un thermocouple est placé sous chaque puce en son centre, traversant l'enceinte adiabatique et le refroidisseur (en évitant le circuit fluidique) pour venir au contact avec le substrat du composant.

- Tj : Température de jonction, mesurée par un capteur à fibre optique placé au contact de chaque puce en utilisant l'appareil Coresens opsens (Cf. Chapitre I § I.7.2).

Les différents paramètres électriques relevés au cours du cyclage sont :

- V_{DS} : Chute de tension directe de chaque puce mesurée par l'enregistreur avec un échantillonnage de 1MHz.
- V_{GS} : Tension de grille de chaque puce, qui est maintenue à 0V tout au long du cyclage.
- Ict : Faible courant (500 mA) injecté en continu dans les puces pour effectuer la mesure du TSEP.
- I_L : Courant de puissance délivré par une alimentation externe (Power supply SM70-90), il est mesuré en utilisant un shunt (résistance) de 0,1 Ω (Réf SM100).

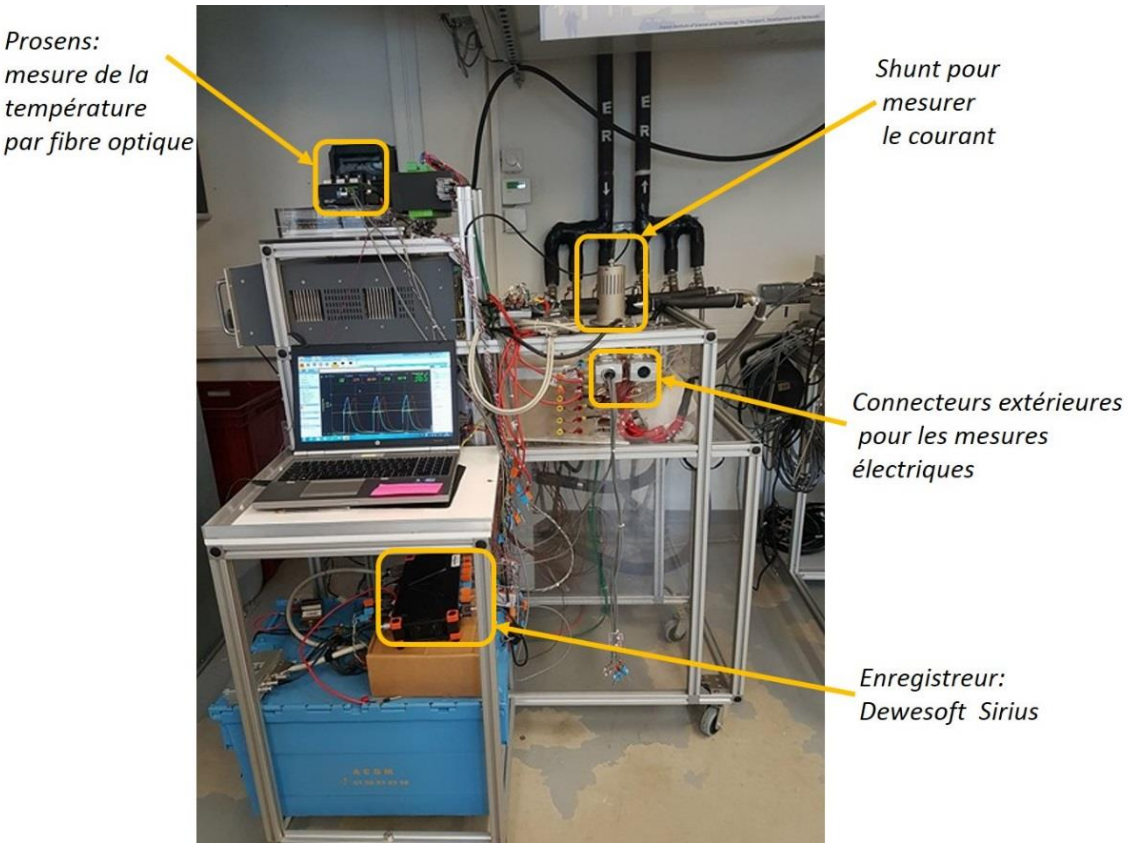


Figure IV. 5: Banc de test de cyclage de puissance

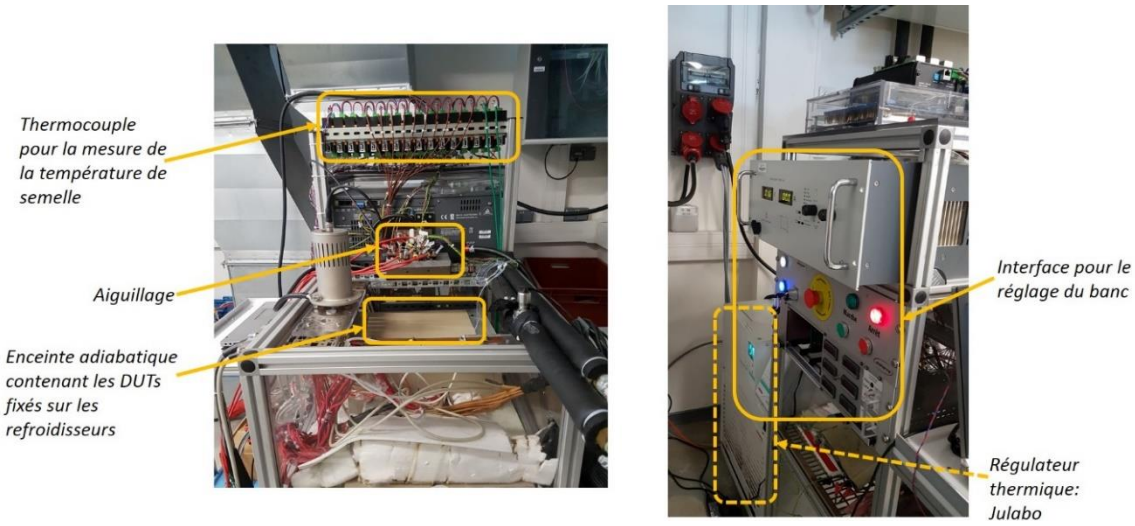


Figure IV. 6: Vue de dessus du banc de test (Gauche), Vue de droite du banc (Droite)

IV.3.2 Conditions des tests de cyclage

La préparation des tests de cyclage actif consiste à déterminer les caractéristiques des cycles de puissance, c'est-à-dire la durée des phases d'échauffement (t_{on}) et de refroidissement (t_{off}) et le courant de puissance (I_L) pour atteindre les conditions de tests recherchées, à savoir ΔTj, T_{jmin} et T_{jmax}.

Pendant le cyclage, les puces sont constamment à l'état passant, ce qui est plus simple pour le maintien du courant d'étalonnage (TSEP) en continu. Le courant de puissance est contrôlé par des interrupteurs auxiliaires, représentés en figure IV.5 (Gauche) par l'aiguillage. Les phases d'échauffement et de refroidissement sont contrôlées par le courant qui est fourni par une alimentation externe (Cf. Figure IV.5 (Droite)). Cette technique de cyclage permet de découpler les contraintes de conduction des contraintes de commutation, facilitant la réalisation des bancs de vieillissement, le suivi des paramètres électriques et thermiques ainsi que l'interprétation des différents résultats.

Des essais de cyclage de puissance ont été effectués pour obtenir la différence de température de jonction (ΔTj) de 80K. Le paramètre thermosensible (TSEP), c'est-à-dire la tension V_{DS}, et la fibre optique sont utilisés pour surveiller la température de jonction.

Les paramètres de réglage, à savoir le courant de puissance I_L et le temps de chauffage t_{on}, sont réglés respectivement à 18A et 1s pour une différence de température de ΔTj = 80K. La température de jonction minimale (T_{jmin}) est réglée à 20°C. La durée de refroidissement du cycle est t_{off} = 5s, elle a été choisie assez longue pour que la température T_{jmin} soit égale à la température du liquide de refroidissement.

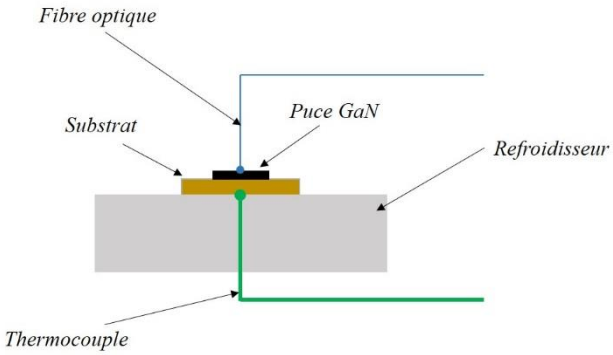


Figure IV. 7: Mesure de la température de jonction avec la fibre optique et mesure de la température de semelle avec le thermocouple

Deux composants ont été cyclés. Ils ont été choisis avec des tensions de seuil V_{th} les plus proches possibles l'une de l'autre pour avoir les mêmes conditions de test. Les deux DUTs ont des tensions seuils V_{th} autour de -3,7V à 20°C. Pour assurer la conduction en permanence, les tensions de grille des deux composants sont maintenues à 0V tout au long des tests de cyclage.

À titre d'illustration, des détails de cycles typiques pour un des deux DUTs sont représentés dans la figure IV.7 où l'on peut observer l'évolution du courant de puissance I_L, de la tension Drain-Source V_{DS} et de la température locale Tj mesurée par fibre optique.

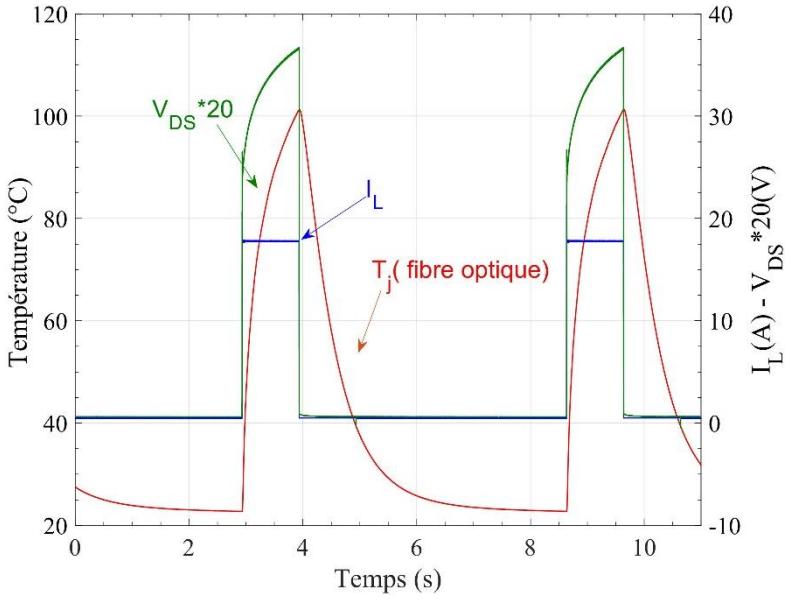


Figure IV. 8: Formes d'onde du courant de puissance I_L, de la tension Drain-Source V_{DS} et de la température de jonction T_j (fibre optique) pendant le cyclage de puissance

Le processus de vieillissement est régulièrement interrompu tous les 500 cycles pour faire les caractérisations électriques. En raison de la dérive de la tension V_{th}, et donc de la résistance R_{on}, la variation de la température de jonction ΔTj dérive également tout au long du vieillissement. La mesure directe de la température par fibre optique prise comme référence permet d'observer cette dérive. Cette dernière entraine une légère baisse de la différence de temperature ΔTj, de l'ordre de 2°C à 3°C à chaque phase de vieillissement, comme nous pouvons le constater dans la figure IV.8.

L'interruption du test pendant une longue période (2 jours), afin de permettre aux composants de retrouver un état d'équilibre vis-à-vis des pièges et procéder aux caractérisations des paramètres indicateurs de vieillissement, permet la récupération d'une petite partie de la différence de température ΔTj mais pas la totalité. Afin de maintenir la contrainte (ΔTj) constante, le courant de puissance I_L est alors légèrement ajusté de quelques milliampères (mA), afin que la différence de température ΔTj retourne à son niveau initial (80K).

Le décalage maximal observé entre le début et la fin d'un groupe de cycles est de 3,6°C (Cf. Figure IV.8), ce qui représente 4,5% de la différence de température ΔTj. Par conséquent, nous pouvons considérer que le ΔTj reste quasi-constant tout au long du test de cyclage.

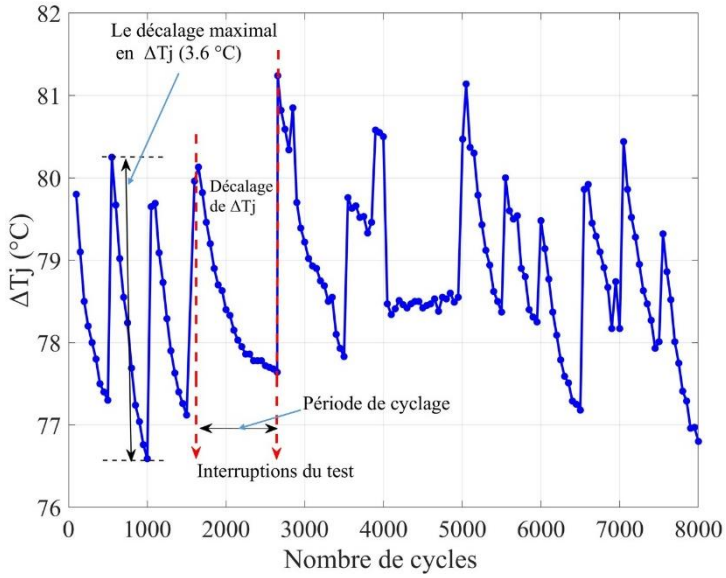


Figure IV. 9: Evolution de la différence de la température de jonction ΔTj pendant les cycles de puissance (mesurée tous les 50 cycles)

Au cours du vieillissement, des dégradations irréversibles des caractéristiques électriques ont été constatées. Comme cela sera détaillé par la suite, afin d'assurer l'irréversibilité des dégradations, la stabilité des caractérisations a été vérifiée après un très long repos.

Pour ce faire, une méthodologie a été développée afin d'effectuer des caractérisations aussi stables que possible. La méthodologie est en partie basée sur le respect du temps de repos, définis par des caractérisations préliminaires, entre deux caractérisations successives. Ensuite, nous nous assurons que les mesures sont reproductibles.

IV.4 Protocole de caractérisation

Les dispositifs testés ont montré une instabilité de leurs caractéristiques électriques. En effet, après toute caractérisation, les phénomènes de piégeage font que le composant nécessite un certain temps de repos pour retrouver ses caractéristiques initiales. Cette durée varie d'un composant à un autre et dépend fortement du type de caractérisation qu'il a subi et notamment des paramètres qui lui ont imposés, comme la température et les conditions de polarisation appliquées. Par exemple, si le composant est soumis à une haute tension pendant une durée relativement longue (Drain-lag), la durée de repos nécessaire peut varier de 30 minutes à une heure. Par contre, pour les caractérisations I_{DS}-V_{DS}

et de tension de seuil (V_{th}), le composant retourne beaucoup plus rapidement à son état de repos. Pour minimiser le temps de caractérisation global, la méthodologie de suivi consiste à classer les caractérisations que l'on doit effectuer selon les temps qui sont nécessaires pour que le composant revienne à son état initial.

Cela consiste à commencer d'abord par les mesures pour lesquelles le composant revient rapidement à son état initial, pour poursuivre par celles qui nécessitent les plus longues durées de récupération. Cette façon de procéder a montré son efficacité pour effectuer des mesures en fonction de la température. Nous avons profité du temps de récupération pour atteindre l'état initial pour modifier le niveau de température pour la caractérisation suivante puisque la stabilisation thermique prend également un certain temps.

Nous procédons à deux types de caractérisations : caractérisations électriques et caractérisations des pièges. Concernant les caractérisations électriques, il s'agit des réseaux de caractéristiques (I_{DS}-V_{DS}), de la tension de seuil (V_{th}), de la transconductance (g_f), de la caractéristique de transfert (I_{DS}-V_{GS}), du courant de fuite ainsi que de la résistance R_{on}. Pour les pièges, il s'agit des caractérisations de gate lag et de drain lag [Faq10, Joh08].

Les caractérisations sont effectuées dans l'ordre suivant : tension V_{th}, I_{DS}-V_{GS}, I_{DS}-V_{DS}, gate-lag et nous terminons avec le drain-lag qui représente le stress le plus sévère sur le composant. Dans ce qui suit, nous détaillons les configurations de chacune des caractérisations.

IV.4.1 Caractérisations électriques

Dans ce paragraphe, nous détaillons les caractérisations électriques effectuées avant, au cours et à la fin du cyclage. Les caractérisations en températures sont faites pour 5 niveaux de température : 20°C ; 40°C ; 60°C ; 80°C et 100°C.

IV.4.1.1 Courbes I_{DS}-V_{GS} et V_{th}

Les caractéristiques de transfert I_{DS}-V_{GS} permettent également de déterminer les valeurs de la tension seuil V_{th} tout au long du vieillissement et en fonction de la température. La tension de seuil V_{th} est la tension V_{GS} pour un courant I_{DS} de 3mA.

A la température 20°C, le composant DUT1 a une valeur de tension de seuil de -3,88 V et le DUT2 de -3,71 V.

Les courbes I_{DS}-V_{GS} sont tracées d'après les paramètres de la configuration indiqués au tableau IV.1. Nous avons choisi 100 mA comme limite du courant Drain-Source I_{DS} pour cette configuration, la tension de grille V_{GS} étant balayée de -6V à -2V avec un pas de 10mV. La figure IV.9 montre le courant I_{DS} en fonction de la tension V_{GS} pour les deux composants à une température de 20°C et à une tension Drain-Source V_{DS} de 100mV. Les valeurs des tensions de seuil V_{th} peuvent être extraites de ces caractéristiques. La figure IV.10 montre les dépendances en température des tensions de seuil V_{th} pour les deux composants testés. Les valeurs de la tension V_{th} diminuent légèrement avec la température pour les deux DUTs.

Tableau IV.1 : Paramètres de la configuration pour le test I_{DS}-V_{GS}

Paramètres du test	Valeurs (Unités)
Tension V_{DS}	100 (mV)
Limite du courant I_{DS}	100 (mA)
Tension V_{GS} initiale	-6 (V)
Tension V_{GS} finale	-2 (V)
Pas de la tension V_{GS}	10 (mV)

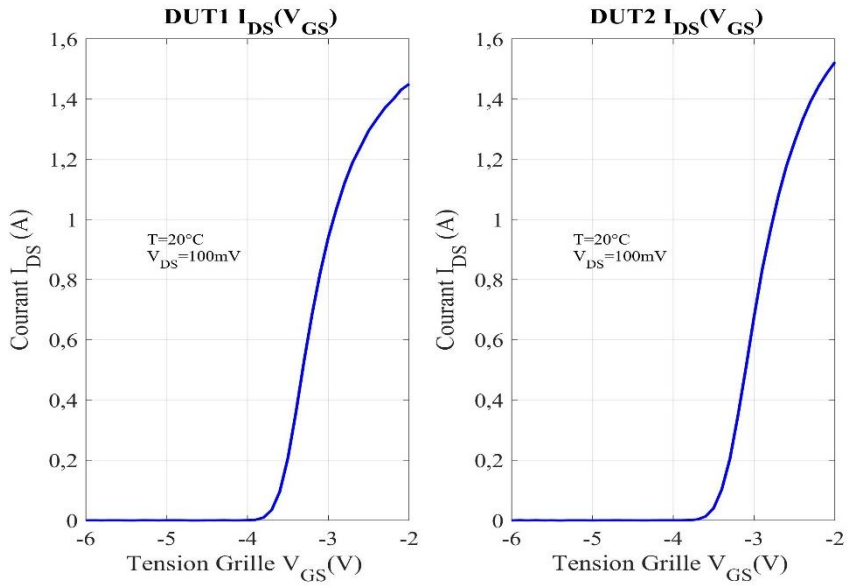


Figure IV. 10: Courant I_{DS} en fonction de la tension grille V_{GS} pour les deux composants à T=20°C

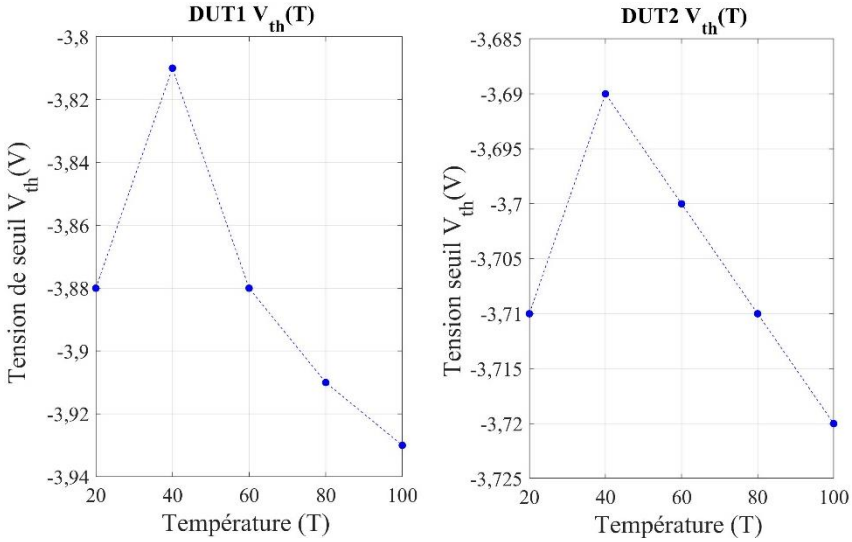


Figure IV. 11: Tension seuil *V_{th} (I_{DS}=3mA)* en fonction de la température pour les deux composants

IV.4.1.2 Transconductances g_f

Nous menons un suivi des transconductances g_f en fonction de la tension V_{GS}, de la température et au cours du vieillissement. Les mesures ont été effectuées pour une tension de drain de 100mV et en balayant la tension de grille de -6V à -2V avec un pas de 100mV (Cf. Tableau IV.2). Nous remarquons

que les deux composants passent à l'état ON pour des valeurs légèrement différentes de la tension de grille (Cf. Figure IV.11). Cela est dû à la différence de la tension de seuil V_{th}.

La figure IV.12 présente l'évolution de la transconductance pour différentes températures. Le maximum diminue avec la température.

Tableau IV.2 : Paramètres de la configuration pour le test I_{DS}-V_{GS} et la transconductance

Paramètres du test	Valeurs (Unités)
Tension V_{DS}	100 (mV)
Limite du courant I_{DS}	2 (A)
Tension V_{GS} initiale	-6 (V)
Tension V_{GS} finale	-2 (V)
Pas de la tension V_{GS}	100 (mV)
Période de l'impulsion	50 (ms)
Largeur de l'impulsion	500 (µs)

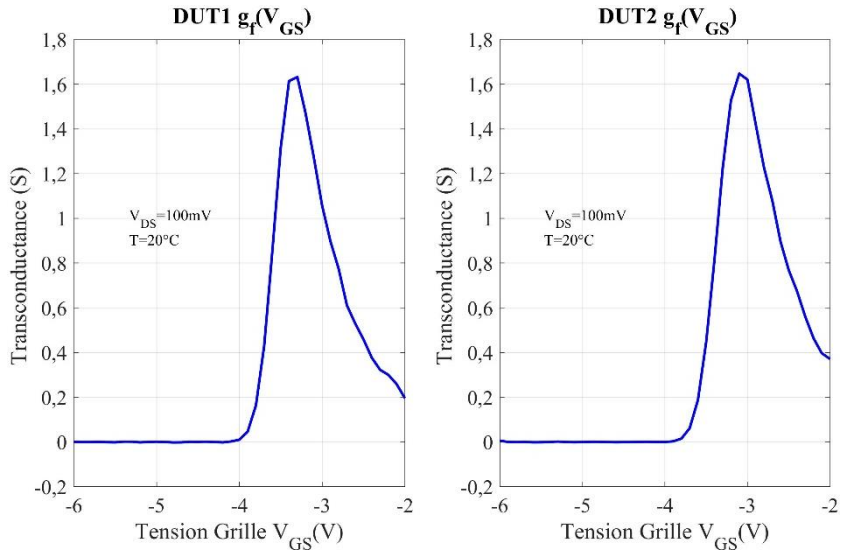


Figure IV. 12: Transconductance en fonction de la tension grille VGS pour les deux composants à T=20°C et VDS=100mV

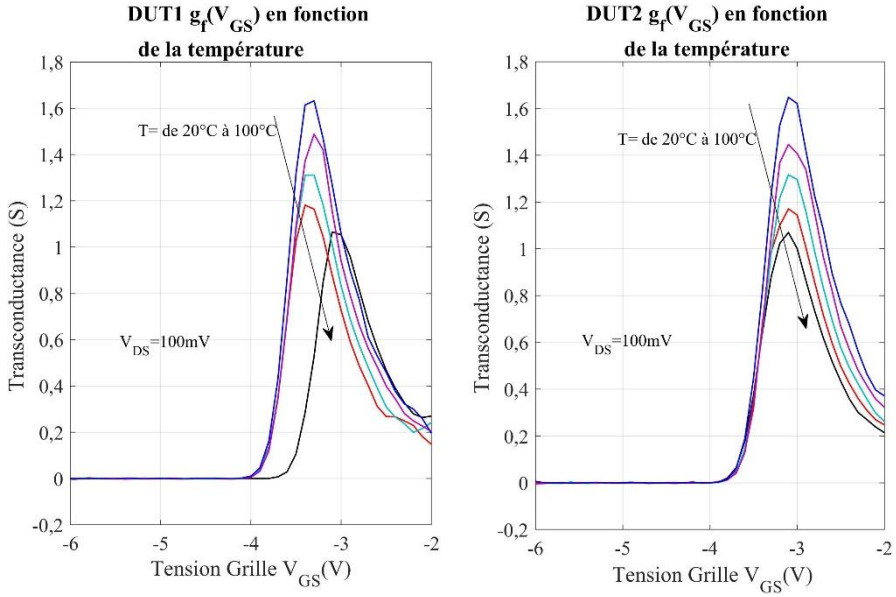


Figure IV. 13: Transconductance en fonction de la température pour les deux composants à V_{DS}=100mV

IV.4.1.3 Caractérisations I_{DS}-V_{DS}

Le tableau IV.3 présente les paramètres de configuration pour les mesures de caractérisation I_{DS}-V_{DS}. Les composants étant Normally-On, la tension de grille appliquée est par conséquent négative (entre -5V à 0V). Afin de minimiser l'effet de l'auto-échauffement, l'impulsion V_{DS} appliquée a été choisie très courte (50µs). Un retard entre les impulsions de drain et de grille a été fixé à (50µs), ce retard ayant été ajouté pour donner plus de stabilité aux mesures et éviter les phénomènes des pièges. La tension de drain est mise à zéro à l'état OFF afin de minimiser l'effet du Drain-lag sur les mesures. La valeur de la tension V_{GS} à -6V est utilisée pour bloquer le dispositif à l'état OFF. Enfin, une période d'impulsion d'une seconde a été prise pour donner plus de stabilité aux mesures (Cf. Figure IV.13). Ces durées d'impulsions semblent être les plus raisonnables pour permettre au composant de revenir à son état de repos après chaque impulsion. Comme le montre la figure IV.14, les caractéristiques courant-tension des deux dispositifs sont similaires avec des différences essentiellement dues au léger écart de tension de seuil et à la résistance à l'état passant.

La figure IV.15 représente la courbe I_{DS}-V_{DS} pour une tension de grille de -3V en fonction de la température. Pour un courant I_{DS} donné, la tension V_{DS}, ou la résistance R_{on} diminue avec la température.

Tableau IV.3 : Paramètres de la configuration pour le test I_{DS}-V_{DS}

Paramètres du test (I_{DS}-V_{DS})	Valeurs (Unités)
Largeur de l'impulsion de V_{DS}	50 (µs)
Largeur de l'impulsion de V_{GS}	150 (µs)
Délai d'impulsion de V_{DS} par rapport à celle du V_{GS}	50 (µs)
Base V_{DS}	0 (V)
Plage V_{GS}	De -5 (V) à 0 (V)
Base V_{GS}	-6 (V)
Période de l'impulsion	1 (s)

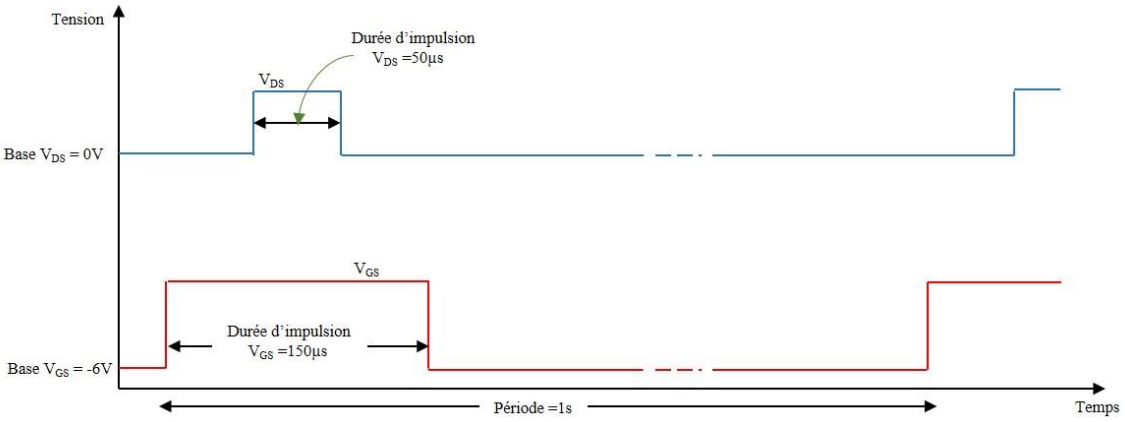


Figure IV. 14: Chronogramme des impulsions de tensions V_{DS} et V_{GS} pour les caractéristiques I(V)

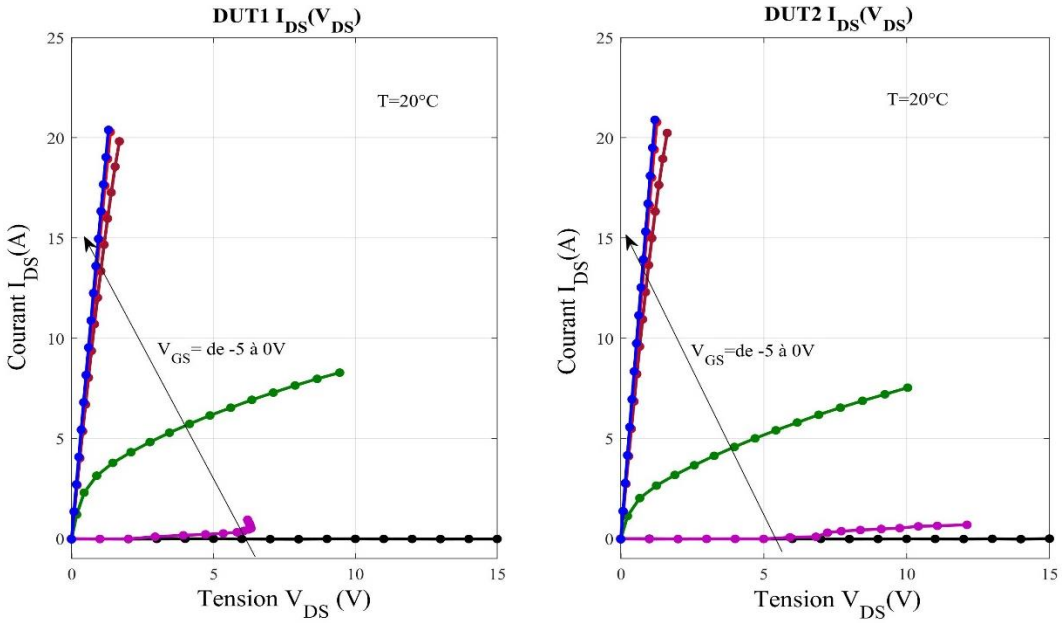


Figure IV. 15: Courant de drain I_{DS} en fonction de la tension drain V_{DS} pour les deux composants à T=20°C

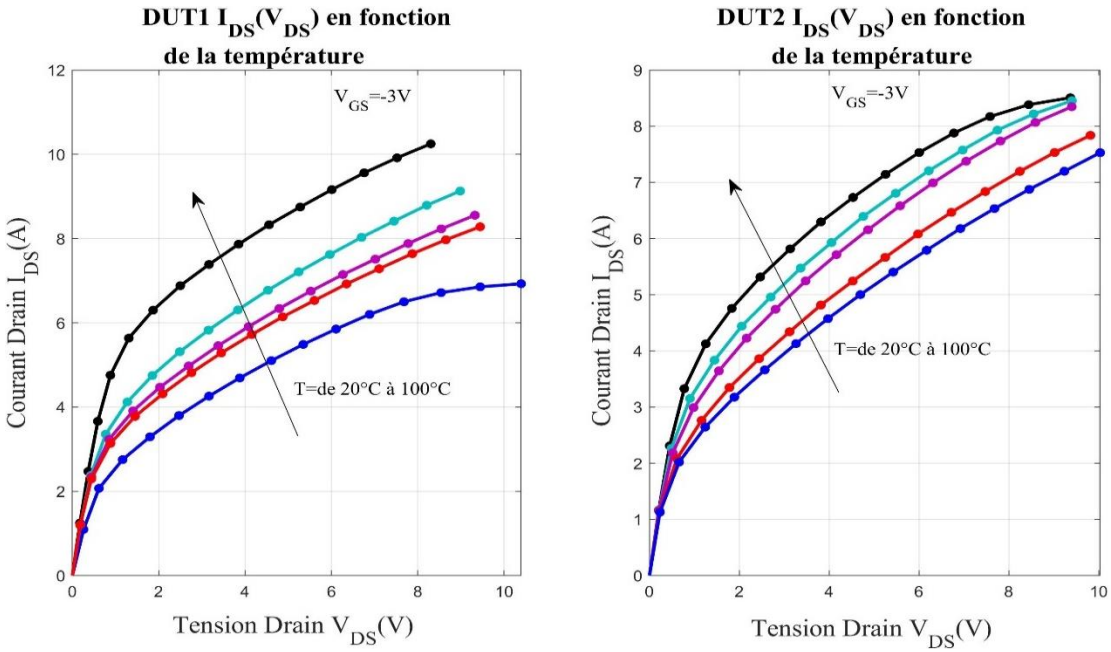


Figure IV. 16: Courbes I_{DS}-V_{DS} en fonction de la température pour les deux composants et à V_{GS}=-3V

IV.4.1.4 Résistance R_{on}

A titre d'illustration, la résistance Drain-Source R_{on} est extraite de la courbe de I_{DS}-V_{DS} pour une tension V_{GS} à -3V et un courant I_{DS} à 0,5A (Cf. Tableau IV.4). Nous observons une diminution de la résistance avec la température pour les deux composants (Cf. Figure IV.16).

Tableau IV.4 : Paramètres de la configuration pour la caractérisation de R_{on}

Paramètres	Valeurs (Unités)
Tension V_{GS}	-3 (V)
Courant I_{DS}	0,5 (A)

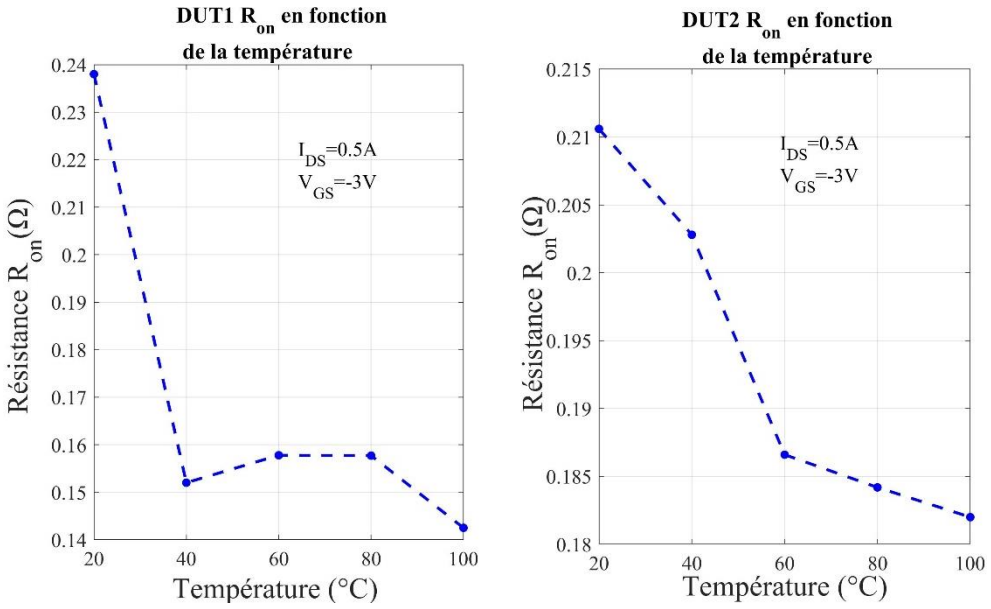


Figure IV. 17: Résistance R_{on} en fonction de la température pour les deux composants à I_{DS}=0.5A et V_{GS}=-3V

IV.4.2 Caractérisations des pièges

La caractérisation des pièges est basée sur la détermination de paramètres physiques, tels que l'énergie d'activation et les sections-efficaces de capture. La méthode mène à la détermination des constantes de temps des pièges [Joh08] par l'analyse des transitoires du courant. Nous utilisons le module "Current-Collapse" du Traceur Agilent B1505 pour ces caractérisations. La figure IV.17 montre le principe de cette mesure. Il s'agit d'une impulsion de courant qui se décompose en deux phases : la première de stress et la seconde de conduction. Les valeurs de la tension de grille V_{GSoff} et la tension du drain V_{DSoff} sont définies selon le type de stress souhaité. Puis durant la conduction (ON), nous fixons la tension de grille V_{GSon}, la tension drain V_{DSon} et une limite du courant drain I_{DS}. Le courant de drain est ensuite relevé lors du transitoire.

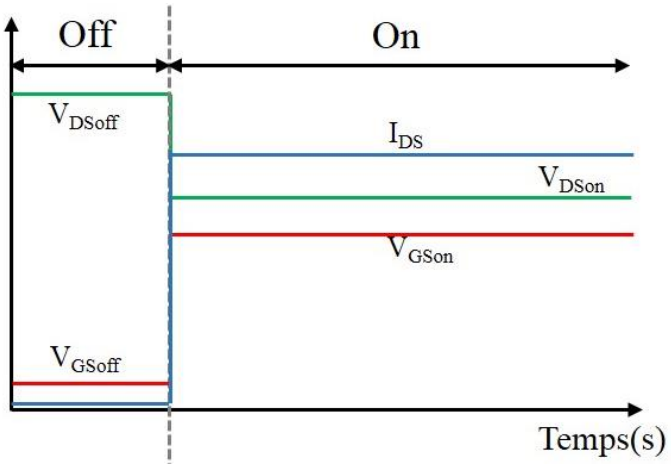


Figure IV. 18: Paramètres du stress appliqué

Pour déterminer les constantes de temps, nous utilisons la méthode décrite dans [Tap10] où il s'agit de dériver le transitoire du courant par le logarithme du temps. Nous obtenons alors une courbe dont les pics donnent les constantes de temps des pièges. En appliquant cette méthode sur plusieurs courbes en

température, nous pouvons tracer le graphe d'Arrhenius (Cf. Chapitre I § I.3.1.3) pour chaque constante de temps et ainsi extraire les valeurs d'énergie d'activation et les sections de capture. L'énergie d'activation et la section de capture sont obtenues respectivement par la pente et la valeur à l'origine du graphe d'Arrhenius [Sch06]. Le schéma suivant résume l'enchainement des étapes pour déterminer les paramètres physiques :

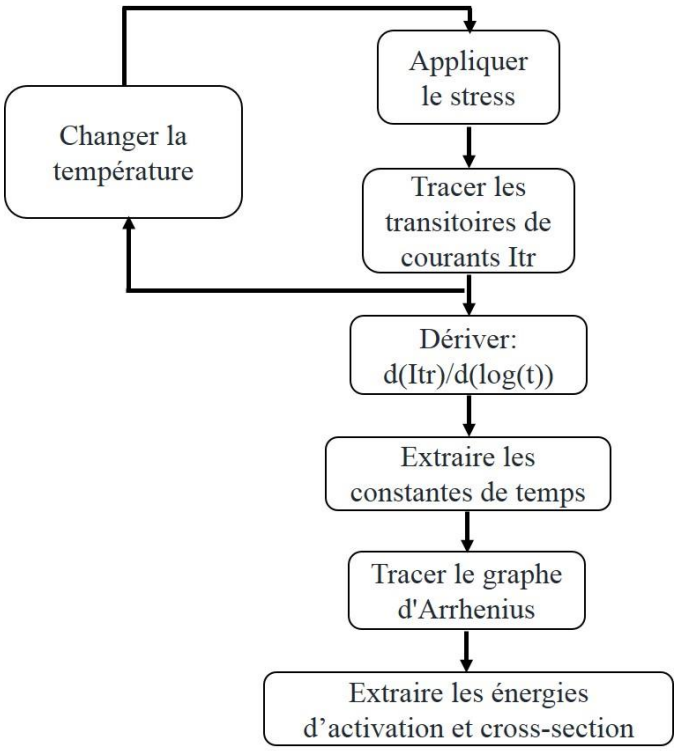


Figure IV. 19: Processus suivi pour l'extraction des énergies d'activation et les sections de capture

IV.4.2.1 Gate lag

Dans cette configuration, on maintient la tension V_{DS} constante pour ne pas entrainer le phénomène de Drain-lag et on change la tension V_{GS} entre l'état OFF et l'état ON. On trace le transitoire du courant I_{DS} pendant l'état ON. Le but de ces caractérisations est de déterminer les constantes de temps des pièges et de suivre leurs évolutions en fonction du vieillissement et de la température.

Le tableau IV.5 regroupe les paramètres de la configuration du test de la mesure du gate-lag. La durée à l'état ON (t_{ON}) est prise la plus longue possible, 125 secondes qui est le temps pour tracer le transitoire du courant I_{DS}. Le temps à l'état bloqué est maintenu à une seconde, la tension Grille-Source est à -6V au blocage et à -2V à l'état passant.

La figure IV.19 représente les transitoires du courant I_{DS} dûs au gate-lag en fonction de la température entre 20°C et 145°C.

Tableau IV.5 : Paramètres de la configuration pour la mesure gate-lag

Paramètres du test	Valeurs (Unités)
Tension V_{GS} OFF	-6 (V)
Tension V_{GS} ON	-2 (V)
Tension V_{DS} OFF	1 (V)
Tension V_{DS} ON	1 (V)
Durée OFF du stress	1 (s)
Durée ON	125 (s) (12500 points chaque 10 (ms))

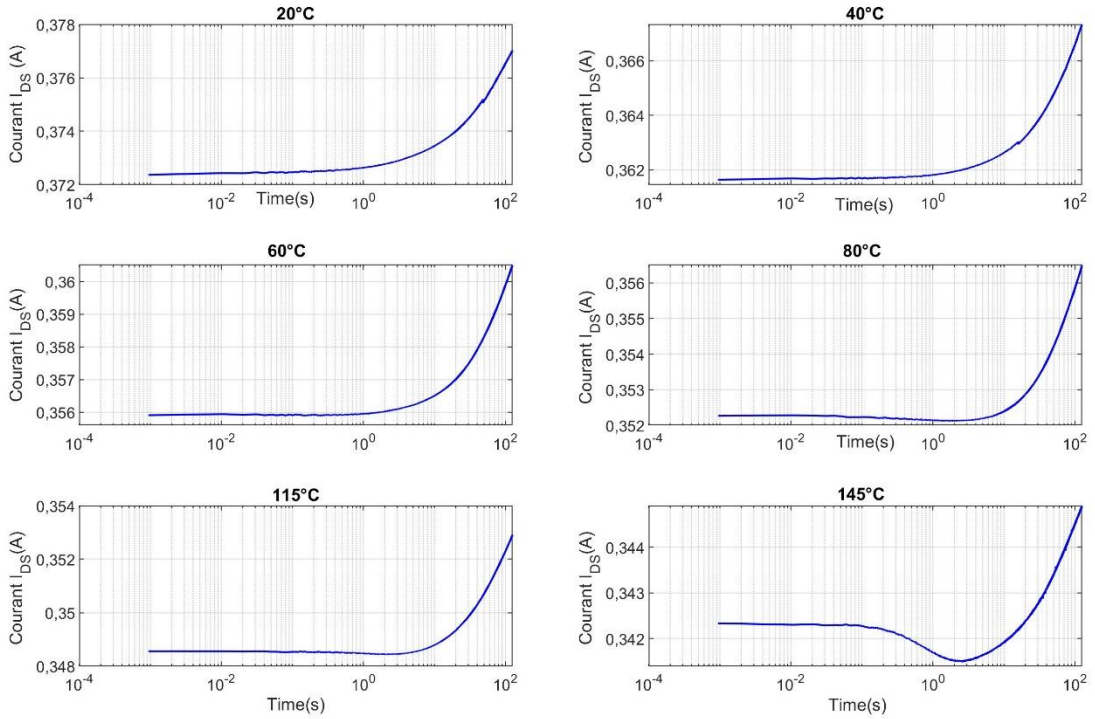


Figure IV. 20: Transitoires du courant I_{DS} (Gate-lag) en fonction de la température pour le DUT2

En appliquant le Gate-lag, la valeur du courant transitoire I_{DS} diminue avec la température. Par contre, l'allure des courbes des transitoires de courant est la même pour toutes les températures sauf à 145°C.

IV.4.2.2 Drain-lag

Dans cette configuration, la tension V_{DS} est changée entre l'état OFF et l'état ON pour créer le Drain-lag (Cf. Tableau IV.6). Pour notre cas, la tension V_{DS} est égale à 80V à l'état OFF et 1V à l'état ON. Nous traçons le transitoire du courant et nous déterminons les constantes de temps dues aux drain-lag.

La figure IV.20 représente les transitoires du courant I_{DS} dûs au Drain-lag en fonction de la température.

Tableau IV.6 : Paramètres de la configuration pour la mesure drain-lag

Paramètres du test	Valeurs (Unités)
Tension V_{GS} OFF	-6 (V)
Tension V_{GS} ON	-2 (V)
Tension V_{DS} OFF	80 (V)
Tension V_{DS} ON	1 (V)
Durée OFF du stress	1 (s)
Durée ON	125 (s) (12500 points chaque 10 (ms))

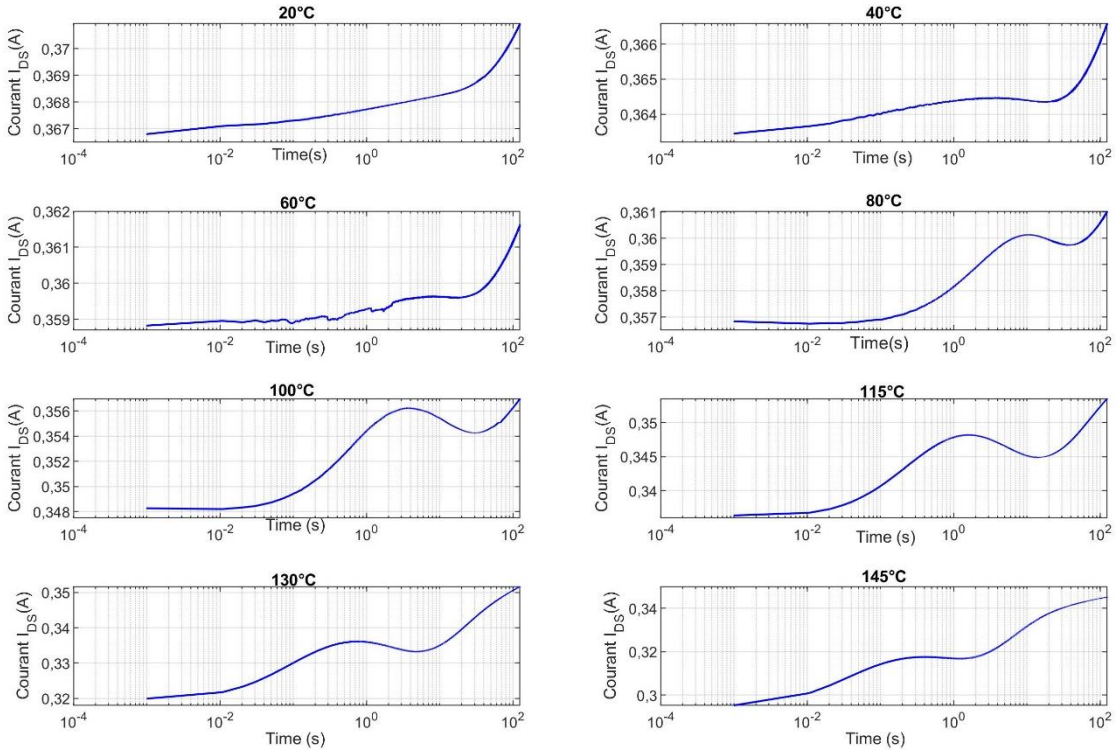


Figure IV. 21: Transitoires du courant I_{DS} (Drain-lag) en fonction de la température pour le DUT2

En appliquant un drain-lag, la valeur et l'allure du courant transitoire I_{DS} change avec la température. En augmentant la température, nous observons l'évolution et l'apparition des constantes de temps. Au-dessous de 80°C, il n'y a pas d'apparition des constantes de temps remarquables. A partir de 80°C et jusqu'à 145°C, les constantes de temps commencent à apparaitre et évoluent avec la température.

IV.5 Résultats du vieillissement

IV.5.1 Caractérisations électriques

IV.5.1.1 Tension de seuil V_{th}

Comme résultats, la figure IV.21 montre les résultats des caractérisations successives de la dépendance de la tension de seuil à la température au cours du vieillissement. La tension de seuil est définie comme la tension Grille-Source à un courant de Drain-Source de 3mA pour une tension de drain de 100mV. Nous pouvons observer que, depuis l'état initial jusqu'aux 2500 cycles, il n'y a pas de

changement significatif à l'exception d'une très légère déviation de V_{th} vers des valeurs positives. Ensuite, à partir de 5000 cycles, des dérives significatives et permanentes de la tension V_{th} se produisent vers des valeurs négatives. Nous nous sommes assuré que chaque caractéristique était reproductible (et donc irréversible) même après deux jours de repos.

La dérive de la tension de seuil vers des valeurs négatives en permanence avec le vieillissement est problématique pour l'utilisateur du dispositif car ce dernier deviendra de plus en plus conducteur et il sera impossible de le bloquer.

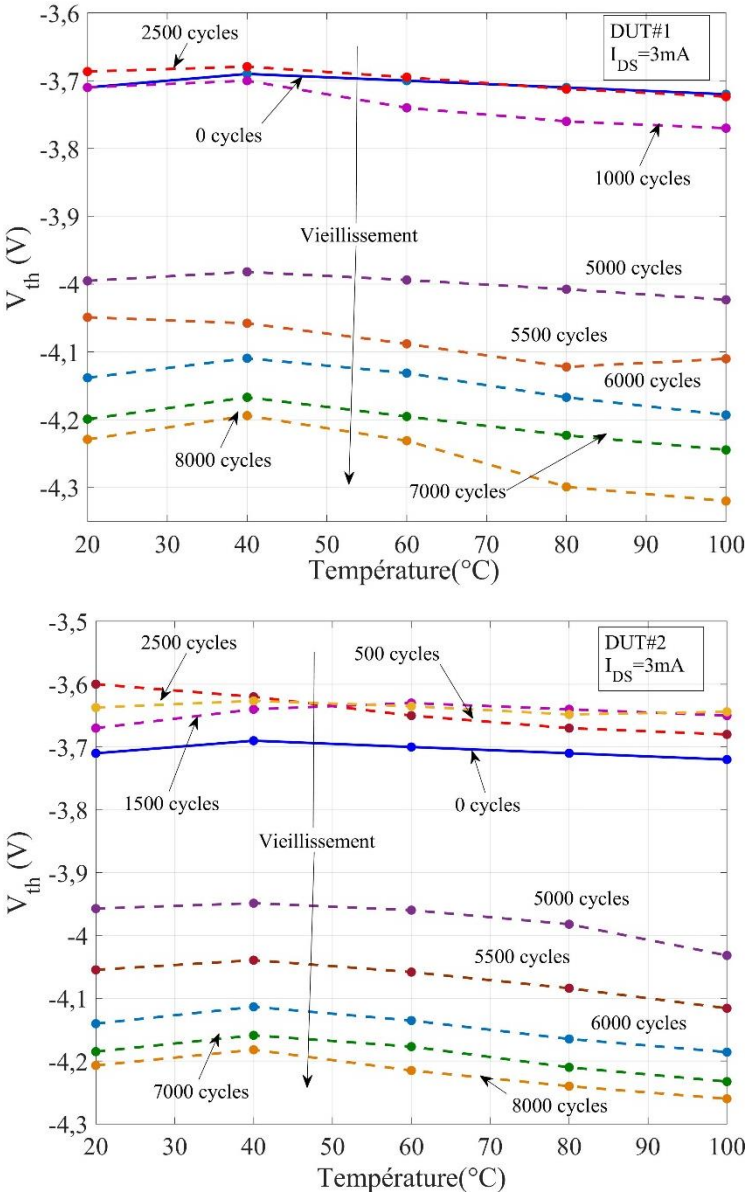


Figure IV. 22: Evolution de la tension de seuil V_{th} durant le vieillissement pour DUT1 (haut) et pour le DUT2 (bas)

IV.5.1.2 Transconductance g_f-V_{GS}

La transconductance évolue suivant la tension V_{th}, comme le montre la figure IV.22 où l'on peut observer cette caractéristique à différents stades de vieillissement et à 20°C. Le maximum de la transconductance augmente avec le vieillissement en même temps que la largeur à mi-hauteur se réduit.

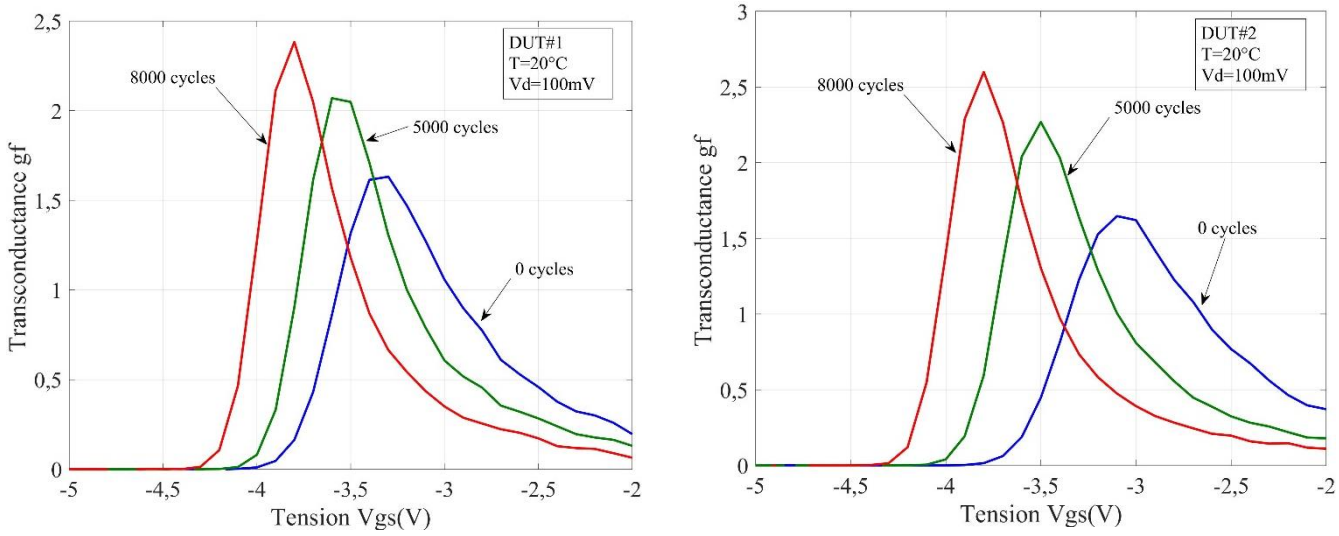


Figure IV. 23: Evolution de la transconductance durant le vieillissement à T=20°C pour DUT1 (gauche) et le DUT2 (droite)

IV.5.1.3 Caractérisations I_{DS}-V_{DS}

Les caractéristiques I_{DS}-V_{DS} des deux composants, pour une tension V_{GS} réglée à -3V et une température à 20°C, sont représentées en figure IV.23 avant et pendant le vieillissement. L'évolution de ces caractéristiques est conforme à la figure IV.21.

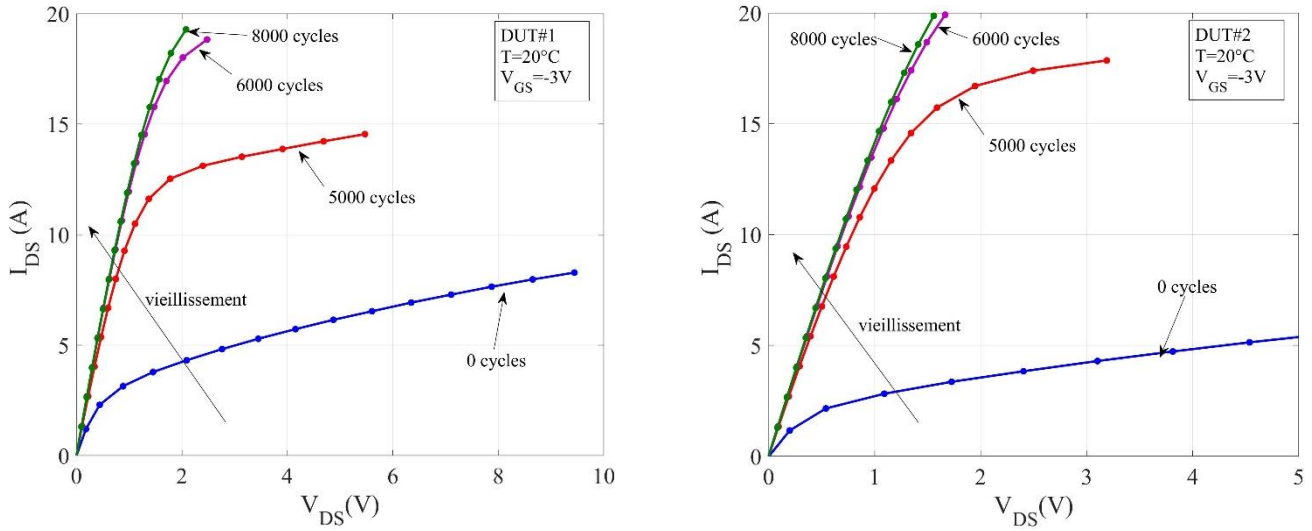


Figure IV. 24: Evolution des caractérisations I(V) pendant le vieillissement à T=20°C pour DUT1 (gauche) et le DUT2 (droite)

IV.5.1.4 Résistance R_{on} et courant de fuite I_{ges}

L'effet du vieillissement sur la résistance Drain-Source (R_{on}) est visible en figure IV.24 pour les deux composants. Ces caractéristiques sont mesurées pour un niveau de courant de drain de 0,5 A et à deux tensions V_{GS} différentes de -3 V et 0V.

Comme nous pouvons le constater, à V_{GS} = 0V, la variation de R_{on} reste faible (de 64 mΩ (58 mΩ) à 0 cycle à 61 mΩ (51 mΩ) à 8 000 cycles pour DUT1 (DUT2)). A V_{GS} = -3V, la résistance Drain-Source commence par remonter très légèrement d'une valeur initiale, respectivement de 150 mΩ pour le

DUT1 et 200 mΩ pour le DUT2, avant de décroître progressivement vers une valeur asymptotique d'environ 52 mΩ pour les deux composants. Ceci est en ligne avec les variations de la tension de seuil. Cependant, la valeur asymptotique atteinte est indépendante de la tension de seuil et est probablement due à d'autres facteurs impliqués dans la R_{on}.

Le courant de fuite de la grille I_{ges} pour une tension V_{GS} de -6V, surveillé pendant le vieillissement, est représenté en figure IV.25 pour les deux composants. Les cycles de puissance ne semblent pas affecter ce paramètre car aucun changement significatif n'est observé.

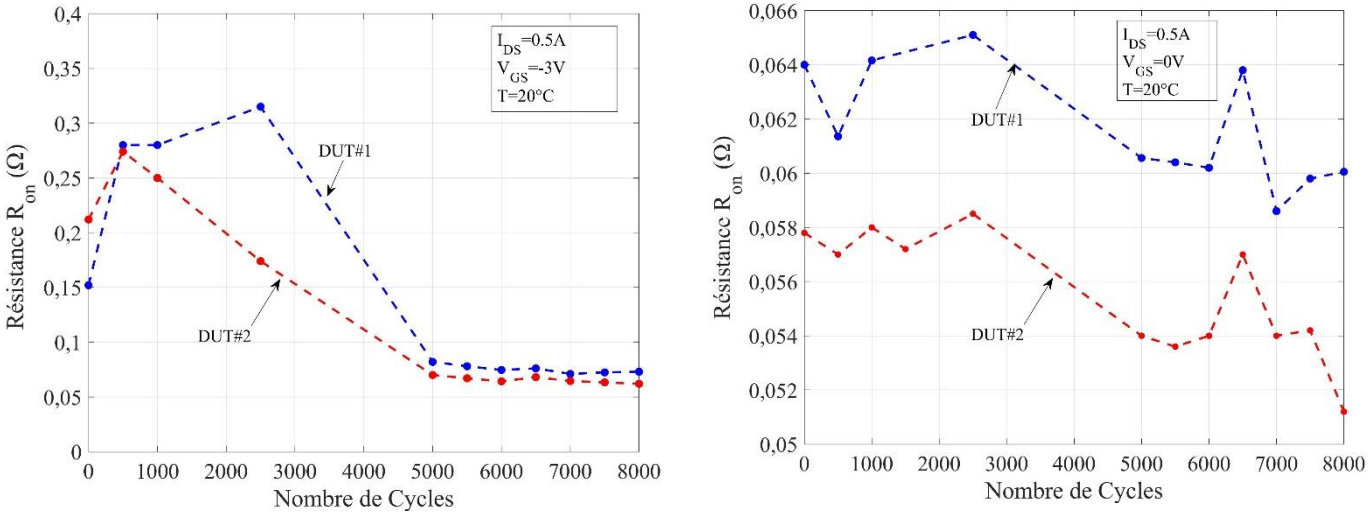


Figure IV. 25: Evolution de la résistance R_{on} des deux composants pendant le vieillissement pour ΔTj=80K et T=20°C : Gauche : à V_{GS}=-3V ; Droite : à V_{GS}=0V

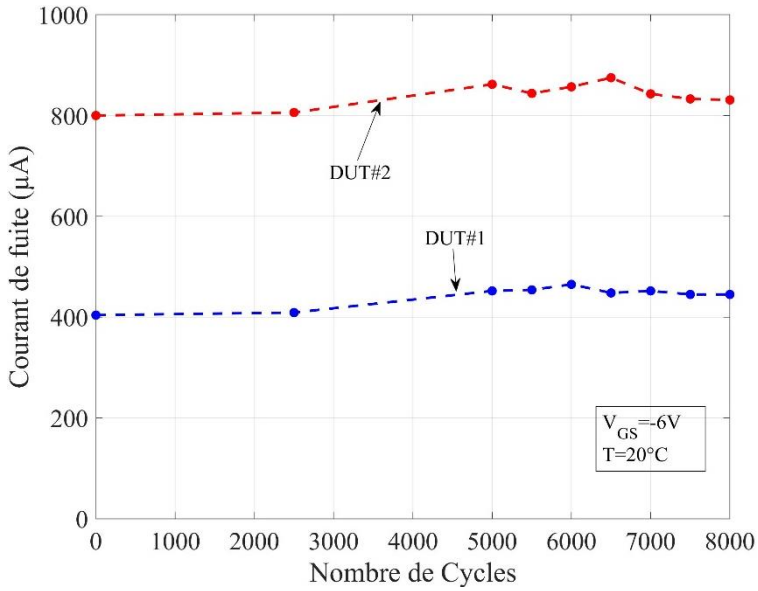


Figure IV. 26: Evolution du courant de fuite I_{ges} des deux composants pendant le vieillissement pour ΔTj=80K et T=20°C

IV.5.2 Caractérisations des pièges

Les caractérisations des pièges ont été effectuées en utilisant la méthode du courant transitoire, avant et tout au long du processus de vieillissement. Les caractérisations drain-lag et gate-lag ont été effectuées. Malheureusement, en raison des limites de l'équipement de mesure, les enregistrements de chaque caractérisation ont été réalisés pour une durée limitée, inférieure à 2 minutes. En raison de ce temps limité, seules les mesures de drain-lag ont permis d'exploiter correctement les données. Les deux composants ont donné qualitativement les mêmes résultats, nous ne présentons donc que les résultats du deuxième composant DUT2.

La configuration du test est la suivante : à l'état bloquée (V_{DSoff} = 80V, V_{GSoff} = -6V), à l'état passant (V_{DSon} = 1V, V_{GSon} = -2V) et la durée du stress est d'une seconde. Ces caractérisations ont été effectuées pour plusieurs niveaux de température: 20°C, 40°C, 60°C, 80°C, 100°C, 115°C, 130°C et 145°C.

Pour pouvoir comparer les transitoires du courant, il a fallu les normaliser. Les résultats obtenus seront présentés par la suite en utilisant un transitoire de courant I_{tr} normalisé, c'est-à-dire correspondant au rapport entre les courants I_{tr} et sa valeur initiale. Les graphiques supérieurs des figures IV.26 et IV.27 donnent les mesures des transitoires de courant normalisé (I_{tr}) respectivement avant le vieillissement et après 8 000 cycles de puissance respectivement. Les constantes de temps du courant transitoire ont ensuite été évaluées en utilisant les pics de la dérivée d(I_{tr})/d(Log (t)) montrés dans les graphes inférieurs des mêmes figures [Tap10]. Les transitoires de courant pour les températures au-dessous de 80°C ne sont pas présentées, parce qu'ils ne sont pas assez sensibles pour détecter l'activation des pièges pendant la durée de la mesure.

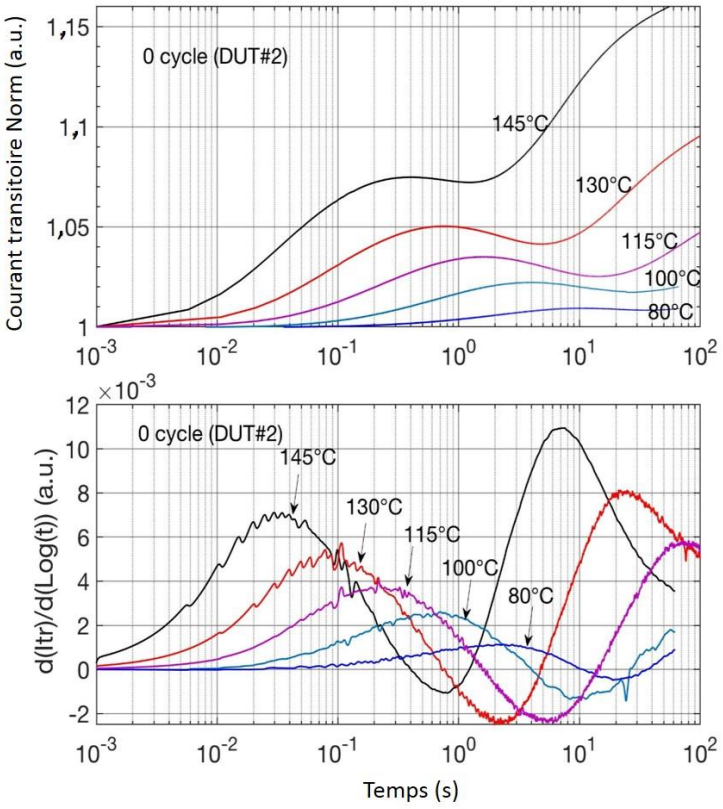


Figure IV. 27: Transitoire de courant normalisé (I_{tr}) (graphique supérieur) et dI_{tr} / dLog (t) correspondant (graphique inférieur) du DUT2 avant le vieillissement

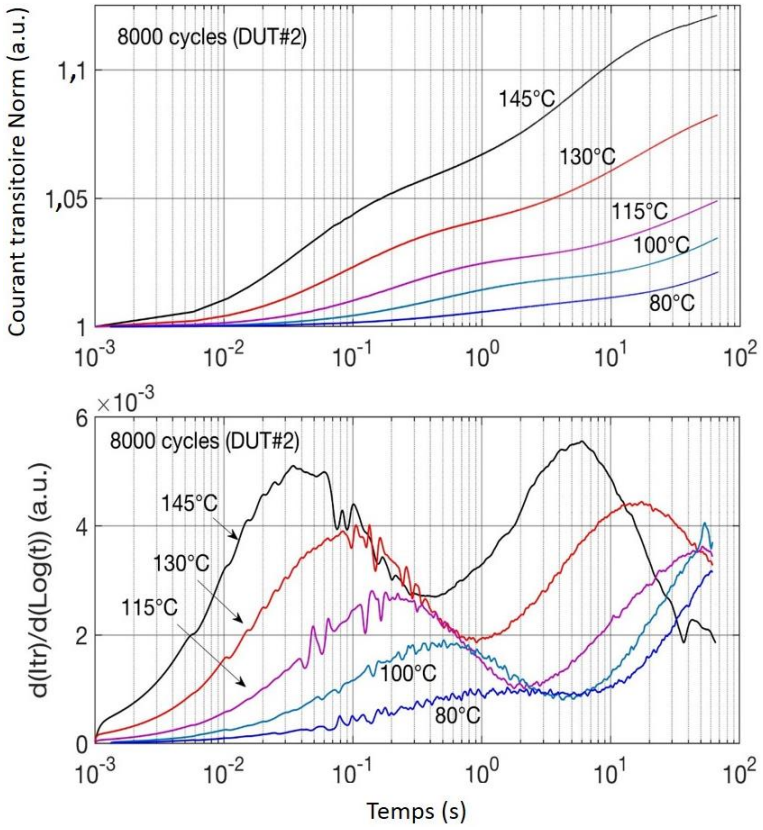


Figure IV. 28: Transitoire de courant normalisé (I_{tr}) (graphique supérieur) et dI_{tr}/dLog(t) correspondant (graphique inférieur) du DUT2 après le vieillissement.

Deux constantes de temps sont détectées (τ_1, τ_2). En augmentant la température, ces constantes de temps se réduisent. Le tableau IV.7 regroupe les différentes constantes de temps obtenues en fonction de la température et en fonction des nombres de cycles.

Tableau IV.7 : Constantes de temps en fonction de la température et du nombre de cycles

	0 cycle		8000 cycles	
Température (°C)	τ_1(s)	τ_2(s)	τ_1(s)	τ_2(s)
80	3,134		2,125	
100	0,635		0,53	
115	0,2	59,65	0,203	47,6
130	0,0953	26,56	0,1	16,26
145	0,0332	7,2	0,045	5,22

Même si une légère différence qualitative dynamique peut être observée sur les courants transitoires, les dérivées indiquent les mêmes pics et donc les mêmes constantes de temps avant et après le processus de vieillissement.

Ces résultats sont synthétisés dans le graphique d'Arrhenius de la figure IV.28. Deux énergies d'activation ont été détectées: 0,7eV et 0,95eV avec des sections de capture suivantes de $3{,}4\text{x}10^{-17}\text{cm}^2$ et $6{,}8\text{x}10^{-16}\text{cm}^2$ (Cf. figure IV.28). Le premier correspond probablement à des états de surface [Oki04], le second est probablement dû à des lacunes de Ga ou à des interstitiels N [Asg04]. Ces caractérisations ont montré que le vieillissement par cycles de puissance n'a pas d'effet significatif sur les pièges existants.

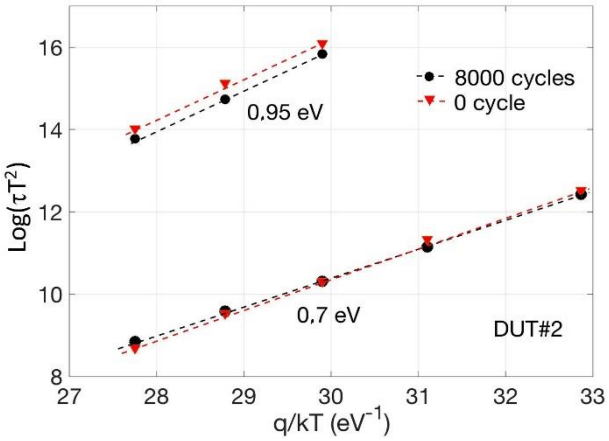


Figure IV. 29: Tracé d'Arrhenius à partir des pics représentés en figure IV.26 (lignes pointillées rouges) et en figure IV.27 (lignes noires pointillées).

IV.5.3 Discussion sur les résultats de vieillissement

Les résultats obtenus montrent que le vieillissement par cycles de puissance ne modifie pas les caractéristiques de piégeage. En particulier, les contraintes thermomécaniques cycliques n'aggravent pas les pièges existants et n'introduisent pas de défauts réversibles supplémentaires. Néanmoins, ils introduisent des défauts irréversibles faisant dériver la tension de seuil vers des valeurs négatives entraînant une diminution de la résistance à l'état passant. De plus, aucun effet sur le courant de fuite de la grille n'a été observé au cours du vieillissement. Tous ces résultats ont été observés pour les deux dispositifs testés avec un comportement assez reproductible.

Toutes ces observations suggèrent qu'un mécanisme de piégeage permanent a lieu pendant le vieillissement. Comme la tension de seuil est affectée, ces mécanismes se produiraient probablement sous la grille ou dans son voisinage immédiat. Puisque, pendant les cycles de puissance, des courants continus élevés traversent les composants pendant une durée relativement longue (t_{ON} = 1s) et que des champs électriques élevés se situent au bord de la grille dans la région grille-drain, le piégeage induit par les électrons chauds dans l'AlGaN est fortement suspecté [Zan12]. Un autre élément qui rend cette hypothèse crédible est le caractère irréversible de la dégradation sur la tension V_{th}.

Néanmoins, contrairement aux résultats de [Zan12], les résultats présentés ici conduisent à une augmentation de la transconductance et donc du courant de drain avec la contrainte.

Des cycles de puissance successifs se traduisent par un piégeage cumulatif, probablement induit par des électrons chauds, dans une dégradation progressive et irréversible des caractéristiques électriques. Néanmoins, cette hypothèse reste à être confirmée par d'autres caractérisations spécifiques.

Conclusion

Des tests de vieillissement basés sur les cycles de puissance ont été effectués sur deux dispositifs MOS-HEMT Al_2O_3/AlGaN/GaN. Les conditions d'essai qui ont été appliquées sont une différence de température de 80K avec une température de refroidissement ou de référence de 20°C. Comme

résultats obtenus, les deux composants testés ont montré les mêmes tendances avec des valeurs très reproductibles.

Ces tests montrent que les HEMT AlGaN/GaN, dédiés aux applications de commutation, sont fortement exposés à ce type de dégradation, entraînant des dommages irréversibles. Par conséquent, les tests de cyclage de puissance en mode DC ne sont pas réalisables sur ces dispositifs.

Les résultats expérimentaux ont montré que des cycles de puissance successifs conduisent à un piégeage cumulatif, probablement induit par des électrons chauds, dans une dégradation progressive et irréversible des caractéristiques électriques. Ainsi, les dérives permanentes de la tension V_{th} se produisent vers des valeurs négatives, et par conséquent la résistance R_{on} s'en trouve également affectée. Néanmoins, la nature du mécanisme de dégradation doit être confirmée par d'autres caractérisations spécifiques. Les caractérisations des courants transitoires ont montré que les énergies d'activation et les sections de capture ne semblent pas être affectées par le vieillissement et que les cycles de puissance ne semblent pas révéler de nouveaux pièges dans la structure autres que ceux induits par les électrons chauds.

Conclusion générale et Perspectives

La technologie GaN-HEMT constitue une alternative intéressante dans le domaine de l'électronique de puissance et des hyperfréquences grâce à ses propriétés intrinsèques largement supérieures à la technologie Silicium. Sa haute fréquence, sa grande puissance et sa résistance à la chaleur lui permettront, éventuellement, de remplacer le Silicium. Dans la dernière décennie, la technologie GaN-HEMT a connu une évolution rapide. Cependant, la fiabilité des composants pose encore problème, ce qui limite la commercialisation de masse de la technologie GaN. La recherche s'est ainsi focalisée sur cet aspect afin de pallier ces dysfonctionnements et profiter davantage des potentialités de cette technologie. C'est dans ce cadre que s'inscrit cette thèse qui a pour objectif l'étude et la caractérisation des modes de dégradation des composants AlGaN/GaN.

Le premier chapitre a pour objectif de définir les principaux modes de défaillance des transistors à base de GaN ainsi que les méthodes expérimentales existantes permettant d'analyser et étudier ces différents dysfonctionnements. Il a permis de présenter les propriétés du GaN ainsi que ses avantages pour une utilisation dans les applications de l'électronique de puissance. Les différentes structures existantes des transistors à base de GaN à savoir, les structures latérales dont la structure GIT et verticales, ont été également présentées. Nous avons défini les principaux modes de défaillance des transistors à base de GaN, notamment les mécanismes de piégeage et les électrons chauds. Le mécanisme de piégeage comprend deux processus : l'émission et la capture. Selon le type d'impuretés, le piège est nommé accepteur s'il capte un électron ou donneur s'il le fournit. Une représentation mathématique de ces deux phénomènes a été présentée. Chaque piège a ses paramètres physiques : énergie d'activation et section de capture qui peuvent être déterminées par l'identification des constantes de temps. Ces mécanismes ont pour conséquence la création d'instabilités au niveau des caractéristiques électriques des semi-conducteurs. Le piégeage est le changement de l'équilibre de charge dans certaines régions du dispositif selon le stress. La charge supplémentaire doit être équilibrée immédiatement par un changement de la densité des charges électriques dans le canal 2DEG. Les instabilités peuvent être présentées comme une augmentation des courants de fuite ou de la résistance dynamique R_{on}. Nous avons présenté dans ce chapitre, les différents travaux de vieillissement sur les composants GaN : vieillissement en radiofréquence, par court-circuit et par l'application d'une contrainte thermique. Enfin, les différentes méthodes pour estimer la température de jonction ont été développées à la fin de ce chapitre sachant que le suivi de l'évolution de la température de jonction est un élément nécessaire lors des expérimentations.

Les tests réalisés et présentés dans le deuxième chapitre ont permis de définir les caractéristiques des composants utilisés dans le cadre de cette thèse. Les caractéristiques changent d'un composant à l'autre à cause de la sensibilité et de la fragilité des composants à base de GaN. En effet, le fait de souder par exemple un composant sur un substrat et de le manipuler pour l'insérer dans un banc d'expérimentation entraîne un changement de ses caractéristiques électriques. Les caractéristiques présentées dans ce chapitre ont permis de donner une idée générale du comportement du composant en fonction de la température ou du stress appliqué. Les composants GaNSystems GS66508P et le composant Normally-Off du CEA ont été utilisés pour les tests menés sur l'évolution de la résistance dynamique dont les résultats ont été présentés au chapitre III. Le transistor Normally-On du CEA a été utilisé pour le vieillissement par cyclage actif, ces travaux étant présentés dans le Chapitre IV.

La résistance dynamique R_{on_dyn} des transistors GaN dépend des conditions de fonctionnement, à savoir : la température, la tension Drain-Source au blocage, le courant Drain-Source, la fréquence de découpage, la durée de l'état passant et le courant. Un banc de test a été conçu pour les commutations cycliques. Les tests ont été effectués pour des températures allant de -50°C à 100°C, des fréquences de découpage de 20kHz à 300kHz et des tensions à l'état bloqué de 100V à 400V. Lors des cycles de commutation, les deux phénomènes, à savoir l'auto-échauffement et le piégeage, peuvent se produire. Après avoir appliqué une méthode de différenciation de l'effet de l'un par rapport à l'autre, nous

avons remarqué que l'effet de l'auto-échauffement n'était pas négligeable devant celui du piégeage. Comme résultats obtenus, pour une température décroissante, les constantes de temps augmentent et le taux de piégeage (valeur de R_{on_dyn}) diminue. Que ce soit avec une augmentation de la fréquence ou avec une augmentation de la tension au blocage de Vdc ou une augmentation du courant, nous avons observé le même phénomène, à savoir une diminution des constantes de temps de piégeage et une augmentation du taux de piégeage. Un modèle analytique a accompagné cette étude pour confirmer les résultats expérimentaux. Mais ce modèle doit être perfectionné. En effet, nous avons remarqué qu'il y a une différence entre les résultats expérimentaux et les résultats analytiques, cela est principalement dû à l'estimation des constantes de temps et à l'absence de l'effet de l'auto échauffement dans le modèle analytique.

Des tests de vieillissement basés sur le cycle de puissance ont été effectués sur deux dispositifs MOS-HEMT Al_2O_3/AlGaN/GaN. Les conditions d'essai qui ont été appliquées sont une différence de température de 80K avec une température de refroidissement de 20°C. Les deux composants testés ont montré les mêmes tendances et les résultats sont très reproductibles. Les résultats obtenus montrent que le vieillissement par cycles de puissance ne modifie pas les caractéristiques de piégeage. En particulier, les contraintes thermomécaniques cycliques n'aggravent pas les pièges existants et n'introduisent pas de défauts réversibles supplémentaires. Néanmoins, ils introduisent des défauts irréversibles faisant dériver la tension de seuil vers des valeurs négatives entraînant une diminution de la résistance à l'état passant. Toutes ces observations suggèrent qu'un mécanisme de piégeage permanent a eu lieu pendant le vieillissement. Comme la tension de seuil est affectée, ces mécanismes se produiraient probablement sous la grille ou dans son voisinage immédiat. Des cycles de puissance successifs se traduisent par un piégeage cumulatif, probablement induit par des électrons chauds, dans une dégradation progressive et irréversible des caractéristiques électriques. Ces résultats montrent que les HEMT AlGaN/GaN, dédiés aux applications de commutation, sont fortement exposés à ce type de dégradation, entraînant des dommages irréversibles. Par conséquent, les tests de cyclage de puissance en mode DC ne sont pas réalisables sur ces dispositifs. En résumé, les résultats expérimentaux ont montré que des cycles de puissance successifs conduisent à un piégeage cumulatif, probablement induit par des électrons chauds, dans une dégradation progressive et irréversible des caractéristiques électriques. Ainsi, les dérives permanentes de la tension V_{th} se produisent vers des valeurs négatives, et par conséquent la résistance R_{on} s'en trouve également affectée. Néanmoins, la nature du mécanisme de dégradation doit être confirmée par d'autres caractérisations spécifiques. Les caractérisations des courants transitoires ont montré que les énergies d'activation et les sections transversales ne semblent pas être affectées par le vieillissement et que les cycles de puissance ne semblent pas révéler de nouveaux pièges dans la structure autres que ceux induits par les électrons chauds.

En perspectives, des améliorations pourraient être apportées à ces expérimentations afin d'avoir une assurance de l'origine des instabilités dans les caractéristiques. Pour la commutation cyclique, et afin de pouvoir balayer plus largement les effets de tous les paramètres de commutation sur les composants HEMT-GaN, il faudrait disposer d'un montage qui permette une bonne dissipation de chaleur pour pouvoir éliminer le phénomène d'emballement thermique, ainsi que des moyens pour suivre l'évolution de la tension de seuil V_{th} qui permettrait d'expliquer quelques phénomènes observés. Pour le modèle analytique, il est nécessaire d'être confiant dans la correspondance entre les constantes de temps des pièges et celles de l'évolution de R_{on_dyn} et il faudrait également prendre en compte l'effet de l'auto-échauffement. Enfin, pour le vieillissement par cyclage actif, il faudrait confirmer l'hypothèse sur les électrons chauds en pratiquant des caractérisations complémentaires telles que les mesures d'Electroluminescence.

Références

[Abb13] C. Abbate, F. Iannuzzo, and G. Busatto, “Thermal instability during short circuit of normally-off AlGaN/GaN HFETs,” Microelectronics Reliability, vol. 53, no. 911, pp. 1481 – 1485, 2013, european Symposium on Reliability of Electron Devices, Failure Physics and Analysis.

[Amb00] O. Ambacher et al., “Two dimensional electron gases induced by spontaneous and piezoelectric polarization in undoped and doped AlGaN/GaN heterostructures,” Jour. of Applied Physics, vol. 87, no. 1, pp. 334–344, 2000.,

[Anw01] A. F. M. Anwar S. Wu R. T. Webster "Temperature dependent transport properties in GaN, Al/sub x/Ga/sub 1-x/N, and In/sub x/Ga/sub 1-x/N semiconductors" IEEE Trans. Electron Devices vol. 48 pp. 567-571 Mar. 2001.

[Aru02] Arulkumaran S, Egawa T, Ishikawa H, Jimbo T. High-temperature effects of AlGaN/GaN high-electron-mobility transistors on sapphire and semiinsulating SiC substrates. Appl Phys Lett 2002;80(12):2186-2188–>. http:// dx.doi.org/10.1063/1.1461420.

[Asg04] M. Asghar, P. Muret, B. Beaumont, and P. Gibart, “Field dependent transformation of electron traps in GaN p-n diodes grown by metal– organic chemical vapour deposition,” Mater. Sci. Eng. B, vol. 113, no. 3, pp. 248–252, 2004.

[Ave12]. Y. Avenas, L. Dupont and Z. Khatir, "Temperature Measurement of Power Semiconductor Devices by Thermo-Sensitive Electrical Parameters—A Review," in IEEE Transactions on Power Electronics, vol. 27, no. 6, pp. 3081-3092, June 2012.

[Bad15] N. Badawi, O. Hilt, E. Behat-Treidel, J. Böcker, J. Würfl and S. Dieckerhoff, "Investigation of the dynamic on-state resistance of 600V normally-off and normally-on GaN HEMTs," 2015 IEEE Energy Conversion Congress and Exposition (ECCE), Montreal, QC, 2015, pp. 913-919.

[Bah13] S. R. Bahl, M. Van Hove, X. Kang, D. Marcon, M. Zahid, and S. Decoutere, “New source-side breakdown mechanism in AlGaN/GaN insulated-gate HEMTs,” Proc. Int. Symp. Power Semicond. Devices ICs, no. 408, pp. 419–422, 2013.

[Ber98] H. Berg and E. Wolfgang, "Advanced IGBT modules for railway traction applications: Reliability testing," Microelectronics Reliability, vol. 38, no. 6-8, pp. 1319-1323, 1998.

[Bin02] S. C. Binari, P. B. Klein, and T. E. Kazior, “Trapping effects in GaN and SiC microwave FETs,” Proc. IEEE, vol. 90, no. 6, pp. 1048–1058, Jun. 2002.

[Bis13] D. Bisi, M. Meneghini, C. D. Santi, A. Chini, M. Dammann, P. Bruckner, M. Mikulla, G. Meneghesso, and E. Zanoni, “Deep-Level Characterization in GaN HEMTs-Part I: Advantages and Limitations of Drain Current Transient Measurements,” IEEE Trans. on Electron Devices, vol. 60, no. 10, pp. 3166–3175, 2013.

[Bis14] D. Bisi et al., "Kinetics of Buffer-Related R_{ON}-Increase in GaN-on-Silicon MIS-HEMTs," in IEEE Electron Device Letters, vol. 35, no. 10, pp. 1004-1006, Oct. 2014.

[Bis15] D. Bisi, M. Meneghini, M. Van Hove, D. Marcon, S. Stoffels, T. Wu, S. Decoutere, G. Meneghesso, and E. Zanoni, “Trapping mechanisms in GaN-based MIS-HEMTs grown on silicon substrate,” Phys. Status Solidi, vol. 8, pp. 1–8, 2015.

[Cai06] Y. Cai, Y. Zhou, K. M. Lau and K. J. Chen, "Control of Threshold Voltage of AlGaN/GaN HEMTs by Fluoride-Based Plasma Treatment: From Depletion Mode to Enhancement Mode," in IEEE Transactions on Electron Devices, vol. 53, no. 9, pp. 2207-2215, Sept. 2006.

[Chi17] A. Chini and F. Iucolano, "Experimental and Numerical Evaluation of R_{ON} Degradation in GaN HEMTs During Pulse-Mode Operation," in IEEE Journal of the Electron Devices Society, vol. 5, no. 6, pp. 491-495, Nov. 2017.

[Chi18] A. Chini et F. Iucolano, "Evolution of on-resistance (R_{ON}) and threshold voltage (V_{TH}) in GaN HEMTs during switch-mode operation", Materials Science in Semiconductor Processing, vol.78, pp. 127–131, 2018

[Cho08] S. Chowdhury, B. L. Swenson and U. K. Mishra, "Enhancement and Depletion Mode AlGaN/GaN CAVET With Mg-Ion-Implanted GaN as Current Blocking Layer," in IEEE Electron Device Letters, vol. 29, no. 6, pp. 543-545, June 2008.

[Cue07] Cuerdo R, Calle F, Braña AF, Cordier Y, Azize M, Baron N, et al. High temperature behaviour of GaN HEMT devices on Si (111) and sapphire substrates. Phys. Status Solidi C 2007;5(6):1971–3.

[But11] C. Buttay et al., "State of the art of high temperature power electronics", Materials Science and Engineering B, vol.176, pp 283–288, 2011

[Div15] A. Divay, "Étude de la fiabilité à long terme des transistors HEMT à base de GaN", thèse de doctorat de l'Université de Rouen Normandie, 2015

[Dur16] C. Durand, et al., "Solder fatigue failures in a new designed power module under power cycling, Microelectronics Reliability, 2016

[Ech18] A. ECHEVERRI DUARTE, "Etude de la fiabilité des Transistors HEMTs AlGaN/GaN de puissance en condition opérationnelle", thèse de doctorat de l'Université de Rouen Normandie, 2018

[Fle13] C. Fleury, R. Zhytnytska, S. Bychikhin, M. Cappriotti, O. Hilt, D. Visalli, G. Meneghesso, E. Zanoni, J. Würfl, J. Derluyn, G. Strasser, and D. Pogany, "Statistics and localisation of vertical breakdown in AlGaN/GaN HEMTs on SiC and Si substrates for power applications," Microelectronics Reliability, vol. 53, no. 9–11, pp.1444–1449, 2013

[Fon14] J.B Fonder "Analyse des mécanismes de défaillance dans les transistors de puissance radiofréquences HEMT AlGaN/GaN", thèse de doctorat de l'Université de Cergy-Pontoise, 2012

[Fu18] J. Z. Fu, F. Fouquet, M. Kadi and P. Dherbécourt, "Experimental study of 600V GaN transistor under the short-circuit aging tests," 2018 19th IEEE Mediterranean Electrotechnical Conference (MELECON), Marrakech, 2018, pp. 249-253.

[Fuk80] H. Fukui, "Thermal resistance of GaAs field-effect transistors," 1980 International Electron Devices Meeting, 1980, pp. 118-121.

[GaN1] Fiche technique GS66508P, GanSystems website

[GaN2] "A Basis for Extremely Small GaN Power Transistors", GanSystems website

[Ger07] Y. C. Gerstenmaier, W. Kiffe, and G. Wachutka, "Combination of thermal subsystems modeled by rapid circuit transformation," in Proc. Int. Workshop Therm. Invest. ICs Syst., Budapest, Hungary, 2007, pp. 115– 120.

[Gop15] L. R. GopiReddy, L. M. Tolbert and B. Ozpineci, "Power Cycle Testing of Power Switches: A Literature Survey," in IEEE Transactions on Power Electronics, vol. 30, no. 5, pp. 2465-2473, May 2015.

[Guo16] A. Guo and J. A. del Alamo, "Negative-bias temperature instability of GaN MOSFETs," 2016 IEEE International Reliability Physics Symposium (IRPS), Pasadena, CA, 2016, pp. 4A-1-1-4A-1-6.

[Has04] T. Hashizume, S. Anantathanasarn, N. Negoro, E. Sano, H. Hasegawa, K. Kumakura, and T. Makimoto, "Al_2O_3 Insulated-Gate Structure for AlGaN/GaN Heterostructure Field Effect Transistors Having Thin AlGaN Barrier Layers," Japanese Journal of Applied Physics, vol. 43, no. No. 6B, 2004.

[Hil11] O. Hilt et al., "Normally-off High-Voltage p-GaN Gate GaN HFET with Carbon-Doped Buffer", Inter. Symposium on Power Semiconductor Devices & IC's, May 23-26, 2011 San Diego, CA

[Hil16] A. M. Hilton, E. R. Heller and D. L. Dorsey, "Electroluminescence Microscopy of Cross-Sectioned AlGaN/GaN High-Electron Mobility Transistors," in IEEE Transactions on Electron Devices, vol. 63, no. 4, pp. 1459-1463, April 2016.

[Hor13] Y. Hori, Z. Yatabe, and T. Hashizume, "Characterization of interface states in Al_2O_3/AlGaN/GaN structures for improved performance of high-electron-mobility transistors," Jour. of Applied Physics, vol.114, no.24, 244503, 2013.

[Hui90] K. Hui, et al., "Impact ionization in GaAs MESFETs," IEEE Electron Device Lett., vol. 11, no. 3, pp. 113- 115, 1990

[Huq09] Huque MA, Eliza SA, Rahman T, Huq HF, Islam SK. Temperature dependent analytical model for current–voltage characteristics of AlGaN/GaN power HEMT. Solid-State Electron 2009;53(3):341–8. ISSN 0038-1101, 10.1016/ j.sse.2009.01.004.

[Hwa13]. I. Hwang et al., "Impact of Channel Hot Electrons on Current Collapse in AlGaN/GaN HEMTs," in IEEE Electron Device Letters, vol. 34, no. 12, pp. 1494-1496, Dec. 2013.

[Ibb00] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, and U. K. Mishra, "Polarization effects, surface states, and the source of electrons in AlGaN/GaN heterostructure field effect transistors", Appl. Phys. Lett., vol.77, n°2, pp.250-252, 2000.

[Ike11] N. Ikeda et al., "Over 1.7 kV normally-off GaN hybrid MOS-HFETs with a lower on-resistance on a Si substrate", Inter. Symposium on Power Semiconductor Devices & IC's, May 23-26, 2011 San Diego, CA

[Ima11] T. Imada, K. Motoyoshi, M. Kanamura and T. Kikkawa, "Reliability analysis of enhancement-mode GaN MIS-HEMT with gate-recess structure for power supplies," 2011 IEEE International Integrated Reliability Workshop Final Report, South Lake Tahoe, CA, 2011, pp. 38-41.

[Ish10] M. Ishida et al., "GaN Power Switching Devices", International Power Electronics Conference, 2010

[Ish99] H.Ishikawa, G-Y.Zhao, N.Nakada, T.Egawa, T.Jimbo, and M.Umeno, "GaN on Si Substrate with AlGaN/AlN Intermediate Layer", Jpn. J. Appl. Phys., Vol. 38, 1999, pp.L492-494.

[Jai08] H. Jain, S. Rajawat and P. Agrawal, "Comparision of wide band gap semiconductors for power electronics applications," 2008 International Conference on Recent Advances in Microwave Theory and Applications, Jaipur, 2008, pp. 878-881.

[Jin12] D. Jin and J. A. del Alamo, “Mechanisms responsible for dynamic ON-resistance in GaN high-voltage HEMTs”, International Symposium on Power Semiconductor Devices and ICs, 2012.

[Joh07] J. Joh, L. Xia and J. A. del Alamo, "Gate Current Degradation Mechanisms of GaN High Electron Mobility Transistors," 2007 IEEE International Electron Devices Meeting, Washington, DC, 2007, pp. 385-388.

[Joh08] J. Joh, J. A. del Alamo and J. Jimenez, "A Simple Current Collapse Measurement Technique for GaN High-Electron Mobility Transistors," in *IEEE Electron Device Letters*, vol. 29, no. 7, pp. 665-667, July 2008.

[Joh09] J. Joh, J. A. del Alamo, U. Chowdhury, T. M. Chou, H. Q. Tserng and J. L. Jimenez, "Measurement of Channel Temperature in GaN High-Electron Mobility Transistors," in IEEE Transactions on Electron Devices, vol. 56, no. 12, pp. 2895-2901, Dec. 2009.

[Joh11] J. Joh and J. A. del Alamo, "A Current-Transient Methodology for Trap Analysis for GaN High Electron Mobility Transistors," in IEEE Transactions on Electron Devices, vol. 58, no. 1, pp. 132-140, Jan. 2011.

[Joh14] J. Joh, N. Tipirneni, S. Pendharkar and S. Krishnan, "Current collapse in GaN heterojunction field effect transistors for high-voltage switching applications," 2014 IEEE International Reliability Physics Symposium, Waikoloa, HI, 2014, pp. 6C.5.1-6C.5.4.

[Kac07] T. Kachi, "GaN Power Devices for Automotive Applications," *2007 IEEE Compound Semiconductor Integrated Circuits Symposium*, Portland, OR, 2007, pp. 1-4.

[Kac12] T. Kachi, D. Kikuta and T. Uesugi, "GaN power device and reliability for automotive applications," 2012 IEEE International Reliability Physics Symposium (IRPS), Anaheim, CA, 2012, pp. 3D.1.1-3D.1.4.

[Kac14] T. Kachi, “Recent progress of GaN power devices for automotive applications”, Jpn. J. Appl. Phys. Vol.53, 2014

[Kam12] N. Kaminski et al., “SiC and GaN devices – competition or coexistence?”, CIPS 2012.

[Kell17] S. Keller, “Substrates and Materials”, chapter 2 of “Power GaN devices”, Editors M. Meneghini, G. Meneghesso, E. Zanoni, Springer, 2017.

[Kha97] M. A. Khan Q. Chen M. S. Shur B. T. Dermott J. A. Higgins J. Burm W. J. Schaff L. F. Eastman "GaN based heterostructure for high power devices" Solid-State Electron. vol. 41 pp. 1555-1559 1997.

[Kim03] H. Kim, R. Thompson, V. Tilak, T. Prunty, J. Shealy, and L. Eastman, “Effects of SiN passivation and highelectric field on AlGaN-GaN HFET degradation,” IEEE Electron Device Letters, vol. 24, no. 7, pp. 421–423, 2003.

[Kod08] M. Kodama et al.,”GaN-Based Trench Gate Metal Oxide Semiconductor Field-Effect Transistor Fabricated with Novel Wet Etching”, Applied Physics Express, Volume 1, Number 2, 2008.

[Kuz02] J. Kuzmik, R. Javorka, A. Alam, M. Marso, M. Heuken and P. Kordos, "Determination of channel temperature in AlGaN/GaN HEMTs grown on sapphire and silicon substrates using DC

characterization method, ” in IEEE Transactions on Electron Devices, vol. 49, no. 8, pp. 1496-1498, Aug 2002.

[Kuz02] Kuzmik J, Javorka P, Alam A, Marso M, Heuken M, Kordos P. Determination of channel temperature in AlGaN/GaN HEMTs grown on sapphire and silicon substrates using DC characterization method. Electron Dev IEEE Trans 2002;49(8):1496–8. http://dx.doi.org/10.1109/TED.2002.801430.

[Kuz08] J. Kuzmik et al., “Technology and Performance of InAlN/AlN/GaN HEMTs With Gate Insulation and Current Collapse Suppression Using ZrO_2 or HfO_2,” in IEEE Transactions on Electron Devices, vol. 55, no. 3, pp. 937-941, March 2008.

[Lak17] H. Lakhdhar, “Reliability assessment of GaN HEMTs on Si substrate with ultra-short gate dedicated to power applications at frequency above 40 GHz”, thèse de doctorat de L’UNIVERSITÉ DE BORDEAUX, 2017

[Lan16] M. Landel, C. Gautier, D. Labrousse, S. Lefebvre, « Experimental study of the short-circuit robustness of 600v e-mode GaN transistors”, Microelectronics Reliability, Vol 64, pp 560-565, Sep. 2016.

[Li16] X. Li, G. Xie, C. Tang, and K. Sheng, “Charge trapping related channel modulation instability in P-GaN gate HEMTs,” Microelectron. Reliab., vol. 65, pp. 35–40, 2016.

[Liu11] Z. H. Liu, G. I. Ng, H. Zhou, S. Arulkumaran, and Y. K. T. Maung, “Reduced surface leakage current and trapping effects in AlGaN/GaN high electron mobility transistors on silicon with SiN/Al2O3 passivation,” Applied Physics Letters, vol. 98, no.11, 113506, 2011.

[Liu17] J. Liu et al., "GaN-Based Blue Laser Diodes With 2.2 W of Light Output Power Under Continuous-Wave Operation," in IEEE Photonics Technology Letters, vol. 29, no. 24, pp. 2203-2206, 15 Dec.15, 2017.

[Lu11] Bin Lu, Palacios T, Risbud D, Bahl S, Anderson DI. Extraction of dynamic onresistance in GaN transistors: under soft- and hard-switching conditions. In: Compound Semiconductor Integrated Circuit Symposium (CSICS), 2011 IEEE; 16–19 October 2011. p. 1–4 doi: 10.1109/CSICS.2011.6062461.

[Lu13] Y. Lu, S. Yang, Q. Jiang, Z. Tang, B. Li, and K. J. Chen, "Characterization of V_T-instability in enhancement-mode Al_2O_3-AlGaN/GaN MIS-HEMTs," physica status solidi (c), vol. 10, no. 11, pp. 1397-1400, 2013.

[Ma13] X.-H. Ma, J.-J. Zhu, X.-Y. Liao, T. Yue, W.-W. Chen, and Y. Hao, "Quantitative Characterization of interface traps in Al2O3/AlGaN/GaN metal-oxide-semiconductor high-electronmobility transistors by dynamic capacitance dispersion technique," Applied Physics Letters, vol. 103, no. 3, p. 033510, 2013.

[Man14a] K. C. Mandal, S. K. Chaudhuri, K. V. Nguyen, and M. A. Mannan, “Correlation of deep levels with detector performance in 4H-SiC epitaxial Schottky barrier alpha detectors,” IEEE Trans. Nucl. Sci., vol. 61, no. 4, pp. 2338–2344, Aug. 2014.

[Man14b] M. A. Mannan, S. K. Chaudhuri, K. V. Nguyen, and K. C. Mandal, “Effect of Z1/2, EH5, and Ci1 deep defects on the performance of n-type 4H-SiC epitaxial layers Schottky detectors: Alpha spectroscopy and deep level transient spectroscopy studies,” J. Appl. Phys., vol. 115, pp. 224504-1–6, 2014.

[Mar03] M. Marso, M. Wolter, P. Javorka, P. Kordoš, and H. Lüth, “Investigation of buffer traps in an AlGaN/GaN/Si high electron mobility transistor by backgating current deep level transient spectroscopy,” Appl. Phys. Lett., vol. 82, no. May 2013, pp. 633–635, 2003.

[Mar10] T. Marron, “GaN Based FETs for Power Switching Applications”, Semiconductor Device and Models II, Mar. 13, 2010.

[Mat04] H. Matsunami, "State-of-the-art wide band-gap semiconductors for power electronic devices," International Meeting for Future of Electron Devices, 2004., Kyoto, Japan, 2004, pp. 21-22.

[Mca06] S. P. McAlister, J. A. Bardwell, S. Haffouz, and H. Tang, “Self-heating and the temperature dependence of the dc characteristics of GaN heterostructure field effect transistors,” J. Vac. Sci. Technol. A, Vac. Surf. Films, vol. 24, no. 3, pp. 624–628, May 2006.

[Men08] G. Meneghesso, G. Verzellesi, F. Danesin, F. Rampazzo, F. Zanon, A. Tazzoli, M. Meneghini, and E. Zanoni, “Reliability of GaN highelectron-mobility transistors: State of the art and perspectives,” IEEE Trans. Device Mater. Rel., vol. 8, no. 2, pp. 332–343, Jun. 2008.

[Men12] M. Meneghini, A. Stocco, R. Silvestri, N. Ronchi, G. Meneghesso and E. Zanoni, "Impact of hot electrons on the reliability of AlGaN/GaN High Electron Mobility Transistors," 2012 IEEE International Reliability Physics Symposium (IRPS), Anaheim, CA, 2012, pp. 2C.2.1-2C.2.5.

[Men13] G. Meneghesso, M. Meneghini, D. Bisi, I. Rossetto, A. Cester, U. K. Mishra, and E. Zanoni, “Trapping phenomena in AlGaN / GaN HEMTs: a study based on pulsed and transient measurements,” Semicond. Sci. Technol., vol. 074021, 2013

[Men13b] M. Meneghini, G. Meneghesso and E. Zanoni, "Analysis of the Reliability of AlGaN/GaN HEMTs Submitted to On-State Stress Based on Electroluminescence Investigation," in IEEE Transactions on Device and Materials Reliability, vol. 13, no. 2, pp. 357-361, June 2013.

[Men13c] G. Meneghesso et al., “Degradation of AlGaN/GaN HEMT devices: Role of reverse-bias and hot electron stress”, Microelectronic Engineering, vol.109, pp.257–261, 2013.

[Men14] M. Meneghini, D. Bisi, D. Marcon, S. Stoffels, M. Van Hove, T.-L. Wu, S. Decoutere, G. Meneghesso, E. Zanoni, “Trapping in GaN-based metal-insulator-semiconductor transistors: Role of high drain bias and hot electrons,” Appl. Phys. Lett., vol. 104, p. 143505, 2014.

[Men14b] M. Meneghini et al., "OFF-State Degradation of AlGaN/GaN Power HEMTs: Experimental Demonstration of Time-Dependent Drain-Source Breakdown," in IEEE Transactions on Electron Devices, vol. 61, no. 6, pp. 1987-1992, June 2014.

[Men14c] M. Meneghini et al., "Role of buffer doping and pre-existing trap states in the current collapse and degradation of AlGaN/GaN HEMTs," 2014 IEEE International Reliability Physics Symposium, Waikoloa, HI, 2014, pp. 6C.6.1-6C.6.7.

[Men14d] G. Meneghesso, M. Meneghini and E. Zanoni, "Reliability and instabilities in GaN-based HEMTs," 2014 IEEE International Conference on Electron Devices and Solid-State Circuits, Chengdu, 2014, pp. 1-2.

[Men15] M. Meneghini et al., “Temperature-dependent dynamic RON in GaNbased MIS-HEMTs: Role of surface traps and buffer leakage,” IEEE Trans. Electron Devices, vol. 62, no. 3, pp. 782–787, Mar. 2015,

[Men15b] M. Meneghini et al., "Extensive Investigation of Time-Dependent Breakdown of GaN-HEMTs Submitted to OFF-State Stress," in IEEE Transactions on Electron Devices, vol. 62, no. 8, pp. 2549-2554, Aug. 2015.

[Men16] G. Meneghesso et al., “Reliability and parasitic issues in GaN-based power HEMTs: a review,” Semicond. Sci. Technol., vol. 31, p. 093004, 2016.

[Men16b] M. Meneghini et al., "Negative Bias-Induced Threshold Voltage Instability in GaN-on-Si Power HEMTs," in IEEE Electron Device Letters, vol. 37, no. 4, pp. 474-477, April 2016.

[Men16c] G. Meneghesso, M. Meneghini, D. Bisi, I. Rossetto, T. Wu, M. Van Hove, D. Marcon, S. Stoffels, S. Decoutere, and E. Zanoni, “Trapping and reliability issues in GaN-based MIS HEMTs with partially recessed gate,” Microelectron. Reliab., vol. 58, pp. 151–157, 2016.

[Men16d] M. Meneghini, I. Rossetto, V. Rizzato, S. Stoffels, M. Van Hove, N. Posthuma, T. Wu, D. Marcon, S. Decoutere, G. Meneghesso, and E. Zanoni, “Gate Stability of GaN-Based HEMTs with P-Type Gate,” Electronics, vol. 5, no. 14, pp. 1–8, 2016.

[Men17] M. Meneghini et al., "Reliability and failure analysis in power GaN-HEMTs: An overview," 2017 IEEE International Reliability Physics Symposium (IRPS), Monterey, CA, 2017, pp. 3B-2.1-3B-2.8.

[Mil00] Miller EJ, Dang XZ, Yu ET. Gate leakage current mechanisms in AlGaN/GaN heterostructure field-effect transistors. J Appl Phys 2000;88:5951. http:// dx.doi.org/10.1063/1.1319972.

[Mil14] J. Millan et al., “A Survey of Wide Bandgap Power Semiconductor Devices”, IEEE TRANSACTIONS ON POWER ELECTRONICS, VOL. 29, NO. 5, MAY 2014

[Mis02] U. Mishra, P. Parikh, and Y.-F. Wu, “AlGaN/GaN HEMTs-an overview of device operation and applications,” Proc. of the IEEE, vol. 90, no. 6, pp. 1022–1031, 2002.

[Miz03] T. Mizutani, T. Okino, K. Kawada, Y. Ohno, S. Kishimoto, and K. Mzezawa, “Drain current DLTS of AlGaN/GaN HEMTs,” Phys. Stat. Sol. (A), vol. 200, no. 1, pp. 195–198, Nov. 2003.

[Moe15] P. Moens et al., "Impact of buffer leakage on intrinsic reliability of 650V AlGaN/GaN HEMTs," 2015 IEEE International Electron Devices Meeting (IEDM), Washington, DC, 2015, pp. 35.2.1-35.2.4.

[Mor09] Morkoç H. Handbook of nitride semiconductors and devices, vol. 3. Weinheim: Wiley-VCH; 2009.

[Nof] SPECIFICATIONS COMPOSANT GAN 10A Normally-OFF, fourni par CEA

[Oki04] T. Okino, M. Ochiai, Y. Ohno, S. Kishimoto, K. Maezawa, and T. Mizutani. Drain current DLTS of AlGaN-GaN MIS-HEMTs. Electron Device Letters, IEEE, 25(8) :523_ 525, August 2004.

[Ouh17] M.Ouhab, “Estimation de Durée de Vie Restante de Modules de Puissance en Fonctionnement dans des Convertisseurs Industriels », thèse de doctorat de l'Université Paris-Saclay, 2017

[Puz10] Y. S. Puzyrev, B. R. Tuttle, R. D. Schrimpf, D. M. Fleetwood, and S. T. Pantelides, “Theory of hot-carrier-induced phenomena in GaN high-electron-mobility transistors,” Appl. Phys. Lett., vol. 96, p. 053505, 2010.

[Puz11] Y. S. Puzyrev, T. Roy, M. Beck, B. R. Tuttle, R. D. Schrimpf, D. M. Fleetwood, and S. T. Pantelides, “Dehydrogenation of defects and hot-electron degradation in GaN high-electron-mobility transistors,” J. Appl. Phys., vol. 109, no. 3, pp. 0–8, 2011.

[Ref OTG-F] “https://opsens-solutions.com/products/fiber-optic-temperature-sensors/otg-f/”

[Ref Prosens] “www.opsens-solutions.com.”

[Ros16] I. Rossetto, M. Meneghini, S. Dalcanale, E. Zanoni, O. Hilt, E. Bahat-treidel, J. Wuerfl, “Failure in p-type GaN High Electron Mobility Transistors under high forward bias stress,” Proc. 2016 28th Int. Symp. Power Semicond. Devices ICs, Prague, Czech Repub., pp. 35–38, 2016.

[Ros16b] I. Rossetto et al., "Time-Dependent Failure of GaN-on-Si Power HEMTs With p-GaN Gate," in IEEE Transactions on Electron Devices, vol. 63, no. 6, pp. 2334-2339, June 2016.

[Ros17] I. Rossetto et al., "Field-Related Failure of GaN-on-Si HEMTs: Dependence on Device Geometry and Passivation," in IEEE Transactions on Electron Devices, vol. 64, no. 1, pp. 73-77, Jan. 2017.

[Rug14] Li RuGuan, Wang YuanSheng, Zeng Chang, Liao XueYang, Lai Ping and Huang Yun, "Impact of high temperature reverse bias (HTRB) stress on the degradation of AlGaN/GaN HEMTs," 2014 IEEE International Conference on Electron Devices and Solid-State Circuits, Chengdu, 2014, pp. 1-2

[Ruz16] M. Ruzzarin et al., "Evidence of Hot-Electron Degradation in GaN-Based MIS-HEMTs Submitted to High Temperature Constant Source Current Stress," in IEEE Electron Device Letters, vol. 37, no. 11, pp. 1415-1417, Nov. 2016.

[Sad06] Sadi T, Kelsall RW, Pilgrim NJ. Investigation of self-heating effects insubmicrometer GaN/AlGaN HEMTs using an electrothermal Monte Carlomethod. IEEE Trans Electron Dev 2006;53(12):2892–900.

[Sah15] A. K. Sahoo, N. K. Subramani, J. C. Nallatamby, N. Rolland, R. Quere and F. Medjdoub, "Temperature dependent contact and channel sheet resistance extraction of GaN HEMT," 2015 Integrated Nonlinear Microwave and Millimetre-wave Circuits Workshop (INMMiC), Taormina, 2015, pp. 1-3.

[Sai06] W. Saito, Y. Takeda, M. Kuraguchi, K. Tsuda, and I. Omura, “Recessed-Gate Structure Approach Toward Normally Off High-Voltage AlGaN/GaN HEMT for Power Electronics Applications”, IEEE Trans. Electron Devices, vol.53, pp.356-362, 2006.

[Sai10], W. Saito et al., "Influence of electric field upon current collapse phenomena and reliability in high voltage GaN-HEMTs," 2010 22nd International Symposium on Power Semiconductor Devices & IC's (ISPSD), Hiroshima, 2010, pp. 339-342.

[Sar06] A. Sarua et al., "Integrated micro-Raman/infrared thermography probe for monitoring of self-heating in AlGaN/GaN transistor structures," in IEEE Transactions on Electron Devices, vol. 53, no. 10, pp. 2438-2447, Oct. 2006.

[Sas12] A. Sasikumar et al., "Direct correlation between specific trap formation and electric stress-induced degradation in MBE-grown AlGaN/GaN HEMTs," 2012 IEEE International Reliability Physics Symposium (IRPS), Anaheim, CA, 2012, pp. 2C.3.1-2C.3.6.

[Sch06] D.K. Schroder, « Semiconductor material and device characterization », IEEE Press, Wiley Interscience, third edition, 2006.

[Sgh04] N. Sghaier et al., "Current instabilities and deep level investigation on AlGaN/GaN HEMT's on silicon and sapphire substrates," Proceedings. The 16th International Conference on Microelectronics, 2004. ICM 2004., Tunis, Tunisia, 2004, pp. 672-675.

[She03] Shen L, Chini A, Coffie Robert, Buttari Dario, Heikman Sten, Keller Stacia, et al. Temperature dependence of the current-voltage characteristics of AlGaN/GaN HEMT. In: Device Research Conference; June 23–25 2003, pp. 63–64

[Shi18] Y. Shi et al., "Bidirectional threshold voltage shift and gate leakage in 650 V p-GaN AlGaN/GaN HEMTs: The role of electron-trapping and hole-injection," 2018 IEEE 30th International Symposium on Power Semiconductor Devices and ICs (ISPSD), Chicago, IL, 2018, pp. 96-99.

[Son17] S. Song, S. Munk-Nielsen, C. Uhrenfeldt, « Failure mechanism analysis of off-state drain-to-source leakage current failure of a commercial 650 V discrete GaN-on-Si HEMT power device by accelerated powercycling test » 2017 Microelectronics Reliability, Aalborg,

[Son17b] S. Song, S. Munk-Nielsen, C. Uhrenfeldt and I. Trintis, "Failure mechanism analysis of a discrete 650V enhancement mode GaN-on-Si power device with reverse conduction accelerated power cycling test," 2017 IEEE Applied Power Electronics Conference and Exposition (APEC), Tampa, FL, 2017, pp. 756-760.

[Son17c] S. Song, S. Munk-Nielsen, C. Uhrenfeldt and K. Pedersen, "Power cycling test of a 650 V discrete GaN-on-Si power device with a laminated packaging embedding technology," 2017 IEEE Energy Conversion Congress and Exposition (ECCE), Cincinnati, OH, 2017, pp. 2540-2545

[Soz05] A. Sozza, C. Dua, E. Morvan, M. A. diForte-Poisson, S. Delage, F. Rampazzo, A. Tazzoli, F. Danesin, G. Meneghesso, E. Zanoni, A. Curutchet, N. Malbert, N. Labat, B. Grimbert, and J.-C. De Jaeger, “Evidence of traps creation in GaN/AlGaN/GaN HEMTs after a 3000 hour on-state and off-state hot-electron stress,” in IEDM Tech. Dig., 2005, pp. 590–593.

[Sri11] P. Srivastava et al., "Record Breakdown Voltage (2200 V) of GaN DHFETs on Si With 2-$muhbox{m}$ Buffer Thickness by Local Substrate Removal," in IEEE Electron Device Letters, vol. 32, no. 1, pp. 30-32, Jan. 2011.

[Sto17] A. Stockman, M. Uren, A. Tajalli, M. Meneghini, B. Bakeroot and P. Moens, "Temperature dependent substrate trapping in AlGaN/GaN power devices and the impact on dynamic ron," 2017 47th European Solid-State Device Research Conference (ESSDERC), Leuven, 2017, pp. 130-133.

[Su12] M. Su et al., “Challenges in the Automotive Application of GaN Power Switching Devices”, CS MANTECH Conference, Boston, Massachusetts, USA, 2012

[Sur11] C.Sury, « Localisation et évolution des sources de bruit en basses fréquences de HEMTs GaN sous contraintes électriques », thèse de doctorat de L’UNIVERSITÉ BORDEAUX 1, 2011

[Tan02] W.S Tan, P.A Houston, P.J Parbrook, D.A Wood, G Hill, C.R Whitehouse”Gate leakage effects and breakdown voltage in metalorganic vapor phase epitaxy AlGaN/GaN heterostructure field-effect transistors”Appl. Phys. Lett., 80 (17) (2002), pp. 3207-3209

[Tan06] W. S. Tan, M. J. Uren, P. A. Houston, R. T. Green, R. S. Balmer and T. Martin, "Surface leakage currents in SiNx passivated AlGaN/GaN HFETs," in IEEE Electron Device Letters, vol. 27, no. 1, pp. 1-3, Jan. 2006.

[Tap 10] M. Tapajna, R.J.T. Simms, Y. Pei, U.K. Mishra, and M. Kuball, "Integrated optical and electrical analysis: Identifying location and properties of traps in AlGaN/GaN HEMTs during electrical stress," IEEE Electron Device Lett., vol.31, no.7, pp.662–664, 2010.

[Tap16] M. Ťapajna, O. Hilt, E. Bahat-Treidel, J. Würfl and J. Kuzmík, "Gate Reliability Investigation in Normally-Off p-Type-GaN Cap/AlGaN/GaN HEMTs Under Forward Bias Stress," in IEEE Electron Device Letters, vol. 37, no. 4, pp. 385-388, April 2016.

[Tay07] Rajesh K Tyagi, Anil Ahlawat, Manoj Pandey, Sujata Pandey. An analytical twodimensional model for AlGaN/GaN HEMT with polarization effects for high power applications. Microelectron J 2007;38(8-9):877–83. ISSN 0026-2692, 10.1016/j.mejo.2007.07.003.

[Tem16] F. Temcamani, J. Fonder, O. Latry and C. Duperrier, "Electrical and Physical Analysis of Thermal Degradations of AlGaN/GaN HEMT Under Radar-Type Operating Life," in IEEE Transactions on Microwave Theory and Techniques, vol. 64, no. 3, pp. 756-766, March 2016.

[Tol02] L. M. Tolbert, B. Ozpineci, S. K. Islam, M. Chinthavali, "Wide bandgap semiconductors for utility applications", Proc. IASTED Int. Conf. Power and Energy Systems (PES), pp. 317-321, 2003.

[Tre09] R. J. Trew, D. S. Green and J. B. Shealy, "AlGaN/GaN HFET reliability," in IEEE Microwave Magazine, vol. 10, no. 4, pp. 116-127, June 2009.

[Tur06] Turin VO, Balandin AA. Electrothermal simulation of the selfheating effects inGaN based field-effect transistors. J Appl Phys 2006;100(5):054–501.

[Ued13] D. Ueda, "Status Quo and trends of GaN power devices," 2013 IEEE International Reliability Physics Symposium (IRPS), Anaheim, CA, 2013, pp. 3C.2.1-3C.2.4.

[Ued17] T. Ueda, "Gate Injection Transistors: E-mode Operation and Conductivity Modulation", chapter 11 of "Power GaN devices", Editors M. Meneghini, G. Meneghesso, E. Zanoni, Springer, 2017.

[Uem06] Y. Uemoto et al., "A Normally-off AlGaN/GaN Transistor with RonA=2.6mΩcm2 and BVds=640V Using Conductivity Modulation", IEDM 2006.

[Uem07] Y. Uemoto et al., "Gate Injection Transistor (GIT)—A Normally-Off AlGaN/GaN Power Transistor Using Conductivity Modulation," in IEEE Transactions on Electron Devices, vol. 54, no. 12, pp. 3393-3399, Dec. 2007.

[Ung16] C. Unger, M. Mocanul, M. Pfost, P. Waltereit and R. Reiner, "Experimental analysis of the gate-leakage-induced failure mechanism in GaN HEMTs," 2016 International Semiconductor Conference (CAS), Sinaia, 2016, pp. 127-130.

[Ure14] M. J. Uren et al., "Intentionally Carbon-Doped AlGaN/GaN HEMTs: Necessity for Vertical Leakage Paths," in IEEE Electron Device Letters, vol. 35, no. 3, pp. 327-329, March 2014.

[Vet01]. R. Vetury, N. Q. Zhang, S. Keller and U. K. Mishra, "The impact of surface states on the DC and RF characteristics of AlGaN/GaN HFETs," in IEEE Transactions on Electron Devices, vol. 48, no. 3, pp. 560-566, March 2001.

[Wam16] S. Warnock and J. A. del Alamo, “Progressive Breakdown in High-Voltage GaN MIS-HEMTs,” Reliab. Phys. Symp. (IRPS), 2016

[Wan17] K. Wang, Z. Qi, F. Li, L. Wang and X. Yang, "Review of state-of-the-art integration technologies in power electronic systems," in CPSS Transactions on Power Electronics and Applications, vol. 2, no. 4, pp. 292-305, December 2017.

[Wu01] Y.-F. Wu et al., “Very-high power density AlGaN/GaN HEMTs,” IEEE Trans. on Electron Devices, vol. 48, no. 3, pp. 586–590, 2001.,

[Wu15] T. L. Wu et al., "Forward Bias Gate Breakdown Mechanism in Enhancement-Mode p-GaN Gate AlGaN/GaN High-Electron Mobility Transistors," in IEEE Electron Device Letters, vol. 36, no. 10, pp. 1001-1003, Oct. 2015.

[Wu15b] T. Wu, D. Marcon, B. De Jaeger, M. Van Hove, B. Bakeroot, D. Lin, X. Kang, R. Roelofs, G. Groeseneken, and S. Decoutere, “The impact of the gate dielectric quality in developing Au-free D-mode and E-mode recessed gate AlGaN / GaN transistors on a 200mm Si substrate,” Proc. 27th Int. Symp. Power Semicond. Devices IC’, pp.225–228, 2015.

[Wun68] D. C. Wunsch and R. R. Bell, "Determination of Threshold Failure Levels of Semiconductor Diodes and Transistors Due to Pulse Voltages," in IEEE Transactions on Nuclear Science, vol. 15, no. 6, pp. 244-259, Dec. 1968.

[Wur13] J. Wurfl, “Breakdown and dynamic effects in GaN power switching devices”, Phys. Status Solidi C 10, No. 11, pp.1393–1396, 2013

[Wur17] J. Wurfl, “Drift Effects in GaN High-Voltage Power Transistors”, chapter 13 of “Power GaN devices”, Editors M. Meneghini, G. Meneghesso, E. Zanoni, Springer, 2017.

[Xu16] M. Xu, Y. Weng and H. Wang, "Reduction of leakage current in GaN-based high-electron mobility transistor employing carbon-doped GaN superlattice buffer layers," 2016 13th China International Forum on Solid State Lighting: International Forum on Wide Bandgap Semiconductors China (SSLChina: IFWS), Beijing, 2016, pp. 62-63.

[Yam12] Y. Yamaguchi et al., "Simulation Study and Reduction of Reverse Gate Leakage Current for GaN HEMTs," 2012 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS), La Jolla, CA, 2012, pp. 1-4.

[Yu01] T.-H. Yu K. F. Brennan "Theoretical study of the two-dimensional electron mobility in strained III-nitride heterostructures" J. Appl. Phys. vol. 89 pp. 3827-3834 2001.

[Zak18] F. Zaki, “Characterization, modeling and aging behavior of GaN power transistors”, these de doctorat de l'Université Paris-Saclay, 2018

[Zan12] E. Zanoni, M. Meneghini and G. Meneghesso, ”Hot electrons and time-to-breakdown induced degradation in AlGaN/GaN HEMTs”, Proc. Of Intern. Conf. on Microwave Radar and Wireless Communications (MIKON), May 2012.

[Zan92] E. Zanoni, M. Manfredi, S. Bigliardi, A. Paccagnella, P. Pisoni, C. Tedesco, and C. Canali, “Impact ionization and light emission in AlGaAs/GaAs HEMT's,” IEEE Trans. Electron Devices, vol. 39, no. 8, pp. 1849-1857, 1992

[Zha01] Zhang et al., “Effects of surface traps on breakdown voltage and switching speed of GaN power switching HEMTs”, IEDM conf., 2001

[Zha13] Yamin Zhang, ShiweiFeng, Hui Zhu, Jianwei Zhang, Bing Deng. Twodimensional transient simulations of the self-heating effects in GaN-based HEMTs. Microelectron Reliab 2013;53(5):694–700.

[Zha16] L. Zhang, P. Liu, S. Guo and A. Q. Huang, "Comparative study of temperature sensitive electrical parameters (TSEP) of Si, SiC and GaN power devices," 2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA), Fayetteville, AR, 2016, pp. 302-307.

Titre : Contribution à l'étude des modes de dégradation des transistors HEMT à base de GaN pour les applications de puissance.

Mots clés : Transistor HEMT-GaN, piégeage/de-piégeage, commutation cyclique, vieillissement.

Résumé : Les composants de puissance à base de GaN sont connus par l'instabilité de leurs caractéristiques électriques, en particulier la tension de seuil et la résistance à l'état passant. Cela est dû aux effets des mécanismes de piégeage/de-piégeage des charges dans la structure. Le travail présenté dans ce mémoire se compose de deux grandes parties. Dans un premier temps, nous mettons en évidence l'effet d'un certain nombre de paramètres de commutation sur l'évolution de la résistance dynamique avec des cycles de commutation successifs. Nous analysons, en particulier, l'effet de la tension au blocage, la fréquence de commutation et la température sur l'évolution de la résistance dynamique.

Dans un deuxième temps, nous présentons les résultats des essais de cyclage de puissance effectués en utilisant 80K de variation de température de jonction sur des puces de puissance MOS-HEMT Al_2O_3/AlGaN/GaN Normally-On. Ensuite, nous réalisons des caractérisations de pièges, basées sur des analyses de mesures de courants transitoires pendant le processus de vieillissement. Les résultats montrent qu'une dégradation irréversible affecte la tension de seuil avec une dérive vers des valeurs négatives. Ces dérives sont principalement attribuables au piégeage cumulatif avec des cycles de puissance, probablement induits par des électrons chauds, d'une manière progressive et non récupérable.

Title: Contribution to the study of degradation modes of transistors HEMT based on GaN for power applications.

Keywords: Transistor HEMT-GaN, trapping/de-trapping, switching cycles, aging.

Abstract: Power components based on GaN are known by the instability of their electrical characteristics, in particular the threshold voltage and the on-state resistance. This is due to the effects of trapping/de-trapping mechanisms in the structure. The work presented in this memoir consists of two main parts. At the first step, we highlight the effect of a number of switching parameters on the evolution of the dynamic resistance with successive switching cycles. In particular, we analyze the effect of blocking voltage, switching frequency and temperature on the evolution of dynamic resistance.

In a second step, we present the results of power cycling tests performed using 80K of junction temperature swing on Normally-ON Al_2O_3/AlGaN/GaN MOS-HEMTs. Then, we perform trap characterizations, based on the analyses of transient current measurements, during the aging process. The results show that irreversible degradation affects threshold voltage with drift to negative values. These drifts were mainly attributed to cumulative trapping with power cycles, probably induced by hot electrons, in a progressive and non-recoverable way.

Université Paris-Saclay
Espace Technologique / Immeuble Discovery
Route de l'Orme aux Merisiers RD 128 / 91190 Saint-Aubin, France