



HAL
open science

Caractérisation et modélisation de la fiabilité des transistors MOS en Radio Fréquence

Laurent Negre

► **To cite this version:**

Laurent Negre. Caractérisation et modélisation de la fiabilité des transistors MOS en Radio Fréquence. Micro et nanotechnologies/Microélectronique. Université de Grenoble, 2011. Français. NNT : 2011GRENT126 . tel-01688483

HAL Id: tel-01688483

<https://theses.hal.science/tel-01688483>

Submitted on 19 Jan 2018

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITÉ DE GRENOBLE

THESE

POUR OBTENIR LE GRADE DE

DOCTEUR DE L'UNIVERSITE DE GRENOBLE

Spécialité : Nano Electronique et Nano Technologies

Arrêté ministériel : 7 août 2006

PRÉSENTÉE PAR

Laurent NEGRE

THÈSE DIRIGÉE PAR **Gérard GHIBAUDO**

PRÉPARÉE AU SEIN DE **STMicroelectronics**

ET DE L'**Institut de Microélectronique d'Electromagnétisme
et de Photonique (IMEP-LAHC)**

DANS L'**Ecole Doctorale : Electronique, Electrotechnique,
Automatique et Traitement du Signal**

CARACTERISATION ET MODELISATION DE LA FIABILITE DES TRANSISTORS MOS EN RADIO FREQUENCE

THÈSE SOUTENUE PUBLIQUEMENT LE **14 Décembre 2011**,

DEVANT LE JURY COMPOSÉ DE :

M. GONTRAND Christian

PR, INSA de Lyon, **Président**

Mme MALBERT Nathalie

PR, Université de Bordeaux, **Rapporteur**

M. DAMBRINE Gilles

PR, Université de Lille 1, **Rapporteur**

M. SCHEER Patrick

ING, STMicroelectronics, **Examineur**

M. GHIBAUDO Gérard

DR, CNRS Alpes - IMEP/INPG, **Directeur de Thèse**

M. ROY David

ING, STMicroelectronics, **Co-encadrant de Thèse**



Sommaire

Introduction générale	1
I Principe de fonctionnement et modélisation du transistor MOS	5
I.1 Introduction	5
I.2 Le transistor MOS à effet de champ	6
I.2.1 Le principe de fonctionnement du transistor MOS	6
I.2.2 Les charges dans la structure MOS	7
I.2.3 Le régime statique	12
I.2.4 Le régime dynamique	14
I.2.5 Les capacités et paramètres petits signaux	16
I.3 Les éléments parasites du MOSFET	22
I.3.1 Introduction	22
I.3.2 Les capacités parasites	23
I.3.3 Les résistances parasites	25
I.4 La modélisation des transistors MOS	26
I.4.1 L'historique des modèles compacts	26
I.4.2 PSP : modèle à potentiel de surface	27
I.5 Conclusion	30
II La fiabilité du transistor MOSFET	31
II.1 Introduction	31
II.2 Les défauts dans le Si/SiO ₂	33
II.2.1 L'oxyde de Silicium et son interface	33
II.2.2 La nature chimique des défauts	34
II.2.3 Les caractéristiques des défauts	38
II.2.4 Impact des défauts sur les paramètres électriques du transistor	38
II.3 Les différents mécanismes de dégradation	40
II.3.1 Les conditions d'accélération du vieillissement	40
II.3.2 Negative Bias Temperature Instability (NBTI)	40
II.3.3 Les porteurs chauds (HC)	42
II.3.4 Le claquage d'oxyde (TDDB)	46

II.4	La modélisation du vieillissement du transistor MOSFET	48
II.4.1	Les différents modèles	48
II.4.2	Le modèle HC complet	48
II.5	Du statique (DC) à la radiofréquence (RF)	50
II.5.1	L'extension du modèle DC	50
II.5.2	Le modèle temporel contre le modèle fréquentiel	53
II.6	Conclusion	54
III	Mise en place d'une procédure d'étude du vieillissement du transistor MOSFET en RF	55
III.1	Introduction	55
III.2	Méthode d'analyses et de mesures hyperfréquence	56
III.2.1	Des paramètres H, Y, Z, ABCD aux paramètres S	56
III.2.2	Les mesures radiofréquence	59
III.3	Protocole expérimental de test de fiabilité pour des vieillissements DC et RF	65
III.3.1	Description du banc de mesures de type load-pull passif	65
III.3.2	Méthodologie pour une étude du vieillissement sous contrainte DC	66
III.3.3	Méthodologie pour une étude du vieillissement sous contrainte RF	67
III.3.4	Extraction du schéma équivalent du transistor MOS	80
III.4	Conclusion	85
IV	Etude de la dégradation HC pour des contraintes DC et RF	87
IV.1	Introduction	87
IV.2	Impact de la dégradation HC sur les paramètres DC du MOSFET	88
IV.2.1	Construction du modèle	88
IV.2.2	La modélisation du vieillissement des paramètres DC pour des contraintes AC	89
IV.2.3	La modélisation du vieillissement des paramètres DC pour des contraintes RF	92
IV.3	Impact de la dégradation HC sur les paramètres RF du MOSFET	95
IV.3.1	Etude du vieillissement des éléments du schéma équivalent petit signal	95
IV.3.2	Origine du vieillissement des paramètres petits signaux	96
IV.3.3	Outil de localisation de défauts	104
IV.4	Design in Reliability (DiR)	105
IV.4.1	La fiabilité RF au niveau design	105
IV.4.2	L'intégration du vieillissement au niveau du modèle compact	106
IV.5	Conclusion	110
	Conclusion générale	111

A Capacité de jonction	115
Liste des figures	117
Liste des tableaux	125
Bibliographie	127
Bibliographie personnelle	135

Introduction générale

Contexte général :

Pourquoi le transistor MOS en radiofréquence ?

La radio, la télévision, puis le téléphone et les ordinateurs portables se sont fortement déployés et intégrés dans le monde d'aujourd'hui. Ce succès repose essentiellement sur le développement des techniques de transport de l'information, mais aussi sur l'évolution continue des systèmes de communications portables qui a entraîné une forte croissance du marché des composants radiofréquences (RF).

Pendant de nombreuses années, le marché était dominé par les technologies en Arseniure de Gallium (GaAs). Cependant l'évolution des performances des technologies en Silicium telle que le CMOS-Si et le BiCMOS-SiGe est venue concurrencer les technologies en GaAs. Initialement conçues pour des applications numériques, cette évolution leurs a permis de se positionner sur le marché des applications analogiques et RF. De nouveaux produits ont été développés permettant d'adresser notamment les réseaux sans fils (e.g. Wi-Fi, Bluetooth, ZigBee) et les réseaux de téléphonie mobile de 3ème et bientôt de 4ème génération (e.g. CDMA, EDGE, HDR, LTE). L'évolution des besoins et du marché a nécessité que les circuits prennent en charge ces différents réseaux au travers de systèmes complets embarqués nommés System-on-Chip (SoC). De ce fait, ces circuits doivent être développés pour gérer plusieurs standards de communication en tenant compte du coût, des performances, de la densité d'intégration, de la qualité des interconnexions, de l'isolation des différents blocs, de la consommation totale. Le tableau ci-dessous compare certaines caractéristiques pour les technologies GaAs, CMOS-Si et BiCMOS-SiGe.

Tableau .1 – Comparaison de différentes caractéristiques des technologies GaAs, CMOS-Si et BiCMOS-Si.

	GaAs	BiCMOS-SiGe	CMOS-Si
Coût	Très élevé	Elevé	Faible
Performances	Très élevé	Elevé	Elevé
Densité d'intégration	Mauvaise	Bonne	Bonne
Consommation	Elevé	Faible	Faible

Cette comparaison montre que les transistors MOS en Silicium offrent des caractéristiques intéressantes pour la conception de circuits analogiques et RF. Malgré une limitation en terme de performance, le transistor MOS présente deux avantages importants. Son prix est le plus compétitif et il offre la possibilité d'intégrer sur un même circuit des fonctions digitales, analogiques et RF.

Cependant, en plus de ces caractéristiques, il faut aussi tenir compte de la fiabilité qui est un critère stratégique majeur dans le but d'exploiter au maximum les performances du produit tout en respectant les spécifications techniques.

Contexte spécifique :

Pourquoi la fiabilité en radiofréquence ?

La fiabilité peut être définie comme l'aptitude d'un dispositif à accomplir une fonction requise dans des conditions données pour une période de temps donnée. Autrement dit, la fiabilité consiste à assurer la tenue des spécifications dans une certaine gamme durant toute la vie du produit. Cette gamme correspond à un critère de défaillance définissant la limite de fiabilité d'un produit. Le temps nécessaire pour atteindre ce critère de défaillance doit alors être supérieur au temps défini comme la durée de vie du produit.

Pour adresser la fiabilité d'une technologie dans le cas d'applications digitales, des mécanismes physiques de dégradation sont identifiés au niveau du transistor élémentaire. Après avoir compris les dépendances de chacun de ces mécanismes en fonction des conditions d'utilisations, des contraintes statiques accélérées sont appliquées expérimentalement à une large gamme de transistors afin de pouvoir construire des modèles qui permettront une extrapolation des performances statiques du transistor aux conditions nominales d'utilisation. De là, par l'intermédiaire de simulations analytiques, il est possible de définir la fiabilité au niveau du produit.

En ce qui concerne les applications spécifiques RF, les profils de mission qui décrivent le contexte d'utilisation produit (e.g. température, signal, tension...) sont très agressifs. En effet, ils adressent des conditions bien plus importantes que celles relatives aux applications digitales. Si on considère le cas des amplificateurs dans une chaîne d'émission-réception RF, ils sont soumis au cours de leur fonctionnement à des niveaux de puissances élevés et de ce fait à des couples de courants/tensions importants présentant des tensions supérieures à la tension nominale d'utilisation sur de très courtes périodes. La Figure .1 présente un exemple de profil de mission en tension pour un transistor MOS utilisé en tant qu'amplificateur dans une chaîne d'émission-réception d'un bloc Wi-Fi.

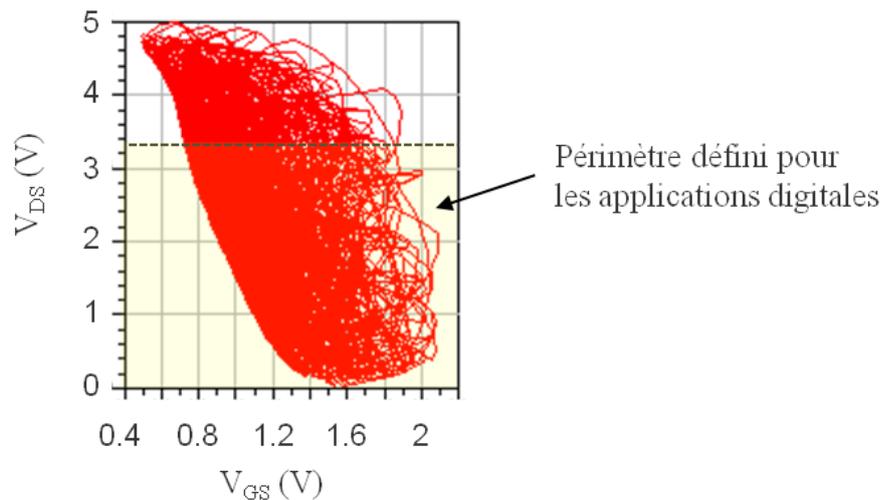


FIGURE .1 – Exemple de profil de mission en tension adressé aux bornes d’un transistor MOS dans le cas d’application RF.

Des modèles de fiabilité ont été développés au niveau élémentaire (i.e. le transistor MOS dans notre cas) pour être prédictif à l’échelle du produit. Dans ce contexte, de nouvelles questions vont se poser sur la validité du modèle, sur le vieillissement des paramètres fondamentaux du transistor MOS, sur la modélisation des excursions en tension. . .

De ce fait, un des enjeux majeur de la fiabilité dans le domaine de la RF est d’étendre l’étude tant au niveau des contraintes RF que des performances RF du transistor MOS. Afin d’y répondre, une étude a été menée afin de développer une méthodologie complète de caractérisation et d’analyse, mais aussi définir et modéliser l’origine physique de la dégradation.

Travail de thèse

L’objectif principal de ce travail de thèse est d’étendre l’étude de la fiabilité dans le domaine RF. Le domaine de fréquence étudié est celui des applications RF à des fréquences inférieures à 10GHz.

Dans cette optique le manuscrit est composé de quatre chapitres :

- Le Chapitre I présentera plus précisément le fonctionnement du transistor MOS en régime statique et dynamique, pour ensuite introduire la modélisation du transistor MOS. Les effets parasites seront également abordés. Cette étape est essentielle pour définir les paramètres qui seront suivis et analysés en fiabilité au cours de cette étude.

- Le Chapitre II sera consacré à la présentation de la fiabilité en décrivant les propriétés électriques et physiques des défauts de la structure Si/SiO₂. Cela permettra d'introduire les principaux mécanismes de dégradations rencontrés au niveau du transistor MOS tels que les phénomènes d'instabilité des paramètres électriques sous contraintes négatives (NBTI), le claquage d'oxyde (TDDB) et le phénomène de porteurs chauds (HC). Les modèles associés et la méthode permettant de les étendre dans le domaine RF seront décrits.
- Le Chapitre III aura pour objectif de décrire de manière exhaustive la méthodologie développée pour adresser expérimentalement l'étude de la fiabilité dans le domaine RF i.e. application de contrainte RF et étude du vieillissement des paramètres RF. Le banc de mesure ainsi que la procédure de calibration et d'extraction du signal appliqué aux bornes du transistor MOS seront détaillés. Aussi, la méthode d'analyse des paramètres clés en RF sera présentée.
- Le Chapitre IV sera consacré à l'application de la méthodologie, décrite au Chapitre III, dans le cas de contraintes de type porteurs chauds. Dans un premier temps, une étude et modélisation du vieillissement des paramètres statiques soumis à des contraintes AC puis RF sera réalisée en cohérence avec les modèles statiques existants. Cette étape permettra par ailleurs de consolider l'assise physique sur lesquels reposent les modèles statiques. Ensuite, une étude du vieillissement du transistor MOS au travers de la dérive de paramètres spécifiques RF (paramètres S) sera menée. Le travail portera sur l'identification de paramètres critiques du transistor MOS dans la gamme RF. L'origine physique de la dérive des paramètres spécifiques sera l'objet d'une étude approfondie. Cette étude permettra d'introduire un nouvel outil de caractérisation sensible à la localisation des défauts. Enfin, une implémentation du vieillissement des paramètres statiques et RF au niveau du modèle compact sera proposée.

Principe de fonctionnement et modélisation du transistor MOS

I.1 Introduction

Notre but fondamental étant d'étendre l'étude de la fiabilité des transistors MOS dans le domaine de la radiofréquence, nous décrirons, dans ce chapitre, le comportement du transistor MOS. C'est ainsi qu'il nous a paru essentiel de commencer par la présentation du transistor en fonctionnement statique pour pouvoir aborder progressivement le fonctionnement dynamique de celui-ci en intégrant les charges qui sont mises en jeu ainsi que les éléments parasites qui prennent une place importante dans la suite de notre analyse.

Etant donné que l'étude concerne le domaine de la RF, le fonctionnement du transistor MOS en tant que commutateur et amplificateur de puissance sera abordé.

I.2 Le transistor MOS à effet de champ

I.2.1 Le principe de fonctionnement du transistor MOS

L'architecture d'un transistor MOS^a de type n est présentée sur la Figure I.1. Le transistor de type n est constitué d'un substrat (B), de type p, dans lequel deux diffusions n^+ constituent les électrodes de source (S) et de drain (D). On réalise sur le substrat une capacité MOS entre la source et le drain. La région de longueur L_{eff} entre les jonctions de source et de drain est appelée canal. L'électrode de commande de la capacité MOS constitue la grille du transistor (G). Le transistor MOS peut ainsi être décomposé en une partie intrinsèque qui est responsable de l'effet transistor et une partie extrinsèque (§ I.3) qui regroupe l'ensemble des éléments périphériques au canal, et permet d'accéder au dispositif intrinsèque : elle est composée des éléments représentant les chemins résistifs d'accès aux différents terminaux de grille, source, drain et substrat. Elle inclut également les couplages capacitifs entre les interconnexions métalliques, contacts, les capacités des jonctions source et drain, et de recouvrement de la source et du drain avec la grille.

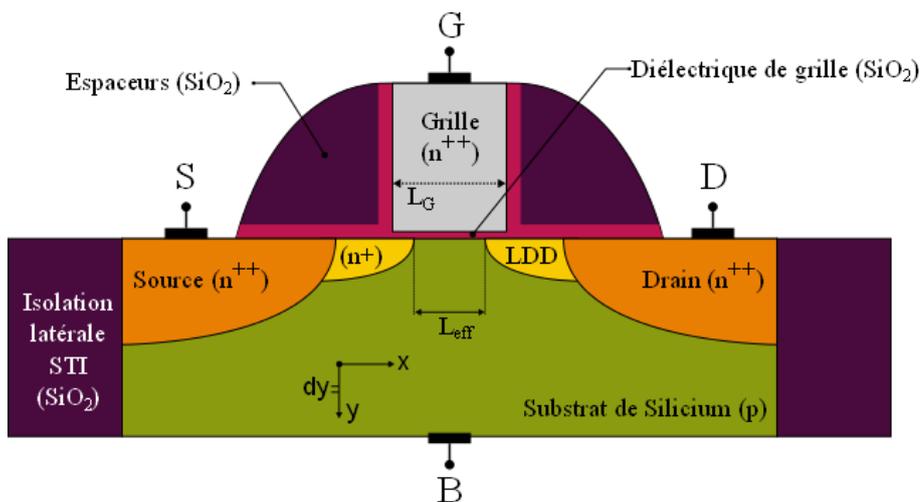


FIGURE I.1 – Schéma d'un transistor MOS de type n .

L'application d'une tension V_{GB} entre la grille et le substrat entraîne la modification de la structure de bande proche de l'interface du diélectrique de grille et du substrat (Si-SiO₂). Ainsi, dans la région du canal, les trois principaux cas détaillés dans la Figure I.2 peuvent être considérés : accumulation, déplétion et inversion.

Lors de l'application d'une tension V_{GB} négative, le potentiel à la surface du semiconducteur devient négatif et la densité de trou augmente à la surface du semiconducteur. En augmentant la tension V_{GB} appliquée, on aboutit au régime de bandes plates qui a pour

a. MOS : Métal Oxyde Semiconducteur

tension associée la tension de bandes plates V_{FB} et correspond au potentiel pour lequel le champ électrique dans le substrat s'annule.

Au-delà des conditions de bandes plates ($V_{GB} > V_{FB}$), l'interface oxyde/substrat entre en déplétion laissant place à une charge d'interface négative. A partir d'une certaine tension, la densité d'électron augmente fortement et devient supérieure à la concentration de porteur majoritaire. Le semiconducteur change de type au voisinage de la surface formant le canal du transistor MOS dans ce régime d'inversion. Ainsi, deux régimes d'inversion existent :

- le régime d'inversion faible, la densité de porteur minoritaire reste inférieure à la densité de dopants introduits (la charge d'espace dépend alors des accepteurs).
- le régime de forte inversion, la densité de porteur minoritaire est supérieure à la densité de dopants du substrat (la charge d'espace est alors constituée de porteurs minoritaires venant de la source et du drain).

Cette charge d'inversion constitue une couche conductrice composée d'électrons et écrante la zone de déplétion. Un flux d'électron peut ainsi circuler dans le canal lorsqu'une différence de potentiel est appliquée entre la source et le drain (V_{DS}).

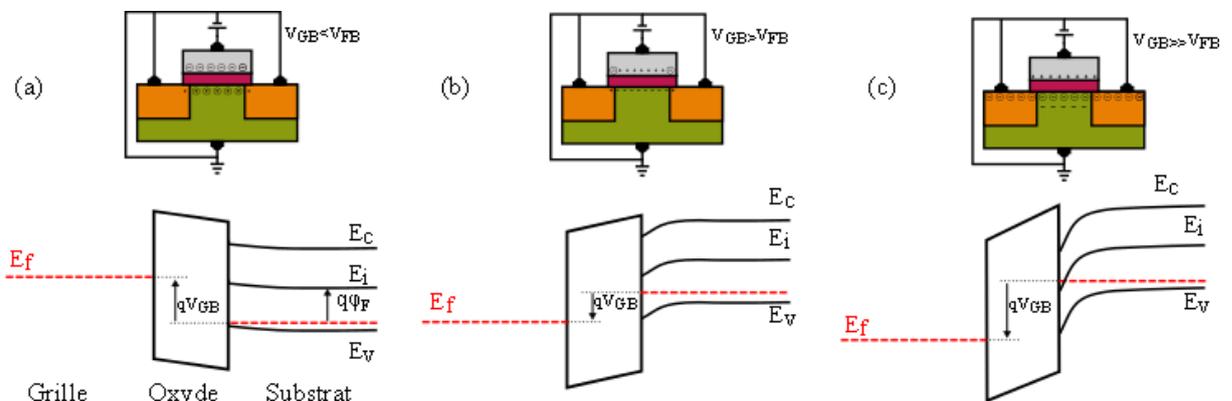


FIGURE I.2 – Distribution des charges et diagramme de bandes dans un transistor MOS de type n pour les différents régimes de fonctionnement : (a) accumulation (b) déplétion (c) inversion.

I.2.2 Les charges dans la structure MOS

I.2.2.a Le potentiel de surface

Nous avons vu le principe de fonctionnement du transistor MOS et pour le modéliser il est nécessaire d'introduire une grandeur fondamentale qui est le potentiel de surface φ_S .

Il est présent dans toutes les expressions des paramètres électriques du transistor MOS. Comme représenté sur la Figure I.3, le potentiel de surface se définit comme le potentiel électrostatique à l'interface oxyde de grille/substrat en prenant la zone neutre du substrat comme référence.

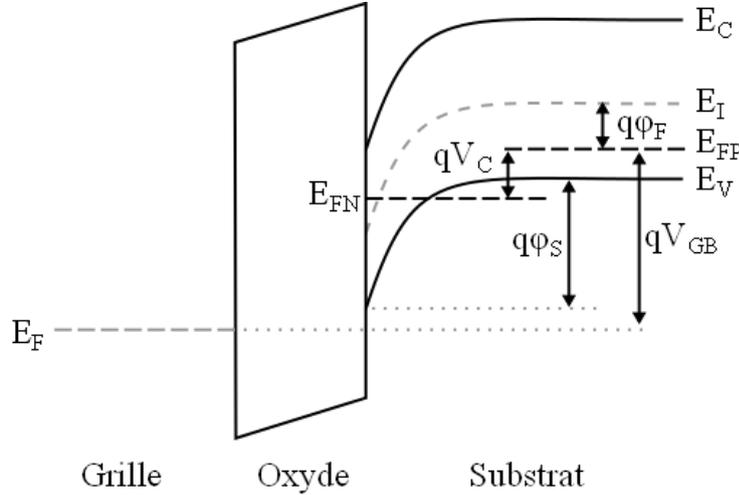


FIGURE I.3 – Structure de bandes du transistor n-MOS en régime d'inversion sous l'effet d'une polarisation V_{DS} . φ_S représente le potentiel de surface, φ_F représente le potentiel de fermi, et V_c le potentiel de quasi-fermi qui correspond à la différence des quasi-niveaux de fermi des porteurs majoritaires et minoritaires.

L'évaluation du potentiel de surface se fait par l'intermédiaire de l'équation de poisson qui permet d'exprimer les variations de potentiel électrostatique φ dans le semiconducteur en fonction de la charge espace ρ :

$$\nabla^2 \varphi = -\frac{\rho(x, y)}{\epsilon_{Si}} \quad (I.1)$$

Dans le cas d'un substrat de type p , la charge d'espace est composé de la concentration des dopants ionisés N_a et des concentrations d'électrons et de trous libres :

$$\rho(x, y) = q \cdot (p(x, y) - n(x, y) - N_a) \quad (I.2)$$

Les concentrations d'électrons et de trous libres sont respectivement données par la statistique de Maxwell-Boltzmann :

$$\begin{cases} n(x, y) = N_a \cdot \exp\left(\frac{\varphi(x, y) - V_c(x) - 2\varphi_F}{\phi_T}\right) \\ p(x, y) = N_a \cdot \exp\left(\frac{\varphi(x, y)}{\phi_T}\right) \end{cases} \quad (I.3)$$

où ϕ_T est la tension thermodynamique qui vaut kT/q . φ_F est le potentiel de fermi intrinsèque qui vaut $\phi_T \cdot \ln(N_a/n_i)$ avec n_i la densité de porteurs intrinsèque. V_c représente

le potentiel de quasi-fermi des électrons et varie de V_{SB} de la source à V_{DB} au drain.

Dans le but d'obtenir une solution analytique à l'évaluation du potentiel de surface, l'approximation du canal graduel est faite. Elle considère que la variation de la composante du champ électrique due à la tension drain-source est négligeable devant celle due à la variation de la tension grille-substrat.

L'équation de poisson [I.1](#) devient donc :

$$\frac{\partial^2 \varphi(x, y)}{\partial y^2} \approx \frac{qN_a}{\epsilon_{Si}} \cdot \left[-\exp \left[\frac{\varphi(x, y)}{\phi_T} \right] + \exp \left[\frac{\varphi(x, y) - V_c(x) - 2\varphi_F}{\phi_T} \right] + 1 \right] \quad (\text{I.4})$$

La résolution de cette équation en association avec le théorème de Gauss permet simplement d'exprimer la charge dans le semiconducteur [\[1\]](#) comme suit :

$$Q_{SC} = \epsilon_{Si} \left. \frac{\partial \varphi(x, y)}{\partial y} \right|_{y=0} = \pm \sqrt{2q\epsilon_{Si}N_a} \left\{ \varphi_S(x) + \phi_T \left[\exp \left(\frac{-\varphi_S(x)}{\phi_T} \right) - 1 \right] + \phi_T \exp \left(\frac{-V_c(x) - 2\varphi_F}{\phi_T} \right) \left[\exp \left(\frac{-\varphi_S(x)}{\phi_T} \right) - 1 \right] \right\}^{1/2} \quad (\text{I.5})$$

La charge étant positive en régime d'accumulation et négative en régime d'inversion.

En appliquant le théorème de Gauss à l'interface de l'oxyde, la charge présente dans le semiconducteur s'exprime telle que :

$$Q_{SC}(x) = -C_{ox} \cdot \left(V_{GB} - \phi_{MS} + \frac{Q_O}{C_{ox}} - \varphi_S(x) \right) \quad (\text{I.6})$$

où Q_O est la charge totale de l'oxyde normalisée à l'interface et C_{ox} représente la capacité de l'oxyde de grille par unité de surface.

Des équations [I.7](#) et [I.6](#), on obtient une relation implicite pour le potentiel de surface, qui est donnée par :

$$\left(\frac{V_{GB} - \phi_{MS} + \frac{Q_O}{C_{ox}} - \varphi_S(x)}{\gamma} \right)^2 = \left\{ \varphi_S(x) + \phi_T \left[\exp \left(\frac{-\varphi_S(x)}{\phi_T} \right) - 1 \right] + \phi_T \exp \left(\frac{-V_c(x) - 2\varphi_F}{\phi_T} \right) \left[\exp \left(\frac{-\varphi_S(x)}{\phi_T} \right) - 1 \right] \right\} \quad (\text{I.7})$$

avec γ qui est défini comme le facteur de substrat et égal à $\sqrt{2q\epsilon_0\epsilon_{Si}N_a}/C_{ox}$.

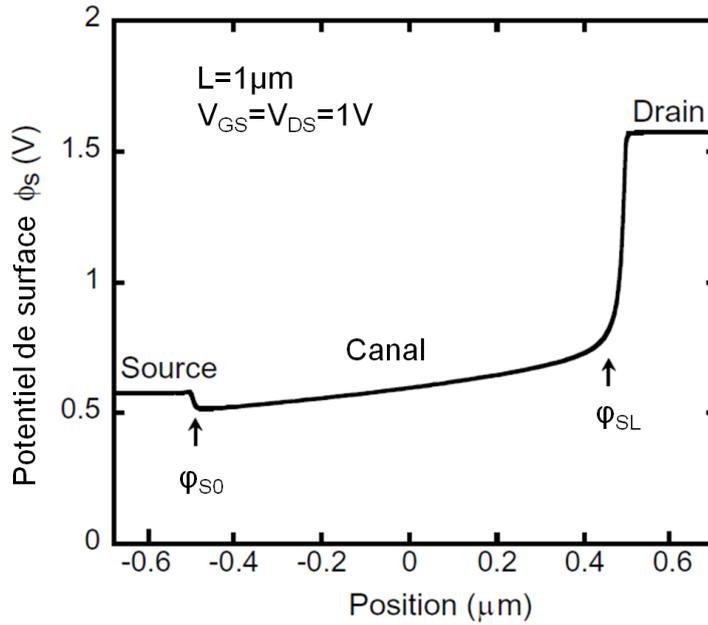


FIGURE I.4 – Simulation du potentiel de surface en fonction de sa position le long du canal du transistor en partant de la source (ϕ_{S0}) vers le drain (ϕ_{SL}) [2]

La Figure I.4 illustre la variation du potentiel de surface le long du canal en régime d’inversion forte. Comme on va le voir dans la suite de ce chapitre, la connaissance du potentiel de surface pour les couples (V_{GB}, V_c) est indispensable pour l’évaluation de tous les paramètres électriques du transistor MOS. En effet, le paragraphe suivant se base uniquement sur le potentiel de surface pour le calcul des charges qui elles-mêmes serviront pour l’évaluation du courant de drain du transistor MOS.

De plus, comme défini dans le Tableau I.1, les différents régimes de fonctionnement du MOS peuvent être décrits au travers du potentiel de surface ϕ_S et du potentiel intrinsèque de Fermi ϕ_F .

Tableau I.1 – Correspondances entre le potentiel de surface et les différents régimes de fonctionnement du transistor MOS.

Régime de fonctionnement	Valeur du potentiel de surface
Accumulation	$\phi_S < 0$
Bandes plates	$\phi_S = 0$
Déplétion	$0 < \phi_S < \phi_F$
Inversion faible	$\phi_F < \phi_S < 2 \cdot \phi_F$
Inversion forte	$\phi_S > 2 \cdot \phi_F$

I.2.2.b Le calcul des charges

Concernant les charges présentes dans la structure, il faut prendre en considération trois types de charges :

- la charge de la grille Q_G .
- la charge totale de l'oxyde Q_0 englobant les charges fixes, les charges d'interface, les charges piégées qui seront détaillées au Chapitre II.
- La charge du semiconducteur Q_{SC} .

Le bilan des charges de la structure MOS étant neutre :

$$Q_G + Q_0 + Q_{SC} = 0 \quad (\text{I.8})$$

Dans le but de modéliser le courant circulant entre la source et le drain (I_{DS}), il est essentiel de déterminer la charge d'inversion. Comme décrit dans le paragraphe précédent, la charge du semiconducteur est composée de la charge d'inversion Q_{inv} et de la charge de déplétion du substrat Q_B . D'où :

$$Q_{inv}(x) = Q_{SC}(x) - Q_B(x) \quad (\text{I.9})$$

Comme défini à l'équation I.6, en appliquant le théorème de Gauss à l'interface de l'oxyde, la charge présente dans le semiconducteur s'exprime telle que :

$$Q_{SC}(x) = -C_{ox} \cdot \left(V_{GB} - \phi_{MS} + \frac{Q_0}{C_{ox}} - \varphi_S(x) \right) \quad (\text{I.10})$$

Aussi, la charge de déplétion présente dans le substrat est définie comme :

$$Q_B(x) = -q \cdot d_B(x) \cdot N_a \quad (\text{I.11})$$

où N_B représente le dopage du substrat, et d_B la zone de charge espace (ZCE) qui est donnée par :

$$d_B(x) = \sqrt{\frac{2 \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot \varphi_S(x)}{q \cdot N_a}} \quad (\text{I.12})$$

avec ϵ_0 et ϵ_{Si} sont les permittivités respectives du vide et du Silicium.

Ainsi, il est possible d'écrire la charge de déplétion du substrat sous la forme suivante :

$$Q_B(x) = -\gamma \cdot C_{ox} \cdot \sqrt{\varphi_S(x)} \quad (\text{I.13})$$

Au final, en intégrant les équations I.10 et I.13 à l'équation I.9, on obtient l'expression de la charge totale dans le semiconducteur dans la condition d'inversion :

$$Q_{inv}(x) = -C_{ox} \cdot \left(V_{GB} - \phi_{MS} + \frac{Q_0}{C_{ox}} - \varphi_S(x) - \gamma \sqrt{\varphi_S(x)} \right) \quad (\text{I.14})$$

L'expression de la charge d'inversion permet d'exprimer la tension de bande plate (V_{FB}) et de seuil (V_T) :

$$V_{FB} = \phi_{MS} - Q_0/C_{ox} \quad (\text{I.15})$$

$$V_T = V_{FB} + 2 \cdot \varphi_F + \gamma \sqrt{2 \cdot \varphi_F} \quad (\text{I.16})$$

I.2.3 Le régime statique

L'évaluation des charges permet d'exprimer le courant de drain du transistor en fonction du potentiel de surface. De manière générale, lorsque la charge d'inversion est créée ($V_{GS} > V_T$) et qu'une tension est appliquée entre la source et le drain (V_{DS}), il est possible de considérer que la conduction dans le canal est régie par le gradient du potentiel de Fermi qui vaut $-dV/dx$. Le courant de drain peut ainsi s'exprimer selon :

$$I_{DS}(x) = -W \mu_n Q_{inv}(x) \frac{dV_c}{dx} \quad (\text{I.17})$$

μ_n étant la mobilité. C'est un paramètre clé qui gouverne le niveau du courant de drain à polarisation fixe. La mobilité peut être affectée par 3 principaux mécanismes :

- les interactions avec les phonons
- les interactions coulombiennes
- les interactions avec la rugosité de surface

Pour définir le courant de drain il est nécessaire d'exprimer l'équation I.17 en terme de potentiel de surface :

$$I_{DS}(x) = -W \mu_n Q_{inv}(x) \frac{dV_c}{d\varphi_S} \frac{d\varphi_S}{dx} \quad (\text{I.18})$$

L'équation I.18 se résout en évaluant la variation du potentiel de quasi-fermi en fonction du potentiel de surface par l'équation I.7 comme décrit en [3]. Cette résolution permet d'obtenir l'équation du courant de drain, aussi appelée modèle en feuille de charge :

$$I_{DS}(x) = \underbrace{-W \mu_n Q_{inv}(x) \frac{d\varphi_S}{dx}}_{I_{drift}} + \underbrace{W \mu_n Q_{inv}(x) \frac{dQ_{inv}}{dx}}_{I_{diff}} \quad (\text{I.19})$$

Cette équation met clairement en évidence les deux composantes permettant de décrire le courant de drain. Le courant de drain est composé du courant de conduction (drift) et

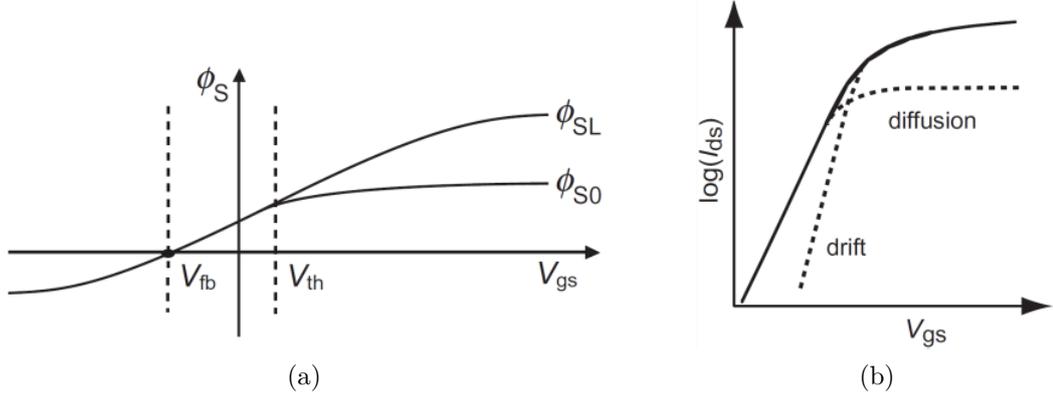


FIGURE I.5 – (a) Potentiel de surface évalué à la source et au drain en fonction de la tension de grille qui définit les conditions limites nécessaires à l'évaluation du courant de drain. (b) Courant de drain du transistor en fonction de la tension de grille mettant en avant les deux composantes de conduction et de diffusion.

du courant de diffusion (diff). Comme illustré par la Figure I.5, il est possible de l'évaluer complètement en l'intégrant aux conditions limites suivantes :

$$\begin{cases} \varphi_{S0} & \text{pour } x = 0 \\ \varphi_{SL} & \text{pour } x = L \end{cases} \quad (\text{I.20})$$

L'évaluation du potentiel de surface pour le couple $x = [0, L]$ et pour différentes conditions de tensions de grille est réalisée de manière itérative en partant de l'équation implicite I.7. D'une manière générale, l'expression du courant de drain peut être simplifiée en régime d'inversion forte en tenant compte de la condition suivante :

$$\varphi_S(x) - V(x) = 2 \cdot \varphi_F \quad (\text{I.21})$$

On obtient alors les conditions limites définies à l'équation I.20 telles que :

$$\begin{cases} \varphi_{S0} = 2 \cdot \varphi_F \\ \varphi_{SL} = 2 \cdot \varphi_F + V_D \end{cases} \quad (\text{I.22})$$

Ainsi, à faible V_{DS} , lorsque le canal est uniforme sur toute la longueur du canal, le courant de drain est en régime linéaire qui vaut :

$$I_{DS} = \frac{W}{L} \mu_n C_{ox} \cdot \left[(V_{GB} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] \quad (\text{I.23})$$

A une certaine valeur de V_{DS} qui sera noté V_{DSsat} , le canal n'est plus uniforme sur toute la longueur L laissant apparaître une zone de pincement localisé au niveau du drain et entraînant $Q_{inv}(L) = 0$. Ceci indique que le régime saturé est atteint et le courant de drain

I_{DSp} caractéristique du point de pincement est donné en se reportant à l'équation I.23 :

$$I_{DSp} = \frac{W}{L} \mu_n C_{ox} \cdot \left[(V_{GB} - V_T) V_{DSsat} - \frac{V_{DSsat}^2}{2} \right] \quad (I.24)$$

Au-delà de V_{DSsat} , la distance l_p entre point de pincement et drain augmente au fur et à mesure que V_{DS} augmente. Le courant saturé sera noté I_{Dsat} et vaut :

$$I_{Dsat} = I_{DSp} \cdot \frac{L}{L - l_p} \quad (I.25)$$

avec $l_p = \sqrt{\frac{2\epsilon_{Si}}{qN_a} \cdot (V_{DS} - V_{DSsat})}$

I.2.4 Le régime dynamique

I.2.4.a L'approche quasi-statique et ses limitations

Jusqu'à présent la description du transistor MOS a reposé sur une approche statique en considérant l'application de tensions constantes (DC). Cependant, dans un circuit le transistor est soumis à l'application de signaux variables. C'est pourquoi il est important d'étendre l'étude précédente et de s'intéresser à la variation des charges détaillées au paragraphe I.2.2.b dans le cadre d'un fonctionnement dynamique.

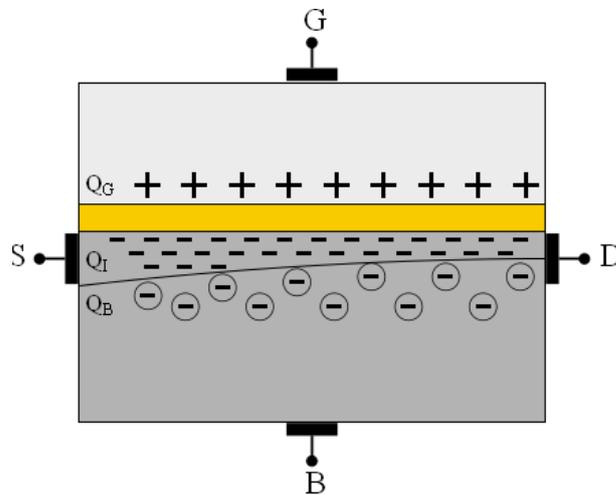


FIGURE I.6 – Structure simplifiée de la partie intrinsèque du transistor MOS permettant de définir les charges et courants lors d'un fonctionnement dynamique du transistor

Considérons le transistor MOS sous une forme simplifiée en intégrant à sa partie intrinsèque quatre sources de tensions DC, V_G , V_B , V_D et V_S (Figure I.6). Si on néglige les courants de fuite, le seul courant présent dans le transistor est le courant de conduction I_C dû au flux de porteurs circulant au travers de la charge d'inversion. Comme détaillé en I.2.2 et I.2.3, le courant I_C et les différentes charges Q_{inv} , Q_B , et Q_G peuvent être

exprimés en fonction des quatre tensions appliquées aux bornes de la structure, d'où :

$$\begin{aligned}
 I_D &= I_C(V_G, V_D, V_S, V_B) \\
 I_S &= -I_C(V_G, V_D, V_S, V_B) \\
 I_G &= I_B = 0
 \end{aligned} \tag{I.26}$$

De même, les charges Q_{inv} , Q_B , et Q_G peuvent s'exprimer en fonction des quatre tensions appliquées aux terminaux par l'équation I.27. Il est important de noter que Q_B , et Q_G sont des charges stockées au sein du transistor alors que Q_{inv} est induite par un flux d'électrons constant généré par la différence de potentiel appliquée entre la source et le drain.

$$\begin{aligned}
 Q_{inv} &= f_2(V_G, V_D, V_S, V_B) \\
 Q_B &= f_3(V_G, V_D, V_S, V_B) \\
 Q_G &= f_4(V_G, V_D, V_S, V_B)
 \end{aligned} \tag{I.27}$$

Considérons maintenant que les tensions appliquées aux bornes du MOS varient au cours du temps. Si les tensions varient suffisamment lentement (i.e. le temps de transit τ dans la charge d'inversion des électrons de la source vers le drain est très faible devant la période de la tension appliquée), alors la redistribution des charges peut être considérée comme instantanée et il n'y aura aucun déphasage lié à la constante de temps τ . Ceci correspond à l'hypothèse quasi-statique et de ce fait les charges peuvent s'exprimer à nouveau par les fonctions de l'équation I.27.

$$\begin{aligned}
 Q_{inv}(t) &= f_2(V_G(t), V_D(t), V_S(t), V_B(t)) \\
 Q_B(t) &= f_3(V_G(t), V_D(t), V_S(t), V_B(t)) \\
 Q_G(t) &= f_4(V_G(t), V_D(t), V_S(t), V_B(t))
 \end{aligned} \tag{I.28}$$

Par contre ce raisonnement ne peut pas être appliqué aux courants. Dans des conditions dynamiques il faut considérer deux points supplémentaires. D'une part, les courants de grille et de substrat sont dus aux variations de leurs charges respectives. D'autre part, les courants de source et de drain sont exprimés par deux composantes : le courant de transport et le courant de charge. Le courant de conduction dépend uniquement de la valeur instantanée des tensions aux bornes des terminaux et peut être déterminé par le cas DC. Le courant de charge correspond à la variation de la charge d'inversion. Les courants transitoires peuvent ainsi être évalués par l'intermédiaire de l'équation de continuité et

sont détaillés dans [4].

$$\begin{aligned} I_{G(B)}(t) &= \frac{dQ_{G(B)}}{dt} \\ I_D(t) - I_S(t) &= \frac{dQ_{inv}}{dt} \end{aligned} \quad (\text{I.29})$$

Il est important de noter que les charges et les courants décrits par les équations I.28 et I.29 ont une limite fréquentielle de validité qui peut être déterminée par l'intermédiaire d'une pulsation de référence ω_0 [1] :

$$\omega_0 = \frac{\mu \cdot (V_{GS} - V_T)}{\gamma \cdot L^2} \quad (\text{I.30})$$

Lorsque la fréquence des signaux est supérieure à $\omega_0/3$, des effets non quasi-statiques doivent être pris en compte. Il n'est plus possible de négliger le temps de transit τ qui devient comparable à la période du signal et le transistor MOS ne peut plus simplement être décrit par les équations de l'électrostatique [5].

I.2.5 Les capacités et paramètres petits signaux

En se référant au paragraphe précédent, il en découle que le comportement dynamique du transistor induit une réponse capacitive liée à la variation des charges stockées. Cette variation de charge ne pourra être simplement modélisée que dans des conditions petit signal i.e. lorsque le signal appliqué au transistor est suffisamment faible pour que le transistor fonctionne dans son régime linéaire. En ce qui concerne les capacités, elles sont composées de la partie intrinsèque et de la partie extrinsèque du transistor. Dans ce paragraphe, seule la partie intrinsèque sera étudiée, la partie extrinsèque sera détaillée au paragraphe I.3.

En se plaçant dans des conditions quasi-statiques, la modélisation physique des charges du transistor a déjà été développée et il a été ainsi possible d'aboutir au modèle de charges suivant :

$$\begin{aligned} Q_G &= -Q_{SC} = C_{ox} \cdot (V_{GB} - V_{FB} - \varphi_S) \\ Q_B &= -\gamma \cdot C_{ox} \cdot \sqrt{\varphi_S} \\ Q_{inv} &= -C_{ox} \cdot (V_{GB} - V_{FB} - \varphi_S) - Q_B \end{aligned} \quad (\text{I.31})$$

Afin de pouvoir complètement modéliser les effets capacitifs, il est nécessaire d'avoir accès aux charges relatives à chaque terminal i.e. les charges Q_G , Q_B , Q_D , Q_S associées respectivement à la grille, le substrat, le drain et la source. Les charges présentes au niveau de la grille (Q_G) et du substrat (Q_B) sont clairement définies par l'équation I.31.

En revanche, les charges du drain (Q_D) et de la source (Q_S) ne peuvent être obtenues que par l'intermédiaire de la charge d'inversion (Q_{inv}). Pour cela, diverses méthodes, visant à partitionner la charge d'inversion présente dans le canal en deux charges Q_D et Q_S , ont été développées. La méthode la plus utilisée est celle proposée par Ward [6] qui en se basant sur l'équation 1-D de continuité propose un partitionnement de la charge d'inversion avec un ratio 40/60 pour le drain et la source. Cette méthode, validée expérimentalement sous des conditions quasi-statiques, permet d'obtenir l'expression des charges Q_D et Q_S :

$$\begin{aligned} Q_S &= W \cdot \int_0^L \left(1 - \frac{y}{L}\right) Q_{inv}(y) \cdot dy \\ Q_D &= W \cdot \int_0^L \frac{y}{L} Q_{inv}(y) \cdot dy \end{aligned} \quad (\text{I.32})$$

où L représente la longueur du canal.

Maintenant que les charges des différents terminaux Q_j ($j = G, D, S, B$) sont définies, il est possible en se basant sur l'hypothèse quasi-statique d'écrire le courant de charge tel que :

$$\frac{dQ_j}{dt} = \frac{\partial Q_j}{\partial V_G} \frac{dV_G}{dt} + \frac{\partial Q_j}{\partial V_D} \frac{dV_D}{dt} + \frac{\partial Q_j}{\partial V_S} \frac{dV_S}{dt} + \frac{\partial Q_j}{\partial V_B} \frac{dV_B}{dt} \quad (\text{I.33})$$

De l'équation I.33, il est possible de définir la matrice 4×4 représentant les courants de charge en fonction des capacités intrinsèques du transistor dans un fonctionnement quasi-statique :

$$\begin{bmatrix} dQ_G/dt \\ dQ_D/dt \\ dQ_S/dt \\ dQ_B/dt \end{bmatrix} = \begin{bmatrix} C_{GG} & C_{GD} & C_{GS} & C_{GB} \\ C_{DG} & C_{DD} & C_{DS} & C_{DB} \\ C_{SG} & C_{SD} & C_{SS} & C_{SB} \\ C_{BG} & C_{BD} & C_{BS} & C_{BB} \end{bmatrix} \begin{bmatrix} dV_G/dt \\ dV_D/dt \\ dV_S/dt \\ dV_B/dt \end{bmatrix} \quad (\text{I.34})$$

avec $C_{jk} = \begin{cases} -\frac{\partial Q_j}{\partial V_k}, & \text{si } j \neq k \\ \frac{\partial Q_j}{\partial V_k}, & \text{si } j = k \end{cases}$

Les 16 capacités ne sont pas linéairement indépendantes. En tenant compte de la loi de conservation des charges, les relations entre capacités se simplifient telles que :

$$\begin{aligned} C_{GG} &= C_{GD} + C_{GS} + C_{GB} = C_{DG} + C_{SG} + C_{BG} \\ C_{DD} &= C_{DG} + C_{DS} + C_{DB} = C_{GD} + C_{SD} + C_{BD} \\ C_{SS} &= C_{SG} + C_{SD} + C_{SB} = C_{GS} + C_{DS} + C_{BS} \\ C_{BB} &= C_{BG} + C_{BD} + C_{BS} = C_{GB} + C_{DB} + C_{SB} \end{aligned} \quad (\text{I.35})$$

D'après le système d'équations précédent, 9 capacités sont linéairement indépendantes et suffisent donc à déterminer le modèle capacitif complet. D'une manière générale, les

capacités choisies sont : $C_{GS}, C_{GD}, C_{GB}, C_{BG}, C_{BS}, C_{BD}, C_{DS}, C_{SD}$, et C_{DG} .

Pour compléter le descriptif des paramètres petits signaux du transistor, il est nécessaire d'aborder le concept de transconductance. La variation du courant de drain induite par une variation petit signal de la tension d'un des quatre terminaux est représentée par :

$$g_m = \left. \frac{\partial I_D}{\partial V_{GS}} \right|_{V_{DS}, V_{BS}}, g_{ds} = \left. \frac{\partial I_D}{\partial V_{DS}} \right|_{V_{GS}, V_{BS}}, g_{mbs} = \left. \frac{\partial I_D}{\partial V_{BS}} \right|_{V_{GS}, V_{DS}} \quad (\text{I.36})$$

qui sont respectivement la transconductance de grille, la conductance et la transconductance de substrat. La transconductance de grille g_m et la conductance g_{ds} sont des paramètres très importants lors de la conception de circuits analogiques. Le g_{ds} traduit la mise en mouvement de Q_{inv} et le g_m définit le gain du dispositif.

I.2.5.a Le transistor MOS en amplificateur de signal

I.2.5.a.1 Principe de fonctionnement

En plus de sa fonction de commutateur, le transistor est utilisé en tant qu'amplificateur de signal. C'est le régime de saturation qui est le plus souvent utilisé pour amplifier un signal. En effet, comme le montre l'équation I.25 dans le cas du régime saturé, le courant de drain est indépendant de la tension drain-source V_{DS} et suit la tension grille-source V_{GS} selon une loi quadratique.

Ainsi, afin d'expliquer ce type de fonctionnement, considérons le schéma de la Figure I.7. La source du transistor est reliée à la masse et une résistance R relie le drain à la borne positive d'une source de tension DC V_{DD} . Le point de repos I_{DS} est fixé à l'aide d'une tension DC sur la grille V_{GS} . En considérant que le transistor peut être représenté par une résistance variable contrôlée par la tension de grille V_{GS} , lors de l'application d'un signal sur la grille on obtient un pont diviseur de tension dans lequel une des résistances est contrôlée par une tension.

Soit la tension instantanée appliquée entre la grille et la source :

$$V_{in}(t) = V_{GS} + v_{gs}(t) \quad (\text{I.37})$$

où V_{GS} représente le point de repos statique et $v_{gs}(t)$ représente le signal appliqué au cours du temps. A chaque instant le point de fonctionnement du transistor se situe sur la courbe $I_{DS} - V_{DS}$ qui correspond à la valeur de $V_{GS}(t)$ à cet instant.

En exprimant la loi des mailles pour la maille de sortie, il est possible de déterminer le point de fonctionnement par l'intermédiaire de la tension d'alimentation V_{DD} et de la

résistance R .

$$V_{DS} = V_{DD} + R \cdot I_{DS} \quad (\text{I.38})$$

et donc :

$$I_{DS} = \frac{V_{DD}}{R} + \frac{1}{R} \cdot V_{DS} \quad (\text{I.39})$$

Cette équation linéaire peut être représentée dans le plan $I_{DS} - V_{DS}$ par une droite de pente $-1/R$ appelée droite de charge. Elle permet d'obtenir le point de fonctionnement en sortie du transistor. La Figure I.7 montre la construction graphique permettant d'obtenir la forme du signal de sortie à partir du réseau de caractéristiques du transistor. Ainsi le point de fonctionnement instantané du transistor se situe toujours à l'intersection de la droite de charge et de la courbe caractéristique $I_{DS} - V_{DS}$ correspondant à la valeur instantanée de V_{GS} .

I.2.5.a.2 Les classes de fonctionnement

Le transistor ne commence à conduire un courant significatif que lorsque la tension de grille se situe au dessus de la tension de seuil. Pour que le transistor amplifie, il faut donc lui appliquer une tension supérieure à la tension de seuil et comme défini précédemment la tension de sortie sera fixée par la droite de charge. C'est ainsi qu'il est nécessaire de polariser le transistor à un point de repos statique pour pouvoir lui appliquer un signal à amplifier. Le choix de ce point de repos influence le comportement du transistor lors de son fonctionnement et c'est pour cela que des classes de fonctionnement sont définies permettant de connaître la façon dont il a été polarisé.

Les différentes classes de fonctionnement [7] sont représentées sur la Figure I.8. Cette figure montre les différentes formes du signal statique en fonction du point de repos choisi et le Tableau I.2 résume les différentes classes de fonctionnement :

Tableau I.2 – Correspondances entre les classes de fonctionnement et le pourcentage du signal d'entrée utilisé.

Classes de fonctionnement	Pourcentage du signal d'entrée utilisé
A	100%
B	50%
AB	50 – 100%
C	0 – 50%

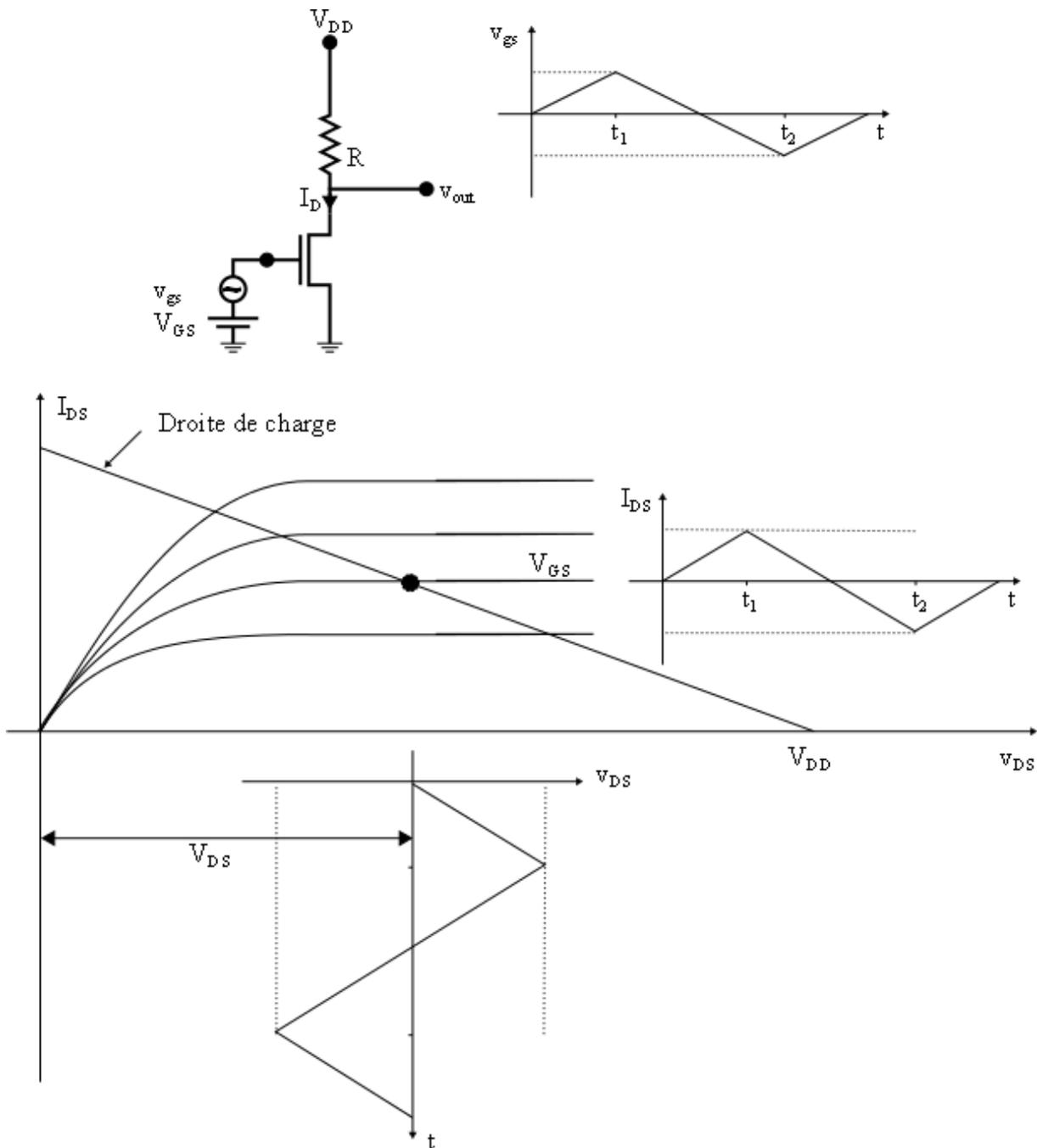


FIGURE I.7 – Analyse graphique de la fonction d’amplification d’un transistor MOSFET lors de l’application d’un signal triangulaire en entrée (Grille).

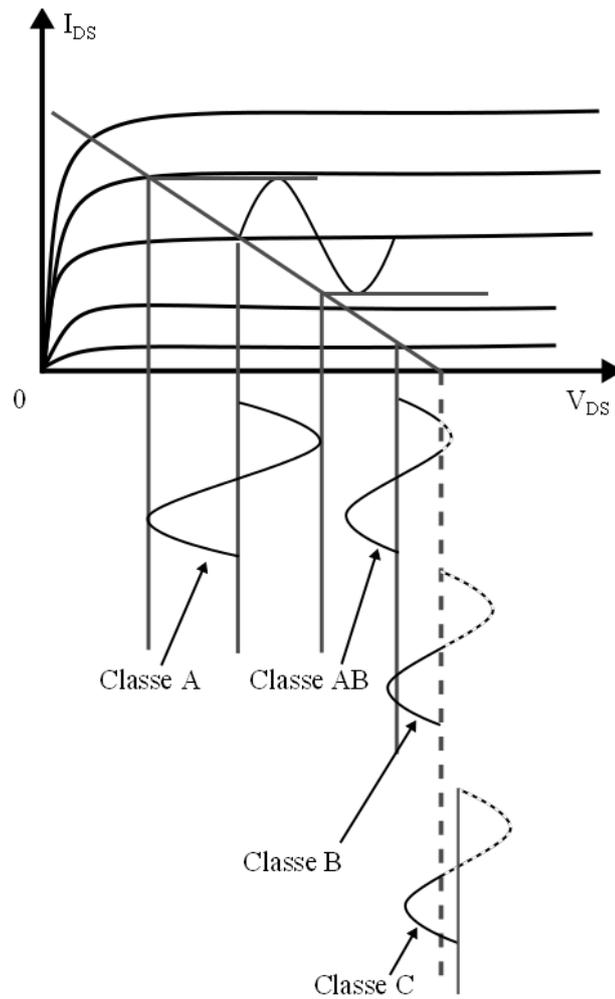


FIGURE I.8 – Représentation des classes de fonctionnement d'un transistor en fonction du choix de son point de repos défini sur la droite de charge.

I.3 Les éléments parasites du MOSFET

I.3.1 Introduction

La partie précédente a permis de décrire le fonctionnement « simplifié » du transistor au travers des effets intrinsèques i.e. courants et capacités. Cependant, il faut tenir compte des effets extrinsèques en sus qui sont induits notamment par les accès aux terminaux du transistor, les espaceurs, les jonctions drain/source et le substrat.

Il est aussi important de noter que dans le but de mieux contrôler la longueur du canal et le profil de la tension de seuil, des extensions de jonctions, appelées LDD^b, sont employées. Ces extensions sont réalisées sous la grille avec un dopage moins profond que le dopage des source et drain. Au niveau du fonctionnement du transistor, la présence de LDD se rajoute aux effets extrinsèques précédemment cités et peut être mise en avant par la Figure I.9 qui compare les caractéristiques de deux transistors présentant des niveaux de dopage des LDD différents.

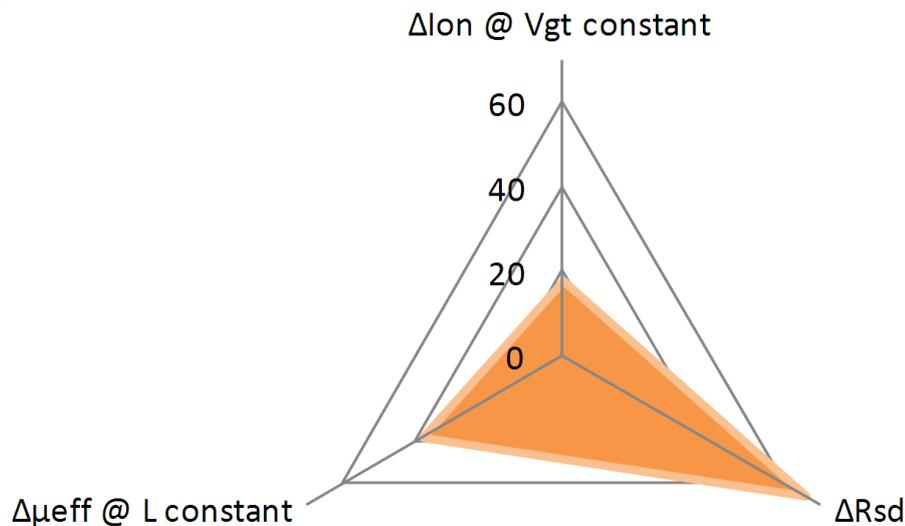


FIGURE I.9 – Variation (%) du I_{on} , μ_{eff} et R_{sd} pour deux dopages différents des LDD (1.1015 et 5.1014at/cm^2) dans le cas d'un pMOSFET.

Ces effets, détaillés dans cette partie, sont représentés par des éléments capacitifs et résistifs parasites entraînant une réduction des courants et une augmentation des capacités du transistor, pouvant affecter le temps de transit de celui-ci.

b. LDD : Lightly Doped Drain

I.3.2 Les capacités parasites

I.3.2.a Les capacités de jonction

Les capacités de jonction proviennent de la variation de la zone de charge d'espace source/substrat (respectivement drain/substrat) générée lors de l'application d'une tension V au niveau de la source ou du drain. En se référant à l'Annexe A, la capacité de jonction totale C_j peut être décrite par une capacité surfacique (C_{j1}) et deux capacités périmétriques (C_{j2} et C_{j3}) comme illustré en Figure I.10. Elle peut s'exprimer telle que :

$$C_j = \frac{S \cdot C_{j1}}{(1 - V/\phi_{BI1})^{m1}} + \frac{P_1 \cdot C_{j2}}{(1 - V/\phi_{BI2})^{m2}} + \frac{P_2 \cdot C_{j3}}{(1 - V/\phi_{BI3})^{m3}} \quad (\text{I.40})$$

où S , P_1 et P_2 représentent respectivement la surface inférieure, le périmètre intérieur et extérieur. $C_{j1(2,3)}$ représente les capacités pour une tension nulle au niveau du substrat. $\phi_{BI1(2,3)}$ et $m1(2,3)$ correspondent respectivement aux potentiels de jonction qui dépendent du profil de dopage, et aux coefficients de gradient.

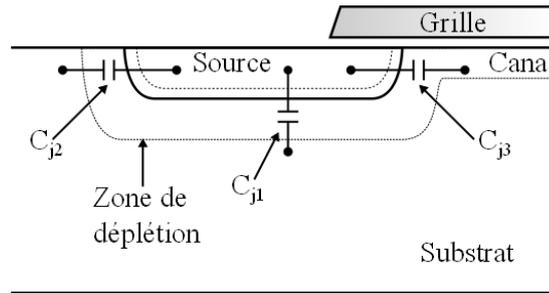


FIGURE I.10 – Capacités de jonction surfacique (C_{j1}) et périmétriques (C_{j2} et C_{j3}) générée autour de la source (ou drain) par la zone de déplétion.

I.3.2.b Les capacités de grille

Au niveau des LDD, des capacités parasites de grilles sont présentes. Elles sont clairement dissociées de la capacité intrinsèque et cela est mis en évidence par la Figure I.11 qui représente les capacités grille-drain (C_{GD}) d'un transistor en fonction de la tension de grille V_{GB} pour différentes longueurs de grille. Le point de croisement marque la séparation des deux composantes.

Comme illustré par la Figure I.12, la capacité extrinsèque C_{ext} peut être modélisée par trois capacités en parallèle :

- la capacité directe de recouvrement C_{ov} entre la grille et le drain (source),
- la capacité de bord interne C_{if} du côté du canal,
- la capacité de bord externe C_{of} entre la grille et le drain (source).

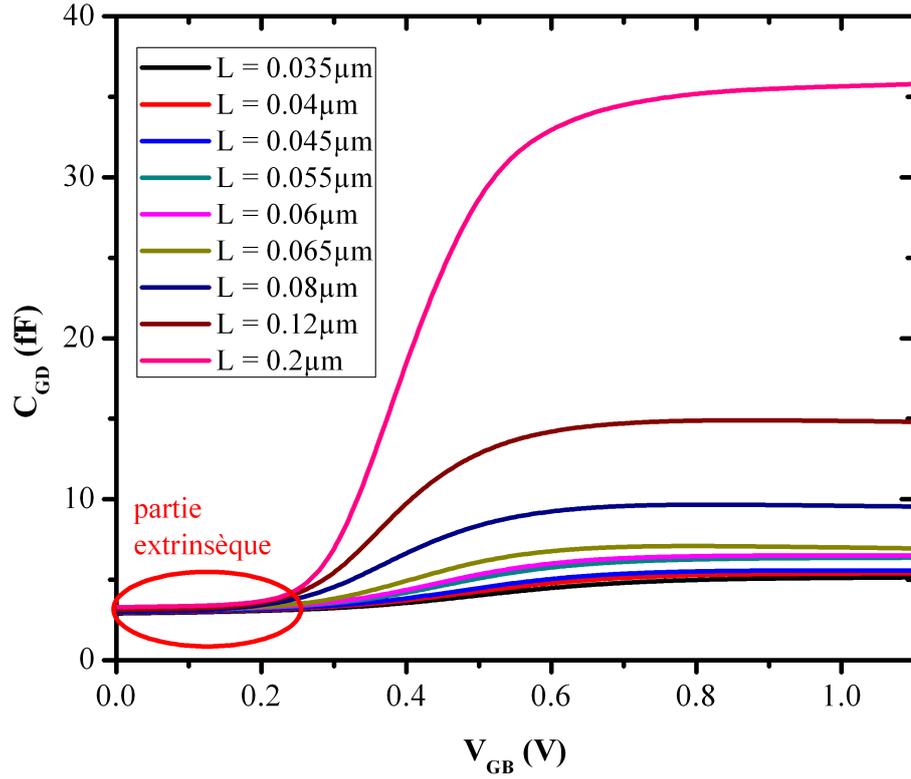


FIGURE I.11 – Capacité grille-drain en fonction de la tension de grille pour différentes longueurs de transistor. La partie extrinsèque est dominante à faible tension.

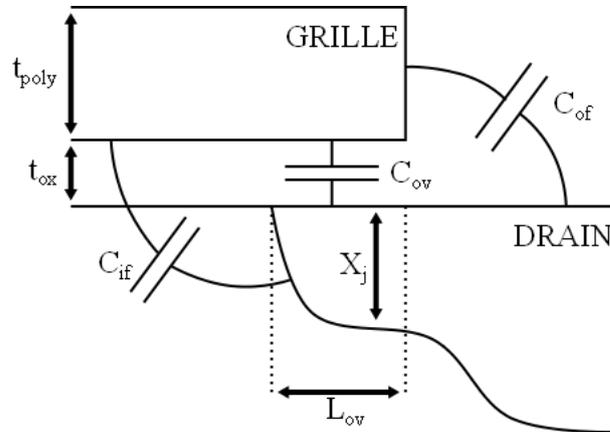


FIGURE I.12 – Schéma représentant les différentes capacités extrinsèques présentes au niveau du drain.

L'expression de la capacité extrinsèque maximale atteinte lorsque la tension de grille augmente au-delà de la tension de bande plate est détaillée dans [8] et vaut :

$$C_{ext} = \underbrace{C_{ox} \cdot L_{ov}}_{C_{ov}}(V_{GB}) + \underbrace{\frac{\epsilon_{ox}}{\alpha_1} \ln \left(1 + \frac{t_{poly}}{t_{ox}} \right)}_{C_{of}} + \underbrace{\frac{2\epsilon_{Si}}{\alpha_1} \ln \left[1 + \frac{X_j}{t_{ox}} \sin(\alpha_1) \right]}_{C_{if}} \quad (\text{I.41})$$

I.3.3 Les résistances parasites

La présence des accès et des LDD introduisent un effet résistif supplémentaire. Ceci se traduit par une diminution du courant de drain et de la transconductance.

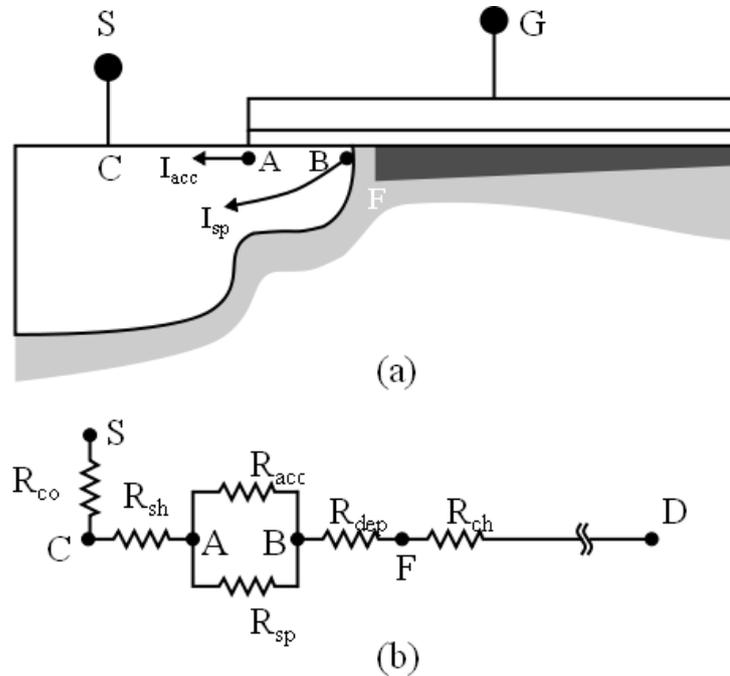


FIGURE I.13 – Représentation de la zone de LDD côté source d'un transistor en (a) et son schéma électrique concernant la partie résistive en (b). La symétrique s'applique du côté du drain.

La Figure I.13 représente les différentes origines physiques des résistances parasites au niveau de la source ou du drain et qui peuvent être attribuées à [9, 10] :

- La résistance de contact R_{co} qui se situe entre le métal/siliciure et le début de la région de l'implantation source/drain.
- La résistance de couche R_{sh} qui est due à la zone d'implantation source/drain et qui dépend donc du niveau et de la profondeur du dopage.
- La résistance de la couche d'accumulation R_{acc} au niveau de la zone de recouvrement qui est générée lors de l'application d'une tension positive sur la grille.
- En dessous de la couche d'accumulation dans la région source/drain, la résistance d'injection R_{sp} constitue un chemin parallèle à celui constitué par la résistance d'accumulation R_{acc} .
- La couche d'accumulation des LDD crée un accès vers la couche d'inversion du canal pour les électrons. Ceci se traduit par une résistance R_{dep} .

De cette description, l'expression de la résistance parasite équivalente peut s'écrire :

$$R_s = (R_{co} + R_{sh}) + \left[\frac{R_{acc}(V_{GS}) R_{sp}}{R_{acc}(V_{GS}) + R_{sp}} \right] + R_{dep}(V_{SB}, V_{GS}) \quad (\text{I.42})$$

I.4 La modélisation des transistors MOS

I.4.1 L’historique des modèles compacts

Des modèles ont été développés afin de simuler aussi précisément et surtout rapidement le comportement du transistor au travers de ces caractéristiques électriques. Ces modèles se doivent de refléter le comportement du transistor dans toutes ces conditions de fonctionnement. La modélisation du transistor a suivi deux voix parallèles. L’une privilégiant le comportement physique du transistor et l’autre visant principalement à reproduire son comportement pour un temps de calcul le plus rapide possible.

Les modèles physiques fournissent des caractéristiques précises du transistor car ils sont basés sur une résolution numérique des équations du semiconducteur prenant en compte des paramètres relatifs à la géométrie, à la nature des matériaux, etc., et cela dans un espace à deux voire trois dimensions. L’utilisation de ce type de modèle nécessite un temps et une puissance de calcul importants et n’est donc pas adapté aux simulations de circuits intégrés. C’est pour cela qu’au début des années 70, les modèles compacts se basant sur des expressions analytiques plus ou moins fondées sur la physique du semiconducteur et sur un degré d’empirisme variable ont été développés (Figure I.14).

Au départ la puissance disponible de calcul était limitée et les modèles développés ont dû être basé sur la tension de seuil V_T . Dans ce cas, le potentiel de surface est simplement représenté par une fonction dépendant de la tension appliquée. Il est considéré comme constant au dessus du V_T et linéaire en fonction de V_{GS} en dessous du V_T ; des fonctions de lissage sont utilisées pour relier ces régions. Malgré ces limitations, ce type de modèle a été fortement utilisé au niveau industriel et surtout dans le design de circuit. BSIM4 et MOS Model 9 sont des exemples de modèles basés sur la tension de seuil.

Pour palier ces limitations, des approches alternatives ont été mises en place avec les modèles de charge ou les modèles à potentiel de surface. Concernant les modèles de charge, le courant est calculé en fonction des charges de source et de drain, elles-mêmes calculées à partir d’une approximation linéaire sur le potentiel de surface e.g. EKV, BSIM5. Dans les modèles à potentiel de surface, celui-ci est directement utilisé pour calculer le courant et les charges dans les différents terminaux e.g. SP, MOS Model 11, PSP. Malgré une base similaire sur ces deux types de modèle, il existe de nombreuses différences qui motivent les développeurs à adopter un modèle plus que l’autre [11]. Pour plus de détails concernant les différents modèles, le lecteur pourra se reporter à la référence [12].

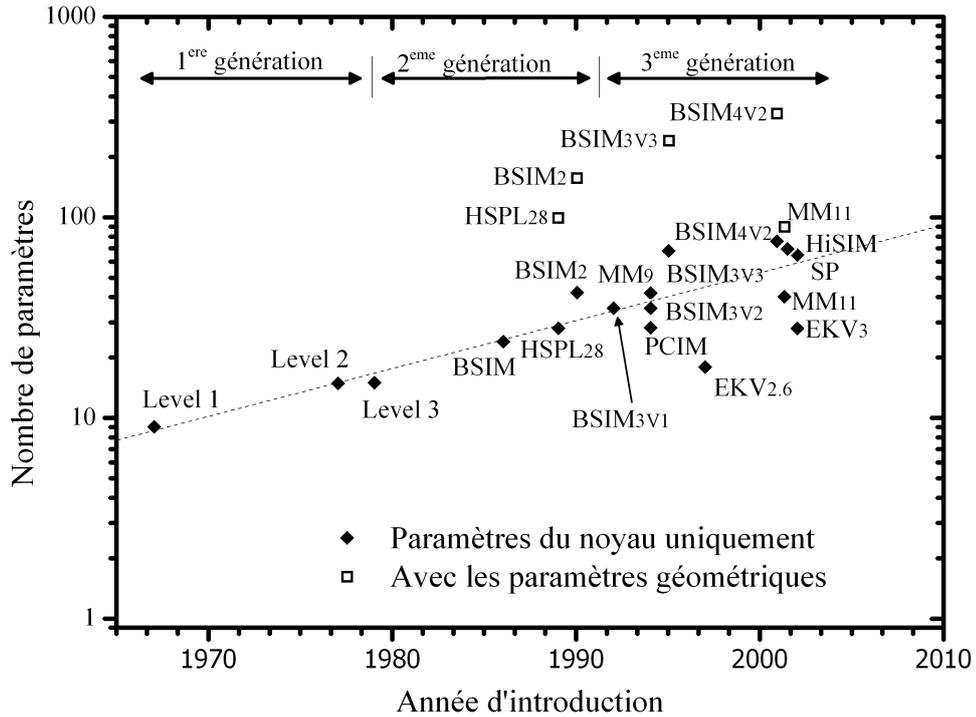


FIGURE I.14 – Nombre de paramètres des modèles compacts en fonction de leur année d'introduction [8].

I.4.2 PSP : modèle à potentiel de surface

I.4.2.a Le modèle intrinsèque

Il y a actuellement un consensus industriel désignant les modèles à potentiel de surface comme ceux proposant la meilleure approche concernant la modélisation des transistors MOS, notamment parce qu'ils permettent d'apporter des solutions concernant la prise en compte des effets canaux courts. De plus, ils conviennent mieux pour des simulations concernant des applications basse tension, analogique et RF. Le modèle PSP, développé conjointement par NXP et l'Université de Pennsylvanie, est un des modèles à potentiel de surface le plus avancé et a été utilisé dans le design de circuit pour des technologies allant de 250nm à 32nm. Dans ce qui va suivre, sera brièvement présentée la partie intrinsèque et extrinsèque du modèle quasi-statique PSP. Le développement du modèle à potentiel de surface est basé sur la résolution de l'équation implicite du potentiel de surface (§I.2.2.a) :

$$\left(\frac{V_{GB} - V_{FB} - \varphi_S(x)}{\gamma} \right)^2 = \phi_T \cdot \left\{ \exp\left(-\frac{\varphi_S}{\phi_T}\right) + \frac{\varphi_S}{\phi_T} - 1 + \exp\left[-\frac{(2\varphi_F + V_c)}{\phi_T}\right] \left(\exp\left(\frac{\varphi_S}{\phi_T}\right) - \frac{\varphi_S}{\phi_T} - 1 \right) \right\} \quad (\text{I.43})$$

La résolution de cette équation a longtemps été le point bloquant permettant de passer

du modèle à tension de seuil au modèle à potentiel de surface. Elle a été possible au moyen d'un algorithme [13] recalculant de façon itérative le potentiel de surface pour tous les couples (V_{GD}, V_c) . Comme illustré par la Figure I.15, l'évaluation du potentiel de surface permet d'obtenir les courants des différents terminaux par l'intermédiaire des équations définies aux paragraphes I.2.2.b et I.2.3.

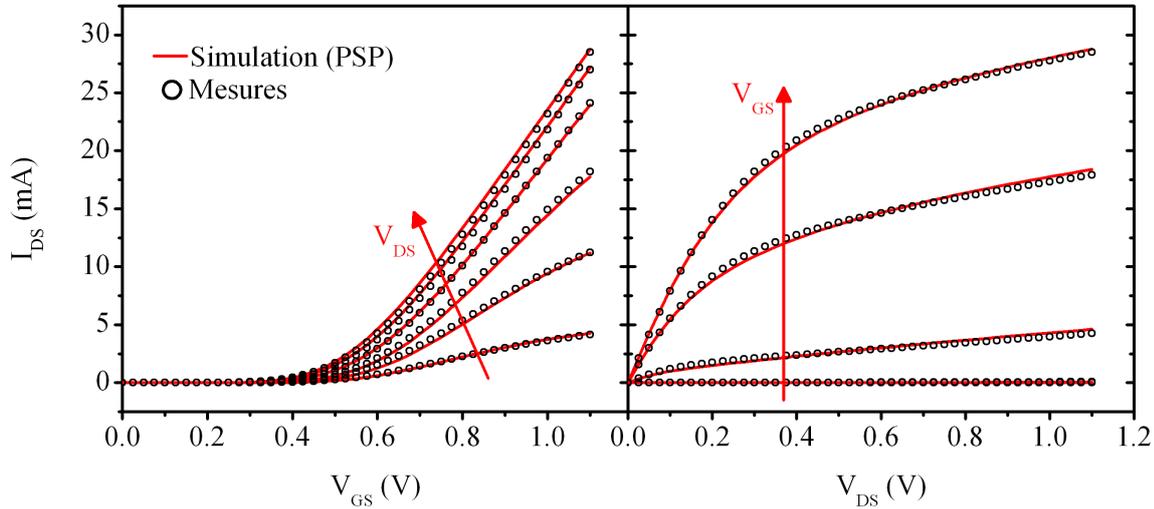


FIGURE I.15 – Comparaison entre le courant de drain simulé par le modèle PSP et les mesures expérimentales réalisées sur un transistor n-MOS ($W/L = 57.6/0.04\mu m$).

I.4.2.b Le modèle extrinsèque

La modélisation des effets extrinsèques du transistor dans PSP est aussi basée sur le potentiel de surface et cela dans le but d'obtenir un modèle le plus physique possible. Seules la capacité de recouvrement et les résistances source/drain seront abordées. Le lecteur pourra se référer à [12] pour plus de détails concernant la modélisation dans PSP des autres aspects extrinsèques.

I.4.2.b.1 La capacité de recouvrement

Les charges induites au niveau de la zone de recouvrement source/drain sont modélisées par l'expression suivante :

$$Q_{ov} = \mathbf{CGOV} \cdot (V_{GS} - V_{FBov} - \varphi_{ov}) \quad (\text{I.44})$$

$V_{FBov} \approx 0$ et φ_{ov} sont respectivement la tension de bande plate et le potentiel de surface dans la zone de recouvrement. CGOV est un paramètre du modèle qui dépend de l'épaisseur d'oxyde au niveau du canal (TOX) et de la zone de recouvrement (TOXOV).

$$\mathbf{CGOV} = \frac{\epsilon_{ox} \cdot W \cdot \mathbf{LOV}}{\mathbf{TOXOV}} \quad (\text{I.45})$$

avec LOV qui représente la longueur de la zone de recouvrement et W la largeur effective du canal.

I.4.2.b.2 Les résistances parasites

Depuis la version de PSP103, il est possible d'inclure des résistances parasites dans le modèle PSP. Concernant les résistances source/drain, le modèle permet de les simuler de manière asymétrique telle que :

$$\begin{aligned}R_S &= \text{NRS} \cdot \text{RSH} \\R_D &= \text{NRD} \cdot \text{RSHD}\end{aligned}\tag{I.46}$$

I.5 Conclusion

Ce premier chapitre a été consacré à l'introduction du dispositif qui sera étudié par la suite : le transistor MOS. Les éléments théoriques du transistor MOS, qui seront indispensables à la compréhension des phénomènes physiques relatifs aux études de fiabilité, à la caractérisation DC et radiofréquence, ont été présentés dans le cadre le plus général possible.

Le potentiel de surface a été introduit. C'est le paramètre indispensable dans la compréhension et modélisation des différentes caractéristiques du transistor MOS. En effet, il a permis l'évaluation des charges présentes dans le transistor. Ces charges permettent l'évaluation des paramètres statiques et dynamiques du transistor MOS. Cependant dans le régime dynamique, deux éléments importants sont à considérer et ont ainsi été détaillés. Dans un premier temps, l'approximation quasi-statique qui permet de simplifier l'évaluation des paramètres dynamiques a été introduite. Cette approximation qui néglige au premier ordre le temps de transit dans le canal sera indispensable dans l'étude de fiabilité et dans l'analyse des paramètres dynamiques du transistor. Dans un deuxième temps, des éléments dits « parasites » du transistor MOS ont été détaillés. Ces éléments viennent perturber le comportement intrinsèque de l'effet transistor.

De ces descriptions, il a été possible de dresser une liste des différents modèles destinés à la simulation du transistor MOS et donc des circuits. Une importance particulière a été mise sur les modèles basés sur une formulation explicite du potentiel de surface car ce sont des modèles qui sont très proches de la physique tout en optimisant les temps de calcul. C'est pour ces raisons que ce type de modèle a été choisi pour la suite de notre étude. En se basant sur l'aspect théorique du transistor, le concept de fiabilité et ces mécanismes de dégradation associés seront discutés dans le chapitre suivant.

La fiabilité du transistor MOSFET

II.1 Introduction

Lors du premier chapitre, le principe de fonctionnement du transistor a été décrit et les différentes propriétés électriques de celui-ci ont été modélisées. Cependant, le comportement électrique du transistor et notamment sa fiabilité dépendent fortement de la qualité de l'interface entre la grille et le substrat i.e. SiO_2/Si . La détérioration de l'oxyde et de son interface peut avoir plusieurs origines qui résultent notamment :

- des conditions de croissance de l'oxyde et du traitement que subit le transistor
- de l'application d'un champ électrique au niveau de l'oxyde [14] qui ne cesse d'augmenter avec l'évolution des technologies. L'exemple de l'évolution du champ électrique latéral est illustré en Figure II.1.

De nombreuses études de fiabilité des transistors ont permis d'identifier et de modéliser les mécanismes responsables de cette détérioration tels que :

- une dérive des paramètres du transistor MOS associée à l'application d'une tension sur la grille et activée en température (NBTI)
- l'injection de porteurs chauds (HCI)
- une augmentation du courant de fuite (SILC)
- le claquage de l'oxyde de grille (TDDB)

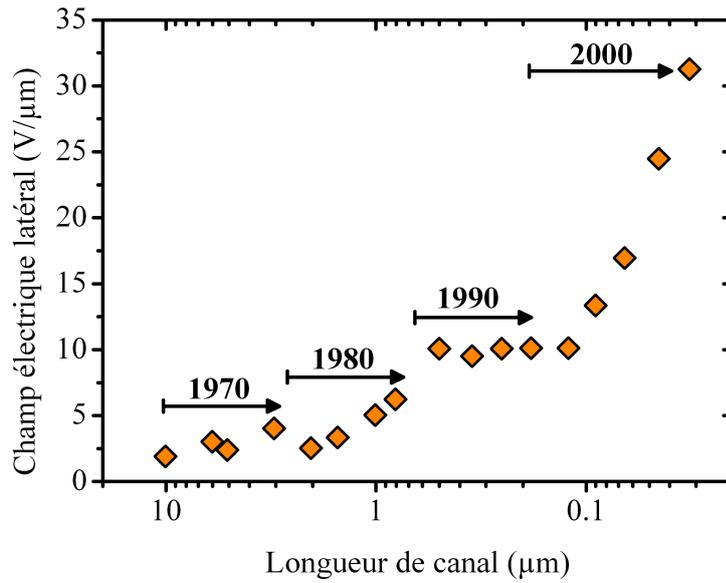


FIGURE II.1 – Evolution du champ électrique latéral présent dans le transistor en fonction de la longueur de canal des transistors [15]

Après avoir détaillé les différents types de défauts à l'origine de ces mécanismes, nous nous proposons de présenter ces différents mécanismes de dégradation en accordant une importance particulière aux porteurs chauds. Ceci nous permettra d'introduire le formalisme de l'âge qui sera indispensable dans la modélisation de la dégradation dans le domaine de la radiofréquence (RF).

II.2 Les défauts dans le Si/SiO₂

II.2.1 L'oxyde de Silicium et son interface

L'oxyde de silicium (SiO_2/Si) est utilisé comme diélectrique de grille des transistors MOS depuis des décennies. Ce succès vient de la facilité et de la qualité de croissance de cet oxyde naturel du silicium. L'unité structurale de base du SiO_2/Si est un atome de silicium entouré de quatre atomes d'oxygène constituant les sommets d'un tétraèdre (Figure II.2).

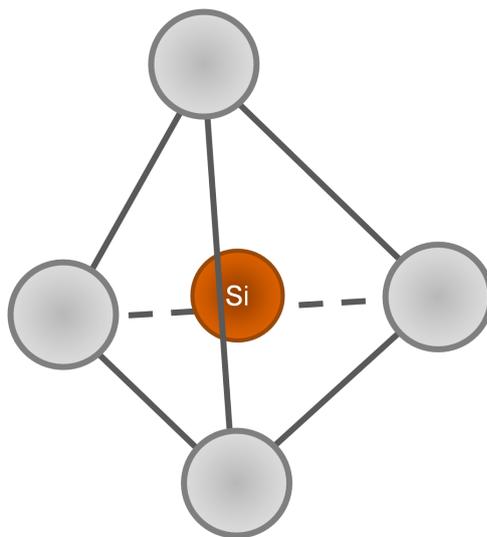


FIGURE II.2 – Motif élémentaire tétraédrique SiO_4 comportant un atome de Silice au centre et des atomes d'oxygène aux quatre sommets

Il présente de bonnes propriétés d'isolant avec une large bande interdite de $8.9eV$ et une résistivité de l'ordre de 10^{14} à $10^{16}\Omega.cm$. Ces excellentes propriétés ont permis d'accompagner les évolutions technologiques actuelles ainsi qu'une amélioration continue des performances circuits. Ces performances ont abouti à une large gamme de produits basée sur le transistor MOS tels que les mémoires, les CMOS de puissance, les composants RF et beaucoup d'autres. D'un point de vue fiabilité, chacun de ces produits nécessite le maintien des propriétés électriques de l'oxyde de grille aux spécifications requises. C'est pour cela que lors de l'oxydation mais aussi lors des différentes étapes de fabrication du transistor qu'une importance particulière est apportée à la qualité du SiO_2 . En effet, la présence de défauts ou d'impuretés dans l'oxyde à une influence immédiate sur les performances du transistor. Certains de ces défauts sont dus au désaccord de maille entre le Si et le SiO_2 qui vient de la différence des structures cristallines. Le silicium possède une structure cristalline alors que le SiO_2 est amorphe. Ce désaccord de maille introduit une couche d'interface de quelques Angströms [16] qui génère des défauts à l'interface, dans la couche d'interface et dans l'oxyde de grille. Les deux paragraphes suivants détailleront la classification des défauts par leur nature chimique et leur profondeur énergétique [17].

II.2.2 La nature chimique des défauts

Les origines de ces défauts peuvent être de nature intrinsèque ou extrinsèque. Les défauts extrinsèques sont dus à l'introduction d'atomes étrangers qui peuvent pénétrer dans le réseau à différentes étapes du processus technologique telles que :

- lors de l'oxydation thermique avec la migration des atomes dopants (As,B,P,...) présents dans le substrat de silicium.
- lors de la croissance du SiO_2 au sein de son atmosphère ambiante (ions alcalins, Ca, K, Na...)
- lors des étapes post-oxydation

Les défauts sont intrinsèques s'ils proviennent d'un réarrangement ponctuel des atomes de silicium ou d'oxygène. Ces défauts peuvent apparaître sous forme d'interstitiel (présence d'un atome entre ceux du réseau), de substitution (d'un atome du réseau par un autre) ou de lacune (un atome de silicium ou d'oxygène manquant). Ses défauts sont présents dans le volume du SiO_2 , proche de l'interface ou au niveau de l'interface.

II.2.2.a Les défauts de volume

Dans le volume du SiO_2 , différents types de défauts intrinsèques apparaissent [18] :

- Lacune d'oxygène : $O_3 \equiv Si - Si \equiv O_3 \bullet$
- Pont peroxyde : $O_3 \equiv Si - O - O - Si \equiv O_3$
- Oxygène non liant : $O_3 \equiv Si - O \bullet$
- Silicium trivalent (centre E') : $O_3 \equiv Si \bullet$
- Silicium bivalent : $O_3 \equiv Si \bullet \bullet$

Les défauts de volume les plus fréquents sont les lacunes d'oxygène et les centre E'.

II.2.2.a.1 Les lacunes d'oxygène

La présence d'une lacune d'oxygène entre deux atomes de silicium se traduit par un pont $Si - Si$ qui est représenté dans la Figure II.3.

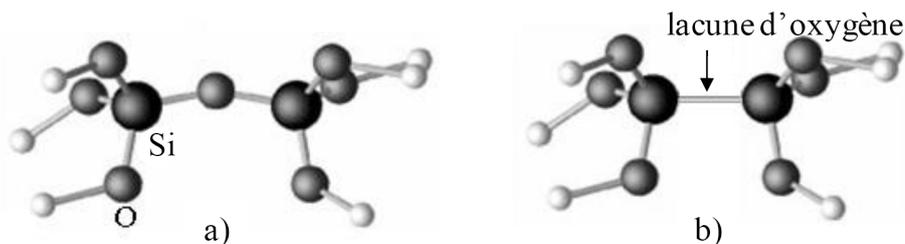


FIGURE II.3 – Groupement de molécules de SiO_2 a) sans lacune d'oxygène et b) avec lacune d'oxygène.

Comme décrit dans [19], les lacunes d'oxygène sont des points faibles dans l'oxyde de silicium car l'énergie de rupture de la liaison $Si - Si$ est de l'ordre de $2eV$ alors que celle de la liaison $Si - O$ est d'environ $5eV$. Dans l'état présenté dans la Figure II.3 -b la structure est électriquement neutre. Cependant, après rupture de la liaison $Si - Si$, ces lacunes sont susceptibles de former des centres E' électriquement actifs présentés dans le paragraphe suivant.

II.2.2.a.2 Les centres E'

Le centre E' survient suite à la rupture du pont $Si - Si$ d'une lacune d'oxygène par la capture d'un trou. Il correspond à deux atomes de silicium trivalent possédant respectivement un électron non apparié et un trou.

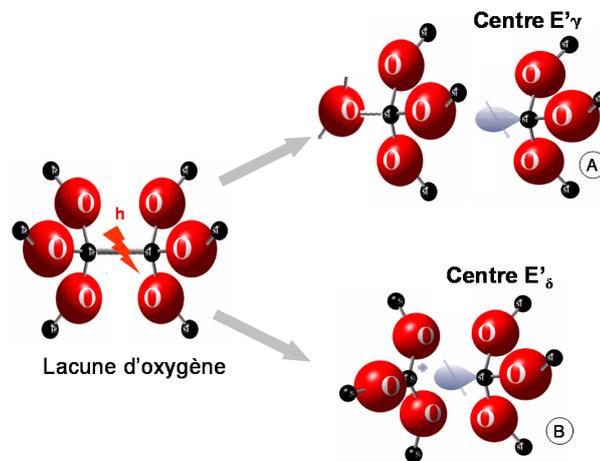


FIGURE II.4 – Représentation de la formation des centres E' de type γ et δ à partir d'une lacune d'oxygène et sous l'effet d'un trou (h).

Comme représenté par la Figure II.4, deux types de centre E' se distinguent suivant les contraintes autour de la structure et l'équilibre énergétique qui s'est établi : le centre E'_γ et E'_δ .

- Le centre E'_γ se manifeste lorsque les contraintes autour de la structure sont faibles. Comme le montre la Figure II.5, le Si qui a piégé le trou s'éloigne de sa position initiale et se trouve dans un état métastable. La relaxation de celui-ci le lie à un atome d'oxygène voisin. L'électron apparié est complètement localisé sur l'autre Si et le centre est chargé positivement. Dans cette configuration, le piégeage d'un électron se fait sur l'atome de Si qui possède l'électron apparié créant un état métastable. L'électron piégé est faiblement lié et ce centre E'_γ peut donc facilement (dé)piéger un trou.
- Le centre E'_δ est associé à des contraintes qui empêchent la formation de la liaison $Si - O$. L'électron et le trou sont partagés entre les deux atomes de Si et restent ainsi faiblement liés. D'après [20], 90% des centres E' sont de type δ . Ces centres peuvent être classés en deux catégories suivant la distance $Si - Si$. La première catégorie

représente 80% d'entre eux ayant une énergie comprise entre $0.5eV$ et $1eV$. Ils ne peuvent pas capturer d'électrons. La deuxième catégorie correspond à des défauts ayant une énergie d'environ $2eV$ qui peuvent piéger des électrons proches du milieu de la bande interdite.

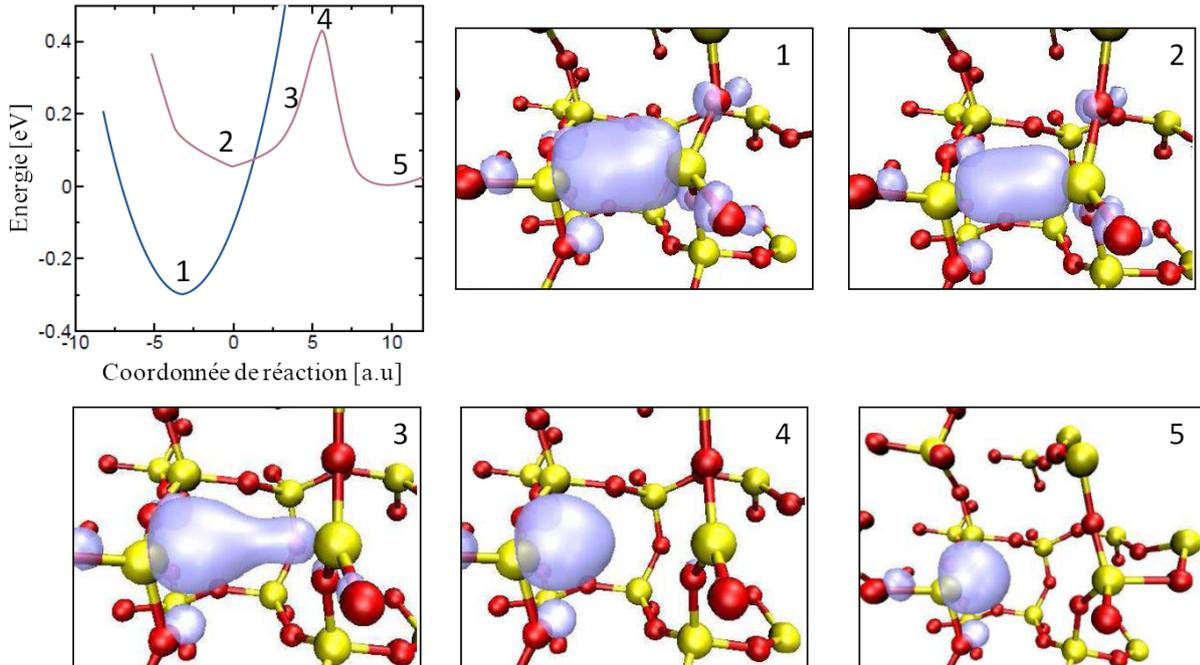


FIGURE II.5 – Représentation des différentes phases de formation d'un centre E'_γ basées sur le modèle de charge détaillé dans [21]. En jaune les atomes de silicium et en rouge les atomes d'oxygène.

II.2.2.b Les défauts de la couche interfaciale

La couche d'interface due au désaccord de maille entre le Si et SiO_2 présente des défauts similaires que ceux du volume du SiO_2 . Les défauts de la couche d'interface sont dus à la sous stœchiométrie en oxygène (SiO_x avec $1 < x < 2$). On retrouve donc les lacunes d'oxygène qui peuvent aboutir à des centres $E'h$, mais aussi des centres X et Y [22] qui ont une structure de type $Si_nO_{3-n} \equiv Si\bullet$ avec $n = [0, 1, 2]$ (Figure II.6). L'étude de l'affinité électronique des centres X et Y ont montré qu'ils sont de type donneur et piègent plus facilement des trous que des électrons.

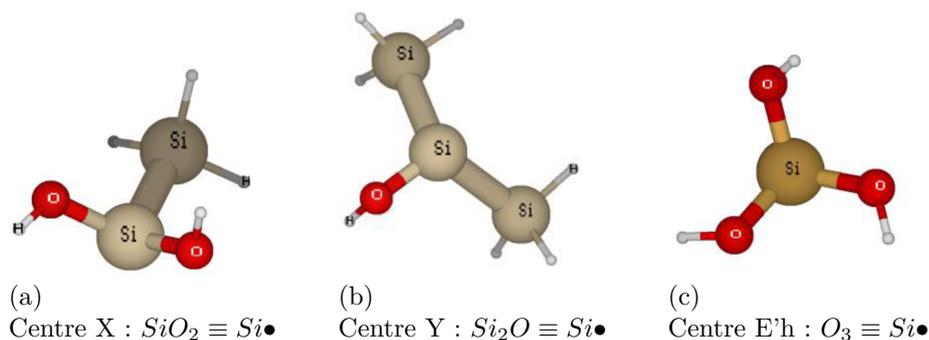


FIGURE II.6 – Représentation schématique des défauts présents dans la couche d’interface. Le centre X en (a), Y en (b) et E'_h en (c).

II.2.2.c Les défauts d’interface

En plus des défauts dans la couche interfaciale, le désaccord de maille entre le Si et le SiO_2 entraîne la présence de défauts à l’interface oxyde de grille/substrat. Au niveau de l’interface, certains atomes de silicium du substrat sont liés à trois autres atomes du substrat et ne peuvent pas former de liaison avec un atome de l’oxyde. Il y a donc une liaison pendante au niveau de ce groupement. Les liaisons pendantes présentent un électron non apparié à l’interface et peuvent être détectées par Résonance de Spin Electronique (RSE). C’est ainsi qu’en 1971 Nishi Y. [23] à mis en évidence trois espèces paramagnétiques différentes nommées « a », « b » et « c ». Par la suite, Poindexter et al. [24] et Brower [25] ont identifié l’espèce paramagnétique « b » (P_b) comme étant la source des liaisons pendantes. Deux types de centre P_b , qui diffèrent par leur environnement proche, ont été distingué (Figure II.7) :

- P_{b0} : $Si_3 - Si\bullet$
- P_{b1} : $Si_2 - Si\bullet - Si - Si_2O$

Les centres P_{b0} sont les plus nombreux et sont plus actifs électriquement que les centres P_{b1} .

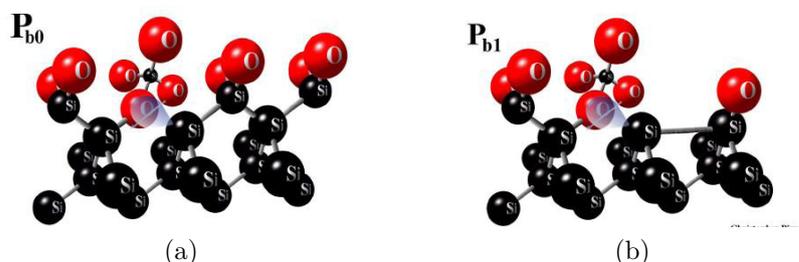


FIGURE II.7 – Structure des centres P_b qui sont responsables des défauts d’interface.

Les liaisons pendantes à l’interface Si/SiO_2 interagissent avec les porteurs du canal et dégradent les performances du transistor notamment la mobilité. Afin de réduire ces effets,

un recuit thermique en présence d'hydrogène ou de deutérium est effectué après l'étape d'oxydation. Ce recuit permet de passiver les liaisons pendantes par la création de liaisons $Si - H$. Cependant ces liaisons peuvent être rompue par l'intermédiaire de différents mécanismes de dégradation détaillés au paragraphe § II.3 et réactiver le défaut d'interface.

II.2.3 Les caractéristiques des défauts

La présence des différents défauts détaillés précédemment introduit une modification de la périodicité du réseau et cela se traduit par l'introduction de niveaux d'énergie supplémentaires E_T dans la bande interdite. Les défauts sont ainsi électriquement actifs et ils peuvent piéger des porteurs générés lors de l'application de tensions aux bornes du transistor MOS ou aussi avoir une influence coulombienne réduisant la mobilité des porteurs :

- Les centres recombinants sont des défauts profonds ayant un niveau d'énergie situé vers le milieu de la bande interdite du SiO_2 .
- Les centres de piégeage sont des défauts peu profonds ayant un niveau d'énergie proche d'une bande (E_C ou E_V). Ils peuvent capturer et réémettre un porteur vers une même bande.

Un défaut peut avoir un type donneur, accepteur ou amphotère. Il est donneur s'il peut donner un électron et à l'inverse accepteur s'il peut piéger un électron. Il est amphotère s'il peut à la fois être donneur et accepteur. Pour pouvoir préciser le type d'un piège il faut introduire la notion de section de capture σ [cm^2] qui exprime la facilité avec laquelle un défaut peut capturer un porteur. Ces mécanismes d'échanges de porteurs ont fait l'objet de nombreuses études basées sur le modèle de génération/recombinaison de Shockley-Read-Hall [26].

En plus d'être caractérisé par son niveau d'énergie, un défaut est défini soit par sa densité volumique N_T [cm^{-3}] lorsqu'il est présent dans le volume de l'oxyde soit par sa densité surfacique N_{IT} [cm^{-2}] lorsqu'il est situé à l'interface.

II.2.4 Impact des défauts sur les paramètres électriques du transistor

La présence des défauts détaillés précédemment entraîne la dérive des paramètres électriques du transistor. En effet, l'application d'une contrainte électrique peut endommager l'oxyde et créer des pièges électriquement actifs. La génération de pièges modifie la charge totale de l'oxyde Q_O défini au paragraphe I.2.2.b. Cette variation de charge d'oxyde ΔQ_O

est la somme des charges d'interface ΔQ_{IT} et des charges d'oxyde ΔQ_T respectivement reliées aux densités N_{IT} et N_T . Cela modifie ainsi :

– l'équation implicite du potentiel de surface (I.7), qui devient :

$$\left(\frac{V_{GB} - \phi_{MS} + \frac{Q_O + \Delta Q_O}{C_{ox}} - \varphi_S(x)}{\gamma} \right)^2 = \left\{ \varphi_S(x) + \phi_T \left[\exp\left(\frac{-\varphi_S(x)}{\phi_T}\right) - 1 \right] + \phi_T \exp\left(\frac{-V_c(x) - 2\varphi_F}{\phi_T}\right) \left[\exp\left(\frac{-\varphi_S(x)}{\phi_T}\right) - 1 \right] \right\} \quad (\text{II.1})$$

– la tension de bande plate, qui devient :

$$V_{FB} = \phi_{MS} - \frac{Q_O + \Delta Q_O}{C_{ox}} \quad (\text{II.2})$$

– la mobilité, qui devient :

$$\frac{1}{\mu_i} = \frac{1}{\mu} + \alpha \cdot \Delta N_{IT} \quad (\text{II.3})$$

où μ correspond à la mobilité effective sans l'impact des défauts d'interface et μ_i est la mobilité du canal qui tient compte des défauts d'interface.

Comme illustré par la Figure II.8, la dérive de ces trois paramètres se répercute ainsi sur les charges et courants du transistor détaillés à la partie I.2.2.

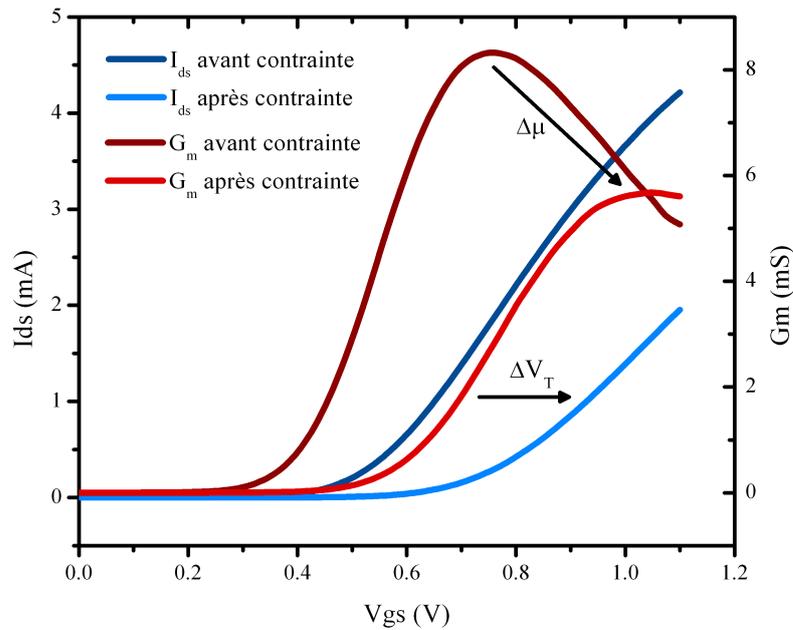


FIGURE II.8 – Dérives des paramètres électriques en régime linéaire ($V_{DS} = 50\text{mV}$) du transistor MOS avant et après l'application d'une contrainte électrique.

II.3 Les différents mécanismes de dégradation

II.3.1 Les conditions d'accélération du vieillissement

Les différents types de défauts créés dans le système $Si-SiO_2$ ainsi que leurs influences sur les performances du transistors ont été décrits dans la partie précédente. Ils peuvent être générés par différents mécanismes qui sont activés lors de l'utilisation du transistor. Ils peuvent être identifiés et décorrélés aux travers de l'application de contraintes accélérées spécifiques e.g. tension DC; tension AC/RF, température. C'est ainsi que dans cette partie trois mécanismes pouvant générer ces défauts seront introduits :

- L'instabilité des paramètres électriques sous contraintes négative (NBTI^a)
- Les porteurs chauds (HC^b)
- Le claquage de l'oxyde (TDDB^c)

Comme détaillé dans les paragraphes suivants, chacun de ces mécanismes est plus ou moins prédominant selon la contrainte électrique ou thermique appliquée au transistor. C'est ainsi qu'en choisissant des plans d'expériences spécifiques, il sera possible de modéliser indépendamment ces mécanismes de dégradation.

II.3.2 Negative Bias Temperature Instability (NBTI)

Comme son nom l'indique, le mécanisme de dégradation de type NBTI traduit les instabilités de paramètres électriques du transistor MOS lors de l'application d'une tension électrique négative sur la grille dans un milieu à haute température. Historiquement, ce mécanisme a été introduit pour qualifier les instabilités dues à la présence d'impuretés ioniques dans le SiO_2 qui se déplaçaient en présence d'un champ électrique à haute température. Par la suite, le terme NBTI a été associé aux dérives des paramètres électriques lors d'une contrainte électrique appliquée sur la grille et activée en température.

Deal et al. ont attribué une partie de la dégradation à la création de défauts d'interface de type P_b (§ II.2.2.c) et c'est de là qu'est né le modèle posant les bases du processus de création de défauts d'interface : le modèle de Réaction-Diffusion (R-D) [27]. Ainsi, la dissociation des liaisons $Si-H$ (réaction) se voit limitée, pour des temps courts, par la diffusion de l'hydrogène :

$$N_{IT}(t) = \left(1 - e^{-k_F N_O t}\right) \approx k_F N_O t \quad (\text{II.4})$$

a. NBTI : **N**egative **B**ias **T**emperature **I**nstability

b. HC : **H**ot **C**arrier

c. TDDB : **T**ime **D**ependent **D**ielectric **B**reakdown

où N_O est le nombre de liaisons $Si - H$ potentiellement dissociables et k_F le taux de dissociation des liaisons $Si - H$ qui est supposé constant pour un champ électrique donné i.e toutes les liaisons sont identiques. Pour des temps plus longs, la diffusion et repassivation des espèces hydrogénées contrôle le processus de génération de défauts aboutissant à :

$$N_{IT}(t) \approx M \cdot t^{0.25} \quad (\text{II.5})$$

M traduit le ratio de dissociation/recombinaison des atomes Si et H .

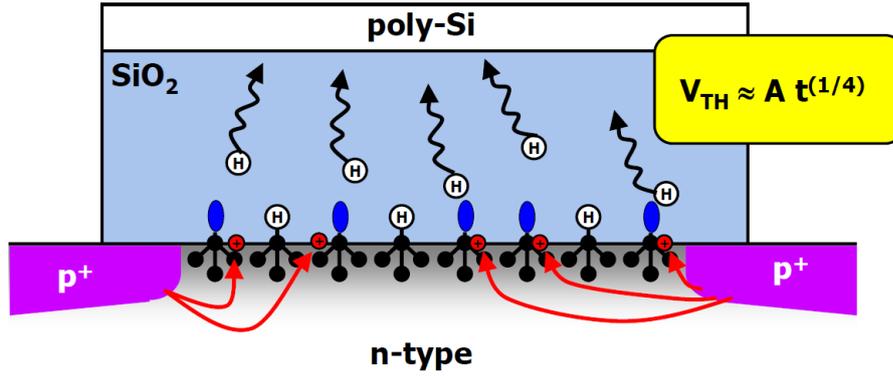


FIGURE II.9 – Représentation du modèle de réaction diffusion historiquement défini pour décrire la génération de défauts d'interface sous application d'une contrainte NBT. La dissociation des liaisons $Si - H$ par le champ électrique de l'oxyde se suit d'une diffusion de l'hydrogène qui est défini comme facteur limitant de la dégradation.

Ce modèle, illustré à la Figure II.9, s'est vu rapidement limité lorsque Huard et al. ont montré expérimentalement que le taux de dissociation k_F n'est pas constant mais qu'il présente une distribution énergétique dérivée d'une distribution de Fermi $g(E, \sigma)$ (avec σ la dispersion de la distribution qui vaut environ $0.1eV$). Il vient donc une génération de défaut :

$$N_{IT}(t) \approx N_O \int_0^{\infty} g(E, \sigma) \cdot e^{-k_F t} dE \quad (\text{II.6})$$

En parallèle d'autres études [18, 28, 29] ont révélé le phénomène de relaxation du NBTI : une partie de la dégradation générée lors de la contrainte tend à s'auto-guérir dès que la contrainte est interrompue. Ce phénomène a été attribué au piégeage/dépiégeage de trou par l'intermédiaire des centres E', X, Y (§ II.2.2.a).

En résumé, la dégradation NBTI est composée de deux parties (Figure II.10) :

- Une partie recouvrable due aux piégeages de trous dans l'oxyde
- Une partie permanente correspondant aux défauts d'interface. Récemment, il a aussi été mis en avant par Grasser et al. que cette composante tend à se relaxer sur des

temps très longs [30].

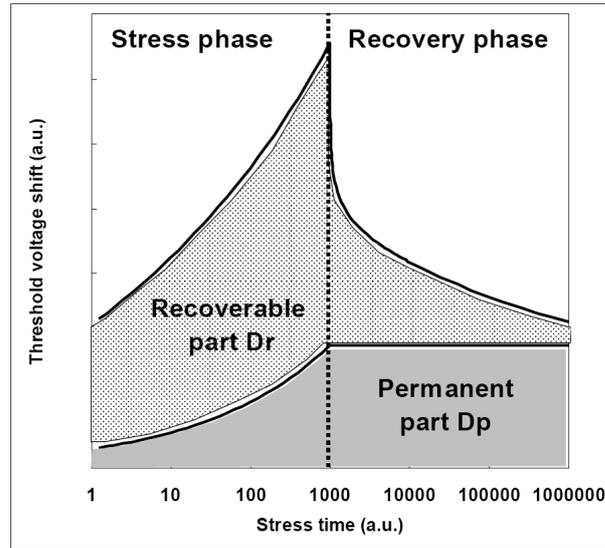


FIGURE II.10 – Dérive de la tension de seuil au cours d’une contrainte de type NBTI mettant en évidence les deux composantes de la dégradation NBTI avec une partie permanente D_p et une partie recouvrable D_r qui s’auto-guérit lors de l’interruption de la contrainte.

II.3.3 Les porteurs chauds (HC)

A la différence du NBTI, le phénomène de porteurs chauds est présent lors de l’application d’une tension de drain (V_{DS}) en plus de la tension de grille (V_{GS}). On appelle porteurs chauds, tout porteur de charge ayant acquis une énergie cinétique importante sous l’effet d’un champ électrique. C’est ainsi que si l’on considère un transistor nMOS en saturation, la majorité des électrons transite dans la zone de pincement du canal par effet quasi-balistique et donc sans aucune interaction avec le réseau. Cependant, une fraction des porteurs modulée par le champ vertical, interagit avec le réseau et transfère une partie ou toute son énergie au réseau. Ceci peut se produire suivant différents modes qui sont détaillés dans [31].

On peut notamment citer le phénomène d’ionisation par impact (Figure II.11) au cours duquel un électrons chauds du canal a suffisamment d’énergie pour entraîner la génération de paires électron-trou avec un transfert d’énergie lors de collisions inélastiques avec les atomes du réseau. Certains électrons issus de cette génération d’électron secondaire sont orientés et injectés vers l’oxyde de grille. Dans le même temps, les trous sont repoussés dans le substrat générant un courant I_{BS} proportionnel au nombre de paires électron-trou générées :

$$I_{BS} = M \cdot I_{DS} \quad (\text{II.7})$$

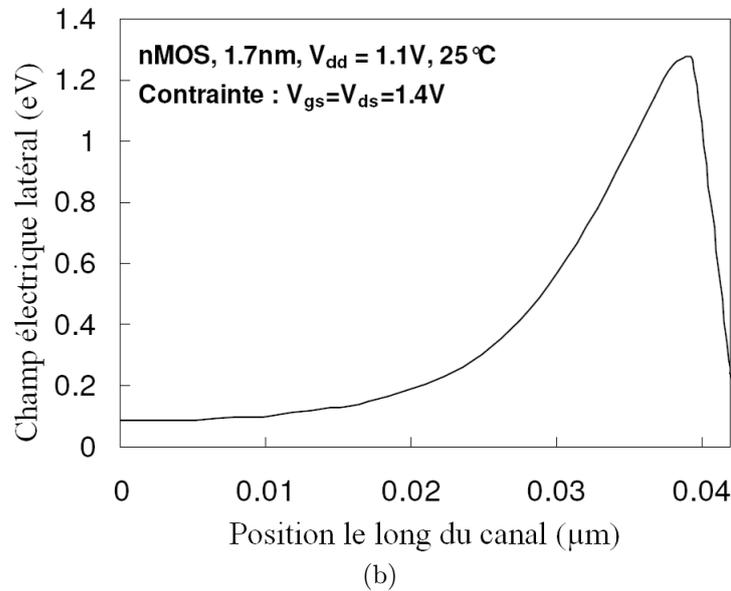
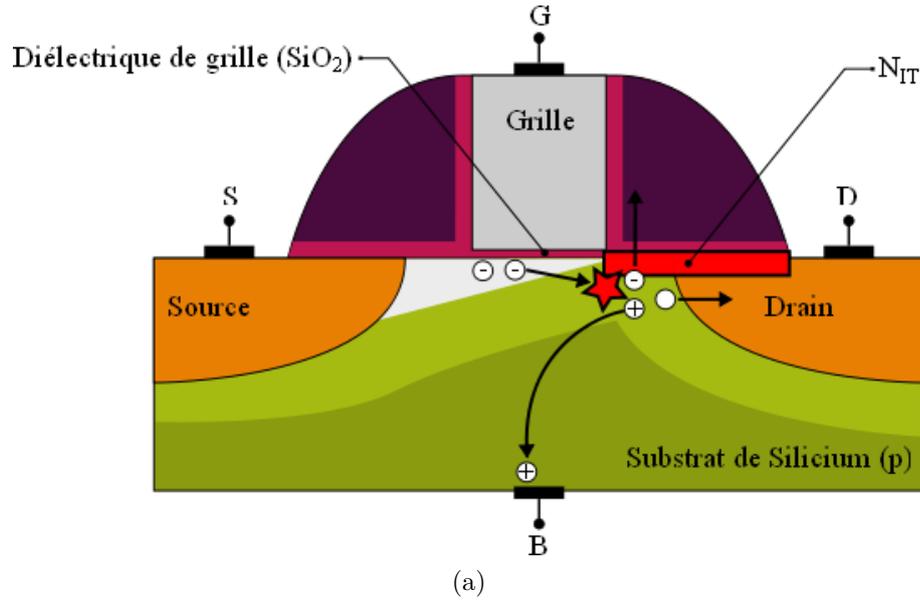


FIGURE II.11 – (a) Génération et injection d'électrons chauds sous ionisation par impact dans un transistor de type nMOS.(b) évolution du champ latéral électrique en fonction de la position le long du canal à une profondeur de 0.8nm de l'interface Si/SiO_2 obtenue par simulation TCAD Monte Carlo pour un dispositif nMOS ($T_{ox} = 1.7\text{nm}$, $L = 0.042\mu\text{m}$) sous polarisation de type HC $V_{GS} = V_{DS} = 1.4\text{V}$.

avec M qui est une variable représentant l'effet d'ionisation par impact et qui vaut [32] :

$$M = (V_{DS} - V_{DSsat}) \cdot \frac{\alpha_i}{\beta_i} \cdot \left(\frac{\beta_i \cdot l_i}{V_{DS} - V_{DSsat}} \right) \quad (\text{II.8})$$

α_i et β_i correspondent aux coefficients d'ionisation et valent typiquement [33] $\alpha_i = 2.5 \cdot 10^6 \text{cm}^{-1}$ et $\beta_i = 2 \cdot 10^6 \text{V/cm}$. l_i qui correspond à la section du drain où l'ionisation par impact se produit et qui est donné par : $l_i = 0.017 \cdot T_{OX}^{1/8} \cdot L^{1/5} \cdot X_J^{1/3}$. Le graphique

de la Figure II.12 montre l'évolution du courant de substrat en fonction de V_{DS} .

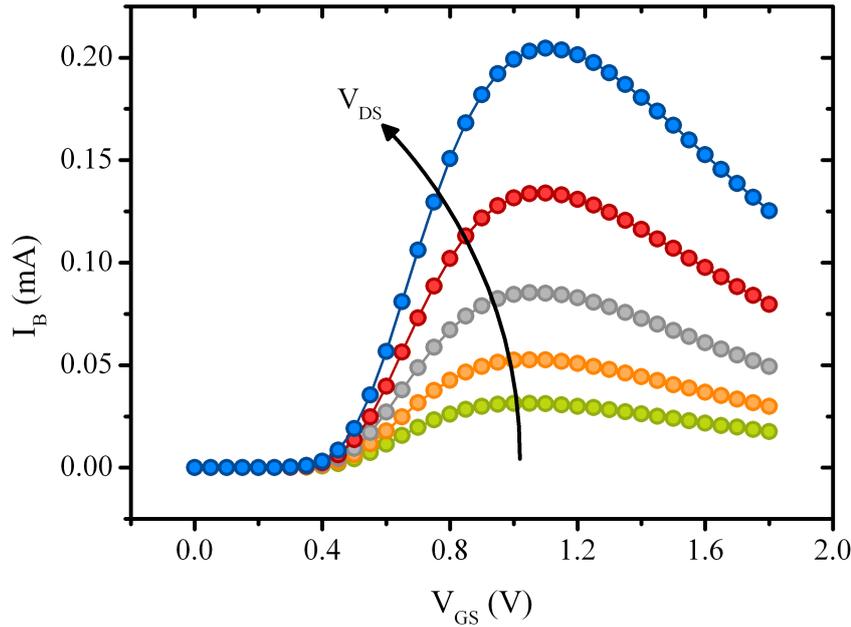


FIGURE II.12 – Evolution du courant de substrat en fonction de V_{DS}

Les électrons injectés à travers l'oxyde de grille vont contribuer au courant de grille (I_{GS}) et secondairement à la génération de défauts dans une région proche de l'interface canal/oxyde de grille. Pour les oxydes dont l'épaisseur est inférieure à $5nm$, de nombreuses études [34, 35] ont montré que les défauts générés sont des états d'interface dus à la rupture de liaisons $Si - H$. Comme illustré par la Figure II.13, différents types d'excitation peuvent rompre la liaison $Si - H$ [35] en fonction de l'énergie (tension) et du flux (courant) de porteurs présents dans le canal. Dans le modèle physique qui sera présenté au paragraphe II.4.2, trois cas d'apport de l'énergie E_B nécessaire à la rupture de la liaison $Si - H$ sont pris en considération : l'excitation vibrationnelle unique SVE^d, l'interaction électron-électron EES^e et l'excitation vibrationnelle multiple MVE^f.

Le mécanisme SVE est lié aux porteurs les plus énergétiques. Chaque porteur a suffisamment d'énergie ($E > E_B$) pour exciter la liaison $Si - H$ jusqu'à sa rupture.

Si l'électron incident n'a pas assez d'énergie, le mécanisme d'EES peut se produire puis aboutir à la rupture d'une liaison $Si - H$ par SVE. L'EES correspond à l'échange d'énergie entre deux électrons par interaction coulombienne. Si on considère deux électrons qui traversent par effet quasi-balistique le canal avec chacun une énergie qV_{DS} , un électron peut transférer toute son énergie cinétique à l'autre par EES l'élevant à une énergie d'environ $2qV_{DS}$ suffisante pour rompre une liaison d'interface par SVE si $2qV_{DS} > E_B$.

d. SVE : **S**ingle **V**ibrational **E**xcitation

e. EES : **E**lectron **E**lectron **S**cattering

f. MVE : **M**ultiple **V**ibrational **E**xcitation

Lorsque l'énergie des électrons incidents est inférieure à E_B , la rupture par MVE peut se produire. Les électrons apportent individuellement suffisamment d'énergie pour exciter les modes vibrationnels de la liaison $Si - H$. Chaque électron incident peut alors apporter un quanta d'énergie $\hbar\omega$ pour peupler un niveau supérieur du mode vibrationnel de la liaison $Si - H$ et cela durant un temps caractéristique τ appelé durée de vie du mode d'excitation. Cette succession d'apport de quanta d'énergie aboutit à la rupture lorsque l'énergie E_B est atteinte. Pour cela, il est important de noter qu'il est nécessaire que la durée de vie du mode d'excitation soit supérieure au temps moyen de collision d'un autre électron incident. Ce type d'excitation est relié au flux d'électrons incidents et donc au courant I_{DS} . Le seuil de densité de courant étant important, ce dernier mode de dégradation est principalement observé sur des oxydes minces.

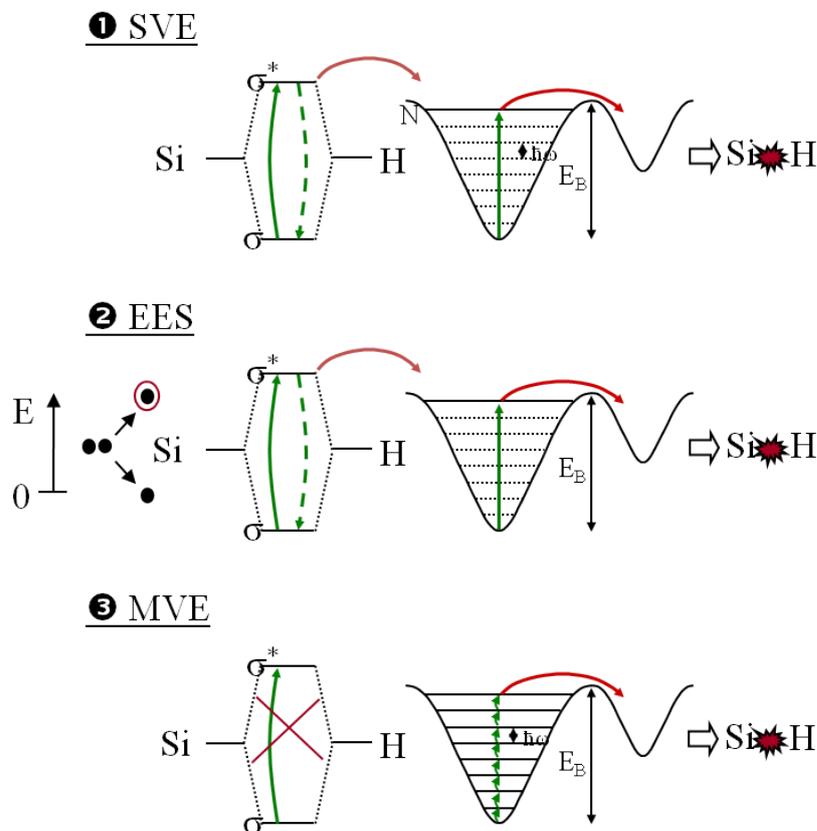


FIGURE II.13 – Représentation schématique des modes de rupture de la liaison $Si - H$ [35]. L'énergie potentielle de liaison est représentée par un puits de potentiel de profondeur E_B qui sépare l'atome d'hydrogène des sites de transports. E_B correspond à l'énergie de dissociation de la liaison $Si - H$.

En résumé, l'application d'une contrainte en tension sur la grille et le drain entraîne une dégradation de type HC. En régime saturé, les électrons du canal traversent la zone de pincement par effet quasi-balistique où le champ électrique latéral est maximum. Certains électrons énergétiques interagissent avec le réseau et provoquent une dégradation localisée de l'interface au niveau du drain. Pour des conditions de contrainte où le canal n'est pas

formé ($V_{GS} < V_T$ et V_{DS} fort), le flux de porteur bien que faible possède une grande énergie car ces porteurs traversent le canal par effet balistique sans perte d'énergie [36, 37] et contribuent à une dégradation de type porteur chaud. La modélisation complète de la dégradation de type HC sera détaillée dans le paragraphe II.4.2.

II.3.4 Le claquage d'oxyde (TDDB)

Lors du fonctionnement du transistor et plus spécifiquement lorsqu'une contrainte électrique est appliquée sur la grille, le champ électrique à travers l'oxyde de grille peut être responsable de l'injection de porteurs dans l'oxyde de grille. Ces porteurs peuvent contribuer au courant de grille ou provoquer une dégradation irréversible de l'oxyde. Au cours du temps de contrainte, une augmentation de la fuite de grille peut se produire du fait de la perte des propriétés isolantes de l'oxyde de grille. Les défauts générés lors de la contrainte peuvent contribuer à l'augmentation de la conductance de l'oxyde de grille à bas champ électrique. Ce phénomène est nommé SILC^g. Cette fuite peut aboutir à la dégradation ultime du transistor : le claquage.

L'étude et la caractérisation du claquage d'oxyde se fait par la mesure du courant de grille lors de l'application d'une contrainte à tension constante sur la grille (CVS^h). Le claquage d'oxyde est caractérisé par un saut plus ou moins abrupt du courant de grille à un temps caractéristique noté TBD mais cela ne signifie pas forcément que le transistor n'est plus fonctionnel. Comme illustré par la Figure II.14a, après le temps TBD, le courant de drain du transistor en fonctionnement normal (I_{on}) n'a pas été impacté par le claquage de l'oxyde.

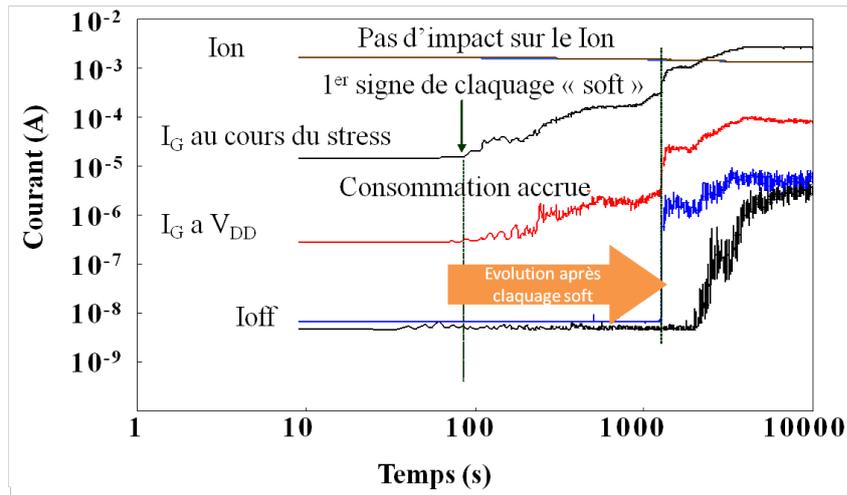
Suñe et al. [38] puis Degraeve [39] proposent d'expliquer le claquage par la formation d'un chemin de conduction à partir de défauts générés aléatoirement dans l'oxyde. Cette approche, illustrée par la Figure II.14b, se définit par le modèle de percolation repris et amélioré suite à de nombreuses études [40, 41]. Au cours de la contrainte, des pièges responsables du courant de fuite sont générés aléatoirement dans l'oxyde jusqu'à atteindre une densité critique de pièges aboutissant à un chemin de conduction dit de « percolation ».

Les mécanismes physiques responsables de la génération de piège dans l'oxyde de grille aboutissant au claquage ne s'expliquent malheureusement pas par une théorie unique. Deux grandes approches tendent à prendre le dessus dans la littérature. D'un côté, le modèle thermo-chimique de McPherson considère que le champ électrique est le moteur de la dégradation [42]. D'un autre côté, d'autres modèles sont basés sur l'injection de

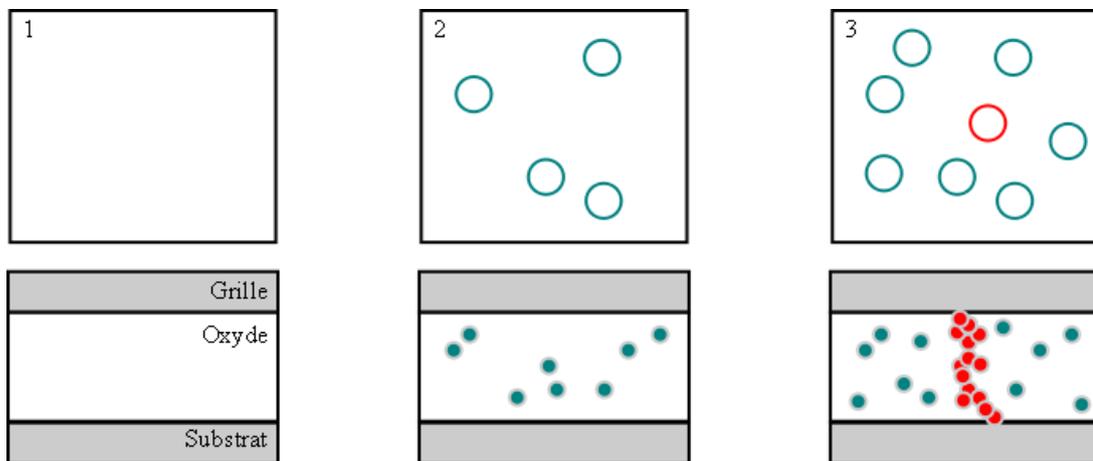
g. SILC : **S**tress **I**nduced **L**eakage **C**urrent

h. CVS : **C**onstant **V**oltage **S**tress

porteurs à travers l'oxyde de grille et la dissipation d'énergie proche de l'anode tels que le modèle d'injection de trou chaud à l'anode [43] et le modèle de libération d'hydrogène [44]. Plus récemment, le modèle MVHRⁱ [45] reprend ces théories et explique le claquage au travers de deux mécanismes, le premier étant lié à la rupture de la liaison $Si-H$ à l'interface et le deuxième lié à la diffusion et génération de défaut fixe dans le volume de l'oxyde suite à la diffusion de l'hydrogène libéré. Une revue analytique de ces différents modèles est réalisée dans [46].



(a)



(b)

FIGURE II.14 – (a) Evolution des différents courants du transistor nMOS lors de l'application d'une contrainte électrique à tension constante sur la grille. Lorsque les prémices du claquage apparaissent par un bruit sur le courant de grille et même après le claquage de l'oxyde, aucun n'impact n'est répercuté sur le courant de drain du transistor. (b) Schéma représentant la génération aléatoire des défauts dans l'oxyde à différents temps de contrainte CVS associés à l'évolution du courant de grille en (a). Le claquage se produit lors de la formation du chemin de percolation indiqué par les cercles rouges.

i. MVHR : **M**ulti-**V**ibrational **H**ydrogen **R**elease

II.4 La modélisation du vieillissement du transistor MOSFET

II.4.1 Les différents modèles

La description des mécanismes de dégradation précédents (HC, NBTI, TDDB) a révélé qu'il existe des différences significatives dans leurs apparitions physiques. On distingue le claquage d'oxyde qui rend compte uniquement de l'évènement final : un saut abrupt du courant de grille. Le claquage d'un transistor au sein d'un circuit peut avoir de graves répercussions allant de l'augmentation de la consommation au dysfonctionnement du circuit. Par opposition, on distingue les phénomènes HC et NBTI qui entraînent une dégradation progressive et continue des caractéristiques du transistor réduisant les performances du circuit. La nature continue de la dégradation présente un défi important dans l'analyse et l'estimation de la fiabilité.

De nombreuses études [47] ont montré la valeur ajoutée d'une modélisation précise de la dégradation du transistor afin d'anticiper la fiabilité du produit et ainsi optimiser le compromis nécessaire entre fiabilité et performance. Cette approche se nomme souvent « bottom-top ». En ce qui concerne la modélisation du transistor, cela consiste à établir un modèle permettant d'évaluer/prédire à tout moment la quantité de dégradation induite sur un transistor en fonction du profil de tension qui lui est présenté. Les parties suivantes permettront de décrire ce type de modèle et en particulier pour une dégradation de type HC car :

- ce phénomène devient de plus en plus critique pour les technologies récentes et en particulier pour les applications fonctionnant à haute fréquence. Ce mécanisme joue un rôle fondamental dans le domaine de la Radio Fréquence (RF).
- les récentes améliorations de la modélisation HC permettent désormais d'adresser ce mécanisme quelque soit la contrainte électrique et ont démontré sa pertinence pour les applications digitales.

II.4.2 Le modèle HC complet

De manière empirique il est constaté que la variation d'un paramètre électrique (P) du transistor suit une dynamique en puissance au cours du temps lorsqu'une contrainte de type HC lui est appliqué [48] :

$$\Delta P = A \cdot t^n \tag{II.9}$$

Le paramètre P peut représenter le courant linéaire, la tension de seuil, le maximum de la conductance ou tout autre paramètre représentatif des performances du transistor.

A et n sont des paramètres empiriques extraits pour chaque technologie.

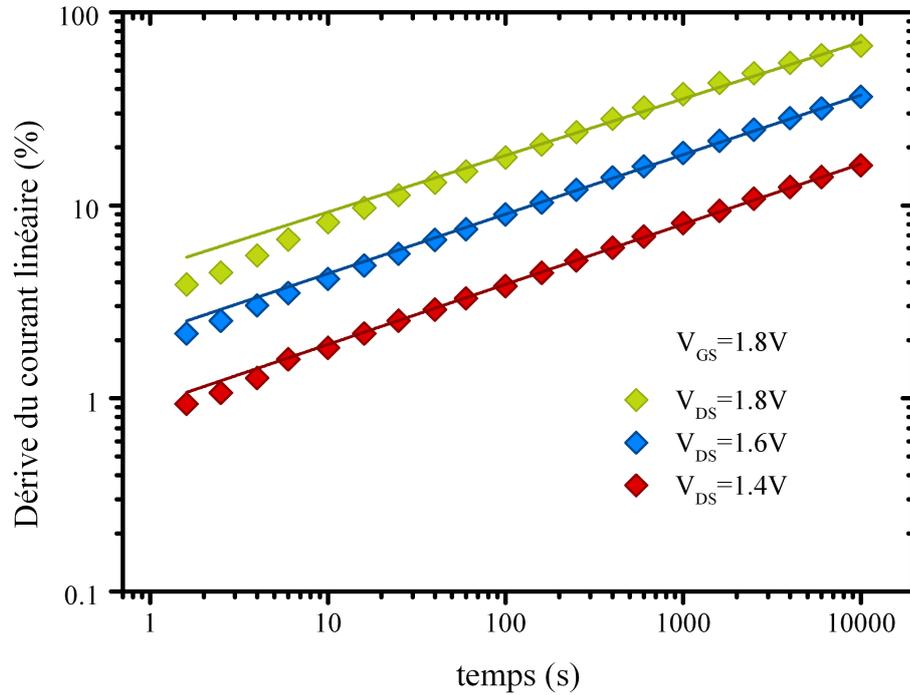


FIGURE II.15 – Dérive du courant linéaire au cours du temps pour une contrainte à $V_{GS} = 1.8V$ et V_{DS} variable sur un nMOS. Les losanges correspondent aux mesures et les lignes à l'application du modèle de Takeda.

Takeda et al. ont proposé une dépendance de A en V_{DS} traduisant le taux d'ionisation par impact :

$$A \propto \exp(-\alpha/V_{DS}) \quad (\text{II.10})$$

Ce type de modèle est intéressant uniquement si on se positionne sur l'étude à V_{GS} constant. Cependant lors de la description du mécanisme physique (II.3.3), on a mis en avant que la contrainte par HC varie en fonction de l'énergie et du nombre de porteurs impliqué. Ceci est expliqué par les différents mécanismes d'excitation qui interviennent dans la rupture des liaisons d'interface $Si-H$. Ainsi, le modèle de Takeda a évolué vers un modèle en énergie [35, 49] prenant en compte ces mécanismes d'excitation. Trois modes de dégradation HC, corrélés aux trois mécanismes d'excitation SVE/EES/MVE, ont été introduits en supposant que les dégradations liées aux trois modes ont lieu en parallèle et que chacun des modes est dominant dans sa gamme d'énergie. Dans le cas du modèle en énergie, le paramètre A de l'équation II.9 devient :

$$\begin{aligned}
 A = & \underbrace{K_{SVE} \cdot \left(\frac{I_{DS}}{W}\right)^{a_1} \cdot \left(\frac{I_{BS}}{I_{DS}}\right)^m}_{\text{MODE 1 - FORTE ENERGIE}} + \underbrace{K_{EES} \cdot \left(\frac{I_{DS}}{W}\right)^{a_2} \cdot \left(\frac{I_{BS}}{I_{DS}}\right)^m}_{\text{MODE 2 - MOYENNE ENERGIE}} \\
 & + \underbrace{K_{MVE} \cdot V_{DS}^{a_3} \cdot \left(\frac{I_{DS}}{W}\right)^{a_3} \cdot \exp\left(\frac{-E_{emi}}{kT}\right)^m}_{\text{MODE 3 - FAIBLE ENERGIE}}
 \end{aligned} \tag{II.11}$$

où K_{SVE} , K_{EES} et K_{MVE} sont les constantes de leur mode d'excitation respectif. L'origine physique de chacune des variables est détaillée dans [35] et la Figure II.16 met bien en évidence la coexistence des 3 modes.

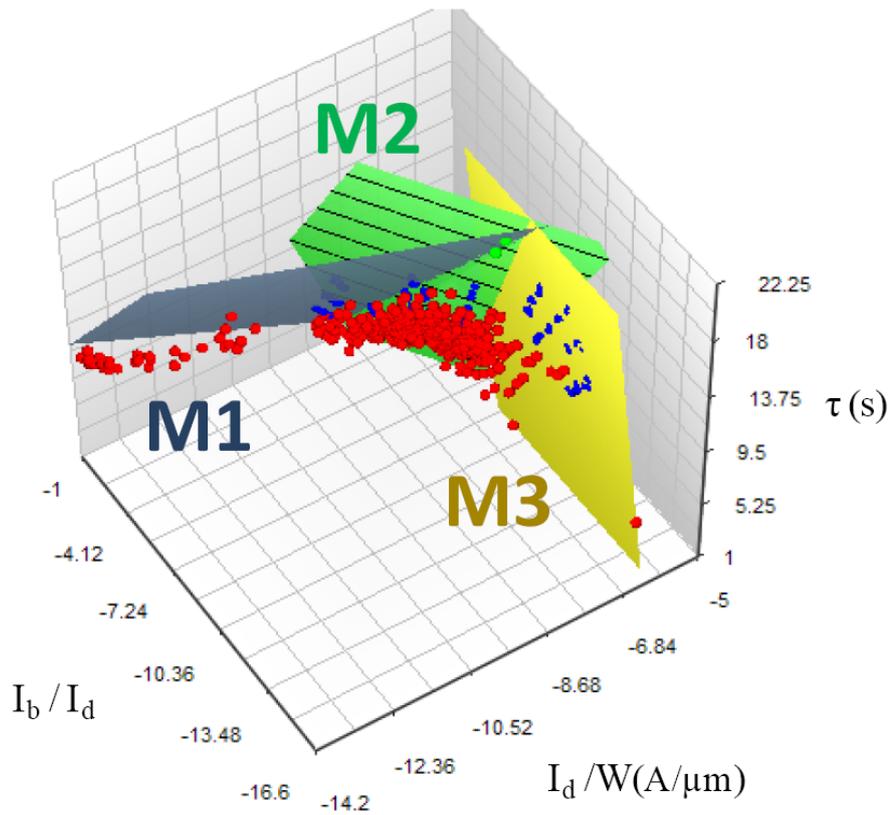


FIGURE II.16 – Représentation de la durée de vie τ du transistor pour 10% de dégradation du courant saturé en fonction de I_{DS}/W et I_{BS}/I_{DS} montre les 3 modes (M1, M2, M3) de dégradation HC.

II.5 Du statique (DC) à la radiofréquence (RF)

II.5.1 L'extension du modèle DC

Après avoir présenté les principaux mécanismes de dégradation et les modèles associés, on constate qu'ils ont été développés pour des contraintes DC. Cependant, dans le cas

d'applications RF, on souhaite utiliser ces modèles pour des transistors qui sont soumis à des profils de courant et de tension dynamiques. Dans ce cas, l'approche générale consiste à utiliser un modèle qui décrit la dégradation au travers d'une fonction temporelle. Ce modèle doit être validé pour le cas DC et ainsi au travers d'une approximation quasi-statique (§I.2.4.a) il est possible de déterminer la vitesse instantanée de vieillissement aussi appelée taux de dégradation pour des conditions de contraintes dynamiques. Il vient donc pour le cas DC une fonction de dégradation f_{DC} telle que :

$$\Delta P_{DC}(t) = f_{DC}(t, S_{DC}) \quad (\text{II.12})$$

Dans cette expression, ΔP_{DC} représente la dégradation du paramètre P du transistor à un temps t pour une contrainte DC. f_{DC} est définie comme une fonction dépendant du temps e.g. une loi en puissance comme on l'a montré précédemment (§II.4.2). S_{DC} représente la condition de contrainte qui est appliquée au transistor en termes de courant et de tension. Il est ainsi possible de définir une fonction g_{DC} qui décrit la vitesse instantanée de vieillissement pour des conditions de contrainte DC telle que :

$$g_{DC}(t) = \frac{d\Delta P_{DC}(t)}{dt} = \frac{df_{DC}(t, S_{DC})}{dt} \quad (\text{II.13})$$

Si on remplace S_{DC} par une condition de contrainte dynamique $S_{RF}(t)$, on peut définir une fonction g_{RF} en se basant sur l'approximation quasi-statique :

$$g_{RF}(t) = \frac{df_{DC}(t, S_{RF}(t))}{dt} \quad (\text{II.14})$$

De là, il est possible de remonter à la dégradation quasi-statique ΔP_{RF} du paramètre P soumis à une contrainte dynamique $S_{RF}(t)$:

$$\Delta P_{RF}(t) = \int_0^t g_{RF}(t') \cdot dt' = \int_0^t \frac{df_{DC}(t', S_{RF}(t'))}{dt'} \cdot dt' \quad (\text{II.15})$$

Cette extension n'est ainsi possible que pour les modèles de dégradation qui :

- décrivent physiquement la dégradation de manière temporelle
- sont valides quelles que soient les conditions de contraintes appliquées

D'après la partie II.4.1, ces conditions sont remplies uniquement pour le NBTI et le HC car le TDDB n'est modélisé actuellement en ne tenant compte que de l'événement final. La suite de notre étude sera consacrée à l'extension du modèle HC pour des contraintes dynamiques et plus précisément dans le domaine de la radiofréquence (RF). Néanmoins, il est important de noter que cette approche pourra s'étendre de la même manière au NBTI. Si on applique cette approche à la modélisation HC en étudiant la variation de la tension de seuil V_T , l'équation II.9 devient :

$$\Delta V_T(t)^{1/n} = A^{1/n} \cdot t \quad (\text{II.16})$$

Dans le cas d'une contrainte DC, l'équation II.16 se différencie telle que :

$$\frac{1}{n} \Delta V_T(t)^{1/n-1} d\Delta V_T(t) = A^{1/n} \cdot dt \quad (\text{II.17})$$

Cette équation a l'avantage de ne pas s'exprimer explicitement en fonction du temps t . De l'équation II.17, on obtient la vitesse instantanée de vieillissement tenant compte de la dégradation cumulée :

$$\frac{d\Delta V_T(t)}{dt} = n \cdot A^{1/n} \cdot \Delta V_T^{1-1/n}(t) \quad (\text{II.18})$$

En appliquant l'approximation quasi-statique à l'équation II.18, i.e. en considérant que l'équation II.18 est valide pour une contrainte dynamique qui varie suffisamment lentement, on obtient [50] :

$$\frac{d\Delta V_T(t)}{dt} = n \cdot A(t)^{1/n} \cdot \Delta V_T^{1-1/n}(t) \quad (\text{II.19})$$

avec $A(t)$ qui vaut :

$$A(t) = \left[K_{SVE} \cdot \left(\frac{I_{DS}(t)}{W} \right)^{a_1} \cdot \left(\frac{I_{BS}(t)}{I_{DS}(t)} \right)^m + K_{EES} \cdot \left(\frac{I_{DS}(t)}{W} \right)^{a_2} \cdot \left(\frac{I_{BS}(t)}{I_{DS}(t)} \right)^m + K_{MVE} \cdot V_{DS}(t)^{\frac{a_3}{2}} \cdot \left(\frac{I_{DS}(t)}{W} \right)^{a_3} \cdot \exp\left(\frac{-E_{emi}}{kT} \right)^m \right]^n \quad (\text{II.20})$$

La séparation des variables mène ainsi à l'équation suivante :

$$\frac{d\Delta V_T(t)}{n \cdot \Delta V_T^{1-1/n}(t)} = A(t)^{1/n} \cdot dt \quad (\text{II.21})$$

Finalement en intégrant l'équation II.21, la dégradation du V_T pour une contrainte dynamique s'exprime telle que :

$$\Delta V_T(t) = \int_0^t \frac{d\Delta V_T(t')}{dt'} dt' = \left[\underbrace{\int_0^t A^{1/n}(t') dt'}_{\text{Age}} \right]^n \quad (\text{II.22})$$

Ceci permet d'introduire une quantité nommée *Age* qui est définie sur l'équation II.22. L'âge correspond à une normalisation du temps de contrainte par rapport à la dégradation et cette notion a été introduite par l'équipe de Berkeley en 1988 [51].

Une illustration de l'âge est donnée par la Figure II.17. Elle représente une dérive du V_T pour différentes conditions de contraintes en fonction du temps et de l'âge.

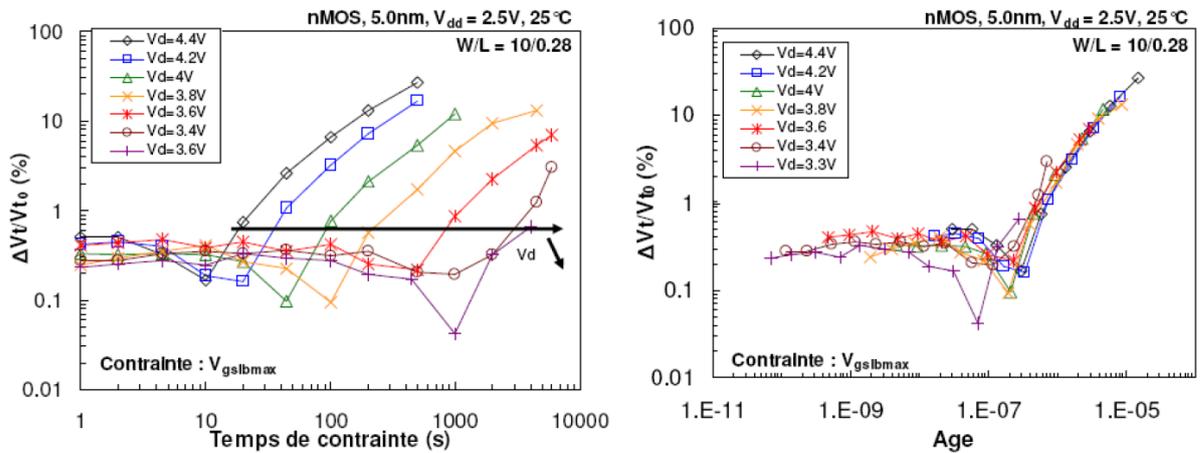


FIGURE II.17 – Evolution de la dégradation de V_T pour des différents V_{DS} représentée en fonction du temps de contrainte à gauche et de l'âge à droite [52].

Cette approche est donc indispensable pour notre étude car c'est une des briques qui permettra de modéliser la dégradation HC pour des contraintes RF.

II.5.2 Le modèle temporel contre le modèle fréquentiel

La partie précédente aborde le cas des contraintes RF mais il existe deux principales façons de les définir.

D'un côté, dans l'environnement de la RF, les représentations se font essentiellement dans le domaine fréquentiel avec une notion de puissance exprimée en dBm i.e. le dBm est l'unité de puissance qui fait référence à une puissance de $1mW$. De l'autre côté, la représentation peut se faire dans le domaine temporel où on tient compte de l'évolution du signal au cours du temps en termes de courant et de tension.

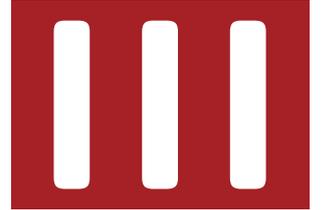
Chacune de ces visions possède ses avantages. Néanmoins dans le domaine de la fiabilité il est indispensable d'utiliser la représentation temporelle. Ceci s'explique simplement en considérant le phénomène des porteurs chauds. La dégradation se modélise aux travers de l'énergie et du nombre de porteurs qui dépend autant des courants que des tensions appliqués au transistor. C'est ainsi qu'en se limitant à une notion de puissance, une partie fondamentale de l'information manque et ne permet plus une analyse quantitative du vieillissement du transistor. Des études de fiabilité en puissance ont déjà été menées dans [53] mais elles n'ont pu se limiter qu'à des conclusions factuelles comparant des extrapolations de durée de vie basées sur des contraintes en puissance et sur des contraintes DC.

C'est ainsi que dans la suite de notre étude, il est primordial de construire et valider les modèles de dégradation RF en exprimant les contraintes en termes de courant et de tension.

II.6 Conclusion

Lors du fonctionnement du transistor, différents types de défauts peuvent être générés par des mécanismes de dégradation tels que le NBTI, HC, TDDB. Ceux-ci peuvent s'expliquer par des modèles semi-empiriques. Jusqu'à présent les modèles permettant de décrire la dégradation ont été développés pour des conditions de fonctionnement DC du transistor. Notre but étant d'étendre cette modélisation pour un fonctionnement RF, nous avons décidé de développer cette approche en commençant par le mécanisme HC qui est le plus présent dans ce type de fonctionnement et qui possède le modèle en âge le plus abouti.

Un autre point très important est que ces modèles sont basés sur la connaissance des tensions et courants qui sont appliqués à tout moment au transistor. De ce fait, l'étude dans le domaine RF ne pourra se faire qu'en ayant mis en place une méthodologie permettant de maîtriser l'évolution temporelle des courants et tensions appliqués directement au transistor. Ainsi, cette procédure fera l'objet du chapitre suivant.



Mise en place d'une procédure d'étude du vieillissement du transistor MOSFET en RF

III.1 Introduction

Jusqu'à présent les études de fiabilité ont été réalisées pour des conditions DC et aussi AC basses fréquences. Dans ce contexte, l'étude et la modélisation des différents mécanismes de dégradation (HC, NBTI, TDDB) sont généralement accomplies au moyen d'une méthode « classique ». Elle consiste à appliquer une contrainte DC au transistor en suivant un plan d'expérience spécifique au mécanisme que l'on veut étudier et à interrompre la contrainte à intervalles réguliers pour caractériser les paramètres DC/AC du transistor. L'analyse du vieillissement des paramètres mesurés permet la construction de modèles de fiabilité tels que ceux détaillés dans le chapitre II.

Dans le but d'étendre les modèles de fiabilité dans le domaine de la RF, deux points essentiels doivent être intégrés à cette méthode :

- ajouter une étape de caractérisation RF lors de l'interruption de la contrainte DC.
- appliquer une composante RF en plus de la contrainte DC et déterminer l'intégrité de cette composante RF au cours du temps.

Pour cela, la mise en place d'une méthodologie spécifique est indispensable. Après avoir introduit la notion de multipôles et de leurs matrices associées, une partie de ce chapitre sera consacrée aux mesures des paramètres de dispersion (paramètres S) ainsi qu'aux procédures de corrections associées. Cela permettra de présenter le protocole expérimental et la méthodologie d'analyse mis en place pour une étude de la fiabilité en RF.

III.2 Méthode d'analyses et de mesures hyperfréquence

III.2.1 Des paramètres H, Y, Z, ABCD aux paramètres S

III.2.1.a Les multipôles

Lors de l'étude d'une partie d'un circuit, la notion de multipôle est souvent utilisée. Le multipôle correspond à une représentation symbolique d'une partie d'un circuit en reliant chaque grandeur d'entrée ou de sortie entre-elles (courant ou tension). Il est possible d'utiliser une matrice carrée qui exprime les relations entre ces grandeurs.

Dans le cas d'un transistor en RF, on distingue généralement des configurations en deux ports, nommées quadripôles (Figure III.1), avec par exemple un transistor à source commune i.e. la source et le substrat reliés à la masse, la grille en port 1 et le drain en port 2. Le quadripôle est représenté par des relations matricielles et on distingue les matrices de transfert H, Y, Z, ABCD et S.



FIGURE III.1 – Représentation d'un quadripôle.

III.2.1.b Les paramètres Z, Y, H, ABCD

Un quadripôle peut être défini par sa matrice impédance Z, admittance Y, hybride H ou chaîne ABCD qui offre l'avantage d'être mise en cascade. En se basant sur les notations de la Figure III.1, les paramètres de ces matrices s'expriment de la manière suivante :

$$\text{paramètres Z} \left\{ \begin{array}{l} v_1 = Z_{11}i_1 + Z_{12}i_2 ; \left\{ Z_{11} = \frac{v_1}{i_1} \Big|_{i_2=0} ; Z_{12} = \frac{v_1}{i_2} \Big|_{i_1=0} \right\} \\ v_2 = Z_{21}i_1 + Z_{22}i_2 ; \left\{ Z_{21} = \frac{v_2}{i_1} \Big|_{i_2=0} ; Z_{22} = \frac{v_2}{i_2} \Big|_{i_1=0} \right\} \end{array} \right. \quad (\text{III.1})$$

$$\text{paramètres Y} \left\{ \begin{array}{l} i_1 = Y_{11}v_1 + Y_{12}v_2 ; \left\{ Y_{11} = \frac{i_1}{v_1} \Big|_{v_2=0} ; Y_{12} = \frac{i_1}{v_2} \Big|_{v_1=0} \right\} \\ i_2 = Y_{21}v_1 + Y_{22}v_2 ; \left\{ Y_{21} = \frac{i_2}{v_1} \Big|_{v_2=0} ; Y_{22} = \frac{i_2}{v_2} \Big|_{v_1=0} \right\} \end{array} \right. \quad (\text{III.2})$$

$$\text{paramètres H} \left\{ \begin{array}{l} v_1 = H_{11}i_1 + H_{12}v_2 ; \left\{ H_{11} = \frac{v_1}{i_1} \Big|_{v_2=0} ; H_{12} = \frac{v_1}{v_2} \Big|_{i_1=0} \right\} \\ i_2 = H_{21}i_1 + H_{22}v_2 ; \left\{ H_{21} = \frac{i_2}{i_1} \Big|_{v_2=0} ; H_{22} = \frac{i_2}{v_2} \Big|_{i_1=0} \right\} \end{array} \right. \quad (\text{III.3})$$

$$\text{paramètres ABCD} \left\{ \begin{array}{l} v_1 = Av_2 + Bi_2 ; \left\{ A = \frac{v_1}{v_2} \Big|_{i_2=0} ; B = \frac{v_1}{-i_2} \Big|_{v_2=0} \right\} \\ i_1 = Cv_2 + Di_2 ; \left\{ C = \frac{i_1}{v_2} \Big|_{i_2=0} ; D = \frac{i_1}{-i_2} \Big|_{v_2=0} \right\} \end{array} \right. \quad (\text{III.4})$$

Pour mesurer les éléments de ces matrices avec précision, la mise en circuit ouvert ou fermé de l'entrée ou de la sortie du quadripôle est indispensable.

Cependant, au-delà de 100MHz, cela devient très difficile à réaliser pour plusieurs raisons telles que :

- les circuits ouverts ou fermés ne sont pas idéaux en haute fréquence.
- des effets de propagation peuvent intervenir dès que les dimensions en jeu sont grandes devant la longueur d'onde du signal.

Il est donc nécessaire d'introduire une nouvelle matrice utilisant des paramètres mesurables et en remplaçant les circuits ouverts et fermés par des ports adaptés généralement à 50Ω [54]. Cette matrice est appelée la matrice des paramètres S.

III.2.1.c Les paramètres S

Les paramètres S sont les paramètres de dispersion ou de diffraction (Scattering) et ont été introduits en 1965 par l'équipe de Bell Labs [55]. Ils sont reliés aux ondes de puissance qui sont transmises ou réfléchies lorsqu'un dispositif tel que le transistor est

inséré sur une ligne de transmission. Pour mieux comprendre ce concept, la Figure III.2a présente une analogie à l'optique, une lentille [56]. Dans un environnement bien défini tel que l'air il serait possible de définir les performances d'une lentille en caractérisant son pouvoir réfléchissant et sa transmission. Si l'on considère un environnement différent de l'autre coté de la lentille, la mesure devient plus difficile à réaliser. C'est alors le même cas pour les paramètres S qui permettent de caractériser un dispositif dans un environnement bien défini i.e. limité par une impédance caractéristique Z_0 qui vaut généralement 50Ω (Figure III.2b).

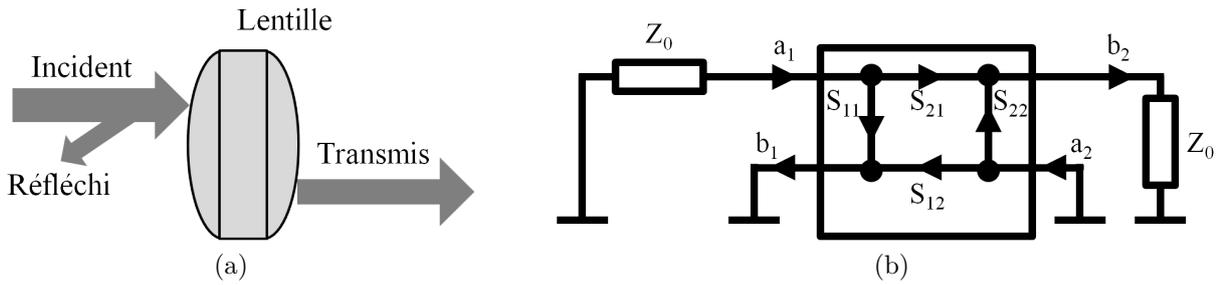


FIGURE III.2 – En (a) une analogie à l'optique pour la compréhension des paramètres S. La lentille étant partiellement réfléchissante, une partie de la lumière incidente est réfléchi tandis qu'une autre est transmise. Si à la place de la lumière on injecte une puissance RF et non pas dans une lentille mais dans un dispositif deux ports terminé par une charge Z_0 , on observera rigoureusement le même phénomène décrit en (b).

En injectant une puissance électrique à l'entrée d'un dispositif, il est possible d'évaluer les ondes incidentes (a_i) et réfléchies (b_i) en fonction des courants et tensions aux bornes du dispositif par :

$$\begin{cases} a_i = \frac{v_i + i_i Z_0}{2 \cdot Z_0} \\ b_i = \frac{v_i - i_i Z_0}{2 \cdot Z_0} \end{cases} \quad (\text{III.5})$$

Ces ondes sont aussi connues sous le nom d'ondes de Kurokawa et les relations suivantes entre a_i et b_i permettent d'exprimer la matrices des paramètres S :

$$\text{paramètres S} \begin{cases} b_1 = S_{11}a_1 + S_{12}a_2 ; \left\{ S_{11} = \frac{b_1}{a_1} \Big|_{a_2=0} ; S_{12} = \frac{b_1}{a_2} \Big|_{a_1=0} \right\} \\ b_2 = S_{21}a_1 + S_{22}a_2 ; \left\{ S_{21} = \frac{b_2}{a_1} \Big|_{a_2=0} ; S_{22} = \frac{b_2}{a_2} \Big|_{a_1=0} \right\} \end{cases} \quad (\text{III.6})$$

Un des avantages des paramètres S est qu'ils peuvent être interprétés comme une impédance complexe d'entrée ou de sortie et l'abaque de Smith est généralement utilisé comme outil graphique pour représenter les paramètres S_{11} et S_{22} . Comme illustré en

Figure III.3, l'abaque de Smith est une transformation du plan d'impédance complexe Z en un coefficient de réflexion S_{ii} , tel que :

$$S_{ii} = \frac{Z - Z_0}{Z + Z_0} \quad (\text{III.7})$$

De même, lorsque l'impédance présentée en sortie du quadripôle est différente de Z_0 , le coefficient de réflexion vu en entrée d'un quadripôle s'écrit :

$$\Gamma_{in} = S_{11} + \frac{S_{12}S_{21}\Gamma_{load}}{1 - S_{22}\Gamma_{load}} \quad (\text{III.8})$$

Γ_{load} est le coefficient de réflexion de l'élément placé à la suite du quadripôle et vaut :

$$\Gamma_{load} = \frac{Z_{load} - Z_0}{Z_{load} + Z_0} \quad (\text{III.9})$$

L'abaque de Smith est un outil très pratique afin d'identifier la nature électrique du quadripôle mesuré. Ainsi, les parties inférieures et supérieures de l'abaque représentent respectivement les composantes capacitives et inductives. L'axe horizontal fait référence à la composante résistive.

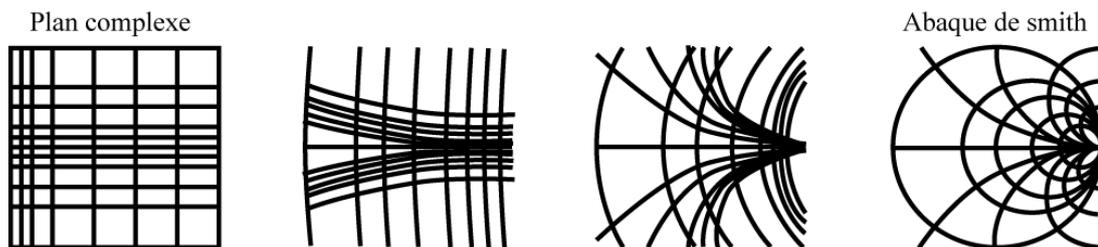


FIGURE III.3 – Représentation graphique de la construction d'une abaque de Smith en partant d'un plan complexe.

Les relations de transformation des différentes matrices sont données en [57].

III.2.2 Les mesures radiofréquence

III.2.2.a La mesure des paramètres S

Pour mesurer les paramètres S d'un quadripôle il faut utiliser un analyseur vectoriel de réseaux (VNA^a). D'une manière générale, le VNA est constitué d'une source hyperfréquence, d'un commutateur pour diriger le signal d'excitation, de ponts diviseurs pour scinder le signal, d'atténuateur variables pour réduire l'amplitude le signal d'excitation, de coupleurs directs et de mélangeurs [58]. La mesure des paramètres S se fait en petit signal et consiste à mesurer à différentes fréquences l'onde incidente, réfléchiée et trans-

a. VNA : **V**ector **N**etwork **A**nalyzer

mise. Le VNA mesure l'amplitude et la phase de ces ondes. Le calcul des différents ratios et le traitement des données à chaque fréquence permettent d'obtenir les paramètres S.

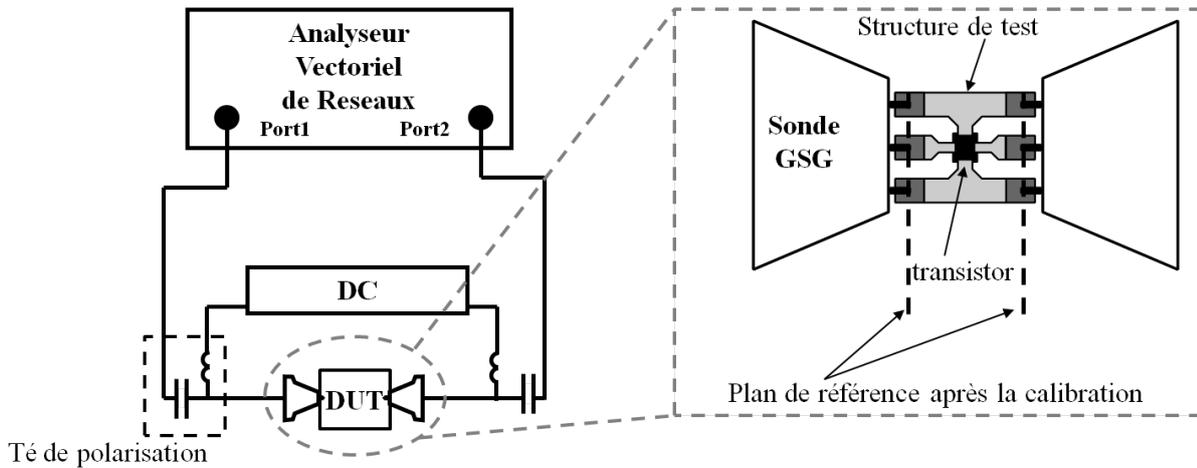


FIGURE III.4 – description du banc de mesure de paramètre S sous pointes.

Comme illustré Figure III.4, la mesure sous pointes des paramètres S du dispositif à tester (DUT^b) nécessitent l'ajout d'éléments d'interconnexions pour relier le DUT aux deux ports du VNA tels que connecteurs, câbles, sondes coplanaires GSG^c. En ce qui concerne les sondes GSG, elles sont constituées de 3 pointes : celle du milieu pour transporter le signal et les deux autres latérales pour imposer une masse de manière équipotentielle. La particularité de ces sondes est que le signal se propage dans un câble coaxial avant d'arriver à l'extrémité de la pointe où une transition coaxiale-coplanaire permet de transmettre le signal au DUT. Ceci protège des inductances et capacités parasites, et donc permet une bande passante plus importante que les pointes DC. Un signal à différentes fréquences est appliqué sur le port 1. Le signal réfléchi sur le port 1 (S_{11}) et le signal transmis du port 1 au port 2 (S_{21}) sont mesurés. La procédure inverse est réalisée ensuite lorsque le signal est appliqué sur le port 2. Ceci permet de mesurer les 4 paramètres S.

Il faut noter que lorsque le DUT est un transistor, une polarisation DC est appliquée par un analyseur paramétrique au travers de tés de polarisations. Un té de polarisation est simplement un circuit LC qui permet de séparer le signal RF du signal DC (Figure III.4). Pour les mêmes raisons que l'utilisation de sondes, la structure du transistor sera de type GSG comme illustré en Figure III.4.

Un défi important dans la mesure des paramètres S est de définir précisément la délimitation entre le système de test et les sondes. Cette délimitation se nomme « plan de référence » et se réalise par une étape de calibration. Cette étape permet de s'affranchir des

b. DUT : **D**evice **U**nder **T**est

c. GSG : **G**round **S**ignal **G**round

erreurs induites par le VNA, l'environnement extérieur et les éléments d'interconnexion du DUT (i.e. erreurs systématiques) mais elle ne permet pas de prendre en considération les erreurs dues aux dérives du VNA, de la température ou des éléments d'interconnexions (i.e. erreurs aléatoires). Ces dernières peuvent perturber la calibration et dégrader la précision des mesures de paramètres S. Ainsi, la validité des mesures peut être affectée par une dérive de la calibration et il est indispensable d'effectuer périodiquement un contrôle de la validité de la calibration comme détaillé dans [56].

La liste des sources d'erreurs qui doit être prise en compte par la calibration ne sera pas présentée dans ce chapitre et le lecteur intéressé par un descriptif détaillé pourra se référer à [59]. La partie suivante se contentera d'énumérer les procédures de calibration les plus utilisées.

III.2.2.b Les procédures de calibration

L'étape de calibration est réalisée par des procédures complexes. Les plus utilisées sont les procédures SOLT^d, TRL^e, LRM^f et leurs modèles de correction associés. Ces procédures consistent dans un premier temps à mesurer des standards aux caractéristiques précisément connues qui sont :

- Pour le SOLT : un motif court-circuit (SHORT), un motif circuit ouvert (OPEN), une charge de 50Ω (LOAD) et un motif de transmission (THRU).
- Pour le TRL : un motif de transmission (THRU), une charge fortement réfléchive (REFLECT) et une ligne de transmission (LINE).
- Pour le LRM : une ligne de transmission, une charge fortement réfléchive et une charge 50Ω servant de référence (MATCH).

Pour nos mesures, la procédure SOLT a été utilisée car c'est la plus répandue et celle qui donne entière satisfaction dans le domaine RF. De plus, c'est la procédure standard utilisée à STMicroelectronics pour le développement des modèles de transistors RF.

En ce qui concerne la calibration SOLT sous pointes, la Figure III.5 illustre les standards utilisés qui sont disponibles sur un substrat en alumine (substrat ISS^g). Après la mesure des standards, un algorithme de calcul estime les paramètres d'erreur qui seront soustraits à la mesure du DUT.

d. SOLT : **S**hort **O**pen **L**oad **T**hru

e. TRL : **T**hru **R**eflection **L**oad

f. LRM : **L**oad **R**eflection **M**atch

g. ISS : **I**mpedance **S**tandard **S**ubstrate

Il est important de noter qu'après l'étape de calibration de type SOLT le plan de référence se trouve au niveau des sondes RF (Figure III.4). Mais il est aussi possible d'effectuer une calibration à un plan différent de celui des sondes en utilisant les quatre standards SOLT issus d'un kit de calibration avec des connectiques appropriées.

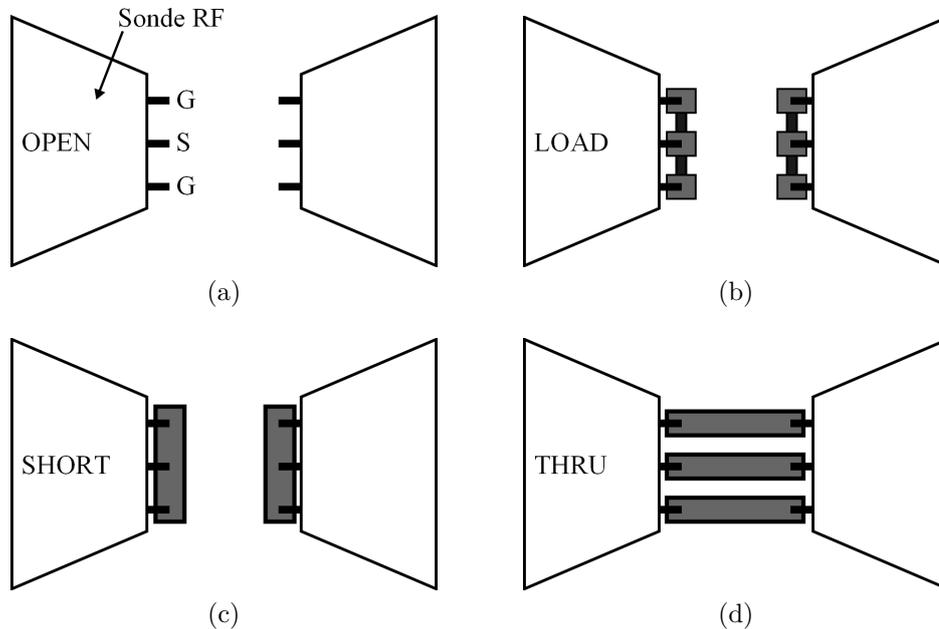


FIGURE III.5 – standard de calibration présent sur un substrat ISS pour la méthode SOLT : (a) open, (b) load, (c) short et (d) transmission.

III.2.2.c Les méthodes d'épluchages

Après la procédure de calibration, le plan de référence est ramené au niveau des sondes. Etant donné que la mesure est réalisée sur une plaque de test, le transistor est enterré sous différentes couches de métallisation et d'oxyde qui regroupent les lignes d'accès et les plots de contact. Afin de prendre en compte ces éléments parasites et d'amener le plan de référence au niveau du transistor, il faut introduire une procédure d'épluchage (de-embedding).

Il est important de différencier les étapes de calibration et d'épluchage (Figure III.6). Dans le cas de la calibration, les erreurs sont déterminées par des standards dont les caractéristiques sont connues alors que l'étape d'épluchage consiste à évaluer les caractéristiques des éléments parasites propres à chaque transistor.

La méthode d'épluchage consiste à évaluer, par des motifs spécifiques de tests, la valeur des éléments parasites au travers d'un schéma équivalent physique et de les soustraire aux mesures des paramètres S après calibration afin d'obtenir les paramètres S dans le

plan du DUT.

Pour nos mesures, deux structures seront utilisées pour la méthode d'épluchage : un circuit ouvert (OPEN) et un court circuit (SHORT). La structure OPEN permet d'évaluer, par son schéma équivalent (Figure III.7), les effets capacitifs entre les plots signal/masse et signal/signal. La structure SHORT permet d'évaluer, par son schéma équivalent (Figure III.7), les effets résistifs et inductifs dus aux plots de contact et aux lignes d'accès. Cette méthode a été introduite par Koolen et al. [60]. La capacité parallèle induite par les plots et la capacité grille-source d'un transistor en source commune de $0.04 \times 57.6 \mu\text{m}^2$ sont toutes deux de l'ordre de 50 femto-Farads. L'étape d'épluchage est donc indispensable.

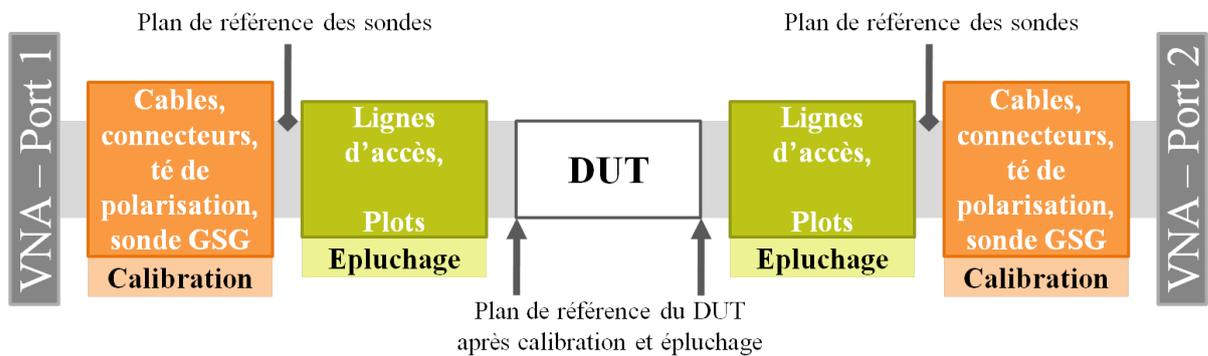


FIGURE III.6 – Mise en évidence de la différence entre la méthode de calibration et d'épluchage.

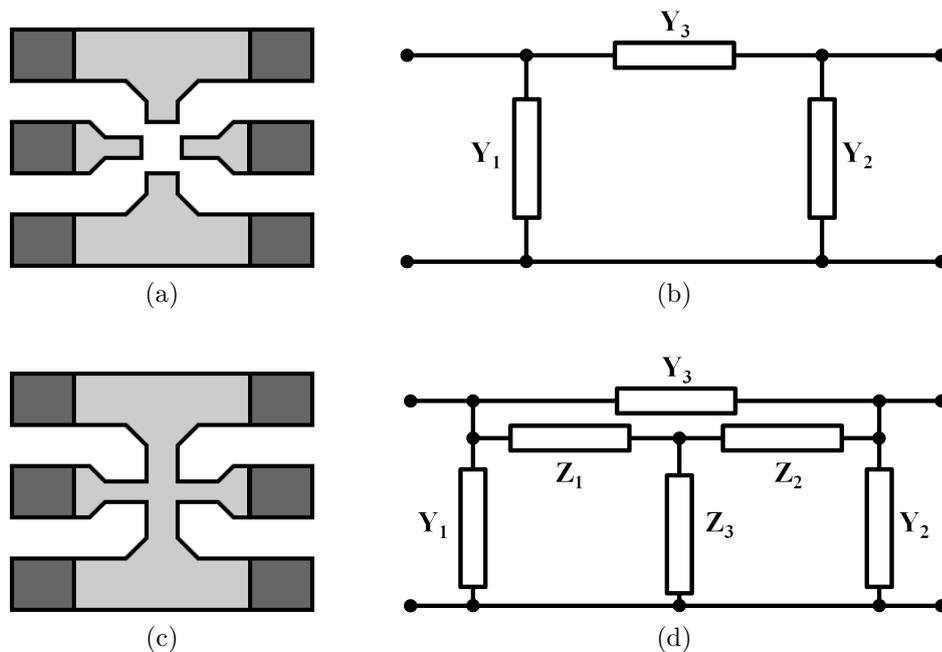


FIGURE III.7 – Motif circuit ouvert (OPEN) en (a) et court-circuit (SHORT) en (b) et leurs schémas équivalents respectifs en (b) et (d).

Dans les parties suivantes, les matrices utiliseront la notation suivante : $[A_B]$. A fait référence au type de matrice i.e. X, Y, Z, H, ABCD ou S. L'indice B indique à quel quadripôle correspond la matrice i.e. M pour les paramètres mesurés après la calibration, DUT pour les paramètres du transistor à caractériser, et open, short, thru pour les motifs correspondants. Les notations de conversion d'un type de matrice à un autre [57] sont symbolisées par une flèche \rightarrow .

D'après la méthode de Koolen, le schéma équivalent du dispositif en configuration de mesure est illustré en Figure III.8. Les éléments parasites de ce schéma sont extraits des mesures de l'OPEN et du SHORT. Notons que lors de la mesure du SHORT, il ne sera pas possible d'extraire simplement les paramètres Z_1 , Z_2 et Z_3 car les paramètres Y_1 , Y_2 et Y_3 seront inclus dans la mesure. Ainsi, avant de pouvoir déterminer les paramètres du SHORT il faut les corriger des paramètres obtenus par la mesure de l'OPEN.

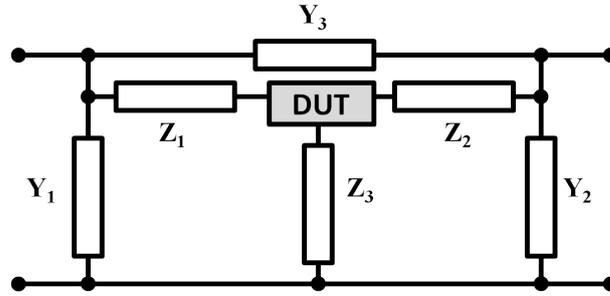


FIGURE III.8 – Schéma équivalent des éléments parasites du DUT.

Après avoir obtenu par mesure $[S_M], [S_{open}], [S_{short}]$, les différentes étapes de la méthode d'épluchage permettant d'obtenir $[S_{DUT}]$ sont données ci-dessous :

$$\begin{aligned}
 [S_{open}] &\rightarrow [Y_{open}] = \begin{bmatrix} Y_1 + Y_3 & -Y_3 \\ -Y_3 & Y_2 + Y_3 \end{bmatrix} \\
 [S_{short}] &\rightarrow [Y_{short}] \\
 ([Y_{short}] - [Y_{open}])^{-1} &= \begin{bmatrix} Z_1 + Z_3 & Z_3 \\ Z_3 & Z_2 + Z_3 \end{bmatrix} \\
 [S_M] &\rightarrow [Y_M] \\
 [Y_{DUT}] &= \left(([Y_M] - [Y_{open}])^{-1} - ([Y_{short}] - [Y_{open}])^{-1} \right)^{-1} \\
 [Y_{DUT}] &\rightarrow [S_{DUT}]
 \end{aligned}$$

La méthode d'épluchage associée à une calibration permet d'obtenir les paramètres S dans le plan de référence du DUT. Nous verrons dans la partie III.3.4 comment interpréter ces paramètres.

III.3 Protocole expérimental de test de fiabilité pour des vieillissements DC et RF

III.3.1 Description du banc de mesures de type load-pull passif

Afin d'étendre la fiabilité des transistors MOS dans le domaine de la RF, la mise en place d'un banc de mesures spécifique et entièrement automatisé a dû être réalisé. Ce banc de mesures doit permettre l'application de contraintes DC et RF au niveau du DUT. Il doit aussi permettre d'interrompre la contrainte à intervalles définis pour suivre l'évolution des paramètres DC et RF du DUT.

Pour répondre à ses besoins, une méthodologie a été développée sur un banc de mesures de type load pull passif. Initialement le banc de mesures load-pull permet de caractériser un dispositif en grand signal pour optimiser ses performances ou analyser son comportement en fonction de son environnement i.e. les impédances de charge et de source vus par le dispositif. Dans le cas d'un transistor, les caractérisations grand signal consistent à adapter le transistor en évaluant la combinaison d'impédances d'entrée et de sortie pour laquelle le transistor présente les meilleures performances. Ensuite son comportement est analysé en lui injectant une puissance en entrée et en mesurant la puissance en sortie. En suivant ce principe, le banc de mesure, dont le synoptique est représenté en Figure III.9, a été développé. Ce banc est l'association d'un banc load-pull et d'un banc de mesures de paramètres S. Il comprend :

- Un synthétiseur RF qui permet d'appliquer un signal RF avec une haute pureté spectrale dans une gamme de fréquence de 10MHz à 20GHz.
- Un wattmètre RF associé à une sonde de puissance qui permettent de mesurer la puissance fournie en entrée sous 50Ω par le synthétiseur RF
- Deux tuners électromécaniques et un contrôleur qui peuvent être comparés à des impédances variables dans la gamme de fréquence est de 800MHz à 18GHz. Ils permettent d'adapter le transistor pour lui présenter les impédances optimisant son gain.
- Un analyseur vectoriel de réseaux (VNA) deux ports permettant la mesure des paramètres S de quadripôle pour une gamme de fréquence de 45MHz à 50GHz.
- Un analyseur de spectre permettant de mesurer la puissance du signal de sortie dans la gamme de fréquence de 30Hz à 50GHz
- Un analyseur paramétrique qui permet l'alimentation DC et la caractérisation des paramètres DC du transistor.
- Deux tés de polarisation qui ont pour but de superposer le courant DC de l'analyseur paramétrique et le signal RF du synthétiseur ou du VNA jusqu'à une fréquence de 50GHz.

- Quatre commutateurs qui permettent le routage d'un signal allant du DC à une fréquence de 50GHz. Deux positions existent : horizontal et vertical.
- Une connectique 2.4mm qui permet une utilisation de précision du DC à une fréquence de 50GHz avec une impédance nominale de 50Ω
- Deux sondes GSG qui permettent de réaliser la transition de la connectique coaxiale à une ligne coplanaire utilisée pour accéder aux transistors sur plaque.

Ces différents instruments sont reliés à une station de travail via une interface GPIB afin de pouvoir les contrôler et automatiser les mesures.

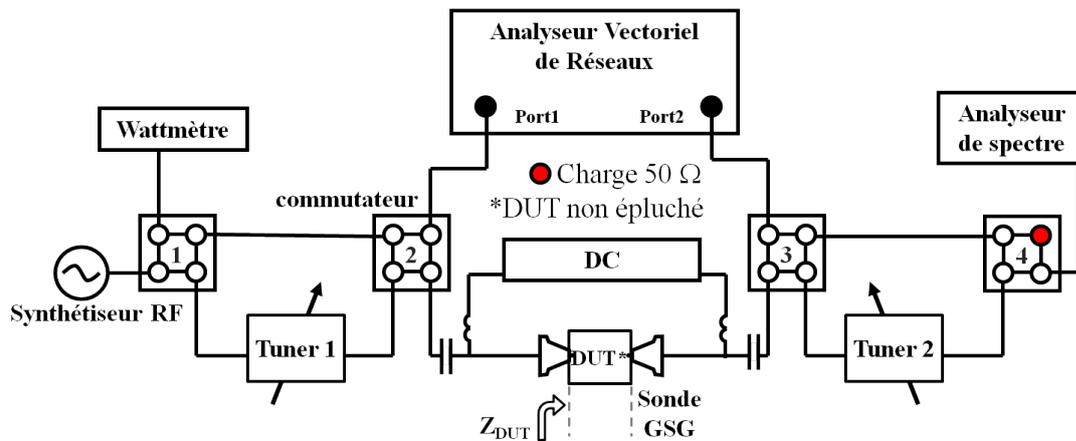


FIGURE III.9 – Synoptique du banc entièrement automatisé de type load pull passif.

III.3.2 Méthodologie pour une étude du vieillissement sous contrainte DC

Pour réaliser une étude du vieillissement du transistor MOS soumis à une contrainte DC, il faut pouvoir appliquer une contrainte continue DC et l'interrompre afin de réaliser des caractérisations DC et paramètres S. La partie du banc nécessaire à ce type d'étude est mis en avant sur la Figure III.10 et revient à un banc de mesure de paramètre S standard.

Après la réalisation d'une étape de calibration et d'épluchage pour des fréquences allant de 45MHz à 50GHz, l'application de la contrainte DC peut se faire sur les deux ports par l'intermédiaire de l'analyseur paramétrique. La contrainte est interrompue pour réaliser des caractérisations DC et petits signaux de paramètres S à différentes polarisations. Le temps et la tension de contrainte doivent être choisis en tenant compte de la dérive possible de la calibration. En effet il ne faudrait pas interpréter la dérive des paramètres S causée par la contrainte DC à celle causée par la dérive de la calibration. Pour cela,

il est nécessaire de caractériser en parallèle un transistor de référence et de vérifier la reproductibilité de la mesure.

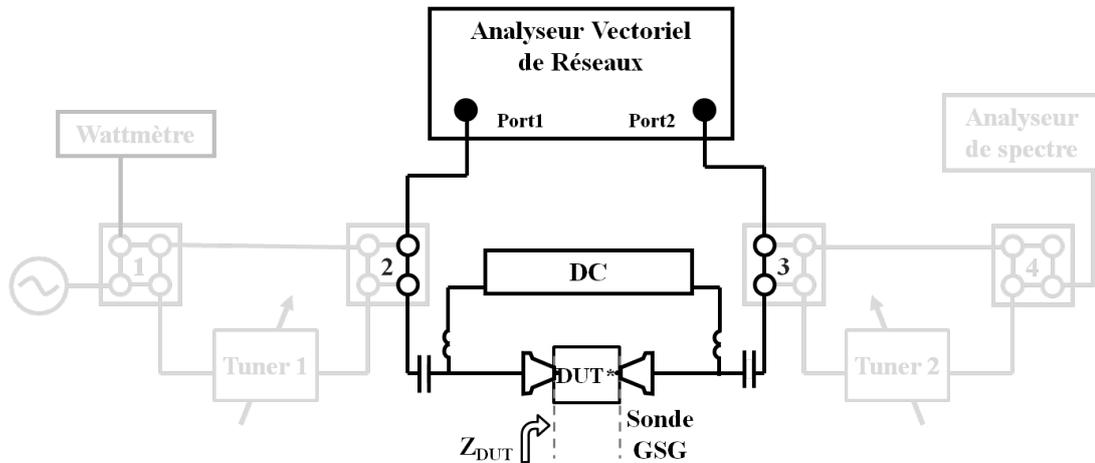


FIGURE III.10 – Configuration du banc de mesure type load pull pour l'étude de la fiabilité sous contrainte DC.

III.3.3 Méthodologie pour une étude du vieillissement sous contrainte RF

III.3.3.a Les non linéarités et la distorsion du signal

L'étude du vieillissement du transistor dans le cas de contrainte RF n'est pas aussi simple que dans le cas DC. Comme détaillé en I.2.5.a, lorsqu'une tension V_{GS} à une fréquence f_1 est appliquée sur la grille du transistor à source commune, la tension de sortie du drain est amplifiée. Cependant il est nécessaire de prendre en compte les effets non-linéaires du transistor. Ainsi, deux points importants sont à considérer :

D'une part, la non-linéarité s'exprime sur le gain en puissance du transistor i.e. le rapport entre la puissance développée sur la charge P_{OUT} et la puissance développée en entrée P_{IN} . En analysant la puissance de sortie en fonction de la puissance d'entrée injectée sur la grille d'un transistor (Figure III.11), deux zones se distinguent : une partie linéaire qui tend à se saturer pour des fortes puissances. La séparation de ces deux zones se fait généralement par le point de compression à 1dB. Il est défini comme étant le niveau de puissance d'entrée pour lequel la puissance de sortie diverge de -1dB par rapport à la droite théorique.

D'autre part, lors de l'application d'une puissance RF sur la grille du transistor, il faut tenir compte de la génération d'harmoniques en sortie du transistor due aux non-linéarités

du transistor. Elles sont d'autant plus présentes que la puissance appliquée sur la grille est proche du point de compression.

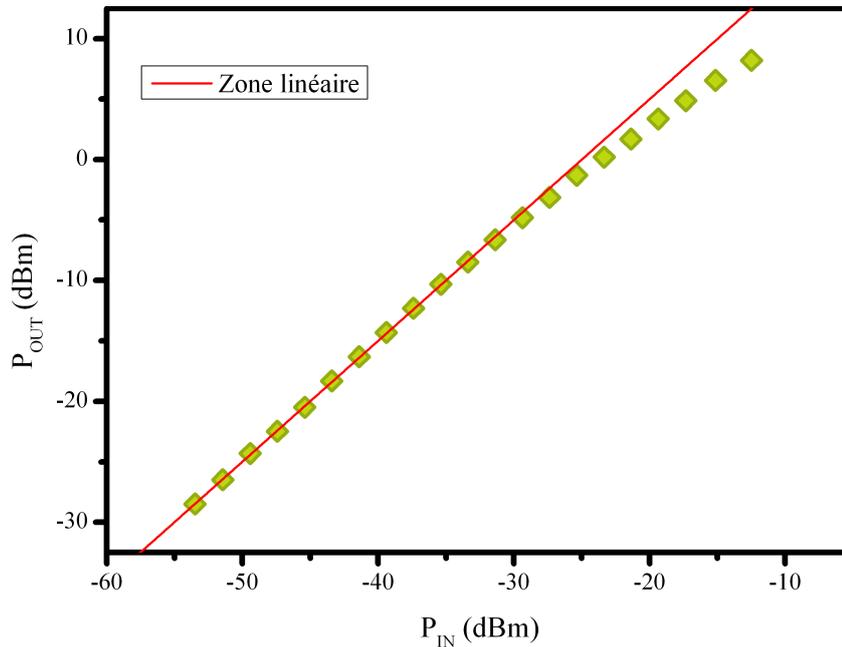


FIGURE III.11 – Puissance de sortie en fonction de la puissance d'entrée d'un nMOS polarisé en classe A.

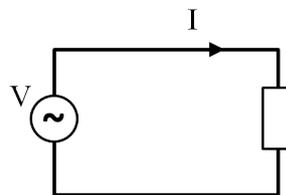


FIGURE III.12 – Circuit deux ports non linéaire relié à une source de tension.

Afin d'expliquer ce phénomène et de mettre en évidence la génération d'harmoniques, considérons un circuit non-linéaire (Figure III.12) dont le courant s'exprime par une série en puissance fonction de la tension. Il vient :

$$I = aV + bV^2 + cV^3 \quad (\text{III.10})$$

avec a , b et c des constantes.

Appliquons à ce circuit une tension à la fréquence f_1 de la forme :

$$V = v(t) = V_1 \cdot \cos(\omega_1 t) \quad (\text{III.11})$$

où $\omega_1 = 2\pi f_1$

En injectant la tension de l'équation III.10 dans l'équation III.11, le premier terme s'exprime tel que :

$$i_a(t) = av(t) = aV_1 \cdot \cos(\omega_1 t) \quad (\text{III.12})$$

De même pour le second terme en appliquant les formules de trigonométrie, on obtient :

$$i_b(t) = bv^2(t) = \frac{b}{2} \cdot [V_1^2 + V_1^2 \cdot \cos(2 \cdot \omega_1 t)] \quad (\text{III.13})$$

Et pour le troisième terme :

$$i_c(t) = bv^3(t) = \frac{c}{4} \cdot [V_1^3 \cos(3 \cdot \omega_1 t) + 3 \cdot V_1^3 \cos(\omega_1 t)] \quad (\text{III.14})$$

Le courant total correspond à la somme des trois composantes précédentes. Il est clairement visible que de nouvelles fréquences ont été générées. Ces fréquences sont de type $n \cdot f_1$ avec n entier et sont appelées harmoniques d'ordre n .

Dans le cas du transistor, la même approche peut être réalisée. En effet, dans la partie I.2.3, il a été montré que le courant de drain est fonction des tensions V_{GS} et V_{DS} appliquées au transistor. Le développement en série de Taylor du courant de drain permet de mettre en évidence la génération d'harmoniques comme réalisé pour l'équation III.10. Ce calcul ne sera pas réalisé dans cette partie et le lecteur intéressé par un descriptif détaillé pourra se référer à [61]. Il est possible de prendre en compte ce phénomène par l'intermédiaire de caractérisation grand signal mais aussi par des analyses « harmonic balance » qui sont incluses dans des simulateurs tels que Eldo ou ADS. Un exemple de simulation « harmonic balance » est donné en Figure III.13. La tension de sortie V_{DS} d'un transistor est représentée à sa fréquence fondamentale et aux harmoniques d'ordre 1 et 2 lorsqu'une puissance d'entrée de 0dBm est injectée sur la grille. Le transistor nMOS est polarisé en classe A au-delà du point de compression. La synthèse du signal total sur le drain est réalisée par une série de Fourier.

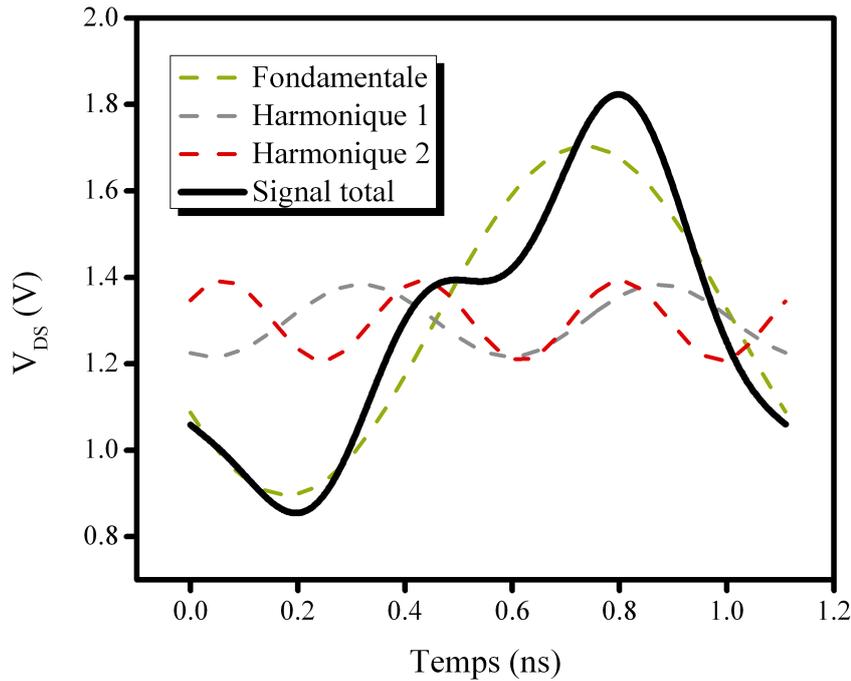


FIGURE III.13 – Représentation du signal à la fréquence fondamentale de 900 MHz et le signal aux harmoniques du 1er et 2ème ordre pour un transistor nMOS ($W/L = 57.6/0.04\mu m$) polarisé à $V_{GS} = 0.7V$ et $V_{DS} = 1.3V$ et $P_{IN} = 0dBm$.

III.3.3.b De l'extraction du signal appliqué à l'étude du vieillissement sous contrainte RF

Comme décrit précédemment, il est impératif d'évaluer précisément le signal appliqué dans le plan du transistor en tenant compte des effets de non-linéarités avant d'appliquer une contrainte à une fréquence définie $f_{\text{contrainte}}$ sur le transistor et de suivre l'évolution de ces paramètres. Pour cela, une méthodologie spécifique a été développée et basée sur le banc de mesures de type load-pull.

Dans un premier temps, il est nécessaire de caractériser l'environnement du banc de mesure et d'adapter le DUT si nécessaire. L'adaptation du DUT consiste à déterminer le couple des impédances de source et de charge qui permet d'adapter le DUT afin d'optimiser son gain. Ceci permet dans le cas d'une étude de fiabilité de pouvoir appliquer des contraintes plus importantes au DUT pour construire les modèles de dégradation. Après cette étape d'adaptation, il est possible de réaliser une caractérisation grand signal qui permet d'obtenir les informations sur le gain et la contribution des harmoniques du DUT. Après avoir évalué la contrainte sous forme temporelle dans le plan du DUT, elle est appliquée et un suivi de l'évolution des paramètres DC et petit signal du DUT est réalisé. Ces différentes étapes vont être détaillées dans les parties suivantes. Toutes les calibrations et mesures de paramètres S réalisées jusqu'à la partie III.3.3.b.6 seront réalisées à la fréquence $f_{\text{contrainte}}$ et aux harmoniques.

III.3.3.b.1 Définition des positions des tuners

Une liste constituée des différentes positions des tuners doit être définie à la fréquence $f_{\text{contrainte}}$ auquel la contrainte sera appliquée. Les positions des tuners correspondent à différentes impédances présentées au DUT et sont choisies de manière à être réparties sur l'abaque de Smith par des cercles concentriques de rayons variables.

Pour déterminer les positions des tuners, les paramètres S de chaque tuner ont été évalués et cela pour toutes les positions possibles. Ces mesures ont permis d'identifier les positions présentant le moins de pertes pour une même impédance présentée qui serviront à couvrir l'abaque de Smith.

III.3.3.b.2 Caractérisation des accès

L'application d'une contrainte RF sur le DUT se fait par le synthétiseur RF lorsque tous les commutateurs sont positionnés à l'horizontal. Dans cette configuration, le signal traverse le DUT en passant par les deux tuners et cela jusqu'à l'analyseur de spectre. Il faut donc évaluer les pertes et le déphasage induit par le chemin que parcourt le signal pour pouvoir définir le signal dans le plan du DUT. Pour se faire, il faut mesurer, pour chaque position des tuners, les paramètres S de la partie du banc qui se trouve entre le générateur RF et le DUT ainsi que la partie qui se trouve entre le DUT et l'analyseur de spectre. Ces deux parties seront nommées respectivement accès en entrée et sortie. Elles sont représentées sur la Figure III.14.

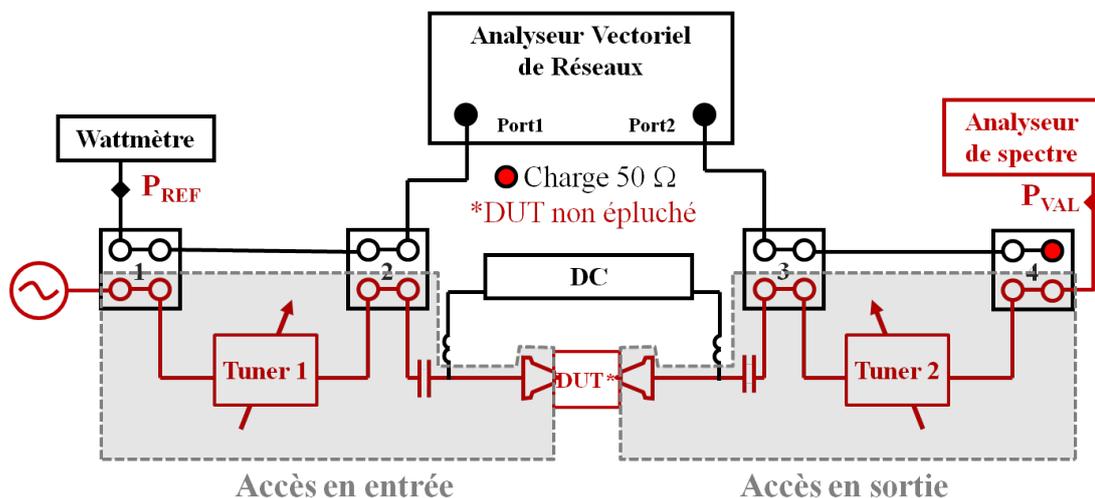


FIGURE III.14 – Synoptique du banc avec les commutateurs en position horizontale. En rouge le chemin que suit le signal injecté par le générateur RF qui traverse les tuners et le DUT. Les accès en entrée et en sortie sont représentés dans les parties grisées.

Pour caractériser les paramètres S des accès il faut définir les différents plans de référence qui vont être utilisés. Pour l'accès en entrée, les plans sont définis au niveau du commutateur 1 et de la sonde du port 1. De la même manière pour l'accès en sortie, les

plans sont définis au niveau du commutateur 4 et de la sonde du port 2. Comme décrit dans la partie III.2.2.b, l'étape de calibration permettra de définir ces plans. Ainsi, une calibration SOLT 2 ports est réalisée dans le plan des sondes par l'intermédiaire d'un substrat auxiliaire ISS. Puis deux calibration coaxiales SOL 1 port sont réalisées dans le plan des commutateurs 1 et 4 comme représenté en Figure III.15.

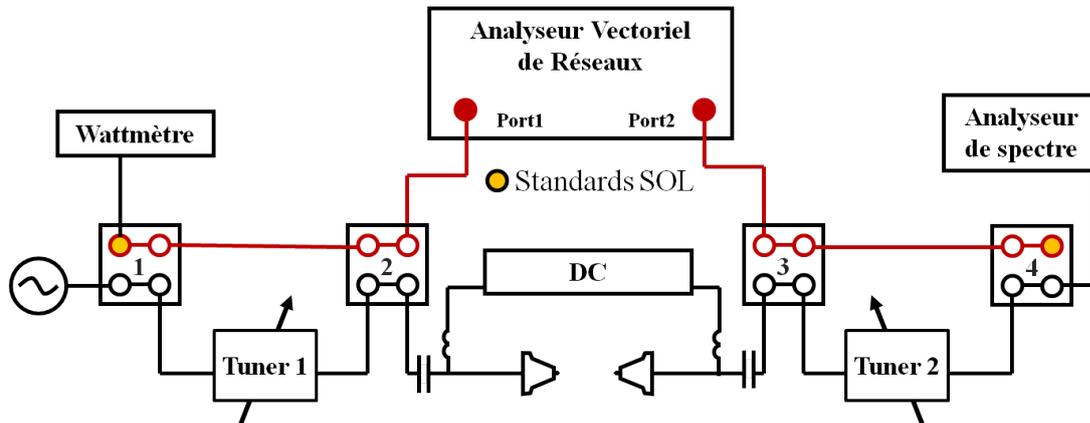


FIGURE III.15 – Synoptique du banc mettant en avant les calibrations coaxiales SOL 1 port au niveau des switch 1 et 4.

Après avoir calibré le VNA au niveau des commutateurs et des sondes, les plans de référence des accès sont définis. En positionnant les commutateurs comme indiqué en Figure III.16, les paramètres S sont mesurés dans les plans des accès pour chaque position des tuners lorsque les sondes sont chargées par 3 standards du substrat ISS : OPEN, SHORT et LOAD.

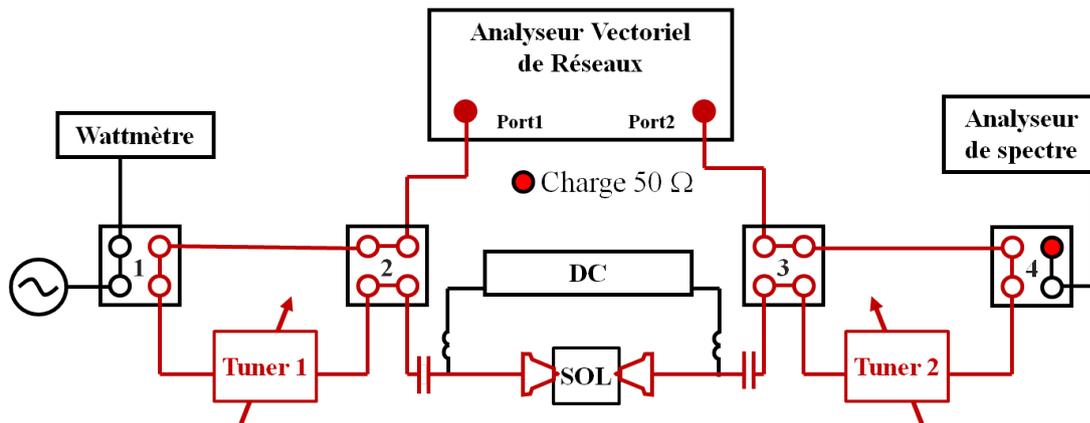


FIGURE III.16 – Synoptique du banc mettant en avant la configuration pour la caractérisation des accès en entrée et en sortie. La caractérisation des accès se fait en exploitant la mesure des standards SOL présents sur l'ISS

Concernant l'accès en entrée illustré par la Figure III.17, la mesure des 3 standards permet de mesurer les impédances qui lui sont présentées en entrée et sortie. En appliquant

l'équation III.8 pour chacun des standards, un système à 3 équations et 3 inconnus est obtenu :

$$\begin{cases} \Gamma_{\text{IN_OPEN}} = S_{11} + \frac{S_{12} \cdot S_{21} \cdot \Gamma_{\text{OUT_OPEN}}}{1 - S_{22} \cdot \Gamma_{\text{OUT_OPEN}}} \\ \Gamma_{\text{IN_SHORT}} = S_{11} + \frac{S_{12} \cdot S_{21} \cdot \Gamma_{\text{OUT_SHORT}}}{1 - S_{22} \cdot \Gamma_{\text{OUT_SHORT}}} \\ \Gamma_{\text{IN_LOAD}} = S_{11} + \frac{S_{12} \cdot S_{21} \cdot \Gamma_{\text{OUT_LOAD}}}{1 - S_{22} \cdot \Gamma_{\text{OUT_LOAD}}} \end{cases} \quad (\text{III.15})$$

$\Gamma_{\text{IN_OPEN}}$, $\Gamma_{\text{IN_SHORT}}$, $\Gamma_{\text{IN_LOAD}}$ représentent respectivement les coefficients de réflexion présentés à l'entrée de l'accès lorsque les standard OPEN, SHORT ou LOAD sont chargés. De même $\Gamma_{\text{OUT_OPEN}}$, $\Gamma_{\text{OUT_SHORT}}$, $\Gamma_{\text{OUT_LOAD}}$ représentent les coefficients de réflexion présentés à la sortie de l'accès. Les paramètres S de l'équation sont ceux de l'accès en entrée et sont les inconnus du système d'équations.

Ce système d'équations peut être réécrit sous forme matricielles telle que :

$$\begin{bmatrix} \Gamma_{\text{IN_OPEN}} \\ \Gamma_{\text{IN_SHORT}} \\ \Gamma_{\text{IN_LOAD}} \end{bmatrix} = \begin{bmatrix} 1 & \Gamma_{\text{IN_OPEN}} \cdot \Gamma_{\text{OUT_OPEN}} & \Gamma_{\text{OUT_OPEN}} \\ 1 & \Gamma_{\text{IN_SHORT}} \cdot \Gamma_{\text{OUT_SHORT}} & \Gamma_{\text{OUT_SHORT}} \\ 1 & \Gamma_{\text{IN_LOAD}} \cdot \Gamma_{\text{OUT_LOAD}} & \Gamma_{\text{OUT_LOAD}} \end{bmatrix} \cdot \begin{bmatrix} S_{11} \\ S_{22} \\ -\Delta \end{bmatrix} \quad (\text{III.16})$$

avec $\Delta = S_{11} \cdot S_{22} - S_{12} \cdot S_{21}$

Il vient donc l'expression des paramètres S de l'accès en entrée :

$$\begin{bmatrix} S_{11} \\ S_{22} \\ -\Delta \end{bmatrix} = \begin{bmatrix} 1 & \Gamma_{\text{IN_OPEN}} \cdot \Gamma_{\text{OUT_OPEN}} & \Gamma_{\text{OUT_OPEN}} \\ 1 & \Gamma_{\text{IN_SHORT}} \cdot \Gamma_{\text{OUT_SHORT}} & \Gamma_{\text{OUT_SHORT}} \\ 1 & \Gamma_{\text{IN_LOAD}} \cdot \Gamma_{\text{OUT_LOAD}} & \Gamma_{\text{OUT_LOAD}} \end{bmatrix}^{-1} \cdot \begin{bmatrix} \Gamma_{\text{IN_OPEN}} \\ \Gamma_{\text{IN_SHORT}} \\ \Gamma_{\text{IN_LOAD}} \end{bmatrix} \quad (\text{III.17})$$

D'après les équations III.16 et III.17, les paramètres S sont définis tels que :

$$S_{11} = \Gamma_{\text{IN_OPEN}} - \frac{S_{12} \cdot S_{21} \cdot \Gamma_{\text{OUT_OPEN}}}{1 - S_{22} \cdot \Gamma_{\text{OUT_OPEN}}} \quad (\text{III.18})$$

$$S_{22} = \frac{S_{12} \cdot S_{21} \cdot (\Gamma_{\text{OUT_OPEN}} - \Gamma_{\text{OUT_SHORT}}) - (\Gamma_{\text{IN_OPEN}} - \Gamma_{\text{IN_SHORT}})}{\Gamma_{\text{IN_SHORT}} \cdot \Gamma_{\text{OUT_SHORT}} - \Gamma_{\text{IN_OPEN}} \cdot \Gamma_{\text{OUT_OPEN}}} \quad (\text{III.19})$$

$$S_{12} \cdot S_{21} =$$

$$\frac{(\Gamma_{\text{IN_OPEN}} - \Gamma_{\text{IN_SHORT}}) \cdot \Delta_{\text{LOAD_OPEN}} - (\Gamma_{\text{IN_OPEN}} - \Gamma_{\text{IN_LOAD}}) \cdot \Delta_{\text{SHORT_OPEN}}}{(\Gamma_{\text{OUT_OPEN}} - \Gamma_{\text{OUT_SHORT}}) \cdot \Delta_{\text{LOAD_OPEN}} - (\Gamma_{\text{OUT_OPEN}} - \Gamma_{\text{OUT_LOAD}}) \cdot \Delta_{\text{SHORT_OPEN}}} \quad (\text{III.20})$$

avec $\Delta_{LOAD_OPEN} = (\Gamma_{IN_LOAD} \cdot \Gamma_{OUT_LOAD} - \Gamma_{IN_OPEN} \cdot \Gamma_{OUT_OPEN})$
 et $\Delta_{SHORT_OPEN} = (\Gamma_{IN_SHORT} \cdot \Gamma_{OUT_SHORT} - \Gamma_{IN_OPEN} \cdot \Gamma_{OUT_OPEN})$

Les paramètres S_{11} et S_{22} sont directement accessibles. Pour obtenir les paramètres S_{12} et S_{21} l'hypothèse de réciprocité est faite entraînant $S_{12} = S_{21} = \sqrt{S_{12} \cdot S_{21}}$. La même méthodologie est applicable pour l'accès en sortie.

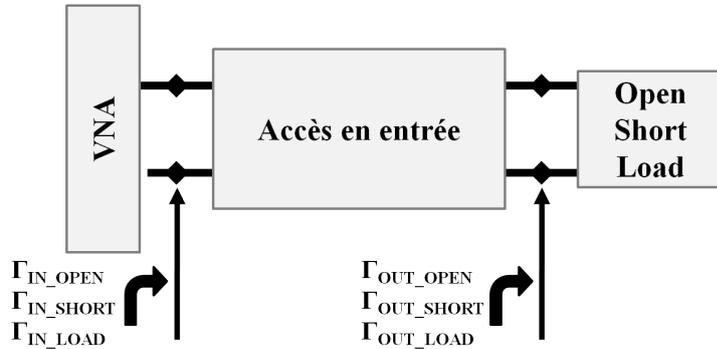


FIGURE III.17 – Représentation de l'accès en entrée par un quadripole et ses coefficients de réflexion associés en fonction du standard présenté en sortie i.e. Open, Short ou Load.

La caractérisation des accès permet d'évaluer les impédances présentées dans le plan des sondes. Un exemple est donné dans la Figure III.18 pour une fréquence de 900MHz.

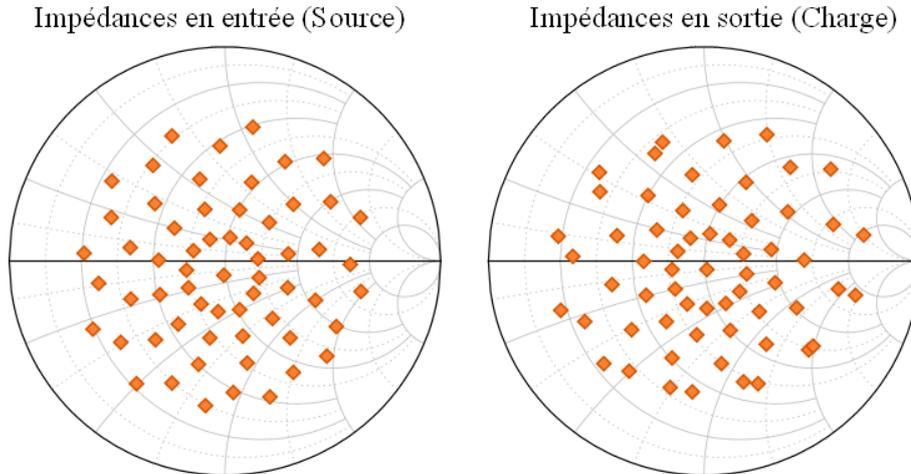


FIGURE III.18 – Représentation des impédances de source et de charge présentées au DUT à 900MHz dans le plan des sondes. L'objectif est de balayer l'abaque de Smith par des cercles concentriques afin de pouvoir identifier le couple d'impédances optimisant le gain du DUT.

III.3.3.b.3 Recherche d'optimum et caractérisation grand signal

Les impédances présentées au DUT pour toutes les positions des tuners ont été évaluées. Il faut par la suite déterminer le couple d'impédance de charge et de source qui maximise le gain du DUT. Pour cela, après calibration du wattmètre et de l'analyseur de spectre, une

puissance P_{REF} à la fréquence $f_{contrainte}$ est appliquée dans le plan P1 qui se situe au niveau du commutateur 1. La puissance de sortie P_{VAL} dans le plan P2 est mesurée par l'analyseur de spectre pour toutes les positions des tuners. Le couple d'impédance optimisant le gain est sélectionné et utilisé pour réaliser des caractérisations grand signal i.e. mesure de la puissance de sortie en fonction de la puissance d'entrée. La puissance de sortie des harmoniques est aussi mesurée. Cette caractérisation est réalisée en configuration puissance comme illustré sur la Figure III.14. Il sera ensuite nécessaire de ramener ces puissances d'entrée et de sortie dans le plan du DUT.

III.3.3.b.4 Extraction dans le plan du DUT

Pour la suite, le banc de mesure sera décomposé en 4 blocs comme défini sur la Figure III.19. La connaissance des paramètres S de chacun de ces blocs est nécessaire pour définir le signal dans le plan du DUT.

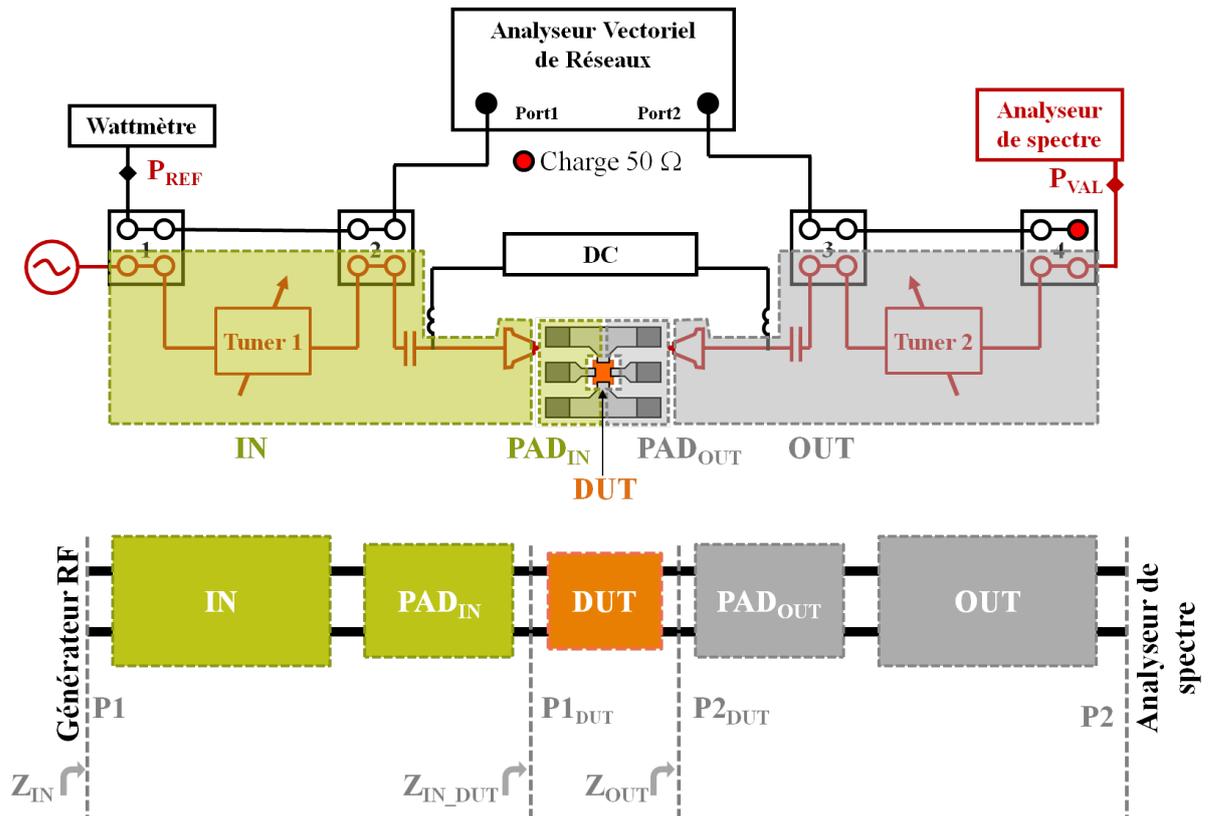


FIGURE III.19 – Décomposition du banc de mesure sous forme de bloc.

Les blocs IN et OUT correspondent aux accès et leurs paramètres S ont déjà été évalués.

Le bloc DUT correspond au transistor après épluchage de l'OPEN et du SHORT. La mesure des paramètres S du DUT et l'épluchage sont réalisés en utilisant le banc dans la

configuration illustré en Figure III.10.

Les blocs PAD_{IN} et PAD_{OUT} symbolisent les éléments parasites de la structure de test respectivement au niveau du port 1 et du port 2 du MOS. Cette décomposition en deux blocs distincts s'effectue de la même manière que la méthode d'épluchage décrite en III.2.2.c en excluant du schéma équivalent la capacité de couplage entre les deux ports. En effet, cette capacité de couplage n'intervient pas dans les calculs qui permettront de ramener la puissance appliquée par le générateur RF dans le plan P1 au plan du DUT $P1_{DUT}$, ainsi que la puissance mesurée par l'analyseur de spectre dans le plan P2 au plan du DUT $P2_{DUT}$. Le schéma équivalent de ces blocs est représenté à la Figure III.20.

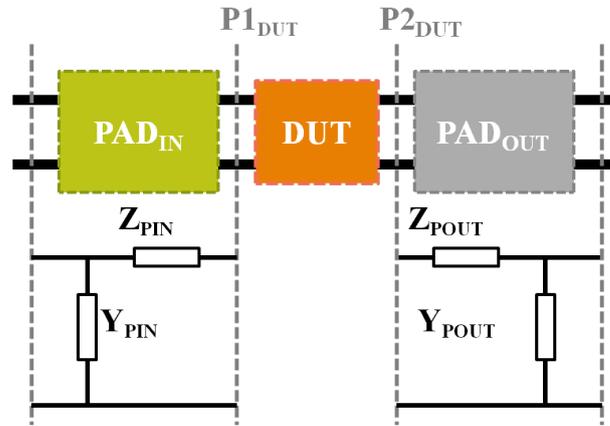


FIGURE III.20 – Schéma électrique équivalent. PAD_{IN} et PAD_{OUT} représente les éléments parasites de la structure de test.

Ils sont évalués à partir des mesures des structures OPEN et SHORT qui ont été utilisés pour l'épluchage du DUT. Les composantes parallèles Y_{PIN} et Y_{POUT} sont extraites des paramètres Y de l'OPEN. Les composantes séries Z_{PIN} et Z_{POUT} sont extraites des paramètres Z du SHORT corrigés des mesures de l'OPEN. D'où :

$$Y_{PIN} = Y_{11} \quad (III.21)$$

$$Y_{POUT} = Y_{22} \quad (III.22)$$

$$Z_{PIN} = Z_{11} - Z_{12} \quad (III.23)$$

$$Z_{POUT} = Z_{22} - Z_{12} \quad (III.24)$$

Les blocs PAD_{IN} et PAD_{OUT} peuvent se représenter par les matrices ABCD suivantes :

$$[ABCD]_{PIN} = \begin{bmatrix} 1 & Z_{PIN} \\ Y_{PIN} & 1 + Y_{PIN} \cdot Z_{PIN} \end{bmatrix} \quad (\text{III.25})$$

$$[ABCD]_{PIN} = \begin{bmatrix} 1 + Y_{POUT} \cdot Z_{POUT} & Z_{POUT} \\ Y_{POUT} & 1 \end{bmatrix} \quad (\text{III.26})$$

Maintenant que tous les blocs ont été définis, le calcul de la puissance injectée dans le plan P1DUT se fait par la procédure d'épluchage illustré en Figure III.21.

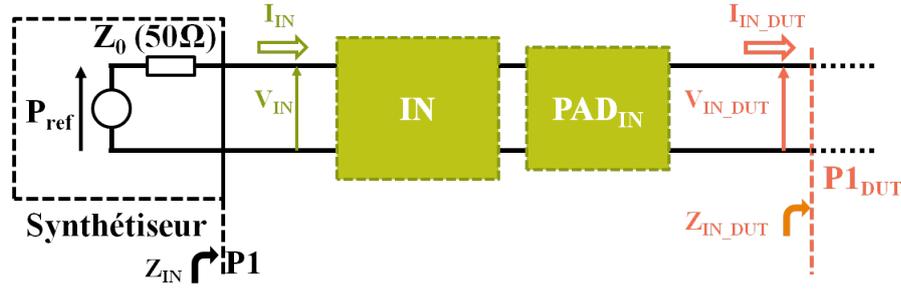


FIGURE III.21 – Schéma utilisé pour l'épluchage en entrée du DUT.

Le synthétiseur RF possède une impédance interne Z_0 qui vaut 50Ω . Pour mesurer la puissance P_{ref} fournie par le synthétiseur RF, le wattmètre est utilisé en positionnant le commutateur 1 en position verticale. Etant donné que le wattmètre possède aussi une impédance interne Z_0 , la puissance P_{ref} fournie par le synthétiseur en P1 pour une charge Z_0 vaut :

$$P_{ref} = \frac{V_{ref}^2}{8Z_0} \quad (\text{III.27})$$

Cette puissance correspond à la puissance maximale disponible aux bornes du synthétiseur. Elle permet d'évaluer la tension V_{IN} en P1 lorsque le banc de mesure est en configuration de puissance. Dans cette configuration, le synthétiseur n'est plus chargé sur l'impédance Z_0 du wattmètre mais sur l'impédance Z_{IN} présentée au plan P1. La tension V_{IN} vaut donc :

$$V_{IN} = V_{ref} \cdot \frac{Z_{IN}}{Z_{IN} + Z_0} \quad (\text{III.28})$$

La relation entre les courants et tensions de P1 et P1DUT s'établit par la chaîne de matrice ABCD des blocs IN et PAD_{IN} telle que :

$$\begin{pmatrix} V_{IN} \\ I_{IN} \end{pmatrix} = \begin{bmatrix} A_{IN} & B_{IN} \\ C_{IN} & D_{IN} \end{bmatrix}_{IN} \cdot \begin{bmatrix} A_{PIN} & B_{PIN} \\ C_{PIN} & D_{PIN} \end{bmatrix}_{PIN} \cdot \begin{pmatrix} V_{IN_DUT} \\ I_{IN_DUT} \end{pmatrix} \quad (\text{III.29})$$

avec $[ABCD]_{IN}$ et $[ABCD]_{PIN}$ qui sont respectivement les matrices ABCD du bloc de l'accès en entrée IN et du bloc PAD_{IN} . La matrice $[ABCD]_{IN}$ est obtenue par les équation III.18 , III.19 et III.20. L'avantage de la matrice $[ABCD]$ est qu'elle simplifie les calculs pour des blocs cascades en séries.

La tension dans le plan $P1_{DUT}$ vaut donc :

$$V_{IN_{DUT}} = \frac{V_{IN}}{(A_{IN} \cdot A_{PIN} + B_{IN} \cdot C_{IN}) + \frac{(A_{IN} \cdot B_{PIN} + B_{IN} \cdot D_{PIN})}{Z_{IN_{DUT}}}} \quad (III.30)$$

De même la puissance dans le plan $P1_{DUT}$ vaut :

$$P_{IN_{DUT}} = \frac{1}{2} \cdot \Re(V_{IN_{DUT}} \cdot I_{IN_{DUT}}^*) = \frac{1}{2} \cdot \Re\left(\frac{|V_{IN_{DUT}}|^2}{Z_{IN_{DUT}}}\right) \quad (III.31)$$

La même procédure d'épluchage s'applique en sortie pour ramener la puissance mesurée par l'analyseur de spectre du le plan P2 au plan $P2_{DUT}$. Elle se base sur le schéma de la Figure III.22.

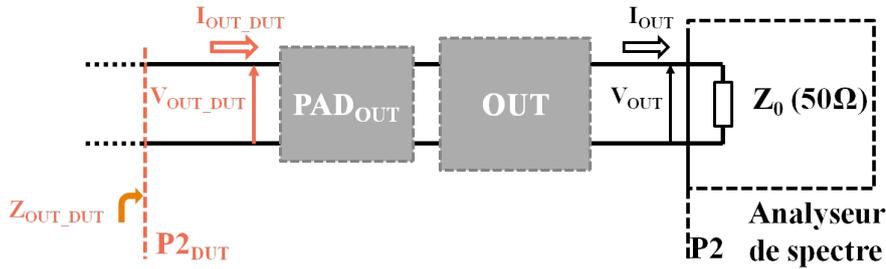


FIGURE III.22 – Schéma utilisé pour l'épluchage en sortie du DUT.

La tension dans le plan $P2_{DUT}$ s'exprime ainsi telle que :

$$V_{OUT_{DUT}} = V_{OUT} \cdot \left[(A_{POUT} \cdot A_{OUT} + B_{POUT} \cdot C_{OUT}) + \frac{(A_{POUT} \cdot B_{OUT} + B_{POUT} \cdot D_{OUT})}{Z_0} \right] \quad (III.32)$$

avec $[ABCD]_{OUT}$ et $[ABCD]_{POUT}$ qui sont respectivement les matrices ABCD du bloc de l'accès en sortie OUT et du bloc PAD_{OUT} .

Et de même la puissance dans le plan $P2_{DUT}$ vaut :

$$P_{OUT_{DUT}} = \frac{1}{2} \cdot \Re\left(\frac{|V_{OUT_{DUT}}|^2}{Z_{IN_{DUT}}}\right) \quad (III.33)$$

III.3.3.b.5 Détermination de la phase du signal de sortie par simulation

L'inconvénient du banc de mesure est qu'il utilise un analyseur de spectre pour évaluer la puissance de sortie à la fréquence fondamentale et aux harmoniques. L'analyseur de spectre ne permet que la mesure de la puissance et ne donne aucune information sur la phase du signal. La phase est l'élément manquant pour reconstituer complètement le signal de sortie dans le domaine temporel. Pour se faire, une simulation « harmonic balance » (HB) du transistor prenant en considération l'environnement fourni par le banc de mesure permettra d'évaluer la phase du signal en sortie. Les simulations HB ont été réalisées sous le simulateur ADS^h et le schéma de simulation utilisé pour reconstituer les signaux est présenté en Figure III.23.

En ce qui concerne le transistor, un modèle compact aligné sur les mesures est utilisé. L'alignement du modèle compact se fait avec les mesures de paramètres S et DC du transistor mais aussi les mesures grand signal détaillées dans la partie III.3.3.b.3. La polarisation du transistor est réalisée à l'aide de deux sources de tension DC. Le signal RF est imposé par un générateur de puissance 1-ton à la fréquence $f_{\text{contrainte}}$. Les tes de polarisation qui permettent le découplage des signaux sont modélisés par une capacité idéale (DC Block) et une self idéale (DC Feed). Les charges des transistors sont modélisées à l'aide de boîtes de paramètres S. Elles permettent de modéliser les blocs IN, OUT, PAD_{IN} et PAD_{OUT} .

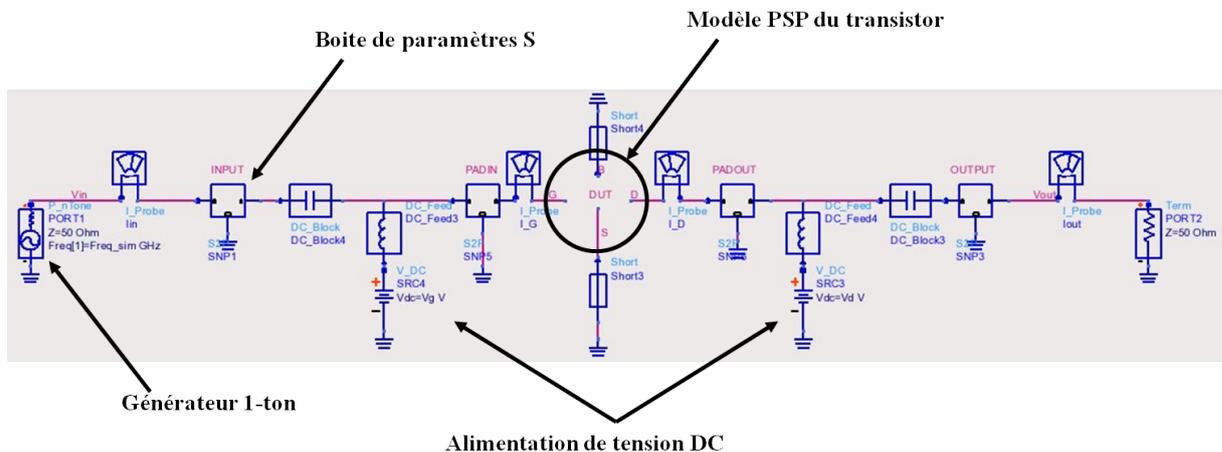


FIGURE III.23 – Schéma de simulation HB sous ADS.

III.3.3.b.6 Vieillessement sous contrainte RF

Les étapes précédentes ont permis d'établir une procédure afin d'évaluer le signal temporel aux bornes du transistor. Les tensions d'entrée et de sortie peuvent être extraites

h. ADS : **A**dvanced **D**esign **S**ystem

en tenant compte des harmoniques.

La dernière étape de la procédure consiste à appliquer la contrainte RF qui a été définie lors des étapes précédentes et d'interrompre la contrainte périodiquement afin d'effectuer des caractérisations DC et de paramètres S. Lors des étapes précédentes, les mesures de paramètres S ont été réalisées à la fréquence $f_{\text{contrainte}}$. Ainsi, après une nouvelle calibration et d'épluchage pour des fréquences allant de 45MHz à 50GHz lorsque le banc est en configuration de mesures de paramètres S, l'application de la contrainte RF définie est réalisée. L'application de la contrainte se fait en positionnant le banc en configuration de puissance définie à la Figure III.14 et le suivi des paramètres DC et petit signal se fait en configuration de mesures définie à la Figure III.10.

III.3.4 Extraction du schéma équivalent du transistor MOS

III.3.4.a Le schéma équivalent petit signal du transistor MOS

Les méthodologies décrites dans la partie III.3, permettent de suivre l'évolution des paramètres DC et des paramètres S lorsque le transistor est soumis à des contraintes DC ou RF. Les paramètres S du transistor ne sont pas directement représentatifs des paramètres petits signaux décrits dans la partie I.2.5 i.e. éléments capacitifs et résistifs petits signaux permettant de décrire le transistor en régime dynamique. C'est pour cela qu'il est nécessaire de modéliser les paramètres S du transistor en s'appuyant sur un modèle physique : le schéma équivalent petit signal (Figure III.24). Pour extraire les éléments du schéma équivalent du transistor polarisé en source commune, les paramètres Y sont le relais entre la mesure et le schéma équivalent petit signal. Ces paramètres Y sont obtenus par conversion des paramètres S mesurés aux différentes conditions de polarisations [57].

L'extraction des éléments du schéma équivalent se fait en deux étapes [62]. Tout d'abord les résistances parasites sont extraites et ensuite les autres éléments du schéma sont évalués. A l'exception des résistances d'accès qui sont considérées comme indépendantes de la polarisation, les éléments restants sont à déterminer pour chaque polarisation. L'extraction des éléments se fait à basse fréquence surtout lorsque la tension de grille est inférieure à la tension de seuil car dans cette condition il n'y a pas de couche d'inversion dans le canal et une interaction avec le réseau substrat peut se créer [63]. Lorsque la grille est polarisée au dessus de la tension de seuil, la couche d'inversion écrante le substrat et l'interaction avec le réseau substrat peut être négligée.

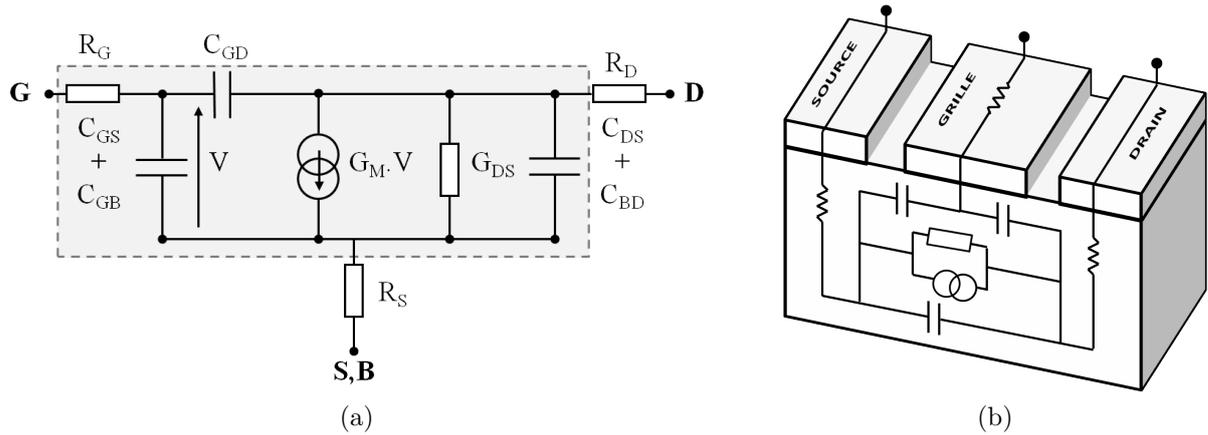


FIGURE III.24 – En (a) le schéma équivalent petit signal du transistor en source commune utilisé pour la modélisation physique de celui-ci et en (b) son intégration physique dans le transistor.

III.3.4.b L'extraction des résistances parasites

Les résistances parasites ont été introduites dans la partie I.4.2.b.2. Plusieurs méthodes d'extraction ont été développées mais aucune d'entre-elle ne tient compte de la dépendance en tension due aux LDD. Un descriptif de ces différentes méthodes est réalisé dans [64]. En comparant les différentes méthodes à des résultats de simulations analytiques, il est mis en avant que le bruit de mesure des VNA introduit une erreur dans l'extraction des résistances parasites pour des transistors issus de technologies avancées et que chaque méthode aboutie à une valeur différente de résistance.

L'introduction d'une résistance parasite cache une réalité plus complexe qu'un simple élément résistif indépendant de la tension. Ceci étant, l'étude de la fiabilité va nous permettre de quantifier la dérive de cette résistance suite à l'application d'une contrainte et de mieux appréhender sa réalité physique.

Pour tenir compte des résistances parasites R_D et R_S , la matrice des paramètres Z du réseau formé par R_D et R_S est soustraite à la matrice des paramètres Z du DUT mesurés. La résistance de grille R_G sera prise en considération par la suite lors de l'évaluation de chaque élément du schéma équivalent. Ainsi, la matrice Y' affranchie des résistances R_D et R_S s'exprime telle que :

$$Y' = \left[\begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} - \begin{bmatrix} R_S & R_S \\ R_D & R_D + R_S \end{bmatrix} \right]^{-1} \quad (\text{III.34})$$

où la matrice des paramètres Z a été converti des paramètres S mesurés du DUT. La matrice Y' représente les éléments du schéma équivalent présents dans la partie grise de la Figure III.24a.

III.3.4.c L'extraction des éléments extrinsèques et intrinsèques

Etant donné que les résistances parasites du drain et de la source ont été prises en considération, la matrice Y' s'exprime en fonction des éléments du schéma équivalent petit signal telle que :

$$Y' = \begin{bmatrix} \frac{j\omega \cdot C_{GG}}{1 + j\omega \cdot C_{GG} \cdot R_G} & \frac{j\omega \cdot C_{GD}}{1 + j\omega \cdot C_{GG} \cdot R_G} \\ \frac{G_M - j\omega \cdot C_{GD}}{1 + j\omega \cdot C_{GG} \cdot R_G} & G_{DS} + j\omega \cdot C_{DD} + j\omega \cdot R_G \cdot C_{GD} \cdot \frac{G_M - j\omega \cdot C_{GD}}{1 + j\omega \cdot C_{GG} \cdot R_G} \end{bmatrix} \quad (\text{III.35})$$

avec $C_{GG} = C_{GS} + C_{GB} + C_{GD}$ et $C_{DD} = C_{DS} + C_{BD} + C_{GD}$

L'exploitation de la matrice Y' permet d'évaluer chacun des éléments indépendamment [65]. Généralement dans l'extraction du schéma équivalent, le transistor est considéré comme symétrique et la capacité C_{GS} est égale à C_{GD} . Dans le cas d'une étude porteurs chaud cette considération ne sera plus possible du fait de la nature non uniforme de la dégradation.

Le G_{DS} et le G_M s'obtiennent simplement par les expressions suivantes :

$$G_{DS} = \Re(Y'_{22}) \quad (\text{III.36})$$

$$G_M = \Re(Y'_{21} - Y'_{12}) \quad (\text{III.37})$$

Ces deux éléments sont équivalents à ceux extraits par l'intermédiaire des mesures DC comme définis par les équations I.36. Le G_M et G_{DS} des transistors de la technologie 40nm sont présentés à la Figure III.25.

Les mesures du Y'_{12} permettent d'extraire la capacité C_{GD} . De l'expression du Y'_{12} dans la matrice définie en III.35, il est possible d'isoler la capacité C_{GD} et de l'affranchir de la résistance de grille de la manière suivante :

$$C_{GD} = \frac{1}{\omega} \cdot \left[\Im \left(\frac{1}{Y'_{12}} \right) \right]^{-1} \quad (\text{III.38})$$

En observant la capacité C_{GD} à $V_{GS} = 0V$ et V_{DS} variable sur la Figure III.26a, il n'y a que la contribution extrinsèque qui est présente. De même sur la Figure III.26b, l'interaction du signal avec le réseau substrat et l'apparition d'effets non quasi-statiques est clairement visible à haute fréquence et surtout pour des transistors de grandes longueurs. La variation de la polarisation de la grille V_{GS} sur la Figure III.26c met en avant la contribution progressive de la partie intrinsèque à fort V_{GS} et pour $V_{DS} = 0V$.

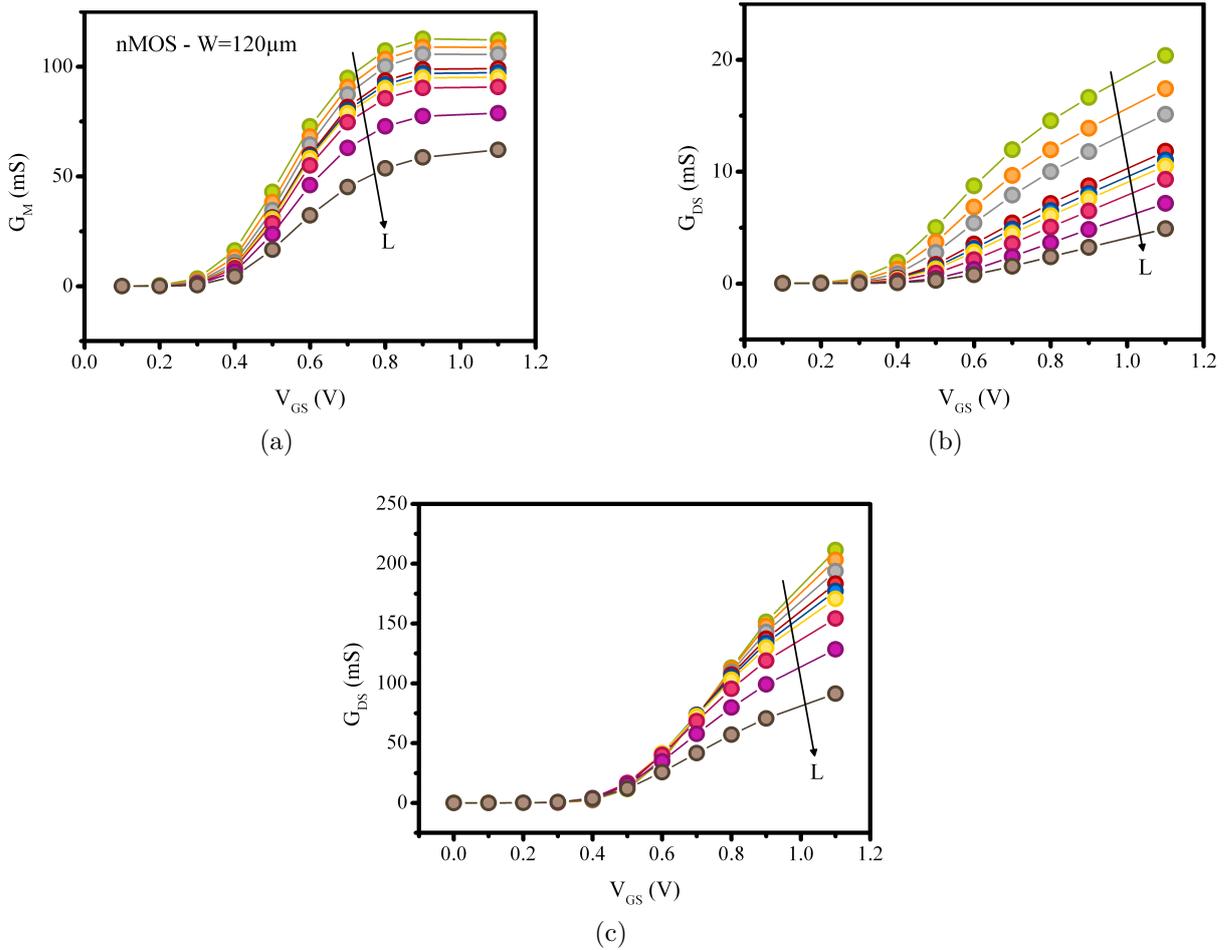


FIGURE III.25 – En (a) et (b), mesure de la transconductance G_M et de la conductance G_{DS} en fonction de V_{GS} d'un transistor nMOS en technologie 40nm ($L = 0.03, 0.04, 0.045, 0.055, 0.06, 0.065, 0.08, 0.12, 0.2\mu m$) à $f = 5GHz$ et pour $V_{DS} = 1.1V$. En (c) la même démarche pour le G_{DS} à $V_{DS} = 0V$.

Les mesures du Y'_{11} et du Y'_{12} permettent d'extraire la somme des capacités C_{GS} et C_{GB} . Elles sont indissociables car la structure de test est en source commune. La somme des deux capacités vaut :

$$C_{GS} + C_{GB} = -\frac{1}{\omega} \cdot \left[\Im \left(\frac{1}{Y'_{11} + Y'_{12}} \right) \right]^{-1} \quad (\text{III.39})$$

De la même manière les capacités C_{BD} et C_{BS} sont indissociables. De plus leur extraction est plus complexe que pour les autres éléments. Il faut se placer à $V_{GS} = 0V$ afin de s'affranchir du G_M et du G_{DS} qui sont nuls dans ces conditions. Il vient donc après une approximation à basse fréquence :

$$\frac{1}{\omega} \cdot \Im \left(Y'_{22} + Y'_{12} \right) \approx (C_{BD} + C_{DS}) - \omega^2 \cdot R_G^2 \cdot C_{GD} \cdot C_{GG} \cdot (C_{GD} - C_{GG}) \quad (\text{III.40})$$

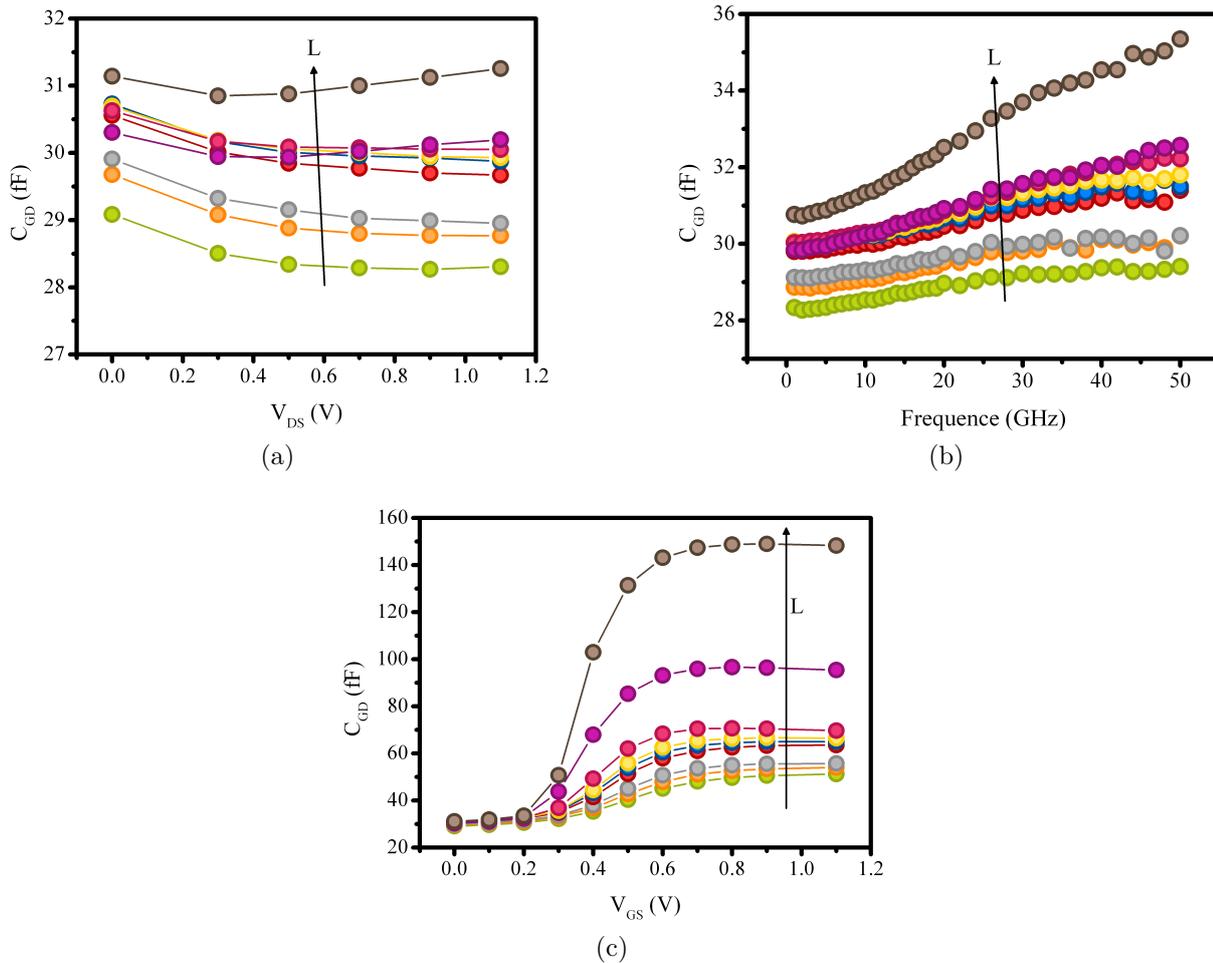


FIGURE III.26 – En (a) mesure de la capacité extrinsèque C_{GD} en fonction de V_{DS} d'un transistor nMOS en technologie 40nm ($L = 0.03, 0.04, 0.045, 0.055, 0.06, 0.065, 0.08, 0.12, 0.2\mu m$) à $f = 5GHz$ et pour $V_{GS} = 0mV$. En (b) la variation en fréquence de la capacité C_{GD} pour le point de polarisation $V_{DS} = 500mV$ et $V_{GS} = 0V$. En (c) la même démarche qu'en (a) pour la capacité C_{GD} en fonction de V_{GS} à $V_{DS} = 0V$.

L'extraction de la somme des capacités C_{BD} et C_{BS} effectuée à basse fréquence est illustré par la Figure III.27.

Chacun de ces éléments représente la somme des composantes intrinsèque et extrinsèque. Il faudra en tenir compte lors de leurs exploitations en analysant les éléments à différentes polarisations pour dissocier les deux composantes.

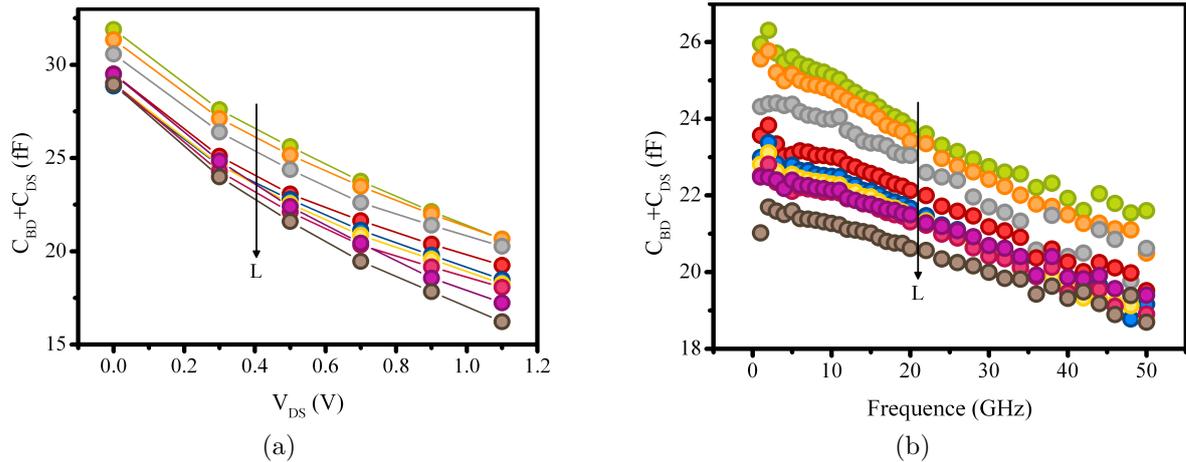


FIGURE III.27 – En (a) mesure de la capacité extrinsèque $C_{BD} + C_{DS}$ en fonction de V_{DS} d'un transistor nMOS en technologie 40nm ($L = 0.03, 0.04, 0.045, 0.055, 0.06, 0.065, 0.08, 0.12, 0.2\mu\text{m}$) à $f = 5\text{GHz}$ et pour $V_{GS} = 0\text{mV}$. En (b) la variation en fréquence de la capacité $C_{BD} + C_{DS}$ pour le point de polarisation $V_{DS} = 500\text{mV}$ et $V_{GS} = 0\text{V}$.

III.4 Conclusion

Ce chapitre a introduit les paramètres de dispersion (S) et leurs mesures. Ceci a permis de traiter les techniques de mesures et les méthodes associées pour une étude de la fiabilité RF en deux parties. D'une part, l'analyse du vieillissement des paramètres S en sus de l'analyse des paramètres DC. D'autre part, l'application d'une composante RF sur une contrainte DC en ayant une information temporelle sur la contrainte appliquée. Suite à ce protocole expérimental a été détaillés les moyens d'analyses des paramètres S avec une étude du schéma équivalent petit signal.

L'extension de l'étude de la fiabilité dans le domaine de la RF nécessite une démarche plus complexe que dans le cas DC. La méthodologie qui a ainsi été développée dans ce chapitre peut être résumée par le diagramme de la Figure III.28.

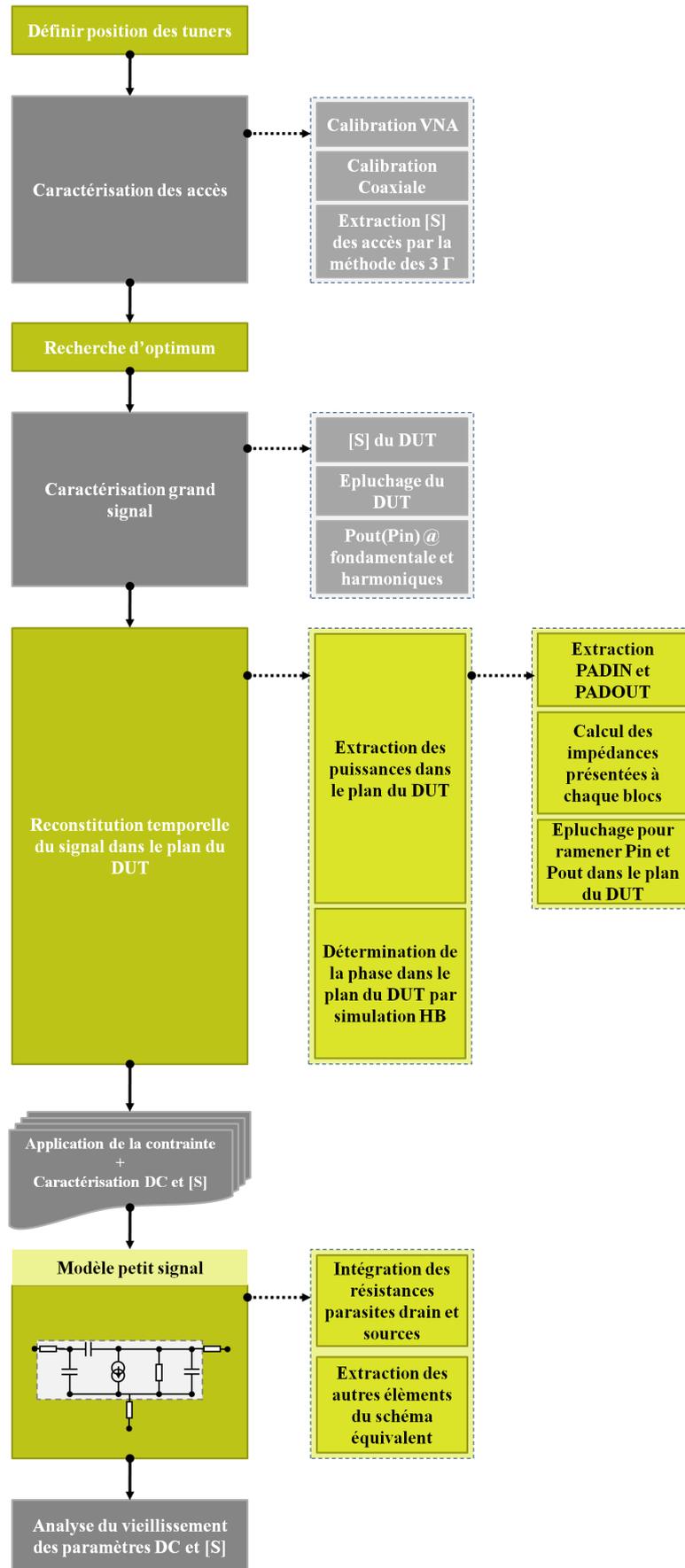


FIGURE III.28 – Diagramme décrivant la procédure à suivre pour l'étude de la fiabilité du transistor MOS sous vieillissement RF.

Etude de la dégradation HC pour des contraintes DC et RF

IV.1 Introduction

Durant les 20 dernières années, la plupart des études ont considérés les aspects de fiabilité type porteurs chauds pour des contraintes DC et AC jusqu'à quelques centaines de MHz. Des études telles que [66–69] ont observé la dérive des paramètres S pour des contraintes DC. L'étude du schéma équivalent petit signal n'a été considérée que très récemment [70, 71]. Cependant aucunes de ces études ne tient compte des contributions intrinsèques et extrinsèques du transistor. De plus, l'origine physique de la dégradation de chacun des éléments du schéma équivalent reste inexpiquée.

En parallèle, les contraintes pulsées [72–74] ont laissées place aux contraintes RF. Sasse et al. [75] ont, dans un premier temps, utilisé un VNA pour appliquer la contrainte RF. Les études [53, 76] utilisant un banc load-pull se sont développés par la suite mais sont encore peu nombreuses et aucunes d'entre-elles n'ont pris en compte l'analyse temporelle du signal et de ces non-linéarités afin de prédire le vieillissement de chacun des éléments du schéma équivalent et donc des paramètres S du transistor.

C'est ainsi que dans ce chapitre l'étude complète de la fiabilité RF pour une dégradation de type porteurs chauds (HC) sera réalisée pour des transistors nMOS d'oxyde 1,7nm pour la longueur 40nm. Dans un premier temps, après avoir construit un modèle complet HC basé sur le vieillissement des paramètres DC sous contraintes DC, l'étude et la modélisation du vieillissement sous contraintes AC et RF sera réalisé. Ensuite, l'étude

du vieillissement des paramètres petit signal du transistor permettra d'établir des liens physiques avec le vieillissement des paramètres DC. Finalement ces résultats seront utilisés pour intégrer le vieillissement des paramètres DC et petit signal au modèle compact afin de prédire la fiabilité au niveau circuit.

IV.2 Impact de la dégradation HC sur les paramètres DC du MOSFET

IV.2.1 Construction du modèle

La construction du modèle de porteurs chauds décrit dans la partie II.4.2 se fait en appliquant une matrice de conditions de contraintes englobant les 3 modes énergétiques et en mesurant pour chacune des contraintes la dérive des paramètres standards du transistor i.e. courant de saturation, courant linéaire, tension de seuil, maximum de transconductance. Concernant les caractéristiques des paramètres, le courant de saturation (I_{DSsat}) est mesuré à $V_{GS} = V_{DS} = V_{DD} = 1.1V$. Le courant linéaire (I_{DSlin}) est mesuré à $V_{GS} = 1.1V$ et $V_{DS} = 0.05V$. La tension de seuil (V_T) est mesurée pour un courant fixé à $10^{-8} A \cdot W/L$. Le maximum de transconductance (G_{Mmax}) est mesuré à partir de dérivés des courbes du courant de drain en fonction de la tension de grille.

L'équation à la base de la construction d'un modèle de dégradation de type HC a été décrite par l'équation II.11. Cette équation est basée sur la connaissance des courants de drain et substrat en fonction des tensions appliquées aux bornes du transistor MOS. Il est donc indispensable de construire un modèle de ces courants. Le modèle compact ne permet pas une simulation correcte des courants au-delà de 20% des tensions nominales d'opération, il est donc nécessaire d'établir un modèle empirique. Pour se faire, la mesure du courant de drain et de substrat est réalisée sur plusieurs transistors MOS et cela pour une large gamme de tension permettant la construction par interpolation d'un modèle empirique.

A partir des mesures et du modèle en courant, les variables du modèle HC issues de l'équation II.11 sont extraites et aboutissent à un modèle complet permettant d'être prédictif concernant la dégradation des paramètres DC pour les transistors nMOS d'oxyde 1,7nm et de longueur 40nm. Les mesures sont confrontées aux modèles dans la Figure IV.1. La prédiction du vieillissement d'un paramètre pour un couple (V_{DS}, V_{GS}) se fait par le calcul de l'âge qui est intégré jusqu'au temps final. Un exemple est donné à la Figure IV.1 pour les conditions $V_{GS} = V_{DS} = 1.1V$. Aussi, les mesures sont extrapolées à ces conditions de polarisations et se superposent au modèle confortant la pertinence de celui-ci.

En suivant la démarche décrite dans la partie II.5.1 qui se base sur l'approximation quasi-statique, il est possible de prédire le vieillissement des paramètres DC du transistor pour des contraintes dynamiques. Cette démarche sera appliquée pour des contraintes AC puis RF dans les deux paragraphes suivants.

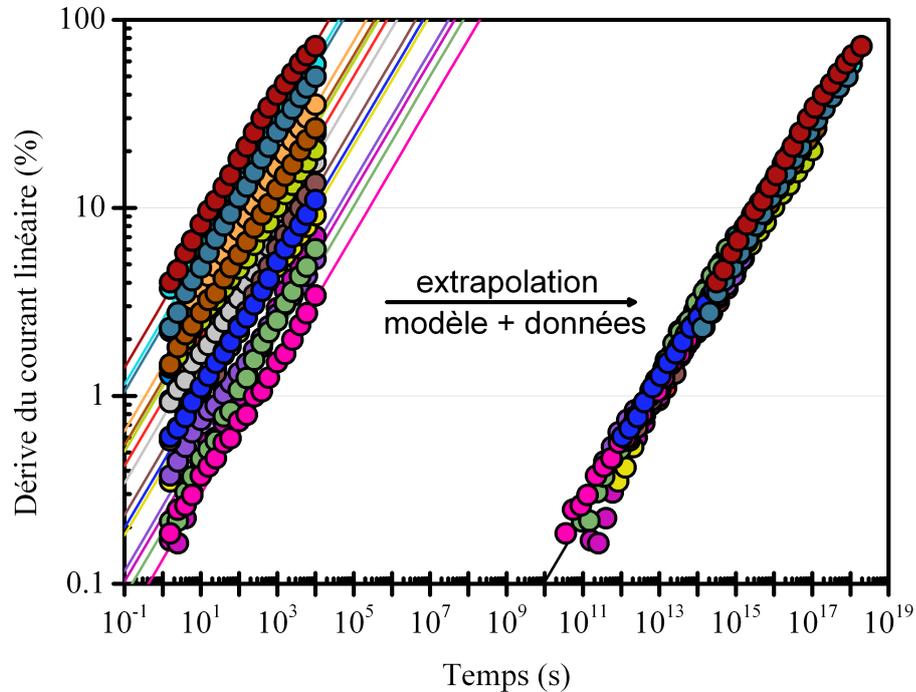


FIGURE IV.1 – Confrontation entre les données expérimentales et le modèle complet pour différentes conditions de contraintes DC sur nMOS 1.7nm. Une extrapolation des données et du modèle est réalisée à $V_{DS} = V_{GS} = 1.1V$.

IV.2.2 La modélisation du vieillissement des paramètres DC pour des contraintes AC

L'application de contraintes pulsées AC est réalisée par un générateur de pulse. Deux pulses en opposition de phase sont appliqués sur la grille et le drain. La configuration et les caractéristiques des pulses sont représentées en Figure IV.2. Les temps de montée et de descente sont fixés à $5\mu s$ et la période d'un pulse est de $12\mu s$. La forme des pulses est contrôlée par l'intermédiaire d'un oscilloscope.

Les contraintes ont été choisies afin de dissocier le mode fortement énergétique (mode 1) et le mode faiblement énergétique (mode 3). Les contraintes étudiées par la suite sont résumées dans le Tableau IV.1.

Grâce au modèle DC établi précédemment, l'âge de chaque mode peut être évalué sur une période en utilisant l'approche quasi-statique. La contribution de chaque mode pour les différentes contraintes étudiées est présentée en Figure IV.3. Il est clair que pour chacune des contraintes il y a un mode dominant. De ce fait en intégrant la somme de

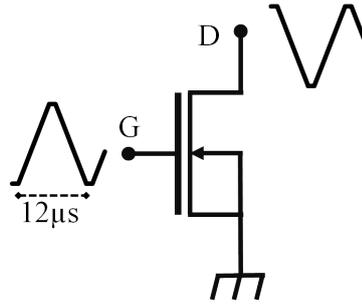


FIGURE IV.2 – Configuration du transistor lorsqu’il est soumis à une contrainte AC. Deux pulses sont appliqués en opposition de phase sur la grille et le drain.

Tableau IV.1 – Détails des contraintes AC étudiées. Les valeurs minimum et maximum des tensions de drain (V_{DS}) et de grille (V_{GS}) appliquées sont données.

Référence du Stress	V_{DS} (V)		V_{GS} (V)	
	<i>min</i>	<i>max</i>	<i>min</i>	<i>max</i>
(A)	0.4	1.9	0.4	1.0
(B)	0.4	1.7	1	1.7
(C)	0.7	1.7	0.4	1.9
(D)	1	1.7	1	1.7

l’âge des 3 modes sur le temps de contrainte, le vieillissement des paramètres DC peut être modélisé. Un exemple du vieillissement du courant linéaire pour chaque contrainte est donné à la Figure IV.3. Le modèle montre un bon accord avec la mesure, justifiant de sa validité et de celle de l’approximation quasi-statique.

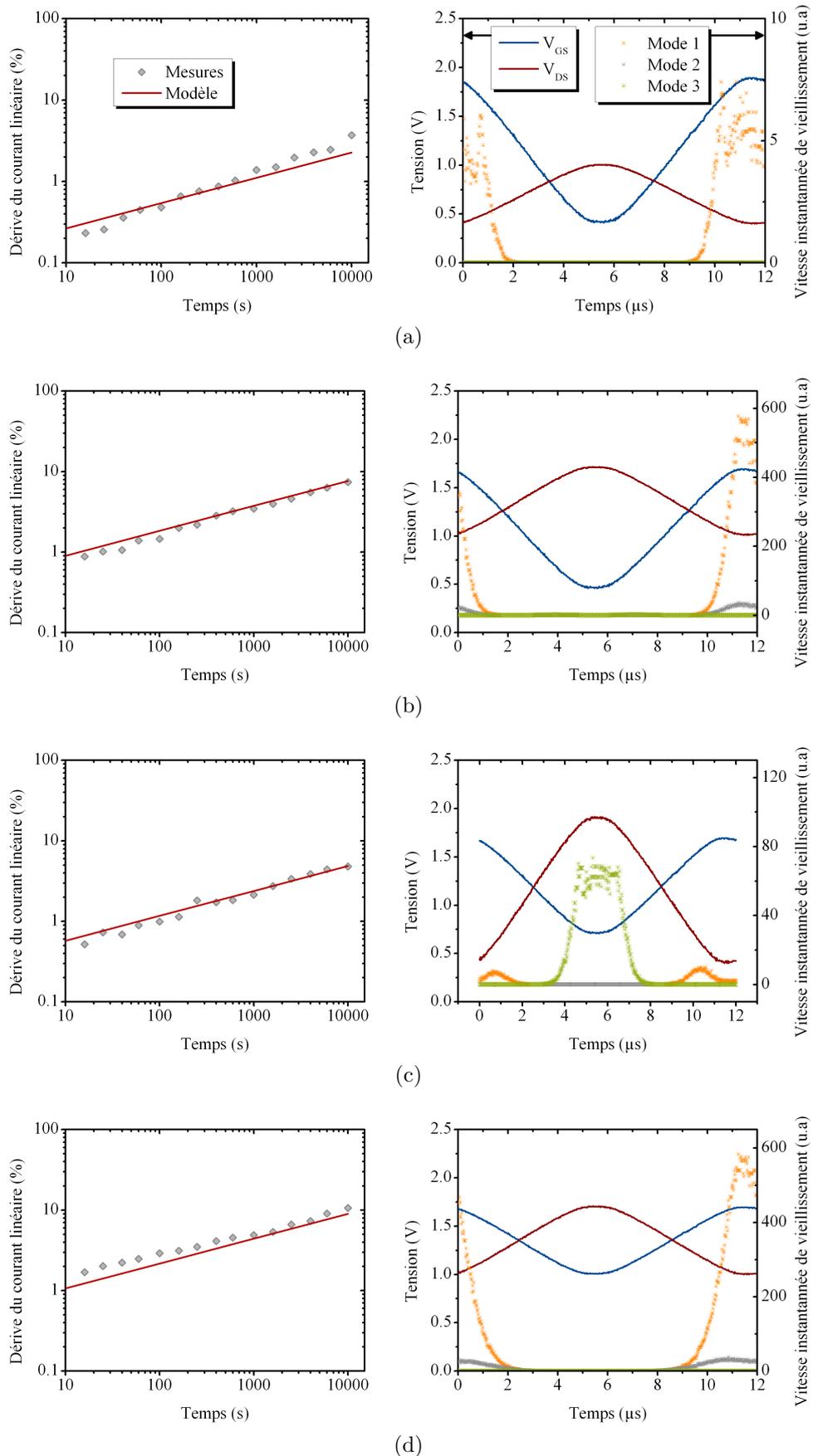


FIGURE IV.3 – En (a), (b), (c) et (d) sont représentées les données relatives aux contraintes AC définies respectivement dans le Tableau IV.1. A gauche, les mesures du vieillissement du courant linéaire sont confrontées au modèle. A droite, le tracé temporel des contraintes AC et la vitesse instantanée de vieillissement pour chaque mode HC.

IV.2.3 La modélisation du vieillissement des paramètres DC pour des contraintes RF

Le modèle complet HC a été validé pour des contraintes AC. La même démarche va être appliquée dans le cas de contraintes RF en suivant la méthodologie présentée au Chapitre III.

Dans un premier temps, il est important de valider la procédure d'extraction du signal qui a été développée dans la partie III.3.3. Comme illustré par le schéma de la Figure IV.4, une contrainte RF est appliquée sur le drain avec une puissance $P = 9dBm$ à 1 GHz et une polarisation DC telle que $V_{GS} = 1.8V$ et $V_{DS} = 1V$. Les tuners sont positionnés à 50Ω car ils n'ont pas d'impact majeur sur le signal. Le signal a été extrait sous sa forme temporelle à la Figure IV.4 et il présente un pic sur le drain à $1.8V$. Ces conditions ont été choisies afin que le mode 3 à faible énergie soit prédominant. Le calcul de la vitesse instantanée de vieillissement sur une période du signal confirme l'impact du mode 3 et permet la modélisation du vieillissement des paramètres DC. La confrontation avec les mesures est présentée à la Figure IV.4.

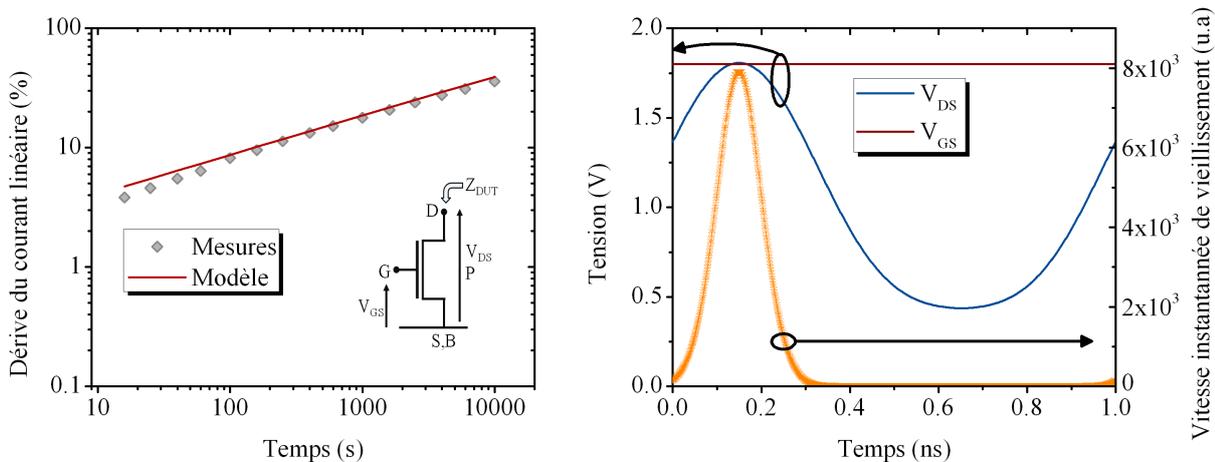


FIGURE IV.4 – A gauche, les mesures du vieillissement du courant linéaire sont confrontées au modèle ainsi que le schéma explicatif de la configuration du transistor lorsqu'il est soumis à la contrainte RF. A droite, le tracé temporel de la contrainte RF appliquée sur le drain et la vitesse instantanée de vieillissement totale. En ce qui concerne la contrainte, une puissance de 9dBm est injectée à 1GHz sur le drain avec un point de repos à $V_{GS} = 1.8V$ et $V_{DS} = 1V$.

La méthodologie d'extraction du signal et la modélisation quasi-statique HC lorsqu'une contrainte RF est présente uniquement sur le drain a été validée. L'étape suivante consiste à appliquer une contrainte RF sur la grille qui entrainera la génération d'un signal RF sur le drain par amplification comme détaillé dans la partie I.2.4.a.

Pour se faire deux cas sont définis à la Figure IV.5 avec un point statique à $V_{GS} = V_{DS} = 1.1V$. Deux contraintes à 6GHz et 10GHz sont appliquées avec une puissance de 7dBm imposée au synthétiseur RF. La puissance a été choisie afin que la tension de grille ne soit jamais inférieure à la tension de seuil et que la tension de drain soit toujours positive. La forme temporelle des signaux est présentée à la Figure IV.5 ainsi que la modélisation du courant linéaire pour ces deux conditions. La confrontation entre le modèle et les mesures montre que le modèle HC est prédictif jusqu'à des fréquences de 10GHz. Il est intéressant de noter que les signaux et ainsi les dérives du courant linéaire sont différents pour les deux fréquences alors que la puissance imposée au synthétiseur est la même dans les deux cas. Ceci vient du fait que l'impédance présentée par le transistor dépend de la fréquence. Cette dépendance se comprend simplement lorsque l'on considère le transistor sous forme de schéma équivalent.

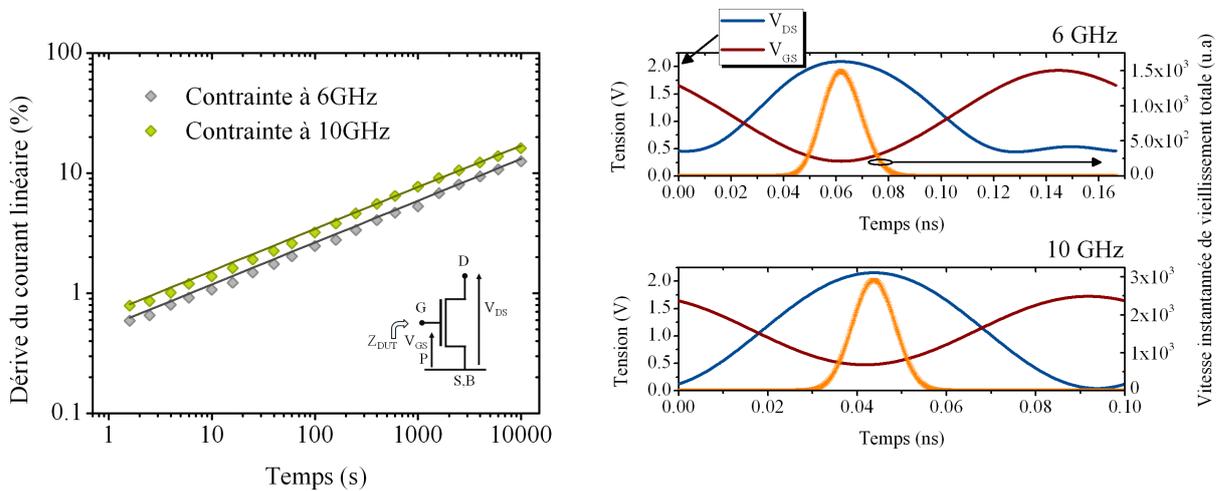


FIGURE IV.5 – A gauche, les mesures du vieillissement du courant linéaire sont confrontées au modèle ainsi que le schéma explicatif de la configuration du transistor lorsqu'il est soumis à des contraintes RF de 6GHz et 10GHz. A droite, le tracé temporel des contraintes RF appliquées sur le drain et la vitesse instantanée de vieillissement totale.

Cependant l'utilisation seule du modèle HC a ses limitations. En effet, si une contrainte RF est appliquée en se plaçant dans un fonctionnement de type classe AB, le seul mode HC sous estime la dégradation du transistor MOS. Par exemple rupture apparaît dans des conditions où le point statique est positionné à $V_{GS} = 0.7V$ et $V_{DS} = 1.3V$ avec une puissance imposée par le synthétiseur RF de 18dBm à 0.9GHz après avoir adapté le transistor par la méthode décrite dans la partie III.3. Le signal extrait est présenté en Figure IV.6. Le signal amplifié dans le plan du drain présente un fort taux de distorsion dû aux harmoniques d'ordre supérieures. En effet, il a fallu appliquer une forte puissance positionnant le transistor dans sa zone non-linéaire au-delà du point de compression pour obtenir une dégradation conséquente des paramètres DC. Dans ces conditions de contrainte, le modèle sous estime le vieillissement des paramètres DC tel que le courant

linéaire représenté en Figure IV.6.

Ceci s'explique par le fonctionnement du transistor en classe AB où la tension de grille est environ 36% du temps inférieure à la tension de seuil avec une forte accélération en tension sur le drain. Dans ces conditions, certains porteurs fortement énergétiques traversent le canal par effet balistique et peuvent générer des défauts. Ce mécanisme, qualifié de continuité de mode 1 [37] et nommé off-state, n'est pas pris en compte dans le modèle HC. C'est ainsi que le modèle actuel interprète la dégradation off-state comme du mode 1 et de ce fait sous estime la dégradation. Dans cette condition de contrainte, il est clair que la modélisation n'est pas concluante et il est important de noter que le vieillissement du courant linéaire présente deux dépendances temporelles. Comme décrit dans [77], cette double dépendance est le signe d'une interaction entre les défauts générés par le mode 1 et l'off-state.

Avant de pouvoir intégrer l'off-state dans le modèle HC, une compréhension physique de l'impact de ce mécanisme est indispensable. Cela sera le but de la partie suivante qui se concentre sur l'étude du vieillissement des paramètres petits signaux.

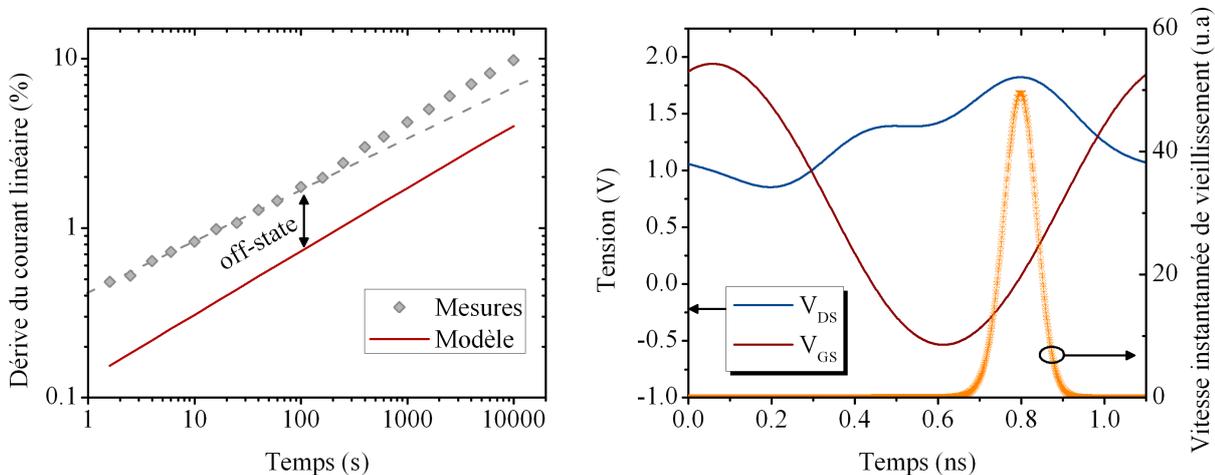


FIGURE IV.6 – A gauche, les mesures du vieillissement du courant linéaire sont confrontées au modèle ainsi que le schéma explicatif de la configuration du transistor lorsqu'il est soumis à une contrainte en classe AB à 0.9GHz. A droite, le tracé temporel de la contrainte RF appliquées sur le drain et la vitesse instantanée de vieillissement totale. L'écart entre la mesure et le modèle s'explique parce que la dégradation, qui se produit lorsque la tension de grille est en dessous de la tension de seuil n'est pas prise en compte dans le modèle HC.

IV.3 Impact de la dégradation HC sur les paramètres RF du MOSFET

IV.3.1 Etude du vieillissement des éléments du schéma équivalent petit signal

Maintenant que le vieillissement des paramètres DC a été étudié et modélisé pour des contraintes allant du DC jusqu'au RF, cette partie va se concentrer sur le vieillissement des performances RF du transistor MOS.

Concernant les performances RF, le suivi du vieillissement est fait au travers des mesures des paramètres de dispersion (S) de celui-ci. Cependant comme spécifié dans la partie III.3.4, la compréhension physique de ces paramètres passe par une interprétation au moyen du schéma équivalent petit signal du transistor.

Dans le cas de contraintes DC, un impact sur certains éléments du schéma équivalent petit signal induit par une dégradation de type HC est observé et concerne : la capacité grille-drain C_{GD} , la transconductance G_M et la conductance G_{DS} . Les zones impactées sont différentes suivant le mode de vieillissement prédominant [78] i.e. mode 1, mode 3 et off-state. En considérant 3 contraintes DC différentes permettant de dissocier ces 3 modes, le vieillissement du G_M , G_{DS} et C_{GD} est représenté à la Figure IV.7 et se traduit par :

- Une dérive du G_M en fonction de la tension de grille V_{GS} est observée au dessus de la tension de seuil lorsque $V_{DS} = V_{DD}$ i.e. $V_{DD} = 1.1V$ et correspond à la tension nominale pour la technologie 40nm.
- Le même type de dérive est constaté pour le G_{DS} en fonction de la tension de grille lorsque $V_{DS} = 0V$.
- Au niveau de la capacité C_{GD} en fonction de la tension de grille V_{GS} lorsque $V_{DS} = 0V$, deux zones de vieillissement se distinguent. Elles sont réparties de part et d'autre de la tension de seuil. En revanche, la partie du C_{GD} au delà de la tension de seuil présente un vieillissement plus important pour le mode 3 que pour le mode 1 et l'off-state.

L'origine physique de la dérive des éléments du schéma équivalent petit signal sera l'objet de la partie suivante. Ceci permettra d'aboutir à une interprétation cohérente entre l'origine physique de la dégradation et son influence sur la dérive des paramètres RF du transistor MOS.

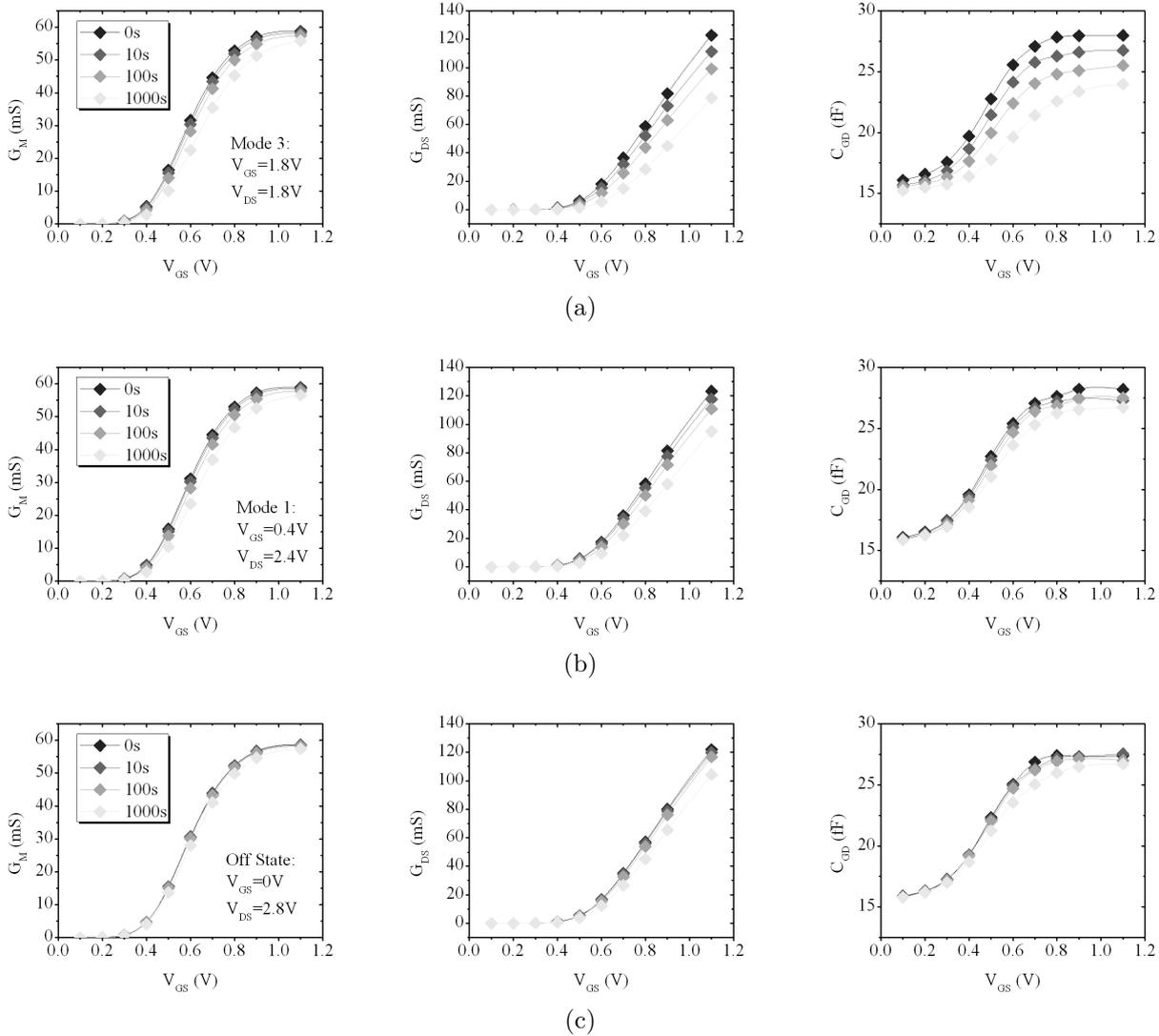


FIGURE IV.7 – Vieillessement du G_M , G_{DS} et C_{GD} pour différents temps de contrainte. En (a) la contrainte est de mode 3 avec $V_{GS} = V_{DS} = 1.8V$. En (b) la contrainte est de mode 1 avec $V_{GS} = 0.4V$ et $V_{DS} = 2.4V$. En (c), la contrainte est en off state avec $V_{GS} = 0V$ et $V_{DS} = 2.8V$

IV.3.2 Origine du vieillissement des paramètres petits signaux

L'étude des liens permettant d'expliquer le vieillissement des éléments du schéma équivalent [79] sera réalisée dans le cas de la contrainte DC étudiée à la partie IV.2.3 avec $V_{GS} = 1.8V$ et $V_{DS} = 1.8V$. La Figure IV.8 présente la dérive de ces principaux paramètres DC. La dérive des paramètres petits signaux relative à cette contrainte a été présentée à la Figure IV.7.

Cette contrainte a été choisie car il y a un mode 3 prédominant et comme détaillé dans la partie précédente c'est celui qui présente le plus d'impact sur les éléments du schéma équivalent. Cependant il a été vérifié que cette étude reste valide pour toutes les

contraintes DC et RF.

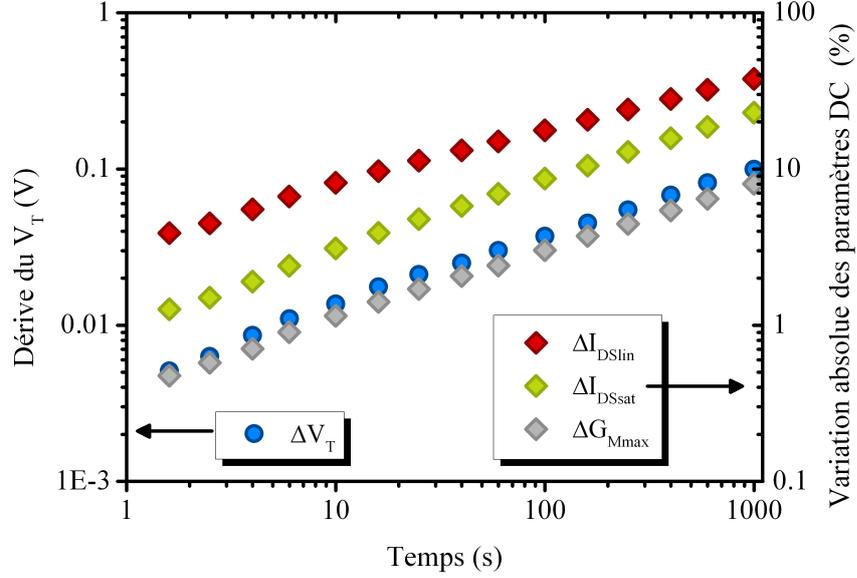


FIGURE IV.8 – Dérive des principaux paramètres DC dans le cas d’une contrainte HC à $V_{GS} = V_{DS} = 1.8V$ sur un nMOS 1.7nm ($W/L = 57.6/0.04\mu m$).

IV.3.2.a La tension de seuil

Comme expliqué dans la partie II.2.4, une contrainte de type HC induit une génération de défauts électriquement chargés dans le canal du transistor. Cette charge essentiellement due aux états d’interface entraîne une dérive de la tension de seuil (ΔV_T) qui vaut pour le transistor nMOS :

$$\Delta V_T = \frac{\Delta N_{IT}}{C_{ox}} \quad (IV.1)$$

Ainsi, lors de l’étude du vieillissement des paramètres petits signaux, l’extraction du schéma équivalent a été systématiquement réalisée aux mêmes conditions de polarisation DC alors que la contrainte appliquée induit une dérive continue de la tension de seuil. La conséquence principale est donc que le vieillissement des éléments du schéma équivalent n’a pas été observé pour une charge de canal constante.

Pour prendre en compte cet effet, une correction de premier ordre consiste à suivre le vieillissement des éléments du schéma équivalent et donc des paramètres S à $V_{GS} - \Delta V_T$. La Figure IV.9 montre clairement l’impact de cette correction sur les mesures du GM , alors que dans la Figure IV.10 la majeure partie du vieillissement reste inexpliquée dans le cas du C_{GD} et du G_{DS} .

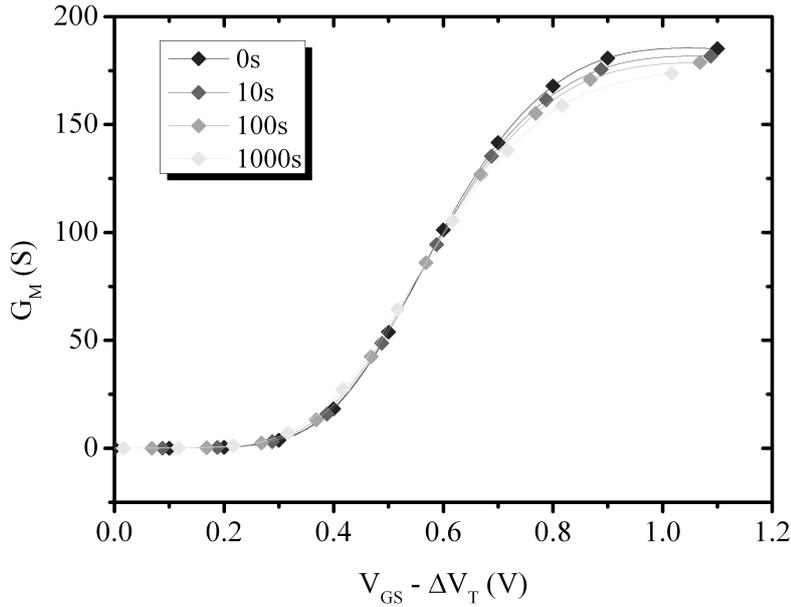


FIGURE IV.9 – Tracé du G_M en fonction de $V_{GS} - \Delta V_T$ à $V_{DS} = 1.1V$ pour différents temps de contrainte.

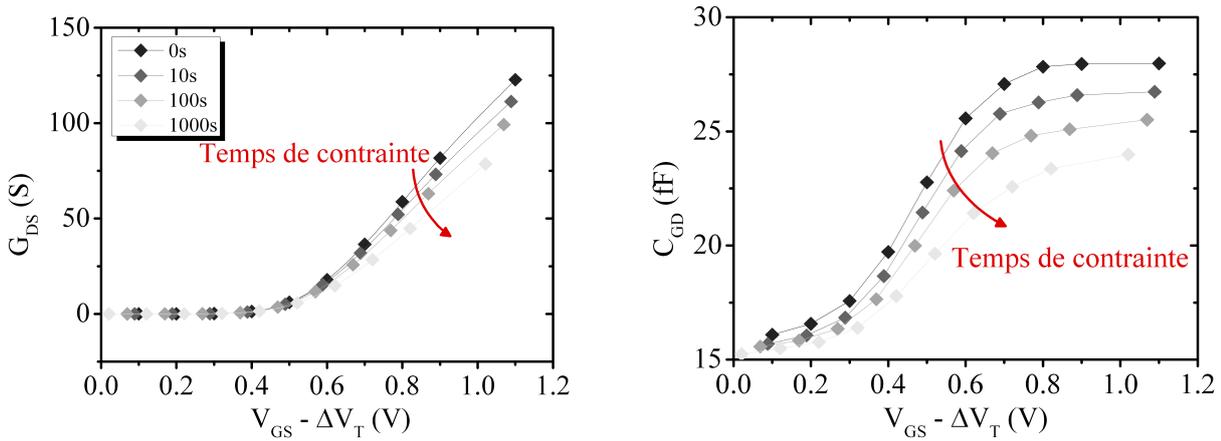


FIGURE IV.10 – Tracé du G_{DS} et C_{GD} en fonction de $V_{GS} - \Delta V_T$ à $V_{DS} = 0V$ pour différents temps de contrainte.

IV.3.2.b La mobilité

En sus de la prise en considération de la tension de seuil, la dégradation de type HC entraîne une réduction de la mobilité effective. Cette réduction peut être observée au travers du suivi du maximum de transconductance G_{Mmax} . En effet, le pic de la transconductance dans un fonctionnement en régime linéaire est corrélé à la mobilité du canal tel que [80] :

$$G_{Mmax} = \frac{W}{L} \cdot \mu_{eff} \cdot C_{ox} \cdot V_{DS} \quad (IV.2)$$

Le G_{DS} est également sensible à la réduction de mobilité dans le canal. Il peut en effet

être exprimé en fonction de celle-ci tel que :

$$G_{DS} = \frac{W}{L} \cdot \mu_{eff} \cdot C_{ox} \cdot (V_{GS} - V_T) \quad (IV.3)$$

En utilisant les équations IV.2 et IV.3, l'influence de la mobilité effective sur le G_{DS} peut être quantifiée. La Figure IV.11 présente le G_{DS} lorsque la réduction de mobilité au cours du temps de contrainte est prise en compte.

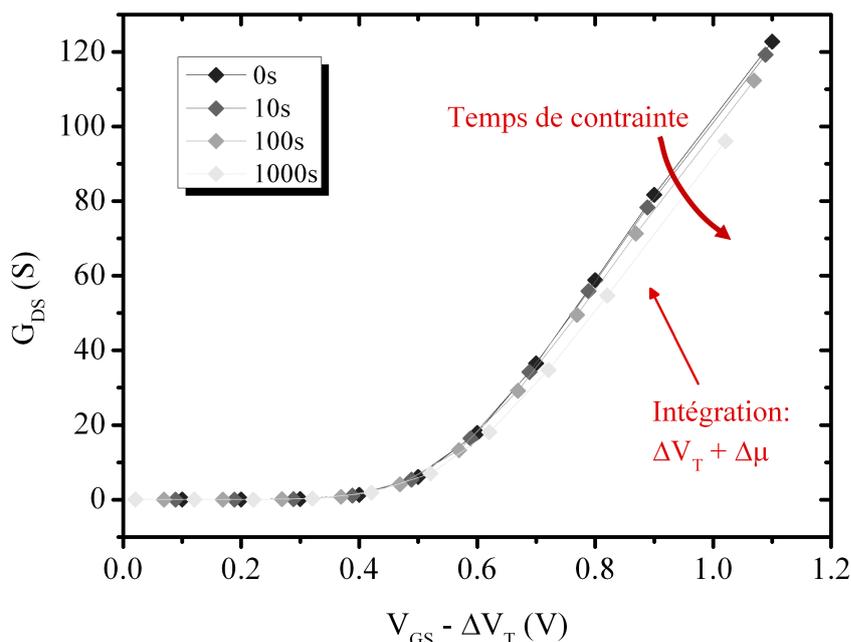


FIGURE IV.11 – Tracé du G_{DS} en fonction de $V_{GS} - \Delta V_T$ à $V_{DS} = 1.1V$ pour différents temps de contrainte en tenant compte de la réduction de mobilité dans la zone d'inversion.

IV.3.2.c La résistance d'accès

La prise en compte de la dérive de la tension de seuil et de la mobilité effective sur les paramètres petits signaux a permis d'expliquer une importante partie du vieillissement. Cependant une petite partie du vieillissement du G_{DS} et une importante partie du vieillissement du C_{GD} restent inexplicées.

En régime d'inversion forte, ce vieillissement peut être attribué à la dégradation de la résistance parasite du drain (R_D). La résistance parasite R_D module la valeur intrinsèque du C_{GD} et du G_{DS} sur sa valeur effective extraite du schéma équivalent. Ceci peut être simplement expliqué par la Figure IV.12 qui considère une partie du schéma équivalent petit signal du transistor en mettant en avant le pont diviseur de tension formé par C_{GD} , G_{DS} et R_D . L'évaluation du C_{GD} et de G_{DS} en fonction de R_D vaut ainsi :

$$C_{GD}(R_D) = \frac{C_{GD0}}{1 + R_D \cdot G_{DS0}} \quad (\text{IV.4})$$

$$G_{DS}(R_D) = \frac{G_{DS0}}{1 + R_D \cdot G_{DS0}} \quad (\text{IV.5})$$

où l'indice 0 est utilisé pour représenter le cas du schéma équivalent qui ne tient pas compte des résistances parasites.

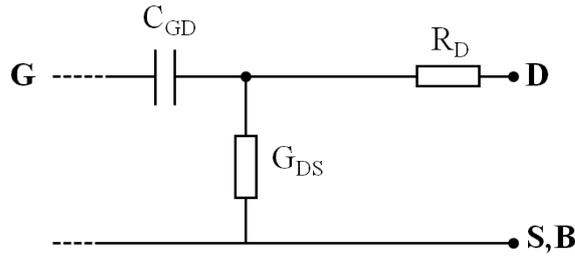


FIGURE IV.12 – Représentation du pont diviseur de tension réalisé par le C_{GD} , G_{DS} et R_D du schéma équivalent petit signal du transistor.

Comme représenté sur l'abaque de Smith de la Figure IV.14, cette dérive de la résistance parasite du drain R_D est également visible sur les mesures du S_{22} à $V_{GS} = 1.1V$ et $V_{DS} = 0V$. La dérive sur l'axe horizontal de l'abaque indique une dérive de la partie résistive au niveau du drain du transistor.

La dégradation de la résistance d'accès est cohérente avec le mécanisme des porteurs chauds qui dans le cas du mode 3 entraîne une forte dégradation au niveau de la zone de recouvrement grille-drain des LDD [81]. L'intégration de cette dégradation par l'ajout d'une dérive empirique du R_D sur le G_{DS} est présentée dans la Figure IV.13 et indique clairement qu'une augmentation de R_D résulte en une réduction du G_{DS} effectif. La dérive du R_D est intégrée par le calcul matriciel décrit dans la partie III.3.4.b et intègre le résidu de dégradation qui restait inexplicé sur le G_{DS} (Figure IV.13). Cependant le vieillissement du G_{DS} en début de la zone d'inversion reste imprécis car la résistance de drain parasite R_D a été considérée indépendante de la polarisation et par conséquent la même dérive empirique a été appliquée pour toutes les conditions de polarisation du transistor. Au niveau du C_{GD} , sa valeur effective a été impactée par l'augmentation du R_D mais ne suffit pas à expliquer l'intégralité de son vieillissement.

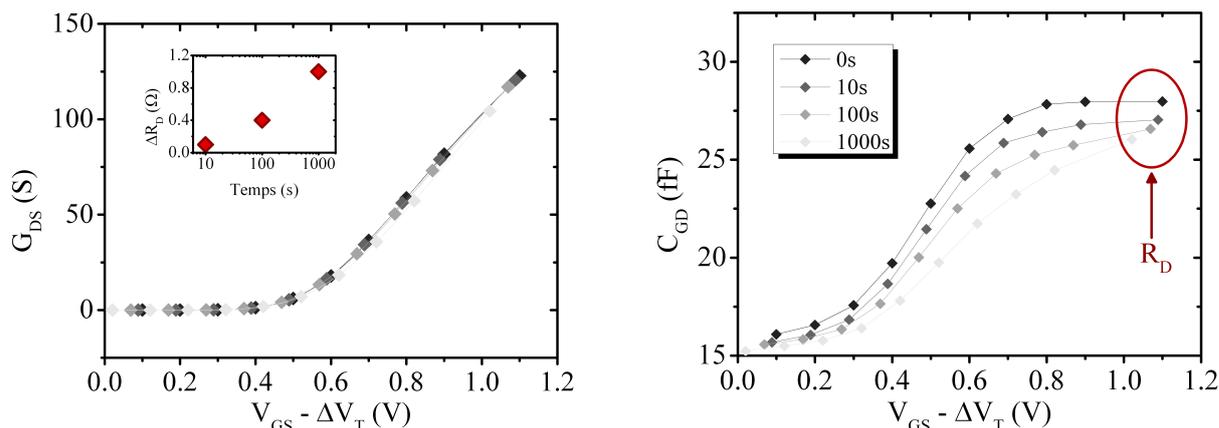


FIGURE IV.13 – Tracé du G_{DS} et C_{GD} en fonction de $V_{GS} - \Delta V_T$ à $V_{DS} = 0V$ pour différents temps de contrainte prenant en compte la réduction de mobilité et l'augmentation de la résistance parasite de drain R_D .

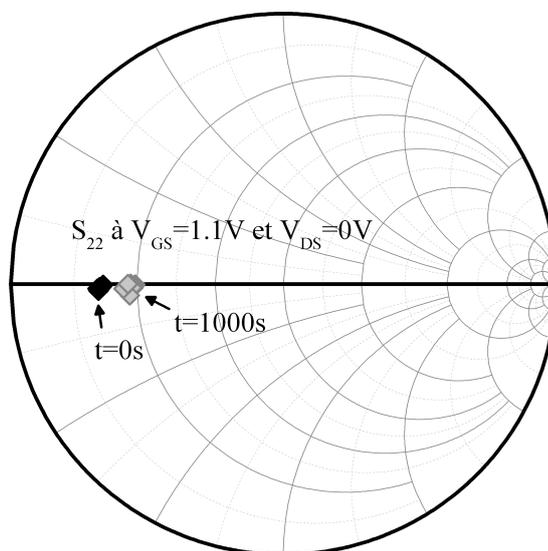


FIGURE IV.14 – Tracé du S_{22} à $V_{DS} = 0V$ et $V_{GS} = 1.1V$ sur l'abaque de Smith pour deux temps de contrainte ($t = 0s$ et $t = 1000s$).

IV.3.2.d La tension de bande plate dans la zone de recouvrement

L'intégration de la dérive de la tension de seuil, la réduction de mobilité et l'augmentation de la résistance parasite de drain au cours du temps de contrainte permet la compréhension totale du vieillissement du G_M et du G_{DS} . En ce qui concerne le C_{GD} , la confrontation de son vieillissement à $V_{GS} = 0V$ et V_{DS} variable, ainsi qu'à $V_{DS} = 0V$ et V_{GS} variable met en évidence le vieillissement de la composante extrinsèque du C_{GD} i.e. la capacité de bord et la capacité de recouvrement. Ces deux composantes ont été détaillées dans la partie I.3.2.b et III.3.4.c. La Figure IV.15 permet de mieux comprendre l'impact

de la composante extrinsèque. Le C_{GD} en fonction de $V_{GS} - V_{DS}$ est présenté et inclus les valeurs à $V_{GS} = 0V$ et V_{DS} variable, ainsi qu'à $V_{DS} = 0V$ et V_{GS} variable.

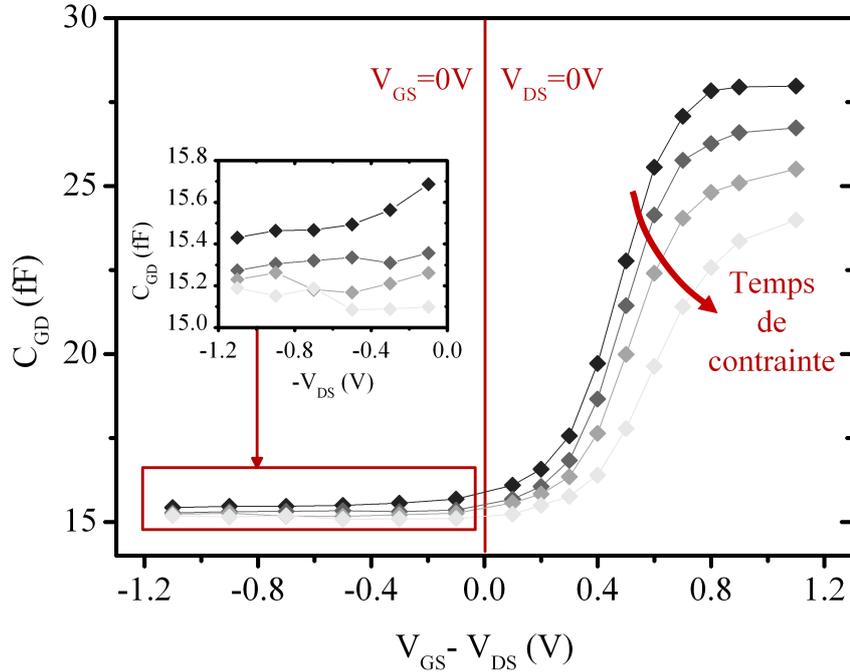


FIGURE IV.15 – Tracé du C_{GD} en fonction de $V_{GS} - V_{DS}$ à différents temps de contrainte. A gauche du trait rouge, les conditions à $V_{GS} = 0V$ et V_{DS} variable (les mêmes conditions en insert). Dans cette partie il n'y a que la composante extrinsèque du C_{GD} qui est présente. A droite du trait rouge, les conditions à $V_{DS} = 0V$ et V_{GS} variable. Dans cette partie les deux composantes, intrinsèque et extrinsèque, du C_{GD} sont présentes.

L'observation du vieillissement du C_{GD} à $V_{GS} = 0V$ et V_{DS} variable montre que les composantes de bord et de recouvrement sont impactées par la contrainte HC. Comme décrit dans [37], ce type de contrainte génère des défauts dans les espaceurs et la région des LDD. La dégradation des espaceurs se traduit par une dérive de la capacité de bord. La dégradation des LDD se traduit par une dérive de la tension de bande plate ($\Delta V_{FB,ov}$) au niveau de la zone de recouvrement n^+/n^- entre la grille et le drain. Le vieillissement de la composante extrinsèque se modélise au premier ordre par l'équation Eq. IV 6 du modèle BSIM [82] :

$$C_{GD}(V_{GD}) = C_{GD0}^* + C_{GDI} \cdot \left\{ 1 + \frac{v}{\sqrt{(V_{GD}^* + \delta)^2 + 4\delta}} \cdot \left[1 - \left(1 - \frac{4 \cdot v}{ckappad} \right)^{-1/2} \right] \right\} \quad (IV.6)$$

$$\text{avec } \delta = 0.02V, C_{GD0}^* = C_{GD0} + \Delta C_f, V_{GD}^* = V_{GD} - \Delta V_{FB,ov} \text{ et } v = 1/2 \cdot \left[\sqrt{(V_{GD}^* + \delta)^2 + 4\delta} \right].$$

C_{GD0} représente la partie constante de la capacité et inclut les capacités de bord. C_{GDI} et $ckappad$ sont associés à la dépendance en polarisation de la capacité. $V_{GD,ov}$ est une

fonction de lissage permettant de faire le lien entre les régimes d'accumulation et de déplétion de la zone de recouvrement. La dérive de la capacité de bord et de la tension de bande plate de la zone de recouvrement se traduit respectivement par les paramètres ΔC_f et $\Delta V_{FB,ov}$. Comme le montre la Figure IV.16, un bon accord est obtenu entre le modèle proposé et les mesures et permet donc de prendre en compte la dérive de la composante extrinsèque.

La Figure IV.17 présente l'évolution du C_{GD} intrinsèque au cours du temps de contrainte. Le C_{GD} intrinsèque est simplement obtenu par soustraction de la composante extrinsèque à la valeur effective du C_{GD} . Ces diverses intégrations ont permis de comprendre l'origine physique du vieillissement des paramètres petits signaux. La modélisation du vieillissement au niveau du modèle compact permettra de s'affranchir des imprécisions liées à l'utilisation de modèles physiques de premier ordre.

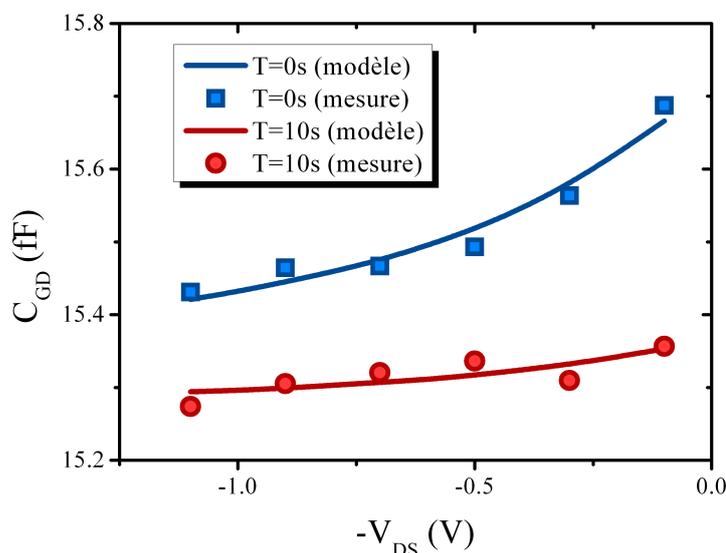


FIGURE IV.16 – Confrontation des mesures et du modèle pour le C_{GD} à $V_{GS} = 0V$ en fonction de $-V_{DS}$ à $t = 0s$ et $t = 10s$. Pour ces conditions de polarisation il n'y a que la composante extrinsèque qui est présente et son vieillissement s'explique par une dérive de la tension locale de bande plate et une dérive de la capacité de bord.

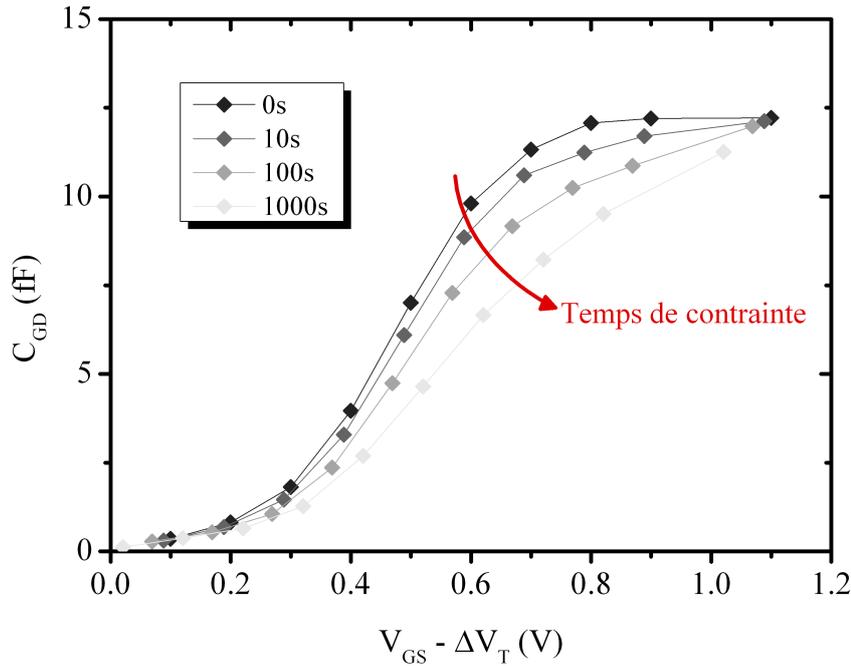


FIGURE IV.17 – Tracé du C_{GD} intrinsèque en fonction de $V_{GS} - \Delta V_T$ à $V_{DS} = 0V$ pour différents temps de contrainte prenant en compte l'augmentation de la résistance parasite de drain R_D et le vieillissement de la composante extrinsèque du C_{GD} .

IV.3.3 Outil de localisation de défauts

Comme décrit dans la partie II.3.3, les différents modes HC sont liés au flux et à l'énergie des porteurs du canal. Suivant ces facteurs et donc le mode HC mis en jeu, la génération de défauts peut s'étendre du canal à l'espaceur coté drain et cela à une conséquence directe sur la dégradation de la capacité C_{GD} .

Il a été observé dans la partie IV.3.1 que la dégradation de la capacité C_{GD} suite aux contraintes DC en mode 1, 3 et off-state est beaucoup plus étendue pour le mode 3 que le mode 1. Une information importante sur la signature de chacun des modes peut ainsi être fournie en tenant compte de l'étude de la partie précédente expliquant la dégradation de la capacité grille-drain C_{GD} . Dans un premier temps, la capacité de bord prend en compte les défauts générés au niveau des espaceurs. Puis, la dégradation de la tension de bande plate de la zone de recouvrement grille-drain, comme son nom l'indique, traduit l'impact des défauts générés au niveau du LDD. De l'observation de ces dégradations, on constate une signature unique du vieillissement de la capacité C_{GD} qui dépend de la répartition des porteurs et de la densité des défauts. Cette étude permet d'évaluer dans chacun des cas donnés un poids relatif de chacun des éléments dans un mode donné.

Cette étude permet de révéler la sensibilité de la capacité C_{GD} à la localisation des défauts et de comparer l'impact de ces défauts concernant différents modes de dégradation

HC. Il est aussi important de noter que ce type d'étude complète du schéma équivalent petit signal peut se généraliser aux différents mécanismes de dégradation et permettre une étude approfondie de la localisation des défauts générés.

IV.4 Design in Reliability (DiR)

IV.4.1 La fiabilité RF au niveau design

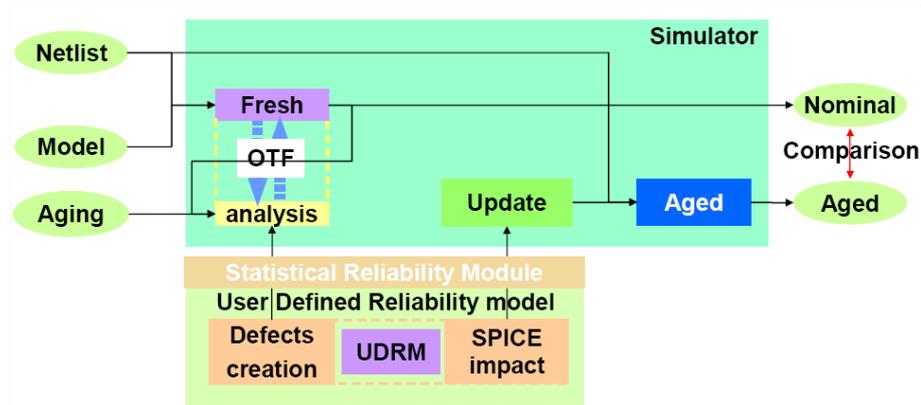


FIGURE IV.18 – Synoptique du processus de simulation de la fiabilité d'un circuit [83].

Les modèles et méthodes associés permettant d'estimer la dérive des paramètres électriques du transistor sont essentiels lors du développement d'un nouveau circuit. A l'échelle du transistor, il est possible d'établir des modèles de fiabilité avec des équations analytiques. Cependant cette approche n'est plus possible pour des circuits impliquant de nombreux MOS où les signaux impliqués sont plus complexes. Il devient alors indispensable de s'appuyer sur une approche basée sur l'utilisation du modèle compact pour établir un comportement du transistor MOS en état vieilli. Cet outil donne au concepteur des clés pour comprendre les faiblesses de son circuit et lui permet surtout de le rendre plus robuste au vieillissement. En pratique cette approche est un vrai atout afin d'éviter le sur-design, qui est très pénalisant en espace ou en performance, et en particulier pour des circuits visant des applications RF. Les concepteurs basent le choix des transistors à utiliser et la façon optimale de les positionner afin d'obtenir le meilleur compromis entre performance et fiabilité. La force de cette approche est de pouvoir reconstruire un profil de mission complet (i.e. temps, température, type d'utilisation, tension) et d'évaluer le comportement de son circuit en fin de vie. Cette approche est nommée fiabilité au niveau design ou Design in Reliability (DiR).

L'architecture du circuit en condition de fonctionnement est simulée au moyen de simulateur SPICE qui intègre le modèle compact de la technologie utilisée dans le circuit au moyen d'un fichier nommé carte modèle. Les simulations sont réalisées par un fichier

ASCII nommé netlist qui contient toutes les données caractérisant le circuit à analyser. De part cette simulation, certains simulateurs proposent une intégration de l'aspect fiabilité. Dans notre cas, cette approche a été réalisée au travers du simulateur ELDO.

Le synoptique de la Figure IV.18 décrit le processus complet permettant d'intégrer la fiabilité DiR sous ELDO. La simulation du circuit en fonctionnement est réalisée et permet de simuler la dégradation induite sur chaque transistor. Pour se faire, ELDO intègre un module nommé UDRM (User Defined Reliability Modeling) et composé de deux blocs :

- Le premier est nommé « Defect Creation » et tient compte des équations des modèles de vieillissement e.g. le modèle complet HC décrit par l'équation II.11. Le formalisme de l'âge est ainsi utilisé au travers d'une approximation quasi-statique comme décrit dans la partie II.5.1. Cet élément tient ainsi compte des potentiels effectifs présents sur chaque composant du circuit au cours du temps et utilise ces données pour calculer la dégradation de chacun des composants.
- Le second est nommé « SPICE impact » et traduit la dégradation de chacun des composants du circuit en termes de variation des paramètres du modèle compact.

Ainsi deux simulations permettent l'étude de la fiabilité du circuit. Une première simulation qui permet d'évaluer la dégradation de chacun des composants du circuit par l'intermédiaire de l'UDRM. Puis, une deuxième simulation tenant compte des paramètres du modèle compact vieilli est réalisée et permet de comparer les performances initiales du circuit.

IV.4.2 L'intégration du vieillissement au niveau du modèle compact

Une des bases de la simulation DiR porte sur la connaissance des paramètres du modèle SPICE impactés par la dégradation. Comme décrit dans la partie I.4, les modèles compacts se basent sur la résolution de l'équation implicite du potentiel de surface et permettent au travers de paramètres considérés le plus physiquement possible de simuler le fonctionnement du transistor. Au cours du processus de DiR, le modèle compact PSP102 [84] a été utilisé et les paramètres cités et décrits ci-dessous ont été identifiés pour interpréter la totalité du vieillissement DC du transistor soumis à une contrainte DC de type HC :

- u_0 qui représente la mobilité à champ nul
- d_{phibo} qui permet d'introduire un offset de la tension de seuil
- th_{sato} qui représente la vitesse de saturation

En utilisant ces paramètres et par l'intermédiaire de l'étude de la partie IV.2, les performances DC du transistor MOS peuvent être simulées pour des contraintes RF de

type HC jusqu'à 10GHz. Cependant en se limitant à la prise en compte de ces paramètres, le comportement petit signal du transistor MOS n'est pas complètement modélisé. Ceci s'explique par le fait que la dégradation qui a lieu dans la région extrinsèque du drain n'est pas intégrée.

En se référant à la compréhension de la dégradation du schéma équivalent petit signal décrite dans la partie IV.3.1, de nouveaux paramètres du modèle compact qui représente la dégradation de la résistance parasite de drain, de la capacité de bord et de la tension de bande plate au niveau de la zone de recouvrement n^+/n^- entre la grille et le drain ont été sélectionnés :

- La capacité de bord est représentée par le paramètre cfr .
- PSP est basé sur une approximation au niveau de la tension de bande plate de la zone de recouvrement. Etant donné qu'il s'agit d'une jonction n^+/n^- , la tension de bande plate locale a été considérée nulle et donc, il n'est pas possible d'introduire une dérive de cette tension de bande plate au niveau de PSP. Une solution a été de tenir compte de cette dérive au travers du paramètre lov qui, comme décrit dans la partie I.4.2.b.1 représente la longueur effective de la zone de recouvrement grille-drain et permet ainsi de reproduire la dégradation de la capacité de recouvrement grille-drain.
- La résistance parasite de drain n'est pas accessible dans la version 102 de PSP. Pour se faire, une résistance a été ajoutée à la carte modèle du transistor. Cette résistance tiendra compte de la dérive de la résistance parasite de drain. Néanmoins cette résistance de drain est toujours considérée comme étant indépendante de la polarisation. Comme détaillé dans la partie I.4.2.b.2, il est important de noter que lors du passage à la version 103 de PSP [85], la résistance sera directement accessible par un paramètre du modèle compact.

La dérive de ces trois derniers paramètres est implémentée dans un premier temps de manière semi-empirique aux simulations PSP dans le but de simuler complètement le vieillissement des différents éléments du schéma équivalent. La Figure IV.19 confronte les données expérimentales et la simulation avant et après 1000s d'application d'une contrainte RF de type HC mode 3 dont le tracé temporel a été défini à la Figure IV.4. Un bon accord est observé entre les données et la simulation. De même, comme illustré par la Figure IV.20 et Figure IV.21, la simulation des paramètres S présente un bon accord avec les données expérimentales et renforce la pertinence du modèle et des paramètres choisis.

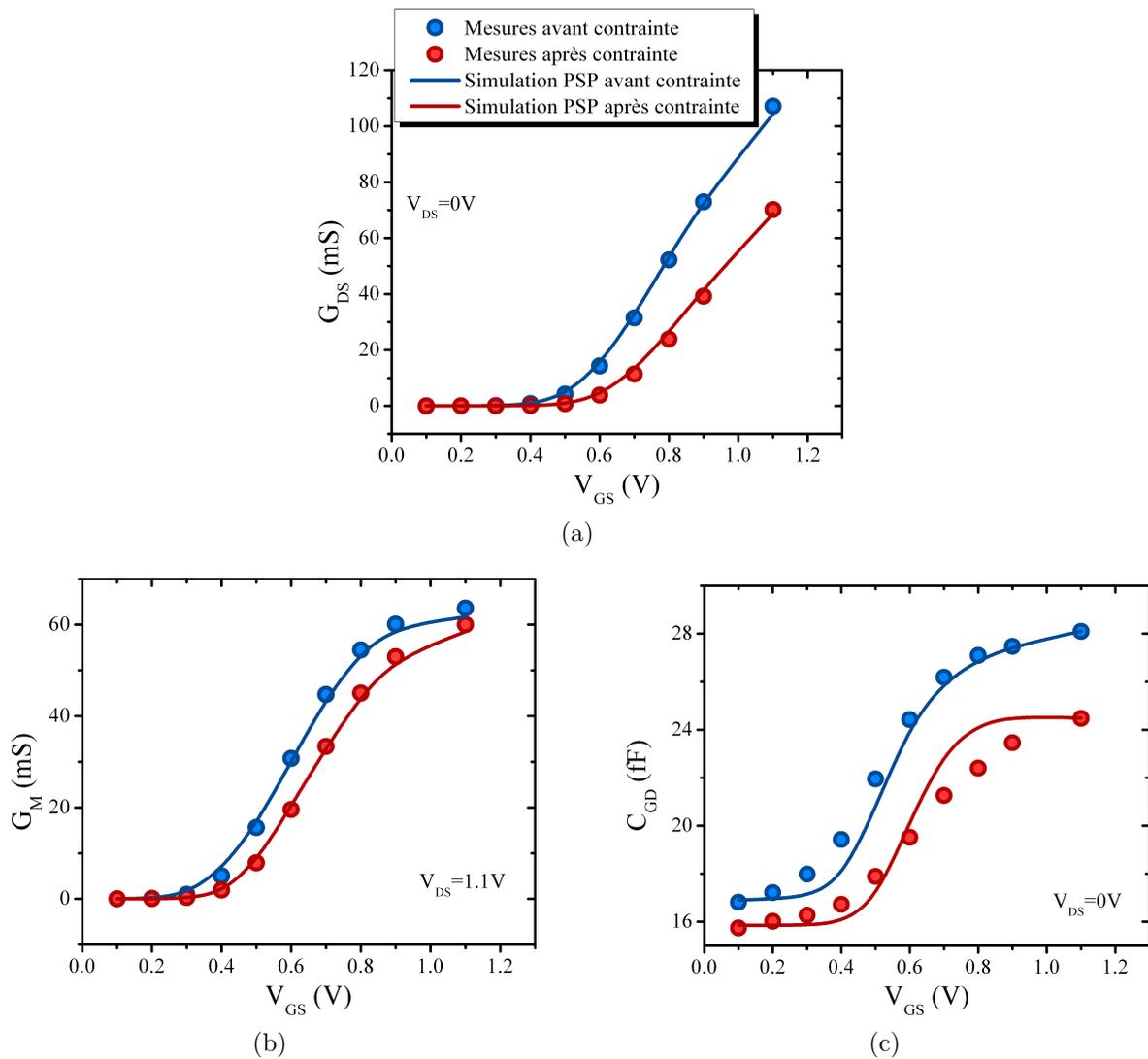


FIGURE IV.19 – Comparaison entre mesures et simulations PSP de certains éléments du schéma équivalent petit signal avant et après une contrainte RF.

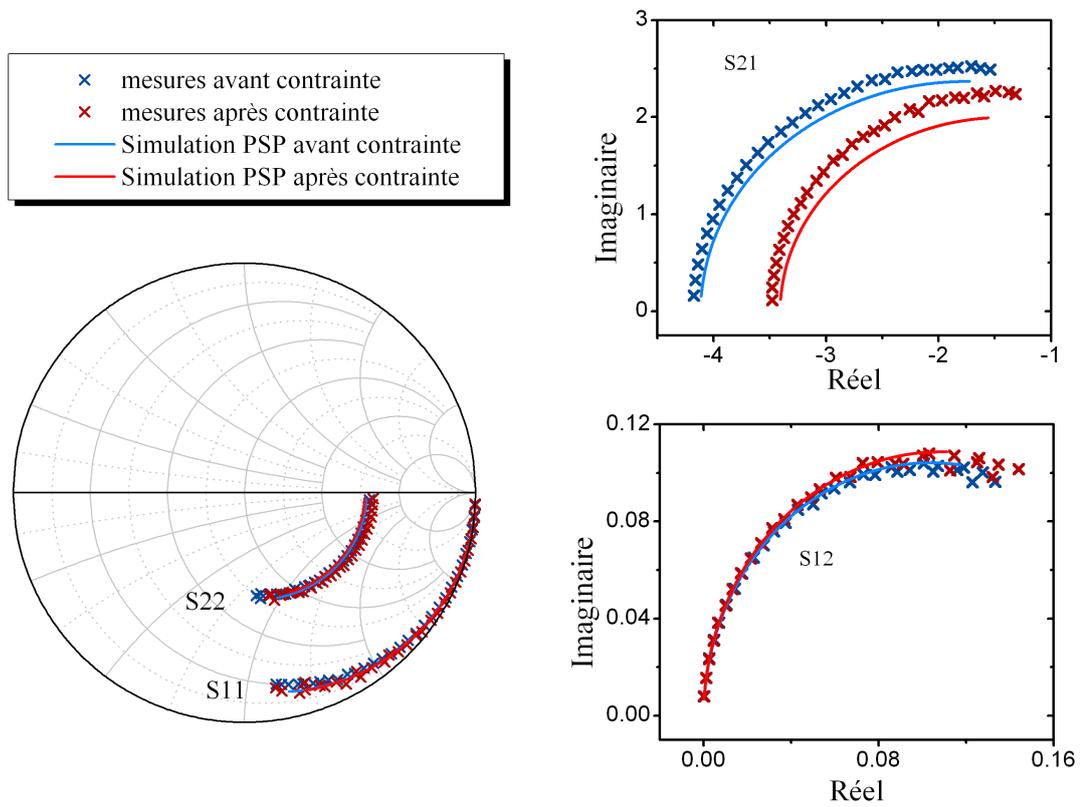


FIGURE IV.20 – Comparaison entre mesures et simulations PSP des paramètres S à $V_{GS} = 0.8V$ et $V_{DS} = 1.1V$ avant et après une contrainte RF.

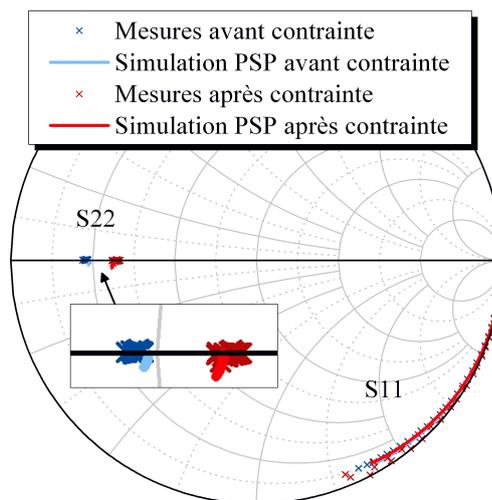


FIGURE IV.21 – Comparaison entre mesures et simulations PSP des paramètres S_{11} et S_{22} à $V_{GS} = 1.1V$ et $V_{DS} = 0V$ avant et après une contrainte RF. On observe que la dérive de la résistance de drain est prise en compte

IV.5 Conclusion

Ce chapitre a montré la pertinence du modèle multi-mode HC en validant expérimentalement la modélisation du vieillissement des paramètres DC soumis à des contraintes DC, AC et RF jusqu'à 10GHz. Les mesures ont pu être réalisées par l'intermédiaire du banc de mesure et de la méthodologie développés dans le Chapitre III. La modélisation repose sur une approche quasi-statique construite à partir d'un modèle complet pour des contraintes DC. Une limitation a néanmoins été mise en avant lors de contraintes en conditions de polarisation en classe AB. Lorsque la tension de grille est inférieure à la tension de seuil du transistor MOS, il voit un faible courant de porteurs ayant une grande énergie et qui sont responsables de la dégradation au niveau du drain. La prise en compte du mode de défaillance off-state est nécessaire pour l'amélioration de la modélisation.

Cette étude a été ensuite étendue aux paramètres RF du transistor MOS. La dégradation des paramètres S a été observée au travers du schéma équivalent petit signal et le C_{GD} , G_{DS} et G_M ont été identifiés comme les éléments le plus fortement impactés par une contrainte de type HC. La dégradation de ces éléments a été physiquement expliquée par la réduction de mobilité effective, la dérive de la tension de seuil, la dégradation de la résistance de drain parasite et la tension de bande plate locale de la zone de recouvrement grille-drain.

La dégradation de ces derniers a été implémentée au niveau du modèle compact et a permis de simuler le comportement RF du transistor MOS soumis à une contrainte HC. Cela permet d'être prédictif au niveau produit pour des applications RF par une extension du DiR.

Cette étude montre également que la méthodologie développée peut être utilisée en tant qu'outil de localisation de défauts. Les régions du transistor MOS impactées par les différents modes de dégradation HC ont pu ainsi être interprétées en analysant chacun des éléments du schéma équivalent. Ce type d'analyse à haute fréquence est surtout très utile pour des oxydes minces ayant un fort courant de fuite.

Conclusion générale

Ce manuscrit a présenté un travail de thèse portant sur l'étude de la fiabilité des transistors MOS en Radio Fréquence (RF). Cette étude a considéré l'extension de la fiabilité sur deux fronts tant au niveau d'une contrainte RF que des performances RF et a été consacrée à la dégradation par porteurs chauds des transistors MOS des filières technologiques 40nm.

Tout d'abord, le Chapitre **I** a posé les bases du fonctionnement du transistor MOS. Cette démarche a permis de définir les équations et notations nécessaires. La notion de potentiel de surface a été introduite qui par le biais d'une équation implicite permet d'expliquer analytiquement le comportement du transistor MOS. Ces bases ont permis d'aborder le fonctionnement petit signal du transistor sous une approche quasi-statique et d'aborder l'influence des éléments extrinsèques du transistor. Basés sur l'équation implicite du potentiel de surface, les modèles compacts en feuilles de charge permettent une modélisation analytique complète de tous ces éléments. Ces modèles sont essentiels pour la simulation de circuits complexes.

Les paramètres du transistor MOS qui ont été étudiés sont d'un intérêt majeur pour les études de fiabilité. Ainsi, le Chapitre **II** décrit les différents types de défauts susceptibles d'être générés au cours du fonctionnement du transistor MOS ainsi que l'impact de ces défauts sur ces paramètres électriques. L'origine de la génération de ces défauts s'explique par différents mécanismes de dégradation tels que les phénomènes d'instabilité des paramètres électriques sous contraintes négatives (NBTI), le claquage d'oxyde (TDDB) et le phénomène de porteurs chauds (HC). Après avoir décrit ces mécanismes, le Chapitre **II** aborde la modélisation de ces mécanismes qui est indispensable pour l'extraction des paramètres de durée de vie du transistor MOS. En détaillant le formalisme de la modélisation en « âge », le modèle complet de dégradation par porteurs chauds est présenté. Le concept de l'âge est indispensable pour pouvoir étendre l'étude des contraintes statiques aux contraintes dynamiques et notamment en Radio Fréquence (RF). Cependant ce concept nécessite la connaissance du signal appliqué (i.e. courant et tension) au niveau du transistor au cours du temps et oriente donc vers une modélisation dans le domaine temporel associé à une approche quasi-statique.

Les deux premiers chapitres ont défini les premières briques nécessaires à une extension de la fiabilité dans la gamme RF. Pour pouvoir adresser ce type d'étude expérimentale, une méthodologie complète en termes de mesures et d'analyse a été développée et est décrite dans le Chapitre III. Cette méthodologie se base sur un banc de mesure en puissance associé à une procédure entièrement automatisée permettant l'application d'une contrainte DC ou RF au niveau d'un transistor et le suivi en parallèle de l'évolution des paramètres DC et RF du transistor. Une méthode d'extraction du signal a aussi été développée pour évaluer le signal dans le domaine temporel dans le plan du transistor. En ce qui concerne l'analyse, l'évolution des paramètres RF s'est faite par l'étude du schéma équivalent petit signal qui est obtenu à partir de la mesure des paramètres S du transistor MOS.

Finalement, cette méthodologie a été appliquée et validée au cours du dernier chapitre en s'intéressant à la dégradation de type HC. Ce chapitre s'est articulé autour de deux axes. Dans un premier temps, l'étude du vieillissement des paramètres DC pour des contraintes AC puis RF jusqu'à 10GHz a été réalisée. La modélisation de ces paramètres par une approche quasi-statique s'est avérée très pertinente et a aussi permis de valider la méthodologie développée. Cette étude s'est ensuite étendue au vieillissement des paramètres RF. L'étude du schéma équivalent a révélé que les éléments les plus impactés sont la capacité grille-drain, la conductance et la transconductance. Une analyse complète a révélé que l'origine de la dégradation de ces éléments est liée à la réduction de mobilité effective, la dérive de la tension de seuil, la dégradation de la résistance de drain parasite et la tension de bande plate locale de la zone de recouvrement grille-drain. C'est ainsi qu'en implémentant le vieillissement de chacun de ces éléments au niveau du modèle compact il a été possible de simuler le comportement RF du transistor MOS soumis à une contrainte RF de type HC. Cela permet également d'être prédictif au niveau produit par une extension du DiR en RF.

Ce travail de thèse a donc contribué à :

- Développer une méthodologie de mesures et d'analyses permettant d'adresser la fiabilité des transistors MOS dans le domaine de la RF.
- Développer un nouvel outil de localisation de défauts.
- Valider la modélisation du vieillissement des paramètres statiques par une approche quasi-statique pour des contraintes RF de type porteurs chauds jusqu'à 10GHz.
- Comprendre et modéliser physiquement le vieillissement des paramètres RF pour des contraintes RF de type porteurs chauds.
- Constituer une expertise de fiabilité RF auprès des concepteurs de circuits dans le but d'obtenir le meilleur compromis entre performance et fiabilité.

Les résultats obtenus lors de ce travail de thèse ont été essentiellement basés sur le mécanisme de porteurs chauds. Cependant, la méthodologie développée a été mise en place dans le but d'être la plus générique possible et permet d'étendre l'étude aux autres mécanismes de dégradations. De plus, une extension de cette étude à plus haute fréquence permettrait de mettre en évidence l'apparition d'équilibre non stationnaire du transistor MOS. Ceci peut entraîner une dissociation entre le flux de courant et l'énergie des porteurs. Une discontinuité des modèles est donc attendue dépendant de la géométrie des transistors et de la fréquence étudiée.

Capacité de jonction

Le calcul de la capacité d'une jonction p/n est réalisé lorsque la jonction est polarisée en inverse. La capacité de jonction par unité de surface vaut [32] :

$$C_j = \frac{dQ_{dep}}{dV} \quad (\text{A.1})$$

$$Q_{dep} = q \cdot N_A \cdot W_p = q \cdot N_D \cdot W_n \quad (\text{A.2})$$

où W_p et W_n correspondent respectivement aux largeurs de la zone de déplétion du coté p et n . N_A et N_D sont les niveaux de dopages des zones p et n .

D'après les équations précédentes et dans le cas d'une jonction dont le profil est abrupt, il vient :

$$C_j = \sqrt{\frac{q\epsilon}{2(\phi_{bi} - V)} \cdot \left(\frac{N_A N_D}{N_A + N_D}\right)} \quad (\text{A.3})$$

avec ϕ_{bi} appelé potentiel interne de la jonction qui correspond à la tension aux bornes de la région de déplétion lorsqu'une tension externe n'est appliquée et vaut :

$$\phi_{bi} = \phi_T \ln \left(\frac{N_A N_D}{n_i^2} \right) \quad (\text{A.4})$$

n_i est la concentration intrinsèque en porteur du semiconducteur.

En tenant compte du fait qu'une zone est plus dopée, il est possible d'introduire N_B qui vaut N_A ou N_D suivant que $N_A \gg N_D$ ou $N_D \gg N_A$, et la capacité de jonction par unité de surface se simplifie telle que :

$$C_j = \sqrt{\frac{q\epsilon N_B}{2(\phi_{bi} - V)}} \quad (\text{A.5})$$

L'équation A.5 peut être réécrite telle que :

$$C_j = \frac{C_{j0}}{\left(1 - \frac{V}{\phi_{bi}}\right)^{1/2}} \quad (\text{A.6})$$

C_{j0} correspond à une capacité constante indépendante de la polarisation :

$$C_{j0} = \sqrt{\frac{q\epsilon N_B}{2\phi_{bi}}} \quad (\text{A.7})$$

Dans la réalité la jonction n'a pas un profil abrupt et l'équation A.6 se généralise par :

$$C_j = \frac{C_{j0}}{\left(1 - \frac{V}{\phi_{bi}}\right)^m} \quad (\text{A.8})$$

Liste des figures

.1	Exemple de profil de mission en tension adressé aux bornes d'un transistor MOS dans le cas d'application RF.	3
I.1	Schéma d'un transistor MOS de type n	6
I.2	Distribution des charges et diagramme de bandes dans un transistor MOS de type n pour les différents régimes de fonctionnement : (a) accumulation (b) déplétion (c) inversion.	7
I.3	Structure de bandes du transistor n-MOS en régime d'inversion sous l'effet d'une polarisation V_{DS} . φ_S représente le potentiel de surface, φ_F représente le potentiel de fermi, et V_c le potentiel de quasi-fermi qui correspond à la différence des quasi-niveaux de fermi des porteurs majoritaires et minoritaires.	8
I.4	Simulation du potentiel de surface en fonction de sa position le long du canal du transistor en partant de la source (φ_{S0}) vers le drain (φ_{SL}) [2]	10
I.5	(a) Potentiel de surface évalué à la source et au drain en fonction de la tension de grille qui définit les conditions limites nécessaires à l'évaluation du courant de drain. (b) Courant de drain du transistor en fonction de la tension de grille mettant en avant les deux composantes de conduction et de diffusion.	13
I.6	Structure simplifiée de la partie intrinsèque du transistor MOS permettant de définir les charges et courants lors d'un fonctionnement dynamique du transistor	14
I.7	Analyse graphique de la fonction d'amplification d'un transistor MOSFET lors de l'application d'un signal triangulaire en entrée (Grille).	20
I.8	Représentation des classes de fonctionnement d'un transistor en fonction du choix de son point de repos défini sur la droite de charge.	21
I.9	Variation (%) du I_{on} , μ_{eff} et R_{sd} pour deux dopages différents des LDD (1.1015 et 5.1014at/cm^2) dans le cas d'un pMOSFET.	22
I.10	Capacités de jonction surfacique (C_{j1}) et périmétriques (C_{j2} et C_{j3}) générées autour de la source (ou drain) par la zone de déplétion.	23
I.11	Capacité grille-drain en fonction de la tension de grille pour différentes longueurs de transistor. La partie extrinsèque est dominante à faible tension. . . .	24
I.12	Schéma représentant les différentes capacités extrinsèques présentes au niveau du drain.	24

I.13	Représentation de la zone de LDD côté source d'un transistor en (a) et son schéma électrique concernant la partie résistive en (b). La symétrique s'applique du côté du drain.	25
I.14	Nombre de paramètres des modèles compacts en fonction de leur année d'introduction [8].	27
I.15	Comparaison entre le courant de drain simulé par le modèle PSP et les mesures expérimentales réalisées sur un transistor n-MOS ($W/L = 57.6/0.04\mu m$).	28
II.1	Evolution du champ électrique latéral présent dans le transistor en fonction de la longueur de canal des transistors [15]	32
II.2	Motif élémentaire tétraédrique SiO_4 comportant un atome de Silice au centre et des atomes d'oxygène aux quatre sommets	33
II.3	Groupement de molécules de SiO_2 a) sans lacune d'oxygène et b) avec lacune d'oxygène.	34
II.4	Représentation de la formation des centres E' de type γ et δ à partir d'une lacune d'oxygène et sous l'effet d'un trou (h).	35
II.5	Représentation des différentes phases de formation d'un centre E'_γ basées sur le modèle de charge détaillé dans [21]. En jaune les atomes de silicium et en rouge les atomes d'oxygène.	36
II.6	Représentation schématique des défauts présents dans la couche d'interface. Le centre X en (a), Y en (b) et E'_h en (c).	37
II.7	Structure des centres P_b qui sont responsables des défauts d'interface.	37
II.8	Dérives des paramètres électriques en régime linéaire ($V_{DS} = 50mV$) du transistor MOS avant et après l'application d'une contrainte électrique.	39
II.9	Représentation du modèle de réaction diffusion historiquement défini pour décrire la génération de défauts d'interface sous application d'une contrainte NBT. La dissociation des liaisons $Si - H$ par le champ électrique de l'oxyde se suit d'une diffusion de l'hydrogène qui est défini comme facteur limitant de la dégradation.	41
II.10	Dérive de la tension de seuil au cours d'une contrainte de type NBT mettant en évidence les deux composantes de la dégradation NBTI avec une partie permanente D_p et une partie recouvrable D_r qui s'auto-guérit lors de l'interruption de la contrainte.	42
II.11	(a) Génération et injection d'électrons chauds sous ionisation par impact dans un transistor de type nMOS.(b) évolution du champ latéral électrique en fonction de la position le long du canal à une profondeur de $0.8nm$ de l'interface Si/SiO_2 obtenue par simulation TCAD Monte Carlo pour un dispositif nMOS ($T_{ox} = 1.7nm, L = 0.042\mu m$) sous polarisation de type HC $V_{GS} = V_{DS} = 1.4V$	43
II.12	Evolution du courant de substrat en fonction de V_{DS}	44

II.13 Représentation schématique des modes de rupture de la liaison $Si - H$ [35]. L'énergie potentielle de liaison est représentée par un puits de potentiel de profondeur E_B qui sépare l'atome d'hydrogène des sites de transports. E_B correspond à l'énergie de dissociation de la liaison $Si - H$	45
II.14 (a) Evolution des différents courants du transistor nMOS lors de l'application d'une contrainte électrique à tension constante sur la grille. Lorsque les pré-mices du claquage apparaissent par un bruit sur le courant de grille et même après le claquage de l'oxyde, aucun n'impact n'est répercuté sur le courant de drain du transistor.(b) Schéma représentant la génération aléatoire des défauts dans l'oxyde à différents temps de contrainte CVS associés à l'évolution du courant de grille en (a). Le claquage se produit lors de la formation du chemin de percolation indiqué par les cercles rouges.	47
II.15 Dérive du courant linéaire au cours du temps pour une contrainte à $V_{GS} = 1.8V$ et V_{DS} variable sur un nMOS. Les losanges correspondent aux mesures et les lignes à l'application du modèle de Takeda.	49
II.16 Représentation de la durée de vie τ du transistor pour 10% de dégradation du courant saturé en fonction de I_{DS}/W et I_{BS}/I_{DS} montre les 3 modes (M1, M2, M3) de dégradation HC.	50
II.17 Evolution de la dégradation de V_T pour des différents V_{DS} représentée en fonction du temps de contrainte à gauche et de l'âge à droite [52].	53
III.1 Représentation d'un quadripôle.	56
III.2 En (a) une analogie à l'optique pour la compréhension des paramètres S. La lentille étant partiellement réfléchissante, une partie de la lumière incidente est réfléchié tandis qu'une autre est transmise. Si à la place de la lumière on injecte une puissance RF et non pas dans une lentille mais dans un dispositif deux ports terminé par une charge Z_0 , on observera rigoureusement le même phénomène décrit en (b).	58
III.3 Représentation graphique de la construction d'une abaque de Smith en partant d'un plan complexe.	59
III.4 description du banc de mesure de paramètre S sous pointes.	60
III.5 standard de calibration présent sur un substrat ISS pour la méthode SOLT : (a) open, (b) load, (c) short et (d) transmission.	62
III.6 Mise en évidence de la différence entre la méthode de calibration et d'épluchage.	63
III.7 Motif circuit ouvert (OPEN) en (a) et court-circuit (SHORT) en (b) et leurs schémas équivalents respectifs en (b) et (d).	63
III.8 Schéma équivalent des éléments parasites du DUT.	64
III.9 Synoptique du banc entièrement automatisé de type load pull passif.	66

III.10	Configuration du banc de mesure type load pull pour l'étude de la fiabilité sous contrainte DC.	67
III.11	Puissance de sortie en fonction de la puissance d'entrée d'un nMOS polarisé en classe A.	68
III.12	Circuit deux ports non linéaire relié à une source de tension.	68
III.13	Représentation du signal à la fréquence fondamentale de 900 MHz et le signal aux harmoniques du 1er et 2ème ordre pour un transistor nMOS ($W/L = 57.6/0.04\mu m$) polarisé à $V_{GS} = 0.7V$ et $V_{DS} = 1.3V$ et $P_{IN} = 0dBm$	70
III.14	Synoptique du banc avec les commutateurs en position horizontale. En rouge le chemin que suit le signal injecté par le générateur RF qui traverse les tuners et le DUT. Les accès en entrée et en sortie sont représentés dans les parties grisées.	71
III.15	Synoptique du banc mettant en avant les calibrations coaxiales SOL 1 port au niveau des switch 1 et 4.	72
III.16	Synoptique du banc mettant en avant la configuration pour la caractérisation des accès en entrée et en sortie. La caractérisation des accès se fait en exploitant la mesure des standards SOL présents sur l'ISS	72
III.17	Représentation de l'accès en entrée par un quadripole et ses coefficients de réflexion associés en fonction du standard présenté en sortie i.e. Open, Short ou Load.	74
III.18	Représentation des impédances de source et de charge présentées au DUT à 900MHz dans le plan des sondes. L'objectif est de balayer l'abaque de Smith par des cercles concentriques afin de pouvoir identifier le couple d'impédances optimisant le gain du DUT.	74
III.19	Décomposition du banc de mesure sous forme de bloc.	75
III.20	Schéma électrique équivalent. PAD_{IN} et PAD_{OUT} représente les éléments parasites de la structure de test.	76
III.21	Schéma utilisé pour l'épluchage en entrée du DUT.	77
III.22	Schéma utilisé pour l'épluchage en sortie du DUT.	78
III.23	Schéma de simulation HB sous ADS.	79
III.24	En (a) le schéma équivalent petit signal du transistor en source commune utilisé pour la modélisation physique de celui-ci et en (b) son intégration physique dans le transistor.	81
III.25	En (a) et (b), mesure de la transconductance G_M et de la conductance G_{DS} en fonction de V_{GS} d'un transistor nMOS en technologie 40nm à $f = 5GHz$ et pour $V_{DS} = 1.1V$. En (c) la même démarche pour le G_{DS} à $V_{DS} = 0V$	83

III.26	En (a) mesure de la capacité extrinsèque C_{GD} en fonction de V_{DS} d'un transistor nMOS en technologie 40nm à $f = 5GHz$ et pour $V_{GS} = 0mV$. En (b) la variation en fréquence de la capacité C_{GD} pour le point de polarisation $V_{DS} = 500mv$ et $V_{GS} = 0V$. En (c) la même démarche qu'en (a) pour la capacité C_{GD} en fonction de V_{GS} à $V_{DS} = 0V$	84
III.27	En (a) mesure de la capacité extrinsèque $C_{BD} + C_{DS}$ en fonction de V_{DS} d'un transistor nMOS en technologie 40nm à $f = 5GHz$ et pour $V_{GS} = 0mV$. En (b) la variation en fréquence de la capacité $C_{BD} + C_{DS}$ pour le point de polarisation $V_{DS} = 500mv$ et $V_{GS} = 0V$	85
III.28	Diagramme décrivant la procédure à suivre pour l'étude de la fiabilité du transistor MOS sous vieillissement RF.	86
IV.1	Confrontation entre les données expérimentales et le modèle complet pour différentes conditions de contraintes DC sur nMOS 1.7nm. Une extrapolation des données et du modèle est réalisée à $V_{DS} = V_{GS} = 1.1V$	89
IV.2	Configuration du transistor lorsqu'il est soumis à une contrainte AC. Deux pulses sont appliqués en opposition de phase sur la grille et le drain.	90
IV.3	En (a), (b), (c) et (d) sont représentées les données relatives aux contraintes AC définies respectivement dans le Tableau IV.1. A gauche, les mesures du vieillissement du courant linéaire sont confrontées au modèle. A droite, le tracé temporel des contraintes AC et la vitesse instantanée de vieillissement pour chaque mode HC.	91
IV.4	A gauche, les mesures du vieillissement du courant linéaire sont confrontées au modèle ainsi que le schéma explicatif de la configuration du transistor lorsqu'il est soumis à la contrainte RF. A droite, le tracé temporel de la contrainte RF appliquée sur le drain et la vitesse instantanée de vieillissement totale. En ce qui concerne la contrainte, une puissance de 9dBm est injectée à 1GHz sur le drain avec un point de repos à $V_{GS} = 1.8V$ et $V_{DS} = 1V$	92
IV.5	A gauche, les mesures du vieillissement du courant linéaire sont confrontées au modèle ainsi que le schéma explicatif de la configuration du transistor lorsqu'il est soumis à des contraintes RF de 6GHz et 10GHz. A droite, le tracé temporel des contraintes RF appliquées sur le drain et la vitesse instantanée de vieillissement totale.	93

IV.6	A gauche, les mesures du vieillissement du courant linéaire sont confrontées au modèle ainsi que le schéma explicatif de la configuration du transistor lorsqu'il est soumis à une contrainte en classe AB à 0.9GHz. A droite, le tracé temporel de la contrainte RF appliquées sur le drain et la vitesse instantanée de vieillissement totale. L'écart entre la mesure et le modèle s'explique parce que la dégradation, qui se produit lorsque la tension de grille est en dessous de la tension de seuil n'est pas prise en compte dans le modèle HC.	94
IV.7	Vieillessement du G_M , G_{DS} et C_{GD} pour différents temps de contrainte. En (a) la contrainte est de mode 3 avec $V_{GS} = V_{DS} = 1.8V$. En (b) la contrainte est de mode 1 avec $V_{GS} = 0.4V$ et $V_{DS} = 2.4V$. En (c), la contrainte est en off state avec $V_{GS} = 0V$ et $V_{DS} = 2.8V$	96
IV.8	Dérive des principaux paramètres DC dans le cas d'une contrainte HC à $V_{GS} = V_{DS} = 1.8V$ sur un nMOS 1.7nm ($W/L = 57.6/0.04\mu m$).	97
IV.9	Tracé du G_M en fonction de $V_{GS} - \Delta V_T$ à $V_{DS} = 1.1V$ pour différents temps de contrainte.	98
IV.10	Tracé du G_{DS} et C_{GD} en fonction de $V_{GS} - \Delta V_T$ à $V_{DS} = 0V$ pour différents temps de contrainte.	98
IV.11	Tracé du G_{DS} en fonction de $V_{GS} - \Delta V_T$ à $V_{DS} = 1.1V$ pour différents temps de contrainte en tenant compte de la réduction de mobilité dans la zone d'inversion.	99
IV.12	Représentation du pont diviseur de tension réalisé par le C_{GD} , G_{DS} et R_D du schéma équivalent petit signal du transistor.	100
IV.13	Tracé du G_{DS} et C_{GD} en fonction de $V_{GS} - \Delta V_T$ à $V_{DS} = 0V$ pour différents temps de contrainte prenant en compte la réduction de mobilité et l'augmentation de la résistance parasite de drain R_D	101
IV.14	Tracé du S_{22} à $V_{DS} = 0V$ et $V_{GS} = 1.1V$ sur l'abaque de Smith pour deux temps de contrainte ($t = 0s$ et $t = 1000s$).	101
IV.15	Tracé du C_{GD} en fonction de $V_{GS} - V_{DS}$ à différents temps de contrainte. A gauche du trait rouge, les conditions à $V_{GS} = 0V$ et V_{DS} variable (les mêmes conditions en insert). Dans cette partie il n'y a que la composante extrinsèque du C_{GD} qui est présente. A droite du trait rouge, les conditions à $V_{DS} = 0V$ et V_{GS} variable. Dans cette partie les deux composantes, intrinsèque et extrinsèque, du C_{GD} sont présentes.	102
IV.16	Confrontation des mesures et du modèle pour le C_{GD} à $V_{GS} = 0V$ en fonction de V_{DS} à $t = 0s$ et $t = 10s$. Pour ces conditions de polarisation il n'y a que la composante extrinsèque qui est présente et son vieillissement s'explique par une dérive de la tension locale de bande plate et une dérive de la capacité de bord.	103

IV.17	Tracé du C_{GD} intrinsèque en fonction de $V_{GS} - \Delta V_T$ à $V_{DS} = 0V$ pour différents temps de contrainte prenant en compte l'augmentation de la résistance parasite de drain R_D et le vieillissement de la composante extrinsèque du C_{GD}	104
IV.18	Synoptique du processus de simulation de la fiabilité d'un circuit [83].	105
IV.19	Comparaison entre mesures et simulations PSP de certains éléments du schéma équivalent petit signal avant et après une contrainte RF.	108
IV.20	Comparaison entre mesures et simulations PSP des paramètres S à $V_{GS} = 0.8V$ et $V_{DS} = 1.1V$ avant et après une contrainte RF.	109
IV.21	Comparaison entre mesures et simulations PSP des paramètres S_{11} et S_{22} à $V_{GS} = 1.1V$ et $V_{DS} = 0V$ avant et après une contrainte RF. On observe que la dérive de la résistance de drain est prise en compte	109

Liste des tableaux

.1	Comparaison de différentes caractéristiques des technologies GaAs, CMOS-Si et BiCMOS-Si.	1
I.1	Correspondances entre le potentiel de surface et les différents régimes de fonctionnement du transistor MOS.	10
I.2	Correspondances entre les classes de fonctionnement et le pourcentage du signal d'entrée utilisé.	19
IV.1	Détails des contraintes AC étudiées. Les valeurs minimum et maximum des tensions de drain (V_{DS}) et de grille (V_{GS}) appliquées sont données.	90

Bibliographie

- [1] Y. Tsvividis, *Operation and Modeling of the MOS Transistor*, 2nd ed. McGraw-Hill, Inc., 1999.
- [2] M. Miura-Mattausch and H. Mattausch, *The physics and modeling of MOSFETS : surface-potential model HiSIM*, 2008.
- [3] J. R. Brews, “A charge-sheet model of the MOSFET,” *Solid-State Electronics*, vol. 21, no. 2, pp. 345–355, 1978.
- [4] D. Ward and R. Dutton, “Transient analysis of MOS transistors,” *IEEE Trans. Electron Devices*, vol. 27, no. 8, pp. 1571–1578, Août. 1980.
- [5] E. Gondro, O. Kowarik, G. Knoblinger, and P. Klein, “When do we need non-quasistatic CMOS RF-models?” in *IEEE Custom Integrated Circuits Conference*, 2001, pp. 377–380.
- [6] D. Ward and R. Dutton, “A charge-oriented model for MOS transistor capacitances,” *IEEE J. Solid-State Circuits*, vol. 13, no. 5, pp. 703–708, 1978.
- [7] I. J. Bahl, *Fundamentals of RF and Microwave Transistor Amplifiers*. Hoboken, NJ, USA : John Wiley & Sons, Inc., Juin 2009.
- [8] F. Prégaldiny, “Etude et modélisation du comportement électrique des transistors MOS fortement submicroniques,” Ph.D. dissertation, Dec. 2003.
- [9] E. Gondro, P. Klein, and F. Schuler, “An analytical source-and-drain series resistance model of quarter micron MOSFETs and its influence on circuit simulation,” in *IEEE International Symposium on Circuits and Systems*, vol. 6, 1999, pp. 206–209.
- [10] K. Ng and W. Lynch, “The impact of intrinsic series resistance on MOSFET scaling,” *IEEE Trans. on Electron Devices*, vol. 34, no. 3, pp. 503–511, Mar. 1987.
- [11] Y. Zhiping and T. Lilin, “Recent progress in MOS compact modeling,” in *Proceedings. 7th International Conference on Solid-State and Integrated Circuits Technology, 2004.*, vol. 2, pp. 916–919.

- [12] G. Gildenblat, *Compact modeling : principles, techniques and applications*, 2010.
- [13] R. Rios, S. Mudanai, W. Shih, and P. Packan, “An efficient surface potential solution algorithm for compact MOSFET models,” in *IEEE International Electron Devices Meeting*, 2004, pp. 755–758.
- [14] M. Denais, V. Huard, C. Parthasarathy, G. Ribes, F. Perrier, N. Revil, and A. Bravaix, “Oxide field dependence of interface trap generation during negative bias temperature instability in PMOS,” in *IEEE International Integrated Reliability Workshop Final Report*, 2004, pp. 109–112.
- [15] A. Bravaix, “Hot-Carrier Degradation in advanced CMOS nodes : From the NBTI shadow back to the front scene,” in *IEEE International Reliability Physics Symposium Tutorial Note*, Avr. 2011.
- [16] F. Grunthaner, P. Grunthaner, R. Vasquez, B. Lewis, J. Maserjian, and A. Madhukar, “High-Resolution X-Ray Photoelectron Spectroscopy as a Probe of Local Atomic Structure : Application to Amorphous SiO₂ and the Si-SiO₂ Interface,” *Physical Review Letters*, vol. 43, no. 22, pp. 1683–1686, Nov. 1979.
- [17] G. Barbottin and A. Vapaille, *Instabilities in Silicon Devices : New Insulators Devices and Radiation Effects*. North-Holland.
- [18] D. Ang and K. Pey, “Evidence for Two Distinct Positive Trapped Charge Components in NBTI Stressed p-MOSFETs Employing Ultrathin CVD Silicon Nitride Gate Dielectric,” *IEEE Electron Device Letters*, vol. 25, no. 9, pp. 637–639, Sep. 2004.
- [19] S. Karna, a.C. Pineda, R. Pugh, W. Shedd, and T. Oldham, “Electronic structure theory and mechanisms of the oxide trapped hole annealing process,” *IEEE Transactions on Nuclear Science*, vol. 47, no. 6, pp. 2316–2321, 2000.
- [20] C. J. Nicklaw, Z.-Y. Lu, D. M. Fleetwood, R. D. Schrimpf, and S. T. Pantelides, “Structure, properties, and dynamics of oxygen vacancies in amorphous SiO₂,” *Physical review letters*, vol. 89, no. 28 Pt 1, p. 285505, Dec. 2002.
- [21] T. Grasser, “Charge Trapping in Oxides : From RTN to NBTI,” in *IEEE International Reliability Physics Symposium Tutorial Note*, 2011.
- [22] S. Karna, H. Kurtz, W. Shedd, R. Pugh, and B. Singaraju, “New fundamental defects in a-SiO₂,” *IEEE Trans. on Nuclear Science*, vol. 46, no. 6, pp. 1544–1552, 1999.
- [23] Y. Nishi, “Study of Silicon-Silicon Dioxide Structure by Electron Spin Resonance I,” *Japanese Journal of Applied Physics*, vol. 10, no. 1, pp. 52–62, Jan. 1971.

-
- [24] E. H. Poindexter, P. J. Caplan, B. E. Deal, and R. R. Razouk, "Interface states and electron spin resonance centers in thermally oxidized (111) and (100) silicon wafers," *Journal of Applied Physics*, vol. 52, no. 2, p. 879, 1981.
- [25] K. L. Brower, "Si hyperfine structure of unpaired spins at the Si/SiO₂ interface," *Applied Physics Letters*, vol. 43, no. 12, p. 1111, 1983.
- [26] W. Shockley and W. Read, "Statistics of the Recombinations of Holes and Electrons," *Physical Review*, vol. 87, no. 5, pp. 835–842, Sep. 1952.
- [27] K. O. Jeppson and C. M. Svensson, "Negative bias stress of MOS devices at high electric fields and degradation of MNOS devices," *IEEE Journal of Applied Physics*, vol. 48, no. 5, p. 2004, 1977.
- [28] M. Ershov, S. Saxena, H. Karbasi, S. Winters, S. Minehane, J. Babcock, R. Lindley, P. Clifton, M. Redford, and a. Shibkov, "Dynamic recovery of negative bias temperature instability in p-type metal–oxide–semiconductor field-effect transistors," *Applied Physics Letters*, vol. 83, no. 8, p. 1647, 2003.
- [29] C. Schlunder, R. Brederlow, B. Ankele, W. Gustin, K. Goser, and R. Thewes, "Effects of inhomogeneous negative bias temperature stress on p-channel MOSFETs of analog and RF circuits," *Microelectronics Reliability*, vol. 45, no. 1, pp. 39–46, Jan. 2005.
- [30] T. Grasser, T. Aichinger, G. Pobegen, H. Reisinger, P. Wagner, J. Franco, M. Nelhiebel, and B. Kaczer, "The ' Permanent ' Component of NBTI : Composition and Annealing," in *IEEE International Reliability Physics Symposium*, 2011, pp. 605–13.
- [31] E. Takeda and N. Suzuki, "An empirical model for device degradation due to hot-carrier injection," *IEEE Electron Device Letters*, vol. 4, no. 4, pp. 111–113, 1983.
- [32] N. Arora, *Mosfet modeling for VLSI simulation : theory and practice*. World Scientific Publishing Company, 2007.
- [33] K. Lim and X. Zhou, "An analytical effective channel-length modulation model for velocity overshoot in submicron MOSFETs based on energy-balance formulation," *Microelectronics Reliability*, vol. 42, no. 12, pp. 1857–1864, Dec. 2002.
- [34] A. W. Strong, E. Y. Wu, R.-P. Vollertsen, J. Su, G. La Rosa, S. E. Rauch, and T. D. Sullivan, *Reliability Wearout Mechanisms in Advanced CMOS Technologies*. Hoboken, NJ, USA : John Wiley & Sons, Inc., Aoû. 2009.

- [35] C. Guerin, V. Huard, and A. Bravaix, "General framework about defect creation at the Si/SiO₂ interface," *Journal of Applied Physics*, vol. 105, no. 11, p. 114513, 2009.
- [36] A. Muehlhoff, "An extrapolation model for lifetime prediction for off-state-Degradation of MOS-FETs," *Microelectronics Reliability*, vol. 41, pp. 1289–93, 2001.
- [37] A. Bravaix, C. Guerin, D. Goguenheim, V. Huard, D. Roy, C. Besset, S. Renard, Y. M. Randriamihaja, and E. Vincent, "Off state incorporation into the 3 energy mode device lifetime modeling for advanced 40nm CMOS node," in *IEEE International Reliability Physics Symposium*, 2010, pp. 55–64.
- [38] J. Sune, I. Placencia, N. Barniol, E. Farres, F. Martin, and X. Aymerich, "On the breakdown statistics of very thin SiO₂ films," *Thin Solid Films*, vol. 185, no. 2, pp. 347–362, Mar. 1990.
- [39] R. Degraeve, G. Groeseneken, R. Bellens, M. Depas, and H. Maes, "A consistent model for the thickness dependence of intrinsic breakdown in ultra-thin oxides," in *International Electron Devices Meeting*, 1995, pp. 863–866.
- [40] R. Degraeve, G. Groeseneken, R. Bellens, J. Ogier, M. Depas, P. Roussel, and H. Maes, "New insights in the relation between electron trap generation and the statistical properties of oxide breakdown," *IEEE Transactions on Electron Devices*, vol. 45, no. 4, pp. 904–911, Avr. 1998.
- [41] J. H. Stathis, "Percolation models for gate oxide breakdown," *Journal of Applied Physics*, vol. 86, no. 10, p. 5757, Nov. 1999.
- [42] J. W. McPherson, "Extended Mie-Gruneisen molecular model for time dependent dielectric breakdown in silica detailing the critical roles of O–SiO₃ tetragonal bonding, stretched bonds, hole capture, and hydrogen release," *Journal of Applied Physics*, vol. 99, no. 8, p. 083501, 2006.
- [43] K. Schuegraf, "Hole injection SiO₂ breakdown model for very low voltage lifetime extrapolation," *IEEE Transactions on Electron Devices*, vol. 41, no. 5, pp. 761–767, Mai 1994.
- [44] D. J. DiMaria and E. Cartier, "Mechanism for stress-induced leakage currents in thin silicon dioxide films," *Journal of Applied Physics*, vol. 78, no. 6, p. 3883, 1995.
- [45] G. Ribes, "Caractérisation et fiabilité des oxydes ultra fins et des diélectriques à forte permittivité issue des technologies CMOS 45nm et en deçà," Ph.D. dissertation, Institut National Polytechnique de Grenoble, [S. l.], 2005.

-
- [46] M. Rafik, “Caractérisation et modélisation de la fiabilité des transistors avancés à diélectriques de haute permittivité et à grille métallique,” Ph.D. dissertation, Institut National Polytechnique de Grenoble, 2009.
- [47] Y. Leblebici and S.-M. Kang, *Hot-carrier reliability of MOS VLSI circuits*. Springer, 1993.
- [48] E. Takeda, N. Suzuki, and T. Hagiwara, “Device performance degradation due to hot-carrier injection at energy below Si-SiO₂ energy barrier,” *IEEE International Electron Devices Meeting*, pp. 396–399, 1983.
- [49] S. Rauch and G. La Rosa, “The energy driven paradigm of nMOSFET hot carrier effects,” *2005 IEEE International Reliability Physics Symposium, 2005. Proceedings. 43rd Annual.*, vol. 5, no. 4, pp. 708–709, 2005.
- [50] G. T. Sasse and J. Bisschop, “The hot carrier degradation rate under AC stress,” *IEEE International Reliability Physics Symposium*, no. 2, pp. 830–834, 2010.
- [51] P. Lee, M. Kuo, K. Seki, P. Lo, and C. Hu, “Circuit aging simulator (CAS),” in *IEEE International Electron Devices Meeting*, 1988, pp. 134–137.
- [52] C. Guerin, V. Huard, A. Bravaix, and M. Denais, “Impact of Hot Carrier Degradation Modes on I/O nMOSFETS Aging Prediction,” *IEEE International Integrated Reliability Workshop*, pp. 63–67, Oct. 2006.
- [53] D. Stephens, T. Vanhoucke, and J. J. T. M. Donkers, “RF reliability of short channel NMOS devices,” *IEEE Radio Frequency Integrated Circuits Symposium*, pp. 343–346, Juin 2009.
- [54] A. S. Gilmour, *Microwave Tubes*. Artech House Publishers, 1986.
- [55] K. Kurokawa, “Power Waves and the Scattering Matrix,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 13, no. 2, pp. 194–202, Mar. 1965.
- [56] F. Sischka and T. Gneiting, “RF Mos Measurements,” *International journal of high speed electronics and systems*, vol. 11, no. 4, pp. 887–951, 2000.
- [57] A. Frickey, “Conversions between S, Z, Y, H, ABCD, and T parameters which are valid for complex source and load impedances,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 42, no. 2, pp. 205–211, Juin 1994.
- [58] J. Carbonero, R. Joly, G. Morin, and B. Cabon, “On-wafer high-frequency measurement improvements,” in *IEEE International Conference on Microelectronic Test Structures*, vol. 7, no. March, 1994, pp. 168–173.

- [59] B. Donecker, “Determining The Measurement Accuracy of the HP 8510 Microwave Network Analyzer,” in *Automatic RF Techniques Group Conference*, Juin 1984, pp. 51–84.
- [60] M. Koolen, J. Geelen, and M. Versleijen, “An improved de-embedding technique for on-wafer high-frequency characterization,” in *Bipolar Circuits and Technology Meeting*, 1991, pp. 188–191.
- [61] A. Suárez and R. Quéré, *Stability analysis of nonlinear microwave circuits*. Artech House Publishers, 2003.
- [62] D. Lovelace, J. Costa, and N. Camilleri, “Extracting small-signal model parameters of silicon MOSFET transistors,” in *International Microwave Symposium*, 1994, pp. 865–868.
- [63] Y. Cheng, M. Schroter, C. Enz, M. Matloubian, and D. Pehlke, “RF modeling issues of deep-submicron MOSFETs for circuit design,” in *International Conference on Solid-State and Integrated Circuit Technology*, 1998, pp. 416–419.
- [64] J. C. Tinoco and J.-P. Raskin, “RF-extraction methods for MOSFET series resistances : A fair comparison,” in *IEEE International Caribbean Conference on Devices, Circuits and Systems*, Avr. 2008, pp. 1–6.
- [65] E. Bouhana, “Analyse du comportement petit signal du transistor MOS : contribution à une nouvelle approche d’extraction et de modélisation pour des applications RF,” Ph.D. dissertation, Université des Sciences et Technologie de Lille, Oct. 2007.
- [66] W. Kwan and M. Deen, “Hot-carrier effects on the scattering parameters of lightly doped drain n-type metal–oxide–semiconductor field effect transistors,” *Journal of Vacuum Science & Technology*, vol. 16, no. 2, pp. 628–632, 1998.
- [67] J.-t. Park, B.-j. Lee, D.-w. Kim, and C.-g. Yu, “RF performance degradation in nMOS transistors due to hot carrier effects,” *IEEE Transactions on Electron Devices*, vol. 47, no. 5, pp. 1068–1072, Mai 2000.
- [68] L. Pantisano, D. Schreurs, B. Kaczer, W. Jeamsaksiri, R. Venegas, R. Degraeve, K. Cheung, and G. Groeseneken, “RF performance vulnerability to hot carrier stress and consequent breakdown in low power 90 nm RFCMOS,” in *IEEE International Electron Devices Meeting*, 2003, pp. 181–4.
- [69] X. Enjun, J. Yuan, and H. Yang, “CMOS RF and DC Reliability Subject to Hot Carrier Stress and Oxide Soft Breakdown,” *IEEE Transactions on Device and Materials Reliability*, vol. 4, no. 1, pp. 92–98, Mar. 2004.

-
- [70] C. Yu and J. Yuan, "MOS RF Reliability Subject to Dynamic Voltage Stress—Modeling and Analysis," *IEEE Transactions on Electron Devices*, vol. 52, no. 8, pp. 1751–1758, Aoû. 2005.
- [71] H. C. Sagong, K. T. Lee, C. Y. Kang, G.-B. Choi, H.-S. Choi, R.-H. Baeka, M.-S. Park, S.-W. Jung, and Y.-H. Jeong, "RF performance degradation in 100-nm metal gate/high-k dielectric nMOSFET by hot carrier effects," in *European Solid State Device Research Conference*, Sep. 2009, pp. 265–268.
- [72] M. Kuo, K. Seki, P. Lee, J. Choi, P. Ko, and C. Hu, "Simulation of MOSFET lifetime under AC hot-electron stress," *IEEE Transactions on Electron Devices*, vol. 35, no. 7, pp. 1004–1011, 1988.
- [73] K. Mistry and B. Doyle, "A model for AC hot-carrier degradation in n-channel MOSFETs," *IEEE Electron Device Letters*, vol. 12, no. 9, pp. 492–494, 1991.
- [74] E. Amat, R. Rodríguez, M. Nafría, and X. Aymerich, "Channel hot-carrier degradation under AC stress in short channel nMOS devices with high-k gate stacks," *Microelectronic Engineering*, vol. 86, no. 7-9, pp. 1908–1910, Juil. 2009.
- [75] G. T. Sasse, R. J. de Vries, and J. Schmitz, "Methodology for performing RF reliability experiments on a generic test structure," in *IEEE International Conference on Microelectronic Test Structures*, Mar. 2007, pp. 177–182.
- [76] C. Liu, R. Wang, Y. Su, and C. Tu, "DC and RF Degradation Induced by High RF Power Stresses in 0.18-um nMOSFETs," *IEEE Transactions on Device and Materials Reliability*, vol. 10, no. 3, pp. 317–23, 2010.
- [77] X. Federspiel, F. Cacho, D. Roy, and J. Monnet, "Experimental characterization of interaction between hci , off state and bti degradation modes ." *IEEE International Integrated Reliability Workshop*, 2011.
- [78] L. Negre, D. Roy, P. Scheer, D. Gloria, and G. Ghibaudo, "An Advanced RF-CV Method as a powerful Characterization Tool for the Description of HC Induced Defect Generation at Microscopic Level," in *IEEE International Integrated Reliability Workshop*, 2011.
- [79] L. Negre, D. Roy, S. Boret, P. Scheer, N. Kauffmann, D. Gloria, and G. Ghibaudo, "Hot carrier impact on the small signal equivalent circuit," in *IEEE International Integrated Reliability Workshop*, Oct. 2010, pp. 72–75.
- [80] D. Schroder, "Semiconductor material and device characterization," 2006.

- [81] F.-C. Hsu and H. Grinolds, "Structure-enhanced MOSFET degradation due to hot-electron injection," *IEEE Electron Device Letters*, vol. 5, no. 3, pp. 71–74, Mar. 1984.
- [82] "BSIM4.6 Model, User's Manuel," Tech. Rep., 2006.
- [83] V. Huard, N. Ruiz, F. Cacho, and E. Pion, "A bottom-up approach for System-On-Chip reliability," *Microelectronics Reliability*, Aoû. 2011.
- [84] "PSP102.0 Manuel," Tech. Rep., 2006.
- [85] "PSP103.1," Tech. Rep., 2009.

Bibliographie personnelle

L. Negre, D. Roy, F. Cacho, P. Scheer, S. Jan, S. Boret, D. Gloria, G. Ghibaudo, “Reliability Characterization and Modeling Solution to Predict Aging of 40-nm MOSFET DC and RF Performances Induced by RF Stresses,” *IEEE Journal of Solid-State Circuits*, 2011 (Submitted).

L. Negre, D. Roy, P. Scheer, D. Gloria, G. Ghibaudo, “An advanced RF-CV method as a powerful characterization tool for the description of HC induced defect generation at microscopic level,” *IEEE International Integrated Reliability Workshop Final Report*, 2011 (To be published).

L. Negre, D. Roy, F. Cacho, P. Scheer, S. Boret, A. Zaka, D. Gloria, G. Ghibaudo, “Aging of 40nm MOSFET RF parameters under RF conditions from characterization to compact modeling for RF design ,” *IEEE Radio Frequency Integrated Circuits Symposium*, 2011.

L. Negre, D. Roy, S. Boret, P. Scheer, D. Gloria, G. Ghibaudo, “Advanced 45 nm MOSFET small-signal equivalent circuit aging under DC and RF hot carrier stress,” *IEEE International Reliability Physics Symposium*, 2011.

L. Negre, D. Roy, S. Boret, P. Scheer, N. Kauffmann, D. Gloria, G. Ghibaudo, “Hot carrier impact on the small signal equivalent circuit,” *IEEE International Integrated Reliability Workshop Final Report*, 2010.

L. Negre, D. Roy, S. Boret, P. Scheer, G. Ghibaudo, “From DC to RF Reliability,” *IEEE European Microwave Integrated Circuits Conference (Workshop session)*, 2010.

Caractérisation et modélisation de la fiabilité des transistors MOS en Radio Fréquence

Résumé

Les produits issus des technologies Silicium tendent à exploiter au maximum les performances des transistors MOS tout en les soumettant à des profils de mission très agressifs du point de vue de la fiabilité. Les concepteurs sont ainsi à la recherche du meilleur compromis entre performance et fiabilité.

Historiquement, l'étude de la fiabilité du transistor MOS et le développement des modèles sous jacents ont été menés sur la base de contrainte de vieillissement statique. Avec le développement des produits à hautes performances dans le domaine de la radiofréquence (RF), la question de la fiabilité pour ce type d'application se pose. Ainsi, une extension des modèles de fiabilité doit être réalisée afin de quantifier le vieillissement des paramètres clés RF soumis à des contraintes statiques mais également RF. C'est cette extension de la fiabilité des transistors MOS dans le domaine RF qui constitue le sujet de ce travail de thèse.

Dans ce manuscrit, le fonctionnement du transistor MOS est décrit et sa fiabilité est introduite. Les différents mécanismes de dégradation sont étudiés et leurs modèles associés décrits. Sont ensuite présentés un banc de mesure et une méthodologie nécessaire à l'étude du vieillissement des transistors dans le domaine RF, ainsi qu'à l'extension des modèles de fiabilité au domaine RF.

Mots-clés : Fiabilité, Radio-fréquence, transistor MOS, modèle, caractérisation, puissance, quasi-statique, défauts d'interface et d'oxyde, interface Si/SiO_2 , HCI, NBTI, TDDB.

Radio-Frequency Reliability Characterization and modeling of MOS transistor

Abstract

Products using nowadays silicon technology are generally targeting aggressive specifications and push the developers to determine the best compromise between performance and reliability. Main front-end degradation mechanisms are historically studied and modeled under static stress conditions and focus on the static MOS transistor parameters.

With the development of product targeting high performances in the radio frequency (RF) domain, the reliability is becoming a first order concern. Thus an extension of the actual static reliability models must be done to quantify the aging of key RF parameters under static and RF stress. In this context, this work focuses on the extension of the MOS transistor reliability regarding the study of RF parameters and also the application of RF stress.

After describing the MOS transistor properties, the reliability aspect is introduced and the emphasis is put on the different degradation mechanisms and their associated models. This allows the development of an experimental setup and the required methodology to investigate the device aging in the RF domain and to extend actual static models.

Key words : Reliability, Radio Frequency, MOS transistor, model, characterization, power, quasi-static, interface and oxide defects, Si/SiO_2 interface, HCI, NBTI, TDDB.