Dimensionnement énergétique de réseaux de capteurs ultra-compacts autonomes en énergie.

Fabien Todeschini

▶ **To cite this version:**

Fabien Todeschini. Dimensionnement énergétique de réseaux de capteurs ultra-compacts autonomes en énergie.. Autre. Supélec, 2014. Français. NNT : 2014SUPL0008 . tel-01180362

HAL Id: tel-01180362
https://theses.hal.science/tel-01180362

Submitted on 26 Jul 2015

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N°d'ordre : 2014-08-TH

SUPELEC

ÉCOLE DOCTORALE STITS

« Sciences et Technologies de l'Information des Télécommunications et des Systèmes »

THÈSE DE DOCTORAT

DOMAINE : STIC
Spécialité : Électronique

Soutenue le 18 février 2014
par :

Fabien TODESCHINI

DIMENSIONNEMENT ÉNERGÉTIQUE DE RÉSEAUX DE CAPTEURS ULTRA-COMPACTS AUTONOMES EN ÉNERGIE

Directeur de thèse :	Philippe BÉNABÈS	HDR - Supélec

Composition du jury :

Rapporteurs :	Bruno ALLARD	HDR - INSA Lyon
Examinateurs :	Dominique DALLET	Professeur - IMS Bordeaux
Rapporteur :	Dejan VASIC	HDR - ENS Cachan
Président du jury :	Demba DIALLO	Professeur - Orsay
Encadrant :	Christophe PLANAT	Ingénieur - STMicroelectronics
Invité :	Filipe VINCI DOS SANTOS	Enseignant chercheur - Supelec

Le projet est le brouillon de l'avenir. Parfois il faut à l'avenir des centaines de brouillons.

Jules Renard

REMERCIEMENTS

Trois années ont passé et me voilà en train de taper les derniers mots de mon manuscrit. J'ai peine à croire que j'y suis parvenu. Mais si j'en suis là aujourd'hui, j'ai conscience que c'est grâce à l'aide et au soutien des personnes que j'ai rencontrées et côtoyées tout au long de ces années de recherches. Tant à STMicroelectronics qu'au laboratoire de Supélec.

Je remercie donc en premier lieu PHILIPPE BÉNABÈS, mon directeur de Thèse, pour m'avoir guidé dans mon travail et aidé à trouver des solutions.

Je remercie également PASCAL URARD sans qui je n'aurais jamais eu la chance de réaliser ce travail. Merci de m'avoir offert cette opportunité et de m'avoir fait confiance.

Je remercie CHRISTOPHE PLANAT, mon encadrant industriel, qui m'a accordé de son temps lorsque j'avais besoin de son aide. Désolé pour les longues soirées à ST.

Je remercie particulièrement ROBERTO GUIZZETTI, mon collègue de box, pour sa franchise dissimulée derrière par son accent ensoleillé, ses remarques pertinentes et sa disponibilité. Merci d'avoir sacrifié des *week-end* pour relire mon manuscrit.

Je remercie FILIPE VINCI DOS SANTOS d'avoir partagé ses connaissances analogiques avec moi. Merci également pour tes conseils avisés et... ton humour indéniable qui est à ce jour le meilleur moyen mnémotechnique que je connaisse !

Je remercie toute l'équipe ST au sein de laquelle j'ai beaucoup appris. Il est toujours agréable de travailler dans une bonne ambiance avec des collègues toujours prompts à t'aider. Je profite de ce paragraphe pour adresser un merci très particulier à mon collègue THIERRY SIMON qui m'a conseillé pour toutes les fonctions *matlab* et autres commandes *Linux*. Merci à lui aussi d'avoir partagé avec moi un petit millier de pauses café bien méritées ;-)

Je remercie également mes deux compagnons de galère : FLORIAN BARRAU qui m'a soutenu à chaque nouvelle « tuile » (j'ai été ravi d'essuyer les plâtres pour toi ! !) et NICOLAS LE DORTZ qui m'a donné les clés de latex.

Je remercie sincèrement PAUL GOSSELIN pour son apport lors de son stage de fin d'étude chez STMicroelectronics. Merci pour ta contribution sur les travaux concernant le compteur de charges.

Je remercie enfin CAMILLE, mon plus grand soutien depuis des années. Merci de m'avoir

encouragé et d’avoir cru en moi. Et merci d’avoir supporté mes longs mois d’absence lors de mes séjours à Supélec ;-)

RÉSUMÉ

Les capteurs sans fil ont un avenir prometteur c'est pourquoi leur développement est à l'origine de nombreuses recherches. Leur autonomie reste cependant un problème à résoudre.

Les travaux de cette thèse se concentrent précisément sur cette problématique : trouver une stratégie permettant aux capteurs d'être autonomes en énergie.

L'énergie nécessaire à l'alimentation du capteur, quel que soit son mode de fonctionnement, doit en effet être récupérée de l'environnement dans lequel le capteur se trouve. De plus, en cas d'absence ou d'insuffisance d'énergie environnante, le fonctionnement du capteur doit pouvoir perdurer. À cela s'ajoute la nécessité de connaitre à tout instant la quantité d'énergie disponible afin de pouvoir maintenir un niveau de charge constant et ainsi prolonger la vie du capteur. Enfin, toute cette gestion de l'énergie doit pouvoir garantir le meilleur rendement possible.

Cette étude a conduit à la conception et au test d'un circuit en technologie CMOS 90nm. Ce même circuit a été intégré dans les capteurs sans fil d'un réseau en cours de développement. Et enfin, une méthode permettant de connaitre le niveau d'énergie embarquée a été mise au point et pourra permettre à l'avenir la conception d'un nouveau circuit de *power management* pour capteurs autonomes en énergie.

Mots-clés : capteurs autonomes en énergie, capteurs d'énergie, gestion d'énergie, compteur de Coulombs, consommation ultra-basse.

ABSTRACT

Wireless sensors have a bright future so their development is causing a lot of research. However, their autonomy is still an issue.

This work focuses on this problem : find a strategy for the sensors to be autonomous.

The energy required to power the sensor, whatever its working mode, must indeed be harvested from the environment wherein the sensor is located. Moreover, in case of absence or a lack of available energy, the sensor has to keep working. Additionnaly the state-of-charge has to be known in real time in order to extend the sensor lifetime. Finally, the energy management has to give the highest efficiency.

This study led to the design and the test of a circuit in a CMOS 90nm technology. This circuit was integrated in wireless sensors for networks under development. Finally, a method to estimate the level of energy in the sensor has been developed and will allow to design a new circuit of power management for wireless sensor network.

key-words : Energy autonomous sensors, harvesters, power management, gas gauge, ultra-low power.

Table des matières

1 INTRODUCTION **23**

2 ETAT DE L'ART : L'AUTONOMIE ENERGETIQUE DES RESEAUX DE CAPTEURS **27**

2.1 LES CAPTEURS D'ÉNERGIE 27
2.1.1 Introduction 27
2.1.2 Énergie piézoélectrique 27
2.1.3 Thermoélectricité 28
2.1.4 Cellules solaires photovoltaïques 30
2.1.4.1 Cellules solaires monocristallines 30
2.1.4.2 Cellules solaires polycristallines 31
2.1.4.3 Cellules solaires amorphes 32
2.1.4.4 Cellules Tandem 34
2.1.4.5 Cellules multicouches ou multijonctions 34
2.1.4.6 Panneau photovoltaïque à concentration 35
2.1.5 Conclusion 36
2.2 LES BATTERIES 37
2.2.1 Introduction 37
2.2.2 Batteries à base de lithium 38
2.2.3 Batteries zinc-air 38
2.2.4 Batteries au graphène de silicium 39
2.2.5 Batteries à couches minces 39
2.2.6 Batteries de type boutons 39
2.2.6.1 Batteries Lithium-Pentoxyde de Vanadium 40
2.2.6.2 Batterie Lithium Manganèse 40
2.2.7 Supercapacités 41
2.2.8 Conclusion 41
2.3 LES CONVERTISSEURS D'ÉNERGIE 41
2.3.1 Introduction 41
2.3.2 Les différentes méthodes de *MPPT* 42

2.3.3 Les convertisseurs d'énergie *buck-boost* . . . 43
2.3.4 Les convertisseurs d'énergie à capacités commutées . . . 44
2.3.5 Conclusion . . . 44
2.4 GESTION DE L'ÉNERGIE D'UN CAPTEUR SANS FIL . . . 45
2.4.1 Introduction . . . 45
2.4.2 Aperçu de divers *PM* . . . 45
2.4.3 Conclusion . . . 46

3 CONTRAINTES ET EXIGENCES D'UN CAPTEUR AUTONOME EN ENERGIE 47
3.1 AUTONOMIE DES CAPTEURS . . . 47
3.2 GESTION DE L'ÉNERGIE . . . 48
3.3 MESURE DE L'ÉNERGIE . . . 49
3.4 CONCLUSION . . . 52

4 LES SYSTÈMES DE GESTION ET DE MESURE DE L'ENERGIE D'UN CAPTEUR AUTONOME 53
4.1 INTRODUCTION . . . 53
4.2 GESTION DE L'ÉNERGIE D'UN CAPTEUR AUTONOME EN ÉNERGIE 53
4.2.1 La conversion d'énergie avec *MPPT* . . . 53
4.2.2 Stratégie d'un système de gestion de l'énergie . . . 57
4.2.3 Structure du système de gestion de l'énergie . . . 59
4.2.3.1 Méthodologie . . . 59
4.2.3.2 Spécifications . . . 59
4.2.4 Conclusion . . . 61
4.3 LE COMPTEUR DE CHARGES . . . 62
4.3.1 Introduction . . . 62
4.3.2 Définition du compteur de Coulombs . . . 62
4.3.3 Principes du compteur de Coulombs . . . 62
4.3.3.1 Fonctionnement . . . 62
4.3.3.2 Convertisseurs analogique/numérique . . . 64
4.3.4 Le convertisseur analogique numérique $\Sigma\,\Delta$ . . . 65
4.3.5 Convertisseur $\Sigma\,\Delta$ à temps continu . . . 68
4.3.6 Convertisseur $\Sigma\,\Delta$ à temps discret . . . 72
4.3.6.1 Principe des capacités commutées . . . 72
4.3.6.2 L'intégrateur à capacités commutées . . . 73
4.3.7 Référence de tension du système . . . 77
4.3.8 Zones mortes du modulateur $\Sigma\,\Delta$ d'ordre 1 . . . 78
4.3.9 Conclusion . . . 83

5 RÉALISATIONS ET MESURES DU POWER MANAGEMENT ET DU COMPTEUR DE CHARGES 85

5.1 INTRODUCTION . . . 85

5.2 VALIDATION DU *PM* PAR UN CIRCUIT DE TEST . . . 85

5.2.1 Le banc de test du *PM* . . . 87

5.2.1.1 Le bloc *PV* . . . 87

5.2.1.2 Le bloc batterie . . . 88

5.2.1.3 Le bloc système . . . 89

5.2.1.4 Le bloc *USB* . . . 89

5.2.1.5 Le bloc *FSM* . . . 89

5.2.2 La conception du *PM* . . . 90

5.2.2.1 Les régulateurs de tensions (*LDO*) . . . 90

5.2.2.2 Le limiteur de courant . . . 92

5.2.2.3 La protection de décharge de la batterie (*LCO*) . . . 93

5.2.2.4 L'interrupteur rapide (*FS*) . . . 94

5.2.3 Tri des puces . . . 95

5.2.4 Rendement . . . 100

5.2.5 Comparaisons des résultats . . . 104

5.3 MODÉLISATION ET SIMULATIONS DU COMPTEUR DE CHARGES . . 106

5.3.1 Techniques de compensation et sources d'erreurs du modulateur $\Sigma\,\Delta$ 106

5.3.1.1 Compensation du gain et de l'offset de l'intégrateur à capacités commutées . . . 106

5.3.1.2 Compensation du *mismatch* entre les capacités commutées 108

5.3.1.3 Dérive due à l'offset du comparateur . . . 115

5.3.1.4 Modélisation de la référence de tension . . . 117

5.3.1.5 La référence de tension du système . . . 119

5.3.2 Simulations des zones mortes du compteur de charges . . . 122

5.3.3 Erreurs de l'intégrateur à capacités commutées . . . 123

5.3.3.1 Erreur due au gain de l'amplificateur . . . 123

5.3.3.1.1 Intégrateur non compensé . . . 123

5.3.3.1.2 Intégrateur compensé . . . 124

5.3.3.1.3 Dérive . . . 125

5.3.3.2 Erreur due à l'offset de l'amplificateur . . . 126

5.3.3.2.1 Intégrateur non compensé . . . 126

5.3.3.2.2 Intégrateur compensé . . . 126

5.3.3.2.3 Dérive . . . 127

5.3.3.3 Erreur due au *mismatch* des capacités . . . 129

5.3.3.3.1 Intégrateur non compensé . . . 129

5.3.3.3.2 Intégrateur compensé . . . 130
5.3.3.3.3 Dérive . . . 131
5.3.3.3.4 Remarques . . . 132
5.3.3.4 Dérive due au *CMRR* de l'amplificateur . . . 133
5.3.4 Dérive due à la référence de tension de l'amplificateur . . . 134
5.3.4.1 Dérive pour une fréquence de coupure du *PSRR* à 100Hz . 134
5.3.4.2 Dérive pour une fréquence de coupure du *PSRR* à 10Hz . . 136
5.3.5 Dérive due à l'offset du comparateur . . . 137
5.4 CONCEPTION DU COMPTEUR DE CHARGES . . . 139
5.4.1 Dimensionnement du shunt . . . 139
5.4.2 Condensateurs de la librairie 90nm . . . 142
5.4.3 Intégrateur . . . 143
5.4.3.1 Le bruit intrinsèque . . . 143
5.4.3.2 Le bruit de scintillement . . . 144
5.4.3.3 Le bruit thermique . . . 144
5.4.4 Injection de charges . . . 145
5.4.5 Effet capacitif des transistors *MOS* ou *clock feedthrough* . . . 147
5.4.6 La résistance R_{ON} des *MOS* . . . 149
5.4.7 Circuit d'antichevauchement des horloges . . . 150
5.4.8 Conception de l'amplificateur entièrement différentiel . . . 151
5.4.9 Réjection de mode commun de l'amplificateur (*CMRR*) . . . 155
5.4.10 Conception de la référence de tension . . . 157
5.5 CONCLUSION . . . 161

6 PERSPECTIVES 163
6.1 INTRODUCTION . . . 163
6.2 AMÉLIORATION DU *PM* . . . 163
6.2.1 Le *PVLDO* . . . 163
6.2.2 La protection de batterie (Low-Cut Off) . . . 163
6.2.3 Le limiteur de courant . . . 167
6.3 STRATÉGIES DE FONCTIONNEMENT DU COMPTEUR DE CHARGES 167
6.4 CONCLUSION . . . 169

7 CONCLUSION 171

A ANNEXES 175
A.1 IMPERFECTIONS DE L'INTÉGRATEUR CONTINU . . . 175
A.1.1 Effet des imperfections . . . 175
A.1.2 Technique de compensation du retour d'un intégrateur continu . . . 177

A.2 ÉQUATION DE LA RÉFÉRENCE DE TENSION ET MODÉLISATION MATHÉMATIQUE 180
A.3 CALCUL DE LA RÉFÉRENCE DE TENSION DU SYSTÈME 182
A.4 CALCUL DE LA FONCTION DE TRANSFERT DE L'INTÉGRATEUR À CAPACITÉS COMMUTÉES 184
A.4.1 Calcul de la fonction de transfert de l'intégrateur simple 184
A.4.2 Calcul de la fonction de transfert de l'intégrateur différentiel 185
A.5 CALCUL DE LA FONCTION DE TRANSFERT DE L'INTÉGRATEUR DIFFÉRENTIEL À CAPACITÉS COMMUTÉES COMPENSÉ 187
A.6 ZONES MORTES DU MODULATEUR $\Sigma\,\Delta$ D'ORDRE 1 191
A.7 COURBES DE CHARGE ET DÉCHARGE DE LA BATTERIE DU PROJET 193
A.7.1 Courbes de décharge 193
A.7.2 Courbe de charge 193
A.8 COURBES COURANT - TENSION DU PANNEAU PHOTOVOLTAÏQUE DU PROJET 194

TABLE DES MATIÈRES

Table des figures

1.1 Illustration des techniques d'empilement de puces [1]. 24
1.2 Exemple d'architecture d'un capteur autonome en énergie. 25

2.1 Puissance délivrée par le *MEMS* en fonction de la fréquence d'oscillation. . . 28
2.2 Courbe de courant et de puissance en fonction de la tension d'un convertisseur thermoélectrique. 29
2.3 Module thermoélectrique [2]. 29
2.4 Cellule monocristalline [3]. 31
2.5 Cellule polycristalline [4]. 32
2.6 Principe de conception de cellules polycristallines par la société Solarforce [5]. 32
2.7 Cellule amorphe [6]. 33
2.8 Comparaison de la puissance d'une cellule amorphe et d'une cellule monocristalline en fonction de l'éclairement. 34
2.9 Rendement énergétique d'une cellule à trois couches composés de Gallium-Indium-Phosphore (GaInP), d'arséniure de gallium (GaAs) et de Germanium (Ge) en fonction de la longueur d'onde de la lumière [7]. 35
2.10 Courbe IV et PV typique d'une cellule solaire. 36
2.11 Schéma de principe d'une batterie. 37
2.12 Nombre de cycles en fonction de la profondeur de décharge. 40
2.13 Nombre de cycles en fonction de la profondeur de décharge. 41
2.14 Courbes courant/tension du *PV* 43

3.1 Bilan énergétique typique d'un capteur sans fil. 48
3.2 Profil typique de consommation d'un capteur sans fil. 49
3.3 Illustration d'un réseau de capteurs autonomes en énergie. 50
3.4 Courbe de décharge typique d'une batterie $ML2016$ sous une charge de $1mA$. 51
3.5 Exemple d'intégration informatique. 51

4.1 Φ_1 : Charge des capacités. 54
4.2 Φ_2 : Décharge des capacités. 54
4.3 Charge d'une matrice de capacités sur une courbe d'un *harvester* solaire. . . . 55

4.4 Rendement théorique d'un convertisseur à capacités commutées. 55
4.5 Rendement théorique normalisé d'un convertisseur à capacités commutées. . 56
4.6 Architecture du capteur sans fil. 58
4.7 Principe du *gas gauge*. 62
4.8 Mesure échantillonnée du courant. 63
4.9 Principe de l'échantillonnage/blocage. 63
4.10 Densité de probabilité de l'accumulation de l'erreur de quantification pour différentes valeurs du nombre de bits de l'*ADC*. 64
4.11 Principe de fonctionnement du convertisseur $\Sigma\,\Delta$. 66
4.12 Signaux d'entrées et de *bitstream* et leurs intégrales correspondantes. 67
4.13 Principe de fonctionnement du convertisseur $\Sigma\,\Delta$. 67
4.14 Intégrateur simple à temps continu. 68
4.15 Intégrateur différentiel à temps continu. 69
4.16 Intégrateur différentiel à temps continu avec diviseurs de tensions. 69
4.17 Intégrateur différentiel à temps continu avec soustracteur. 70
4.18 Modulateur $\Sigma\,\Delta$ à temps continu. 70
4.19 Schéma équivalent des NMOS. 71
4.20 Capacité commutée. 73
4.21 Résistance équivalente. 73
4.22 Principe de l'intégrateur à capacités commutées. 73
4.23 Intégrateur différentiel à capacités commutées. 75
4.24 Intégrateur différentiel à capacités commutées avec *feedback*. 76
4.25 Schéma de principe du modulateur $\Sigma\,\Delta$ d'ordre 1. 78
4.26 Droite de régression linéaire du *bitstream* accumulé. 79
4.27 Erreur correspondante pour un gain de l'intégrateur infini. 80
4.28 Erreur correspondante pour un gain de $20dB$. 80
4.29 Schéma du système avec ajout de bruit numérique. 81
4.30 Principe de génération de signaux numériques pseudo-aléatoires. 81
4.31 Erreur corrigée pour un gain infini. 82
4.32 Erreur corrigée pour un intégrateur de gain $20dB$. 83

5.1 Premier prototype de démonstration du *PM*. 86
5.2 Banc de test du *PM*. 87
5.3 Le bloc *PV*. 88
5.4 Courbe du courant en fonction de la tension du modèle du *PV*. 88
5.5 Le bloc batterie. 88
5.6 Le bloc système. 89
5.7 Le bloc *USB*. 89
5.8 Le bloc *FSM*. 90

5.9 Schématique du *PM*. 91
5.10 Limiteur de courant à $2mA$. 92
5.11 Histogramme de la simulation Monte Carlo du limiteur de courant. 93
5.12 Limiteur de tension basse de batterie (*LCO*). 93
5.13 Histogramme de la consommation du LCO. 94
5.14 Layout du *PM*. 95
5.15 Photographie du circuit du *PM*. 95
5.16 Test du limiteur de courant. 96
5.17 Test du courant statique. 96
5.18 Test de la tension régulée du *PV*. 97
5.19 Test de la tension régulée de l'*USB*. 97
5.20 Test de la consommation du *PM* sous un courant de $10\mu A$ fourni par le *PV*. . 98
5.21 Test de la consommation du *PM* sous un courant de $100\mu A$ fourni par le *PV*. . 98
5.22 Test de la consommation du *PM* sous un courant de $1mA$ fourni par le *PV*. . . 99
5.23 Diagramme de Pareto. 99
5.24 Rendement du *PM* en fonction de la tension de batterie et du courant sur l'entrée *PV* (de $5\mu A$ à $2mA$). 100
5.25 Rendement du *PM* en fonction de la tension de batterie et du courant sur l'entrée *PV* (de $5\mu A$ à $100\mu A$). 101
5.26 Rendement du *PM* en fonction de la tension de batterie et du courant sur l'entrée *PV* (vue de face). 101
5.27 Consommation du *LCO* en fonction de la tension V_{batt}. 102
5.28 Points de fonctionnement du système sur la courbe *PV*. 103
5.29 Consommation du *PM* en fonction du courant fournit par le *PV*. 105
5.30 Intégrateur avec gain fini et offset compensés. 106
5.31 Intégrateur avec gain fini et offset compensés entièrement différentiel. 108
5.32 Tolérance d'une capacité *MOM* d'$1\mu m^2$. 109
5.33 Tolérance d'une capacité *MOM* d'$10\mu m^2$. 109
5.34 *Mismatch* d'une capacité *MOM* d'$1\mu m^2$. 109
5.35 *Mismatch* d'une capacité *MOM* d'$10\mu m^2$. 109
5.36 *Mismatch* d'une capacité *FMOM* de $10\mu m^2$. 110
5.37 *Mismatch* d'une capacité *FMOM* de $150\mu m^2$. 110
5.38 Dérives dues aux *mismatch* des capacités d'échantillonnage. 111
5.39 Erreur normalisée des *mismatch* des capacités d'échantillonnage. 111
5.40 Méthode de compensation de l'erreur de l'intégrateur due au *mismatch* des capacités. 112
5.41 Intégrateur différentiel à capacités commutées compensé en gain, offset et *mismatch* des capacités. 113

5.42 Résultat de l'intégrateur compensé face aux *mismatch* des capacités d'échantillonnage. 114
5.43 Erreur normalisée du résultat de l'intégrateur compensé aux *mismatch*. 114
5.44 Résultat de l'intégrateur compensé face aux *mismatch* des capacités d'échantillonnage exagéré de 20%. 115
5.45 Erreur normalisée du résultat de l'intégrateur compensé aux *mismatch*. 115
5.46 Signal de sortie de l'accumulateur en fonction de l'offset du comparateur. . . 115
5.47 Signal de sortie de l'accumulateur normalisé. 116
5.48 Dérive due à un offset du comparateur de $10mV$ par rapport à un offset nul. . 116
5.49 Dérive due à un offset du comparateur de $1mV$ par rapport à un offset nul. . . 117
5.50 Dérives d'offset de $10mV$ et $1mV$ normalisés par rapport à un offset nul. . . 117
5.51 Diagramme de Bode de la référence de tension. 119
5.52 *PSRR* de la référence de tension. 119
5.53 Schéma équivalent de l'alimentation du système. 120
5.54 Variation de la tension d'alimentation et référence de tension résultante. . . . 120
5.55 Référence de tension avec un *PSRR* de $60dB$. 121
5.56 Référence de tension avec un *PSRR* de $80dB$. 121
5.57 Sortie de l'accumulateur pour différentes qualités de références. 122
5.58 Sortie de l'accumulateur normalisée pour différentes qualités de références. . 122
5.59 Erreur du modulateur $\Sigma\,\Delta$ à capacités commutées pour un gain de 100. . . . 122
5.60 Erreur du modulateur $\Sigma\,\Delta$ à capacité commutées pour un gain de 100 avec bruit numérique ajouté. 123
5.61 Erreur de gain fini non compensé. 124
5.62 Erreur de gain fini non compensé normalisé. 124
5.63 Erreur de gain fini compensée. 125
5.64 Dérive en fonction du gain de l'amplificateur. 125
5.65 Erreur d'offset. 126
5.66 Erreur d'offset normalisée. 126
5.67 Erreur d'offset non nul compensée. 127
5.68 Erreur d'offset compensées normalisées. 127
5.69 Dérive en fonction de l'offset de l'amplificateur. 128
5.70 Dérive due à l'offset de l'amplificateur normalisée. 128
5.71 Dérives dues à différents *mismatch* des capacités d'échantillonnages. 129
5.72 Erreur normalisée des différents *mismatch* des capacités d'échantillonnages. . 130
5.73 Dérives dues à différents *mismatch* des capacités d'échantillonnages. 130
5.74 Erreurs dues à différents *mismatch* des capacités d'échantillonnages normalisées. 131
5.75 Dérive due au *mismatch* des capacités. 131

5.76 Dérive due au *CMRR* de l'amplificateur. 133
5.77 Dérive normalisée due au *CMRR* de l'amplificateur. 133
5.78 Dérive en fonction de la référence de tension. 134
5.79 Dérive due à la référence de tension normalisée. 135
5.80 Évolution de la dérive pour différente valeur du *PSRR*. 135
5.81 Dérive en fonction de la référence de tension. 136
5.82 Dérive normalisée due à la référence de tension. 136
5.83 Évolution de la dérive pour différente valeur de l'offset du comparateur. . . . 137
5.84 Dérive due à l'offset du comparateur. 138
5.85 Dérive normalisée due à l'offset du comparateur. 138
5.86 Évolution de la dérive pour différente valeur de l'offset du comparateur. . . . 139
5.87 Architecture et principe de la mesure du courant de la batterie. 140
5.88 Signal d'entrée de l'intégrateur selon différentes valeurs du filtre RC. 141
5.89 Évolution de la capacité d'un condensateur en polysilicum de type N en fonction de la tension à ses bornes. 142
5.90 Évolution de la capacité d'un condensateur en polysilicum de type P en fonction de la tension à ses bornes. 142
5.91 Évolution de la capacité de 2 capacités N et P en parallèles en fonction de la tension à ses bornes. 142
5.92 2 capacités P et N en parallèle. 143
5.93 Charge d'une capacité C à travers un *MOS* de résistance de drain R_{DSON}. . . 144
5.94 Principe de l'injection de charge. 145
5.95 Interrupteur fantôme ou *dummy switch*. 145
5.96 Simulation de la capacité de grille d'un transistor *MOS*. 147
5.97 Capacité de grille en fonction de la tension appliquée. 147
5.98 Principe du *clock feedthrough*. 148
5.99 *Effet du clock feedthrough : diviseur capacitif*. 148
5.100 Circuit d'antichevauchement des horloges. 150
5.101 Amplificateur opérationnel transimpédance à miroir de courant. 152
5.102 Gain de l'amplificateur. 154
5.103 Marge de Phase de l'OTA. 154
5.104 Contrôle du mode commun de sortie. 155
5.105 Architecture des références de tensions [1]. 157
5.106 Tensions de références Vref_1 et Vref_2. 158
5.107 Différences de Vref_1 et Vref_2 : Delta Vref. 159
5.108 Ondulations basse fréquence des références de tension. 160
5.109 Tensions de références Vref_1 et Vref_2. 160
5.110 Tensions de références Vref_1 et Vref_2. 161

6.1 Diviseur de fréquence d'horloge. 164
6.2 Circuit monostble de constante de temps RC. 164
6.3 Comparateur à hystérésis à bascule RS. 165
6.4 Résultats de la solution du comparateur de seuils à hystérésis. 166
6.5 Limiteur de courant configurable. 167
6.6 Phases de fonctionnement du *gas gauge*. 168
6.7 Architecture du *gas gauge* avec deux modes de fonctionnement. 169

A.1 Schéma équivalent de l'intégrateur continu. 175
A.2 Schéma équivalent du modulateur à temps continu. 177
A.3 Schéma équivalent de l'intégrateur continu avec l'effet parasite de la boucle de retour. 177
A.4 Sortie moyenne de l'intégrateur en fonction de l'entrée du modulateur $\Sigma\,\Delta$. . 178
A.5 Schéma équivalent de l'intégrateur continu. 179
A.6 Référence de tension à 2 sorties. 182
A.7 Intégrateur à capacités commutées avec compensation du gain fini et de l'offset d'entrée. 184
A.8 Intégrateur différentiel à capacités commutées. 185
A.9 Intégrateur différentiel à capacités commutées de gain fini et d'offset compensés. 187
A.10 Mesures de décharge de la batteries pour différentes valeurs de courant. . . . 193
A.11 Mesures de charge de la batteries par le *PM* (courant cst). 193
A.12 Courbes courant/tension du *PV* : de 10lux à 100lux 194
A.13 Courbes courant/tension du *PV* : de 100lux à 1000lux 195
A.14 Courbes courant/tension du *PV* : de 1000lux à 7000lux 196

Liste des tableaux

2.1 Mesures de différents *harvester* [2]. 36

4.1 Durée de vie et capacité équivalente de la batterie MAXELL en fonction de sa profondeur de décharge. 60
4.2 Ensemble des spécifications pour la conception du prototype *PM*. 60
4.3 Table des polynômes. 82

5.1 Rendement énergie transférée par le *PV*. 103
5.2 Rendement global du système. 104
5.3 Comparaisons entre valeurs simulées et valeurs mesurées. 104
5.4 Valeurs des capacités dans les différents cas simulés. 110
5.5 Valeurs de l'accumulateur après cent secondes en fonction de différents offsets de l'amplificateur. 128
5.6 Valeurs des capacités dans les différents cas simulés. 129
5.7 Valeurs de l'accumulateur après cent secondes en fonction de différents *CMRR* de l'amplificateur. 134
5.8 Valeurs de l'accumulateur après cent secondes en fonction de différentes qualités de la référence de tension. 135
5.9 Valeurs de l'accumulateur après cent secondes en fonction de différentes qualités de la référence de tension. 137
5.10 Valeurs de l'accumulateur après cent secondes en fonction de différents offsets du comparateur. 139
5.11 Résistance ON des MOS. 149
5.12 Dimensions des *MOS* de l'amplificateur. 153
5.13 Dimensionnement des composants de la référence de tension. 157

LISTE DES TABLEAUX

GLOSSAIRE

ADC : Analog to Digital converter : Convertisseur analogique/numérique
bandgap : Niveau d'énergie dans un matériau entre la bande de valence et la bande de conduction
bitstream : signal de sortie sur 1 bit d'un modulateur $\Sigma\,\Delta$
BS : signal *bitstream*
BST : Bisection Search Theorem : Méthode de recherche par dichotomie
CMFB : Common Mode Feedback Circuit : Circuit de contrôle du mode commun
CMRR : Common Mode Rejection Ratio : Taux de réjection du mode commun
design : Dessin : terme utilisé pour la conception d'un schéma électrique
dummy switch : Interrupteur fantômes
edge routeur : noeud à la tête d'un réseau de capteurs
ENA : entrée d'activation
enable : activation
FMOM : Capacité à doigts interdigités
FS : Fast Switch : Interrupteur rapide
FSM : File State Machine : Machine d'état
gas gauge : Compteur de charges
GBW : Gain Bandwidth : Produit Gain-Bande
harvester : capteur d'énergie environnante
highlight : signal numérique définissant le niveau d'éclairement
HCO : High Cut Off : protection de surcharge en tension de batterie
LCO : Low Cut Off : protection de décharge profonde de la batterie
LDO : Low Dropout regulator : régulateur à faible chute de tension
LFSR : Linear Feedback Shift Regulator : régulateur à décalage à rétroaction linéaire
Low-Power : basse consommation
LSB : Least Significant Bit : bit de poids faible
lux : unité de mesure de l'éclairement lumineux
mismatch : désappariement
matlab : outil de calcul numérique
MC : Simulation Monte Carlo
MEMS : Micro-Electro-Mecanical System : Microsystème électromécanique
MOM : Capacité métal oxyde métal
MOS : Métal Oxyde Semi-conducteur
NMOS : Négatif Métal Oxyde Semi-conducteur
MPP : Maximum Power Point : Point de maximum de puissance
MPPT : Maximum Power Point Tracking
MSB : Most Significant Bit : bit de poids fort
NAND : porte non-et
OTA : Operational Transimpedance Amplifier : Amplificateur transimpédance
P&O : Perturbe and Observe
PM : Power Management
PMOS : Positif Métal Oxyde Semi-conducteur
PS : Power Switch : interrupteur de puissance
PSRR : Power Supply Rejection Ratio :

LISTE DES TABLEAUX

Taux de réjection d'ondulation d'alimentation
PV : Photovoltaïc : capteur d'énergie photovoltaïque
PV_LDO : régulateur à faible chute de tension pour capteur photovoltaïque
SAR : Successive Approximation Register : Convertisseur à approximations successives
$\Sigma\,\Delta$: Convertisseur à sur-échantillonnage

SiP : System In Package : système électronique en un seul boitier
sleep : mode de veille
SNR : Signal Noise Ratio : Rapport signal à bruit
SoC : System On Chip : système électronique sur une seule puce
switch : interrupteur
thin film : couche mince
TSV : Through Silicon Via : via traversant le silicium
Ultra-Low-Power : ultra basse consommation
VHDL : VHSIC Hardware Description Language : langage de description matériel
wake-up : mode de réveil

Chapitre 1

INTRODUCTION

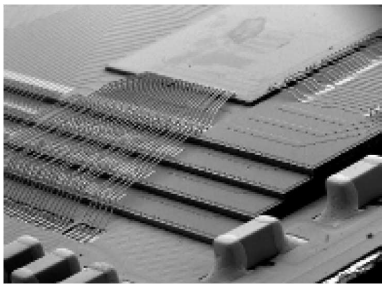
Être connecté au reste du monde. Si ce rêve a longtemps relevé de l'utopie, il fait aujourd'hui partie intégrante de nos vies. Chacun désire avoir accès à l'information et a le besoin irrépressible de communiquer avec son entourage. Chacun a besoin de tisser sa toile.

Pourtant, au début des années 1970, lorsque les premiers microprocesseurs ont révolutionné le monde de l'électronique et permis l'apparition des premiers ordinateurs personnels, la société doutait de l'utilité de tels appareils. Comme elle aurait été stupéfaite de savoir que 30 ans plus tard elle en serait dépendante au point d'en demander toujours plus !

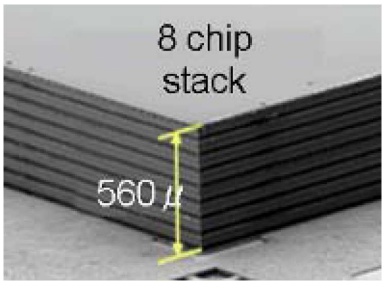
Si nous nous sommes en effet longtemps satisfaits d'être connectés uniquement à notre entourage ce n'est plus le cas aujourd'hui. Les avancées technologiques tendent à nous rendre plus exigeants en termes de sécurité, de confort et de santé, c'est pourquoi être connectés à notre environnement nous est devenu indispensable. Des réseaux de capteurs environnementaux apparaissent donc progressivement. Reliés à Internet, ils répondent à une grande majorité des demandes actuelles. Cependant, pour des raisons économiques et pratiques, il devient difficile d'utiliser ces réseaux de capteurs câblés.

Heureusement, les technologies sans fil sont apparues. En effet, depuis quelques années la miniaturisation de plus en plus poussée du transistor élémentaire a suivi la loi de Moore et les systèmes sont donc devenus de plus en plus compacts (*smartphones*, tablettes tactiles, lecteurs de musiques, etc.). Cette avancée technologique repose entre autre sur le gain de place réalisé par le groupement de différents circuits intégrés dans des *System in Package* (SiP) ou dans des *System on Chip* (SoC). Plusieurs circuits se retrouvent donc dans un même boitier, ce qui permet de faire cohabiter des circuits analogique, radiofréquence et numérique. Les surfaces des circuits imprimés sont donc plus petites. De plus, des techniques d'empilements ont dernièrement vu le jour et aboutissent à des circuits en trois dimensions (Figures 1.1a et 1.1b) possédant des boitiers moins imposants.

1. Image issue de : ziptronix.com/applications/
Site consulté en Février 2013



(a) Interconnexion par câblage filaire.



(b) Interconnexions par vias traversants (*TSV*).

FIGURE 1.1 – Illustration des techniques d'empilement de puces [1].

Forts de ces avancées technologiques, les systèmes ultra-compacts autonomes en énergie devraient prochainement voir le jour. Ceux-ci ont en effet un intérêt particulier au regard des contraintes énergétiques actuelles : les batteries rechargeables étant généralement utilisées dans les systèmes en tant que source d'énergie secondaire, il est toujours nécessaire d'avoir un réseau électrique à disposition pour recharger l'appareil. De plus, il serait laborieux de devoir recharger manuellement une multitude de capteurs sans fil disséminés dans des endroits difficiles d'accès.

Les recherches de cette thèse (réalisés en collaboration avec l'entreprise STMicroelectronics et le département Signaux et Systèmes Électroniques de SUPÉLEC dans le cadre d'une convention CIFRE), se sont donc concentrées sur les systèmes permettant l'autonomie de ces capteurs sans fil autonomes en énergie (Figure 1.2). Il s'agissait de permettre à la batterie de se recharger de manière indépendante sans l'intervention de l'homme et du réseau électrique.

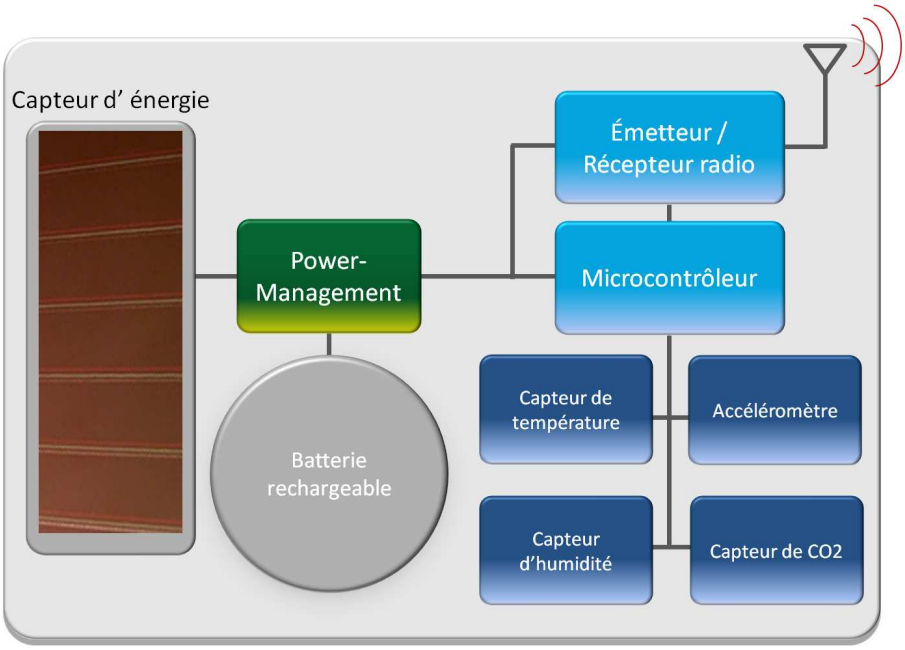


FIGURE 1.2 – Exemple d'architecture d'un capteur autonome en énergie.

C'est pourquoi, dans un premier temps (Chapitre 2) les différents types de systèmes permettant de récolter l'énergie ambiante et de la convertir en énergie électrique seront présentés. Ces éléments sont en effet indispensables à la survie et à l'autonomie énergétique du capteur. Il est donc primordial de connaitre tous les types de systèmes existants pour faire des choix judicieux en termes d'apport énergétique et de rendement. Dans le même temps, un tour d'horizon des différents éléments de stockage de l'énergie et des différents convertisseurs d'énergie sera effectué. Étant indispensables à l'alimentation du capteur lorsque l'énergie ambiante est insuffisante ou nulle, il est également important de les choisir convenablement.

Cet aperçu architectural des différents éléments permettra dans un deuxième temps (Chapitre 3) de mettre en évidence les besoins d'un capteur autonome en énergie. Il sera alors possible de s'interroger sur les contraintes que chacun d'eux représente pour le projet tout en mettant en lumière les enjeux.

Puis dans un troisième temps (Chapitre 4) les différentes solutions permettant de répondre aux interrogations préalablement soulevées seront mises en perspective. Il s'agira de mettre en lumière chacune des étapes pour bien saisir les attentes du projet et être en mesure d'appréhender celui-ci dans sa globalité.

Enfin, la présentation du circuit et de ses mesures (Chapitre 5) traduira l'aboutissement de ces recherches et permettra de répondre à la question du dimensionnement énergétique des réseaux de capteurs sans fil autonomes en énergie.

Chapitre 2

ETAT DE L'ART : L'AUTONOMIE ENERGETIQUE DES RESEAUX DE CAPTEURS

2.1 LES CAPTEURS D'ÉNERGIE

2.1.1 Introduction

Les capteurs d'énergie apparaissant sous leur forme anglophone *harvester* dans la majorité des ouvrages scientifiques traitant de ce sujet, il a été choisi d'utiliser également cet anglicisme tout au long de la recherche. De plus, cela permettra d'éviter les confusions avec les autres emplois du terme « capteur ».

Ces *harvesters* sont indispensables pour permettre de prolonger l'autonomie énergétique du capteur (indéfiniment si le dimensionnement énergétique a été conçu à cet effet). Le *harvester* doit être adapté à l'environnement dans lequel le capteur est placé (extérieur, intérieur, chaud, froid, sous contraintes mécaniques ou non, etc.). Différents types de *harvester* existent aujourd'hui mais certains d'entre eux sont plus fréquemment utilisés. C'est ceux-ci qui seront présentés dans cette partie.

2.1.2 Énergie piézoélectrique

L'énergie piézoélectrique utilise la propriété de certains matériaux pour transformer une contrainte mécanique en charge électrique. Il devient donc possible de transformer des vibrations mécaniques en contraintes mécaniques que le matériau piézoélectrique se chargera de transformer en électricité [3]. Ainsi, avec un système piézoélectrique bimorphe une puissance de $277\mu W$ peut être récoltée à une fréquence de vibration de $120Hz$ [4] et $25\mu W$ à $301Hz$ après une conversion de puissance inférieure à $40\mu W$ [5]. Ce type de *harvester* peut être utilisé pour tout type de système oscillatoire mécanique, aussi bien les déformations engendrées par les marcheurs (dalles ou semelles de chaussures [6] [7]) que les vibrations d'un moteur à

explosion ou d'une machine à laver. D'autres applications visant des systèmes complets ont pu être démontrées. Par exemple, un capteur sans fil autonome alimenté à partir d'un *harvester* piézoélectrique a été développé. Conçu dans un Micro-Mecanical-Electrical-System (*MEMS*) dans lequel le vide d'air avait été créé (l'air enfermé dans ce genre de cavité freine la masse en mouvement, il est donc indispensable de faire le vide d'air pour que la puissance délivrée puisse être décuplée), le *harvester* a été capable de délivrer une puissance de $85\mu W$ une fois excité à une fréquence de $325Hz$ (Figure 2.1) [8].

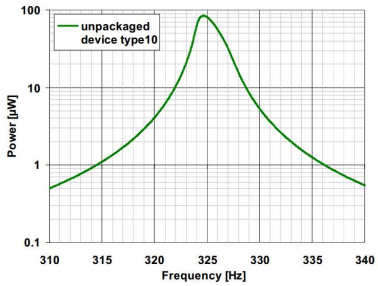


FIGURE 2.1 – Puissance délivrée par le *MEMS* en fonction de la fréquence d'oscillation.

En apportant quelques modifications au niveau de la conversion d'énergie, il est possible d'avoir un *harvester* piézoélectrique large bande [9]. Les fréquences de résonance des *harvesters* piézoélectriques sont de l'ordre de quelques centaines de Hertz. Dans certains cas, il devient donc nécessaire de mettre en œuvre des méthodes de conception permettant de transformer les basses fréquences en hautes fréquences. Ainsi, un système à base de *polyvinylidene fluoride* (*PVDF*) permet d'utiliser un *harvester* piézoélectrique pour les déplacements humains. Il a été montré qu'avec un mécanisme *PVDF* (semelle piézoélectrique), plus de $5W$ pourraient être récupérés dans des chaussures pendant une marche rapide [10]. En effet, à chaque pas, nos chaussures absorbent une telle quantité d'énergie que celle-ci suffirait à recharger et alimenter certains de nos appareils électroniques (podomètres, tensiomètre, *smartphones*) [11].

2.1.3 Thermoélectricité

La thermoélectricité a été découverte au début du *19ème* siècle par le physicien Thomas Johann Seebeck [12]. Elle consiste à transformer un flux de chaleur en courant électrique par l'intermédiaire de matériaux conducteurs de natures différentes [13]. L'effet thermoélectrique est réversible. Si une différence de température existe de chaque côté d'un couple de matériaux de natures différentes alors une différence de potentiel se crée. C'est l'effet Seebeck. La réciproque est également valable. De la même manière, si un courant électrique parcourt un couple de matériaux conducteurs de natures différentes alors une différence de température apparaît aux jonctions de ce couple. Une jonction s'échauffe alors que l'autre se refroidit. On parle alors de l'effet Peltier en référence au physicien Jean-Charles Peltier

qui découvre l'effet en 1834 [12]. Chaque couple de matériaux conducteurs ayant un pouvoir thermoélectrique différent, il convient alors de les choisir judicieusement afin d'obtenir le meilleur rendement de la conversion [14]. Les *harvesters* thermoélectriques ont une courbe de puissance caractéristique en cloche (Figure 2.2). On remarque aisément que le maximum de puissance intervient pour une valeur de $\frac{V_{OC}}{2}$.

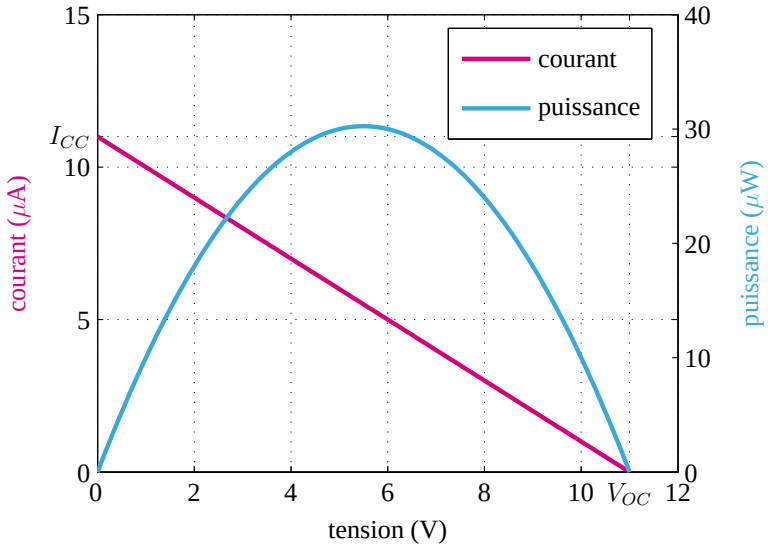


FIGURE 2.2 – Courbe de courant et de puissance en fonction de la tension d'un convertisseur thermoélectrique.

Des *harvesters* thermoélectriques sont donc des modules formés de couples thermoélectriques. Leur efficacité repose sur un quadrillage de thermocouples simultanément connectés de deux manières différentes : électriquement en série et thermiquement en parallèle (Figure 2.3). En effet, chaque thermocouple a une différence de potentiel de l'ordre de quelques millivolts. La chaleur traversant le module va donc pouvoir créer une tension de quelques volts qui sera exploitable par une électronique classique.

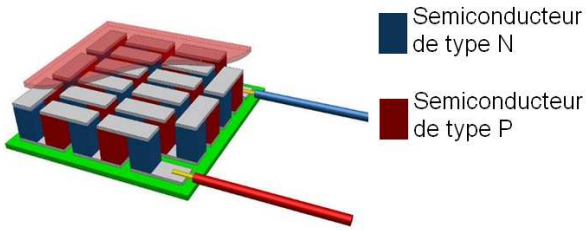


FIGURE 2.3 – Module thermoélectrique [1].

Chaque matériau utilisé pour un thermocouple est efficace pour un ΔT donné. Ainsi, pour augmenter le rendement d'un générateur thermoélectrique utilisé dans des applications

1. Image issue de : pcbheaven.com/wikipages/The_Peltier_Thermo-Element/
Site consulté en Mai 2013

à gradient de température élevé (conduit de cheminée, pot catalyseur automobile, exposition solaire dans le spatiale, etc.), différents matériaux connectés les uns aux autres seront utilisés. Deux matériaux l'un et l'autre efficaces à des températures opposées (par exemple un alliage à base de silicium et germanium (SiGe) et du Tellurure de bismuth (Bi_2Te_3)) pourront alors être connectés [15]. On parle de module thermoélectrique segmenté.

2.1.4 Cellules solaires photovoltaïques

L'effet photovoltaïque, découvert par le physicien Antoine Becquerel et présenté à l'académie des sciences en 1839, est un procédé permettant de transformer de l'énergie lumineuse en énergie électrique [16]. Il est utilisé par les *harvesters* solaires qui sont constitués d'une ou plusieurs cellules solaires (communément appelées cellules photovoltaïques).

Ces cellules photovoltaïques (*PV*) sont composées de deux couches de silicium (dopé N et P) superposées. Cela crée une jonction PN avec une bande d'énergie E_g. Ces deux couches se trouvent entre un substrat et une grille métalliques afin de pouvoir collecter l'électricité produite par la cellule. Quand un photon d'énergie supérieur à E_g vient frapper cette jonction PN, il arrache un électron de la couche N pour le faire passer dans la couche P (l'électron remplit donc un trou de la couche P et libère ainsi un trou en N). Une paire « électron-trou » est générée et une différence de potentiel est créée aux bornes de la jonction. Si une charge est placée sur ces bornes, un courant est récolté. Selon la luminosité et le type d'éclairement (naturel (solaire), artificiel (tube fluorescent, halogène, etc.)) ainsi que le type de matériau utilisé le rendement de la cellule peut être plus ou moins élevé.

L'irradiance est la quantité d'énergie lumineuse reçue à la surface de la Terre par mètre carré. Pour une cellule solaire, elle représente la puissance lumineuse incidente à la cellule. Le rendement solaire η d'une cellule est donc la puissance électrique produite par la cellule en fonction de l'irradiance qu'elle reçoit :

$$\eta = \frac{P_{produite}}{irradiance \times surface}$$

Différents types de cellules existent, cependant certaines sont plus utilisées que d'autres.

2.1.4.1 Cellules solaires monocristallines

Les cellules solaires monocristallines (Figure 2.4) sont réalisées à partir des lingots de silicium obtenus selon le procédé de Czochralski. Cela consiste à étirer les germes d'un monocristal (à une vitesse de l'ordre du millimètre par heure) et à leur faire suivre une même orientation cristalline [17]. Ainsi les cellules obtiennent un teint homogène et un rendement

élevé. Les cellules monocristallines sont issues du même silicium que celui utilisé dans l'industrie de la micro-électronique. Une fois étiré, le monocristal de silicium est purifié à plus de 99.999%. Le rendement des cellules monocristallines est donc plus élevé mais également leur coût. En effet le procédé est long (plusieurs heures pour la fabrication d'un lingot monocristal), la consommation énergétique importante et la conception délicate. Leur utilisation se limite donc à des surfaces relativement réduites.

FIGURE 2.4 – Cellule monocristalline [2].

2.1.4.2 Cellules solaires polycristallines

Les cellules solaires polycristallines (ou multicristallines) (Figure 2.5) sont de loin les plus répandues à ce jour. La raison est simple ; leur rapport coût/rendement est plus faible. Elles peuvent être réalisées selon deux méthodes :

La première consiste à réaliser des rubans de silicium (polycristallin *EPR* (*Electron Powder Ribbon*) à partir de poudre de silicium. Le procédé est relativement rapide donc son coût est peu élevé. Cependant, des contraintes se forment lors du refroidissement. La matière se disloque et les cristaux sont alors arrangés de manière aléatoire [18].

La seconde est beaucoup plus répandue. Elle consiste à refondre des chutes de silicium monocristalin issues de l'industrie de la micro-électronique (lors de l'équarrissage des *wafers*). Bien qu'elle nécessite l'utilisation de fours chauffant à plus de $1400°C$, cette méthode nécessite beaucoup moins d'énergie que pour la production de silicium monocristallin. Son coût est donc plus faible. Une fois refroidis, les lingots sont découpés en tranches de quelques centaines de micromètres d'épaisseur. Elles aussi forment un ensemble de cristaux monocristallin arrangés de manière non uniforme [19]. Le rendement est donc également plus faible

2. Image issue de : www.directindustry.fr/prod/solarfun-power/modules-photovoltaiques-polycristallins-54785-358267.html
Site consulté en Mai 2013

que des cellules monocristallines mais leur rapport coût/rendement est le plus faible.

Les cellules de silicium en ruban sont fabriquées à partir de silicium mou ayant une structure polycristalline. Ces cellules sont moins efficaces (13.5-15%), mais représentent une faible perte de silicium puisqu'aucune découpe n'est réalisée (Figure 2.6). Ce principe a été breveté par la société Solarforce [20].

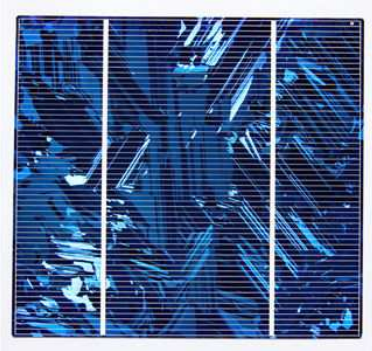


FIGURE 2.5 – Cellule polycristalline [3].

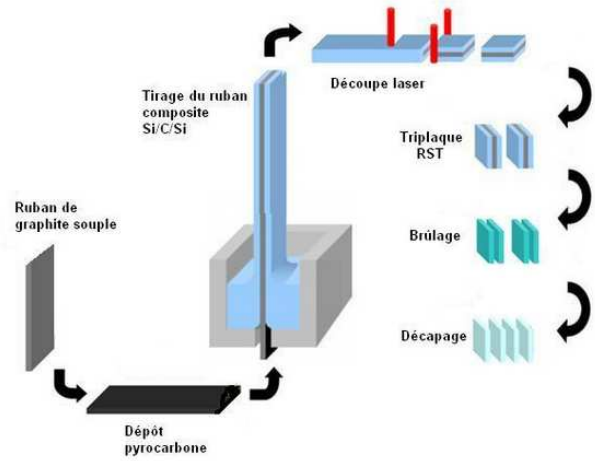


FIGURE 2.6 – Principe de conception de cellules polycristallines par la société Solarforce [4].

2.1.4.3 Cellules solaires amorphes

Les cellules solaires dites amorphes (ou cellules à couche mince (Figure 2.7)), créées en 1969 par Chittick, Alexander et Sterling [21], sont principalement utilisées pour des calculatrices à bas coût, des montres et d'autres gadgets électroniques. Leur principe repose sur la fine couche de silicium déposée au moyen d'un gaz composé de silicium et d'hydrogène, le

3. Image issue de : www.directindustry.fr/fabricant-industriel/cellule-solaire-73613.html
Site consulté en Mai 2013
4. Image issue de : www.solarforce.fr/fr/technologie
Site consulté en Mai 2013

silane (SiH_4) [22]. Le dépôt du silane se fait sur un substrat (par exemple du verre) chauffé à 150 - 200˚C. Cette technique au gaz est également utilisée pour déposer d'autres matériaux qui permettent d'absorber une partie plus large du spectre lumineux. Le rendement est ainsi accru. Au contraire des cellules cristallines, les atomes de silicium ne sont pas structurés de manière périodique mais aléatoire. C'est ce qui leur procure un aspect mat [17]. Le processus de fabrication des cellules amorphes comporte moins d'étapes que celui de la fabrication des cellules cristallines. Il est donc plus rapide et moins coûteux.

Leur rendement lors d'une exposition aux rayons du soleil est relativement faible mais est nettement supérieur pour une bande spectrale de lumière plus courte que celle des cellules cristallines. En effet, le silicium amorphe a lui une bande interdite de $1.7eV$ ($1.1eV$ pour les cellules cristallines qui ne lui permet pas de convertir la lumière infrarouge) [23]. Ces cellules seront donc plus efficaces en intérieur sous un éclairage artificiel tel que l'éclairage à lampes à diodes électroluminescentes (*LED*) ou à tube fluorescent que sous un éclairage solaire ou artificiel de type halogène. L'utilisation de ce type de cellule peut constituer un avantage non négligeable pour des applications ou la lumière est diffuse (temps couvert, ombragées, intérieur...) là où les cellules polycristallines auraient un rendement quasi nul (Figure 2.8).

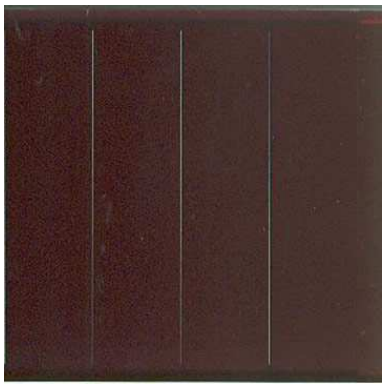


FIGURE 2.7 – Cellule amorphe [5].

La courbe 2.8 compare la puissance fournie normalisée par unité de surface pour une cellule monocristalline et une cellule amorphe sous un éclairage artificiel. On constate qu'en dessous de $15klux$, la cellule amorphe a un avantage en rendement sur la cellule cristalline :

5. Image issue de : www.ecosources.info/dossiers/Types_de_cellules_photovoltaiques. Site consulté en Mai 2013

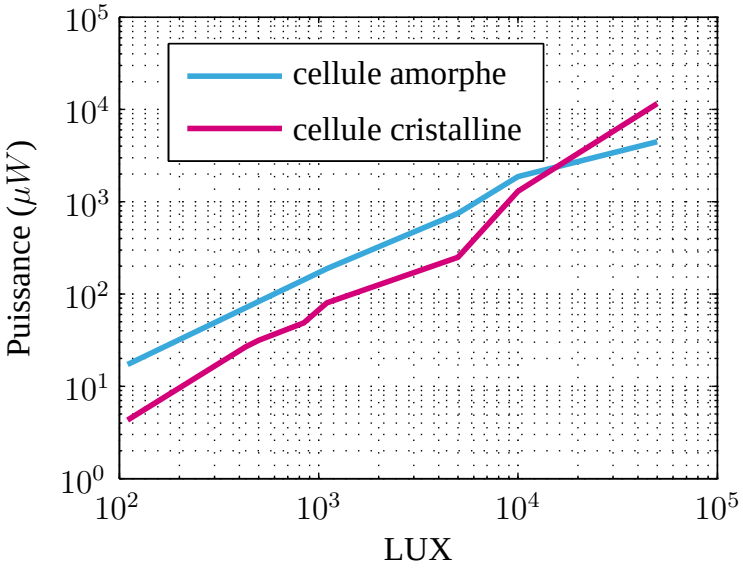


FIGURE 2.8 – Comparaison de la puissance d'une cellule amorphe et d'une cellule monocristalline en fonction de l'éclairement.

2.1.4.4 Cellules Tandem

Une cellule tandem est l'association d'une cellule cristalline et d'une cellule amorphe [24]. Elle fonctionne aussi bien en intérieur qu'en extérieur puisqu'elle peut combiner l'efficacité de la cellule cristalline (en fort éclairement) avec celle de la cellule amorphe (en faible éclairement) [25]. Bien que cette technique soit ancienne, le coût de fabrication de ces cellules reste élevé et leur utilisation marginale.

2.1.4.5 Cellules multicouches ou multijonctions

Les cellules multicouches (ou multijonctions (Figure 2.9)) peuvent extraire davantage d'énergie que les cellules solaires à couche unique car elles convertissent une plus large bande de fréquences de l'énergie lumineuse [26]. En effet, chaque jonction convertit une bande de longueur d'onde restreinte. L'ajout de différents types de jonctions permet donc de convertir plusieurs bandes de longueur d'onde et augmente par conséquent le rendement de la cellule solaire. Leur coût de fabrication (cent fois supérieur au prix des cellules en silicium) contraint leur utilisation au seul domaine spatial qui donne plus d'importance à la durée de vie du produit ainsi qu'à son poids.

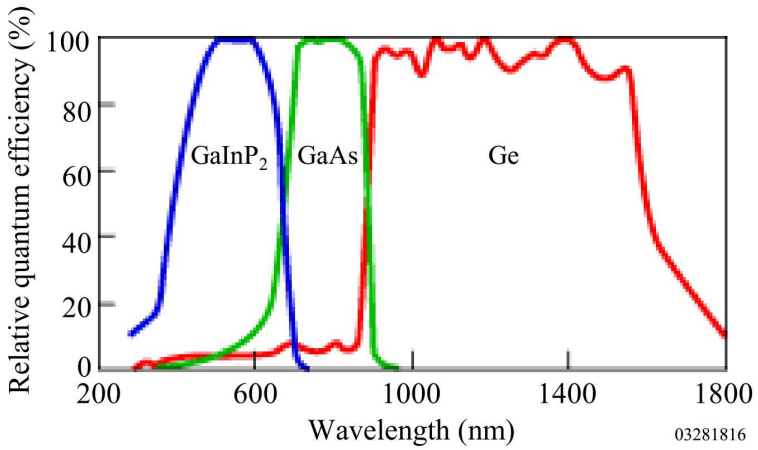


FIGURE 2.9 – Rendement énergétique d'une cellule à trois couches composés de Gallium-Indium-Phosphore (GaInP), d'arséniure de gallium (GaAs) et de Germanium (Ge) en fonction de la longueur d'onde de la lumière [6].

2.1.4.6 Panneau photovoltaïque à concentration

Les panneaux photovoltaïques à concentration (ou CPV pour *Concentrated PhotoVoltaic*) sont des panneaux solaires ou des petites cellules solaires à haut rendement (par exemple des cellules multicouches (cf. 2.1.4.5)) irradiés par la lumière focalisée à l'aide d'une lentille de Fresnel. Un tel dispositif est volumineux et les cellules solaires nécessitent un système d'évacuation des calories. En effet, une telle luminosité concentrée fait chauffer la cellule puisqu'une partie de l'énergie n'est pas convertie en énergie électrique mais dissipée sous forme de chaleur [27]. Ces cellules se différencient surtout selon leur facteur de concentration. Il peut être bas (2 à 100), moyen (100 à 300) ou haut (supérieur à 300). La haute concentration a cependant deux avantages. Le premier est de pouvoir réduire la taille de la cellule photovoltaïque ; le deuxième est de pouvoir utiliser des matériaux et des structures ultra-performants qui sont d'ordinaire réservés aux engins spatiaux.

La courbe 2.10 présente l'évolution typique du courant et de la puissance d'une cellule solaire en fonction de la tension à ses bornes :

6. Image issue de : Advanced Material Technology and Future Of III-V Multijunction Solar Cells, P. Rhushi Prasad, K. S. Badarinarayan, P.B.Gangavati, H.V.Byregowda.

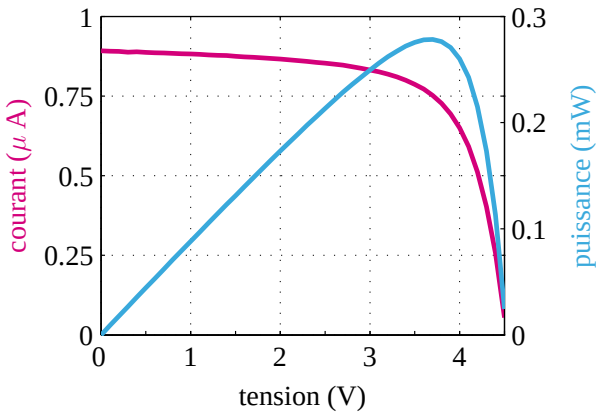


FIGURE 2.10 – Courbe IV et PV typique d'une cellule solaire.

2.1.5 Conclusion

D'autres types de *harvesters* existent tels que les *harvesters* électromagnétiques qui récoltent l'énergie des antennes comme celle des portables, du *wifi* ou des stations de bases. Leur utilisation reste cependant du domaine de la recherche et les puissances concernées demeurent marginales pour les types d'utilisations qui intéressent cette présente étude.

Ce n'est en revanche pas le cas d'un des principaux *harvesters* présentés précédemment. En effet, il apparait rapidement que l'énergie solaire apporte un avantage non négligeable face aux autres sources d'énergie (Tableaux 2.1). Cependant, en l'absence de lumière et selon les conditions et lieux d'utilisation, d'autres sources peuvent se substituer. De plus, l'énergie lumineuse est rarement présente en permanence pendant les 24h de la journée. Aussi, une énergie thermo-électrique pourrait donc avoir un avantage supérieur à l'énergie lumineuse si on l'utilise dans des environnements où la présence de source de chaleur est continue (chaudière, radiateur, etc.). Ce n'est pas la condition retenue pour les spécifications du projet, donc un *harvester* de type photovoltaïque en technologie amorphe sera utilisé.

Type de *harvester*	**Densité de puissance**
Cellules solaires	$15mW/cm^2$
Piezoelectrique	$330\mu W/cm^3$
Vibration	$115\mu W/cm^3$
Thermo-electricité	$40\mu W/cm^3$

Tableau 2.1 – Mesures de différents *harvester* [2].

Le *harvester*, quel qu'il soit, sera rarement adapté à une utilisation direct sur la batterie. Afin d'optimiser le rendement, il convient donc d'adapter l'énergie du *harvester* à la batterie par le biais d'un convertisseur d'énergie. L'utilisation de celui-ci permet en effet d'adapter

l'impédance du *harvester* et de la batterie. Ainsi le maximum de profit peut être tiré du *harvester*. Les différents types de convertisseurs seront détaillés par la suite (cf. 2.3).

2.2 LES BATTERIES

2.2.1 Introduction

Le terme « batterie » désigne une série d'éléments accumulateurs d'énergie électrique. L'appellation française « batterie » désigne tout type d'accumulateur électrochimique d'énergie électrique. C'est dans ce sens que le terme batterie sera employé dans ce manuscrit.

Une batterie constitue un élément indispensable pour tous les appareils électriques nomades. Elle sert de support de stockage à l'énergie temporaire de l'appareil utilisé et doit donc être rechargée pour recommencer un nouveau cycle. Certains paramètres de la batterie (niveau de potentiel, impédance interne, profils de charge et décharge, capacité, courant maximal de débit, etc.) sont déterminés par les éléments qui la compose : la batterie comprend deux électrodes (couple électrochimique) baignées dans une solution appelée « électrolyte » (Figure 2.11).

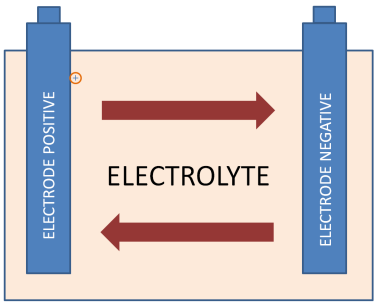


FIGURE 2.11 – Schéma de principe d'une batterie.

Le couple électrochimique est formé généralement de matériaux métalliques de formes diverses et variées. Sa nature définit le potentiel électrique de la batterie. De plus, des électrodes de grandes surfaces permettent un transfert de charge beaucoup plus important et ont donc une incidence sur la valeur du courant de court-circuit (et par conséquent sur l'impédance interne). L'électrolyte peut être quant à lui liquide, sous forme de gel, ou solide. Il permet d'assurer le transport des charges d'une électrode à l'autre. Un électrolyte liquide aura plus de facilité à faire transiter les ions d'une électrode à l'autre qu'un électrolyte gélifié ou solide (c'est ce qui définit en partie l'impédance interne de la batterie).

D'autres paramètres caractérisent également la batterie : sa durée de vie (elle correspond principalement au nombre de cycles que la batterie peut supporter avant une perte définie de

capacité) en fonction de sa profondeur de décharge et son rendement de charge/décharge (il correspond au rapport entre la restitution de l'énergie électrique et l'énergie nécessaire à sa charge).

Tous ces paramètres permettent d'offrir un large choix de batteries afin que toute application trouve le meilleur compromis en fonction de ses besoins [28] [29]. Ici seront présentées les batteries semblant le mieux convenir au type d'application du projet.

2.2.2 Batteries à base de lithium

Les batteries à base de lithium sont actuellement l'une des technologies les plus employées et notamment les batteries lithium-ion qui utilisent le lithium à l'état ionique. Pour ces batteries, la variété de conception est large car les matériaux utilisés pour les électrodes sont nombreux. Leur tension de service se situe généralement à $3.6V$ et leur tension de fin de charge s'élève à $4.2V$. Le principal avantage des batteries lithium est leur grand rendement énergétique qui avoisine les 100% [29].

2.2.3 Batteries zinc-air

Les batteries Zinc-air ont un avenir prometteur. Elles reposent sur le principe d'oxydation du zinc [30]. En effet, l'oxygène de l'air joue le rôle d'électrode positive et au contact de l'électrolyte liquide à base d'eau des ions hydroxydes sont produits. Ceux-ci oxydent le zinc de l'électrode négative et libèrent ainsi des électrons.

Avoir ainsi l'oxygène de l'air comme réactif permet un gain de place (puisqu'il n'est pas un composant physique solide) et donne donc la possibilité d'utiliser une anode en zinc plus volumineuse. La capacité de la batterie zinc-air est donc plus importante pour un volume donné qu'une batterie d'une autre technologie (le principe de ces batteries permettrait de stocker de 10 à presque 20 fois plus d'énergie que les batteries lithium-ion [31]). Les réserves mondiales de zinc sont de loin plus importantes que celles du lithium [32] ; le coût de ce type de batteries pourrait donc baisser nettement pour les productions de masse. Les batteries Zinc-air deviendraient alors très compétitives face aux batteries lithium.

Le fonctionnement de ces batteries présente cependant deux inconvénients : l'électrolyte s'évapore rapidement [33] (des recherches sur des électrolytes non volatiles sont en cours [34] [35]) et des cristaux se créent sur l'anode en zinc. Cela a donc un impact direct sur le nombre de cycles que peuvent supporter les batteries.

2.2.4 Batteries au graphène de silicium

La technologie lithium graphène est actuellement en cours de développement. L'enjeu est d'améliorer les batteries lithium de base en leur offrant une superficie de l'anode plus grande. En effet, cette surface est primordiale pour augmenter la capacité d'une batterie (et donc sa densité énergétique (Wh/kg)) puisque sa surface détermine le nombre d'ions pouvant être stockés. Dans ces batteries au graphène de silicium, l'anode en graphite traditionnelle est remplacée par des couches de graphène séparées par des atomes de silicium. Il en résulte donc non plus une anode en deux dimensions mais une anode en trois dimensions qui permet aux ions lithium de pénétrer entre les différentes couches de graphène pour s'y accrocher (dans les batteries classiques, l'anode composée de graphite (carbone) ne peut recevoir qu'un atome de lithium pour six atomes de carbone [36]).

2.2.5 Batteries à couches minces

Les batteries lithium à couches minces (ou batteries *thin film*) sont réalisées avec les mêmes composants que les batteries au lithium classique [37]. Cependant, l'ensemble des composants est fabriqué à l'échelle micrométrique selon des procédés similaires à ceux utilisés dans l'industrie micro-électronique [38]. Ainsi, l'épaisseur de ces batteries avoisine la centaine de micromètres. Cela permet de les appliquer à des systèmes ultra-compacts. Toutefois, cela présente un inconvénient : l'électrolyte des batteries *thin film* est solide et rend donc la migration des ions d'une électrode à l'autre difficile. Cette contrainte majeure affecte ces batteries au niveau de leur résistance interne. Celle-ci est en effet relativement élevée (quelques dizaines d'ohms). Il devient donc difficile de fournir un courant supérieur à une dizaine de milliampères [39] [40]. Cependant, ces batteries présentent quand même un avantage indéniable. Malgré des décharges profondes à 100%, leur nombre de cycles reste élevé (plusieurs milliers de cycle sans perte de capacité [38]). Bien qu'elles semblent avoir un avenir très prometteur, ces batteries restent au stade de la recherche et leur production à grande échelle est encore réduite.

Cette technologie de batterie permet ainsi d'encapsuler une batterie dans un boitier de composant électronique standard ($< 10mm^2$) et de la confondre par la suite avec les autres composants sur une même carte [41].

2.2.6 Batteries de type boutons

Différents types de batteries à base de lithium sont destinées au grand public. De formes et dimensions diverses, elles s'adaptent à la plupart des utilisations. Les batteries de type bouton (Lithium Coin Batteries) font partie des petits formats et sont donc particulièrement adaptées aux systèmes ultra-compacts. Les deux plus courantes sont constituées d'un alliage

de lithium au niveau de l'anode : les batteries Lithium-Pentoxyde de Vanadium et les batteries Lithium Manganèse.

2.2.6.1 Batteries Lithium-Pentoxyde de Vanadium

Les batteries au pentoxyde de vanadium sont appelées ainsi car leur cathode est constituée d'oxyde de vanadium. Elles trouvent un intérêt pour les systèmes ultra compacts (leurs dimensions étant très réduites). Leur tension de services se situe aux alentours de $3V$ et leur tension de charge quant à elle s'effectue aux alentours de $3.5V$ [42]. Ces batteries permettent ainsi d'alimenter les systèmes électroniques directement, sans conversion préalables. De plus, elles supportent un nombre de cycles de l'ordre de 1000 pour des profondeurs de décharge de 10% (Figure 2.12).

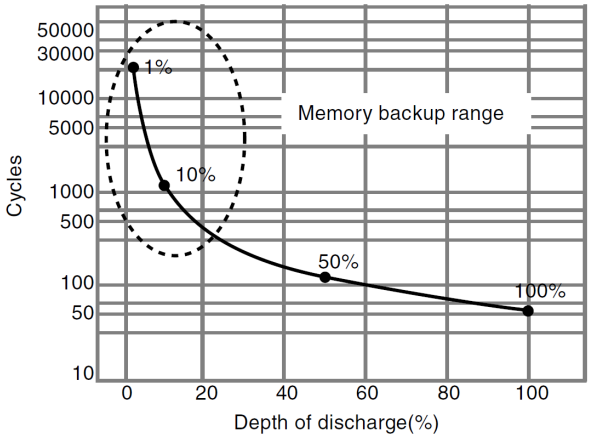


FIGURE 2.12 – Nombre de cycles en fonction de la profondeur de décharge.

2.2.6.2 Batterie Lithium Manganèse

Les batteries au manganèse sont-elles appelées ainsi car leur cathode est constituée d'un alliage de manganèse. Tout comme les batteries au pentoxyde de vanadium, leur tension de service est proche de $3V$ et leur tension de charge est tolérée jusqu'à $3.3V$ [43]. Leur nombre de cycles s'élève en revanche à 1500 pour une profondeur de décharge de 10% (Figure 2.13).

Un des avantages des batteries boutons rechargeables par rapport aux batteries à couche minces réside sur le fait d'une résistance interne beaucoup plus faible mais restant tout de même de l'ordre de la dizaine d'ohms du fait notamment d'une taille réduite des électrodes. La figure 2.13 présente le nombre ce cycle pour quelques batteries Lithium Manganèse :

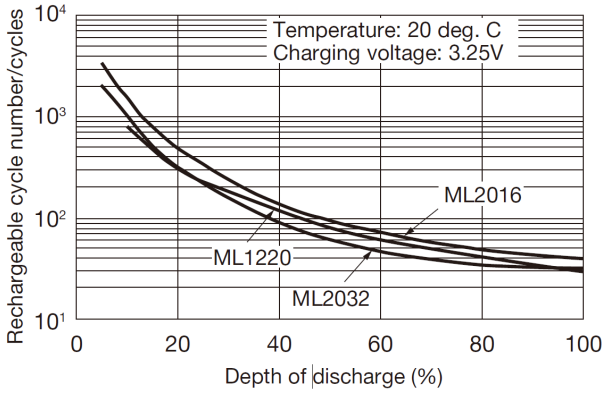


FIGURE 2.13 – Nombre de cycles en fonction de la profondeur de décharge.

2.2.7 Supercapacités

Les supercapacités (ou supercaps) sont des condensateurs de très grande capacité (de quelques milli-Farads à plusieurs milliers de Farads) à mi-chemin entre les condensateurs et les batteries. De fortes densités de puissance et d'énergie non négligeables y sont combinées. La faible résistance de série (ESR) de ces supercaps présente un avantage certain face aux batteries de type *thin film* ou coin cell. De plus, ces supercaps ont un nombre de cycles de charge/décharge très élevé (500000) [44]. Toutefois, le courant de fuite de ces supercaps étant de quelques micro-Ampères, leur application à des systèmes de faible puissance tels que les capteurs autonomes en énergie est à éviter [45].

2.2.8 Conclusion

Toutes ces batteries présentent donc d'importantes différences tant au niveau de leur durée de vie que de leur rendement. De plus, peu sont adaptées aux applications ultra-compactes telles que les capteurs autonomes en énergie (puisque ceux-ci commencent seulement à ce développer). Au regard de l'énergie nécessaire à ces systèmes, les batteries *thin film*, pas encore commercialisées, pourraient avoir leur légitimité. Cependant, la batterie de technologie Lithium-Manganèse présente des avantages certains en termes de faible encombrement et d'énergie embarquée. C'est donc cette dernière qui a été retenue pour le projet.

2.3 LES CONVERTISSEURS D'ÉNERGIE

2.3.1 Introduction

Chaque *harvester* fournit une puissance maximale différente. Celle-ci se situe à une valeur particulière de courant et de tension : le *MPP* (*Maximum Power Point*). Il est indispensable de rechercher ce point pour obtenir le plus de puissance possible. Les techniques utilisées

pour cela (*Maximum Power Point Tracking* : *MPPT*) sont plus ou moins complexes. Elles dépendent en effet de la précision et la réactivité du système face à des changements rapide du *MPP*. De plus, un convertisseur d'énergie peut fonctionner simultanément avec plusieurs types de *harvesters* qui fournissent des réponses différentes (par exemple un capteur Seebeck et un capteur solaire). Il est donc indispensable que le *MPPT* puisse s'adapter à ces sources.

2.3.2 Les différentes méthodes de *MPPT*

Le *hill-climbing* et le *Perturbe and Observe* (*P&O*) sont les techniques les plus couramment mises en œuvre pour les systèmes solaires extérieurs (où les puissances mises en jeu dépassent le Watt). La première fait intervenir des ajustements sur le rapport cyclique du convertisseur d'énergie et la seconde ajuste la tension de fonctionnement du panneau solaire [46]. Ces deux méthodes utilisent le même principe algorithmique consistant à incrémenter le point de fonctionnement (par exemple déplacer la tension d'un incrément pour le cas du *P&O*) et mesurer la puissance reçue en ce point. Si cette puissance est supérieure à la valeur précédente, la tension est à nouveau incrémentée. Dans le cas contraire elle est décrémentée. Cela revient à « grimper » sur la courbe de puissance jusqu'au sommet (le *MPP*). Cependant, ce système fonctionne de manière continue et cherche le maximum de puissance en se rapprochant d'un ΔP. Il lui est donc difficile d'y parvenir. Bien qu'efficaces, ces deux méthodes sont difficilement applicables pour des utilisations de faible puissance car elles ont besoin d'un micro-contrôleur pour exécuter l'algorithme (ce qui demande une grande quantité énergie) [47] [2].

La dichotomie (*bisection search theorem* : *BST*) est une autre des méthodes utilisées pour rechercher le *MPPT* [48]. Elle consiste à utiliser la dérivée de la courbe de puissance en fonction de la tension pour chercher le point particulier pour lequel la fonction s'annule (la dérivée est nulle au maximum de puissance). Cette technique est très rapide et simple à mettre en œuvre mais elle nécessite elle aussi l'utilisation d'un micro-contrôleur. Elle n'est donc pas adaptée pour les applications solaires en intérieur.

Une autre méthode est en revanche plus adaptée pour des applications où l'énergie récupérée est très faible. Elle considère le *MPP* comme étant une fraction de la tension de circuit ouvert (V_{OC}) ou du courant de court-circuit (I_{CC}) (Figure 2.14). En effet, tout comme V_{OC} la tension au maximum de puissance (V_{MPP}) varie de manière logarithmique avec la luminosité et est donc relativement proportionnelle à la tension V_{OC} ($V_{MPP} \simeq k_1 \times V_{OC}$ avec k_1 un facteur proche de 0.75 qui doit être déterminé au préalable pour différents seuils d'éclairement [49]). C'est donc par des mesures de V_{OC} que le point de fonctionnement V_{MPP} peut être déterminé.

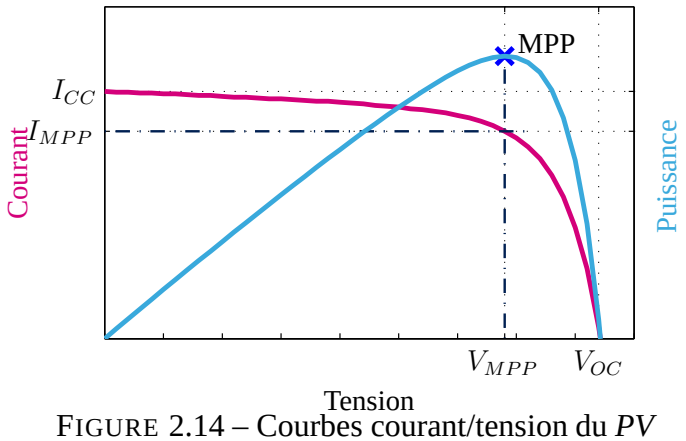


FIGURE 2.14 – Courbes courant/tension du *PV*

Une méthode similaire par fraction de I_{CC} existe également. Cependant, elle est moins utilisée car elle est plus difficile à mettre en œuvre techniquement parlant. Particulièrement adaptée aux applications faibles consommations (car celles-ci ne nécessitent pas de traitement numérique), cette méthode n'est pas plus rapide. La mesure du V_{OC} doit en effet se faire régulièrement pour déterminer le *MPP*, ce qui empêche la recherche d'être continue. Elle ne représente donc qu'une approximation du *MPP*. Cependant, pour des applications en intérieur nécessitant l'utilisation de cellules solaires en silicium amorphe, la proportion k est relativement bien gardée [47].

2.3.3 Les convertisseurs d'énergie *buck-boost*

Les convertisseurs d'énergie de type *buck-boost* utilisent une bobine pour convertir l'énergie. Il permet d'adapter la tension fournie par le *harvester* au reste du système (unité de stockage, circuit électronique, etc.). Ce type de convertisseur convient particulièrement aux conversions d'énergie de moyenne et haute puissance. Il est donc utilisé dans tous les systèmes de conversion d'énergie pour panneaux solaires extérieurs où les puissances mises en jeu vont du Watt au kiloWatt [50].

Cependant, bien qu'ils nécessitent des éléments discrets (notamment la bobine), ils trouvent également leur place dans les capteurs sans fils puisque leur rendement peut atteindre les 90% [2]. Ces convertisseurs peuvent permettre d'alimenter deux charges de tensions différentes avec un rendement de 85% pour $200mW$ de puissance convertie [51]. L'adaptation de ce type de convertisseurs aux capteurs à très faibles puissances (dont le rendement calculé dépasse les 95%) est également possible [52]. Cependant, le rendement dépasse difficilement les 70% pour des puissances de quelques micro-watts.

2.3.4 Les convertisseurs d'énergie à capacités commutées

Les convertisseurs d'énergie à capacités commutées sont principalement utilisés pour des applications de faible puissance (notamment en électronique numérique pour adapter des niveaux de tensions : enregistrement des mémoires, liaisons série RS232, etc.), c'est pourquoi ils sont qualifiés de pompes de charges [53]. Cependant, ces convertisseurs peuvent avoir un certain intérêt pour les capteurs sans fil. En effet, les capacités peuvent être facilement intégrées sur silicium (contrairement aux inductances), rendant ainsi les systèmes très compacts.

Bien que leur rendement effectif reste faible pour de fortes puissances (inférieur à 50% [54]), ils peuvent être utiles lorsque les tensions entre le *harvester* et la batterie et/ou le système sont différentes. Pour les faibles puissances en revanche (quelques micro-watt à $1mW$ [55]), les rendements peuvent dépasser 70%. En effet, avec $350pF$ de capacités intégrées et un rapport de conversion de 1, il est possible de dépasser les 70% pour $50\mu A$ convertis [56] . Cependant, ce rendement s'effondre vite en dessous de $50\mu A$ quand le rapport de conversion est élevé. 50% devient alors une valeur optimiste.

2.3.5 Conclusion

Les deux techniques présentées répondent à la plupart des besoins des systèmes actuels puisqu'elles peuvent convertir la puissance maximale fournie par un *harvester*. Elles sont en outre particulièrement indispensables lorsqu'il faut convertir les différences de tensions entre différents éléments d'un système (*harvester*, batterie, charge).

Toutefois, les convertisseurs d'énergie actuellement réalisables ne proposent pas le rendement optimal auxquels aspirent les capteurs autonomes pauvres en énergie. En effet, ils n'offrent pas la précision et le rendement requis. De plus, une étude réalisée par la suite sur les convertisseurs d'énergie à capacités commutées (cf. 4.2.1) démontrera que le rendement optimal est dégradé par la commande électronique et la fréquence nécessaires au fonctionnement du système. L'utilisation d'un convertisseur n'a donc pas semblé être pertinente pour le projet puisque les capteurs doivent fonctionner dans un environnement très pauvre en énergie. Bien que le *harvester* soit rarement adaptable à la batterie, c'est cette solution qui sera retenue pour le projet.

2.4 GESTION DE L'ÉNERGIE D'UN CAPTEUR SANS FIL

2.4.1 Introduction

La gestion de l'énergie (plus couramment connue sous le terme anglophone *power management* (*PM*)) conditionne le dimensionnement énergétique d'un réseau de capteurs. Elle est donc primordiale puisqu'elle sert d'interface aux trois éléments interdépendants du capteur que sont le *harvester*, la batterie et le système. Le *PM* doit permettre trois actions :

- l'alimentation du système en énergie via la batterie et/ou le *harvester*.
- l'adaptation des niveaux de tensions et/ou impédances entre le *harvester*, la batterie et le système.
- la recharge de la batterie avec l'énergie apportée par le *harvester*.

Les puissances mises en jeu par le *PM* dépendent de l'application à laquelle ce dernier est destiné. Les contraintes de consommations peuvent donc être différentes. Elles définissent entre autre les types de convertisseurs pouvant être utilisés.

2.4.2 Aperçu de divers *PM*

Le *harvester* pouvant apporter de faibles quantités d'énergie, il est important d'éviter tout gaspillage. Le *PM* doit donc tirer le maximum d'énergie en veillant à consommer le moins possible. Ces exigences ne sont pas si contraignantes puisqu'avec seulement $625nA$, la société Maxim Integrated ™ a lancé un *PM* capable de charger une batterie et alimenter une charge à partir de diverses sources d'énergie [57]. Dépourvu de système de *MPPT*, leur *PM* peut récupérer de l'énergie à partir de $1\mu W$. Il fonctionne avec un convertisseur de type *boost* qui permet d'élever la tension du *harvester* lorsque celui-ci est inférieur à la tension de la batterie.

Texas Instruments ont quant à eux réalisé un *PM* dont la consommation au repos est de $330nA$. Il permet de recharger une batterie (ou super-capacité) à partir d'un *harvester* soit de type photovoltaïque soit de type thermique [58]. Le convertisseur d'énergie qu'ils utilisent donne un rendement de l'ordre de 90% (même par faible charge) bien qu'il soit de type *boost*. Utilisé pour des applications de faible énergie, le système de *MPP* est donc fondé sur la méthode fractionnelle de V_{OC}. En effet, pour les *harvesters* de type photovoltaïque (cf.2.1), le facteur $k = \frac{V_{MPP}}{V_{OC}}$ est d'environ 0.75 alors qu'il est de 0.5 pour un convertisseur thermique. Leur solution propose un pont de résistances externes pour configurer ce facteur k.

Une équipe de Leuven est parvenue à charger une batterie à partir d'un capteur thermique

fournissant de $10\mu W$ à $1mW$. La conversion est effectuée à l'aide de capacités commutées intégrées capitalisant $2.45nF$ et permettant d'atteindre 70% de rendement [59].

Zhangcai Huang and Yashuaki Inoue présentent un *PM* destiné à des applications médicales qui ne consomme pas plus de $100nA$ en veille. Mais le circuit, ne gère pas la charge de la batterie qui est directement connectée au *harvester* [60].

L'équipe de Khosropour (EPFL) se dispense quant à elle de système de conversion de tension et de *MPP* pour recharger une batterie de type NiMH. De cette manière, les réductions de la consommation du circuit ($330nW$) et de la surface de silicium ($0.15mm^2$) permettent de réduire les coûts [61].

2.4.3 Conclusion

Les *PM* peuvent donc être très différents. Certains sont très spécifiques et sont par conséquent destinés à seulement quelques types de *harvester* et de batteries. D'autres sont en revanche plus polyvalents et s'adaptent plus aisément.

Toutes les solutions présentées pourraient être adaptées à l'objet de cette étude. Il est donc essentiel de prendre en compte les contraintes et les exigences des capteurs autonomes en énergie afin de faire le meilleur choix. D'autant plus que cette présente recherche ne peut s'appuyer que sur très peu d'études. En effet, le projet présente des contraintes énergétiques très spécifiques encore peu approfondies dans le domaine de la recherche.

Chapitre 3

CONTRAINTES ET EXIGENCES D'UN CAPTEUR AUTONOME EN ENERGIE

3.1 AUTONOMIE DES CAPTEURS

La priorité du projet est fondée sur l'autonomie et l'adaptabilité des réseaux de capteurs. Ceux-ci étant principalement prévus pour des utilisations en intérieur (faible éclairement), le rendement énergétique entre l'énergie apportée par le panneau solaire et l'énergie servant à recharger la batterie doit être maximum (et cela à des niveaux d'énergie relativement très faibles). Un *PV* de technologie amorphe (*harvester*) est donc idéal. En effet, ce type de *harvester* permet de récupérer un maximum d'énergie lumineuse en faible éclairement (cf. 2.1.4). De plus, il peut être utilisé pour des applications en extérieur même si ce n'est pas de façon optimale. Tous les capteurs pourraient donc fonctionner à des niveaux de puissance allant de quelques micro-Watts à plusieurs dizaines de milli-Watts.

Le réseau de capteurs du projet s'apparente à un ensemble de ramifications. Chacun des capteurs (feuilles) transmet donc des données à un coordinateur (nœud qui relaie l'information) puis au capteur principal (*edge routeur*). Or, lorsque qu'un des coordinateurs présente un déficit en énergie, c'est une branche complète qui peut défaillir. Il faut donc optimiser la stratégie de fonctionnement de chaque capteur au sein du réseau. Lorsque l'un d'entre eux bénéficie de peu d'énergie, il doit pouvoir devenir à souhait une feuille du réseau de capteurs ; un capteur bénéficiant d'une batterie chargée doit pouvoir servir de nœud relayant les messages émis par d'autres (coordinateur). Autrement dit, il faut permettre au capteur de modifier et adapter son fonctionnement selon l'énergie disponible dans la batterie et l'énergie apportée par le *harvester*. Il s'agit de changer la fonctionnalité du capteur en temps réel afin d'éviter les pannes dues à des déficits d'énergie et préserver ainsi cette dernière. Pour parvenir à un tel fonctionnement d'autonomie des capteurs il faut permettre au système d'évaluer son propre niveau d'énergie embarquée.

Le dimensionnement énergétique d'un réseau de capteurs passe donc par la maîtrise et la bonne gestion de l'énergie disponible. Les enjeux et les méthodes mises en œuvre pour

parvenir à un dimensionnement énergétique optimal sont donc primordiaux.

3.2 GESTION DE L'ÉNERGIE

Le bilan énergétique typique d'un capteur autonome en énergie (Figure 3.1) se compose de deux parties : la phase active (ou phase de réveil) pendant laquelle le capteur exécute les tâches qui lui sont attribuées (mesures des capteurs, traitement et envoi des données, etc.) et la phase de veille pendant laquelle le capteur est inactif. La phase active a une consommation moyenne très élevée (une dizaine de milli-Ampères) sur un temps très court (inférieur à $100ms$). Cela peut représenter 30% de l'énergie consommée par le capteur. La phase inactive a quant à elle une consommation moyenne beaucoup moins élevée mais sur plus de 99.9% du temps. Cela peut représenter 70% de l'énergie consommée par le capteur. Il est donc indispensable que la consommation de veille soit la plus basse possible pour permettre au *harvester* de recharger la batterie.

FIGURE 3.1 – Bilan énergétique typique d'un capteur sans fil.

La consommation d'un capteur autonome en énergie doit donc être de moyenne nulle (Figure 3.2).

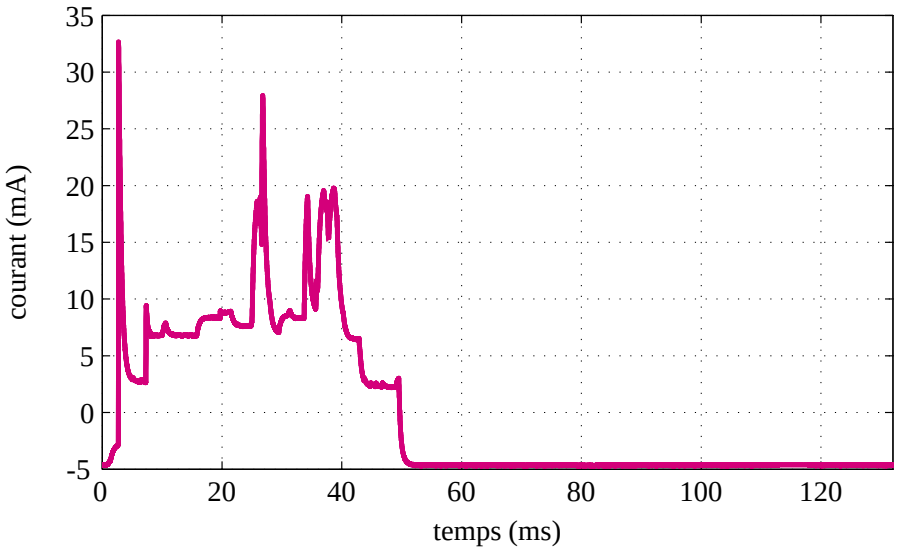


FIGURE 3.2 – Profil typique de consommation d'un capteur sans fil.

Sur la courbe ci-dessus, la partie supérieure à $0mA$ représente l'énergie consommée par le capteur alors que la partie inférieure à $0mA$ représente l'énergie récupérée par le *harvester* (et donc stockée dans la batterie).

Dans ce cas précis, l'intégrale de cette courbe est nulle, ce qui revient à dire qu'il n'y a ni gain ni perte énergétique. Le *PM* ne doit donc absolument pas entraver le bilan énergétique du capteur. Autrement dit, la batterie doit pouvoir être rechargée par le *harvester* même si celui-ci ne reçoit qu'une faible quantité d'énergie.

La consommation statique du capteur doit donc être la plus faible possible. Elle doit pouvoir satisfaire la charge et la décharge de la batterie, c'est à dire protéger cette dernière en respectant les contraintes du constructeur. Elle doit également pouvoir satisfaire le système en énergie quelle que soit la demande. Peu importe le moment, si le système demande un courant bien supérieur à ce que fournit le *harvester*, le *PM* doit pouvoir lui fournir tant que l'énergie stockée dans la batterie le permet.

3.3 MESURE DE L'ÉNERGIE

Un réseau de capteurs autonomes en énergie repose sur la capacité à adapter cette dernière. Sans information concernant la quantité d'énergie disponible, un réseau de capteurs est beaucoup moins efficace. Le routage des différents nœuds doit pouvoir s'adapter automatiquement en fonction de l'énergie disponible dans chacun des capteurs afin de privilégier les chemins où l'énergie est la plus présente (Figure 3.3). De plus, certaines applications sont relativement très gourmandes en énergie. C'est le cas de la mise à jour partielle du logiciel du capteur (*firmware*) qui représente une consommation d'énergie d'environ de $60mJ$ ($20mC$).

Connaître l'état de charge de la batterie pourrait donc permettre de retarder la mise à jour ou de la séquencer (stopper la mise à jour avant la décharge complète de la batterie et la reprendre plus tard, une fois la quantité d'énergie disponible suffisante) et éviter ainsi toute erreur de mise à jour.

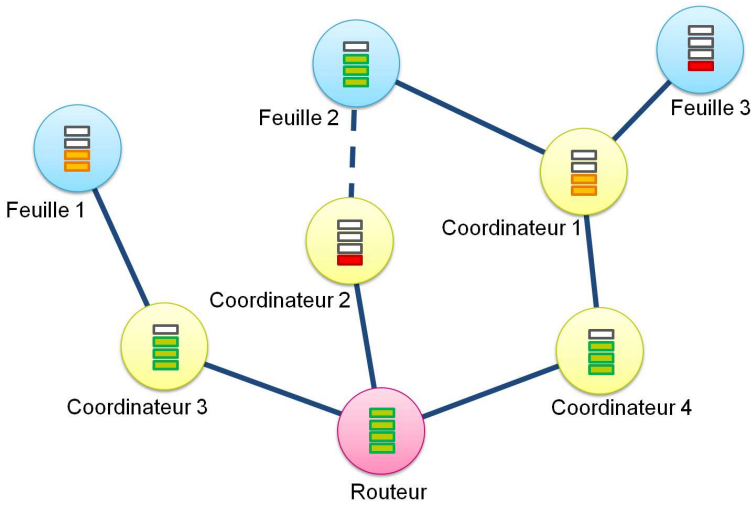


FIGURE 3.3 – Illustration d'un réseau de capteurs autonomes en énergie.

Il est également envisageable d'adapter le capteur aux applications en fonction de son niveau d'énergie. Un capteur disposant de très peu d'énergie pourrait servir de capteur de température (peu gourmand en énergie) alors qu'un capteur placé dans un environnement riche en énergie pourrait servir de capteur d'images ou d'intrusions (gourmand en énergie).

Deux méthodes sont alors imaginables :

- Une méthode *hardware* qui mesurerait en permanence l'énergie collectée et dépensée.
- Une méthode *software* qui calculerait les dépenses énergétiques en fonction des différentes actions du système.

Ces dépenses énergétiques peuvent être calculées de différentes façons :
Les deux phases du bilan énergétique (cf. 3.2) créent un rapport cyclique (Figure 3.2) qui est géré par le système lui-même (micro-contrôleur). Ce dernier peut donc connaître la durée de la phase de fonctionnement ainsi que les temps d'activation des différents composants. De plus, un capteur de luminosité l'informe de l'énergie fournie en temps réel par le *harvester*. Cependant, toutes ces informations ne lui permettent pas de déterminer la quantité d'énergie disponible dans la batterie. Il ne peut donc pas estimer sa propre durée de vie. Il faudrait donc utiliser la courbe de décharge de la batterie : elle fournit pour chaque tension de batterie présente un état de charge correspondant (Figure 3.4). Cependant, la forte impédance interne de la batterie affecte la chute de tension. Pour un courant de décharge de $1mA$, elle serait d'environ $10mV$. Or, mesurer la tension de la batterie impliquerait un réveil du micro-contrôleur.

La chute de tension serait donc proportionnelle à la consommation de ce dernier. Connaître précisément la consommation du micro-contrôleur lors de la mesure serait alors utile pour extrapoler la courbe de décharge correspondante et ainsi déterminer l'état de charge de la batterie. Toutefois, la pente comprise entre $[0.3\,;\,0.7]$ est relativement faible (Figure 3.4) ce qui complique la mesure. De plus, cette partie représente à elle seule 40% de l'état de charge de la batterie et correspond à la zone dans laquelle le système est principalement plongé. Il ne serait donc possible de connaître l'état de charge de la batterie (premier, second ou troisième tiers) qu'approximativement.

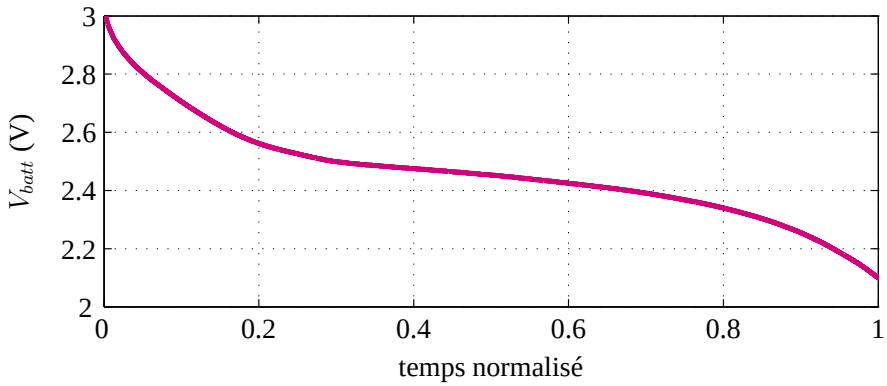


FIGURE 3.4 – Courbe de décharge typique d'une batterie $ML2016$ sous une charge de $1mA$.

Une autre solution repose sur le fait que le micro-contrôleur gère le rapport cyclique. Cela lui permet en effet de connaître son propre temps de veille et d'ainsi déduire sa consommation lors de cette phase (en connaissant le courant consommé en veille). Il connaît également sa propre durée de phase de fonctionnement ainsi que celle de chacun des composants qu'il active (capteur de température, accéléromètre, radio, etc.). Il serait donc envisageable de calculer l'intégrale du signal le signal de manière informatique (Figure 3.5).

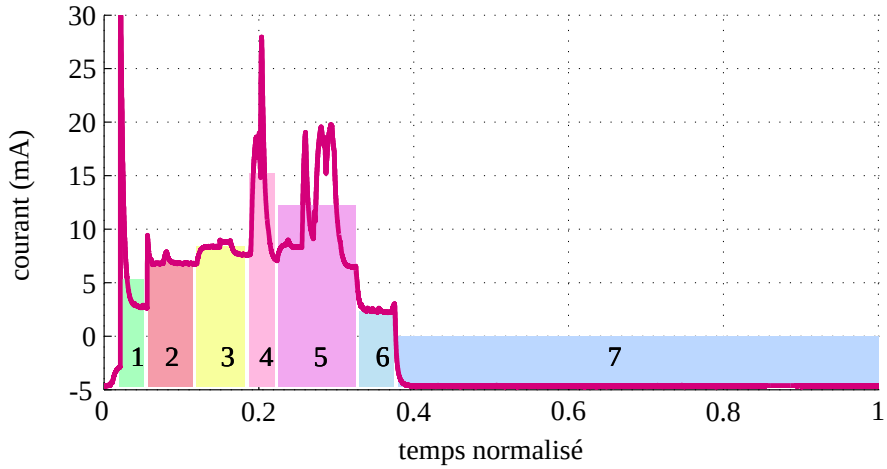


FIGURE 3.5 – Exemple d'intégration informatique.

Chacune des parties numérotées de 1 à 7 représente une action du système. À partir d'une table préconfigurée, il est possible de sommer chacun des éléments pour connaitre l'énergie consommée.

Une telle estimation est également très approximative et peut très vite mener à une dérive. En effet, pour déterminer l'intégrale numéro 7, il faut connaître l'énergie fournie par le *harvester*. Une estimation peut être faite après une mesure en fin de 6. Cependant, si l'énergie fournie par le *harvester* varie au cours du mode veille (qui peut durer plusieurs minutes), une erreur sur l'estimation s'ajoutera. De plus, certains événements indépendants des commandes informatiques peuvent survenir et donc également s'ajouter. C'est le cas des transmissions radio. Dans certains cas, si une trame radio n'a pas été reçue par le récepteur, l'émetteur peut choisir de la renvoyer à nouveau, et ceci de manière autonome, sans commande de la part du micro-contrôleur. De telles contraintes imposent donc de réfléchir à un éventuel système *hardware* qui permettrait de fournir l'information précise de l'état de charge de la batterie en minimisant les éventuelles dérives.

3.4 CONCLUSION

Pour être autonome en énergie, un capteur sans fil a besoin de recharger sa batterie à l'aide d'un *harvester*. Or, dans le cadre de cette étude celui-ci ne fournit que très peu d'énergie. Il est donc nécessaire que le capteur présente deux phases de fonctionnement afin de préserver l'énergie et que le *PM* consomme le moins possible pour ne pas entraver l'apport d'énergie du *harvester*.

La question de la gestion de l'énergie est donc un point primordial. Un système *hardware* permettant de connaitre la valeur précise de l'état de charge de la batterie semble donc indispensable pour tendre à l'idéal d'autonomie énergétique souhaité. En effet, connaître précisément la quantité de l'énergie embarquée permet d'adapter le fonctionnement du capteur au sein du réseau et donc de gérer efficacement cette énergie.

C'est l'association de ces différents éléments qui offrira le dimensionnement énergétique optimal d'un capteur sans fil situé dans un environnement pauvre en énergie.

Chapitre 4

LES SYSTÈMES DE GESTION ET DE MESURE DE L'ENERGIE D'UN CAPTEUR AUTONOME

4.1 INTRODUCTION

Comme il l'a été expliqué précédemment, les convertisseurs à capacités commutées offrent une alternative intéressante en ce qui concerne la conversion de faible énergie. Une étude théorique approfondie sur le rendement de ce type de convertisseur sera donc présentée dans cette partie.

De plus, les systèmes de gestion et de mesure de l'énergie étant indispensables à l'autonomie énergétique d'un capteur, les recherches entreprises sur chacun de ces deux éléments seront détaillées. Puis une stratégie permettant à la fois la gestion de l'énergie et la charge de la batterie du capteur sans fil sera abordée. Enfin, une méthode de mesure de l'état de charge de la batterie sera développée.

4.2 GESTION DE L'ÉNERGIE D'UN CAPTEUR AUTONOME EN ÉNERGIE

4.2.1 La conversion d'énergie avec *MPPT*

Parmi les deux principaux convertisseurs d'énergie (cf. 2.3), il a été décidé d'étudier celui à capacités commutées. Il a le mérite de pouvoir être entièrement intégrable ce qui rend le système ultra-compact. Il est également plus adapté aux faibles puissances qu'aux fortes.

Ce convertisseur est composé d'une ou plusieurs capacités qui forment une matrice constituée de n capacités en séries mises sur m capacités en parallèles. Il fonctionne en deux temps :

– $\Phi 1$: Un réseau de capacités se charge sur la source d'énergie (un panneau solaire dans

notre cas).

– $\Phi 2$: Le réseau se transforme pour venir se décharger sur la charge (batterie de stockage) à un potentiel différent du premier (Figures 4.1 et 4.2).

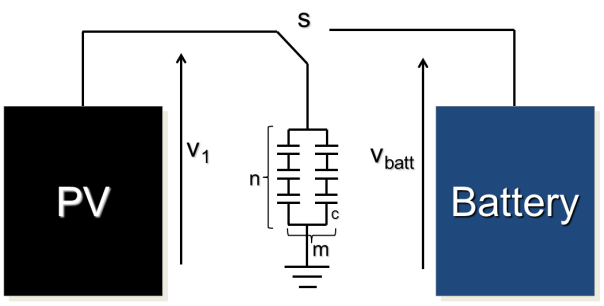


FIGURE 4.1 – Φ_1 : Charge des capacités.

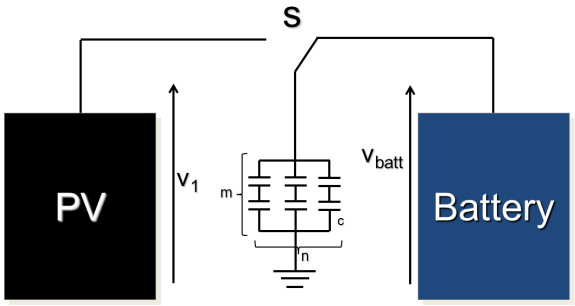


FIGURE 4.2 – Φ_2 : Décharge des capacités.

Pour $n = 3$ et $m = 2$, le convertisseur abaisse la tension du *PV* d'un rapport $2/3$ (V_1 représentant la tension de la matrice de capacités en fin de charge). On définit ainsi l'énergie transférée du *PV* à la batterie selon l'équation :

$$E_C = m \times n \times \frac{V_{batt}}{m} \times \Delta Q \tag{4.1}$$

$$= V_{batt} \times C \left(V_1 - \frac{n}{m} V_{batt} \right) \tag{4.2}$$

Selon le ratio de capacités $\frac{n}{m}$, il est donc possible d'élever ou d'abaisser la tension.

Cependant, une capacité commutée agit également comme une résistance qui serait proportionnelle à la période de commutation. L'énergie perdue lors de la décharge des capacités est alors proportionnelle à $(V_1 - \frac{n}{m} V_{batt})$. Cette perte est d'autant plus importante que la tension du *PV* (V_1) est éloignée de la tension de batterie rapportée ($\frac{n}{m} V_{batt}$). Autrement dit, plus la tension du *harvester* est différente de la tension de la charge rapportée (plus ΔQ est grande), plus la perte d'énergie sera importante. Pour outrepasser cette perte, il est nécessaire d'avoir une matrice contenant un grand nombre de capacités afin de pouvoir jouer sur les rapports de tensions. Si le terme $\frac{n}{m} V_{batt}$ est proche de V_1, les pertes seront faibles (ΔQ faible).

Lors de la phase $\Phi 1$, la matrice de capacités commence à se charger à partir de la tension $\frac{n}{m} V_{batt}$ (valeur obtenue en fin de décharge). Puis en fin de $\Phi 1$ elle sera chargée jusqu'à la valeur V_1. Cette tension V_1 dépend donc de la fréquence de permutation de l'interrupteur S. Plus la fréquence est élevée, plus V_1 va être proche de $\frac{n}{m} V_{batt}$. Inversement, plus la fréquence sera lente et plus V_1 va se rapprocher de V_{OC} (Figure 4.3). L'énergie maximale que l'on peut récupérer d'un *harvester* fournissant cette caractéristique se situe au point de maximum de

puissance (*MPP*). Elle est donc définie par :

$$E_m = I_{mpp} \times U_{mpp} \times \Delta T \tag{4.3}$$

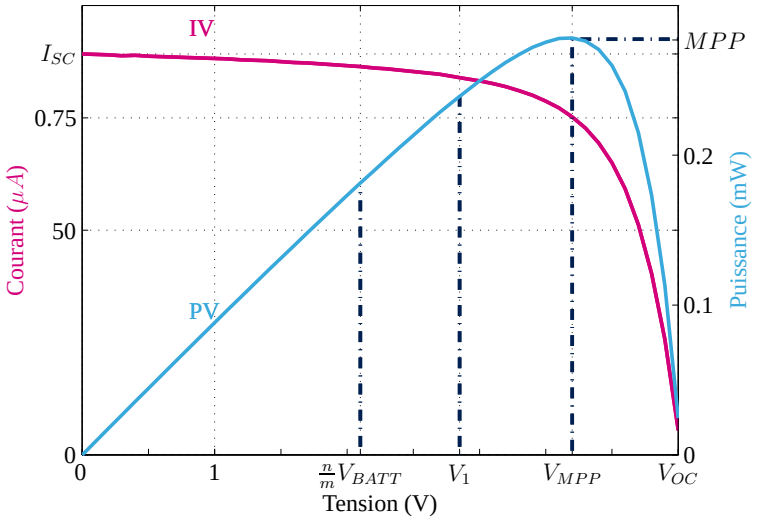


FIGURE 4.3 – Charge d'une matrice de capacités sur une courbe d'un *harvester* solaire.

Le rendement théorique d'un tel convertisseur (Figures 4.4) est donc défini comme le rapport entre l'énergie réellement transférée (équation 4.1) et l'énergie maximale disponible (équation 4.3) :

$$\eta = \frac{E_t}{E_m} \tag{4.4}$$

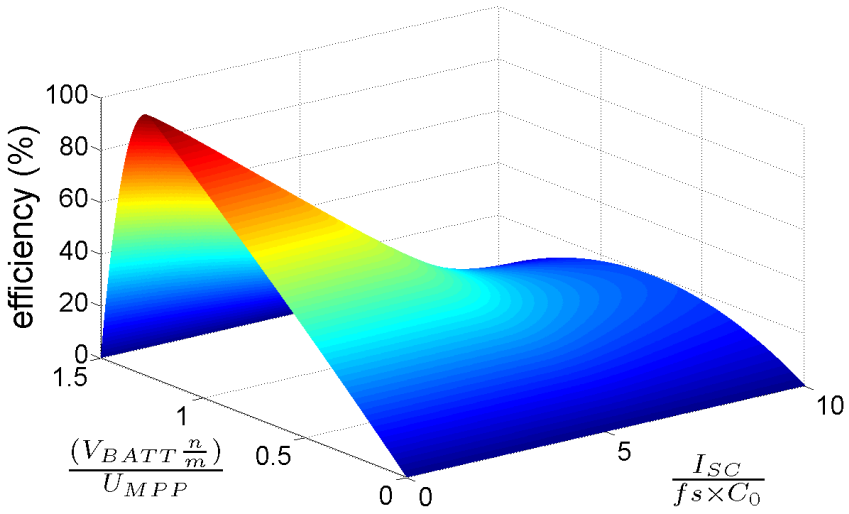


FIGURE 4.4 – Rendement théorique d'un convertisseur à capacités commutées.

Pour avoir un rendement théorique optimal, la fréquence et/ou la capacité unitaire se doit d'être « infinie » et la tension rapportée de la batterie (tension de début de charge) doit être placée au *MPP*. Cette valeur n'est que théorique, mais nous montre que le rendement se dégrade rapidement si on charge la matrice de capacités à une valeur différente du *MPP* ou si la fréquence d'échantillonnage est faible. Cette courbe a été normalisée par rapport à la fréquence (Figure 4.5) afin de déterminer l'influence de la fréquence sur le rendement selon l'équation :

$$\eta_{norm} = \frac{\eta(V_{batt}, fs)}{\eta(V_{batt}, \infty)} \tag{4.5}$$

Il est intéressant de constater que la fréquence (ou la capacité unitaire) n'est pas le facteur dominant qui influence le rendement. Il est même plutôt conseillé de travailler avec une fréquence basse si le point de départ de charge des capacités est éloigné du *MPP*. Inversement, dès que l'on dépasse le *MPP*, le rendement diminue très rapidement si la fréquence diminue. Cette étude est théorique et ne prend pas en compte les éléments électroniques nécessaires au fonctionnement d'un tel système (horloge). Il va de soi que l'utilisation d'une horloge à haute fréquence engendrerait une consommation plus élevée qu'une horloge à basse fréquence.

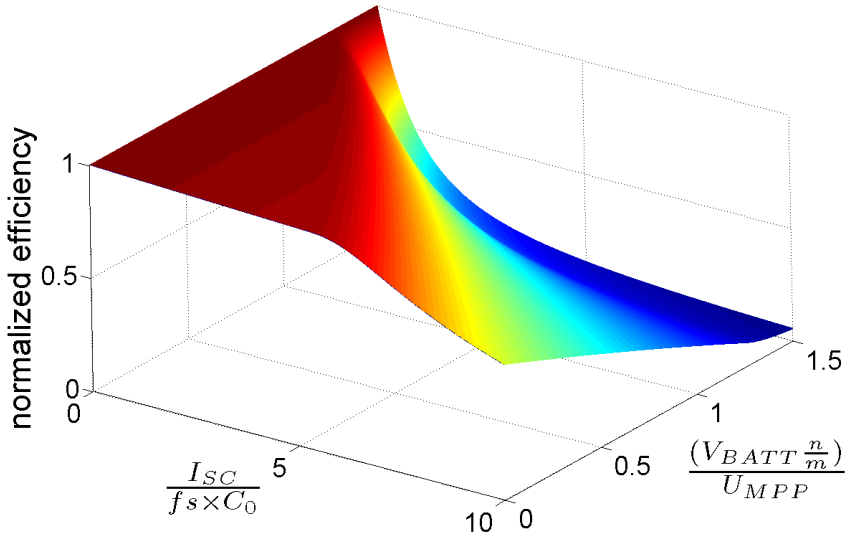


FIGURE 4.5 – Rendement théorique normalisé d'un convertisseur à capacités commutées.

Cette étude a permis de montrer que l'utilisation à basse fréquence d'un convertisseur à capacités commutées n'est pas adapté aux capteurs autonomes pauvres en énergie.

4.2.2 Stratégie d'un système de gestion de l'énergie

Au vu du chapitre précédent et des informations apportées par l'état de l'art, des choix ont été faits en ce qui concerne :

- le type d'*harvester*
- le type de batterie
- la méthode de conversion

Le *PM* devant pouvoir recharger une batterie et alimenter la charge (système électronique) depuis un environnement principalement intérieur, un *harvester* de type photovoltaïque de technologie amorphe est retenu.

Le *PM* doit également pouvoir alimenter le système électronique consommant de quelques micro-Ampères (en veille) à plusieurs dizaines de milli-Ampères (phase de réveil) sous une tension comprise entre [2.5V ; 3.6V]. Les recherches sur les différentes batteries envisageables ont montré que les batteries à couches minces ne permettent pas actuellement de satisfaire l'exigence énergétique du système. En effet, ce dernier peut avoir des consommations supérieures à $10mA$. La chute de potentiel engendrée par l'utilisation d'une telle batterie (dont l'impédance interne dépasse la centaine d'Ohms) (cf. 2.2) dépasserait le Volt. La gestion de cette dernière deviendrait alors difficile. De plus, afin d'alimenter le système électronique, le niveau de tension d'une telle batterie ($3.9V$ [40]) impose une régulation ou une conversion de l'énergie permanente. Cette contrainte s'avèrerait beaucoup trop problématique pour concevoir un système de gestion de l'énergie ultra-basse consommation. Le choix de la batterie se porte donc sur une batterie commerciale de type Lithium – Manganèse de $25mA$ (ML2016). L'avantage de cette batterie concerne plusieurs points :

- Sa tension de fonctionnement est en adéquation avec celle du système. La nécessité d'un système de conversion d'énergie est donc évitée.
- Son épaisseur de $1.6mm$ convient à la conception d'un système ultra-compact
- Son impédance interne d'une dizaine d'Ohms peut convenir à des appels de courant élevés ($> 10mA$).

Afin d'éviter une perte de capacité de la batterie, il faudra également veiller à ne pas la décharger totalement mais sur une portion de sa capacité [62].

Les précédents chapitres ont également montré que pour un système ultra-basse consommation, la conversion d'énergie ne représente pas la meilleure des solutions. De plus, les convertisseurs ne sont intéressants que s'ils sont couplés à un système de *MPPT*. Or, cette association représente non seulement une architecture complexe, mais également une consommation d'énergie non négligeable qui dégrade le rendement du système de gestion d'énergie ultra-basse consommation. Par conséquent, le choix du *harvester* est orienté en fonction des

tensions des autres éléments (batterie et système). Ainsi, l'ensemble des éléments constituant le capteur sans fil tourne autour d'une tension unique. Cela dispense d'utiliser des convertisseurs et un système de *MPPT* (Figure 4.6). Les tensions et courants de fonctionnement du *harvester* solaire sont fournis en Annexes A.8.

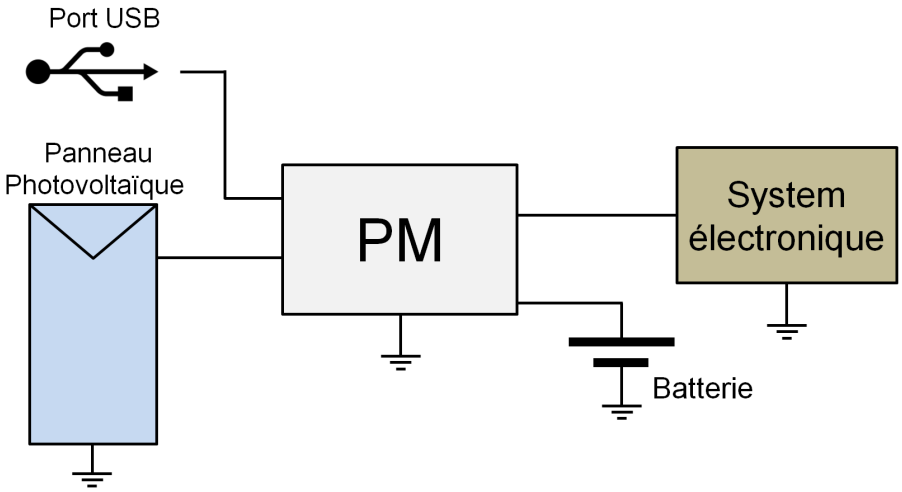


FIGURE 4.6 – Architecture du capteur sans fil.

4.2.3 Structure du système de gestion de l'énergie

4.2.3.1 Méthodologie

La conception d'un produit en micro-électronique suit généralement le processus descendant dit *TOP-DOWN*. Les étapes se suivent donc selon une chronologie bien définie. Les grandes idées sont d'abord débattues en fonction des diverses contraintes (économiques, techniques et pratiques) puis les spécifications sont définies (cf. 4.2.3.2). Elles seront modélisées afin de couvrir et valider l'ensemble des idées. Cette modélisation peut se faire en langage simplifié (Matlab, verilog-A, VHDL-AMS...) et permet ainsi de définir le comportement des fonctions (qui sont par la suite schématisées au niveau transistor). Les transistors d'aujourd'hui étant lourds à simuler (car ils comportent des modèles relativement complexes faisant intervenir un grand nombre de paramètres), la modélisation haut niveau devient un avantage principal par sa rapidité d'exécution ; celle-ci étant due à la simplification des modèles (équation).

Vient ensuite la définition des différents blocs du système qui sont schématisés au niveau transistor. A cette étape, les fonctions doivent retrouver le comportement décrit lors de la modélisation haut niveau. Les temps de simulations sont beaucoup plus longs mais permettent d'ajuster différents paramètres en fonction des contraintes de la technologie utilisée (*process*, température...). L'étape de routage (*Layout*) finalisant cette conception représente les différentes parties du circuit telles qu'elles apparaitront sur le silicium. La méthodologie ascendante dite *BOTTOM - UP* à l'inverse de la méthodologie *TOP - DOWN*, sert au test et à la vérification du système fini. Cette méthode permet également d'analyser les défaillances du système (*debug*).

4.2.3.2 Spécifications

Pour réaliser un premier système il est nécessaire de commencer par concevoir un prototype. Voici donc les spécifications de celui du *PM*.

Le *PM* doit pouvoir recharger la batterie et alimenter la charge avec le surplus d'énergie du *harvester*. Il faut alors tirer le maximum de profit de celui-ci. Le *PM* doit également consommer très peu pour limiter les pertes lors des transferts d'énergie. En l'absence d'énergie du *harvester*, sa consommation statique doit être quasi nulle. De cette manière, la vie du capteur en sera prolongée.

De plus, la batterie doit être protégée pour satisfaire les contraintes imposées par le constructeur (courant et tension maximales de charge) et dans le même temps permettre de maximiser la durée de vie de la batterie. En effet, celle-ci est caractérisée par sa profondeur de

décharge (cf. 2.2). Autrement dit, plus on décharge profondément une batterie, moins longue sera sa vie (Tableau 4.1).

Profondeur de décharge (%)	nombre de cycles	capacité totale équivalente (Ah)
15	1000	3750
20	500	2500
40	200	2000
80	50	1000

Tableau 4.1 – Durée de vie et capacité équivalente de la batterie MAXELL en fonction de sa profondeur de décharge.

Ces données permettent donc de définir une contrainte supplémentaire au système : la batterie ne doit pas être utilisée dans la totalité de sa capacité ; seulement dans un pourcentage réduit. De cette manière, la durée de vie d'un capteur peut être garantie pendant une dizaine d'années environ.

L'ensemble des spécifications venant d'être définies est synthétisé dans le tableau 4.2.

Paramètres à spécifier	Données
consommation du *PM* dans le noir (statique)	$< 250nA$
consommation du *PM* en fonctionnement	$< 5\%$ du courant fourni par le *PV*
limite du courant de charge de la batterie	2 mA
limite tension haute de la batterie (*HCO*)	3.2V
limite tension basse de la batterie (*LCO*)	2.6V
réveil du système	2.8V

Tableau 4.2 – Ensemble des spécifications pour la conception du prototype *PM*.

Le *PM* est dépourvu de système de *MPPT*, c'est pourquoi il a fallu adapter le panneau solaire (*PV*) à nos besoins (tension de fonctionnement, surface) et y connecter directement le *PM*. Ainsi ce dernier peut tirer le maximum de profit dans la majorité des cas d'utilisation. Les conditions de fonctionnement sont les suivantes :

- le *PV* alimente toujours la charge et recharge la batterie avec le surplus d'énergie.
- la batterie fournit la différence si l'énergie du *PV* est insuffisante pour alimenter la charge.
- le système est viable jusqu'à ce que la batterie franchisse un seuil critique (*Low_Cut_Off* : *LCO*) ; auquel cas la charge est déconnectée du *PM* et attend que la batterie se soit rechargée jusqu'au seuil de réveil (*wake-up*).

4.2.4 Conclusion

Le *PM* a plusieurs fonctions : charger et décharger la batterie à travers la charge, alimenter directement celle-ci via le *harvester*, prolonger la vie de la batterie, éviter de gaspiller l'énergie collectée, adapter le mode de fonctionnement du capteur, privilégier le routage des informations à travers les différents nœuds du réseau. Cette gestion de l'énergie se dispense d'un convertisseur d'énergie puisque celui-ci tire une quantité d'énergie beaucoup trop importante.

De plus, malgré ses nombreuses fonctions, le *PM* ne permet pas de connaître à tout instant l'énergie disponible. L'état de charge de la batterie n'est pas connu avec précision. Il est uniquement possible de mesurer la tension de cette dernière et déterminer ainsi de manière très arbitraire la quantité d'énergie restante. En effet, chaque batterie suit un profil de charge et de décharge particulier. Il est donc seulement possible de déterminer si la batterie est pleine, à moitié pleine ou pratiquement vide. Son niveau de charge n'est jamais connu avec la précision indispensable au bon dimensionnement d'un système autonome en énergie.

4.3 LE COMPTEUR DE CHARGES

4.3.1 Introduction

Pour fonctionner convenablement, le système a besoin de connaître le niveau d'énergie embarquée. Cela lui permet de s'adapter convenablement et ainsi d'optimiser sa durée de vie. Pour connaître cet état de charge de la batterie, un compteur de charge est nécessaire (*coulombs counter* ou *gas gauge* dans la littérature anglophone). Ce système a pour vocation de mesurer et d'intégrer le courant entrant et sortant de la batterie sur une plage allant de quelques micro-ampères à quelques dizaines de milli-ampères.

4.3.2 Définition du compteur de Coulombs

Un compteur de Coulombs (qui sera employé sous sa forme anglophone *gas gauge* tout au long de cette étude) est un système permettant de mesurer le courant traversant un conducteur. En d'autres termes, il compte le nombre de charges (Coulombs) qui traverse ce dernier. Il permet donc de connaitre l'état de charge de la batterie.

4.3.3 Principes du compteur de Coulombs

4.3.3.1 Fonctionnement

Pour mesurer le courant entrant et sortant de la batterie, le *gas gauge* est monté en série avec celle-ci (Figure 4.7).

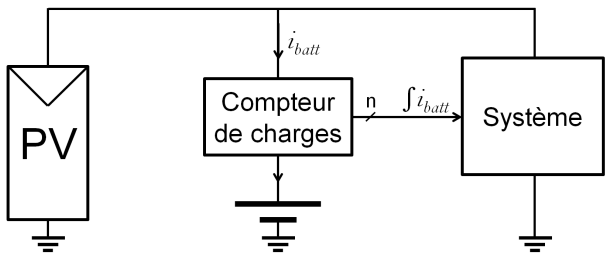


FIGURE 4.7 – Principe du *gas gauge*.

Une méthode rapide et efficace consiste à amplifier le signal aux bornes d'un shunt monté en série avec la batterie (Figure 4.8). La tension aux bornes de ce shunt étant proportionnelle au courant qui le traverse, des conversions analogique/numérique périodiques peuvent être faites directement en sortie de cet amplificateur.

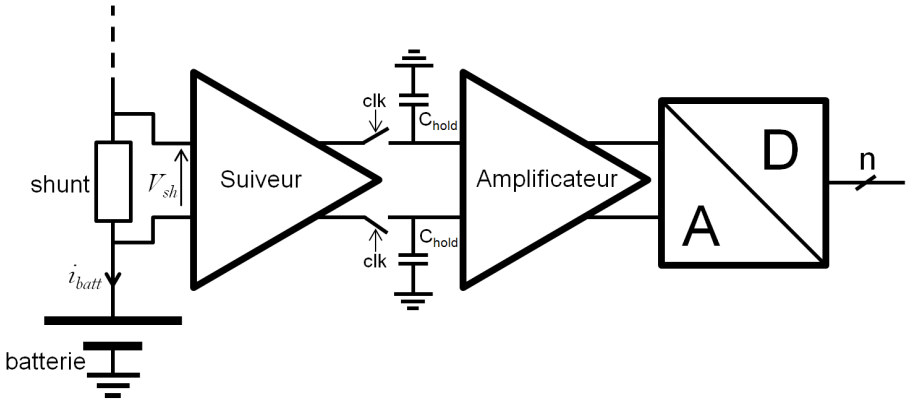


FIGURE 4.8 – Mesure échantillonnée du courant.

Du fait de l'échantillonnage à chaque front d'horloge, la valeur du courant mesurée n'est plus continue mais discrétisée (Figure 4.9).

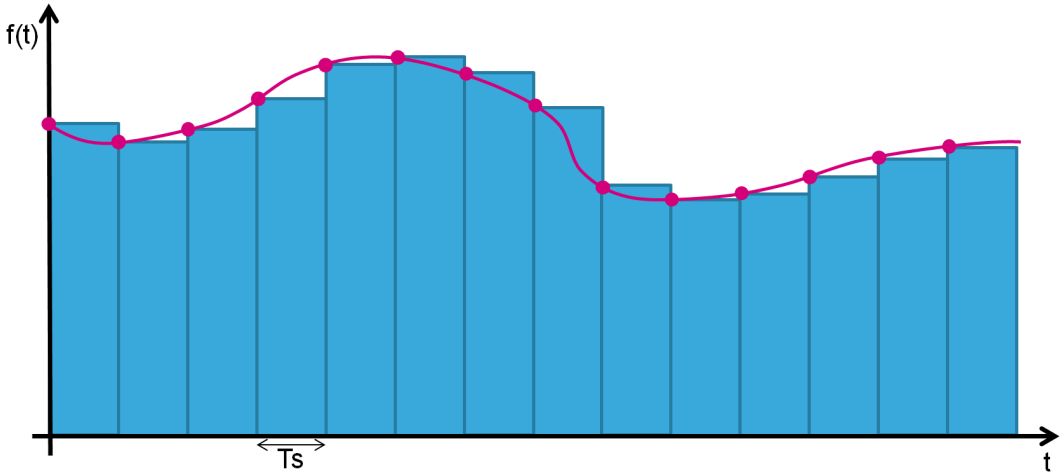


FIGURE 4.9 – Principe de l'échantillonnage/blocage.

Une erreur est donc commise à chaque échantillonnage et blocage. Cette erreur peut être diminuée si la durée T_S de l'échantillonnage est plus courte. Seulement, échantillonner à très grande vitesse va à l'encontre du principe du système qui doit être *Ultra-Low-Power*. De plus, une erreur de quantification bornée entre $[-\frac{1}{2}V_{LSB}, +\frac{1}{2}V_{LSB}]$ est commise après chaque échantillonnage. L'accumulation de cette erreur engendre une divergence non contrôlable ni compensable (Figure 4.10).

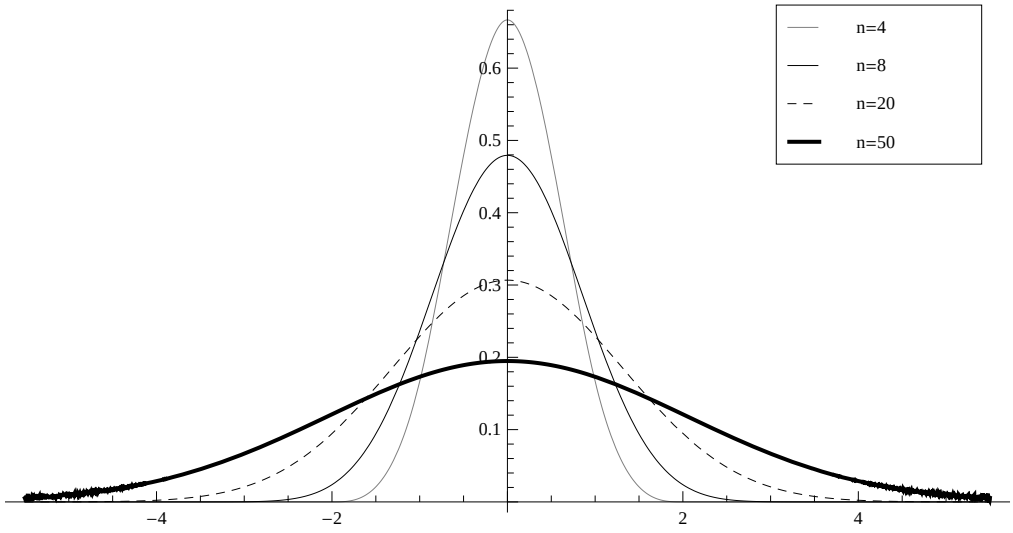


FIGURE 4.10 – Densité de probabilité de l'accumulation de l'erreur de quantification pour différentes valeurs du nombre de bits de l'*ADC*.

De plus, le rapport signal sur bruit (*SNR*) est défini par $SNR = 6.02N + 1.76dB$ avec N le nombre de bits de l'*ADC*. Afin d'augmenter ce *SNR*, il est nécessaire d'augmenter le nombre de bits de l'*ADC*. Mais concevoir un ADC rapide (période T_S très courte) avec un nombre de bits élevés (haute résolution) est généralement coûteux en énergie.

4.3.3.2 Convertisseurs analogique/numérique

Il existe un grand nombre de convertisseurs analogique/numérique dans l'électronique d'aujourd'hui. Ils sont indispensables pour acquérir une donnée ou bien faire une mesure (d'un capteur par exemple). Ils se trouvent dans les micro-contrôleurs ainsi que dans les chaînes d'acquisition et de traitement de signaux analogiques (radio, images, capteurs à sortie numérique, etc.) :

- Les convertisseurs à rampes (simples ou doubles) intègrent un signal de référence par rapport à l'entrée.
- Les convertisseurs à approximation successives (*SAR* en anglais pour *Successive Approximation Register*) comparent chacun des bits avec le signal d'entrée. Ils commencent par le poids le plus fort (*MSB*) jusqu'au poids le plus faible (*LSB*). Le *MSB* sera 0 si le signal d'entrée lui est inférieur. De même pour les bits suivants.
- Les convertisseurs flash convertissent le signal d'entrée en une seule étape (tous les bits en une seule fois). C'est le principe du réseau R-2R qui compare le signal d'entrée au réseau de résistances (chacune d'entre elles voyant à ses bornes une fraction du signal de référence). Le signal numérique sortant des comparateurs est ensuite codé pour fournir le nombre binaire de la conversion. Ce type de convertisseur est très rapide

(mais également très gourmand en énergie puisque le nombre de comparateurs est égal au nombre de bits désirés). Son utilisation est idéale pour la conversion des images vidéo.

- Les convertisseurs pipeline sont plus lents que les convertisseurs flash mais consomment moins d'énergie.
- Les convertisseurs à sur-échantillonnage ne codent le résultat du signal à convertir que sur 1 bit. Ils sont également appelés convertisseurs sigma delta ($\Sigma\ \Delta$) parce que la somme (Σ) de la différence (Δ) est faite entre le signal d'entrée et le résultat de sortie codé sur 1 bit. Il s'agit d'un système bouclé qui intègre le signal d'entrée puis le décime sur une certaine période afin de définir le nombre de bits de la conversion finale. Le signal d'entrée peut ainsi être relativement élevé (64 bits ou plus), ce qui permet des conversions très précises idéales pour des mesures de capteurs. Ces convertisseurs se trouvent également dans les applications audio (lecteur CD), grâce notamment à leur très faible bruit. En revanche, leur fréquence d'échantillonnage beaucoup plus élevée que le signal à convertir ($3MHz$ pour un $\Sigma\ \Delta$ audio) limite ce type de convertisseurs à la conversion de signaux basses fréquences.

Tous ces convertisseurs présentent de multiples avantages et inconvénients. Tout dépend de leur utilisation. La méthode consistant à convertir chaque échantillon pour calculer l'intégrale du signal n'est pour autant pas appropriée. En effet, l'ajout d'un bruit de quantification non estimable peut devenir vite critique pour concevoir un *gas gauge* précis dans le temps.

4.3.4 Le convertisseur analogique numérique $\Sigma\ \Delta$

Le convertisseur $\Sigma\ \Delta$ permet de coder le signal de sortie sur 1 bit à partir du sur-échantillonnage du signal d'entrée. Ce sur-échantillonnage augmente notamment le *SNR* d'un facteur k (facteur de sur-échantillonnage). Le bruit haute-fréquence n'aura que très peu d'effet sur le système qui fait l'objet de cette étude ; une imprécision sur la sortie existera mais il n'y aura pas de divergence sur le calcul de l'intégrale. En revanche, le bruit très basse-fréquence va s'avérer beaucoup plus problématique pour notre étude. Des erreurs de mesures (sur la composante continue par exemple) vont engendrer des erreurs divergentes sur la mesure. Pour notre cas, les convertisseurs $\Sigma\ \Delta$ ne présentent donc pas les mêmes inconvénients que lorsqu'ils sont utilisés dans les domaines de l'audio et du traitement digital. Le principe de fonctionnement (Figure 4.11) repose sur le sur-échantillonnage du signal d'entrée V_{in} d'un facteur k par rapport à la fréquence d'échantillonnage f_S ($f_S \geq 2f_{MAX}$ pour respecter le théorème de Shannon). Le résultat final est codé sur 1 bit.

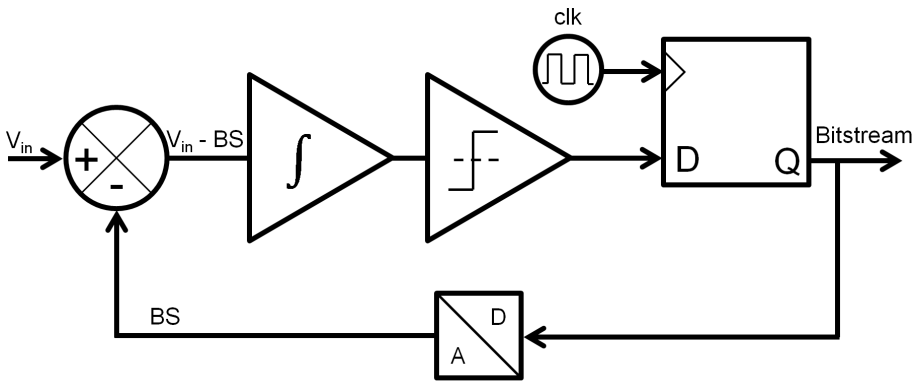


FIGURE 4.11 – Principe de fonctionnement du convertisseur $\Sigma\ \Delta$.

Ainsi, la valeur moyenne du *bitstream* représente la valeur moyenne du signal d'entrée. Après être passé par un convertisseur numérique/analogique (CAN), le *bitstream* de sortie est rebouclé sur l'entrée. Le signal *BS* représente donc le *bitstream* et sert de référence au système. *BS* est défini en fonction du *bitstream* :

$$BS(t) = \begin{cases} +V_{ref} & \text{si } \textit{bitstream} = 1 \\ -V_{ref} & \text{si } \textit{bitstream} = 0 \end{cases} \tag{4.6}$$

Le signal d'entrée doit donc être borné entre $\pm V_{ref}$ et ainsi vérifier :

$$\forall t, V_{in}(t) \in]-V_{ref}, +V_{ref}[$$

L'intégrale du signal d'entrée soustrait au signal *BS* est ensuite calculée. Un signal numérique valant '1' (si l'intégrale est positive) ou '0' (si l'intégrale est négative) sort du comparateur puis traverse une bascule D. À chaque coup d'horloge $BS = V_{ref}$ si l'intégrale est positive. $BS = -V_{ref}$ si l'intégrale est négative.

$$V_{in} - BS < 0 \text{ si } \int (V_{in} - BS) \geq 0 \tag{4.7}$$

$$V_{in} - BS > 0 \text{ si } \int (V_{in} - BS) \leq 0 \tag{4.8}$$

Cela permet de borner le signal à intégrer ($V_{in} - BS$) autour de 0 et d'éviter toute divergence. La saturation de l'intégrateur est ainsi évitée et l'intégrale du signal d'entrée V_{in} est équivalente à l'intégrale du signal *BS*.

Ce type de convertisseur est donc particulièrement adapté à nos objectifs : mesurer le signal d'entrée en continu. En effet, lorsque le *bitstream* est cumulé cela revient à intégrer le signal d'entrée V_{in} (Figure 4.12).

Ce convertisseur est appelé $\Sigma\ \Delta$ incrémental car la sortie du *bitstream* (qui représente

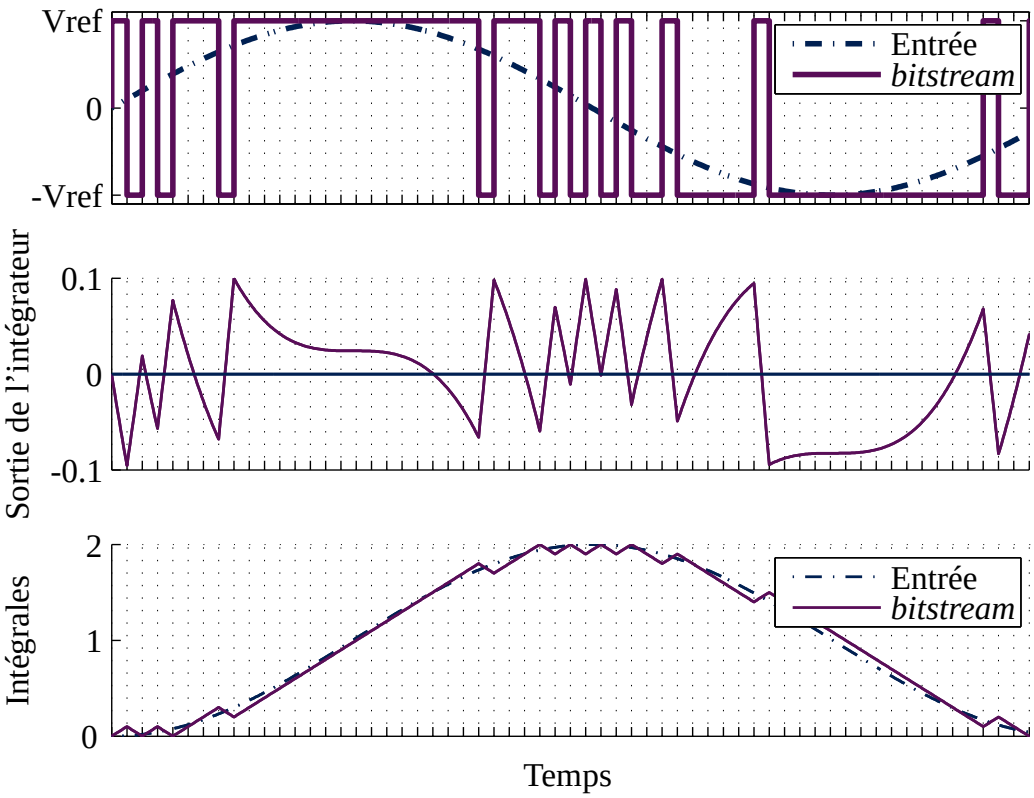


FIGURE 4.12 – Signaux d'entrées et de *bitstream* et leurs intégrales correspondantes.

la valeur moyenne du signal d'entrée) est cumulée dans un accumulateur numérique. Ainsi, quand le *bitstream* = '1', on ajoute '1' à l'accumulateur et lorsque le *bitstream* = '0' on retranche '1' à l'accumulateur (Figure 4.13). De cette manière, l'accumulateur (sortie finale du système) représente la valeur de l'intégrale du courant. De plus, ce système ne commet pas d'erreur de quantification comme cela aurait pu être le cas avec un autre convertisseur analogique numérique. Chaque erreur est en effet compensée par la conversion qui lui succède (Figure 4.12). Les erreurs sont donc éphémères et ne peuvent se cumuler au sein du système.

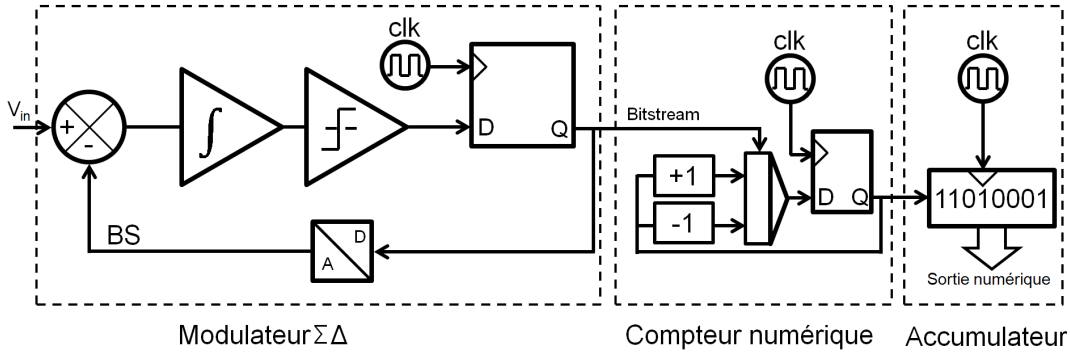


FIGURE 4.13 – Principe de fonctionnement du convertisseur $\Sigma\,\Delta$.

4.3.5 Convertisseur $\Sigma\,\Delta$ à temps continu

La réalisation d'un modulateur $\Sigma\,\Delta$ d'ordre 1 nécessite un intégrateur. Celui-ci peut être réalisé simplement à l'aide d'un amplificateur opérationnel doté d'un condensateur en contre réaction (Figure 4.14).

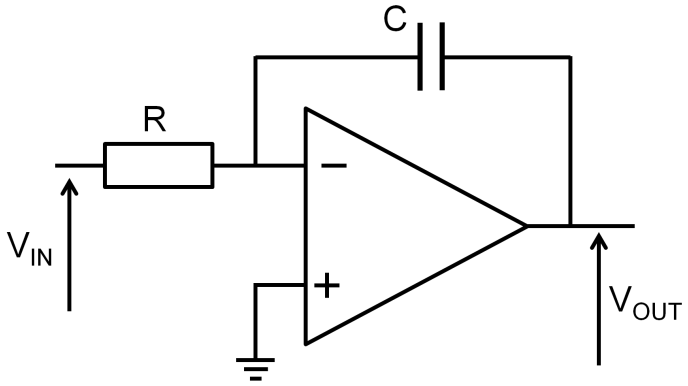


FIGURE 4.14 – Intégrateur simple à temps continu.

Si l'amplificateur est parfait (offset nul et gain infini), la tension de sortie V_{OUT} vérifie :

$$V_{OUT}(t) = -\frac{1}{RC}\int V_{IN}(t)dt \tag{4.9}$$

Si la résistance du shunt est placée dans la masse, un tel intégrateur peut être utilisé pour réaliser un *gas gauge*. Cependant, dans ce cas de figure, la tension aux bornes du shunt est très faible. Sa mesure est donc difficile si ce n'est impossible. En effet, avec un amplificateur réel la tension d'offset est non négligeable face à la tension de mesure.

L'intégrateur peut également être réalisé en montage différentiel (Figure 4.15). Les condensateurs sont alors considérés comme identiques (pas de désappariement ou *mismatch* en anglais. Ce terme anglophone sera employé pour la suite de ce manuscrit). De même pour les résistances. La tension de sortie V_{OUT} vérifie l'équation :

$$V_O^+ = \frac{1}{RC}\int V_I^-(t)dt \tag{4.10}$$

$$V_O^- = \frac{1}{RC}\int V_I^+(t)dt \tag{4.11}$$

$$V_{OUT} = V_O^+ - V_O^- \tag{4.12}$$

$$V_{IN} = V_I^+ - V_I^- \tag{4.13}$$

$$V_{OUT} = -\frac{1}{RC}\int V_{IN}(t)dt \tag{4.14}$$

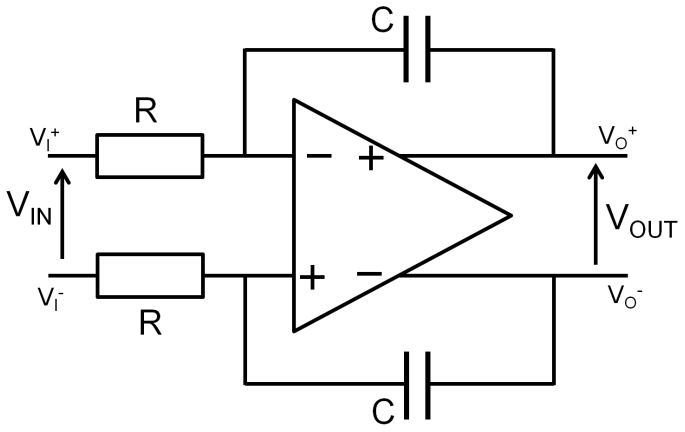


FIGURE 4.15 – Intégrateur différentiel à temps continu.

Ce type d'intégrateur peut être utilisé pour un shunt placé sur la borne positive de la batterie. Chacune des entrées de l'intégrateur est placée de part et d'autre du shunt. Cependant, comme l'intégrateur est alimenté par la batterie, sa tension de fonctionnement se situe entre 0 et V_{batt}. La tension à intégrer est donc proche de V_{batt} et l'intégration du signal est alors impossible. Afin de pallier cela, il est indispensable que la tension d'entrée de l'intégrateur se situe à un potentiel proche de $\frac{V_{batt}}{2}$.

L'intégrateur différentiel à temps continu (Figure 4.15) est donc adapté (Figure 4.16). Le potentiel d'entrée de l'intégrateur est alors égal à $\frac{V_{IN}}{2}$ soit environ $\frac{V_{batt}}{2}$.

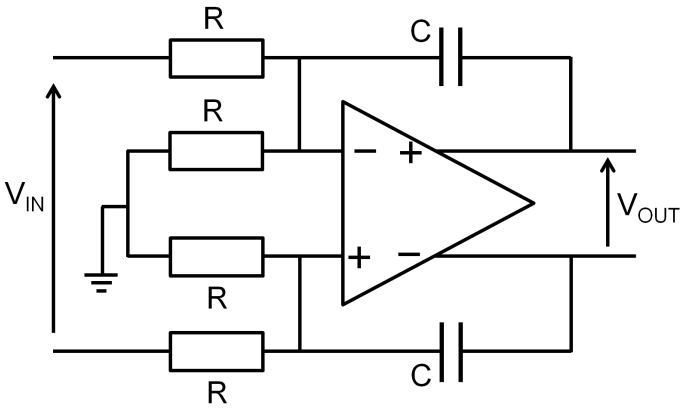


FIGURE 4.16 – Intégrateur différentiel à temps continu avec diviseurs de tensions.

L'amplificateur opérationnel peut également être utilisé pour réaliser le soustracteur du modulateur (celui-ci sert à ajouter ou soustraire la tension de référence selon l'état du *bitstream*). La modification de l'intégrateur différentiel à temps continu avec diviseurs de tensions (Figure 4.16) permet d'obtenir un intégrateur avec un signal d'entrée $\pm V_{REF}$ selon la valeur du *bitstream* (Figure 4.17).

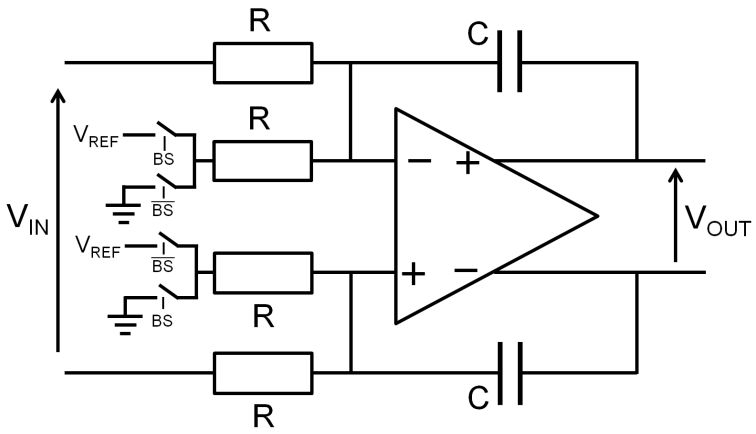


FIGURE 4.17 – Intégrateur différentiel à temps continu avec soustracteur.

La tension de sortie V_{OUT} de l'intégrateur peut donc être réécrite :

$$V_{OUT}(t) = \begin{cases} -\frac{1}{RC}\int (V_{IN} + V_{REF})\,dt \text{ si } \textit{bitstream} = 1 \\ -\frac{1}{RC}\int (V_{IN} - V_{REF})\,dt \text{ si } \textit{bitstream} = 0 \end{cases} \tag{4.15}$$

À partir de l'intégrateur différentiel à temps continu, le modulateur du $\Sigma\,\Delta$ peut être élaboré (Figure 4.18). Les *switches* sont réalisés par des *NMOS*. Ils sont ainsi ouverts quand la grille est à '0' (gnd) et fermés lorsqu'elle elle reçoit un '1' du *bitstream* (V_{batt}).

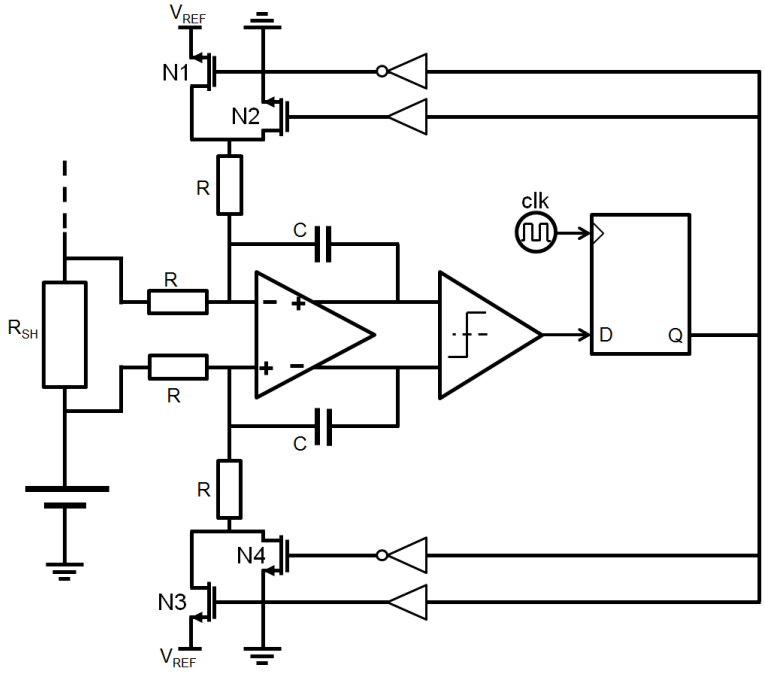


FIGURE 4.18 – Modulateur $\Sigma\,\Delta$ à temps continu.

Les *buffers* pilotant les transistors $N2$ et $N3$ servent à retarder le signal du *bitstream*. Ainsi les transistors $N2$ et $N3$ sont commandés dans le même laps de temps que les transis-

tors $N1$ et $N4$ [63]. Ce procédé permet non seulement d'améliorer la précision du système mais aussi d'éviter que la référence de tension soit court-circuitée à la masse pendant un court instant [1].

Cependant, une telle architecture comporte des inconvénients qu'il faut limiter (ou compenser). Le *mismatch* concernant les 4 résistances et les 2 condensateurs ainsi que l'imperfection des *switches* sont donc à prendre en compte. En effet, les *MOS* utilisés ont une résistance R_{OFF} non infinie et une résistance R_{ON} non nulle définie par :

$$R_{ON} = \frac{1}{k\frac{W}{L}(V_{GS} - V_t)} \tag{4.16}$$

Cette imperfection des *switches* augmente la valeur des résistances. Elle s'ajoute ainsi au *mismatch* de ces dernières. Cette imperfection entraine également une modification de la valeur de V_{REF} et de la masse. Si le courant traversant les résistances R est nul, alors selon l'état du *bitstream* le potentiel au point 'A' (Figure 4.19) n'est pas de 0 ou de V_{REF} mais de :

$$\frac{V_{REF} \times R_{OFF}}{R_{ON} + R_{OFF}} \tag{4.17}$$

ou

$$\frac{V_{REF} \times R_{ON}}{R_{ON} + R_{OFF}} \tag{4.18}$$

Cela crée donc une valeur différente de V_{REF} et de la masse. Cette erreur, relativement minime, n'occasionne pas de dérive au signal de sortie mais une modification de la valeur de chaque bit du *bitstream* (Figure 4.19).

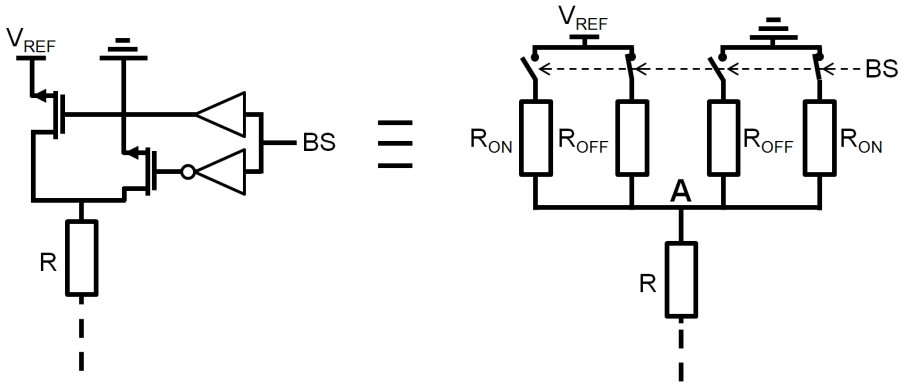


FIGURE 4.19 – Schéma équivalent des NMOS.

L'amplificateur entièrement différentiel présente un gain fini, un offset et des courants

1. Les deux *MOS* (notés $N1$ et $N2$ ou $N3$ et $N4$) se trouvant fermés simultanément lors du passage du *bitstream* de '0' à '1'.

d'entrée non nuls. Ces imperfections sont donc à prendre en compte car leurs effets sont non négligeables ; d'autant plus que l'amplificateur doit être *Ultra-Low-Power* et qu'il est notamment difficile d'avoir un gain élevé dans de telles conditions. Ainsi, la fonction de transfert de l'amplificateur (Figure 4.17) peut s'écrire :

$$V_{OUT} = \alpha(V_{IN} - V_{off}) \tag{4.19}$$

Avec V_{OUT} la tension différentielle de sortie $V_O^+ - V_O^-$, V_{IN} la tension différentielle d'entrée $V_I^+ - V_I^-$ et V_{off} la tension d'offset.

Les effets de ces imperfections et une méthode de compensation sont détaillés en Annexe A.1.

4.3.6 Convertisseur $\Sigma\,\Delta$ à temps discret

4.3.6.1 Principe des capacités commutées

Les circuits à capacités commutées reposent sur le principe de transfert de charges à l'aide d'une capacité. Ce principe permet l'émulation d'une résistance (Figure 4.20). Les interrupteurs $S1$ et $S2$ sont commandés respectivement pendant les phases Φ_1 et Φ_2. Afin d'éviter la perte de charges, ces phases ne doivent pas se chevaucher. En l'absence d'un système d'anti-chevauchement d'horloge, les interrupteurs (réalisés à l'aide de *MOS*) se retrouvent en effet tous deux fermés pendant un temps très court à chaque changement de phase. L'entrée se trouve ainsi directement connectée à la sortie.

La charge transférée à chaque coup d'horloge est définie par :

$$\Delta Q = C(V_1 - V_2) \tag{4.20}$$

Le courant moyen transféré de la borne V_1 à la borne V_2 est donc lié à la période de l'horloge. Il est défini par :

$$I_{moy} = \frac{\Delta Q}{T} = \frac{C(V_1 - V_2)}{T} \tag{4.21}$$

La résistance équivalente émulée par la capacité commutée à la période d'horloge T est déterminée par :

$$R_{eq} = \frac{V_1 - V_2}{I_{moy}} = \frac{(V_1 - V_2)T}{C(V_1 - V_2)} = \frac{T}{C} \tag{4.22}$$

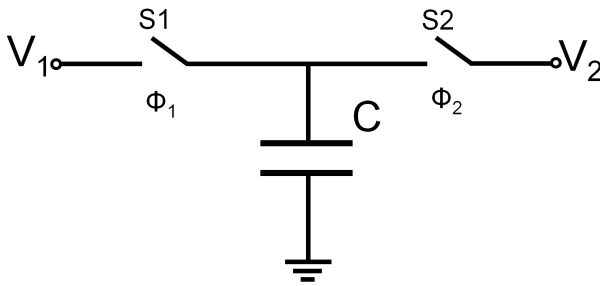


FIGURE 4.20 – Capacité commutée.

FIGURE 4.21 – Résistance équivalente.

4.3.6.2 L'intégrateur à capacités commutées

L'intégrateur à capacités commutées repose sur le même principe que l'intégrateur continu mais possède une résistance émulée via la capacité d'échantillonnage C_s (Figure 4.22). Les interrupteurs 1 et 2 sont commandés respectivement par les phases Φ_1 et Φ_2. Lors de la première phase Φ_1, la capacité d'échantillonnage se charge à la tension V_{IN}. L'amplificateur opérationnel maintient la charge de la capacité d'intégration C_i en figeant la tension de sortie V_{OUT}. Lors de la phase Φ_2, la charge de C_s est transférée à la capacité C_i via la masse virtuelle imposée par l'entrée inverseuse de l'amplificateur opérationnel. C_s se retrouve alors totalement déchargée. La charge de la capacité C_s prend donc un incrément (si la charge de C_i est positive) ou un décrément (si la charge de C_i est négative). Un intégrateur à temps discret est ainsi réalisé. Il est appelé ainsi car la capacité C_s prend une charge ΔQ à chaque demi-période, ce qui fait varier la tension V_{OUT} de $\frac{C_s}{C_i}V_{IN}$.

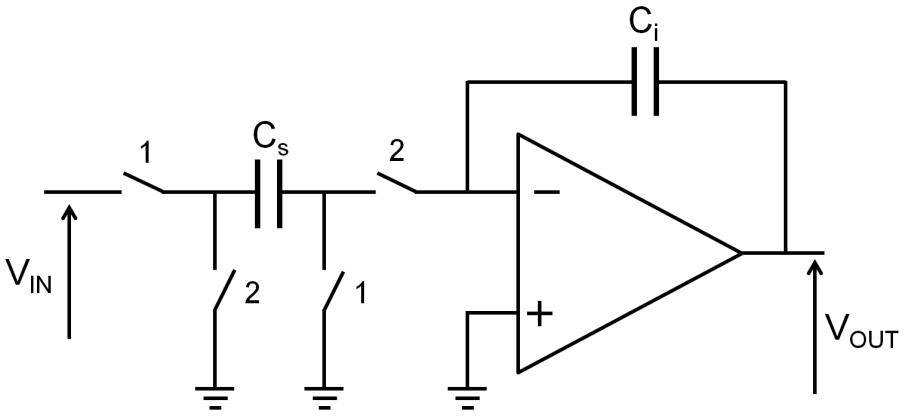


FIGURE 4.22 – Principe de l'intégrateur à capacités commutées.

La fonction de transfert de ce type d'intégrateur se calcule en appliquant la loi de conservation de la charge. En effet, la somme des charges présente dans les capacités ne change pas

entre deux phases d'horloge. Les charges lors de la première phase Φ_1 sont ainsi définie par :

$$QC_{s(1)} = V_{in(1)}C_s \tag{4.23}$$
$$QC_{i(1)} = V_{out(1)}C_i \tag{4.24}$$

Lors de la phase Φ_2, elles sont définies par :

$$QC_{s(2)} = 0 \tag{4.25}$$
$$QC_{i(2)} = V_{out(2)}C_i \tag{4.26}$$

En appliquant la loi de conservation de la charge :

$$QC_{i(2)} = QC_{i(1)} + QC_{s(1)} \tag{4.27}$$

et $QC_{s(1)} = QC_{s(3/2)}$ vu que la charge de C_s est inchangée entre le début et la fin de Φ_1. La fonction de transfert est ainsi obtenue :

$$\frac{V_{out}}{V_{in}} = \frac{C_s}{C_i}\frac{Z^{-1/2}}{1-Z^{-1}} \tag{4.28}$$

Une erreur est commise entre chaque phase d'échantillonnage. L'intégrateur est en effet déconnecté du signal d'entrée lors de la phase d'intégration. Il ne prend donc pas en compte les variations de ce dernier. Ces erreurs seront d'autant plus élevées que la fréquence d'échantillonnage est basse. Cependant cet effet peut être limité et fera l'objet d'une analyse dans la suite de ce manuscrit. Afin d'intégrer la différence de tension aux bornes du shunt, il est nécessaire de considérer une fois de plus une topologie différentielle. L'amplificateur opérationnel étant alimenté par la batterie (à l'instar de tout le système), il est nécessaire de travailler avec des tensions d'entrée et de sorties de l'amplificateur proches de $\frac{V_{batt}}{2}$ (Figure 4.23). Les interrupteurs notés '1' sont activés pendant les phases Φ_1 de l'horloge. Les interrupteurs notés '2' sont quant à eux activés pendant les phases Φ_2. Les potentiels V_1 et V_2 sont calculés de sorte à avoir des niveaux de tension de l'ordre de $\frac{V_{batt}}{2}$ sur les entrées inverseuse et non inverseuse de l'amplificateur opérationnel. Les potentiels sur les entrées de l'amplificateur vont en effet se stabiliser à une valeur proche de $\frac{V_i^+ + V_i^-}{2} - V_1 + V_2$. Ainsi, si V_1 a une valeur proche de $\frac{V_{batt}}{2}$ et V_2 est à la masse, les entrées de l'amplificateur fluctueront autour de $\frac{V_{batt}}{2}$.

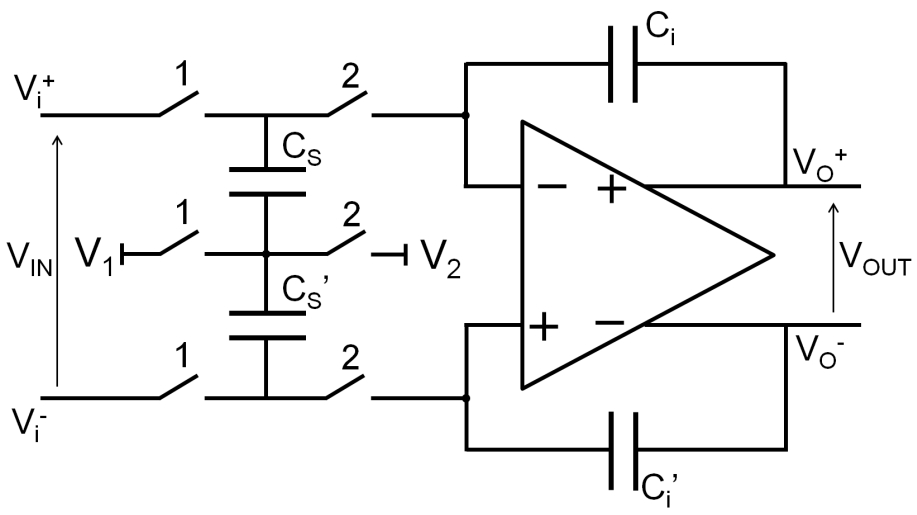


FIGURE 4.23 – Intégrateur différentiel à capacités commutées.

Comme pour l'intégrateur à temps continu, l'amplificateur opérationnel peut être utilisé pour ajouter ou soustraire la tension de référence en fonction du signal du *bitstream*. Il suit l'architecture de l'intégrateur différentiel à capacités commutées avec *feedback* [64] (Figure 4.24). Pour faciliter la réalisation des références de tensions leurs valeurs sont fixées autour de $1.2V$. La référence de tension du système (de $30mV$) est représentée par la différence entre V_{REF}^{+} et V_{REF}^{-}. Cette différence borne également l'intégrateur. En effet, il est plus aisé de concevoir une référence de tension proche du *bandgap* du silicium plutôt qu'une référence de tension proche de $0V$. De plus, cette tension pourra être réutilisée par l'amplificateur de l'intégrateur (cf. 5.4.8). Ainsi, selon l'état du *bitstream*, la référence de tension est permutée de manière à être ajoutée ou soustraite à l'intégrateur (V_{REF}^{+} - V_{REF}^{-} si *bitstream* = 0 ou V_{REF}^{-} - V_{REF}^{+} si *bitstream* = 1). Toutes les capacités C_r, C_s et C_i ont la même valeur afin que le gain de l'intégrateur soit unitaire.

L'intégration se fait en deux étapes :

- Durant la phase Φ_1, l'entrée est échantillonnée à travers les capacités C_s tandis que la référence est intégrée.
- Durant la phase Φ_2, l'entrée est intégrée alors que la référence est échantillonnée.

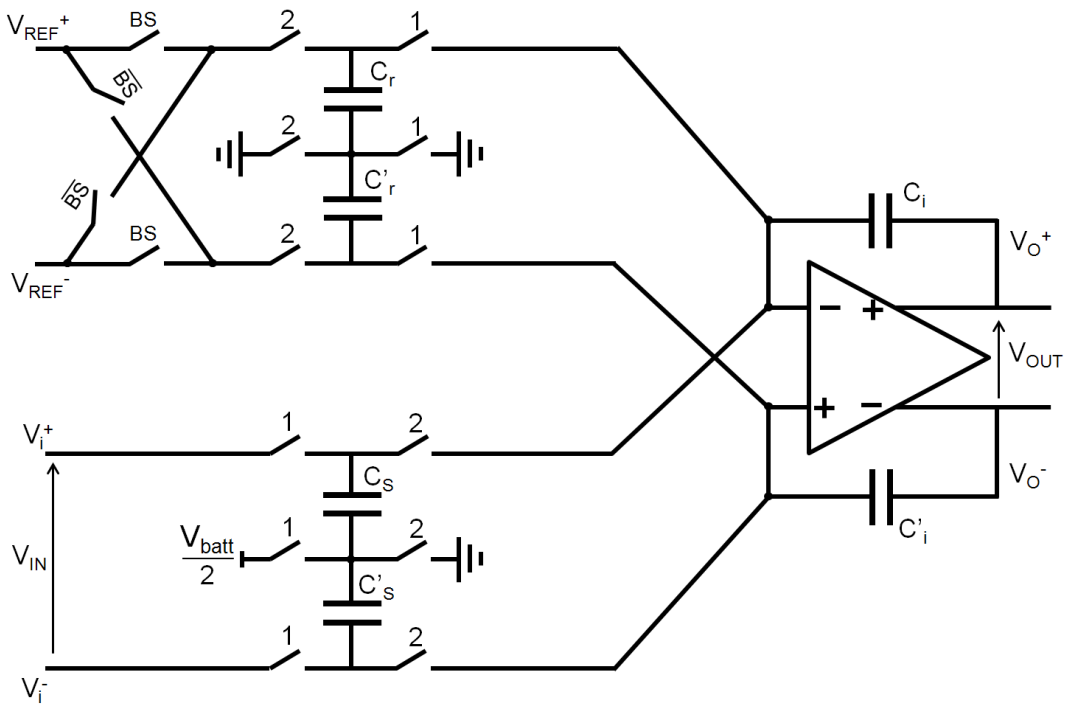


FIGURE 4.24 – Intégrateur différentiel à capacités commutées avec *feedback*.

La fonction de transfert de cet intégrateur reste identique à la fonction de transfert calculée à partir de la loi de conservation de la charge (Équation 4.28). Cependant, au regard du gain de l'amplificateur opérationnel fini ainsi que de l'offset non nul, cette fonction de transfert prend la forme :

$$\frac{V_{OUT}}{V_{IN}} = \frac{-Z^{-1/2}}{1-\frac{\alpha+1}{\alpha}Z^{-1}} + \frac{\epsilon}{V_{IN}(1-\frac{\alpha+1}{\alpha}Z^{-1})} \tag{4.29}$$

L'intégrateur est sensible au gain fini. Il l'est également à l'offset d'entrée qui agit comme une valeur intégrée fonction de l'entrée.

4.3.7 Référence de tension du système

Tel qu'il est conçu le système nécessite deux références de tension proches de $1.2V$. La différence Δ entre ces deux tensions doit être de $\pm 30mV$. Jusqu'à présent, les références utilisées pour le système représentaient des sources parfaites de $1.23V$ et $1.2V$ pour respectivement $V_{REF}P$ et $V_{REF}M$. Si la conception de deux références de tension de valeurs proches se révèle difficile, une différence Δ plus importante (plusieurs centaines de millivolts) peut être acceptée. Il suffira donc de modifier les capacités d'échantillonnage de la référence de sorte à avoir un gain d'intégrateur de Δ^{-1}.

Idéalement, une référence de tension est une source de tension parfaite. C'est à dire qu'elle ne présente aucune variation et ce quelles que soient les perturbations extérieures (température, apport d'énergie, etc.). Concrètement cette référence de tension est principalement caractérisée par :

- Son taux de réjection d'ondulation d'alimentation (*PSRR* : *Power Supply Rejection Ratio*) défini par = $20log\frac{\Delta V_{alimention}(V)}{\Delta V_{reference}(V)}(dB)$
- Son indépendance à la tension d'alimentation, définie par : $\frac{dV_{out}}{dV_{in}}\left(\frac{ppm}{V}\right)$
- Son indépendance à la température $\left(\frac{ppm}{^{\circ}C}\right)$

Pour l'application dans le cadre du projet, la dépendance à la température ne représente pas un problème en soi. En effet, contrairement aux références de tension placées dans les micro-processeurs ou autres composants numériques devant dissiper des Watts, le capteur autonome en énergie ne consommera que très peu d'énergie. L'électronique ne dissipera donc pas de chaleur et n'affectera pas la référence de tension. De plus, pour ce type d'application, la température ambiante ne pose pas de problème. Elle ne varie en effet que très rarement de façon brutale. Ces changements sont de l'ordre de quelques dizaines de degrés et non pas d'une centaine. Leur constante de temps est donc beaucoup plus longue que celle du recouvrement énergétique (temps nécessaire au système pour retrouver l'énergie perdue lors de la phase de réveil). La température va agir à une variation du ΔV_{REF} correspondant à un changement du *bitstream*. Ainsi, la valeur de la référence ne change pas entre l'intégration positive et l'intégration négative (retour à un zéro énergétique au niveau de la batterie). Les éventuelles dérives peuvent donc être considérées comme inexistantes.

L'analogie peut être faite avec la dépendance à la tension d'alimentation. Si la batterie ne se charge et se décharge que sur une longue période, sa tension demeure stable à chaque recouvrement énergétique.

4.3.8 Zones mortes du modulateur $\Sigma\,\Delta$ d'ordre 1

L'imperfection principale d'un modulateur $\Sigma\,\Delta$ d'ordre 1 (Figure 4.25) vient de la fuite de l'intégrateur due au gain non infini de l'amplificateur utilisé.

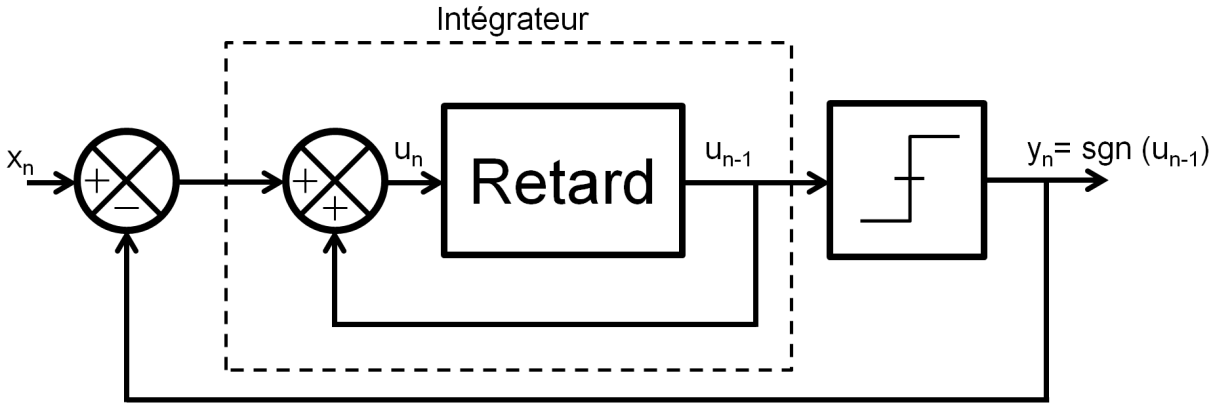


FIGURE 4.25 – Schéma de principe du modulateur $\Sigma\,\Delta$ d'ordre 1.

Cette imperfection se traduit par un mauvais encodage de certaines valeurs du signal d'entrée. Pour ces valeurs, le signal de sortie n'est pas modifié [65]. Cette portion du signal d'entrée qui ne produit pas de variation du signal de sortie est appelée zone morte du $\Sigma\,\Delta$. La fonction de transfert du modulateur peut alors s'écrire :

$$u(n) = cu(n-1) + x(n) - y(n-1) \tag{4.30}$$

Le gain de l'intégrateur est donc défini par $G = \frac{1}{1-c}$ avec $c < 1$. Cela démontre qu'une variation du signal ne produira pas de variation du signal de sortie d'entrée si elles est comprise dans l'intervalle :

$$\frac{c-1}{1+c} < x < \frac{1-c}{1+c} \tag{4.31}$$

Ainsi, pour un intégrateur dont le gain de l'amplificateur est de $20dB$ ($c = 0.99$), borne x sera entre :

$$-5e^{-3} < x < 5e^{-3} \tag{4.32}$$

L'intégrateur étant borné entre $\pm 30mV$, cette équation montre qu'un signal d'entrée entre $\pm 150\mu V$ ne produira pas de variation du signal de sortie. Cela démontre une limite du compteur de charges. Or il est difficile d'en concevoir un à la fois *Ultra-Low-Power* (gain de l'amplificateur réduit) et de grande dynamique du signal d'entrée (mesure précise entre quelques

micro-ampères à $30mV$). De plus, il faut préciser que ce phénomène est perçu pour chaque valeur du signal d'entrée rationnel ($\pm$1/2, $\pm$1/3, $\pm$1/4...).

Modélisation et compensation des zones mortes du modulateur $\Sigma\,\Delta$ d'ordre 1

Cette erreur du modulateur $\Sigma\,\Delta$ est mise en évidence grâce à des simulations sous *matlab*. Le modulateur $\Sigma\,\Delta$ d'ordre 1 est modélisé pour recevoir un signal constant compris entre [-1 ; +1] en entrée. En sortie du modulateur, ce modèle fournit le signal du *bitstream* incrémenté. Il représente le compteur de charges du projet de manière simplifiée. Grâce à lui, l'erreur du modulateur est mise en évidence par le coefficient directeur de la droite de régression linéaire du signal de sortie correspondant au signal d'entrée (Figure 4.26).

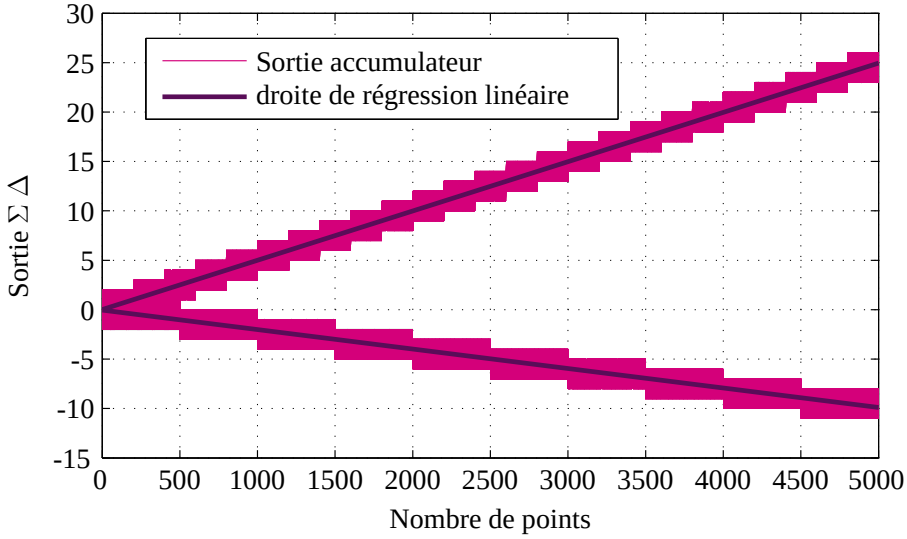


FIGURE 4.26 – Droite de régression linéaire du *bitstream* accumulé.

La comparaison entre la valeur de la pente (coefficient directeur de la droite aux moindres carrés) et la valeur théorique permet de déterminer l'erreur correspondant au signal d'entrée. Cette erreur absolue est définie par :

$$\epsilon = \alpha - \alpha_{th} \tag{4.33}$$

Avec α le coefficient directeur de la droite de régression linéaire et α_{th} le coefficient directeur de la droite théorique.

Lorsqu'une simulation du modulateur est lancée avec 1000 valeurs différentes du signal d'entrée comprises entre [-1 ; +1] (soient 1000 coefficients directeurs de l'accumulateur de sortie), l'erreur apparaît pour chacune d'entre elles. Pour un intégrateur de gain infini, l'erreur est relativement faible ($< 10^{-5}$) (Figure 4.27).

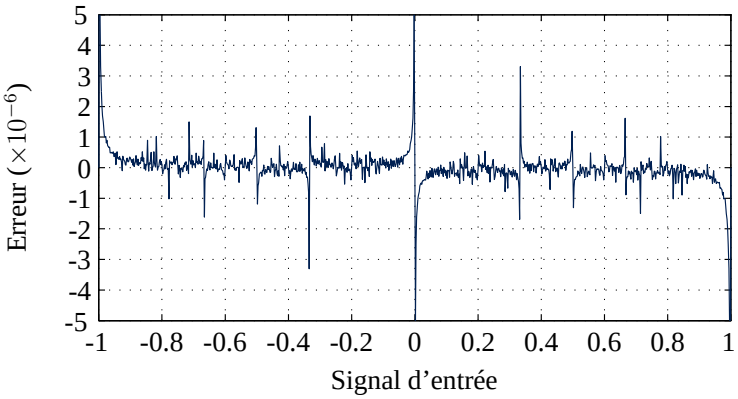


FIGURE 4.27 – Erreur correspondante pour un gain de l'intégrateur infini.

L'erreur fait également apparaître une divergence aux extrémités des signaux d'entrée lorsque l'intégrateur arrive à saturation. Cette courbe montre également la périodicité de l'erreur pour le signal d'entrée (0, $\pm 1/3$...).

Pour un intégrateur dont le gain de l'amplificateur est de $20dB$, l'erreur est beaucoup plus importante (de l'ordre de 800 pour un signal d'entrée proche de 0) (Figure 4.28).

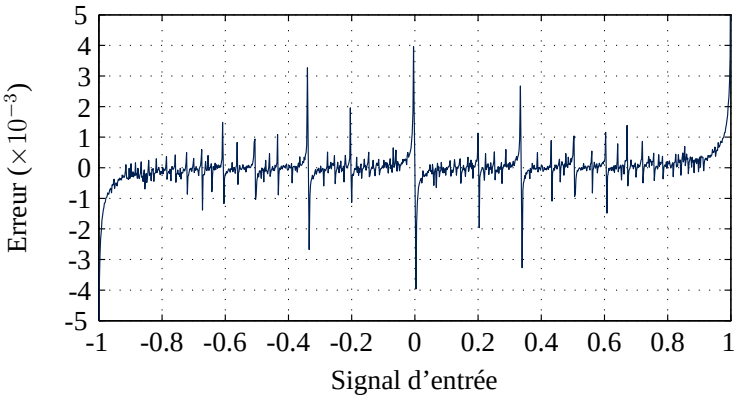


FIGURE 4.28 – Erreur correspondante pour un gain de $20dB$.

Pour atténuer cette erreur il est possible de générer un bruit numérique modulé à l'aide d'un $\Sigma\,\Delta$ numérique. Ce bruit numérique est injecté avec un gain g à l'entrée du comparateur du modulateur $\Sigma\,\Delta$ (Figure 4.29).

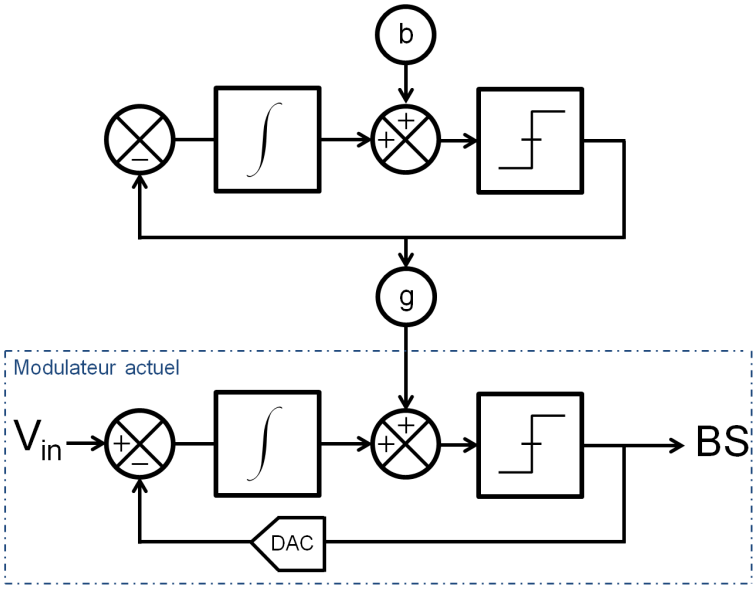


FIGURE 4.29 – Schéma du système avec ajout de bruit numérique.

Le bruit blanc peut être généré par un registre à décalage à rétroaction linéaire (*LFSR Linear Feedback Shift Register*) inséré dans un modulateur $\Sigma\,\Delta$ numérique d'ordre 1. Le montage *LFSR* utilise les polynômes primitifs modulo 2 et permet de générer des bits cycliquement (tous les 2^n coups d'horloge, n le nombre de bits du registre) et de manière "pseudo-aléatoire". L'utilisation de n registres (bascule D) et de portes ou-exclusif (XOR) ou non-ou-exclusif (XNOR) est nécessaire (Figure 4.30).

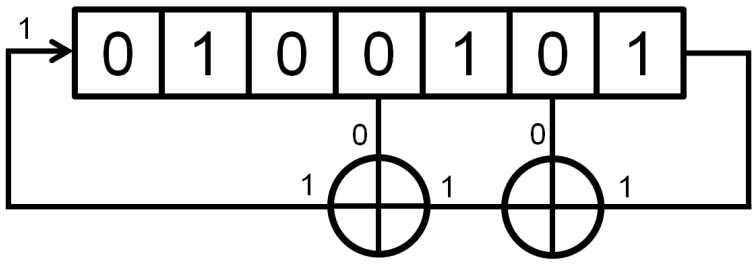


FIGURE 4.30 – Principe de génération de signaux numériques pseudo-aléatoires.

Pour éviter le phénomène de *locked-up* (phénomène qui ne laisse apparaître aucun changement de bits) le registre doit être initialisé avec d'autres valeurs que tout 0 ou tout 1 (dans le cas d'utilisation de portes XNOR). Ainsi, en respectant le polynôme correspondant pour le nombre de bits voulus (Tableau 4.3), le registre balayera de façon aléatoire tous les nombres (dépendant de la valeur initiale) sauf le 0.

nb bits	Polynome de retour	période de redondance
2	$x^2 + x + 1$	3
3	$x^3 + x^2 + 1$	7
4	$x^4 + x^3 + 1$	15
5	$x^5 + x^3 + 1$	31
6	$x^6 + x^5 + 1$	63
7	$x^7 + x^6 + 1$	127
8	$x^8 + x^6 + x^5 + x^4 + 1$	255
9	$x^9 + x^5 + 1$	511
10	$x^{10} + x^7 + 1$	1023

Tableau 4.3 – Table des polynômes.

Une nouvelle simulation du modulateur est lancée après l'ajout d'un bruit issu d'un polynôme du troisième ordre et d'un gain g de 0.2. Celle-ci révèle qu'avec un intégrateur dont l'amplificateur est de gain infini, l'erreur correspondant à un signal d'entrée autour de 0 a pratiquement disparue (Figure 4.31).

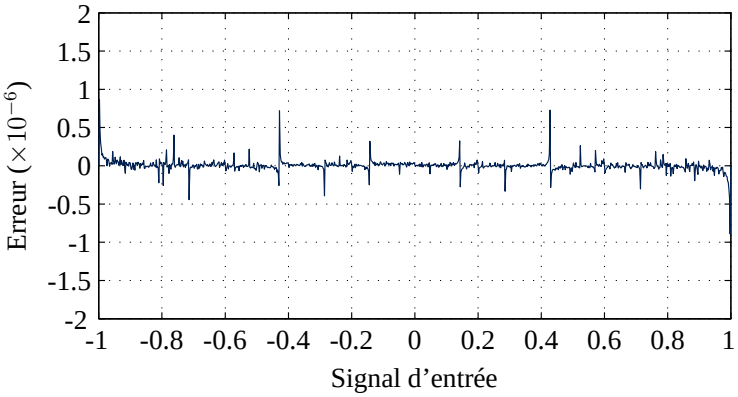


FIGURE 4.31 – Erreur corrigée pour un gain infini.

Le compromis pour compenser l'erreur obtenue avec un intégrateur dont l'amplificateur est de gain $20dB$, repose sur une simulation successive avec un polynôme de degré dix et un gain de 0.15. L'erreur reste effectivement inférieure à 10^{-4} (Figure 4.32).

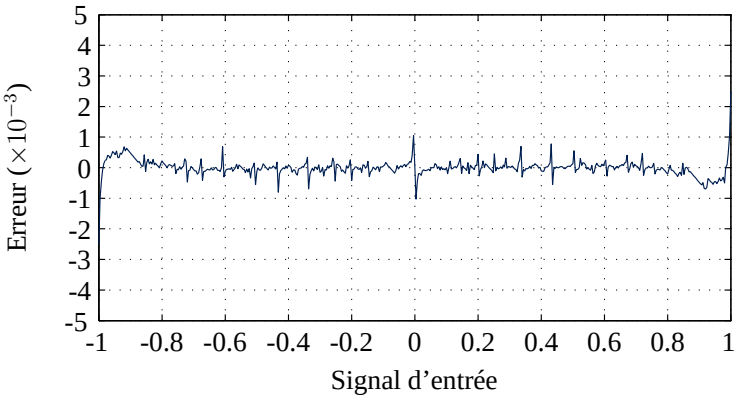


FIGURE 4.32 – Erreur corrigée pour un intégrateur de gain $20dB$.

Cette modélisation *matlab* met donc en évidence l'erreur engendrée par un modulateur $\Sigma\,\Delta$ d'ordre 1 tout en présentant une technique qui atténue cette erreur.

4.3.9 Conclusion

Bien que l'amplificateur soit plus difficile à réaliser et nécessite notamment un système de contrôle du mode commun (*CMFB* : *Common Mode Feedback*), l'architecture différentielle a un avantage certain fasse à l'architecture simple. Elle permet en effet de réduire considérablement les bruits affectant les résistances. Ceux-ci, à l'exemple du bruit thermique, ont les mêmes caractéristiques et donc la même composante continue. Mais cette dernière peut être supprimée grâce au montage différentiel qui permet donc d'intégrer un bruit de moyenne nulle. Aucune dérive à long terme n'est donc générée.

Cependant, cette architecture présente certains inconvénients face à une architecture à intégrateur simple. Elle est plus gourmande en énergie et plus coûteuse en surface de circuit. En effet, l'amplificateur doit pouvoir charger et décharger deux capacités. Sa consommation est donc presque le double d'un intégrateur simple.

Quant à l'intégrateur à temps continu, ses résistances doivent être très grandes pour limiter les courants de fuites. Des résistances de l'ordre de $10M\Omega$ représentent une surface supérieure à $2000\mu m^2$. Un tel intégrateur nécessiterait donc pas loin de $10000\mu m^2$. De plus, le courant consommé par les branches représentent une consommation de l'ordre de $2 \times \frac{V_{batt}}{2R}$ soit $300nA$ quand la batterie est chargée et ce malgré des valeurs de résistances élevées. Cette contrainte limite donc le côté *Ultra-Low-Power* du compteur de Coulombs.

L'intégrateur à temps discret propose en revanche une alternative plus intéressante en matière de consommation. En effet, les capacités ne consomment pas de courant contrairement

aux résistances et leur surface de circuit est plus réduite ce qui représente un coût moins onéreux. C'est donc cet intégrateur qui sera retenu pour la réalisation du système.

Chapitre 5

RÉALISATIONS ET MESURES DU POWER MANAGEMENT ET DU COMPTEUR DE CHARGES

5.1 INTRODUCTION

Les travaux réalisés sur le *PM* et présentés dans le chapitre précédent ont permis de concevoir un circuit. Celui-ci a validé l'autonomie énergétique du capteur sans fil. Dans un premier temps, ce circuit a été testé sous pointes afin de faire un premier tri et connaitre le taux de conformité aux spécifications. Puis des mesures de caractérisations ont ensuite été réalisées pour définir le rendement et l'efficacité du *PM*.

Le *gas gauge* n'a quant à lui pas été validé par un circuit mais par des simulations du macro-modèle. Celles-ci ont mis en évidence différentes dérives dues aux imperfections du système. À partir de là, des figures de mérite ont pu être élaborées. Elles mettent en avant un certain nombre de spécifications qui permettront de concevoir le système judicieusement. De plus, certains blocs de l'architecture ont été conçus et démontrent donc que la réalisation du système est envisageable.

5.2 VALIDATION DU *PM* PAR UN CIRCUIT DE TEST

Le prototype réalisé en technologie discrète sert de première ébauche aux spécifications (Figure 5.1). Il permet ainsi de valider et consolider l'idée originale en fonction des contraintes rencontrées. En plus du prototype réalisé, une modélisation du *PM* sous LTSpice a permis de confirmer et d'analyser le comportement du système. Cette étude a servi de base aux spécifications du *PM* intégré.

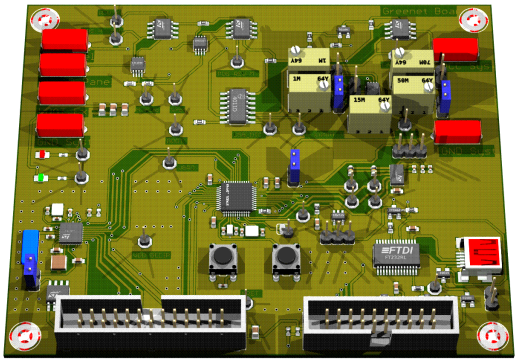


FIGURE 5.1 – Premier prototype de démonstration du *PM*.

Ce prototype a permis de relever quelques inconvénients majeurs :

– Un appel de courant important du côté de la charge fait chuter la tension franchissant le *LCO* (du fait de l'impédance élevée de la batterie) et coupe ainsi la charge. La tension augmente alors, franchit le *wake-up* et alimente à nouveau la charge (hystérésis pas assez large). La solution pour remédier au problème est de diminuer le *LCO* et placer en parallèle de la batterie une capacité de forte valeur ($100\mu F$) pour absorber les appels de courant et diminuer les chutes de tension. Ainsi, le *LCO* fixé à 2.4V permet à la batterie d'être coupée lorsqu'elle est déchargée à $2.6V$ (la chute de tension en moins). Cela correspond à une perte de capacité de la batterie de 40%. Cette marge nous permet de garantir une durée de vie de la batterie suffisante.

– Lors d'un appel important de courant, la tension du *PV* chute. Celui-ci est alors désactivé du système. Il se réactive quelques milli-secondes après (une fois la capacité à ses bornes suffisamment rechargée). La fréquence des oscillations est fonction de la valeur de la capacité et de la luminosité ambiante.

Après avoir pris ces contraintes en considération, la conception du circuit intégré commence. Lors de la modélisation comportementale du prototype, le système en développement est stimulé grâce à un banc de test en macro-modèle. Ce dernier a alors une double fonction :

– La définition des spécifications : la description fonctionnelle du système doit permettre la conception du circuit.
– La vérification de la cohérence avec les spécifications initiales : au cours de la conception du circuit, le banc de test permet de valider ou d'invalider certaines fonctionnalités. Il permet donc le suivit de la conception jusqu'à ce que le système réponde aux attentes.

5.2.1 Le banc de test du *PM*

Le banc de test nécessaire à la réalisation du *PM* se compose de plusieurs parties. Le bloc *PV* pour le *harvester*, le bloc batterie pour l'élément tampon d'énergie, le bloc système pour le capteur dans sa totalité (radio, micro-contrôleur, capteurs...) le bloc *USB* pour l'énergie externe (pouvant être du type alimentation *USB*, mais également pack de batteries, alimentation via le secteur, etc.) et enfin le bloc *FSM* qui gère l'ensemble de ces blocs. À ce banc de test s'ajoute le *PM*. Il représente le circuit dans sa totalité et peut être remplacé par le macro-modèle décrit en VHDL-AMS (Figure 5.2).

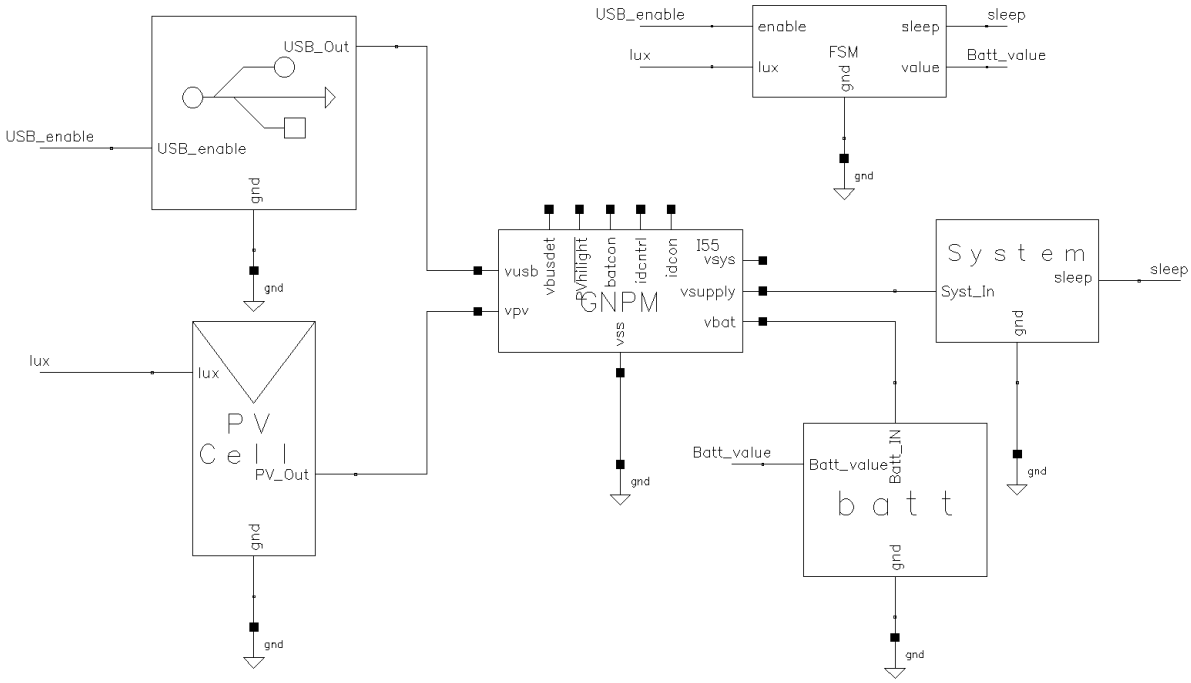


FIGURE 5.2 – Banc de test du *PM*.

5.2.1.1 Le bloc *PV*

Le *PV* (Figure 5.3) a été modélisé à partir de celui conçu pour le projet. Le modèle a été très simplifié. L'idée n'est pas d'avoir avec exactitude la même caractéristique que le *PV* existant mais d'avoir une réponse similaire en fonction de la charge imposée. Ainsi, la tension de circuit ouvert et la tension correspondant au *MPP* varient de manière logarithmique en fonction de la consigne de luminosité ; le courant de court-circuit (I_{SC}) varie proportionnellement (cf. 2.1) en fonction de la consigne d'intensité lumineuse. La tension ainsi que le courant de sortie (*PV_OUT*), vont donc dépendre de la charge présentée et de la consigne de luminosité sur l'entrée *lux* (Figure 5.4).

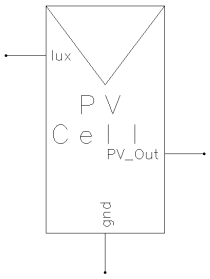


FIGURE 5.3 – Le bloc *PV*.

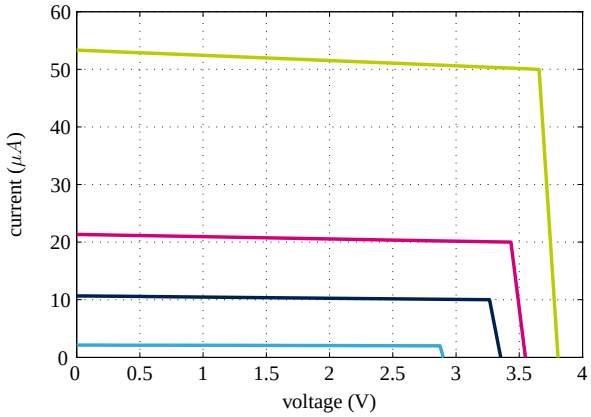


FIGURE 5.4 – Courbe du courant en fonction de la tension du modèle du *PV*.

5.2.1.2 Le bloc batterie

La batterie est représentée par une résistance interne de 10Ω en série avec une capacité de $4F$. Cette capacité est relativement faible au vu de la véritable batterie permet de simuler rapidement les variations dans le temps. L'entrée (*Batt_value*) rend possible la modification à tout instant de la tension de la batterie (Figure 5.5).

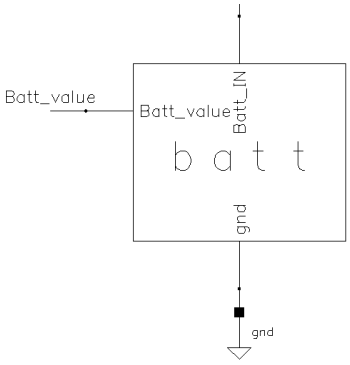


FIGURE 5.5 – Le bloc batterie.

5.2.1.3 Le bloc système

Le système (Figure 5.6) correspond au capteur dans sa totalité, c'est à dire à toute l'électronique que le *PM* doit alimenter. Cette électronique consomme très peu en veille (de l'ordre de quelques micro-ampères sous 3V) alors que des pics de courant dépassant des dizaines de milli-ampères peuvent apparaitre. La modélisation simplifiée de ce système est donc une simple résistance qui varie de quelques mégaohms (en mode *sleep*) à quelques dizaines ou centaines d'ohms. Les variations de la charge se font via l'entrée *sleep*.

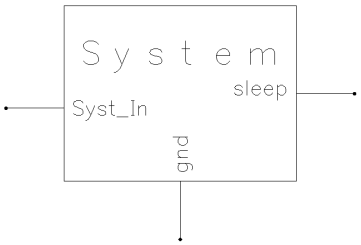


FIGURE 5.6 – Le bloc système.

5.2.1.4 Le bloc *USB*

Le bloc *USB* (Figure 5.7) représente une alimentation externe que l'on peut utiliser pour remplacer l'énergie apportée par le *harvester* et avoir ainsi autant d'énergie que souhaitée. Cela permet d'avoir une charge rapide de la batterie et d'alimenter complètement le système. Dans ce cas précis il peut donc être utilisé comme un routeur, c'est à dire être placé à la base du réseau pour récolter l'ensemble des données. Il peut ainsi travailler en permanence sans nécessiter de temps de repos. Le modèle utilisé est une source de tension $5V$ qui peut être activée ou désactivée à l'aide de l'entrée *enable*.

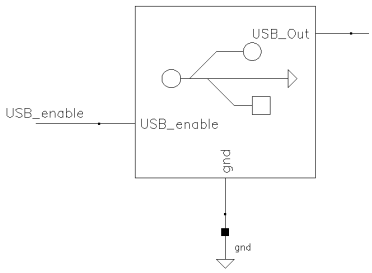


FIGURE 5.7 – Le bloc *USB*.

5.2.1.5 Le bloc *FSM*

Le bloc *FSM* (Figure 5.8) a été développé pour piloter l'ensemble des éléments constituant le banc de test du *PM* (*USB*, *PV*, batterie). Il permet de programmer les cycles désirés

pour la simulation, tels que le niveau d'éclairement, le niveau de tension de la batterie, l'absence ou non de tension externe (*USB*) et les variations du système. Une programmation temporelle de tous ces paramètres permet de visualiser la réponse du *PM* face aux différents comportements des éléments externes.

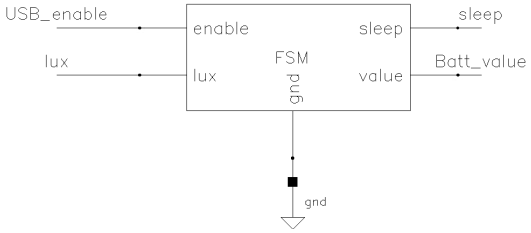


FIGURE 5.8 – Le bloc *FSM*.

La modélisation de ce banc de test a mis en évidence certaines contraintes et spécifications : l'utilisation du *PM* est principalement dédié à une utilisation en faible éclairement ; l'utilisation d'un convertisseur d'énergie et d'un système de *MPPT* n'est pas à envisager. Il est donc primordial de prendre cela en compte lors de la conception du *PM*.

5.2.2 La conception du *PM*

Le circuit (Figure 5.9) a été conçu selon les mêmes principes de base que le prototype en technologie discrète. Des éléments ont donc été maintenus :

- Les régulateurs linéaires à faible chute de tensions (*LDO*) : permettant de limiter la tension du système et ainsi protéger la batterie contre une éventuelle surcharge en tension.
- Le limiteur de courant de charge de batterie : évitant un courant supérieur à $2.2mA$.
- La protection de décharge de batterie : limitant la décharge de la batterie en dessous de $2.4V$.

D'autres éléments ont été créés pour pallier les contraintes rencontrées sur le prototype, notamment l'interrupteur rapide.

5.2.2.1 Les régulateurs de tensions (*LDO*)

Les régulateurs des deux entrées (*LDO*) sont basés sur la même architecture. Les spécifications concernant la consommation les contraignent néanmoins à différer sur le plan de leurs fonctionnalités.

L'*USB_LDO* est activé par le détecteur *USB* basé sur la même architecture que le comparateur de tension de batterie (*LCO*). Dès que l'entrée *USB* détecte une tension, le limiteur de courant $2mA$ s'active, le *switch* rapide (*FS*) s'ouvre et, quel que soit le niveau de tension de la batterie, le *switch PS* se ferme. De cette manière, l'énergie venant de l'entrée *USB* est

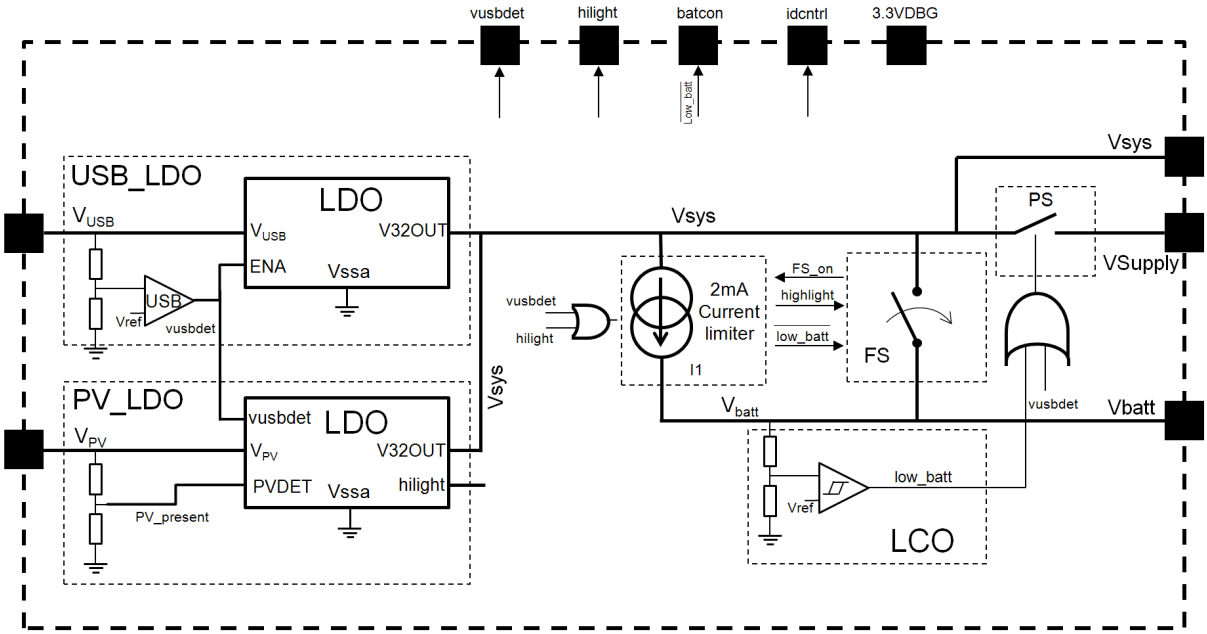


FIGURE 5.9 – Schématique du *PM*.

régulée à $3.2V$ et alimente ainsi directement la charge sur V_{supply}. Elle recharge également la batterie à $2mA$ via le limiteur.

Le *PV_LDO* lui est activé via un pont de résistances qui mesure la tension présente sur l'entrée *PV*. Le point milieu du pont est relié aux grilles des transistors d'activations du *LDO*. Ainsi, une fois qu'il a franchi la tension de seuil des transistors, le *LDO* est activé. Bien que ne constituant pas un changement d'état très net, cette méthode permet de s'affranchir de la consommation d'un comparateur supplémentaire, la valeur des résistances étant chacune de $15M\Omega$. De plus elle a notamment permis de résoudre un problème majeur.

En effet, en présence d'un comparateur, le *LDO* se met soudainement à consommer de l'énergie. Cela fait chuter le potentiel du PV et entraine le basculement du comparateur. Le *LDO* est alors désactivé. Arrive donc dans une phase oscillatoire plongeant tout le système dans un état puits. Celui-ci durera tant que la luminosité ne sera pas suffisante pour en sortir. L'activation par le pont de résistances permet ainsi une activation plus linéaire qui permet donc d'éviter ce phénomène.

En plus de sa faible consommation de fonctionnement, le *PV_LDO* est également doté de mesures de courant permettant d'activer le limiteur de courant et le *switch FS*. Deux seuils de fonctionnement sont ainsi déterminés : le faible éclairement (en dessous de $800\mu A$ fourni pour le *PV*) et le fort éclairement. En faible éclairement, le *LDO* ne régule pas la tension du *PV* mais la fait suivre à la tension de sortie V_{sys}. La chute de tension est alors très faible entre la sortie et l'entrée du *LDO*, réduisant également sa consommation. En fort éclairement ou

lorsque la batterie est complètement chargée, le *LDO* régule la tension du *PV*. La tension de sortie V_{sys} est alors limiter à $3.2V$. La chute de tension entre l'entrée et la sortie est plus ou moins importante suivant l'éclairement.

5.2.2.2 Le limiteur de courant

Le limiteur de courant (Figure : 5.10) fonctionne sur le principe du miroir de courant. Afin de limiter sa consommation à $2\mu A$, 1000 transistors montés en parallèles de la branche de charge. Ce circuit est activé par l'entrée *ENA* du transistor.

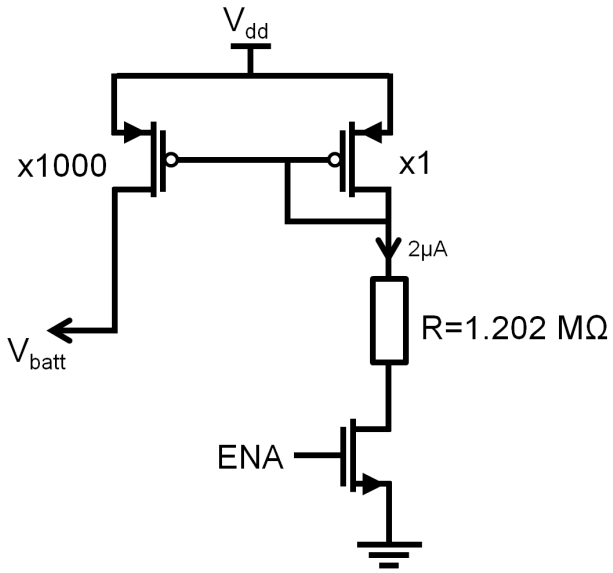


FIGURE 5.10 – Limiteur de courant à $2mA$.

Lors d'une première étude, l'espérance du limiteur se situait à $1.6mA$. Cette valeur était choisie de sorte à avoir à $+2\sigma$ proche de $2mA$ afin de protéger la batterie contre une surcharge en courant. Par la suite, un ajustement du limiteur (cf. Figure 5.11) a été toléré afin d'avoir une moyenne plus proche de $2mA$. Cela a permis d'optimiser la charge de la batterie lorsque de forts courants sont disponibles.

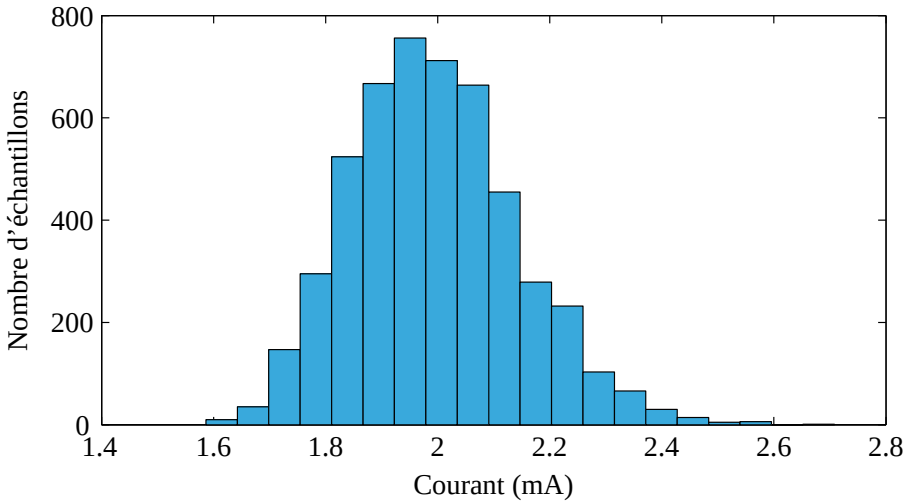


FIGURE 5.11 – Histogramme de la simulation Monte Carlo du limiteur de courant.

5.2.2.3 La protection de décharge de la batterie (*LCO*)

La protection de la batterie contre les décharges profondes est assurée par le bloc *LCO*. Celui-ci est l'unique élément connecté à la batterie à consommer du courant. Il est le seul à être toujours actif. Il est donc déterminant dans la mesure où les spécifications précisent que le *PM* doit désactiver le système dès que la batterie a franchi le seuil de $2.4V$ et le réactiver dès que la batterie sera rechargée à $2.8V$. Ce *LCO* se doit donc de consommer un minimum d'énergie afin de préserver la batterie une fois déchargée. De plus, il ne doit pas gaspiller l'énergie de la batterie en l'absence d'énergie du *harvester*. Les spécifications concernant la consommation statique de $250nA$ (cf. 4.2.3.2) font donc référence à ce bloc *LCO*.

Ce bloc est constitué principalement d'un diviseur de tensions permettant de définir les seuils de basculements. Il est également composé d'un système de référence de tension (Figure 5.12). Les simulations Monte Carlo (*MC*) montrent un seuil du *LCO* compris entre [$2.49V$; $2.36V$] et un *wake-up* compris entre [$2.72V$; $2.86V$]. La simulation *MC* de la consommation du *LCO* se situe entre [$150nA$; $300nA$] (Figure 5.13).

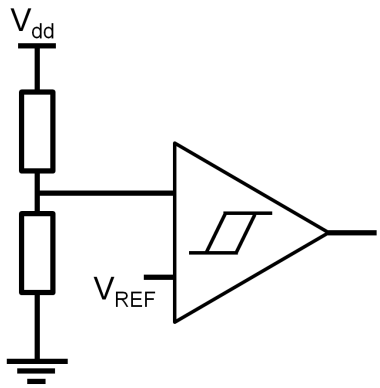


FIGURE 5.12 – Limiteur de tension basse de batterie (*LCO*).

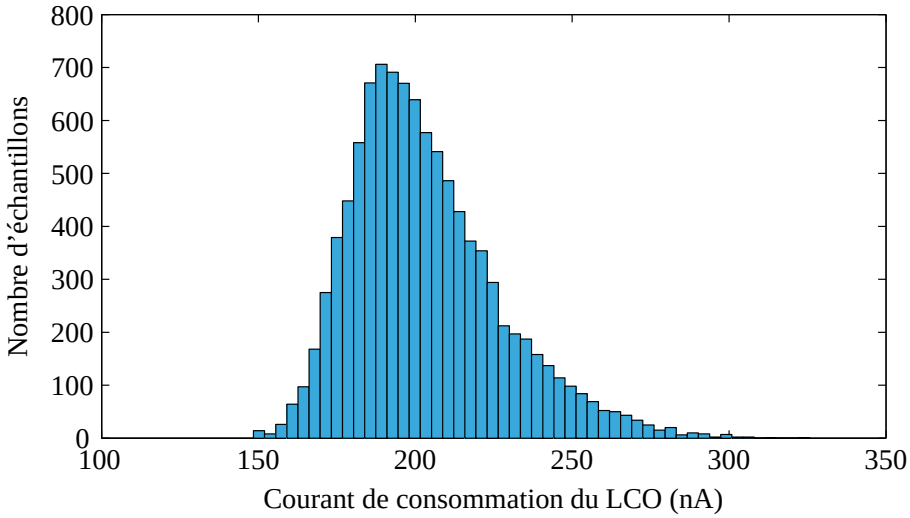


FIGURE 5.13 – Histogramme de la consommation du LCO.

5.2.2.4 L'interrupteur rapide (*FS*)

L'interrupteur rapide (*FS*) est commandé de deux façons :

- En faible éclairement, le limiteur de courant est désactivé afin de limiter la consommation du *PM*. Le courant passe alors par le *FS* pour charger la batterie. Le système est alors alimenté par le *PV*. Si le système demande un fort courant, le surplus vient alors directement de la batterie.
- En fort éclairement, l'énergie est suffisante pour charger la batterie via le limiteur de courant ($I_{PV} > 800\mu A$), le *FS* est ouvert. Lorsque le système se réveille, l'appel de courant fait chuter la tension V_{sys}. Le *FS* se ferme alors très rapidement pour subvenir au besoin énergétique du système.

L'architecture et le mode de fonctionnement élaboré lors de la conception du *PM*, ont fait l'objet d'un dépôt de brevet en France le 31 mai 2013 sous le numéro de demande 13-55007.

Le *layout* (Figure 5.14) et la photographie (Figure 5.15) du *PM* présente une surface totale (*pads* inclus) de $1mm^2$. La surface efficace du circuit, sans *pads*, se limite à $0.4mm^2$.

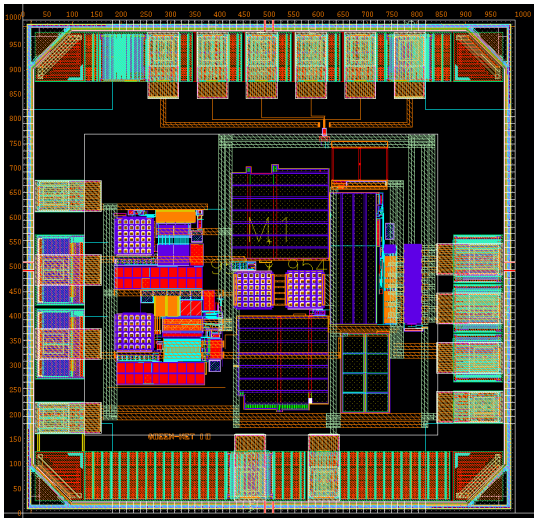


FIGURE 5.14 – Layout du *PM*.

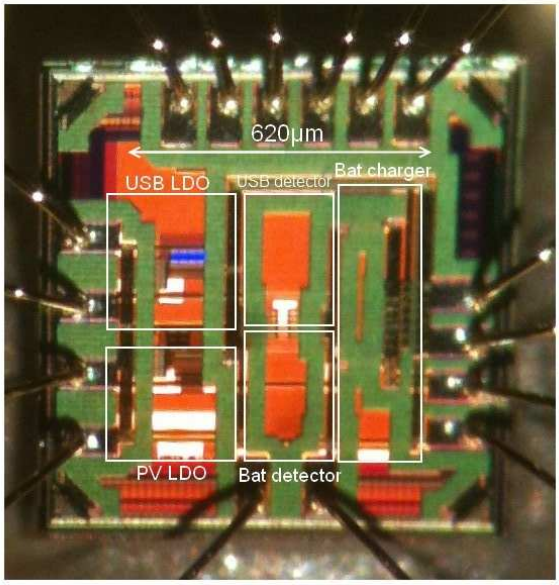


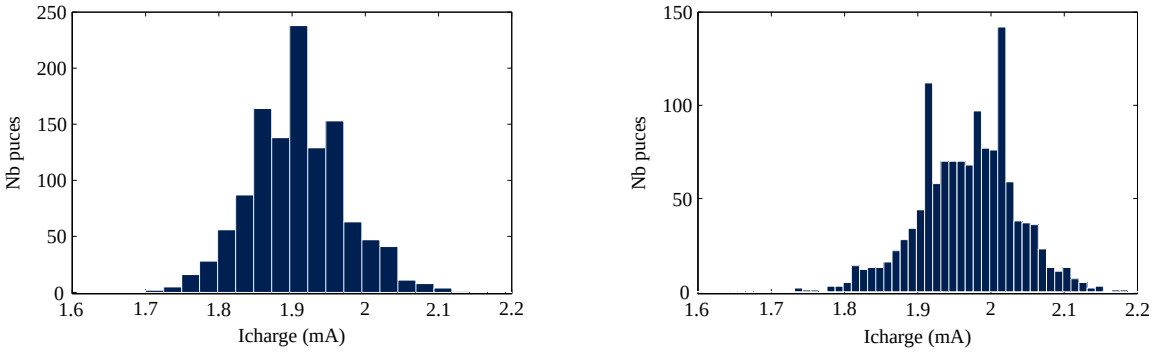
FIGURE 5.15 – Photographie du circuit du *PM*.

5.2.3 Tri des puces

Deux lots de *PM* ont été réalisés en septembre 2012 et mars 2013. Les tests réalisés sur chacun d'eux ont permis de les comparer et d'aboutir à leur diagramme de Pareto.

Le test du limiteur de courant (Figure 5.16) a été appliqué dans un premier temps au lot n°1 contenant 1216 puces. Il a décelé 1191 puces valides. Les 25 puces défectueuses avaient une charge au-delà de $2.2mA$. Dans un second temps, le test a été réalisé sur le lot n°2 contenant 1372 puces. Il a décelé 1300 puces valides. Les 72 puces défectueuses avaient une charge proche de $0mA$ (limiteur de courant non fonctionnel). Le lot n°1 a donc un taux de rejet plus

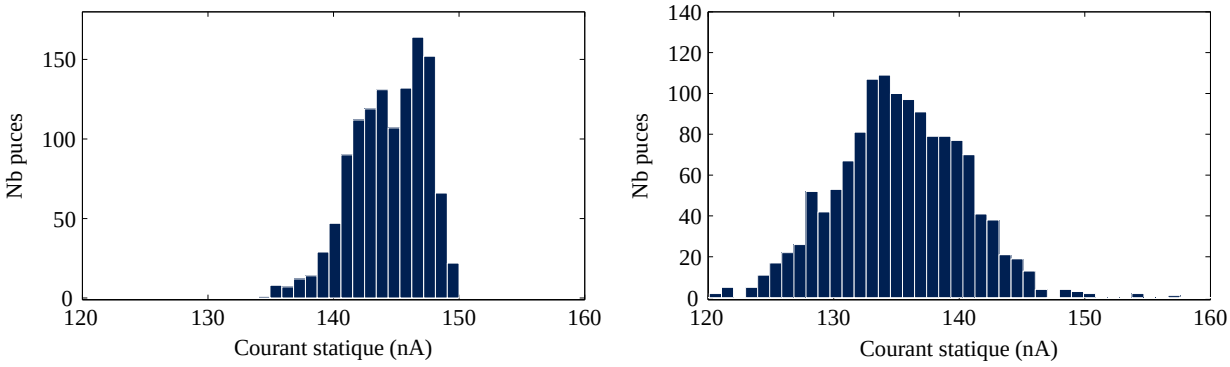
faible que le lot n°2.



(a) Lot n°1 (b) Lot n°2

FIGURE 5.16 – Test du limiteur de courant.

Les tests du courant statique (Figure 5.17) ont décelé 1213 puces valides (sur 1216) dans le lot 1. Seulement 3 étaient au-delà de $250nA$. Il a décelé 1368 puces valides (sur 1372) parmi le lot 2. Quatre puces se situaient au-delà de $250nA$. Le taux de rejet est donc de 0.25% pour le lot n°1 et de 0.29% pour le lot n°2.

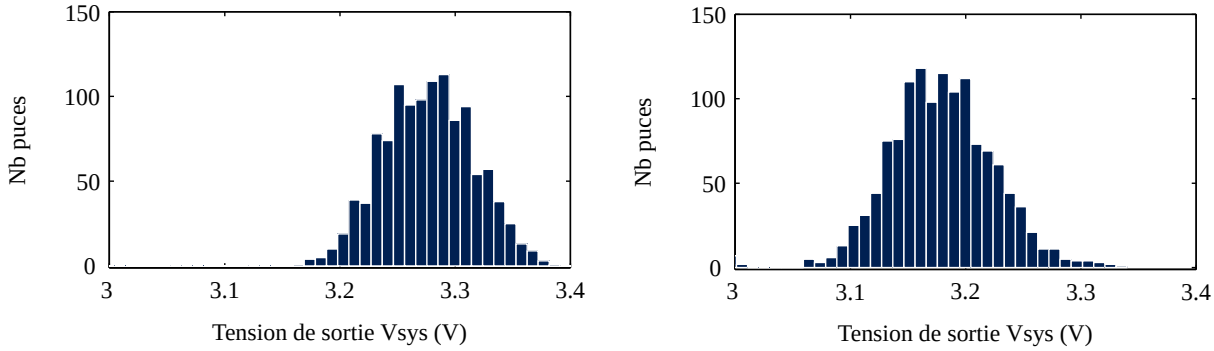


(a) Lot n°1 (b) Lot n°2

FIGURE 5.17 – Test du courant statique.

Les spécifications du constructeur de la batterie exigeaient que cette dernière soit rechargée entre $3.1V$ et $3.3V$ maximum pour ne pas être endommagée. En deçà de $3.1V$ la batterie ne se chargerait pas totalement et sa durée de vie serait donc altérée. Par conséquent les puces qui ne respectaient pas ces recommandations ont été exclues grâce aux tests des tensions régulées (*PV* et *USB*).

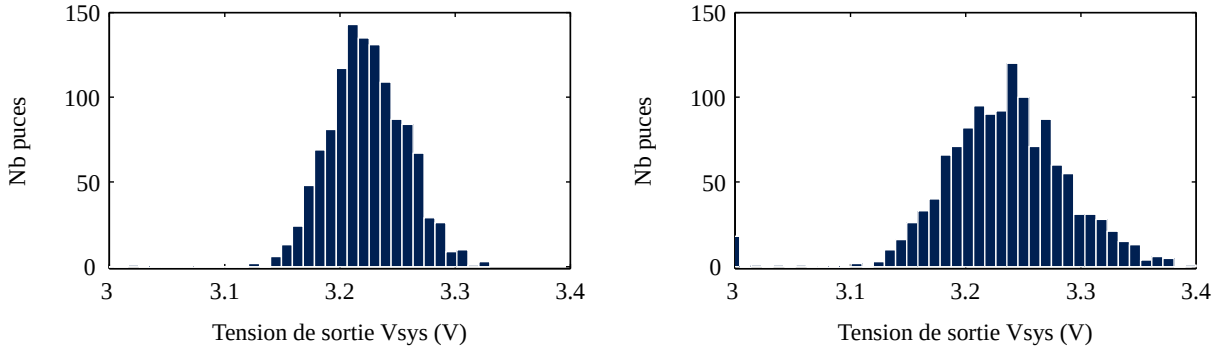
Les tests de la tension régulée du *PV* (Figure 5.18) ont fait apparaitre 341 puces défectueuses. Parmi elles, 46 se trouvaient en-dessous de $3.1V$ et 295 au-dessus de $3.3V$. Parmi les puces du lot n°2, 118 étaient en-dessous de $3.1V$ et 11 au-dessus de $3.3V$. Le taux de rejet est donc de 28% pour le lot n°1 et de 18% pour le lot n°2.



(a) Lot n°1 (b) Lot n°2

FIGURE 5.18 – Test de la tension régulée du *PV*.

Les tests de la tension régulée de l'*USB* (Figure 5.19) sont similaires à ceux du test de la tension régulée du *PV* mais les résultats obtenus ne sont pas les mêmes. Les tests font en effet apparaitre 14 puces au-dessus de $3.3V$ et 22 en-dessous $3.1V$ pour le lot n°1 et 96 en-dessous de $3.1V$ et 126 au-dessus de $3.3V$ pour le lot n°2. Le taux de rejet est donc de 2.9% pour le lot n°1 et de 16% pour le lot n°2.



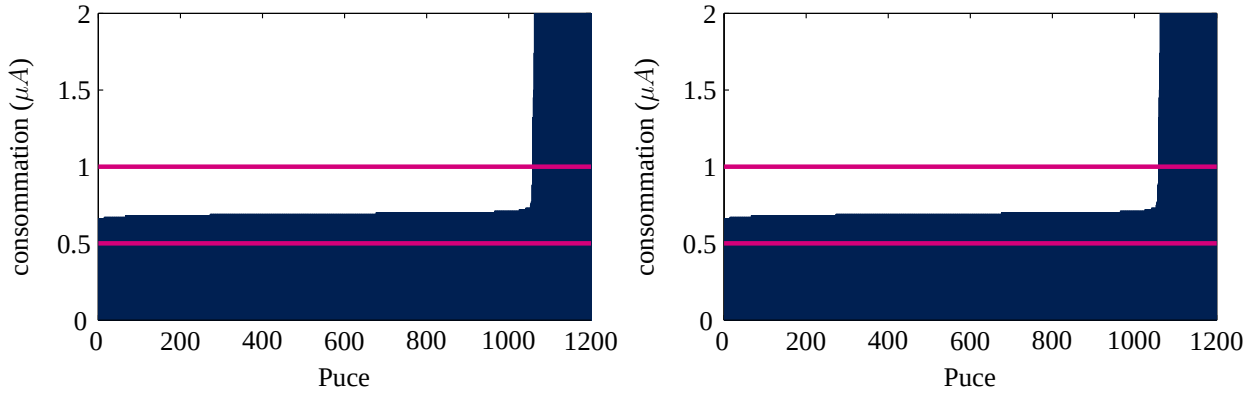
(a) Lot n°1 (b) Lot n°2

FIGURE 5.19 – Test de la tension régulée de l'*USB*.

Les tests de consommation ont été réalisés pour vérifier que le *PM* consommait moins de 5% de l'énergie fournie par le panneau photovoltaïque (selon les spécifications). Ces tests

ont été effectués à $10\mu A$, $100\mu A$ et $1mA$:

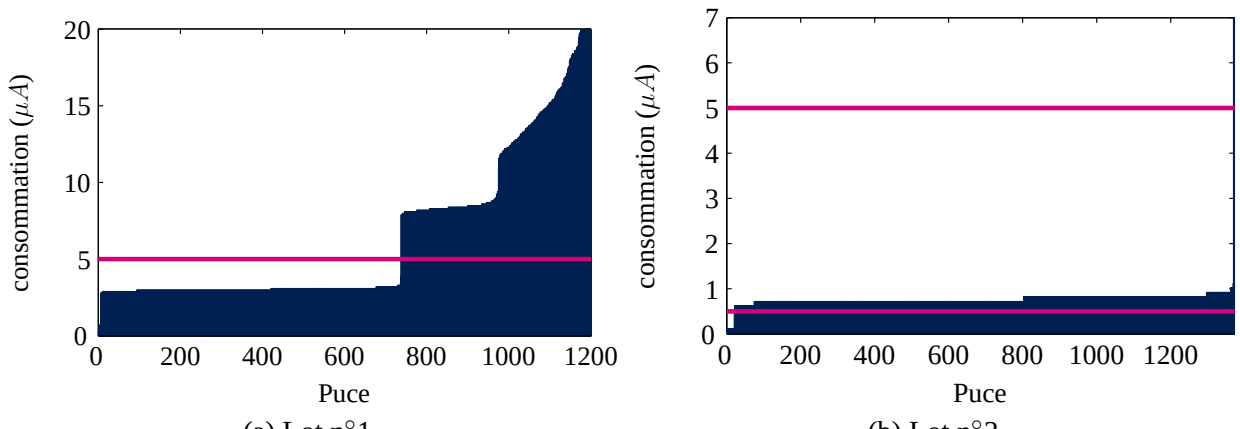
Pour le test effectué à $10\mu A$ (Figure 5.20), la limite est fixée à $1\mu A$. En effet, le *LDO* consomme $500nA$ et le *LCO* fonctionne sous $250nA$. Dans le lot n°1, 158 sur 1216 consomment plus de $1\mu A$. Le lot n°2 contenant 1372 puces, compte 24 puces qui ne conviennent pas (dont 21 ont une consommation quasi nulle). Le taux de rejet est donc de 13% pour le lot n°1 et de 1.75% pour le lot n°2.



(a) Lot n°1 (b) Lot n°2

FIGURE 5.20 – Test de la consommation du *PM* sous un courant de $10\mu A$ fourni par le *PV*.

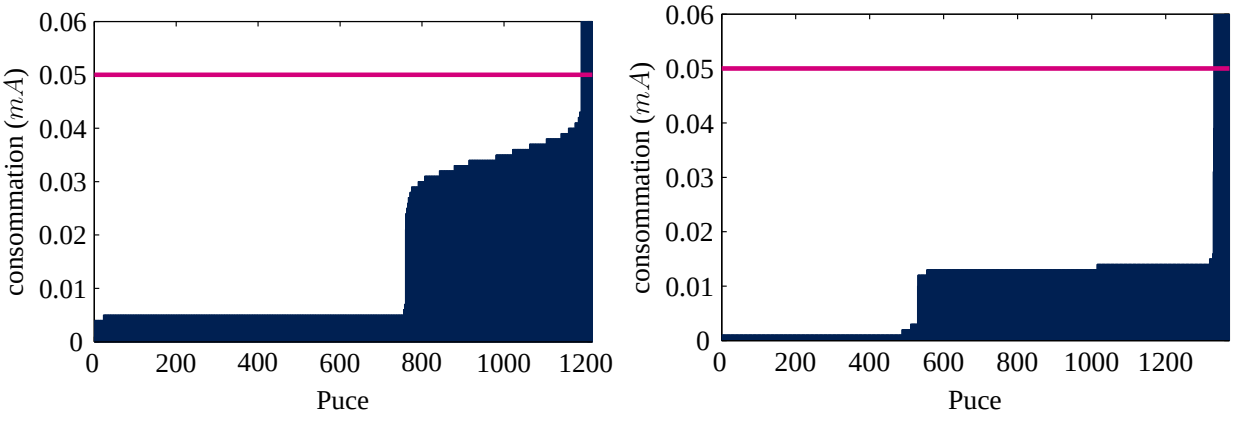
Pour le test effectué à $100\mu A$ (Figure 5.21), 479 puces sur 1216 sont défectueuses dans le lot n°1. Le lot n°2 (1372 puces) compte 3 puces consommant au-dessus de $5\mu A$ et 20 en dessous de $0.5\mu A$. Le taux de rejet est donc de 40% pour le lot n°1 et de 1.67% pour le lot n°2.



(a) Lot n°1 (b) Lot n°2

FIGURE 5.21 – Test de la consommation du *PM* sous un courant de $100\mu A$ fourni par le *PV*.

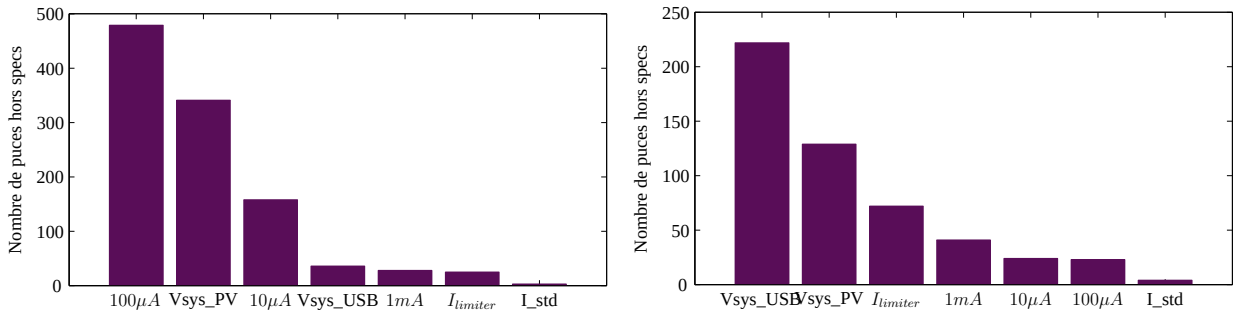
Pour le test effectué à $1mA$, (Figure 5.22), 28 puces sur 1216 consomment plus de $50\mu A$ dans le lot n° 1. Le lot n° 2 (1372 puces) compte 41 puces consommant plus de $50\mu A$. Le taux de rejet est donc de 2.3% pour le lot n° 1 et de 3% pour le lot n° 2.



(a) Lot n°1 (b) Lot n°2

FIGURE 5.22 – Test de la consommation du *PM* sous un courant de $1mA$ fourni par le *PV*.

Ces comparaisons ont permis d'élaborer un diagramme de Pareto (Figure 5.23). Il classe tous ces tests de manière dégressive en fonction de leur taux d'échec :



(a) Lot n°1 (b) Lot n°2

FIGURE 5.23 – Diagramme de Pareto.

Le test du courant statique est celui qui présente le plus faible taux d'échec pour les deux lots. Pour le lot n° 1, les tests de la consommation du *PM* à $100\mu A$ et de la tension régulée du *PV* présentent le plus fort taux d'échec. Pour le lot n° 2, les tests de la tension régulée de l'*USB* et du *PV* présentent le plus fort taux d'échec.

Ces taux d'échecs étant relativement importants, il a fallu être moins exigeant en terme de respect des spécifications. Cela n'a pas été un inconvénient majeur dans la mesure où les composants dits "défectueux" n'étaient pas forcément non fonctionnels.

5.2.4 Rendement

Le rendement d'un *PM* est sa capacité à transférer la puissance reçue en entrée (énergie produite par le *harvester*) vers la sortie (du côté de la charge ou de la batterie). Il est calculé selon :

$$\eta_{PM} = \frac{P_{OUT}}{P_{IN}} \tag{5.1}$$

Les mesures du rendement sont réalisées en balayant à la fois la tension de batterie de $2.4V$ à $3.2V$ et le courant d'entrée de $5\mu A$ à $2mA$ (Figures 5.24, 5.25 et 5.26).

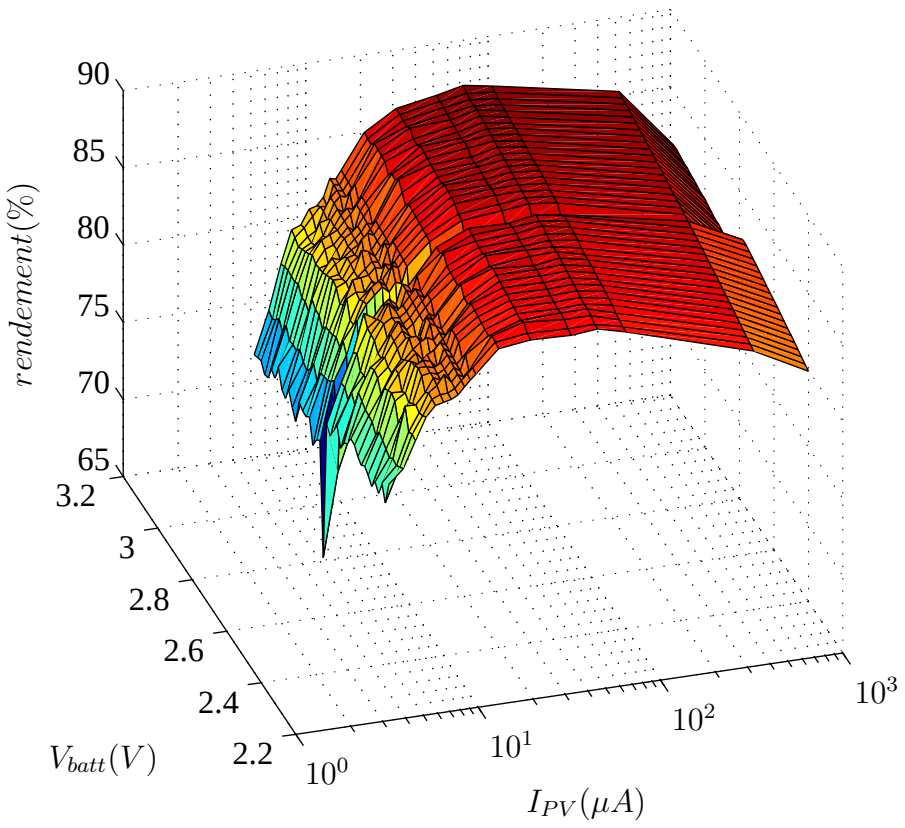


FIGURE 5.24 – Rendement du *PM* en fonction de la tension de batterie et du courant sur l'entrée *PV* (de $5\mu A$ à $2mA$).

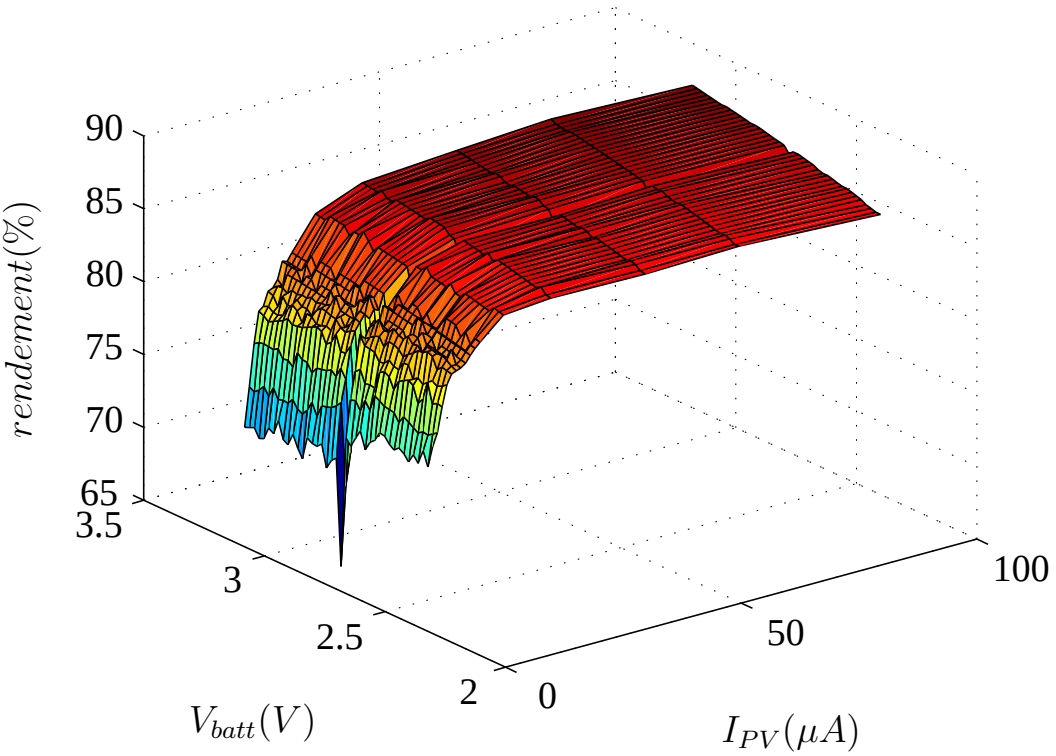


FIGURE 5.25 – Rendement du *PM* en fonction de la tension de batterie et du courant sur l'entrée *PV* (de $5\mu A$ à $100\mu A$).

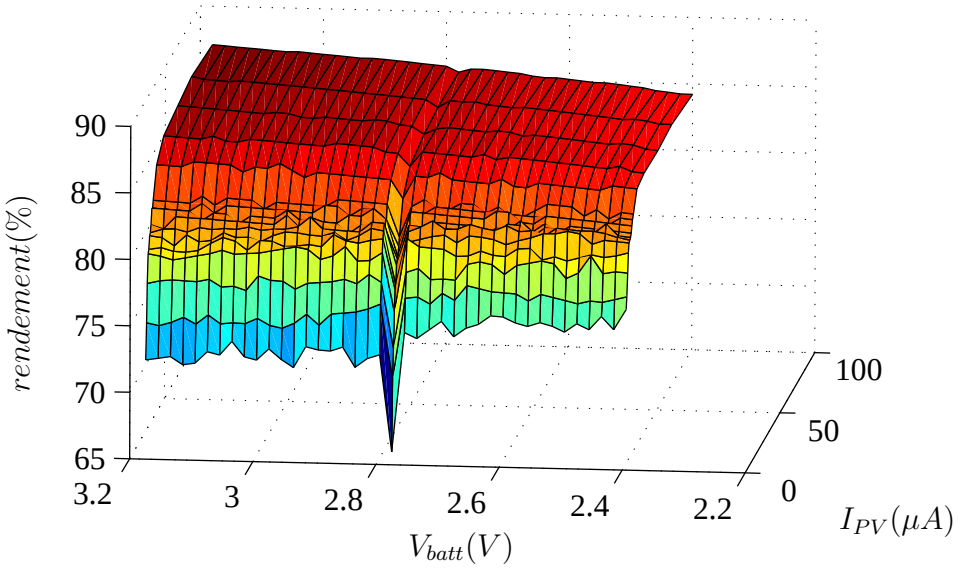


FIGURE 5.26 – Rendement du *PM* en fonction de la tension de batterie et du courant sur l'entrée *PV* (vue de face).

Un creux apparait à $2.8V$ là où le rendement s'effondre. Cette chute de rendement apparait lors de la transition des deux transistors constituant l'inverseur du *LCO*. Au moment de la transition, ils sont tous les deux passants. Un courant de $2\mu A$ circule alors de V_{sys} vers la

masse (Figure 5.26). Ce creux est encore plus remarquable en bas éclairement puisque le courant apporté par le *PV* y est faible. La consommation du *PM* est fonction de la tension de la batterie (Figure 5.27). La surconsommation à $2.8V$ est notable.

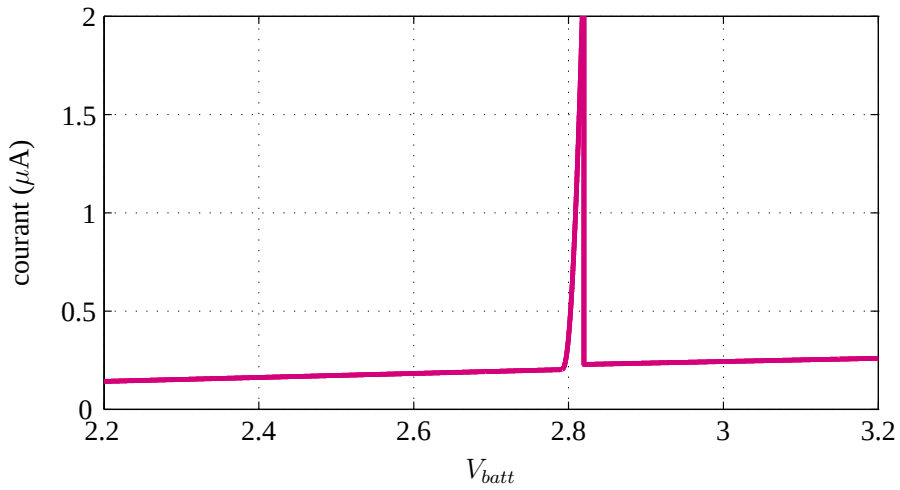


FIGURE 5.27 – Consommation du *LCO* en fonction de la tension V_{batt}.

Il apparait également que le rendement est supérieur à 85% à partir d'un courant de *PV* supérieur à $20\mu A$. Il atteint même plus de 87% à $100\mu A$ (batterie chargée). Puis, lorsque le *PM* passe en mode fort éclairement (et que la consommation du limiteur de courant s'ajoute à la consommation globale), il diminue.

Au regard du panneau solaire utilisé pour le projet, la perte d'énergie engendrée par l'absence d'un système de *MPPT* peut être considérée comme la différence entre la puissance transférée et la puissance au maximum de puissance (délivrée par le *PV*)[66] :

$$\eta_{PV} = \frac{P_{transferred}}{P_{MPP}} \tag{5.2}$$

Avec

$$P_{MPP} = V_{MPP} \times I_{MPP} \tag{5.3}$$

Les courbes courant-tension (IV) et puissance-tension (PV) du panneau solaire utilisé dans le cadre du projet représentent une caractéristique typique d'une cellule solaire (Figure 5.28). Le point de fonctionnement (OP) représente le point pour lequel le *PV* fournit l'énergie au *PM*. La position de ce point de fonctionnement dépend de la tension de la batterie (V_{batt}) ainsi que de la luminosité dans laquelle le *PV* est baigné. Ces deux paramètres définissent en effet la chute de tension aux bornes du *PV_LDO*.

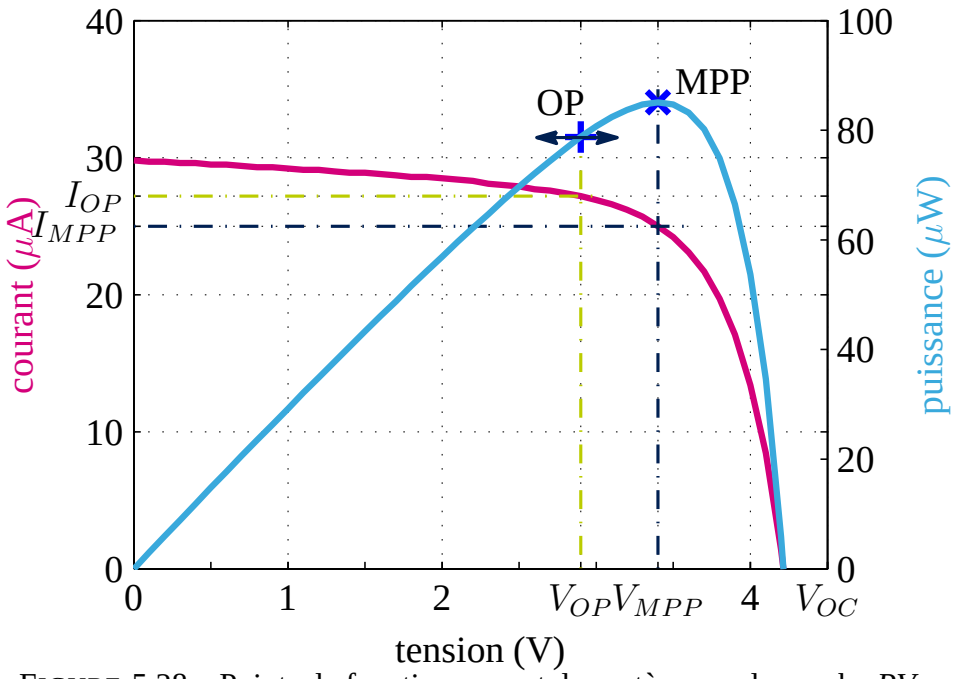


FIGURE 5.28 – Points de fonctionnement du système sur la courbe *PV*.

Le *PM* engendre donc une perte d'énergie puisqu'il ne travaille pas exactement au maximum de puissance que peut fournir le *PV*. Des calculs ont été effectués pour différentes luminosités et différentes valeurs de tension de la batterie. Ces valeurs ont été déterminées en fonction des courbes *PV* fournies en annexes (cf. A.8) ainsi que de la chute de tension occasionnée par le *PM* (cette chute dépend directement de la tension de batterie ainsi que du courant fourni par le *PV*) (Tableau 5.1).

lux \ V_{batt}	2.4	2.6	2.8	3
20	100%	96%	81.9%	47 %
200	90%	94.8%	97.6%	100%
800	86%	91.5%	94.5%	98.6%
2000	84%	88.4%	91%	96%

Tableau 5.1 – Rendement énergie transférée par le *PV*.

Ces résultats démontrent que l'absence de système de *MPPT* n'empêche pas le *PM* de travailler à des valeurs très proches du *MPP*. Ces valeurs (200 - 800 lux) sont celles auxquelles les capteurs autonomes en énergie sont principalement destinés. Le rendement global du système peut être calculé comme l'énergie récupérée permettant de charger la batterie en fonction de l'énergie maximale fournie par le *PV*. Ce rendement global dépend donc de la position du point d'opération (OP) par rapport au *MPP* ainsi que du rendement du *PM*. Ce

rendement est défini selon :

$$\eta = \eta_{PV} \times \eta_{PM} \tag{5.4}$$

$$\eta = \frac{P_{transferred} \times P_{OUT}}{P_{MPP} \times P_{IN}} \tag{5.5}$$

A partir de là, le rendement du système peut être redéfini pour le maximum de puissance fourni par le *PV* (Tableau 5.2) :

V_{batt} / lux	2.4	2.6	2.8	3
20	76.5%	72.5%	59.6%	33.7%
200	77%	81%	83.5%	86.4%
800	72.4%	77.7%	81%	85.3%
2000	70%	74.6%	77.7%	82.8%

Tableau 5.2 – Rendement global du système.

En l'absence de système permettant de travailler au maximum de puissance du *harvester*, il est donc possible d'avoir des rendements supérieurs à 80% même en très bas éclairement (200lux correspondent à $20\mu A$ délivrés par le *PV*). Pour cela il faut choisir judicieusement le *harvester*.

Les spécifications ont été décrites pour des capteurs sans fils destinés principalement à une utilisation en intérieur où l'éclairement est constamment faible (200 - 500 lux). C'est pourquoi le rendement est élevé dans ces cas de figure.

5.2.5 Comparaisons des résultats

Le *PM* doit pouvoir fonctionner dans le noir complet (absence d'énergie reçue par le *harvester*), en faible éclairement (peu d'énergie) et fort éclairement (beaucoup d'énergie). Ces trois modes de fonctionnement définissent un niveau de consommation du *PM* (Tableau 5.3).

I_{PM} / condition de luminosité	simulation	mesures
noir	$156nA$	$130nA$
bas éclairements	$572nA$	$500nA$
fort éclairements	$5.3\mu A$	$5.2\mu A$

Tableau 5.3 – Comparaisons entre valeurs simulées et valeurs mesurées.

Ces différents modes de fonctionnement sont représentés en fonction du courant apporté par le *PV* (Figure 5.29) :

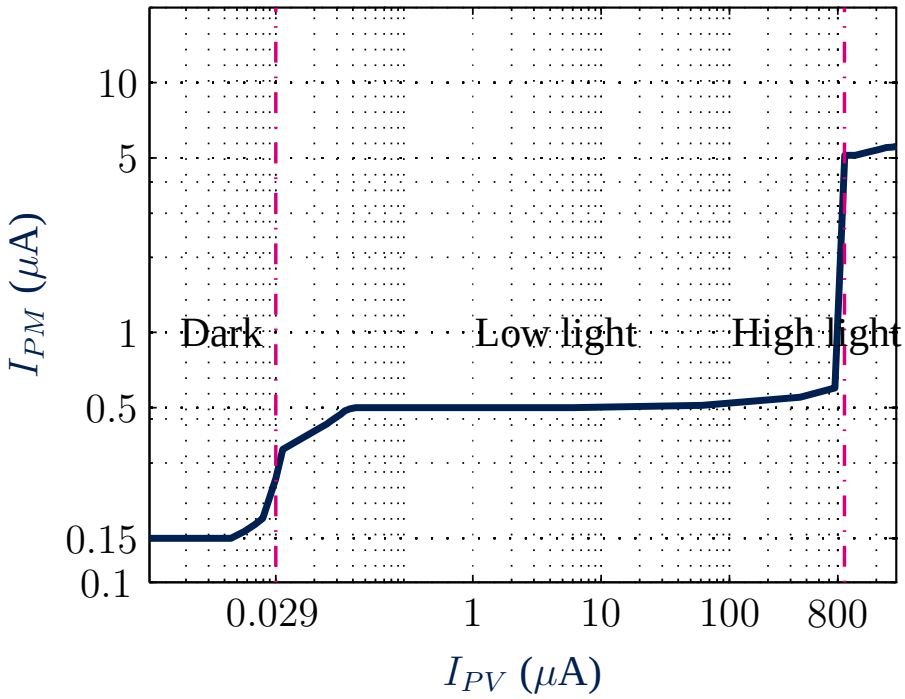


FIGURE 5.29 – Consommation du *PM* en fonction du courant fournit par le *PV*.

5.3 MODÉLISATION ET SIMULATIONS DU COMPTEUR DE CHARGES

5.3.1 Techniques de compensation et sources d'erreurs du modulateur $\Sigma\,\Delta$

5.3.1.1 Compensation du gain et de l'offset de l'intégrateur à capacités commutées

Le gain et l'offset de l'amplificateur opérationnel utilisé pour l'intégrateur à capacités commutées constituent des sources d'erreurs qui engendrent très vite une importante dérive. L'offset de l'amplificateur peut en effet rapidement atteindre ou dépasser le signal d'entrée à intégrer. Il est donc capital d'adopter une stratégie permettant de réduire au mieux les imperfections de l'amplificateur opérationnel. Pour compenser ces erreurs, différentes solutions existent. Une d'entre elles consiste à compenser le gain fini de l'amplificateur en mémorisant l'erreur du gain et de l'offset dans un condensateur [67] (Figure 5.30). La valeur peut ainsi être soustraite lors du transfert de charge et annuler l'erreur.

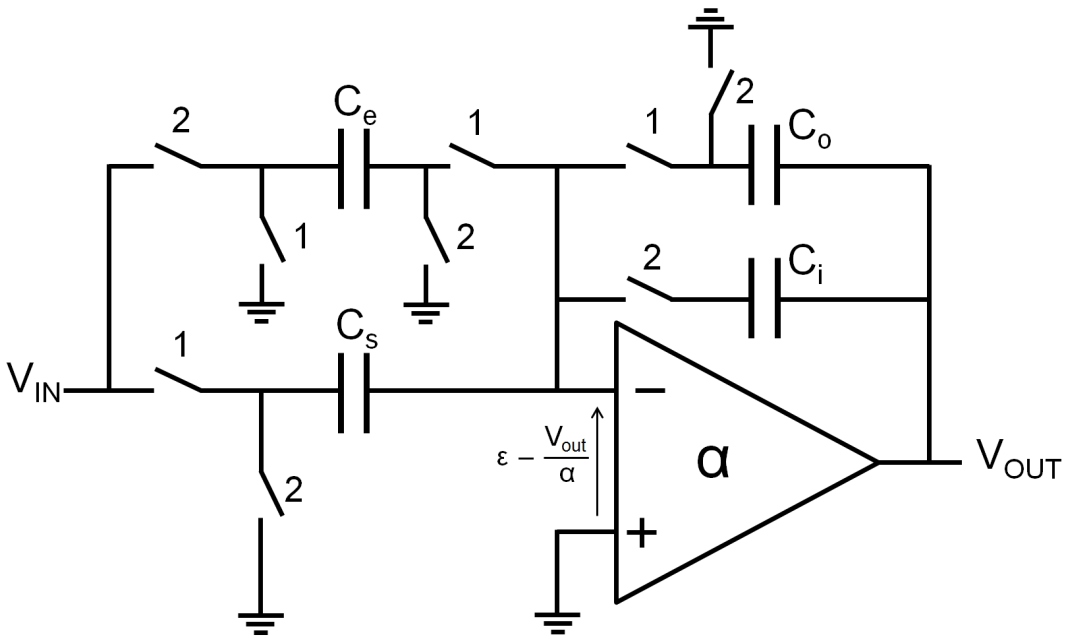


FIGURE 5.30 – Intégrateur avec gain fini et offset compensés.

Les interrupteurs notés '1' sont commandés lors de la phase d'échantillonnage $\Phi 1$. Les interrupteurs marqués '2' correspondent à la phase d'intégration $\Phi 2$. Les condensateurs C_s et C_i sont respectivement les condensateurs d'échantillonnage et d'intégration. Les condensateurs C_e et C_o servent eux à la compensation du système.

Lors de la phase $\Phi 2$, la capacité d'échantillonnage se décharge dans la capacité d'intégration jusqu'à atteindre une tension égale au potentiel de l'entrée inverseuse $\left(\epsilon - \frac{V_{OUT}}{\alpha}\right)$.

La capacité C_o mémorise la tension de sortie V_{out}. La capacité C_e quant à elle mémorise la valeur de V_{in} en fin de phase $\Phi 2$ (cette valeur est la même au début de la phase $\Phi 1$ suivante).

Lors de cette phase $\Phi 1$ suivante, C_o fixe le même potentiel V_{out} que lors de la phase précédente. La capacité C_s augmente alors le potentiel de l'entrée inverseuse de V_{in}. Il sera compensé par la connexion de C_e sur cette même entrée. Ainsi, C_s n'échantillonne pas uniquement la valeur d'entrée V_{in} mais également l'entrée inverseuse $\left(\epsilon - \frac{V_{OUT}}{\alpha}\right)$. Les deux capacités C_e et C_o permettent par conséquent de maintenir l'amplificateur dans le même état lors de la phase $\Phi 1$ qu'il l'est lors de la fin de la $\Phi 2$ précédente. L'erreur $\left(\epsilon - \frac{V_{OUT}}{\alpha}\right)$ ajoutée est ainsi supprimée lors de la phase d'intégration ultérieure.

Théoriquement cette méthode tend vers une perfection de l'amplificateur en termes de gain fini et d'offset non nul. En appliquant la loi de conservation de la charge (entre les phases $\Phi 3$ et $\Phi 4$ ainsi qu'entre $\Phi 5$ et $\Phi 6$) et avec ϵ' la tension sur l'entrée inverseuse ($\epsilon' = \epsilon - \frac{V_{OUT}}{\alpha}$), la fonction de transfert obtenue est :

$$\frac{V_{OUT}}{V_{IN}} = \frac{-Z^{-1/2}}{1 - Z^{-1}} \tag{5.6}$$

Ce montage nécessite deux fois plus de condensateurs et de *switches* associés que l'intégrateur à capacités commutées (Figure 4.22). La surface de circuit est donc plus importante. Cependant, ce montage autorise l'utilisation d'un amplificateur opérationnel de qualité médiocre en termes de gain et d'offset. Cela lui permet d'être moins gourmand en énergie.

Cet intégrateur à capacités commutées avec corrections de gain fini et de l'offset non nul est alors adapté à l'architecture entièrement différentielle (Figure 5.31). Contrairement à l'intégrateur précédent, les capacités d'échantillonnage C_s sont commutées de telle sorte que les potentiels d'entrée de l'amplificateur opérationnel sont maintenus proche de $\frac{V_{dd}}{2}$. La capacité C_e a été supprimée puisque les tensions d'entrées sont proches de V_{dd} et les références de tension (V_{ref}^+, V_{ref}^- et V_{mid}) sont proches de $\frac{Vdd}{2}$. Les entrées de l'amplificateur opérationnel se stabilisent ainsi naturellement à un potentiel proche de $\frac{Vdd}{2}$ à chaque fin de phase d'intégration Φ_2. Lors de la phase Φ_1 suivante, ces mêmes entrées restent à un potentiel proche.

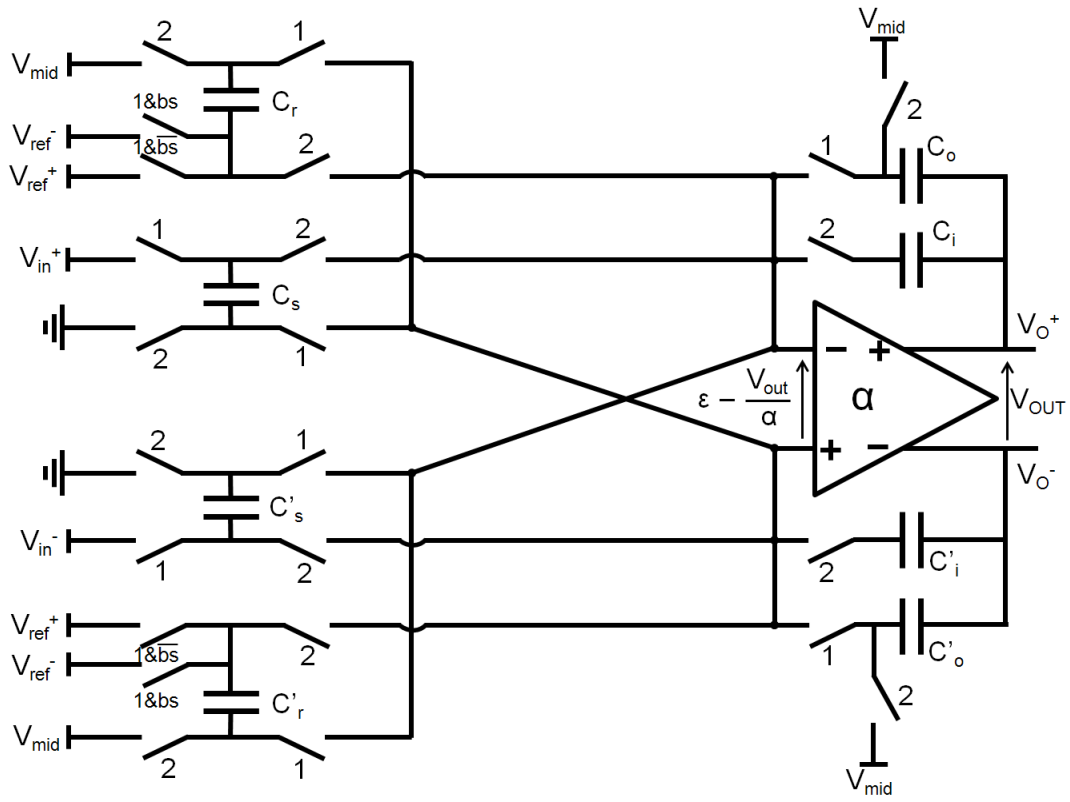


FIGURE 5.31 – Intégrateur avec gain fini et offset compensés entièrement différentiel.

5.3.1.2 Compensation du *mismatch* entre les capacités commutées

Différents types de condensateurs peuvent être utilisés en micro-électronique. Les capacités en polysilicium par exemple. Elles sont réalisées sur la base d'un transistor *MOS* dont la grille fait office de borne négative et le drain, la source et le substrat (connectés ensemble) forment la borne positive. Ces capacités dépendent de la tension qui leur est appliquée. Elles suivent donc le même profil que les capacités de grille des *MOS* (une étude détaillée est présentée en 5.4.2). L'avantage de ce type de capacité repose sur leur grande valeur surfacique due à une épaisseur d'oxyde très faible. Cependant, leur non-linéarité les exclut des applications de mesure telle que notre intégrateur.

Les capacités Métal Oxyde Métal (*MOM*) fabriquées avec deux couches de métal séparées par une couche d'oxyde ont une capacité surfacique beaucoup plus faible que les capacités polysilicium (d'un facteur 8.5) mais sont dotées d'une grande linéarité.

Les capacités *FMOM,* conçues par des doigts de métal inter-digités séparés d'un oxyde, présentent elles aussi une grande linéarité. Leur capacité surfacique est fonction notamment du nombre de doigts dessinés.

Pour tout composant dessiné, l'imprécision des masques et de la variation de concentra-

tion des produits dopants imposent une certaine tolérance. Les condensateurs *MOM* n'échappent donc pas à la règle (Figures 5.32 et 5.33). Les *FMOM* non plus.

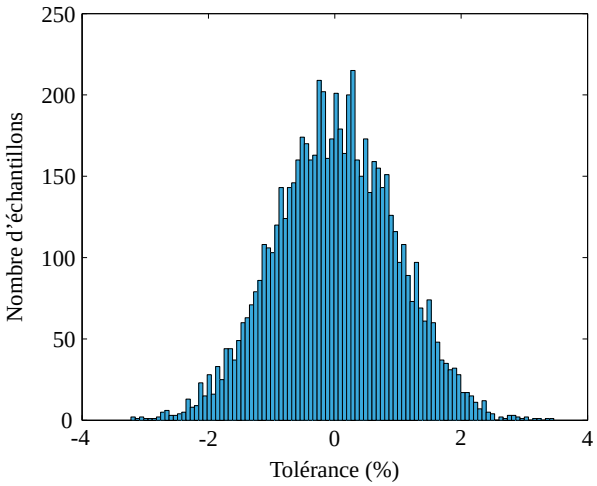


FIGURE 5.32 – Tolérance d'une capacité *MOM* d'$1\mu m^2$.

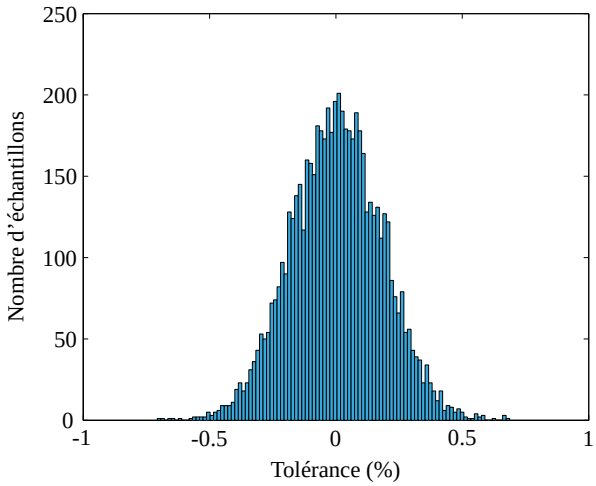


FIGURE 5.33 – Tolérance d'une capacité *MOM* d'$10\mu m^2$.

Plus le condensateur est petit, plus sa tolérance est élevée. Une capacité de l'ordre du micro-mètre carré a donc une tolérance pouvant dépasser quelques pour cents. Une capacité de 10 micro-mètres carré n'a en revanche qu'une tolérance de quelques pour mille. Ceci démontre une certaine imprécision sur la finesse de gravure. Toutefois, les composants d'un même circuit suivront une dispersion semblable. Par conséquent leur *mismatch* sera faible (Figures 5.34 et 5.35).

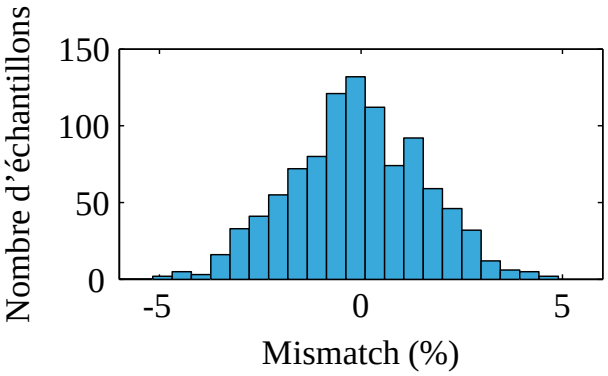


FIGURE 5.34 – *Mismatch* d'une capacité *MOM* d'$1\mu m^2$.

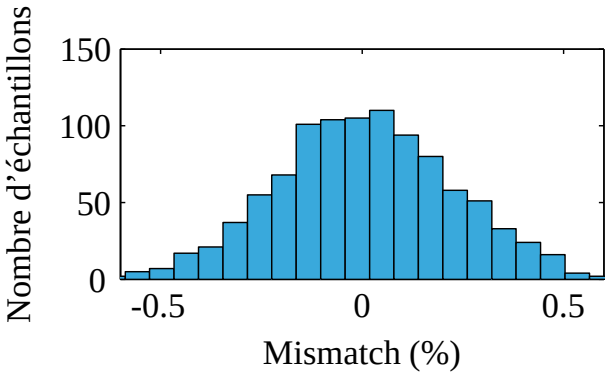


FIGURE 5.35 – *Mismatch* d'une capacité *MOM* d'$10\mu m^2$.

Le *mismatch* entre deux capacités *MOM* de $10\mu m^2$ est de quelques pour mille. Il est donc peu probable qu'un condensateur de +3% se trouve à proximité d'un condensateur à -3%

sur un même circuit. La linéarité des *FMOM* étant bien plus élevée, le *mismatch* entre ces capacités est bien plus faible (Figures 5.36 et 5.37).

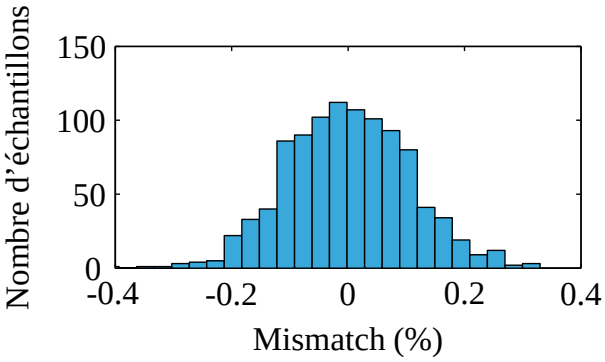


FIGURE 5.36 – *Mismatch* d'une capacité *FMOM* de $10\mu m^2$.

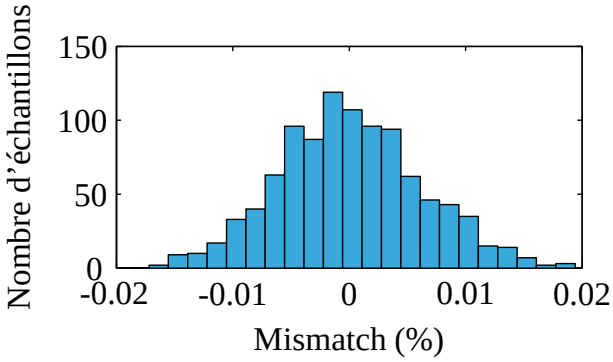


FIGURE 5.37 – *Mismatch* d'une capacité *FMOM* de $150\mu m^2$.

Les capacités de type *FMOM* seront donc privilégiées pour la suite de cette étude.

Les capacités de l'intégrateur (Figure 5.31) sont donc modifiées de sorte à ce qu'elles atteignent le même ordre de grandeur que l'éventuel *mismatch*. Des simulations ont été réalisées (Tableau 5.4) :

Cas simulé	C_r (pF)	C'_r (pF)	C_s (pF)	C'_s (pF)
Cas idéal	10	10	10	10
Cas 1	10.01	10	10	10
Cas 2	10.005	10	10	10
Cas 3	10	10	10.005	10
Cas 4	10.0005	10	10	10

Tableau 5.4 – Valeurs des capacités dans les différents cas simulés.

Un signal carré est présenté en entrée du modulateur $\Sigma\ \Delta$ afin d'obtenir une intégrale nulle en fin de période (Figure 5.38).

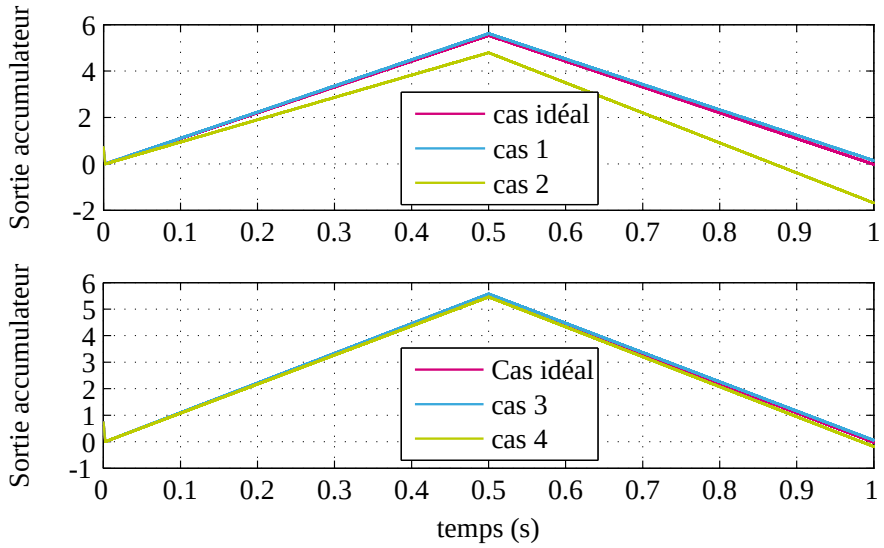


FIGURE 5.38 – Dérives dues aux *mismatch* des capacités d'échantillonnage.

Afin de mettre la dérive en évidence, l'ensemble de ces courbes est normalisé par rapport au cas idéal (cas 1) (Figure 5.39).

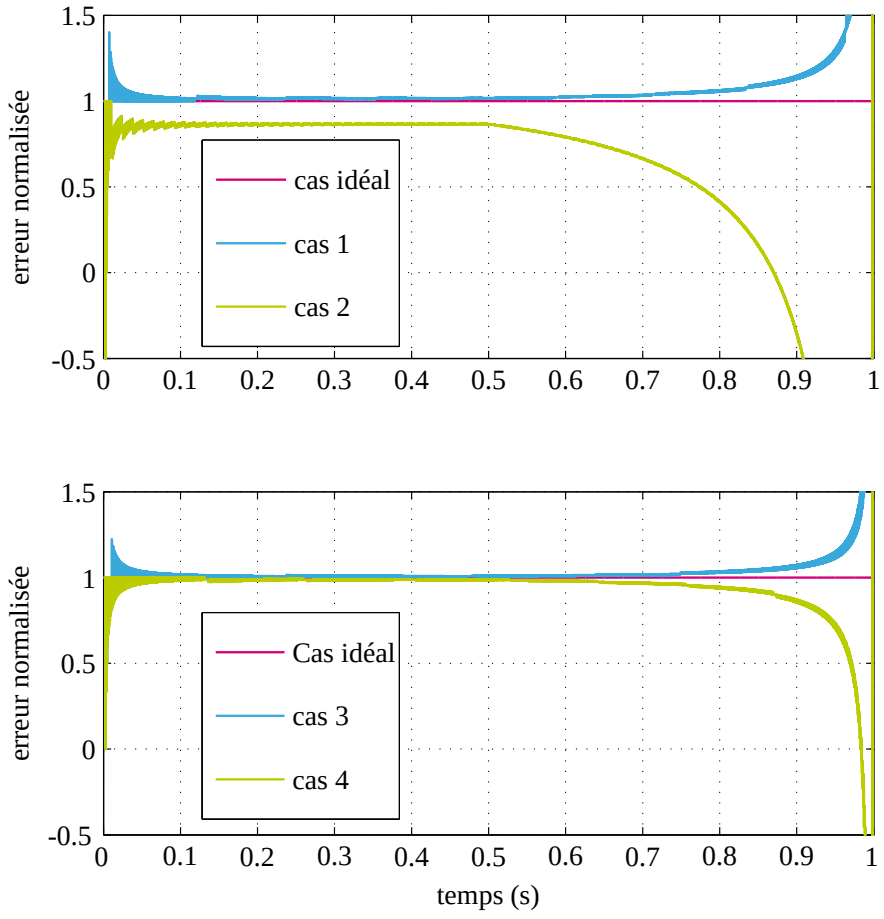


FIGURE 5.39 – Erreur normalisée des *mismatch* des capacités d'échantillonnage.

Un *mismatch* sur les capacités d'échantillonnage de la référence engendre rapidement une divergence (cas 3 vs cas 4). La référence représente en effet la valeur min et max du signal d'entrée. Autrement dit, le pire cas possible. Avec un *mismatch* relativement faible, une divergence se fait tout de même ressentir (le cas 5 représente un *mismatch* de $50ppm$). Une méthode de compensation du *mismatch* entre les capacités semble indispensable. Cette méthode a été trouvée en s'inspirant de travaux semblables [68] et [69]. Elle consiste à échanger les capacités d'échantillonnage un cycle sur deux (Figure 5.40). Elle permet ainsi d'améliorer la précision du gain de l'intégrateur.

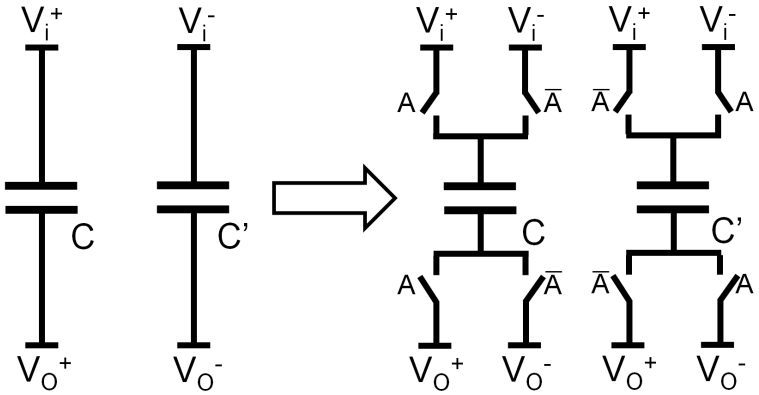


FIGURE 5.40 – Méthode de compensation de l'erreur de l'intégrateur due au *mismatch* des capacités.

De plus, elle permet d'opposer l'erreur due au *mismatch* des capacités d'échantillonnage à l'erreur du cycle précédent. Le *mismatch* est ainsi ajouté puis soustrait, ce qui rend le système insensible aux imperfections des capacités (Figure 5.41). L'erreur d'un cycle à l'autre est ainsi compensée. L'échantillonnage du signal d'entrée est en revanche deux fois plus lent. Il faut donc limiter les erreurs d'échantillonnage (cf. 5.4.1). .

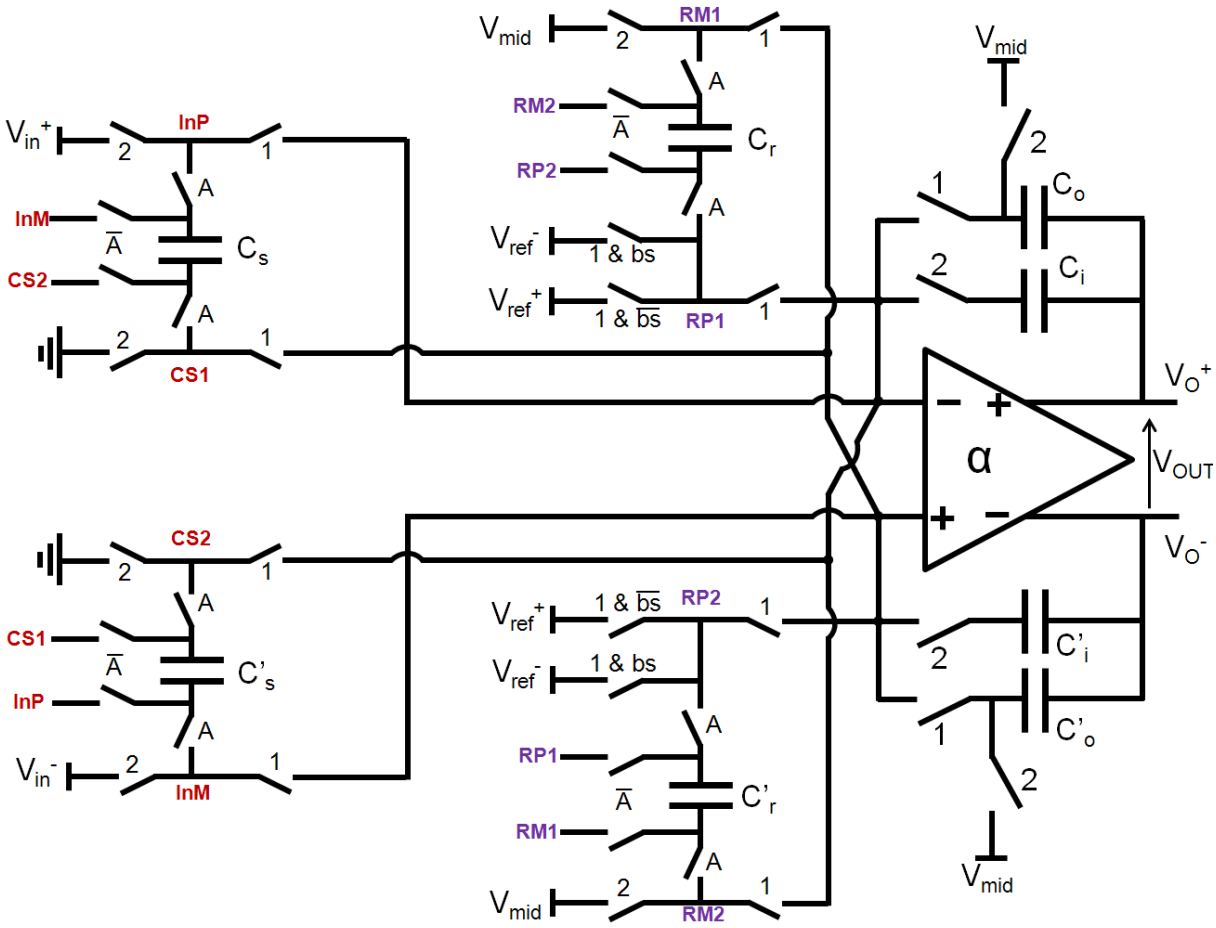


FIGURE 5.41 – Intégrateur différentiel à capacités commutées compensé en gain, offset et *mismatch* des capacités.

Le résultat en sortie de l'accumulateur du système a été simulé (Figure 5.42) et normalisé (Figure 5.43).

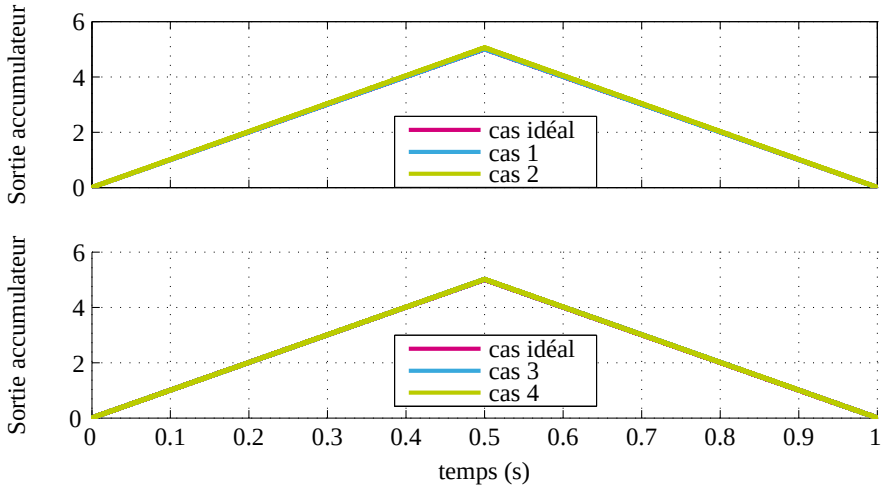


FIGURE 5.42 – Résultat de l'intégrateur compensé face aux *mismatch* des capacités d'échantillonnage.

Les courbes semblent superposées les unes sur les autres. L'erreur normalisée atteste d'un éventuel gain d'intégration.

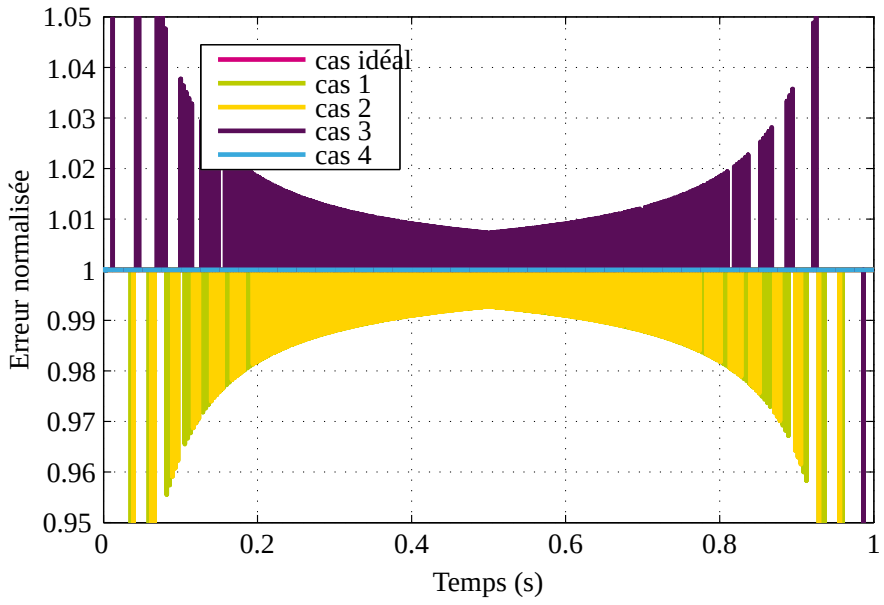


FIGURE 5.43 – Erreur normalisée du résultat de l'intégrateur compensé aux *mismatch*.

En effet, une différence de pente d'intégration apparait lorsque le *mismatch* sur les condensateurs est exagéré de 20% (Figure 5.44). Le gain d'intégration est donc bien modifié sans que cela crée de dérive (Figure 5.45). En fin d'intégrale, l'accumulateur retombe à zéro.

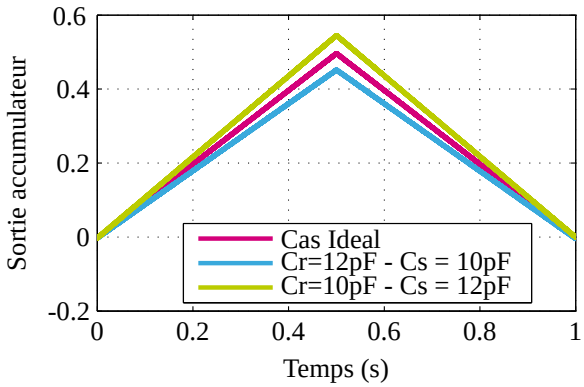


FIGURE 5.44 – Résultat de l'intégrateur compensé face aux *mismatch* des capacités d'échantillonnage exagéré de 20%.

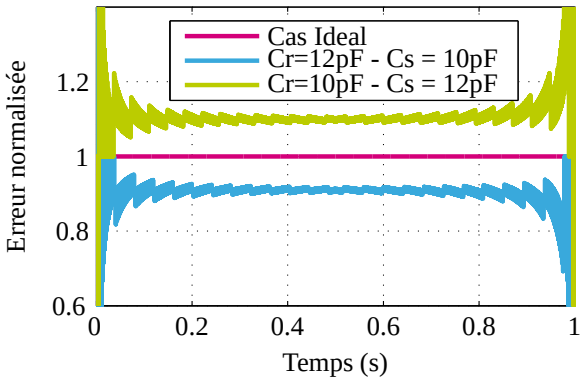


FIGURE 5.45 – Erreur normalisée du résultat de l'intégrateur compensé aux *mismatch*.

5.3.1.3 Dérive due à l'offset du comparateur

Au sein du modulateur $\Sigma\,\Delta$, le comparateur joue un rôle crucial. Il sert en effet à faire la conversion analogique/numérique du signal d'entrée et permet à l'intégrateur de converger au milieu de sa dynamique de sortie. Toute saturation de l'intégrateur est ainsi évitée. Toutefois, au regard du résultat de simulation (Figure 5.46), un offset sur le comparateur ne semble pas critique. Les simulations ont été réalisées sur une seconde avec un signal d'entrée typique (valeur moyenne nulle) :

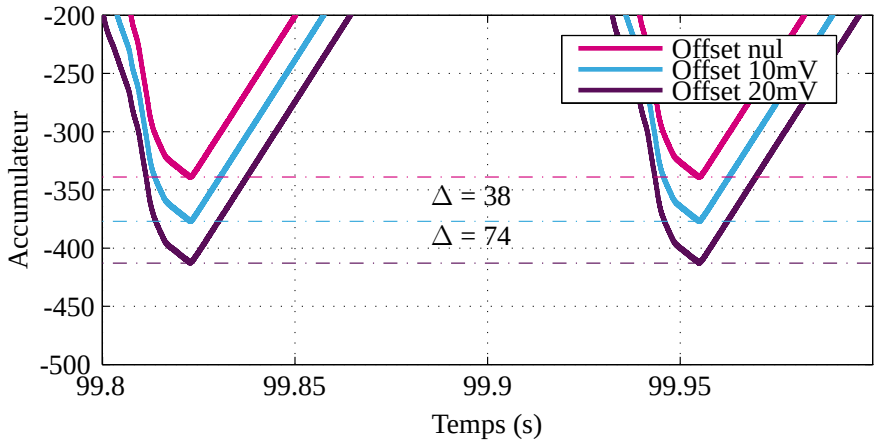


FIGURE 5.46 – Signal de sortie de l'accumulateur en fonction de l'offset du comparateur.

Les courbes semblent ici aussi se superposer. Cependant en normalisant l'ensemble des courbes par rapport au cas idéal (offset nul), une erreur apparait pour un offset de $10mV$.

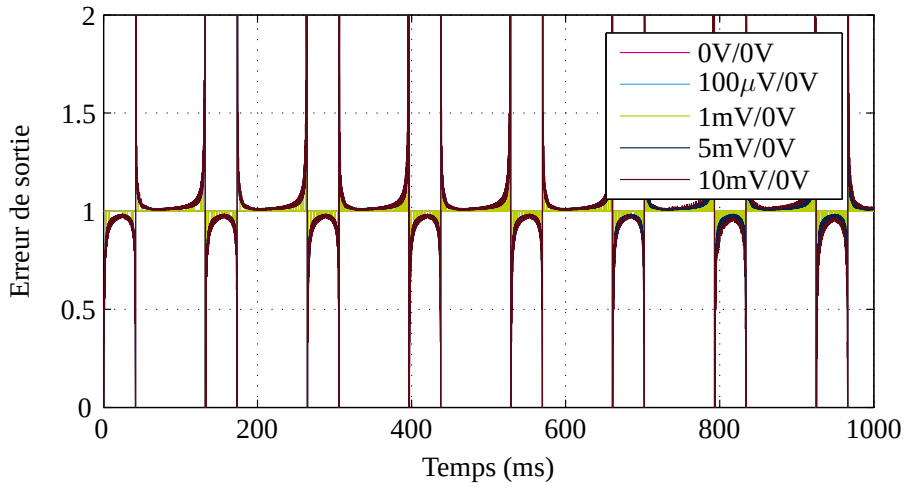


FIGURE 5.47 – Signal de sortie de l'accumulateur normalisé.

La simulation du signal typique non plus sur une seconde mais sur cent secondes (soit environ 757 signaux typiques) le confirme. L'offset de $10mV$ conduit à une dérive de 228 (Figure 5.48). Cette erreur correspond à la perte d'un signal sur 700.

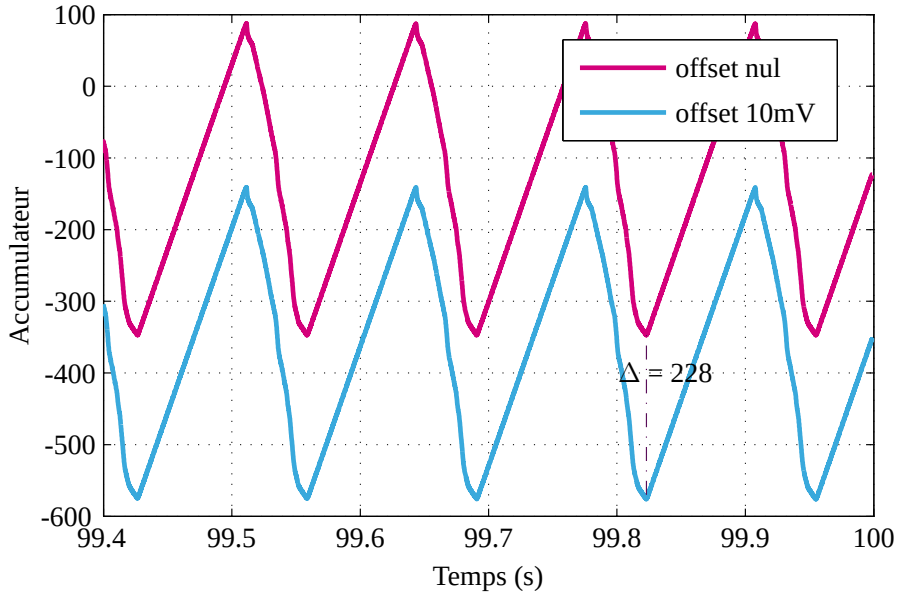


FIGURE 5.48 – Dérive due à un offset du comparateur de $10mV$ par rapport à un offset nul.

Pour un offset de $1mV$, la dérive n'est plus que de 20. Par conséquent, l'erreur engendrée par l'offset du comparateur semble proportionnelle à l'offset :

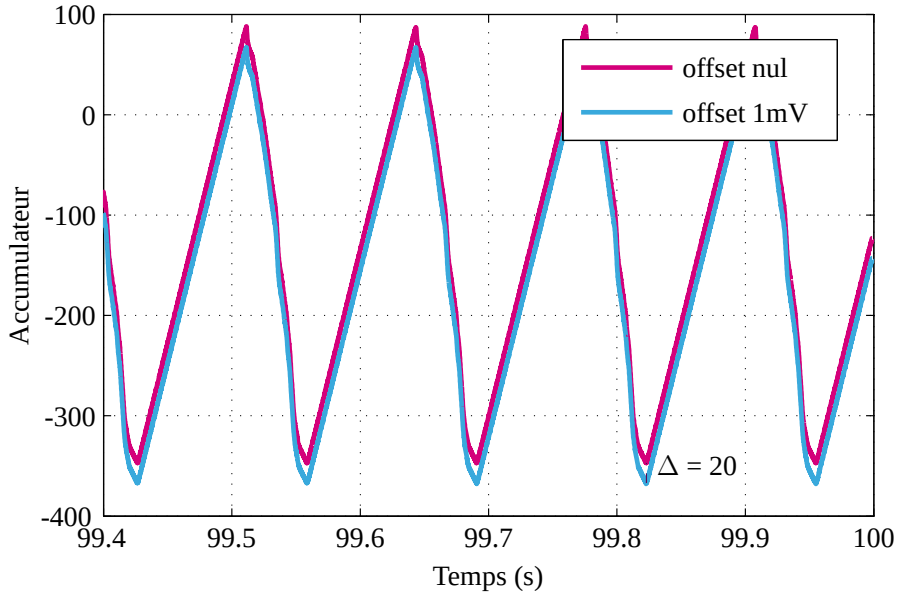


FIGURE 5.49 – Dérive due à un offset du comparateur de $1mV$ par rapport à un offset nul.

Les résultats normalisés par rapport à un offset nul attestent ces résultats :

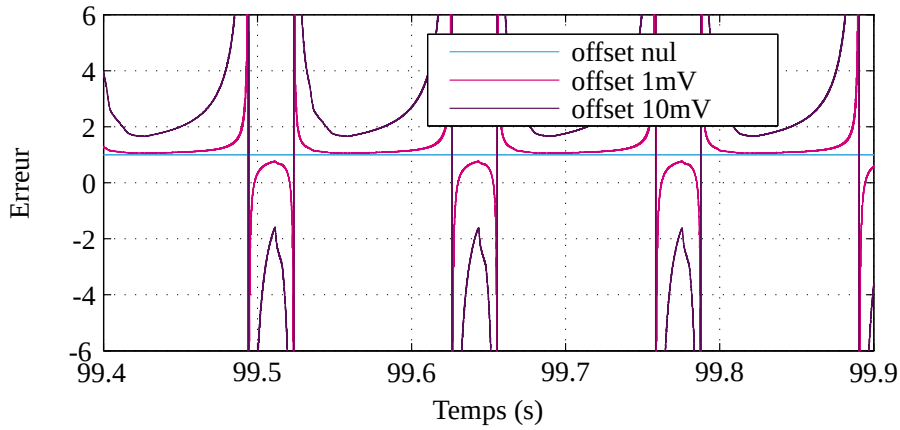


FIGURE 5.50 – Dérives d'offset de $10mV$ et $1mV$ normalisés par rapport à un offset nul.

5.3.1.4 Modélisation de la référence de tension

La référence de tension est modélisée comme étant une tension fixe avec une légère dépendance à la tension d'alimentation :

$$V_{REF} = \alpha V_{dd} + \beta \tag{5.7}$$

Avec $\alpha = 10^{-4}$ pour $80dBm$ ou 10^{-5} pour $100dBm$ et β la tension fixe proche de la référence de tension.

Le *PSRR* quant à lui peut être représenté comme un filtre du premier ordre. Il est minimal en basse fréquence et tend vers la référence de tension (Équation 5.7). Puis, à partir d'une

fréquence de coupure déterminée, il augmente. Le module du filtre doit donc être de la forme :

$$|H(j\omega)| = \sqrt{1 + \left(\frac{\omega}{\omega_0}\right)^2} \tag{5.8}$$

Avec pour argument :

$$argH(j\omega) = arg\left(1 + \left(\frac{\omega}{\omega_0}\right)\right) = arctan\left(\frac{\omega}{\omega_0}\right) \tag{5.9}$$

La tension de sortie peut donc être exprimée en fonction de la tension d'entrée :

$$Vout = Vin + \frac{j\omega}{\omega_0}Vin \tag{5.10}$$

La référence de tension prend alors la forme :

$$V_{REF} = \alpha\left(V_{dd} + \frac{j\omega}{\omega_0}V_{dd}\right) + \beta \tag{5.11}$$

Pour un signal alternatif (AC), la référence de tension n'atténue plus le signal d'alimentation lorsque le terme $\alpha\frac{j\omega}{\omega_0}V_{dd}$ est supérieur à $1 - \alpha Vdd$. Elle l'amplifie.

L'équation peut donc être modifiée de sorte à ce que la référence de tension (Figure 5.51) atténue le signal jusqu'à $-20dB$:

$$V_{REF} = \frac{\alpha\left(V_{dd} + \frac{j\omega}{\omega_0}V_{dd}\right)}{1 + \frac{j\omega}{10\alpha\omega_0}V_{dd}} + \beta \tag{5.12}$$

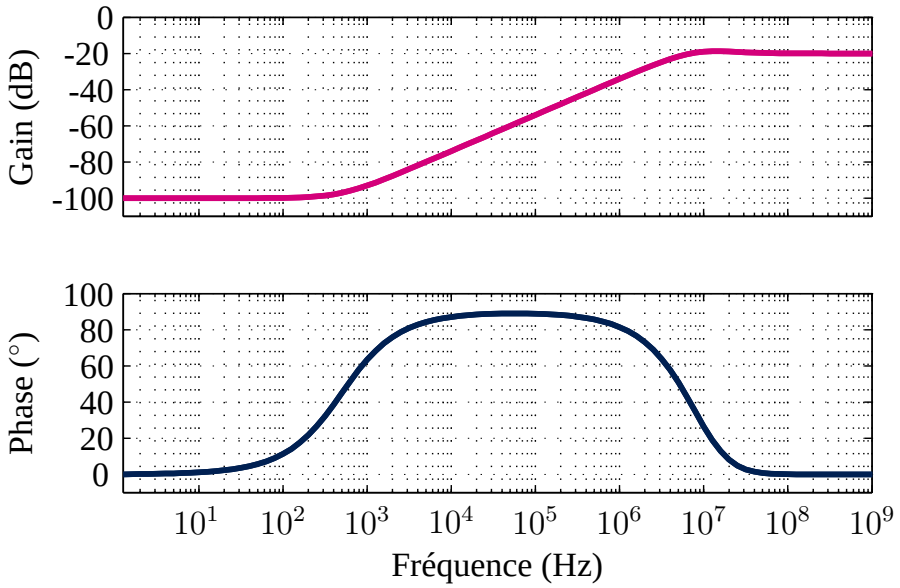


FIGURE 5.51 – Diagramme de Bode de la référence de tension.

Le *PSRR* (Figure 5.52) décroit donc de $1kHz$ jusqu'à $10MHz$ pour atteindre $20dB$ de réjection.

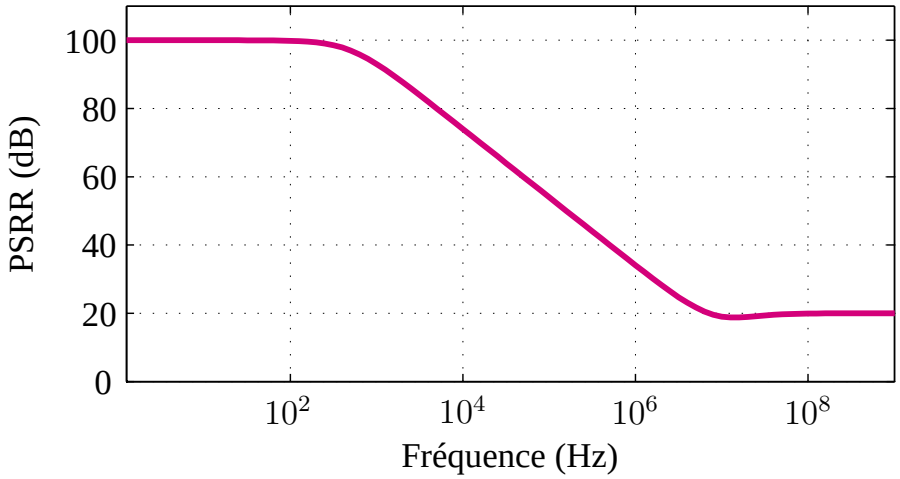


FIGURE 5.52 – *PSRR* de la référence de tension.

5.3.1.5 La référence de tension du système

L'alimentation du système (Figure 5.53) repose sur la batterie. Celle-ci est équivalente à une source de tension en série avec une résistance de l'ordre de 10Ω. Une capacité de découplage (C_d) d'une valeur supérieure à $100\mu F$ est placée en parallèle sur cette batterie. Cela permet à la fois de limiter la chute de tension sur la charge lors de forts appels de courant et de prendre en compte l'ensemble des capacités de découplage des différents composants électroniques du système. Celui-ci, représenté par R_{load} peut donc varier de $1M\Omega$ à quelques dizaines d'ohms selon le courant requis.

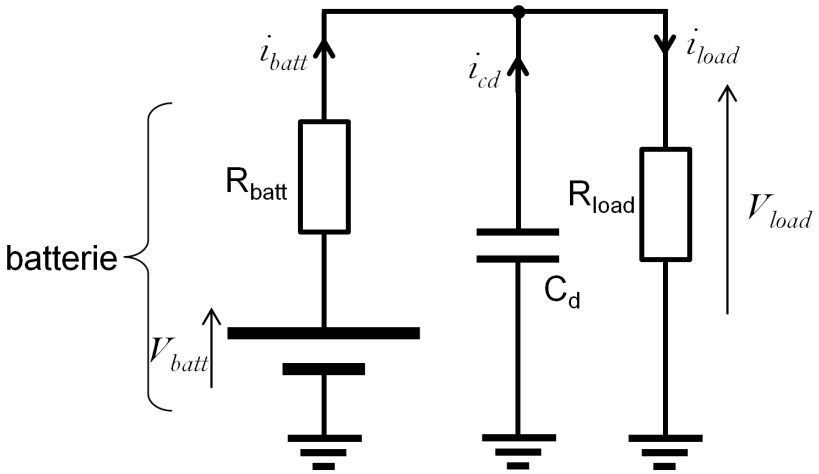


FIGURE 5.53 – Schéma équivalent de l'alimentation du système.

La variation de la référence de tension est alors modélisée en fonction de la chute de tension aux bornes de la charge. Tous les paramètres sont modifiables : la valeur de la charge (courant imposé), la tension et la résistance interne de batterie, la valeur de la capacité de découplage ainsi que les paramètres de la référence de tension (fréquences de coupure, *PSRR*).

La modélisation suivante (Figure 5.54) a été réalisée avec un *PSRR* de $60dB$ et une fréquence de coupure de $10Hz$. La charge de 30Ω représente les appels de courant obtenus lorsque le système se réveille. La capacité de découplage est fixée à $100\mu F$.

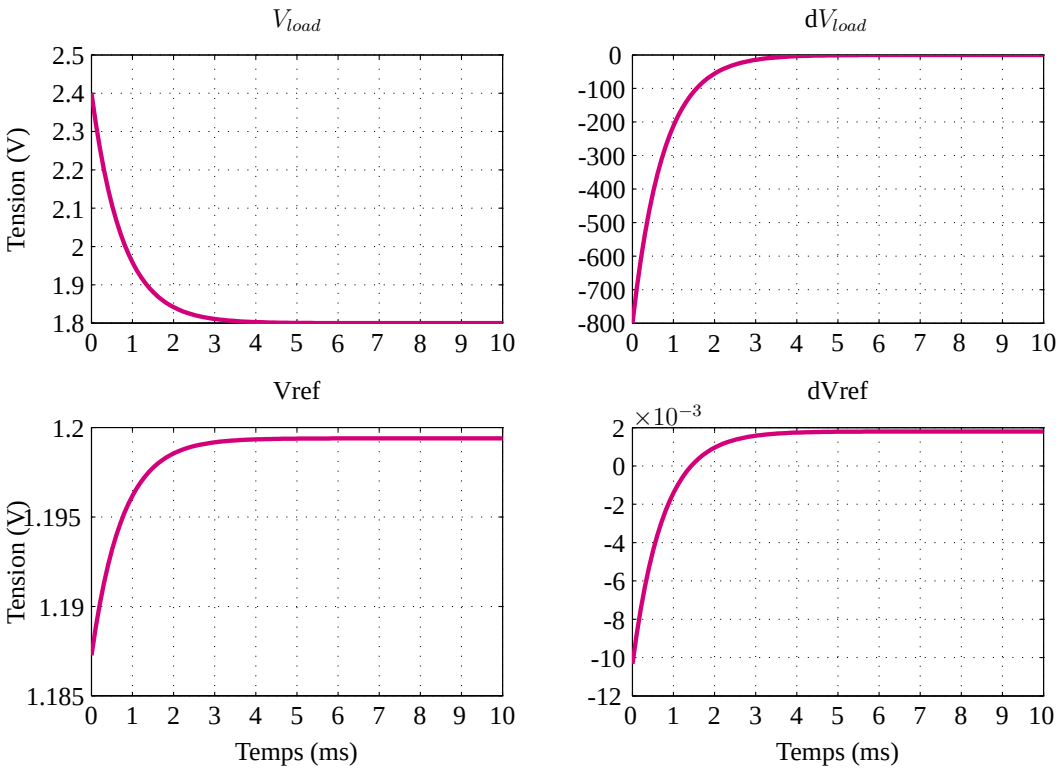


FIGURE 5.54 – Variation de la tension d'alimentation et référence de tension résultante.

Cette modélisation permet d'anticiper les fluctuations de la référence de tension en fonction de l'influence des différents paramètres. S'il est difficile de réaliser une bonne réjection de la tension d'alimentation, il peut être intéressant de concevoir une référence de tension ayant une réjection plus médiocre mais sur une bande de fréquence plus importante. De plus, il est à noter que la capacité de découplage joue un rôle primordial. En effet, elle évite des chutes de tensions trop importantes aux bornes de la batterie (comme ce serait le cas, par exemple, après un appel de courant du système de $100mA$). Les fluctuations de la référence de tension sont ainsi atténuées. Elles le seront encore plus avec un *PSRR* élevé et une fréquence de coupure haute. (Figure 5.55 et 5.56).

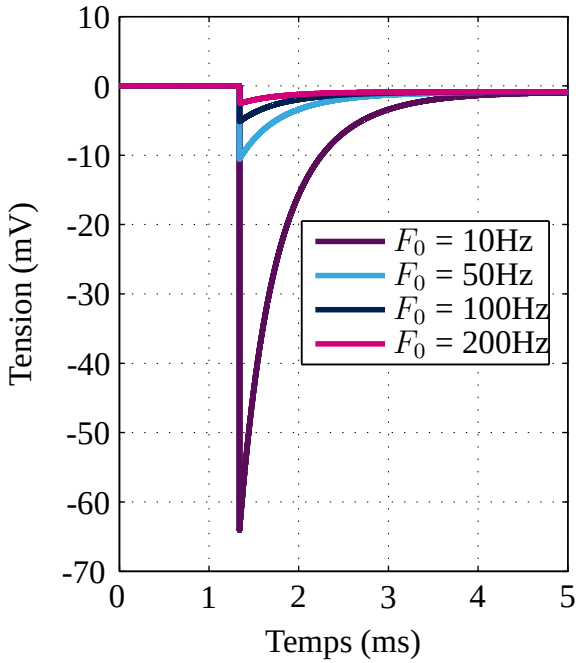


FIGURE 5.55 – Référence de tension avec un *PSRR* de $60dB$.

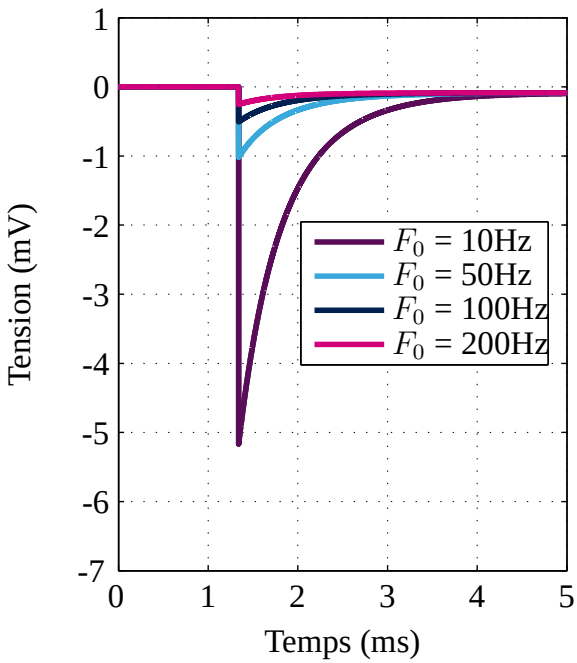


FIGURE 5.56 – Référence de tension avec un *PSRR* de $80dB$.

Une référence de tension de $60dB$ qui coupe à $100Hz$ est équivalente à une référence de tension de $80dB$ qui coupe à $10Hz$.

Afin que la référence de tension soit parfaite ($V^+_{REF} - V^-_{REF}$), il faudrait que les deux tensions nécessaires au projet aient à la fois exactement le même *PSRR* et la même fréquence de coupure. En effet, un écart de fréquence (entre les références) de ne serait-ce que de $1Hz$ génère un pic de $7mV$ soit 23% de la référence.

Le système a été simulé (Figures 5.57 et 5.58) sur une seconde (environ 7 signaux typiques du système) avec l'intégrateur différentiel à capacités commutées compensé (Figure 5.41).

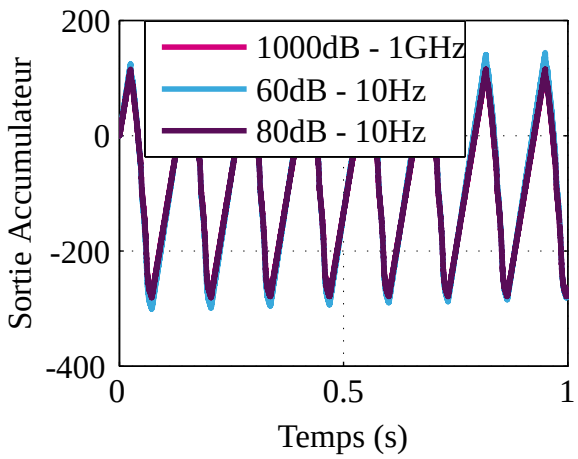


FIGURE 5.57 – Sortie de l'accumulateur pour différentes qualités de références.

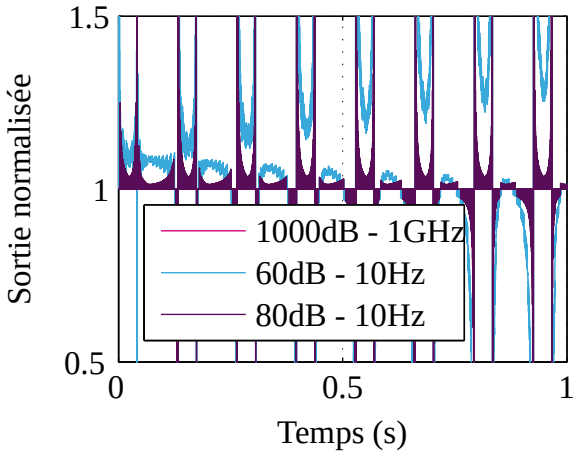


FIGURE 5.58 – Sortie de l'accumulateur normalisée pour différentes qualités de références.

Il apparait clairement que la qualité du *PSRR* a un impact direct sur la dérive du signal de sortie. Un *PSRR* de $60dB$ dérive dès le premier réveil du système alors qu'il semble pratiquement imperceptible à $80dB$.

5.3.2 Simulations des zones mortes du compteur de charges

Le *gas gauge* est donc modifié et un bloc modélisé en *VHDL* a est élaboré pour permettre de vérifier l'intérêt de la technique de compensation des zones mortes sur le schéma complet (cf. 4.3.8). Sur le même principe, cinq cent simulations sur une seconde sont lancées pour des valeurs d'entrées comprises en $[-30mV\ ;\ 30mV]$ (Figure 5.59).

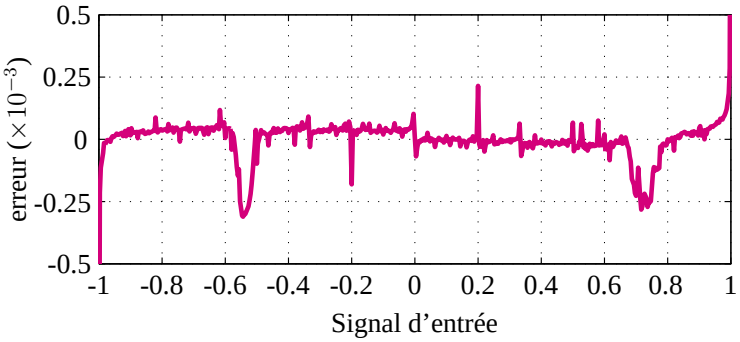


FIGURE 5.59 – Erreur du modulateur $\Sigma\,\Delta$ à capacités commutées pour un gain de 100.

L'ajout de bruit numérique montre une déformation du signal d'erreur. Ce procédé permet d'atténuer l'erreur à 0 et ± 0.2 mais ne compense pas les deux erreurs les plus importantes. Il

est donc nécessaire d'aboutir à un compromis idéal entre le nombre de registres du *LFSR* et la valeur du gain ajouté.

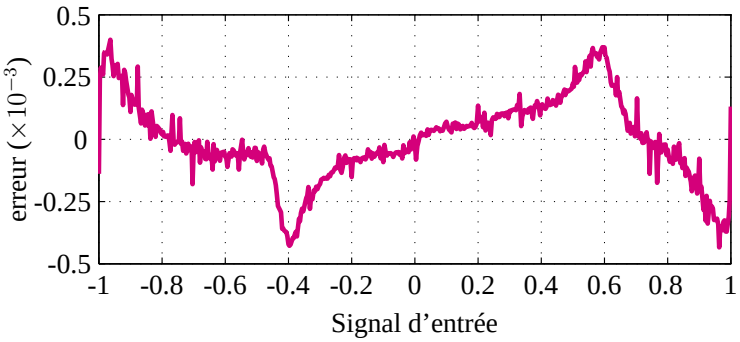


FIGURE 5.60 – Erreur du modulateur $\Sigma\,\Delta$ à capacité commutées pour un gain de 100 avec bruit numérique ajouté.

Cette modélisation permet d'éviter le phénomène des zones mortes du modulateur $\Sigma\,\Delta$ d'ordre 1. Toutefois, la partie électronique n'a pas été étudiée et les contraintes concernant la consommation ainsi que la surface de silicium n'ont pas été estimées.

5.3.3 Erreurs de l'intégrateur à capacités commutées

La simulation de l'intégrateur (Figure 4.23, cf. 4.3.6) a été réalisé avec un signal d'entrée carré. Celui-ci est composé d'une constante positive ($1mA$) jusqu'à $0.5s$ puis négative ($-1mA$) jusqu'à $1s$. La moyenne du signal d'entrée est donc nulle. En fin de cycle, l'accumulateur retrouve sa valeur initiale si le système est parfait.

5.3.3.1 Erreur due au gain de l'amplificateur

5.3.3.1.1 Intégrateur non compensé

Le signal de sortie du *gas gauge* pour un amplificateur opérationnel de gain de $40dB$ et un amplificateur de gain de $120dB$ (gain d'amplificateur considéré comme parfait) (Figure 5.61) retombe à son point d'origine. L'erreur de gain est perçue comme une constante d'intégration inférieure à celle d'un intégrateur parfait (amplificateur de gain infini).

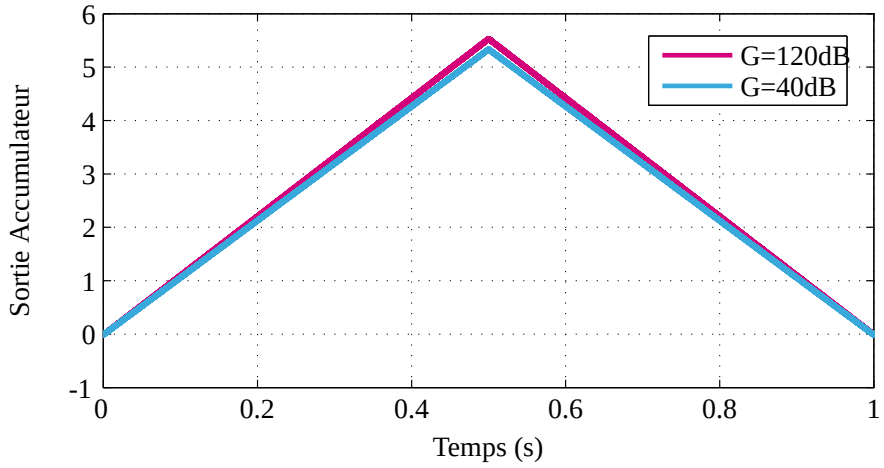


FIGURE 5.61 – Erreur de gain fini non compensé.

Une fois normalisé (Figure 5.62), ce signal de sortie montre que l'erreur de gain fini n'a pas d'incidence sur la dérive du système [1].

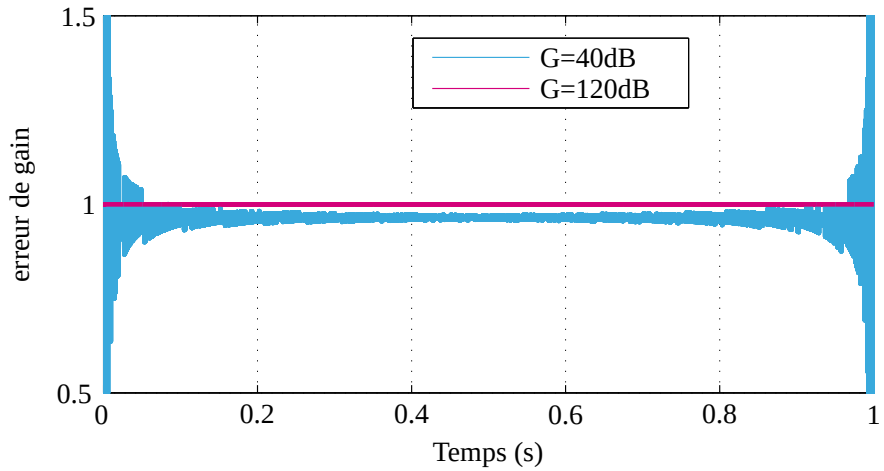


FIGURE 5.62 – Erreur de gain fini non compensé normalisé.

5.3.3.1.2 Intégrateur compensé

Avec l'intégrateur de gain fini et d'offset compensés (Figure 5.31, cf. 4.3.6), l'erreur de gain est complètement compensée. Pour un amplificateur de gain de $40dB$ et un amplificateur de $120dB$ (gain d'amplificateur considéré comme parfait), le résultat en sortie de l'accumulateur est identique (Figure 5.63).

1. Les divergences à zéro et à 1 sont dues aux divisions de valeurs proches de zéro.

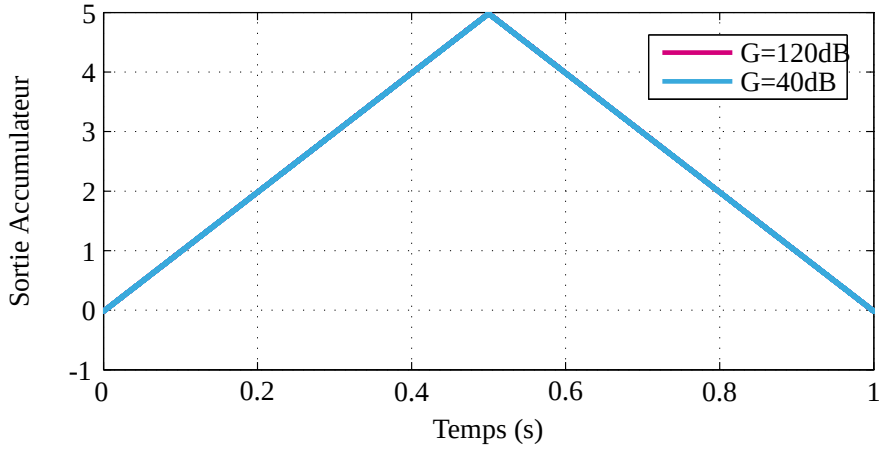


FIGURE 5.63 – Erreur de gain fini compensée.

5.3.3.1.3 Dérive

Afin d'estimer la dérive, le *gas gauge* est simulé avec le signal typique d'un capteur autonome (Figure 3.2, cf. 3.2) de moyenne nulle sur une période. Ce signal est répété sur une centaine de secondes (soit environ 757 signaux typiques).

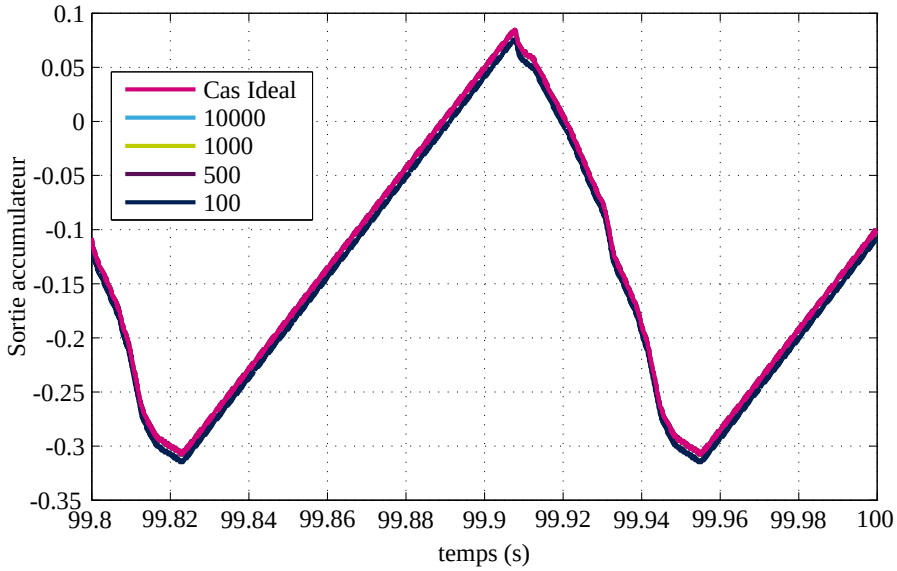


FIGURE 5.64 – Dérive en fonction du gain de l'amplificateur.

Avec un amplificateur de gain de 10000, 1000 ou 500, le système présente le même résultat qu'avec un amplificateur de gain infini. Avec un amplificateur de gain de 100, il n'atteint pas cette perfection mais s'en approche considérablement. Le gain de l'amplificateur n'a donc pas d'incidence sur la dérive du système.

5.3.3.2 Erreur due à l'offset de l'amplificateur

5.3.3.2.1 Intégrateur non compensé

Le signal de sortie du *gas gauge* pour un amplificateur d'offset de $10\mu V$ n'est pas le même que pour un amplificateur d'offset nul (considéré comme parfait). En effet, à la fin du cycle il ne retrouve pas sa valeur initiale (Figure 5.65). Cela crée une erreur.

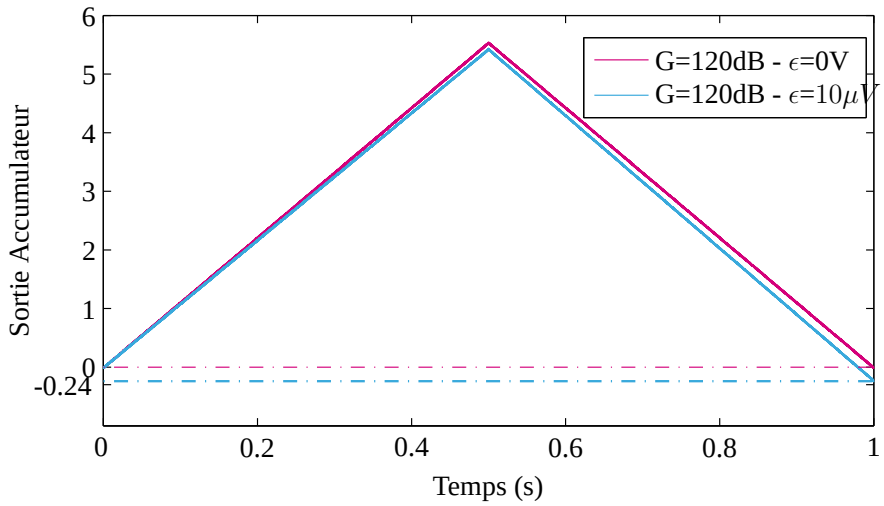


FIGURE 5.65 – Erreur d'offset.

Le système présente donc une dérive qui va progressivement s'amplifier si l'erreur n'est pas compensée. La normalisation obtenue en divisant les courbes par le cas idéal le démontre (Figure 5.66).

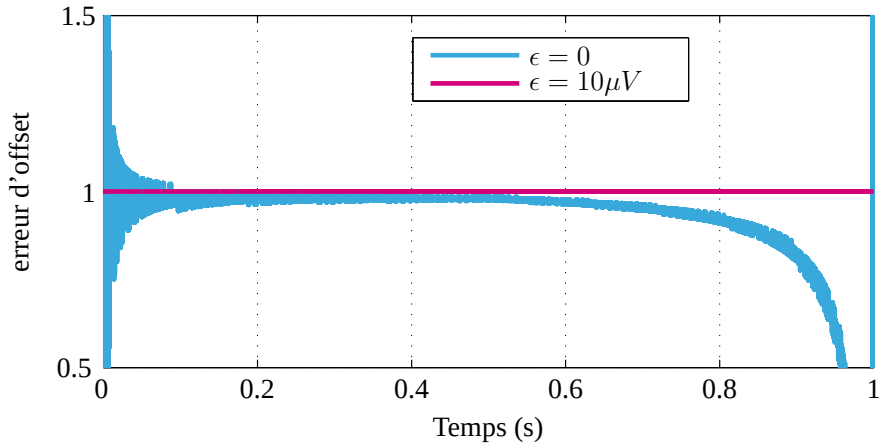


FIGURE 5.66 – Erreur d'offset normalisée.

L'erreur d'offset génère donc une dérive.

5.3.3.2.2 Intégrateur compensé Avec l'intégrateur de gain fini et d'offset compensés (Figure 5.31, cf. 4.3.6), l'erreur d'offset est complètement compensée. Pour un amplificateur

d'offset de $10\mu V$ et un amplificateur idéal, le résultat en sortie de l'accumulateur est identique (Figure 5.67).

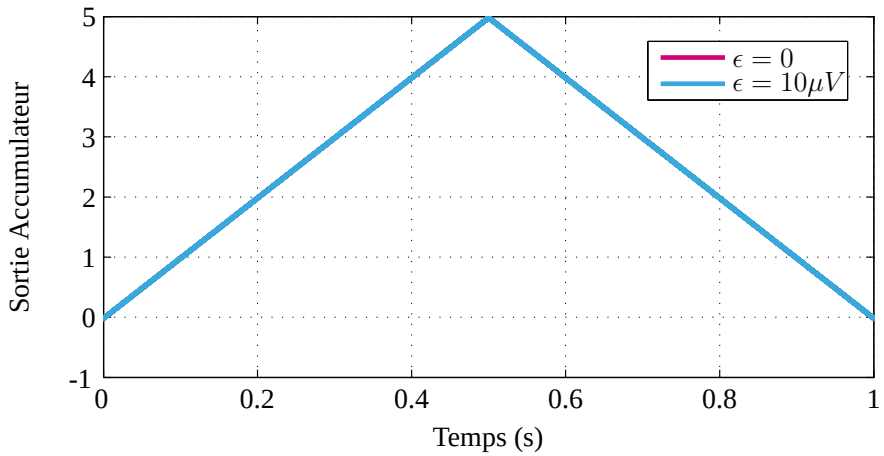


FIGURE 5.67 – Erreur d'offset non nul compensée.

L'erreur normalisée par rapport à un amplificateur parfait (Figure 5.68) montre que la structure compense l'erreur d'offset.

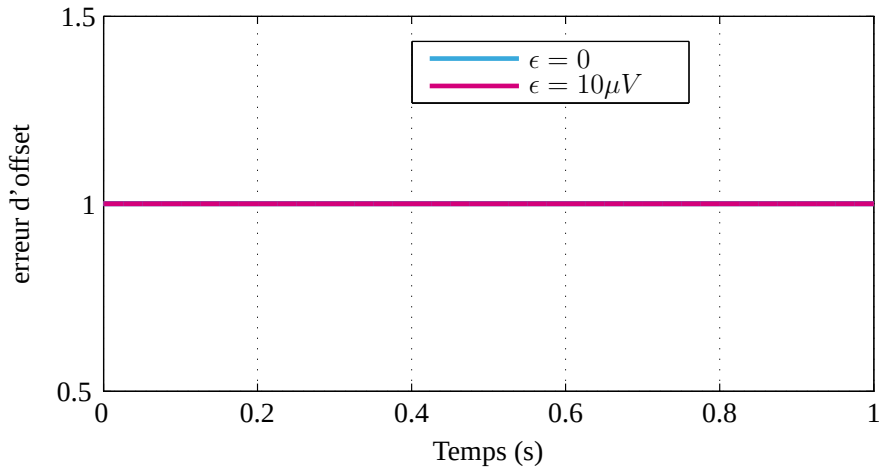


FIGURE 5.68 – Erreur d'offset compensées normalisées.

5.3.3.2.3 Dérive

Pour la simulation de l'offset, le gain de l'amplificateur a été fixé à $120dB$ (Figure 5.69).

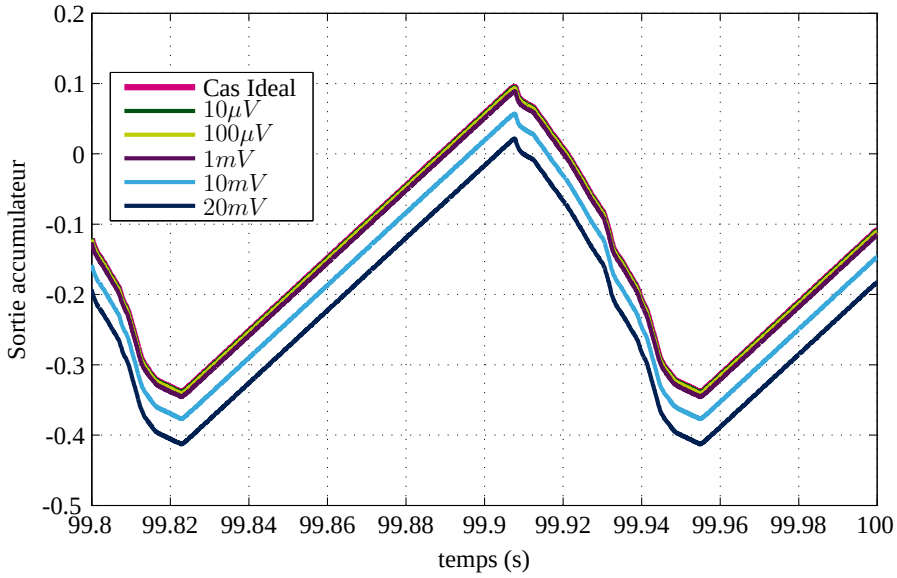


FIGURE 5.69 – Dérive en fonction de l'offset de l'amplificateur.

Malgré une compensation, une dérive est perceptible pour des valeurs d'offset élevées (Figure 5.70).

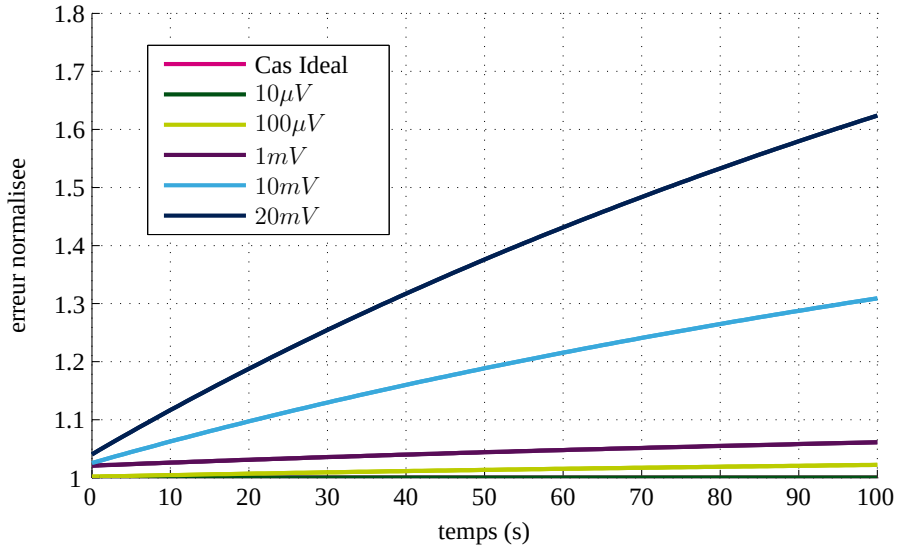


FIGURE 5.70 – Dérive due à l'offset de l'amplificateur normalisée.

Après 100 sec, les valeurs obtenues en sortie de l'accumulateur divergent (Tableau 5.5).

offset	Cas idéal	$10\mu V$	$100\mu V$	$1mV$	$10mV$	$20mV$
sortie de l'accumulateur	-0.1213	-0.1213	-0.1239	-0.1287	-0.1587	-0.1969

Tableau 5.5 – Valeurs de l'accumulateur après cent secondes en fonction de différents offsets de l'amplificateur.

5.3.3.3 Erreur due au *mismatch* des capacités

5.3.3.3.1 Intégrateur non compensé

À partir de l'intégrateur différentiel à capacités commutées (Figure 4.24, cf. 4.3.6.2), différentes simulations ont été réalisées (Tableau 5.6). Les ordres de grandeur des *mismatch* des capacités C_r et C_s sont de 2% et $2\,{}^{0}/_{00}$. Ils correspondent au pire cas obtenus lors des simulations Monte Carlo sur les capacités *FMOM* (cf. 5.3.1.2).

Cas simulé	C_r (pF)	C_s (pF)
Cas 1	9.98	10
Cas 2	10	10.2
Cas 3	9.99	10
Cas 4	10	10.02

Tableau 5.6 – Valeurs des capacités dans les différents cas simulés.

Une dérive du signal de sortie apparait même avec un faible *mismatch* (Figure 5.71). L'erreur normalisée la met nettement en évidence (Figure 5.72).

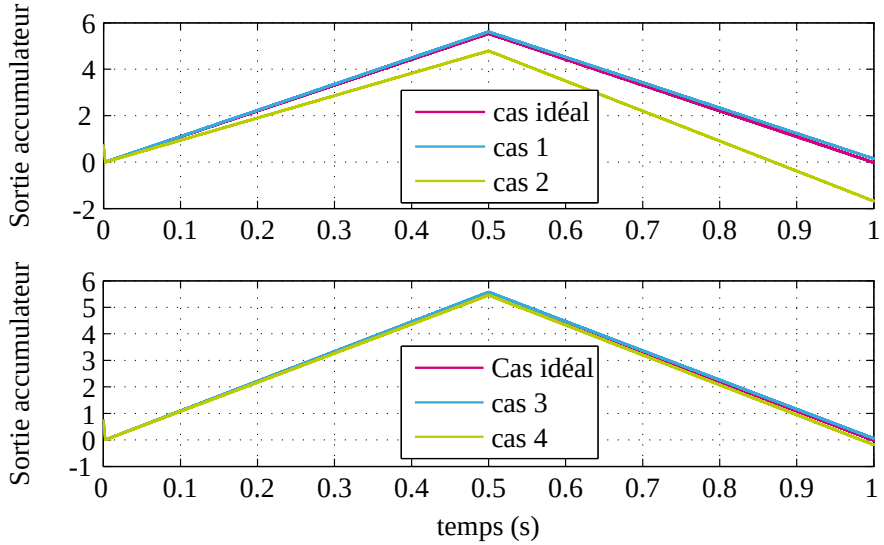


FIGURE 5.71 – Dérives dues à différents *mismatch* des capacités d'échantillonnages.

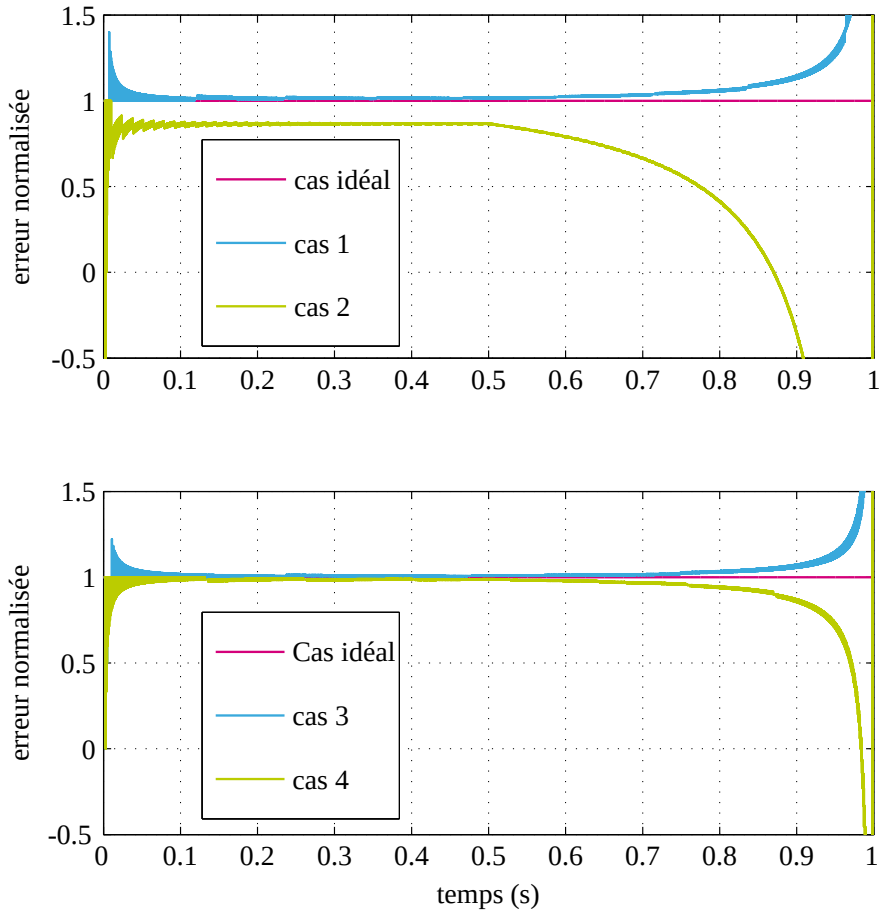


FIGURE 5.72 – Erreur normalisée des différents *mismatch* des capacités d'échantillonnages.

5.3.3.3.2 Intégrateur compensé

Les simulations sont cette fois-ci réalisées (Figure 5.73) avec l'intégrateur qui compense les *mismatch* des capacités (Figure 5.41).

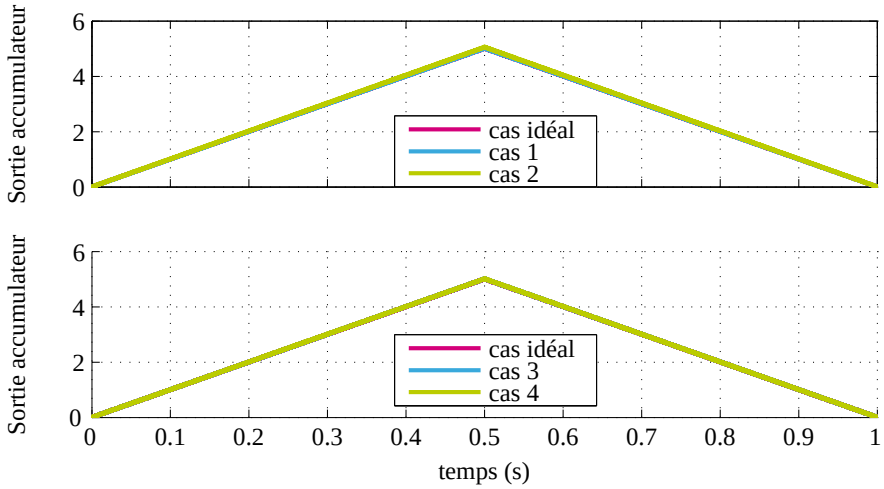


FIGURE 5.73 – Dérives dues à différents *mismatch* des capacités d'échantillonnages.

Toutes les courbes se superposent au cas idéal. L'erreur normalisée (Figure 5.74) montre que la divergence n'est effectivement plus perceptible.

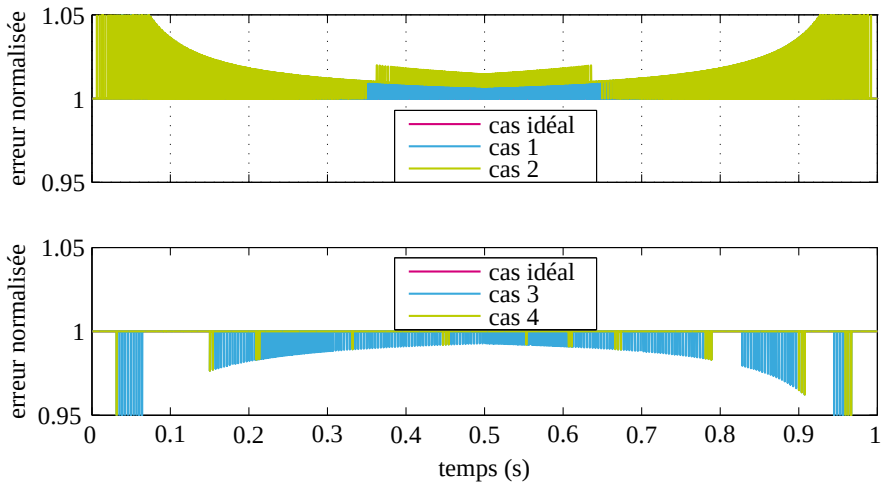


FIGURE 5.74 – Erreurs dues à différents *mismatch* des capacités d'échantillonnages normalisées.

5.3.3.3.3 Dérive

Sur le long terme, l'erreur compensée laisse apparaitre une dérive très faible (Figure 5.75).

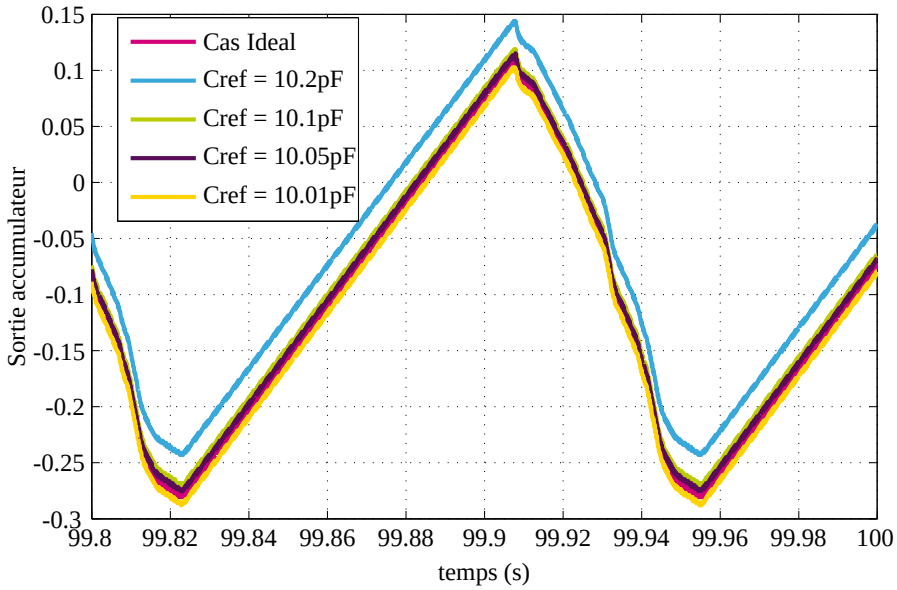


FIGURE 5.75 – Dérive due au *mismatch* des capacités.

Le *mismatch* des capacités ne crée pas de dérive notable sauf s'il est exagéré à 20%.

5.3.3.3.4 Remarques

L’architecture utilisée lors de ces simulations ne permet pas de compenser les erreurs de gain et d’offset. Les différentes erreurs ne sont pas compensées simultanément. Une étude plus approfondie permettrait de résoudre ce problème.

5.3.3.4 Dérive due au *CMRR* de l'amplificateur

Afin de mesurer l'éventuelle dérive (Figure 5.76), les simulations ont été réalisées à partir du signal d'entrée typique sur cent secondes.

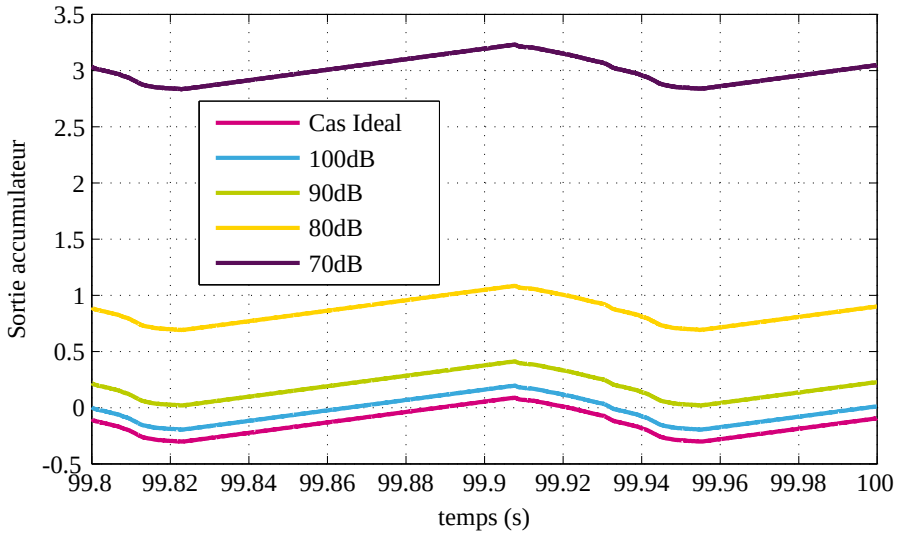


FIGURE 5.76 – Dérive due au *CMRR* de l'amplificateur.

La dérive est normalisée par rapport au cas idéal (Figure 5.77).

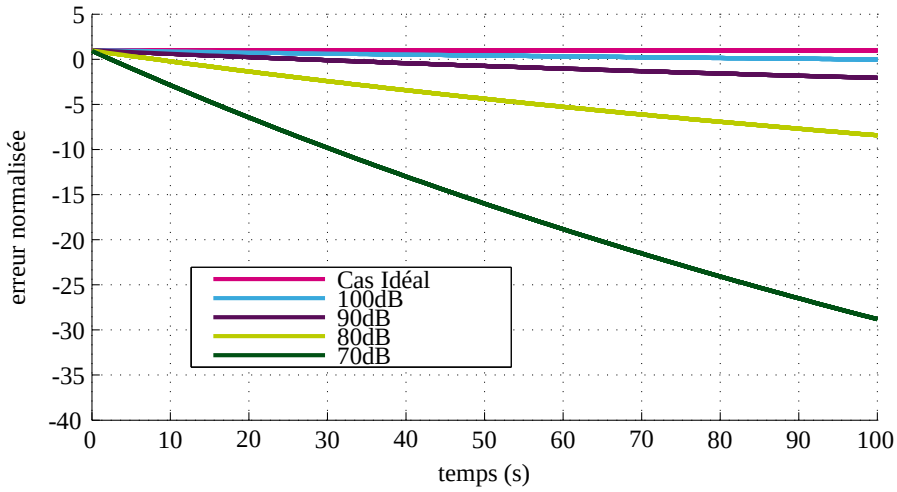


FIGURE 5.77 – Dérive normalisée due au *CMRR* de l'amplificateur.

Après 100 secondes, des dérives très importantes apparaissent en sortie de l'accumulateur et ce même pour de bonnes réjections (Tableau 5.7).

CMRR (dB)	Cas idéal	100	90	80	70	60
sortie de l'accumulateur	-0.105	0.00203	0.218	0.88	3.037	9.816

Tableau 5.7 – Valeurs de l'accumulateur après cent secondes en fonction de différents *CMRR* de l'amplificateur.

5.3.4 Dérive due à la référence de tension de l'amplificateur

Pour les résultats qui vont suivre, l'amplificateur de l'intégrateur est considéré comme parfait (offset nul, gain de $120dB$). Afin de montrer l'impact de la qualité du *PSRR* des références de tension, deux simulations ont été réalisées. La première pour des *PSRR* dont la fréquence de coupure est de $100Hz$. La seconde pour des *PSRR* dont la fréquence de coupure est de $10Hz$.

5.3.4.1 Dérive pour une fréquence de coupure du *PSRR* à 100Hz

La dérive dépend fortement de la dégradation du *PSRR* (Figures 5.78, 5.79 et 5.80).

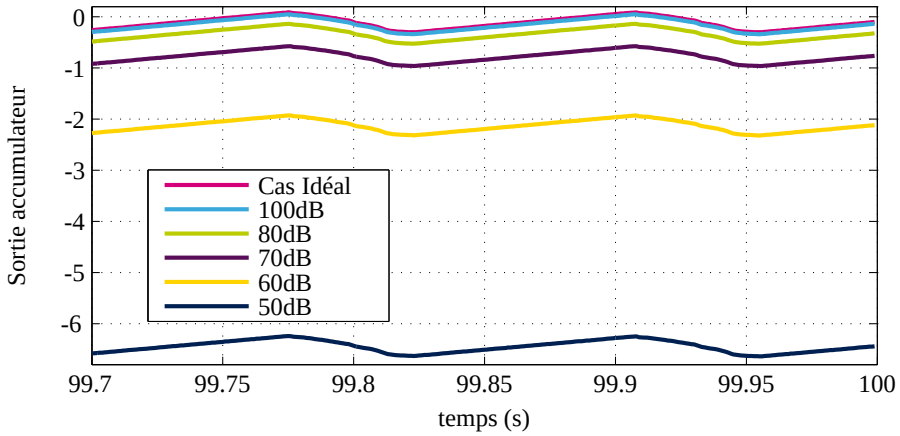


FIGURE 5.78 – Dérive en fonction de la référence de tension.

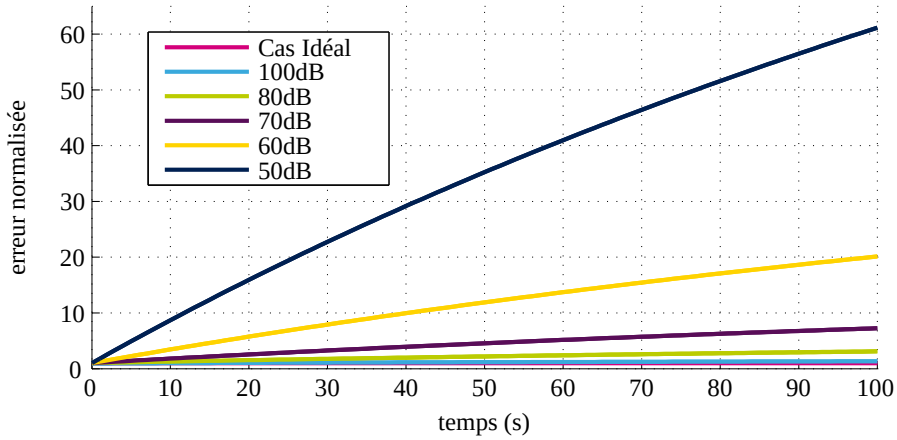


FIGURE 5.79 – Dérive due à la référence de tension normalisée.

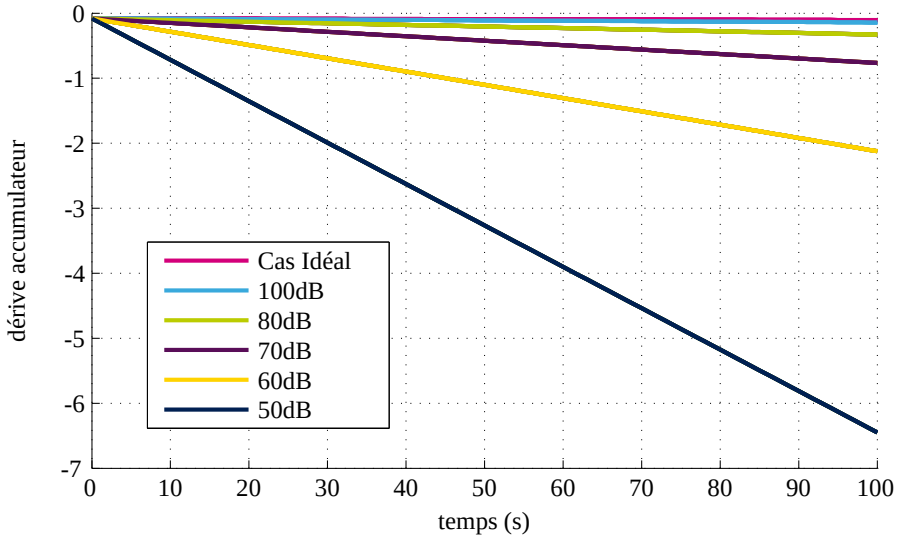


FIGURE 5.80 – Évolution de la dérive pour différente valeur du *PSRR*.

La figure de mérite (Tableau 5.8) montre la valeur obtenue en sortie de l'accumulateur après cent secondes (757 signaux typiques).

$PSRR(dB)$ ($f_c = 100Hz$)	Cas idéal	100	80	70	60	50
sortie de l'accumulateur	-0.105	-0.1394	-0.328	-0.7654	-2.123	-6.448

Tableau 5.8 – Valeurs de l'accumulateur après cent secondes en fonction de différentes qualités de la référence de tension.

5.3.4.2 Dérive pour une fréquence de coupure du *PSRR* à 10Hz

Une fréquence de coupure plus basse accentue davantage la dérive (Figures 5.81, 5.82 et 5.83).

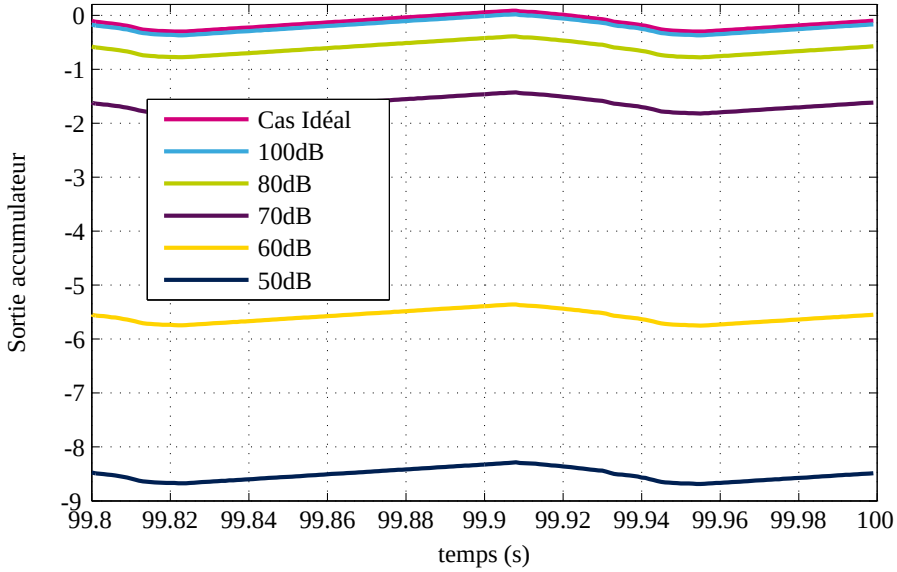


FIGURE 5.81 – Dérive en fonction de la référence de tension.

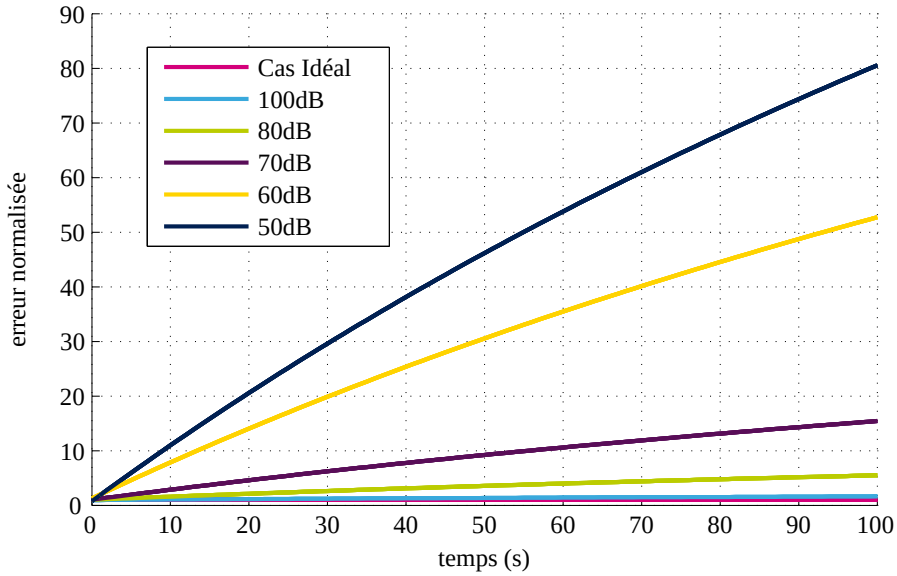


FIGURE 5.82 – Dérive normalisée due à la référence de tension.

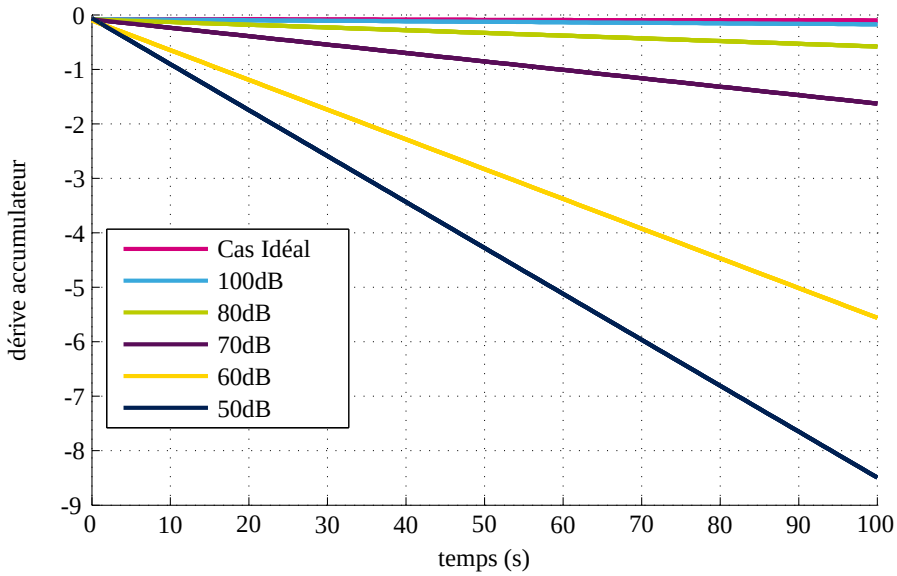


FIGURE 5.83 – Évolution de la dérive pour différente valeur de l'offset du comparateur.

La figure de mérite (Tableau 5.9) montre la valeur obtenue en sortie de l'accumulateur après cent secondes.

$PSRR(dB)$ ($f_c = 10Hz$)	Cas idéal	100	80	70	60	50
sortie de l'accumulateur	-0.105	-0.171	-0.58	-1.63	-5.56	-8.49

Tableau 5.9 – Valeurs de l'accumulateur après cent secondes en fonction de différentes qualités de la référence de tension.

5.3.5 Dérive due à l'offset du comparateur

L'offset du comparateur du *gas gauge* a également un impact sur la dérive du système (Figures 5.84, 5.85 et 5.86).

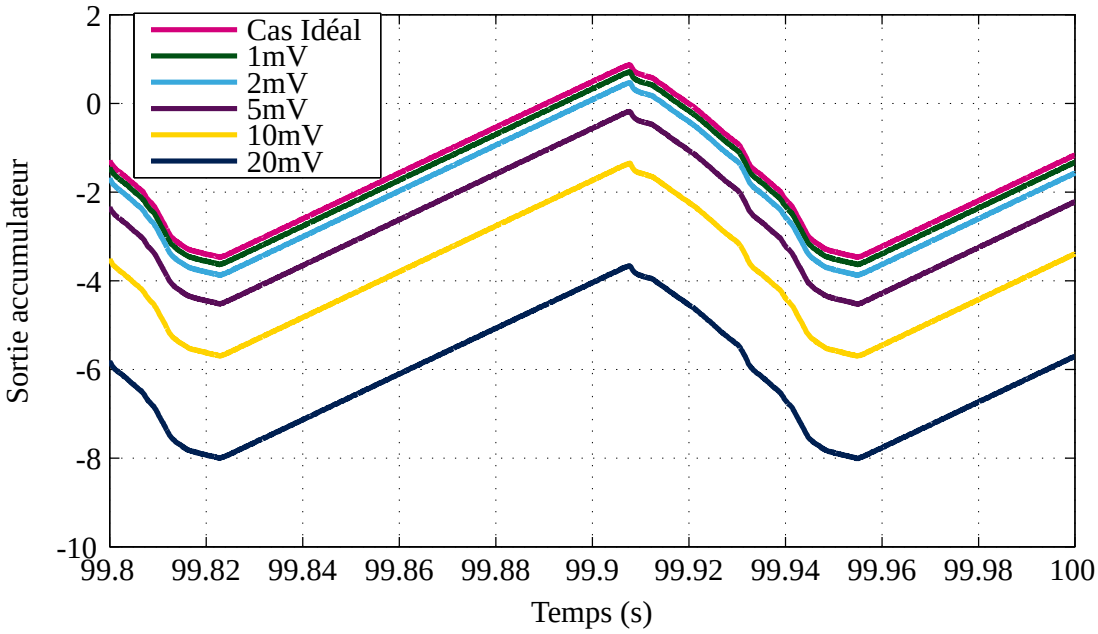


FIGURE 5.84 – Dérive due à l'offset du comparateur.

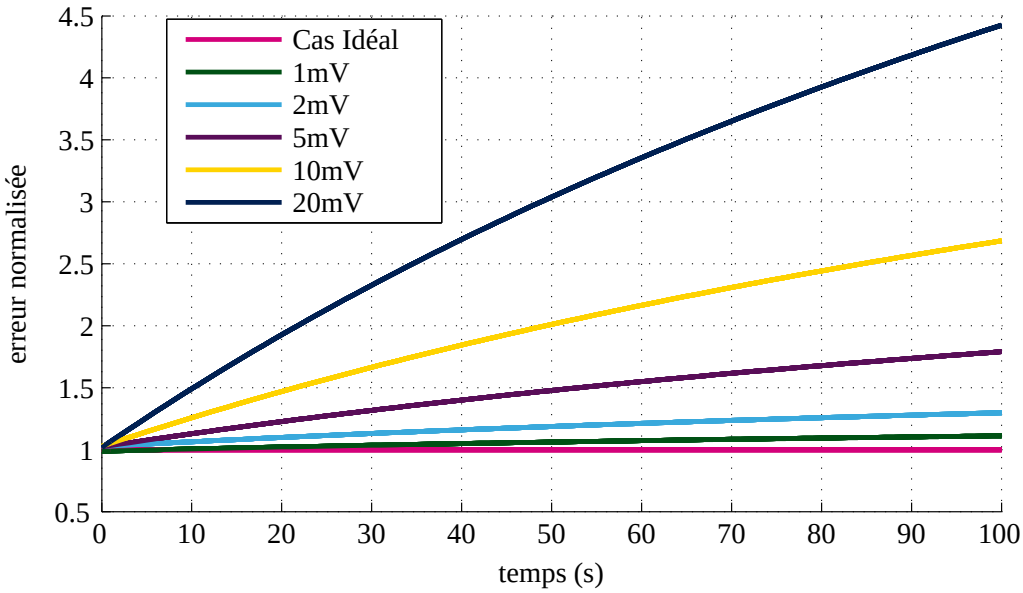


FIGURE 5.85 – Dérive normalisée due à l'offset du comparateur.

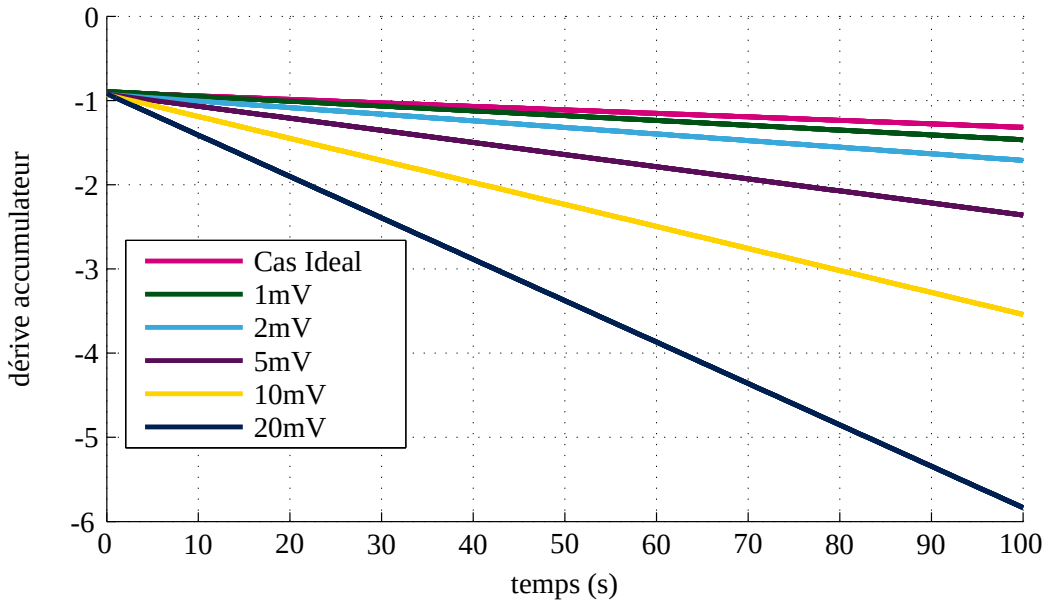


FIGURE 5.86 – Évolution de la dérive pour différente valeur de l'offset du comparateur.

La figure de mérite (Tableau 5.10) montre que la dérive est relativement proportionnelle à la valeur de l'offset.

offset (mV)	Cas idéal	1	2	5	10	20
sortie de l'accumulateur	-0.1319	-0.1466	-0.1711	-0.2361	-0.3541	-0.5835

Tableau 5.10 – Valeurs de l'accumulateur après cent secondes en fonction de différents offsets du comparateur.

5.4 CONCEPTION DU COMPTEUR DE CHARGES

Le *PM* actuel a une consommation statique de $130nA$ à $2.4V$ (cf. 4.2.2). Rajouter un système consommant 10 fois plus que le *PM* est inenvisageable puisque le dimensionnement énergétique serait négatif (énergie collectée inférieure à l'énergie consommée). Il faut donc limiter cette consommation, tant sur le plan architectural que sur le plan stratégique.

5.4.1 Dimensionnement du shunt

La batterie possède une résistance interne de l'ordre de la dizaine d'ohms (cf. 2.2). Cette résistance représente d'entrée un handicap pour le système puisqu'elle engendre une chute de tension de l'alimentation lors des appels de courant.

Il faut donc minimiser au mieux la résistance du shunt, une valeur de 10Ω étant exclue. 10% de la valeur de la résistance interne de la batterie passerait pratiquement inaperçu au vue du système.

Le shunt aura donc une résistance de 1Ω. $1mV$ de mesure correspond ainsi à $1mA$ du courant débité ou absorbé. Afin d'éviter des chutes de tensions trop importantes aux bornes de la batterie, une capacité de découplage de $100\mu F$ est placée aux bornes de cette dernière. Cette capacité joue un rôle important notamment dans la stabilité des références de tensions. Le fait d'échantillonner le signal d'entrée pour l'intégrer fait perdre une partie de l'information pendant la phase d'intégration (cf. 4.3.6). Le choix est donc fait d'intégrer le signal non pas directement aux bornes du shunt, mais aux bornes d'une capacité c d'un filtre rc passe-bas placé en parallèle du shunt (Figure 5.87).

Les bornes *InP* et *InM* représentent les entrées de l'intégrateur.

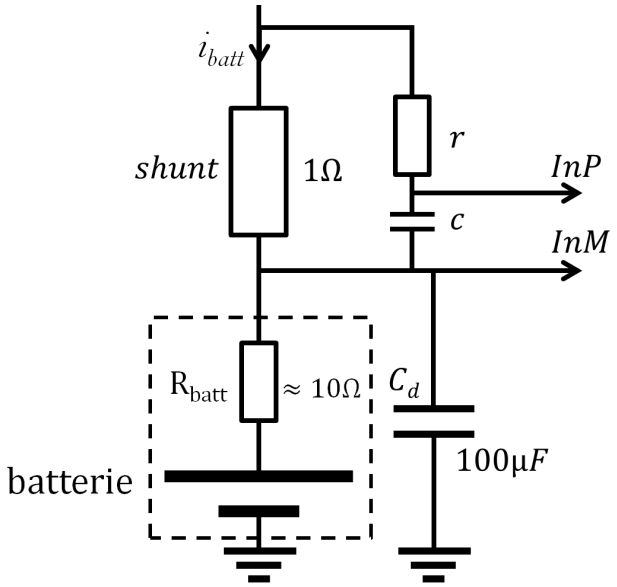


FIGURE 5.87 – Architecture et principe de la mesure du courant de la batterie.

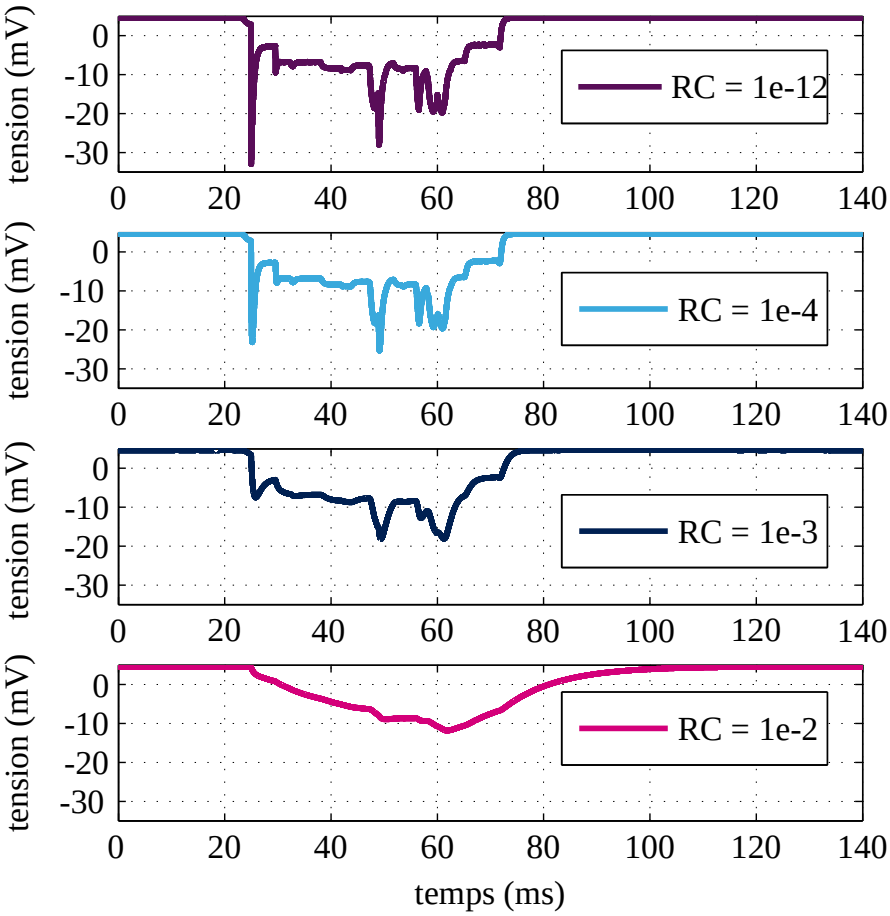


FIGURE 5.88 – Signal d'entrée de l'intégrateur selon différentes valeurs du filtre RC.

Le filtre a pour objectif de lisser le signal d'entrée afin d'éviter tout changement brusque du signal à intégrer. Cette méthode permet ainsi de limiter l'erreur lors des phases d'intégration et donc améliorer la précision du *gas gauge*.

Le filtre contribue également à limiter les pics de courant à mesurer. Rester en-dessous de la valeur de référence permet d'éviter de saturer l'intégrateur. Afin de ne pas perturber le signal aux bornes du shunt, r est choisi de telle sorte à vérifier $r >> shunt$. De plus, la capacité c doit être suffisamment grande pour pouvoir charger les capacités d'échantillonnage C_s sans altérer le fonctionnement du filtre. Avec $\tau > 5 \times T_{clk}$ ($\tau = rc$), toute variation importante du signal lors de la phase d'intégration est évitée. Le système utilise une horloge de période $T_{clk} = 30\mu s$, et $rc = 200\mu s$ avec $r = 100\Omega$ et $c = 2\mu F$ satisfait les recommandations. Les valeurs importantes de ces composants (notamment la capacité c) leur imposent une technologie discrète.

5.4.2 Condensateurs de la librairie 90nm

Deux types de capacités sont majoritairement disponibles dans la librairie : les capacités de type *MOM* (Métal Oxyde Métal) et les capacités polysilicum. Ces dernières présentent une non linéarité et varient en fonction de la tension qui leur est appliquée (Figures 5.89 et 5.90).

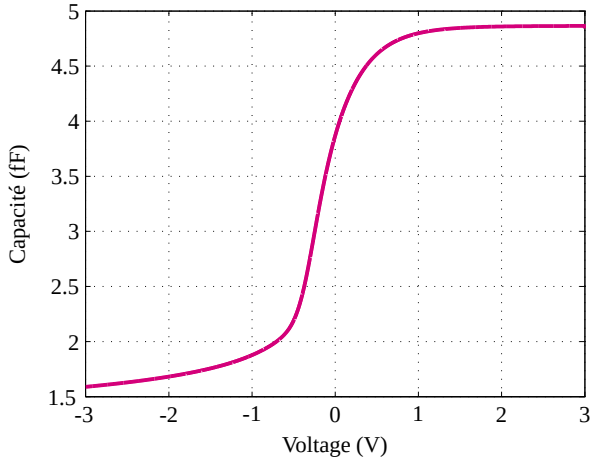


FIGURE 5.89 – Évolution de la capacité d'un condensateur en polysilicum de type N en fonction de la tension à ses bornes.

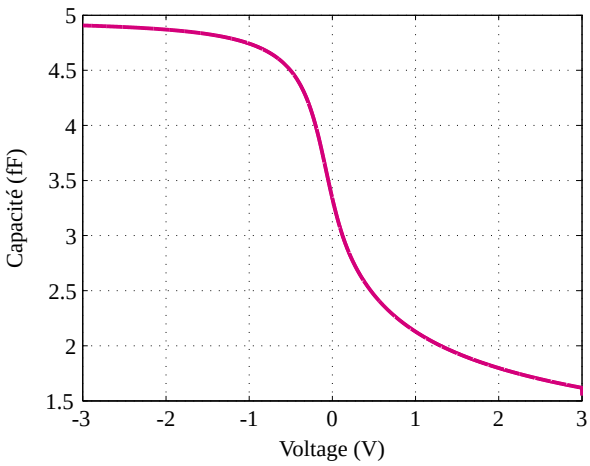


FIGURE 5.90 – Évolution de la capacité d'un condensateur en polysilicum de type P en fonction de la tension à ses bornes.

La capacité évolue d'un facteur 3 entre $-3V$ et $3V$. Pour diminuer la variation de la capacité en fonction du potentiel présent sur ces bornes, il est possible de placer une capacité en polysilicium de type N en parallèle avec une capacité en polysilicium de type P. Ce principe revient à ajouter les deux courbes précédentes et minimiser ainsi la variation de capacité (Figure 5.91).

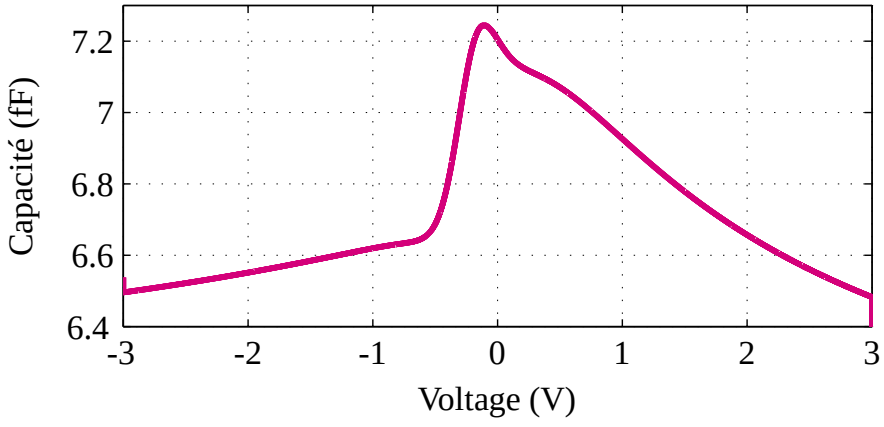


FIGURE 5.91 – Évolution de la capacité de 2 capacités N et P en parallèles en fonction de la tension à ses bornes.

Malgré cette diminution de la capacité, la variation reste dans ce cas précis de 11.5%. Une autre solution consiste à placer deux capacités (par exemple de type P) en parallèle en les reliant par leurs bornes opposées [70]. L'anode de la première est reliée à la cathode de la seconde et l'anode de la première à la cathode de la seconde. Cette solution repose sur le même principe que la précédente méthode : faire la somme d'une capacité et de son opposée. Une capacité équivalente est ainsi obtenue (Figure 5.92).

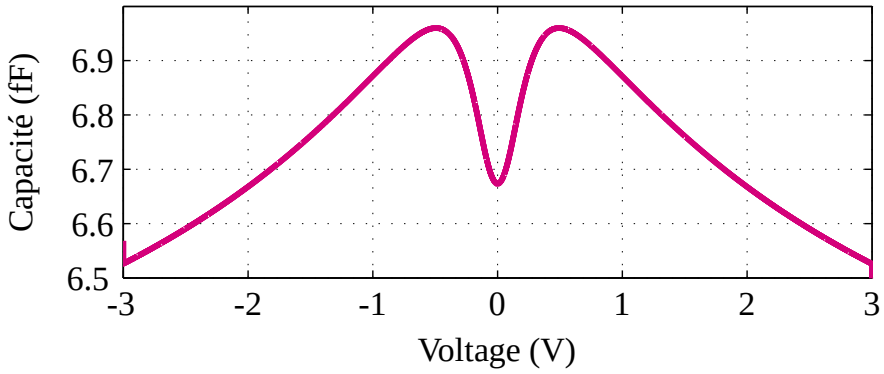


FIGURE 5.92 – 2 capacités P et N en parallèle.

Une variation de seulement 6.5% est ainsi obtenue sur la plage de tension $[-3\,;\,3V]$. Cette variation reste cependant élevée pour des applications de mesure. Toutefois, la forte capacité surfacique des capacités en polysilicium rendent ces dernières intéressantes pour des utilisations de découplage et de compensation.

5.4.3 Intégrateur

La conception de l'intégrateur à capacités commutées nécessite de prendre en compte certaines caractéristiques de *design*. Pour qu'il soit peu gourmand en énergie, il faut envisager des capacités de faibles valeurs pouvant être chargées facilement par un amplificateur *Low-Power*. Cependant plus une capacité est faible, plus elle est assujettie au bruit, aux injections de charges, aux *mismatch*...

5.4.3.1 Le bruit intrinsèque

Le bruit intrinsèque d'un composant n'est pas le bruit que le composant peut recevoir d'une source extérieure, mais bien le bruit généré par le composant lui-même [64]. Deux types de bruits intrinsèques sont particulièrement à prendre en compte : le bruit de scintillement et le bruit thermique. Ils proviennent notamment des *switches*, des références de tensions et de l'amplificateur opérationnel [71].

5.4.3.2 Le bruit de scintillement

Le bruit de scintillement (également appelé bruit en 1/f) est un bruit électronique parasite présent dans le substrat. Il est décroissant selon l'équation $\frac{\beta}{\sqrt{f}}$, avec β une constante déterminée de manière empirique. Généré au sein des transistors, il est nettement plus présent dans les transistors de petite dimension que dans ceux de grandes dimensions. Cependant, les transistors *PMOS* présente un bruit en 1/f moins important que pour les transistors *NMOS*. Cela est dû au nombre important de trous. Ces derniers ont en effet moins de chance d'être piégés que les électrons.

5.4.3.3 Le bruit thermique

Le bruit thermique des capacités (aussi appelé kT/C) est un bruit blanc constant quelle que soit sa fréquence. Par définition, les condensateurs ne génèrent pas de bruit. Ce sont les composants connectés à la capacité (telles les résistances) qui émettent le bruit [72].

Le bruit thermique généré par la résistance R_{DSON} du *NMOS* suit l'expression $4kTR$. Lors de la charge des capacités par les *switches* (Figure 5.93), il va engendrer un bruit thermique de $\sqrt{\frac{kT}{C}}$ avec k la constante de Boltzman ($1.381e^{-23}JK^{-1}$), T la température en Kelvin et C la capacité en Farad.

Le dimensionnement des capacités commutées a un impact direct sur le niveau de bruit quelle que soit la dimension du transistor servant de *switch*.

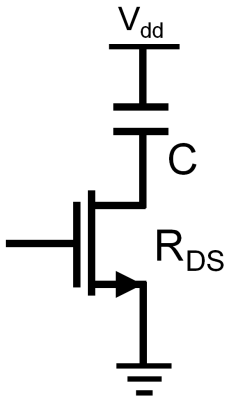


FIGURE 5.93 – Charge d'une capacité C à travers un *MOS* de résistance de drain R_{DSON}.

Le modulateur $\Sigma\ \Delta$ d'ordre 1 n'étant pas utilisé dans le cadre d'un traitement de signal mais pour l'intégration continu du signal, le bruit sera intégré continuellement. L'architecture choisie, entièrement différentielle, démontre ici tout son avantage. En effet, les sources de bruits vont être identiques sur les deux entrées de l'intégrateur et seront ainsi annulées. Une dérive à court terme peut être perceptible, mais sur le long terme la moyenne sera annulée [73]. Il faudra veiller à ce que les *mismatches* soient les plus faibles possible. Tant au niveau des *switches* qu'au niveau des capacités.

5.4.4 Injection de charges

Bien que mis en évidence depuis de nombreuses années [74], l'injection de charges est un phénomène assez complexe. Lorsqu'il est fermé, un transistor *NMOS* présente une certaine quantité de charges dans son canal entre la grille et le substrat [75]. Elle est définie par :

$$Q_{ch} = WLC_{ox}V_{eff} = WLC_{ox}(V_{GS} - V_t) \tag{5.13}$$

Avec W la largeur du transistor, L sa longueur et C_{ox} la capacité d'oxyde. Lorsque le transistor est ouvert, la quantité de charge Q_{ch} est éjectée de part et d'autres du drain et de la source (Figure 5.94).

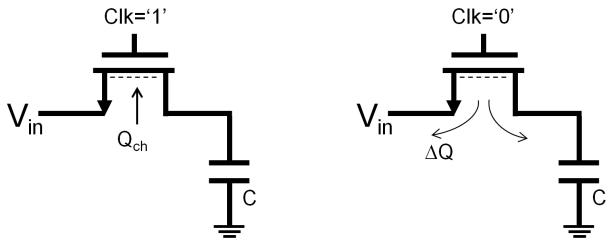


FIGURE 5.94 – Principe de l'injection de charge.

Cette quantité n'est pas répartie équitablement. Elle dépend de certains paramètres tels que le temps de commutation ou les impédances vues de la source et du drain. Il a été montré que plus le temps de commutation est court plus la répartition est équitable sur le drain et la source [74] et [76]. En revanche, si le temps de commutation est long, les charges se logent là où l'impédance est la plus faible.

Afin de limiter cet effet de l'injection de charges, différentes méthodes peuvent être prises en compte.

Une d'entre elles consiste à disposer des *dummies switches* de part et d'autre des *switches*. Il s'agit de "faux" *switches* ayant pour seul but d'annuler l'injection de charges (Figure 5.95). Ces *dummies switches* doivent être dimensionnés environ de moitié par rapport au *switch* en question si on considère les charges injectées se trouvant équitablement réparties. La commande de ces *dummies switches* doit être l'inverse de celle des *switches*. Ainsi les charges sont absorbées lors de l'ouverture des *switches*.

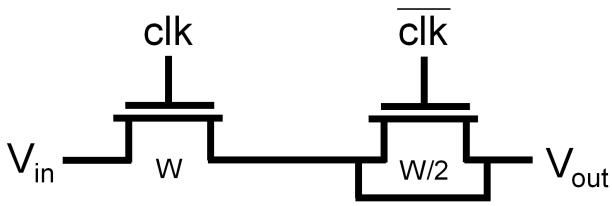


FIGURE 5.95 – Interrupteur fantôme ou *dummy switch*.

Pour minimiser encore davantage l'injection de charges, il est nécessaire de retarder l'ouverture du second *switch*. Une fois le premier *switch* ouvert et sa quantité de charges libérée, une borne de la capacité se trouve flottante. L'ouverture du second *switch* ne crée pas d'ajout de charges supplémentaires dans la capacité. Il décale uniquement la tension des deux bornes.

Cependant, la configuration entièrement différentielle de l'intégrateur entraine une injection équivalente des charges sur la capacité d'échantillonnage présente sur l'entrée positive et sur la capacité d'échantillonnage présente sur l'entrée négative [2]. Mais pour cela les tensions V_{GS} doivent être équivalentes. Dans ce cas, l'effet de l'injection de charges est minimisé [77].

Un bon dimensionnement des capacités et des *switches* de l'intégrateur peut également minimiser l'injection de charges. Les capacités doivent être suffisamment grandes par rapport aux capacités d'oxyde des *MOS* afin de pouvoir négliger ces dernières et minorer ainsi la quantité de charges injectées. Si la capacité d'échantillonnage (ou d'intégration) reçoit à chaque cycle d'horloge la moitié de la charge du canal [3] alors la variation de tension aux bornes de la capacité est égale à :

$$\Delta U = \frac{Q_{ch}}{2C} \tag{5.14}$$

$$= \frac{WLCox(V_{GS} - V_t)}{2C} \tag{5.15}$$

La capacité d'oxyde d'un *MOS* peut être déterminée en simulant celui-ci comme une capacité ; c'est-à-dire en reliant les trois terminaux (source, drain et bulk) à la masse (Figure 5.96). Dans un premier temps, le potentiel de grille est fixé à $0V$ (*MOS* OFF) et un balayage de la tension AC est effectuée. En prenant $R = 1k\Omega$, la fréquence est extraite lorsque la tension V_g atteint $-3dB$. La capacité de grille est ensuite calculée selon :

$$C_g = \frac{1}{2\pi R f_{(-3dB)}} \tag{5.16}$$

L'opération est renouvelée pour une tension DC où le transistor se trouve en régime de forte inversion (*MOS* ON). Avec W et L égales à $1\mu m$, la capacité d'oxyde peut être déterminée [72] :

$$C_{ox} = \frac{C_{MOS(ON)} - C_{MOS(OFF)}}{WL} \tag{5.17}$$

2. en considérant que les *MOS* ainsi que les capacités ont un *mismatch* négligeable
3. dans l'hypothèse que l'impédance vu par le drain est égale à l'impédance vu par la source ou que le temps de commutation est très court

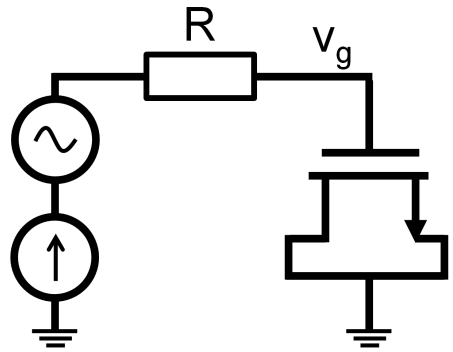


FIGURE 5.96 – Simulation de la capacité de grille d'un transistor *MOS*.

La capacité de grille varie alors en fonction du potentiel appliqué (Figure 5.97).

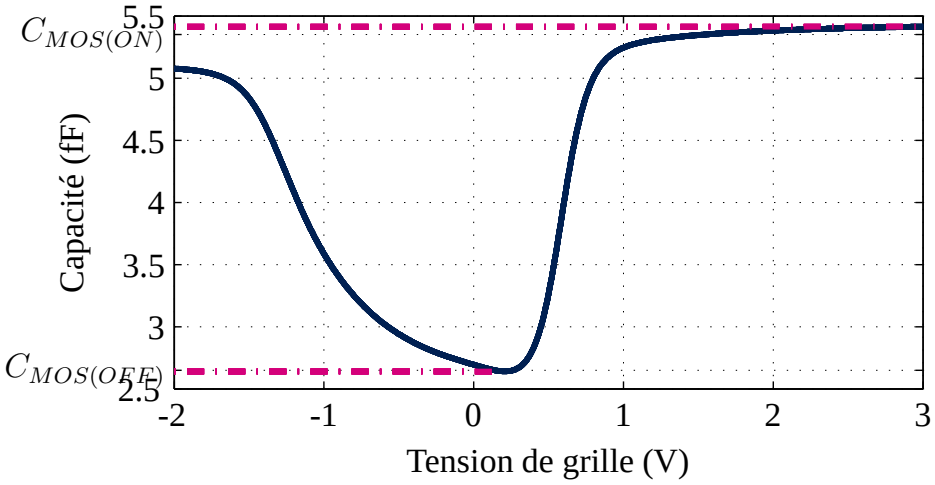


FIGURE 5.97 – Capacité de grille en fonction de la tension appliquée.

La valeur d'une capacité d'oxyde est déterminée grâce à cette formule. Elle est de $2.76fF$.

Pour une tension d'entrée de $1.2V$ (avec $V_t \simeq 0.55V$ et un transistor de dimensions $1 \times 1\mu m^2$) la quantité de charges présente dans le canal du transistor est de $1.79fC$. Si elle n'est pas annulée par un *dummy switch*, cette quantité de charges décalera la tension aux bornes de la capacité. Pour un *PMOS*, le décalage sera de $900\mu V$ pour une capacité de $1pF$ et de $90\mu V$ pour une capacité de $10pF$.

Ces mêmes tensions seront négatives pour l'utilisation d'un *NMOS* [78].

La conception doit donc veiller à plusieurs critères : la rapidité des fronts d'horloges, la taille appropriée des *dummies switches*, le décalage du temps de commutation des *MOS* et la taille élevée des capacités face aux capacités d'oxydes.

5.4.5 Effet capacitif des transistors *MOS* ou *clock feedthrough*

L'effet capacitif (ou *clock feedthrough*) représente le second handicap des *switches* dans les circuits à capacités commutées. Il s'agit de l'induction d'une variation de tension sur les

capacités commutées dû aux changements d'état de l'horloge sur les grilles des *MOS* utilisés en interrupteur. En effet, la grille des transistors "déborde" légèrement de part et d'autre de la source et du drain ce qui crée des capacités parasites (grille-drain et grille-source) appelées capacités de chevauchement (*overlap capacitance*). Le transistor peut donc être modélisé simplement comme sur la figure 5.98 :

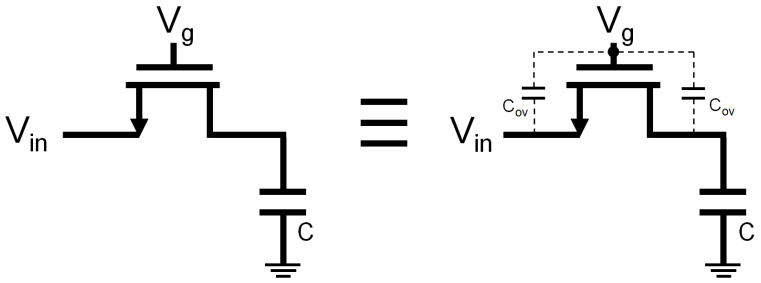


FIGURE 5.98 – Principe du *clock feedthrough*.

La valeur de ces deux capacités peut être déterminée selon le même procédé de mesure que la capacité d'oxyde C_{ox}. Elle correspond à la valeur de $\frac{C_{MOS(OFF)}}{2}$ et vaut ici $C_{ov} = 1.32fF$ pour une longueur et largeur de $1\mu m$. À chaque changement de front d'horloge sur la grille, la tension aux bornes de la capacité C varie selon le principe du diviseur capacitif (Figure 5.99).

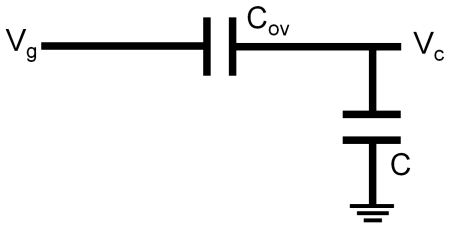


FIGURE 5.99 – *Effet du clock feedthrough : diviseur capacitif.*

Une variation de $3V$ sur la grille (pour une horloge oscillant de 0 à $3V$) ferait donc varier la tension aux bornes d'une capacité C de $1pF$ de :

$$dV_C = -\frac{3C_{OV}}{C_{OV} + C} \simeq 5mV \tag{5.18}$$

Bien qu'il agit sur les capacités parasites de très petite taille (quelques femto Farad), ce phénomène peut devenir problématique. En effet, la différence de tensions qui doit être mesurée aux bornes du shunt est de l'ordre de quelques milli ou micro Volts. Toutefois, ce phénomène sera compensé par la structure différentielle de l'intégrateur si les transistors sont bien appareillés [79].

5.4.6 La résistance R_{ON} des *MOS*

Les *switches* sont réalisés à partir de transistor *PMOS* ou *NMOS* et ne sont donc pas parfaits. À l'image de leur résistance non infinie à l'état ouvert, leur résistance à l'état fermé n'est pas nulle :

$$R_{ON} = \frac{1}{k\frac{W}{L}(V_{GS} - V_t)} \tag{5.19}$$

avec $k = \mu c_{ox}$.

La mobilité des électrons μ_n étant plus élevée que la mobilité des trous μ_p, la résistance R_{ON} d'un *NMOS* sera environ 3 fois plus faible que la résistance d'un *PMOS* de dimensions équivalentes (Tableau 5.11).

$R_{MOS}(\Omega)$ / Dimensions (μm)	NMOS	PMOS
W = 0.4 ; L = 0.38	14k	28k
W = 0.4 ; L = 1	31k	80k
W = 1 ; L = 1	13k	34k
W = 2 ; L = 1	6.4k	16.7k

Tableau 5.11 – Résistance ON des MOS.

Dans le cadre du projet, la constante de temps du système est relativement lente ($\simeq 30\mu s$). La résistance R_{ON} des *MOS* doit donc pouvoir vérifier qu'une demi-période d'horloge ($15\mu s$) suffit aux capacités pour se charger entièrement. Il faut donc considérer le circuit en entrée de l'intégrateur pour dimensionner les *switches*. Parmi ceux-ci, deux servent à charger la capacité d'échantillonnage. La constante de temps de charge de la capacité sera donc $\tau = 2R_{ON}C$. Pour charger entièrement la capacité, il est nécessaire d'attendre au moins 5τ (99%). La demi-période d'horloge étant de $15\mu s$, la résistance R_{ON} doit donc vérifier :

$$10 \times R_{ON} \times C < 15\mu s \tag{5.20}$$

$$R_{ON} < 150k\Omega \tag{5.21}$$

Avec des capacités de $10pF$ (valeur fortement majorée), la résistance doit être inférieure à $150k$ (Tableau 5.11). Afin de minimiser le *mismatch* entre les transistors tout en limitant la quantité de charges susceptible d'être injectée, des transistors de $1\mu m \times 1\mu m$ sont choisi pour W et L.

5.4.7 Circuit d'antichevauchement des horloges

Dans un circuit à capacités commutées, il est nécessaire d'éviter tout chevauchement des horloges. Un circuit réalisé à l'aide de quelques cellules élémentaires telles des inverseurs et des portes *NAND* peut les empêcher [80] (Figure 5.100).

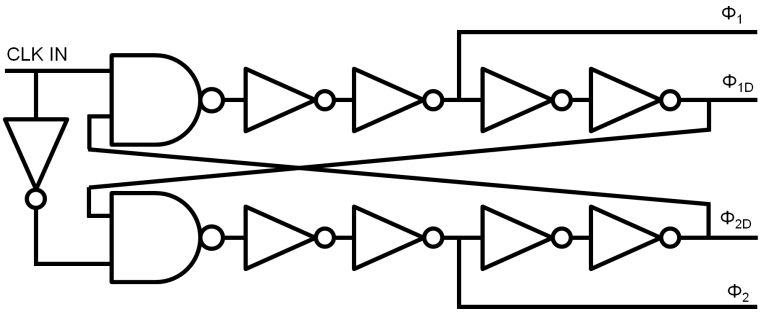


FIGURE 5.100 – Circuit d'antichevauchement des horloges.

Le nombre d'inverseurs et les dimensions des *MOS* les constituants définissent les différents retards. Les sorties Φ_1 et Φ_2 représentent les phases d'échantillonnages et d'intégrations sans chevauchement. Les sorties Φ_{1D} et Φ_{2D} représentent les phases Φ_1 et Φ_2 avec un retard supplémentaire évitant l'injection de charges des seconds *switches*. Il faut donc veiller à ajouter un inverseur supplémentaire pour piloter des transistors *PMOS*.

5.4.8 Conception de l'amplificateur entièrement différentiel

Pour réaliser l'intégrateur différentiel à capacités commutées, un amplificateur entièrement différentiel est nécessaire. Celui-ci a quelques avantages déjà présentés : réduction de bruit, de *clock feedthrough* et autre phénomènes parasites. De plus, il permet non seulement d'avoir une dynamique de sortie deux fois plus importante que les amplificateurs à une sortie mais également d'avoir une réjection de mode commun et d'alimentation de meilleure qualité.

Afin de garder une consommation d'énergie relativement basse, l'architecture de cet amplificateur ne doit pas être complexe. Elle doit se faire sur un seul étage. Trois types d'amplificateurs sont alors possibles [81] :

- Les amplificateurs cascode télescopiques qui permettent un gain DC relativement élevé mais ont une dynamique de sortie relativement réduite. Ces amplificateurs sont bien adaptés aux applications où la rapidité est un facteur de choix.
- Les amplificateurs cascode repliés nécessitent davantage de courant que leurs homologues télescopiques. C'est pourquoi ils ne sont particulièrement pas adaptés aux applications *Low-Power*.
- Les amplificateurs à miroir de courant dont la dynamique de sortie est élevée grâce au faible nombre de transistors. Ils permettent à la fois d'avoir une surface de circuit réduite et des améliorations de gain par simple modification du ratio des transistors [82]. Leur architecture étant très simple, ils sont parfaitement adaptés aux applications *Low-Power*. D'autant plus lorsqu'ils ne comprennent que deux branches principales.

Pour concevoir cet amplificateur, il faut suivre deux spécifications fondamentales [72] :

- Le produit gain-bande doit être supérieur d'au moins 5 fois la fréquence de l'horloge de l'intégrateur à capacités commutées : soit *GBW* > $170kHz$.
- La marge de phase doit être supérieure à 70°. Cette considération évite les surtensions et évite la surcharge des capacités.

À ces critères doivent être rajoutés un gain DC de $20dB$ minimal (valeur pour laquelle le système a été étudié) et une réjection de mode commun optimale. L'architecture (Figure 5.101) peut alors être conçue. Le choix des transistors d'entrée *PMOS* n'est pas anodin. Ils offrent en effet un avantage en terme de bruit 1/f et ils permettent notamment un meilleur produit gain bande (cf. 5.4.3).

Afin de minimiser la consommation de l'amplificateur tout en gardant un gain DC suffi-

sant, il est important de maximiser la transconductance gm en gardant un courant de drain I_D assez faible. L'efficacité de la transconductance est ainsi déterminée comme étant le rapport $\frac{gm}{I_D}$ [83]. Grâce à la relation qui unie gm/I_D et le courant normalisé $I_D/(W/L)$, cette méthode permet un dimensionnement judicieux des transistors en fonction de leur régime d'opération (faible, modérée ou forte inversion) [84]. Les deux transistors d'entrée M_4 et M_5 sont donc dimensionnés pour fonctionner en régime de faible inversion (*subthreshold*). Leur transconductance sera ainsi optimale. Choisir une longueur relativement large permettra également d'éviter une dégradation de la réjection de mode commun. Il est donc important que les transistors d'entrées soient relativement larges même si cela entraine une forte capacité de grille qui limite le produit gain-bande du circuit. En effet, le projet ne nécessite pas d'avoir un GBW élevé. Le dernier critère n'est pas un inconvénient.

L'ensemble des autres transistors du circuit sont dimensionnés pour être tous en régime de saturation, afin de pouvoir recopier fidèlement le courant I_{bias} dans les différentes branches. L'ensemble des dimensions du circuit est fourni dans le tableau 5.12.

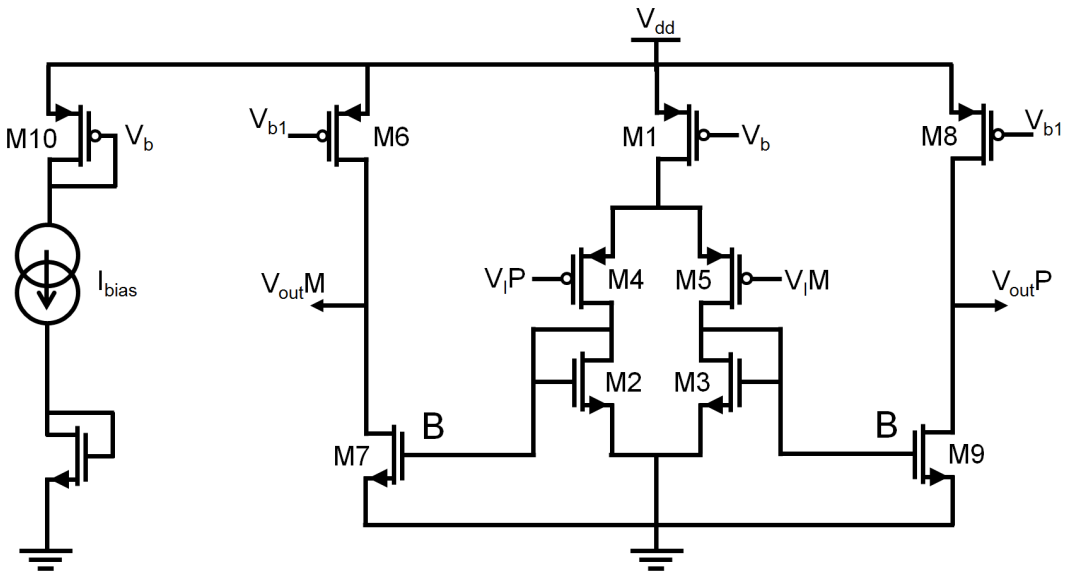


FIGURE 5.101 – Amplificateur opérationnel transimpédance à miroir de courant.

Transistor	W (μm)	L (μm)	Transistor	W (μm)	L (μm)
M_1	1.8	2	M_6	1.8	2
M_2	1	2	M_7	1	2
M_3	1	2	M_8	1.8	2
M_4	80	10	M_9	1	2
M_5	80	10	M_10	1.8	2

Tableau 5.12 – Dimensions des *MOS* de l'amplificateur.

Le coefficient B représente le facteur multiplicatif du courant (M_7 est de même dimension que M_2 mais avec 20 transistors en parallèle).

Le gain de l'*OTA* est déterminé par [85] :

$$A_0 = gm_4 \times B \times (r_{o8}//r_{o9}) \tag{5.22}$$

En régime de faible inversion, la transconductance est définie selon l'équation [72] :

$$gm_4 = \frac{qI_D}{nkT} \tag{5.23}$$

avec $q = 1.602e^{-19}$, $k = 1.381e^{-23}$ et $n \simeq 1.5$ et $I_D = 500nA$

Pour une température de $300K$, la transconductance est de $12,88\mu S$. Pour un fonctionnement de faible inversion, la transconductance et le gain de l'amplificateur seront sensiblement affectés par la température.

Les résistances dynamiques de sortie r_{o8} et r_{o9} sont identiques et valent $11M\Omega$. Le Gain DC est donc de :

$$A_0 = 12.9e^{-6} \times 20 \times (5.5e^{6}) \tag{5.24}$$

$$= 1419\ (63dB) \tag{5.25}$$

La courbe de Gain en boucle ouverte (Figure 5.102) :

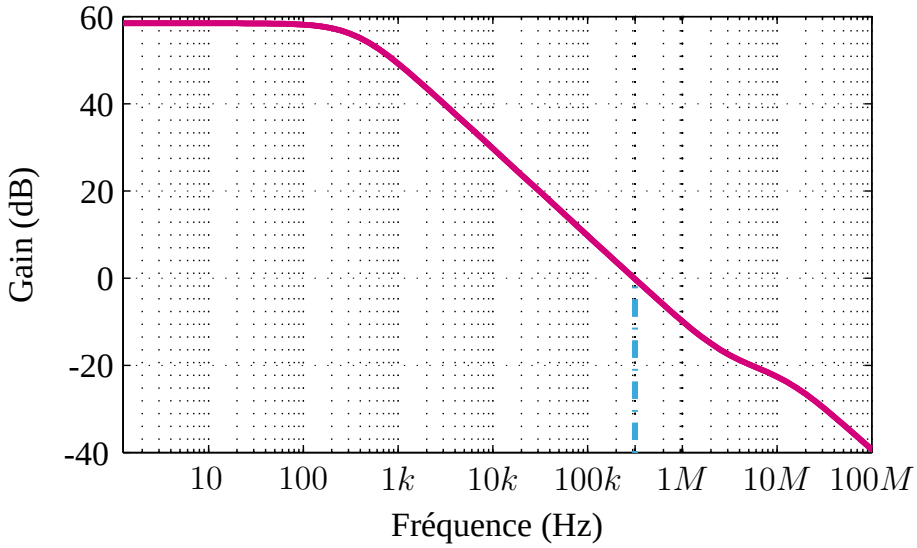


FIGURE 5.102 – Gain de l'amplificateur.

Cette figure permet de remarquer que le produit gain-bande respecte la contrainte de $170kHz$ puisqu'il est de $309kHz$. La marge de phase a également été étudiée. En boucle ouverte l'amplificateur est stable avec une marge de phase de l'ordre de 78°(Figure 5.103). Il satisfait donc la condition minimale de 70°. Tout *overshoot* est ainsi évité en sortie et aux bornes des capacités.

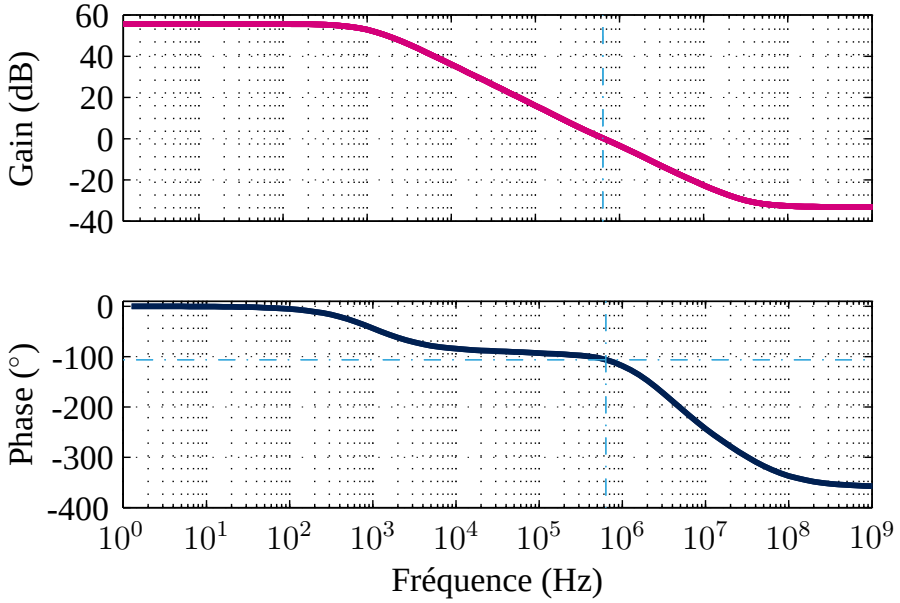


FIGURE 5.103 – Marge de Phase de l'OTA.

Comme il s'agit d'un amplificateur entièrement différentiel, un contrôle du mode commun (*CMFB*) est nécessaire. L'amplificateur étant utilisé dans un intégrateur à capacités commutées, il est préférable d'utiliser un *CMFB* à capacités commutées plutôt qu'un *CMFB* à temps continu. Le circuit (Figure 5.104) est cadencé par l'horloge de $32kHz$ du système [82].

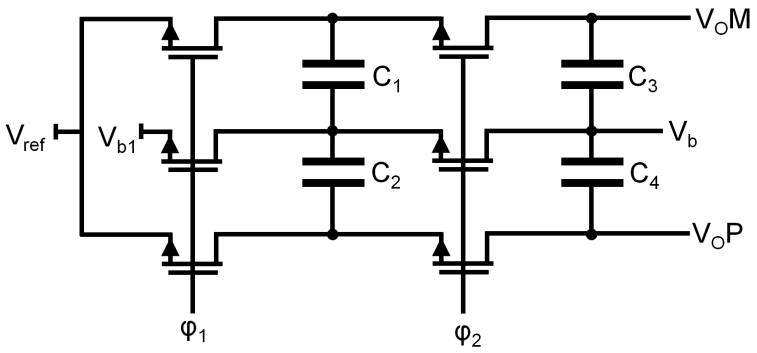


FIGURE 5.104 – Contrôle du mode commun de sortie.

Les phases Φ_1 et Φ_2 sont issues du circuit d'antichevauchement des horloges. Les capacités C_1 et C_2 ont une valeur de $100fF$ et les capacités C_3 et C_4 de $500fF$. Il faut veiller à ce que les capacités C_1 et C_2 aient une valeur inférieure (4 à 10 fois) aux capacités C_3 et C_4 afin d'éviter toute surcharge. La taille des *MOS* est minimisée à $0.16\mu m^2$ ce qui donne une injection d'environ $0.28fC$ (soit 0.7% de la charge maintenue dans la capacité C_1 ou C_2). La tension de référence de $1.2V$ fournie dans le système est utilisée pour le mode commun de sortie. La tension d'alimentation peut ainsi varier de $2.4V$ à $3.2V$ et la tension de sortie reste bornée. Ce circuit a été testé et démontre ainsi que le système est réalisable avec un courant I_{bias} de l'ordre de $500nA$. Une amélioration de gain aurait pu être envisagée ([85] et [82]) mais les spécifications étant atteintes cette amélioration n'a pas été étudiée en profondeur. Cependant, il faut reconnaitre que si la consommation pouvait encore diminuer tout en maintenant les mêmes résultats, l'implémentation ne semblerait alors pas exclue.

5.4.9 Réjection de mode commun de l'amplificateur (*CMRR*)

La tension de sortie d'un amplificateur différentiel est définie par son gain de mode différentiel et son gain de mode commun :

$$V_{out} = A_d(V^+ - V^-) + \frac{1}{2}A_{cm}(V^+ + V^-) \tag{5.26}$$

Avec A_d le gain de mode différentiel et A_{CM} le gain de mode commun. Le taux de réjection de mode commun (*TRMC* ou *CMRR* en anglais pour *common mode rejection ratio*) est défini comme le rapport du gain de mode différentiel sur le gain de mode commun :

$$CMRR = 20\log(\frac{A_d}{A_{cm}}) \tag{5.27}$$

Pour un amplificateur entièrement différentiel, la matrice de gains peut être définie en fonction des tensions d'entrées différentielles et communes ainsi que des tensions de sorties dif-

férentielles et communes [73] :

$$\begin{bmatrix} V_{OD} \\ V_{OCM} \end{bmatrix} = \begin{bmatrix} A_{dd} & A_{cd} \\ A_{dc} & A_{cc} \end{bmatrix} \times \begin{bmatrix} V_{ID} \\ V_{IC} \end{bmatrix} \tag{5.28}$$

Les tensions de sorties différentielles et communes sont donc définies par :

$$V_{od} = A_{dd}V_{id} + A_{cd}V_{icm} \tag{5.29}$$

$$V_{ocm} = A_{cd}V_{id} + A_{cm}V_{icm} \tag{5.30}$$

La tension de sortie en mode commun n'est pas liée à la tension d'entrée en mode différentiel. Idéalement $A_{cd} = 0$ et la tension de sortie en mode différentiel n'est pas impactée par la tension d'entrée en mode commun. $A_{cd} \simeq 0$.

5.4.10 Conception de la référence de tension

Deux références de tensions de valeurs proches ($30mV$) sont nécessaires au projet (cf. 4.3.7). De plus, les fortes variations de la tension d'alimentation dues à la résistance interne élevée de la batterie nécessitent une référence de tension dont la spécification principale est un *PSRR* élevé. Toutefois, seule la différence ($30mV$) a besoin d'être constante. Par conséquent, la qualité de la réjection de la tension d'alimentation n'a guère d'importance si elle est identique pour les deux références. Ainsi une référence correcte de $30mV$ pourrait être obtenue.

L'architecture retenue (Figure 5.105) répond à cette problématique. L'amplificateur opérationnel impose les potentiels identiques ($Va = Vb$) et polarise les transistors M_1 à M_4. Ces 4 transistors sont en régime de saturation, de telle sorte à ce que leurs courants de drain soient tous égaux ($i_1 = i_2 = i_3 = i_4$).

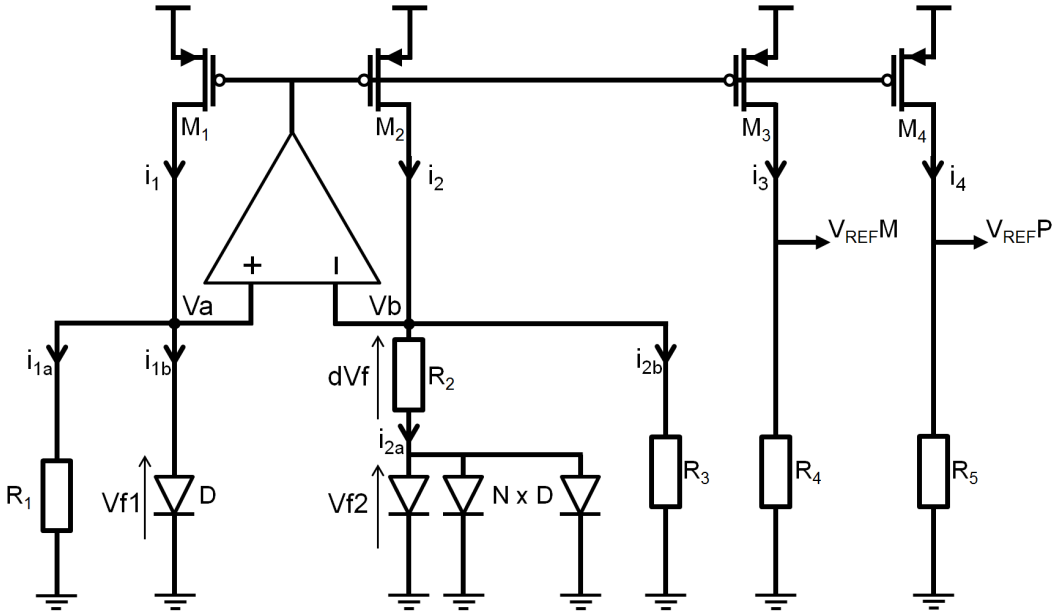


FIGURE 5.105 – Architecture des références de tensions [1].

Afin de limiter la consommation de courant de la référence de tension, les résistances ont une valeur élevée (Tableau 5.13). Pour fonctionner de manière optimale, les quatre transistors doivent avoir un *mismatch* le plus faible possible. De plus, ils doivent fonctionner en régime de saturation afin d'avoir un miroir de courant fonctionnel.

Transistors (M_1 ; M_2 ; M_3 ; M_4)		Résistances				Diodes
W	L	R_1 ; R_3	R_2	R_4	R_5	N
$2\mu m$	$1\mu m$	$1M\Omega$	$123k\Omega$	$1.058M\Omega$	$1.083M\Omega$	15

Tableau 5.13 – Dimensionnement des composants de la référence de tension.

L'équation de la référence de tension peut s'écrire :

$$V_{ref} = R\left(\frac{V_{f1}}{R_3} + \frac{dV_f}{R_2}\right) \tag{5.31}$$

avec $V_{f1} = 645mV$ la tension inversement proportionnelle à la température, $dV_f = 69mV$ la tension proportionnelle à la température.

Le détail des calculs (Annexe A.3) montrent alors que $V_{ref}P = 1.306V$ et $V_{ref}M = 1.276V$. La référence du système est alors de $30mV$ (Figures 5.106 et 5.107).

Le circuit a été simulé et montre des résultats corrects du point de vue de la référence de tension. Ainsi la différence entre $V_{REF}P$ et $V_{REF}M$ est de $28.8mV$ avec une variation de $10\mu V$ sur la plage [-10 ; 60] °C. Soit environ $350ppm$.

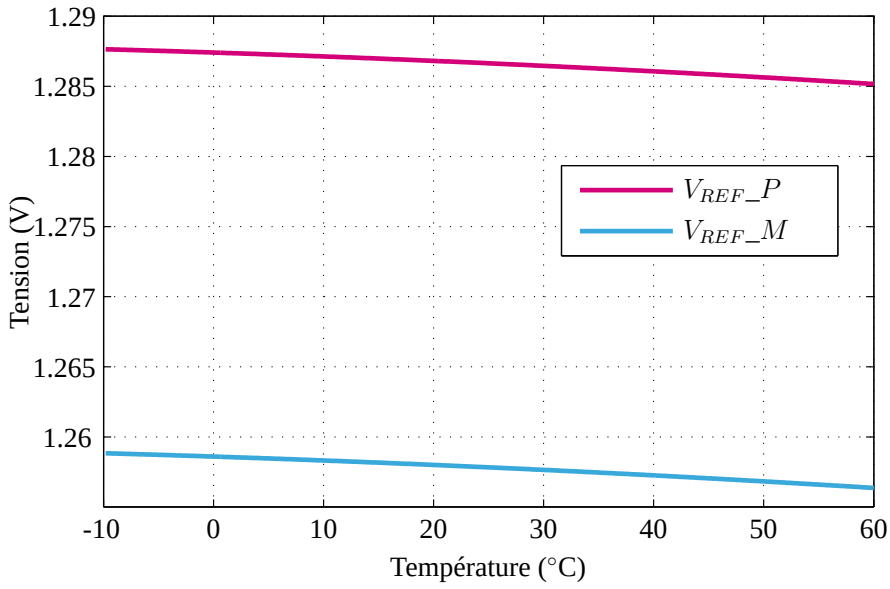


FIGURE 5.106 – Tensions de références Vref_1 et Vref_2.

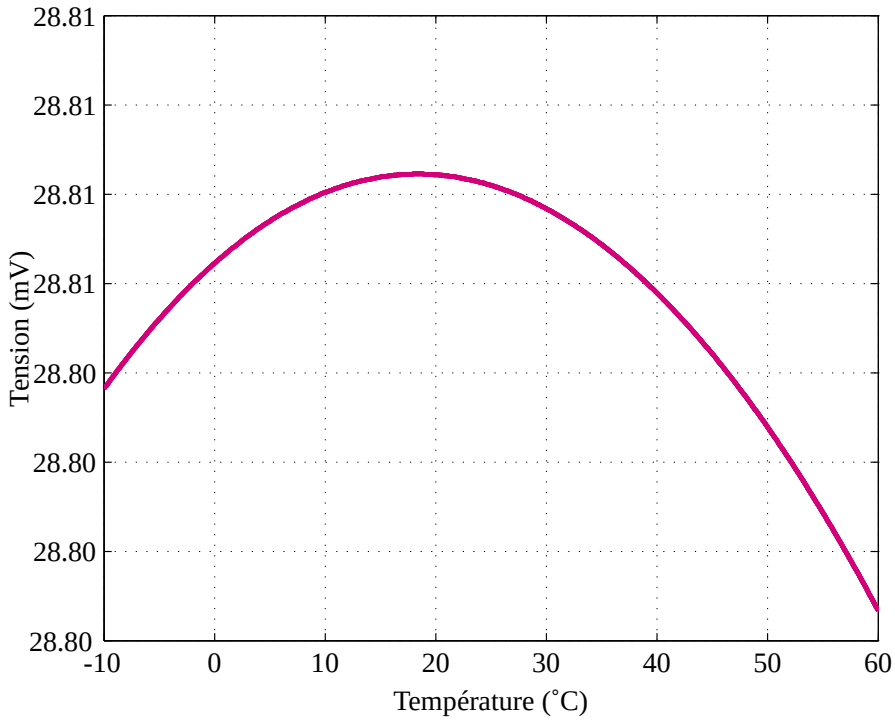


FIGURE 5.107 – Différences de Vref_1 et Vref_2 : Delta Vref.

Le courant dans chacune des branches est d'environ $1.2\mu A$. L'amplificateur qui n'est constitué que d'une paire différentielle consomme $90nA$. Ainsi, la référence de tension consomme moins de $5\mu A$. Il serait possible d'envisager une consommation plus réduite en augmentant la valeur des résistances. Mais cela se ferait au détriment de la surface.

De plus, il est également important de prendre en considération le courant nécessaire pour charger les capacités. Ces dernières doivent en effet pouvoir se charger en moins de $30\mu s$. Toutefois, un courant de $10nA$ est amplement suffisant pour élever la tension d'une capacité de $10pF$ de $30mV$.

Il faut également prendre en considération un circuit de *start-up* (non représenté sur la figure 5.105) qui indispensable au démarrage de la référence de tension.

Cette architecture ne permet cependant pas d'avoir une réjection d'alimentation élevée. En effet, il est nécessaire d'augmenter le coefficient λ des transistors M_3 et M_4 pour améliorer le *PSRR*. Cela permet au miroir de courant de gagner en perfection. Ce coefficient peut être modifié en fonction de la longueur des transistors. Ainsi, en prenant $L = 10$ et $W = 20$, le *PSRR* est amélioré (Figure 5.108).

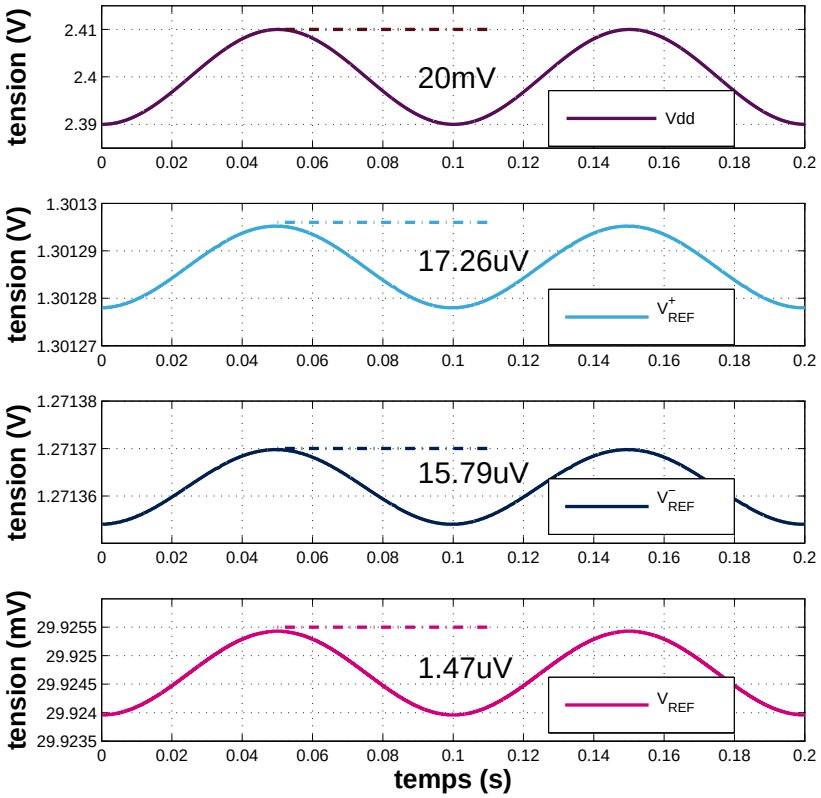


FIGURE 5.108 – Ondulations basse fréquence des références de tension.

Cette figure montre qu'une ondulation de $20mV$ sur l'alimentation induit une ondulation de respectivement $17.28\mu V$ et $15.79\mu V$ pour $V_{ref}P$ et $V_{ref}M$. Ces deux signaux étant en phase, l'ondulation de la différence n'est plus que de $1.47\mu V$ (soit une réjection de l'alimentation de $82.6dB$ en basse fréquence) (Figure 5.109). Ce résultat est en accord avec la théorie. Les références $V_{ref}P$ et $V_{ref}M$ peuvent être de qualité médiocre. En effet, si leur réjection est identique ou proche, la différence sera tout de même de bonne qualité.

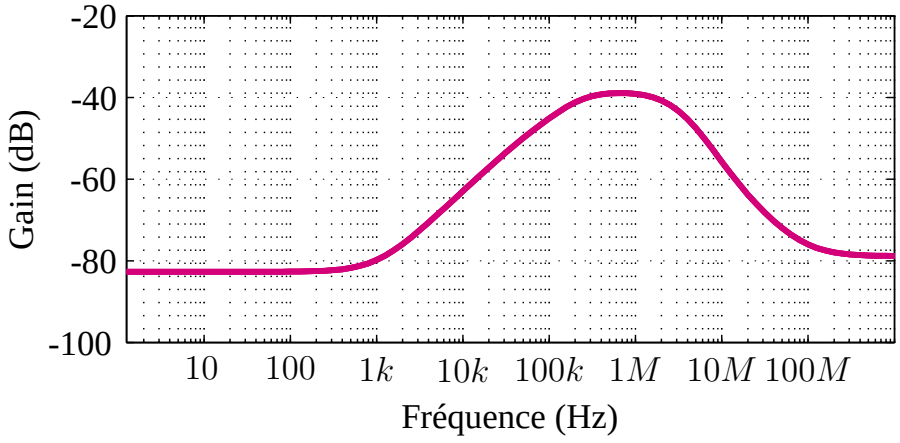


FIGURE 5.109 – Tensions de références Vref_1 et Vref_2.

Il est également possible d'améliorer à nouveau la réjection. Cette amélioration peut se faire en cascodant les transistors. Ces derniers sont donc dupliqués avec les mêmes dimensions que précédemment. Cette modification améliore sensiblement le *PSRR* (Figure 5.110).

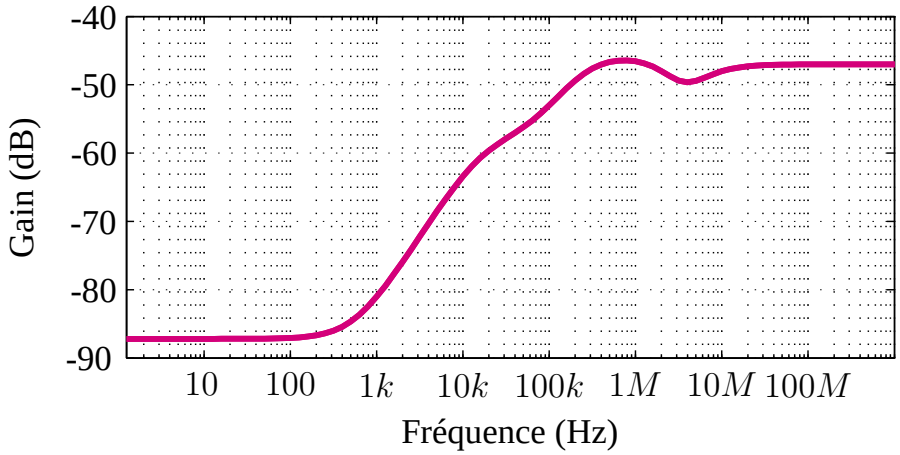


FIGURE 5.110 – Tensions de références Vref_1 et Vref_2.

Ces résultats semblent prometteurs. Cette référence conviendrait au projet puisque le *PSRR* reste en dessous de $80dB$ jusqu'à $1kHz$. Toutefois, cette étude n'a pas pris en compte la dépendance à la température.

5.5 CONCLUSION

Les validations du *PM* et du *gas gauge* ont toutes deux apporté des résultats intéressants à exploiter.

Les statistiques sur les mesures des différents lots de *PM* ont en effet montré qu'une grande quantité de puces ne correspondaient pas aux spécifications. Il semble donc indispensable de réfléchir à d'éventuelles modifications du *design* pour obtenir de meilleurs taux de réussite. En outre, ces tests ont permis de sélectionner les puces les plus adaptées pour l'élaboration des capteurs autonomes en énergie du projet.

Les mesures effectuées sur le *PM* ont quant à elles prouvé que celui-ci possédait un excellent rendement bien qu'il soit dépourvu de système de *MPPT*. Cette observation a été décrite dans un article qui a fait l'objet d'une présentation à la conférence ICECS 2013 d'Abu Dhabi.

En ce qui concerne le *gas gauge*, les simulations ont présenté des dérives indéniables. Il faudra donc prévoir des améliorations (une correction analogique pour limiter l'erreur de l'offset du comparateur, une calibration digitale et un système de remise à zéro pour limiter

et annuler les dérives des erreurs non compensables (références de tension, *CMRR*...)) pour éviter que les dérives ne faussent trop le résultat de l'état de charge à long terme.

Chapitre 6

PERSPECTIVES

6.1 INTRODUCTION

Les études et leurs résultats présentés précédemment ont prouvé que le dimensionnement énergétique des capteurs était réalisable. Toutefois, les recherches entreprises pourraient être poursuivies afin d'améliorer encore davantage le rendement. Dans un premier temps, des modifications du *PM* pourraient mener à une consommation statique quasi nulle. Dans un second temps, il serait intéressant de lier le *gas gauge* à des modes de fonctionnement lui permettant d'éviter toute consommation excessive.

6.2 AMÉLIORATION DU *PM*

6.2.1 Le *PVLDO*

La consommation statique du *LDO* alimenté par le *PV*, est de $500nA$ en bas éclairement. Lorsque le *LDO* passe du mode *follower* au mode *regulator* (courant d'entrée de $800\mu A$) elle monte à $5\mu A$. Il pourrait donc être intéressant de diminuer cette consommation.

Ce même *LDO* étant activé par un simple pont de résistances, il pourrait être également nécessaire de réfléchir à un éventuel système de *start-up* ou à une modification de ces résistances. Cela permettrait de décaler le seuil d'activation.

Le *PSRR* devrait également être amélioré, mais cela serait sans aucun doute au détriment de la consommation du *LDO*.

6.2.2 La protection de batterie (Low-Cut Off)

Afin de diminuer la consommation du *PM*, le *LCO* pour être amélioré. Il serait intéressant d'envisager un système de *LCO* à verrou. En effet, le *LCO* représente la quasi-totalité de la consommation du *PM* en l'absence d'énergie du *harvester*. Diminuer la consommation du *PM* revient donc à diminuer la consommation du *LCO*. En activant le *LCO* une fraction de

seconde (par exemple 1/1000), la consommation du *PM* se retrouve alors divisée par 1000. Une telle modification nécessite l'utilisation d'une horloge. Le capteur, autonome en énergie, possède une horloge de $32kHz$, lui permettant de définir ses phases de réveil. Cette horloge pourrait donc être réutilisée pour gérer l'activation du *LCO*. Il suffirait dans un premier temps de diviser l'horloge par un certain nombre N (Figure 6.1). Ce nombre serait défini en fonction de la période de rafraîchissement de l'état de la batterie. Cette fréquence divisée pourrait très largement atteindre des valeurs inférieures au Hertz. En effet, même si la batterie continue de se décharger en dessous de son seuil critique, la capacité perdue en quelques seconde ne représenterait qu'une partie infime de sa capacité totale.

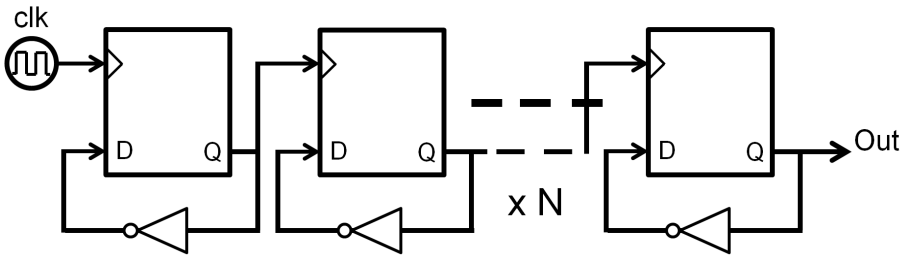


FIGURE 6.1 – Diviseur de fréquence d'horloge.

Une fois cette fréquence divisée, nul n'est besoin d'activer le circuit *LCO* durant toute la durée de la demie période. La division n'aurait alors aucun sens. Il suffit de l'activer une fraction de seconde. Pour cela, un circuit monostable activé à chaque front de l'horloge divisée peut être utilisé (Figure 6.2). Sa constante de temps est à déterminer en fonction du temps d'établissement nécessaire pour que le *LCO* soit fonctionnel. Dans les simulations réalisées, une constante de temps de 200μs a été testée.

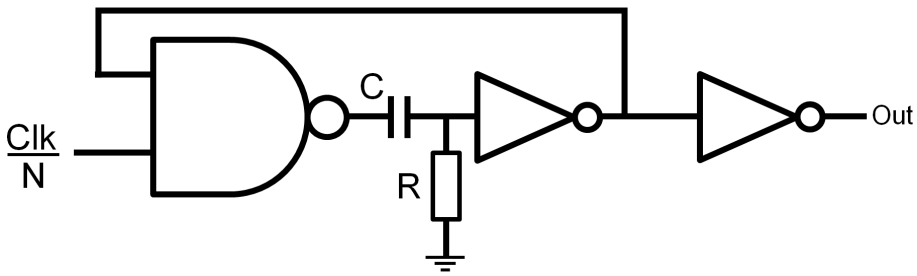


FIGURE 6.2 – Circuit monostble de constante de temps RC.

Ainsi, en divisant la fréquence jusqu'au Hertz (15 bascules) le rapport cyclique n'est plus que de 0.02%. De cette manière, la consommation du *LCO* devient dérisoire. Sa consommation de $200nA$ initiale se retrouverait à une moyenne de $40pA$. Afin de garantir le fonctionnement de l'hystérésis, il est nécessaire d'adopter une autre stratégie que le comparateur à hystérésis seul. En effet, vu qu'il est activé puis désactivé périodiquement, l'hystérésis perd l'information concernant l'état précédent du comparateur. Il faut alors avoir recours à deux

comparateurs (Figure 6.3) : un comparateur sert à déterminer le seuil d'endormissement du *LCO* ($2.4V$) tandis que le second sert à définir le seuil de réveil ($2.8V$).

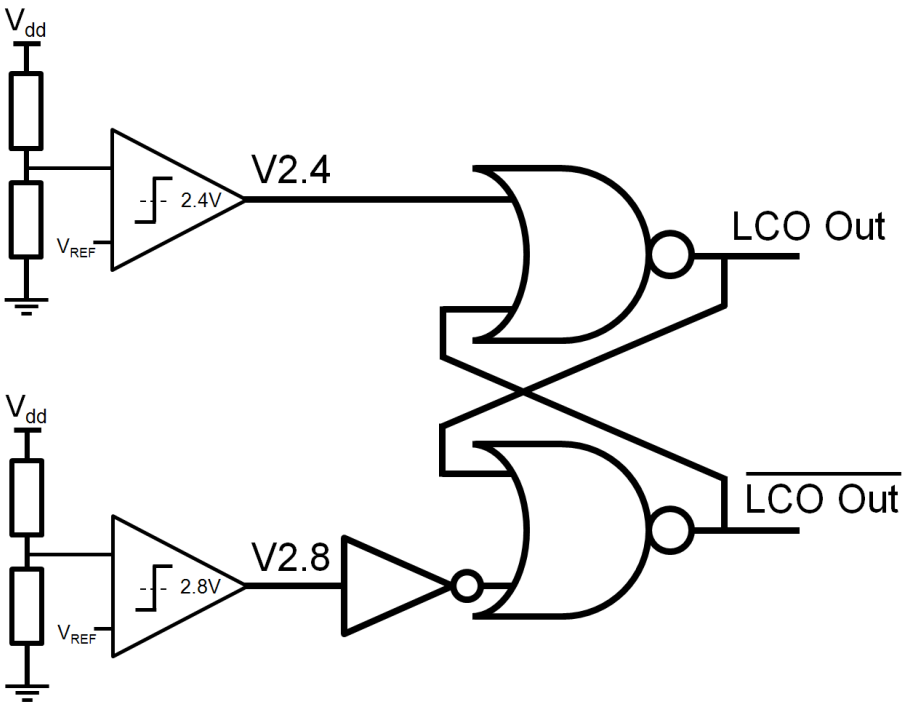


FIGURE 6.3 – Comparateur à hystérésis à bascule RS.

La simulation de ce circuit a fourni des résultats satisfaisants (Figure 6.4). Afin de pouvoir verrouiller le système, il est nécessaire de garder en mémoire l'état de sortie des comparateurs. Des bascules D (non-représentées sur le schéma) pourraient faire office de mémoires.

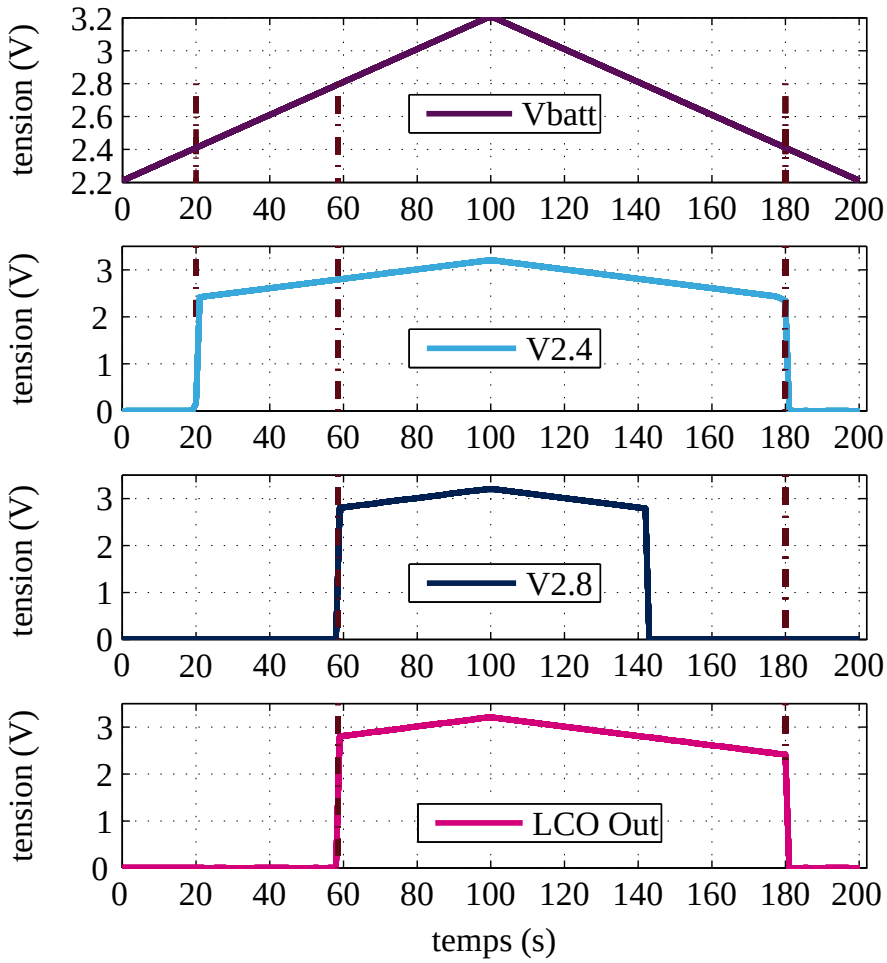


FIGURE 6.4 – Résultats de la solution du comparateur de seuils à hystérésis.

Bien qu'un comparateur supplémentaire soit nécessaire, la consommation des deux réunis resterait inférieure à la centaine de pico-ampères. La réduction de surface du circuit pourrait également être envisagée grâce à ce procédé. En effet, la grosse majorité de la surface est consommée par les résistances du comparateur qui dépassent la dizaine de Méga-Ohms. Ces résistances pourraient donc être réduites. Cela engendrerait une hausse de la consommation des comparateurs mais permettrait de réduire considérablement la surface. Cependant, le procédé utilisé permettra de réduire au maximum cette hausse de consommation. Même des comparateurs consommant $1\mu A$ représenteraient une consommation moyenne de $0.1nA$. À cette consommation, il faut bien sûr rajouter la consommation de toute la partie numérique (notamment celle permettant la division de fréquence). Toute cellule digitale consomme de l'énergie. Principalement lors des changements d'état. La première bascule du diviseur de fréquence représente la consommation la plus élevée. Néanmoins, les simulations ont montré une consommation du diviseur de fréquence de l'ordre de $11nA$. Il est donc envisageable d'atteindre une consommation inférieure à $15nA$ pour toute la partie de protection de batterie. Cela représente un facteur 10 par rapport à la configuration actuelle.

L'étude démontre donc qu'il est toujours possible de diminuer de façon importante la consommation du *PM*.

Cependant, le *PM* aura toujours besoin de l'horloge pour fonctionner et cela même lorsque le seuil critique aura été franchi. Dans ce cas de figure, il faudra peut-être envisager le retour à un *LCO* initial.

6.2.3 Le limiteur de courant

Afin d'accepter un éventail de batteries plus large, le limiteur de courant pourrait être modifié puisque certaines batteries de capacités plus élevées tolèrent des charges à $4mA$. Cette modification peut se faire en ajoutant des résistances de différentes valeurs dans la branche de référence de courant (Figure 6.5). Il suffit alors d'activer les *NMOS* par les signaux EN_1 ou/et EN_2 pour générer des limites de courant différentes.

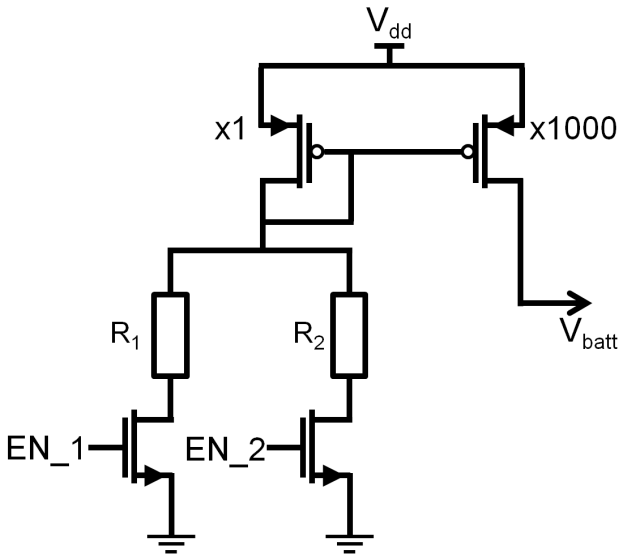


FIGURE 6.5 – Limiteur de courant configurable.

6.3 STRATÉGIES DE FONCTIONNEMENT DU COMPTEUR DE CHARGES

L'amplificateur de l'intégrateur et la référence de tension pouvant totaliser à eux deux entre 5 et $10\mu A$, il semble important que le *gas gauge* adopte des stratégies de fonctionnement. Pour ne pas entraver lourdement la consommation du *PM* qui consomme un peu plus d'une centaine de nano-Ampères, le fonctionnement du *gas gauge* ne peut être constant. Il serait donc astucieux d'imaginer deux modes de fonctionnement :

– Un premier, tel que décrit dans le présent rapport, où le *gas gauge* intègre le signal en continue et renseigne l'information dans l'accumulateur.
– Un second, lors duquel le *gas gauge* se réveille périodiquement à des temps définis lors des phases de veille du système afin de mesurer l'énergie apportée à la batterie par le *harvester* (Figure 6.6). Cette mesure serait renseignée dans un second accumulateur et représenterait l'estimation de la valeur moyenne du courant apporté.

Il serait également possible d'avoir recours à un second shunt de forte valeur (une centaine d'Ohms) qui serait permuté lors des phases de veille afin d'accentuer la précision de la mesure (Figure 6.7). L'absence de mesures pendant les phases inactives risque d'engendrer des erreurs qu'il serait possible de minimiser en jouant sur la fréquence de réveil du *gas gauge*. Cette méthode permettrait de descendre la consommation moyenne du *gas gauge* bien en dessous de la centaine de nano-Ampères.

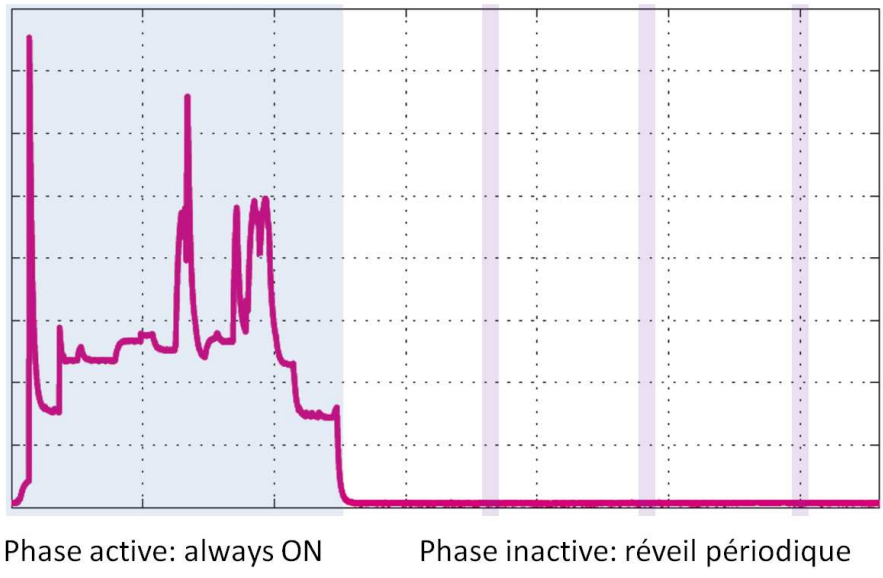


FIGURE 6.6 – Phases de fonctionnement du *gas gauge*.

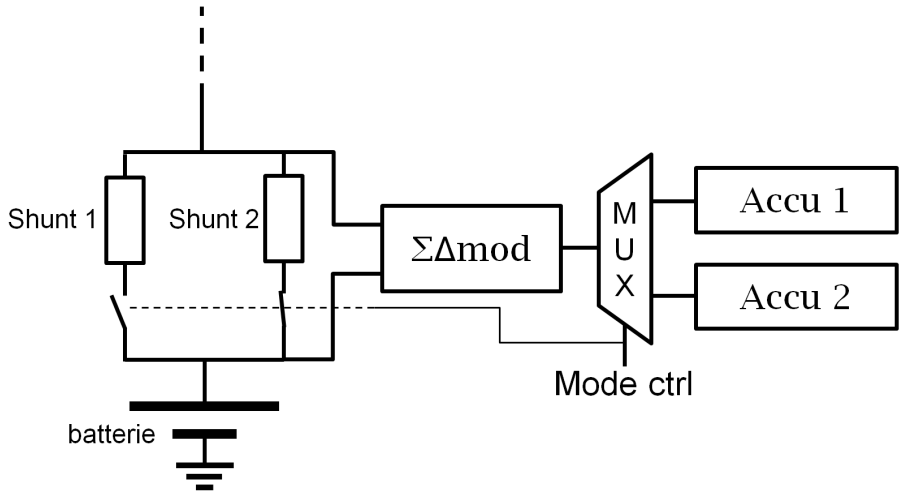


FIGURE 6.7 – Architecture du *gas gauge* avec deux modes de fonctionnement.

Il faudra également envisager une compensation numérique notamment pour les dérives dues au *CMRR*. Celles-ci étant propres à chaque circuit, une méthode de calibration initiale devra être élaborée. La compensation du comparateur pourrait quant à elle être envisager de manière analogique.

6.4 CONCLUSION

Les améliorations pouvant être apportées au dimensionnement énergétique des capteurs autonomes sont nombreuses. Les pistes à explorer sont donc multiples.

Le *PM* actuel a démontré d'intéressant résultat mais la modification de son architecture pourrait le rendre plus polyvalent. Sa consommation statiques pourrait être améliorée afin d'améliorer d'avantage le rendement. Ainsi une consommation légèrement plus importante du capteur pourrait être autorisée et un fonctionnement dans un environnement encore plus contraignant pourrait être envisagé.

Le compteur de charges quant à lui ne peut se soustraire à des compensations numériques et à des remises à zéro périodiques. Même si sa consommation est faible, il faudra trouver un compromis entre un fonctionnement continu et un fonctionnement périodique.

Chapitre 7

CONCLUSION

De nombreuses études traitent aujourd'hui des réseaux de capteurs sans fil car leur avenir est prometteur. Ils sont en effet étroitement liés à l'Internet des objets qui représente un marché économique colossal qui va révolutionner le monde de l'Internet dans les années à venir.

Les réseaux de capteurs sans fil étant voués à être dispersés en très grand nombre dans les bâtiments, les entrepôts, les hôpitaux et même en pleine nature, il est indispensable de trouver une solution énergétique pour éviter que leur maintenance soit fastidieuse.
Cependant, l'autonomie énergétique de ces capteurs est particulièrement complexe à mettre en œuvre car ils présentent des contraintes techniques tant au niveau logiciel qu'au niveau matériel.

Cette étude a donc tenté de mettre ces contraintes en lumière afin de pouvoir les maitriser et ainsi proposer des solutions adaptées à l'autonomie des capteurs sans fil. Il s'agissait plus précisément de démontrer qu'un système de gestion de l'énergie très faible consommation (pour ne pas entraver l'énergie du système) pouvait offrir le rendement énergétique indispensable à l'autonomie d'un capteur sans fil. Ces travaux avaient également pour objectif de se concentrer sur l'étude d'un système permettant de mesurer l'énergie embarquée dans le capteur sans fil afin de lui permettre de choisir son mode de fonctionnement.

Ces objectifs ont été atteints puisque de façon générale, l'analyse a permis de constater que le rendement pouvait demeurer très bon même avec une énergie collectée très basse. De plus, les résultats révèlent que ce rendement énergétique est meilleur lorsque le *PM* est dépourvu d'un système de *MPPT*. Le présent rapport montre que l'ajout d'un système de *MPPT* dans ces conditions particulières de niveau d'énergie ne présente pas d'avantage particulier. En effet, la quantité d'énergie qu'il permet de capter est similaire à celle obtenue par un *PM* dépourvu d'un système de *MPPT*. De plus, la mise en place d'un système de *MPPT* ajoute une consommation supplémentaire au *PM*. Ces observations ont permis de déterminer l'architecture nécessaire à un système de gestion de l'énergie et d'exclure toute utilisation de convertisseurs d'énergie.

L'étude portant sur le compteur de charges a permis de conclure que celui-ci était la clef de l'autonomie énergétique d'un capteur sans fil. En effet, les simulations effectuées ont révélé qu'une telle architecture offrait la précision nécessaire à l'estimation de la durée de vie du *PM*. Cependant, un tel système présente des dérives indéniables qu'il faudra impérativement compenser pour que toutes ces observations deviennent des avantages bien réels.

Les résultats obtenus sur la conversion d'énergie entres les différents éléments constituant un système autonome en énergie n'ont quant à eux pas été satisfaisants. En effet, l'utilisation de fréquences de commutation élevées (indispensables à l'obtention d'un bon rendement) au sein du convertisseur pénalise indiscutablement le rendement. Par conséquent, l'utilisation d'une tension commune entre tous les éléments s'est avéré fondamentale au transfert d'énergie.

La gestion de l'énergie n'a pu se faire efficacement qu'en adoptant des modes de fonctionnement entre les différentes sous-parties du *power management*. C'est donc au niveau de la stratégie d'alimentation du capteur sans fil et de la recharge de la batterie que les avantages sont les plus visibles. Cependant, cela restreint considérablement le type de batterie et de capteur d'énergie pouvant être utilisés. Pour avoir un système efficace respectant les spécifications, il faut donc se soumettre à cet inconvénient.
Conséquemment, cette réduction de la consommation énergétique du *power management* permet de diminuer de manière non négligeable le rapport cyclique de fonctionnement du capteur sans fil. De cette façon, plus d'informations pourraient être envoyées grâce à des phases de réveil plus fréquentes.

Compte tenu des contraintes de cette étude, il n'a pas été possible d'analyser plus en profondeur certains aspects. Cependant, il semblerait intéressant de pouvoir se concentrer dans l'avenir sur la polyvalence du *power management*. Cela permettrait de diversifier les types de capteurs d'énergie et de batteries pouvant être utilisés et ainsi élargir l'éventail d'applications du *power management*.

Une autre piste de recherche future consisterait à explorer les limites de la consommation ultra-basse du *power management* à l'aide d'un système à verrous commandé par l'horloge du capteur sans fil. Cette stratégie constituerait sans doute un atout supplémentaire pour concevoir des systèmes de gestion de l'énergie dont la consommation est critique.

Enfin, l'étude sur le compteur de charges, développé dans ce travail, constitue indéniablement un instrument utile pour la recherche future. Il importe donc avant tout de réfléchir aux compensations des différentes dérives qu'il présente et de prendre en compte la nécessité d'une remise à zéro régulière. De plus, il faut rechercher des solutions permettant de diminuer

sa consommation et ainsi soulager le PM.

Les travaux réalisés tout au long de cette thèse ont donc permis de progresser dans la conception d'un capteur sans fil tout en respectant les spécifications de départ. Le *power management* élaboré est déjà intégré au produit.

De manière plus générale, les recherches entreprises sur l'autonomie des capteurs sans fil ont toutes atteintes leurs objectifs. Elles ont offert des résultats qu'il est important de ne pas considérer comme une conclusion mais plutôt comme un tremplin vers de nouvelles innovations technologiques.

CHAPITRE 7. CONCLUSION

Annexe A

ANNEXES

A.1 IMPERFECTIONS DE L'INTÉGRATEUR CONTINU

A.1.1 Effet des imperfections

L'effet des *mismatches* et des *switches* sur l'intégrateur continu ainsi que le gain fini et l'offset de l'amplificateur (Figure A.1) amènent à considérer une éventuelle dérive.

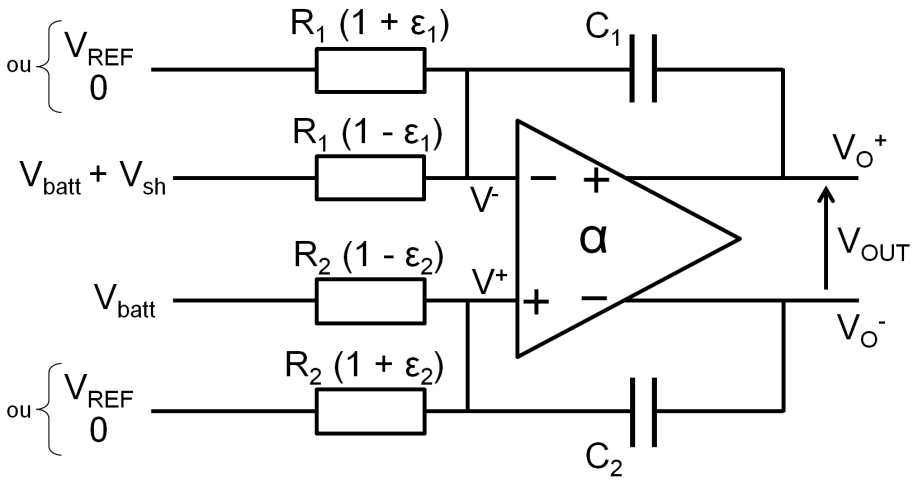


FIGURE A.1 – Schéma équivalent de l'intégrateur continu.

Le signal de sortie peut alors s'écrire en fonction de la sortie V_O^+ et de la sortie V_O^- :

$$
\begin{aligned}
V_{OUT} &= V_S^+ - V_S^- \\
V_S^+ &= -\alpha \left[\frac{\widetilde{V_{REF}} R_1(1-\epsilon_1) + (V_{batt} + V_{sh}) R_1(1+\epsilon_1) + jR1(1-\epsilon_1^2) C_1 \omega}{2R_1 + jR_1(1-\epsilon_1^2) C_1 \omega} \right] \\
V_S^- &= -\alpha \left[\frac{\widetilde{V_{REF}} R_2(1-\epsilon_2) + (V_{batt} R_2(1+\epsilon_2) + jR2(1-\epsilon_2^2) C_2 \omega}{2R_2 + jR_2(1-\epsilon_2^2) C_2 \omega} \right]
\end{aligned}
$$

Ces équations amène à une expression du signal de sortie V_{OUT} :

$$\begin{aligned}\frac{V_S^+ - V_S^-}{2}\left[\frac{2}{\alpha} + \frac{jA_1C_1\omega}{1+jA_1C_1\omega} + \frac{jA_2C_2\omega}{1+jA_2C_2\omega}\right] = \\ \frac{V_S^+ + V_S^-}{2}\left[\frac{jA_2C_2\omega}{1+jA_2C_2\omega} - \frac{jA_1C_1\omega}{1+jA_1C_1\omega}\right] \\ + \frac{\widetilde{V_{REF}}\frac{1-\epsilon_2}{2} + V_{batt}\frac{1+\epsilon_2}{2}}{1+jA_2C_2\omega} - \frac{\widetilde{V_{REF}}\frac{1-\epsilon_1}{2} + (V_{batt}+V_{sh})\frac{1-\epsilon_1}{2}}{1+jA_1C_1\omega} \\ -\epsilon_{off}\end{aligned}$$

Les simplifications amènes à une équation qui fait apparaître différents termes plus ou moins désirés :

$$\begin{aligned}\frac{V_S^+ - V_S^-}{2}\left[\frac{2}{\alpha}(1+j\omega(A_1C_1+A_2C_2) - A_1A_2C_1C_2\omega^2) + j\omega(A_1C_1+A_2C_2) - 2A_1A_2C_1C_2\omega^2\right] = \\ V_{sh}(\frac{1+\epsilon_1}{2}) + \left(1 - \frac{\epsilon_1+\epsilon_2}{2}\right)\frac{\pm V_{REF}}{2} \\ + \frac{V_S^+ + V_S^-}{2}\left(j(A_2C_2 - A_1C_1)\omega\right) \\ + V_{batt}[(\epsilon_2 - \epsilon_1) + j\omega(A_1C_1 - A_2C_2)] \\ + V_{sh}\frac{jA_2C_2\omega}{2} \\ -\epsilon_{off}(1 + j\omega(A_1C_1+A_2C_2) - A_1A_2C_1C_2\omega^2)\end{aligned}$$

Ce qui amène l'équation :

$$\begin{aligned}V_S^+ - V_S^-(1-\alpha^{-1})j\omega(A_1C_1+A_2C_2) = V_{sh}(\frac{1+\epsilon_1}{2}) + \left(1 - \frac{\epsilon_1+\epsilon_2}{2}\right)\frac{\pm V_{REF}}{2} \\ -\epsilon_{off}j\omega(A_1C_1+A_2C_2) \\ -\epsilon_{off} - \alpha^{-1}(V_S^+ - V_S^-) + V_{batt}\frac{(\epsilon_2-\epsilon_1)}{2} \\ + \frac{\widetilde{V_{REF}}}{2}\frac{\epsilon_2-\epsilon_1}{2} + \frac{j\omega\frac{RC}{2}\frac{\epsilon_2^2-\epsilon_1^2}{2}}{1+j\omega RC}[\frac{1+\epsilon_2}{2}V_{sh} + \frac{\epsilon_1-\epsilon_2}{2}\frac{\pm\widetilde{V_{REF}}}{2} + \left(1+\frac{\epsilon_1+\epsilon_2}{2}\right)V_{batt} \\ + \left(1 - \frac{\epsilon_1+\epsilon_2}{2}\right)\frac{V_{REF}}{2} - V_{OUT} \\ -j\omega\frac{RC}{2}\frac{\epsilon_2^2-\epsilon_1^2}{2}\epsilon_{off} + (1+\alpha^{-1})j\omega\frac{RC}{2}\frac{\epsilon_2^2-\epsilon_1^2}{2}(V^+ - V^-)]\end{aligned}$$

Le premier terme représente la valeur à intégrer et le second (2°ligne) représente un offset en sortie de l'intégrateur. Le terme en $\alpha^{-1}V_{OUT}$ peut s'interpréter comme un *feedback* de la sortie de l'intégrateur (Figure A.2) et peut éventuellement être limité.

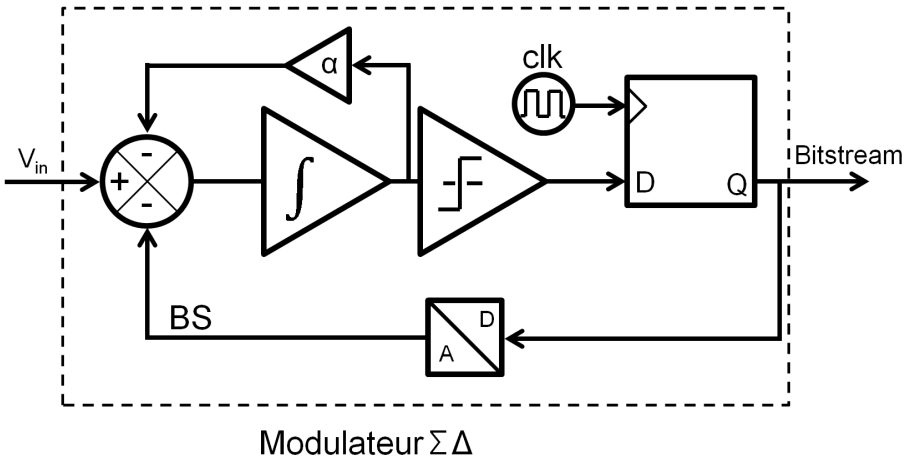


FIGURE A.2 – Schéma équivalent du modulateur à temps continu.

Les autres termes, notamment le $V_{batt}(\epsilon_2 - \epsilon_1)$ sont les plus problématiques. La dérive occasionnée par ce terme est en effet non constant, V_{batt} variant continuellement dans le temps mais également à chaque appel de courant. Même avec des résistances précises à quelques pour mille, ce signal intégrer peut prendre des proportions supérieures au signal minimal que l'on cherche à intégrer.

A.1.2 Technique de compensation du retour d'un intégrateur continu

La fonction de transfert de l'intégrateur continu présente donc un terme correspondant au *feedback* de la sortie sur l'entrée. Ceci est dû au gain fini de l'amplificateur opérationnel.

Pour atténuer cet effet, il est nécessaire de limiter la sortie de l'intégrateur. En effet, si la valeur de sortie est très faible, voire nulle, l'intégrale de la valeur de sortie liée au *feedback* ($\int(\beta \times V_{integ})$) sera également nulle (Figure A.3).

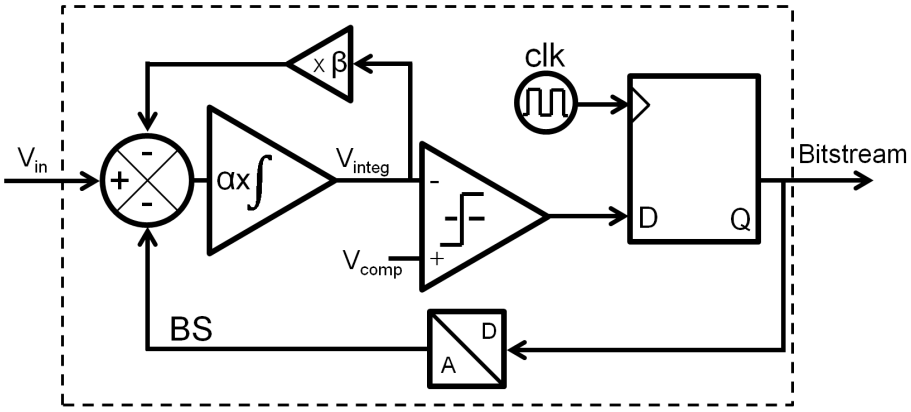


FIGURE A.3 – Schéma équivalent de l'intégrateur continu avec l'effet parasite de la boucle de retour.

La valeur moyenne en sortie de l'intégrateur est alors :

$$V_{integ} = \alpha \times Tclk \times (V_{in} \pm V_{ref} - \beta V_{integ})\,. \tag{A.1}$$

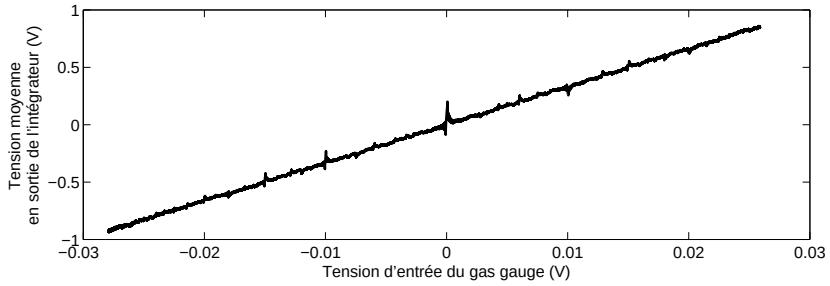
La valeur moyenne en sortie de l'intégrateur en fonction de la tension de comparaison V_{comp} est donc de la forme :

$$\langle V_{integ} \rangle = V_{comp} + \alpha \times Tclk \times V_{in} \tag{A.2}$$

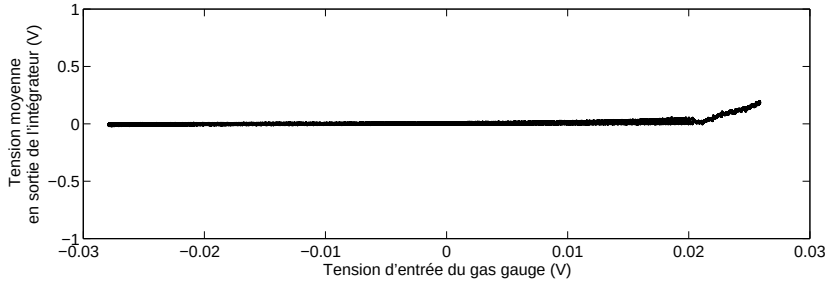
La valeur de V_{integ} en fonction du signal d'entrée fait apparaître les zones mortes, caractéristiques du modulateur $\Sigma\,\Delta$ d'ordre 1 (Figure A.4a).

Si V_{comp} prend la valeur $-\alpha T_{clk} V_{in}$, la valeur moyenne de V_{integ} sera proche de 0. Pour rendre plus aisée cette comparaison, il suffit de fixer le gain de l'intégrateur $\alpha = T_{clk}^{-1}$.

À partir du modulateur $\Sigma\,\Delta$ à temps continu (Figure 4.18), les valeurs de R et C sont fixées pour obtenir une constante de temps égale à T_{clk}. Le gain de l'intégrateur prend la valeur de $\alpha = \frac{1}{RC} = T_{clk}^{-1}$. Avec $C = 10pF$ et $R = 3.125M\Omega$ le gain de l'intégrateur sera de $32k$ ($RC = 31.25\mu s$) (rappel $f_{clk} = 32kHz$). Ainsi, il suffit de comparer l'intégrale à la valeur $-V_{in}$ pour obtenir $\langle V_{integ} \rangle \simeq 0$ (Figure A.4b).



(a) Avec une comparaison basique à 0 et $aT_{clk} = 33$



(b) Avec une comparaison à V_{comp} et $aT_{clk} = 1$

FIGURE A.4 – Sortie moyenne de l'intégrateur en fonction de l'entrée du modulateur $\Sigma\,\Delta$.

La méthode de compensation de cette erreur (Figure A.5) est issue de l'architecture du

modulateur $\Sigma\,\Delta$ (Figure 4.18). Les capacités C et C' permettent de mémoriser la différence entre le signal de sortie de l'intégrateur et l'entrée de celui-ci. Elles ne modifient donc pas son fonctionnement. Les tensions aux bornes des capacités sont donc définies par :

$$V_C = V^-_{integ} - (V_{batt} + V_{sh}) \tag{A.3}$$

$$V_{C'} = V^+_{integ} - V_{batt} \tag{A.4}$$

Avec V^+_{integ} et V^-_{integ} respectivement les tensions de sorties positives et négatives de l'intégrateur.

En phase $\Phi 2$, le comparateur compare donc les sorties de l'intégrateur ($V^+_{integ} - V^-_{integ}$) à $-V_{sh} = V_{batt} - (V_{sh} + V_{batt})$. Cette méthode permet donc d'avoir en entrée du comparateur la valeur négative du signal d'entrée $-V_{in}$. Si le comparateur présente un offset en entrée, la valeur moyenne du signal de sortie de l'intégrateur ne sera plus égale à zéro mais à l'offset du comparateur :

$$\langle V_{integ} \rangle = \epsilon_{comp} \tag{A.5}$$

Cependant, comme l'offset du comparateur est une constante, le *feedback* $\beta \times \epsilon_{comp}$ lié à cette constante va produire une dérive qui pourra être compensée numériquement.

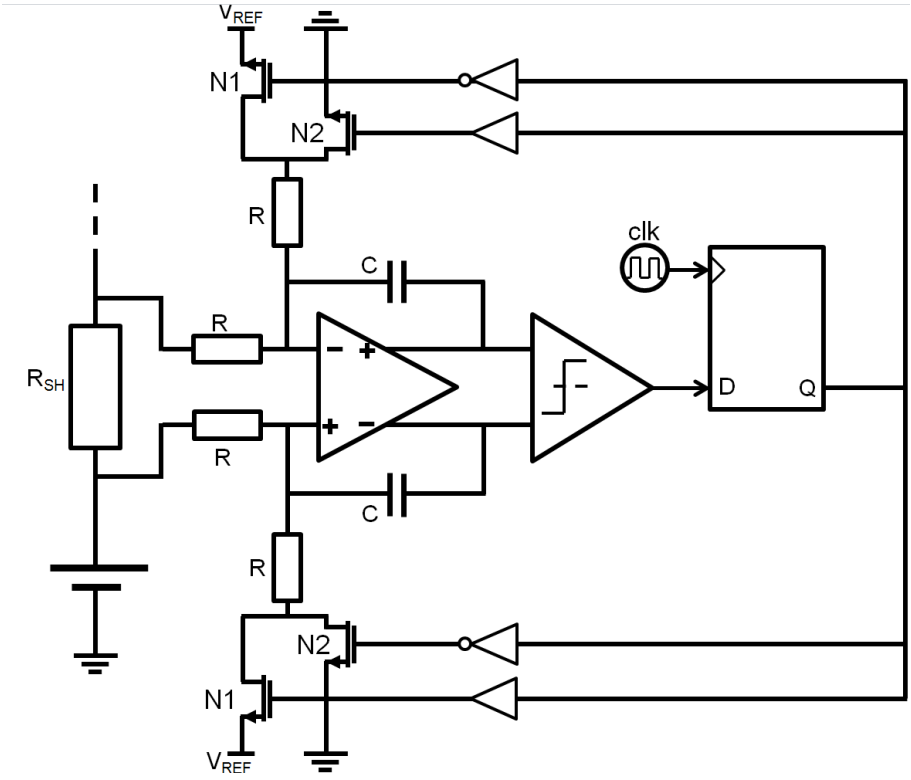


FIGURE A.5 – Schéma équivalent de l'intégrateur continu.

A.2 ÉQUATION DE LA RÉFÉRENCE DE TENSION ET MODÉLISATION MATHÉMATIQUE

La référence de tension du système peut s'écrire sous la forme :

$$V_{REF} = \alpha \left(V_{dd} + \gamma \frac{dV_{dd}}{dt} \right) + \beta$$

Avec α le coefficient de dépendance à la tension d'alimentation V_{dd} et β la valeur fixe de référence.

$$\begin{aligned} i_1 &= \frac{V_{batt} - V_{Load}}{R_{batt}} \\ i_2 &= -C \frac{dV_{Load}}{dt} \\ i_3 &= i_1 + i_2 = \frac{V_{Load}}{R_{Load}} \end{aligned}$$

avec i_1 le courant sortant de la batterie, i_2 le courant de la capacité de découplage et i_3 le courant dans la charge.

$$\begin{aligned} \frac{V_{Load}}{R_{Load}} &= \frac{V_{batt}}{R_{batt}} - \frac{V_{Load}}{R_{batt}} - C \frac{dV_{Load}}{dt} \\ \frac{dV_{Load}}{dt} + V_{Load} \left(\frac{R_{batt} + R_{Load}}{C R_{batt} R_{Load}} \right) &= \frac{V_{batt}}{C R_{batt}} \\ \frac{dV_{Load}}{dt} &= -\frac{V_{Load}}{\tau} + \frac{V_{batt}}{C R_{batt}} \end{aligned}$$

La solution générale de l'équation différentielle est alors de la forme :

$$V_{Load} = k e^{\frac{-t}{\tau}} + \frac{V_{batt} \tau}{C R_{batt}}$$

On en déduit avec la condition initiale :

$$\begin{aligned} V_{Load}(0) &= V_{batt} = k + \frac{V_{batt} \tau}{C R_{batt}} \\ k &= V_{batt} \left(1 - \frac{\tau}{C R_{batt}} \right) \end{aligned}$$

d'où

$$V_{Load} = V_{batt}\left((1-\xi)e^{\frac{-t}{\tau}} + \xi\right)$$

avec $\xi = \frac{R_{Load}}{R_{Load}+R_{batt}}$

Cette équation donne l'expression de la tension aux bornes de la charge (soit Vdd) en fonction de la tension de batterie, la capacitée de découplage et de la charge imposée (R_{Load}). La dérivée de la tension V_{Load} permet de déduire l'expression de V_{Ref}.

$$\begin{aligned}\frac{dV_{Load}}{dt} &= -\frac{V_{batt}}{\tau}e^{\frac{-t}{\tau}} + \xi\frac{V_{batt}}{\tau}e^{\frac{-t}{\tau}} \\ &= (\xi-1)\frac{V_{batt}}{\tau}e^{\frac{-t}{\tau}}\end{aligned}$$

D'où l'expression de V_{REF} en fonction de tous les paramètres mensionnés ci-dessus :

$$V_{REF} = \alpha\left(V_{batt}\left((1-\xi)e^{\frac{-t}{\tau}} + \xi\right) + \gamma(\xi-1)\frac{V_{batt}}{\tau}e^{\frac{-t}{\tau}}\right) + \beta$$

A.3 CALCUL DE LA RÉFÉRENCE DE TENSION DU SYSTÈME

La référence de tension du système (Figure A.6) est déterminée en fonction des différents éléments la constituant.

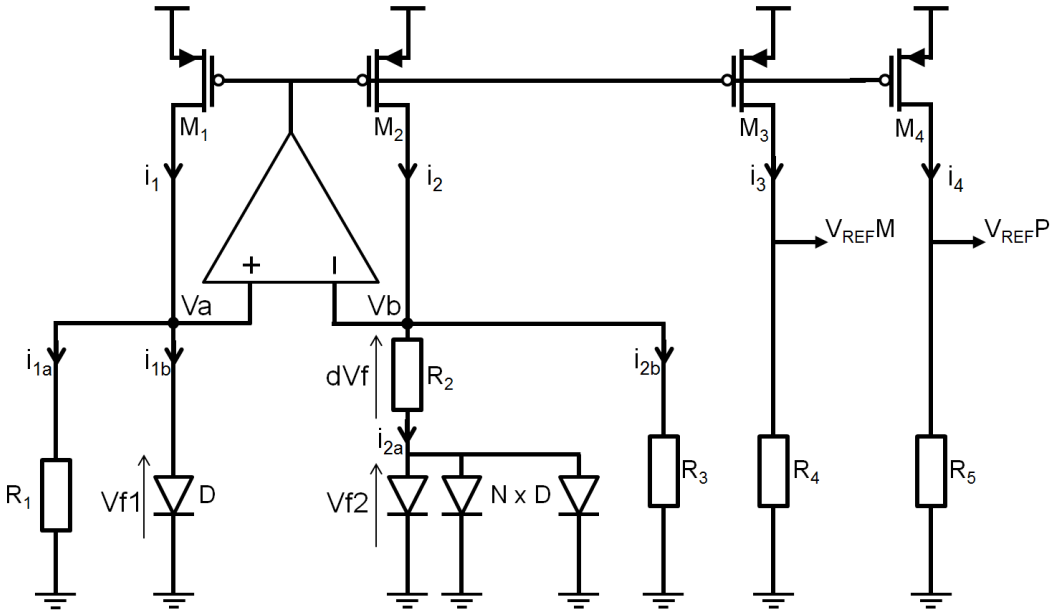


FIGURE A.6 – Référence de tension à 2 sorties.

Sur ce circuit, la tension de diode V_{f1} a un coefficient de température négatif ($-2mV/°C$) et la différence de tension $dV_f = V_{f1} - V_{f2}$ a un coefficient de température positif permettant, à l'aide du ratio de résistances, d'obtenir une référence de tension constante en fonction de la température.

dV_f est proportionnelle au nombre de diodes en parallèles et vaut :

$$dV_f = V_T \ln(N) \simeq 70mV \tag{A.6}$$

Avec $V_T = \frac{kT}{q} \simeq 25.9mV$ et $N = 15$.

De plus $R_1 = R_3$ donc $i_{1a} = i_{2b}$ et $i_{1b} = i_{2a}$.

$$i2a = \frac{dV_f}{R_2} \simeq 569nA \tag{A.7}$$

et

$$V_{f1} = V_T \ln(\frac{I_D}{I_S}) \simeq 639mV \tag{A.8}$$

Avec $I_S \simeq 10aA$

D'où le courant dans chacune des principales branches :

$$I = i_{2a} + i_{2b} = 1.207\mu A \tag{A.9}$$

Ainsi

$$V_{ref}P = 1.207\mu A \times 1.083M\Omega \simeq 1.307V \tag{A.10}$$

et

$$V_{ref}M = 1.207\mu A \times 1.058M\Omega \simeq 1.277V \tag{A.11}$$

A.4 CALCUL DE LA FONCTION DE TRANSFERT DE L'INTÉGRATEUR À CAPACITÉS COMMUTÉES

A.4.1 Calcul de la fonction de transfert de l'intégrateur simple

L'intégrateur à capacité commutée simple (Figure A.7) est considéré. Pendant les phases impaires, le signal d'entrée V_{IN} est échantillonné puis pendant les phases paires la valeur stockée dans les capacités d'échantillonnages est intégré.

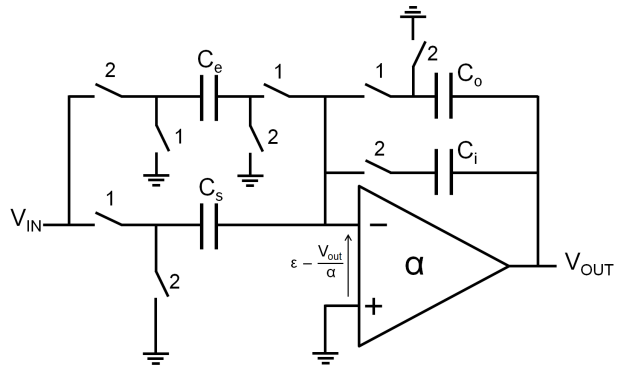


FIGURE A.7 – Intégrateur à capacités commutées avec compensation du gain fini et de l'offset d'entrée.

En considérant ϵ' la tension sur l'entrée inverseuse, (avec $\epsilon' = \epsilon - \frac{V_{OUT}}{\alpha}$), les différentes charges peuvent être calculées.

en phase $\Phi 2$:

$$QC_{s(2)} = -\epsilon'_{(2)} \quad \text{(A.12)}$$

$$QC_{i(2)} = \epsilon'_{(2)} - V_{o(2)} \quad \text{(A.13)}$$

en phase $\Phi 3$:

$$QC_{s(3)} = V_{IN(3)} - \epsilon'_{(3)} \quad \text{(A.14)}$$

$$QC_{i(3)} = \epsilon'_{(2)} - V_{o(2)} \quad \text{(A.15)}$$

en phase $\Phi 4$:

$$QC_{s(4)} = -\epsilon'_{(4)} \quad \text{(A.16)}$$

$$QC_{i(4)} = \epsilon'_{(4)} - V_{o(4)} \quad \text{(A.17)}$$

En appliquant la conservation de la charge entre les phase $\Phi 3$ et $\Phi 4$, les équations peuvent

s'écrire :

$$QC_{s(3)} + QC_{i(3)} = V_{i(3)} - \epsilon'_{(3)} + \epsilon'_{(2)} - V_{o(2)} \quad \text{(A.18)}$$

$$QC_{s(4)} + QC_{i(4)} = \epsilon'_{(4)} - V_{o(4)} - \epsilon'_{(4)} \quad \text{(A.19)}$$

$$V_{o(4)} - V_{o(2)} = -V_{i(3)} + \epsilon'_{(3)} - \epsilon'_{(2)} \quad \text{(A.20)}$$

En considérant $\epsilon'_{(3)} \simeq \epsilon'_{(2)}$ (la tension de sortie ayant très peu variée entre deux phases d'horloge) la fonction de transfert prend la forme :

$$\frac{V_{OUT}}{V_{IN}} = \frac{-Z^{-1/2}}{1 - Z^{-1}} \quad \text{(A.21)}$$

L'erreur de gain fini et d'offset a donc été compensé avec cette architecture.

A.4.2 Calcul de la fonction de transfert de l'intégrateur différentiel

L'intégrateur différentiel simple (Figure A.8) est considéré. Pendant les phases impaires, les signaux d'entrées V_i^+ et V_i^- sont échantillonnés puis pendant les phases paires la valeur stockée dans les capacités d'échantillonnages est intégrée. Pour simplifier les calculs, les capacités sont considérées identiques et de valeur unitaire.

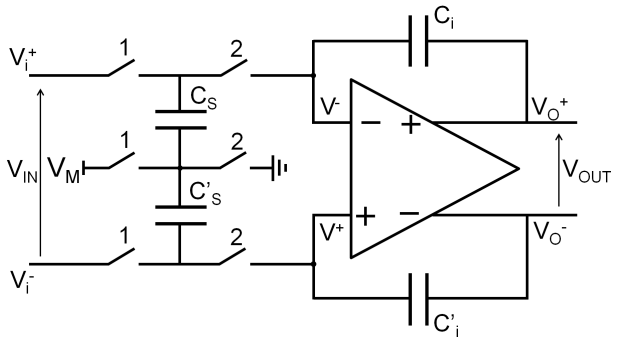


FIGURE A.8 – Intégrateur différentiel à capacités commutées.

Le raisonnement s'effectue donc pour chacune des phases d'horloge. Les charges stockées dans les capacités sont calculées en fonction des tensions appliquées à leurs bornes :

en phase $\Phi 1$:

$$QC_{s(1)} = V^+_{i(1)} - V_M \quad \text{(A.22)}$$

$$QC_{i(1)} = V^+_{o(1)} - V^-_{(1)} \quad \text{(A.23)}$$

$$QC'_{s(1)} = V^-_{i(1)} - V_M \quad \text{(A.24)}$$

$$QC'_{i(1)} = V^-_{o(1)} - V^+_{(1)} \quad \text{(A.25)}$$

en phase $\Phi 2$:

$$QC_{s(2)} = V^-_{(2)} \quad \text{(A.26)}$$
$$QC_{i(2)} = V^+_{o(2)} - V^-_{(2)} \quad \text{(A.27)}$$
$$QC'_{s(2)} = V^+_{(2)} \quad \text{(A.28)}$$
$$QC'_{i(2)} = V^-_{o(2)} - V^+_{(2)} \quad \text{(A.29)}$$

en appliquant la loi de conservation de la charge, (eq A.22 + eq A.23 = eq A.26 + eq A.27 et eq A.24 + eq A.25 = eq A.28 + eq A.29) les équations peuvent s'écrire :

$$V^+_{o(2)} - V^+_{o(1)} + V^-_{(1)} = -V^+_{i(1)} + V_M \quad \text{(A.30)}$$
$$V^-_{o(2)} - V^-_{o(1)} + V^+_{(1)} = -V^-_{i(1)} + V_M \quad \text{(A.31)}$$

avec $V^+ + V^- = \frac{V_{OUT}}{\alpha} + \epsilon$, α étant le gain de l'amplificateur et ϵ l'offset d'entrée.
À partir de la différence des l'équations A.30 - A.31, la fonction de transfert peut s'écrire :

$$\frac{V_{OUT}}{V_{IN}} = \frac{-Z^{-1/2}}{1 - \frac{\alpha+1}{\alpha}Z^{-1}} + \frac{\epsilon}{V_{IN}(1 - \frac{\alpha+1}{\alpha}Z^{-1})} \quad \text{(A.32)}$$

A.5 CALCUL DE LA FONCTION DE TRANSFERT DE L'INTÉGRATEUR DIFFÉRENTIEL À CAPACITÉS COMMUTÉES COMPENSÉ

Comme pour l'intégrateur simple, il faut considérer les transferts de charges lors des différentes phases d'horloge.

L'intégrateur (Figure A.9) est constitué de deux entrées principales. L'entrée V_{in} avec les deux signaux différentiels V_i^+ et V_i^- et l'entrée V_{ref} avec V_{ref}^+ et V_{ref}^- commandés selon l'état du *bitstream*. Pour simplifier les calculs, les capacités sont consédérées toutes égales, de valeur unitaire.

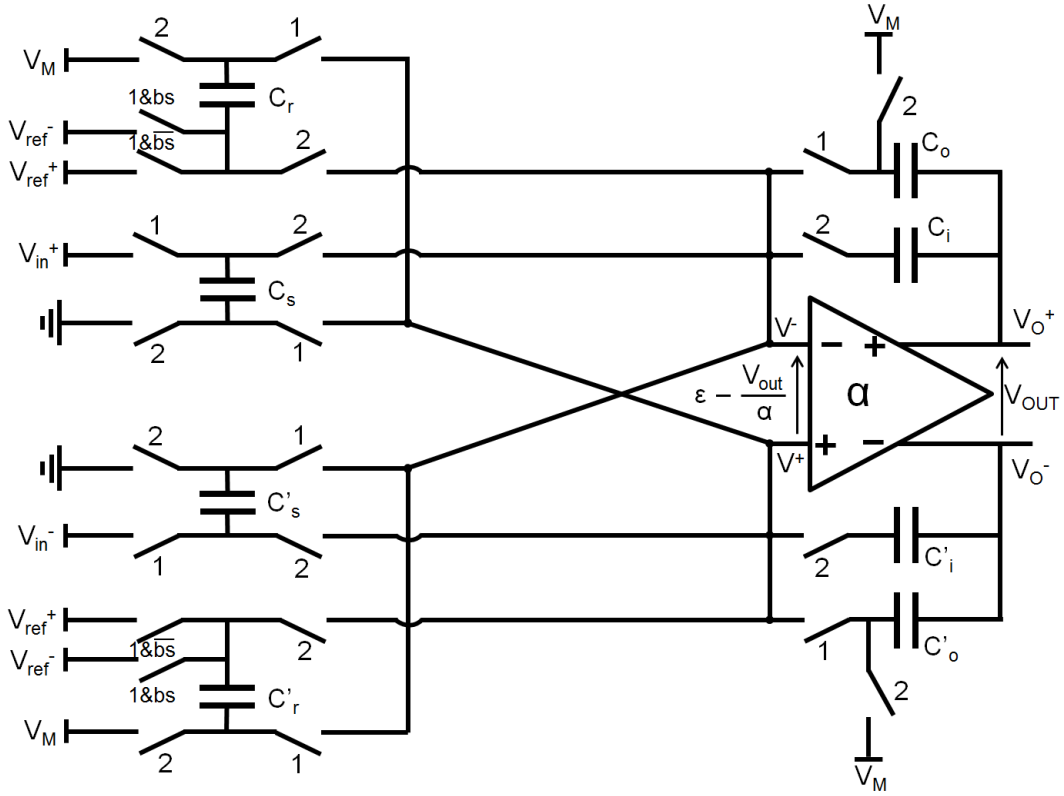


FIGURE A.9 – Intégrateur différentiel à capacités commutées de gain fini et d'offset compensés.

Lors de la phase ϕ_1, les chargent des différentes capacités peuvent s'écrire :

$$QC_{i(1)} = / \quad \text{(A.33)}$$
$$QC_{i'(1)} = / \quad \text{(A.34)}$$
$$QC_{o(1)} = V^-_{O(1)} - V^+_{(1)} \quad \text{(A.35)}$$
$$QC_{o'(1)} = V^+_{O(1)} - V^-_{(1)} \quad \text{(A.36)}$$
$$QC_{s(1)} = V^+_{in(1)} - V^-_{(1)} \quad \text{(A.37)}$$
$$QC_{s'(1)} = V^-_{in(1)} - V^+_{(1)} \quad \text{(A.38)}$$
$$QC_{r(1)} = V^-_{ref(1)} - V^-_{(1)} \quad \text{(A.39)}$$
$$QC_{r'(1)} = V^+_{ref(1)} - V^+_{(1)} \quad \text{(A.40)}$$

Puis lors de la phase suivante ϕ_2 :

$$QC_{i(2)} = V^-_{O(2)} - V^+_{(2)} \quad \text{(A.41)}$$
$$QC'_{i(2)} = V^+_{O(2)} - V^-_{(2)} \quad \text{(A.42)}$$
$$QC_{o(2)} = V^-_{O(2)} - V_M \quad \text{(A.43)}$$
$$QC'_{o(2)} = V^+_{O(2)} - V_M \quad \text{(A.44)}$$
$$QC_{s(2)} = V^+_{(2)} \quad \text{(A.45)}$$
$$QC'_{s(2)} = V^-_{(2)} \quad \text{(A.46)}$$
$$QC_{r(2)} = V^+_{(2)} - V_M \quad \text{(A.47)}$$
$$QC'_{r(2)} = V^-_{(2)} - V_M \quad \text{(A.48)}$$

Puis lors de la phase suivante ϕ_3 :

$$QC_{i(3)} = V^-_{O(2)} - V^+_{(2)} \quad \text{(A.49)}$$
$$QC'_{i(3)} = V^+_{O(2)} - V^-_{(2)} \quad \text{(A.50)}$$
$$QC_{o(3)} = V^-_{O(3)} - V^+_{(3)} \quad \text{(A.51)}$$
$$QC'_{o(3)} = V^+_{O(3)} - V^-_{(3)} \quad \text{(A.52)}$$
$$QC_{s(3)} = V^+_{in(3)} - V^-_{(3)} \quad \text{(A.53)}$$
$$QC'_{s(3)} = V^-_{in(3)} - V^+_{(3)} \quad \text{(A.54)}$$
$$QC_{r(3)} = V^-_{ref(3)} - V^-_{(3)} \quad \text{(A.55)}$$
$$QC'_{r(3)} = V^+_{ref(3)} - V^+_{(3)} \quad \text{(A.56)}$$

Puis lors de la phase suivante ϕ_4 :

$$QC_{i(4)} = V^-_{O(4)} - V^+_{(4)} \quad \text{(A.57)}$$
$$QC'_{i(4)} = V^+_{O(4)} - V^-_{(4)} \quad \text{(A.58)}$$
$$QC_{o(4)} = V^-_{O(4)} - V_M \quad \text{(A.59)}$$
$$QC'_{o(4)} = V^+_{O(4)} - V_M \quad \text{(A.60)}$$
$$QC_{s(4)} = V^+_{(4)} \quad \text{(A.61)}$$
$$QC'_{s(4)} = V^-_{(4)} \quad \text{(A.62)}$$
$$QC_{r(4)} = V^+_{(4)} - V_M \quad \text{(A.63)}$$
$$QC'_{r(4)} = V^-_{(4)} - V_M \quad \text{(A.64)}$$

Toutes les charges étant définies, la loi de la conservation de la charge peut être appliquée entre les différentes phases.

En l'appliquant entre les phase ϕ_3 et ϕ_4 :

$$\Delta QC_i = \Delta QC_s + \Delta QC_r \quad \text{(A.65)}$$

$$V^-_{O(4)} - V^+_{(4)} - V^-_{O(2)} + V^+_{(2)} = V^+_{(4)} - V^+_{in(3)} + V^-_{(3)} + V^+_{(4)} - V_M - V^-_{ref} + V^-_{(3)} \quad \text{(A.66)}$$

$$\Delta QC'_i = \Delta QC'_s + \Delta QC'_r \quad \text{(A.67)}$$

$$V^+_{O(4)} - V^-_{(4)} - V^+_{O(2)} + V^-_{(2)} = V^-_{(4)} - V^-_{in(3)} + V^+_{(3)} + V^-_{(4)} - V_M - V^+_{ref} + V^+_{(3)} \quad \text{(A.68)}$$

L'équation du mode différentiel ($MD = V^+ - V^-$) peut alors s'écrire par la différence entre l'équation A.68 et l'équation A.66 :

$$V_{O(4)}MD + V_{(4)}MD - V_{O(2)}MD - V_{(2)}MD = -2V_{(4)}MD + V_{in(3)}MD + 2V_{(3)}MD \pm V_{ref} \quad \text{(A.69)}$$

$$V_{O(4)}MD - V_{O(2)}MD = V_{in(3)}MD - 3V_{(4)}MD + 2V_{(3)}MD + V_{(2)}MD \pm V_{ref} \quad \text{(A.70)}$$

En considérant la tension de sortie V_{out} en fonction de l'entrée en mode différentielle et

en mode commun, l'équation de sortie peut ainsi s'écrire :

$$V_{out} = \alpha V_{in} MD + \beta V_{in} MC \quad \text{(A.71)}$$

$$V_{in} MD = \frac{V_{out}}{\alpha} - \frac{\beta}{\alpha} V_{in} MC \quad \text{(A.72)}$$

En reprenant l'équation A.70 et après simplifications, l'équation de sortie peut se réécrire :

$$Vo_4 \left(\frac{\alpha + 3}{\alpha} \right) - Vo_2 \left(\frac{\alpha + 6}{\alpha + 3} \right) = V_{in} MC \frac{\beta}{\alpha(\alpha + 3)} + V_{IN3} \frac{\alpha + 1}{\alpha + 3} - V_{ref} \frac{\alpha + 1}{\alpha + 3} \quad \text{(A.73)}$$

A.6 ZONES MORTES DU MODULATEUR $\Sigma\,\Delta$ D'ORDRE 1

$$u(1) \;=\; cu(0) + x(1) - y(0) \tag{A.74}$$

Pour $c < 1$, $x << 1$ et $y(0) = +1$ donne :

$$u(1) \;=\; x - 1 < 0 \tag{A.75}$$

$y(1)$ sera par conséquent négatif ($y(1) = -1$)

$$\begin{aligned} u(2) &= c(u(1)) + x - y(1) && \text{(A.76)}\\ &= c[u(0) + x - y(0)] + x - y(1) && \text{(A.77)}\\ &= c(x-1) + x + 1 && \text{(A.78)}\\ &= x(c+1) + (1-c) > 0 && \text{(A.79)} \end{aligned}$$

$y(2)$ sera à nouveau positif et donnera

$$\begin{aligned} u(3) &= cu(2) + x - y(2) && \text{(A.80)}\\ &= c[x(c+1) - c + 1] + x - 1 && \text{(A.81)}\\ &= x(c^2 + c + c) - (c^2 - c + 1) < 0 && \text{(A.82)} \end{aligned}$$

Le *bitstream* de sortie donne $y(n) = +1, -1, +1, -1, ...$

La formule générale du modulateur est alors donnée par :

$$u(k) \;=\; \sum_{i=0}^{k-1} c^i x + (-1)^k (-c)^i \tag{A.83}$$

Dans le cas ou $x = 0$ et $c < 1$ la limite de la série produit un cycle $+1, -1...$

Pour sortir de ce cycle, il est alors nécessaire d'avoir, pour des valeurs de k impaires :

$$u(k) > 0 \rightarrow \sum_{i=0}^{k-1} c^i x > \sum_{i=0}^{k-1} (-c)^i \tag{A.84}$$

et pour des valeurs pair de k :

$$u(k) < 0 \rightarrow \sum_{i=0}^{k-1} c^i x < -\sum_{i=0}^{k-1} (-c)^i \tag{A.85}$$

Il s'agit de sommes géométriques de raison c et $-c$
Avec $c < 1$, ces limites nous donnent donc :

$$\frac{x}{1-c} > \frac{1}{1+c} \tag{A.86}$$

et

$$\frac{x}{1-c} < \frac{-1}{1+c} \tag{A.87}$$

x est alors borné entre :

$$\frac{c-1}{1-c} < x < \frac{1-c}{1+c} \tag{A.88}$$

A.7 COURBES DE CHARGE ET DÉCHARGE DE LA BATTERIE DU PROJET

A.7.1 Courbes de décharge

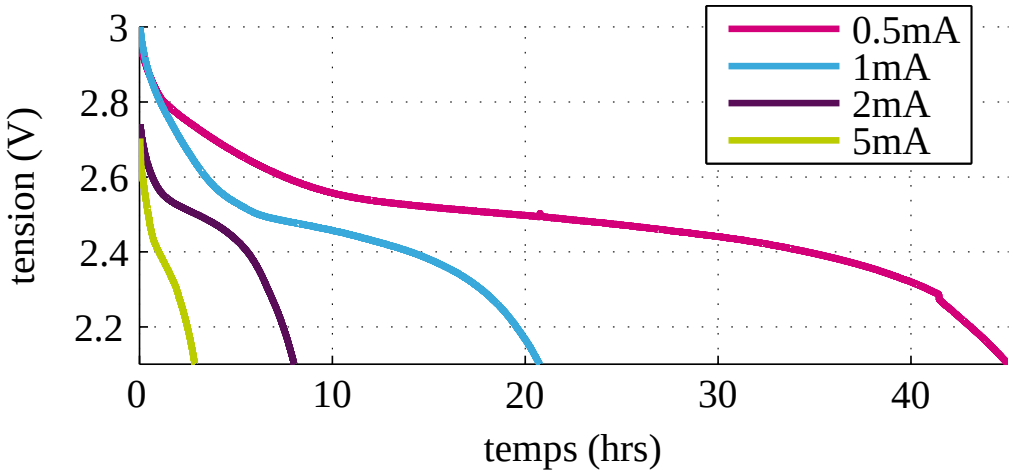


FIGURE A.10 – Mesures de décharge de la batteries pour différentes valeurs de courant.

A.7.2 Courbe de charge

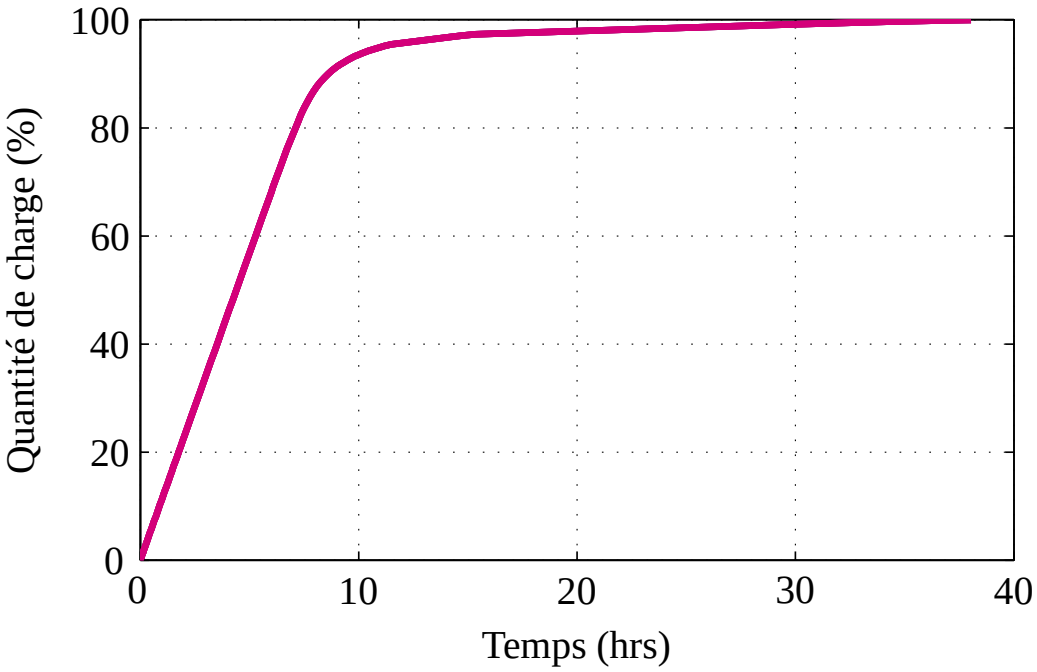


FIGURE A.11 – Mesures de charge de la batteries par le *PM* (courant cst).

A.8 COURBES COURANT - TENSION DU PANNEAU PHOTOVOLTAÏQUE DU PROJET

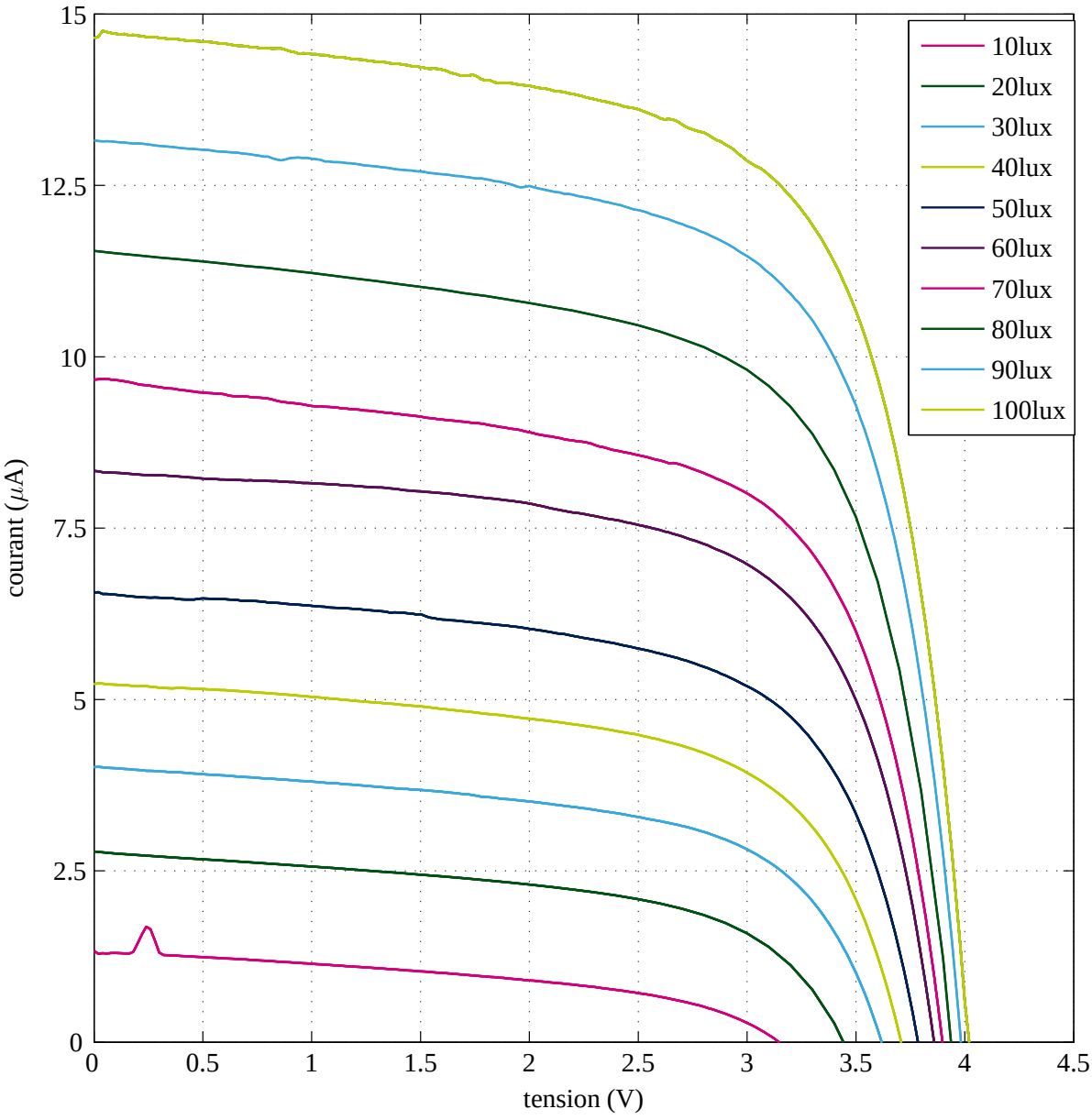


FIGURE A.12 – Courbes courant/tension du *PV* : de 10lux à 100lux

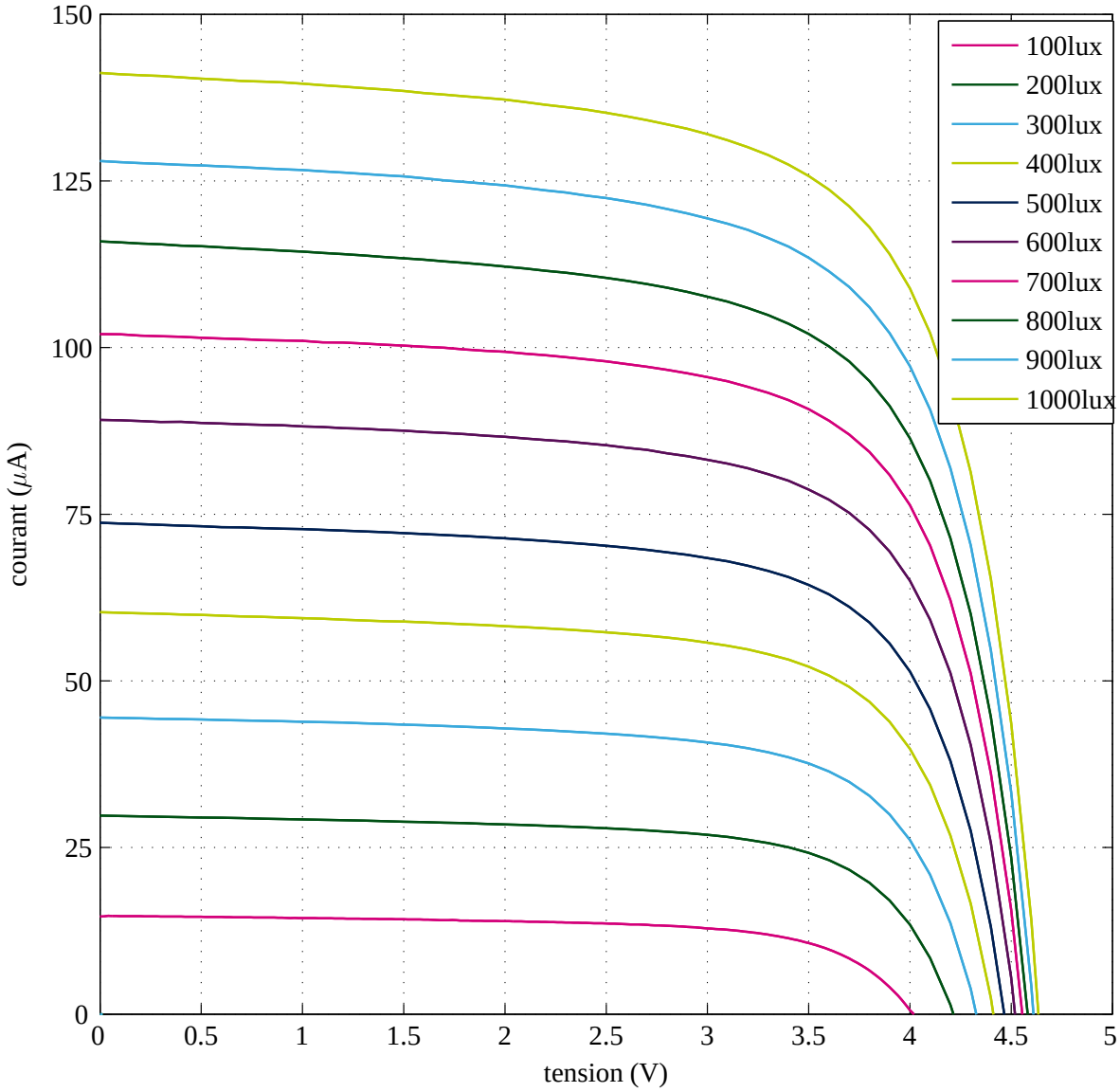


FIGURE A.13 – Courbes courant/tension du *PV* : de 100lux à 1000lux

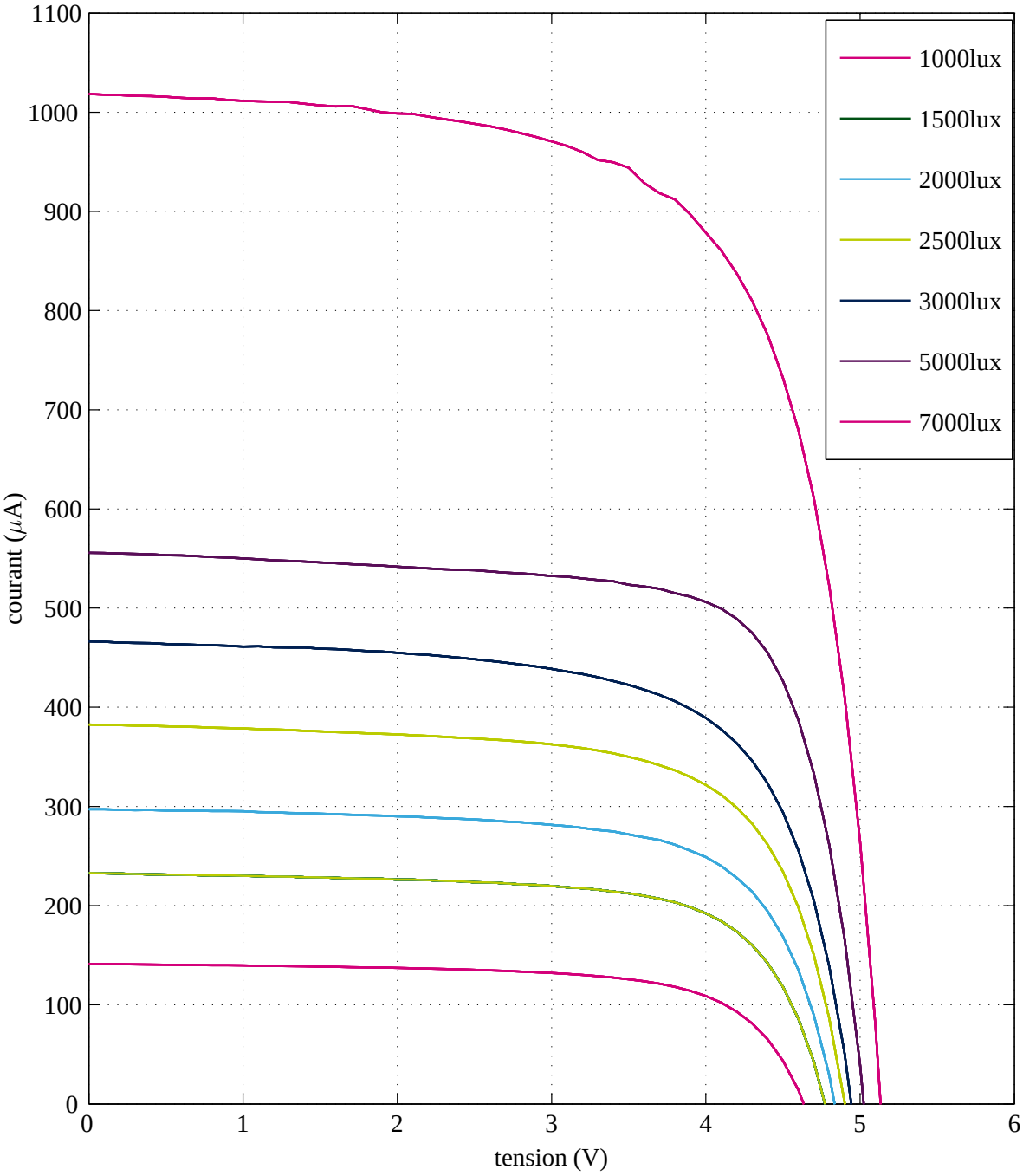


FIGURE A.14 – Courbes courant/tension du *PV* : de 1000lux à 7000lux

Bibliographie

[1] H. Banba, H. Shiga, A. Umezawa, T. Miyaba, T. Tanzawa, S. Atsumi, and K. Sakui. A CMOS bandgap reference circuit with sub-1-V operation. *Solid-State Circuits, IEEE Journal of*, 34(5) :670–674, 1999.

[2] Ko Ko Win, Xinhui Wu, S. Dasgupta, Wong Jun Wen, R. Kumar, and S.K. Panda. Efficient solar energy harvester for wireless sensor nodes. In *Communication Systems (ICCS), 2010 IEEE International Conference on*, pages 289 –294, nov. 2010.

[3] Steven R Anton and Henry A Sodano. A review of power harvesting from vibration using piezoelectric materials. *Smart Materials and Structures*, vol. 16, 2007, p. R1-R21, 2004.

[4] P. K. Wright S. Roundy and J. Rabaey. A study of low level vibrations as a power source for wireless sensor nodes. *Computer Communication*, Jul 2003.

[5] R. D'hulst, T. Sterken, R. Puers, G. Deconinck, and J. Driesen. Power processing circuits for piezoelectric vibration-based energy harvesters. *Industrial Electronics, IEEE Transactions on*, 57(12) :4170–4177, 2010.

[6] J. G. Rocha, L.M. Goncalves, P.F. Rocha, M. P. Silva, and S. Lanceros-Mendez. Energy harvesting from piezoelectric materials fully integrated in footwear. *Industrial Electronics, IEEE Transactions on*, 57(3) :813–819, 2010.

[7] Guojun Wang. *Piezoelectric Energy Harvesting Utilizing Human Locomotion*. PhD thesis, UNIVERSITY OF MINNESOTA, 2012.

[8] R. Elfrink, V. Pop, D. Hohlfeld, T. M. Kamel, S. Matova, C. De Nooijer, M. Jambunathan, M. Goedbloed, L. Caballero, M. Renaud, J. Penders, and R. Van Schaijk. First autonomous wireless sensor node powered by a vacuum-packaged piezoelectric mems energy harvester. In *Electron Devices Meeting (IEDM), 2009 IEEE International*, pages 1–4, 2009.

[9] Liwei Zhang, Guoqiang Zheng, and Jishun Li. Active piezoelectric energy harvester based on impedance matching. In *Automation and Logistics (ICAL), 2012 IEEE International Conference on*, pages 131–135, 2012.

[10] Y. Minami and E. Nakamachi. Development of enhanced piezoelectric energy harvester induced by human motion. In *Engineering in Medicine and Biology Society (EMBC), 2012 Annual International Conference of the IEEE*, pages 1627–1630, 2012.

[11] J. Kymissis, C. Kendall, J. Paradiso, and N. Gershenfeld. Parasitic power harvesting in shoes. In *Wearable Computers, 1998. Digest of Papers. Second International Symposium on*, pages 132–139, 1998.

[12] Alan Pnakovich. A study of the seebeck and peltier thermoelectric effects. Master's thesis, American Heritage School, 2009.

[13] Roland Fortunier. *Propriété Physiques, Mécaniques, et Électroniques des Matériaux Solides*. École Nationale Supérieure des Mines, Saint-Étienne, 2005.

[14] David Berardan. *Étude de skutterudites de terres-rares (R) et de métaux d (M) du type RM4Sb12 : de nouveaux matériaux thermoélectriques pour la génération d'électricité.* PhD thesis, Université Paris XII, 2004.

[15] Osamu Yamashita and Nobuhiro Sadatomi. Thermoelectric properties of si1-xgex (x < 0.10) with alloy and dopant segregations. *Journal of Applied Physics*, 88(1) :245–251, 2000.

[16] Henri Becquerel. *Recherches sur une Propriété Nouvelle de la Matière. Activité Radiante Spontannée ou Radioactivité de la matière.* PhD thesis, Académie des Sciences de l'Institut de France, 1903.

[17] Benahmed Benabdallah Nadia. *Proprietes physiques des semi-conducteurs (Si monocristallin et Ge) et Simulation des cellules solaires a base de Si et SiGe*. PhD thesis, Université Abou Bekr Belkaid-Tlemcen, 2006.

[18] R. M'Ghaieth et P. Pinard D. Chambonnet, R. Gauthier. Le ruban de silicium E.P.R. : élaboration et mise au point dún dispositif dánalyse des contraintes résiduelles. *journal de physique*, vol. 22 :557 – 562, 1987.

[19] P. Lay (*) et J. L. Chermant G. Nouet. Le silicium polycristallin polix : elaboration, proprietes et performances. *Revue de physique appliquee*, pages 535 – 547, 1987.

[20] Christian Belouet. Procédé de fabrication de feuilles de silicium polycristallin pour photopiles solaires, 1983.

[21] R.A. Street. *Hydrogenated Amorphous Silicon*. Press Syndicate of the University of Cambridge, 2005.

[22] H. Roszairi and S.A. Rahman. High deposition rate thin film hydrogenated amorphous silicon prepared by d.c. plasma enhanced chemical vapour deposition of helium diluted silane. In *Semiconductor Electronics, 2002. Proceedings. ICSE 2002. IEEE International Conference on*, pages 300–303, 2002.

[23] Vanessa Terrazzoni-Daudrix. *Cellules solaires en couches minces de silicium amorphe : Effets du substrat réflecteur texturé et de la couche intrinsèque sur le courant photogénéré*. PhD thesis, Université de Neuchâtel, 2004.

[24] Nelson E. Coates Daniel Moses Thuc-Quyen Nguyen Mark Dante Alan J. Heeger Jin Young Kim, Kwanghee Lee. Efficient tandem polymer solar cells fabricated by all-solution processing. *SCIENCE*, vol. 317 :222 – 225, 2007.

[25] Susumu Yashida. Tandem solar cell, Apr. 23, 1991.

[26] P.B.GANGAVATI H.V.BYREGOWDA P. RHUSHI PRASAD, K. S. BADARINARAYAN. Advanced material technology and future of iii-v multijunction solar cells. *JEST-M*, Vol.1 :31–36, 2012.

[27] W. G. Anderson, P. M. Dussinger, D. B. Sarraf, and S. Tamanna. Heat pipe cooling of concentrating photovoltaic cells. In *Photovoltaic Specialists Conference, 2008. PVSC '08. 33rd IEEE*, pages 1–6, 2008.

[28] Claus Daniel. *Handbook of Battery Materials*. John Wiley & Sons, 2011.

[29] Guillaume Dillenseger. *Caractérisation de nouveaux modes de maintien en charge pour batteries stationnaires de secours*. PhD thesis, Universiteé Montpellier II, 2004.

[30] F.M. Harris and M.J. Schimpf. Zinc-air rechargeable batteries for mobile power. In *Battery Conference on Applications and Advances, 1994., Proceedings of the Ninth Annual*, pages 146–151, 1994.

[31] M. Schimpf. Rechargeable zinc air batteries market and technology overview. In *Southcon/95. Conference Record*, pages 30–36, 1995.

[32] William Tahil. The trouble with lithium implications of future phev production for lithium demand. *Meridian International Research*, 2007.

[33] L.A. Tinker. Air electrodes performance in zinc-air batteries for portable devices. In *Battery Conference on Applications and Advances, 2002. The Seventeenth Annual*, pages 221–, 2002.

[34] Ling Yu Wang Zhang Yuanyuan Shang Huiru Tang Junfang Wu Anyuan Cao Yunhui Huang Yue Shen, Dan Sun. A high-capacity lithium-air battery with pd modified carbon nanotube sponge cathode working in regular air. *Carbon*, pages 288 – 295, 2013.

[35] Hui Ye Jun John Xu and Jian Huang. Zinc polymer gel electrolytes based on oligomeric polyethers and ionic liquids. *ECS Meeting*, 116, 2005.

[36] Mayfair C. Kung Harold H. Kung Xin Zhao, Cary M. Hayner. In-plane vacancy-enabled high-power si graphene composite electrode for lithium-ion batteries. *Advanced Energy Materials*, 1 :1079 – 1084, 2011.

[37] Organic-free, all-solid-state thin-film batteries for cell phones, tablets, and future devices. Technical report, Infinite Power Solutions, 2012.

[38] Nancy J. Dudney. Thin Film Micro-batteries. *Interface*, pages 44 – 47, 2008.

[39] Thinergy mec101. Technical report, InfinitePowerSolutions, 2010.

[40] EFL700A39. Technical report, STMicroelectronics, 2010.

[41] K. Marquardt, R. Hahn, T. Luger, and H. Reichl. Thin film encapsulation for secondary batteries on wafer level. In *Electronics Systemintegration Technology Conference, 2006. 1st*, volume 2, pages 1410–1416, 2006.

[42] Vanadium pentoxide lithium rechargeable batteries (vl series). Technical report, Panasonic, 2005.

[43] MAXELL. Lithium manganese dioxide rechargeable battery. Technical report, Hitachi Maxell, Ltd, $http://biz.maxell.com/files_etc/6/catalog/en/ML_13e.pdf$.

[44] Super capacitors to improve power performance. Technical report, Cellergy, 2013.

[45] Marin S.Halper ; James C.Ellenbogen. Supercapacitors : A brief overview, 2006.

[46] T. Esram and P.L. Chapman. Comparison of photovoltaic array Maximum Power Point Tracking Techniques. *Energy Conversion, IEEE Transactions on*, 22(2) :439 –449, june 2007.

[47] A.S. Weddell, G.V. Merrett, and B.M. Al-Hashimi. Ultra low-power photovoltaic mppt technique for indoor and outdoor wireless sensor nodes. In *Design, Automation Test in Europe Conference Exhibition (DATE), 2011*, pages 1 –4, march 2011.

[48] Peng Wang, Haipeng Zhu, Weixiang Shen, Fook Hoong Choo, Poh Chiang Loh, and Kuan Khoon Tan. A novel approach of maximizing energy harvesting in photovoltaic systems based on bisection search theorem. In *Applied Power Electronics Conference and Exposition (APEC), 2010 Twenty-Fifth Annual IEEE*, pages 2143 –2148, feb. 2010.

[49] David Sanz Morales. Maximum Power Point Tracking Algorithms for Photovoltaic Applications. Master's thesis, Aalto University, 2010.

[50] M. Boxwell. *Solar Electricity Handbook : A Simple, Practical Guide to Using Electric Solar Panels and Designing and Installing Photovoltaic Solar PV Systems*. Code Green Publishing, 2009.

[51] Ngok-Man Sze, Feng Su, Yat-Hei Lam, Wing-Hung Ki, and Chi-Ying Tsui. Integrated single-inductor dual-input dual-output boost converter for energy harvesting applications. In *Circuits and Systems, 2008. ISCAS 2008. IEEE International Symposium on*, pages 2218–2221, 2008.

[52] Yifeng Qiu, C. Van Liempd, B. Op het Veld, P.G. Blanken, and C. Van Hoof. 5μw-to-10mw input power range inductive boost converter for indoor photovoltaic energy harvesting with integrated maximum power point tracking algorithm. In *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2011 IEEE International*, pages 118–120, 2011.

[53] Oi-Ying Wong, Hei Wong, Wing-Shan Tam, and Chi-Wah Kok. An overview of charge pumping circuits for flash memory applications. In *ASIC (ASICON), 2011 IEEE 9th International Conference on*, pages 116–119, 2011.

[54] D. Maurath and Y. Manoli. A self-adaptive switched-capacitor voltage converter with dynamic input load control for energy harvesting. In *ESSCIRC, 2009. ESSCIRC '09. Proceedings of*, pages 284–287, Sept.

[55] Y.K. Ramadass and A.P. Chandrakasan. Voltage scalable switched capacitor dc-dc converter for ultra-low-power on-chip applications. In *Power Electronics Specialists Conference, 2007. PESC 2007. IEEE*, pages 2353–2359, June.

[56] O.A.-T. Hasib, M. Sawan, and Y. Savaria. A Low-Power Asynchronous Step-Down DC-DC Converter for Implantable Devices. *Biomedical Circuits and Systems, IEEE Transactions on*, 5(3) :292–301, June.

[57] Maxim Integrated Circuits. MAX17710 - energy-harvesting charger and protector datasheet. Technical report, Maxim Integrated Circuits, 2011, http ://datasheets.maximintegrated.com/en/ds/MAX17710.pdf.

[58] K. Kadirvel, Y. Ramadass, U. Lyles, J. Carpenter, V. Ivanov, V. McNeil, A. Chandrakasan, and B. Lum-Shue-Chan. A 330nA energy-harvesting charger with battery management for solar and thermoelectric energy harvesting. In *Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2012 IEEE International*, pages 106 –108, feb. 2012.

[59] I. Doms, P. Merken, R. Mertens, and C. Van Hoof. Integrated capacitive power-management circuit for thermal harvesters with output power 10 to 1000 μW. In *Solid-State Circuits Conference - Digest of Technical Papers, 2009. ISSCC 2009. IEEE International*, pages 300–301,301a, 2009.

[60] Zhangcai Huang and Y. Inoue. A sub-100nA power management system for wireless structure health monitoring applications. In *Circuits and Systems (ISCAS), 2011 IEEE International Symposium on*, pages 2897 –2900, may 2011.

[61] N. Khosropour, F. Krummenacher, and M. Kayal. Fully integrated ultra-low power management system for micro-power solar energy harvesting applications. *Electronics Letters*, 48(6) :338 –339, 15 2012.

[62] MAXELL. Lithium manganese dioxide rechargeable batteries. Technical report, MAXELL.

[63] Behzad Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001.

[64] TEMES Gabor C. Norsworthy Steven R., SCHREIER Richard. *Delta-Sigma Data Converter : Theory, Design, and Simulation*. IEEE Publications,U.S, 1996.

[65] O. Feely and L.O. Chua. The effect of integrator leak in Sigma - Delta modulation. *Circuits and Systems, IEEE Transactions on*, 38(11) :1293–1305, 1991.

[66] R. Belu. Design and analysis of a micro-solar power for Wireless Sensor Networks. In *Communications (COMM), 2012 9th International Conference on*, pages 275 –278, june 2012.

[67] K. Nagaraj, T. Viswanathan, K. Singhal, and J. Vlach. Switched-capacitor circuits with reduced sensitivity to amplifier gain. *Circuits and Systems, IEEE Transactions on*, 34(5) :571–574, 1987.

[68] J. Goes, J.C. Pereira, N. Paulino, and M.M. Silva. Switched-Capacitor Multiply-By-Two Amplifier Insensitive to Component Mismatches. *Circuits and Systems II : Express Briefs, IEEE Transactions on*, 54(1) :29–33, 2007.

[69] Kye-Shin Lee, Yunyoung Choi, and F. Maloberti. SC amplifier and SC integrator with an accurate gain of 2. *Circuits and Systems II : Express Briefs, IEEE Transactions on*, 52(4) :194–198, 2005.

[70] Michael J. Gallichio. Anti-parallel capacitor, 1987.

[71] Willy Sansen Yves Geerts, Michiel Steyaert. *Design of Multi-Bit Delta-Sigma A/d Converters*. Kluwer Academic Publishers, 2002.

[72] Kenneth Martin Tony Chan Carusone, David Johns. *Analog Integrated Circuit Design*. John Wiley & Sons, 2008.

[73] Manish Kumar. Design of fully differential operational amplifier with high gain, large bandwidth and large dynamic range. Master's thesis, Thapar University, 2009.

[74] G. Wegmann, E.A. Vittoz, and F. Rahali. Charge injection in analog mos switches. *Solid-State Circuits, IEEE Journal of*, 22(6) :1091–1097, 1987.

[75] Mustafa Kilic. A low-power fully differential cyclic A/D converter based on zero crossing detection. Master's thesis, EPFL, 2012.

[76] J.-H. Shieh, M. Patil, and B.J. Sheu. Measurement and analysis of charge injection in mos analog switches. *Solid-State Circuits, IEEE Journal of*, 22(2) :277–281, 1987.

[77] A. Mirzaei, S. Chehrazi, Rahim Bagheri, and A.A. Abidi. Analysis of first-order anti-aliasing integration sampler. *Circuits and Systems I : Regular Papers, IEEE Transactions on*, 55(10) :2994–3005, 2008.

[78] Olivier Bernal. *Conception de Convertisseurs Analogique-Numérique en technologie CMOS basse tension pour chaines Vidéo CCD Spatiales*. PhD thesis, ENSEEIHT, 2006.

[79] Mingliang Liu. *Demystifying Switched Capacitor Circuits*. Elsevier Inc., 2006.

[80] Wai-Kai Chen. *Analog Circuits and Devices*. CRC Press, 2003.

[81] M. Pribytko and P. Quinn. A cmos single-ended ota with high cmrr. In *Solid-State Circuits Conference, 2003. ESSCIRC '03. Proceedings of the 29th European*, pages 293–296, 2003.

[82] Libin Yao, M. Steyaert, and Willy Sansen. A 0.8v, 8μ w, cmos ota with 50-db gain and 1.2-mhz gbw in 18-pf load. In *Solid-State Circuits Conference, 2003. ESSCIRC '03. Proceedings of the 29th European*, pages 297–300, 2003.

[83] Arun J Rao. Analog font-end design using the gm/id method for a pulse-based plasma impedance probe system. Master's thesis, Utha State University, 2010.

[84] F. Silveira, D. Flandre, and P.G.A. Jespers. A gm/id based methodology for the design of cmos analog circuits and its application to the synthesis of a silicon-on-insulator micropower ota. *Solid-State Circuits, IEEE Journal of*, 31(9) :1314–1319, 1996.

[85] Jian Xu, Menglian Zhao, Xiaobo Wu, and Xiaolang Yan. Low voltage low power current mirror OTA for sigma-delta modulator. In *Electron Devices and Solid-State Circuits, 2007. EDSSC 2007. IEEE Conference on*, pages 875–879, 2007.