



Contribution à la modélisation de l'Intégrité des alimentations dans les system-in-Package

Guillaume Boguszewski

► To cite this version:

Guillaume Boguszewski. Contribution à la modélisation de l'Intégrité des alimentations dans les system-in-Package. Electronique. Université Sciences et Technologies - Bordeaux I, 2009. Français. NNT: . tel-00991198

HAL Id: tel-00991198

<https://theses.hal.science/tel-00991198>

Submitted on 14 May 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre : 3979

THÈSE

Présentée à

L'UNIVERSITÉ BORDEAUX I

ÉCOLE DOCTORALE DE SCIENCES PHYSIQUES ET DE L'INGÉNIEUR

Par **Guillaume BOGUSZEWSKI**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : ÉLECTRONIQUE

CONTRIBUTION À LA MODELISATION DE L'INTÉGRITÉ DES
ALIMENTATIONS DANS LES SYSTEM-IN-PACKAGE

Soutenue le : 18 décembre 2009

MEMBRES DU JURY

M. Serge Verdeyme	<i>Professeur des Universités</i>	XLIM, Université Limoges	Rapporteur
M. Philippe Besnier	<i>Chargé de Recherche CNRS, HDR</i>	IETR, Rennes	Rapporteur
M. Philippe Descamps	<i>Professeur des Universités</i>	ENSICAEN, Caen	Examineur
Mme Geneviève Duchamp	<i>Professeur des Universités</i>	IMS, Université de Bordeaux	Directeur de Thèse
Mme Valérie Vignéras	<i>Professeur des Universités</i>	IMS, Université de Bordeaux	Examineur
M. Sidina Wane	<i>Docteur-Ingénieur</i>	NXP Semi-conducteurs, Caen	Co-Directeur

*« Comme tous les jeunes, j'étais bien parti pour devenir un génie, mais malheureusement, j'ai appris
à rire »*

Epigraphe du livre « Qu'est-ce que la science ? »¹, Extrait de Cléa, Lawrence Durrell,

J'ai beaucoup appris pendant cette thèse. La connaissance s'acquiert mais le savoir se transmet et c'est par ce point-ci que je souhaite entamer mes remerciements. En premier lieu je souhaite remercier M. Sidina Wane pour l'encadrement de ma thèse. Le travail que nous avons mis en oeuvre, les efforts de recherche, de développement ainsi que l'élaboration de chacune des contributions qui ont été apportées à la problématique de recherche qui m'a été confiée sont le résultat du temps qu'il m'a accordé. Je tiens donc à le remercier sincèrement et à souligner la fierté qui est la mienne d'avoir pu mener ce travail sous sa tutelle.

Je souhaite aussi avoir une pensée pour M. Meresse. Nos discussions scientifiques m'ont beaucoup éclairés.

J'éprouve une reconnaissance particulière à l'égard de M. Jean-Noël Palazin auprès de qui j'ai beaucoup appris et dont les conseils ont été et sont encore d'une grande utilité.

Je transmets toute ma gratitude aux membres de l'équipe qui m'a accueilli : Eric Pierarts, Philippe Auvray, Fabrice Verjus, Philippe Cauvet, Peter Biermans, Mohamed Fall, Alain Rougier, Laurent Dubosc et Nathalie Bertrand.

Le sujet de cette thèse a nécessité un échange constant et rigoureux avec plusieurs professionnels que j'ai eu la chance de côtoyer pendant mes années de thèse. Je tiens donc à leur adresser mes remerciements : Alain Guichard, Olivier Tesson, Didier Depreeuw, Michael Pantry, Thibault Kervaon,...

Je remercie M. Arnaud Chretien et M. Arnaud Trochet de la société EGIDEC pour leur collaboration et leur aide. Nous avons passé de très bons moments ensemble. J'espère avoir à nouveau l'occasion de déguster les spécialités de nos terroirs respectifs....

Mes amis et camarades thésards (Vincent K., Vincent F., Vincent G., Sébastien K. Olivier M., Estelle

1. Alan Chalmers, *Qu'est-ce que la science ? : Popper, Kuhn, Lakatos, Feyerabend, Le Livre de Poche, coll. « Biblio essais », Paris, 1987 (ISBN 2253055069)*

et David, Nono et Junior, Ziad N., Patrice J. et J.B...) que je remercie pour tous ces moments festifs partagés. L'accueil de Titi et Jérôme restera un excellent souvenir.

Je pense aussi à Anne-Laure, Vincent et Mayeul, ainsi qu'à Amandine, Jé et Lalie que j'embrasse.

Je remercie ma famille : mes parents et beaux parents pour leur soutien, leurs précieux conseils et leurs encouragements. L'aide de mon frère m'a été et m'est encore précieuse, nos discussions m'ont beaucoup apporté et je le remercie encore pour tout.

Nathalie, tu as été là, avec cette force qui fait ton naturel. Certains moments n'ont pas été simples, tu as pris le temps de m'accompagner avec douceur, calme et patience. Merci.

A l'heure où je rédige ces quelques lignes, je pense à mes camarades de route, Thibault D. (Tibalt), Gael (Yelga, mon compagnon de guitare), Arnaud T (Nono), David P. (Harrys) & Sylvain B. (Sylvaininho), Guillaume J. (Goupil) & Julie O.J, Juan, Marina A. (Rinette), Ben Q., Clément L., Seb, Abou A.A... Vous méritez peut-être de me remercier aussi... j'ai une immense pensée pour vous et je vous remercie tous pour votre présence et votre joie de vivre.

Enfin, je n'oublierai pas Django Reinhardt (23-01-10/16-05-53) à qui je souhaite un bon centenaire, merci pour cette contribution musicale...

Table des matières

1	Évolution des Solutions d'Intégration et d'Assemblage	20
1.1	Problématique de l'intégration des circuits intégrés	22
1.2	Techniques d'assemblage	26
1.2.1	Report et Câblage	26
1.2.2	Les Boîtiers	29
1.2.3	Assemblages Complexes	31
1.2.4	Solutions d'Intégration Passive : Spécificité de la Solution d'Intégration PICS .	35
1.2.4.1	Composants Montés en Surface (CMS)	36
1.2.4.2	Composants Passifs Intégrés	36
1.2.4.3	Solutions d'Intégration PICS	37
1.2.4.4	Développement de solutions innovantes utilisant le PICS	39
1.3	Systèmes Intégrés & Défis	39
1.3.1	Consommation, Autonomie, Stress et Fiabilité	39
1.3.2	Générations de perturbations	45
1.3.2.1	Générations de perturbations dans les lignes et Effets locaux associés .	46
1.3.2.2	Génération de perturbations dans les circuits numériques	52
1.3.2.3	Génération de perturbations dans les circuits analogiques	54
1.3.2.4	Génération de perturbations au Niveau Système	54
1.3.2.5	Génération de perturbations au Niveau Carte PCB	55
1.3.3	Influences des perturbations	58
1.3.4	Conséquences de l'intégration	61
1.4	Défis de la Modélisation et Outils d'Aide à la Conception	62
1.4.1	Outils pour la Simulation Electromagnétique	62
1.4.2	Outils pour la simulation de l'Intégrité des Signaux et des Alimentations	64
1.4.3	Co-Design et Analyse Multi-physique	65

1.5	Contexte, Cadre et Contribution Proposée	66
2	Méthodologies d'Analyse et Modélisation de l'Intégrité des Alimentations	75
2.1	Modélisation de l'Activité Numérique et Importance des Stratégies de Découplage . . .	78
2.1.1	Notion d'activité et Représentation	78
2.1.1.1	Le transistor	78
2.1.1.2	Fonction Inverseur	80
2.1.1.3	Fonction NAND	82
2.1.1.4	Fonction Buffer	82
2.1.2	Approches de Modélisation Analytiques et Semi-Analytiques	85
2.1.2.1	Représentation analytiques et semi-analytiques des puissances consommées	87
2.1.2.2	Représentation de l'activité numérique	90
2.1.2.3	Représentation de la fonction analogique	101
2.1.2.4	Couplages des circuits numérique et analogique	104
2.1.3	Méthodologie de Mesure	118
2.1.3.1	Mesures de l'activité interne	118
2.1.3.2	Mesures des interconnexions	121
2.2	Approches de Co-Simulation Globale	124
2.2.1	Simulation et Niveau de Description	125
2.2.2	Simulations des interconnexions	126
3	Mise en Oeuvre des Méthodologies d'Analyse de l'intégrité des Alimentations : Corrélations Expérimentales, Comparaisons et Validations	132
3.1	Introduction	132
3.2	Présentation du support d'étude et applications	135
3.2.1	Description des cartes de mesure et logiciel de contrôle	143
3.2.2	Défis de mesures, simulations et modélisations	148
3.2.3	Description de la méthodologie d'analyse	151
3.2.3.1	Présentation de l'interface graphique	152
3.3	Analyses, Validations et Corrélations Expérimentales	160
3.3.1	Analyse de l'activité du circuit numérique	160
3.3.1.1	Mesures effectuées sur l'alimentation (1.8V) du coeur numérique . . .	165

3.3.1.2	Mesures effectuées sur l'alimentation (3.3V) des Entrées-Sorties (Buffer)	170
3.3.1.3	Conclusion sur la mise en oeuvre de la mesure de courant	176
3.3.1.4	Comparaison entre estimation Analytique et Semi-Analytique, et Mesures à l'Ampèremètre et à l'Oscilloscope	177
3.3.1.5	Influence du mode de fonctionnement du circuit numérique sur son activité et Approche de modélisation en fonction de la technologie . .	183
3.3.2	Extraction des réseaux d'interconnexions	189
3.3.2.1	Analyse de l'accès RF sur la carte PCB	189
3.3.2.2	Analyse du comportement d'une ligne PICS	195
3.3.2.3	Analyse de l'accès RFin sur le substrat PICS	198
3.3.2.4	Analyse de l'impédance de la capacité de découplage sur le réseau passif d'alimentation	202
3.3.3	Synthèse sur la Modélisation de l'Activité et Règles de Conception	207
3.3.4	Approches de Co-Simulation Globale	209
3.3.4.1	Représentation en multi-port et Analyses	209
3.3.4.2	Co-Simulation au niveau Système	214
3.4	Conclusions	228
4	ANNEXES	236
4.1	Annexe : Architecture Pipeline des Convertisseurs Analogique Numérique	236
4.2	Annexe : modèle MEXTRAM	236
4.3	Annexe : Matrice Chaîne et <i>De-embedding</i>	238
4.4	Annexe : Description de la chaîne de transmission satellite DVB-S	239
5	Présentation Soutenance de Thèse - 18 décembre 2009	243

Table des figures

1.1	Téléphone multimédia (GPS, Téléphone, Bluetooth, Wifi, Photo, Vidéo,...)	21
1.2	Temps de mise sur le marché des technologies SoC et SiP	21
1.3	Tendance SoC et SiP	22
1.4	Comparaison des niveaux d'interconnexions entre deux circuits AMD	23
1.5	Tendances Technologiques	24
1.6	« <i>Core Limited</i> » : Limitation de la surface utile des E/S due à la taille du Coeur	24
1.7	« <i>Pads Limited</i> » : Limitation due au nombre d'E/S	25
1.8	« <i>Double ring structure</i> » : Solution d'agencement des E/S	25
1.9	Évolution du nombre de broches des boîtiers	26
1.10	<i>Leadframe</i>	26
1.11	<i>Wire-Bonding</i>	27
1.12	Tape Automated Bonding	27
1.13	Flip Chip ou Bille de <i>Bumping</i>	28
1.14	Redistribution Layer	28
1.15	Illustration des principaux types de boîtiers	30
1.16	SoC : System-on-Chip	31
1.17	Illustration de <i>System-In-Package</i>	33
1.18	Wafer Level Package	35
1.19	Structures d'assemblage	35
1.20	Composants CMS	36
1.21	Procédé PICS	37
1.22	Inductance PICS	38
1.23	Puce SiP In-Vivo : Tempill	39
1.24	PIT : Passive Integrated Transponder	39
1.25	Tendances marché des batteries	40

1.26	Evolution de la demande énergétique	40
1.27	Augmentation de la demande énergétique	41
1.28	Wafer Level Battery	41
1.29	Fiabilité : Courbe de défaillance	42
1.30	Diaphonie ou Couplage capacitif et Inductif entre deux lignes	47
1.31	Couplage Capacitif à un niveau de métallisation	48
1.32	Bruit de Diaphonie	51
1.33	Délai de diaphonie	51
1.34	Couplage Puce à Puce au niveau Système	55
1.35	Emission Radiative en mode différentiel	57
1.36	Emission Radiative en mode commun	57
1.37	<i>Co-Design</i> d'un SiP (NXP W-LAN-SIP)	65
1.38	Evolution de la technologie et réduction des niveaux d'alimentation	66
1.39	Evolution du nombre de transistors dans les circuits	66
2.1	Premier Transistor	76
2.2	Transistor MOS type N	78
2.3	Capacité CMOS	79
2.4	Caractéristique Courant Tension d'un transistor MOS-N	80
2.5	Inverseur CMOS	81
2.6	Buffer	83
2.7	Buffer de sortie	83
2.8	Choix du buffer	83
2.9	Illustration de la propagation et de l'influence des perturbations	85
2.10	Représentation d'un boîtier intégrant deux circuits numérique et analogique, illustrant la problématique d'intégrité des alimentations et des signaux	86
2.11	Réponse indicielle à un échelon	87
2.12	Discrétisation d'un signal sur la base triangulaire	92
2.13	Signal initial et contribution de chaque triangle	92
2.14	Spectre du signal et des triangles	93
2.15	Forme Canonique Triangulaire	94
2.16	Forme Canonique Trapézoïdale Paire	95
2.17	Profil trapézoïdal générique	96

2.18	Forme potentielle d'onde complexe de courant	96
2.19	Signal triangulaire et sa dérivée correspondante sur une période	98
2.20	Profil trapézoïdal générique adouci	98
2.21	Répartition spectrale de la fonction triangulaire	99
2.22	Modèle d'activité d'une fonction numérique	100
2.23	Schématisation de la fonction LNA	102
2.24	Schéma du LNA plus modèle de Mextram associé	102
2.25	Représentation Quadripolaire de l'amplificateur faible bruit	102
2.26	Quadripôle représentant une structure à mesurer	106
2.27	Modèle équivalent PI modèle de schéma électrique de la ligne	107
2.28	Modèle équivalent Té	107
2.29	Quadripôle	108
2.30	Techniques de routage	109
2.31	Substrat du PICS	110
2.32	Simplification et approximation de la topologie du substrat PICS	110
2.33	Structure et layout de la ligne PICS de mesure	111
2.34	Modèle PI d'extraction de la structure de mesure de la ligne PICS	112
2.35	Vue éclatée de la structure de mesure de capacités PICS	113
2.36	Réseau d'interconnexion	115
2.37	Influence de l'impédance des capacités sur le réseau d'interconnexion	116
2.38	Multiport avec insertion d'une capacité de découplage sur son port p	117
2.39	Multiport et distribution des capacités de découplage	118
2.40	Méthodes de mesures selon la norme OEC61967-4 : cas a. : 1Ω et cas b. : 150Ω	119
2.41	Protocole de mesure ICEM	120
2.42	Illustration d'une mesure dans le domaine temporel	122
2.43	Illustration des approches de mesure dans les domaines temporel (TDR-TDT) et fréquentiel (ARV)	123
2.44	Vue éclatée du SiP dans son environnement	126
3.1	Modèle multiport du SiP	135
3.2	SiP dans son environnement de fonctionnement de réception DVS-S	136
3.3	SiP TDA10070	136
3.4	Schéma bloc du SiP	136

3.5	Vue interne du System-In-Package TDA10070	137
3.6	Layout du substrat PICS	137
3.7	Coupe de la carte PCB supportant le SiP et son environnement fonctionnel	138
3.8	Arborescence des alimentations du circuit numérique	138
3.9	Arborescence des alimentations du circuit analogique	139
3.10	Arborescence des alimentations des plans de masse	139
3.11	Vue interne au rayon X de la puce Tuner TDA8262 dans son boîtier HCQFN32	140
3.12	Schéma bloc du Tuner TDA8262	141
3.13	Layout du circuit numérique	141
3.14	Vue interne du System-In-Package TDA10086 dans son boîtier TQFP64	142
3.15	Schéma bloc du coeur logique du circuit numérique	142
3.16	Interface Utilisateur de contrôle des cartes de mesure	144
3.17	Carte de mesure supportant le SiP	145
3.18	Carte de mesure avec segmentation des alimentations du circuit numérique	146
3.19	Détails de la répartition des alimentations et des cavaliers associés	146
3.20	Arborescence des alimentations du circuit numérique	147
3.21	Flot de simulation Cadence SiP	149
3.22	<i>Carte_IC</i> permettant la mesure sur les alimentations du circuit numérique	150
3.23	Déclinaison de la <i>Carte_IC</i> reproduisant le réseau d'interconnexion des alimentations sur le PCB, à gauche et dans le circuit numérique, à droite.	150
3.24	modèle mixte de SiP	152
3.25	Interface graphique de l'Estimateur	155
3.26	Interface graphique de l'analyse semi-analytique de l'Estimateur	156
3.27	Interface graphique de l'analyse semi-analytique de l'Estimateur	156
3.28	Interface graphique de l'analyse semi-analytique de l'Estimateur	157
3.29	Interface graphique de l'analyse semi-analytique de l'Estimateur	158
3.30	Interface graphique de l'analyse semi-analytique de l'Estimateur	158
3.31	Calcul et Génération du profil d'activité	159
3.32	Courbes d'erreur moyenne et maximum	160
3.33	Banc de mesure	161
3.34	Extraction du courant à partir de la mesure	162
3.35	Modèle électrique de la résistance	163

3.36	Partie Réelle : Corrélacion mesure et modèle proposé de la résistance	163
3.37	Partie Imaginaire : Corrélacion mesure et modèle proposé de résistance	164
3.38	Carte de mesure sur le SiP	165
3.39	Amplitude de la tension mesurée sur l'alimentation du coeur numérique	166
3.40	Partie Réelle : Spectre de la tension dynamique du coeur	167
3.41	Partie Imaginaire : Spectre de la tension dynamique du coeur mesurée	167
3.42	Partie Réelle : Spectre du courant extrait depuis la mesure	168
3.43	Partie Imaginaire : Spectre du courant extrait depuis la mesure	168
3.44	Module : Spectre du courant du coeur mesuré	169
3.45	Partie réelle : Courant de coeur consommé	169
3.46	Partie Imaginaire : Courant de coeur consommé	170
3.47	Amplitude de la tension mesurée sur l'alimentation des entrées-sorties (E/S)	171
3.48	Partie Réelle : Spectre de la tension dynamique des E/S mesurée	172
3.49	Partie Imaginaire : Spectre de la tension dynamique des E/S mesurée	173
3.50	Partie Réelle : Spectre du courant extrait depuis la mesure en tension des E/S	174
3.51	Partie Imaginaire : Spectre du courant extrait depuis la mesure en tension des E/S	174
3.52	Module : Spectre du courant des E/S	175
3.53	Partie Réelle : Courant des E/S dans l'espace temporel	175
3.54	Partie Imaginaire : Courant des E/S dans l'espace temporel	176
3.55	Module : Courant des E/S dans l'espace temporel	176
3.56	Consommation en fonction du viterbi rate et du symbole rate sur l'alimentation du Coeur	184
3.57	Développement sur une base triangulaire appliquée à chacun des modes de fonctionne- ment de l'alimentation du coeur	184
3.58	Spectre de la consommation en fonction du viterbi rate et du symbole rate sur l'alimen- tation du Coeur	185
3.59	Spectre de la consommation en fonction du viterbi rate et du symbole rate sur l'alimen- tation du Coeur et des E/S	186
3.60	Convergence de la dérivée du profil en fonction de $\frac{\tau}{T}$ à $f = 25MHz$	187
3.61	Convergence de la dérivée du profil en fonction de $\frac{\tau}{T}$ à $f = 70MHz$	188
3.62	Convergence de la dérivée du profil en fonction de $\frac{\tau}{T}$ à $f = 96MHz$	188
3.63	Carte avec SiP	190
3.64	Carte sans SiP	190

3.65	Layout des accès RFin et RFout	190
3.66	Simulation électromagnétique des accès avec Sonnet	191
3.67	Couplage entre les accès RF sur PCB	192
3.68	Ensemble du Système PCB-Boîtier-Circuit Tuner considéré dans le modèle global . . .	192
3.69	Modèle de Ligne RFin_RFout sur le PCB	193
3.70	Comparaison mesure TDR/TDT et ARV	194
3.71	Comparaison entre le modèle et la mesure des accès RFin et RFout du PCB	194
3.72	Ligne métallique PICS	195
3.73	Paramètres S11 et S22 : partie réelle et imaginaire	196
3.74	Paramètres S12 et S21 : partie réelle et imaginaire	197
3.75	Structure et layout de la ligne PICS de mesure	197
3.76	Comparaison Mesure et Simulation avec effets des ports de la ligne PICS	198
3.77	Impédance de la ligne $Z_{série}$: Partie imaginaire et réelle	198
3.78	Analyse électromagnétique de la ligne d'accès du signal RF sur le substrat PICS . . .	199
3.79	Comparaison Partie réelle de S11	199
3.80	Comparaison Partie imaginaire de S11	200
3.81	Comparaison Partie réelle de S12	200
3.82	Comparaison Partie Imaginaire de S12	201
3.83	Modèle PI de l'accès RFin du substrat PICS	201
3.84	Modèle de capacité	203
3.85	Modèle de capacité incluant l'inductance totale	203
3.86	Partie réelle : Influence de l'inductance sur l'admittance complexe de la capacité . . .	204
3.87	Partie Imaginaire : Influence de l'inductance sur l'admittance complexe de la capacité .	205
3.88	Plan d'expérience	206
3.89	Fonction de transfert en tension pour différentes valeurs de capacités PICS	206
3.90	Convergence du profil trapézoïdal et de sa dérivée en fonction du nombre d'harmoniques N	208
3.91	Convergence harmonique du profil de la dérivée en fonction du paramètre technologique τ	208
3.92	Simulation sous Sonnet du boîtier du SiP	210
3.93	Layout des alimentations du circuit numérique	212
3.94	Plot d'alimentation	213
3.95	Plan de simulation du modèle de SiP	214

3.96	Structure Complète	215
3.97	Différentes géométries de conception	215
3.98	Capacités situées sur le PCB	216
3.99	Capacités situées sur les alimentations du tuner aux niveaux des plot de <i>bonding</i>	217
3.100	Capacités situées sur les alimentations des fonctions mixtes du circuit numérique aux niveaux des plots de <i>bonding</i>	218
3.101	Capacités situées sur les alimentations du circuit numérique aux niveaux des <i>bumps</i> . .	218
3.102	Capacités situées sur les Entrées-Sorties aux niveaux des <i>bumps</i>	218
3.103	Chronogramme d'activation	219
3.104	Influence du profil de courant	220
3.105	Influence du profil triangulaire et trapézoïdal de courant	220
3.106	Influence de l'activité des ADC sur l'alimentation du coeur numérique : Niveau PICS et PCB	221
3.107	Influence de l'activité des E/S sur le coeur numérique : Niveau PICS et PCB	222
3.108	Influence de l'activité du coeur numérique sur son alimentation : Niveau PICS et PCB	223
3.109	Influence de l'activité du coeur numérique sur son alimentation : Niveau Bump	223
3.110	Influence de l'activité des mémoires sur le coeur numérique : Niveau PICS et PCB . .	224
3.111	Influence de l'activité des mémoires sur le coeur numérique : Niveau Bump	224
3.112	Influence du réseau sur l'allure du voltage drop	225
3.113	Influence de l'activité du coeur sur l'alimentation du coeur numérique : Niveau Bump .	226
3.114	Influence de l'activité du coeur sur l'alimentation du coeur numérique : Niveau BUMP	226
3.115	Découplage progressif : Niveau Bump	227
4.1	Architecture « <i>pipeline</i> » des convertisseurs analogique-numérique	236
4.2	Matrice chaîne	238
4.3	Valeurs possibles d'un symbole en modulation QPSK	239

Liste des tableaux

1.1	Évolution et tendances des fonctions électroniques	23
1.2	Avantages et inconvénients des SiP et SoC	32
1.3	Solutions d'assemblage	34
1.4	Evolution des technologies PICS	38
1.5	Influence de la génération de perturbations sur l'environnement	46
2.1	Caractéristique de sortie d'un transistor type MOS-N	80
2.2	Extraction des paramètres intrinsèques de la ligne PICS issus de la mesure	112
2.3	Extraction des paramètres de la mesure de la capacité PICS	114
2.4	Valeurs des éléments distribués du réseau PCB-PKG-IC et des capacités de découplage utilisées	116
2.5	Niveau d'abstraction	125
3.1	Tableau des fréquences de travail des différents blocs du système PCB-Circuit Analogique- Circuit Numérique	139
3.2	Données Constructeurs pour les blocs constituant le circuit numérique	143
3.3	Partitionnement des alimentations numériques dans le circuit numérique TDA10086 . .	147
3.4	Définition des utilisations et supports d'analyse	148
3.5	Résultats de la mesure à l'ampèremètre et à l'oscilloscope sur les deux alimentations .	177
3.6	Bilan général de puissance issues des méthodologies semi-analytiques et des mesures $P_A = P_{\text{Ampèremètre}}, P_{A-C} = P_{\text{Ampèremètre-COEUR}}, P_{A-E/S} = P_{\text{Ampèremètre-E/S}}, P_c^c = P_{\text{circuit}}^{\text{commutation}},$ $P_e^c = P_{\text{estimée}}^{\text{circuit}}$	178
3.7	Résultats des valeurs de courant obtenues selon les méthodes d'estimation de puissance et de courant $I_{mc} = I_{\text{mesuré-continu}}, I_{mm} = I_{\text{mesuré-oscilloscope}}, I_{moy} = I_{\text{moyen}}, I_{mm} = I_{\text{mesuré-moyenné}}, I_c^c =$ $I_{\text{circuit}}^{\text{commutation}}, I_e^c = I_{\text{estimée}}^{\text{circuit}}, P_c^c = P_{\text{commutation}}^{\text{circuit}}, P_e^c = P_{\text{estimée}}^{\text{circuit}}$	179

3.8	Différences obtenues pour le coeur numérique selon les méthodes d'estimation de courant	
	$I_{mc} = I_{mesuré-continu}$, $I_{mm} = I_{mesuré-oscilloscope}$, $I_{moy} = I_{moyen}$, $I_{mm} = I_{mesuré-moyenné}$, $I_c^c =$ $I_{circuit}^{circuit}$, $I_e^c = I_{estimée}^{circuit}$, $P_c^c = P_{commutation}^{circuit}$, $P_e^c = P_{estimée}^{circuit}$	179
3.9	Différences obtenues pour les Entrées-Sorties selon les méthodes d'estimation de courant	
	$I_{mc} = I_{mesuré-continu}$, $I_{mm} = I_{mesuré-oscilloscope}$, $I_{moy} = I_{moyen}$, $I_{mm} = I_{mesuré-moyenné}$, $I_c^c =$ $I_{circuit}^{circuit}$, $I_e^c = I_{estimée}^{circuit}$, $P_c^c = P_{commutation}^{circuit}$, $P_e^c = P_{estimée}^{circuit}$	180
3.10	Entrée-Sortie CMOS18	180
3.11	Porte NAND CMOS18	181
3.12	Calcul des pics de courant de formes triangulaire et trapézoïdale	
	$I_{mc} = I_{mesuré-continu}$, $I_{mm} = I_{mesuré-moyenné}$, $I_{moy} = I_{moyen}$, $I_{mm} = I_{mesuré-moyenné}$, $I_c^c =$ $I_{circuit}^{circuit}$, $I_e^c = I_{estimée}^{circuit}$, $P_c^c = P_{commutation}^{circuit}$, $P_e^c = P_{estimée}^{circuit}$, $F_f = fréquence\ fonctionnement$	182
3.13	Modes de fonctionnement du système	183
3.14	Nombre d'harmoniques et Inductance maximale en fonction de $\frac{\tau}{T}$	189
3.15	Paramètres Lignes PICS	195
3.16	Extraction et comparaison des valeurs RLCG	202
3.17	Valeurs des paramètres intrinsèques du modèle de capacités PICS $1nF$, $2.5nF$, $10nF$	205
3.18	Résumé des contraintes de conception imposées par l'activité des fonctions du circuit numérique	209
4.1	Paramètres du modèle MEXTRAM	237
4.2	Débit utile en modulation QPSK en fonction du FEC	241

Introduction Générale

L'intégrité des alimentations d'un circuit, c'est-à-dire, la stabilité des niveaux de tension en chaque point du circuit dans son environnement fonctionnel au cours du temps, nécessaire à son bon fonctionnement, est de plus en plus problématique.

Plusieurs facteurs concomitants contribuent à déstabiliser toujours plus les niveaux de tension des alimentations. Ces facteurs résultent de la loi de Gordon Moore [2] : cette loi empirique stipule que la densité d'intégration des transistors dans un circuit intégré double tous les 18 mois. Elle s'est vérifiée assez précisément au cours des 30 dernières années. Cette réduction des géométries permet au circuit de fonctionner à des fréquences toujours plus élevées, c'est-à-dire de fournir des puissances de calcul toujours supérieures ainsi que des communications à des débits toujours plus élevés.

L'activité des circuits et des systèmes environnants induit des parasites électromagnétiques qui altèrent le caractère statique de l'alimentation. Parallèlement, la densité d'intégration croissante des fonctions électroniques induit des consommations dynamiques locales toujours plus denses qui augmentent l'amplitude de ces parasites.

Cette course à l'intégration a permis l'émergence de systèmes électroniques compacts, donc mobiles. La mobilité concomitante à une diminution progressive des tensions d'alimentation a imposé une gestion stricte de la consommation. Ces deux facteurs, mobilité et diminution, rendent ces systèmes d'autant plus sensibles aux perturbations électromagnétiques environnantes.

Ainsi, l'évolution de la micro-électronique explique à elle seule la susceptibilité croissante des alimentations vis-à-vis des circuits qu'elles alimentent, de même qu'elle explique la génération croissante d'interférences électromagnétiques par ces mêmes circuits dans leur environnement. De ce fait la compatibilité électromagnétique (CEM) définit la capacité d'un circuit ou d'un système à fonctionner de façon satisfaisante dans son environnement électromagnétique sans provoquer lui-même des perturbations électromagnétiques.

L'histoire plus récente de l'industrie des semi-conducteurs montre un ralentissement de la loi de Moore. En particulier, l'oxyde de grille constitutif d'un transistor atteint une épaisseur proche des dimensions atomiques. Ainsi, la miniaturisation des transistors atteint des limites physiques qui nécessitent plus de temps et d'investissements pour développer les nouvelles technologies de circuits intégrés. Pourtant, le nombre de transistors dans un système électronique ne cesse de croître alors que le besoin de miniaturisation n'a jamais été aussi fort, comme en témoigne la généralisation des outils électroniques nomades complexes qui combinent de multiples fonctions électroniques. Le développement de nouvelles architectures électroniques a aussi permis de servir cette course à l'intégration. En particulier, les architectures modernes combinent fréquemment des couches physiques (circuits et composants

physiques) et des couches logicielles, ce qui, dans certains cas, a permis de limiter la taille des circuits physiques. Plus récemment, le monde du *packaging* (assemblage) des circuits intégrés et des systèmes électroniques a proposé de nouvelles technologies et tendances de micro-intégration, concourant à cette course à l'intégration. Le System-in-Package (SiP) [3, 5], qui permet l'intégration de plusieurs circuits intégrés et composants dans un même boîtier « montable en surface », s'est affiché comme une récente tendance lourde de l'industrie des semi-conducteurs et a récemment conduit à de nombreuses innovations. Le SiP désigne l'intégration de plusieurs circuits intégrés et/ou composants discrets de natures technologiques différentes (circuits radio, analogiques, numériques, en silicium, arséniure de gallium, actifs ou passifs) dans un même boîtier, de façon à constituer un ou plusieurs systèmes ou sous systèmes électroniques.

Ainsi le SiP décrit à la fois le résultat de l'assemblage hétérogène mais aussi la technologie mise en oeuvre. Du point de vue de la performance, l'intégration qu'offre le SiP a permis de confiner des circuits dans des volumes très restreints, diminuant ainsi les distances d'interconnexions et donc de limiter la propagation des perturbations électromagnétiques, ainsi que les pertes de puissances des signaux et niveaux d'alimentation.

De plus le SiP offre une flexibilité permettant la combinaison de circuits silicium (*DSP*, microprocesseur, conversion analogique-numérique), avec des circuits GaAs dédiés à la RF. L'assemblage par empilement, à la verticale, permet d'explorer de nouvelles méthodes d'assemblage 3D [4, 6, 7, 8, 9, 10, 11, 12]. Concernant le coût de développement, une grande majorité des circuits composant un SiP existe déjà en tant que circuits uniques dans leurs propres boîtiers. La phase d'estimation du coût de développement est donc réduite et s'applique, par exemple, aux techniques d'assemblage, et de test de fonctionnalité du système. Il importe de souligner que la solution SiP, loin de s'opposer à l'alternative SoC (*System-on-Chip*) où l'intégration est monolithique, les composants, blocs de fonctions analogiques et numériques partageant un seul et même substrat (en général le silicium), la complète. Cette complémentarité entre le SiP et le SoC autorise des potentialités d'optimisation (en encombrement, en autonomie et en efficacité) immenses notamment pour des applications nomades telles que les nano-drones ou plus généralement les systèmes embarqués [13].

Cette thèse, dans un premier chapitre, discute des évolutions technologiques portées par les solutions d'intégration de circuits intégrés et des techniques d'assemblage associées sont présentées. Le chapitre est construit en trois sections essentielles : la première section est dédiée à un survol de l'état de l'art des techniques d'intégration et d'assemblages ; la deuxième section discute les défis des outils de

conception et d'aide à l'analyse des effets de couplages et de corruption de l'intégrité des signaux et des alimentations; la troisième section présente le cadre, et le contexte des contributions proposées dans ce présent travail. Ces sections, en soulignant les défis liés à la conception et à l'analyse des effets physiques, électriques, et mécaniques, situent le cadre et contexte de la contribution de cette thèse.

Les deuxième et troisième chapitres de cette thèse sont dédiés au développement de méthodologies d'analyse et de modélisation d'intégrité des alimentations et des signaux.

Dans le deuxième chapitre de cette thèse des approches de modélisation analytique et semi-analytique sont présentées pour l'estimation de la consommation et de l'activité des circuits digitaux. Une modélisation originale de cette activité sera proposée, l'objectif étant de pouvoir mieux analyser le comportement du circuit cadencé par plusieurs domaines d'horloge. Le positionnement de ces approches par rapport à une méthodologie de co-simulation globale est discuté. Le principe de co-simulation tient en la segmentation en sous-blocs d'un système complexe. Les simulateurs actuels sont incapables de considérer les phénomènes physiques électromagnétiques, thermiques et mécaniques locaux à des échelles aussi importantes que celles représentées par l'association de plusieurs niveaux d'interconnexion, de métallisation, des fonctions analogiques, mixtes et numériques. Ainsi le défi tient en un partitionnement adapté et en une simulation globale qui n'altère pas les modes de propagations et de couplages des effets physiques.

Le premier axe d'investigation concerne l'établissement de règles de conception de systèmes complexes à travers le développement d'un utilitaire d'aide à la conception pour des estimations des bilans de puissance consommée au niveau de la puce. De telles estimations pourront être utilisées lors des phases de conception pour orienter les choix des solutions concernant, par exemple, le type de boîtier qui accueillera les puces développées, grâce à des analyses prédictives des effets électriques et thermiques.

Le deuxième axe de la contribution est relatif au développement de méthodologies de partitionnement qui rendent accessibles les analyses électriques, et les optimisations attenantes au niveau système. Ces méthodologies, en couplant et combinant différentes techniques et approches, rendent possible l'analyse de technologies hybrides au sein d'un même environnement de conception, pour évaluer les performances globales du système. Un intérêt particulier sera réservé aux solutions SiP (System-In-Package), en référence à la technologie PICS (*Passive Integrating Component Substrate*) [26] développée au sein de Philips-NXP-Semi-conducteurs pour diverses applications et qui a fourni les supports d'études présentés dans ce travail. Des corrélations expérimentales et des comparaisons croisées avec différents outils de simulation valident les méthodologies proposées. La technologie PICS en offrant des capacités tridimensionnelles enfouies, qui permettent des facteurs de qualité et des taux d'intégration inégalés par

les solutions discrètes actuelles, ouvre des directions prometteuses vers des assemblages internes aux puces (*Wafer-Level-Packaging*). Dans le contexte de la problématique de découplage visant à améliorer l'intégrité des alimentations et des signaux sensibles, une analyse comparée des solutions PICS et des alternatives basées sur les solutions discrètes est discutée.

1 Évolution des Solutions d'Intégration et d'Assemblage

Introduction

Lorsqu'il est question de décrire les tendances évolutives de l'électronique, il est nécessaire de considérer ces tendances à différents niveaux. Bien que G.Moore ait décrit cette loi selon une diminution des géométries tous les 18 mois, les défis associés imposent à l'ensemble des techniques de conception des composants et des circuits, d'assemblage et de *packaging* et de modélisation et de simulation, de fournir un niveau de performance toujours plus élevé. La technologie visée par cette loi est le SoC « *System on Chip* » où toutes les fonctions sont implémentées sur un même circuit en utilisant une seule et même technologie.

Aujourd'hui, les systèmes électroniques sont capables de traiter un flot et une diversité de données importantes auxquelles sont apportées de nombreuses modifications (conversion analogique-numérique, formatage vidéo et audio, filtrage...), et ceci permet à l'utilisateur, particulier ou professionnel, de disposer d'un système capable de fournir une image et/ou un son haute définition, de le guider, d'enregistrer des données, et de les transmettre, tout cela sans se soucier de la localisation. Cette flexibilité suppose une portabilité et une autonomie des appareils tout en maintenant un niveau de fiabilité suffisant. C'est-à-dire qu'il faut considérer la complexité de l'électronique embarquée, sa durée d'autonomie, sa consommation et sa robustesse.

D'un point de vue de l'utilisateur, ces considérations ne sont qu'arguments dans la décision du choix d'investir pour tels ou tels appareils. (Figure 1.1).



FIGURE 1.1: Téléphone multimédia (GPS, Téléphone, Bluetooth, Wifi, Photo, Vidéo,...)

D'un point de vue constructeur, l'intégration de fonctions multiples, au sein d'un même boîtier, présente aussi l'avantage de pouvoir intégrer des fonctions pré-existantes. Ainsi, les phases de développement de ces circuits ou ces fonctions ont déjà été mises en oeuvre et permettent un gain de temps de mise sur le marché non négligeable, voir figure 1.2. Grâce à cette très grande variété de possibilités d'intégration, la quasi-totalité des marchés peut être adressée par ce qu'on appelle les « *System-in-Package* » ou SiP. Dès lors, le développement de ce type de composant est en forte augmentation faisant suite à une demande du consommateur de plus en plus importante.

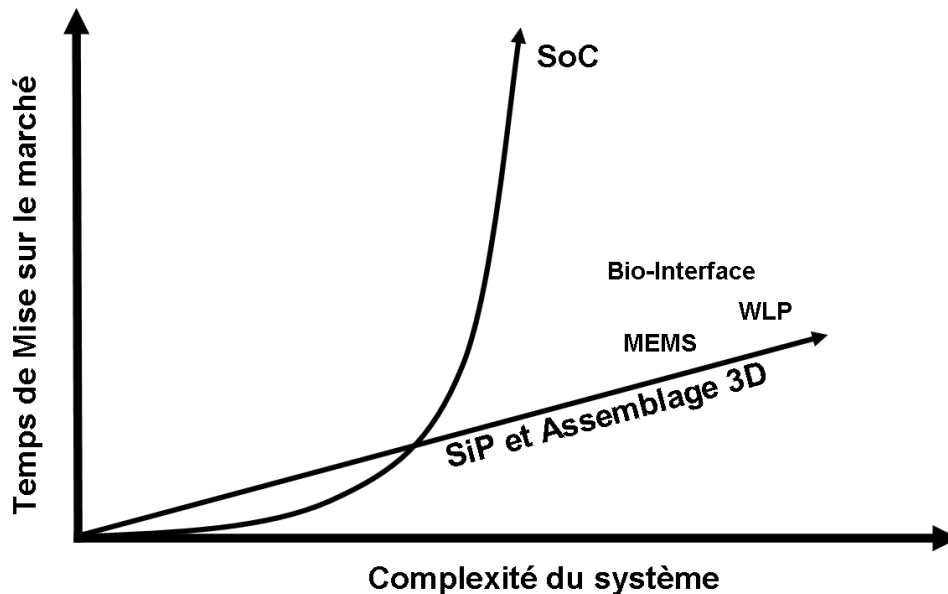


FIGURE 1.2: Temps de mise sur le marché des technologies SoC et SiP

D'un point de vue technologique, les constructeurs doivent répondre à des défis dépassant les prédictions de la fameuse loi de Moore.

Notamment, l'interactivité avec le monde « analogique », « électromécanique » ou « biologique » nécessite des interfaçages adaptés. En effet, les applications radio fréquences (bluetooth, Wifi, Wlan,...), les micro-systèmes mécaniques ou MEMS (accéléromètre, capteur...), les sources d'alimentation et la

biotechnologie (biopuce, micro-pilule,...) permettent de surpasser les prédictions de G.Moore pour plusieurs raisons. La technologie actuelle est capable de créer et de maîtriser des systèmes qui embarquent une multitude de technologies différentes ; elle a réussi à diminuer de plus en plus l'espace nécessaire à l'accumulation de ces différentes technologies. Le terme anglais « *More Than Moore* », illustré par la figure 1.3, résume cette nouvelle dimension de l'évolution de l'électronique où l'intégration permettrait d'intégrer un maximum de fonctions actives et passives.

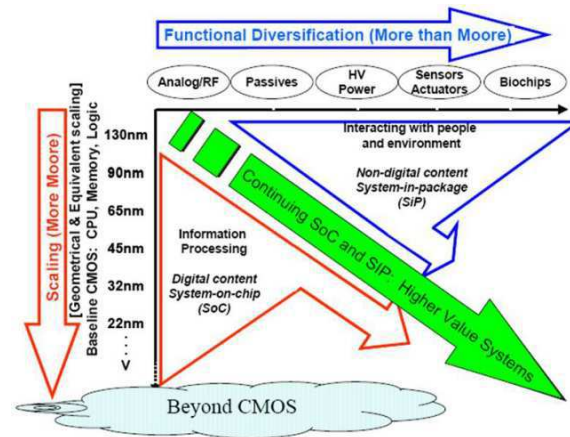


FIGURE 1.3: Tendence SoC et SiP

Ceci permet à la fois de diminuer les longueurs d'interconnexion mais aussi d'alléger la carte PCB (*Printed Circuit Board*) par l'insertion de composants montés en surface (CMS, ou « *Surface Mounted Devices* », *SMD*) dans les boîtiers [1].

1.1 Problématique de l'intégration des circuits intégrés

L'électronique moderne est aujourd'hui principalement réalisée avec la technologie CMOS qui représente une importante part de marché du semi-conducteur. Guidée par l'explosion de la micro-informatique, du multimédia et des systèmes informatiques, la quantité de transistors a explosé passant de 2300 transistors fonctionnant à une fréquence de 108 kHz avec le processeur 4004 de Intel en 1971, à plusieurs centaines de millions de nos jours. On assiste à une évolution importante de la surface de silicium utilisable, des niveaux de métallisation et des longueurs d'interconnexions [17]. Or, la réduction des dimensions physiques, telle que la longueur de canal des transistors, et l'épaisseur de l'oxyde de grille, implique une diminution des tensions d'alimentation pour ne pas détériorer ce même oxyde. Cette tendance réduit donc la marge de bruit et fragilise l'immunité du circuit intégré. Ainsi en terme de performance, une technologie évoluée autorise l'implantation d'une grande quantité de transistors sur une même surface (voir le tableau 1.1). Le SoC (*System-on-Chip*) décrit l'intégra-

tion monolithique de plusieurs fonctions issues d'une même technologie. Les circuits intégrés ou SoC sont composés de briques de base ; on retrouve un coeur numérique assurant les fonctions spécifiques au circuit (micro-processeur, micro-contrôleur, convertisseur analogique-numérique, mémoires,...), les interfaces d'entrées-sorties qui assurent l'interaction avec l'environnement extérieur et le réseau d'interconnexion et de métallisation.

Année de production	2004	2007	2010	2013
Lithographie [<i>nm</i>]	90	65	45	32
Longueur totale des interconnexions [<i>m.cm⁻²</i>]	6879	11169	16063	22695
Densité [<i>10⁶ transistors.cm⁻²</i>]	178	357	714	1427
Surface [<i>mm²</i>]	430	620	750	880
Tension de Coeur [<i>V</i>]	1	0.8	0.7	0.6
Niveaux de métallisation	9	11	12	12
Nombre d'entrées-Sorties	3100	3500	3850	4200
- Signaux	1050	1100	1300	1400
- Alimentation	2050	2400	2550	2800
Nombre de broches du boîtier	1600	2150	2780	3600
Fréquence d'horloge interne [<i>GHz</i>]	4.1	9.3	15	23

TABLE 1.1: Évolution et tendances des fonctions électroniques

Le tableau 1.1 présente la problématique de l'intégration : la superficie des circuits, le nombre de transistors, les E/S et la fréquence d'activation augmentent. Alors que les géométries des transistors diminuent. Ainsi, ces deux tendances forcent l'augmentation des niveaux de métallisation afin de pouvoir fournir suffisamment de niveaux d'interconnexions pour véhiculer signaux et puissance dans le circuit. La figure 1.4 illustre l'augmentation des niveaux d'interconnexions et la diminution de leur géométrie [17].

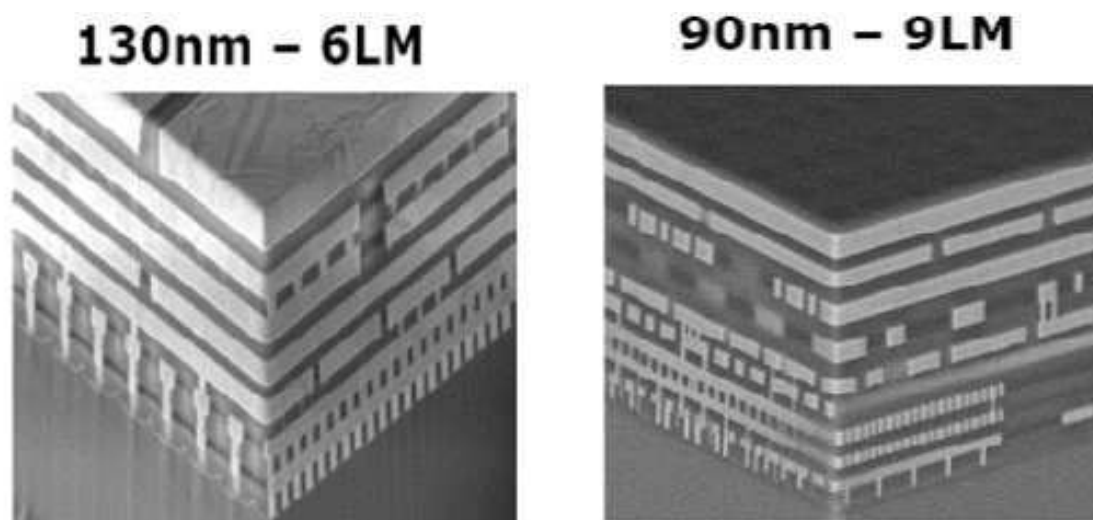


FIGURE 1.4: Comparaison des niveaux d'interconnexions entre deux circuits AMD

La figure 1.5 illustre les tendances technologiques d'une part de diminution des géométries et d'autre part d'augmentation de la fréquence de fonctionnement.

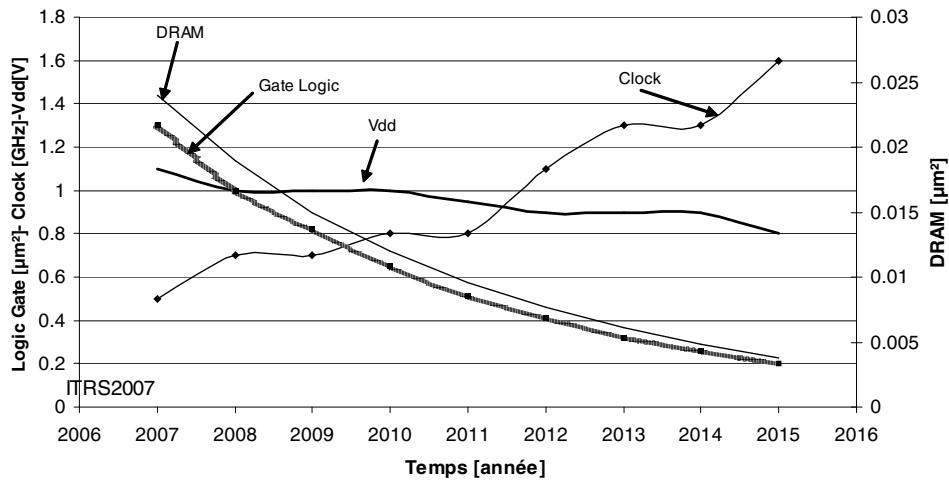


FIGURE 1.5: Tendances Technologiques

Le nombre de fonctions augmentant, les informations à échanger avec l'environnement extérieur et les besoins énergétiques ont suivi les mêmes tendances, c'est-à-dire une croissance très importante.

Les plots d'alimentation ou Entrées-Sorties (E/S) (*PADS* en anglais) sont constitués de portes NAND ; ils permettent de transmettre un signal, de relever le niveau de celui-ci, ou d'assurer l'alimentation d'un circuit.

La quantité de fonctions fournies par un circuit, et donc le nombre de blocs actifs, peut être telle que les dimensions du cœur deviennent un facteur limitant le nombre et la géométrie des plots d'E/S. On parlera de «*Core Limited*», représenté ci-dessous, par la figure 1.6.

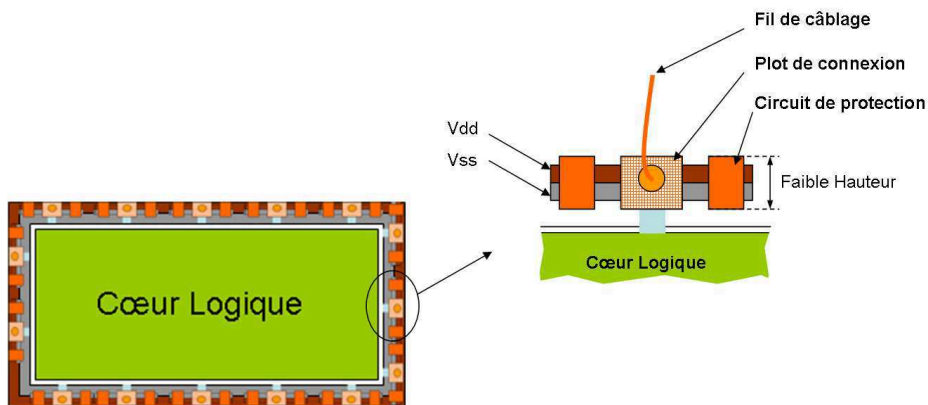


FIGURE 1.6: «*Core Limited*» : Limitation de la surface utile des E/S due à la taille du Cœur

Le nombre des E/S peut aussi imposer de considérer la géométrie de l'ensemble « cœur numérique-E/S » différemment. Dans ce cas, la dimension du cœur est moindre, mais c'est le nombre de *pads* qui

devient le facteur limitant. On parle de «*Pads Limited*», représenté par la figure 1.7.

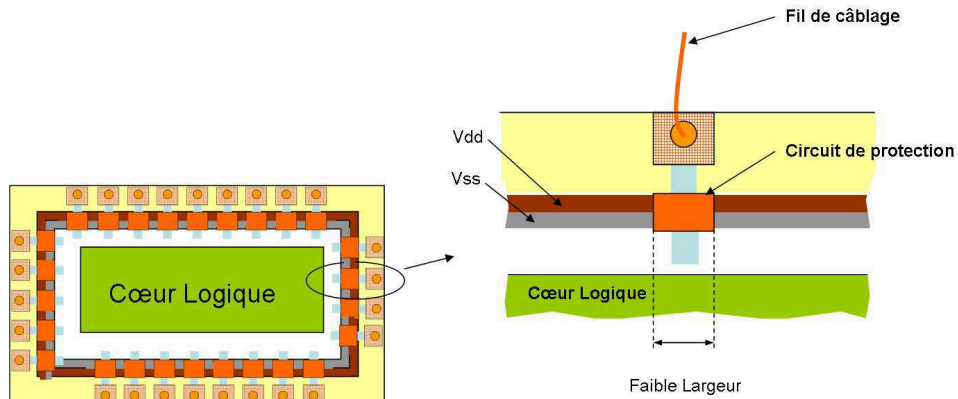


FIGURE 1.7: «*Pads Limited*» : Limitation due au nombre d'E/S

Concernant le «*Pads Limited*», il est possible d'opter pour une solution dite «*double ring structure*» qui permet de placer plus d'E/S. Un exemple est montré figure 1.8.

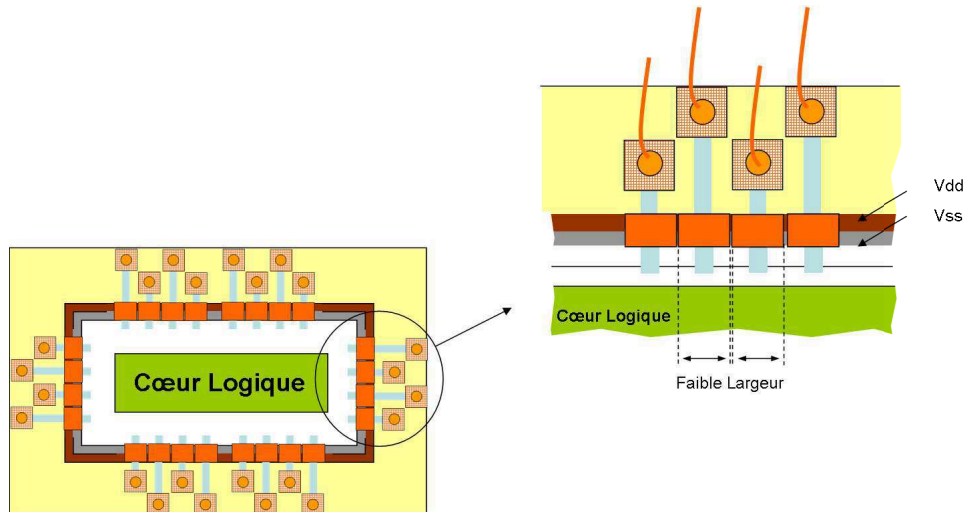


FIGURE 1.8: «*Double ring structure*» : Solution d'agencement des E/S

On trouve plusieurs types d'architecture de *pads*, selon la place qu'ils prennent et les circuits de protection qui les accompagnent.

Ainsi, prenant en compte notamment le nombre croissant d'E/S, les constructeurs ont été amenés à développer des boîtiers avec un nombre de broches de plus en plus important. La figure 1.9 illustre cette tendance.

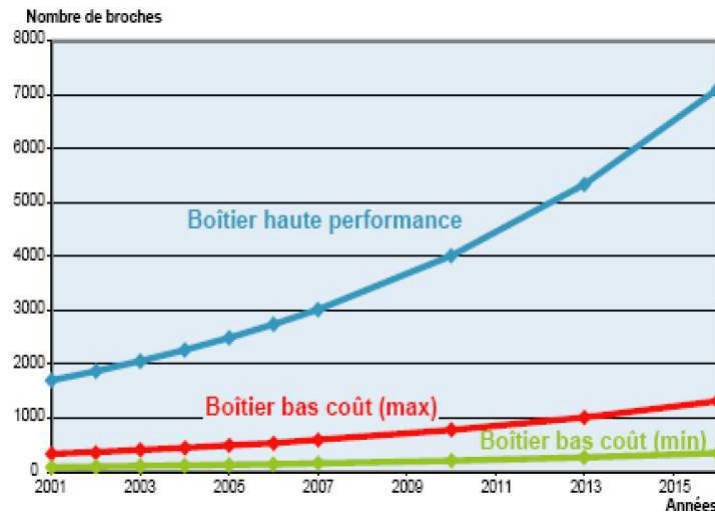


FIGURE 1.9: Évolution du nombre de broches des boîtiers

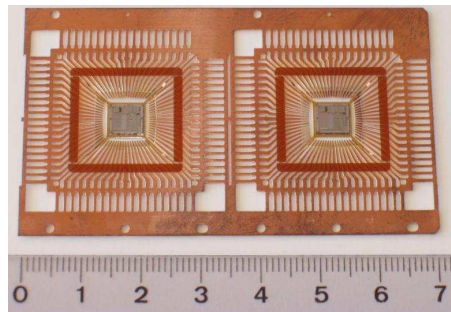
1.2 Techniques d'assemblage

L'insertion de fonctions multiples au sein d'un même boîtier a poussé vers l'émergence de techniques d'assemblage, permettant un haut niveau d'intégration. Cette section présente les méthodologies d'interconnexions les plus communes.

1.2.1 Report et Câblage

Le lead frame

Le circuit intégré terminé doit ensuite pouvoir communiquer avec le reste du circuit. Il est donc collé sur le *leadframe*, illustré par la figure 1.10. C'est une couche métallique fine dans laquelle sont gravées les pistes. Les fils de *bonding* permettront, par la suite, la connexion entre le circuit intégré et le *lead frame*.

FIGURE 1.10: *Leadframe*

Le Wire-Bonding ou Fil de Câblage

Le *wire bonding* ou micro câblage par fil est une technique permettant d'effectuer des connexions

filaires entre les plots d'un boîtier et ceux du substrat ou d'un autre circuit. Les matériaux utilisés sont, suivant leurs propriétés, des fils d'aluminium/silicium, aluminium/aluminium ou de l'or, et leur forme peut aussi être différente ; ce type de câblage permet d'obtenir de bons rendements en terme de densité d'interconnexions, malgré le temps nécessaire pour déposer les fils un à un.

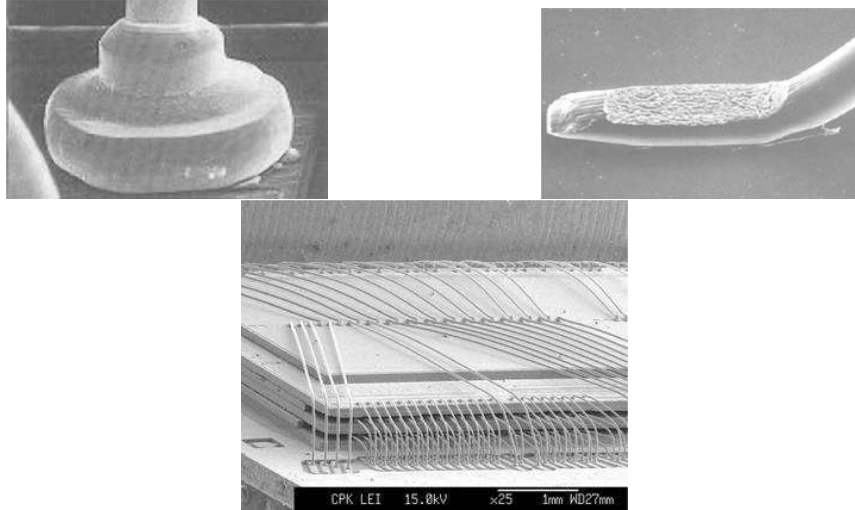


FIGURE 1.11: *Wire-Bonding*

La figure 1.11 présente deux types de soudure des extrémités du fil de câblage (*ball-bonding* et *wedge-bonding*), ainsi qu'un assemblage complexe, par empilement, de circuits interconnectés par micro-fil de câblage.

Le TAB : Tape Automated Bonding

Le principe du procédé TAB (Fig. 1.12) (*Tape-Automated Bonding*) est une méthode d'assemblage sur film souple et électriquement isolant appelé kapton (polyimide). Des pistes de cuivres sont collées sur ce film souple et recouvertes d'or pour éviter l'oxydation. Le procédé TAB peut aussi être utilisé comme *package*. La puce peut aussi être montée en inverse afin de diminuer la longueur de connexion et donc d'améliorer les propriétés hautes fréquences.

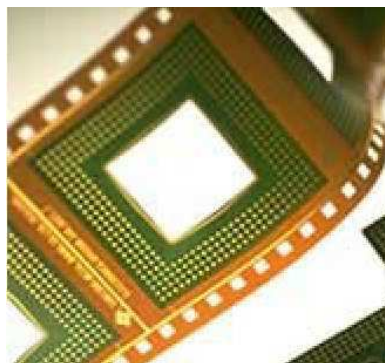


FIGURE 1.12: Tape Automated Bonding

Le Flipchip

Ce procédé a été originellement développé par IBM sous le nom de C4 (*Control Collapse Chip Connexion*). Les connexions du *chip* sur le substrat, le *leadframe* ou le PCB sont réalisées par des billes de métal composées d'un alliage d'étain, d'argent et de cuivre (SAC : Étain : *Sn*, Argent : *Ag* et Cuivre : *Cu*), on peut aussi trouver de l'or et/ou de l'aluminium. Cette technique permet une meilleure répartition des plots sur la surface de la puce, ce qui a pour avantage la réalisation d'un grand nombre de connexions sur une même puce. Un autre avantage est l'assemblage simultané de toutes les connexions – vrai aussi pour le TAB - et non plus fil à fil avec la méthode « *wire bonding* » [19].

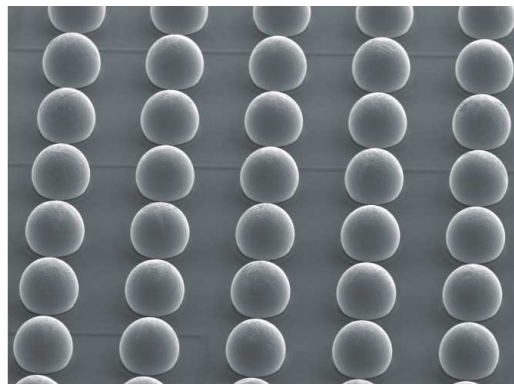


FIGURE 1.13: Flip Chip ou Bille de *Bumping*

Redistribution Layer, RDL

La figure 1.14 représente une puce et ses interconnexions en périphérie.

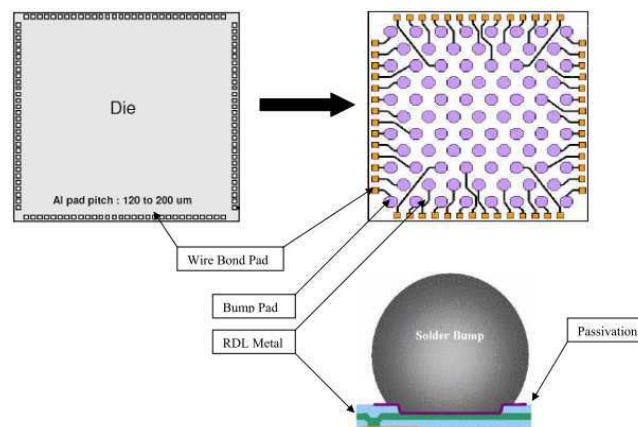


FIGURE 1.14: Redistribution Layer

La «*Redistribution Layer*» (RDL) est une couche composée de niveaux de passivations et de métallisations supplémentaires qui permettent la relocalisation des pads. Comme le montre l'exemple de la figure 1.14, la RDL permet de convertir la zone périphérique de connexion des fils de bonding en

une matrice d'interconnexion de *bumps*. Cette redistribution des E/S est utilisée lorsque le circuit est directement connecté sur un substrat (*Flip Chip*) ou sur un PCB (*Wafer Level Package*) [20] ce qui permet de se passer de l'utilisation de fils de bonding ou de *leadframe* .

1.2.2 Les Boîtiers

Il existe différents types de boîtiers permettant l'encapsulation de circuits, voir tableau 1.15. Nous retrouverons les caractéristiques électriques capacitatives et inductives de chacun des boîtiers.

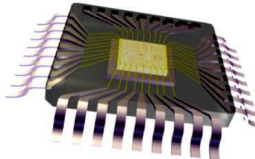
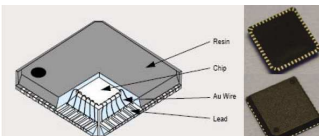
Type de Boîtier	Boîtier	Caractéristiques	Capacité de connexion	Inductance de Connexion
DIL, DIP : Dual In Line Package	 (a) Boîtier DIL	Peu utilisé car encombrant, il peut être en céramique ou en plastique.	1 – 10pF	10 – 40nH
SOP, SOIC : Small Outline Package Integrate	 (b) Boîtier SoP	Boîtier utilisé pour les circuits de petites densités (AOP, ASIC, CNA, CAN). en plastique optimisé en termes d'encombrement.	1 – 7pF	8.5nH
PGA : Pin Grid Array	 (c) Boîtier BGA	Boîtier utilisé pour les circuits de haute intégration avec possibilité de remplacement, il permet une forte intégration. (Microprocesseur, capteur CMOS)		5 – 20nH
QFP : Quad Flat Pack	 (d) Boîtier TQFP	Boîtier utilisé pour l'intégration de circuits de moyennes densités. (microprocesseur, FPGA, DSP, ASIC,...), Bonne densité d'intégration Présence d'un plan de masse métallique (connexion de bonding et performances thermiques et électromagnétiques)	2 – 5pF	2.5nH
BGA : Ball Grid Array	 (e) Boîtier PBGA	Application pour des circuits intégrés de haute densité (FPGA, microprocesseur) Il permet une haute densité de connexions.	1 – 10pF	0.5 – 10nH
QFN : Quad Flat Pack No Lead	 (f) Boîtier QFN	Dérivé du QFP et du LGA, très utilisé pour les ASICS HF		

FIGURE 1.15: Illustration des principaux types de boîtiers

Boîtiers céramiques

Malgré l'avance des matériaux plastiques, l'utilisation de boîtiers céramiques reste importante pour des applications nécessitant de hautes performances. Ce type de boîtiers permet un fonctionnement sans résonances jusqu'à 40GHz. De plus ces boîtiers peuvent s'adapter à toutes les configurations possibles

d'assemblage, ce qui les rend très flexibles d'utilisation. Les modes de fermeture sont effectués par brasures ou par collage de capots qui peuvent être en métal ou céramique.

Boîtiers plastiques

Pour diminuer les coûts d'assemblage, de plus en plus de matériaux plastiques sont utilisés. Ces boîtiers sont moulés sur un support de connexion métallique (*leadframe*) autour duquel est injectée et moulée une résine d'encapsulation (*molding*). Le *leadframe* joue le rôle de support de l'assemblage durant les opérations de fabrication, de barrière au passage du plastique durant le moulage, de substrat de fixation pour la ou les puces, de matrice de support pour le plastique, de conducteur électrique et thermique vers l'extérieur.

1.2.3 Assemblages Complexes

Comme il a été présenté dans les sections précédentes, les techniques d'intégration et d'interconnexion permettent d'insérer dans les boîtiers plus de composants et de circuits. Ces avancées passent par le développement de techniques d'assemblage complexes. En terme d'intégration, deux solutions cohabitent et permettent de fournir, selon le besoin, des systèmes hautement intégrés. Le SoC, pour *System-on-Chip*, est l'intégration monolithique de plusieurs fonctions de même technologie, fig. 1.16.

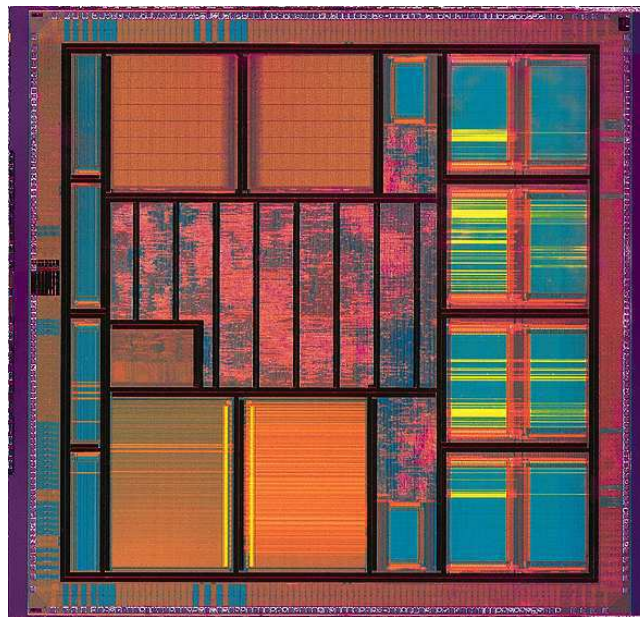


FIGURE 1.16: SoC : System-on-Chip

Quand au SiP, *System-in-Package*, il permet l'intégration de fonctions diverses, de technologies différentes.

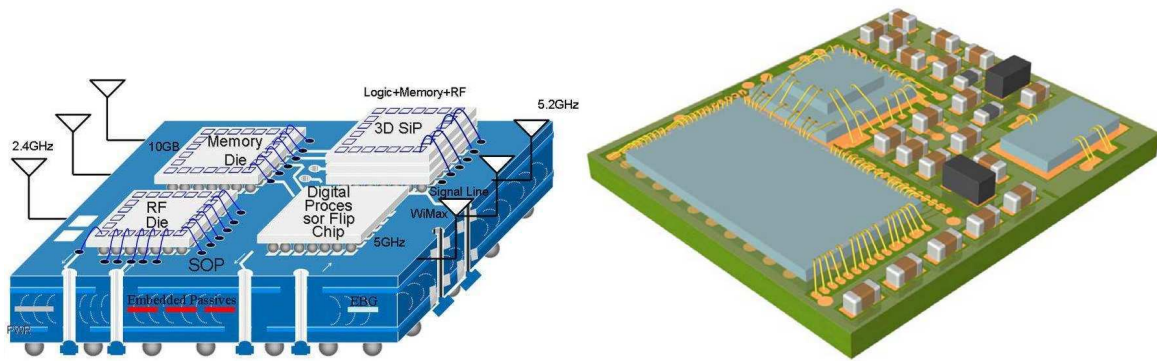
Chacune de ces solutions suppose son lot d'avantages et d'inconvénients. Ainsi il n'existe pas de solution idéale mais plutôt deux possibilités offertes au concepteur face au cas particulier auquel il est

confronté. En effet, tout industriel qui veut intégrer un système électronique dans un seul boîtier doit choisir entre le SiP, flexible mais plus cher, et le SOC, plus complexe à concevoir et plus compétitif... à condition de fabriquer quelques millions d'unités. Il est cependant possible d'allier ces deux technologies dans un même boîtier pour les combiner et ainsi tirer avantage des deux approches. Le tableau 1.2 présente les possibilités offertes par ces deux solutions.

Avantages	Inconvénients
SiP	
Différentes technologies peuvent être utilisées actives (GaAs, InP, Si, SiGe,...) et passives	Assemblage, logistique complexes
Circuits de générations différentes	Densité de circuits dans le boîtier élevé
Réutilisation de circuits pré-existants	Outils de conception, d'analyse et de simulation inexistantes ou inadéquates
Indépendance des sources de perturbations/circuits	
Vitesse de mise sur le marché	
SoC	
Meilleur rendement en terme de productivité	Réutilisation complexe
Miniaturisation élevée	Miniaturisation très complexe pour les SoC de grandes tailles
Performances	Modifications complexes
Faible coût pour des productions élevées	
Outils de simulations performants	
Grandes densités d'interconnexions	
Fiabilité	
Logistique simplifiée	

TABLE 1.2: Avantages et inconvénients des SiP et SoC

Le SiP, illustré par la figure 1.17, est plus qu'un boîtier de circuit intégré contenant plusieurs puces. Les composants issus de la technologie SiP sont des systèmes ou sous-systèmes totalement fonctionnels dans un format standard de boîtier. Ils contiennent une ou plusieurs puces actives avec d'autres composants qui sont traditionnellement placés à l'extérieur sur la carte de circuit imprimé ou PCB (*Printed Circuit Board*) comme par exemple : les circuits passifs, les composants montés en surface, les réseaux de connexions, les blindages contre les perturbations électromagnétiques [24, 23] et des MEMS (*Micro Electro Mechanical Systems*).

FIGURE 1.17: Illustration de *System-In-Package*

Cette technologie permet l'intégration de composants hétérogènes dans un même boîtier. Le SiP peut être divisé en trois niveaux d'intégration :

Niveau 1 : Boîtier multi-puces (MCM *Multi Chip Module*, PiP *Package in Package*, PoP *Package on Package*) ;

Niveau 2 : Sous-systèmes utilisant plus que les procédés de circuits intégrés standards ;

Niveau 3 : (Sous-)microsystèmes n'ayant pas que des fonctions électriques.

Ces trois niveaux sont croissants en terme de complexité d'intégration avec la nécessité d'utiliser des technologies différentes et non standard. Pour répondre à ces besoins une multitude de configurations sont possibles, quelques unes sont illustrées par le tableau 1.3.

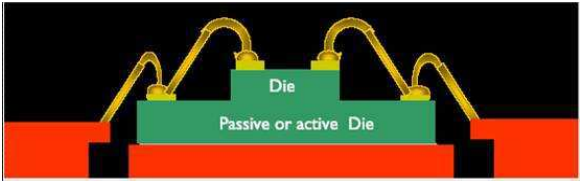
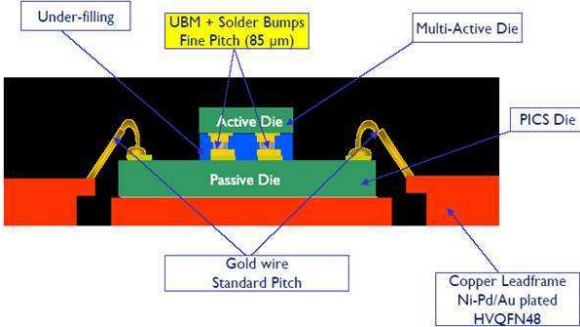
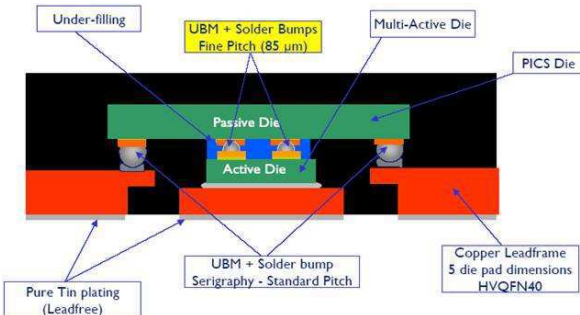
Type d'assemblage	Assemblage
Empilement de Puce	 (a) Puce empilée
Simple Flip Chip	 (b) Simple Flip Chip
Double Flip Chip	 (c) Double Flip-Chip

TABLE 1.3: Solutions d'assemblage

D'autres techniques de mise en boîtier font leur apparition, elles permettent d'éliminer le *lead-frame*, l'époxy et le moulage utilisés dans les techniques habituelles de mise en boîtier ; d'autre part toutes les connexions électriques se trouvent d'un seul côté du silicium et de plus en plus réalisées grâce aux billes de contact (*bump*). Ces techniques minimisent l'encombrement et l'épaisseur du composant, ce qui réduit l'inductance parasite. L'assemblage et la mise en boîtier sont réalisés directement sur le *wafer*.

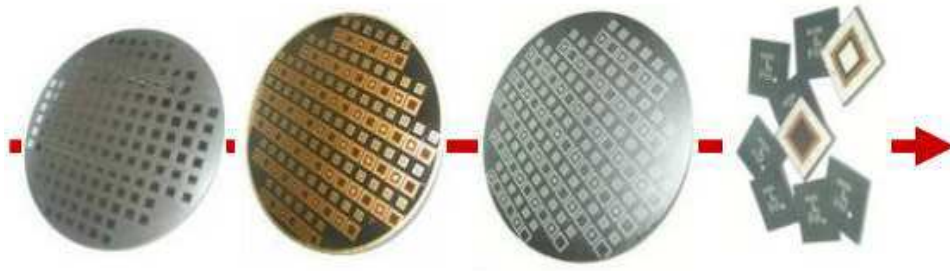


FIGURE 1.18: Wafer Level Package

L'intérêt majeur du « *wafer level packaging* » (toute opération nécessaire à la fabrication des boîtiers de circuits intégrés est réalisée sur le *wafer* avant découpe en circuits élémentaires) est de minimiser les coûts du *back-end*. De plus en plus, le développement de techniques de connexion au travers de vias ou de « *micro-vias* » permet l'exploitation des deux faces du silicium pour la redistribution des contacts. Cette technique permet l'intégration de composants passifs ainsi que la mise en boîtier de composants à onde de surface (SAW « *Surface Acoustic Wave* », BAW « *Bulk Acoustic Wave* »). La figure 1.19 présente différentes solutions de *packaging*, utilisant le placement des puces côte-à-côte, superposées, connectées par des fils de câblage (*wire-bonding*), des vias ou des *bumps*.

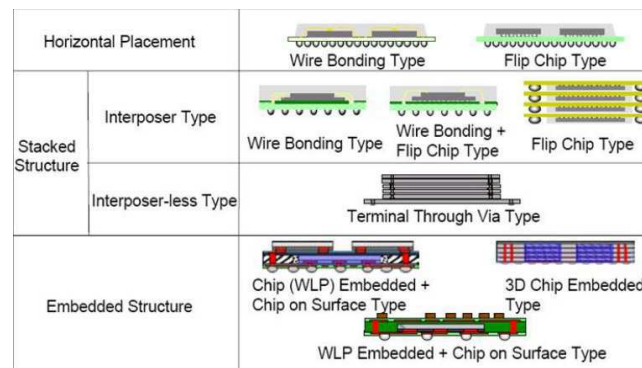


FIGURE 1.19: Structures d'assemblage

Cette figure 1.19 souligne l'importance du type d'interconnexions à choisir selon la complexité du système à assembler.

1.2.4 Solutions d'Intégration Passive : Spécificité de la Solution d'Intégration PICS

Les cibles visées par les SiP sont les applications nécessitant un fort taux d'intégration, tout autant pour les fonctions actives que pour les fonctions passives. Différentes alternatives d'intégrations passives existent. Dans le cadre de ce travail, un intérêt particulier sera porté sur la solution d'intégration passive PICS (*Passive Integrating Component Substrate*) [26], dont on soulignera les potentialités et les atouts.

Dans le cadre de cette étude, l'intérêt portera principalement sur les aspects de stratégies de décou-

plage et des attributs d'assemblages propres à la solution PICS.

1.2.4.1 Composants Montés en Surface (CMS)

Actuellement, une grande majorité des fonctions passives sont disponibles sous la formes de composants « montés en surface », ce type de composant est appelé CMS (Composant Monté en Surface, ou *SMD*, « *Surface Mounted Component* »). La figure 1.20 illustre l'assemblage de composants CMS assemblés sur un PCB.

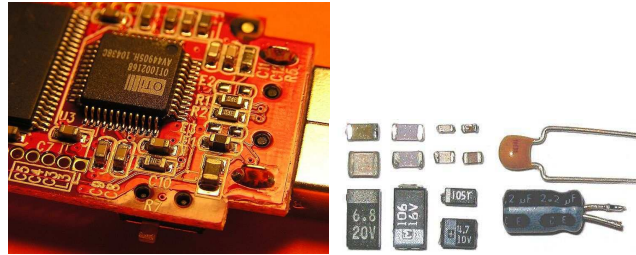


FIGURE 1.20: Composants CMS

Ces composants offrent une grande flexibilité d'intégration sur circuit imprimé grâce à la normalisation de leurs dimensions : ils peuvent être changés pour cause de défaut, d'amélioration de fonctionnalités et/ou de performances. Dans le cas de l'intégration en boîtier, les composants CMS sont moins flexibles :

- Ils sont adaptés aux dimensions de circuits imprimés, bien supérieures à l'univers du SiP ;
- Les techniques d'assemblage et de montage de ces composants sont différentes des techniques utilisées pour le *packaging*.

1.2.4.2 Composants Passifs Intégrés

La réalisation et la conception de composants passifs intégrés ont donc émergé afin de répondre aux besoins des niveaux d'intégration et de confinement. Le substrat d'accueil définira le type de composant passif potentiellement intégrable :

- Le composant type « *back-end* » concerne les composants passifs dits « enterrés » (*PID*, *Passif Integrated Device*) dans le substrat du boîtier,
- Le composant type « *front-end* » qui concerne le regroupement de composants passifs sur un circuit intégré.

Les techniques de « *front-end* » ont permis d'obtenir de forts taux d'intégration, principalement grâce au développement de « puits capacitifs ».

Historique des puits capacitifs Le paragraphe qui suit discute un historique des puits capacitifs :

Texas Instrument, 1976 Texas Instrument dépose un brevet en 1976 concernant des capacités constituées de tranchées rectangulaires ou en forme de V. De ce fait, la surface est augmentée de 70% lorsque l'on passe d'une capacité plane à une tranchée. Le gain en sera d'autant plus important si la profondeur et le nombre de tranchées sont augmentés.

Concept SIKO (Silizium Kondensator), 1996 Cette idée fut reprise récemment par Siemens, en 1996. Le process SIKO est constitué de puits gravés dans le silicium. La dimension des trous (2µm de diamètre, 200µm de profondeur) permet une augmentation d'un facteur 100 par rapport à une capacité plane.

EXTSC, Natlab, 2000 Une équipe du laboratoire Natlab propose le procédé EXTSC (*Extended Storage Capacitor*) en 2000 ; il permet de réaliser les capacités PICS.

PICS, Philips Semiconductors, 2001 Sur le site de Caen, des essais de faisabilité ont été mis en oeuvre en 2001, en vue d'une industrialisation. Ces essais se basaient sur le procédé développé par Natlab.

Dans le cadre de notre étude, le procédé PICS offre un potentiel important en terme de gestion de l'intégrité des alimentations. Nous allons donc décrire ses potentialités avec plus de précisions.

1.2.4.3 Solutions d'Intégration PICS

La solution PICS (*Passive Integrating Component Substrate*), grâce à une technologie à trois dimensions, fournit des valeurs de capacité de 25 à 250 nF/mm² dans des wafers de silicium microporeux.

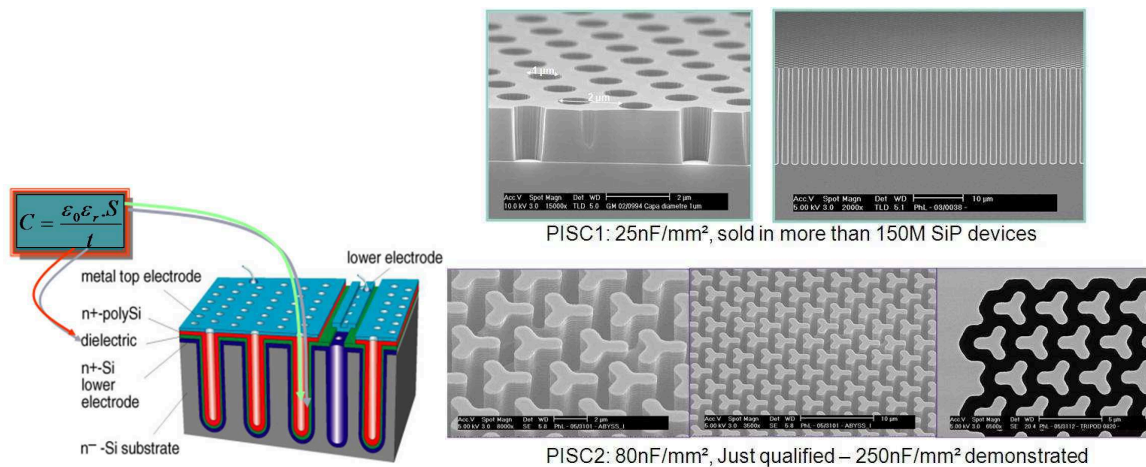


FIGURE 1.21: Procédé PICS

Ce procédé 3D permet d'augmenter la surface des électrodes par des rangées de trous (figure 1.21). Comme la valeur de la capacité est proportionnelle à la surface de ses électrodes, ce procédé multiplie la densité d'intégration des capacités par un facteur vingt. L'épaisseur du diélectrique, formé d'Oxyde, de Nitride et d'Oxyde (*ONO*) déposé dans les trous est de $30nm$. Le tableau 1.4 présente les diverses technologies PICS développées chez NxP.

	PICS1	PICS2	PICS3	PICS2DCS Alu	PICS2DCS Cu
Année	2003	2005	2006	2007	2008
Epaisseur Métallisation IN2 [μm]	3	3	3	3	8
Epaisseur Métallisation IN1 [μm]	1	1	1	1	1
Résistance Carré IN2 [$m\Omega/\square$]	30	30	30	30	2.2
Résistance Carré IN1 [$m\Omega/\square$]	10	10	10	10	10
PICS Capacitance [nF/mm^2]	25	80	250	Substrat sans Capacité développé pour les applications RF	
MIM Capacitance [fF/mm^2]	80	80	80	Substrat sans Capacité développé pour les applications RF	
Substrate [$k\Omega.cm$]	1 to 5	1 to 5	1 to 5	1 to 5	1 to 5

TABLE 1.4: Evolution des technologies PICS

Le procédé PICS est une technologie composée au moins de deux niveaux de métallisation. Les inductances (figure 1.22) sont réalisées grâce à ces deux niveaux de métal.

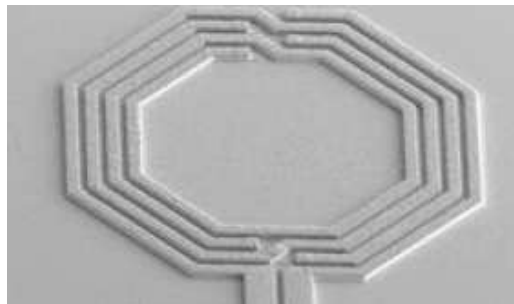


FIGURE 1.22: Inductance PICS

Les résistances quant à elles, sont réalisées en surface par la couche de polysilicium déjà utilisée pour les capacités.

Cette solution présente ainsi des atouts majeurs liés aux potentialités : des vias épais traversants (*via-hole*), des capacités à fortes densités d'intégration, et des composants résistifs et inductifs bénéficiant de la haute résistivité du substrat silicium utilisé. Ces avantages sont renforcés par la possibilité d'utiliser un procédé à base de métaux épais (épaisseur de métal atteignant $8\mu m$) pour minimiser les pertes et

augmenter les valeurs de facteurs de qualité.

Grâce à l'intégration de ces composants passifs, il est possible de réaliser des fonctions telles que : les baluns (*balanced-unbalanced* : transformateur symétrique-dissymétrique), les filtres de PLL (*Phase Locked Loop*), les capacités de découplage ou des filtres (passe-bas, passe-bande,...). Toutes ces fonctions combinées avec une ou plusieurs puces actives permettent d'obtenir des fonctionnalités de plus en plus complexes tout en garantissant une miniaturisation poussée.

1.2.4.4 Développement de solutions innovantes utilisant le PICS

Les progrès en terme d'intégration ont permis de développer des systèmes in-vivo (mesure de température, observation,...) (Puce Tempill développée par NXP Semiconducteurs, Fig. 1.23).



FIGURE 1.23: Puce SiP In-Vivo : Tempill

D'autres techniques d'intégration de composants passifs ont permis par exemple le développement d'un transpondeur passif intégré, activé par un scanner, illustré par la figure 1.24.



FIGURE 1.24: PIT : Passive Integrated Transponder

1.3 Systèmes Intégrés & Défis

1.3.1 Consommation, Autonomie, Stress et Fiabilité

La miniaturisation permanente des composants électroniques permet d'embarquer de plus en plus de fonctions dans les équipements et accessoires portables, tels que les PDA (*Personal Digital Assistant*), téléphones, lecteurs MP3, caméras etc [27]. Ces derniers deviennent multifonctionnels, pouvant, par

exemple, cumuler la saisie et le traitement d'images, la reconnaissance vocale, les transmissions de données etc. Mais cet accroissement du nombre de fonctions s'accompagne d'un besoin en sources d'énergie miniaturisées et performantes. Si l'alimentation électrique n'a suscité que peu d'intérêt, d'efforts de recherche et de développement dans le passé, elle est aujourd'hui unanimement reconnue comme l'enjeu majeur à surmonter pour les prochaines générations de l'électronique portable. Les applications et les marchés sont considérables, couvrant à la fois le militaire et le civil.

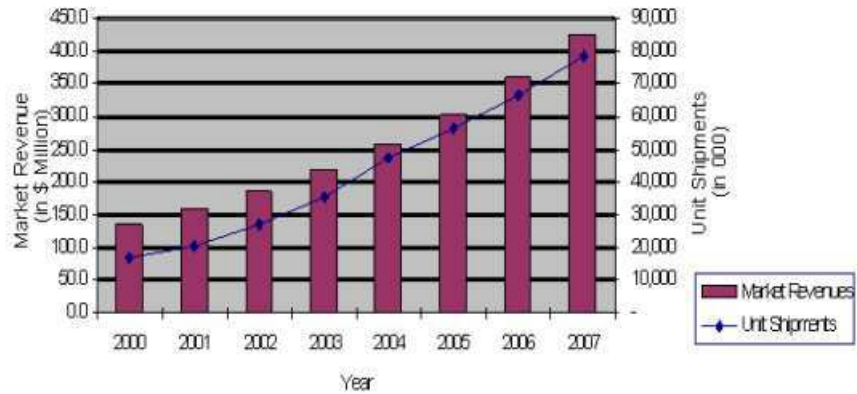


FIGURE 1.25: Tendances marché des batteries

Les performances des systèmes actuels sont, de plus, valorisées par la portabilité des produits.

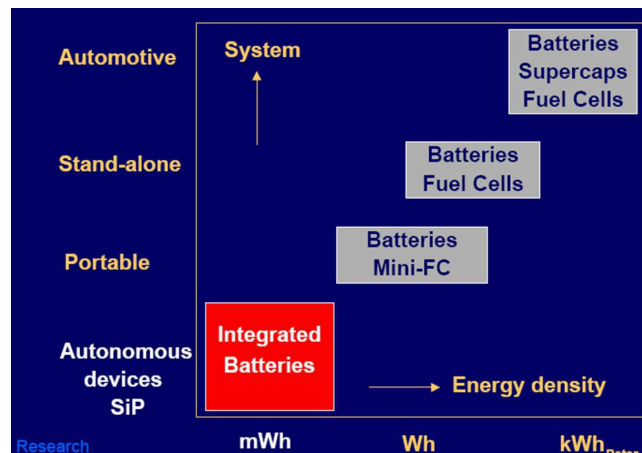
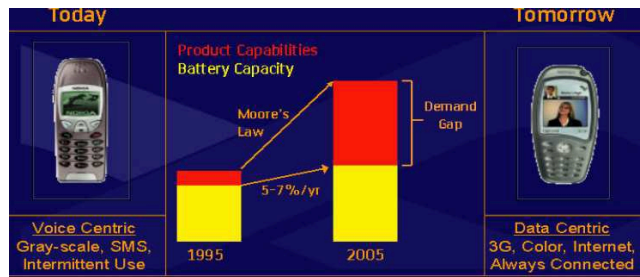


FIGURE 1.26: Evolution de la demande énergétique

De plus, les fonctionnalités avancées provoquent une demande supplémentaire d'énergie [27, 28].



Etats-Unis Micro-electronique, Technologies & Strategies- Micro-sources d'énergie, n°27(2002)

FIGURE 1.27: Augmentation de la demande énergétique

Enfin les tendances d'intégration abordent aussi les batteries, le principe de « *Wafer Level Batterie* » (Fig. 1.28) commence à fournir des résultats encourageants [27, 29].

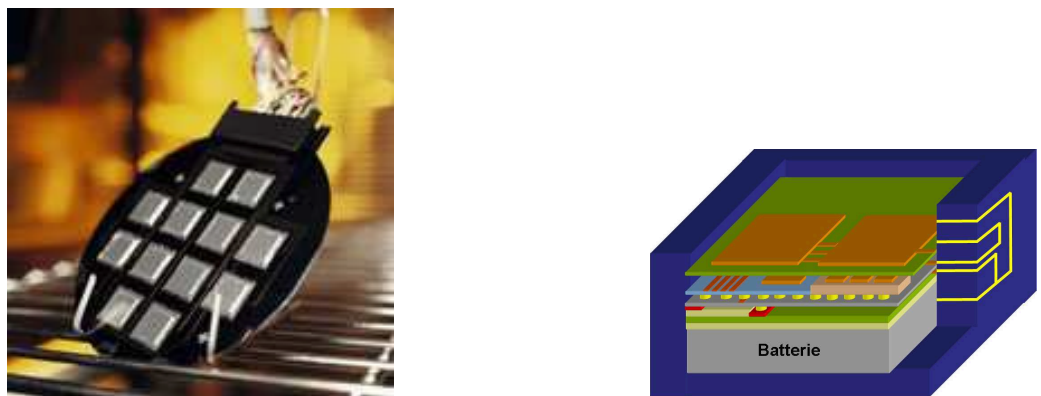


FIGURE 1.28: Wafer Level Batterie

Les sections précédentes (1.1, 1.2, 1.3) ont présenté les différentes techniques d'intégrations et d'assemblages, ainsi que les contraintes que celles-ci imposent concernant la consommation de puissance. Ces innovations d'intégration imposent une augmentation des phases d'assemblage, et provoquent des forts stress aux systèmes.

Lors des phases de fabrication de systèmes complexes, ceux-ci subissent tout d'abord une série d'efforts dus à l'assemblage, et d'autres contraintes apparaissent par la suite qui sont dues cette fois-ci au confinement des diverses fonctions composant le système. Ces efforts et contraintes mettent en péril la durée de vie du produit et donc sa fiabilité.

La fiabilité est l'aptitude d'un dispositif à accomplir une fonction requise dans des conditions données pour une période de temps donnée. Elle se mesure par une probabilité. L'évolution du taux de défaillance d'un produit pendant toute sa durée de vie est caractérisée par une courbe appelée « courbe en baignoire » (Figure 1.29).

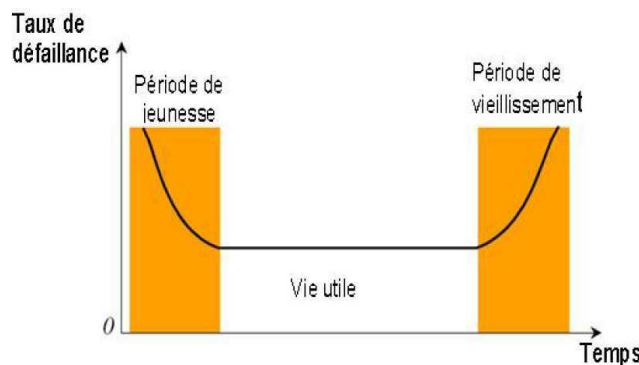


FIGURE 1.29: Fiabilité : Courbe de défaillance

La période de jeunesse est caractérisée par une décroissance rapide du taux de défaillance. Cela s'explique par une élimination progressive de défauts dus au processus de conception ou de fabrication mal maîtrisée ou à un lot de composants mauvais. La phase suivante, généralement longue, est la période de vie utile du produit durant laquelle le taux de défaillance est approximativement constant. Les pannes qui peuvent apparaître lors de cette phase sont dites aléatoires, leur apparition n'est pas liée à l'âge du composant mais à d'autres mécanismes d'endommagement. Enfin le produit arrive en fin de vie, c'est la période de vieillissement. Elle est caractérisée par une augmentation progressive du taux de défaillance. Cette période est au-delà de la durée de vie réelle d'un composant. Pour prévoir le comportement de ces structures dans le temps, des tests standards ont été mis en place comme l'*International Electrotechnical Commission standards* (IEC), *MIL STD 883* (standard militaire), Telcordia, norme JEDEC. En plus de ces normes, il faut tenir compte des applications visées par le produit pour ne pas alourdir les procédures de fiabilisation.

Issue du document ITRS (*International Technology Roadmap for Semiconductors*) *White Paper V9.0* [30], une liste de ces stress est présentée. La notion de stress soulève plusieurs problèmes : d'une part leur apparition, ce qui paraît trivial, leurs effets sur les systèmes mais surtout les moyens de s'en protéger, ou comment les anticiper. Les trois principales notions de stress sont abordées succinctement : le stress thermique, mécanique et électrique. Quels en sont les effets ? De quels outils disposons-nous ? Nous verrons que la notion de puissance prend une grande part dans la génération de ces stress, et que la fiabilité des SiP tient dans la mise en oeuvre de systèmes robustes, depuis son assemblage éventuel sur une carte PCB, en passant par le boîtier et ce jusqu'aux fonctions enfouies actives ou passives.

La notion de miniaturisation induit une notion de consommation d'énergie plus localisée et donc de densité de chaleur émise par chacune de ces fonctions. Le rayonnement calorifique entre circuits peut générer des dysfonctionnements lorsque la température générée par un circuit dépasse les spécifications préconisées pour un autre constituant du SiP. Un autre paramètre concernant la dissipation est la

fiabilité dans le temps du système ; la dissipation de chaleur peut induire des déformations mécaniques qui à long terme deviennent critiques. Afin de répondre à cette problématique d'échauffement, et pour faire face à la complexité des systèmes étudiés, des outils de simulations permettent d'aider les concepteurs lors de l'étude du comportement thermique [33]. Ces outils permettent au concepteur de cartographier et d'identifier les sources de chaleur selon les circuits actifs présents dans le système (Comsol, Ansys) [34, 35]. La difficulté d'analyse est croissante lorsque le niveau d'intégration est élevé. La considération des effets thermiques tient en deux points importants : la conductivité thermique du substrat avant l'assemblage, ce qui permettra lors de l'ajout des sources de chaleur, modélisant l'activité thermique des circuits, de générer un modèle global de dissipation thermique. Le deuxième point tient compte de l'optimisation de conception. Les simulations doivent être capables d'aider le concepteur à minimiser les pics de chaleur, et ce en intégrant les données des éléments passifs et actifs constituant le système.

La dissipation de chaleur peut-être réalisée par des radiateurs, ce qui permet d'augmenter la surface de dissipation et donc la jonction métal-air. Actuellement, les radiateurs ont une taille beaucoup plus importante que les circuits sur lesquels ils sont positionnés, en considérant les tendances de miniaturisation, la taille de ces radiateurs va devenir une nouvelle contrainte.

Le choix des matériaux utilisés dans la conception des SiP est essentiel. En effet, ils doivent être capables de supporter tout autant les effets thermiques que mécaniques. Lors des procédés d'assemblage et de packaging, les constituants du système subissent plusieurs cycles de stress dus aux différentes opérations d'assemblage. L'objectif est de diminuer le stress induit par les phases de dilatation créant des délaminations et des craquages. La référence [30] discute une liste de défauts de fiabilité mécanique pouvant amoindrir la robustesse de SiP :

- L'empilement de circuits et de boîtier augmente la rigidité du système ; l'analyse du comportement de chacun des matériaux en présence est importante afin d'estimer les impacts dus aux déformations.
- L'effet des vibrations et résonances mécaniques qui apparaissent entre les circuits,
- Le poids des circuits empilés devient aussi une contrainte importante sur les billes de connexion,
- La dimension des circuits peut provoquer une fatigue au niveau des jointages,
- Les techniques d'interfaçage, les espaceurs, les colles et les moulages se dilatent selon un module différent provoquant des déformations allant jusqu'à la rupture ou la délamination,
- Les gradients d'échauffement s'avèrent particulièrement critiques sur les composants analogiques, qui devraient être localisés dans une zone subissant un stress le plus uniforme possible,

- L'impact de l'humidité absorbée par l'ensemble des matériaux est aussi une contrainte dégradant la fiabilité du système.

Les outils de simulations, de modélisations et les méthodologies d'analyses doivent pouvoir prédire les réponses des matériaux soumis aux vibrations, à l'environnement et aux forces appliquées. Le défi pour l'analyse des contraintes mécaniques est une fois de plus de tenir compte de la complexité du système, et ce autant au niveau de la conception qu'au niveau des phases de simulation du système dans son environnement.

Nous avons vu dans la présentation des stress mécaniques et thermiques que la complexité des structures SiP impose de nouvelles contraintes [33]. L'augmentation de la fréquence de fonctionnement, l'activité de chaque circuit actif imposent de nouveaux efforts, cette fois d'origine électrique, à l'environnement. L'origine électrique peut être analysée sous deux aspects, le premier concerne l'aspect signal, le second concerne l'alimentation. Malgré cette segmentation, ces deux aspects sont étroitement liés. Les circuits numériques fonctionnent sur des niveaux logiques dont la valeur est considérée à 0 ou à 1, soit un niveau de tension de signal de 0 Volt et 1,1 Volts à +/-10% selon les tolérances aux fluctuations environnantes. Concernant les circuits analogiques, l'influence de perturbations est un aspect plus délicat. Le terme analogique est défini par la variation d'une grandeur physique (température, pression, vitesse, ...) donc beaucoup plus sensible à l'environnement et à ses variations. Le principe du SiP est justement l'assemblage de fonctions hétérogènes dont la cohabitation n'est pas toujours aisée à mettre en oeuvre. Lorsqu'il est question de quantifier la capacité d'un signal à conserver ses performances et les spécifications demandées, on parle d'intégrité : intégrité des signaux (SI : *signal integrity*) et intégrité des alimentations (PI : *power integrity*) [36, 37]. Diverses solutions existent afin de lutter contre l'apparition et la propagation de ces phénomènes, depuis les techniques de layout, de découplage, d'économie d'énergie et de gestion de l'activité. Une fois de plus, le niveau d'intégration nécessite de nouveaux outils de modélisation et de simulation capables de considérer les sources d'activité, et leur influence au travers des différents modes de propagation des perturbations électromagnétiques dans leur environnement.

De manière générale, les performances offertes par le niveau d'intégration des nouvelles techniques d'assemblages posent des défis à la hauteur de ces mêmes performances. Que le stress soit mécanique, thermique ou électrique, la difficulté reste la même : considérer l'environnement, la source et l'impact sur le système à tous les niveaux d'échelle (PCB, Boîtier, Interconnexions, Circuits numériques, Circuits Analogiques, composants passifs,...). La co-simulation permet à l'analyste la simulation multi-échelle et multi-physique d'un système complexe.

Cette thèse se penche sur la problématique de l'influence de l'activité électrique des circuits et des interactions qui peuvent découler de cette activité sur les niveaux d'alimentations et des signaux. Cette approche est synthétisée en fonction des points suivants :

- Sources de perturbations,
- Modes de propagation des perturbations et influences du réseau de propagation
- Impact des perturbations sur un système susceptible.

1.3.2 Générations de perturbations

La conséquence de l'évolution des technologies numériques (densité, rapidité, intégration) est une moindre immunité face à des perturbations internes et externes. Ceci a pour conséquence de grandes fluctuations du niveau d'alimentation. D'autre par, les niveaux analogiques sont de plus en plus précis et fins. Il a été démontré à plusieurs reprises que le niveau d'agression d'un circuit digital sur son environnement est supérieur aux fluctuations générées par un circuit analogique [25]. Le bruit transitant par le substrat [22] dégrade les performances des circuits analogiques [39]. La susceptibilité et l'émissivité sont donc des problèmes cruciaux lorsque l'on aborde la notion de circuits complexes et mixtes, tel que les SiP et les SoC. Cette proximité au sein de tels systèmes impose de considérer avec attention les phénomènes polluants d'origine analogique et numérique et bien sûr, leur susceptibilité. En effet, celle-ci est particulièrement délicate dans le sens où un parasite peut avoir plusieurs origines et profils.

Le tableau 1.5 présente les fonctions et l'ordre de grandeurs à différents niveaux d'intégrations, qui sont le Circuit Intégré, les Systèmes et le PCB. Le modèle phénoménologique de la Compatibilité Electromagnétique est décrit par la Source, le Chemin de Propagation, et enfin la Victime.

Niveau d'intégration	Circuits intégrés			Systèmes	Carte PCB
Fonctions	Transistors	Portes logiques	Circuits intégrés	SiP	Système sur Carte PCB
Ordre de Grandeur	1nm-100nm	1µm-100µm	1nm-1cm	20µm-1cm	300µm-20cm
Sources	Portes logiques Buffers de sorties Plots d'alimentation Circuits Digitaux Composants actifs			Puces actives	Parties actives SoP, SoC, SiP, Alimentations (batteries, Secteur)
Chemin de propagation	Connexion intra-circuit, Composants passifs			Niveaux d'interconnexions	Couches d'interconnexions, Pistes métalliques, Air,...
Victime	Circuits Analogiques, Mixtes et Numériques			Fonctions Analogiques, Mixtes et Numériques	Circuits, Systèmes analogiques et Mixtes

TABLE 1.5: Influence de la génération de perturbations sur l'environnement

Il est important de noter que ce tableau exclut les interactions qui existent entre les niveaux d'intégration.

La prise en compte des effets associés (thermique, électromagnétique et mécanique) est difficile à prendre en compte, pour les raisons suivantes :

- D'un point de vue physique, il faut avoir une idée précise de la manière dont les perturbations sont véhiculées dans les circuits électroniques. Chaque niveau d'interconnexions possède les modes et les types de couplages électromagnétiques et thermiques.
- D'un point de vue technologique, il est important de considérer la nature des circuits présents.
- D'un point de vue architecture, la combinaison de circuits complexes dans un même boîtier impose de prendre en compte la notion d'intégrité très tôt dans la conception, depuis le PCB jusqu'au transistor.

1.3.2.1 Générations de perturbations dans les lignes et Effets locaux associés

Les perturbations se propagent au travers de plusieurs médias de transmission. Le support de couplage peut être ainsi défini : soit il est considéré en mode conduit, au travers de lignes métalliques, de semiconducteurs, soit il est considéré couplé ou rayonné, dans ce cas il n'a pas besoin de support. Dans les deux cas, le changement de milieu de propagation a un effet sur l'allure de la perturbation.

Ces couplages en champ électrique ou magnétique peuvent être représentés respectivement par des liaisons capacitives ou des mutuelles inductances (M). Quand ces couplages interviennent sur des connexions électriques, on parle alors de couplages « câble à câble » ou de phénomènes de diaphonie

(ou *crosstalk* est le terme anglo-saxon) capacitive ou inductive [31], telles qu'illustrées par la figure 1.30.

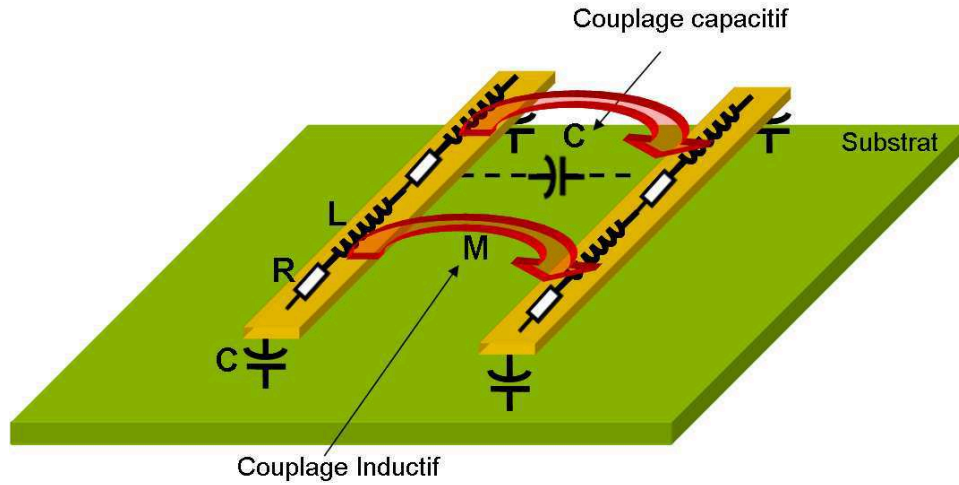


FIGURE 1.30: Diaphonie ou Couplage capacitif et Inductif entre deux lignes

Cet exemple illustre les couplages qui peuvent apparaître entre deux lignes. La diaphonie correspond au comportement d'une composante intrinsèque d'un conducteur face à un signal transitoire. Pour chaque effet de couplage et modèle intrinsèque de la ligne est associé le comportement transitoire de la composante, afin de relier l'origine, l'effet et la cause de la perturbation.

Lors de la commutation d'une fonction, le courant dynamique induit par la commutation (di/dt) provoque sur les rails d'alimentation et les interconnexions des perturbations couplées, rayonnées ou conduites. Le phénomène est appelé *SSN*, acronyme du terme anglais *Simultaneous Switching Noise* ou *Simultaneous Switching Output Noise*.

Capacité Intrinsèque La figure suivante illustre l'apparition de couplages capacitifs autour d'une ligne de métallisation.

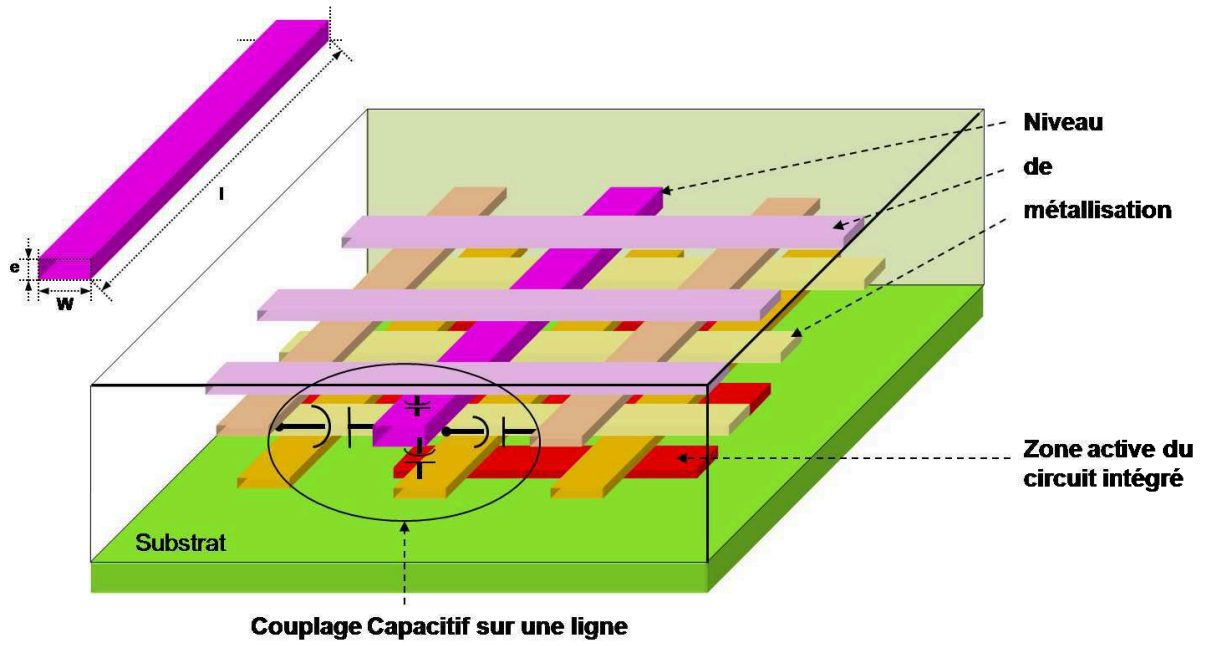


FIGURE 1.31: Couplage Capacitif à un niveau de métallisation

La capacité représente l'aptitude de la ligne à emmagasiner ou à dégager des charges sous l'effet d'un champ électrique généré par la propagation d'un signal. De manière générale, une capacité est définie par la formule générale suivante :

$$C = \epsilon_0 \cdot \epsilon_r \cdot \frac{w \cdot l}{t} \quad (1.1)$$

Où C représente la capacité, ϵ_0 et ϵ_r sont respectivement la constante diélectrique du vide ($8.854 \cdot 10^{-12} \text{ F.m}^{-1}$) et la constante diélectrique du silicium (11.8). La largeur est représentée par w , l est la longueur et t l'épaisseur du diélectrique. Selon ces structures, la définition de la capacité peut prendre en compte les capacités de surface, les capacités latérales, et les capacités de diaphonie. Pour chacune de ces différentes capacités, il sera nécessaire de considérer une géométrie particulière. On peut considérer trois types de couplages énumérés par [31] :

- Le couplage vers le substrat, sauf pour le premier niveau de métallisation,
- Le couplage à la masse (« couplage vertical »),
- Le couplage par diaphonie, c'est-à-dire le couplage électrique entre lignes voisines (« couplage horizontal »).

L'équation 1.1 fait référence à une hypothèse quasi-statique dans le cas d'une simple armature. Dans le cas multi-conducteur présenté dans la figure 1.31 les capacités $[C_n]$ sont distribuées et l'expression

scalaire devient matricielle, équation 1.2 :

$$[C] = \begin{bmatrix} C_{11} & C_{12} & . & . & C_{1n} \\ C_{21} & C_{22} & . & . & C_{2n} \\ . & . & . & . & . \\ . & . & . & . & . \\ C_{n1} & C_{n2} & . & . & C_{nn} \end{bmatrix} \quad (1.2)$$

Où n est le nombre de conducteurs dans le système multi-conducteurs et C en *Farad* $[F]$. Les hypothèses magnétostatiques prévoient la matrice d'inductances donnée par l'équation 1.3 :

$$[L] = \begin{bmatrix} L_{11} & L_{12} & . & . & L_{1n} \\ L_{21} & L_{22} & . & . & L_{2n} \\ . & . & . & . & . \\ . & . & . & . & . \\ L_{n1} & L_{n2} & . & . & L_{nn} \end{bmatrix} \quad (1.3)$$

Où L est exprimé en *Henry* $[H]$. Le couplage de la magnétostatique avec l'électrostatique assure que le produit des matrices $[L]$ et $[C]$ est une constante déterminée (connaître C c'est connaître L).

Dans les matrices $[L]$ et $[C]$, les termes diagonaux (X_{ii}), où i est l'ordre du conducteur considéré, représentent les inductances et les capacités intrinsèques. Les termes X_{ij} , où j est différent de i , représentent les contributions mutuelles.

De la même manière, une matrice liée aux effets résistifs peut-être définie par l'équation 1.4 :

$$[R] = \begin{bmatrix} R_{11} & R_{12} & . & . & R_{1n} \\ R_{21} & R_{22} & . & . & R_{2n} \\ . & . & . & . & . \\ . & . & . & . & . \\ R_{n1} & R_{n2} & . & . & R_{nn} \end{bmatrix} \quad (1.4)$$

Où R est exprimée en *Ohm* $[\Omega]$. Ces effets capacitifs, selfiques et résistifs induisent des fluctuations dans les tensions d'alimentation, lesquelles peuvent être estimées par les relations suivantes :

$$[L] \cdot \frac{d}{dt} [I_L] = [V_L] \quad (1.5)$$

$$[C] \cdot \frac{d}{dt} \begin{bmatrix} V_C \end{bmatrix} = \begin{bmatrix} I_C \end{bmatrix} \quad (1.6)$$

$$[R] \cdot [I_R] = [V_R] \quad (1.7)$$

Au niveau d'un noeud, ces effets de fluctuations inductifs (équation 1.5), capacitifs (équations 1.6) et résistifs (équation 1.7) prennent la forme d'inductances intrinsèques, de capacités intrinsèques et de résistances intrinsèques, les effets de noeuds environnants étant négligés.

Diaphonie Capacitive La diaphonie capacitive se présente sous deux formes, tout d'abord le bruit de diaphonie (*cross-talk*) et le délai de diaphonie (*cross-talk delay*).

Les composantes du bruit de diaphonie sont décrites par l'équation 1.8 :

$$I_{induit} = C \cdot \frac{dv}{dt} \quad (1.8)$$

Les figures suivantes 1.32 et 1.33 présentent l'influence de la diaphonie entre deux lignes voisines. L'amplitude dV est la tension maximale du bruit apparaissant sur la ligne victime V due à la transition du signal sur la ligne A. La durée de bruit de diaphonie Δt est calculée entre le temps de montée et de descente de Δv , à la moitié de sa valeur. Le courant induit, I_{induit} , de la ligne A sur la ligne V, provoque la variation de potentiel Δv .

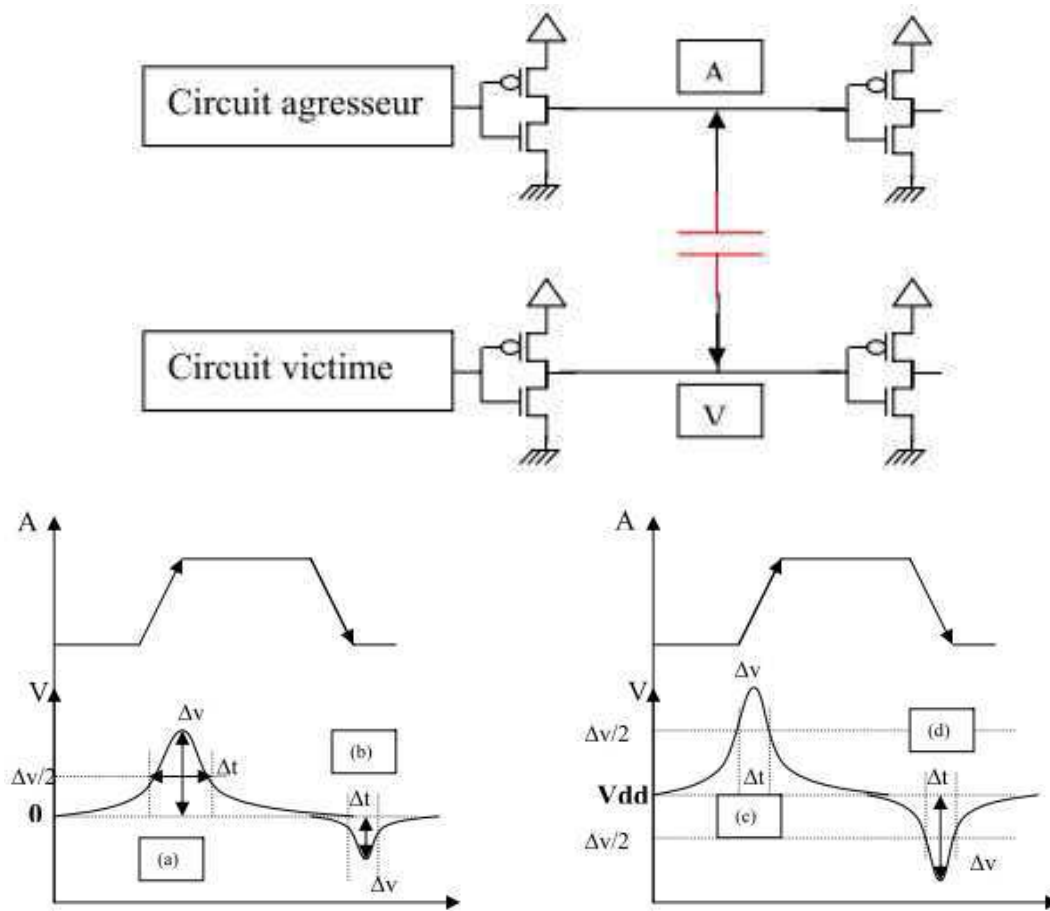


FIGURE 1.32: Bruit de Diaphonie

Le délai de diaphonie est décrit par Δt_d qui correspond au retard de transition positif ou négatif d'une ligne victime avec ou sans concurrence de la ligne coupable.

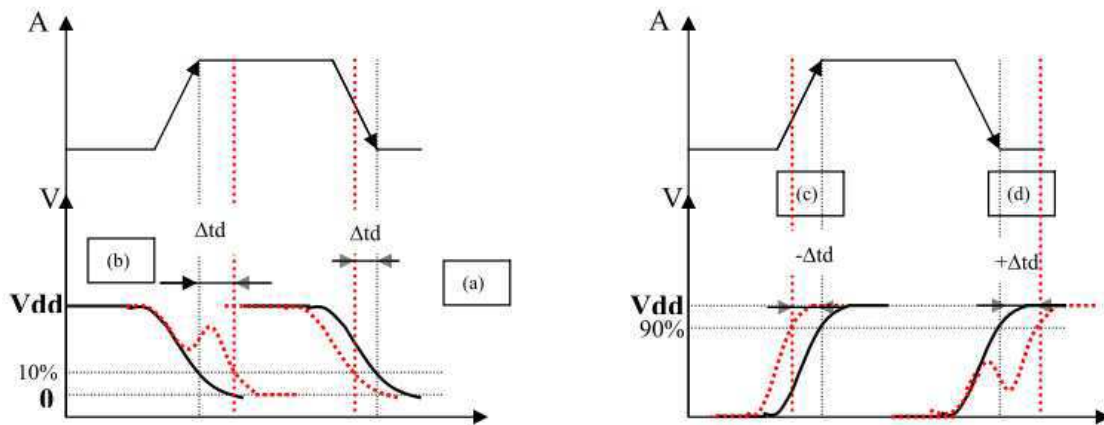


FIGURE 1.33: Délai de diaphonie

La transition est considérée établie lorsque, en front descendant, le signal est en deçà de 10% de Vdd. Il en est de même en front montant, dans ce cas la transition est établie au-delà de 90% de Vdd.

On distingue sur les figures 1.32 et 1.33 quatre types de bruits, tout d'abord en considérant le niveau

de la victime à 0 V (cas c. et d.) ou à Vdd (cas a. ou b.) et celle-ci subissant l'effet d'une transition depuis la ligne agresseur soit montante soit descendante. Les cas b. et c. sont moins critiques que a. et d., car les surtensions générées sont absorbées par les diodes de jonction. Concernant le circuit « agresseur », les jonctions sont celles des drains de sortie nMOS et pMOS ; les jonctions « victimes » sont celles rajoutées en fin de ligne, suivant les règles de conception, afin d'éviter les effets d'antenne (*Antenna Effect*).

Influence du substrat Le substrat peut aussi être une source d'émission conduite. Le circuit est relié au substrat par des capacités de jonctions des transistor. Une commutation simultanée peut provoquer des variations de tension dans le substrat même. De ce fait, des pics de courant induits se propagent de la zone en question jusqu'aux contacts qui l'entourent. Ces interférences peuvent alors atteindre des transistors [22].

1.3.2.2 Génération de perturbations dans les circuits numériques

Pour les circuits digitaux, les perturbations sont définies de par la nature digitale du circuit. On rencontre trois principaux types de bruit :

- *LdI/dt noise* (haute fréquence),
- *IR Drop* (continue)
- Résonnance LC

La commutation simultanée d'un grand nombre de portes (blocs, coeur numérique) provoque d'importants et brefs pics de courant transitoires sur les lignes d'alimentation. Ces pics sont à l'origine du SSN, connu aussi comme *LdI/dt noise*, *Power supply Noise* ou *Ground/Power bounce* [38]. Ces phénomènes perturbateurs sont aussi liés à la commutation simultanée d'un grand nombre d'Entrées-Sorties, appelés SSO, *Simultaneous Switching Output noise* [39]. Une Entrée-Sortie dispose d'un circuit de protection, entre autre contre les décharges électrostatiques (*ESD*, *Electrostatic Discharge*). Dans le cadre de l'analyse de l'intégrité des signaux et des alimentations, une E/S est principalement caractérisée par la quantité de courant conduite et le temps que met la fonction pour atteindre ce courant. Ainsi, ces deux caractéristiques sont les deux paramètres importants. Car beaucoup d'E/S qui conduisent en même temps une grande quantité de courant pendant un temps très court génèrent des perturbations sur les lignes d'alimentation. On choisira donc des E/S plus ou moins rapides, pouvant conduire plus ou moins d'énergie, selon les besoins et les spécifications du système.

Quand au coeur numérique, il peut être considéré comme une macro-fonction active capable de traiter une information et nécessitant un apport d'énergie afin d'assurer son fonctionnement. Ainsi les appels de courant sur les rails d'alimentation à chaque front montant et descendant de l'horloge sont élevés. Plus la fréquence d'activation est élevée, plus la commutation simultanée d'un grand nombre de transistors est importante. L'horloge interne peut être une source d'émission rayonnée dans un circuit intégré [15] ; en effet, les variations sont brusques et le couplage avec les victimes peut être critique. Les circuits intégrés, du fait de leur activité interne toujours plus élevée, sont à l'origine d'une émission électromagnétique non négligeable. Cette forme de perturbation est aussi bien conduite que rayonnée. En effet la présence des lignes d'interconnexion sont des chemins privilégiés pour transmettre les parasites vers l'extérieur.

Les broches du package, les fils de bonding et les interconnexions dans le circuit intégré ont tous des inductances parasites ; de fortes variations de courant au travers de ces inductances vont générer des fluctuations de tension. Celles-ci sont proportionnelles aux inductances traversées et au taux de changement d'état du courant. En conséquence, quand des cellules logiques changent d'état dans un circuit, le niveau de tension des lignes d'alimentation du circuit fluctue. Alors que la diaphonie inductive (LdI/dt noise) est un phénomène haute fréquence, la résonance LC, peut impacter un circuit qui opère à des fréquences plus faibles. Une autre différence avec le LdI/dt noise est que la résonance n'est pas aussi localisée, et même « confinée » pour citer [40]. Ainsi cette résonance peut se déplacer dans tout le circuit, et puisque sa fréquence est faible, les capacités de découplage ne sont pas efficaces.

De même que l'inductance intrinsèque, il est important de considérer l'influence de la résistance intrinsèque des éléments broches du boîtier, des fils de *bonding* et autres interconnexions. L'*IR-Drop* est lié à la résistance intrinsèque R_{int} dans laquelle se propage un courant I . Ceci entraîne l'apparition d'une tension V et donc une différence de potentiel entre le début et la fin du fil [38]. Cette variation de potentiel est appelée *Voltage Drop* [40]. L'*IR-Drop* peut être divisé en deux types : l'*IR-Drop* statique est un *Voltage Drop* entre alimentation et masse basé sur la puissance ou le courant moyen. L'*IR-Drop* dynamique considère l'activité dynamique du courant en fonction des cycles d'horloge, des capacités de couplage, et de découplage. L'*IR-Drop* dynamique a donc un comportement transitoire de type *RC delay* prépondérant [40].

La génération de ces perturbations est un point à considérer avec importance. En effet, la cohabitation d'un système pollueur avec son environnement peut causer des dysfonctionnements. Du point de vue de la compatibilité électromagnétique, il est essentiel de contrôler les niveaux de perturbation afin de prévenir d'éventuels dysfonctionnements.

1.3.2.3 Génération de perturbations dans les circuits analogiques

Concernant la génération de perturbations issues des circuits analogiques, celle-ci est liée plus particulièrement à la fonction réalisée. Le point commun avec les circuits numériques est essentiellement la fréquence de fonctionnement, qui dans les deux cas est un facteur récurrent dans la génération de bruit.

De ce fait, on ne rencontre pas de terminologie précise concernant le bruit de circuit analogique. La source est principalement originaire de circuit haute fréquence [25].

Ainsi, on rencontre comme perturbateurs reconnus les oscillateurs internes souvent utilisés pour les horloges de microprocesseurs. L'oscillateur contrôlé en tension (VCO, *Voltage Controlled Oscillator*) est un circuit très communément utilisé. Il est en effet présent dans la gestion de la vidéo ainsi que dans l'émission réception radio. Le VCO est constitué des plusieurs niveaux d'inverseurs contrôlés par des miroirs de courant. Dans de tels circuits, l'oscillation augmente avec celle de la tension de commande [25]. Les résultats montrent qu'à une fréquence élevée, sa contribution en tant que perturbateur n'est pas négligeable mais ne prédomine pas face à la génération d'un cœur digital ou des E/S d'un circuit. Concernant leur susceptibilité face aux interférences électromagnétiques, EMI, il est important de considérer la faiblesse des circuits intégrés analogiques en terme de régénération. Ces circuits, tels que les amplificateurs opérationnels, sont extrêmement susceptibles aux perturbations RF [42]. Dans le cas des fonctions analogiques, une difficulté est de considérer à la fois la fréquence de l'agression et la fréquence de travail. Si la fréquence du signal parasite est inférieure à la fréquence de travail, elle peut entraîner des changement d'état. Au niveau des alimentations, elle peut réduire les marges de bruit et donc la marge d'immunité. Ce signal peut aussi venir se superposer au signal utile. Cet *offset*, dans les circuits analogiques, peut modifier la réponse du circuit. Dans le cas où la fréquence est supérieure à la fréquence de travail, la non-linéarité des étages d'entrée/sortie redresse le signal RF et le transpose dans la bande de travail devenant ainsi de nouvelles sources de perturbations. Concernant les systèmes analogiques, le niveau énergétique doit être élevé car le circuit se comporte comme un filtre passe-bas.

1.3.2.4 Génération de perturbations au Niveau Système

Comme indiqué précédemment, la particularité des SiP est la cohabitation d'éléments hétérogènes. La difficulté étant de les protéger les uns des autres des perturbations qu'ils génèrent. De plus, l'architecture interne de ces systèmes étant très variée puisque les puces peuvent être empilées (*stacking*), côte-côte, retournées (*flip chip* et *double flip chip*) et interconnectées via le *lead frame*, les fils de *bonding* et/ou les *bumps*, la densité, sur une surface réduite, des interconnexions intra-SiP devient une source de bruit haute fréquence et de couplages électromagnétiques. Les circuits digitaux génèrent alors des bruits dus

à la commutation simultanée, *SSN*, qui sont transmis via les interconnexions d'alimentation «intra-package» aux circuits sensibles tels que les *PLLs*, amplificateurs opérationnels, VCO [43, 25, 40].

La présence de bruit de commutation dans le système va induire des comportements non désirés de composants internes. On retrouve donc principalement [44] :

- Les *glitches* : changement anormal de niveau logique. L'origine est multiple : mauvais niveau logique en amont, défaillance d'un buffer, activation de la protection ESD,... Ce phénomène est généralement fugitif et aléatoire, la fréquence d'apparition est souvent liée à la puissance de l'agression. La probabilité d'apparition des *glitches* augmente avec la puissance de l'agression.
- *Latch-up* : active la protection ESD entre les alimentations.

L'avantage des SiP, en terme de bruits dus aux parasites intrinsèques de lignes, est dû à la réduction de longueur des interconnexions et, de plus en plus, selon l'architecture, à la diminution de l'utilisation des fils de bonding. Ceci réduit l'inductance parasite dans le système [45].

Cependant la proximité des circuits et éléments internes facilite l'interaction entre ces mêmes éléments. Les interférences électromagnétiques vont donc perturber plus facilement les blocs du SiP. La référence [46] spécifie un agresseur en champ proche reproduisant les problèmes de couplage entre les circuits dans un SiP, figure 1.34.

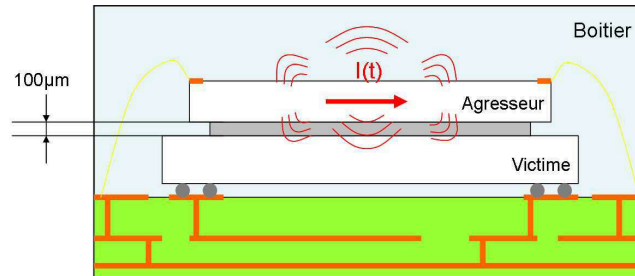


FIGURE 1.34: Couplage Puce à Puce au niveau Système

Comme nous l'avons vu précédemment, l'origine des champs électromagnétiques parasites est liée à l'activité interne des circuits intégrés, les circulations de courant générant un champ magnétique et les commutations rapides de courant qui génèrent un champ électrique [46].

1.3.2.5 Génération de perturbations au Niveau Carte PCB

La présence d'un grand nombre de composants sur une carte PCB et la présence de boucle créée par les connexions électriques reliant les différents éléments peuvent se comporter comme des antennes et rayonner ou bien capter les rayonnements environnants.

Les interférences électromagnétiques au niveau du PCB ont généralement deux origines [21], les

émissions en mode différentiel et les émissions en mode commun.

Nous considérons maintenant les différents éléments d'une carte PCB mis en jeu dans la propagation des interférences électromagnétiques.

Le plan de masse

Le plan de masse est une source de courant rayonnée en mode commun. Dans ce mode, plusieurs circuits ayant le même plan de masse peuvent induire, par leur fonctionnement, des chutes de tension au sein du plan de masse. Ces fluctuations de potentiel induisent des courants parasites dans les lignes et des couplages avec les autres circuits partageant le même plan de masse (boucle de masse). Cette boucle de masse peut se comporter comme une antenne émettant vers d'autres interconnexions susceptibles de capter la perturbation rayonnée.

Les composants passifs discrets

Les composants passifs discrets soudés sur le PCB présentent un comportement gênant en haute fréquence. Ces éléments peuvent être des capacités de découplage, des résistances de filtrage, des selfs ou des éléments actifs comme des régulateurs de tension. Tous ces composants ont des RLC parasites qui ont une influence sur le transfert et le modèle de perturbation circulant dans le système.

Emission en mode différentiel

Tout courant au travers d'une boucle, figure 1.35, peut générer une émission en mode différentiel. Celle-ci est générée par le courant de commutation, un oscillateur ou l'activité d'entrées/sorties. La boucle, de surface A , dans laquelle le courant se déplace va induire un rayonnement électromagnétique. Cette boucle doit cependant être plus petite que le quart de la longueur d'onde ($\lambda/4$) à la fréquence considérée [25].

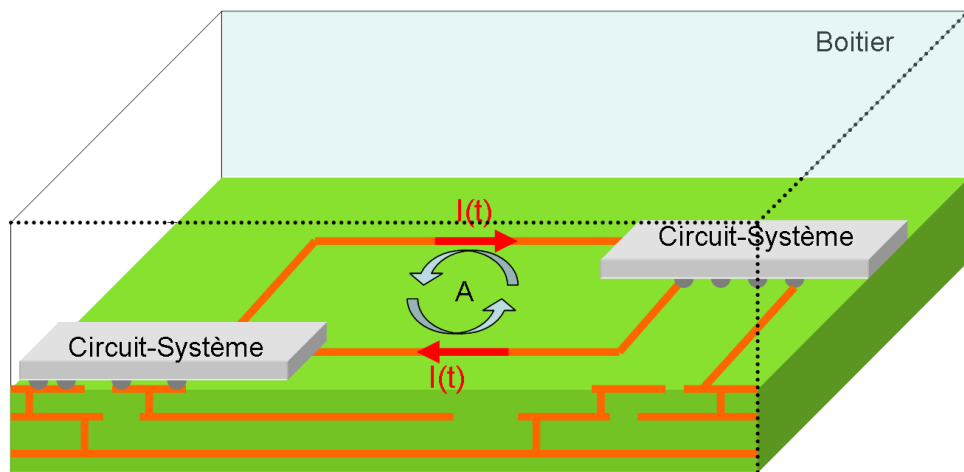


FIGURE 1.35: Emission Radiative en mode différentiel

Emission en mode commun

Le courant en mode commun est dû au couplage entre ligne adjacente ou au bruit de commutation généré par les circuits. Ce courant est difficile à localiser. Il retourne à la masse via les capacités et inductances des lignes du PCB créant par son passage de grandes boucles rayonnantes [25]. Le mode commun est très lié à la notion d'intégrité des alimentations [47] et donc de *ground bounce*. Quand les plans d'alimentation sont excités par le courant de commutation, ils se comportent, aux fréquences de résonance, comme des antennes. D'autres types de bruits en mode commun sont fréquemment observables dans des environnements de packaging complexes, où les chemins de retour à la masse sont irréguliers ou asymétriques, ce qui contribue au rayonnement électromagnétique [47].

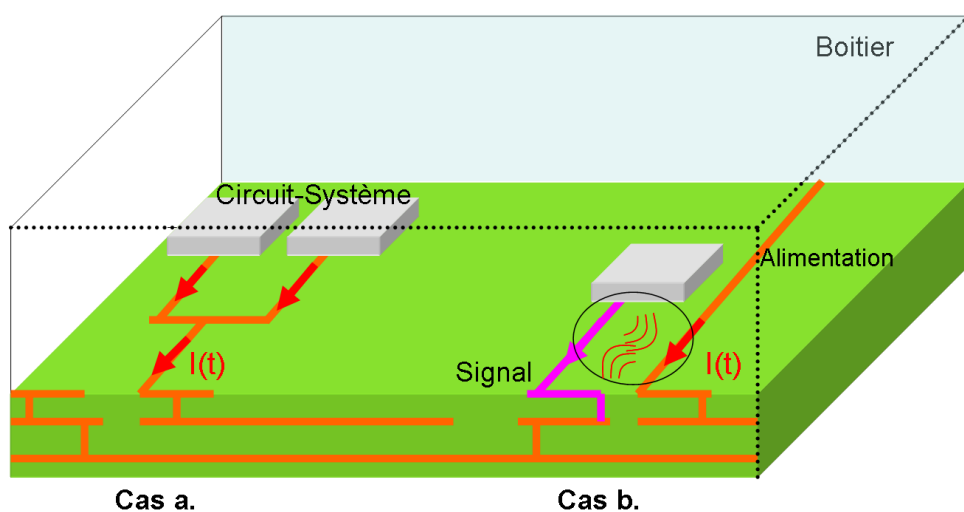


FIGURE 1.36: Emission Radiative en mode commun

Fig. 1.36.a : Mode commun.*a.*, le courant de retour sur le plan de masse induit une variation de potentiel dans le plan entre la masse et l'alimentation, appelé *Voltage/Ground Bounce*. Ce bruit est ensuite conduit via les Entrées-Sorties.

Fig. 1.36.b : Mode commun.*b.*, dans ce cas, due à la diaphonie, une tension apparaît qui est ensuite conduite par le réseau des Entrées-Sorties.

1.3.3 Influences des perturbations

La susceptibilité des circuits face aux perturbations générées par le circuit agresseur va créer des comportements inattendus dans les circuits victimes. Nous avons vu qu'un phénomène créé à l'origine par la commutation d'un bloc « *buffer* » va induire une modification du niveau de courant. Cette fluctuation de courant au fil des différents médias traversés va subir diverses transformations. Un pic de courant, au travers d'une ligne modélisée par des élément RL, va induire une chute de tension. De plus, le couplage capacitif entre deux éléments proches va transmettre soit cette fluctuation, soit un signal perturbateur à l'origine d'un front montant.

Plusieurs travaux ont analysé la susceptibilité de composants numériques, analogiques ou mixtes.

Notion de marge de bruit [50] : Cette notion indique les potentiels à maintenir aux bornes d'un circuit logique pour assurer les niveaux logiques '1' et '0'. La marge de bruit est un sujet important lorsque l'on aborde la susceptibilité des composants. En effet, ces composants qui, pour un fonctionnement nominal, ont besoin d'une stabilité minimale, peuvent être perturbés par les fluctuations entretenues du réseau R,L,C d'interconnexions constituant son environnement circuit. La gamme d'effets produits par les perturbations conduites sur les circuits est très vaste et ses manifestations le sont tout autant :

- Commutations intempestives (aléas, *glitch*) entraînent un dysfonctionnement allant jusqu'à l'arrêt complet du système.
- Tensions d'*offset* pour les circuits analogiques.

Susceptibilité des circuits logiques Les perturbations atteignant un circuit logique peuvent être considérées de deux façons différentes [51] :

- Si la fréquence de l'agression est inférieure à la fréquence de travail du circuit, elle peut se propager dans les couches logiques du circuit et entraîner soit des changements d'états asynchrones, soit l'anticipation des changements d'états synchrones. Si elle intervient sur l'alimentation, elle peut réduire les marges de bruit de la logique.
- Si elle est supérieure, la non-linéarité des étages d'entrées/sorties redresse le signal RF et le transpose

dans la bande de travail du circuit. Ces signaux vont alors être vus comme de nouvelles sources de perturbations.

Latchup

Ce phénomène est bien connu, il est dû à la mise en conduction involontaire d'une succession de jonctions PNPN (thyristor) parasites entre l'alimentation et la masse. Ceci provoque un court-circuit entre l'alimentation et la masse du circuit intégré et peut être destructif [53, 54] .

Effet sur les sorties

Du fait de sa faible impédance, une sortie numérique peut être perturbée par l'injection d'un courant parasite d'amplitude faible. L'effet a pour conséquence un changement d'état de la sortie.

Effet sur les entrées

L'impédance d'une entrée est plus élevée que celle d'une sortie, cependant les entrées peuvent aussi être perturbées. La réduction du niveau des tensions d'alimentation s'accompagne d'une réduction du niveau d'entrée. Ceci rend les entrées tout aussi sensibles et se traduit par un changement du niveau de l'information en entrée.

Les mémoires

Une étude a été menée sur la susceptibilité des mémoires [50, 51, 52] :

- La susceptibilité des mémoires statiques est surtout liée au décodeur d'adresse. En effet, le stockage de l'information dans ces mémoires s'effectue par l'intermédiaire de circuits bistables dont le changement d'état parasite peut être induit par une impulsion non contrôlée sur le signal de sélection.
- Les flashes EPROM et EEPROM sont a priori très sensibles d'un point de vue CEM : en plus du problème cité précédemment, le fait que chaque cellule ne soit constituée que d'un seul transistor double grille dans la grille flottante où est située l'information peut entraîner l'effacement parasite d'une rangée de cellules. Elles sont néanmoins moins sensibles que les RAM.
- Les EEPROM sont moins sensibles en raison de la présence d'un transistor de sélection dans chaque cellule.
- Les ferroélectriques FRAMs sont très sensibles à des variations de tension d'alimentation pendant les phases d'écriture, en raison des possibles commutations incomplètes liées aux cycles d'hystérésis des capacités ferromagnétiques.
- Les mémoires ferromagnétiques MRAMs seraient a priori les moins sensibles si l'on excepte les risques de détérioration par une impulsion élevée de tension d'alimentation.

En conclusion, de par le principe de programmation (protocole particulier), le niveau de tension de programmation requis (plusieurs dizaines de volts) et ce pendant plusieurs microsecondes, les EPROM ont un niveau d'immunité plus élevé que les RAM. En effet celles-ci requièrent des tensions nominales et le cycle d'écriture s'effectue en quelques nano-secondes.

Exécution d'un programme

Dans un premier temps, sachant que les mémoires, selon leur technologie, sont plus ou moins susceptibles, il est possible qu'une information soit manquante, erronée ou effacée. Ainsi une perturbation peut mettre à mal toute la logique programmable d'un microcontrôleur [50].

Susceptibilité des circuits analogiques Tout comme les circuits numériques, il est important de considérer la bande de fréquence de la perturbation.

Hors de la bande de Travail

Les éléments non-linéaires vont transporter plus ou moins efficacement une partie de l'énergie du signal perturbateur, dont la bande de fréquence est supérieure à la bande passante de fonctionnement. Le circuit se comporte comme un passe bas. Ce phénomène est encore plus vrai avec des circuits analogiques[50, 18].

Dans le bande de Travail

De par leur nature, une faible variation de tension en entrée est susceptible de créer un dysfonctionnement sur un capteur de pression, de tension ou tout autre composant analogique. L'effet produit est toujours l'apparition d'une tension d'offset, cependant il est à noter que le niveau énergétique ne doit pas forcément être élevé. La perturbation va venir se superposer au signal utile. D'autres effets peuvent apparaître telles que les fluctuations d'alimentation. Les effets sur les circuits analogiques sont très variés.

Parmi les circuits analogiques, les amplificateurs opérationnels sont très couramment utilisés dans les blocs élémentaires de beaucoup de circuits ainsi les convertisseurs Analogique-Numérique et Numérique-Analogique. L'effet décrit sur les circuits analogiques est l'apparition d'un *offset* dans les amplificateurs de type MOS et BJT.

Convertisseurs Analogique/ Numérique, Numérique/Analogique

La susceptibilité des convertisseurs est liée au fait que la tension d'alimentation leur sert aussi de référence et que les données converties sont en rapport direct avec les références hautes et basses. Plus la résolution est fine, c'est-à-dire avec un grand nombre de bits, plus la sensibilité est importante.

L'effet de la commutation d'un gros circuit digital sur un convertisseur Sigma/Delta a été présenté dans [52]. Ainsi un front de commutation numérique qui arrive au même moment que l'horloge d'échan-

tillonnage du convertisseur provoque une diminution importante du rapport signal sur bruit (S/N). La quantité importante de portes commutant simultanément provoque une augmentation de la capacité du circuit numérique. Cette augmentation engendre une forte diminution du rapport S/N du circuit.

Amplificateurs

Concernant les amplificateurs, leur susceptibilité vient du fait qu'ils tirent leur puissance de l'alimentation ; des fluctuations du niveau d'amplification sont alors perceptibles. Les RFI (*Radio Frequency Interferences*) qui atteignent les circuits intégrés affectent en premier lieu les opérations des circuits actifs non-linéaires (des premiers étages), favorisant l'apparition d'une tension d'offset [55].

Oscillateurs

La référence [38] décrit le phénomène de rectification de bruit basse fréquence en bruit de phase dans un oscillateur. Le bruit de phase dans un oscillateur a toujours limité les performances de tels systèmes. Ainsi une perturbation induite se présentant aux bornes d'un tel système sera modifiée par l'étage de transistor FET.

1.3.4 Conséquences de l'intégration

Le fait d'assembler plusieurs circuits intégrés impliquent un certain nombre de conséquences :

- Le confinement implique l'éventualité d'interagir avec d'autres modules,
- Les différentes technologies de fabrications encapsulées dans le package rend difficile la prévision de l'impact de circuits sur d'autres,
- La limitation des variations non désirées des signaux et des niveaux d'alimentation d'un circuit est réalisée à l'extérieur du package grâce à des éléments discrets.

L'intégration de plusieurs circuits intégrés dans le même boîtier rend nécessaire l'intégration de composants passifs au plus près de la source de perturbations. Il faut donc être en mesure de prédire les besoins en découplage avant de réaliser l'assemblage.

Nous avons vu dans cette section l'influence des perturbations générées par le système PCB-Package-Circuit, diverses solutions sont choisies par les concepteurs de circuits afin d'assurer une robustesse du circuit :

- Techniques de routages des alimentations,
- Localisations de capacités de découplage.

L'optimisation de ces solutions nécessite une étude minimale du système analysé, d'abord afin de limiter le nombre d'intervention sur ce système, mais aussi car il est nécessaire d'identifier le triptyque Source de perturbation-Mode de Propagation-Victime.

1.4 Défis de la Modélisation et Outils d'Aide à la Conception

L'analyse des phénomènes électromagnétiques conduits, couplés et rayonnés à un niveau donné (PCB, Système, Circuit, Composant,...) peut être effectuée par des outils de simulation. Ceux-ci résolvent les équations de Maxwell en ne considérant qu'un certain nombre de dimensions afin d'alléger le temps de calcul. La section suivante présente certaines méthodes de résolution de ces équations.

1.4.1 Outils pour la Simulation Electromagnétique

Chaque méthode présentée ici, propose une approche de la résolution des équations de Maxwell.

Méthode des moments (*MoM*)

Cette méthode s'applique aux systèmes planaires ou quasi-planaires, elle est alors considérée comme une méthode $2D^{1/2}$. La méthode des moments est basée sur la résolution numérique des équations de Maxwell sur un modèle électromagnétique de la structure étudiée. Seuls les conducteurs métalliques présents sur les différentes couches sont discrétisés par des éléments triangulaires (*rooftop*). Ensuite, l'analyse prend en considération la hauteur des différents diélectriques mais ceux-ci doivent obligatoirement être homogènes dans les deux autres directions. L'analyse s'appuie sur le calcul de la distribution de courant évaluée sur chaque section par annulation des champs électriques tangentiels. Elle permet d'obtenir les paramètres $[S]$ du dispositif par la méthode de *Galerkin* qui consiste à résoudre les équations intégrales dérivées des équations de Maxwell. Les logiciels commerciaux basés sur cette méthode, tel que « Momentum » ou « Sonnet », sont donc particulièrement bien adaptés à l'étude des circuits planaires. Ils effectuent l'analyse de structures multicouches composées de diélectriques isotropes avec ou sans pertes et de conducteurs qui peuvent être soit considérés comme parfaits soit avec des pertes. Notons que les dispositifs étudiés peuvent également être blindés.

Méthode des différences finies dans le domaine temporel (*FDTD*)

Cette méthode permet de résoudre numériquement les équations de Maxwell appliquées à l'étude de structures volumiques. La résolution numérique nécessite alors une discrétisation spatio-temporelle de l'espace d'étude et celui-ci est donc discrétisé en cellules élémentaires, généralement parallélépipédiques. Les champs électriques et magnétiques y sont évalués à des instants différents. Cette méthode permet d'obtenir l'évolution temporelle du champ électromagnétique à partir des distributions spatiales des champs tous les instants Δt . Puis une transformée de Fourier est ensuite appliquée à la réponse temporelle pour obtenir la réponse fréquentielle du système. En fonction du nombre de cellules utilisées pour discrétiser la structure, le système d'équations à résoudre peut être très complexe et demander d'importantes ressources informatiques en termes d'occupations mémoires et de temps de calculs. Ce-

pendant l'avantage de cette approche réside dans le fait qu'il n'y a pas de matrice à inverser et ainsi le temps de calculs croît de façon linéaire en fonction du nombre d'inconnues (ce qui n'est pas le cas pour la méthode des éléments finis). Cette méthode permet l'étude des structures volumiques complexes, elle est donc d'une grande généralité. Mais son principal inconvénient est lié au fait que le maillage de la structure doit être uniforme et elle est donc peu adaptée au traitement des dispositifs comportant des éléments ayant des ordres de grandeurs très différents. Cependant, des méthodes spécifiques à l'analyse de tels dispositifs ont été développées ces dernières années.

Méthode des éléments finis

Cette méthode s'applique aux dispositifs micro-ondes de formes quelconques. Elle est basée sur la description géométrique de la structure sous forme d'un maillage utilisant des tétraèdres (3D) ou des triangles (2D) qui ne sont pas forcément uniformes. Le modèle est composé d'un nombre fini de milieux homogènes par morceaux, linéaires, isotropes ou anisotropes et avec ou sans pertes. Ces milieux sont caractérisés par leur permittivité ϵ_r , leur perméabilité μ_r ou éventuellement leur conductivité σ . Ces grandeurs peuvent être réelles, complexes et/ou tensorielles. Avec cette méthode, le volume d'étude doit obligatoirement être borné. Les conditions aux limites peuvent être de différentes natures. Le champ électromagnétique est calculé sur les nœuds de chaque élément de base constituant le maillage (tétraèdre ou triangle), puis de proche en proche il peut être déduit dans toute la structure. Il existe deux types de formulations. La formulation E consiste en l'écriture des équations qui décrivent le problème en fonction de la variable champ électrique et une fois celui-ci calculé, le champ magnétique peut être déduit. D'une manière analogue, en exprimant les équations en fonction du champ magnétique, on obtient la formulation H. Une fois que le système d'équations algébriques, qui décrit le problème est obtenu, il peut être résolu de deux façons différentes : en « oscillations libres » ou résolution en « oscillations forcées ». La résolution en « oscillations libres » permet de calculer, en absence d'excitations, les résonances propres de la structure étudiée, ainsi que la distribution spatiale des champs E et H. Avec la résolution en « oscillations forcées », les accès du dispositif doivent être considérés ; elle permet de déterminer les paramètres [S] généralisés dans les différents accès pour une fréquence de fonctionnement donnée. L'avantage de la méthode des éléments finis est lié au fait que la forme tétraédrique et la variation des dimensions des cellules élémentaires caractérisant le volume discrétisé, confère au maillage une très grande souplesse. Cette méthode permet l'étude de structures géométriques complexes et elle est donc parfaitement adaptée pour traiter les problèmes d'interconnexions lors de la conception des modules hyperfréquences. Par contre, elle nécessite de gros moyens informatiques pour l'étude de structure complexes.

Méthode Ondes Transverse Longitudinales TWF (*Transverse Wave Formulation method*)

La méthode des ondes transverses est une approche qui associe une approche différentielle à une approche intégrale. La résolution des équations de Maxwell est réalisée par itération et basée sur des considérations physiques.

Méthode d'Adaptation des Modes MMM (*Mode Matching Method*)

Cette méthode est basée sur l'analyse des modules des champs E et H dans l'espace fréquentiel et fournit l'énergie du champ électromagnétique à une position définie dans l'espace. Cette méthode permet de quantifier l'extension du champ qui résonne dans l'espace. La résolution utilise les fonctions de Hilbert.

Méthode des Lignes_MoL (*Method of Line*)

Cette méthode repose sur l'utilisation des différences finies. Cette méthode est très proche de la méthode MMM, cependant les variables indépendantes définissant les valeurs du champ électromagnétique sont discrétisées grâce à l'approche des différences finies.

1.4.2 Outils pour la simulation de l'Intégrité des Signaux et des Alimentations

Une liste de différents outils de Conception Avancée par Ordinateur ou CAO utilisés pour l'estimation de puissance est présentée. L'intérêt est de pouvoir agir à un niveau d'abstraction donné et s'abstenir de mettre en oeuvre une simulation lourde d'un système complexe.

Synopsys PrimePower Ce logiciel [56] calcule la puissance instantanée consommée par un circuit numérique, lors de son activité. A partir de cette puissance instantanée, l'outil détermine le courant consommé, en considérant que la tension d'alimentation est constante. La formulation est basée sur le calcul de la consommation de chaque porte. Un fichier d'activité nommé *TWF* (*Time Window File*), appelé aussi vecteur d'activité, permet le calcul de la puissance de chaque porte nécessaire à la charge de la capacité de sortie mais aussi les capacités internes et parasites, au niveau du transistor. PrimePower calcule l'énergie nécessaire pour chaque type de transition de portes en jeu lors de l'activation, en se basant sur les fichiers de librairie de caractérisation.

Apache RedHawk RedHawk [57] permet la simulation des sauts d'alimentation dans un circuit numérique complexe. Il modélise le courant dynamique consommé. En considérant la topologie du circuit et l'activité décrite par le vecteur d'activité, ce logiciel fournit un modèle de puissance associé à un modèle mathématique d'impédance. Un aspect intéressant de ce logiciel est la solution d'utilisation « *vectorless* » qui permet, sans vecteur d'activité, d'extraire un résultat en se basant sur le temps de

charge de chaque noeud (*toggle*) du circuit.

Cadence VoltageStorm VoltageStorm [59] est un outil de la société Cadence qui se propose de prédire les chutes de tension d'alimentation dans les circuits intégrés. VoltageStorm calcule la puissance statique, à partir des courants de fuite, et dynamique en utilisant les vecteurs d'activité. La somme des courants statiques et dynamiques permet d'évaluer la puissance pour chaque cellule et le courant global est ensuite déterminé à partir de la contribution de chacune d'elles.

1.4.3 Co-Design et Analyse Multi-physique

La conception de systèmes complexes impose de pouvoir fournir aux fondeurs une « *netlist* » des informations englobant la structuration du système à concevoir (coordonnées d'emplacement, la face à assembler (flip-chip, double flip-chip, placement côte à côte,...) des circuits, les composants et les types interconnexions...). La ligne de montage doit pouvoir instancier les paramètres géométriques (coordonnées de placement), physiques (type de fils de cablage, matériaux,...) et les méthodologies d'assemblage (nombres de points de courbures des fils de cablage, flip-chip, lead-frame, wafer level package,...) afin d'optimiser la chaîne de production. Le concept de *co-design* énonce le fait que les outils dédiés (Cadence-SiP [58], Expedition Mentor Graphics [60]) doivent prendre en compte toutes ces informations.

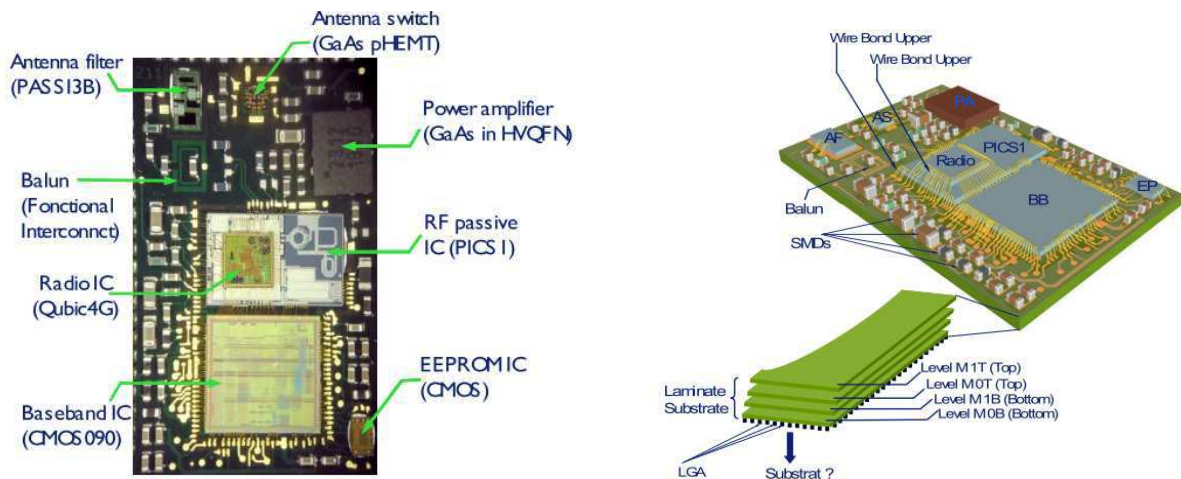


FIGURE 1.37: *Co-Design* d'un SiP (NxP W-LAN-SiP)

Au niveau composants et blocs de fonctions, les aspects électromagnétiques [63, 64, 65] requièrent une approche de modélisation globale. D'autre part, l'analyse du comportement mécanique, électrique et thermique fait appel à une autre notion, appelée Co-Analyse. Elle permet l'analyse multi-physique du comportement du système. Dans ce cas, c'est au travers d'une modélisation de l'ensemble du système

que cette approche est envisagée [62, 61].

1.5 Contexte, Cadre et Contribution Proposée

L'intégration de circuits actifs hétérogènes présente cependant une difficulté, qui est la cohabitation de ces circuits dans un environnement confiné. L'activité d'un circuit se résume, de façon énergétique, par une consommation de puissance.

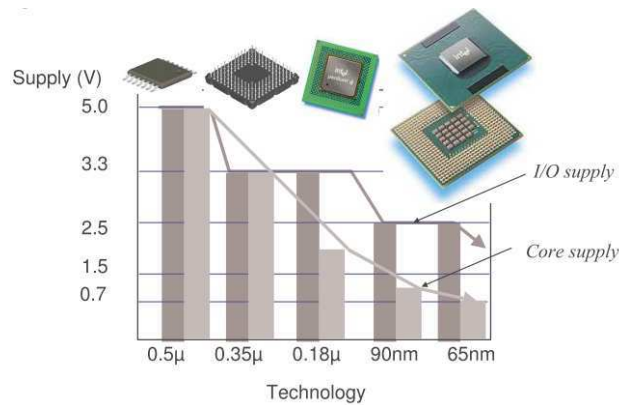


FIGURE 1.38: Evolution de la technologie et réduction des niveaux d'alimentation

Le principe d'intégration élevée suppose de considérer d'une part la réduction de la tension d'alimentation (voir figure 1.38) est réduite mais aussi la diminution de la taille des transistors, et ceci permet d'en augmenter le nombre pour répondre au besoin de fonctionnalités multiples. Or, ce nombre élevé de transistors, voir figure 1.39, nécessite de considérer le besoin en courant lors de l'activation et du fonctionnement du circuit, et cette considération caractérise un autre paramètre énergétique, qui est le courant consommé.

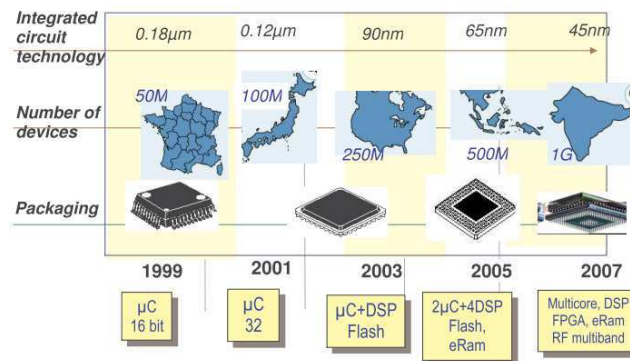


FIGURE 1.39: Evolution du nombre de transistors dans les circuits

Ainsi plus les circuits sont rapides, plus ils sont denses et plus la consommation est élevée. La conséquence est que ces forts appels sur les niveaux de métallisation vont générer des tensions et des

courants parasites et ceux-ci vont créer des dysfonctionnements du circuit. Afin de se prémunir de ces interférences électromagnétiques, les techniques employées par les concepteurs de circuits ou de systèmes sont de séparer les lignes d'alimentation afin d'isoler les perturbations générées par un bloc et ensuite d'y réaliser un découplage.

De manière générale, plus on applique un découplage proche de la source d'activité plus celui-ci est efficace. Dans la technologie de SiP, l'accès à la source de perturbation est difficile. La solution est d'intégrer dans le boîtier les capacités nécessaires au découplage, mais la taille des condensateurs est une limitation. Ainsi lorsqu'il est possible de réaliser des capacités enfouies dans le substrat, et de profiter d'une dimension supplémentaire, le potentiel et les solutions offertes par un tel substrat permettent un découplage plus efficace. De ce fait, la conception d'un SiP, où les circuits actifs sont assemblés sur un substrat intégrant des composants passifs et plus particulièrement des capacités, permet de fournir au système une stabilité de fonctionnement. Les objectifs sont donc de quantifier le niveau des perturbations électromagnétiques et d'en déduire un besoin en découplage.

Notre étude se propose de répondre à ces deux objectifs. Dans des systèmes aussi complexes que les SiP, il est nécessaire de considérer tout d'abord une source de perturbation, un mode de propagation et une victime de ces perturbations. Cette première segmentation est le point de départ de ce travail de thèse, qui présente une méthodologie d'analyse du pouvoir perturbateur du circuit numérique et de ses fonctions, la manière dont l'ensemble des modes de propagations vont être modélisés, pour étudier ensuite l'impact des perturbations sur l'ensemble du système. Ainsi nous pourrions quantifier le besoin en découplage.

L'influence de l'activité des circuits numériques peut être abordée sous deux aspects :

- Une analyse statique : la consommation du circuit numérique permet de renseigner sur le besoin énergétique du système pour définir le temps d'autonomie et donc le dimensionnement des batteries ; mais aussi concernant le placement du système sur le support et la distance qui le sépare de son alimentation. En effet, pour des fonctions considérées nomades, il est important de limiter les distances séparant les fonctions de leur alimentation, afin d'éviter de pertes de puissance au niveau des rails d'alimentation. D'autre part, d'un point de vue thermique, la mise en boîtier demande une analyse prédictive de la puissance dégagée par le système. Ceci afin de dimensionner le boîtier et d'assurer la fiabilité du système dans son environnement.
- Une analyse dynamique : cette analyse permet de renseigner sur la génération de phénomènes transitoires (*EMI : Electromagnetic Interferences*) utiles dans l'approche de Compatibilité Electro-

magnétique (CEM) [66], dans la quantification du besoin en découplage et surtout dans son optimisation. Et ce, principalement, lorsqu'il est question d'utiliser des substrats intégrant des composants passifs. D'un point de vue thermique, la dynamique des circuits peut renseigner sur l'apparition de zones d'échauffement ponctuelles. L'approche électromigration est aussi une considération utile, lorsque des zones subissent le transit d'importantes fluctuations de courant.

La consommation de puissance est donc un paramètre important autant en terme de fiabilité des systèmes qu'en terme d'optimisation des dimensionnements de boîtiers et de fonctions passives. La difficulté d'analyse de systèmes complexes, multi-technologiques, multi-dimensionnels (3D) demande l'utilisation d'outils capables de considérer d'une part, la notion de **co-design physique**, permettant d'insérer dans un flot unique l'ensemble des étapes d'assemblage et de conception du système, mais aussi la notion de **co-design électrique et thermique** fournissant une analyse globale du comportement du système. Ces approches sont lourdes et en cours de développement (CADENCE-SiP [58]). La prédiction de la consommation statique et dynamique est un point permettant de répondre rapidement aux besoins d'analyse, de quantification et de dimensionnement des différentes composantes du système sur toute la chaîne de production (taille du boîtier, taille du substrat, nombre de composants passifs). Ainsi, l'étude de l'intégrité des alimentations et des signaux dans les SiP contribue à l'analyse du comportement des circuits actifs et passifs soumis aux contraintes de l'activité.

En terme de prédictivité, une interface graphique sera proposée afin de renseigner sur la consommation statique du circuit numérique ; un profil dynamique de courant peut aussi être exploité à partir de cette interface, afin de modéliser les appels de courant sur les alimentations. Enfin l'analyse de la susceptibilité d'un circuit analogique soumis aux perturbations sur ses alimentations est proposée au travers d'une seconde interface. Celle-ci permet tout d'abord d'évaluer les performances de la fonction analogique mais aussi d'analyser les performances en terme de découplages et de routage des alimentations des circuits actifs numérique et analogique.

Bibliographie

- [1] Rapport Mars 2007
- [2] G. E. Moore « Cramming more components onto integrated circuits, » Electronics, Volume 38, Number 8, April 19, 1965
- [3] G. Poupon , J.M. Yannou , « Packaging Avancé sur Silicium, Etat de l'art et nouvelles tendances, » Chap2 « Le SiP », pp.51-73, 07-2008, Ed. Lavoisier.
- [4] J.M Yannou , « SiP and WLP-CSP Trends : State-of-the-art and future trends, » Electronics System-Integration Technology Conference, 2008. ESTC 2008. 2nd, 2008, pp. 3-6.
- [5] Veille Technologique & Etudes Spécifiques [http ://www.egidec.com/](http://www.egidec.com/)
- [6] O. Tesson, « High Quality Monolithic 8-shaped Inductors for Silicon RF IC Design, », IEEE, pp 94-97, 2008.
- [7] R.P. Ribas, J. Lescot, J.L. Leclercq, J.M. Karam and F. Ndagijimana, « Micromachined Microwave Planar Spiral Inductors and Transformers, », IEEE Trans. Microwave Theory Tech., vol. 48 ; pp. 1326-1335, Aug. 2000.
- [8] R. Dekker, P.G.M. Baltus and H.G.R. Maas, « Substrate Transfer for RF Technologies, », IEEE Transactions on Electron Devices, vol. 50, n°3, pp. 747-757, March 2003.
- [9] A. Sutono, A. Pham, J. Laskar and W.R. Smith, « Development of Three Dimensional Ceramic-Based MCM Inductors for Hybrid RF/Microwave Applications, », IEEE Radio Frequency Integrated Circuits Symposium, 1999.
- [10] A.E. Ruehli, « Inductance Calculations in a Complex Integrated Circuit Environment, », IBM J. RES. DEVELOP, pp. 470-481, 1972.
- [11] D. Melendy, P. Francis, C. Pichler, K. Hwang, G. Srinivasan and A. Weisshaar, « A New Wide-Band Compact Model for Spiral Inductors in RFICs, », IEEE Electron Device Letters, vol. 23, n°5, pp. 273-275, May 2002.
- [12] S. Kim and D.P. Neikirk, « Compact Equivalent Circuit Model for the Skin Effect, », IEEE MTT-S Digest, pp. 1815-1818, 1996.

- [13] NASA, « Aerospace Report, NASA Scientific and Technical Information Program Overview, » Report, vol.46, num.15, Aug. 4,2008.
- [14] N. Delorme, M. Belleville , et J. Chilo « Inductance and capacitance analytic formulas for VLSI interconnects, » Electronics Letters 32, no. 11 1996, pp. : 996-997.
- [15] D. Panyasak, Thèse, « Réduction de l'émission électromagnétique des circuits intégrés : l'alternative asynchrone, » INPG, laboratoire TIMA, juin 2004.
- [16] M. Schmitt, O. Shoji « Simultaneous Switching Noise Analysis for Full- Chip Power Integrity Sign-off, » Electrical Performance of Electronic Packaging, Oct. 2004. IEEE 13th Topical Meeting, pp. 107-110
- [17] International Technology Roadmap for Semiconductors, 1999-2007
- [18] O. Maurice, J. Pigneret « Digital circuit susceptibility characterization to RF and microwave disturbances, » Fourth European Conference on Radiation and Its Effects on Components and Systems, 1997. RADECS 97.
- [19] B. Williams, D.Florence , H. Dalal , K. Gunturu , M. Nelson , C. Belisle , et coll. « RDL manufacturing for flip chip packaging, » IEEE Workshop on Microelectronics and Electron Devices, 2005. WMED '05. 2005, pp.28-31
- [20] G. Poupon , J.M. Yannou , « Packaging Avancé sur Silicium, Etat de l'art et nouvelles tendances, » Chap3 « Le Wafer Level Packaging », pp.75-94, 07-2008, Ed. Lavoisier.
- [21] S. Ben Dhia , M. Ramdani , E. Sicard , « Electromagnetic Compatibility of Integrated Circuit, » pp. 87,88, Ed. Springer. ISBN 0-387-26600-8
- [22] O. Valorge, Thèse, « Bruit d'alimentation et couplage par le substrat dans les circuits mixtes, » Institut National des Sciences Appliquées de Lyon, N° Ordre : 2006-ISAL-0006, Année 2006.
- [23] O. Alilou, J.-L. Lefebvre, and P. Descamps, « In-SiP Integration of Electromagnetic Shields, » Progress In Electromagnetics Research Symposium Abstracts, Cambridge, USA, July 2–6, 2008
- [24] O. Alilou, Thèse, « Blindage électromagnétique des circuits intégrées par dépôt de couches minces métalliques, » Université de Caen, mars 2009.
- [25] C. Xi, « Contribution to electromagnetic emission modelling and characterization of CMOS integrated circuits, » Institut National des Sciences Appliquées de Toulouse, Toulouse, FRANCE, N° Ordre : 568, 2000.
- [26] F. Murray, F.LeCornec , S. Bardy, C. Bunell, Jan F.C. Verhoeven , F.C.M. van den Heuvel, J.H. Klootwijk, F. Roozeboom, « Silicon Based System-in-Package : a new technology platform

- supported by very high quality passives and system level design tools, » Topical Meeting on Silicon Monolithic Integrated Circuit in RF Systems, Long Beach CA, jan 2007, pp.149-153
- [27] M. Belleville and al., « Energy Autonomous Systems : Future Trends in Devices, Technology, and Systems, » CATRENE-Report on Energy Autonomous Systems, 2009, ISBN 978-88-904-399-0-2
- [28] Etats-Unis Micro-electroniques, « Technologies & Strategies - Micro-sources d'énergie », n°27(2002)
- [29] K. Marquardt, R. Hahn, T. Luger, et H. Reichl, « Thin Film Encapsulation for Secondary Batteries on Wafer Level, » Electronics System-Integration Technology Conference, 2006. 1st, 2006, pp. 1410-1416.
- [30] W. Chen & Al., « The next Step in Assembly and Packaging : System Level Integration in the package (SiP), » International Technology Roadmap for Semiconductors, white paper V9.0, 2009
- [31] E. Sicard, « Le Couplage Diaphonique dans les Circuits CMOS Sub-microniques, » Habilitation à Diriger des Recherches de l'Université Paul Sabatier, Toulouse, Spécialité : Electronique, 18 Janvier 1999
- [32] H. Greenhouse, « Design of Planar Rectangular Microelectronic Inductors, » IEEE Transactions on Parts, Hybrids, and Packaging, Vol. 10, n° 2, pp. 101- 109, 1974.
- [33] S. Stoyanov, J.M. Yannou, C. Bailey, et N. Strusevich, « Reliability Based Design Optimisation for System-in-Package, » International Conference on Thermal, Mechanical and Multi-Physics Simulation Experiments in Microelectronics and Micro-Systems, 2007. EuroSime 2007. 2007, pp. 1-8.
- [34] <http://www.comsol.fr/>
- [35] <http://www.ansys.com/Products/multiphysics.asp>
- [36] K.L. Tai, « SIP : Challenges and Opportunities, » Asia and South Pacific Design Automation Conference 2000 (ASP-DAC'00), 2000, pp.191,
- [37] R. Mandrekar, K. Bharath, K. Srinivasan, E. Engin, et M. Swaminathan, « System level signal and power integrity analysis methodology for system-in-package applications, » Design Automation Conference, 2006, 43rd ACM/IEEE, 2006, pp. 1009- 1012.
- [38] P. Heydari, M. Pedram « Ground bounce in digital VLSI circuits. » IEEE Transactions on Very Large Scale Integration (VLSI) Systems, no. 2 (2003)pp. 180- 193. ISBN 1063- 8210
- [39] X. Aragones, J.L. Gonzales, F. Moll, et A. Rubio. « Noise Generation and Coupling Mechanisms

- in Deep-Submicron ICs. » IEEE Design and Test of Computers, vol. 19, no. 5, pp. 27-35, Sep./Oct. 2002
- [40] L. Shen , et N. Chang « Challenges in power-ground integrity. » IEEE/ACM International Conference on Computer Aided Design, 2001. ICCAD 2001. , 2001. ISBN 0-7803-7247-6
 - [41] M. Ramdani, E. Sicard, A. Boyer, S. Ben Dhia, J. Whalen, T. Hubing, M. Coenen, et O. Wada, « The Electromagnetic Compatibility of Integrated Circuits Past, Present, and Future, » IEEE Transactions on Electromagnetic Compatibility, vol. 51, 2009, pp. 78-100.
 - [42] M. Citron, M. Corradin, S. Buso, G. Spiazzi, et F. Fiori, « Susceptibility of integrated circuits to RFI : analysis of PWM current-mode controllers for SMPS. » IECON 02 IEEE 2002 28th Annual Conference of the Industrial Electronics Society, I, 2002, vol.4, pp.3227-3231
 - [43] J. Park, K. Hyungsoo, J. Youchul, K. Jinguook , J.S. Pak, D.G. Kam, et coll. « Modeling and measurement of simultaneous switching noise coupling through signal via transition. » IEEE Transactions on 29 Advanced Packaging, , no. 3 (2006), pp.548- 559.
 - [44] E. Lamoureux, thèse, « Etude de la susceptibilité des CI numériques aux agressions HF. » INSA, Université Paul Sabatier, Toulouse, N° 817
 - [45] R. Kollipara, , L. Lin, et G. Oehrle « Characterization of peripheral and core SSOs in a flip-chip package. » Electrical Performance of Electronic Packaging, 1997., IEEE 6th Topical Meeting on, 1997. ISBN 0-7803-4203-8
 - [46] A. Boyer , S. Ben Dhia, « Design d'un agresseur champ proche dédié à l'étude CEM des SiP, » Journée Nationale du Réseau Doctoral en Microélectronique, Rennes, France (Mai 2006)
 - [47] T. Sudo, H. Sasaki, N. Masuda, et J.L. Drewniak « Electromagnetic interference (EMI) of system-on-package (SOP). » IEEE Transactions on Advanced Packaging, no. 2 (2004), pp.304- 314.
 - [48] D.M. Hockanson, J.L. Drewniak, T.H. Hubing, T.P. Van Doren, F. Sha, et M.J. Wilhelm « Investigation of fundamental EMI source mechanisms driving common-mode radiation from printed circuit boards with attached cables, » Electromagnetic Compatibility, IEEE Transactions on 38, no. 4 (1996), pp.557-566. ISSN 0018-9375
 - [49] C. Saboureau, Thèse, « Analyses électromagnétiques et méthodologies de conception. » Université de Limoges, 2004, N° ordre : 20 - 2004
 - [50] S. Baffreau, Thèse, « Susceptibilité des micro-contrôleurs aux agressions électromagnétiques. » INSA, Université Paul Sabatier, Toulouse, N°707

- [51] R. Perdriau, Thèse, « Méthodologie de prédiction des niveaux d'émission conduite dans les circuits intégrés, à l'aide de VHDL-AMS, » Université Catholique de Louvain, Année 2004
- [52] R. Perdriau, « Analysis and Modeling of Electromagnetic Interference on Chip level - Part I : Influence of Memory Architectures on EMC Compliance, » MESDIE A509 Milestone Report M2.2, décembre 2002.
- [53] L.Anghel, Thèse, « Les Limites technologiques du silicium et tolérance aux fautes », INPG TIMA, Année 2000, No : 00 INPG 0131
- [54] S. Saleh, Thèse, « Méthodes de simulation des erreurs transitoires à plusieurs niveaux d'abstraction, » INPG TIMA, Année 2005
- [55] F. Fiori & Al. , « Prediction of RF interference in operational amplifiers by a new analytical model, » IEEE International Symposium on Electromagnetic Compatibility, 2001. EMC, vol.2, pp.1164 - 1168
- [56] www.synopsys.com
- [57] <http://www.apache-da.com/>
- [58] www.cadence.com/products/di/voltagestorm
- [59] www.cadence.com/
- [60] www.mentor.com/products/pcb-system-design/design-flows/expedition-enterprise.cfm
- [61] N. Nenadović, E. Miersch, M. Versleijen, S. Wane « Application of Integral Analysis Technique to Determine Signal- and Power Integrity of Advanced Packages, » IEEE 2007 Electrical Performance of Electronic Packaging, pp. 183-186, isbn : 978-1-4244-0883-2.
- [62] S. Wane , A-Y Kuo , « Chip-Package Co-Design Methodology for Global Co-Simulation of Redistribution Layers (RDL), » Electrical Performance of Electronic Packaging, 2008 IEEE-EPEP, San Jose, CA, oct.2008, pp.59-62
- [63] B. Thon, D. Baillargeat, S. Verdeyme, R. Lefevre, « Global EM and thermal analysis of a 40 Gb/s all integrated optoelectronic transmitter module, » Microwave Symposium Digest, 2004 IEEE MTT-S International Volume 1, 6-11 June 2004 Page(s) :409 - 412 Vol.1 Digital Object Identifier 10.1109/MWSYM.2004.1335911
- [64] E. Byk, D. Lopez, D. Baillargeat, S. Verdeyme, R. Quere, R. Sommet, P. Guillon, E. Laporte, M. Soulard, « Electrothermal modeling of multi-fingered PHEMTs applying a global approach, » Microwave Symposium Digest, 2002 IEEE MTT-S International Volume 3, 2-7 June 2002 Page(s) :2085 - 2088 Digital Object Identifier 10.1109/MWSYM.2002.1012280

- [65] J. Bras, E. Larique, D. Baillargeat, M. Aubourg, S. Verdeyme, « Application of a Hybrid Method to Model the Interaction Between an Electromagnetic Illumination and an Active Microwave Component, » European Microwave Conference, 2001. 31st Oct. 2001 Page(s) :1 - 4 Digital Object Identifier 10.1109/EUMA.2001.338924
- [66] M. Hamzaoui, P. Besnier, M. Drissi, « Black box representation of electronic equipments for EMI simulation : a physical approach, » Microelectronics, 2004. ICM 2004 Proceedings. The 16th International Conference

2 Méthodologies d'Analyse et Modélisation de l'Intégrité des Alimentations

Introduction

Un circuit actif est caractérisé d'une part par l'information qu'il doit traiter et d'autre part par l'énergie nécessaire au traitement de cette information. Chaque système (micro-processeur, tuner,...) ou module (LNA, VCO, CAN), qu'il soit analogique, numérique ou mixte, est donc décrit par plusieurs grandeurs spécifiant sa consommation (puissance d'entrée, puissance de sortie) et ses effets sur l'information à traiter (démodulation, amplification, SNR, BER,...). De manière générale, ces spécifications sont étroitement liées, et les interférences néfastes qui peuvent apparaître entre celles-ci définissent les notions d'intégrité des alimentations et d'intégrité des signaux. L'intégrité définit la capacité d'une fonction à maintenir des niveaux de potentiel stables, non perturbés. Soit, ces niveaux correspondent à un flot d'information (TTL, CMOS, RF) , soit ils correspondent à un niveau d'alimentation. Dans les deux cas, le rôle du concepteur est d'anticiper ces interactions afin de se prémunir de tous phénomènes parasites pouvant provoquer des dysfonctionnements ou une détérioration de la fonction, du bloc ou du système. Les circuits numériques sont majoritairement constitués de cellules très simples dont les diverses possibilités d'assemblage permettent de générer des fonctions plus complexes. La brique de base des circuits numériques est le transistor MOSFET, soit l'empilement de couches Metal, Oxyde et Semiconducteur soumis à l'Effet de Champ électrique (*Metal Oxyde Semiconductor Field Effect Transistor*). Ce transistor MOSFET est proposé pour la première fois par Julius Edgar Lilienfeld en 1920. La difficulté de réalisation n'a rendu exploitable cette technologie que 40 ans plus tard, en 1959, où Atalla et Khang des laboratoires Bell fabriquent le premier transistor MOSFET, figure 2.1.

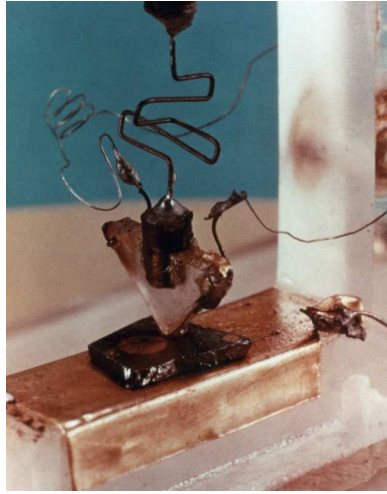


FIGURE 2.1: Premier Transistor

Cette section [1] présente les phénomènes à l'origine de la consommation des circuits numériques. Cette consommation dynamique peut être déclinée sous deux aspects, tout d'abord un aspect statique, dont l'influence provoque un échauffement du circuit et de son environnement, données importantes lorsqu'il faut dimensionner l'architecture du système (dissipateur de chaleur, fiabilité des connexions entre les circuits, dimensions du boîtier...). L'autre aspect est dynamique, la commutation des fonctions du circuit peut être spontanée, brutale et importante, elle génère de forts appels d'énergie. L'alimentation, incapable de fournir l'énergie à la fréquence d'opération, doit être découplée. Le découplage est assuré par des condensateurs, assimilables à des sources d'énergie qui fournissent l'énergie nécessaire afin d'assurer le besoin en courant de la fonction. Dans ce cas, la nécessité de comprendre le caractère dynamique du système permet d'anticiper la demande en découplage, qui rappelons-le augmente tout autant que le nombre d'E/S évolue. Il est aussi possible d'optimiser ce besoin. En effet, actuellement la répartition des capacités est localisée soit au sein du circuit intégré (*tie-off-cell*), soit au niveau du PCB (SMD *Surface Mounted Component*). Comprendre, analyser et quantifier le besoin en découplage permettra d'en optimiser les performances et d'y répondre grâce aux solutions PICS existantes chez NXP Semiconducteur. Enfin, le comportement dynamique, d'un point de vue génération de perturbations sur les lignes d'alimentation, est une notion qui renseigne sur le pouvoir « agressif » d'une fonction sur une autre, considérée « sensible » ou « susceptible ». Afin d'estimer cette sensibilité, la fonction de transfert d'un LNA (*Low Noise Amplifier*) est proposée. Ceci permettra de rendre compte de l'effet de fluctuations de potentiels sur les caractéristiques de l'amplificateur.

Les deux aspects de la consommation des circuits numériques ainsi que les formulations analytiques et semi-analytiques d'un bloc sensible précédemment énoncées seront abordés dans ce chapitre :

- La puissance moyenne, décrite par diverses approches analytiques et semi-analytiques

- La puissance dynamique, décrite au travers de profils de courant issus des fonctions triangulaires et trapézoïdales.

La formulation analytique permet de résoudre algébriquement un système d'équations simples. Dans le cas de l'approche semi-analytique, la puissance de calcul est opérée via un outil logiciel.

Malgré la segmentation définie, ces aspects de puissance sont étroitement liés, l'aspect dynamique est directement extrait de l'aspect statique au travers des informations temporelles disponibles, c'est-à-dire les temps de montée et de descente caractéristiques de la technologie utilisée dans la conception du circuit numérique, ainsi que la fréquence de fonctionnement de chacun des blocs constituant ce même circuit. Les deux aspects dynamique et statique sont unifiés au travers d'une représentation en base de fonctions à énergie finie qui généralisent les profils triangulaires et trapézoïdaux. Cette représentation en base permet la prise en compte de plusieurs domaines d'alimentations ayant chacun sa propre fréquence d'horloge. L'analyse harmonique de l'activité interne développée sur la base de fonctions appropriées donne une cartographie précise de la distribution énergétique de la puissance dynamique pour une meilleure stratégie de découplage.

Par la suite, l'importance de coupler les analyses d'intégrité des alimentations à celles des couplages entre signaux RF est soulignée à travers l'étude d'un bloc analogique sensible représenté par un LNA. La connexion entre le réseau passif et un bloc analogique sensible est discutée. Nous utiliserons les paramètres dynamiques extraits de l'analyse de l'activité du circuit numérique et pondérés par l'effet du réseau pour étudier la réponse du LNA.

Ce chapitre aborde tout d'abord les notions relatives à l'activité des circuits numériques. Par la suite l'activité des circuits numériques, la sensibilité des circuits analogiques et les interconnexions sont analysées à travers trois approches. La première est analytique et semi-analytique, la seconde présente les méthodologies de mesures et la troisième présente les outils de simulation. Nous accorderons beaucoup d'importance à l'analyse analytique et semi-analytique.

Enfin, les méthodologies d'extraction du réseau passif seront abordées. Dans cette partie, nous proposerons uniquement les méthodologies analytiques et semi-analytiques. Celles-ci seront ensuite exploitées dans la partie suivante, plus applicative.

2.1 Modélisation de l'Activité Numérique et Importance des Stratégies de Découplage

2.1.1 Notion d'activité et Représentation

Les notions de « consommation » et « activité » des circuits intégrés complexes nécessitent une bonne compréhension de l'aspect physique et comportemental du fonctionnement des circuits. L'activité numérique, aussi complexe soit-elle, peut être réduite au seul comportement du transistor. Par la suite, celui-ci est associé électriquement, et/ou modifié géométriquement, afin de répondre aux besoins de fonctionnalités diverses. Ainsi cette section présente brièvement les caractéristiques du transistor MOS [4, 3] puis décrit quelques fonctions élémentaires (CMOS, porte logique).

2.1.1.1 Le transistor

Le transistor est caractérisé par la polarité de ses porteurs de charges, les électrons (MOS-N : dopage de type N) et les trous (dopage de type P : MOS-P). Lorsqu'un potentiel électrique est appliqué sur la partie métallique du transistor, la différence de potentiel qui apparaît entre la couche métallique et la couche de semiconducteur va permettre le passage de porteurs du drain vers la source, au travers du canal. La figure 2.2 illustre le type N de transistors où selon le potentiel V_t appliqué, apparaît l'accumulation de porteurs au niveau du canal de conduction.

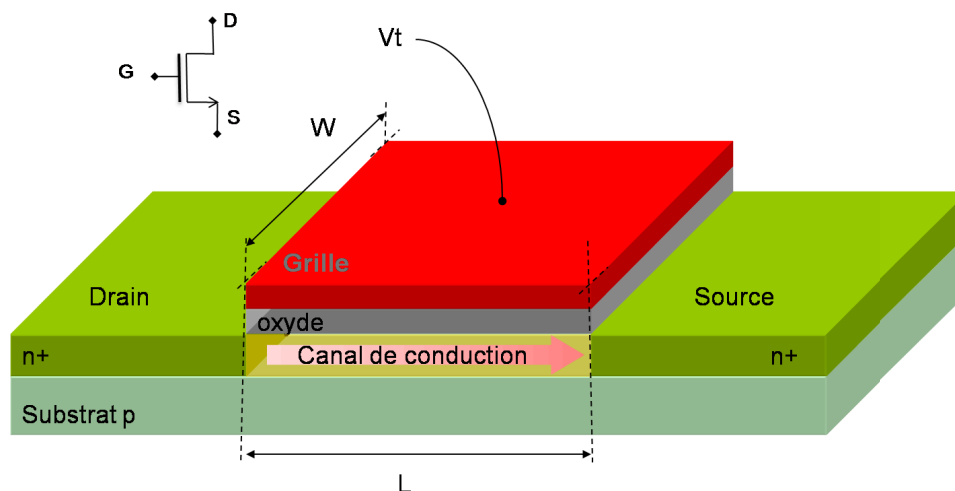


FIGURE 2.2: Transistor MOS type N

Plus le champ électrique généré entre le métal et le semiconducteur est élevé plus la mobilité est importante et plus les charges vont pouvoir se déplacer rapidement du drain vers la source. Dans un

semiconducteur, la vitesse de déplacement des charges est décrite par la formule suivante :

$$v = \mu \cdot E \quad (2.1)$$

v décrit la vitesse, $m.s^{-1}$, des porteurs, elle est caractérisée par le produit de la mobilité μ en $m^2/V.s$ et E , qui est le champ électrique exprimé en V/m . μ_N décrit la mobilité des porteurs négatifs de type N, les électrons, plus rapides que les porteurs positifs de type P, les trous, dont la mobilité est définie par μ_P . La vitesse de déplacement des trous μ_P , est plus faible, entre 2 et 3 fois moins, que celle des électrons μ_N , équation ci-après.

$$\mu_N = 1,45.10^3 cm^2.V^{-1}.s^{-1} \quad (2.2)$$

$$\mu_P = 4,5.10^2 cm^2.V^{-1}.s^{-1} \quad (2.3)$$

De ce fait, le substrat semiconducteur de type N est moins résistif qu'un substrat de type P. La résistance entre Drain et Source est nommée R_{dson} , dans le cas où le transistor est passant. L'empilement de ces couches agit comme une capacité, constituée de l'armature métallique (la grille), de la couche d'isolant (l'oxyde) et d'une autre armature semiconductrice. Cette capacité est définie par C_{ox} , caractérisée par la surface des contacts en regard, S , et l'épaisseur de l'isolant diélectrique t , définie par la formule 2.4 :

$$C_{ox} = \frac{\epsilon_o \cdot \epsilon_r \cdot S}{t} \quad (2.4)$$

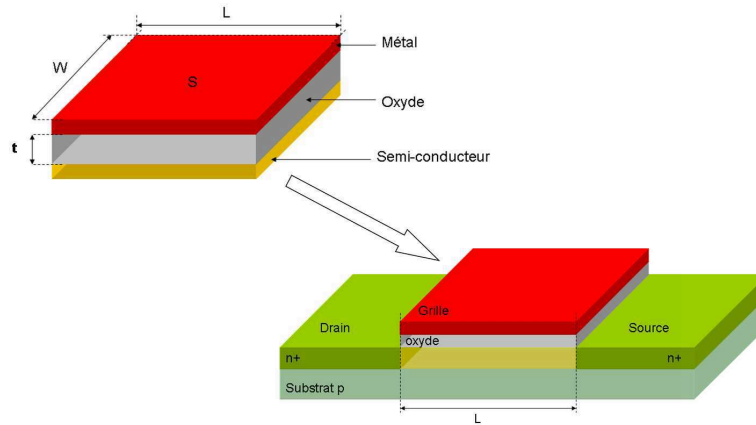


FIGURE 2.3: Capacité CMOS

ϵ_0 est la permittivité du vide et ϵ_r , la permittivité du diélectrique. Ces deux paramètres C_{ox} et R_{dson} sont dépendants de la technologie utilisée dans la conception des transistors. On définit communément cette technologie par la dimension la plus faible réalisable qui correspond à L sur la figure 2.3, appelée

longueur de grille.

La courbe présentée sur la figure 2.4 illustre deux modes de fonctionnement du transistor. Le premier mode de fonctionnement est le régime ohmique, le courant I_{DS} traversant le transistor croît ; dans le second mode, le courant I_{DS} est saturé. Ces deux modes sont résumés dans le tableau 2.1 qui caractérise la sortie d'un transistor MOS-N.

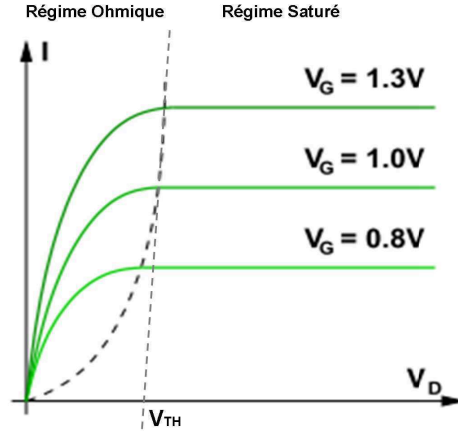


FIGURE 2.4: Caractéristique Courant Tension d'un transistor MOS-N

Mode de fonctionnement		I_{DS}
Pas de courant	$V_G < V_T$	0
Régime Ohmique	$V_D < V_{GS} - V_T$	$\beta \cdot (V_G - V_T) \cdot V_D - \frac{V_D^2}{2}$
Régime Saturé	$V_D > V_{GS} - V_T$	$\beta \cdot \frac{(V_G - V_T)^2}{2}$

TABLE 2.1: Caractéristique de sortie d'un transistor type MOS-N

avec

$$\beta = \frac{\mu \cdot W \cdot C_{ox}}{L}$$

et

$$R_{DS(on)} = \frac{V_{dd}}{I_{DS-ohmique}} = \frac{V_{dd}}{\beta \cdot (V_G - V_{TH}) \cdot V_{DD} - \frac{V_{DD}^2}{2}} \quad (2.5)$$

L'agencement de différents types de transistors permet de générer diverses fonctions. Les plus simples et les plus élémentaires vont, à présent, être décrites.

2.1.1.2 Fonction Inverseur

La fonction la plus simple est constituée de deux transistors complémentaires, un MOS-N et un MOS-P, placés de manière symétrique. Le principe de cette fonction est d'inverser la valeur d'entrée comme illustré sur la figure 2.5.

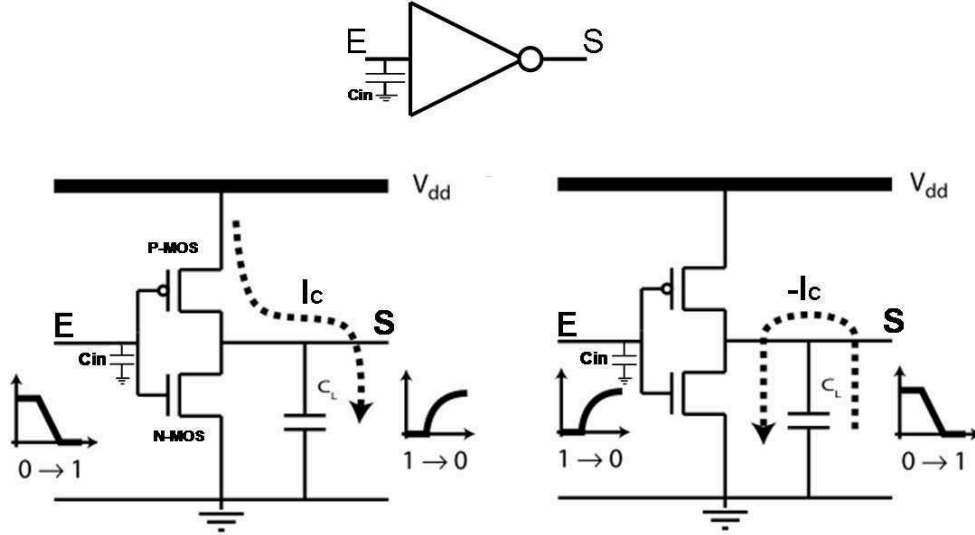


FIGURE 2.5: Inverseur CMOS

La capacité C_L présentée sur la figure 2.5 désigne la capacité de charge présente sur la sortie de l'inverseur, c'est-à-dire les capacités dues aux structures de routage et les capacités d'entrées connectées à la sortie S de l'inverseur. C_{in} englobe les capacités de grille de l'inverseur C_{oxN} et C_{oxP} . Il est aussi important de prendre en compte les capacités parasites C_{par} dues aux niveaux de métallisation. La sortance ou *Fan-out* définit le nombre de portes logiques qui peuvent être chargées par la sortie, et permet de renseigner sur le temps nécessaire au changement d'état de la fonction logique, puisque cela dépend de la charge de sortie. Réciproquement, plus la complexité d'une fonction augmente, plus la somme des capacités d'entrée de la fonction est importante et donc ceci définit un *Fan-in* important, soit une fonction logique lente. Le temps de propagation est défini selon les paramètres précédemment décrits R_{dson} (équation 2.5), C_{in} , C_L et C_{par} comme t_d , équation 2.6 :

$$t_d = (C_{in} + C_L + C_{par}) \cdot R_{dson} \quad (2.6)$$

D'autre part, du fait du type de porteur présent, et de la différence de vitesse de déplacement des charges, il est important de réaliser un porte CMOS dont les capacité C_{ox} soient identiques en entrée, qu'elles soient associées à un MOS de type N ou P. De ce fait, un dimensionnement de la géométrie des transistors est nécessaire. Les tensions appliquées sur les grilles, ainsi que les tensions d'alimentation sont identiques pour les deux transistors. De plus la longueur de grille est aussi fixée, il faut donc opérer un dimensionnement sur la largeur de grille W , tel que :

$$\beta_N = \frac{P_N \cdot C_{oxN} \cdot W_N}{L} = \beta_P = \frac{P_P \cdot C_{oxP} \cdot W_P}{L} \quad (2.7)$$

où

$$\frac{\beta_N}{\beta_P} = 1 \quad (2.8)$$

Le rapport exposé par l'équation 2.8 doit être égal à 1 afin de réaliser un dimensionnement correct.

L'inverseur, ou fonction *NON*, qui vient d'être présenté dans la figure 2.5 est utilisé dans une grande majorité de fonctions logiques de base.

2.1.1.3 Fonction NAND

L'association d'une fonction *NON* et d'une fonction *ET* génère une nouvelle fonction appelée *NON-ET* ou *NAND*. La porte *NAND* est présente en grande quantité dans les fonctions numériques, elle est considérée comme constitutive globale des fonctions logiques complexes. De plus, l'algèbre de Boole permet de simplifier les équations logiques et de synthétiser les fonctions logiques grâce aux portes de bases, *NAND*; elle est dite universelle.

La consommation du courant des portes *NAND* est un paramètre important à considérer. Or, ce courant est essentiel dans l'analyse de la consommation.

Tout comme pour l'inverseur, on rencontrera des problématiques d'appariement (*matching*).

2.1.1.4 Fonction Buffer

La fonction *buffer* a pour rôle de régénérer un signal sans modifier sa valeur. Cette régénération permet de transmettre un signal à une fonction voisine, ou même à un autre circuit. Dans le cas du pilotage de charges capacitives importantes, comme un bus, ou des charges externes au circuit, il est nécessaire d'utiliser plusieurs inverseurs en série pour réaliser une adaptation progressive entre les capacités de charges internes à la circuiterie et celle imposée par la charge externe. La figure 2.6 présente un *buffer* simple où trois inverseurs sont assemblés.

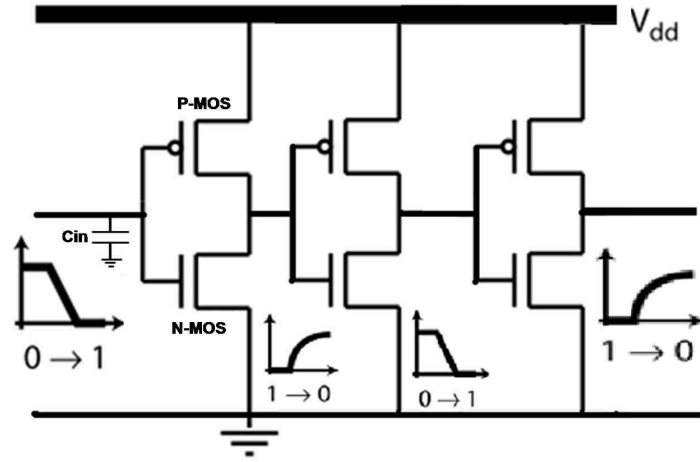


FIGURE 2.6: Buffer

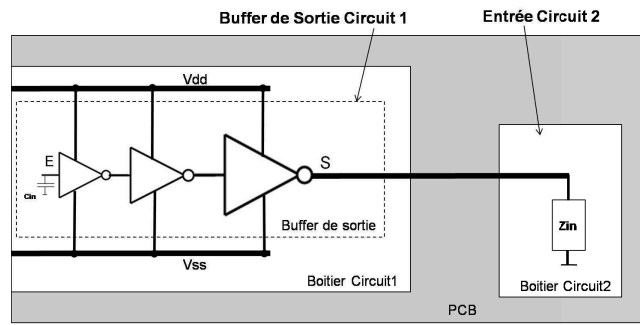


FIGURE 2.7: Buffer de sortie

Chaque couple de transistors assurant la fonction d'inverseur aura ses dimensions modifiées afin de répondre à la sortance demandée par la charge Z_{in} .

Un buffer de sortie est spécifié par la quantité de courant I_n qu'il est capable de conduire et le temps nécessaire Δt_1 et Δt_2 pour atteindre ce courant, tel qu'illustré par les figures 2.8a et 2.8b. Lorsque beaucoup de buffers demandent en même temps une grande quantité de courant pendant un temps très court, ils généreront des perturbations sur les lignes d'alimentation [7, 6], dues aux courants (I_{PIC}) nécessaires à leur fonctionnement.

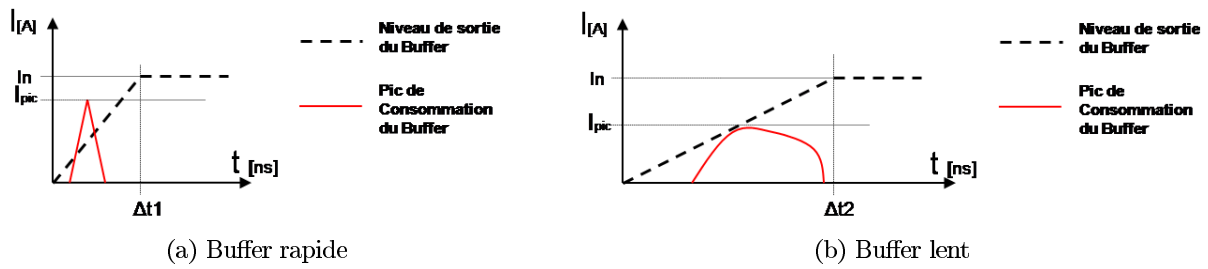


FIGURE 2.8: Choix du buffer

Dans le cas *a.* de la figure 2.8a, on est en présence d'un buffer rapide (temps de réponse : Δt_1), le pic de courant (I_{PIC}) induit est important et son impact sur le système peut causer de fortes perturbations. Il faut donc considérer avec précaution la puissance dynamique mise en jeu lors des transitions. Dans le cas *b.*, figure 2.8b, la transition est plus lente (temps de réponse : Δt_2), pour la même quantité de courant conduit (I_n). On choisira donc des buffers plus ou moins rapides, pouvant conduire plus ou moins d'énergie, en adéquation avec la fonction logique interne (coeur numérique) afin d'éviter la génération de bruit, appelé SSO pour *Simultaneous Switching Output Noise* [5, 7]. Le SSO sera alors provoqué par la somme des courants consommés ($\sum I_{PIC}$) sur les rails d'alimentation.

Les fonctions logiques de base qui ont été présentées représentent globalement ce qui constitue les coeurs logiques. La problématique soulevée dans ce document se penche sur l'association de ces fonctions qui caractérisent les circuits numériques actuels et sur la puissance qu'ils consomment : comment prédire l'activité numérique et anticiper l'optimisation des stratégies de découplage ?

La cohabitation de blocs de fonctions analogiques et/ou numériques et passifs, au sein d'une même puce ou d'un même système, induit des phénomènes de couplages de diverses natures (couplages capacitifs/inductifs/résistifs, compatibilité/interférences électromagnétiques, etc...). Le développement de stratégies préventives contre de tels effets de couplages, à travers des règles de conception adaptées aux différentes applications, requiert une approche méthodologique globale [10, 8, 37, 9]. Comme il a été spécifié dans la description de la méthodologie d'analyse, l'objectif final est de pouvoir réaliser une optimisation des valeurs de découplage et spécifiquement grâce à l'utilisation du substrat PICS intégrant une forte concentration de composants passifs, particulièrement concernant les capacités enfouies en 3D. L'assemblage de circuits agencés sur le substrat PICS favorise d'une part la gestion du réseau d'interconnexion des alimentations et des signaux. D'autre part, la présence de composants passifs intégrés allège le nombre de ceux qui devraient normalement se trouver sur le PCB ou hors du boîtier. Cette dernière configuration favorise l'efficacité du découplage, les capacités sont alors localisées au plus proche des sources de perturbations, limitant ainsi la propagation de perturbations sur le réseau d'alimentation.

L'incorporation de capacités de découplage aussi bien pour des fonctionnalités de filtrage que pour le contrôle des niveaux de fluctuations de l'alimentation, dépend fortement de la nature et des caractéristiques des activités numériques et des niveaux de susceptibilité dans le domaine analogique.

Afin de choisir la stratégie de découplage la plus appropriée, il est essentiel d'avoir une description

précise des composantes harmoniques contenues dans les différents profils d'activité. La connaissance de ces composantes harmoniques dictera le choix et l'emplacement des différentes capacités de découplage à considérer. Dans ce qui suit, l'analyse spectrale de consommation de puissance ainsi que le développement harmonique sont discutés pour différents profils d'activité.

En plus de la description déterministe des profils d'activité, des aspects statistiques liés aux phénomènes événementiels de synchronisation de partitions les unes par rapport aux autres seront introduits.

Il sera distingué les aspects statistiques uniformes et non-uniformes. Les aspects statistiques uniformes feront référence à une cellule élémentaire (porte logique). Les aspects non-uniformes seront associés à des blocs de fonctions.

2.1.2 Approches de Modélisation Analytiques et Semi-Analytiques

Le SiP peut être défini, en terme de fonctionnalité, par l'association de plusieurs fonctions actives et passives au sein d'un même boîtier. Cette première phase de la méthodologie considère d'abord les fonctions actives ; nous voulons déterminer un modèle simple d'activité, et un modèle simple de victime. L'environnement d'intégration est représenté par ce qui les interconnectera, les couplera et ce qui permettra leurs interactions positives (fonctionnalité) et négatives (propagations de perturbations). L'ensemble est illustré par la figure 2.9.

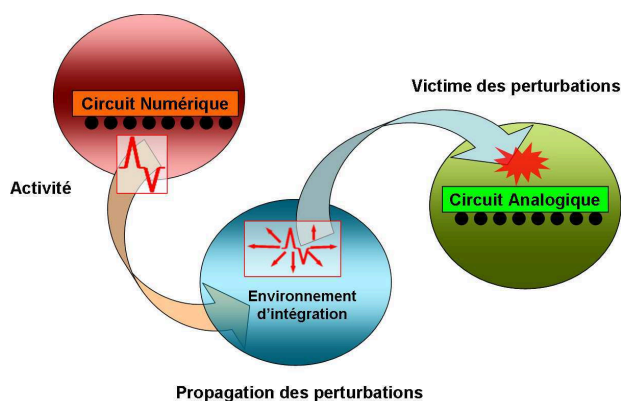


FIGURE 2.9: Illustration de la propagation et de l'influence des perturbations

L'analyse de systèmes complexes rend délicate la compréhension de l'influence de l'activité sur l'environnement global. La figure 2.10 décrit, plus spécifiquement, un ensemble circuit numérique, circuit analogique, et interconnexions.

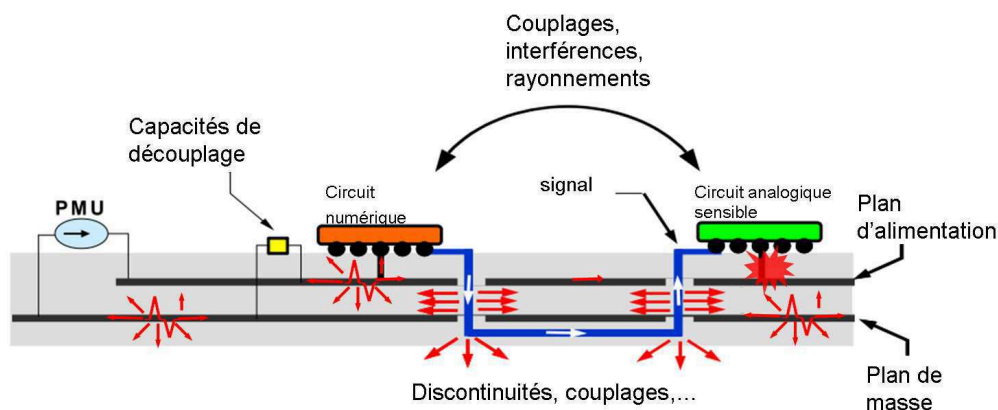


FIGURE 2.10: Représentation d'un boîtier intégrant deux circuits numérique et analogique, illustrant la problématique d'intégrité des alimentations et des signaux

Il est nécessaire d'appliquer une méthodologie simplificatrice afin de rendre la complexité du système plus accessible.

En terme d'émission de perturbations et de susceptibilité aux interférences, chaque module peut être caractérisé en deux modèles, un modèle de susceptibilité et un modèle d'émissivité.

L'activité du circuit numérique est traduite par une source de courant modélisant les pics de consommation lors des commutations. On considérera la tension d'alimentation et de commande constante, ainsi qu'une fréquence d'activation globale pour l'ensemble du bloc modélisé. Le circuit analogique est considéré plus sensible aux perturbations présentes sur les alimentations et les signaux. Un amplificateur faible bruit, considéré sensible, est modélisé au travers de sa fonction de transfert. Autant au niveau des circuits numériques que des circuits analogiques, la considération de puissance consommée permet de renseigner sur l'énergie mise en jeu lors du fonctionnement. D'autre part, concernant les fonctions logiques, la tension d'alimentation étant considérée constante lors du fonctionnement, la puissance moyenne correspondra à l'image de la moyenne du courant dynamique mise en jeu, c'est donc à partir de cette puissance moyenne que nous estimerons les valeurs de pic de consommation.

Cette partie va présenter la méthodologie de mise en oeuvre d'une modélisation globale adaptée à l'hétérogénéité et la complexité d'un SiP.

La première étape de la méthodologie présentée est de définir la puissance consommée au travers de plusieurs approches analytiques et semi-analytiques.

La seconde étape définira le modèle d'activité d'une fonction logique associée aux capacités de charges qui la caractérisent.

La troisième étape propose un modèle simple de circuit sensible extrait au travers de sa fonction de transfert et de son impédance d'entrée.

2.1.2.1 Représentation analytiques et semi-analytiques des puissances consommées

En référence à un système opérant un effet de charge à travers une capacité (circuit équivalent RC), telle qu'illustré par la figure 2.11 :

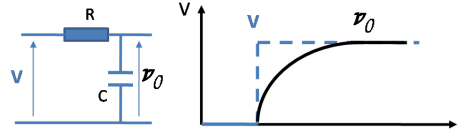


FIGURE 2.11: Réponse indicielle à un échelon

L'évolution de la tension (voir équation 2.9) dans le temps s'écrit :

$$v_0(t) = V. \left(1 - e^{-\frac{t}{RC}}\right) \quad (2.9)$$

Avec $v_0(t)$ et V en volt, t en seconde, R en ohm et C en farad. La puissance instantanée à travers l'alimentation est donnée par l'équation 2.10 :

$$p(t) = V.i(t) = V.C \frac{d[v_0(t)]}{dt} = \frac{V^2}{R} . e^{-\frac{t}{RC}} \quad (2.10)$$

Avec $p(t)$ en watt. L'intégration de cette puissance instantanée donne la valeur de la puissance moyenne, décrite par l'équation 2.11 :

$$P_{moy} = \frac{1}{T} \int_0^T \frac{V^2}{R} . e^{-\frac{t}{RC}} . dt = C.V^2 . f \quad (2.11)$$

Où $f = \frac{1}{T}$. Ce résultat suppose que $T \gg RC$.

Les méthodes d'estimation statistique se basent sur des valeurs approximées de courant dynamique et statique consommées. Ces valeurs sont dépendantes de la technologie MOS utilisée dans la réalisation des circuits. Le courant dynamique est dû à l'activité du circuit, au nombre de fonctions et de transistors activés lors de la réalisation d'une opération.

En référence à la figure 2.5 page 81 représentant l'inverseur CMOS, pendant la commutation, une quantité d'énergie issue de l'alimentation, est dissipée sous forme de chaleur par le transistor passant et permet la charge de la capacité C_L . Pendant la phase de décharge aucune puissance n'est fournie par l'alimentation, seule l'énergie accumulée par la capacité est conduite, et cette énergie est à son tour en partie dissipée sous forme de chaleur. Ainsi la puissance dynamique est définie par les phases

de commutation et donc par la charge et la décharge de la capacité C_L dans l'équation 2.12.

$$P_{commutation}^{porte} = \frac{1}{2} * V^2 * C_L * f \quad (2.12)$$

f décrit donc la fréquence de fonctionnement de la fonction considérée et C_L , en farad, la capacité de charge lors de l'activation. C_L est globale, c'est-à-dire que l'ensemble des capacités de charge de la fonction a une valeur globale représentée par C_L .

Lorsque l'analyse de la puissance consommée s'applique sur des fonctions plus denses, on peut considérer une capacité de charge moyenne par porte logique. Dans ce cas, un paramètre α décrivant statistiquement la quantité réelle de portes activées est introduit. Ce taux d'activité varie entre 0 et 1 (soit 0% et 100% d'activité), α est égal à 1 si toutes les portes logiques sont sollicitées simultanément. Ce cas extrême correspond à une hypothèse souvent référencée comme « pire cas ». La notion de « pire-cas » reste discutable en fonction des paramètres observables considérés. Ainsi, si les données du constructeur fournissent une valeur de capacité de charge moyenne d'une seule unité, tel qu'un transistor, une porte, ou un bloc IP , il est possible d'affiner l'estimation de puissance décrite dans l'équation 2.13, présentée ci-dessous :

$$P_{commutation}^{circuit} = \frac{1}{2} * V_{moy}^2 * C_{load} * n * f * Nb * \alpha \quad (2.13)$$

Où Nb est le nombre de blocs ou de sous fonctions unitaires chargées par C_{load} , et n est le nombre de transistors par bloc. La fonction unitaire peut être une porte NAND, un convertisseur ou un micro-contrôleur.

La formule 2.13 est comparable à une autre équation 2.14, décrite par la puissance moyenne P_{av} fournie pour un sous bloc constitutif de la fonction, et des paramètres précédemment énumérés qui sont Nb , f et α :

$$P_{estimée}^{circuit} = P_{av} * Nb * \alpha * f \quad (2.14)$$

Où P_{av} est la puissance moyenne $[W]$ et f en Hz . Les équations 2.11 page précédente et 2.12 proposent une approche statistique globale de l'activité, tandis que 2.13 et 2.14 sont dépendantes du facteur d'activité α et donc soumises statistiquement au ratio de fonctionnement par cellule.

Enfin, dans notre analyse de la puissance consommée, nous avons choisi d'estimer la consommation de la partie numérique de deux convertisseurs analogique-numérique présents dans le système que nous

analyserons dans le chapitre 3. Cette estimation est possible à partir du moment où l'on dispose des caractéristiques précises de conception de ces convertisseurs, ainsi on peut segmenter la circuiterie logique de la circuiterie analogique. Lors de la conception de circuits complexes, certaines fonctions peuvent être fournies par un constructeur annexe et qui détient la propriété intellectuelle de ces sous blocs. On définit souvent cette propriété par le terme *IP*, acronyme du terme anglais de « *Intellectual Property* ». Le fournisseur de la solution *IP* se réserve le droit de fournir à son client des spécifications supplémentaires, permettant d'affiner, dans notre cas, l'estimation de la puissance statique et dynamique.

Concernant ces convertisseurs, il est possible d'utiliser plusieurs approches estimatives décrites par [18] et qui sont dédiées à une architecture dite « *pipeline* », décrite en annexe 4.1 page 236. La première équation citée est la formule de l'équation 2.12, la capacité prise en compte dans cette formule est remplacée par la valeur minimale de longueur de grille L_{min} de la technologie CMOS. De plus, la taille importante des circuits augmente la capacité totale, donc diminue la vitesse de fonctionnement et augmente la consommation. D'autre part, cette estimation de la puissance consommée prend en compte le paramètre *ENOB*, soit le nombre effectif de bits convertis, dont la précision est liée à la taille du circuit. La corrélation citée par [18] entre ces paramètres L_{min} et *ENOB* permet d'extraire une valeur de puissance décrite par la formule 2.15 :

$$P_{ADC} = \frac{V_{dd}^2 * L_{min} * (F_{sample} + F_{signal})}{10^{(u*ENOB+v)}} \quad (2.15)$$

$u = -0.1525$ et $v = 4.838$ sont extraits par des techniques d'interpolation pour l'architecture « *pipeline* » de nos convertisseurs. Cependant la formule 2.15 considère deux fréquences de fonctionnement de l'ADC. Un convertisseur est souvent composé de deux parties : des comparateurs et un circuit logique. Les comparateurs fonctionnent à la fréquence F_{sample} dédiée à l'échantillonnage du signal analogique et le circuit logique à la fréquence F_{signal} [18]. Nous ne considérerons donc que l'effet de F_{signal} , ce qui aboutit à la formulation suivante :

$$P_{ADC} = \frac{V_{dd}^2 * L_{min} * (F_{signal})}{10^{(u*ENOB+v)}} \quad (2.16)$$

Chacune de ces formulations analytiques d'estimation de la puissance moyenne ou statique va donc permettre d'extraire un courant consommé moyen. A partir de ce courant nous proposerons une modélisation du courant dynamique. L'objectif est d'utiliser ce modèle comme source de perturbation et de s'affranchir de simulations circuit globales souvent lourdes et difficiles à mettre en oeuvre surtout

lorsqu'il s'agit de circuits numériques constitués d'une grande quantité de fonctions.

2.1.2.2 Représentation de l'activité numérique

Développement de l'activité sur une base généralisée Dans le cas d'un système comportant plusieurs domaines d'alimentation, en référence à différentes fréquences d'horloge, l'activité interne en courant peut être développée sur une base de fonction à énergie finie. Soit $g_k^{Base}(t)$ cette base de fonctions d'un espace muni d'un produit scalaire hermitien, l'activité $I_{Activité}(t)$ s'exprime sur cette base à travers la relation 2.17 :

$$I_{Activité}(t) = \sum_k^N \alpha_k \cdot g_k^{Base}(t) \quad (2.17)$$

En définissant le produit scalaire suivant :

$$\langle a|b \rangle = \int_0^T a(t) \cdot b(t) \cdot dt$$

où a et b représentent des fonctions quelconques de l'espace considéré, le produit scalaire de l'activité $I_{Activité}(t)$ par l'élément générique $g_n^{Base}(t)$ s'écrit (équation 2.18) :

$$\langle I_{activité}(t)|g_n^{Base}(t) \rangle = \langle \sum_k \alpha_k \cdot g_k^{Base}(t)|g_n^{Base}(t) \rangle \quad (2.18)$$

Soit :

$$B = A \cdot \alpha$$

Avec $A = [A_{NN}]_{k=1, \dots, N \text{ et } n=1, \dots, N}$, $\alpha = [\alpha_N]_{k=1 \dots N}$ et $B = [B_n]_{n=1, \dots, N}$

La relation 2.18 est obtenue par projection de $g_n^{Base}(t)$ sur l'équation 2.17 avec

$$[A_{NN}] = \begin{bmatrix} \langle g_1^{Base}(t)|g_1^{Base}(t) \rangle & \langle g_1^{Base}(t)|g_2^{Base}(t) \rangle & \dots & \langle g_1^{Base}(t)|g_n^{Base}(t) \rangle \\ \langle g_2^{Base}(t)|g_1^{Base}(t) \rangle & \langle g_2^{Base}(t)|g_2^{Base}(t) \rangle & \dots & \dots \\ \dots & \dots & \dots & \dots \\ \langle g_k^{Base}(t)|g_1^{Base}(t) \rangle & \dots & \dots & \langle g_k^{Base}(t)|g_n^{Base}(t) \rangle \end{bmatrix}$$

$$[B_N] = \begin{bmatrix} I_{activité}(t)|g_k^{Base}(t) \\ I_{activité}(t)|g_k^{Base}(t) \\ \dots \\ I_{activité}(t)|g_k^{Base}(t) \end{bmatrix}$$

Où la matrice $[A_{NN}]_{k=1...N \text{ et } n=1....N}$ est la matrice des produits scalaires des fonctions de base. Le vecteur $[B_N]$ est formé par les produits scalaires du signal avec les différentes fonctions de base.

L'objectif est de pouvoir extraire les coefficients pondérateurs α_k qui vont permettre la description du signal $\tilde{I}_{activité}(t)$ sur la base $g_k^{Base}(t)$. Le vecteur α_k est donné par :

$$[\alpha] = A_{kn}^{-1} \cdot B_k = \begin{bmatrix} \alpha_1 \\ \alpha_2 \\ \dots \\ \alpha_n \end{bmatrix}$$

$[\alpha]$ est le vecteur de coefficients pondérateur de la base. Ainsi, les coefficients α_k , définissant les amplitudes du courant d'activité, s'obtiennent aisément par un produit scalaire classique sur la base génératrice.

Dans le cas où la fonction $g_k^{Base}(t)$ est une fonction triangulaire, on écrit l'équation suivante 2.19 :

$$g_k^{BASE}(t) = Tri_k(t) \quad (2.19)$$

$$I_{activité}(t) = \sum_k \alpha_k \cdot Tri_k(t) \quad (2.20)$$

Il importe de noter que les fonctions triangulaires n'étant pas orthogonales, le recouvrement entre fonctions adjacentes doit être calculé. Ainsi, l'équation 2.20 peut être décrite de manière matricielle :

$$< I_{activité}(t) | Tri_n(t) > = \sum_k \alpha_k \cdot < Tri_k(t) | Tri_n(t) >$$

La discrétisation sur la base $g_k^{Base}(t)$ est formée à partir d'un groupe de trois points définissant le triangle. Le signal discrétisé, illustré figure 2.12, est décrit comme une combinaison linéaire de fonctions triangulaires.

Afin d'illustrer la discrétisation du signal nous utilisons des résultats de mesure. La description comme une combinaison linéaire de fonction triangulaire est présentée sur la figure 2.12.

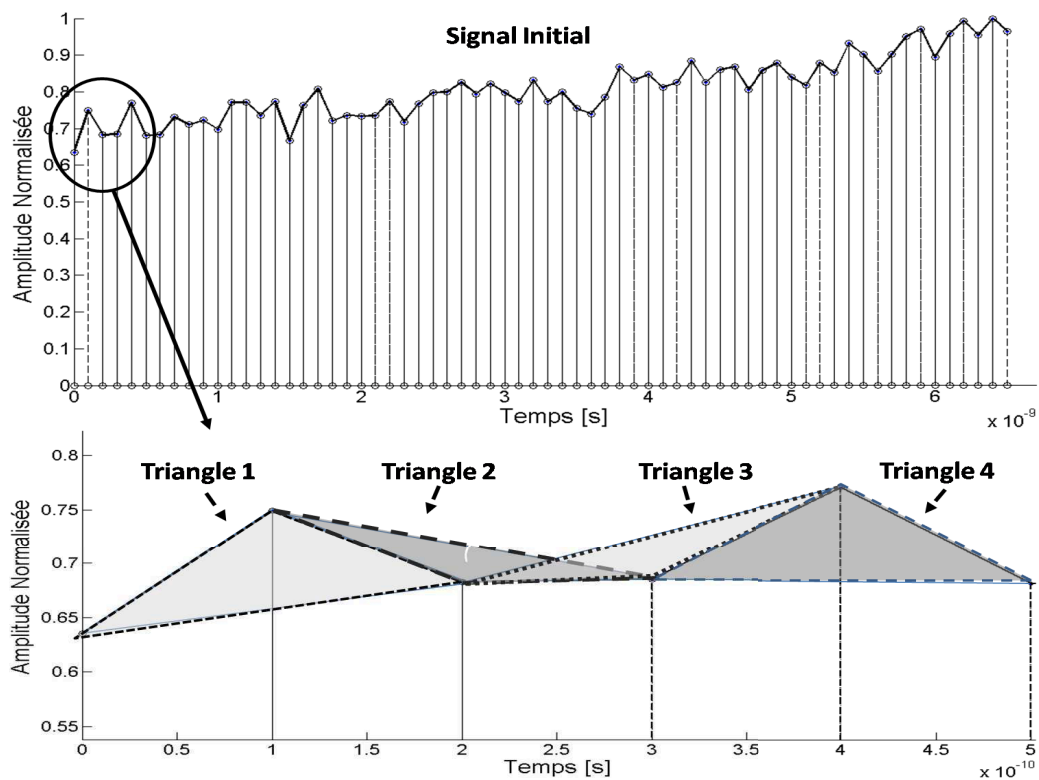


FIGURE 2.12: Discretisation d'un signal sur la base triangulaire

La figure 2.13 présente une vue en trois dimensions, où le signal initial et chaque triangle de points dans son rôle de discrétisation sont illustrés. Cette vue est uniquement graphique, elle permet de représenter l'échantillonnage du signal sur quatre triangles uniquement.

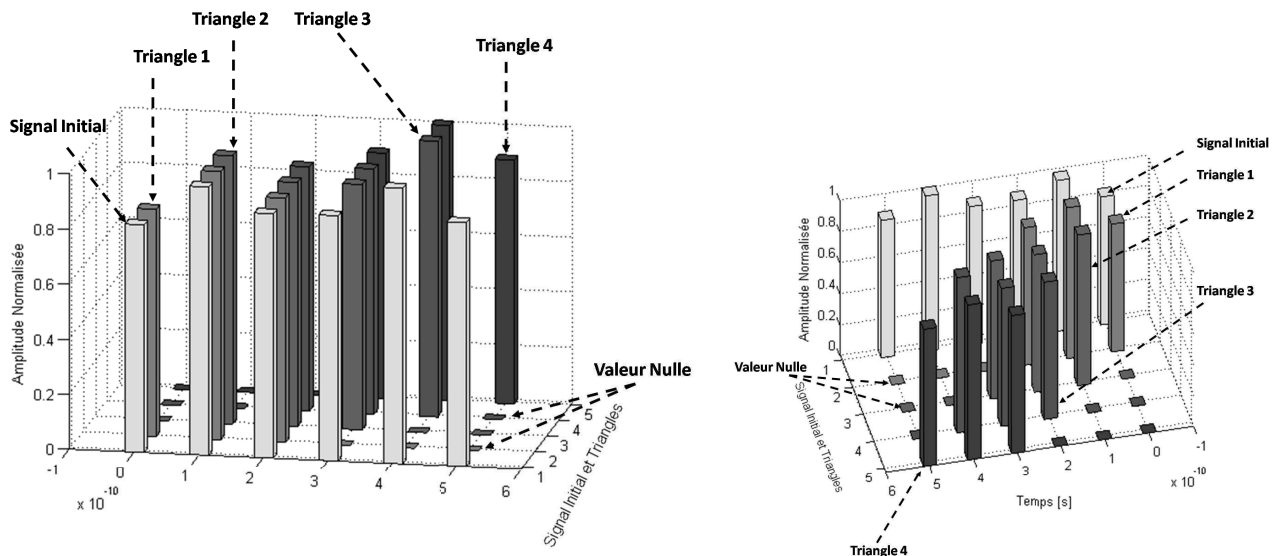


FIGURE 2.13: Signal initial et contribution de chaque triangle

Le spectre du signal ainsi discrétisé correspond à la somme des spectres de chaque fonction de base :

$$FFT[I_{activité}] = \sum_n \alpha_n \cdot FFT[Tri_n(t)] \quad (2.21)$$

L'égalité 2.21 souligne l'intérêt du changement de base dans l'analyse spectrale : les coefficients pondérateurs α donnent, pour chaque harmonique du profil $FFT[Tri_n(t)]$, l'amplitude de celui-ci. La représentation en base permet d'observer la contribution d'un profil sur le spectre global du signal. Tout comme la figure précédente, la figure 2.14 ne représente que graphiquement l'échantillonnage. Dans ce cas, la valeur absolue du spectre des quatre triangles est à nouveau représentée à titre illustratif.

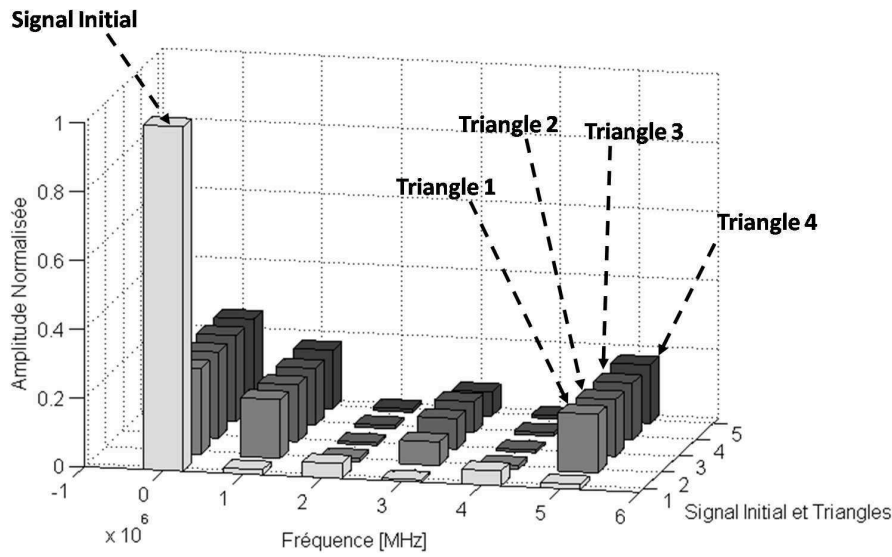


FIGURE 2.14: Spectre du signal et des triangles

On peut donc par la suite définir un modèle de source de perturbations correspondant à un profil défini, selon son implication dans la génération d'une harmonique de rang n à la fréquence f_n .

La représentation en base généralisée permet une représentation multi-fréquences où différents domaines d'alimentation peuvent être associés à différentes fréquences d'horloge.

Sans perte de généralité, dans ce qui suit, nous considérons une représentation en fonction triangulaire et/ou trapezoïdale afin de permettre une formulation analytique et semi-analytique de l'activité en courant. Une telle formulation permettra d'estimer au premier ordre la puissance consommée des blocs numériques pour des besoins de dimensionnement en amont des phases de conception.

Description des profils

L'analyse de l'activité d'un circuit numérique et des effets potentiels sur son environnement né-

cessite d'extraire un profil de courant. Le profil du courant peut être défini à partir de plusieurs type de fonctions (sinus, cosinus, créneau, ondelette [19]). D'autre part, l'analyse peut être abordée à partir de l'observation du courant mesuré, et de ses caractéristiques. Il est possible de considérer un profil particulier [20].

Dans un premier temps, nous nous intéresserons à la caractérisation d'une impulsion de courant via deux fonctions $Tri(t)$ et $Trap(t)$. Ces fonctions sont utiles pour la représentation d'un profil d'impulsion d'un système soumis à la cadence d'une seule horloge.

Le cas d'un système multi-horloge sera illustré et analysé au travers d'un système générateur de vecteurs indépendants sur une base triangulaire. Cette approche permet de tenir compte de la diversité des fonctions logiques activées lors des phases de commutation.

Description du profil canonique de forme triangulaire La fonction triangulaire périodique $f^{Tri}(t)$ est décrite par l'équation 2.22 :

$$f^{Tri}(t) = \begin{cases} -\frac{A}{\tau} \cdot t + A & \text{si } 0 < t < \tau \\ 0 & \text{si } \tau < t < T - \tau \\ \frac{A}{\tau} (t - T + \tau) & \text{si } T - \tau < t < T \end{cases} \quad (2.22)$$

La décomposition en série de Fourier est donnée par l'équation 2.28 page 97 :

$$p_{Tri}(t) = \frac{A\tau}{T} + \frac{2 \cdot A \cdot T}{\tau \cdot \pi^2} \cdot \sum_{n=-\infty}^{+\infty} \frac{1}{n^2} \sin^2\left(\frac{\pi \cdot n \cdot \tau}{T}\right) \cdot \cos\left(\frac{2\pi n}{T} \cdot t\right) \quad (2.23)$$

L'allure de la fonction triangulaire est illustrée par la figure suivante :

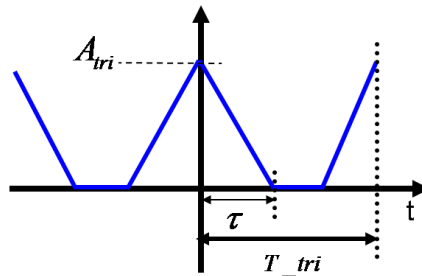


FIGURE 2.15: Forme Canonique Triangulaire

L'amplitude du profil triangulaire est obtenue à partir de la formule 2.24 :

$$A_{tri} = \frac{2 \cdot P_{moy}}{V_{alim} \cdot f} \cdot \frac{1}{\tau + \tau} = \frac{2 \cdot I_{moy}}{f} \cdot \frac{1}{\tau + \tau} \quad (2.24)$$

P_{moy} est la puissance moyenne consommée, V_{alim} est la tension d'alimentation de la fonction, f est la fréquence de fonctionnement. τ correspond au temps de montée et de descente de la technologie CMOS.

L'intérêt du modèle triangulaire est la possibilité d'injecter dans le réseau passif une impulsion dont le front montant peut être très raide, proche d'un signal de type « Dirac ». Dans l'espace fréquentiel, ce pic va permettre de couvrir une très large bande de fréquence, en théorie infinie comprise dans l'intervalle $[-\infty; +\infty]$ et permettre une analyse large bande de la réponse du système. Cependant, la modélisation réelle de l'activité est plus proche d'un profil trapézoïdal.

Description Canonique du profil trapézoïdal Dans certains cas, si la capacité de charge est importante, la transition est plus lente, soit parce qu'un temps de propagation dans la cellule est nécessaire, soit parce que c'est un choix délibéré, comme présenté dans le cas des buffers lents, voir figure 2.8b. Dans ce cas, le profil du courant n'a plus une allure de « triangle » mais celui d'un « trapèze ».

La figure 2.16 illustre un profil trapézoïdal.

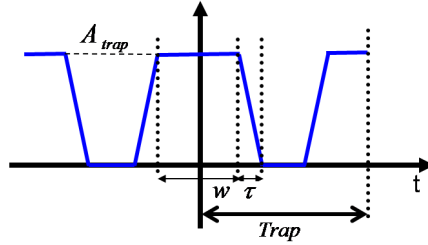


FIGURE 2.16: Forme Canonique Trapézoïdale Paire

$$f_{Trap}(t) = \begin{cases} A & \text{si } 0 < t < \frac{w}{2} \\ \frac{A}{\tau} \cdot \left(\frac{w}{2} + \tau - t \right) & \text{si } \frac{w}{2} < t < \frac{w}{2} + \tau \\ 0 & \text{si } \frac{w}{2} + \tau < t < T - \frac{w}{2} - \tau \\ \frac{A}{\tau} \cdot \left(t - T + \frac{w}{2} + \tau \right) & \text{si } T - \frac{w}{2} - \tau < t < T - \frac{w}{2} \\ A & \text{si } T - \frac{w}{2} < t < T \end{cases} \quad (2.25)$$

Cette première description, équation 2.25 permet de générer un profil idéal de trapèze. La description en série de Fourier, équation 2.26, nécessite un nombre d'harmonique minimum pour décrire un profil

qui converge correctement.

$$p_{Trap}(t) = A \cdot \left(\frac{w + \tau}{T} \right) + \frac{2 \cdot A \cdot T}{\pi^2 \cdot \tau} \cdot \sum_{n=1}^{\infty} \frac{1}{n^2} \cdot \sin \left(\frac{\pi n \tau}{T} \right) \cdot \sin \left(\frac{\pi n (w + \tau)}{T} \right) \cdot \cos \left(\frac{2 \pi n}{T} t \right) \quad (2.26)$$

L'amplitude du profil trapézoïdal est obtenue à partir de la formule 2.27 :

$$A_{trap}^{Paire} = \frac{2 \cdot P_{moy}}{V_{alim} \cdot f} \cdot \frac{1}{\tau + \tau + w} = \frac{2 \cdot I_{moy}}{f} \cdot \frac{1}{\tau + \tau + w} \quad (2.27)$$

P_{moy} est la puissance moyenne consommée, V_{alim} est la tension d'alimentation de la fonction, f est la fréquence de fonctionnement. τ correspond au temps de montée et de descente de la technologie CMOS. Dans ce cas, w correspond au délai de transition dans la fonction.

La figure 2.17 présente un profil générique de forme trapézoïdale. Ce profil est modulable. Lorsque w tend vers zéro, le profil est proche d'un triangle ; dans le cas où τ tend vers zéro, le profil permet de générer des profils allant du triangle au carré.

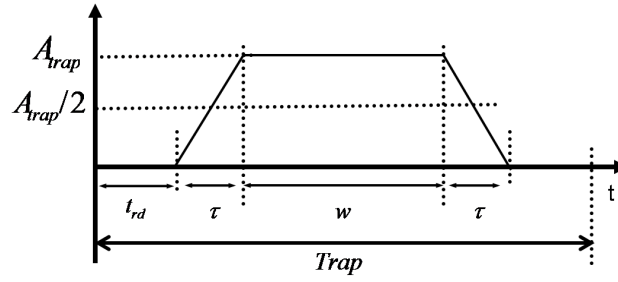


FIGURE 2.17: Profil trapézoïdal générique

Description d'un Profil Complexe Un système peut donc générer une activité de courant plus complexe dont les paramètres temporels et les amplitudes sont variables, telle qu'illustrée par la figure 2.18, l'enveloppe du courant apparaît en pointillé :

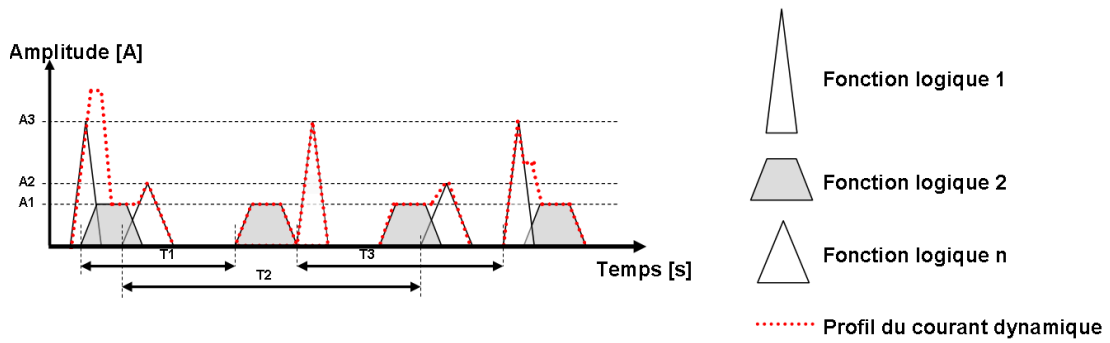


FIGURE 2.18: Forme potentielle d'onde complexe de courant

L'équation 2.17 souligne la difficulté de caractériser précisément le profil du courant appelé lors des

commutations, le courant moyen extrait depuis les valeurs de puissance estimées peut, dans la réalité, avoir un profil très complexe d'un point de vue dynamique.

Dans la figure 2.18, l'observation de différentes formes d'activité combinées pour synthétiser un profil complexe montre l'importance de caractériser des formes canoniques de base (triangulaire, trapézoïdale, carré, combinaison,...). Dans ce qui suit, le développement spectral des formes d'ondes canoniques précitées sera développé. Un intérêt particulier sera porté aux considérations de symétrie et de centrage par rapport à l'origine. Ces considérations permettront d'opérer les changements de bases nécessaires au passage des fonctions sinusoïdales à des activités multi-horloges.

Analyse Spectrale L'analyse spectrale est réalisée par la transformée de Fourier. Cette opération permet de décrire une fonction intégrable sous forme d'un spectre fréquentiel. L'intérêt de cette transformation sera de pouvoir caractériser le courant consommé dans l'espace fréquentiel afin de pouvoir identifier les harmoniques à l'origine de la présence de perturbations électromagnétiques dans le système et principalement sur les rails d'alimentation.

Nous présentons maintenant la description par les séries de Fourier des profils de courant utilisés.

Analyse spectrale du profil triangulaire Le profil de courant de forme triangulaire est décrit par les séries de Fourier présentées par l'équation 2.28 :

$$p_{Tri}(t) = \frac{A\tau}{T} + \frac{2.A.T}{\tau.\pi^2} \cdot \sum_{n=-\infty}^{+\infty} \frac{1}{n^2} \sin^2\left(\frac{\pi.n.\tau}{2.T}\right) \cdot \cos\left(\frac{2\pi n}{T}.t\right) \quad (2.28)$$

Les paramètres période du signal T , temps de montée/descente τ et amplitude A font référence à la figure 2.15 page 94. Ainsi, la majorité de la puissance est transportée par les premiers coefficients.

La dérivée du signal $p_{Tri_n}(t)$ est proposée dans l'équation 2.29 :

$$\frac{dp_{Tri_n}(t)}{dt} = \frac{2.A.T}{\tau.\pi^2} \cdot \sum_{n=-\infty}^{+\infty} \frac{1}{n^2} \sin^2\left(\frac{\pi.n.\tau}{2.T}\right) \cdot \left[-\left(\frac{2.\pi.n}{T}\right) \sin\left(\frac{2\pi n}{T}.t\right) \right] \quad (2.29)$$

La dérivée du signal triangulaire donne un signal carré. La figure illustre les deux signaux superposés.

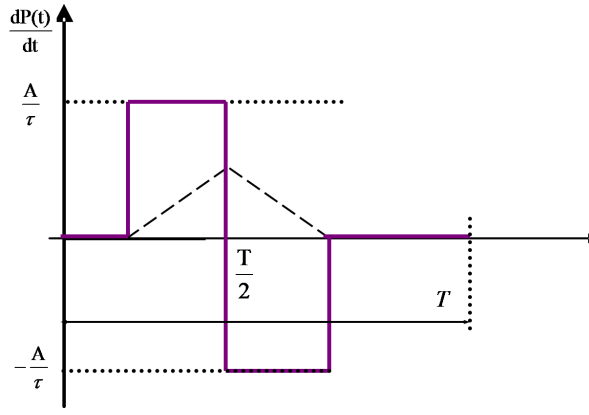


FIGURE 2.19: Signal triangulaire et sa dérivée correspondante sur une période

La dérivée présente un changement brusque d'état lorsque le profil de courant a une pente positive ou négative. Cette discontinuité, exprimée dans l'espace fréquentiel, devra être décrite par un important nombre d'harmoniques.

Analyse spectrale du profil trapézoïdal La formulation du profil trapézoïdal est donnée à nouveau :

$$f_{Trap}^{Paire}(t) = A \cdot \left(\frac{w + \tau}{T} \right) + \frac{2 \cdot A \cdot T}{\pi^2 \cdot \tau} \cdot \sum_{n=1}^{\infty} \frac{1}{n^2} \cdot \sin\left(\frac{\pi n \tau}{T}\right) \cdot \sin\left(\frac{\pi n (w + \tau)}{T}\right) \cdot \cos\left(\frac{2\pi n}{T} t\right)$$

Le profil générique est rectifiable pour les effets de lissage : la convolution avec un signal carré permet d'adoucir les discontinuités.

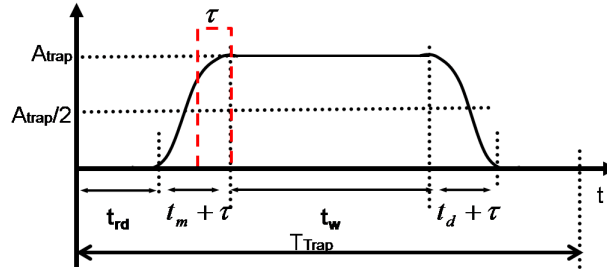


FIGURE 2.20: Profil trapézoïdal générique adouci

Dans ce cas, nous ferons appel à la transformée de Laplace, afin de distinguer au mieux la contribution de chaque portion élémentaire d'un profil canonique à la description spectrale du signal global.

Convergence harmonique et répartition de puissance La propagation de tels signaux peut ainsi être à l'origine de fluctuations de potentiels appelés $v_{VoltageDrop}(t)$, qui sur une ligne d'interconnexion aura pour expression 2.30 :

$$v_{VoltageDrop}(t) = R_{ligne} \cdot p_{\chi}(t) + L_{ligne} \cdot \frac{dp_{\chi}(t)}{dt} \quad (2.30)$$

Dans l'équation 2.30, p_χ désigne un profil χ (qui peut-être triangulaire, trapézoïdal, ou une combinaison des deux).

Ce type de *Voltage Drop*, afin d'être modélisé, doit être décrit avec un minimum d'harmoniques afin de fournir un modèle conservant une valeur maximale énergétique et ainsi être plus fidèle à la fluctuation réelle générée dans son environnement. La dérivée du profil peut comporter des discontinuités (voir pour le signal triangulaire figure 2.19) et nécessiter un nombre d'harmoniques pris en compte plus élevé.

Dans le chapitre 3, le lien entre la considération de convergence harmonique et les paramètres technologiques (τ temps de montée et de descente, T période de fonctionnement) seront unis.

Ainsi, en considérant l'approche précédemment proposée de définition du signal, il peut être envisageable de considérer la définition du profil de manière inverse. C'est-à-dire qu'en observant les résultats de mesures ou de simulations prédictives de l'activité en courant, il serait possible de décomposer le courant mesuré en une somme de profils triangulaires et trapézoïdaux, et ce, en se basant sur un paramètre δ décrivant le profil énergétique. Ainsi, afin de modéliser l'allure d'un courant au travers de profils triangulaires, il est nécessaire de considérer le nombre minimum de coefficients nécessaires à la modélisation. De plus, chaque coefficient est caractérisé par une fréquence f_n et une amplitude énergétique A_n . L'exemple, illustré par la figure 2.21, qui suit illustre ces considérations : l'amplitude du signal continu A_{dc} , l'amplitude A_1 à la fréquence fondamentale f_1 , et les amplitudes A_n et A_{n+1} aux fréquences respectives f_n et f_{n+1} .

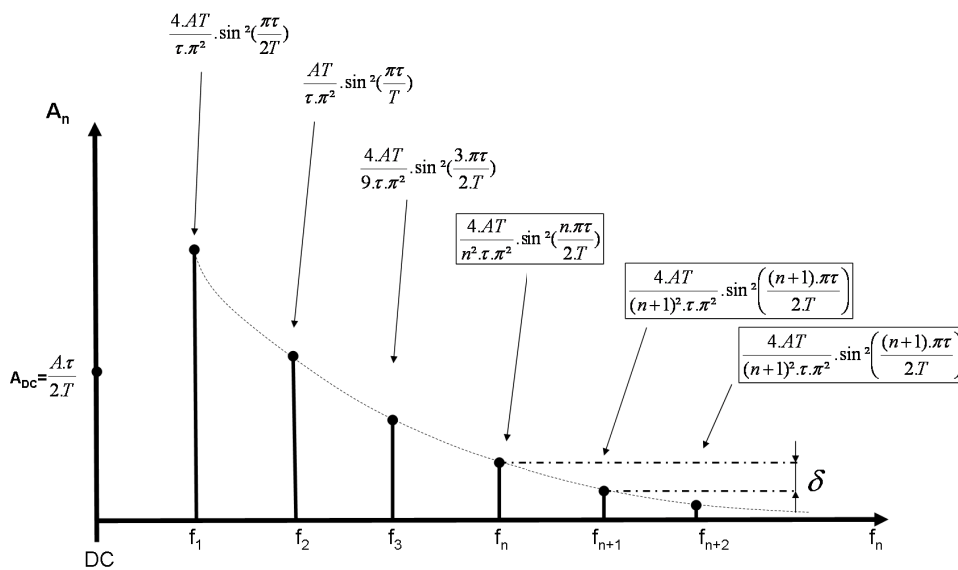


FIGURE 2.21: Répartition spectrale de la fonction triangulaire

Le rapport énergétique entre chaque harmonique s'exprime par :

$$\delta = \frac{f_n}{f_{n+1}} = \frac{\frac{4AT}{\tau\pi^2 n^2} \cdot \sin^2\left(\frac{\pi^2 n\tau}{2T}\right)}{\frac{4AT}{\tau\pi^2 (n+1)^2} \cdot \sin^2\left(\frac{\pi^2 (n+1)\tau}{2T}\right)} = \frac{(n+1)^2}{n^2} \cdot \frac{\sin^2\left(\frac{\pi^2 n\tau}{2T}\right)}{\sin^2\left(\frac{\pi^2 (n+1)\tau}{2T}\right)} \quad (2.31)$$

δ est la signature spectrale, il décrit la pente du profil entre les deux points de coordonnées $[f_n, A_n]$ et $[f_{n+1}, A_{n+1}]$. Ainsi l'analyse et la modélisation d'un profil de courant peuvent être abordées de la sorte ; si l'on dispose de son allure (par mesure ou simulation prédictive), il est possible en connaissant cette signature spectrale d'extraire une somme de profils décrivant le courant [20].

La description de l'activité dynamique peut donc être décomposée sous deux formes de courant. La forme triangulaire sera plus adaptée pour décrire l'activité des bascules et la forme trapézoïdale permettra de modéliser le comportement des portes logiques ou de circuiteries complexes. Ainsi, la puissance consommée est dépendante de la tension d'alimentation, du nombre de noeuds qui doivent être chargés et de la fréquence à laquelle chacun d'eux est chargé.

Génération du modèle d'activité interne Le modèle semi-analytique d'activité présenté dans la section précédente, illustre le comportement du circuit numérique lors de son fonctionnement ; il doit être associé aux impédances internes du circuit afin de fournir une modélisation concrète des impédances vues par les sources de courant. Ainsi nous ajouterons aux sources de courant les capacités de charges, les capacités intrinsèques du réseau environnant et les capacités statiques. Le modèle final d'activité est proposé par la figure 2.22 :

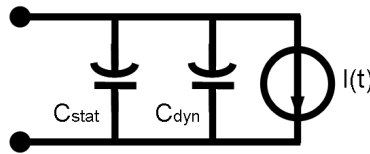


FIGURE 2.22: Modèle d'activité d'une fonction numérique

Selon la taille de la fonction à modéliser, les valeurs des capacités C_{dyn} et C_{stat} prendront en compte l'importance de l'énergie qui doit être nécessaire à leur charge. En effet, lors de la définition de la puissance consommée, issue des équations présentées dans la section 2.1.2.1, les capacités sont la première source de consommation de la fonction. [21, 22] indique qu'il est possible de prédire ces valeurs de capacité d'après la surface de la technologie considérée et de la valeur unitaire de la capacité par porte de cette même technologie. Cette méthode permet d'estimer rapidement la valeur globale

de la capacité interne d'une fonction logique. Une autre approche prédictive considère le nombre de portes logiques par fonctions multipliées par la capacité par porte. Dans ce cas, il faut avoir accès aux informations *IP* de la fonction, ce qui n'est pas toujours le cas.

Nous avons précisé que d'autres phénomènes étaient à l'origine de cette consommation, au travers des résistances *R_{dson}* des fonctions CMOS, mais aussi les résistances intrinsèques du réseau. Ce modèle d'activité a l'avantage de considérer une puissance dynamique globale qui est associée aux capacités totales de la fonction modélisée. Au-delà du rôle de charges, celles-ci ont aussi une fonction de découplage ; elles se trouvent à proximité de la source de courant et donc agissent tout autant comme des capacités de découplages en fournissant une première fraction du courant appelé. Ce rôle est consciemment pris en compte par les concepteurs de circuits qui n'hésitent pas à combler des espaces vides dans les couches logiques avec ces capacités appelées *tie-off-cell*.

Interprétation physique - Approche Couplée tension-courant Enfin, cette suggestion de modélisation de l'activité peut très bien être modifiée en passant d'une source de courant à une source de tension.

Le choix de la source est équivalent d'après la réciprocité du théorème de Thévenin-Norton. L'ensemble des phénomènes dus à l'activité de la fonction seront englobés par la définition du profil de $I(t)$ ou de $V(t)$. Cependant, en considérant la commutation d'une fonction plus ou moins complexe (transistor, microprocesseur), le principe de la commutation fait appel à une notion de tension dynamique et à une notion de courant dynamique.

Si on se contente d'une modélisation du bruit par une source de courant unique, la considération de la puissance instantanée est ignorée. Or d'un point de vue énergétique, les deux aspects, courant et tension, doivent être considérés couplés afin de prendre en compte au mieux les différents phénomènes parasites induits (appels de courant, surtension, diaphonie inductive et capacitive,...) dans le réseau d'interconnexion.

2.1.2.3 Représentation de la fonction analogique

Dans le cadre de notre approche, notre objectif est aussi de caractériser l'influence des interférences créées par le circuit numérique sur une fonction analogique sensible [16], nous avons choisi un amplificateur faible bruit. La caractérisation de sa fonction de transfert grâce aux matrices chaîne aidera à considérer deux effets. Le premier, l'influence de perturbations sur les caractéristiques de ce circuit, et le second les performances que pourront apporter l'insertion de découplage ou d'éventuelles améliorations

du réseau passif environnant (alimentations, signaux, plans de masse,...).

Le modèle du LNA est schématisé par la figure 2.23 :

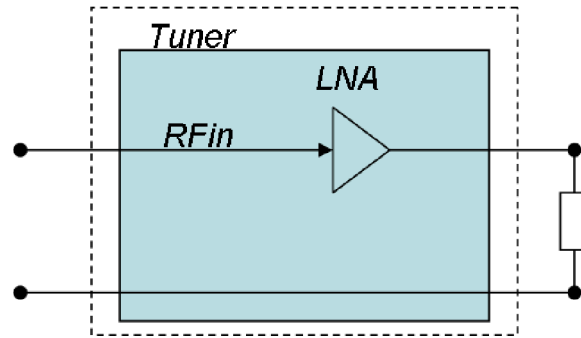


FIGURE 2.23: Schématisation de la fonction LNA

La figure 2.24 présente le circuit LNA :

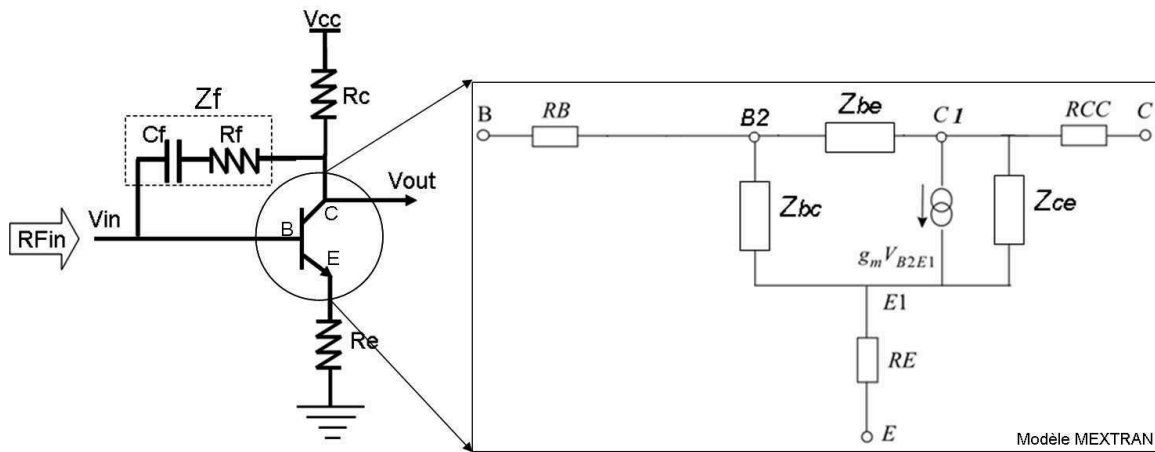


FIGURE 2.24: Schéma du LNA plus modèle de Mextram associé

Le modèle interne de caractérisation du transistor bipolaire, constitutif de l'amplificateur, est basé sur le modèle MEXTRAM [25]. Les paramètres de ce modèle sont décrits dans l'4.2.

Le système Amplificateur est modélisé sous la forme d'une matrice de transfert T illustrée par la figure 2.25 :

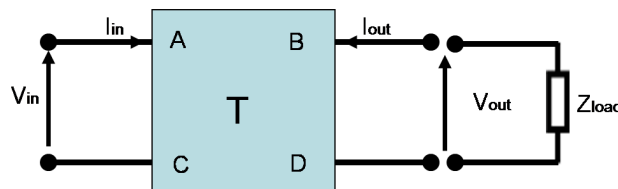


FIGURE 2.25: Représentation Quadripolaire de l'amplificateur faible bruit

Ce quadripôle est caractérisé par la matrice de transfert qui va permettre de définir la réponse du système, en fonction des valeurs d'entrée et de sortie :

$$\begin{bmatrix} V_{in} \\ I_{in} \end{bmatrix} = \begin{bmatrix} T_{11} & T_{12} \\ T_{21} & T_{22} \end{bmatrix} \cdot \begin{bmatrix} V_{out} \\ -I_{out} \end{bmatrix}$$

Où les paramètres T_{11} , T_{12} , T_{21} , T_{22} sont définis par :

$$T_{11} = \frac{V_{in}}{V_{out}}|_{I_{out}=0} \quad , \quad T_{21} = \frac{I_{in}}{V_{out}}|_{I_{out}=0} \quad \text{et} \quad T_{12} = -\frac{V_{in}}{I_{out}}|_{V_{out}=0} \quad , \quad T_{22} = -\frac{I_{in}}{I_{out}}|_{V_{out}=0}$$

Dans un premier temps, l'amplificateur est caractérisé sans la boucle de contre-réaction, définie par Z_f dans les figures 2.24 et 2.25, les valeurs des paramètres T_{ij} sont les suivantes :

$$T_{11} = \frac{V_{in}}{V_{out}} = \frac{rbb * (1 + k_{ibc}) + Z_{be} + Z_e * (1 + \beta)}{Z_{be} + Z_e * (1 + \beta) - k_{ibc}}$$

$$T_{21} = \frac{I_{in}}{V_{out}} = \frac{rbb * (1 + k_{ibc})}{Z_{be} + Z_e * (1 + \beta) - k_{ibc}}$$

$$T_{12} = -\frac{V_{in}}{I_{out}} = \frac{rbb * (1 + k_{ibc}) + Z_{be} + Z_e * (1 + \beta)}{\beta - k_{ibc}}$$

$$T_{22} = -\frac{I_{in}}{I_{out}} = \frac{1 + k_{ibc}}{\beta - k_{ibc}}$$

L'impédance d'entrée Z_{in} sans contre-réaction, est définie par :

$$Z_{in} = \frac{V_{in}}{I_{in}} = \frac{T_{11} \cdot Z_{load} + T_{12}}{T_{21} \cdot Z_{load} + T_{22}}$$

Ceci nous permet d'exprimer le gain de transconductance G_m du LNA en fonction de l'impédance d'entrée et de la matrice de transfert :

$$G_m = T_{22} - \frac{T_{12}}{Z_{in}}$$

La même opération est effectuée avec la boucle de contre-réaction représentée par Z_f dans le schéma du circuit. Ainsi, on définit une nouvelle matrice en fonction des paramètres précédemment définis pour la matrice sans contre-réaction et en considérant Z_f , l'impédance de la contre-réaction :

$$[T'_{11}, T'_{12}, T'_{21}, T'_{22}] = f[T_{11}, T_{12}, T_{21}, T_{22}, Z_f]$$

Les valeurs des nouvelles composantes de transfert sont :

$$T'_{11} = \frac{T_{11} + \frac{T_{12}}{Z_f}}{1 + \frac{T_{12}}{Z_f}} \quad , \quad T'_{12} = -\frac{T_{12}}{1 + \frac{T_{12}}{Z_f}} \quad , \quad T'_{21} = T_{21} + \frac{T_{22}}{Z_f} - T'_{11} \cdot \frac{T_{22}}{Z_f} \quad , \quad T'_{22} = T_{22} + T_{22} \cdot \frac{T'_{12}}{Z_f}$$

L'impédance d'entrée, avec la boucle de contre-réaction est décrite par l'équation suivante :

$$Z_{in'} = \frac{T'_{11} \cdot Z_{load} + T'_{12}}{T'_{21} \cdot Z_{load} + T'_{22}}$$

De même, les valeurs des gains, respectivement, en tension, en courant et en puissance sont données par :

$$G_{vd} = \frac{V_{out}}{V_{in}} = \frac{Z_{load}}{T'_{11} * Z_{load} + T'_{12}}$$

$$G_{Id} = \frac{I_{out}}{I_{in}} = \frac{1}{T'_{21} * Z_{load} + T'_{22}}$$

$$G_{Pd} = \frac{P_{out}}{P_{in}} = \frac{V_{out} * I_{out}}{V_{in} * I_{in}} = \frac{Z_{load}}{T'_{11} * Z_{load} + T'_{12}} * \frac{1}{T'_{21} * Z_{load} + T'_{22}}$$

Cette phase nous a permis d'extraire les paramètres définissant les caractéristiques du LNA. Ainsi, lors de la mise en oeuvre de l'étude de l'intégrité des alimentations, il sera possible de considérer les performances du découplage sur les caractéristiques de transfert de l'amplificateur avec et sans boucle de contre-réaction.

2.1.2.4 Couplages des circuits numérique et analogique

Nous avons considéré un système de type SiP (voir figure 2.10 page 86), composé d'un circuit numérique et d'un circuit analogique. La difficulté d'analyse globale nécessite de réduire l'ordre de complexité ; pour cela plusieurs approximations ont été proposées. Tout d'abord, la génération de perturbations a été assignée aux fonctions logiques. A partir du bilan de puissance, nous avons proposé une méthodologie d'extraction de profils d'activité en courant. Les hypothèses tensions constantes et fréquence unique d'activation du bloc imposent d'assigner au courant tous les paramètres dus à l'activation du circuit numérique.

La deuxième phase de notre méthodologie a été de caractériser les performances d'un circuit analogique sensible, c'est la raison du choix de l'amplificateur faible bruit.

L'influence du chemin de propagation sur une perturbation est une considération importante à prendre en compte. Les effets des lignes sur l'allure des interférences nécessitent une modélisation

appropriée à la complexité du réseau passif. Celui-ci est modélisé par un multiport. Cette approche constituera l'analyse du réseau d'interconnexion. L'importance de considérer l'environnement d'intégration est d'abord orientée vers une future segmentation du système, lorsqu'il sera nécessaire d'isoler des zones favorisant les couplages électromagnétiques entre les éléments du réseau lui-même, mais aussi entre fonctions « perturbatrices » (numériques) et les fonctions « victimes » (analogiques).

Modèles d'Extraction des réseaux d'interconnexions et Applications Dans le cadre de notre étude, nous accentuerons notre analyse sur la gestion des alimentations. Le réseau d'interconnexion peut être modifié, il est caractérisé par les choix d'intégration, d'interconnexion et d'assemblage, mais aussi par la politique de découplage mise en oeuvre qui est dépendante des choix technologiques (passifs intégrés, composants de surface,...).

La première partie de cette section va tout d'abord présenter les techniques d'extraction des paramètres intrinsèques (L_{eff} , C_{eff} , R) qui peuvent être extraits d'une ligne simple et les solutions communes de modélisation qui découlent de la phase d'extraction.

La seconde partie présentera la stratégie de découplage basée sur le substrat PICS, tout d'abord avec les hypothèses de simplification de sa structure, les phases de mesure et de modélisation qui ont permis d'en extraire un modèle d'éléments distribués. Cette section soulignera l'influence de l'inductance totale (Inductance effective) vue par la capacité de découplage, donc l'impédance résultante du couple capacité de découplage-réseau d'alimentation.

La troisième partie présentera les méthodes de mesure des niveaux d'interconnexion plus complexes et dont les dimensions sont très importantes. Plusieurs techniques sont actuellement utilisées afin de fournir une modélisation du réseau passif d'interconnexion. Nous présenterons quelques méthodologies actuelles.

Modèles PI et TE De manière générale, une mesure à l'analyseur de réseau effectuée sur un quadripôle fournit les paramètres $[S]$. Ces paramètres permettent de traduire les modes de réflexion ainsi que les modes de transmission d'un port n vers un port p . L'intérêt de ce type de mesure est la prise en compte de couplages électromagnétiques qui peuvent exister entre plusieurs lignes d'interconnexions.

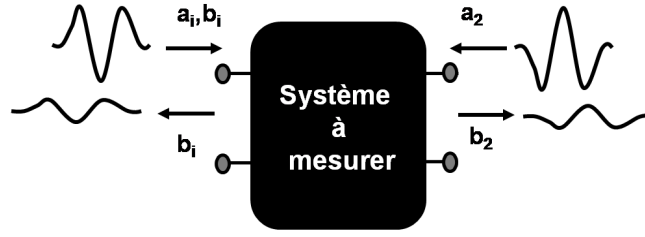


FIGURE 2.26: Quadripôle représentant une structure à mesurer

D'un point de vue ondulatoire, les paramètres a_1 , a_2 caractérisent les ondes incidentes et b_1 , b_2 caractérisent les ondes réfléchies. Ainsi, lorsqu'une mesure est effectuée, ces paramètres renseignent sur les capacités du système à véhiculer l'onde incidente, et la fraction de cette onde qui sera réfléchiée à l'entrée, comme en sortie.

On définit alors les paramètres $[S]$, du terme anglais « *scattering parameters* » pour « paramètres de diffusion », sont exprimés par le rapport 2.32 entre les coefficients a_1, a_2 , b_1 , b_2 :

$$S_{i,j} = \frac{b_i}{a_j} \Big|_{a_i=0} \quad (2.32)$$

L'équation 2.32 présuppose une adaptation aux autres accès. ces paramètres caractérisent donc le quadripôle.

Dans de nombreux cas, on cherchera à caractériser le quadripôle à travers des paramètres impédance $[Z]$ reliant les tensions (entrées et sorties) au courant (entrées et sorties) ou à travers les paramètres admittances. Il existe des relations de passages entre ces différentes représentations paramétriques ainsi la conversion des paramètres $[S]$ vers les paramètres impédances $[Z]$ et $[S]$ vers les paramètres admittances $[Y]$ est énoncée, respectivement, par 2.33 et 2.34 :

$$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \text{ vers } \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} = Z_0 \cdot \begin{bmatrix} \frac{(1+S_{11})(1-S_{22})+S_{12}S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} & \frac{2S_{12}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} \\ \frac{2S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} & \frac{(1-S_{11})(1+S_{22})+S_{12}S_{21}}{(1-S_{11})(1-S_{22})-S_{12}S_{21}} \end{bmatrix} \quad (2.33)$$

$$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \text{ vers } \begin{bmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{bmatrix} = Z_0^{-1} \cdot \begin{bmatrix} \frac{(1-S_{11})(1+S_{22})+S_{12}S_{21}}{(1+S_{11})(1+S_{22})-S_{12}S_{21}} & \frac{2S_{12}}{(1+S_{11})(1+S_{22})-S_{12}S_{21}} \\ \frac{-2S_{21}}{(1+S_{11})(1+S_{22})-S_{12}S_{21}} & \frac{(1+S_{11})(1-S_{22})+S_{12}S_{21}}{(1+S_{11})(1+S_{22})-S_{12}S_{21}} \end{bmatrix} \quad (2.34)$$

Le rôle de la modélisation est de pouvoir traduire le comportement du quadripôle sous forme d'un schéma électrique.

Dans le cas d'un réseau d'interconnexion, on peut mettre en évidence des composantes R,L,C qui sont ensuite agencées soit suivant un modèle PI construit à partir de la matrice admittance [Y] soit un modèle T_É, construit à partir de la matrice impédance [Z]. Ces deux modèles sont illustrés dans la figure 2.27 :

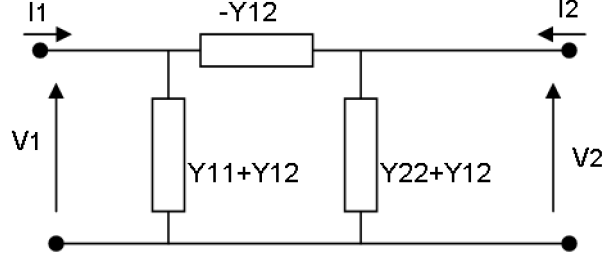


FIGURE 2.27: Modèle équivalent PI modèle de schéma électrique de la ligne

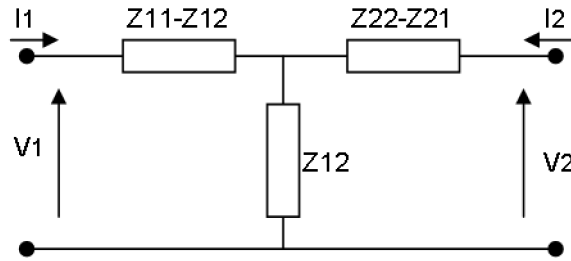


FIGURE 2.28: Modèle équivalent Té

D'autres modèles, plus complexes existent, ils peuvent être caractérisés par l'association de modèles élémentaires PI et T_É.

La Ligne de transmission La ligne est décrite par la matrice impédance suivante, équation 2.35 :

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = Z_C \cdot \begin{bmatrix} \coth(\gamma l) & \frac{1}{\sinh(\gamma l)} \\ \frac{1}{\sinh(\gamma l)} & \coth(\gamma l) \end{bmatrix} \cdot \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} = \begin{bmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{bmatrix} \cdot \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad (2.35)$$

Cette matrice impédance est dérivée de l'équation des télégraphistes, où γ définit la constante de propagation :

$$\gamma = \alpha + j \cdot \beta \quad (2.36)$$

α représente l'atténuation dans la ligne et β , appelé facteur de ralentissement défini par

$$\beta = \frac{2 \cdot \pi}{\lambda_G} \quad (2.37)$$

L'impédance caractéristique Z_C définit le rapport constant entre la tension et le courant le long de la ligne de transmission. Cette impédance peut aussi être caractérisée par les éléments intrinsèques par unité de longueur. Ainsi, on définit l'impédance caractéristique par l'équation 2.38 :

$$Z_C = Z_0 \sqrt{\frac{(1 + S_{11})^2 - (S_{12})^2}{(1 - S_{11})^2 - (S_{12})^2}} = \sqrt{\frac{R + j * L * \omega}{G + j * C * \omega}} \quad (2.38)$$

Les paramètres R , L , C et G sont les paramètres linéiques issus des équations des télégraphistes.

La ligne de transmission ainsi modélisée est proposée sous la forme d'une fonction de transfert, caractérisant l'allure du signal de sortie en fonction du stimulus injecté à l'entrée. De manière générale, la fonction de transfert suivante, équation 2.39, est proposée pour un quadripôle, voir figure 2.29.

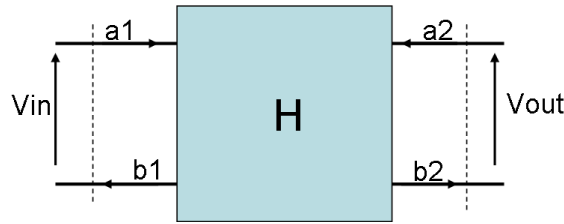


FIGURE 2.29: Quadripôle

$H(f)$ est décrit en fonction des paramètres S par la formulation 2.39 :

$$H(f) = \frac{V_{out}(f)}{V_{in}(f)} = \frac{2.S_{21}}{(1 + S_{11}).(1 - S_{22}) + S_{21}.S_{12}} \quad (2.39)$$

Stratégie de découplage et Spécificité de la technologie PICS Cette partie présente d'une part les techniques communes de routage des alimentations et d'autre part la caractérisation de la technologie PICS. Au niveau d'un système bénéficiant du potentiel du procédé PICS, l'avantage est que ce substrat permettra à la fois de fournir un réseau d'interconnexion mais aussi de localiser, sans préoccupation de positionnement, des composants passifs utiles au filtrage, et principalement dans le cas du découplage, des capacités.

Techniques de Routage La capacité de découplage est utilisée afin de fournir en un temps très bref une partie de l'énergie nécessaire à l'activation d'un bloc. La capacité fait donc office de source de courant de faible impédance. En règle générale, plusieurs capacités sont réparties sur les rails d'alimentation. Leur répartition est liée aux techniques de routage employées dont certaines techniques sont illustrées par les figures 2.30a page suivante, 2.30b page suivante et 2.30c page suivante.

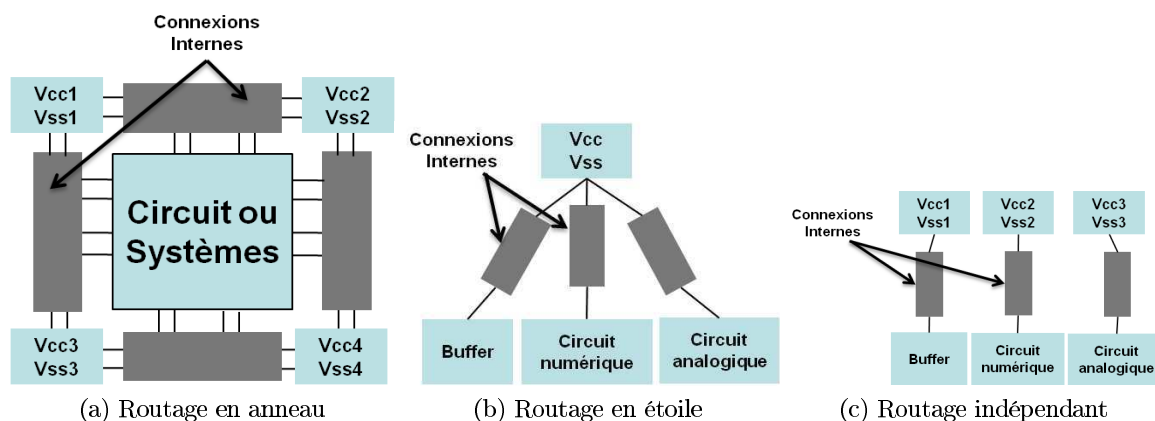


FIGURE 2.30: Techniques de routage

Afin d'assurer un découplage efficace, de fortes capacités sont disposées au noeud de routage (routage en étoile,...), ceci permet d'éviter la diffusion de perturbations sur les branches de l'alimentation.

Caractérisation de la technologie PICS La technologie PICS offre de fortes possibilités d'intégration, et notamment celle des condensateurs de forte valeur. La gravure tridimensionnelle permet d'obtenir des rapports d'aspects élevés allant de 1 : 17 ($25nF/mm^2$) à 1 : 32 ($80nF/mm^2$) selon la génération PICS employée. Dans le cadre de l'analyse du découplage, le PICS en tant que substrat, sert de support aux circuits assemblés dans un même boîtier et permet par la suite d'offrir un découplage localisé et optimisé. Deux situations se présentent alors : la première correspond à une analyse prédictive, lorsque le système est seulement simulable. Il est alors nécessaire d'avoir correctement caractérisé les différents éléments proposés par la technologie PICS (lignes, composants passifs, filtres) afin de pouvoir effectuer des simulations. Dans la deuxième situation, le système a été conçu, et une analyse du substrat PICS impose une ouverture de boîtier via procédés invasifs (acide) et ceci peut avoir un impact non-négligeable sur les résultats obtenus.

Cette partie, dédiée à la caractérisation du procédé PICS, se propose tout d'abord de présenter les simplifications topologiques de ce procédé, ce qui permet de réaliser des analyses prédictives au travers d'outils de simulation. Par la suite, la modélisation d'une ligne sur le substrat PICS permet d'introduire le modèle en PI. Enfin, dans le cas d'une modélisation en Té, c'est une capacité enfouie qui est proposée.

Simplification de la topologie PICS

Dans le cas de la technologie PICS, il est nécessaire d'effectuer une simplification quant à sa topologie, tant au niveau du substrat que du niveau de métallisation. La figure 2.31 illustre l'empilement des

couches que composent ce substrat.

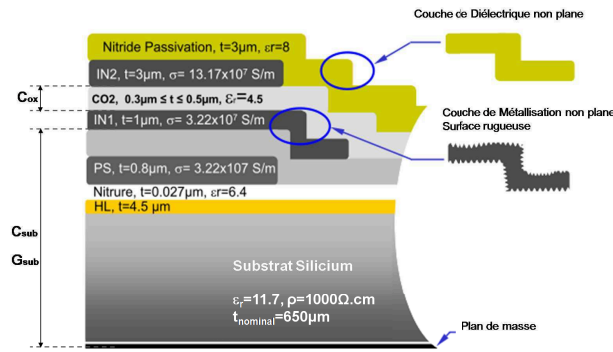


FIGURE 2.31: Substrat du PICS

Dans les sections qui vont suivre, et principalement pour le modèle en PI , l'influence de l'oxyde et celle du substrat seront respectivement décrites dans le modèle par C_{ox} et par C_{sub} et G_{sub} .

L'objectif est de fournir un modèle de capacité PICS, pour validation entre mesure et simulation, ainsi deux simplifications sont nécessaires afin de pouvoir effectuer la simulation. Tout d'abord, il faut fournir à l'outil de simulation une surface plane, qui s'étende sur deux dimensions (longueur et largeur). L'épaisseur doit rester constante. Ensuite, les interfaces entre couches de matériaux doivent être lissées. Ces deux simplifications, voir figure 2.32, vont permettre la phase de simulation avec des outils 2.5D du type Sonnet ou ADS_Momentum.

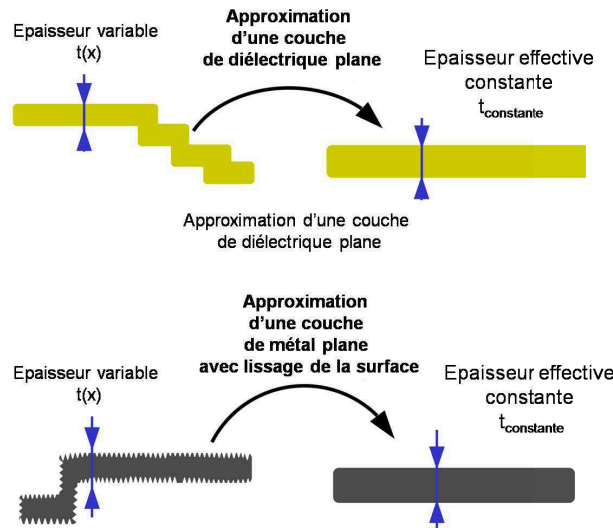


FIGURE 2.32: Simplification et approximation de la topologie du substrat PICS

Structure et Modélisation en PI d'une ligne PICS

La première phase d'analyse va permettre d'extraire les effets associés aux effets inductifs et résistifs des lignes, aux couplages capacitifs et résistifs du substrat, tout en considérant l'influence des ports de mesure.

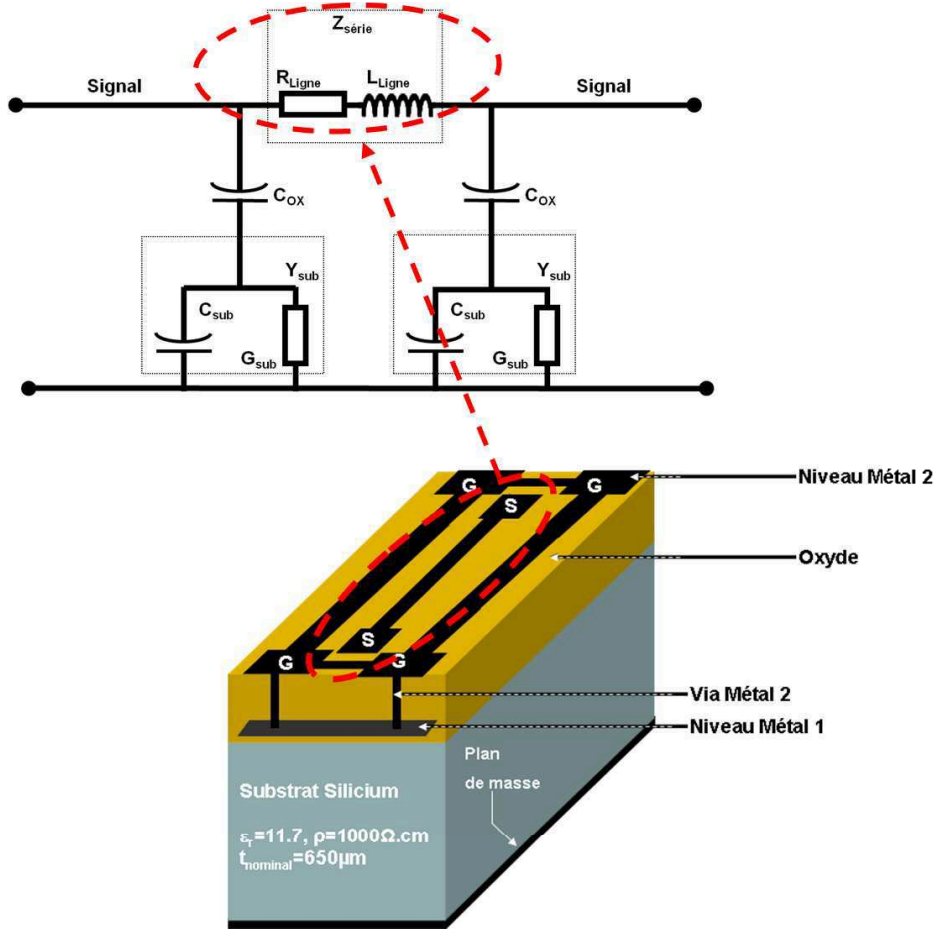


FIGURE 2.33: Structure et layout de la ligne PICS de mesure

Le choix d'une modélisation en PI est guidé par la possibilité d'extraire les paramètres, d'une part de la ligne, représentée par R_{ligne} et L_{ligne} , mais aussi car ce modèle offre une meilleure caractérisation des couplages avec le substrat représentés par C_{sub} et G_{sub} et des couplages au niveau de l'oxyde avec C_{OX} , et ce sur chacun des deux ports, représentés, sur la figure 2.34, par Q_D . Ainsi, les deux branches du modèle en PI offrent la possibilité de distribuer plus finement l'influence des couplages entre la ligne et le substrat. Ces deux ports sont à considérer lors de la simulation électromagnétique (Sonnet [27]) qui sera comparée à la mesure. On présentera les effets associés des ports qui nous amèneront à appliquer les étapes d'extraction de leurs effets (appelés aussi *de-embedding*). Le modèle d'extraction est choisi en PI illustré par la figure 2.34 :

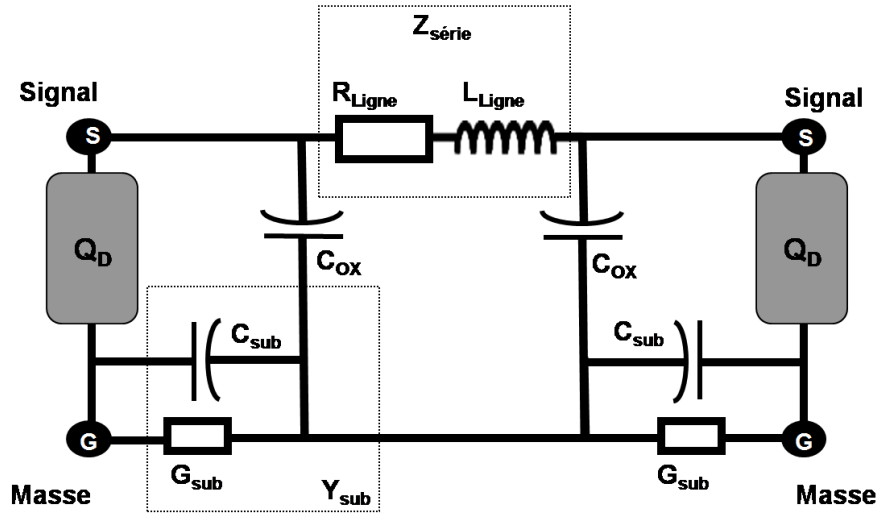


FIGURE 2.34: Modèle PI d'extraction de la structure de mesure de la ligne PICS

En considérant l'hypothèse que la structure mesurée et simulée est symétrique, les paramètres sont donc égaux sur chacune des branches du modèle. Les paramètres décrivant la ligne seront définis par l'impédance $Z_{série}$ définie par l'équation 2.40 :

$$Z_{série} = R_{ligne} + j.\omega.L_{ligne} \quad (2.40)$$

Concernant les paramètres des deux branches du modèle, ils sont extraits à partir de l'admittance Y_{sub} qui est définie par l'équation 2.41 :

$$Y_{sub} = G_{sub} + j.\omega.C_{sub} \quad (2.41)$$

Les paramètres et les formulations d'extraction du modèle sont résumés dans le tableau 2.2 :

	Paramètres	Extraction
Inductance de la ligne	L_{ligne}^{π}	$\frac{imag\left(-\frac{1}{Y_{12}}\right)}{\omega}$
Résistance de la ligne	R_{ligne}^{π}	$real\left(\frac{1}{(-Y_{12})}\right)$
Conductance du substrat	G_{sub}^{π}	$real(Y_{11} + Y_{12})$
Couplage capacitif du substrat	C_{sub}^{π}	$\frac{imag(Y_{22} + Y_{12})}{\omega}$
Couplage capacitif de l'oxyde	C_{OX}^{π}	$\frac{imag(Y_{ox})}{\omega}$ Y_{ox} admittance liée à l'effet de la couche d'oxyde

TABLE 2.2: Extraction des paramètres intrinsèques de la ligne PICS issus de la mesure

L'utilisation du modèle en PI permet de fournir une corrélation correcte jusqu'à $4GHz$. Au-delà, il faut complexifier le modèle en prenant en considération les effets de couplages entre les pointes de mesure SGS (*Signal-Ground-Signal*).

Structure et Modélisation en T  d'une Capacité Enfouie PICS

Le modèle issu de la mesure est un modèle en T ; il permet d'identifier et donc de soustraire aux résultats les effets de ligne, de couplage avec les pointes et ainsi d'isoler uniquement les paramètres des capacités PICS [28]. La figure 2.35 illustre la structure de mesure du PICS.

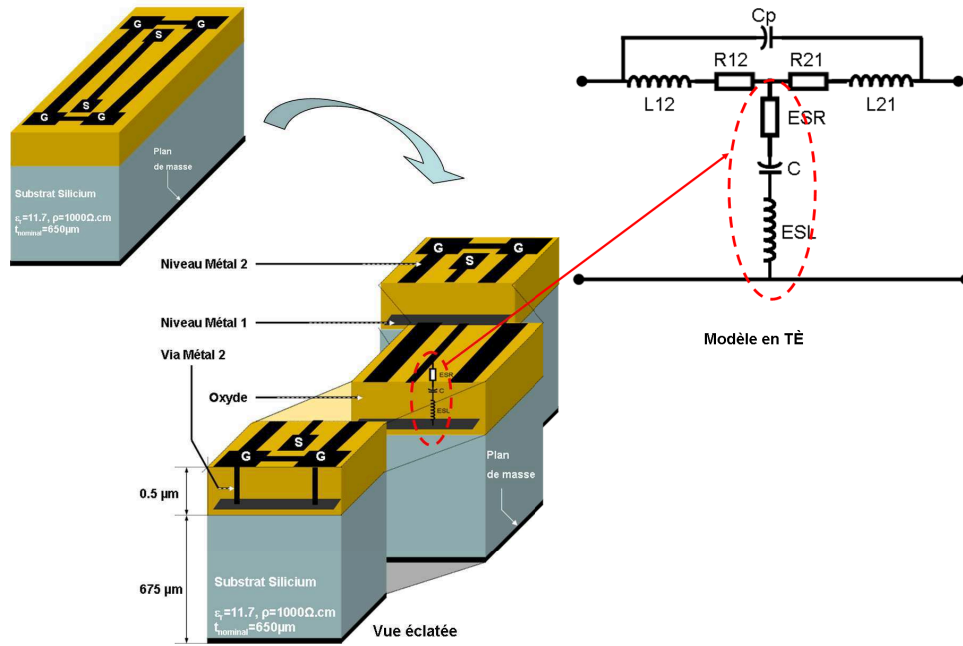


FIGURE 2.35: Vue éclatée de la structure de mesure de capacités PICS

Le schéma en T  est considéré pour la structure PICS afin de minimiser les effets parasites résultant des effets de connexion. La capacité C_p décrit le couplage entre les pointes de mesure, L_{12} , L_{21} , R_{12} , R_{21} décrivent les paramètres de la ligne signal S . Ces paramètres et les formules utilisés pour l'extraction sont décrits dans le tableau 2.3 :

	Paramètres	Extraction
Inductance de la ligne vue du port 1	L_{12}^T	$\frac{\text{imag}(Z_{11}-Z_{12})}{\omega}$
Inductance de la ligne vue du port 2	L_{21}^T	$\frac{\text{imag}(Z_{22}-Z_{21})}{\omega}$
Résistance de la ligne vue du port 1	R_{12}^T	$\text{real}(Z_{11} - Z_{12})$
Résistance de la ligne vue du port 2	R_{21}^T	$\text{real}(Z_{22} - Z_{21})$
Capacité de couplage entre les pointes de mesure	C_p^T	$De - Embedding$
Inductance Intrinsèque de la capacité : <i>ESL</i> <i>relevée très haute fréquence</i>	L_{12}^{in}	$ESL = \frac{\text{imag}(Z_{12})}{\omega}$
Résistance Intrinsèque de la capacité : <i>ESR</i>	R_{12}^{in}	$ESR = \text{real}(Z_{21})$
Valeur de la capacité PICS <i>relevée très basse fréquence</i>	C_{12}^{in}	$C = -\frac{1}{\omega.\text{imag}(Z_{12})}$

TABLE 2.3: Extraction des paramètres de la mesure de la capacité PICS

Dans le tableau 2.3, les indices T et in décrivent respectivement les paramètres d'accès de la représentation en Té, et les paramètres intrinsèques de la capacité (ESR , ESL , C).

L'intérêt de la modélisation en Té est de pouvoir extraire l'influence des lignes d'accès et ainsi isoler les valeurs intrinsèques de la capacité. Le modèle obtenu est instantiable dans un simulateur sous forme d'éléments distribués R,L,C.

Impédance Cible et Analyse Multiport La conception des réseaux d'alimentation des systèmes est devenue un défi important à relever dans les systèmes numériques modernes. L'objectif étant de réduire les fluctuations de potentiel lors de l'activation des fonctions numériques. La stratégie permettant de répondre en partie à ce défi serait de concevoir plusieurs domaines d'alimentation. L'avantage est de fournir aux modules très actifs un niveau maximum de puissance, tout en alimentant, via un autre domaine d'alimentation, des modules moins « gourmands ». Ainsi la puissance consommée est réduite et les chemins de propagation des perturbations sont segmentés. Le problème est que la multiplication de domaines d'alimentation est un scénario coûteux.

Afin de garantir un niveau d'intégrité d'alimentation donné, on définit une impédance « cible » (Z_{Target}) pour le port considéré. Cette impédance ne doit pas être dépassée, elle est une donnée spécifiée lors de la conception d'une fonction ou d'un circuit, elle dépend de l'application. Cette fonction est définie par le rapport d'une tension d'alimentation et d'un courant de commutation à un port spécifié ; la relation

2.42 définit cette impédance :

$$Z_{Target}(t) = \frac{\eta * V_{dd}}{I_{activité}} \quad (2.42)$$

η permet de fixer la tolérance des variations de l'alimentation V_{dd} et $I_{activité}$ est le courant dynamique. Il est important de préciser que la notion d'impédance « cible » est considérée sur un port du réseau. En effet, le courant n'est pas uniformément distribué dans la bande de fréquence, différents composants ont une activité respective. L'impédance varie aussi avec la fréquence, et aussi selon la topologie des plans d'alimentation et de masse.

Afin d'illustrer cette notion, la figure 2.36 présente un réseau d'interconnexion simple, où le symbole $I(t)$ représente l'activité du coeur actif d'une fonction numérique, Z_{PCB} représente l'impédance de la carte (PCB), Z_{PKG} représente l'impédance du boîtier (PKG), et Z_{IC} représente l'impédance du circuit numérique (IC).

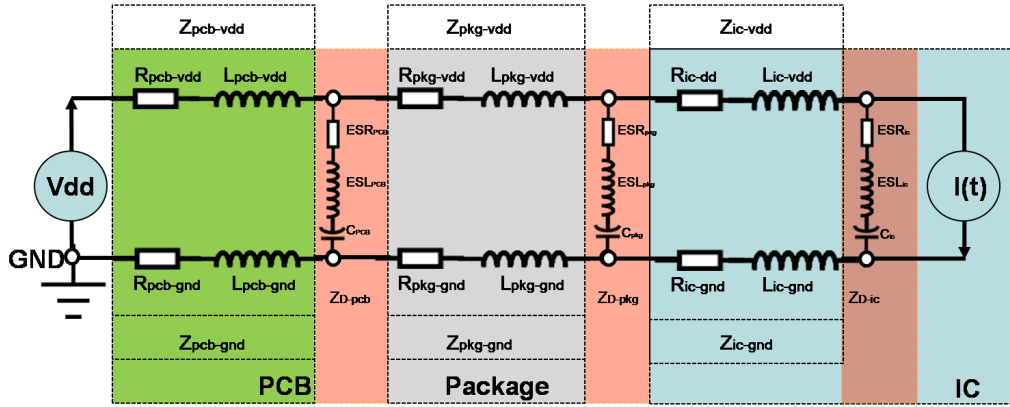


FIGURE 2.36: Réseau d'interconnexion

Les différentes capacités sont localisées soit à l'interface « PCB-Boîtier(PKG) », soit à l'interface « Boîtier(PKG)-Circuit Numérique(IC) » et enfin à l'interface « Circuit Numérique(IC)-Source de Courant ». On définit ainsi l'impédance Z_{in} en fonction du réseau et des capacités de découplage localisées, selon l'équation 2.43, depuis la source de courant $I(t)$ jusqu'à la tension d'alimentation V_{dd} :

$$Z_{in} = [[[Z_{pcb-vdd} + Z_{pcb-gnd}] \parallel Z_{D-pcb} + Z_{pkg-vdd} + Z_{pkg-gnd}] \parallel Z_{D-pkg} + Z_{ic-vdd} + Z_{ic-gnd}] \parallel Z_{D-ic} \quad (2.43)$$

Le symbole $\parallel$ définit la mise en parallèle des impédances.

Le tableau suivant présente les valeurs de composants utilisés. Dans un souci de simplification, les valeurs des composants caractérisant le PCB sont considérées identiques ($R_{pcb-vdd} = R_{pcb-gnd}$ et $L_{pcb-vdd} = L_{pcb-gnd}$), il en est de même pour les valeurs caractérisant le boîtier ($R_{pkg-vdd} = R_{pkg-gnd}$

et $L_{pkg-vdd} = L_{pkg-gnd}$), ainsi que celles du circuit intégré ($R_{ic-vdd} = R_{ic-gnd}$ et $L_{ic-vdd} = L_{ic-gnd}$). Ceci est rarement le cas dans la réalité (géométrie, plan de masse commun). La fréquence de résonance est aussi proposée dans ce tableau. La fréquence de résonance est définie par la formule suivante :

$$f_{res} = \frac{1}{2 * \pi * \sqrt{L * C}}$$

	$PCB_{vdd\ et\ gnd}$	$Package_{vdd\ et\ gnd}$ (type BGA)	$IC_{vdd\ et\ gnd}$
Résistance [$m\Omega$]	800	150	90
Inductance [H]	$6n$	$2n$	$15p$
Type de capacité utilisée	SMD type XR7	PICS niveau plot de fils de bonding	PICS niveau plot de bumping
ESR [$m\Omega$]	70	50	50
ESL [H]	$800p$	$25p$	$10p$
C [F]	$10n$	$1n$	$10p$
Fréquence de résonance [Hz]	$21\ MHz$	$800\ MHz$	$16\ GHz$

TABLE 2.4: Valeurs des éléments distribués du réseau PCB-PKG-IC et des capacités de découplage utilisées

La figure 2.37 présente l'impédance vue par le circuit numérique avec les capacités positionnées uniquement aux interfaces et enfin l'impédance avec toutes les capacités en présence. Chaque fréquence de résonance est illustrée afin de souligner l'importance de la répartition du découplage sur le réseau.

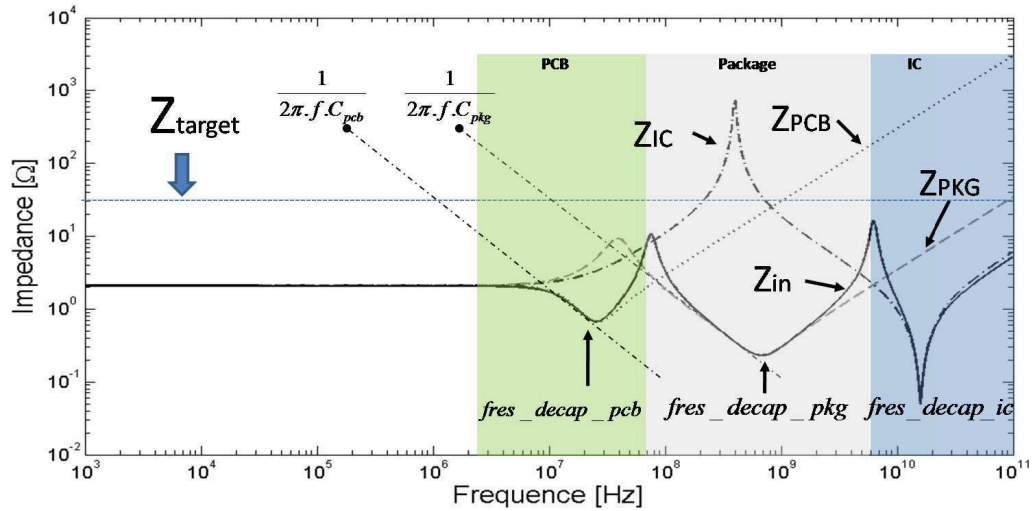


FIGURE 2.37: Influence de l'impédance des capacités sur le réseau d'interconnexion

La figure 2.37 illustre le principe d'impédance « cible » : l'objectif étant d'abaisser autant que possible l'impédance du réseau par l'ajout de capacités de découplage et ce, sur une large bande de fréquence.

L'utilisation de différents types de capacité (SMD, PICS, *tie-off-cell*), positionnées en parallèle, permet d'éviter les phénomènes d'anti-résonance. Ce phénomène, observable à chaque interface PCB-PKG et PKG-IC, est dû à l'effet inductif d'une première capacité associé à l'effet capacitif d'une capacité voisine (par ex. Z_{D-pcb} et Z_{D-pkg}). La localisation du pic d'antirésonance est déterminée par les inductances intrinsèques (ESL) des capacités de découplage, ceci souligne l'importance de l'utilisation de capacité ayant des inductances ESL les plus faibles possibles.

Considérons maintenant un système plus complexe (figure 2.39) sans capacité de découplage, $Z_{sans-decap}$, soit un multiport dont le nombre de ports total est défini par le nombre total d'accès ($i, j, \dots$), tel qu'illustré par la figure 2.38 :

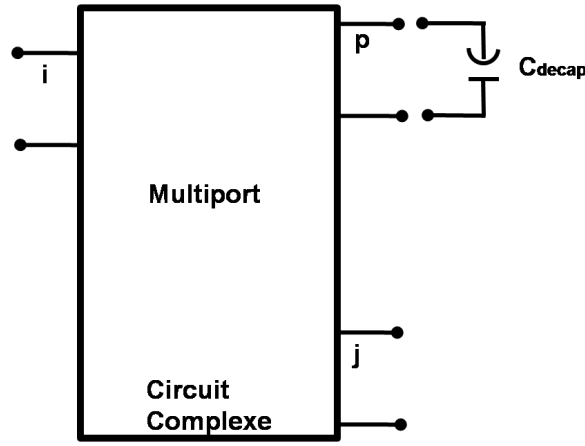


FIGURE 2.38: Multiport avec insertion d'une capacité de découplage sur son port p

Lors de l'insertion d'une capacité C_{decap} , sur un port quelconque noté p dans la figure 2.38, l'impédance initiale du multiport, notée $Z_{sans-decap}(i, j)$, est modifiée et celle-ci doit être recalculée ($Z_{avec-decap}(i, j)$), afin de prendre en compte l'influence de l'impédance de la capacité, notée Z_P . La relation 2.44 :

$$Z_{avec-decap}(i, j) = Z_{sans-decap}(i, j) - \frac{Z_{avec-decap}(i, p) * Z_{avec-decap}(p, j)}{Z_{avec-decap}(p, p) + Z_P} \quad (2.44)$$

$Z_{avec-decap}(i, j)$ représente l'impédance entre le port i et j . Cette impédance est égale au rapport d'un potentiel appliqué au port i lorsque l'on applique une source de courant dynamique, représentant l'activité $I_{activité}(t)$ au port j .

Une optimisation itérative peut alors être engagée pour la détermination des valeurs de capacité de découplage pour la construction de la matrice $Z_{avec-decap}$, et ce afin de répondre aux spécifications de conception quant à l'impédance « cible ». L'itération peut être effectuée sur un certain nombre de ports,

par exemple ceux correspondant uniquement aux entrées-sorties. De ce fait, le temps de calcul logiciel est limité au nombre de ports et d'insertion des capacités. Ainsi, dans le cas où la solution répond aux spécifications, la prochaine itération peut être effectuée sans prendre en compte la précédente.

La figure 2.39 présente une modélisation multiport regroupant sources d'alimentation, environnement passif et capacités de découplage.

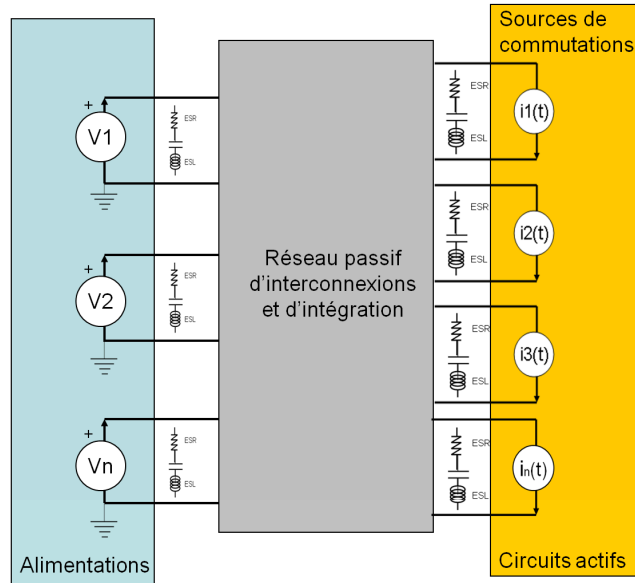


FIGURE 2.39: Multiport et distribution des capacités de découplage

L'exemple proposé par la figure 2.39 permet d'illustrer les principes d'impédance cible et d'itération. Chaque domaine peut être isolé et analysé. L'impédance cible étant préalablement spécifiée, il sera possible de définir une impédance fonction des couples $[(V_1, I_1(t)); (V_2, I_2(t)); (V_n, I_n(t))]$, en considérant que les domaines d'alimentation sont partitionnés. L'itération permettra d'optimiser la valeur de la capacité de découplage répondant aux spécifications.

2.1.3 Méthodologie de Mesure

2.1.3.1 Mesures de l'activité interne

Diverses techniques de mesures permettent de caractériser la propagation de perturbations en mode conduit sur une ligne. Ce type de mesure permet d'estimer le bruit dû aux commutations de circuits numériques.

Méthode $1\Omega - 150\Omega$ [29].

Cette méthode permet la mesure des perturbations conduites par la masse (cas a.) ou par l'alimentation (cas b.). Les deux techniques sont décrites par la figure 2.40 :

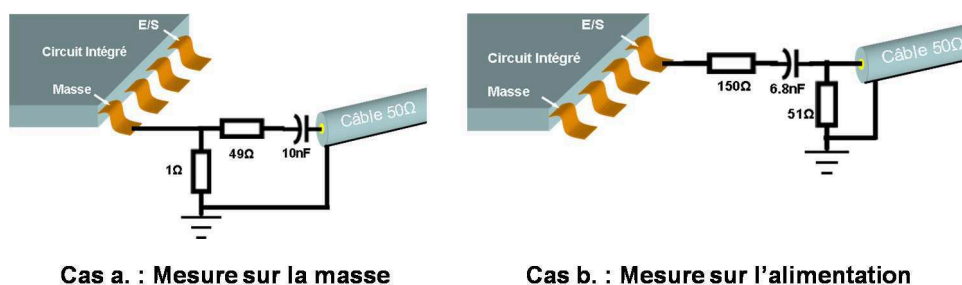


FIGURE 2.40: Méthodes de mesures selon la norme OEC61967-4 : cas a. : 1Ω et cas b. : 150Ω

Le choix de 1Ω pour la mesure en courant est justifié par la nécessité de perturber au minimum l'impédance de l'alimentation, celui de 150Ω pour la mesure en tension par la norme IEC6100-4-6, qui indique que cette valeur correspond à l'impédance des pistes dans la bande de fréquence spécifiée par cette norme. Dans les deux cas de mesure, le but est d'éviter d'influencer le système mesuré, étant donné que la simple insertion des composants et des sondes modifie obligatoirement l'impédance. Les valeurs de 49Ω et de 150Ω sont calibrées afin de correspondre au mieux à l'adaptation d'impédance qui serait vue par la masse ou l'alimentation de la fonction sur laquelle le relevé est effectué.

Avantages de la méthode :

- Evaluation sur chaque broche d'alimentation et de masse du circuit,
- Linéarité de la mesure aux bornes de la résistance,
- Validité en basse fréquence.

Inconvénients de la méthode :

- Le couplage capacitif et l'impédance de la résistance de mesure limitent la validité de la mesure en haute fréquence,
- Encombrement des composants passifs utiles à la mesure,
- Influence de l'environnement de mesure,
- Limité par la possibilité de multiports internes (routages des alimentations et des masses en interne).

Méthode de mesure de l'Activité Interne de type ICEM

La démarche de modélisation de type ICEM [30] permet la modélisation de l'activité interne d'un circuit intégré (micro-contrôleur) et de son environnement. Dans cette section, nous précisons uniquement la méthodologie d'extraction de l'activité interne. Cependant, il sera important de faire référence à la phase de mesure nécessaire à l'extraction des impédances, indissociables de la méthodologie d'extraction ICEM [22].

Le principe de la mesure est l'insertion d'une résistance sur l'alimentation afin de pouvoir relever la tension à l'aide d'une sonde différentielle reliée à l'entrée 50Ω d'un oscilloscope. La tension mesurée est ensuite transposée dans l'espace fréquentiel et calculée par la formulation 2.45 :

$$V_{mesuré}(f) = Z_R(f) \times i_{ext}(f) \quad (2.45)$$

$V_{mesuré}(f)$ est la tension dynamique mesurée et $Z_R(f)$ définit l'impédance de la résistance de mesure caractérisée grâce à un analyseur de réseau. Le courant interne est par la suite obtenu à partir du synoptique suivant :

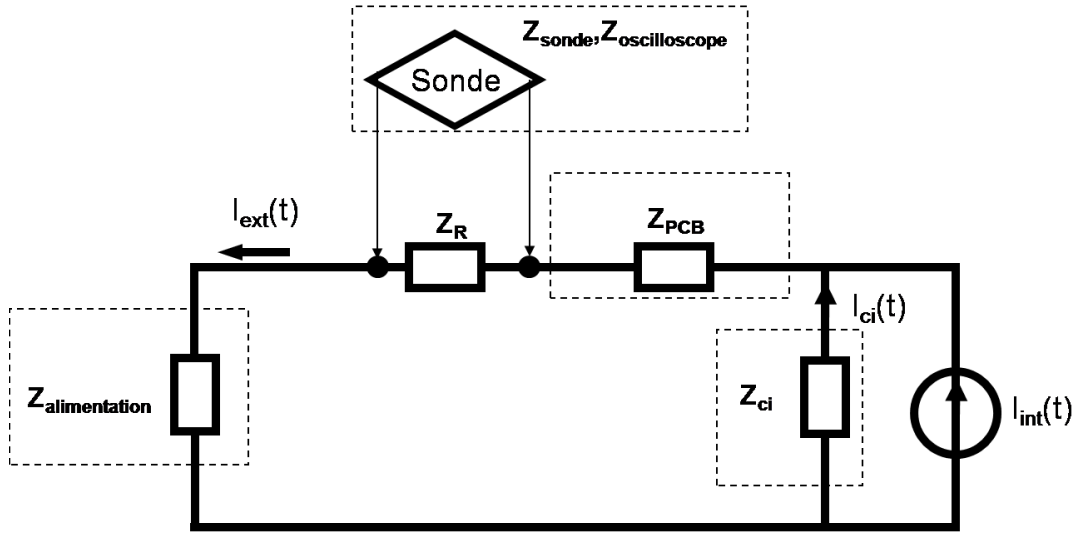


FIGURE 2.41: Protocole de mesure ICEM

$I_{int}(f)$, qui correspond à l'activité interne est ensuite déduite de la mise en équation du schéma figure 2.41 :

$$I_{int} = I_{ext} - I_{ci}$$

$$I_{ci} = -\frac{V_{ci}}{Z_{ci}}$$

$$I_{int} = I_{ext} + \frac{V_{ci}}{Z_{ci}}$$

$$V_{ci} = -Z_{ci} \cdot I_{ci} = (Z_{alimentation} + Z_R + Z_{pcb}) \cdot I_{ext}$$

$$I_{int} = \left[1 + \frac{Z_{alimentation} + Z_R + Z_{pcb}}{Z_{ci}} \right] \cdot I_{ext} \quad (2.46)$$

L'équation 2.46 introduit une opération de division par l'impédance Z_{ci} . Cette division peut être problématique notamment aux alentours des fréquences de résonance de Z_{ci} , par exemple pour des raisons de stabilité numérique lors de l'exécution d'un programme. Pour éviter ce problème, nous

mettons l'équation en question sous la forme suivante, où l'indétermination de la division par Z_{ci} est levée.

$$Int(f) \times Z_{ci} = I_{ext}(f) \times (Z_{alimentation} + Z_{pcb} + Z_{ci}) \quad (2.47)$$

Il importe de noter les limites intrinsèques liées à cette technique d'extraction à savoir l'hypothèse simplificatrice d'impédance Z_{pcb} en série avec $Z_{alimentation}$. En réalité ces impédances sont connectées de manière quelconque, d'une part car elles ne partagent pas le même plan de masse et d'autre part celles-ci font apparaître des branches séries et parallèles.

Importantes considérations concernant l'extraction

Comme il a été précisé dans la section 2.1.2.2 page 98, la qualité et les options choisies concernant l'échantillonnage permettent de relever un signal peu altéré par l'environnement de mesure. D'autre part, [20] précise que l'extraction du courant nécessite de considérer une activité de fonctionnement ainsi qu'un nombre entier de périodes. [20] préconise d'en relever au moins 10 afin d'améliorer la précision sur les amplitudes des harmoniques de courant ainsi que la résolution fréquentielle.

2.1.3.2 Mesures des interconnexions

Les composants passifs utilisés pour la réalisation de circuits intégrés actifs ou passifs sont généralement linéaires et invariants, la mesure est reproductible. Les fonctions de transfert suffisent donc pour décrire leur comportement ; que la mesure soit effectuée dans le domaine temporel ou fréquentiel, théoriquement les descriptions sont rigoureusement identiques.

Mesure dans le domaine temporel : Reflectométrie et Transmission dans le domaine Temporel

Ce type de mesure est fréquemment appelé TDR/TDT [34], qui correspond à l'acronyme anglais *Time Domain Reflectometry/Time Domain Transmission*. Le principe de mesure TDR/TDT repose sur le principe des échos radar. En connaissant la vitesse de propagation du signal dans une ligne, il est possible de convertir le retard entre le signal incident (un échelon) et le signal transmis ou réfléchi. Le temps de montée t_r de l'échelon injecté définit la résolution spatiale, *Résolution*, de l'appareil définie par la formule 2.48 :

$$Résolution = \frac{tr.c}{2.\sqrt{\epsilon_{eff}}} \quad (2.48)$$

c est la célérité de la lumière, t_r est le temps de montée et ϵ_{eff} est la constante diélectrique. Le document [35] propose l'extraction et l'analyse d'un réseau passif complexe à partir de la mesure temporelle.

La figure 2.42 est directement extraite de ce document, elle permet d'illustrer et d'identifier chaque discontinuité caractéristique des connecteurs et différents changements de milieu :

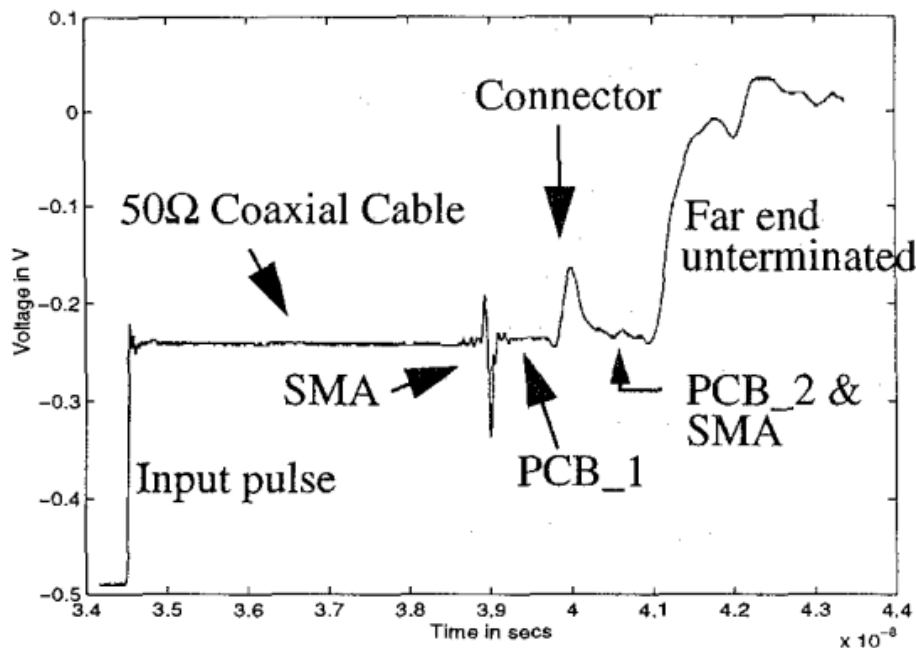


FIGURE 2.42: Illustration d'une mesure dans le domaine temporel

L'intérêt de cette mesure est l'observabilité des discontinuités et des changements de milieux simultanément sur l'écran de l'appareil. Chaque connexion (par exemple : câble-SMA-carte) provoque des réflexions directement affichées sur l'appareil et superposées au signal incident. Ainsi, on peut localiser la présence d'un défaut (court-circuit, circuit ouvert) et fenêtrer la zone que l'on veut analyser. D'autre part, les résultats de mesure permettent d'obtenir une réponse du système analysé en continu, ce qui n'est pas possible avec l'analyse fréquentielle.

Mesure dans le domaine fréquentiel : Analyseur de Réseaux

La caractérisation de dispositifs passifs dans le domaine fréquentiel et en hyperfréquence fait appel à l'analyseur de réseaux. Il existe deux types d'analyseurs de réseaux :

- L'analyseur de réseaux scalaire (SNA : *Scalar Network Analyser*) ou analyseur de spectres qui permet l'analyse de la composition du spectre.
- L'analyseur de réseaux vectoriel (VNA : *Vector Network Analyser*) permet l'analyse de l'amplitude et de la phase des composantes du spectre.

Le VNA est l'appareil le plus communément utilisé, il est constitué d'une source hyperfréquence et permet d'évaluer les paramètres [S] d'un multipôle [36]. L'analyse dans le domaine fréquentiel est né-

cessaire lorsque l'on désire caractériser le comportements de composants, de fonctions ou de systèmes en haute fréquence. En basse fréquence, ces composants sont caractérisés par une seule grandeur (résistance, inductance,...).

L'analyse en réflectométrie temporelle (TDR) correspond à une analyse du paramètre S_{11} (ou S_{22}) dans l'espace fréquentiel. De manière similaire, la transmission dans le domaine temporel (TDT) équivaut au paramètre S_{12} (ou S_{21}) dans le domaine fréquentiel.

Dans le cas de l'extraction rapide du profil de l'impédance, le TDR/TDT permet d'extraire un modèle du premier ordre sans paramètres $[S]$. Cette caractérisation est moins précise qu'avec un analyseur de réseaux (ARV). L'ARV fournit les paramètres $[S]$, ce qui permet une caractérisation plus précise de l'impédance. Par la suite l'exploitation des résultats est plus facilement instantiable dans un logiciel de simulation électromagnétique (Sonnet, HFSS,...). De plus, la mesure dans le domaine fréquentiel est mieux adapté aux application RF demandant de faible pertes d'insertion (rapport signal sur bruit).

On peut illustrer ces deux approches par le schéma 2.43 :

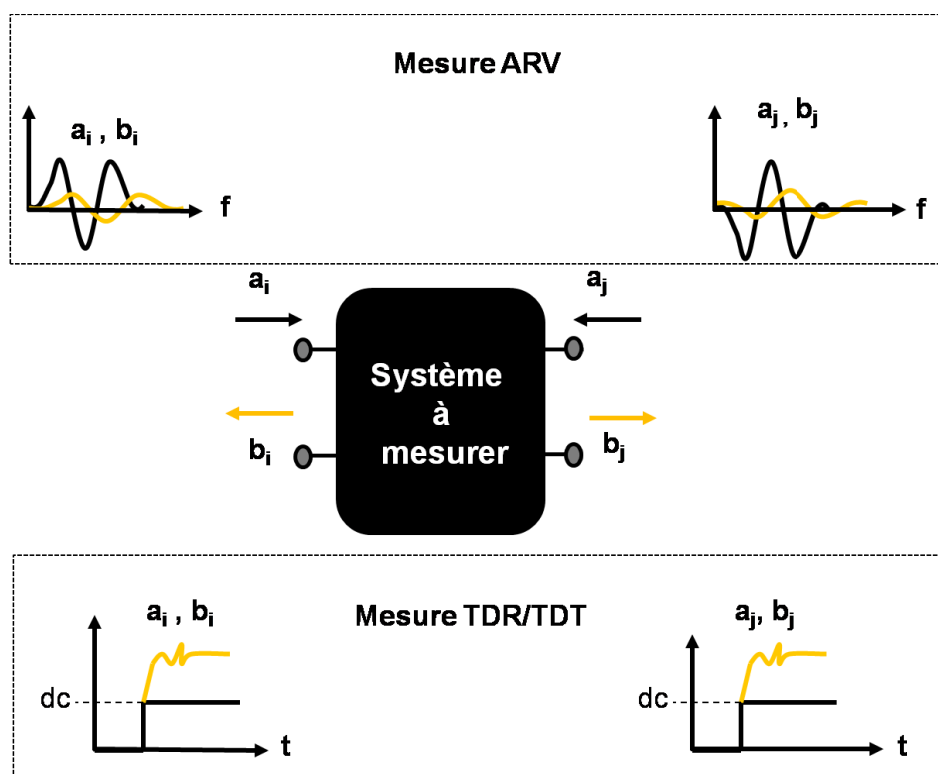


FIGURE 2.43: Illustration des approches de mesure dans les domaines temporel (TDR-TDT) et fréquentiel (ARV)

On soulignera l'importance de la donnée continue dc fournie par la réflectométrie dans le domaine temporel. Chaque représentation graphique illustrant les paramètres a_i , a_j , en noir, et b_i , b_j , en clair,

sera exploitée afin de caractériser le système à mesurer.

L'analyse des interconnexions, de composants passifs, de circuits d'adaptation est généralement réalisée dans le domaine fréquentiel. Les interconnexions, si elles sont utilisées pour véhiculer des signaux logiques rapides, nécessitent une analyse large bande qui renseignera sur le contenu harmonique. La caractérisation de lignes de transmission, de leurs discontinuités, la localisation de défaillance, et le contrôle de l'intégrité du signal sont généralement effectués dans le domaine temporel. L'analyse de circuits passifs est plus souvent construite pour avoir un comportement spécifique sur une plage réduite de fréquences (filtre, diviseur de fréquence, *LNA*). Ainsi une analyse sur toutes les fréquences est inutile.

2.2 Approches de Co-Simulation Globale

L'analyse au niveau système de l'effet résultant de l'intégrité des signaux et des alimentations reste généralement basée sur le savoir-faire des concepteurs étayé par leur expériences. Les techniques classiques de modélisation communément pratiquées se basent en grande partie sur des approches de modélisation localisées avec des modèles de bibliothèques issus de la caractérisation expérimentale souvent intensives et très onéreuses. De telles approches de caractérisation, ignorant dans les modèles extraits qu'elles décrivent les couplages entre différents blocs d'un même circuit, représentent des approximations simplificatrices. Pour prendre en compte les modélisations de ces effets de couplages dès la phase de conception, des approches électromagnétiques globales sont nécessaires. Pour rendre accessibles les analyses électromagnétiques au niveau système, des méthodologies innovatrices sont requises. Ces méthodologies, en couplant différents outils, permettent la co-simulation de différents effets physiques difficiles à capturer avec les techniques analytiques et semi-analytiques. Ces effets physiques sont distribués aux différents niveaux d'intégration (blocs de fonctions, composants, etc...). Dans ce travail l'analyse PCB-Package est considérée à travers une méthodologie de partitionnement/segmentation au niveau de chaque domaine afin de rendre accessible la simulation globale. L'originalité de l'approche proposée réside dans son aptitude à synthétiser des modèles d'éléments distribués paramétrés valables sur une très large bande de fréquence à travers la synthèse BBS (*Broad-Band SPICE*). La figure 2.44 page 126 présente une vue 3D des différents blocs du système considéré incluant le PCB. Cette méthodologie de partitionnement appliqué à l'environnement d'intégration des circuits actifs (PDN : *Passive Delivery Network*) est ensuite couplée avec des sources d'excitation et les IPs (*Intellectual Properties*) des blocs analogiques intégrés. La combinaison des différents modèles dans un même environnement de simulation permet l'extraction de l'évolution des tensions et courants dans le domaine temporel. Cette méthodologie de co-simulation globale décrite dans [17] est appliquée à des supports d'étude discutés

dans le chapitre suivant réservé à l'analyse des résultats expérimentaux ainsi qu'à leur corrélation avec les simulations.

2.2.1 Simulation et Niveau de Description

La description de systèmes complexes nécessite de simplifier l'approche de conception des circuits intégrés. La plus utilisée est l'approche *top-down*, décrite dans le tableau 2.5 .

Niveaux	Modélisations	Spécifications
Fonctionnel	Description par bloc (Simulink)	Loi de conversion non vérifiée
Comportemental et Structurel	Description mathématique (équation) par bloc (VHDL-AMS, Verilog-A)	Loi conversion vérifiée aux niveau des ports
Macromodèle	Utilisation de modèles abstraits (BBS)	Loi de conversion vérifiée
Circuit ou Physique	Connexions des composants de (SPICE, Cadence Spectre)	Loi de conversion vérifiée

TABLE 2.5: Niveau d'abstraction

Ce tableau expose les niveaux de division du flot de conception permettant ainsi, pour chaque niveau, l'abstraction de détails inutiles, ce qui allège la phase de conception. Les phases de conception décrites dans ce tableau partent du niveau système, vers les circuits, puis en sous-circuits jusqu'au niveau transistor. Selon la fonction à modéliser, seul l'aspect fonctionnel peut être conservé. Dans ce cas les lois de conversion ne sont pas vérifiées.

La mise en oeuvre de ce flot est très utilisée et maîtrisée. De manière globale, lors de la réalisation d'un circuit, le flot est composé de fonctions élémentaires composant les bibliothèques de la technologie considérée. Par la suite, les outils de vérification, de simulation et de routage, intégrés dans le flot, utilisent ces bibliothèques et génèrent des fichiers décrivant le circuit.

Chaque flot est dédié à une technologie, la difficulté lors de la conception de systèmes complexes est la non compatibilité de ces formats de fichiers, d'où la difficulté de traiter et de simuler, dans un même flot, des fonctions numériques, mixtes et analogiques, et ce, autant pour l'analyse des signaux que pour la puissance.

A cela s'ajoutent les différences de culture des différents domaines analogiques, numériques et mixtes qui conduisent à des règles de conception particularisées à chaque domaine. L'absence d'un format standard unificateur limite les approches de co-simulations.

Notre approche se propose de mettre en oeuvre un modèle global exploitable dans un environnement SPICE. L'objectif est la co-simulation, permettant l'analyse multi-technologique et multi-échelle d'un système dans son intégralité.

2.2.2 Simulations des interconnexions

Ainsi, afin de pouvoir instancier les modèles d'activité de fonctions dans le SiP analysé dans la partie précédente, une phase d'analyse de la topologie du système global est nécessaire. Ceci pour établir une segmentation ou un partitionnement de l'environnement d'intégration. Cette segmentation est primordiale, elle se doit de favoriser les zones de couplages électromagnétiques tout en permettant une simplification réseau passif du système. La figure 2.44 présente une vue éclatée du système PCB-boîtier-PICS-IC.

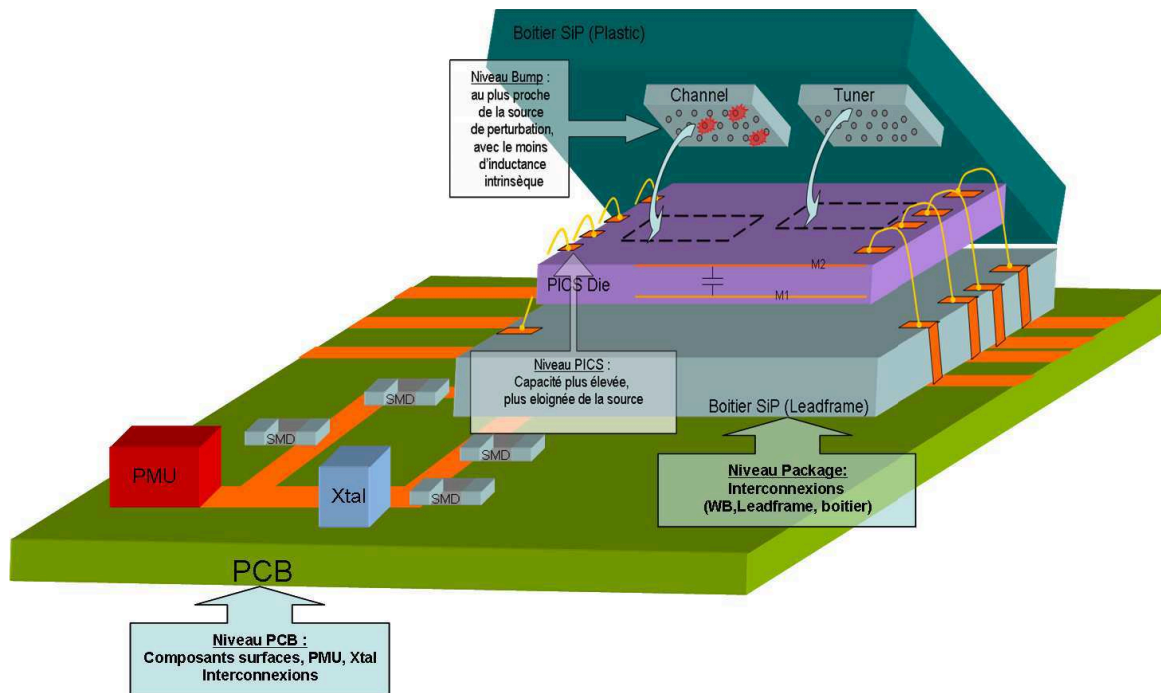


FIGURE 2.44: Vue éclatée du SiP dans son environnement

Le système a donc été partitionné et chaque segment a été modélisé sous forme de multiports pour être ensuite inséré dans un environnement de simulation. Dans cet environnement de simulation, Cadence Spectre, seront instantiés les différents multiports. Une simulation transitoire pourra être opérée, ceci afin d'analyser la propagation des perturbations dans le réseau d'interconnexion. Les segments sont énumérés ci-dessous :

1. Simulation et Modélisation du PCB,
2. Simulation et Modélisation du package et des interconnexions des fils de bonding,
3. Simulation du substrat PICS,
4. Simulation et Modélisation des principaux rails d'alimentation du circuit numérique.

L'outil principal, qui a permis la modélisation de chacune des partitions du système étudié, est basé sur l'extraction des paramètres $[S]$ grâce à des simulations électromagnétiques. Chaque flot de données

extraites des simulations est ensuite inséré dans l'environnement Spectre de Cadence, afin d'analyser les perturbations générées par les modèles de courant qui sont issus de l'analyse de la puissance et instantiées (*back-annotation*) dans le simulateur.

Conclusion

Dans ce chapitre, une formulation généralisée de l'activité interne des blocs numériques à travers un développement sur une base de fonctions arbitraires, a été proposée. Cette formulation offre une flexibilité pour étudier des profils multifréquences, rendant ainsi possible l'analyse du couplage entre plusieurs domaines d'alimentation. Cette formulation, en unifiant les approches statiques et dynamiques classiquement utilisées dans la description de profils monologiques, permet d'adapter le choix des profils à la signature temporelle des signaux à modéliser par une représentation adaptative (combinaison fonctions constantes, triangulaires et trapézoïdales simultanément).

Des approches analytiques et semi-analytiques sont proposées pour l'élaboration d'un outil d'aide à l'estimation des puissances consommées par des blocs numériques en fonctionnement. Ces approches prennent en considération l'aspect événementiel dans le fonctionnement des blocs numériques à travers un facteur d'activité. Les profils canoniques considérés dans l'outil développé, pour la description de l'activité numérique, restent modulables. Ces profils intègrent par construction des données technologiques telles que les temps de montée, temps de descente, taux ou rapport cyclique, fréquence d'horloge, etc... L'analyse spectrale de ces profils canoniques permet une synthèse systématique des cartographies en puissance des activités numériques. La connaissance de ces cartographies permet un choix raisonné d'une meilleure stratégie de découplage des alimentations (au niveau PCB, package ou IC, voir une combinaison de ces alternatives).

Ces profils synthétisés peuvent être traduits en terme de description SPICE ou SPECTRE permettant leur inclusion dans une «*netlist*» et conduisant à une analyse circuit où les différentes activités numériques représenteront des blocs agresseurs. A travers le formalisme «agresseur» - «victime», il devient possible d'estimer le couplage entre un bloc numérique décrit par ses profils d'activité (signature temporelle) et un bloc sensible pouvant être un VCO ou un LNA (comme illustré dans ce chapitre).

La mise en oeuvre de cet utilitaire d'aide à la conception est détaillée dans le troisième chapitre en référence à des exemples de circuits pratiques. Les approches proposées restent générales dans leur application en vue d'études de faisabilité en amont et au cours de la conception des systèmes intégrés. En aidant à l'estimation des puissances consommées, ces approches permettent de soutenir des choix concernant les solutions d'assemblages et les considérations thermiques associées.

Bibliographie

- [1] Rapport Mai 2007
- [2] H. Wu, A. Cangellaris, « Krylov Model Order Reduction of Finite Element Models of Electromagnetic Structures with Frequency-Dependent Material Properties, » IEEE MTT-S International Microwave Symposium Digest, jun. 2006, San Francisco, CA, pp.52-55
- [3] R. J. Baker, H. W. Li, D.E. Boyce, « CMOS circuit design, Layout, and Simulation, » Ed.Wiley-IEEE, 2nd Edition, 2008
- [4] H. Veendrick, « Deep-Submicon CMOS ICs : From Basics to Asics, » Ed. Springer, 2nd edition, ISBN 90-440-01116
- [5] X. Aragonès, J.L. González, F. Moll, et A. Rubio, « Noise Generation and Coupling Mechanisms in Deep-Submicron ICs, » IEEE Design & Test of Computers, Oct. 2002, pp. 27-35
- [6] P. Heydari, et M. Pedram « Ground bounce in digital VLSI circuits, » IEEE Transactions on Very Large Scale Integration Systems , Ap. 2003, vol.11, pp.180-193
- [7] M. Schmitt, O. Shoji, « Simultaneous Switching Noise Analysis for Full- Chip Power Integrity Sign-off, » IEEE 13th Topical Meeting on Electrical Performance of Electronic Packaging, 2004, pp.107-110
- [8] S. Wane and D. Bajon, « Partition-Recomposition Methodology for Accurate Electromagnetic Analysis of SiP Passive Circuitry, » in EUROCON 2007, Int. Conf. « Computer as a Tool », Warsaw, Poland, Sep. 2007, pp. 15-23.
- [9] J. Mao, G. Fitzgerald, A. Kuo, and S. Wane, « Coupled analysis of quasi-static and full-wave solution towards ic, package and board co-design, » Electrical Performance of Electronic Packaging (EPEP), Oct. 2007, pp.111-114
- [10] S. Wane and D. Bajon, « Partition and global methodologies for IC, Package and Board co-simulation in SiP applications, » in Europ. Microwave integrated circuit conference, 2007, EU-MIC2007, Oct. 2007, pp. 451-454.

- [11] J.W. Cooley and J.W. Tukey, « An Algorithm for the Machine Calculation of Complex Fourier Series, » *Mathematics of Computation*, Vol. 19, No. 90 (Apr., 1965), pp. 297-301
- [12] Matlab, version 2007.a, [http ://www.mathworks.com/](http://www.mathworks.com/)
- [13] Mathematica, [http ://www.wolfram.com/products/mathematica/index.html](http://www.wolfram.com/products/mathematica/index.html)
- [14] Scilab, [http ://www.scilab.org/](http://www.scilab.org/)
- [15] G. Poupon , J.M. Yannou , « Packaging Avancé sur Silicium, Etat de l'art et nouvelles tendances, » Chap2 « Le SiP », pp.51-73, 07-2008, Ed. Lavoisier.
- [16] O. Maurice et J. Pigneret, « Digital circuit susceptibility characterization to RF and microwave disturbances, » *Radiation and Its Effects on Components and Systems*, 1997. RADECS 97. Fourth European Conference on, 1997, pp. 178-181.
- [17] S. Wane et G. Boguszewski, « Global Digital-Analog Co-Simulation Methodology for Power and Signal Integrity aware Design and Analysis, » *Microwave Integrated Circuit Conference*, 2008. EuMIC 2008. European, 2008, pp. 450-453.
- [18] E. Lauwers et G. Gielen, « A power estimation model for high-speed CMOS A/D converters, » *Design, Automation and Test in Europe Conference and Exhibition 1999. Proceedings*, 1999, pp. 401-405.
- [19] R. Mandrekar, Thèse : « Modeling and Co-simulation of Signal Distribution and Power Delivery in Packaged Digital Systems, » *School of Electrical and Computer Engineering Georgia Institute of Technology*, may 2006
- [20] Jean-Luc Levant, Thèse : « Mise en place d'une démarche d'intégration des contraintes CEM dans le flot de conception des circuits intégrés, » *Institut National des Sciences Appliquées de Rennes*, 29 oct 2007. N° ordre : D07-18.
- [21] S. Ben Dhia, M. Ramdani, E. Sicard, « Electromagnetic Compatibility of Integrated Circuit, » pp. 87,88, Ed. Springer. ISBN 0-387-26600-8
- [22] Cookbook for ICEM Integrated Circuit Electromagnetic Model (ICEM), contribution to IEC 62014-3, Release 1.c 19 Sept 2001
- [23] R. Kollipara, L. Lin, et G. Oehrle « Characterization of peripheral and core SSOs in a flip-chip package, » *Electrical Performance of Electronic Packaging*, 1997., IEEE 6th Topical Meeting, 1997. ISBN 0-7803-4203-8
- [24] C. Xi, « Contribution to electromagnetic emission modelling and characterization of CMOS in-

- egrated circuits, » Institut National des Sciences Appliquées de Toulouse, Toulouse, FRANCE, N° 568, 2000.
- [25] J.C.J. Paasschens, W.J. Kloosterman, et W.J. Kloosterman, « The Mextram Bipolar Transistor Model, » UNCLASSIFIED REPORT NL-UR 2000/811, PHILIPS NAT.LAB., 2000. SEE REF. [1, 2002, pp. 2000–2001.]
- [26] T. Sudo, H. Sasaki, N. Masuda, et J.L. Drewniak « Electromagnetic interference (EMI) of system-on-package (SOP). » IEEE Transactions on Advanced Packaging, no. 2 (2004), pp.304- 314.
- [27] Sonnet Software, version 11.56, [http ://www.sonnetsoftware.com/](http://www.sonnetsoftware.com/)
- [28] O. Tesson, F. Le Cornec, and S. Jacqueline, « High Efficiency Embedded Decoupling Capacitors For MCM Applications, » 38th European Solid-State Device Research Conference (ESSDERC'08), 15-19 sept. 2008 page(s) :262-265. Digital Object Identifier 10.1109/ESSDERC.2008.4681748
- [29] Méthode $1\Omega - 150\Omega$: Référence IEC : IEC61967-4.
- [30] IEC 62014-3, « EMC for Ics : An Integrated Circuit Emission model ICEM, »
- [31] J. Levant, M. Ramdani, et R. Perdriau, « ICEM modelling of microcontroller current activity, » Microelectronics Journal, vol. 35, Juin. 2004, pp. 501-507.
- [32] S. Ben Dhia : « Une Nouvelle Méthodologie de Caractérisation de l'intégrité du signal en CMOS submicronique profond. » Thèse de doctorat soutenue à l'INSA de Toulouse en 1998 . N° d'ordre : 491
- [33] P. Saguet, J.L Carbonero, « Modélisation, caractérisation et mesures de circuits intégrés passifs RF. » Chapitre 5 , « Caractérisation des dispositifs et circuits passifs intégrés radiofréquences, » Ed. Lavoisier nov.2006, ISBN 2-7462-1497-0
- [34] D. Abessolo Bidzo, « Méthodologie de test pour la caractérisation radiofréquence et hyperfréquence de composants microélectronique avancés et systèmes intégrés en vue de leur modélisation et du contrôle non destructif, » 21 nov 2007, Université de Caen
- [35] S. Pannala et al., « Extraction of Electrical Parameters of High Density Connectors Using Time Domain Measurements, » Electronic Components and technology Conference, Proceeding, may 1997, pp.936-941
- [36] Agilent Network Analyzer Basics : [http ://cp.literature.agilent.com/litweb/pdf/5965-7917E.pdf](http://cp.literature.agilent.com/litweb/pdf/5965-7917E.pdf)
- [37] S. Wane, J. C. Rautio, and V. Mühlhaus, « Topological and Functional Partitioning in EM

Analysis : Application to Wafer-Level Chip-Scale Harmonic Filters, » IEEE- Microwave Theory and Techniques Symposium, Boston 2009.

3 Mise en Oeuvre des Méthodologies d'Analyse de l'intégrité des Alimentations : Corrélations Expérimentales, Comparaisons et Validations

3.1 Introduction

L'analyse de systèmes électroniques complexes nécessite de mettre en oeuvre une méthodologie permettant à la fois d'en réduire la complexité (*Model Order Reduction*) et de fournir le degré de précision nécessaire à cette analyse. Dans notre cas, cette étude se penche sur l'intégrité des alimentations d'un système complexe SiP (*System-In-Package*) ou SoC (System on Chip) [1].

Nous nous proposons de considérer l'influence du fonctionnement des circuits intégrés d'un SiP sur leur environnement :

- Définir le pouvoir perturbateur des fonctions internes du système et fournir une estimation analytique et semi-analytique de la consommation de puissance statique et dynamique,
- Analyser l'influence de la génération de perturbations, due à la consommation de puissance, sur les paramètres d'un circuit sensible.

Deux interfaces graphiques permettront d'une part de renseigner sur les puissances mises en jeu dans le fonctionnement du système et essentiellement des fonctions purement numériques et d'autre part de considérer l'impact de ces perturbations sur des fonctions plus sensibles.

1. Analyse du pouvoir perturbateur du circuit numérique : celui-ci étant considéré comme le générateur de perturbations, il est important de mettre en oeuvre une méthodologie d'estimation de sa consommation statique et dynamique, pour ce, le concepteur doit pouvoir se baser sur des paramètres d'activation du système (fréquence de fonctionnement et facteur d'activité α), sur la tension d'alimentation et la consommation de courant, et sur des données technologiques (temps de montée t_r et temps de descente t_f). Ainsi il pourra être capable d'insérer dans un environnement de simulation des modèles d'activité en courant, image du fonctionnement du circuit et

donc de sa consommation. De plus, la connaissance des fréquences de travail du système permet d'estimer l'influence d'une fréquence d'activation sur le système et d'anticiper avec plus de recul la nécessité du découplage.

2. Analyse du réseau passif des alimentations : il est essentiel de connaître la manière dont sont répartis les rails d'alimentation. En un point où plusieurs alimentations se rejoignent, un noeud est ainsi une zone où le découplage a un rôle important, ce noeud peut être relativement éloigné de la source. Nous disposons d'une technologie qui permet de fournir une capacité adaptée à la perturbation qu'il est nécessaire d'atténuer.

Il faut en effet considérer la capacité de découplage sous deux aspects :

1. La capacité est un réservoir d'énergie qui souvent, par simplification, et par besoin de représentation imagée est assimilée à une source de courant, l'intérêt est de pouvoir répondre rapidement à une demande brutale de courant. Ainsi, si la capacité se trouve sur le PCB, elle devra être importante, car le circuit est relativement éloigné et l'énergie à fournir doit parcourir une longue distance. Inversement, si le condensateur est proche du circuit à découpler, il devra répondre beaucoup plus rapidement, son temps de charge doit être faible. Si aucune capacité n'est présente ou suffisamment efficace, c'est le niveau de tension qui s'écroule, on parle alors de Voltage Drop.
2. Le deuxième aspect tient compte du comportement des blocs d'interconnexion qui séparent la source de la capacité. Ces blocs d'interconnexion peuvent être représentés sous la forme d'éléments distribués (R,L,C,M). On définit plus facilement le comportement de ces blocs d'interconnexions dans l'espace fréquentiel car il est possible d'observer les phénomènes de résonance et de bénéficier d'une représentation distribuée en éléments localisés. Pour certaines fréquences, ces blocs d'interconnexions peuvent fonctionner comme des filtres, l'objectif est que ceux-ci soient efficaces aux fréquences de travail de notre système. Dans ce cas, l'intérêt de la capacité de découplage est de « décaler » les fréquences de résonance hors de la bande de travail du système.

Nous considérerons que l'activité en courant est considéré comme porteur de l'activité. La tension d'alimentation restera un paramètre statique et constant. A partir de cette hypothèse et des résultats concordants entre les valeurs de puissance consommée, une méthodologie de profilage du courant sera proposée, facilement instantiable dans un simulateur de type SPICE (PWL : *Piece Wise Linear*). Elle permettra de modéliser l'activité à partir de fonctions triangulaire et trapézoïdale, dont nous analyserons le profil spectral. En effet, le nombre de coefficients de Fourier dans le développement spectral permet d'affiner l'allure de la fonction décomposée, et ces coefficients sont des acteurs énergétiques

répartis fréquemment, qui peuvent influencer sur les performances du système lors de la propagation des signaux harmoniques qu'ils représentent. Cette approche favorise à la fois une modélisation rapide de l'activité mais renseigne aussi sur le découplage nécessaire à l'atténuation de perturbations électromagnétiques, et ce jusqu'à une victime potentielle. La promiscuité, caractérisant le confinement et la topologie particulière des SiP et SoC, satisfait la diminution des longueurs d'interconnexion et donc les phénomènes de rayonnement dus aux boucles. En contre partie, d'éventuelles perturbations seront moins atténuées par l'effet du réseau passif, et peuvent provoquer des dysfonctionnements. La simulation et la mesure seront comparées sur des structures simples afin d'illustrer les potentialités de la modélisation distribuée BBS (*Broad Band Spice Model*). Il sera par la suite possible de modéliser sous forme de multiports d'importants réseaux d'interconnexion, au nombre de ports élevés, où chacun d'entre eux peut être localisé à un plan de référence distinct.

Un modèle de circuit sensible est ensuite proposé. Un amplificateur faible bruit est analysé et sa fonction de transfert est extraite analytiquement afin de proposer un modèle simple de susceptibilité.

La difficulté quant à l'approche de systèmes complexes et hétérogènes est de considérer à la fois des phénomènes d'origine « numérique » et « analogique » au sein d'un environnement dense qui les caractérise. Chaque approche de modélisation, circuit numérique, circuit analogique et environnement d'intégration ont permis de générer un modèle global du système SiP, où l'objectif a été de co-simuler cet ensemble de modèles en favorisant au maximum les zones importantes de couplage. Nous proposerons donc une approche multiport du modèle de SiP, où chacun des modèles (*PWL*, Fonction de Transfert, Extraction multiport du réseau d'interconnexion) est instantié dans un environnement global de simulation. La figure 3.1 illustre le modèle multiport.

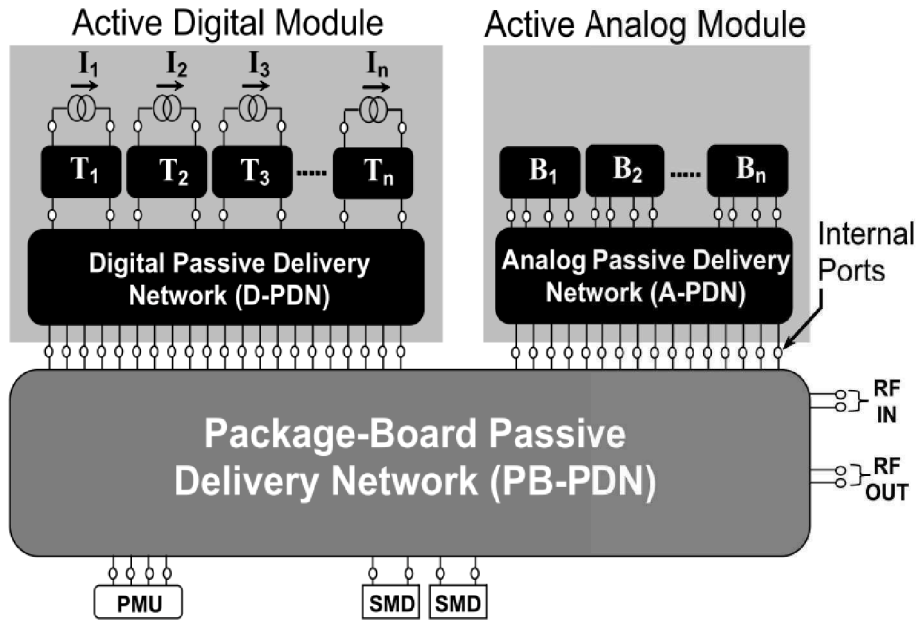


FIGURE 3.1: Modèle multiport du SiP

Ce modèle présente la méthodologie de co-simulation proposée [3]. Cette méthodologie est articulée autour de trois principaux blocs : le modèle numérique d'activité, le modèle comportemental analogique et le multiport électromagnétique global (PDN). Les modèles analogiques et numériques sont couplés via l'environnement passif (PDN). La figure 3.1 présente le modèle D-PDN pour le module numérique, le modèle A-PDN pour le module analogique et le PB-PDN représentant le module Boîtier-PCB. Les sources d'activité en courant, décrites par $I_1, I_2, \dots, I_n$, sont couplées au N-PDN par des ports internes T_1, T_2, T_n . Les blocs analogiques B_1, B_2, B_n sont caractérisés par des modèles comportementaux ou des descriptions au niveau transistor.

3.2 Présentation du support d'étude et applications

Le System-in-Package étudié permet la réception et la démodulation de signaux satellites modulés en QPSK (Quadrature Phase Shift Keying), correspondant à la norme DVB-S. Ce SiP est présenté dans son environnement de fonctionnement par la figure 3.2.

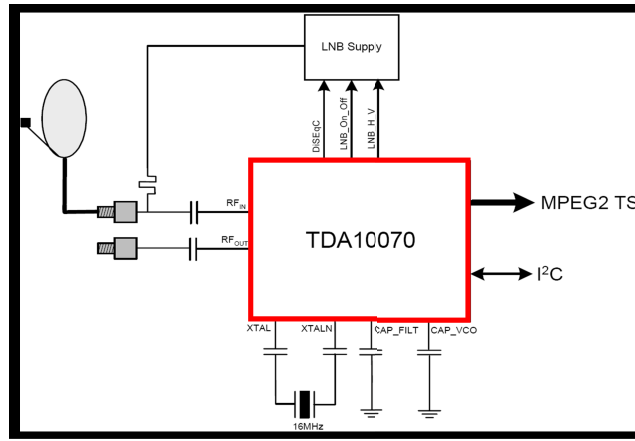


FIGURE 3.2: SiP dans son environnement de fonctionnement de réception DVS-S

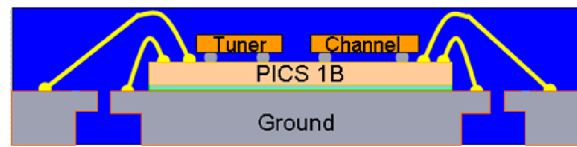


FIGURE 3.3: SiP TDA10070

Le TDA10070 est un System-in-Package (SiP) conçu pour la réception satellite DVB et DSS sur une bande passante comprise entre 950 MHz et 2.2GHz. La figure 3.4 présente le schéma bloc du SiP.

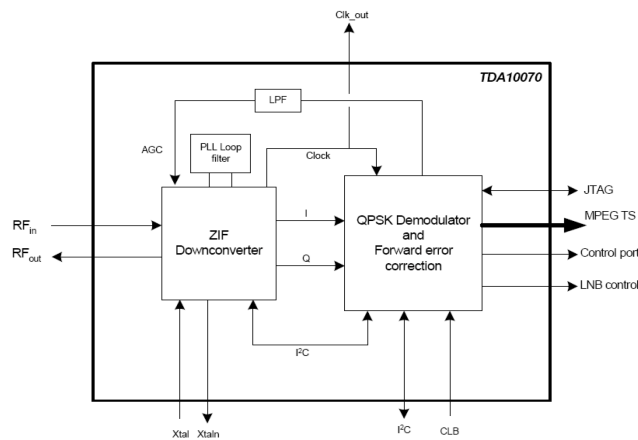


FIGURE 3.4: Schéma bloc du SiP

Ce SiP est utilisé pour les Set Top Box. Il comprend un récepteur RF et un démodulateur DVB-S qui sont assemblés sur le substrat PICS grâce à des billes de soudure (*bump* ou *flip chip*). Le substrat passif assure le routage des alimentations et fournit les fonctions passives nécessaires au filtrage et au découplage.

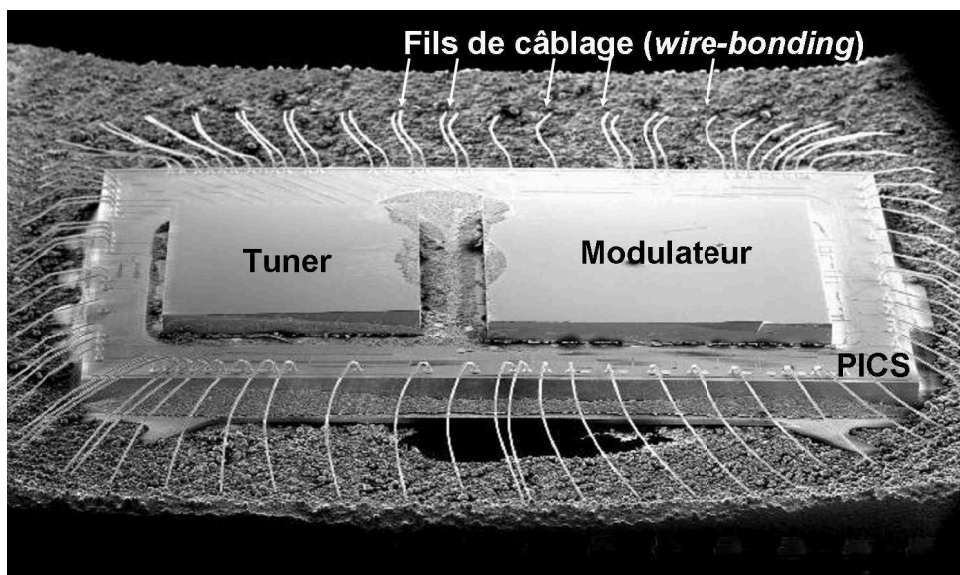


FIGURE 3.5: Vue interne du System-In-Package TDA10070

La figure 3.6 présente le layout du PICS. La figure illustre la répartition des alimentations, et la présence de quelques fonctions passives intégrées (Inductance, capacités).

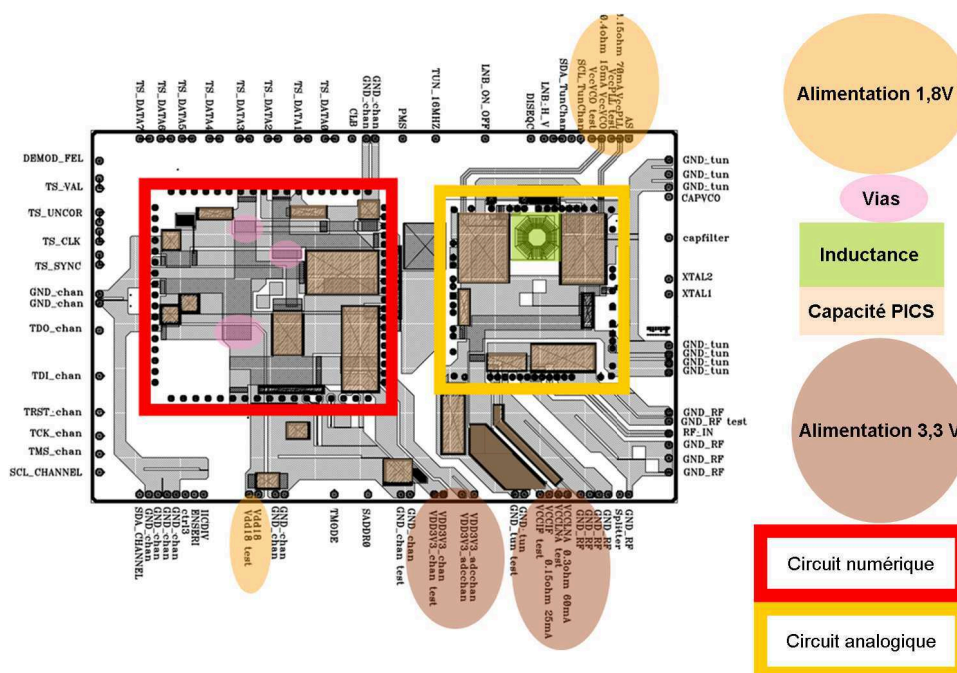


FIGURE 3.6: Layout du substrat PICS

Les circuits sont assemblés en *flip-chip* sur le substrat PICS. Le démodulateur compte 72 billes de soudure (*bumps*) et le tuner en compte 50. Le substrat assume donc le rôle de répartition des alimentations à l'interface boîtier-circuit intégré. Le SiP repose ensuite sur une carte PCB. Ses caractéristiques sont présentées et illustrées dans la figure 3.7 :

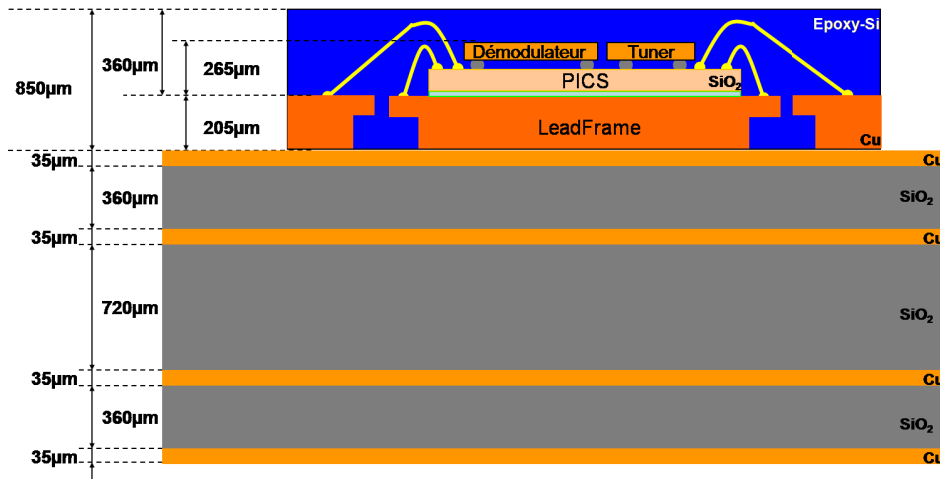


FIGURE 3.7: Coupe de la carte PCB supportant le SiP et son environnement fonctionnel

Afin de connaître la répartition des alimentations et des masses, au niveau des différentes interfaces PCB/PICS et PICS/CI, nous avons mis en place une arborescence des alimentations et des masses qui a été vérifiée par des mesures de continuité.

Les figures suivantes présentent l'arborescence du circuit numérique démodulateur (figure 3.8), l'arborescence du circuit analogique tuner (figure 3.9) et enfin l'arborescence commune des plans de masses (figure 3.10).

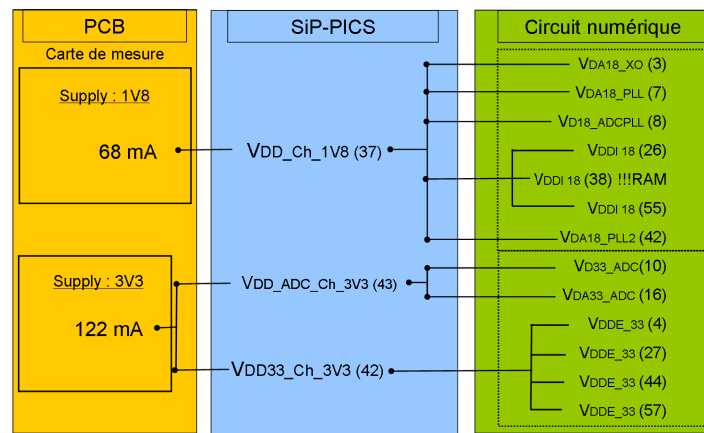


FIGURE 3.8: Arborescence des alimentations du circuit numérique

Tuner : TDA8262 La puce Tuner est la puce active analogique, elle a une superficie de 4.84mm^2 , basée sur le procédé Qubic3 qui correspond à une technologie alliant MOS et BiPolaire. Le circuit assemblé sur le substrat PICS (voir figure 3.5) a d'abord été conçu comme un circuit seul dans son boîtier, tel qu'illustré par la figure 3.11. Ce tuner est de type Zero-IF.

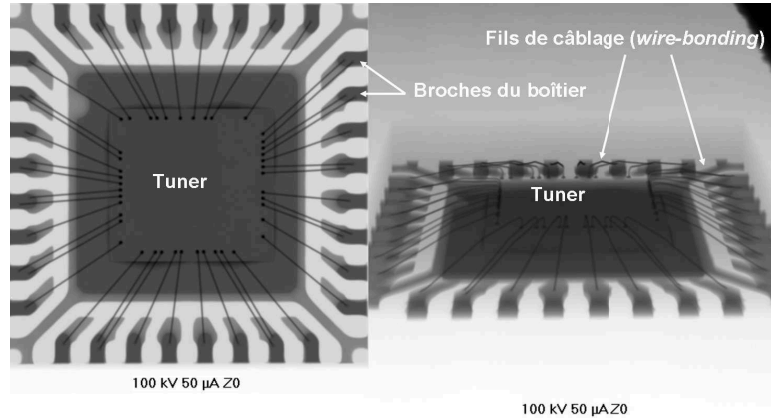


FIGURE 3.11: Vue interne au rayon X de la puce Tuner TDA8262 dans son boîtier HCQFN32

Les tuners satellites sont actuellement de type Zero-IF (ZiF), ou à conversion directe, c'est-à-dire que la démodulation se fait directement à la fréquence d'entrée et centrée sur zéro. Ceci permet une réduction de la taille, de la consommation et des coûts. Cependant, il injecte un déphasage entre I et Q, ainsi qu'un décalage en tension continue. Pour réduire ces problèmes, il existe le type *Near Zero-IF*, la fréquence intermédiaire est alors faible mais non-nulle. Le schéma bloc du tuner est présenté dans la figure 3.12.

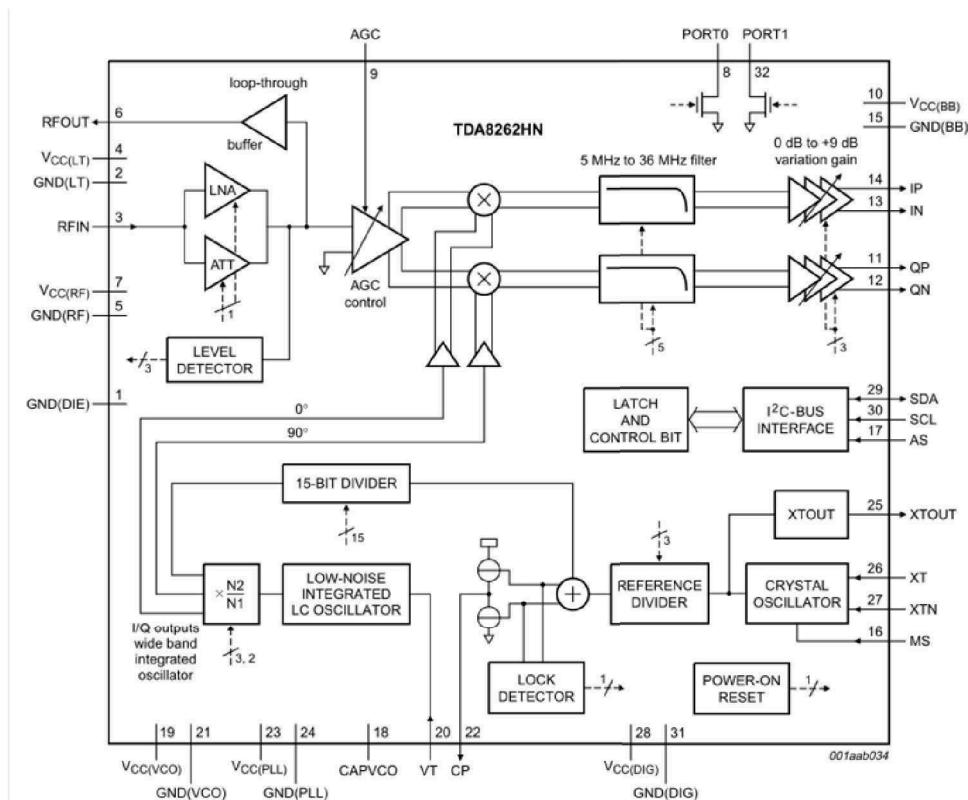


FIGURE 3.12: Schéma bloc du Tuner TDA8262

Décodeur : TDA10086 Cette puce a une superficie de 7.4 mm^2 , en procédé CMOS18. C'est un démodulateur QPSK avec correction d'erreur et contrôleur de gain qui compare l'amplitude de I et Q par rapport à une valeur de référence après la conversion numérique réalisée par les convertisseurs analogique-numérique. Cette valeur permet d'optimiser le niveau du signal à démoduler. La figure 3.13 présente le circuit numérique avec les différentes fonctions.

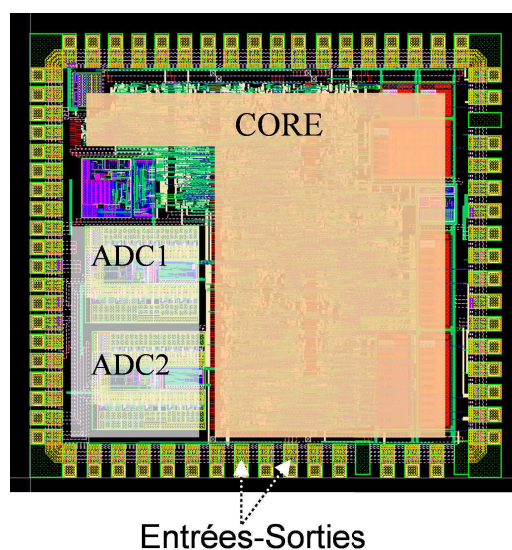


FIGURE 3.13: Layout du circuit numérique

Ce circuit est aussi disponible seul dans son boîtier. La figure 3.14 présente une vue du circuit.

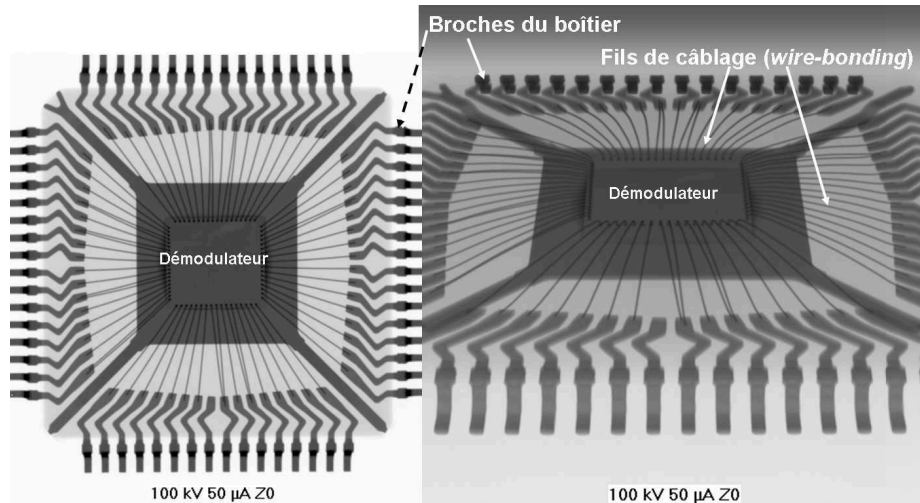


FIGURE 3.14: Vue interne du System-In-Package TDA10086 dans son boîtier TQFP64

Le schéma bloc du décodeur est illustré par la figure 3.15 .

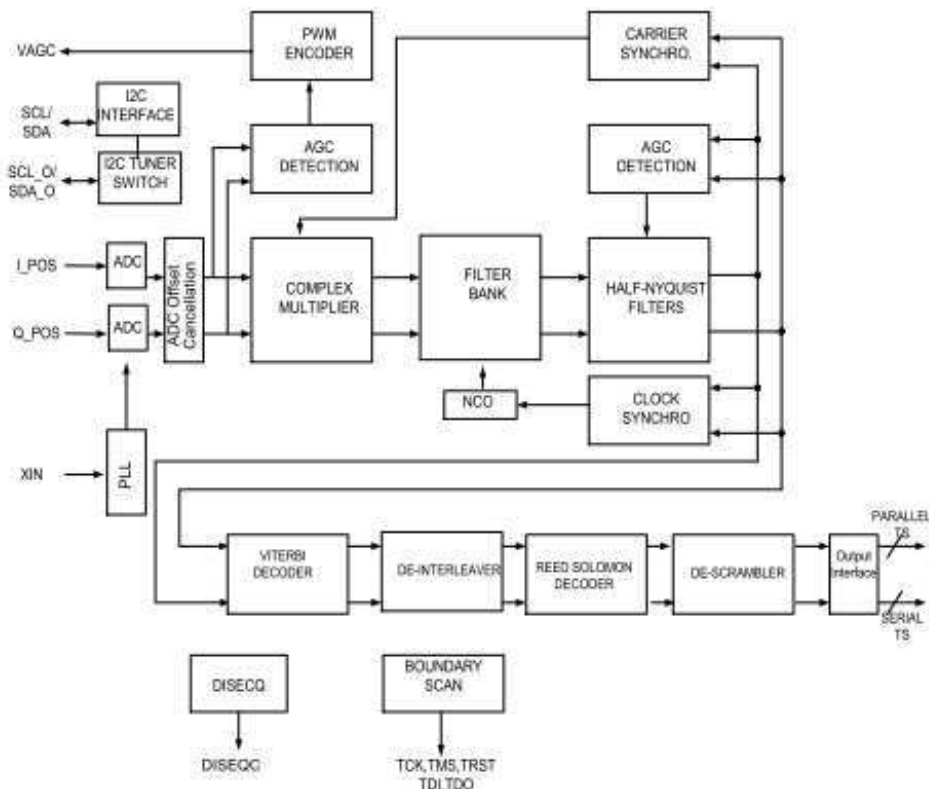


FIGURE 3.15: Schéma bloc du coeur logique du circuit numérique

Caractéristiques technologiques du circuit numérique

Le bilan de puissance du démodulateur va permettre d'analyser la consommation des blocs numériques constituant le décodeur. Les données technologiques constitutives du décodeur sont présentées

dans le tableau 3.2 :

	Coeur	Ram1	Ram2	Ram3	ADC alim. numérique (x2)	entrées sorties pré-buffer	entrée sorties buffer1	entrée sorties buffer2
Tension d'alimentation V_{cst} [V]	1.8					3,3		
Courant consommé I_{eff} [mA]	80				2		25	
Puissance moyenne par bloc P_{av} [μ W/MHz]	/	42	60	134		0.23	31	75
Fréquence de fonctionnement [MHz]	70	50	30	100	50	30		
Période de fonctionnement [ns]	14,3	20	33,34	10	10	33,34		
Facteur d'activité α (%)	0.25	0.25	0.25	0.25	1	0.7		
Nombre de module/bloc Nb	1	2	1	3	2	33	16	10
Nombre de porte nand n hors IP	140378	7464	23987	37791	IP	/	/	/
Courant de fuite par bloc $I_{leakage}$ [μ A]	14.4	0.76	2.44	3.85		/	/	/
Capacité de charge par porte nand C_{load} [pF]	0.0041				0.0445	0.0046	15	
Capacité de charge par bloc C_{load} [pF]	575.5	31	98	155	0.089	0.152	390	

TABLE 3.2: Données Constructeurs pour les blocs constituant le circuit numérique

Les paramètres, nécessaires à l'application des méthodologies d'analyse analytique et semi-analytique de la puissance consommée, sont extraits des données du constructeur ou obtenus par la mesure. Le tableau 3.2 résume les paramètres qui seront utilisés dans l'analyse de la consommation de puissance et l'extraction des profils de courant.

3.2.1 Description des cartes de mesure et logiciel de contrôle

Le système tuner-démodulateur étudié permet donc la réception de signaux vidéos satellites. La mise en oeuvre du protocole d'application de ce système est basée sur l'insertion d'un signal modulé QPSK porté par une fréquence de $1500MHz$ fournie par un modulateur QPSK. Une vérification des différents paramètres inhérents au circuit numérique et analogique est assurée par un logiciel propriétaire de NxP, la communication entre la carte et le logiciel est assurée par un protocole I²C. D'autre part, la carte est alimentée sous une tension de $3,3V$, un circuit électronique opère un abaissement de la tension d'alimentation afin de fournir le niveau $1,8V$.

Cet interface utilisateur est illustrée par la figure 3.16.

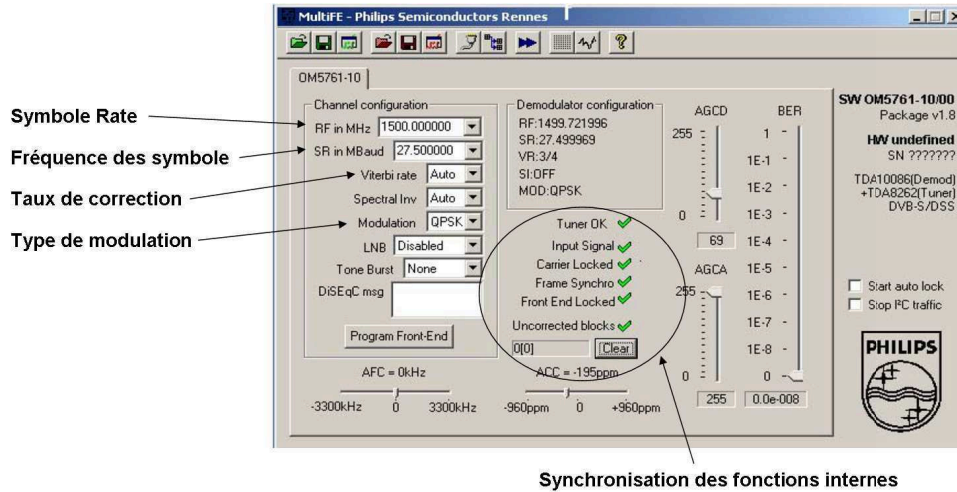


FIGURE 3.16: Interface Utilisateur de contrôle des cartes de mesure

Le contrôle des cartes de mesure est opéré par l'intermédiaire d'une interface graphique. Cette interface permet de vérifier la synchronisation des fonctions internes en fonction des informations qui sont entrées dans la partie configuration du décodeur (« *channel configuration* »).

Deux architectures de cartes ont été réalisées afin de mettre en oeuvre les mesures d'activité des alimentations du circuit numérique. La première utilise le SiP dans lequel le tuner et le démodulateur sont assemblés sur le substrat PICS. L'ensemble est assemblé dans un seul et même boîtier. La seconde carte utilise les circuits tuner et démodulateur seuls dans leurs boîtiers respectifs et agencés directement sur la carte. L'environnement fonctionnel est strictement le même, peu importe le type de carte utilisé. Afin de distinguer ces deux cartes utilisées dans notre analyse, nous les nommerons différemment selon les circuits qui sont utilisés. Une carte est composée du SiP, *Carte_SiP*, différenciée de la carte *Carte_CI* qui est composée des circuits seuls dans leurs boîtiers.

Carte_SiP

Nous disposons de deux cartes *Carte_SiP* permettant la mesure du courant consommé sur les alimentations du System-in-Package. La première dispose d'une potence permettant d'interchanger et de tester plusieurs SiP afin de vérifier leurs fonctionnalités, la seconde inclut le SiP, qui est soudé sur la carte. Ces cartes sont équipées de cavaliers. La figure 3.17 présente les cartes où se trouvent les cavaliers sur diverses alimentations.

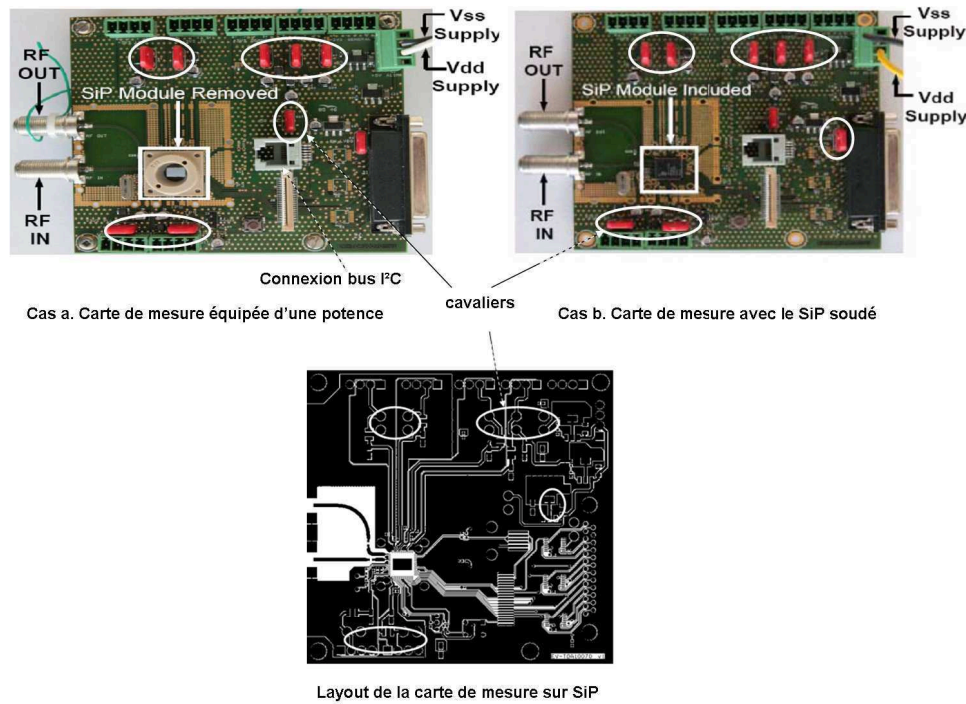


FIGURE 3.17: Carte de mesure supportant le SiP

Les cavaliers présents sur les cartes nommées *carte_SiP* peuvent être retirés de l'alimentation sur laquelle ils sont positionnés. Dans ce cas, l'alimentation de la fonction interne au SiP est coupée.

Carte_CI

Le deuxième type de mesure de courant a nécessité la réalisation d'une nouvelle carte. Cette carte est composée des circuits analogique et numérique encapsulés dans leurs boîtiers respectifs. Il n'y a pas de substrat PICS et donc pas d'optimisation de routage ; ceci facilite la segmentation des alimentations entre les différents circuits, et donc offre la possibilité d'effectuer des mesures plus localisées. La réalisation des mesures d'activité en tension sera effectuée aux bornes de résistances CMS de 10Ω . La figure 3.18 présente la carte *Carte_CI* où les alimentations des entrées sorties, des convertisseurs et de l'ensemble coeur et mémoires sont segmentées afin de pouvoir y réaliser les mesures d'activité. Cette carte est divisible en trois parties distinctes : une première partie permet de contrôler le fonctionnement du système via un bus I²C ; une seconde partie RF permet d'injecter un signal haute fréquence à $1500MHz$ sur l'entrée de l'amplificateur faible bruit (LNA) qui se trouve dans le circuit analogique, soit le tuner du système de réception satellite DVB-S ; la troisième partie regroupe le système dans son environnement de fonctionnement.

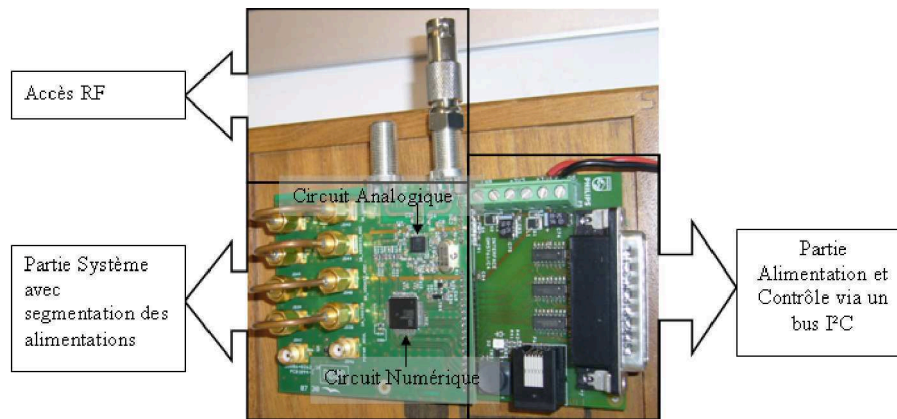


FIGURE 3.18: Carte de mesure avec segmentation des alimentations du circuit numérique

Les cavaliers en cuivre permettent de court-circuiter les résistances de 10Ω insérées sur les lignes d'alimentation des blocs aux bornes desquelles les mesures de tension dynamique vont être opérées. Sur chacune des alimentations du circuit numérique, aucune capacité de découplage n'est présente entre la résistance et la broche d'entrée d'alimentation du circuit. La figure 3.19 précise la répartition des alimentations et des cavaliers associés.

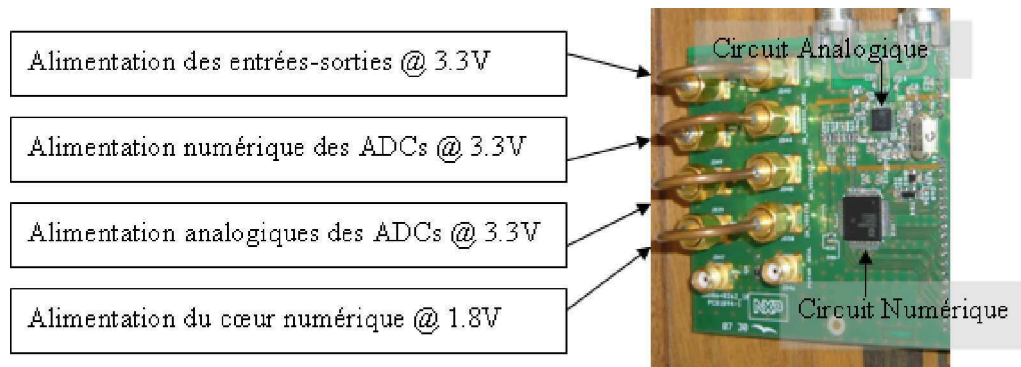


FIGURE 3.19: Détails de la répartition des alimentations et des cavaliers associés

La mesure est réalisée sur cette carte au moyen de sondes différentielles qui permettent un relevé en temps réel de l'activité en tension image de l'activité en courant. Ces sondes sont localisées aux bornes des résistances de 10Ω insérées sur les alimentations décrites dans la figure 3.19. L'intérêt de ce support d'analyse est que la mesure est effectuée directement sur les alimentations du circuit numérique, détaillées dans le tableau 3.3.

Niveau d'alimentation des modules numérique	Modules		
1,8V	Coeur et Mémoires (Ram1, Ram2, Ram3)	Alimentation Numérique des convertisseurs	Pré_Buffer
3,3V	Entrées-Sorties	Alimentation Analogique des Convertisseurs	

TABLE 3.3: Partitionnement des alimentations numériques dans le circuit numérique TDA10086

L'ensemble coeur, mémoires (Ram1, Ram2, Ram3), pré-buffers, les PLLS, le quartz et les alimentations numériques des convertisseurs disposent chacun d'une alimentation 1,8V. Les entrées-sorties et les alimentations analogiques des convertisseurs sont alimentées à 3,3V.

Le tableau 3.3 résume l'arborescence de ces alimentations et leur niveau de tension respectif. La figure 3.20 présente l'arborescence des alimentations depuis le PCB jusqu'au circuit numérique. Les chiffres entre parenthèses correspondent au numéro des broches.

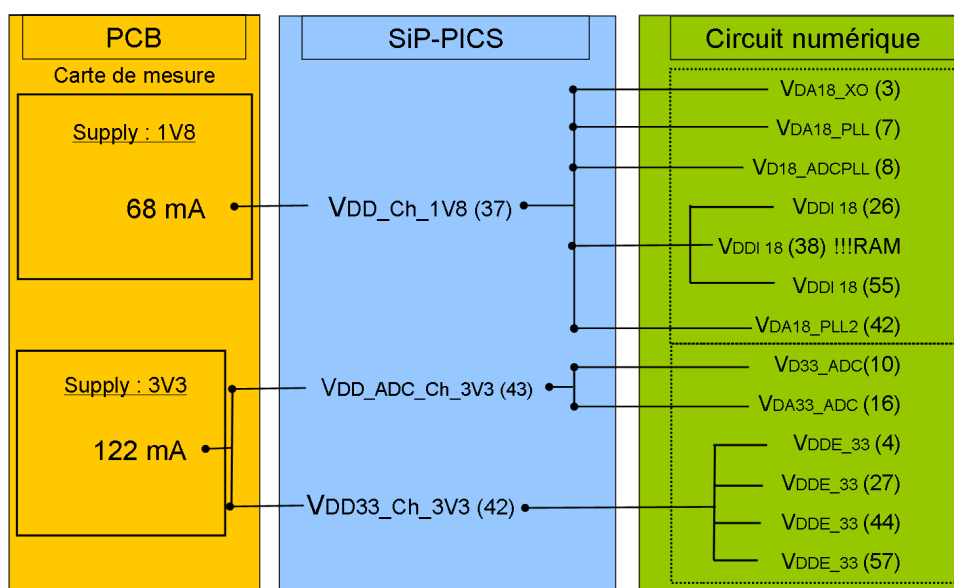


FIGURE 3.20: Arborescence des alimentations du circuit numérique

Cette arborescence souligne la complexité d'accès aux différentes alimentations. On remarque que les fonctions analogiques (Quartz, PLL) ou mixtes (ADC 1, ADC2) sont volontairement isolées des alimentations des fonctions numériques (Coeur (Vddi18) et E/S (Vdde33)). Les valeurs de courant indiquées dans la figure 3.20 sont des valeurs mesurées à l'aide d'un ampèremètre.

Le tableau 3.4 résume les différents supports de mesure dont nous disposons pour la réalisation de notre analyse. Les différentes cartes *Carte_SiP* et *Carte_CI* y sont présentées ainsi que les déclinaisons que nous en avons faites et qui seront décrites plus précisément dans la section 3.2.2 page suivante.

Enfin, ce tableau présente le type d'analyse que nous y effectuerons, cette phase sera détaillée dans la section 3.3 page 160.

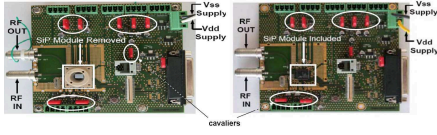
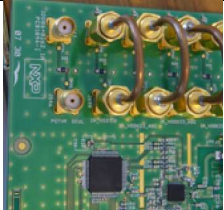
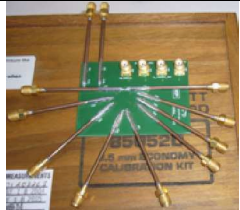
	<i>Carte_SiP</i>	<i>Carte_CI</i>		
Type de Carte	 Cas a. Carte de mesure équipée d'une potence Cas b. Carte de mesure avec le SiP soudé			
Déclinaison	Pas de déclinaison de cette carte			
Type d'Analyse	Mesure des accès RFin avec et sans circuit Mesure de la consommation après retrait des cavaliers	Mesure de l'activité Mesure de l'impédance totale PCB-boîtier-circuit	Mesure de l'impédance interne du circuit	Mesure du PCB

TABLE 3.4: Définition des utilisations et supports d'analyse

3.2.2 Défis de mesures, simulations et modélisations

La mise en place d'une méthodologie d'analyse répartie entre une approche semi-analytique, approche expérimentale et enfin une approche de co-simulation permet de considérer la problématique de la consommation à divers niveaux de conception d'un système. En effet, lors de la conception des différents circuits et composants du SiP, il est nécessaire d'assurer une cohabitation de l'ensemble la plus fiable possible. Or la difficulté actuelle, en terme de simulation globale, multi-technologique et multi-échelle, est l'inexistence de flot logiciel capable d'assurer une co-simulation. Le flot *Cadence-SiP* [5], figure 3.21, utilise plusieurs moteurs de calcul capables de simuler chaque sous-circuit (analogique, RF, numérique). Par la suite, chaque simulation est instanciée dans un environnement qui prend en compte chaque sous-simulation et qui permet à l'utilisateur d'effectuer divers types d'analyse (transitoire, fréquentielle,...).

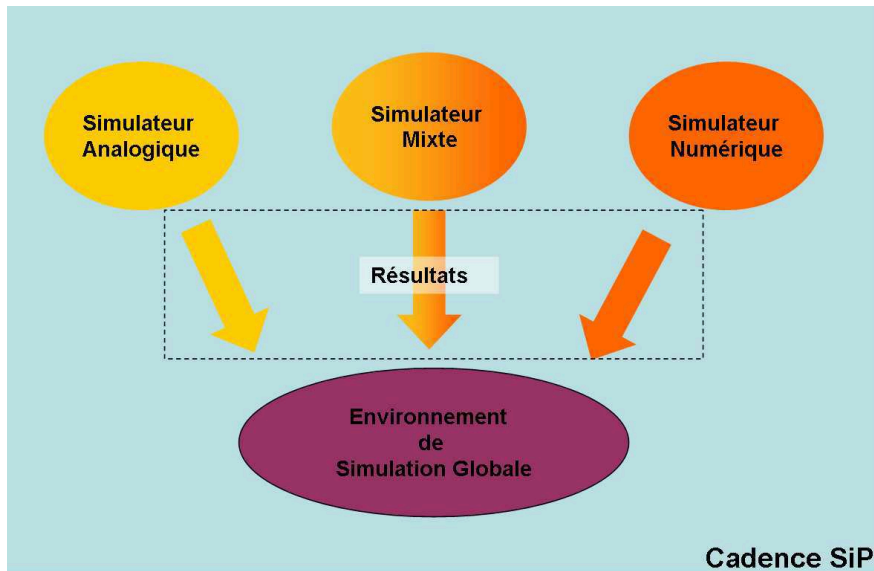


FIGURE 3.21: Flot de simulation Cadence SiP

Au travers de notre approche, l'objectif est de pouvoir fournir une méthodologie permettant au concepteur du système de considérer l'influence de la consommation d'un circuit numérique sur son environnement.

L'analyse du comportement dynamique d'un système est une tâche délicate. La consommation dynamique de courant est considérée de manière globale, il est très difficile de séparer une activité d'origine logicielle d'une activité physique. Le flot de données à traiter peut avoir un impact sur le comportement du circuit. Aujourd'hui les analyses fixent un état de fonctionnement et il est délicat d'estimer tous les modes d'activité de l'ensemble des sous-fonctions et l'impact de celles-ci sur les niveaux d'alimentation.

L'architecture du système, les techniques d'assemblage, et les matériaux utilisés ont un impact sur les modes de couplages. Analyser l'ensemble du système depuis la carte PCB jusqu'à la porte logique ou la fonction analogique ne peut être effectué de manière triviale. Il est nécessaire d'opérer un partitionnement. Chaque hypothèse simplificatrice doit être pertinente afin de préserver les modes de couplages [6]. Les différentes portions peuvent être issues de segmentations géométriques et/ou fonctionnelles.

La simulation des circuits numériques, en vue d'une extraction de la consommation, est mise en oeuvre au travers d'outils modélisant leur comportement. Cependant, plus ces circuits évoluent en densité, plus il devient délicat de considérer la source d'activité, sa localisation et l'effet des interconnexions internes du circuit.

Dans le cadre de notre étude, nous avons cherché à mettre en oeuvre une méthodologie de type ICEM à laquelle nous avons apporté certaines adaptations. Compte tenu de la complexité du SiP, l'analyse de

l'activité interne à partir de la mesure, notamment, est une approche difficile. En effet, pour obtenir les informations nécessaires, il nous faut tout à la fois décorréler : le comportement du circuit numérique de celui de l'ensemble du SiP, et considérer l'influence de l'environnement d'intégration sur l'allure des pics de courant.

Dés lors, nous avons entrepris la conception d'une carte adaptée reproduisant les mêmes fonctionnalités que celles du SiP. Ceci a permis de mettre en oeuvre une campagne de mesure au niveau des alimentations numériques du coeur et des entrées-sorties. La carte *Carte_IC* est composée des circuits numérique et analogique seuls dans leurs boîtiers.

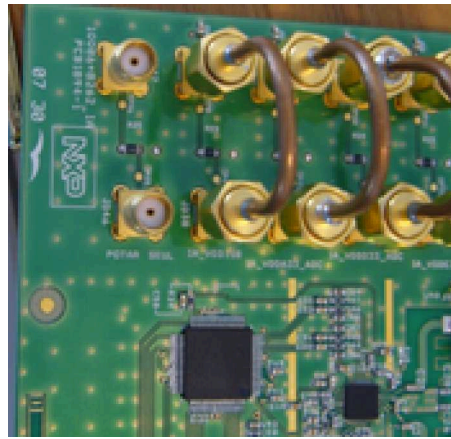


FIGURE 3.22: *Carte_IC* permettant la mesure sur les alimentations du circuit numérique

Au niveau du PCB, le réseau passif des alimentations du circuit numérique a été décliné sur des cartes où l'on a pu mettre en oeuvre une seconde phase de mesure d'extraction du réseau d'interconnexion. L'objectif est de pouvoir mesurer avec un analyseur de réseau les accès aux alimentations et de reproduire, via un multiport, le réseau d'interconnexion.

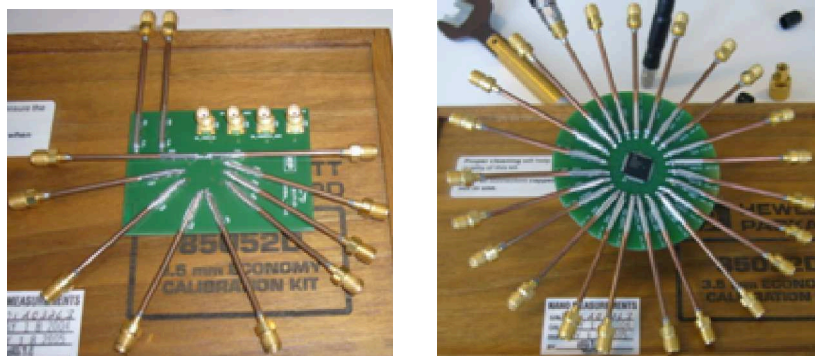


FIGURE 3.23: Déclinaison de la *Carte_IC* reproduisant le réseau d'interconnexion des alimentations sur le PCB, à gauche et dans le circuit numérique, à droite.

Pour compléter cet exposé des défis rencontrés dans cette étude, il nous faut mentionner le nombre de ports nécessaires à la modélisation du système complexe et hétérogène qu'est le SiP. En effet, la

mesure de systèmes multiports est une technique difficile à mettre en oeuvre, il en est de même pour l'étape de modélisation de ce multiport [7, 23].

3.2.3 Description de la méthodologie d'analyse

Comme nous l'avons annoncé, nous nous intéresserons en premier lieu à la puissance consommée par le système. L'estimation de cette puissance consommée par une approche semi-analytique va permettre de fournir une interface graphique qui renseignera sur le comportement statique et dynamique du système. Cet aspect dynamique se caractérisera par la modélisation de profils de courants.

Des mesures seront réalisées sur la carte où seules les alimentations du PCB se trouvent (voir figure 3.23 page précédente). Afin de ne pas prendre en compte les accès coaxiaux, une étape de calibration permettra de localiser le plan de référence de l'analyseur de réseau au plus proche du segment à mesurer. Nous obtiendrons un multiport correspondant aux accès sur le PCB. Enfin par l'insertion des modèles de fils de bonding, extraits analytiquement, nous avons pu obtenir un nouveau multiport représentant le PDN (*passive distribution network*) des alimentations numériques. Dès lors, l'allure du courant interne sur l'alimentation étudiée est obtenue à l'issue d'une phase de *de-embedding*. Enfin, les résultats obtenus sont comparés aux estimations obtenues par les calculs analytiques et semi-analytiques.

Puis l'étude du réseau passif est abordée par une approche expérimentale et en simulation. Dans celle-ci, plusieurs concepts seront abordés sur des cas simples. Tout d'abord, l'accès RF sera étudié depuis le PCB jusqu'à l'entrée du LNA du circuit, sur la carte *Carte_SiP*. Une première mesure, à l'analyseur de réseau, sera faite sans le SiP et une seconde avec le SiP. Le résultat présenté illustrera tout d'abord les potentialités de la modélisation *BBS* qui génère un fichier de paramètres R,L,C avec des sources contrôlées décrivant le comportement des interconnexions. Ceci sera très utile lors de simulations temporelles. La conversion des résultats de mesures à l'analyseur de réseau dans l'espace temporel sera comparée à des mesures réalisées dans le domaine temporel grâce à la reflectométrie (TDR/TDT : *Time Domain Reflectometry - Time Domain Transmission*). Enfin, un modèle sera proposé reproduisant ces accès RF avec la charge représentant l'impédance d'entrée du circuit LNA du SiP.

Une simplification de la topologie du substrat PICS sera exposée ainsi que son insertion dans deux simulateurs électromagnétiques (ADS Momentum et Sonnet).

Le rôle du découplage sera souligné. Sa localisation au plus proche de la source est une des solutions de découplage favorisées par le substrat d'accueil PICS du SiP étudié. Nous comparerons diverses solutions de découplage (SMD et capacités PICS).

Enfin, une approche de co-simulation est mise en oeuvre. Elle est basée sur des simulation des différents blocs du système. L'avantage sera la possibilité de générer, au travers de simulations électromagnétiques, des multiports modélisant les différents niveaux du système. Les résultats de simulation permettront d'observer les possibilités de découplages et de proposer une optimisation des valeurs de capacité.

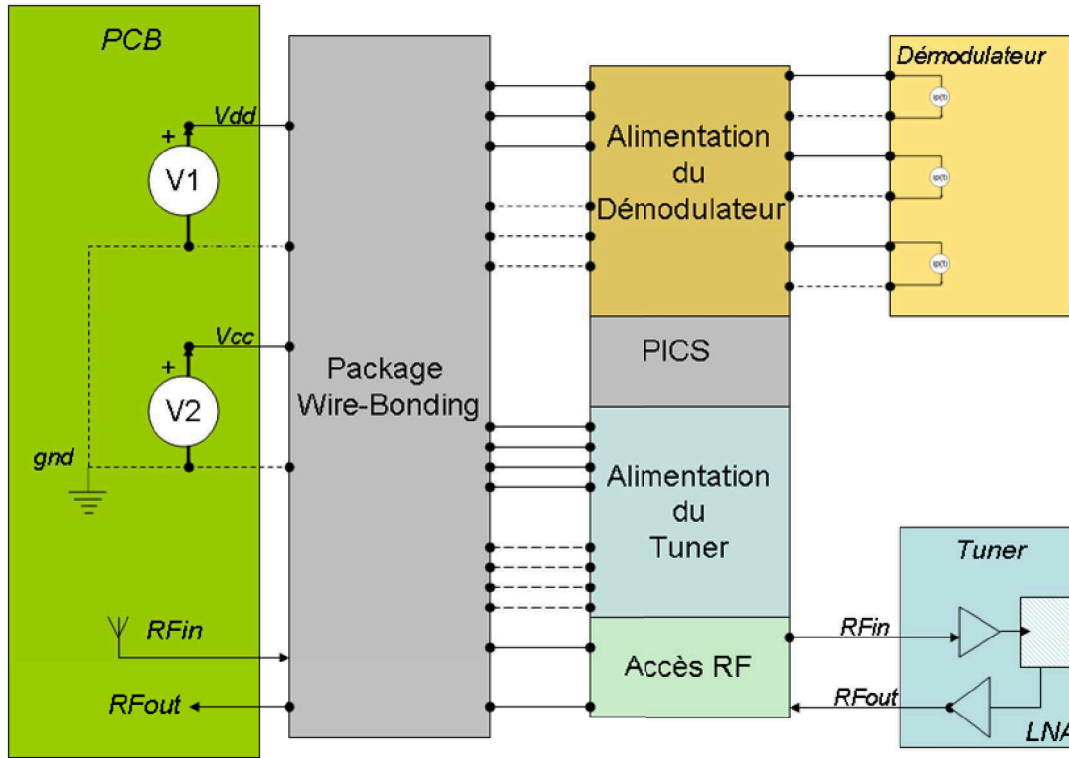


FIGURE 3.24: modèle mixte de SiP

La figure 3.24 présente le SiP partitionné, le partitionnement sélectionné est de type fonctionnel [6, 10, 11].

3.2.3.1 Présentation de l'interface graphique

Motivation L'estimation rapide, mais réaliste, de la puissance consommée permet une étude préliminaire réunissant les ingénieurs sur toutes les phases de conception du circuit et/ou du système. Ce support permet de jauger rapidement la puissance consommée par le circuit numérique et ainsi d'anticiper les étapes de conception et les stratégies d'optimisation du produit avant sa réalisation complète et physique. L'objectif est de réduire le nombre de modifications dans la conception du système. Pour la plupart des intervenants, l'expérience est issue des problèmes rencontrés et des solutions apportées à la suite d'essais et d'échecs successifs. Mais cette stratégie n'est pas systématique et les résultats ne sont pas toujours à la hauteur des attentes.

Cette phase de modélisation basée sur une approche analytique et semi-analytique, d'une part par la proposition d'un modèle global d'un système complexe, et par la présentation d'une interface graphique (GUI : *Graphique User Interface*) [2] permet de considérer rapidement les puissances statique et dynamique. Respectivement, celles-ci renseignent sur l'échauffement du circuit, et donc aident au choix du type d'interconnexion, et de mise en boîtier. L'approche dynamique permet de modéliser un profil de courant plus ou moins complexe aidant au choix de la répartition des alimentations, et du découplage.

Les travaux d'analyse de la puissance consommée et la proposition d'association de profils dynamiques de courants instantiables sous forme de modèles PWL ont permis de générer un support graphique favorisant la compréhension des divers phénomènes dus au fonctionnement du circuit. Ce support ne propose pas un modèle fidèle mais une estimation permettant de délimiter les marges d'activité des fonctions numériques du circuit.

L'outil propose d'aborder deux approches, la première que l'on nommera « 1-Conception Bas Niveau » et la seconde « 2-Conception Haut Niveau ».

1-Besoins « Conception Bas Niveau »

L'approche « Conception Bas Niveau » répond à plusieurs besoins :

- La budgétisation de la consommation statique et dynamique, afin de considérer une répartition et une segmentation efficaces des rails d'alimentation ; mais aussi afin d'isoler les alimentations susceptibles de véhiculer des perturbations agressives et de d'anticiper le besoin en découplage.
- Estimer l'activité en courant afin d'extraire un modèle *PWL* .
- Le dimensionnement du boîtier via un modèle de résistance thermique.

1-Avantages « Conception Bas Niveau »

Cette approche permet d'aborder la problématique de la consommation de puissance très en amont dans la conception du circuit ou du système, l'objectif est de limiter le nombre d'itération durant la phase de conception. Cette approche facilite aussi les éventuelles analyses de co-simulation et de *co-design*.

1-Inconvénients « Conception Bas Niveau »

L'estimation présente cependant un inconvénient majeur : beaucoup d'inconnues imposent de considérer cette approche avec précaution. D'autre part, elle est basée sur une analyse DC du comportement du circuit. L'approche dynamique est seulement considérée au travers d'une fréquence de travail global.

1-Résultats « Conception Bas Niveau »

L'estimation permet néanmoins d'anticiper un certain aspect du comportement dynamique et donc

d'extraire des tendances quant à la répartition des alimentations, la consommation de fonctions et l'énergie thermique mise en jeu. Ceci permet de prendre en compte au plus tôt dans la réalisation du circuit des règles simples de conception.

2-Besoins « Conception Haut Niveau »

Cette approche bénéficie d'un stade plus avancé de la conception du circuit, et d'autant plus qu'il s'agit de la conception d'un système, car les informations peuvent être multiples. En effet, l'insertion de plusieurs circuits pré-existants dans un même boîtier permet de réunir beaucoup d'informations (technologiques, *datasheet*,...) déjà disponibles. Dans ce cas :

- La consommation statique et dynamique peut être extraite avec précision et la définition d'un profil d'activité peut être élaboré de manière plus précise. De ce fait, le dimensionnement du boîtier, l'optimisation du découplage et le choix des interconnexions peuvent alors être estimés avec plus de précision. Concernant le choix des interconnexions, on sait que les fils de bonding favorisent plus les couplages contrairement aux bumps, mais la présence de bumps peut nécessiter la présence d'une couche de redistribution (*RDL*). D'autre part, le nombre d'entrées-sorties peut lui aussi avoir un impact sur ces considérations.

2-Avantages « Conception Haut Niveau »

L'approche « Conception Haut Niveau » permet d'amorcer les considérations de *co-design*. Les différents niveaux d'interconnexions, d'alimentations, mais aussi les différents types de technologies insérés dans le système rendent complexe l'analyse globale.

2-Inconvénients « Conception Haut Niveau »

Cependant cette approche est vite limitée face au niveau de complexité des systèmes actuels.

2-Résultats « Conception Haut Niveau »

L'approche « Conception Haut Niveau » permet de considérer un niveau plus élaboré dans le choix des interconnexions, et du découplage.

Nous allons maintenant présenter l'interface utilisateur qui exploite, en fonction de paramètres technologiques, les calculs analytiques et semi-analytiques présentés précédemment dans le chapitre 2 page 75.

Support de calcul Ce support se présente sous la forme d'un formulaire Excel dans lequel l'ingénieur est invité à entrer les paramètres de son circuit. Ce formulaire est programmé en VBA (*Visual Basic for Applications*) [8]. Le support fonctionne comme suit :

- Une interface graphique oriente l'utilisateur dans sa progression : chaque action active l'accès à une nouvelle commande jusqu'au résultat.

- En tâche de fond, chaque action de l'utilisateur fait appel à diverses sources d'information et de calcul afin de répondre aux requêtes de l'utilisateur.

La figure 3.25 présente d'abord le premier feuillet du formulaire, qui introduit l'outil.



FIGURE 3.25: Interface graphique de l'Estimateur

Ce feuillet résume rapidement les spécifications détaillées précédemment. Une fois que l'utilisateur a validé cette étape, un second onglet apparaît, illustré et détaillé dans la figure 3.26.

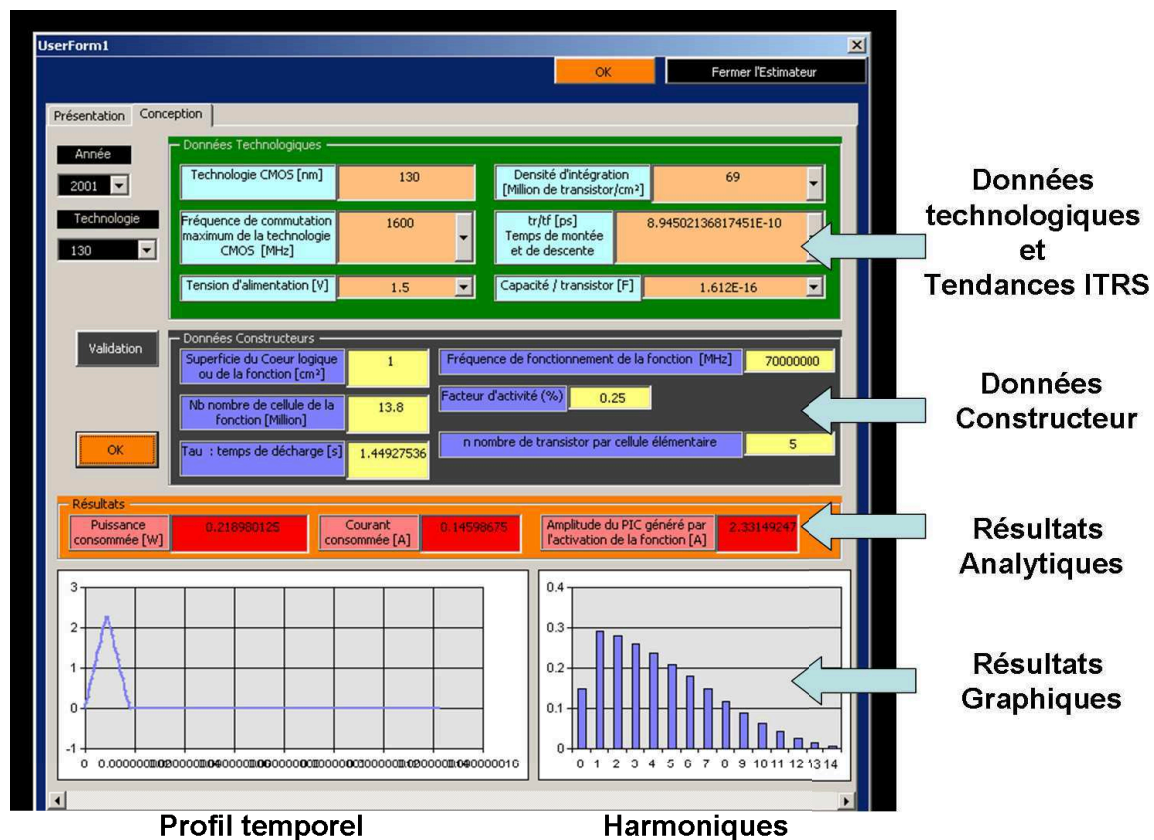


FIGURE 3.26: Interface graphique de l'analyse semi-analytique de l'Estimateur

L'interface s'aborde en quatre étapes :

- **Etape 1** : l'utilisateur choisi la technologie correspondant à sa fonction, voir figure 3.27. Automatiquement, les champs « Données Constructeurs et Tendances ITRS » se remplissent en fonction des choix effectués (*ITRS* : *International Technology Roadmap for Semiconductors*).

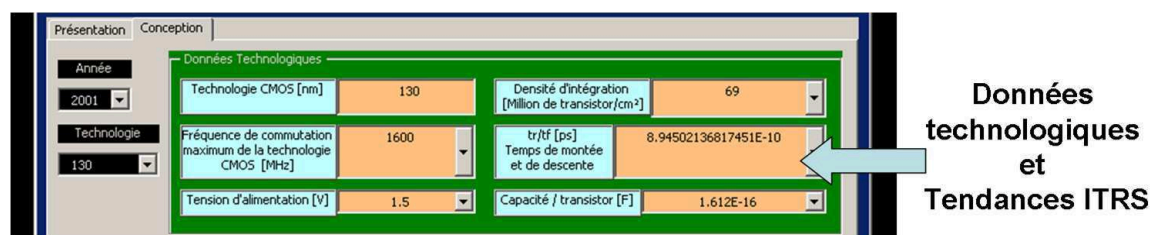


FIGURE 3.27: Interface graphique de l'analyse semi-analytique de l'Estimateur

Ces champs sont :

- Types de technologies CMOS choisies,
- Fréquence de commutation maximale,
- Tension d'alimentation nominale,
- Densité d'intégration,

- Temps de montée et de descente,
- Capacité par transistor.

Toutes ces informations sont extraites des tendances proposées par l'ITRS et sont stockées dans une base de données. Les temps de montée et de descente (τ) sont considérés égaux, sans perte de généralité. Ils sont extraits à partir de la fréquence de commutation maximale f_{sw} et d'un facteur multiplicateur s_n dépendant du niveau d'échelle du transistor NMOS ou PMOS. Le paramètre s_n est donné par la formule 3.1 :

$$s_n = \frac{2 \cdot (V_t - V_o)}{V_{dd} - V_t} + \ln \left(\frac{2 \cdot (V_{dd} - V_t)}{V_o} - 1 \right) \quad (3.1)$$

V_t est la tension de seuil du transistor, V_o correspond au niveau bas de la transition soit 10% de V_{dd} . Ainsi dans ce cas, nous considérerons le temps de transition du niveau logique '1' vers le niveau logique '0' comme temps de référence pour définir les temps de transition t_r et t_f . Dans ce cas la valeur de τ est obtenue par la formule 3.2 :

$$\tau = \frac{s_n}{f_{sw}} \quad (3.2)$$

- **Etape 2 :** La partie 2 de l'interface, voir figure 3.28, laisse le soin à l'utilisateur de préciser et d'implémenter les informations dont il dispose. Tout d'abord la superficie du circuit peut être fournie, elle permettra d'estimer le nombre de transistors présents dans un éventuel coeur logique. L'estimateur le renseigne alors sur le nombre de cellules élémentaires Nb présentes dans le bloc analysé, en fonction d'un nombre moyen n de transistors par cellule. Un autre paramètre est instanciable, il s'agit de α qui peut être modifié. Ce paramètre a un rôle important dans l'estimation de la consommation, il est évalué de manière statistique, car il est très difficile d'en définir précisément la valeur. Enfin, la fréquence de fonctionnement du bloc f est demandée afin de pouvoir mettre en oeuvre le calcul de la puissance.

Données Constructeurs	
Superficie du Coeur logique ou de la fonction [cm²]	1
Nb nombre de cellule de la fonction [Million]	13.8
Tau : temps de décharge [s]	1.44927536
Fréquence de fonctionnement de la fonction [MHz]	70000000
Facteur d'activité (%)	0.25
n nombre de transistor par cellule élémentaire	5

Données Constructeur

FIGURE 3.28: Interface graphique de l'analyse semi-analytique de l'Estimateur

- **Etape 3 :** La puissance est décrite par l'équation 2.13 page 88 :

$$P_{commutation}^{circuit} = \frac{1}{2} * V_{moy}^2 * C_{load} * n * f * Nb * \alpha \quad (3.3)$$

Ensuite, le courant consommé, défini à partir de la puissance calculée et du niveau d'alimentation, va

permettre de définir l'amplitude du pic de courant appelé lors de l'activation du bloc ou de la fonction.



FIGURE 3.29: Interface graphique de l'analyse semi-analytique de l'Estimateur

Les paramètres amplitude du pic de courant, temps de montée et de descente (τ), rapport cyclique ($\frac{2*\tau+w}{T}$) et période de fonctionnement (T) sont alors utilisés pour définir les composantes harmoniques du profil.

-Etape 4 : En faisant varier la valeur des paramètres du modèle générique, il est donc possible de reproduire un profil triangulaire, un profil trapézoïdal, ou un profil carré. La figure 3.30 présente l'allure d'un pic de courant généré par l'interface.

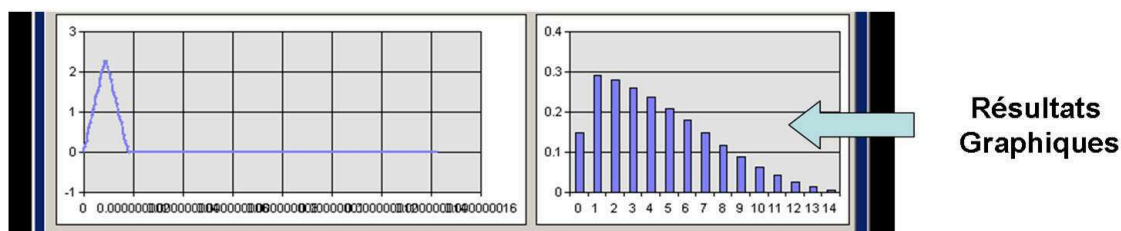


FIGURE 3.30: Interface graphique de l'analyse semi-analytique de l'Estimateur

La figure 3.31 présente le feuillet Excel qui calcule les harmoniques c_n et reproduit par la suite le profil dans l'espace temporel. Ce feuillet n'apparaît pas via l'interface, mais il est accessible à l'utilisateur.

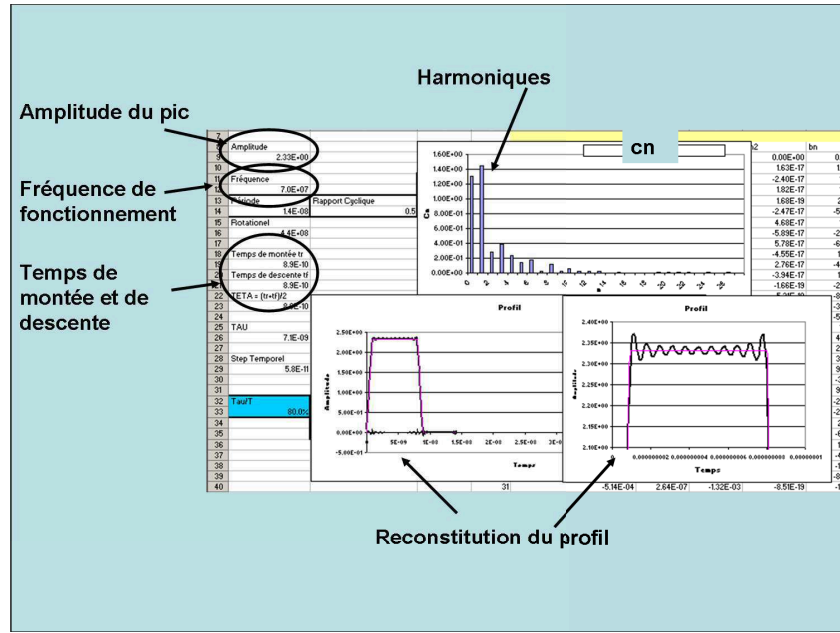


Figure 3.31: Calcul et Génération du profil d'activité

Cette figure présente tout d'abord les paramètres qui sont instantiés automatiquement lorsque l'utilisateur sélectionne et valide les paramètres d'une fonction dans l'interface utilisateur. Le profil généré peut être observé et zoomé. Sur la partie zoomée du profil, on distingue deux courbes, la courbe présentant des oscillations est le profil défini à partir des composantes harmoniques c_n issues des caractéristiques technologies du bloc étudié via l'interface utilisateur. La courbe située en dessous du profil reconstitué est un profil idéal, ne présentant aucune discontinuité. La comparaison entre les deux profils permet d'estimer le taux d'erreur. Ce taux d'erreur optimal est défini à partir de deux valeurs. La première est l'erreur moyenne définie par l'équation 3.4 :

$$\epsilon = \frac{\sum_n^N |x_{profil-idéal}(n) - x_{profil-estimé}(n)|}{\sum_n^N |x_{profil-idéal}(n)|} \quad (3.4)$$

L'autre valeur d'erreur correspond à l'écart maximum entre les deux profils. Le critère permettant d'estimer un profil suffisamment fin est décrit en fonction du nombre d'harmoniques, ainsi le profil obtenu présente peu ou pas d'oscillations dues aux discontinuités. La figure 3.32 présente les deux critères d'erreur tracés en fonction du nombre d'harmoniques.

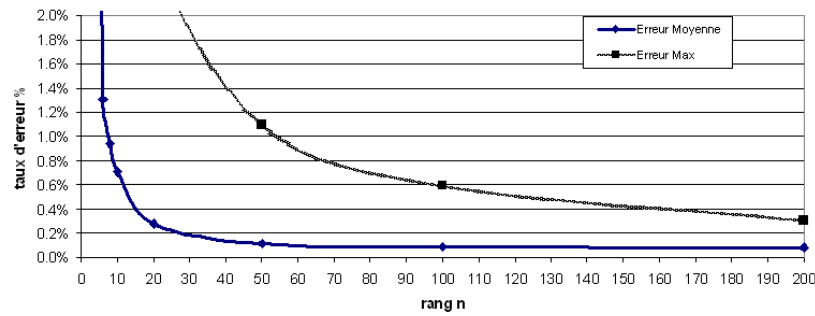


Figure 3.32: Courbes d'erreur moyenne et maximum

La notion d'estimation est une considération intéressante lorsque le rôle d'un tel outil permet d'appréhender le comportement d'une fonction dans son environnement, d'autant plus que le comportement de cette fonction, cumulée à d'autres fonctions numériques, peut différer du comportement du circuit seul dans son boîtier. Nous avons présenté dans cette section les prémisses d'un outil d'aide à la conception permettant de répondre à une partie des besoins exprimés dans les approches «Conception Bas Niveau» et «Conception Haut Niveau».

3.3 Analyses, Validations et Corrélations Expérimentales

Les résultats extraits par la mesure sont soumis à plusieurs contraintes matérielles importantes qui peuvent altérer l'allure des signaux mesurés et échantillonnés par l'appareillage :

- Un choix d'échantillonnage de mesure, dont le pas est décrit par Δt , peut atténuer la forme du courant temporel ainsi que la réponse fréquentielle qui pourrait en être extraite ; il en est de même dans l'espace fréquentiel avec le pas Δf . Il est nécessaire de trouver un équilibre entre le nombre de points de l'acquisition de la mesure et l'analyse du signal avec un outil logiciel (Matlab [12], Mathematica [13], Scilab [14]...) afin de conserver précision et temps d'analyse (Théorème de Shannon), dans notre cas nous avons principalement utilisé Matlab ;
- La limitation de la bande passante causée par le matériel lui même (pointes, câbles, analyseurs,...) ;
- Une mauvaise isolation des masses provoque l'apparition de signaux perturbants sur tout le spectre (fréquence EDF à 50Hz, installation hospitalière, usine, ...).

3.3.1 Analyse de l'activité du circuit numérique

La phase de mesure se décline en deux parties : une mesure à l'aide d'un ampèremètre qui permet le relevé de la tension ou du courant efficace ; la seconde mesure est effectuée sur une carte appropriée et

permet de relever la tension dynamique à l'aide d'une sonde active aux bornes d'une résistance placée sur l'alimentation du circuit. L'environnement d'activation de la carte est décrit par la figure 3.33 :

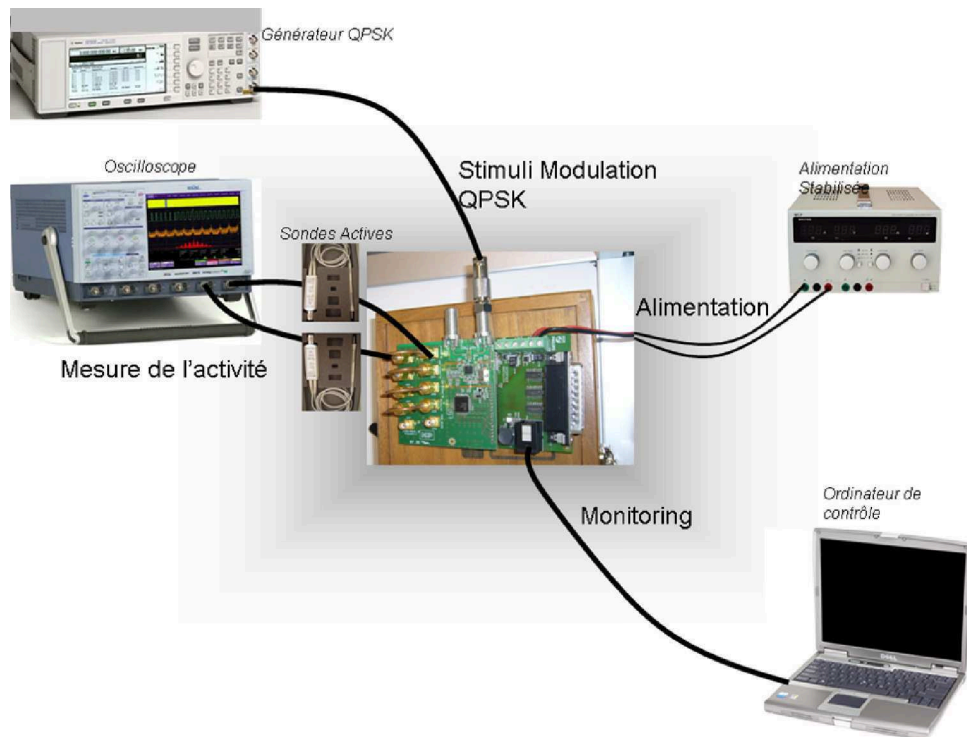


FIGURE 3.33: Banc de mesure

L'activation du système total est effectuée grâce à un générateur de signaux QPSK qui injecte dans le tuner un flot de données aléatoires, ce qui peut ne pas activer totalement le système et donc le circuit numérique et ses fonctions. Dans la réalité les informations transmises sont entrelacées grâce à un algorithme d'entrelacement dit « pseudo-aléatoire » et lues dans un ordre quasi-aléatoire. C'est la nature même des informations transmises qui peut avoir un effet sur la consommation du circuit. De ce fait, certaines valeurs peuvent différer à cause de ces paramètres.

L'extraction du courant issu de la mesure est obtenue à partir du protocole présenté ci-dessous :

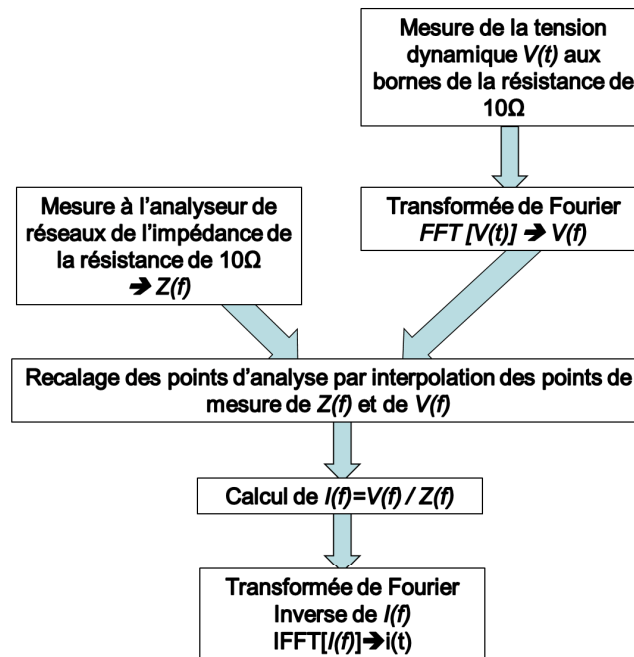


FIGURE 3.34: Extraction du courant à partir de la mesure

Ce protocole de mesure est issu de la méthodologie d'extraction ICEM-Modelling. Les mesures de tension et d'impédance sont réalisées sur les cartes de mesure *Carte_CI* et *Carte_SiP*. Lorsque la conversion dans l'espace fréquentiel de la mesure de tension est réalisée, une interpolation est effectuée de façon à obtenir les valeurs d'impédance $Z(f)$ et de tension $V(f)$ aux mêmes points de fréquence. Enfin le courant $I(f)$ est extrait puis converti dans l'espace temporel.

Concernant les caractéristiques des transformées de Fourier et des transformées inverses de Fourier, le nombre de points correspond au nombre de points maximum autorisé par l'analyseur de réseau.

Résistance de mesure Afin de pouvoir analyser l'effet de cette résistance sur la mesure, celle-ci a été soudée sur un SMA et mesurée à l'analyseur de réseau. La mesure fournit un paramètre, S11. A partir de cette donnée, un modèle de la résistance est proposé par la figure 3.35.

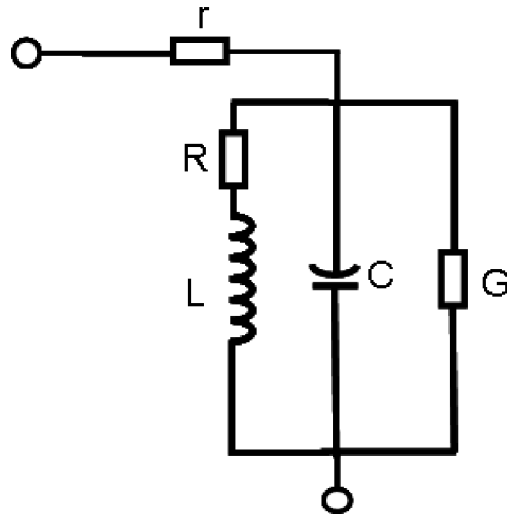


FIGURE 3.35: Modèle électrique de la résistance

Les deux composantes, réelle et imaginaire, du modèle et de l'impédance mesurée de la résistance sont présentées et comparées au modèle extrait. Les figures 3.36 et 3.37 présentent la corrélation obtenue.

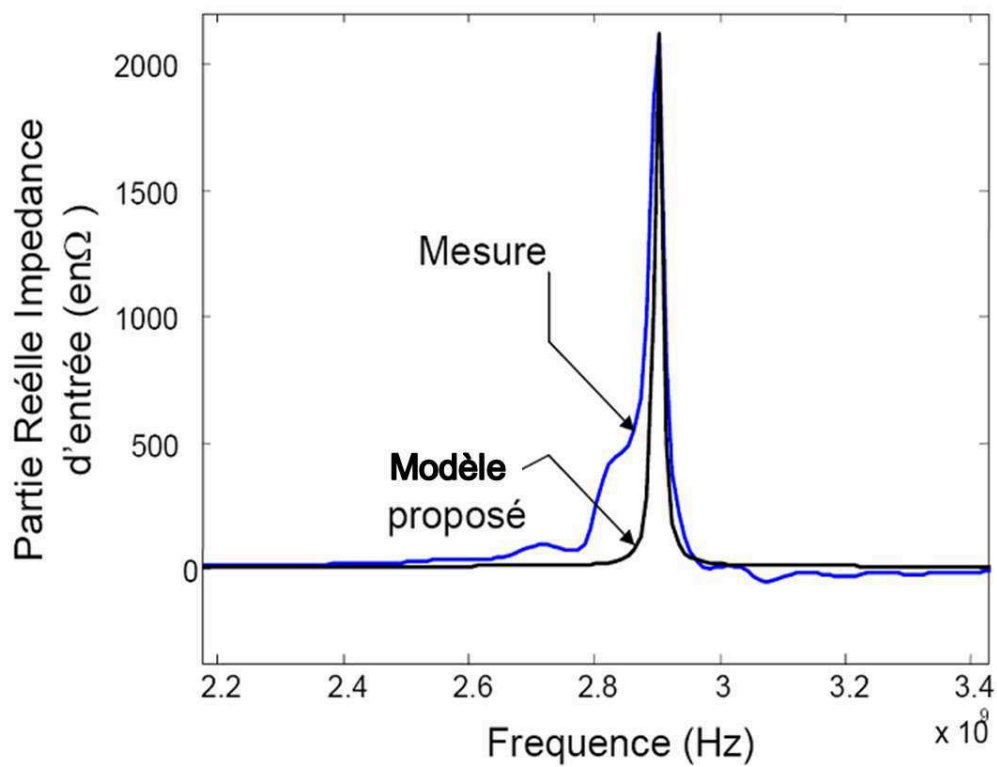


FIGURE 3.36: Partie Réelle : Corrélation mesure et modèle proposé de la résistance

On remarque sur la figure 3.36 l'apparition d'une résonance très importante à $2,9GHz$. Nous avons volontairement centré cette figure autour de la résonance. On observe la partie imaginaire sur l'ensemble

de la plage de mesure, illustrée par la figure 3.37.

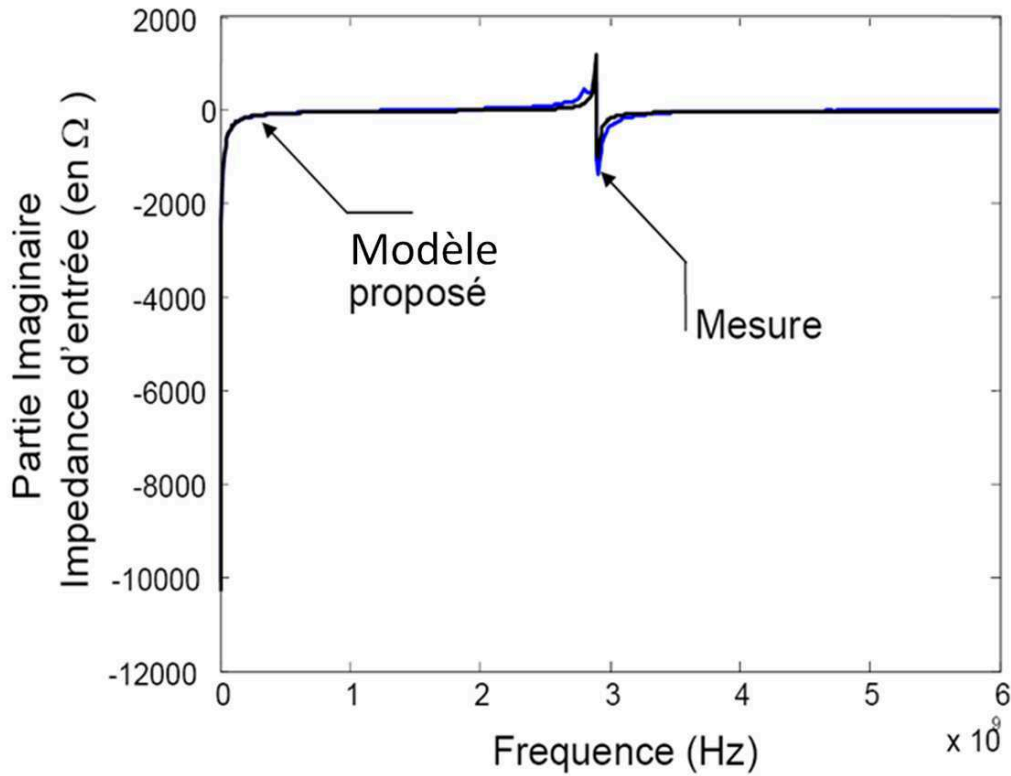


FIGURE 3.37: Partie Imaginaire : Corrélation mesure et modèle proposé de résistance

Les valeurs obtenues de cette extraction et composant le modèle sont les suivantes :

$$r = 10\Omega, R = 0,11\Omega, L = 583,56pH, C = 5,16pF \text{ et } G = 410\mu S$$

Ce modèle d'impédance est utilisé pour l'extraction des différentes valeurs de courant du coeur et des entrées sorties.

Précisions concernant les mesures de l'activité du coeur et des entrées-sorties Le signal RF modulé en QPSK qui est injecté dans le système est un signal aléatoire, qui nous le verrons a un effet sur la consommation du système. Nous avons conservé pour chacune des mesures qui vont être proposées le même environnement d'activation, en laissant à chaque fois le système sous tension quelques minutes avant d'intervenir.

Chaque mesure de tension est effectuée aux bornes de la résistance située sur l'alimentation considérée. Les résultats de cette mesure fournissent l'allure de l'activité sur l'alimentation. Nous considérerons que cette activité est l'image de celle de la fonction numérique. Ainsi, pour chaque résultat de mesure, on multiplie par 10 le résultat pour annuler l'atténuation due à la sonde, ensuite nous y ajouterons la valeur du niveau d'alimentation (1,8V ou 3,3V).

Concernant l'analyse dans le domaine fréquentiel, la transformée de Fourier est obtenue à partir du même nombre d'échantillon décrivant la mesure. A partir de ce nombre de points et du pas d'échantillonnage fixé par l'appareil de mesure, l'axe des fréquences est recalculé, permettant ainsi de situer le spectre sur une échelle de fréquence réelle.

3.3.1.1 Mesures effectuées sur l'alimentation (1.8V) du coeur numérique

Mesure statique du courant consommé à l'ampèremètre La mesure de courant moyen est tout d'abord effectuée sur la carte *Carte_SiP*, illustrée figure 3.38 à l'aide d'un ampèremètre.

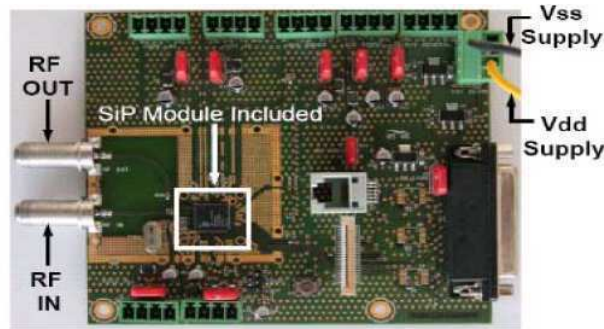


FIGURE 3.38: Carte de mesure sur le SiP

Le résultat de cette mesure donne la valeur de courant consommé : $I_{\text{Ampèremètre-COEUR}} = 68mA$.

Cette mesure englobe le fonctionnement des blocs suivants :

- Coeur Numérique
- Mémoires
- Quartz
- PLL 1&2

D'après les données de consommation de courant fournies par le constructeur, le courant consommé par le coeur et les mémoires ($80mA$) est très supérieur à la consommation des PLLs ($1mA$) et du quartz ($1,12mA$). Le courant mesuré à $68mA$ peut donc être considéré comme essentiellement celui de l'ensemble coeur et mémoires. Ainsi, selon la formule 3.5, la puissance consommée est égale à :

$$P_{\text{Ampèremètre-COEUR}} = 1,8 * 0,068 = 122,4mW \quad (3.5)$$

Mesure dynamique du courant consommé à l'oscilloscope La mesure est effectuée sur la carte *Carte_IC* dont les alimentations ont été segmentées. La figure 3.39 présente l'allure de la tension mesurée.

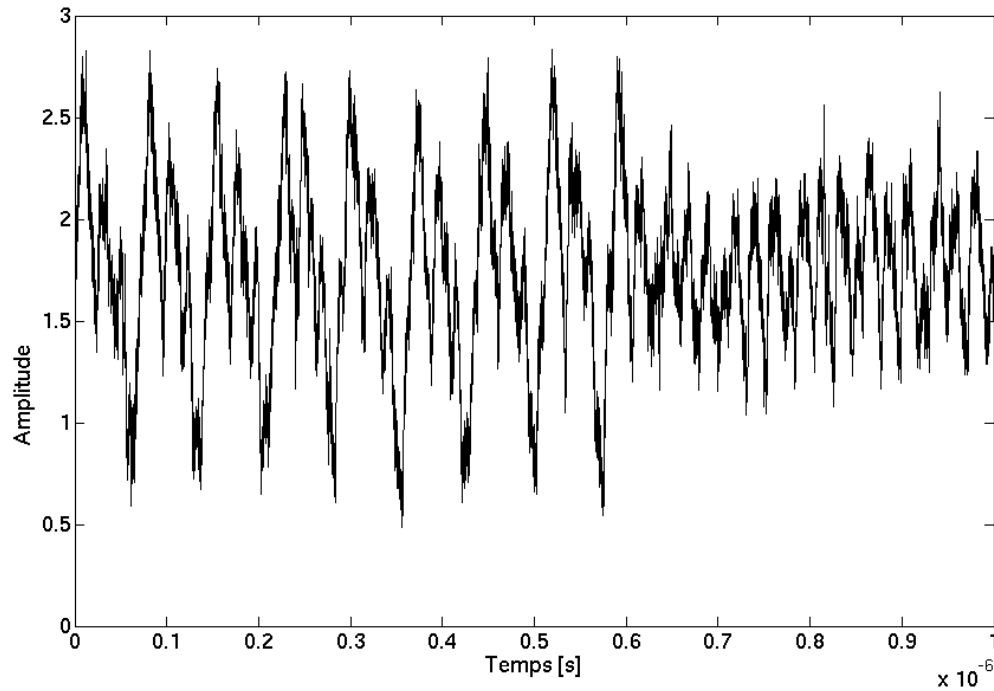


FIGURE 3.39: Amplitude de la tension mesurée sur l'alimentation du coeur numérique

Cette courbe illustre l'impact de l'activité du coeur sur le niveau de la tension d'alimentation ; celui-ci fluctue et subit la cadence des commutations du coeur digital. La consommation de courant au niveau du coeur combiné à l'influence des rails d'alimentation et des interconnexions du PCB, du boîtier du circuit numérique, des *wire-bonding* et du réseau passif du coeur génèrent de violentes perturbations. Lors de cette mesure, les capacités de découplages ont été supprimées entre le point de mesure et le circuit, ce qui nous permet d'observer les effets de *Voltage Drop* qui imposent au circuit de pic de tension de l'ordre de $1V$.

La tension mesurée est transformée dans l'espace fréquentiel. Les figures suivantes présentent les spectres de la partie réelle (figure 3.40) et de la partie imaginaire (figure 3.41) de la tension dynamique du coeur mesurée aux bornes de la résistance de 10Ω .

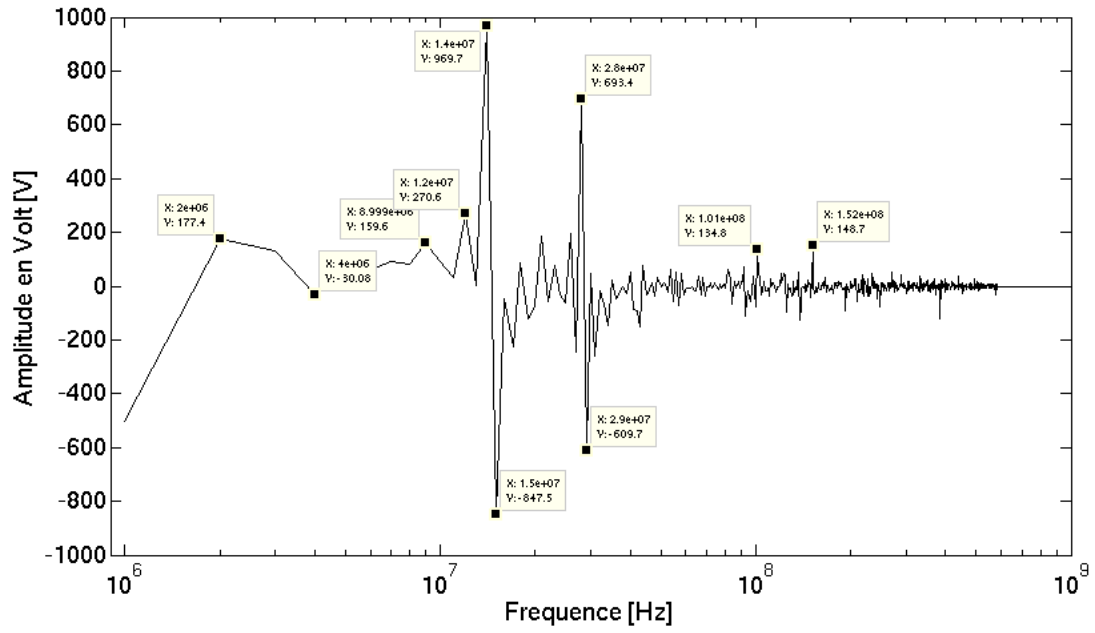


FIGURE 3.40: Partie Réelle : Spectre de la tension dynamique du coeur

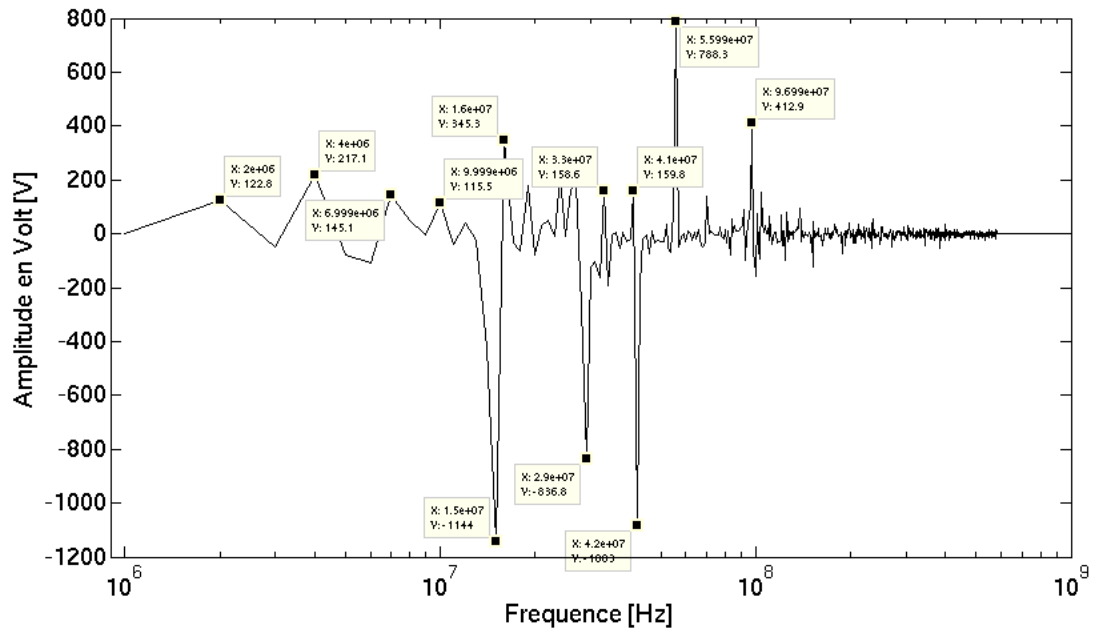


FIGURE 3.41: Partie Imaginaire : Spectre de la tension dynamique du coeur mesurée

Les composantes du spectre de la tension du coeur présentent une activité importante et principalement dans la bande de fréquence de 10MHz à 100MHz . Les figures 3.40 et 3.41 illustrent une

hypothèse forte, celle d'un fonctionnement multiple, et donc souligne la difficulté de définir une fréquence de fonctionnement précise, ne serait-ce que pour un seul bloc. La description de la chaîne de transmission QPSK (section 4.4 page 239) présente l'ensemble des fonctions composant le coeur numérique, auquel il faut associer d'autres fonctions internes alimentées par la même source de tension (alimentation numérique des ADC, mémoires).

L'allure des spectres, partie réelle (figure 3.42) et partie imaginaire (figure 3.43), du courant extrait à partir de l'impédance de la résistance de 10Ω est présentée.

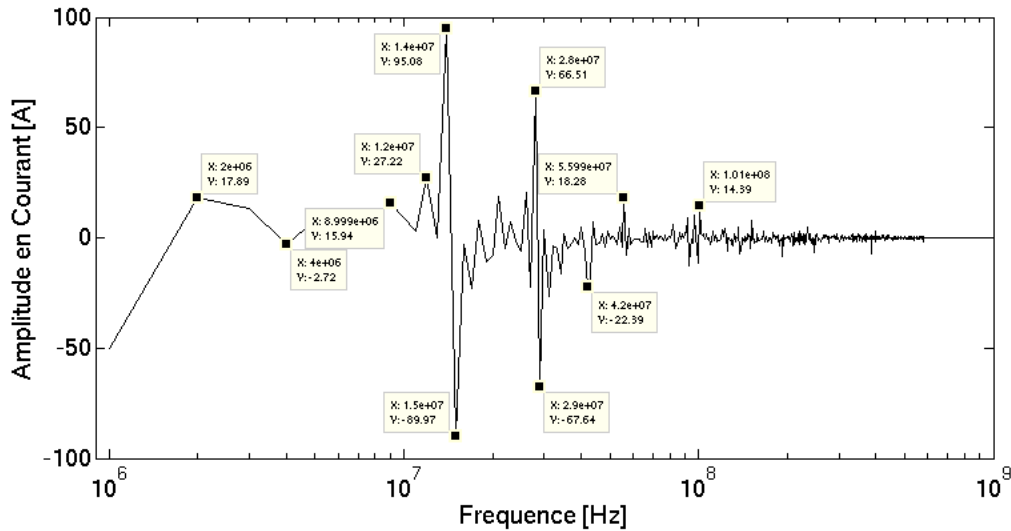


FIGURE 3.42: Partie Réelle : Spectre du courant extrait depuis la mesure

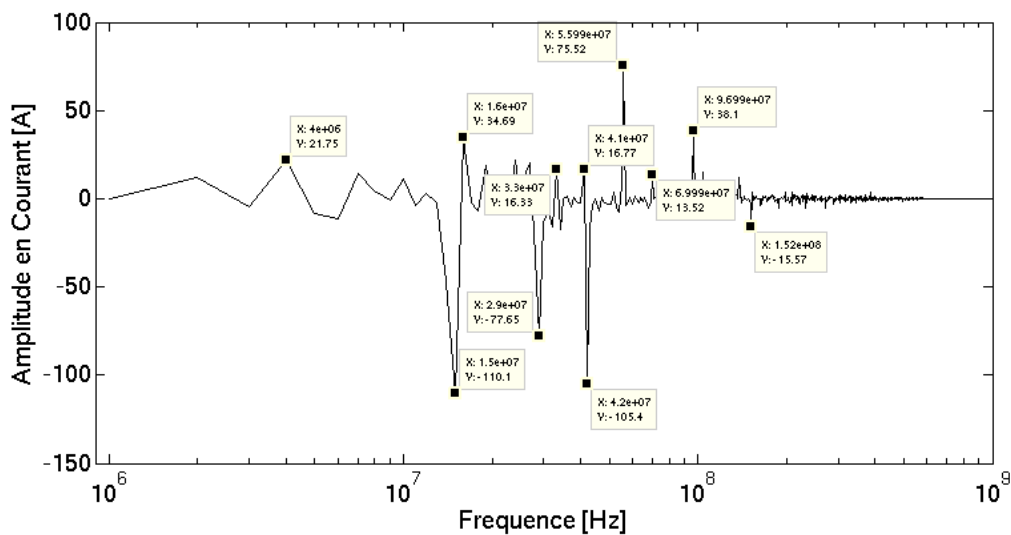


FIGURE 3.43: Partie Imaginaire : Spectre du courant extrait depuis la mesure

Le spectre du courant présente des harmoniques aux mêmes fréquences que la tension.

Le spectre du courant du coeur présenté ci-dessus renseigne sur l'énergie transportée par le signal pour chacune des fréquences. La figure 3.44 illustre le module du courant dynamique.

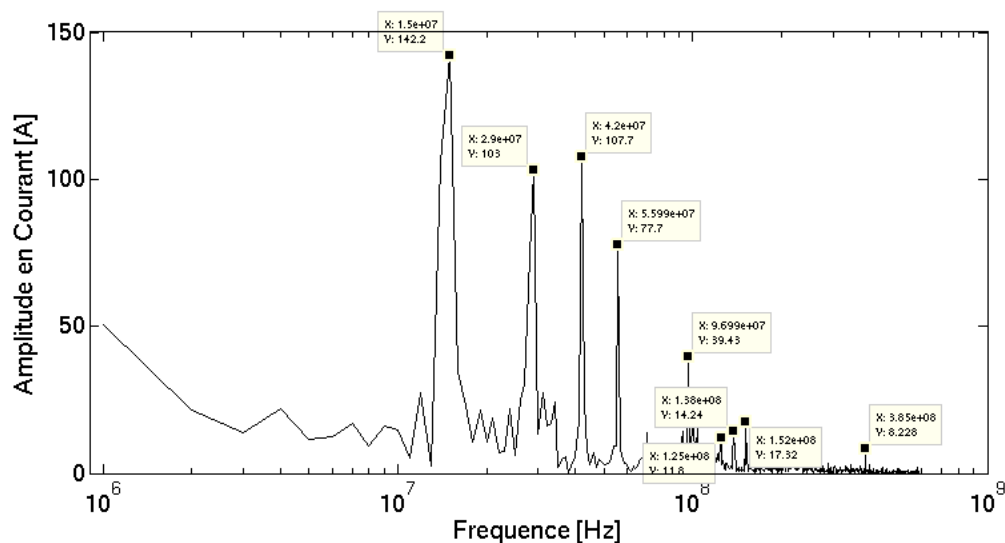


FIGURE 3.44: Module : Spectre du courant du coeur mesuré

La transformée de Fourier inverse va permettre d'obtenir l'allure du courant dans l'espace temporel, figures 3.46 et 3.45.

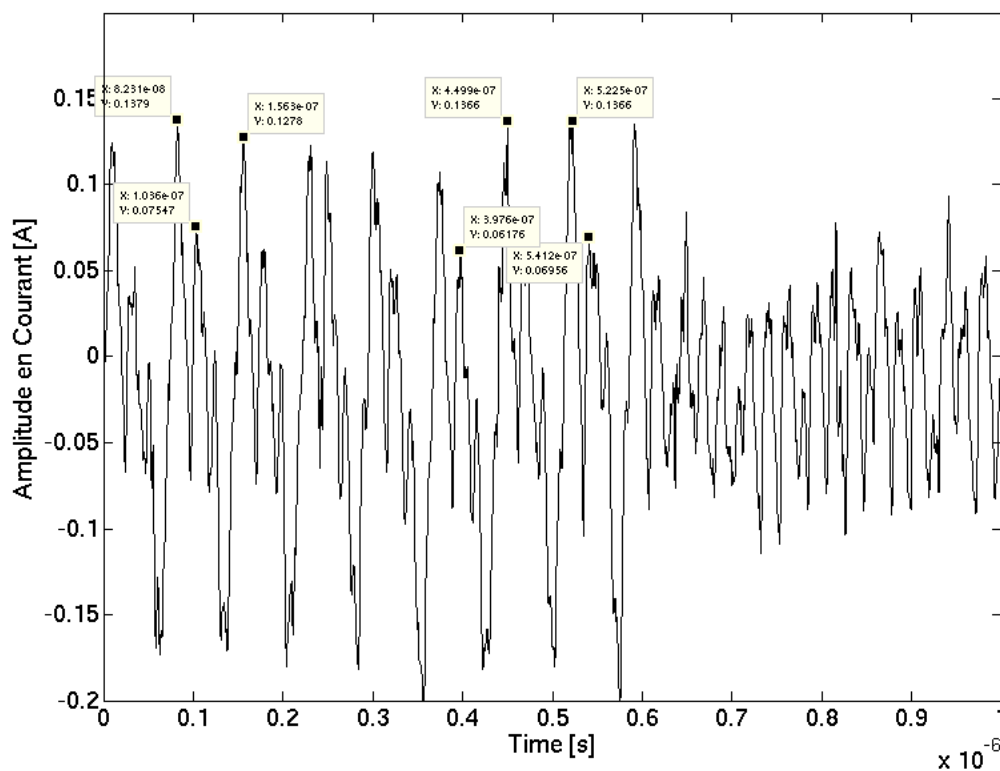


FIGURE 3.45: Partie réelle : Courant de coeur consommé

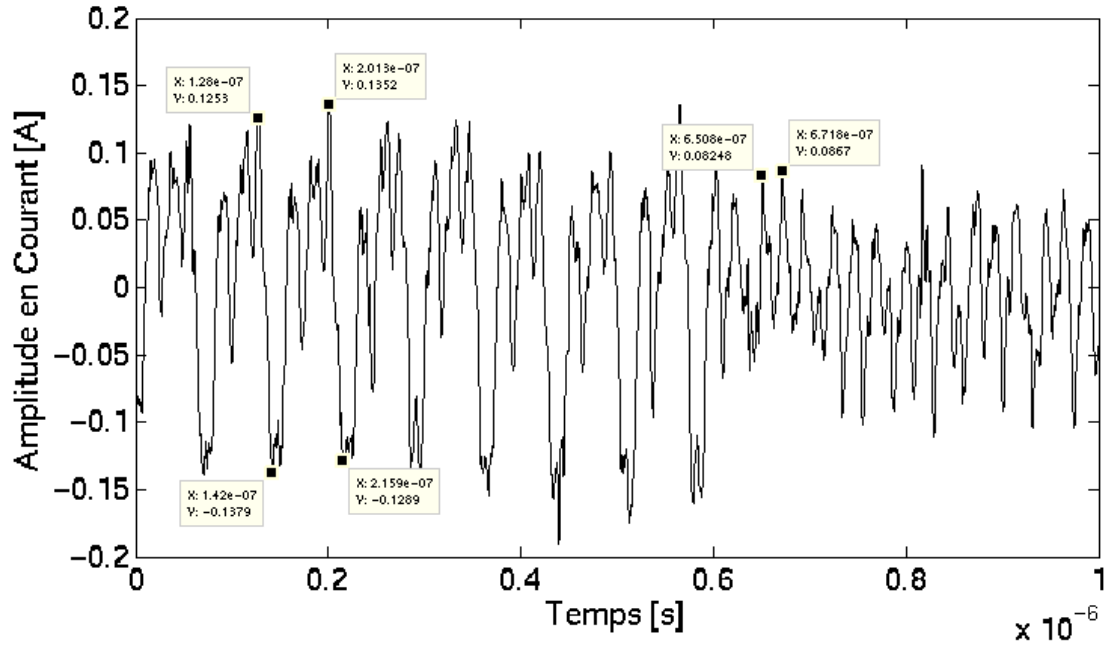


FIGURE 3.46: Partie Imaginaire : Courant de coeur consommé

L'allure du courant $i(t)$ présente des impulsions de courant de l'ordre de $150mA$.

Les valeurs moyennes calculées à partir des mesures de la tension et du courant extrait, fournissent les valeurs suivantes :

$$I_{Oscilloscope-COEUR} = 68.72mA$$

$$V_{Oscilloscope-COEUR} = 1.75V$$

3.3.1.2 Mesures effectuées sur l'alimentation (3.3V) des Entrées-Sorties (Buffer)

Mesure statique du courant consommé à l'ampèremètre La mesure est effectuée dans les mêmes conditions sur l'alimentation 3,3V. Le résultat de cette mesure en continu fournit une valeur de : $I_{Ampèremètre-ADCs-E/S} = 115mA$. Malgré le fait que les conditions d'excitation du système SiP ne soient pas considérées nominales, le résultat est proche des données du constructeur soit $I_{Spec-ADCs-E/S} = 125mA$. La mesure de courant à l'ampèremètre sur cette carte ne permet pas de relever plus d'informations; ceci est dû au fait qu'au sein du SiP, les alimentations sont interconnectées sur le substrat PICS. En effet, l'alimentation 3.3V est commune à l'alimentation analogique des deux convertisseurs

et à l'alimentation des entrées-sorties. Les spécifications du fournisseur indiquent que les convertisseurs ont une consommation respective de $50mA$, soit de $100mA$ au total. Ainsi, selon le constructeur, les entrées-sorties consomment environ $I_{Spec-E/S} = 25mA$. Les informations fournies sont aussi issues de mesures. Les moyens d'activation, c'est-à-dire les stimuli injectés en entrée et les niveaux d'alimentations sont des facteurs qui influent sur la consommation de ces fonctions. On peut estimer que le ratio de consommation, à peu près de 92% entre la specification ($125mA$) et la mesure ($115mA$), peut être appliqué aux $25mA$ de consommation des entrées-sorties, soit en proportion :

$$I_{Oscilloscope-E/S} = \frac{I_{Ampèremètre-ADCs-E/S}}{I_{Spec-ADCs-E/S}} * I_{spec-E/S} = \frac{115}{125} * 25 = 23mA \quad (3.6)$$

La puissance consommée est décrite par la formule 3.7 :

$$P_{Ampèremètre-E/S} = 0.023 * 3.3 = 76mW \quad (3.7)$$

Mesure dynamique du courant consommé à l'oscilloscope La figure 3.47 présente l'allure de la tension mesurée de l'alimentation des entrées-sorties, à $3,3V$.

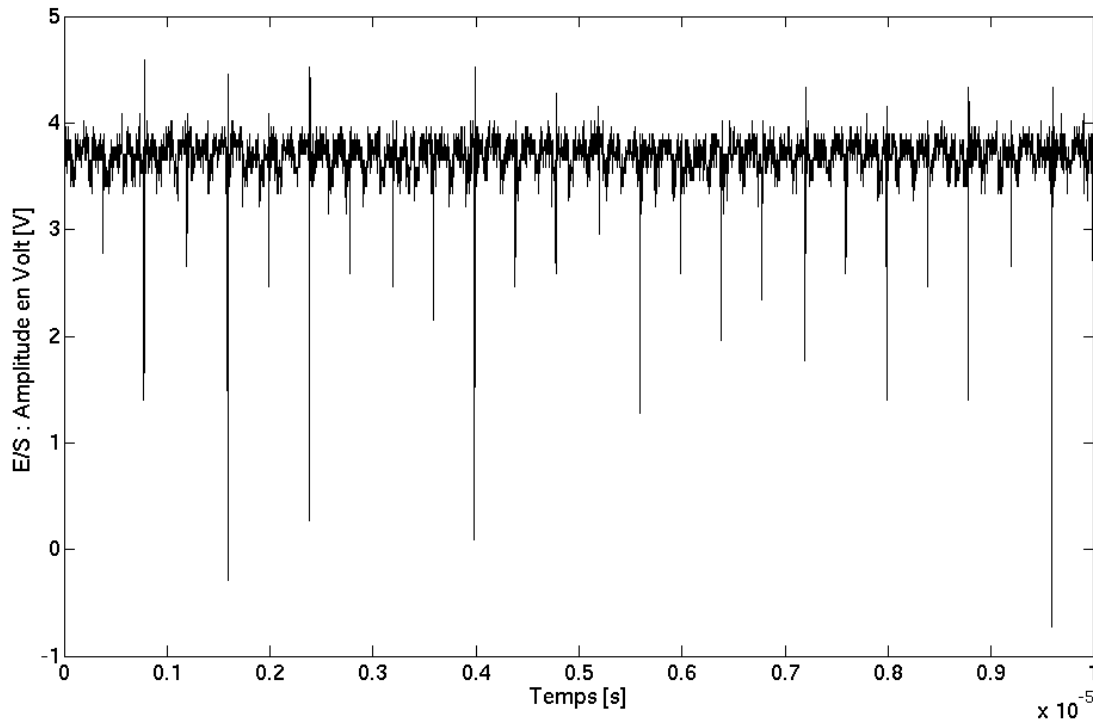


FIGURE 3.47: Amplitude de la tension mesurée sur l'alimentation des entrées-sorties (E/S)

Cette courbe présente de fortes impulsions sur l'alimentation des entrées-sorties. Comme il a été

introduit dans la partie théorique, décrivant les buffers, ils sont choisis en fonction du courant qu'ils peuvent conduire. L'activation de plusieurs d'entre eux simultanément produit des effets perturbateurs violents (SSO). Leur dimensionnement et leur nombre sont soumis à des règles de conception qui permettent de limiter les effets transitoires sur les alimentations.

La tension mesurée est transformée dans l'espace fréquentiel. Les figures suivantes présentent, successivement, la partie réelle (figure 3.48) et la partie imaginaire (figure 3.49) des spectres de la tension dynamique des entrées-sorties.

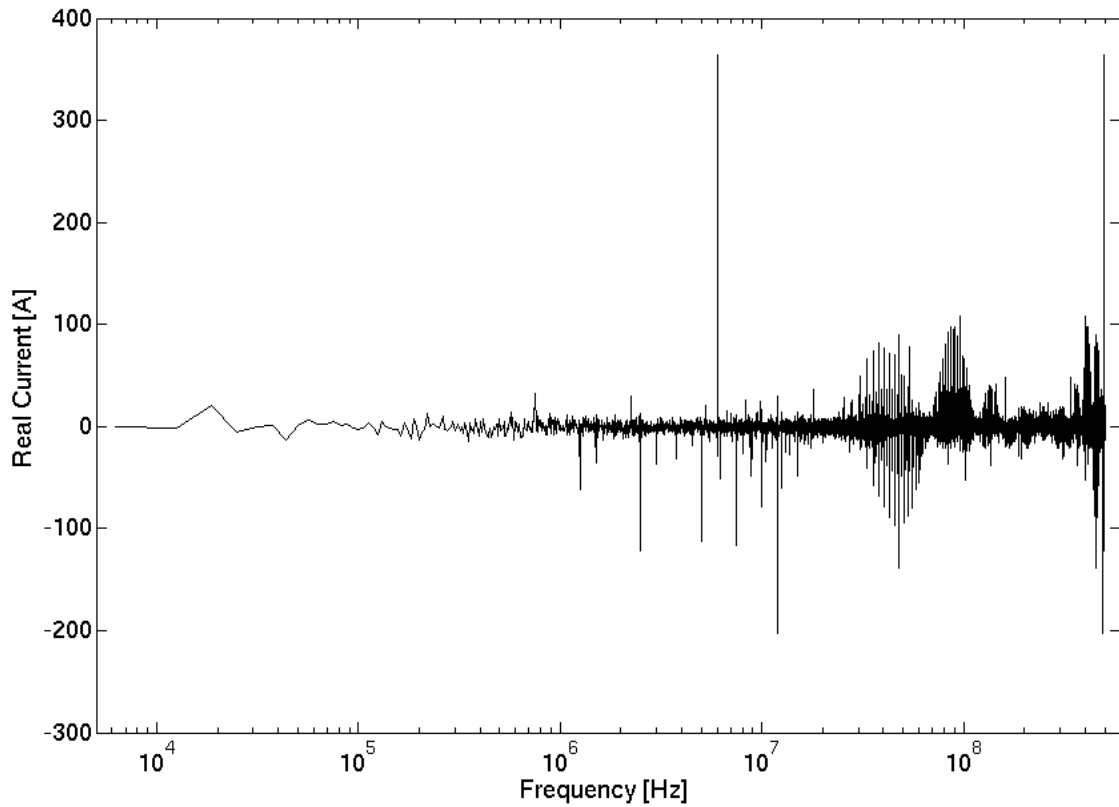


FIGURE 3.48: Partie Réelle : Spectre de la tension dynamique des E/S mesurée

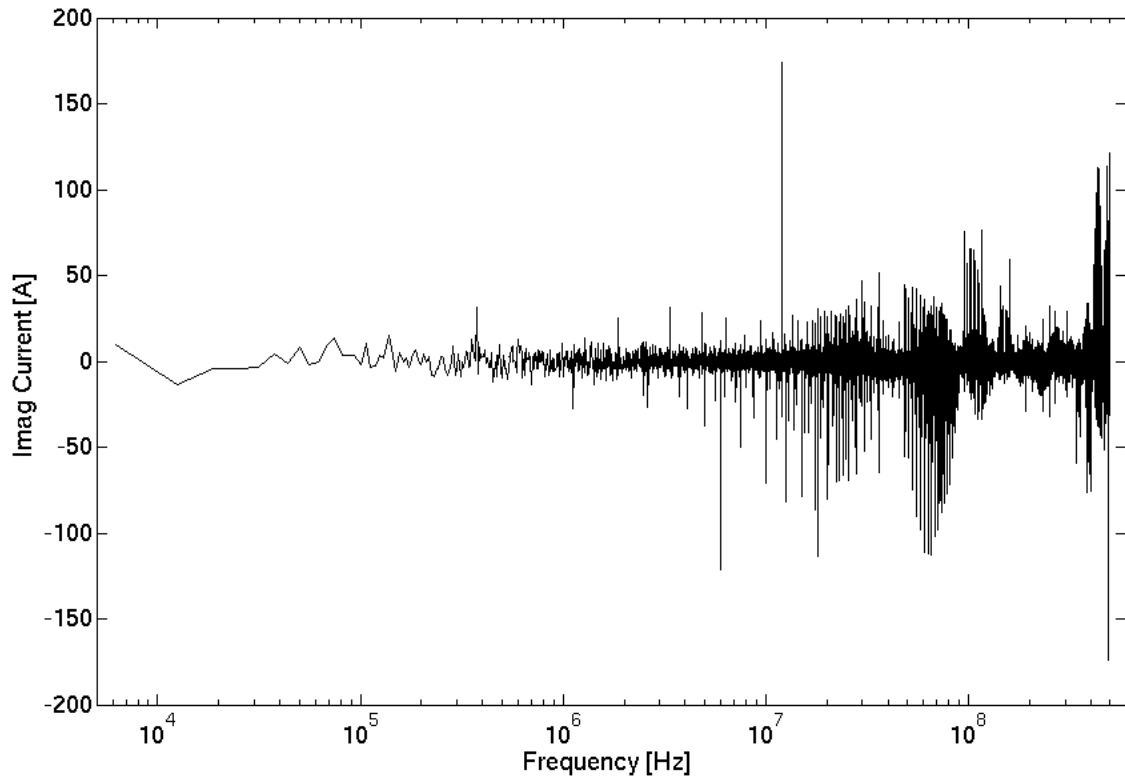


FIGURE 3.49: Partie Imaginaire : Spectre de la tension dynamique des E/S mesurée

La partie réelle du spectre présente une bande d'activité plus large comprise entre 1MHz et 500MHz , plus importante que l'activité du coeur. En terme d'amplitude, une première raie présente une amplitude importante de l'ordre de 370V à 5MHz . Cette amplitude correspond à la somme des impulsions présentes à la même fréquence d'activation. La bande de fréquence de 10MHz à 100MHz est largement occupée par des raies de moindres amplitudes. A nouveau, en référence aux données constructeurs du tableau 3.2, la fréquence moyenne d'activation des entrées-sorties est donnée pour 30MHz .

Les allures des partie réelle (figure 3.50) et imaginaire (figure 3.51) du spectre du courant extrait sont présentées par les figures suivantes.

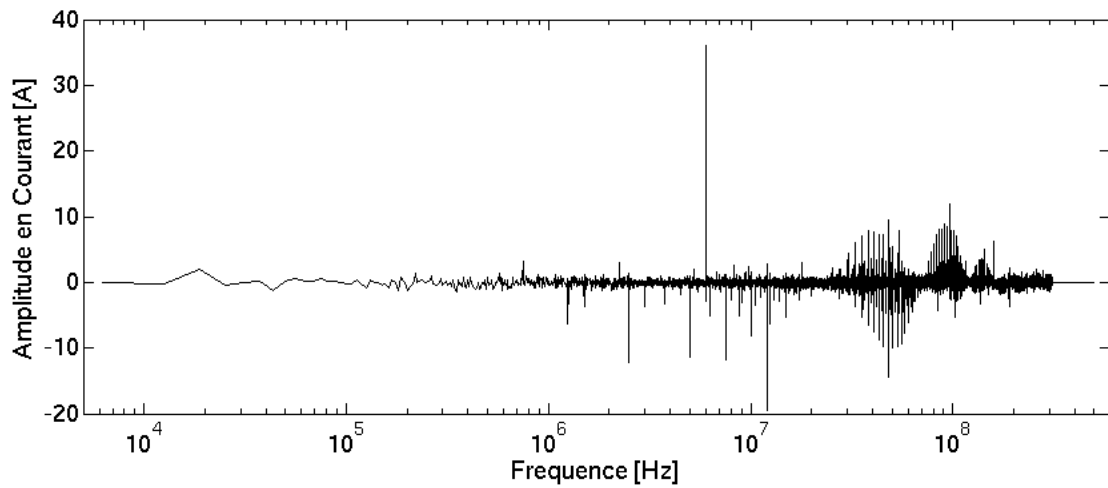


FIGURE 3.50: Partie Réelle : Spectre du courant extrait depuis la mesure en tension des E/S

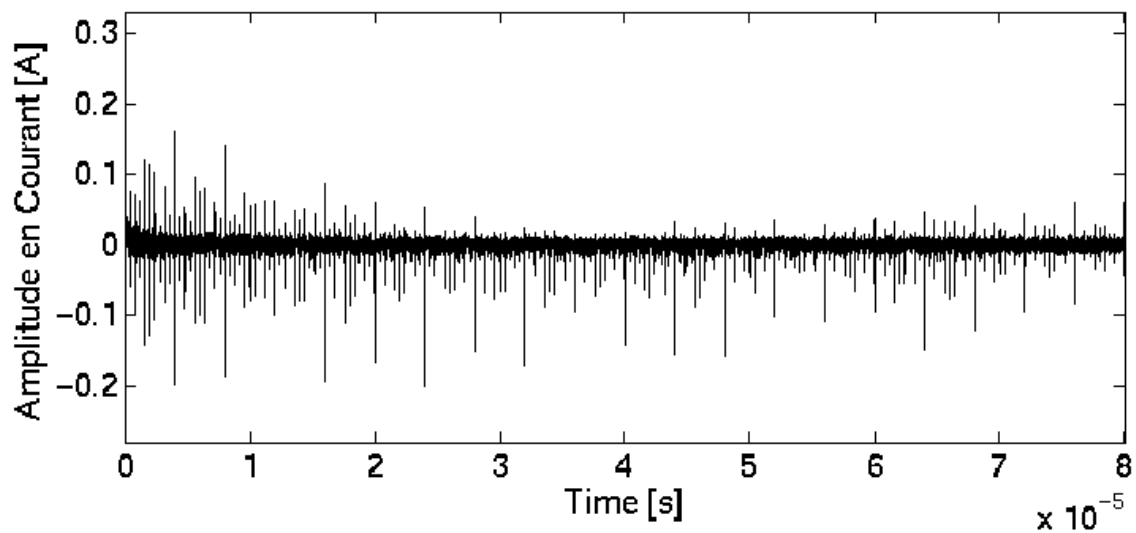


FIGURE 3.51: Partie Imaginaire : Spectre du courant extrait depuis la mesure en tension des E/S

La figure illustre le module du courant, regroupant les composantes réelle et imaginaire du courant dynamique.

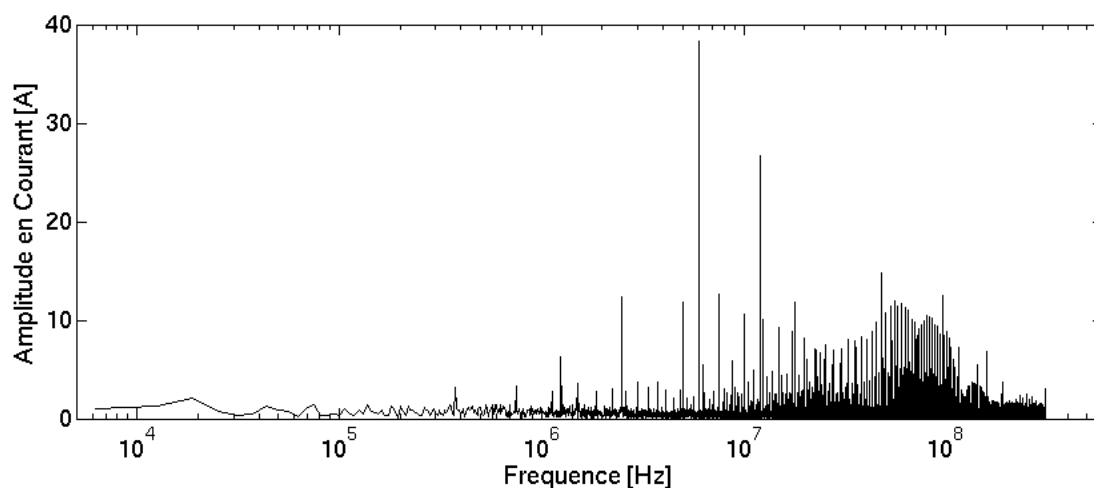


FIGURE 3.52: Module : Spectre du courant des E/S

La transformée de Fourier inverse va permettre d'obtenir l'allure du courant dans l'espace temporel, tout d'abord la partie réelle (figure 3.53), la partie imaginaire (figure 3.54) et enfin le module (figure 3.55)

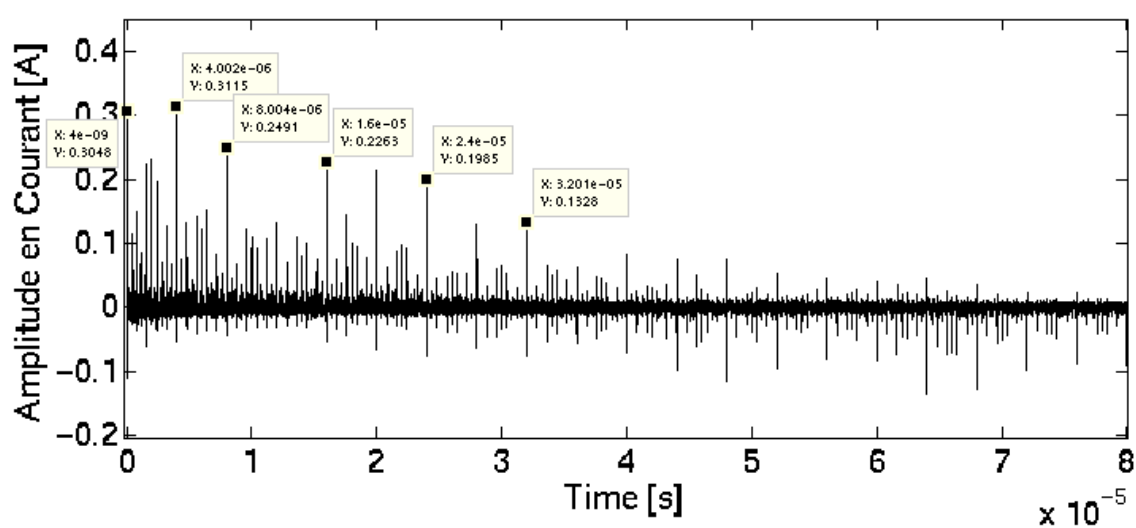


FIGURE 3.53: Partie Réelle : Courant des E/S dans l'espace temporel

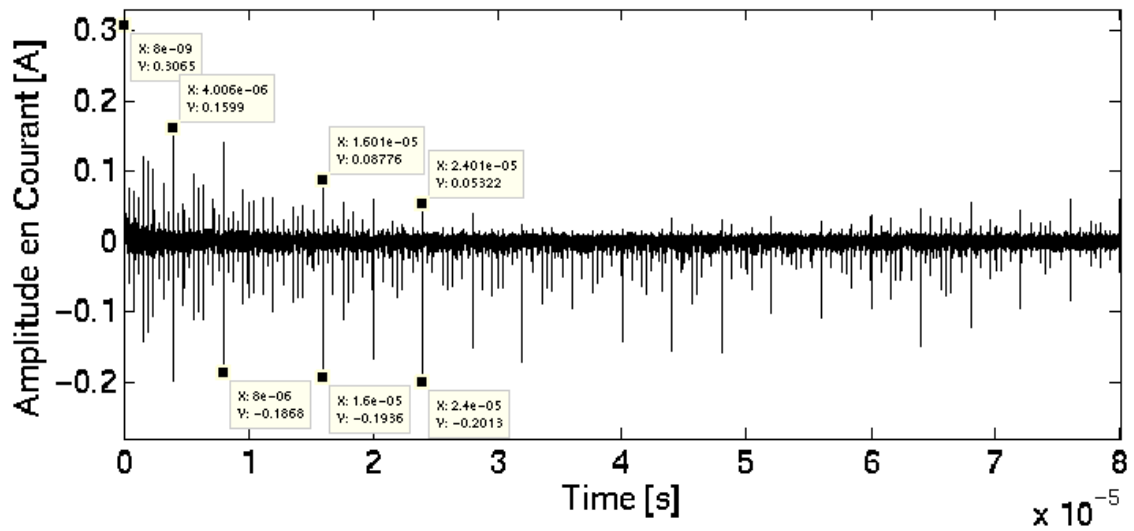


FIGURE 3.54: Partie Imaginaire : Courant des E/S dans l'espace temporel

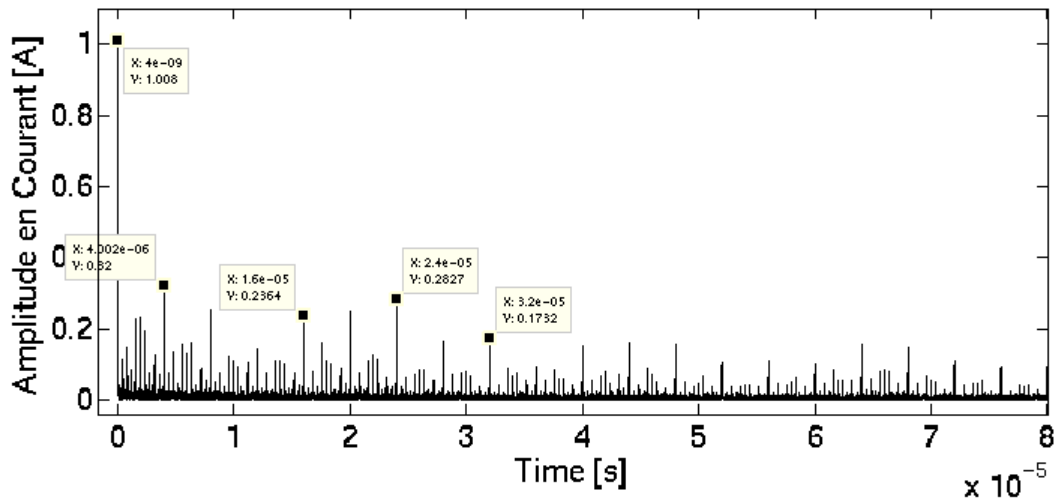


FIGURE 3.55: Module : Courant des E/S dans l'espace temporel

Dans le cas du courant consommé par les entrées-sorties, la fréquence d'activation est relativement faible.

La valeur moyenne calculée à partir des mesures de la tension et du courant extrait, fournit les valeurs suivantes :

$$I_{Oscilloscope-E/S} = 8.72mA$$

$$V_{Oscilloscope-E/S} = 3.29V$$

3.3.1.3 Conclusion sur la mise en oeuvre de la mesure de courant

Le tableau 3.5 résume les résultats obtenus depuis la mesure à l'ampèremètre et à l'oscilloscope sur les deux cartes *Carte_SiP* et *Carte_IC*.

Fonctions englobées par la mesure	Coeur Numérique, Mémoires, Quartz, Alimentation Numérique des ADC	Entrées-Sorties, Alimentation Analogique des ADC	Puissance Consommée
Tension d'alimentation	1,8V	3,3V	/
Mesure à l'ampèremètre	$I_{\text{Ampèremètre-COEUR}} = 68mA$	/	$P_{\text{Ampèremètre-COEUR}} = 122,4mW$
Mesure à l'oscilloscope	$I_{\text{Oscilloscope-coeur}} = 68.72mA$	/	/
Mesure à l'ampèremètre	/	$I_{\text{Ampèremètre-E/S}} = 23mA$	$I_{\text{Ampèremètre-E/S}} = 76mW$
Mesure à l'oscilloscope	/	$I_{\text{Oscilloscope-E/S}} = 8.76mA$	/

TABLE 3.5: Résultats de la mesure à l'ampèremètre et à l'oscilloscope sur les deux alimentations

Les résultats obtenus sur la mesure de courant du coeur numérique sont satisfaisants. Cependant les valeurs de courant mesuré au niveau des Entrées-Sorties diffèrent d'environ 40%. Cette différence peut être expliquée par le support de mesure : les deux cartes sont équipées de régulateurs facilitant ainsi l'alimentation globale de chacune d'elle. La carte de mesure *Carte_IC*, se connecte à l'alimentation stabilisée sous 3,3V et la tension 1,8V est fournie par un circuit régulateur au travers d'une diode zener ; ceci limite la possibilité de régler l'alimentation aux bornes du circuit numérique et donc d'atténuer les chutes de tension. Cependant le courant est aussi asservi par ce même système de régulation et ne peut être supérieur à la valeur désirée, dû à l'effet d'avalanche de la diode zener. Ainsi, ce système de régulation peut limiter la puissance moyenne consommée et être la cause de niveaux de courants plus faibles mesurés.

3.3.1.4 Comparaison entre estimation Analytique et Semi-Analytique, et Mesures à l'Ampèremètre et à l'Oscilloscope

A partir des données résumées dans le tableau 3.6, chaque valeur de puissance moyenne présentée est calculée pour les blocs du circuit numérique.

Fonctions	coeur	Ram1	Ram2	Ram3	ES pré-buffer	2*ADC	ES buffer1	ES buffer2
V	1, 8						3, 3	
Résultats issus des mesures								
Ampèremètre								
P _A [mW]	P _{A-C} = 122, 4						P _{A-E/S} = 76	
Résultats issus des formulations analytiques et semi-analytiques								
Fonctions	coeur	Ram1	Ram2	Ram3	ES pré-buffer	2*ADC	ES buffer1	ES buffer2
P _{moy} [mW]	P _{moy-C} = 144					P _{moy-ADCs} = 3.6	n.c	
P _c ^c [mW]	P _{c-C} ^c = 143				/	P _{c-ADC} ^c = 3.24	n.c	n.c
P _{ADC} [mW]	/				/	P _{ADC} = 3.54	/	/
P _e ^c [mW]	P _{e-C} ^c = 144.2				P _{e-ADC} ^c = 0.16	/	P _{e-E/S} ^c = 26.2	

TABLE 3.6: Bilan général de puissance issues des méthodologies semi-analytiques et des mesures

$$P_A = P_{\text{Ampèremètre}}, P_{A-C} = P_{\text{Ampèremètre-COEUR}}, P_{A-E/S} = P_{\text{Ampèremètre-E/S}}, P_c^c = P_{\text{circuit}}^{\text{commutation}}, P_e^c = P_{\text{estimée}}^{\text{circuit}}$$

Les résultats de mesure présentent des différences si on les compare aux approches estimatives. Les différentes données de consommation auxquelles nous avons eu accès ont permis d'obtenir des corrélations entre les formulations semi-analytiques utilisées dans l'approche du bilan de puissance, et principalement au niveau du coeur numérique qui partage son alimentation avec des cellules analogiques (PLL, Quartz) et mixtes (ADC). Une importante différence apparaît cependant quant à l'estimation de la puissance des entrées-sorties (*buffer1* et *buffer2*). Ces estimations purement basées sur les données constructeurs et technologiques prouvent que les approches issues uniquement des valeurs moyennes et continues, P_{moy} , ou bien issues des données technologiques, fréquence, facteur d'activité, nombre de cellules et capacités de charges permettent d'obtenir des corrélations convenables pour le coeur numérique.

Le tableau 3.7 présente les valeurs extraites des différentes approches entreprises afin d'extraire les valeurs de courant.

Courant [mA]	Origine de la valeur de courant	coeur	Ram1	Ram2	Ram3	ES pré-buffer	ADC	ES buffer1	ES buffer2
I_{mc}	Ampèremètre	68						23	
I_{mm}	Oscilloscope	68.72						8.72	
I_{moy}	Datasheet	80					IP : $2mA/20pF$	25	
I_c^c	P_c^c [mW]	45.5	2.6	5	26.3	/	3.6	20	
I_e^c	P_e^c [mW]	54.5	2.3	1	22.3	0.09	IP : $n.c$	3.15	

TABLE 3.7: Résultats des valeurs de courant obtenues selon les méthodes d'estimation de puissance et de courant

$$I_{mc} = I_{mesuré-continu} , I_{mm} = I_{mesuré-oscilloscope} , I_{moy} = I_{moyen} , I_{mm} = I_{mesuré-moyenné} , I_c^c = I_{circuit}^{circuit} , I_e^c = I_{estimée}^{circuit} , P_c^c = P_{commutation}^{circuit} , P_e^c = P_{estimée}^{circuit}$$

Le tableau 3.8 présente les différences qui apparaissent entre les différentes méthodes d'estimation du courant consommé par le coeur numérique.

Courant [mA] Origine de la valeur de courant	$I_{mc} = 68mA$ Ampèremètre	$I_{mm} = 68.72mA$ Oscilloscope	$I_{moy} = 82mA$ Datasheet	$I_c^c = 83mA$ P_c^c [mW]	$I_e^c = 80.2mA$ P_e^c [mW]
$I_{mc} = 68mA$ Ampèremètre	X	99%	83%	82%	85%
$I_{mm} = 68.72mA$ Oscilloscope		X	84%	83%	86%
$I_{moy} = 82mA$ Datasheet			X	99%	98%
$I_c^c = 83mA$ P_c^c [mW]				X	97%

TABLE 3.8: Différences obtenues pour le coeur numérique selon les méthodes d'estimation de courant

$$I_{mc} = I_{mesuré-continu} , I_{mm} = I_{mesuré-oscilloscope} , I_{moy} = I_{moyen} , I_{mm} = I_{mesuré-moyenné} , I_c^c = I_{circuit}^{circuit} , I_e^c = I_{estimée}^{circuit} , P_c^c = P_{commutation}^{circuit} , P_e^c = P_{estimée}^{circuit}$$

Les résultats sont convenables, avec un minimum de 82%, en soulignant à nouveau le fait que certains paramètres ne sont pas accessibles.

Le tableau 3.9 présente les résultats concernant les Entrées-Sorties qui ont été obtenus.

Courant [mA] Origine de la valeur de courant	$I_{mc} = 23mA$ Ampèremètre	$I_{mm} = 8.72mA$ Oscilloscope	$I_{moy} = 25mA$ Datasheet	$I_c^c = 20mA$ P_c^c [mW]	$I_e^c = 3.15mA$ P_e^c [mW]
$I_{mc} = 23mA$ Ampèremètre	X	38%	92%	87%	14%
$I_{mm} = 8.72mA$ Oscilloscope		X	35%	44%	36%
$I_{moy} = 25mA$ Datasheet			X	80%	13%
$I_c^c = 20mA$ P_c^c [mW]				X	16%

TABLE 3.9: Différences obtenues pour les Entrées-Sorties selon les méthodes d'estimation de courant

$$I_{mc} = I_{mesuré-continu}, I_{mm} = I_{mesuré-oscilloscope}, I_{moy} = I_{moyen}, I_{mm} = I_{mesuré-moyenné}, I_c^c = I_{circuit}^{circuit}, I_e^c = I_{estimée}^{circuit}, P_c^c = P_{commutation}^{circuit}, P_e^c = P_{estimée}^{circuit}$$

Dans le cas des entrées-sorties, les valeurs obtenues présentent d'importantes différences. La valeur estimative I_e^c est particulièrement faible. Le calcul effectué dépend fortement de la puissance moyenne P_{av} fournie par le constructeur pour une fonction déterminée. Dans le cas des Entrées-Sorties, certaines d'entre elles peuvent différer et il est donc conseillé, si ceci est possible, de différencier les fonctions d'entrée-sortie afin de pouvoir ajuster précisément l'estimation de la puissance. De manière générale, ces estimations sont rarement comparées aux valeurs expérimentales.

Ainsi l'accès à certaines de ces informations technologiques permettrait au concepteur de systèmes complexes, utilisant des circuits pré-existants, d'optimiser le temps de conception, impliquant une considération de temps de mise sur le marché non négligeable. Cependant, dans le but de protéger la propriété intellectuelle du constructeur, l'équation comportant le moins d'informations confidentielles pourrait servir de base d'information, par exemple 2.13 page 88. En effet, la tension d'alimentation V_{moy} est nécessairement connue et un paramètre englobant les paramètres n , Nb et α pourrait être proposé. Seule, la fréquence moyenne d'activation des sous-blocs numériques serait alors fournie.

Afin de pouvoir extraire les amplitudes de courant dynamique, les paramètres temporels sont résumés dans le tableau 3.10 et le tableau 3.11.

	Temps de montée $t_r[ns]$	Temps de descente $t_f[ns]$	Temps de transit w $[ns]$	Capacité de charge $C_{load}[pF]$	Puissance Consommée $P_{av}[\mu W/MHz]$
Entrée-Sortie Buffer	2.5	2.5	0.830	15	31 et 75
Entrée-Sortie Pré-Buffer	/	/	/	0.0046	0.23

TABLE 3.10: Entrée-Sortie CMOS18

	Nombre de transistors n	Temps de montée t_r [ns]	Temps de descente t_f [ns]	Temps de transit w [ns]	Capacité de charge C_{load} [fF]	Puissance Consommée P_{av} [nW/MHz]
PORTE NAND	6	0.600	0.600	0.1	4,1	54

TABLE 3.11: Porte NAND CMOS18

Le tableau 3.12 présente les valeurs de courant impulsionnel calculés à partir des valeurs de puissance et de courant.

Fréquence de fonction- nement	F_f [MHz]	70	50	30	100	30	100	30	
Courant Estimé & Origine de la valeur	Profil du pic de cou- rant	coeur	Ram1	Ram2	Ram3	E/S pré-buffer	ADC	E/S buffer1	E/S buffer2
I_{mc} [mA] Ampèremètre		68						23	
	$Atri$ [A]	1.62						0.306	
	$Atrap$ [A]	1.5						0.263	
I_{mm} [mA] Oscilloscope		68.72						8.72	
	$Atri$ [A]	1.64						0.116	
	$Atrap$ [A]	1.51						0.1	
I_{moy} [mA] Datasheet		80					IP : 2*ADC=> 2mA/20p.F	25	
	$Atri$ [A]	1,91					0.0334	0.334	
	$Atrap$ [A]	1,76					0.0286	0.286	
I_c^c [mA] P_c^c [mW]		45.5	2.6	5	26.3	/	1.8	20	
	$Atri$ [A]	1,09	0.086	0.28	0.44	/	0.03	0.27	
	$Atrap$ [A]	1	0.08	0.26	0.404	/	0.026	0.23	
I_e^c [mA] P_e^c [mW]		54.5	2.3	1	22.3	0.09	IP : pas d'infos	3.15	4.8
	$Atri$ [A]	1.3	0.077	0.056	0.371	/	/	0.042	0.064
	$Atrap$ [A]	1.2	0.07	0.051	0.343	/	/	0.036	0.055

TABLE 3.12: Calcul des pics de courant de formes triangulaire et trapézoïdale

$$I_{mc} = I_{mesuré-continu}, I_{mm} = I_{mesuré-moyenné}, I_{moy} = I_{moyen}, I_{mm} = I_{mesuré-moyenné}, I_c^c = I_{circuit}^{commutation}, I_e^c = I_{circuit}^{estimée}, P_c^c = P_{circuit}^{commutation}, P_e^c = P_{circuit}^{estimée}, F_f = \text{fréquence fonctionnement}$$

D'un autre point de vue, les méthodes estimatives de calcul de puissance se basent sur des valeurs statistiques d'activité du circuit, représentées par α , qui est estimé statistiquement tout comme la fréquence d'activation f . Il est effectivement difficile d'estimer précisément les nombres de portes actives d'autant plus qu'elles ont été toutes assimilées à des NAND, avec les spécifications technologiques qui

les caractérisent, en référence au tableau 3.11.

Ainsi, que ce soit par la mesure ou bien par le calcul semi-analytique, le calcul de la puissance reste une estimation à moins de mettre en oeuvre des outils de simulations avancées capables de prendre en compte une quantité gigantesque de paramètres technologiques et physiques.

3.3.1.5 Influence du mode de fonctionnement du circuit numérique sur son activité et Approche de modélisation en fonction de la technologie

L'objectif de cette section est d'analyser l'effet de la gestion logicielle des données sur la consommation et l'activité du circuit.

Les mesures qui ont été effectuées sur les résistances disposées à cet effet sur les alimentations du coeur et des entrées-sorties ont permis de mettre en oeuvre une analyse de la consommation de ces modules en fonction de l'influence de l'information à traiter. Le logiciel de contrôle, présenté dans la partie 3.2.1 permet de synchroniser l'ensemble tuner et décodeur avec le stimuli injecté par le modulateur QPSK, mais aussi en fonction du décodage d'erreur.

Ainsi le taux de correction d'erreur (VR : *Viterbi Rate*) et le taux de symboles injectés (SR : *Symbole Rate*) ont été modifiés afin de générer trois modes de fonctionnement, un fonctionnement A, un fonctionnement typique B et un fonctionnement C. Ces trois modes de fonctionnement sont décrits dans le tableau 3.13 :

SYMBOL RATE → VITERBI RATE ↓	$SR = 1.65 \text{ MS.s}^{-1}$	$SR = 27.5 \text{ MS.s}^{-1}$	$SR = 45 \text{ MS.s}^{-1}$
$VR = 2/3$	MODE A	/	/
$VR = 3/4$	/	MODE TYPIQUE B	/
$VR = 7/8$	/	/	MODE C

TABLE 3.13: Modes de fonctionnement du système

On considère, théoriquement, que ces modes de fonctionnement devraient avoir un effet sur la consommation du circuit numérique.

La figure 3.56 présente le courant consommé sur l'alimentation du coeur numérique en fonction des modes de fonctionnement.

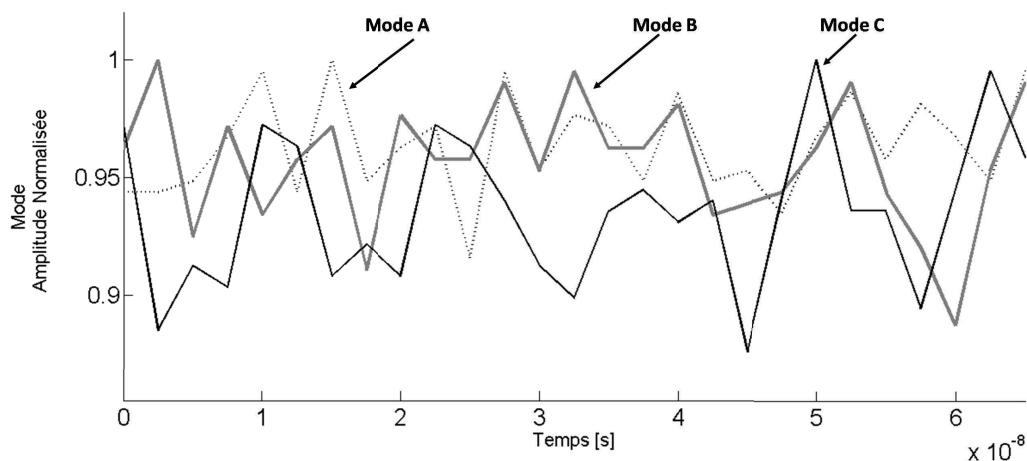


FIGURE 3.56: Consommation en fonction du viterbi rate et du symbole rate sur l'alimentation du Coeur

Ces résultats de mesure vont servir de support à l'analyse du spectre obtenu par projection des différents signaux d'activité sur une base de fonctions triangulaires adaptatives. Pour une meilleure visibilité du développement des bases sur chacun des modes (A,B et C), la figure 3.57 présente sur 27 échantillons ce développement, à titre d'indications illustratives.

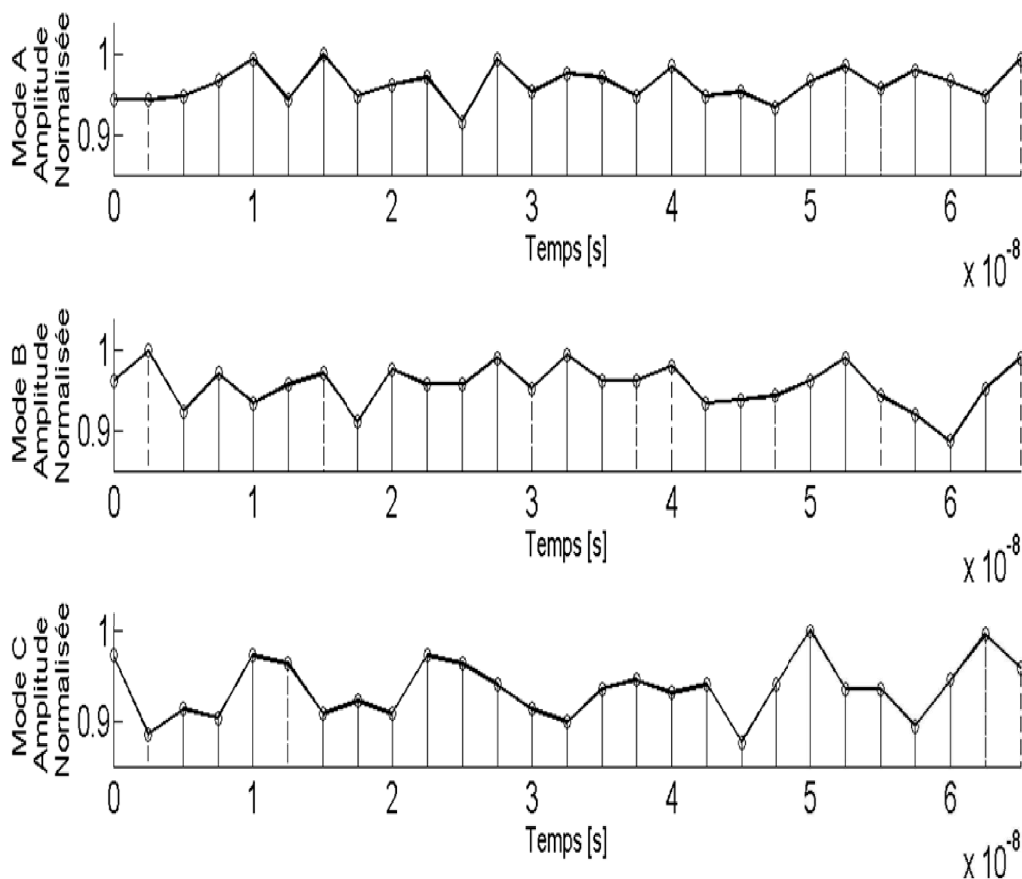


FIGURE 3.57: Développement sur une base triangulaire appliquée à chacun des modes de fonctionnement de l'alimentation du coeur

L'activité en courant a une valeur approximative de $90mA$.

La répartition spectrale de chaque mode de fonctionnement du coeur numérique est proposée dans la figure 3.58. Cette figure présente, plus précisément, la contribution de chaque harmonique en pourcentage [%]. On remarque que l'estimation de la fréquence de fonctionnement moyenne utilisée par les concepteurs est relativement fiable ($70MHz$). Sur cette figure apparaissent les domaines de fréquence des fonctions analogiques, mixtes et numériques du système. Les annotations, qui y figurent, ne montrent pas la contribution sur le spectre de ces fonctions, mais permet de localiser leur fréquence de fonctionnement.

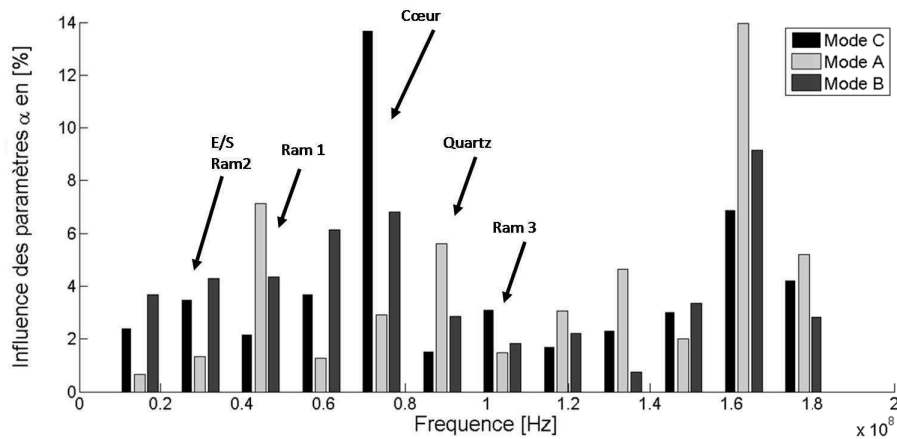


FIGURE 3.58: Spectre de la consommation en fonction du viterbi rate et du symbole rate sur l'alimentation du Coeur

On remarque sur la figure 3.58 que l'augmentation du nombre de symboles à traiter ainsi que la correction d'erreur influent de manière importante sur la consommation. L'effet du logiciel est souligné, les harmoniques situées à la fréquence du coeur sont multipliées par deux suivant le mode de fonctionnement. Pour les E/S, l'influence du logiciel est similaire en comparaison du mode B et C par rapport au mode A.

La figure 3.59 présente le spectre de la répartition spectrale du coeur présenté ci-dessus, additionnée à la répartition spectrale des entrées-sorties. De même que pour la figure 3.58, les influences des fonctions illustrent cette figure.

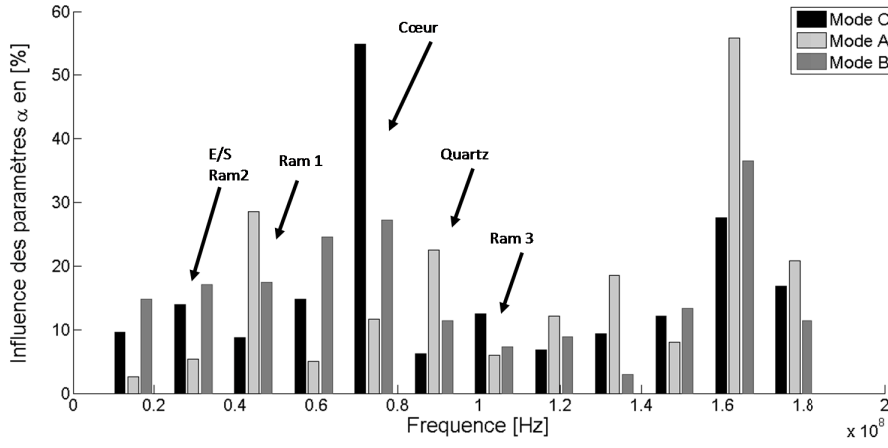


FIGURE 3.59: Spectre de la consommation en fonction du viterbi rate et du symbole rate sur l'alimentation du Coeur et des E/S

Dans le cas où les contributions de chaque alimentation (Coeur et E/S) sont additionnées, l'enveloppe reste approximativement la même. Par contre la contribution des E/S est plus remarquable. On peut donc conclure sur l'importance de considérer l'effet du logiciel sur l'activation plus ou moins importante des fonctions considérées.

La modélisation d'un profil doit donc tenir compte de l'influence de la couche logiciel sur l'activité du système. Nous avons proposé de définir un profil d'activité distribué dépendant des caractéristiques technologiques de la fonction, et plus particulièrement les temps de montée et de descente, considérés égaux et nommés τ . Dans l'élaboration de ces modèles, l'amplitude sera déterminée grâce au bilan de puissance et fonction du profil choisi (triangulaire ou trapézoïdal). Nous avons vu que les fluctuations de potentiel sont dépendantes de l'inductance (*voltage drop* inductif), ainsi la dérivée du courant doit aussi être modélisée correctement.

Pour validation de la dérivée du profil en fonction du nombre d'harmoniques, plusieurs formulations de cette dérivée ont été mises en oeuvre. Le développement du profil trapézoïdal est décrit par la formulation, précédemment décrite dans le chapitre 2 (2.1.2.2 page 95, équation 2.26 page 96). La première, $dTrap_1$, correspond à la dérivée du profil trapézoïdal décrite par la formule 3.8 :

$$dp_{Trap_1}(t) = \frac{2.A.T}{\pi^2.\tau} \cdot \sum_{n=1}^{\infty} \frac{1}{n^2} \cdot \sin\left(\frac{\pi n \tau}{T}\right) \cdot \sin\left(\frac{\pi n(w + \tau)}{T}\right) \cdot \left[-\sin\left(\frac{2\pi n}{T}t\right)\right] \quad (3.8)$$

La seconde dérivée, $dTrap_2$, est décrite par l'équation 3.9 :

$$dp_{Trap_2}(t) = \frac{p_{Trap}(t + \delta t) - p_{Trap}(t)}{(t + \delta t) - (t)} \quad (3.9)$$

Enfin, la troisième dérivée est numérique, elle est issue de la fonction *[diff]* fournie par le logiciel

Mathlab, cette dérivée renvoie un résultat décrit par l'équation 3.10 :

$$dp_{Trap3}(n) = p_{Trap}(n) - p_{Trap}(n - 1) \quad (3.10)$$

Afin de normaliser le résultat obtenu avec Matlab, il est nécessaire de considérer le temps de minimum entre chaque point du profil, communément appelé *slew rate*. Dans notre cas, avec un échantillon fixe, le *slew rate* vaut δt .

La comparaison entre ces trois calculs de dérivée nous a permis de valider la définition de la dérivée du profil décrite par l'équation 3.8.

Il est donc nécessaire de fournir suffisamment d'harmoniques au profil afin de converger vers un modèle précis. Les trois figures 3.60, 3.61 et 3.62 qui suivent, présentent, en fonction du rapport paramètre technologique τ sur la période de fonctionnement T , l'évolution du maximum atteint par le profil en fonction du nombre N d'harmoniques. En référence, le maximum du profil idéal est rapporté sur la figure pour indication.

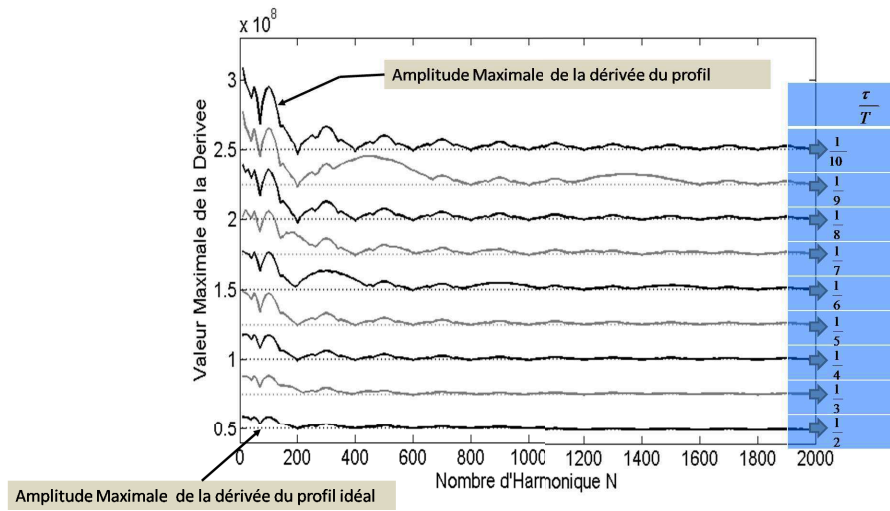
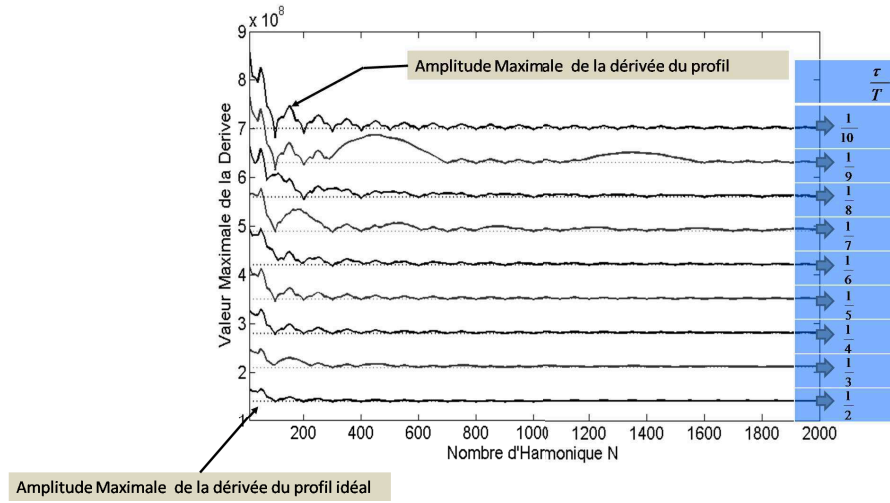
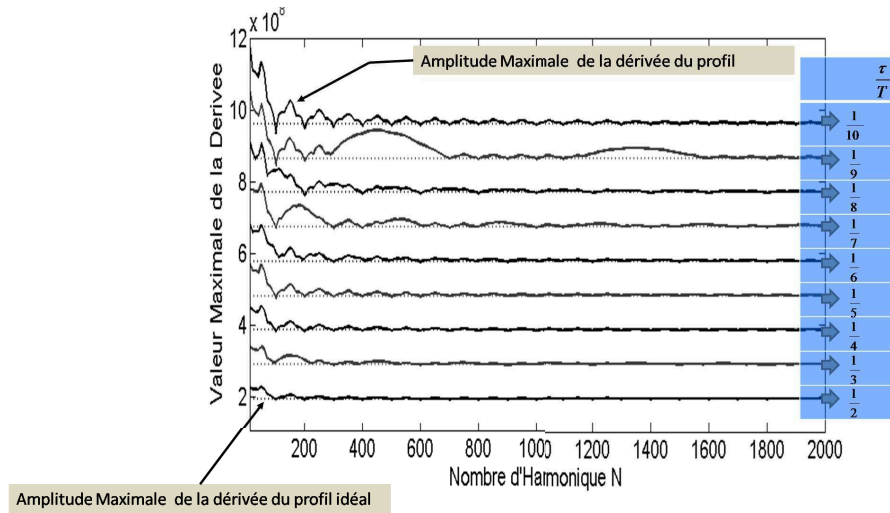


FIGURE 3.60: Convergence de la dérivée du profil en fonction de $\frac{\tau}{T}$ à $f = 25 MHz$

FIGURE 3.61: Convergence de la dérivée du profil en fonction de $\frac{\tau}{T}$ à $f = 70MHz$ FIGURE 3.62: Convergence de la dérivée du profil en fonction de $\frac{\tau}{T}$ à $f = 96MHz$

Le maximum de la dérivée est égal à la valeur absolue de l'amplitude maximale sur le temps de montée/descente τ :

$$dI_{max} = abs \left(\frac{A_{trap}^{max}}{\tau} \right) \quad (3.11)$$

D'un point de vue analytique, on remarque, en lien avec les figures 3.60, 3.61 et 3.62 que la valeur du ratio $\frac{\tau}{T}$ influe sur la nécessité de considérer un nombre suffisant d'harmoniques pour définir le signal. D'un point de vue physique, plus le ratio $\frac{\tau}{T}$ est faible, plus la valeur de la dérivée est élevée. Ceci souligne l'importance des longueurs d'interconnexion dans les systèmes actuels. En effet, l'inductance doit être la plus faible possible afin d'éviter de générer des fluctuations de potentiel trop élevées. En limitant la valeur du *voltage drop* uniquement à l'effet de l'inductance, la formule 3.12 donne la valeur

de l'inductance maximale en fonction d'une valeur de *voltage drop* dépendante de η et de dI_{max} :

$$L = \frac{\eta \cdot Vdd}{dI_{max}} \quad (3.12)$$

Où dI_{max} est exprimée $A.s^{-1}$.

D'après les résultats présentés sur la figure 3.62 et en considérant trois valeurs de $\frac{\tau}{T}$, avec les mêmes spécifications de fluctuation de potentiel, c'est-à-dire que $\eta = 10\%$, la tension d'alimentation vaut $Vdd = 1.8V$, soit un voltage drop de $0.18V$, la définition du profil et l'influence de l'activité sur le réseau peuvent être résumés par le tableau 3.14 :

Valeur de $\frac{\tau}{T}$	Nombres d'harmonique N	Valeur Max de la Dérivée dI_{max}	Inductance Maximale Autorisée avec $\eta = 10\%$, $Vdd = 1,8V$
1/2	300	2.10^8	$900pH$
1/7	1100	$6,9.10^8$	$261pH$
1/10	1500	$9,6.10^8$	$190pH$

TABLE 3.14: Nombre d'harmoniques et Inductance maximale en fonction de $\frac{\tau}{T}$

Ainsi, l'influence du temps de montée ou de descente τ et donc de la rapidité de fonctionnement des fonctions numériques actuelles a un effet immédiat sur la nécessité de bénéficier de longueurs d'interconnexion courtes et donc d'inductances les plus faibles possible. Ceci souligne l'intérêt de réaliser le système directement sur *wafer*, défini comme *Wafer Level Package*. Les vias traversants (*via hole*) permettent de réaliser des interconnexions très courtes au sein de la puce [15, 6].

3.3.2 Extraction des réseaux d'interconnexions

Cette section se propose de présenter plusieurs extractions et comparaisons d'éléments passifs composant les systèmes. Tout d'abord la ligne d'accès RF qui permet de conduire le signal RF au LNA du Tuner est analysée. Des mesures ont pu être effectuées sur la carte PCB où se trouve le SiP, avec et sans la présence du circuit. (Voir figure 3.17 page 145)

3.3.2.1 Analyse de l'accès RF sur la carte PCB

Comme il a été décrit dans la partie 3.2 page 135, le système est composé d'un tuner traitant des données satellites. Cette analyse se propose d'étudier le comportement de l'accès sur PCB du signal d'entrée *RF_{in}* ainsi que le signal de sortie *RF_{out}*. Ainsi, la structure d'accès *RF_{in}* et *RF_{out}* va être simulée et mesurée. Dans ce cas, la mesure des accès *RF_{in}* et *RF_{out}* a été effectuée à la fois sur la

carte *Carte_SiP* avec la présence (figure 3.63) ou sans la présence (figure 3.64) du SiP.

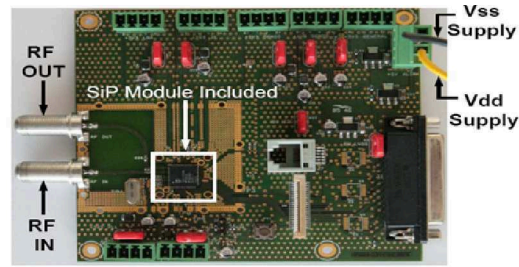


FIGURE 3.63: Carte avec SiP

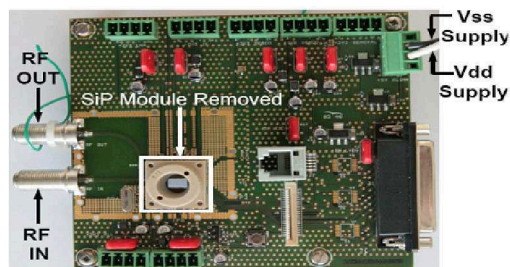


FIGURE 3.64: Carte sans SiP

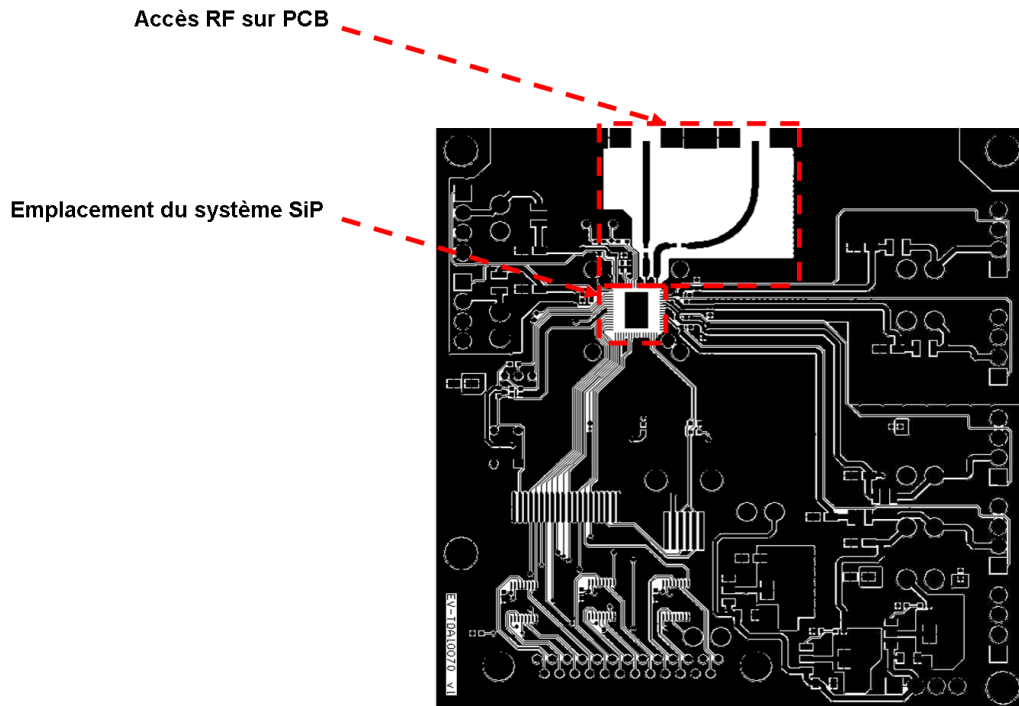


FIGURE 3.65: Layout des accès RFin et RFout

La structure de la carte PCB, en référence à la figure 3.65, a été simplifiée afin de pouvoir simuler aisément la partie du PCB qui nous intéressait. Nous avons néanmoins pris soin de répartir les vias permettant la connectivité à la masse. Dans la réalité, ces vias sont traversants et de formes circulaires et en grand nombre. Les vias utilisés avec le logiciel Sonnet sont localisés sur les bords des sections du plan. Cette représentation simplifie la résolution des équations de Maxwell, la résolution sur des vias circulaires est beaucoup plus délicate, lorsque l'on considère le maillage à mettre en oeuvre.

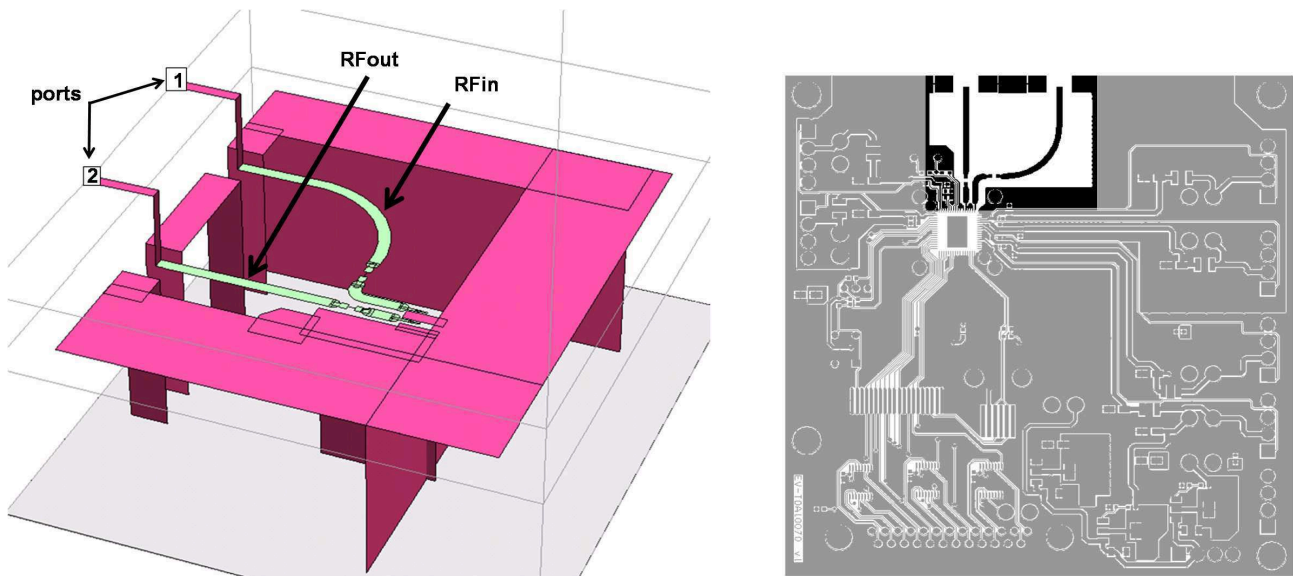


FIGURE 3.66: Simulation électromagnétique des accès avec Sonnet

Les résultats des mesures comparées aux simulations électromagnétiques sont proposés sur la figure 3.67. Ces résultats présentent la comparaison entre la mesure sans le SiP et le modèle *BBS* extrait depuis la simulation sans le SiP (*Without Active SiP*). Dans le second cas, c'est-à-dire avec la présence du SiP (*With Active SiP*), la simulation ne peut pas être effectuée en prenant en compte l'intégralité du système (ce qu'autorise la mesure). Dans ce cas, la comparaison est donc effectuée entre la mesure et le modèle *BBS* généré directement à partir des points de mesure.

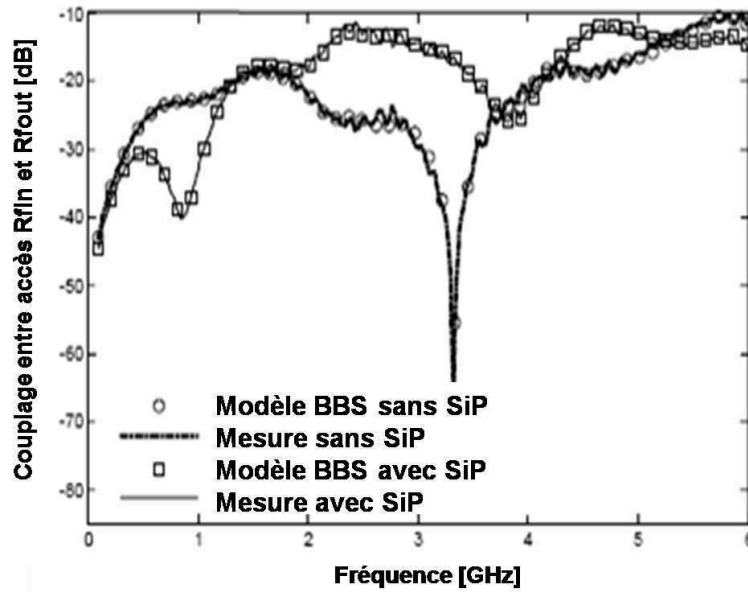


FIGURE 3.67: Couplage entre les accès RF sur PCB

La figure 3.67 présente une forte résonance à $3,2\text{GHz}$ lorsque le SiP n'est pas présent sur la carte. On remarque en conséquence que la présence du SiP atténue cette résonance (-20dB), et donc que le couplage entre les accès RF depuis le PCB jusqu'à dans le SiP, au niveau du *tuner*, est efficace.

Cette première étape d'analyse a exposé une bonne corrélation entre mesure et modèle *BBS*.

L'étape suivante va souligner la possibilité de proposer un modèle global des accès *RFin* et *RFout*, depuis le PCB jusqu'au sein du circuit analogique.

A partir de ces résultats nous proposons une modélisation commune permettant l'insertion d'une charge représentant l'impédance d'entrée d'un circuit actif sur ces deux accès, voir figure 3.69 page suivante. La modélisation suivante introduit le concept de *co-design* et de co-simulation, ainsi que la nécessité de ne pas considérer chaque élément indépendamment mais le système PCB-SiP dans sa globalité afin d'éviter toutes pertes d'information concernant les couplages électromagnétiques. La figure 3.68 illustre l'ensemble du système considéré et modélisé.

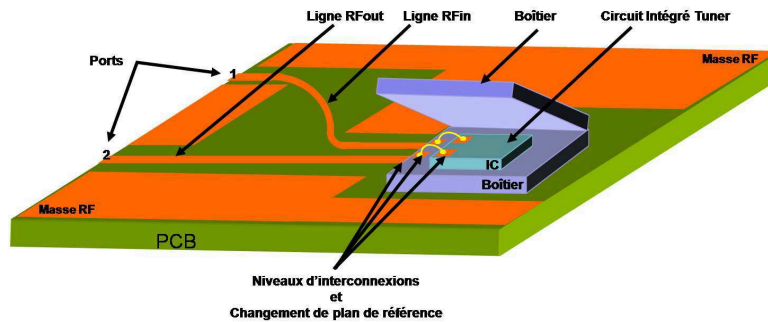


FIGURE 3.68: Ensemble du Système PCB-Boîtier-Circuit Tuner considéré dans le modèle global

Le modèle illustré par la figure 3.69 est le modèle décrivant mathématiquement le comportement du système analysé.

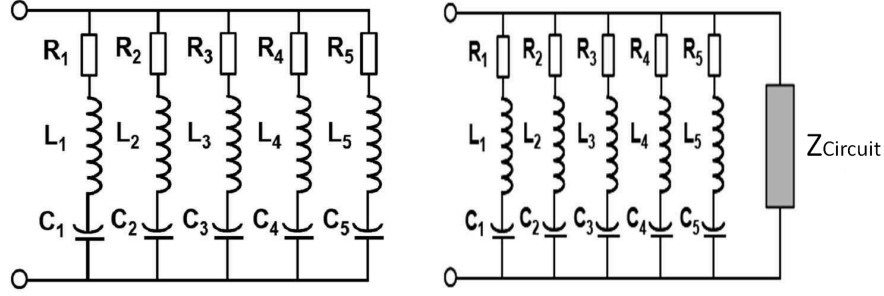


FIGURE 3.69: Modèle de Ligne RFin_RFout sur le PCB

Dans notre approche, l'impédance Z_{Chip} est caractérisée par l'impédance d'entrée RF_{in} de l'amplificateur faible bruit. L'admittance d'entrée $Y_{in\ sans\ circuit}$ est décrite par les équations 3.13 et 3.14 :

Sans le circuit,

$$Y_{in\ sans\ circuit} = \sum_{k=1} \frac{1}{R_k + \frac{1}{j\omega \cdot C_k} + j \cdot L_k \cdot \omega} = \sum_{k=1} \frac{R_k - j \cdot \omega \cdot (L_k - \frac{1}{\omega^2 \cdot C_k})}{R_k^2 + \omega^2 \cdot (L_k - \frac{1}{\omega^2 \cdot C_k})^2} \quad (3.13)$$

Où $Y_{in\ sans\ circuit}$ est décrit, dans l'équation 3.14 , par son admittance réelle et imaginaire :

$$Y_{in\ sans\ circuit} = \sum_{k=1} \left[\frac{R_k}{R_k^2 + \omega^2 \cdot (L_k - \frac{1}{\omega^2 \cdot C_k})^2} \right] - \sum_{k=1} j \cdot \omega \cdot \left[\frac{L_k - \frac{1}{\omega^2 \cdot C_k}}{R_k^2 + \omega^2 \cdot (L_k - \frac{1}{\omega^2 \cdot C_k})^2} \right] \quad (3.14)$$

L'ajout d'un circuit est représenté par sa charge, dans ce cas, l'admittance d'entrée est donnée par l'équation 3.15 :

$$Y_{in} = Y_{in\ sans\ circuit} + \frac{1}{Z_{circuit}} \quad (3.15)$$

Le modèle global est maintenant exploitable et instantiable dans un environnement SPICE. Par la segmentation qui est proposée par l'équation 3.15, il est possible de considérer les accès et le circuit actif (LNA), autorisant maintenant la possibilité de *co-simulation*.

Nous avons poursuivi cette analyse et réalisé ces mêmes mesures au niveau de l'accès RF_{in} et RF_{out} de la carte *Carte_SiP* dans le domaine temporel grâce à un réflectomètre équipé de deux voies permettant ainsi de relever la réflexion mais aussi la transmission. Les résultats obtenus avec le TDR seront notés T_{ij} afin de correspondre aux paramètres $[S]$ décrivant la transmission S_{ij} et la réflexion S_{ii} .

La figure 3.70 illustre l'allure des courbes obtenues.

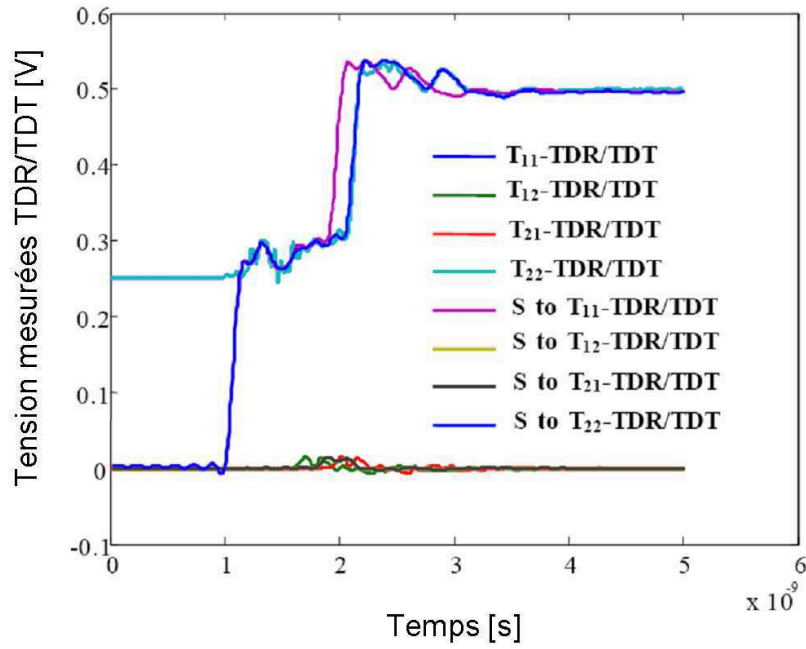


FIGURE 3.70: Comparaison mesure TDR/TDT et ARV

Les paramètres S qui ont été précédemment obtenus, par mesure à l'analyseur de réseaux, sont convertis dans l'espace temporel. La corrélation est satisfaisante tel que l'illustre la figure 3.70. La comparaison du modèle extrait selon la figure 3.69 page précédente et de la mesure TDR/TDT est présentée par la figure 3.71.

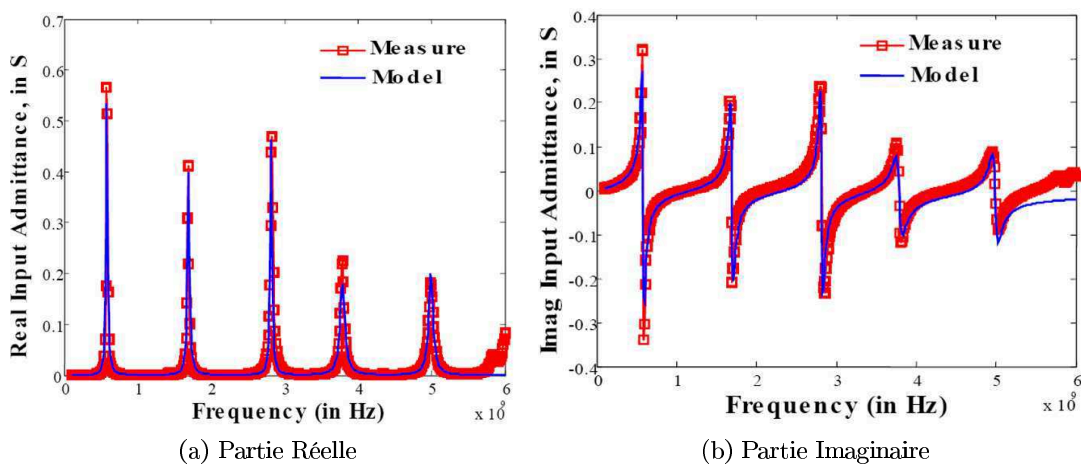


FIGURE 3.71: Comparaison entre le modèle et la mesure des accès RFin et RFout du PCB

Les résultats présentent un comportement identique de la ligne jusqu'à $6GHz$.

Ainsi l'analyse des accès $RFin$ et $RFout$ sur la carte $Carte_SiP$ a permis d'établir une comparaison

entre simulation électromagnétique et mesure TDR/TDT. Le modèle obtenu permet de prendre en compte l'ensemble du système.

3.3.2.2 Analyse du comportement d'une ligne PICS

L'objectif de cette analyse est tout d'abord de comparer deux outils de simulation électromagnétique. Dans chacun d'eux, un fichier spécifique décrivant la topologie de la technologie PICS a été instantié. Ainsi, ses caractéristiques spécifiques sont prises en compte.

Enfin, le dernier objectif de cette analyse est de souligner le but de notre approche dans cette étude : permettre au concepteur une analyse en amont de la réalisation d'un système SiP. Le concepteur doit pouvoir se baser sur des résultats fiables alors qu'il n'a pas la possibilité de pouvoir les vérifier via une étape de mesure expérimentale.

Analyse simplifiée d'une ligne PICS Une ligne métallique de technologie PICS est analysée. Cette ligne est formée par un conducteur disposée sur un substrat Si, le plan de masse est considéré sans perte. Sa structure est présentée dans la figure :

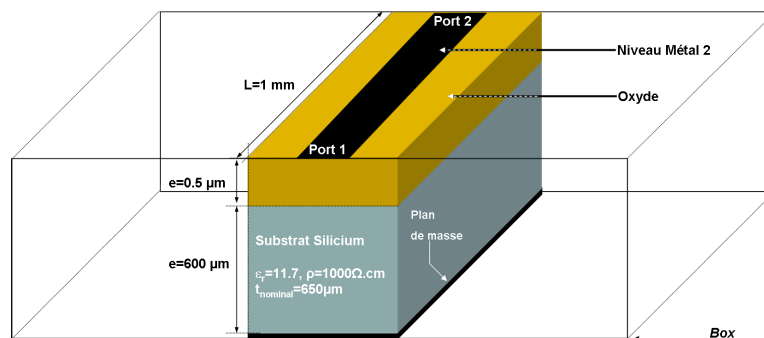


FIGURE 3.72: Ligne métallique PICS

La simulation de cette ligne est réalisée avec le logiciel Sonnet. Les ports 1 et 2 ont une masse idéale de référence commune représentée par la *box* décrite sur le schéma de la figure 3.72. Les paramètres caractérisant cette ligne sont présentés dans le tableau :

	Epaisseur [µm]	Longueur [mm]	Largeur [µm]	Conductivité [S/m]	Permittivité ϵ_R	Permittivité ϵ_{eff}
Ligne Métallique	3	1	30	$3.17.e^7$	3.9	/
Oxyde	0.5	1	200	$1e^{-7}$	4.5	/
Substrat Silicium	600	1	200	0.1	11.7	6.35

TABLE 3.15: Paramètres Lignes PICS

Le but de la modélisation est de pouvoir traduire le comportement de l'impédance sous forme d'un schéma électrique. Les composantes R,L,C peuvent ensuite être agencées soit suivant un modèle PI construit à partir de la matrice admittance [Y] soit un modèle TÉ, construit à partir de la matrice impédance [Z].

Avec $c = 3.10^8 m.s^{-1}$, la célérité de la lumière, $\epsilon_{eff} = 6.35$ la permittivité effective.

La fréquence de résonance est égale à :

$$F_{res} = 59.525GHz \quad (3.16)$$

Cette fréquence est obtenue à partir des courbes illustrées figures 3.73 et 3.74 page suivante.

$$L_{eff} = Z_c * \sqrt{\epsilon_{eff}} * \frac{l}{c} = 0.82nH \quad (3.17)$$

Ainsi on peut déterminer la valeur de la capacité effective de la ligne à partir de la relation entre l'inductance effective, équation 3.17, et la fréquence de résonance, équation 3.16, par l'équation ?? :

$$C_{eff} = \frac{1}{L_{eff} * (2 * \pi * F_{res})^2} = 93fF \quad (3.18)$$

La ligne a été instantiée dans deux simulateurs électromagnétique 2,5D qui sont Sonnet et ADS Momentum. Les paramètres S, Z pour l'impédance et Y pour l'admittance sont extraits des deux simulations et comparés.

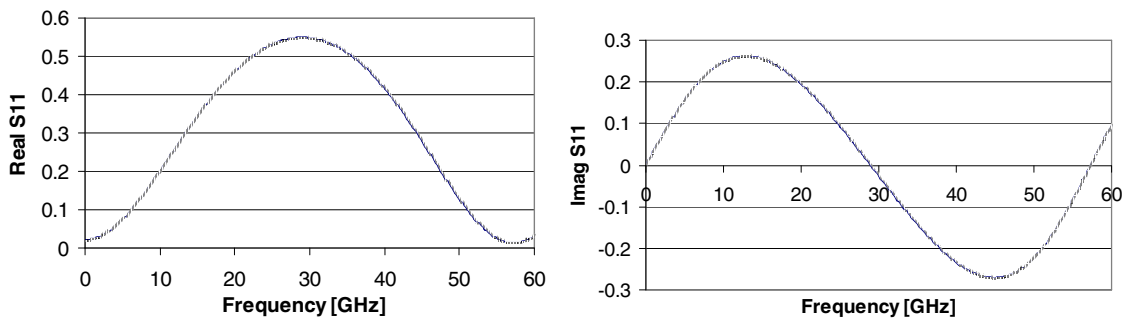


FIGURE 3.73: Paramètres S11 et S22 : partie réelle et imaginaire

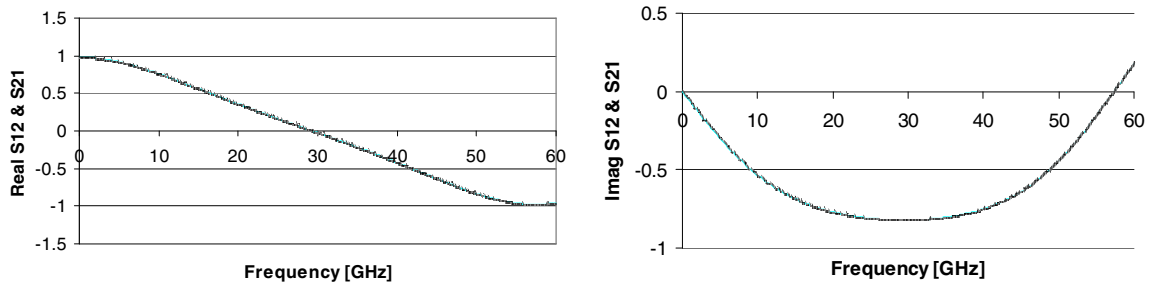


FIGURE 3.74: Paramètres S12 et S21 : partie réelle et imaginaire

Les paramètres Z et Y issus des simulations vont permettre d'affiner la valeur des paramètres du modèle ainsi que la complexité du modèle.

Analyse et Modélisation d'une structure de type SGS Dans cette analyse, la structure a été conçue spécifiquement pour permettre la mesure. La mesure sous pointe est effectuée avec un analyseur de réseau vectoriel. La première phase d'analyse va permettre d'extraire les effets associés aux effets inductifs et résistifs des lignes, aux couplages capacitifs et résistifs du substrat, et les ports de mesure.

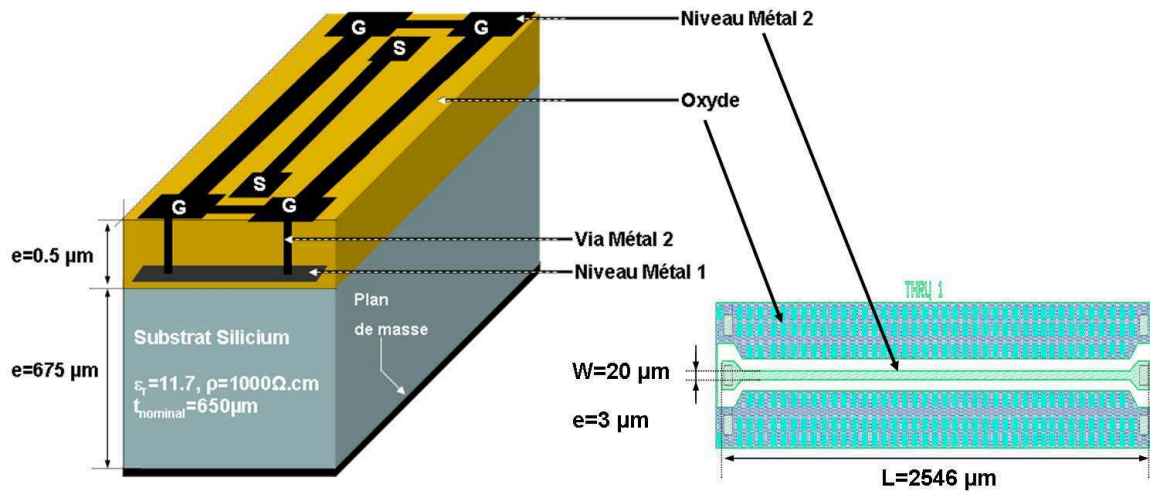


FIGURE 3.75: Structure et layout de la ligne PICS de mesure

Le choix d'une modélisation en PI est guidé par la possibilité d'extraire les paramètres, d'une part de la ligne, représentée par R_{ligne} et L_{ligne} , mais aussi car ce modèle offre une meilleure caractérisation des couplages avec le substrat représentés par C_{sub} et G_{sub} et des couplages au niveau de l'oxyde avec C_{OX} , et ce sur chacun des ports. Ainsi, les deux branches du modèle en PI offrent la possibilité de distribuer plus finement l'influence des couplages entre la ligne et le substrat. Ces deux ports sont à considérer lors de la simulation électromagnétique (Sonnet [24]) qui sera comparée à la mesure. La

figure 3.76 présente la comparaison entre la mesure, la simulation avec l'effet des ports et sans leurs effets, sur les paramètres S_{11} et S_{12} .

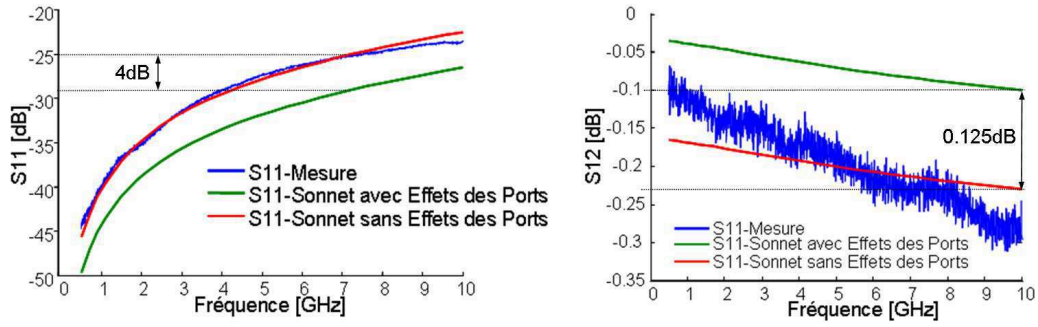


FIGURE 3.76: Comparaison Mesure et Simulation avec effets des ports de la ligne PICS

On remarque que les effets associés aux ports ne sont pas négligeables et que l'extraction de leurs effets (appelé aussi *de-embedding*) permet une bonne corrélation des résultats. Tel que nous l'avons expliqué au chapitre 2 page 75, le modèle d'extraction choisi est le modèle en PI.

Les parties imaginaire et réelle de l'impédance $Z_{série}$ issues de la mesure et de la simulation sont présentées dans la figure 3.77 :

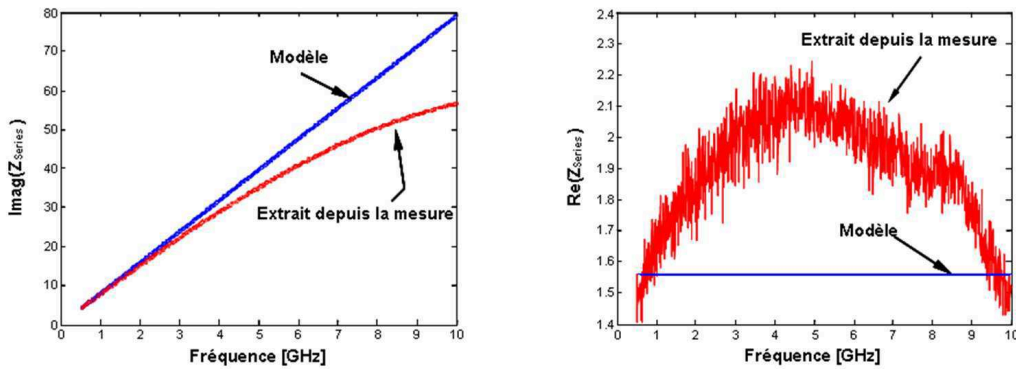


FIGURE 3.77: Impédance de la ligne $Z_{série}$: Partie imaginaire et réelle

On observe que la partie réelle, d'où est extraite la valeur de la résistance présente une forte dépendance en fréquence; en effet la valeur issue de la mesure varie de manière importante.

3.3.2.3 Analyse de l'accès RFin sur le substrat PICS

Ce paragraphe présente une analyse comparative de la ligne d'accès RFin permettant la conduction du signal utile au niveau du substrat PICS. Cette analyse est basée sur des résultats issus de simulations électromagnétiques. La topologie de la ligne est présentée.

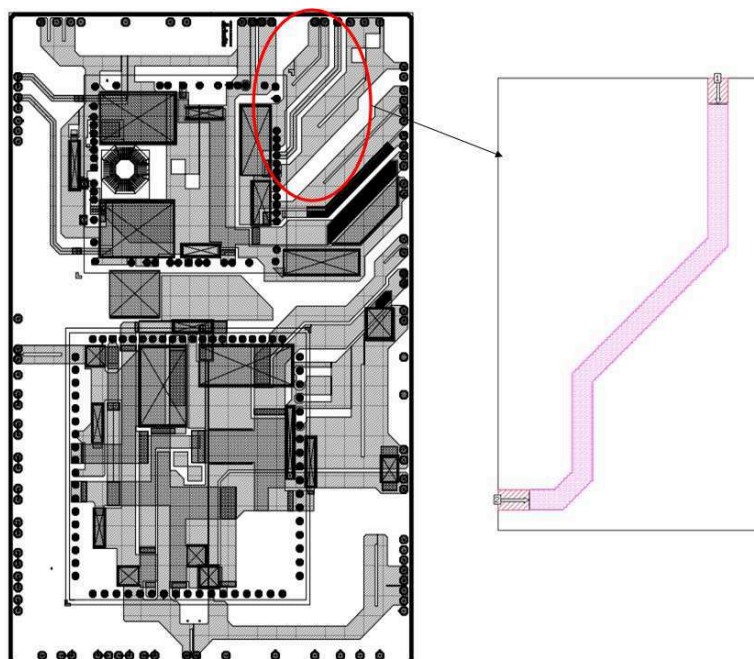


FIGURE 3.78: Analyse électromagnétique de la ligne d'accès du signal RF sur le substrat PICS

Dans cette analyse, les deux simulateurs ADS Momentum et Sonnet sont employés. A partir des résultats de simulation, nous extrairons le modèle PI de la ligne RF décrite dans la figure 3.78. Les paramètres $[S]$ issus des simulations avec ADS Momentum et Sonnet sont présentés. La différence entre les différents résultats est négligeable, cependant on observe une très faible variation des résultats entre les valeurs réelles et imaginaires de S_{11} .

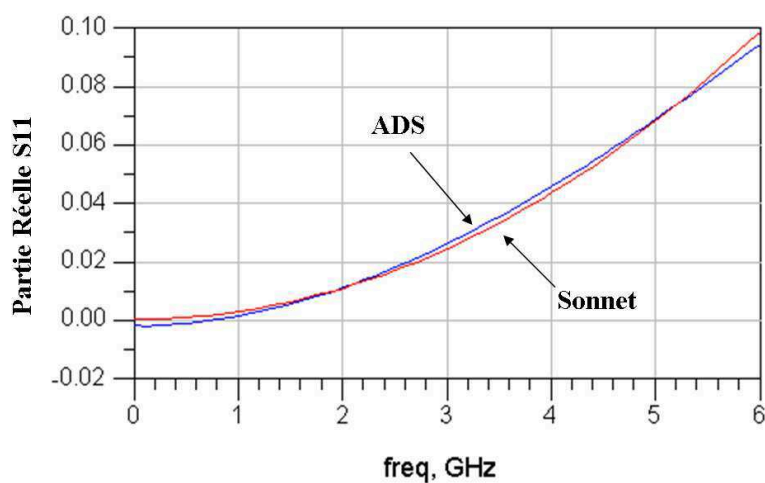
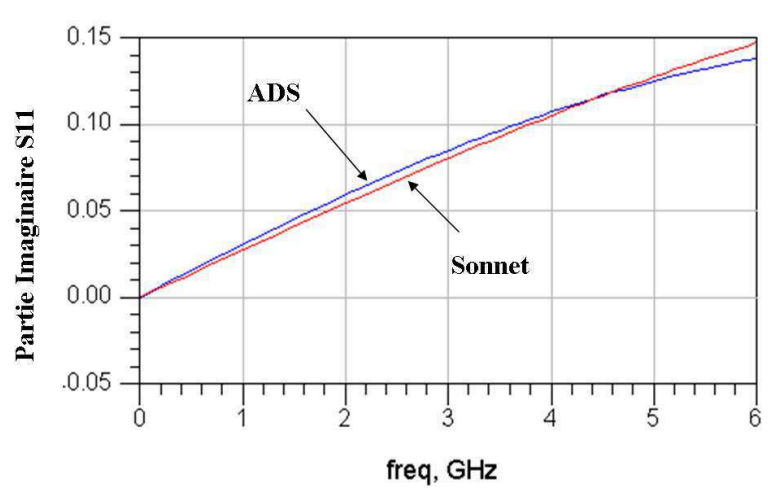
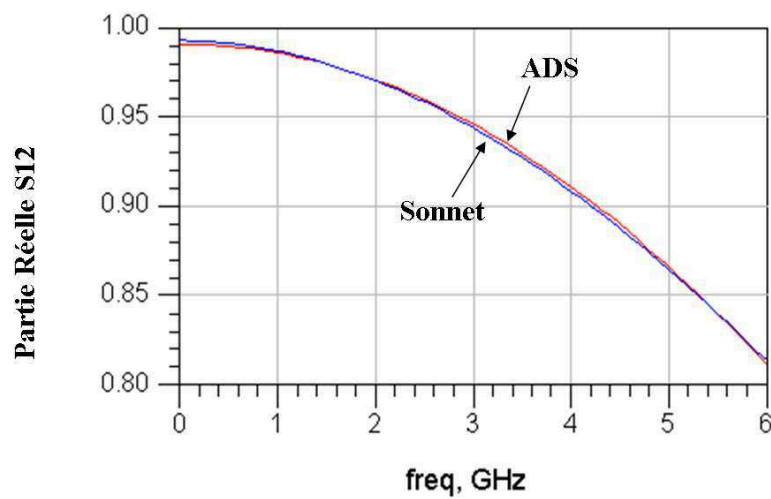


FIGURE 3.79: Comparaison Partie réelle de S_{11}

FIGURE 3.80: Comparaison Partie imaginaire de S_{11}

Concernant les paramètres réels et imaginaires de S_{12} , les résultats sont identiques.

FIGURE 3.81: Comparaison Partie réelle de S_{12}

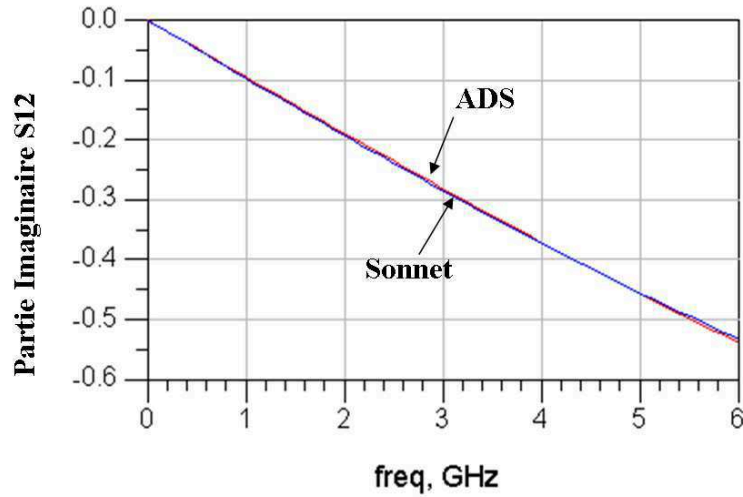


FIGURE 3.82: Comparaison Partie Imaginaire de S12

La technique d'extraction utilise l'optimisateur de Momentum ADS qui permet d'optimiser par itérations successives les valeurs de composants. Le modèle de la ligne $RFin$ sera un modèle PI, illustré par la figure 3.83.

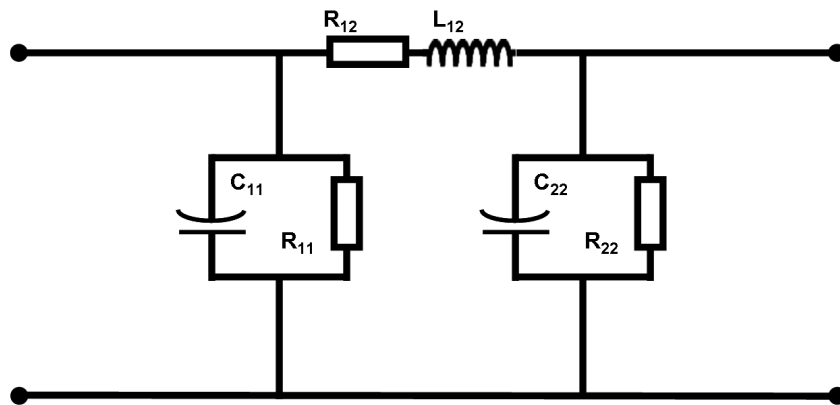


FIGURE 3.83: Modèle PI de l'accès RFin du substrat PICS

Les paramètres $[Y]$ ou $[Z]$ de la ligne sont obtenus par les relations de passages $[S] \rightarrow [Y]$ et $[S] \rightarrow [Z]$. Dès lors, en utilisant le modèle en PI, nous pouvons en déduire les paramètres R_{12} , L_{12} , R_{11} et R_{22} et enfin C_{11} et C_{22} selon les relations du tableau 2.2 page 112. Le choix de la valeur de chacun des paramètres est guidé par le comportement fréquentiel de la ligne.

R_{12} est extraite en basse fréquence, les composantes inductives et capacitatives n'ont pas encore d'effet notable en transmission basse fréquence. A la résonance, on extrait la valeur L_{12} fixe que l'on instanciera dans le modèle.

Les fuites et les couplages vers le substrat sont des phénomènes efficaces à des fréquences plus élevées, les résistances R_{11} et R_{22} et les capacités C_{11} et C_{22} sont extraits aux fréquences de mesure les plus élevées.

Les paramètres extraits sont comparés dans le tableau 3.16.

	$R_{12}[m\Omega]$	$L_{12}[nH]$	$R_{11}[\Omega]$	$C_{11}[fF]$	$R_{22}[\Omega]$	$C_{22}[fF]$
ADS MoM	285,869	0,978842	6676,96	101.673	6340,43	105,642
Sonnet	261,12	1,072	5889	110,4	5779	110,4
ADS vs Sonnet	8,65%	9,51%	11,8%	8,58%	8,85%	4,5%

TABLE 3.16: Extraction et comparaison des valeurs RLCG

Le tableau 3.16 présente l'écart obtenu entre les résultats qui ont été extraits. La différence est faible. Dans cette approche, il est important de rappeler le contexte de l'analyse. La simulation est une solution rapide et efficace lorsqu'il est question d'analyser les interconnexions internes d'un système complexe tel que le SiP. Des mesures sont néanmoins possibles, mais elles deviennent fastidieuses car il faut mettre en oeuvre une phase d'ouverture du boîtier, de section des fils de bonding au plus proche du substrat PICS et enfin une attaque à l'acide afin de décoller les composants et circuits présents sur le substrat. Ces techniques sont possibles, mais invasives et potentiellement destructives et génératrices de défaillances. D'autre part, la simulation autorise une grande souplesse d'approche, d'éventuelles modifications peuvent être facilement instanciées sur la structure (avec et sans composants enfouis (capacité PICS), modification du plan de masse, ...).

Les résultats de simulation présentent une différence maximale de 11,8%. L'utilité est d'abord de souligner que malgré un environnement de simulation différent (Sonnet et ADS Momentum) les résultats concordent ; d'autre part, l'utilité de la simulation dans l'analyse d'un système complexe permet d'éviter une phase d'ouverture de boîtier afin d'y réaliser des mesures.

3.3.2.4 Analyse de l'impédance de la capacité de découplage sur le réseau passif d'alimentation

Lorsqu'il est question de réaliser un découplage, l'objectif est d'atténuer les perturbations transitant sur l'alimentation. Une ligne métallique, lorsqu'elle est soumise à un signal haute fréquence agit comme un court-circuit et permet de faire transiter les fluctuations de l'alimentation vers la masse. Son efficacité dépend de sa fréquence de résonance. Effectivement, en considérant les éléments intrinsèques de la capacité, c'est-à-dire l'inductance, ESL et la résistance, ESR, l'ensemble $ESL+ESR+C$ résonne. Cela signifie que l'impédance est très faible, et donc présente une efficacité, en terme de découplage, optimale.

Caractérisation de la capacité PICS Enfouie La figure 3.84 présente la capacité associée à son ESL et son ESR.

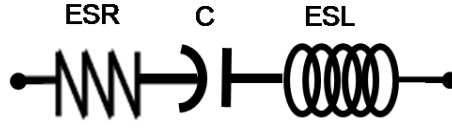


FIGURE 3.84: Modèle de capacité

L'impédance résultante de la capacité s'écrit :

$$Z_p = ESR + j2\pi f.ESL + \frac{1}{j2\pi fC} \quad (3.19)$$

Avec F_{res} , la fréquence de résonance :

$$F_{res} = \frac{1}{2\pi\sqrt{ESL \times C}} \quad (3.20)$$

Si on prend en compte la valeur effective de l'inductance totale vue par la capacité on obtient le schéma figure 3.85.

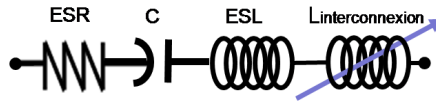


FIGURE 3.85: Modèle de capacité incluant l'inductance totale

L'expression de l'inductance effective est présentée par l'équation 3.21 :

$$L_{eff} = ESL + L_{interconnexion} \quad (3.21)$$

L'inductance effective L_{eff} représente l'inductance globale vue par la capacité idéale, son inductance série, ESL , et l'inductance effective de l'environnement d'interconnexion $L_{interconnexion}$. La variation de la valeur de l'inductance $L_{interconnexion}$ permet d'observer d'une part la diminution de la fréquence de résonance et d'autre part la réduction de l'efficacité de la bande passante de la capacité PICS.

Plus les capacités sont proches de la source de perturbation, moins l'effet de l'inductance effective du réseau d'interconnexion n'a d'influence sur les performances du découplage, ceci souligne le potentiel offert par la capacité PICS. Actuellement, avec les solutions CMS (ou *SMD*), sur la carte PCB ou

même insérées dans le boîtier, ne sont pas capables de fournir un tel niveau de performance en terme de découplage des alimentations.

Une rapide étude de l'influence de l'inductance sur le pouvoir de découplage de la capacité est présentée sur les figures 3.86 et 3.87.

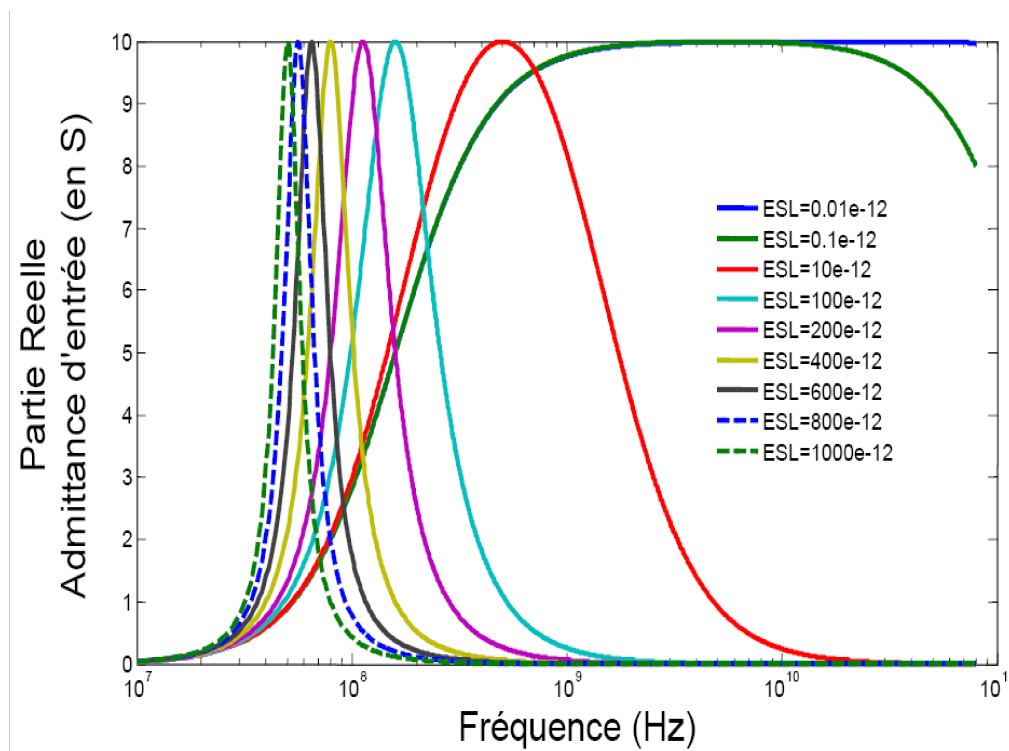


FIGURE 3.86: Partie réelle : Influence de l'inductance sur l'admittance complexe de la capacité

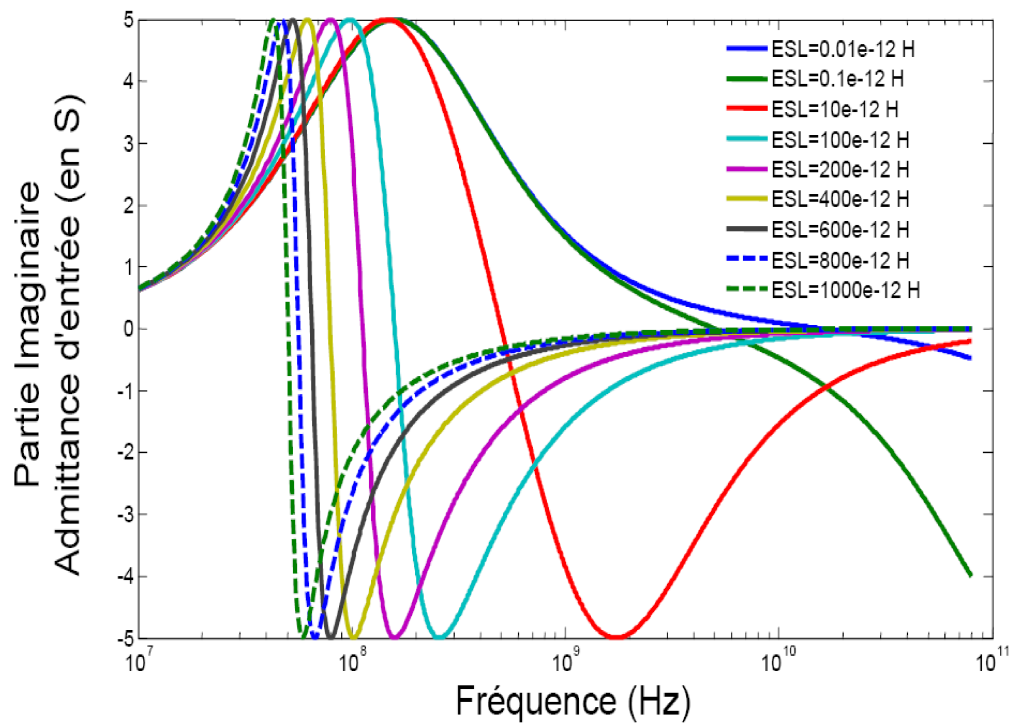


FIGURE 3.87: Partie Imaginaire : Influence de l'inductance sur l'admittance complexe de la capacité

On observe sur les courbes 3.86 page précédente et 3.87 que la fréquence de résonance diminue avec la valeur de l'inductance ; au-delà de cette fréquence, l'effet inductif devient prépondérant, les effets capacitifs ne sont plus efficaces et ne peuvent donc plus agir comme capacités de découplage. L'importance d'une localisation proche de la source, ou plus généralement l'importance de considérer l'inductance globale (la mise en parallèle de lignes, par un routage en étoile, divise la valeur de l'inductance efficace) vue par la capacité permet de localiser et d'optimiser la valeur de la capacité.

Analyse de l'efficacité de la capacité PICS en fonction de sa localisation Nous allons étudier l'influence de trois capacités de technologie PICS, de $1nF$, $2,5nF$ et $10nF$ avec leurs ESL et ESR respectifs, sur la ligne de transmission précédemment analysée. Les valeurs de ces capacités et leurs composantes intrinsèques sont détaillées dans le tableau 3.17.

	Capacité 1	Capacité 2.5	Capacité 10
Capacité [nF]	1	2.5	10
ESL [pH]	2.5	5	4.5
ESR [$m\Omega$]	158	688	400

TABLE 3.17: Valeurs des paramètres intrinsèques du modèle de capacités PICS $1nF$, $2,5nF$, $10nF$

Le plan d'expérience est illustré par la figure 3.88. Dans ce plan d'expérience, P_1 et P_2 sont des ports.

Capacité proche de la source

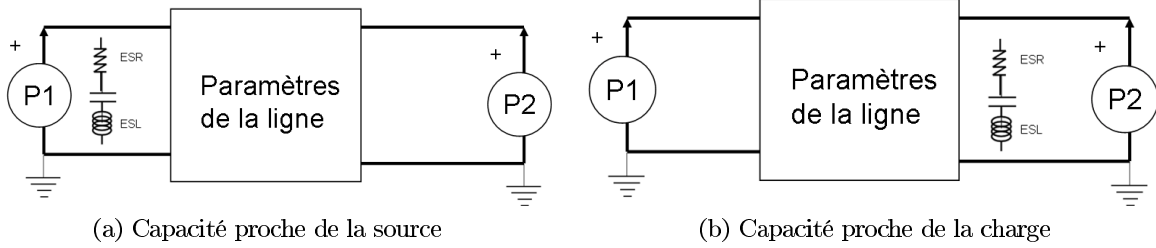


FIGURE 3.88: Plan d'expérience

Chaque capacité, décrite dans le tableau 3.17 page précédente, est positionnée soit au plus proche de la source P_1 , soit au plus proche de la charge P_2 . Nous étudions la fonction de transfert en tension.

La présence de la capacité au niveau de la charge influe sur l'allure de la fonction de transfert de la ligne. En effet, la fréquence de coupure est diminuée. L'influence de l'impédance de la capacité sur le comportement de la ligne, figure 3.89, souligne les effets escomptés par le placement d'une capacité de découplage dans un circuit.

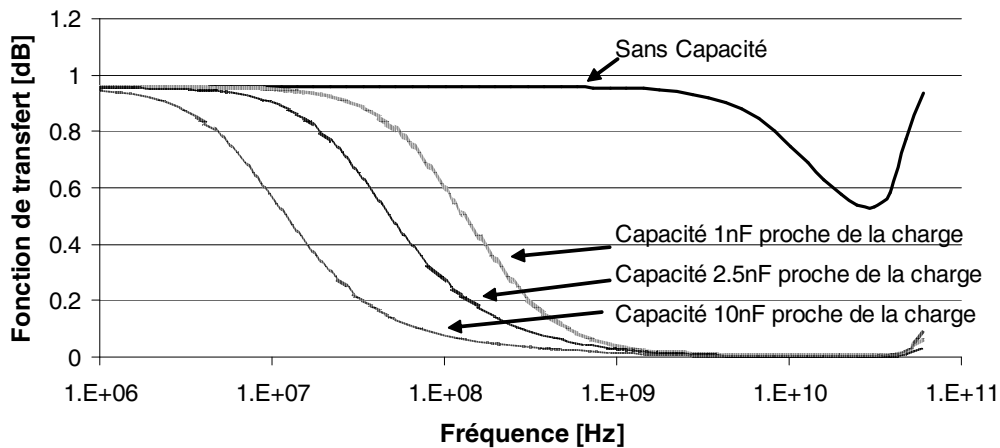


FIGURE 3.89: Fonction de transfert en tension pour différentes valeurs de capacités PICS

Les ports P_1 et P_2 , voir figure 3.95, injectent lorsqu'ils sont actifs, un signal sinusoïdal dont la fréquence augmente suivant les spécifications de la simulation, le ou les ports peuvent être assimilés à une source de perturbations à fréquences variables. Lorsqu'une analyse en réflexion est effectuée, le port inactif représente une charge de 50Ω , représentant ainsi la charge de l'alimentation.

Considérons la capacité comme un réservoir de courant qui se charge en fonction de la variation de potentiel à ses bornes. Lorsque la tension injectée oscille à la fréquence de résonance de la capacité réelle, alors à cette fréquence l'impédance de la capacité chute, et le signal transitoire est conduit vers la masse. De ce fait, la tension présente sur la charge diminue. Le gain calculé à partir du rapport entre la tension en sortie et la tension en entrée, chute aussi.

Lorsque l'on positionne une capacité sur un rail d'alimentation, son impédance est mise en parallèle avec l'impédance du rail. Les inductances et les résistances sont mises en parallèle et donc l'*ESL* et l'*ESR* les plus faibles prédomineront. Et inversement, les valeurs de capacité, découplage plus rail, vont s'ajouter. Donc une capacité doit présenter des *ESR* et *ESL* les plus faibles possible afin d'interagir positivement avec le réseau passif. De même, la fréquence de la perturbation est plus ou moins absorbée par la capacité.

Si la valeur de la fréquence de résonance est élevée, et donc une *ESL* faible pour une petite capacité, il conviendra de positionner la capacité au plus proche de la source de perturbations, là où les fréquences ne sont pas encore atténuées par le réseau. Si l'accès à la source de perturbation n'autorise aucune promiscuité, la seule solution sera d'insérer une forte capacité capable d'absorber l'énergie transitoire dont la fréquence a été atténuée par le réseau passif.

3.3.3 Synthèse sur la Modélisation de l'Activité et Règles de Conception

Un diagnostic précis du courant fournit un ensemble de sources distribuées favorisant la description d'un bloc agresseur avec plusieurs domaines d'horloge. Chaque source décrit l'influence sur chaque bande de fréquence du signal perturbateur, qui est discrétisé via des profils génériques (triangle, trapèze,...) adaptatifs et prenant en compte les caractéristiques technologiques de la fonction. Selon le profil choisi, toujours en terme de modélisation de l'activité de courant, sa dérivée peut conduire à des discontinuités. Les analyses de convergence en référence au développement en bases proposé portent sur l'évaluation des dérivées des profils de courant. Ces dérivées représentent de réels défis pour les approches classiques, du fait des difficultés de fenêtrage et des effets liés aux phénomènes de Gibbs : d'où la nécessité d'une analyse de convergence approfondie, telle que l'illustre la figure 3.90.

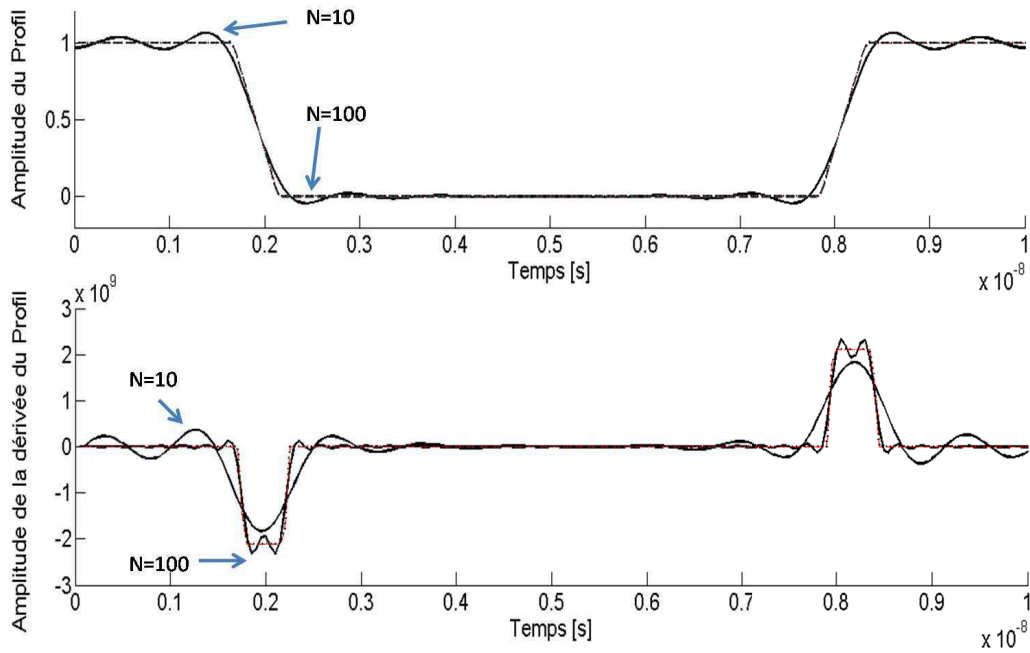


FIGURE 3.90: Convergence du profil trapézoïdal et de sa dérivée en fonction du nombre d'harmoniques N

D'autre part, il est important de lier l'approche modélisation et développement spectral à la technologie employée. En effet selon la technologie de conception de la fonction, les fronts du profil peuvent être plus ou moins abruptes, du fait des temps de montée et de descente (noté τ dans la génération de profil triangulaire et trapézoïdal). La figure 3.91 présente la nécessité de considérer la convergence harmonique du profil.

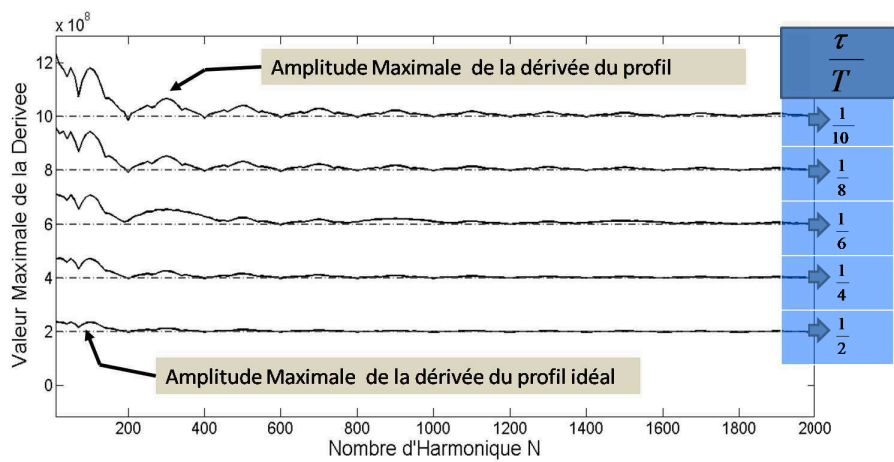


FIGURE 3.91: Convergence harmonique du profil de la dérivée en fonction du paramètre technologique τ

Pour chaque rapport $\frac{\tau}{T}$, où T est la période de fonctionnement de la fonction et τ le temps de montée ou de descente, nous avons tracé l'erreur de convergence entre la valeur maximale de la dérivée du profil de signal modélisé et la valeur maximale de la dérivée du profil idéal, ne présentant aucune discontinuité.

Le profil et sa dérivée sont utiles dans l'analyse des phénomènes perturbateurs transitant dans le circuit, et dont les effets au travers du réseau d'interconnexion provoquent des variations de potentiel (*voltage drop* inductif) néfastes à la fiabilité du système. Ces variations dues à l'impédance du réseau sont, en partie, dépendantes de l'inductance effective du réseau. Il est donc essentiel de considérer cette inductance, et donc une longueur critique d'interconnexion, afin de limiter au maximum ces variations de potentiel. Plus la longueur est faible plus le découplage est efficace.

Les possibilités qu'offre la technologie PICS sont un grand avantage. Dans son rôle de substrat, sur lequel les circuits composant le système sont assemblés, les vias traversant (*via hole*) favorisent la diminution des longueurs d'interconnexion, ce qui a pour effet de réduire l'impédance du réseau et particulièrement son inductance et donc de répondre, au niveau circuit, aux spécifications (Z_{target}).

Spécifications→ Fonction↓	Tension d'alimentation $V_{dd}[V]$	Spécification de Voltage Drop Autorisée %	Temps de montée $\tau[s]$	Courant Moyen Consommé $I_{moy}[mA]$	Pic de courant $I_{pic}[A]$	Dérivée du pic de courant dI_{max} [A]	Inductance Maximale autorisée [nH]	Impédance cible $Z_{target}[\Omega]$
Coeur	1,8	10%	600p	80	1,9	$1,34 \cdot 10^8$	1,35	$0,85 * \eta < Z_{target} < 1,04 * \eta$
Entrées-Sorties	3,3	10%	2,5n	25	1,67	$1 \cdot 10^7$	35	$1,77 * \eta < Z_{target} < 2,17 * \eta$

TABLE 3.18: Résumé des contraintes de conception imposées par l'activité des fonctions du circuit numérique

Un autre avantage est l'intégration de composants passifs (IPD : *Integrated Passive Device*). Les capacités enfouies, dont le rapport d'aspect permet d'atteindre des valeurs de capacités très élevées, doit permettre d'entreprendre un découplage à la fois localisé mais aussi optimisé. Ceci souligne la nécessité d'anticiper la contribution de l'activité interne dans l'intégrité des alimentations.

Pour l'application de l'optimisation du découplage, un modèle global du système est alors développé.

3.3.4 Approches de Co-Simulation Globale

3.3.4.1 Représentation en multi-port et Analyses

Le système a donc été partitionné et chaque segment a été modélisé sous forme de « boîte noire » pour être ensuite inséré dans un environnement de simulation. Les segments sont énumérés ci-dessous :

1. Simulation et Modélisation du PCB,
2. Simulation et Modélisation du package et des interconnexions des fils de bonding,
3. Simulation du substrat PICS,
4. Simulation et Modélisation des principaux rails d'alimentation du circuit numérique.

Simulation et modélisation du PCB La structure du PCB est instantiée dans le simulateur Sonnet. La topologie du PCB a imposé de nouvelles simplifications. La carte sur laquelle se trouvent les circuits numérique et analogique permet l'activation des circuits de manière fonctionnelle. Tous les signaux utiles sont véhiculés sur la couche de métal supérieure du PCB. Celui-ci en compte 4, la couche numéro 2 est dédiée aux alimentations et des vias permettent l'accès en surface, sur la couche 1, afin de fournir l'alimentation au circuit considéré. Afin de simplifier le layout, la couche supérieure, où se trouvent les lignes dédiées au signaux est supprimée, nous avons donc conservé la couche de métal 2, ainsi que la couche 3. Le simulateur Sonnet impose un plan de référence auquel nous avons imposé les caractéristiques de la couche de métal de la face arrière de la carte PCB. La simulation a permis d'extraire une nouvelle boîte noire caractérisant la propagation et les coupages des alimentations sur le PCB.

Modélisation du Boîtier SiP Afin de proposer un modèle de boîtier du SiP et des interconnexions, nous avons segmenté l'ensemble en deux parties qui seront assemblées par la suite. Le premier modèle est basé sur une simulation du boîtier seul. Pour ce faire, l'outil de simulation EM Sonnet est choisi. Il offre l'avantage de proposer un « de-embedding » de l'effet des ports, c'est-à-dire que les effets de couplages associés aux ports sont extraits par le simulateur. Le *leadframe* du boîtier présente de petites surfaces métalliques, il nous a semblé important d'éviter de considérer toutes interactions dues à la présence des ports.

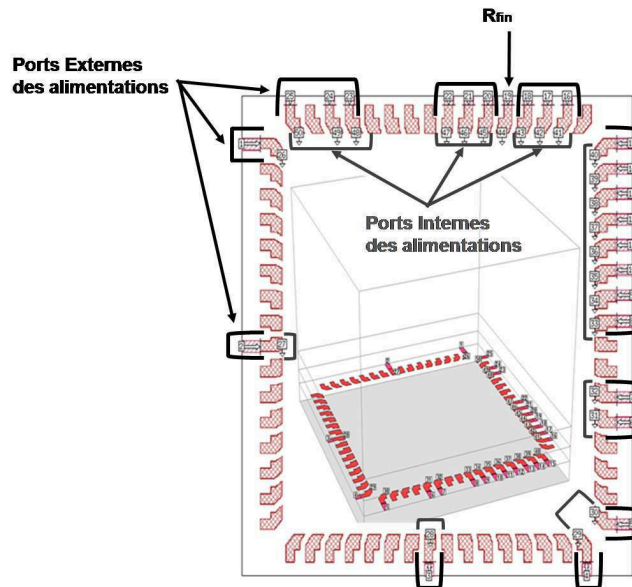


FIGURE 3.92: Simulation sous Sonnet du boîtier du SiP

La figure 3.92 présente la simulation réalisée sous Sonnet. Les ports sont localisés sur les plots des

alimentations et masses des circuits numérique et analogique du boîtier. On remarque une densité plus importante des ports et donc des plots d'alimentation et des masses en haut à droite de la figure 3.92. Cette zone correspond à la localisation du tuner. La sensibilité importante des alimentations du circuit analogique impose une alternance importante des alimentations et des masses. La structure du boîtier HVQFN est instantiée dans le simulateur, depuis le *leadframe* jusqu'au plastique ou la résine. Ainsi la simulation permet de générer un multiport constitué des paramètres S issus de la simulation électromagnétique du boîtier du SiP. Concernant les fils de câblage, ils sont modélisés suivant leur structure, c'est-à-dire leur longueur, leur diamètre, leur nombre et leur répartition, aucun rayon de courbure n'est pris en compte, ce n'est donc qu'une extraction en deux dimensions. Le modèle analytique permet d'en extraire une inductance et une résistance ainsi que les couplages par inductance mutuelle entre ces fils.

Chaque modèle de fil de *bonding* est connecté au plot correspondant du *leadframe* du boîtier. Ainsi, le modèle de boîtier du SiP est obtenu, et de ce fait, l'ensemble des modes de propagation des plans d'alimentation et de masse depuis le circuit numérique jusqu'à l'extérieur du boîtier est modélisé.

Modélisation du substrat PICS La simulation du PICS (*Passive Integrating Component Substrat*) afin d'en extraire un modèle, passe aussi par des opérations de simplification du layout du substrat. Ce circuit est composé de deux niveaux de métallisation qui permettent l'alimentation et le transport des signaux des circuits numérique et analogique. Tous les accès signaux ont été supprimés, ceci dans le but de limiter la complexité du circuit PICS et aussi car nous ne nous intéressons qu'aux phénomènes présents sur les alimentations. Une deuxième étape simplificatrice a été de supprimer toutes les capacités de découplage présentes sur le substrat.

A partir des fichiers technologiques décrivant le substrat et du layout, nous simulons le circuit PICS afin d'en extraire une nouvelle boîte noire, composée des paramètres S issus de la simulation et des ports d'entrée que nous localiserons au niveau de l'interface circuit-numérique/PICS, soit les bumps, et les ports de sorties qui correspondent à l'interconnexion PICS/Boîtier du SiP, soit le niveau où vont venir se connecter les fils de connexions (*WireBonds*). La simulation inclut en plus l'accès RF du système, par lequel les informations haute-fréquence de réceptions satellite DVB-S sont reçues, transitent par le PICS et sont traitées par la suite par le tuner. Ceci pour deux raisons majeures, la première en terme d'émissivité, afin de quantifier la propagation du signal RF vers les alimentations voisines, et la seconde raison pour une considération de susceptibilité. En effet, le circuit réceptionnant l'information RF est un LNA, lequel est susceptible et dont le rôle est aussi d'amplifier le signal satellite. Si une perturbation issue du tuner, ou du circuit numérique vient à apparaître à l'entrée du LNA, l'information utile risque

d'être corrompue. Un avantage qu'offre cette technologie sont les très faibles inductance et résistance parasites de la capacité PICS qui servira par la suite au découplage. De plus la proximité de cette capacité par rapport à la source de courant qu'elle doit découpler favorise les performances en terme de découplage.

Modélisation du PDN du circuit actif numérique Le circuit numérique est un circuit complexe composé du coeur numérique, des mémoires, de deux ADCs, des I/Os et des entrées-sorties. L'objectif va être de segmenter le circuit de manière à obtenir un réseau passif, tout en privilégiant les modes de propagation de ces signaux qu'ils soient conduits ou couplés.

Modélisation des rails d'alimentations Compte tenu de la complexité du circuit, la première phase a été de supprimer les niveaux de métallisation 1,2,3 du circuit. Ainsi sur les 5 niveaux qui le composent, nous ne garderons que les niveaux 4 et 5 avec les vias qui permettent la continuité entre chacun d'eux. Une seconde étape de simplification propose d'unifier les vias entre les niveaux 4 et 5. Ils sont en réalité sous forme d'une multitude de segments. Le fait de les unifier facilite le calcul du simulateur EM, le maillage est plus simple à générer sur une structure unique telle que nous avons considéré les vias. La figure 3.93 présente le layout du circuit simplifié :

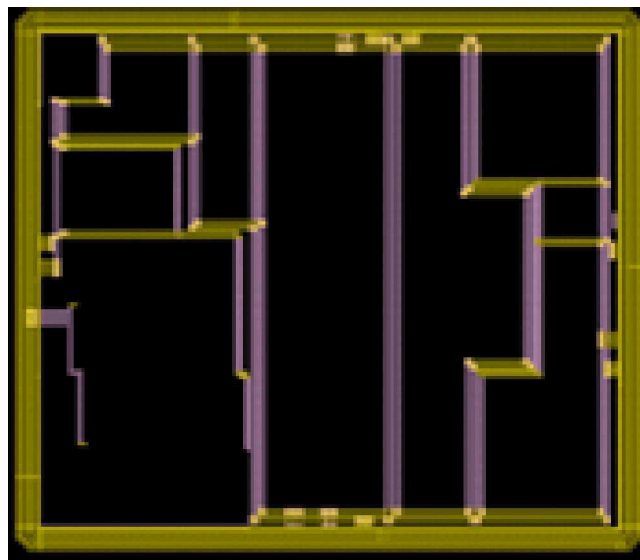


Figure 3.93: Layout des alimentations du circuit numérique

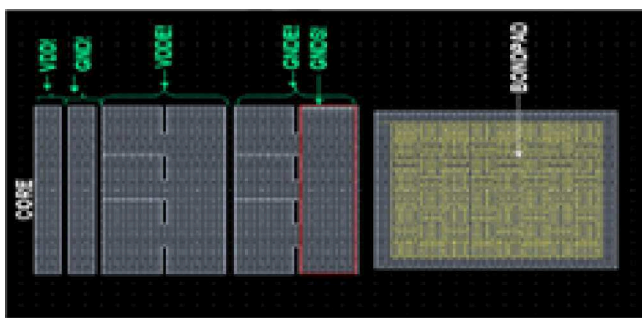
Tout d'abord, le fait de supprimer les niveaux de métallisation 1,2,3 permet d'éviter une simulation trop lourde et un temps de calcul trop important pour l'outil de simulation EM. D'autre part, nous modélisons le circuit sous forme de blocs internes que nous considérerons connectés aux rails principaux. Cette approximation prend en compte le fait que le courant modélisé dans la partie 3.2 correspond à la

consommation d'un ensemble de cellules constituant le bloc (coeur, ram, IO, ADC, E/S). Donc la détermination du courant de manière globale implique que celui-ci est présent sur les rails principaux des alimentations, puis il se divise au fil des noeuds qu'il traverse pour venir ensuite répondre aux besoins énergétiques d'un seul transistor ou d'une seule porte logique. Puisque nous prenons en compte un courant total par bloc, nous considérons qu'il n'a pas encore franchi ces différents noeuds jusqu'au niveau de métallisation 1. Pour la simulation des rails d'alimentation, les E/S sont aussi supprimées, mais leurs emplacements sur les rails sont retenus afin d'y localiser les ports. Ces ports correspondent aux broches d'accès depuis l'extérieur du circuit vers son coeur. Par la suite les ports internes, sur lesquels seront connectées les sources de courant qui modélisent l'activité des blocs, sont localisés soit très précisément, car nous connaissons exactement les points d'accès (ADC, E/S) soit empiriquement car les hypothèses simplificatrices nous forcent à en déterminer l'accès (Coeur, memoires, E/S).

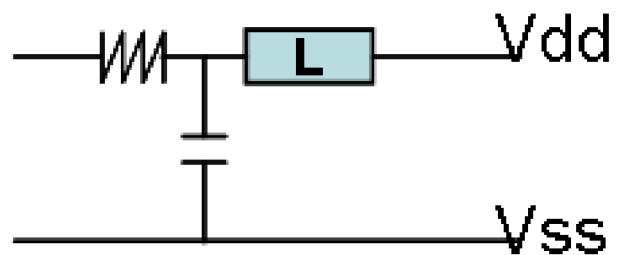
On obtient après simulation, une boîte noire de paramètres S modélisant les interactions conduites et couplées entre chaque entrée-sortie et point d'accès des sources de courant.

La dernière phase est de modéliser la partie passive des plots d'entrées-sorties.

Modélisation des plots d'entrées sorties La modélisation des plots d'entrées-sorties se penche exclusivement sur la partie passive de ceux-ci. A partir des données constructeurs, nous disposons des informations précisant la résistance, l'inductance et la capacité intrinsèque du plot. Deux cas se présentent alors : dans le premier, le plot est connecté à un rail alimenté à 3,3V; dans le second cas, le plot est connecté à une masse. Les descriptions technologiques précisent alors que la capacité fournit correspond aux couplages capacitifs entre le plot et le rail auquel il n'est pas connecté, comme l'illustre la figure 3.94b qui schématise un plot d'alimentation et le couplage associé avec le rail de masse.



(a) Layout du plot d'entrée-sortie du circuit numérique



(b) Schéma électrique du plot

Figure 3.94: Plot d'alimentation

Finalisation du modèle du circuit numérique Le modèle de circuit numérique est maintenant finalisé, il prend en compte les sources de courant, image de l'activité dynamique de chacun des sous-blocs,

ainsi que le modèle passif du circuit.

3.3.4.2 Co-Simulation au niveau Système

Construction des modèles multiports et stimuli associés Tous les modèles précédemment présentés sont insérés dans un simulateur de type SPICE afin d'analyser l'impact des perturbations sur l'environnement du SiP et le pouvoir de découplage des capacités disposées entre le circuit numérique et les alimentations. Le plan de simulation est donné dans la figure.

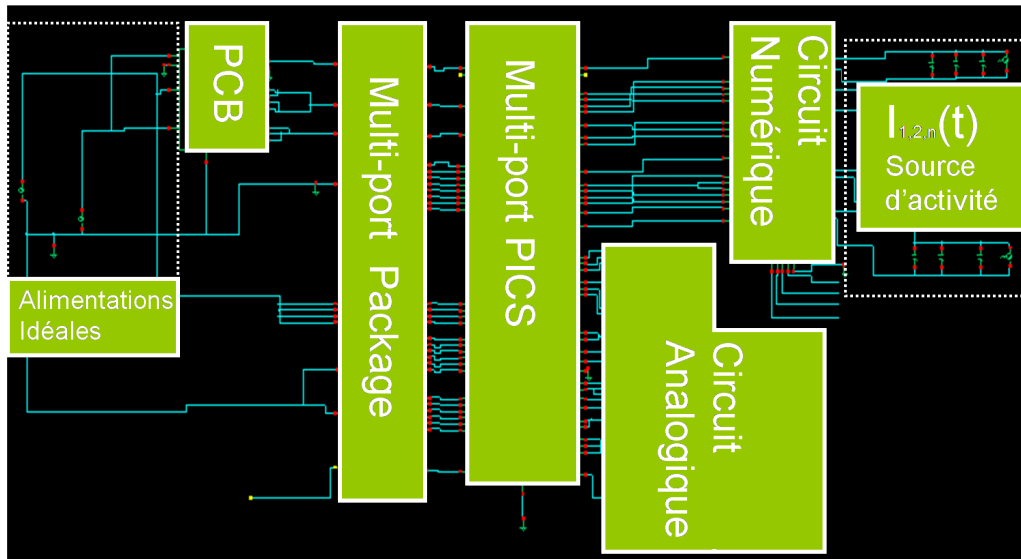


FIGURE 3.95: Plan de simulation du modèle de SiP

Ce modèle global autorise des cas extrêmes de localisation, soit la capacité se trouve sur le substrat PICS au niveau des bumps, soit elle se trouve au niveau des plots d'accès des fils de bonding. Si elle ne se trouve pas localisée sur le PICS, dans ce cas elle sera positionnée au niveau PCB. La figure 3.96 décrit la structure complète. Sur cette figure, seule la couche de métallisation numéro 2 est présentée. C'est sur cette couche que sont assemblés et interconnectés les circuits, les billes de soudure (*bump*) et les fils de cablage (*wire bond*).

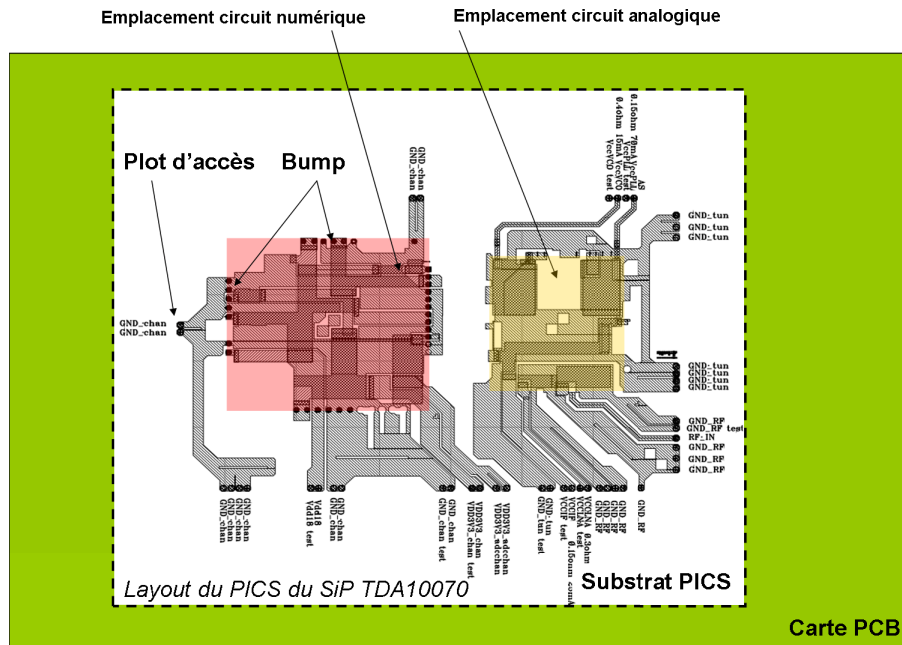


FIGURE 3.96: Structure Complète

La répartition des capacités de découplage est décrite aux différents niveaux physiques du système, c'est-à-dire depuis la carte PCB jusqu'au plus proche du circuit, soit les billes de soudure. L'emplacement de ces capacités, ainsi que leur nombre est un point important vis-à-vis de la description des stratégies de découplage qui ont été envisagée. La solution présentée a nécessité un certain nombre d'itération, et ce à cause des problèmes de couplage entre signaux et alimentations. En effet, ce circuit a subi plusieurs modifications de conception, principalement à cause d'effets de couplage entre les alimentations et les signaux.

La partie qui va suivre va présenter la répartition des capacités de découplage du système. Les capacités présentes sur le PICS peuvent avoir des valeurs de résistances intrinsèques variant, même si la valeur de la capacité est la même. La figure 3.97 illustre cette dépendance au *layout*.

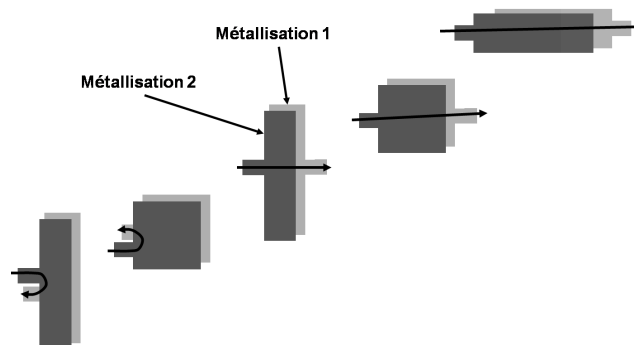


FIGURE 3.97: Différentes géométries de conception

La géométrie du *layout* va donc conditionner la valeur de la résistance mais aussi l'inductance intrinsèque puisque le chemin de passage du courant est différent. Dans la présentation des valeurs des capacités PICS, les inductances ne sont pas fournies.

La figure 3.98 expose la répartition des capacités selon la fonction à découpler. Les capacités permettant le découplage des alimentations du circuit numérique sont peu nombreuses. Tout d'abord, le fait que les niveaux d'alimentation soient différents est une première raison physique. La seconde est que le substrat PICS assure les fonctions de routage des alimentations. Concernant la partie analogique, l'usage de capacités augmente avec le nombre de fonctions dont le niveau d'alimentation doit rester intègre et découplé.

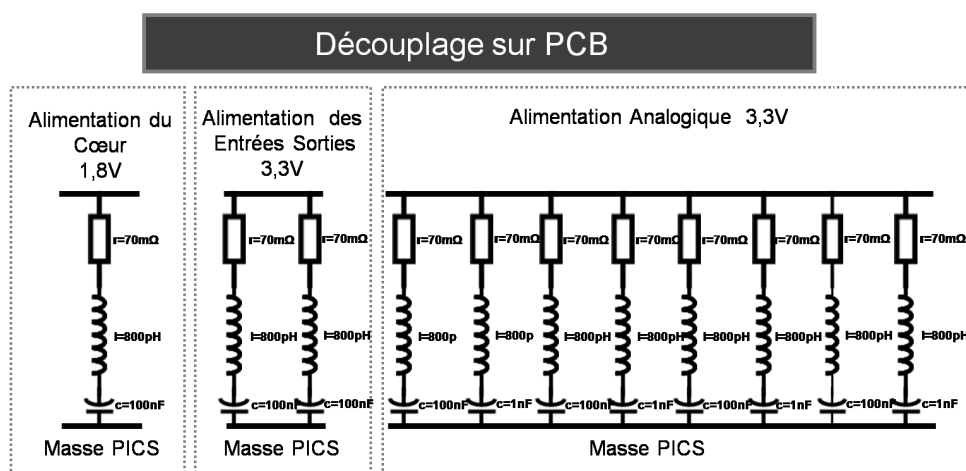


FIGURE 3.98: Capacités situées sur le PCB

La figure suivante présente les capacités localisées aux niveaux des plots de connexion des fils de *bonding*. Cet emplacement est stratégiquement efficace en terme de découplage. En effet, le changement de niveau d'intégration et d'échelle de la carte PCB au boîtier favorise les couplages.

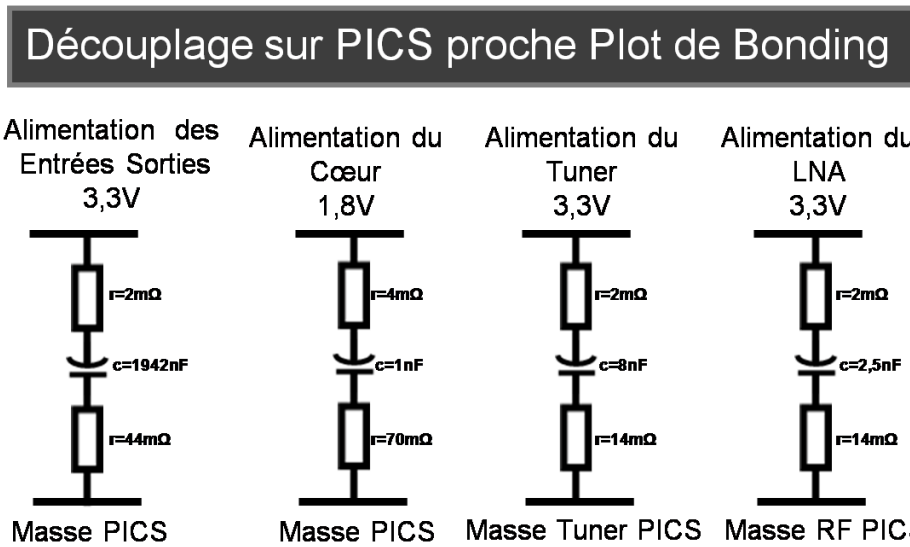


FIGURE 3.99: Capacités situées sur les alimentations du tuner aux niveaux des plot de *bonding*

Les valeurs de capacités de découplage pour le tuner (Tuner et LNA sur la figure 3.99) et les fonctions analogiques et mixtes du coeur numérique (fig. 3.99) sont définies d'une part afin d'assurer la protection du bloc mais aussi en connaissance des impédances caractéristiques de la fonction analogique. L'impédance complexe de la capacité peut avoir un effet non négligeable sur le comportement de la fonction de transfert du bloc. Les signaux traités par les fonctions analogiques nécessitent de protéger la fonction mais aussi d'éviter toutes propagations de ces signaux (RF, HF) dans le réseau d'interconnexion, à cause par exemple des retours de courant ou des boucles. Dans ce cas, le rôle de la capacité est de réduire la dimension de la boucle en favorisant le passage de la perturbation vers le plan de masse.

Concernant le découplage des fonctions numériques, cette approche est à considérer selon la double fonction de la capacité, comme il a été décrit dans les chapitres précédents.

Dans le cas de la figure 3.100, les valeurs des capacités doivent répondre aux mêmes contraintes, les signaux analogiques traités restent sensibles aux perturbations, avec le risque de traiter cette perturbation comme un signal utile apparaissant dans la bande de travail (insertion *in-band*).

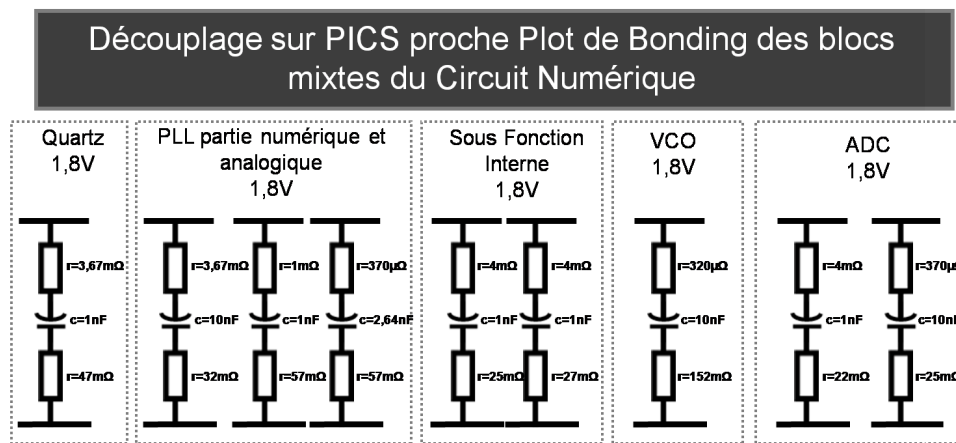


FIGURE 3.100: Capacités situées sur les alimentations des fonctions mixtes du circuit numérique aux niveaux des plots de *bonding*

La description du découplage aux niveaux des billes de bumping est maintenant présentée.

Découplage du Circuit Numérique sur PICS proche des billes de Bumping

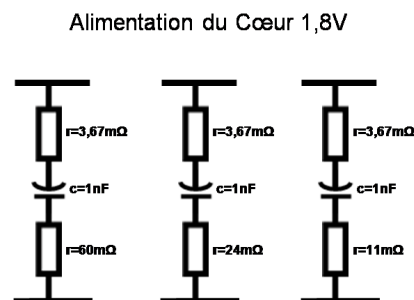


FIGURE 3.101: Capacités situées sur les alimentations du circuit numérique aux niveaux des *bumps*

On observera que pour les alimentations logiques (Entrées-Sorties et Cœur), illustrées par les figures 3.102 et 3.101, les valeurs de capacité sont identiques à quelques picofarad près ($980pF$ à $1nF$).

Découplage Entrée-Sortie sur PICS proche des billes de Bumping

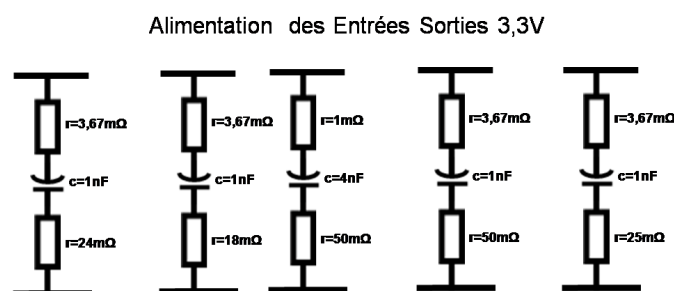


FIGURE 3.102: Capacités situées sur les Entrées-Sorties aux niveaux des *bumps*

La répartition des capacités de découplages essentiellement sur le substrat PICS est favorisée par la possibilité d'optimiser le routage des alimentations sur ce substrat. On observe qu'aux niveaux des billes de bumping, il est possible de localiser très précisément le découplage (plus faible capacité répartie par accès d'alimentation).

Stratégies de découplages L'environnement de simulation qui a été décrit dans les sections précédentes permet d'analyser l'effet du découplage sur la propagation de perturbations d'origines diverses (ADC, Coeur, Entrées-Sorties) dans le système. L'analyse qui suit permet d'observer sur l'alimentation du coeur numérique (1.8V) l'efficacité du découplage en fonction de profils de courant différents (CORE_tri et CORE_trap).

Les sources de courant sont activées selon les spécifications d'activité fournies par le constructeur. Le chronogramme présenté dans la figure 3.103 illustre les temps d'activation instanciés dans la simulation.

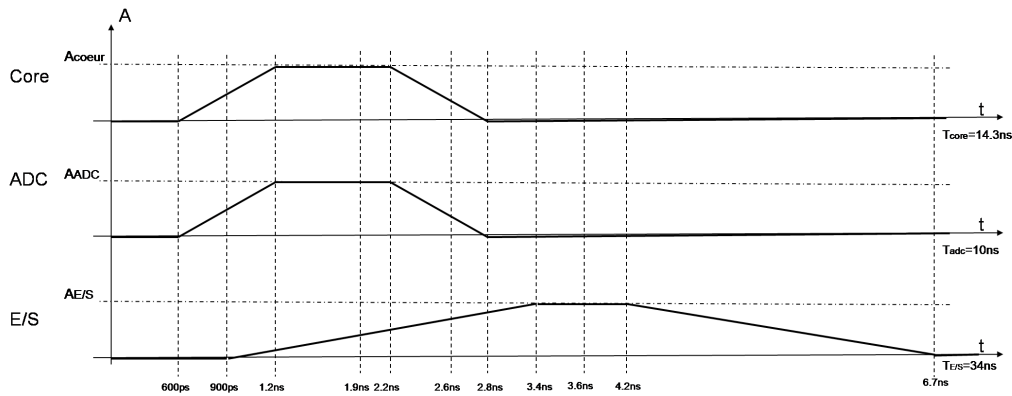


FIGURE 3.103: Chronogramme d'activation

Les différentes simulations permettent de générer des courbes soulignant l'efficacité du découplage. D'autre part, l'optimisation possible des valeurs de capacité est soulignée.

Chaque courbe présente la marge de bruit, c'est-à-dire les niveaux maximum $Vd + dv(t)$, soit 1.98V et minimum $Vd - dv(t)$ soit 1.62V, de fluctuations de tension.

La figure 3.104 présente l'influence de la géométrie du profil sur le *voltage drop*.

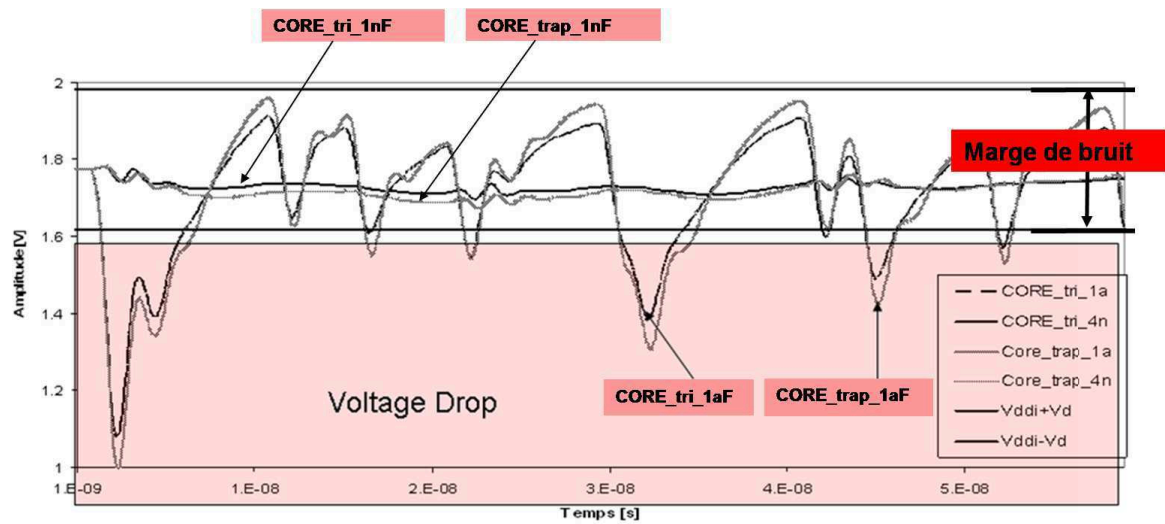


FIGURE 3.104: Influence du profil de courant

Lors de cette simulation, nous avons volontairement imposé deux valeurs de capacités différentes, une très faible de $1.10^{-18}F$ et une seconde valeur élevée de $4.10^{-9}F$. L'objectif est de pouvoir observer l'influence de la géométrie du profil sur le *voltage drop*. On remarquera que le profil trapézoïdal provoque des variations de potentiel importantes sur le réseau d'alimentation. Bien que l'amplitude du pic soit plus faible, et moins brusque du fait de la valeur de plateau du trapèze, le système supporte moins facilement l'influence de l'appel de courant. Et ceci est vrai aux différents niveaux, comme le montre la figure 3.105.

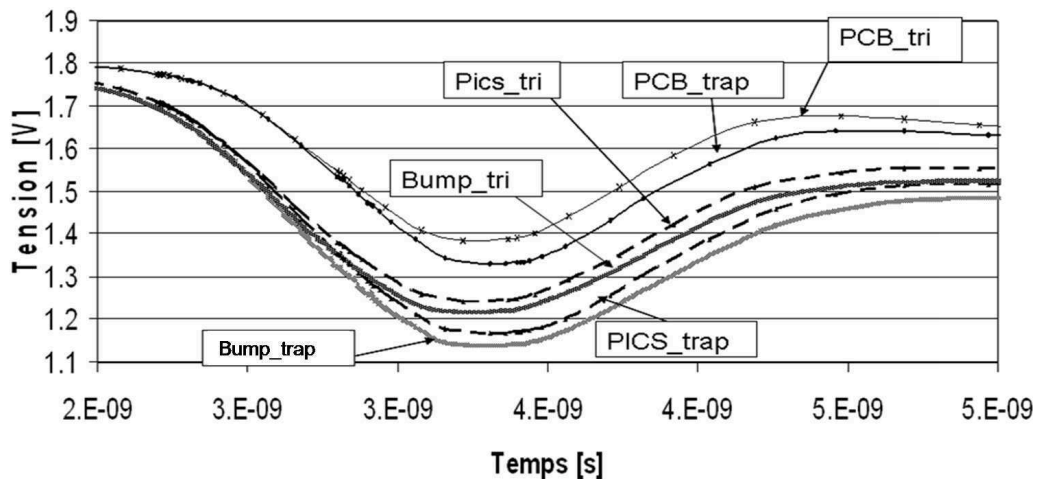


FIGURE 3.105: Influence du profil triangulaire et trapézoïdal de courant

Les simulations et optimisations qui vont être présentées sont issues de modèles trapézoïdaux. Pour justifier ce choix, la modélisation se base sur des blocs de taille importante puisque l'activité de prés

de 210.000 portes logiques est concaténée en 4 blocs : Coeur, mémoire, ADC-numérique et E/S. Les temps de transit dans les cellules sont relativement importants. Ensuite, un point à souligner est que la valeur de l'activité interne est estimée à 25% (α) pour le coeur et les mémoires, ce qui est déjà un niveau considéré critique.

Optimisation du découplage Nous avons modélisé les sources de courant correspondant à l'activité du coeur numérique, des mémoires, des entrées sorties et des convertisseurs. Nous allons nous intéresser aux effets des autres alimentations sur l'alimentation du coeur, ainsi que les possibilité d'optimisations des valeurs de capacité de découplage.

Influence de l'activité des alimentations numériques des ADCs sur l'alimentation du coeur

La figure présente l'influence de l'activité des convertisseurs sur le niveau d'alimentation du coeur. $V(t)_{PCB}$ représente le relevé du voltage drop au niveau du PCB, où pourrait être localisée une capacité de découplage si cela était nécessaire. $V(t)_{PICS}$ représente le *voltage drop* au niveau du PICS, plus précisément proche des fils de bonding.

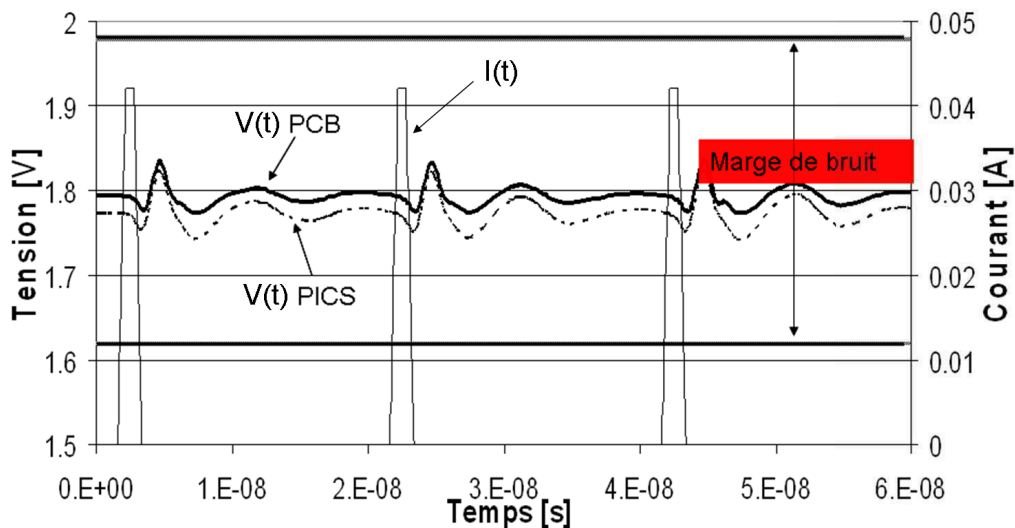


FIGURE 3.106: Influence de l'activité des ADC sur l'alimentation du coeur numérique : Niveau PICS et PCB

La valeur du courant est donnée par l'axe des ordonnées situé à droite sur la figure. Concernant

l'allure des fluctuations, on observe que l'amplitude est atténuée.

Influence de l'activité des ES sur l'alimentation du coeur

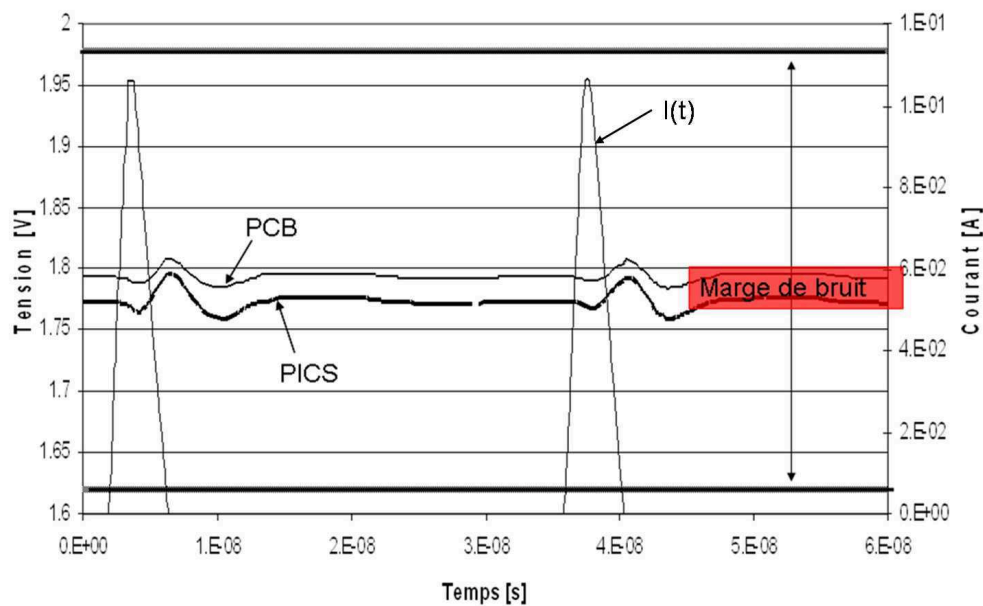


FIGURE 3.107: Influence de l'activité des E/S sur le cœur numérique : Niveau PICS et PCB

La fluctuation observée peut être due soit à différents couplages entre les interconnexions. Elle est cependant suffisamment faible pour ne pas sortir des spécifications. Le découplage entre les différentes alimentations est efficace. On remarquera que le profil trapézoïdal provoque des variations de potentiel importantes sur le réseau d'alimentation.

Influence de l'activité du cœur et des mémoires

Dans cette analyse, on relève l'effet de la consommation du cœur et des mémoires sur l'alimentation 1,8V. L'activité du cœur numérique présente d'importants pics de courant sur cette alimentation, le réseau provoque une déformation de la perturbation qui est clairement observable au niveau du PCB.

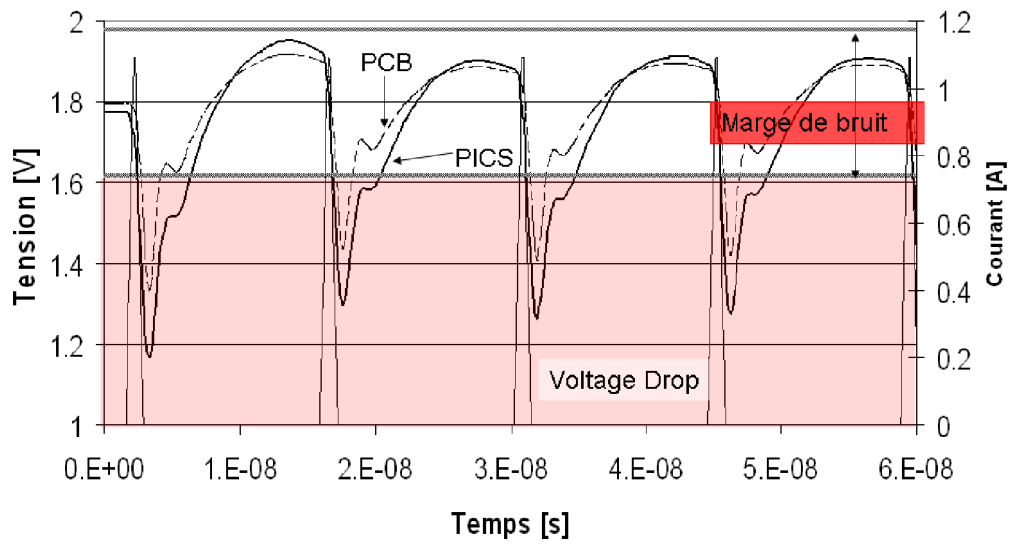


FIGURE 3.108: Influence de l'activité du coeur numérique sur son alimentation : Niveau PICS et PCB

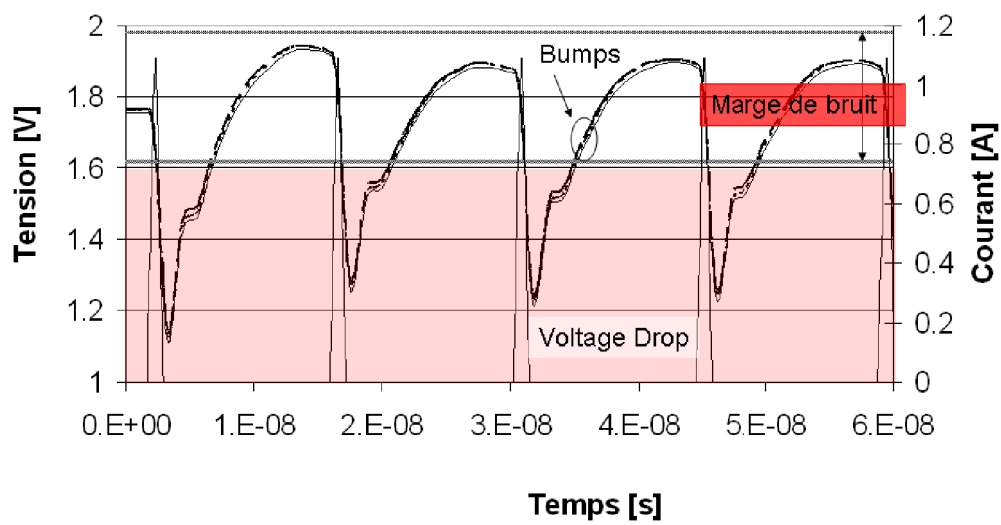


FIGURE 3.109: Influence de l'activité du coeur numérique sur son alimentation : Niveau Bump

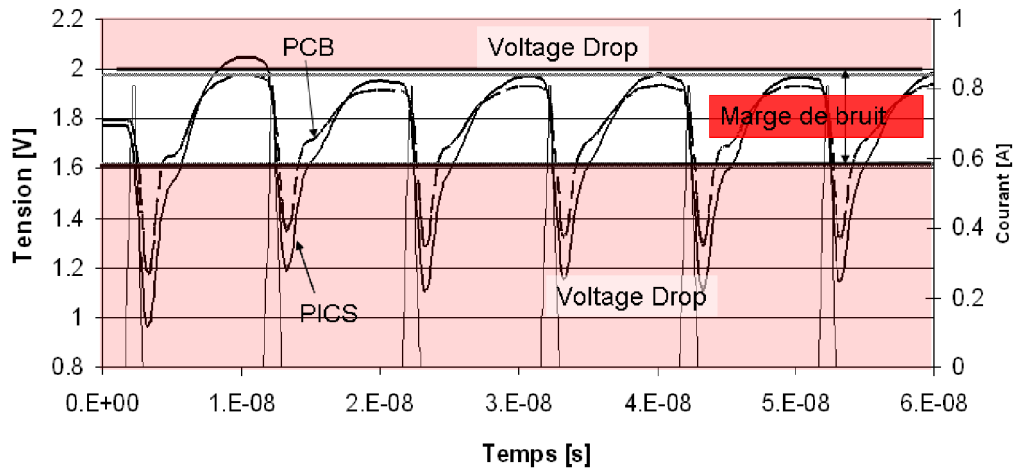


FIGURE 3.110: Influence de l'activité des mémoires sur le coeur numérique : Niveau PICS et PCB

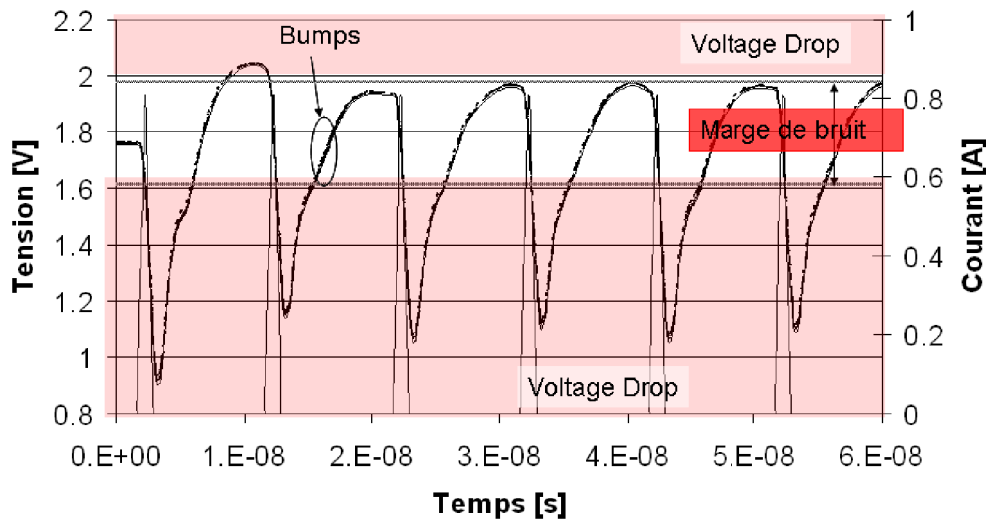


FIGURE 3.111: Influence de l'activité des mémoires sur le coeur numérique : Niveau Bump

L'effet des alimentations des RAMs ($I_{pic_{trap}} = 0.808A$) et du Cœur ($I_{pic_{trap}} = 1.09A$) provoque de fortes perturbations sur l'alimentation du cœur. Le système n'a pas le temps de revenir à un niveau d'alimentation nominal dû à la fréquence de l'activité des Rams et du cœur.

On remarque que malgré une amplitude de pic plus faible des RAM (0.808A), comparée à celle du cœur (1.09A), le voltage drop le plus critique est dû aux mémoires. Il faut considérer la fréquence de fonctionnement qui impose au système un stress supplémentaire. En effet la source d'alimentation (ou le PMU « *power management unit* ») qui est situé à l'extérieur du SiP ne peut fournir l'énergie

suffisante à la fréquence d'activation du bloc considéré. La fréquence est donc un paramètre important dans l'analyse de l'activité, en effet la répétitivité à pour effet de polariser l'environnement au travers des différents types de couplages. Le plan de masse n'étant plus homogène, les différences de potentiels créent des conductions de courant ne garantissant plus la neutralité du plan de masse.

Influence du réseau sur l'allure des perturbations

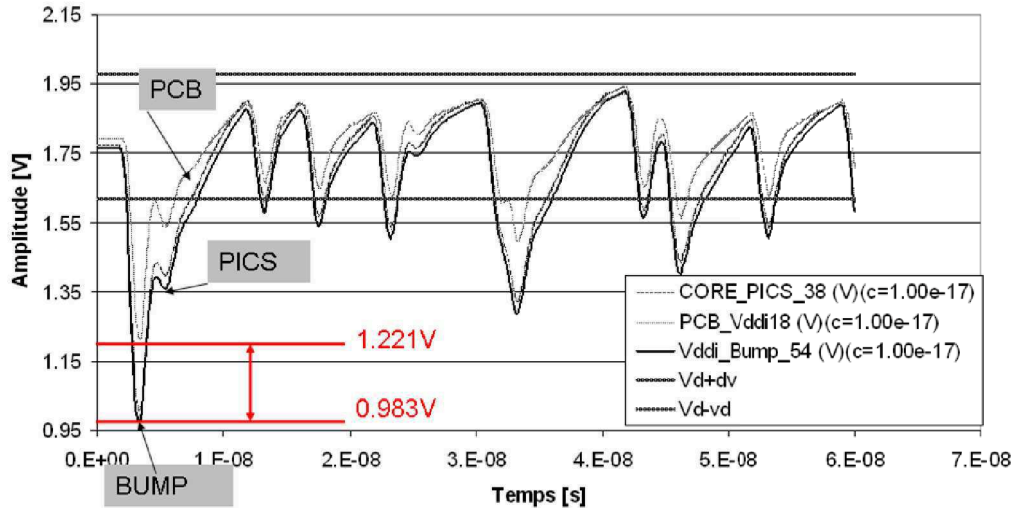


FIGURE 3.112: Influence du réseau sur l'allure du voltage drop

Cette simulation réalisée avec une capacité minimale (proche de zéro) permet d'observer l'effet du réseau passif d'alimentation sur les perturbations électromagnétiques : celles-ci sont atténuées et ceci est dû aux éléments intrinsèques (R,L,C,M) distribués modélisant les rails d'alimentation. La distance entre source (niveau Bump) et victime (niveau PCB) provoque une atténuation atteignant 0.238V. On remarque que la largeur du pic, au niveau PICS et BUMP, sur le niveau d'alimentation reste sensiblement la même, ainsi les éléments RLC provoquent une atténuation de l'amplitude mais leurs effets cumulés maintiennent la largeur du pic et plus celle-ci est faible, plus l'effet de la perturbation peut être destructif sur le système, produisant des *glitch* sur les signaux (*Signal Integrity*) ou de nouveaux affaiblissements de potentiel sur des lignes voisines et les plans de masses (*Power Integrity*).

Analyse du découplage de l'activité du coeur au niveau *Bump*

Dans cette partie de l'étude, nous considérons simplement l'activité du coeur. Une seule capacité, localisée sur un seul rail d'alimentation au niveau *Bump*, est incrémentée et permet de visualiser

l'évolution du *voltage drop* en fonction de la valeur du découplage réalisé.

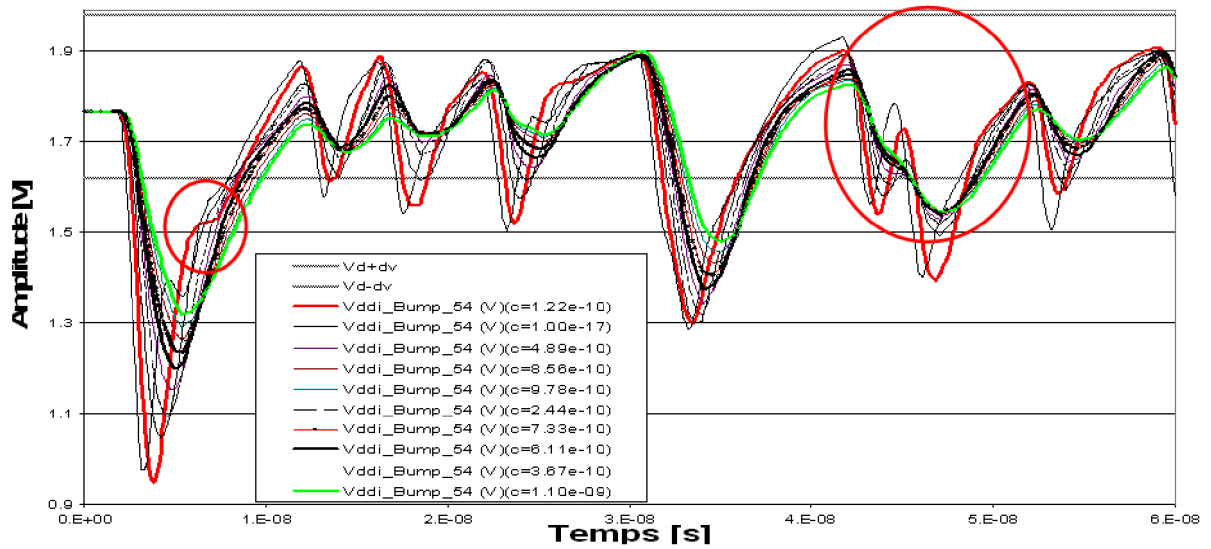


FIGURE 3.113: Influence de l'activité du coeur sur l'alimentation du coeur numérique : Niveau Bump

Afin de simplifier la lecture de la figure précédente, nous isolons certaines courbes, en conservant les valeurs minimales, maximales et deux valeurs intermédiaires de la capacité.

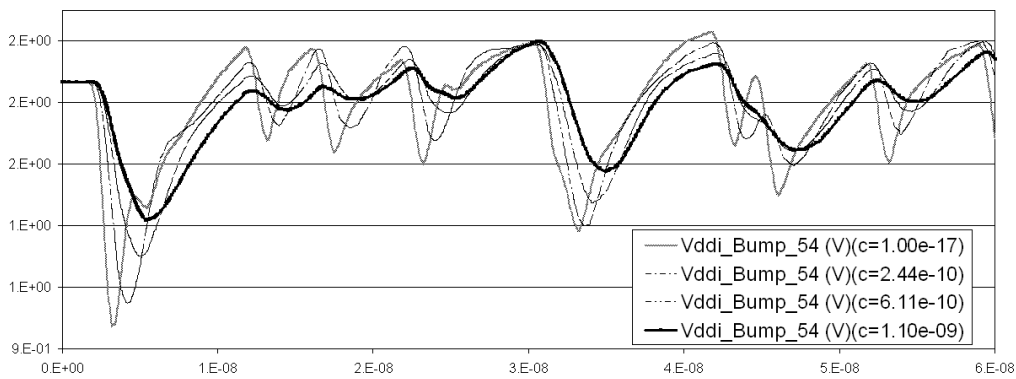


FIGURE 3.114: Influence de l'activité du coeur sur l'alimentation du coeur numérique : Niveau BUMP

On observe que cette unique capacité permet d'atténuer l'amplitude maximale sur le premier pic de consommation d'environ $400mV$. Dans cette analyse, la simulation nous permet de mettre en évidence l'impact d'une seule capacité sur un seul rail soumis à l'ensemble des perturbations EM générées par les modèles d'activité. Bien que la valeur de la capacité à elle seule ne puisse éliminer le voltage drop, un élément à souligner est l'influence de cette capacité sur la largeur du pic de tension. Ceci a pour effet

d'absorber de fluctuations supplémentaires apparaissant pendant les temps de charges et de décharges de la capacité (encadré sur la figure 3.113).

La mise en parallèle d'autres capacités sur les rails restants permettra d'envisager la réduction de la valeur de chacune des capacités mais aussi de d'améliorer l'efficacité du découplage.

Optimisation du découplage de l'activité du circuit numérique au niveau *Bump*

Toutes les sources de perturbations sont activées. Les quatre capacités présentes sur les quatre rails d'alimentation du coeur, au niveau Bump, sont incrémentées. La figure 3.115 illustre la mise en oeuvre d'une possible optimisation des valeurs de découplage, au niveau BUMP, soit au plus proche de la source de perturbation.

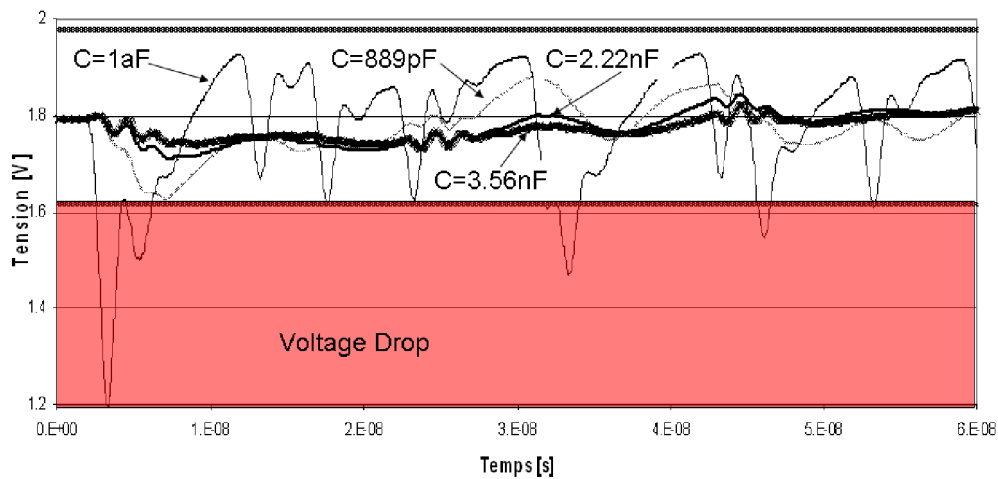


FIGURE 3.115: Découplage progressif : Niveau Bump

Les capacités de $889pF$ suffisent au découplage de l'alimentation. Elles restent proches de la valeur utilisée dans la conception actuelle pour la même localisation (*bump*), par contre dans la conception actuelle d'autres capacités sont localisées sur les autres alimentations et à différents niveaux (Bump, PICS (WB) et PCB). L'intérêt de la simulation est de pouvoir optimiser l'effet cumulé de l'ensemble du découplage sur les perturbations d'une seule alimentation. Tous les effets des perturbations s'additionnent, il en est de même pour le pouvoir du découplage de l'ensemble des capacités, ce qui paraît totalement normal hormis le fait qu'il est extrêmement difficile, pour le concepteur, de quantifier et de qualifier ces effets cumulatifs de perturbations conduites, couplées et rayonnées sur le niveau d'une alimentation. Concernant, le niveau de perturbation, malgré le découplage, les spécifications préconisent

un voltage drop maximum ($\sim 10\%$ de V_{dd}), la question est de savoir si ces précautions prennent en compte les boucles de courant et leurs dimensions à différents niveaux du système.

Le fait d'avoir segmenté les alimentations facilite le découplage localisé sur chaque rail de l'alimentation du coeur, cependant il ne faut pas négliger le fait que la segmentation favorise aussi la diffusion des perturbations EM dans le système.

Nous avons vu aussi que le niveau de consommation n'est pas le seul paramètre influant sur le *voltage drop*. La fréquence d'activation, le facteur d'activé, le réseau passif séparant la source d'alimentation de la fonction et le temps de charge et de décharge du découplage ont une influence importante sur la génération de perturbations EM.

3.4 Conclusions

Diverses approches d'analyse ont été effectuées afin de mettre en oeuvre une étude précise du système SiP, présenté dans ce chapitre. Il est effectivement essentiel d'apporter une attention particulière à la topologie du système, c'est-à-dire en regard des techniques d'assemblage et d'interconnexion, la technologie des circuits composants le système, ainsi que le type d'information à traiter par le système.

Dans la continuité de la méthodologie présentée dans le chapitre 2, conjointement à une analyse au niveau circuit, nous avons étudié le bilan de consommation de puissance des fonctions logiques et mixtes sur lesquelles nous avons porté notre intérêt. La création d'une interface d'aide à la conception a été entreprise afin de répondre aux besoins de l'estimation de puissance statique pour les considérations thermiques et dynamiques pour les considérations d'intégrité des alimentations. Nous avons donc discuté l'analyse de l'activité du circuit numérique et de ses fonctions internes (coeur et E/S), et ce, en considérant l'influence de la couche logicielle sur la puissance consommée. Le résultat de cette première approche a permis d'obtenir des niveaux de puissance concordants entre estimations analytiques et semi-analytiques, issus des données constructeur ou bien des mesures.

Notre approche propose d'adapter le modèle d'activité au signal grâce à l'application à une représentation en base arbitraire adaptative. Une différence essentielle entre notre approche et la démarche de modélisation ICEM réside dans deux points fondamentaux. Le premier point concerne l'aptitude de l'approche proposée à s'adapter à la spécificité des signaux traités en permettant de manipuler des domaines d'alimentation multi-fréquentiels. Le deuxième point différenciateur réside dans la possibilité de traduire ce modèle multi-fréquentiel en sources instanciables dans les simulateurs de circuit pour la description de fonctions digitales. Ainsi, l'hypothèse d'une source localisée, comme le suppose l'approche ICEM, est contournée.

Cette modélisation a été reliée à l'aspect technologique du circuit numérique. Ceci a conduit à l'élaboration de règles de conception (longueur critique d'interconnexion, impédance cible, découplage, optimisation du routage).

Traditionnellement, un circuit est d'abord conçu sans préoccupation précise du besoin en découplage. Les concepteurs répondent à ce besoin par le placement empirique et parfois démesuré de capacités. L'objectif est de répondre aux spécifications du circuit (impédance d'entrée, variation de la tension d'alimentation), et ceci est réalisé lorsque le circuit ou le système est finalisé. Par la suite, le découplage sur la carte du PCB a pour rôle de rattraper les défauts de conception. Notre contribution met en exergue l'aspect hiérarchique du découplage, avec une vision « montante » (*bottom-up*), c'est-à-dire depuis la conception du circuit intégré jusqu'à l'insertion du système sur la carte PCB, en opposition à la vision « descendante » (*top-down*).

Dans l'application de l'optimisation du découplage, un modèle global du système a été effectué.

Chaque niveau d'interconnexion des plans d'alimentation du PCB, boîtier et circuits (numérique) a d'abord été simulé pour la prise en compte des couplages électromagnétiques et comparé, quand cela a été possible, à des mesures. La mise en oeuvre de mesure dans le domaine fréquentiel, avec un analyseur de réseau, et dans le domaine temporel, à l'aide d'un réflectomètre, nous a permis de comparer ces deux types de mesure et d'en souligner leurs avantages. Enfin, un modèle multiport du réseau passif a été proposé. L'inconvénient de cette co-simulation, telle que nous l'avons menée, et donc de considérer chaque niveau indépendamment, est la perte d'informations concernant les couplages à chaque interface. Hormis ce point, un grand avantage est la modélisation en multiports de chaque plan d'alimentation sous forme de paramètres BBS (*Broad Band Spice Model*), ce qui permet de générer des modèles qui peuvent être instantiés dans des simulateurs type SPICE sans problème de convergence du moteur de résolution du simulateur.

L'application de ces méthodologies au cas du circuit test TDA10070 a été présentée dans la dernière section du chapitre.

Bibliographie

- [1] Rapport de Janvier 2008
- [2] Rapport Mars 2009
- [3] S. Wane et G. Boguszewski, « Global Digital-Analog Co-Simulation Methodology for Power and Signal Integrity aware Design and Analysis, » Microwave Integrated Circuit Conference, 2008. EuMIC 2008. European, 2008, pp. 450-453.
- [4] H. Benoit, « La télévision numérique : satellite, câble, terrestre. Principes et Application du système DVB. », Collection Audio Vidéo, 2002, 3^e Edition. ED. Dunod, ISBN : 2-10-006302-2
- [5] Cadence SiP : www.cadence.com/products/di/voltagestorm
- [6] S. Wane, J. C. Rautio, and Volker Mühlhaus, « Topological and Functional Partitioning in EM Analysis : Application to Wafer-Level Chip-Scale Harmonic Filters, » IEEE- Microwave Theory and Techniques Symposium, Boston 2009.
- [7] C. Labussiere-Dorgan, S. Bendhia, E. Sicard, Junwu Tao, H. Quaresma, C. Lochot, et B. Vrignon, « Modeling the Electromagnetic Emission of a Microcontroller Using a Single Model, » IEEE Transactions on Electromagnetic Compatibility, vol. 50, 2008, pp. 22-34.
- [8] Visual Basic for Applications : <http://msdn.microsoft.com/fr-fr/vbasic/default.aspx>
- [9] Cadence IC : <http://www.cadence.com/us/pages/default.aspx>
- [10] S. Wane, D. Bajon, « Partition-Recomposition Methodology for Accurate Electromagnetic Analysis of SiP Passive Circuitry, » in EUROCON 2007, Int. Conf. « Computer as a Tool », Warsaw, Poland, Sep. 2007, pp. 15-23.
- [11] S. Wane and D. Bajon, « Partition and global methodologies for IC, Package and Board co-simulation in SiP applications, » in Europ. Microwave integrated circuit conference, 2007, EU-MIC2007, Oct. 2007, pp. 451-454.
- [12] Matlab, version 2007.a, <http://www.mathworks.com/>
- [13] Mathematica, <http://www.wolfram.com/products/mathematica/index.html>

- [14] Scilab, [http ://www.scilab.org/](http://www.scilab.org/)
- [15] M. Duplessis, O. Tesson, « Physical Implementation of 3D Integrated Solenoids xithin Silicon Substrate for Hybrid IC Applications, » in Europ. European Microwave Week 2009, EuMW2009, Oct. 2009.
- [16] O. Tesson, « High Quality Monolithic 8-shaped Inductors for Silicon RF IC Design, », IEEE, pp 94-97, 2008.
- [17] R.P. Ribas, J. Lescot, J.L. Leclercq, J.M. Karam and F. Ndagijimana, « Micromachined Microwave Planar Spiral Inductors and Transformers, », IEEE Trans. Microwave Theory Tech., vol. 48 ; pp. 1326-1335, Aug. 2000.
- [18] R. Dekker, P.G.M. Baltus and H.G.R. Maas, « Substrate Transfer for RF Technologies, », IEEE Transactions on Electron Devices, vol. 50, n°3, pp. 747-757, March 2003.
- [19] A. Sutono, A. Pham, J. Laskar and W.R. Smith, « Development of Three Dimensional Ceramic-Based MCM Inductors for Hybrid RF/Microwave Applications, », IEEE Radio Frequency Integrated Circuits Symposium, 1999.
- [20] A.E. Ruehli, « Inductance Calculations in a Complex Integrated Circuit Environment, », IBM J. RES. DEVELOP, pp. 470-481, 1972.
- [21] D. Melendy, P. Francis, C. Pichler, K. Hwang, G. Srinivasan and A. Weisshaar, « A New Wide-Band Compact Model for Spiral Inductors in RFICs, », IEEE Electron Device Letters, vol. 23, n°5, pp. 273-275, May 2002.
- [22] S. Kim and D.P. Neikirk, « Compact Equivalent Circuit Model for the Skin Effect, », IEEE MTT-S Digest, pp. 1815-1818, 1996.
- [23] J-L. Levant, M. Ramdani, et R. Perdriau, « ICEM modelling of microcontroller current activity, » Microelectronics Journal, vol. 35, Juin. 2004, pp. 501-507.
- [24] Sonnet Software, version 11.56, [http ://www.sonnetsoftware.com/](http://www.sonnetsoftware.com/)

Conclusion Générale

L'analyse de l'intégrité des alimentations dans un système complexe, type SiP, est un sujet très vaste qui nécessite une compréhension des caractéristiques analogiques et numériques des fonctions, une description fonctionnelle ou comportementale, une description physique et une étude de la topologie et de l'architecture multi-échelle du système (PCB, interconnexions, PICS, circuits intégrés). C'est dans ce cadre là que se situe notre étude.

Dans ce travail, des techniques de modélisation analytiques et semi-analytiques à la modélisation de l'activité interne des circuits numériques ont été développées pour l'estimation des puissances statiques et dynamiques consommées au niveau système.

Une interface graphique a été développée pour aider aux études de faisabilité et de dimensionnement en termes de bilan de puissance et d'estimation des pourcentages d'activité des blocs digitaux agresseurs. Cette interface sera accessible dans l'environnement de conception NXP-Semiconducteurs pour utilisation par des ingénieurs concepteurs de circuits en amont des projets de conception afin de dimensionner la consommation des différents blocs pour une meilleure optimisation des capacités de découplage.

Une formulation permettant de développer l'activité interne en courant des blocs numériques sur une base de fonction arbitraire permet de généraliser les techniques classiques basées sur des approches mono-fréquentielles où un seul profil (triangulaire ou trapezoïdal) est à la fois décrit. Cette formulation rend désormais possible l'analyse simultanée de plusieurs domaines d'alimentation auxquels différentes fréquences d'horloge sont associées. Le développement de l'activité interne sur une base quelconque autorise une description de puissance totale en contributions élémentaires sur des fonctions constituantes choisies en fonction des attributs du signal considéré. Cette nouvelle représentation de l'activité numérique couplée à des considérations technologiques a permis de mettre en évidence des règles de conception.

L'application des techniques de modélisation analytiques et semi-analytiques proposées, en aidant à l'estimation des puissances consommées permet d'orienter les choix concernant les solutions d'assemblages et les considérations thermiques associées. Ces approches ont été couplées à des extractions de modèles RLC pour représenter les fluctuations des tensions d'alimentation, incluant une description en fonction de transfert de blocs analogiques. La précision des extractions proposées a été validée en comparaison avec différentes méthodes utilisées par des outils de simulation commerciaux (Momentum, Sonnet, etc...), et par corrélation à des données expérimentales. L'analyse des extractions des circuits passifs basés à travers des représentations multi-ports a été discutée.

Les limitations des résultats d'extraction issus d'approches analytiques et semi-analytiques, en termes de comportement large-bande ont été étudiées. Ces limitations, pour être levées, demandent des analyses électromagnétiques globales où les effets de couplage sont proprement pris en compte. Ceci souligne l'importance des solutions de co-simulation globale. De telles analyses globales pour être applicables à l'analyse de circuits en grandeur-nature, requièrent des méthodologies d'analyse innovatrices et efficaces pour surmonter les contraintes de complexité qu'imposent les descriptions au niveau système et les influences liées aux pertes et autres effets résultant de la distribution des plans de masse.

L'application de méthodologies de co-simulation globale à des circuits test développés par NXP-Semiconducteurs pour des applications satellitaires a été présentée. La combinaison des extractions BBS (*Broad Band SPICE*) avec la « *backannotation* » à des modèles d'activité de sources temporelles a permis la simulation au niveau système de l'effet des capacités de découplage, en évaluant leurs influences sur les fluctuations des tensions d'alimentation.

L'application de ces méthodologies globales rend possible une optimisation globale des stratégies de découplage au niveau système. Les études comparatives des performances obtenues avec des capacités de découplage discrètes ont permis de démontrer la valeur ajoutée des solutions PICS en termes de ESL, ESR et de fréquence de résonance et ce pour des capacités denses.

Il est à noter que les approches analytiques et semi-analytiques d'une part et la méthodologie de co-simulation globale d'autre part ne sont pas conflictuelles mais complémentaires dans l'analyse de systèmes hétérogènes. En effet, au niveau des études de faisabilité les approches analytiques et semi-analytiques permettent une analyse prédictive des consommations statiques et dynamiques. L'analyse de co-simulation globale permet de rendre compte d'une plus grande complexité avec la prise en compte d'effets physiques distribués ce que les approches analytiques et semi-analytiques négligent en général.

Perspectives

Tout d'abord le développement de l'utilitaire avec un outil logiciel plus adapté permettrait d'envisager un traitement des données plus souple, plus d'ergonomie quant à son utilisation, la possibilité de générer des profils plus complexes et une portabilité accrue.

La génération des profils doit être approfondie afin de pouvoir instantier dans un simulateur l'ensemble des sources couplées caractérisant l'activité du circuit numérique.

Enfin le modèle global du système demande une investigation plus approfondie concernant les points suivants :

- Tout d'abord la segmentation du système provoque une perte d'information concernant les couplages aux différents niveaux d'interconnexion.
- Ensuite, l'optimisation du découplage demande une exploitation plus approfondie du modèle.
- La méthodologie de modélisation globale doit être mise en oeuvre sur d'autres systèmes complexes et hétérogènes.

4 ANNEXES

4.1 Annexe : Architecture Pipeline des Convertisseurs Analogique Numérique

L'architecture du convertisseur Analogique-Numérique est présentée par la figure 4.1.

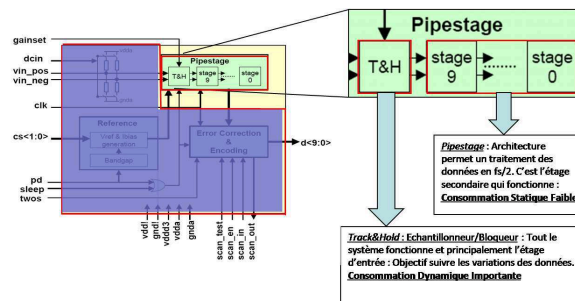


FIGURE 4.1: Architecture « *pipeline* » des convertisseurs analogique-numérique

Le convertisseur est segmenté en deux parties, la première correspond aux fonctions analogiques consommatrices d'environ $50mA$, la seconde est la partie numérique consommatrice d'environ $1mA$.

4.2 Annexe : modèle MEXTRAM

Le tableau suivant détaille les paramètres du modèle Mextram utilisé dans la caractérisation de la fonction analogique *LNA*.

PARAMÈTRES	NOM BJT504	UNITÉ	FORMULATION ASSOCIÉE
BASE			
<i>Résistance intrinsèque de la base</i>	<i>Rb</i>	$[\Omega]$	/
CONNEXION BASE B2 - EMETTEUR E1			
<i>Capacité intrinsèque Base-Emetteur</i>	<i>Cbe</i>	$[pF]$	$\frac{gm}{2.\pi.fT}$
<i>Capacité intrinsèque Base-Emetteur</i>		$[fF]$	/
<i>Résistance intrinsèque Base-Emetteur</i>	<i>Rbe</i>	$[\Omega]$	$\frac{\beta}{gm}$
CONNEXION BASE B1 - COLLECTEUR C1			
<i>Capacité Miller</i>		$[fF]$	/
<i>Capacité</i>		$[fF]$	/
<i>Capacité</i>	<i>C_{BC}</i>	$[fF]$	/
EMETTEUR			
<i>Résistance intrinsèque de l'émetteur</i>	<i>Re</i>	$[\Omega]$	
CONNEXION COLLECTEUR C1 - EMETTEUR E1			
<i>Gain (Transconductance)</i>	<i>gm</i>	$[1/\Omega]$	
<i>Beta</i>	β		
<i>Courant Collecteur</i>	<i>ic</i>	$[A]$	$gm.Vbe = \beta.ib$
<i>Résistance intrinsèque collecteur C1 - émetteur E1</i>	$1/g_{out}$	$[\Omega]$	
COLLECTEUR			
<i>Résistance intrinsèque du collecteur</i>	<i>Rc</i>	$[\Omega]$	

TABLE 4.1: Paramètres du modèle MEXTRAM

Les caractéristiques des gains en tension, en courant et en puissance sont décrites par les équations : Gain en courant

$$G_I = \frac{-\beta * Rc}{Zbe + Re * (\beta + 1)}$$

Gain en tension

$$G_V = \frac{Vdd - Rc * ic}{E * \frac{Zin}{Zin + Zantenne}}$$

Où E est le niveau d'entrée de la tension continue sur l'entrée RF de l'amplificateur, et $Z_{antenne}$ est l'impédance de la source E . Le gain en puissance est décrit par :

$$G_P = G_I.G_V$$

4.3 Annexe : Matrice Chaîne et *De-embedding*

Le principe de l'analyse en réponse harmonique des structures passives se base sur le principe de l'injection d'un signal dont la valeur de la fréquence du signal injecté, pour la mesure, augmente. La définition du port correspond à une source de charge 50Ω , 75Ω ou autres selon les normes. Ainsi est injecté un signal à l'entrée d'une structure, ce signal peut-être transmis, ou réfléchi. Les rapports entre signaux transmis et émis et, réfléchis et émis permettent de caractériser le comportement de circuit.

$$\begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} = \begin{bmatrix} \frac{C_{12}}{T_{22}} & \frac{C_{11}C_{22}-C_{12}C_{21}}{C_{22}} \\ \frac{1}{C_{22}} & -\frac{C_{21}}{C_{22}} \end{bmatrix}$$

$$\begin{bmatrix} C_{11} & C_{12} \\ C_{21} & C_{22} \end{bmatrix} = \begin{bmatrix} -\frac{S_{11}S_{22}-S_{12}S_{21}}{S_{21}} & \frac{S_{11}}{S_{21}} \\ -\frac{S_{22}}{S_{21}} & \frac{1}{S_{21}} \end{bmatrix}$$

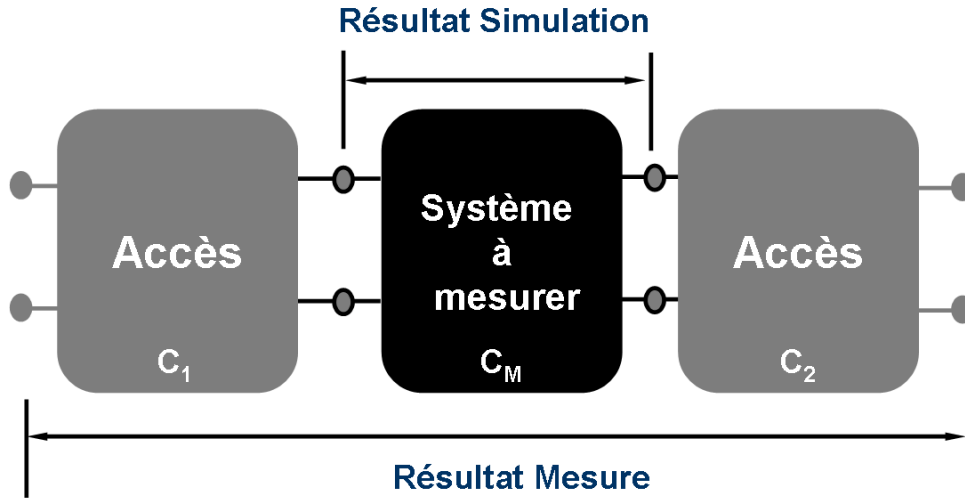


FIGURE 4.2: Matrice chaîne

$$C = C_1.C_M.C_2 \quad (4.1)$$

$$C_M = C_1^{-1}.C.C_2^{-1} \quad (4.2)$$

L'extraction de C_M permet d'isoler uniquement les paramètres utiles à l'exploitation de la structure que l'on cherche à mesurer.

4.4 Annexe : Description de la chaîne de transmission satellite DVB-S

Descriptif de la chaîne de transmission en DVB-S Pour transmettre des signaux MPEG-2 sur un transpondeur satellite, on utilise le QPSK (Quadrature Phase Shift Keying) pour moduler les informations numériques sur la fréquence porteuse. La transmission satellite demande des codes de corrections puissants et une modulation la moins sensible possible aux distorsions de phase et d'amplitude [4].

La modulation QPSK module la phase de la porteuse, en fonction des données à moduler, la porteuse est forcée dans une des quatre phases possibles, appelées aussi symboles et chaque symbole code deux bits de données, Q et I, tel que l'illustre la figure 4.3. Le grand avantage de cette méthode est que chaque symbole code deux bits de données, donc double la quantité potentielle de données qui serait transmise avec une modulation d'amplitude ou de fréquence.

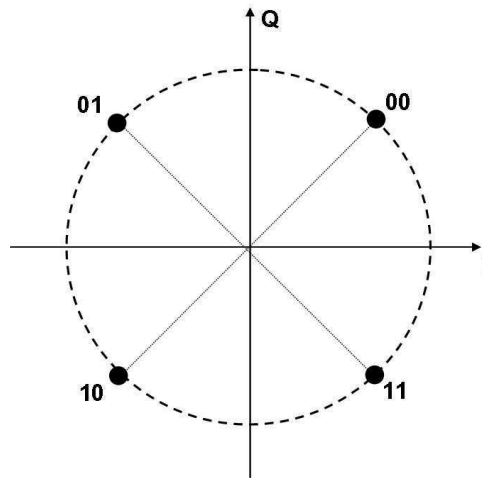


FIGURE 4.3: Valeurs possibles d'un symbole en modulation QPSK

La figure 4.3 montre chaque paire possible de bits de données représentée par un angle de phase différent. La largeur d'un canal satellite à $-3dB$ est de $36MHz$. On définit le débit binaire :

$$\frac{LargeurCanalSat}{(1+Roll-Off)} \text{ soit : } 36/(1 + 0.35) = 26.6Mbit/s$$

En pratique on prend une largeur un peu plus grande de $27.5Mbit/s$, cette valeur correspond au débit de sortie du modulateur, elle est égale au Débit Symbole (*Symbole Rate*) soit $27.5Msymbol.s^{-1}$. Comme nous employons une modulation QPSK, on sait qu'un symbole comporte deux bits, le débit binaire est donc de $55Mbit.s^{-1}$ soit un Débit Brut de $55Mbit.s^{-1}$.

Ainsi le tuner du système va fournir au démodulateur deux flots de bits, qui devront être d'abord numérisés grâce à la présence de deux convertisseurs analogique-numérique (CAN). Ces deux convertisseurs se trouvent au premier niveau d'entrée des signaux du démodulateur, et disposent d'une alimentation numérique et analogique. Dès que les informations sont traitées, celle-ci sont démodulées,

corrigées et décodées au travers d'un coeur numérique associé à des mémoires. En référence à la formule 2.15, décrite dans la section 2.1.2.2 page 90, les convertisseurs considérées sont caractérisés par les paramètres suivants :

- $L_{min} = 180\text{nm}$,
- $F_{sample} = 100\text{MHz}$ et qui correspond à la fréquence d'échantillonnage,
- $F_{signal} = F_{sample}/2 = 50\text{MHz}$;
- Le nombre effectif de bit ENOB (*Effective Number Of Bit*) est égale à 9,4
- $u = -0,1525$ et $v = 4,838$ correspondent, ces deux paramètres sont extraits par des techniques d'interpolation pour une architecture dite « *pipeline* ». Dans le cas de notre étude, nous ne considérerons que la consommation numérique des convertisseurs.

La chaîne de transmission est décrite par les points suivants :

- Décodeur Viterbi,
- Code Convolutif,
- Des(-entrelaceur),
- Décodeur Reed Salomon,
- Dé-brassage.

Décodeur Viterbi ou poinçonnage :

Le poinçonnage consiste à améliorer le rendement en ne transmettant pas certains bits sortant du codeur convolutif. Si trois bits se présentent en entrée de codeur, on va en retrouver 6 en sortie mais on en transmettra que 4. Le rendement sera alors de 3/4. On parle aussi de FEC 3/4 (FEC = *Forward Error Correction*). Ce poinçonnage crée des erreurs puisque l'on ne transmet pas tous les bits. En réception, dans le décodeur de Viterbi, on remplace ces bits par des zéros. De par la robustesse et la nature du code convolutif choisi, on retrouve leur valeur la plus probable. Un problème subsiste cependant. Le signal numérique est de forme rectangulaire et si on le module ainsi, on obtient un spectre en fréquence infini (un sinus cardinal $\frac{\sin(x)}{x}$). On va résoudre le problème en filtrant le signal de façon à réduire la bande occupée. Le filtre choisi est le filtre de Nyquist

Half-Nyquist Filter ou code convolutif :

Le canal de transmission agit comme un filtre qui déforme le signal émis. Afin d'optimiser l'occupation de bande, le filtrage est réparti également entre l'émetteur et le récepteur, chacun comportant un filtre « demi-Nyquist ». Ce filtrage est caractérisé par son facteur de « *roll-off* ». Le *roll-off* est généralement choisi égal à 0.35 pour la réception satellite car c'est l'un des meilleurs compromis entre une bonne

efficacité du filtre et un bon rendement. Le *roll off* choisi pour le câble est de 0.15 car c'est un milieu protégé et de bande passante faible.

(De-)Interleaver ou (dés)entrelaceur :

Une des choses les plus difficiles à corriger est une longue suite de bits ou d'octets consécutifs erronés. On va donc répartir, à l'émission, les octets d'un paquet dans d'autres paquets. Ainsi les erreurs «d'évanouissement» sont réparties dans les paquets suivant un codage connu du récepteur.

Reed Solomon Decoder :

Le code de Reed-Solomon (code RS) est un code correcteur dont le principe est de construire un polynôme à partir des symboles à transmettre et de le sur-échantillonner. Le résultat est alors envoyé, au lieu des symboles originaux. La redondance de ce sur-échantillonnage permet au receveur du message encodé de reconstruire le polynôme même s'il y a eu des erreurs pendant la transmission. Ce code est noté RS(188,204,t=8), ce qui veut dire 188 octets en entrée, 204 en sortie du codeur et 8 octets sur 188 peuvent être corrigés. Le rendement de ce code est alors de $188/204$.

(De)scrambler ou (dé-)brassage :

Le brassage est utilisé pour uniformiser la distribution des 0 et les 1 pour les bits présents dans le message. On combine de manière logique un signal numérique avec une séquence pseudo-aléatoire pour rendre son spectre uniforme après modulation. On répartit donc l'énergie sur l'ensemble du canal de transmission. En clair, cette méthode permet d'éviter les longues suites de 1 ou de 0 qui créeraient une raie à forte énergie dans le spectre. De ces définitions, nous pouvons déterminer le débit utile en modulation QPSK :

Débit Utile= Débit Brut * Rendement RS * Rendement Code Convolutif

$$= 55 * (188/204) * \text{FEC}$$

Le tableau 4.2 résume le débit utile en fonction du rendement convolutif choisi.

FEC	Débit Utile [Mbit/s]
2/3	33.79
3/4	38.01
5/6	42.24
7/8	44.35

TABLE 4.2: Débit utile en modulation QPSK en fonction du FEC

Le FEC est choisi en fonction de critères techniques et économiques.

En résumé :

- Le Brassage : rend le spectre uniforme ;
- Le Codage Reed Solomon : correction d'erreur ;

- L'entrelacement : répartition des erreurs ;
- Le Code convolutif : correction des erreurs ;
- Le poinçonnage : amélioration du rendement ;
- Le Filtre de Nyquist : bande passante.

5 Présentation Soutenance de Thèse - 18 décembre 2009

CONTRIBUTION À LA MODÉLISATION DE L'INTÉGRITÉ DES ALIMENTATIONS DANS LES SYSTEM-IN-PACKAGE

[Guillaume Boguszewski](#)

Bordeaux, le 18 Décembre 2009



Sommaire

Contexte, Défis & Motivations

- ▶ Problématiques & Difficultés Techniques
- ▶ État de l'Art et Limitations Perçues
- ▶ Contribution et Démarche proposée

Formalisation & Approches Méthodologiques

- ▶ Nécessité d'une Analyse Globale au Niveau Système
- ▶ Approches de Modélisation Existantes et Hypothèses Associées
- ▶ Approches Méthodologiques Proposées

Développement de Règles de Conception, Analyses & Corrélations Expérimentales

- ▶ Nécessité et Importance des règles de conception
- ▶ Sélection des Supports d'Étude & Développement de Vecteurs de Test
- ▶ Caractérisations et Corrélations Expérimentales
- ▶ Mise en Œuvre et Méthodologie de Co-Simulation

Conclusion & Perspectives

Sommaire

Contexte, Défis & Motivations

► Problématiques & Difficultés Techniques

- État de l'Art et Limitations Perçues
- Contribution et Démarche proposée

Formalisation & Approches Méthodologiques

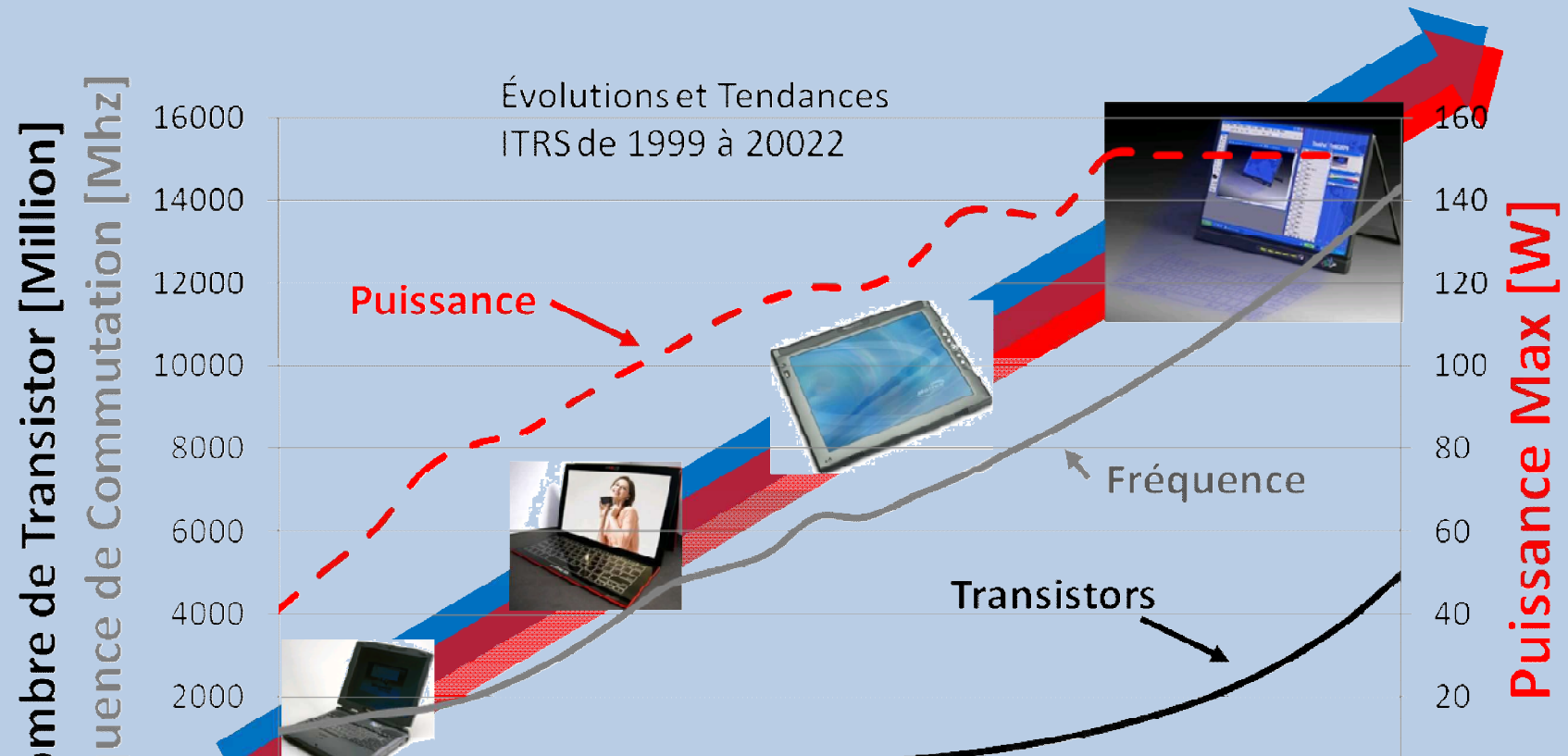
- Nécessité d'une Analyse Globale au Niveau Système
- Approches de Modélisation Existantes et Hypothèses Associées
- Approches Méthodologiques Proposées

Développement de Règles de Conception, Analyses & Corrélations Expérimentales

- Nécessité et Importance des règles de conception
- Sélection des Supports d'Étude & Développement de Vecteurs de Test
- Caractérisations et Corrélations Expérimentales
- Mise en Œuvre et Méthodologie de Co-Simulation

Conclusion & Perspectives

Contexte



ERROR: syntaxerror
OFFENDING COMMAND: --nostringval--

STACK:

/PaintProc
198.72
/YStep
644.64
/XStep
[99.84 198.24 744.48 396.96]
/BBox
1
/TilingType
1
/PaintType
1
/PatternType
-mark-