



**HAL**  
open science

## Démonstration de l'intérêt des dispositifs multi-grilles auto-alignées pour les nœuds sub-10nm

Rémi Coquand

► **To cite this version:**

Rémi Coquand. Démonstration de l'intérêt des dispositifs multi-grilles auto-alignées pour les nœuds sub-10nm. Autre. Université de Grenoble, 2013. Français. NNT : 2013GRENT092 . tel-00980660

**HAL Id: tel-00980660**

**<https://theses.hal.science/tel-00980660>**

Submitted on 18 Apr 2014

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

## THÈSE

Pour obtenir le grade de

## DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Nano Electronique et Nano Technologies**

Arrêté ministériel : 7 août 2006

Présentée par

**Rémi COQUAND**

Thèse dirigée par **Gérard GHIBAUDO** et  
codirigée par **Thomas SKOTNICKI**

préparée au sein de l'**Institut de Microélectronique,  
Electromagnétisme et Photonique (IMEP-LAHC)**,  
le **CEA-LETI, Grenoble** et **STMicroelectronics, Crolles**  
dans l'**École Doctorale Electronique, Electrotechnique et  
Automatique et Traitement du Signal (EEATS)**

# Démonstration de l'intérêt des dispositifs multi-grilles auto-alignées pour les nœuds sub-10nm

Thèse soutenue publiquement le **17 décembre 2013**,  
devant le jury composé de :

**Mr Raphaël CLERC**

Pr. Université de Saint Etienne,

Président du jury

**Mr Jean-Pierre RASKIN**

Pr. Université Catholique de Louvain,

Rapporteur

**Mr Emmanuel DUBOIS**

Dr. CNRS à l'IEMN de Lille,

Rapporteur

**Mr Sylvain BARRAUD**

Ing. CEA-LETI Grenoble,

Examineur

**Mr Stéphane MONFRAY**

Ing. STMicroelectronics Crolles,

Examineur

**Mr Gérard GHIBAUDO**

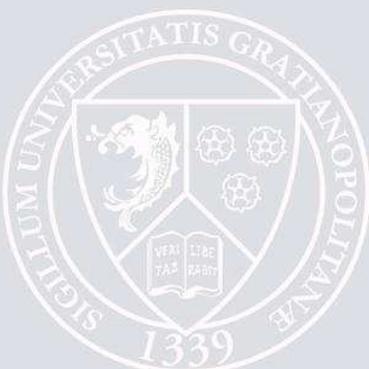
Dr. CNRS Alpes – IMEP/LAHC à Grenoble,

Directeur de thèse

**Mr Shawn FETTEROLF**

Ing. IBM assignee Crolles,

Invité









# Remerciements

Les études présentées dans ce manuscrit de thèse ont été réalisées dans le cadre d'une convention CIFRE avec STMicroelectronics. Je remercie donc tout particulièrement Frédéric Bœuf pour m'avoir accueilli dans l'équipe R&D avancée de Crolles. Ce travail aura également été réalisé en étroite collaboration avec le laboratoire des dispositifs innovants du CEA-Leti de Grenoble, et je remercie Olivier Faynot pour cette coopération. Je tiens aussi à remercier Thomas Skotnicki et Stéphane Monfray pour avoir initié ce sujet de recherche dans la lignée des dispositifs SON.

Stéphane et Frédéric auront été un soutien précieux au cours de ces trois années, et je ne trouverai pas les mots pour exprimer ma gratitude dans le partage de leurs connaissances pratiques et théoriques mais aussi de leur bonne humeur. Stéphane aura été un encadrant en or et je l'en remercie encore. Je ne peux pas remercier Stéphane qui m'aura encadré à ST sans penser à Sylvain Barraud, avec qui j'ai travaillé au Leti. Chacune des études réalisées durant ces travaux de thèse aura été permise grâce au soutien de Sylvain, son savoir sans fin, sa rigueur sans faille et sa disponibilité à toutes heures (puisque'il vit environ 32h/jour !).

Je suis aussi reconnaissant envers Marie-Anne Jaud et Olivier Rozeau, avec qui nous avons initié les études de simulations des dispositifs TriGate. Leur soutien et leurs connaissances auront été précieux pour permettre l'évaluation de nos dispositifs pour de futurs nœuds technologiques. Travailler avec l'équipe au complet aura été un réel plaisir. Je remercie également l'équipe TCAD de Crolles et en particulier Clément Tavernier pour avoir permis l'utilisation des systèmes dans les meilleures conditions, et m'avoir permis d'effectuer mes simulations facilement.

Il est impossible de citer les collègues de travail sans penser à Virginie Maffini-Alavaro et Marie-Pierre Samson qui ont permis l'avancement de la fabrication des dispositifs caractérisés. Marie-Pierre a été particulièrement efficace pour les innombrables observations de nos dispositifs et les bidouilles pour optimiser l'avancement de nos procédés, tout sauf standards. Et aussi bien sûr pour ses discussions. Je remercie aussi grandement les graveurs, et en particulier Christian Arvet qui aura accompagné nos développements pas un nombre incalculable d'optimisations de recettes pour améliorer "la soupe" du plasma comme il dit. Je ne pourrais pas non plus oublier de remercier Carole Socquet-Clerc, qui aura travaillé dans l'ombre (en équipe de nuit). On ne se sera vu qu'une fois mais elle a pourtant beaucoup participé à l'avancement de nos développements. Enfin Christian Vizioz, qui aura développé les procédés permettant d'obtenir des dimensions de l'ordre de 10nm pour les nanofils ou le motif de grille.

Je ne pourrais pas remercier toutes les personnes ayant participé à ce travail, mais je ne pourrais pas oublier Jessy Bustos avec qui nous avons décrit les designs pour la

lithographie ebeam. Toutes les optimisations nécessaires et l'utilisation des designs développés par Luc Martin auront pris des heures. Un énorme merci également à Jonathan Pradelles. Maître incontesté de la lithographie ebeam, il a été la clé de voute pour l'utilisation de l'HSQ. Sa grande patience aura permis de passer à la main nos dizaines de plaques et aura *in fine* permis le développement de cette méthode innovante. Je ne dirai jamais assez merci pour tout ce travail.

Ce travail aura aussi été le fruit d'une collaboration avec Pierre Perreau et Lucie Tosti que je ne remercierai jamais assez pour le passage de nos plaques, si particulières soient elles, pour les procédés nécessaires à Crolles. Merci pour vos efforts et le temps nécessaire. À ST Crolles j'aurais aussi beaucoup partagé avec l'équipe de caractérisation physique. Je souhaiterais dire un grand merci à Céline Borowiak pour ses doigts de fée indispensables à nos préparations d'échantillons, en particulier dans nos architectures originales. Un grand merci aussi à Alexandre Pofelski qui aura permis d'obtenir la plupart des magnifiques vues en coupe TEM de ce manuscrit. Enfin je ne pourrais pas oublier Kevin Lepinay, qui a su développer la technique de tomographie lors de sa thèse, ce qui aura été l'occasion d'observer nos dispositifs en trois dimensions. De superbes images pour lesquelles je ne remercierai jamais assez le temps passé à les obtenir.

Une grande partie du travail présenté ici repose également sur l'exploitation des résultats électriques, et de nombreuses heures passées à "poser les pointes" de mesure sur nos plaques. J'ai à cette occasion eu la chance de travailler avec Mikael Cassé que je ne dois pas oublier de remercier pour ses analyses pertinentes et aussi ses coups de main pour décortiquer la logique de Mathcad. Je remercie également toute l'équipe de caractérisation, et surtout Fabienne Allain et Alain Toffoli qui auront grandement contribué à la mise en place de l'extraction de grandeurs électriques normalisées par les dimensions précises du transistor mesuré (plutôt qu'une valeur moyenne des différents transistors). Cela facilite grandement le développement de la technologie.

Je souhaite aussi remercier Yannick Le-Friec, qui aura été ma responsable pendant mon stage de fin d'étude et qui aura tant partagé, de sa passion pour la science à son savoir de la rédaction de manuscrit. Sans oublier son éternelle bonne humeur accompagnée de ;o).

Enfin, je ne pourrais pas écrire de vrais remerciements sans citer Gérard Ghibaudo dit "Gégé" pour sa disponibilité en tant que directeur de thèse. Toujours disponible et très réactif, c'est aussi grâce à lui que ce travail de thèse a été le fruit de plusieurs publications. Un grand merci aussi pour m'avoir permis de travailler avec Xavier Mescot à l'IMEP sur un banc de mesure cryogénique. Cela aura permis d'étudier nos dispositifs refroidis à l'Hélium, et ça a été une expérience très intéressante.

Malheureusement il est fort probable que j'oublie certaines personnes dans ces lignes, mais ce manuscrit ne serait pas complet sans remercier toutes les personnes qui y auront participé de près ou de loin. Je suis infiniment reconnaissant pour tout le temps partagé, les connaissances échangées et les innombrables discussions qui auront permis de compléter ce travail de thèse.

Je ne pourrais pas finir ces lignes sans remercier aussi tous les anciens et nouveaux thésards qui ont rendu ces trois années moins longues, à commencer par Aurélien avec qui je partage la passion de la microélectronique à Crolles depuis presque quatre ans déjà. Je pense aussi à Jean-Luc et Joris qui auront été des modèles tant leurs thèses ont été riches, et à Onoriu qui aura été là dès le début et qui nous aura permis de voir autre chose que des transistors. Merci aussi à Toby avec qui j'ai dû avaler quelques litres de café. Je pense aussi à Siméon qui aura connu certaines galères similaires, Heimanu qui comprend aussi les différences entre nos deux lieux de travail, Alysée, Olivier, Giorgio, Issam, Julien et tant d'autres sans qui ces trois ans de thèse ne seraient pas ce qu'elles ont été.

Mille mercis aussi aux potes avec qui on partage tant et qui ont cette vision déconnectée du monde scientifique. Merci aussi à mes parents, mes sœurs et toute ma famille et belle-famille pour s'être intéressé de près ou de loin à ma thèse. Et bien sûr merci à Constance avec qui je partage ma vie depuis tant d'années et qui aura vécu cette aventure du début à la fin.

A tous, un grand merci et ma considération éternelle pour avoir partagé ces trois années inoubliables.



<b>CHAPITRE I- Evolution de la technologie CMOS .....</b>	<b>19</b>
<b>I.1. Principe du transistor à effet de champ.....</b>	<b>23</b>
I.1.1. Fabrication d'un transistor .....	23
I.1.2. Fonctionnement et grandeurs physiques associées.....	24
<b>I.2. Les lois de la miniaturisation .....</b>	<b>25</b>
I.2.1. Historique d'une évolution industrielle.....	25
I.2.2. Les limites physiques du transistor conventionnel.....	26
I.2.2.1. Les effets de canaux courts .....	26
I.2.2.2. L'interface grille-canal .....	27
<b>I.3. Les solutions technologiques .....</b>	<b>28</b>
I.3.1. Amélioration de la grille .....	28
I.3.1.1. Diélectrique de grille : haute permittivité .....	28
I.3.1.2. Métal de grille : travail de sortie mid-gap.....	29
I.3.2. Amélioration du canal de conduction .....	30
I.3.2.1. Les contraintes mécaniques .....	30
I.3.2.2. Autres matériaux.....	31
I.3.2.3. Différentes orientations cristallographiques .....	32
<b>I.4. La nécessité de nouvelles architectures .....</b>	<b>33</b>
I.4.1. Les avantages du film mince.....	33
I.4.1.1. Architectures à film mince : Localized-SOI .....	35
I.4.1.2. Dispositifs à double grille .....	37
I.4.1.3. La technologie industrielle : le FDSOI .....	38
I.4.2. Les dispositifs non planaires à grilles multiples .....	42
I.4.2.1. FinFET et TriGate FETs sur Bulk.....	42
I.4.2.2. FinFET et TriGate FETs sur SOI.....	46
I.4.2.3. Dispositifs ultimes : Gate-All-Around, Nanowire.....	51
<b>Conclusion du chapitre I.....</b>	<b>55</b>

<b>CHAPITRE II – Développement d'une technologie TriGate SOI .....</b>	<b>59</b>
<b>II.1. Procédés de fabrication et caractérisation physique.....</b>	<b>63</b>
II.1.1. Définition de la zone active.....	63
II.1.2. Formation de la triple grille.....	65
II.1.3. Epitaxie Source-Drain et méthodes d'implantation.....	67
<b>II.2. Caractérisation électrique des transistors TriGate SOI.....</b>	<b>68</b>
II.2.1. Electrostatique du TriGate, effets canaux courts.....	68
II.2.2. La mobilité des porteurs du transistor TriGate .....	69
II.2.3. Performances électriques du TriGate sur SOI .....	74
<b>II.3. Amélioration des performances de transistors TriGate .....</b>	<b>75</b>
II.3.1. Fabrication de TriGate avec une contrainte mécanique .....	75
II.3.1.1. Particularité du TriGate fabriqué sur sSOI .....	75
II.3.1.2. La structure de bande du silicium contraint.....	76
II.3.1.3. Influence de la contrainte tensile sur la mobilité des porteurs.....	78
II.3.1.4. Amélioration du PMOS : contrainte compressive .....	81
II.3.2. Effet de la contrainte sur les performances.....	82
II.3.2.1. Performances du TriGate NMOS fabriqués sur sSOI.....	82
II.3.2.2. Performances du TriGate PMOS avec épitaxie S/D SiGe .....	86
II.3.3. Le rôle de l'orientation cristallographique .....	88
<b>II.4. Caractérisation électrique à basse température .....</b>	<b>92</b>
II.4.1. Etude de la mobilité avec et sans contrainte.....	92
II.4.2. Mise en évidence du confinement 1D.....	95
<b>Conclusion du chapitre II.....</b>	<b>99</b>

<b>CHAPITRE III - Simulation de transistors TriGate sur SOI.....</b>	<b>103</b>
<b>III.1. Définition du TriGate SOI en TCAD 3D .....</b>	<b>107</b>
III.1.1. Simulation des procédés de fabrication .....	107
III.1.1.1. Définition de la zone active et de la grille.....	107
III.1.1.2. Formation des jonctions source/drain.....	108
III.1.1.3. Prise en compte du confinement quantique.....	110
III.1.2. Evaluation d'une technologie TGSOI.....	113
III.1.2.1. Définition des jonctions source/drain.....	113
III.1.2.2. Définition de la géométrie .....	114
III.1.2.3. Définition des grandeurs électriques : EOT et mobilité.....	116
<b>III.2. Résultats électriques du TriGate SOI avec Box mince.....</b>	<b>116</b>
III.2.1. Etude dimensionnelle .....	116
III.2.1.1. La problématique du <i>Body Factor</i> .....	116
III.2.1.2. Effet de la forme du dispositif : TriGate versus FinFET .....	118
III.2.1.3. Mode de conduction du dispositif TriGate .....	120
III.2.1.4. Effet de la consommation du Box .....	123
III.2.2. Simulations de transistors à Grille enrobante .....	124
III.2.2.1. Propriétés électriques du transport de charges .....	124
III.2.2.2. Vers un contrôle électrostatique par quatre grilles .....	125
<b>III.3. Autres considérations pour la technologie TGSOI .....</b>	<b>126</b>
III.3.1. Densité d'intégration par la technique de <i>SIT</i> .....	126
III.3.2. Couplage capacitif et besoin de nouveaux matériaux.....	127
<b>III.4. Conclusion du chapitre III.....</b>	<b>130</b>

## **CHAPITRE IV – Fabrication de transistors à grille enrobante par lithographie traversante sur HSQ..... 133**

### **IV.1. Les procédés d'intégration pour une technologie GAA ..... 137**

#### **IV.1.1 Difficulté de fabrication des architectures GAA..... 137**

##### **IV.1.1.1. Spécificité des procédés pour le GAA ..... 137**

##### **IV.1.1.2. Vers un GAA idéal : Comparatif électrostatique et circuit..... 138**

##### **IV.1.1.3. Auto-alignement des grilles par lithographie traversante..... 139**

#### **IV.1.2 Lithographie 3D : utilisation de la résine HSQ ..... 141**

##### **IV.1.2.1. Propriétés d'exposition et usage en lithographie de HSQ ..... 141**

##### **IV.1.2.2. Propriétés de développement HSQ et optimisations ..... 144**

### **IV.2. Fabrication de dispositifs par lithographie HSQ ..... 146**

#### **IV.2.1 Ajustement des procédés de fabrication ..... 146**

##### **IV.2.1.1. Fabrication d'une membrane ou nanofil de Si suspendu ..... 146**

##### **IV.2.1.2. Correction des effets de proximité sur HSQ..... 147**

##### **IV.2.1.3. Formation de la grille : dépôts conformes et gravure..... 156**

##### **IV.2.1.4. Retrait HSQ, formation des espaceurs et épitaxie SD..... 157**

#### **IV.2.2 Caractérisation électrique des dispositifs GAA HSQ..... 159**

##### **IV.2.2.1. Electrostatique et performances..... 159**

##### **IV.2.2.2. Evaluation HKMG : Modélisation MASTAR ..... 161**

### **IV.3. Evolution de la technologie GAA HSQ ..... 163**

#### **IV.3.1 Intégration de grille HKMG pour dispositifs GAA HSQ..... 163**

##### **IV.3.1.1. Procédés de dépôt et de gravure grille optimisés ..... 163**

##### **IV.3.1.2. Caractérisation innovante : tomographie 3D ..... 164**

##### **IV.3.1.3. Premiers résultats électriques GAA HSQ avec HKMG..... 165**

#### **IV.3.2 Perspectives pour une intégration avec grille HKMG ..... 166**

##### **IV.3.2.1. La co-integration des dispositifs ..... 166**

##### **IV.3.2.2. Gate-last par retrait de grille en polysilicium ..... 169**

##### **IV.3.2.3. Utilisation gate-last par lithographie dite "HSQ ligne" ..... 169**

### **IV.4. Conclusion du chapitre IV..... 173**





## Introduction générale

Le monde de la microélectronique s'est bâti sur un objet simple : le transistor. Créé pour la première fois en 1947, il est aujourd'hui présent par milliard au sein de nos appareils électroniques, ce qui en fait l'objet le plus fabriqué au monde. Nous nous intéresserons en particulier au transistor dit à effet de champ (FET pour *Field Effect Transistor*), dont le rôle est simple, puisqu'il permet de moduler une concentration de charge dans un semi-conducteur sous l'action d'un champ électrique.

Cet effet, à l'instar d'un interrupteur, est à la base de la logique binaire, utilisant la présence ou l'absence de courant pour coder un bit 1 ou un bit 0. Les circuits complexes et leur arithmétique associée sont ainsi à la base de tous les outils électroniques et informatiques de notre ère. Son fonctionnement a été amélioré d'année en année pour aujourd'hui permettre de concilier la haute performance avec la basse consommation. Cette prouesse technologique a permis l'apparition d'appareils nomades et multi tâches à travers ce que l'on nomme la convergence numérique. Ce sont ces nouvelles habitudes de consommation qui bénéficient de l'évolution des technologies en ce sens.

Afin de poursuivre la miniaturisation et permettre la fabrication de plus en plus de transistors sur une même puce, cette industrie aura connu de nombreux changements afin de faire face aux limites physiques de leur fonctionnement. De l'introduction de matériaux à forte permittivité, à l'insertion d'un métal de grille jusqu'à l'utilisation de contraintes mécaniques pour améliorer son fonctionnement, le transistor aura conservé son architecture planaire sur substrat massif. Certains industriels pérennisent l'intégration planaire grâce au substrat SOI qui pourrait permettre d'atteindre le nœud 10nm. Le nœud technologique 22nm proposé par Intel® aura pourtant bouleversé les conventions en introduisant la production à grande échelle de transistors non-planaires et à plusieurs grilles appelés TriGate FinFET.

Comme on le lira dans ce manuscrit, ce changement d'architecture représente un défi technologique pour sa fabrication mais bien des avantages dans son fonctionnement. Nous retracerons succinctement l'histoire du transistor et les solutions proposées aux limites qu'implique la miniaturisation. Nous verrons ainsi pourquoi la technologie d'aujourd'hui nécessite un changement d'architecture. Le chapitre I sera ainsi consacré à cette évolution et à la présentation des solutions avancées pour permettre le développement d'architectures à film mince, à double grille ou encore à grille enrobante.

Dans le cadre de cette thèse, nous avons pu développer une technologie de transistor TriGate sur SOI. Le chapitre II présente les résultats de caractérisation physiques et électriques de ces dispositifs, ainsi que la description de leur fonctionnement. On verra ainsi l'avantage à utiliser une conduction sur une surface

verticale. On y lira également que cette technologie, à l'instar des transistors conventionnels, peut être améliorée grâce à différentes méthodes de fabrication telle qu'en utilisant des contraintes mécaniques.

Afin de dimensionner de manière prospective l'évolution d'une technologie TriGate, le chapitre III présente des résultats issus de simulations numériques et permet ainsi d'évaluer l'avantage de la fabrication de transistors TriGate sur un substrat SOI avec Box mince. On verra ainsi le dimensionnement nécessaire à ce type d'architecture et ses avantages face au FinFET. On verra également l'avantage d'une architecture à grille totalement enrobante sur l'électrostatique du dispositif.

La fabrication de transistors à grille enrobante est particulièrement délicate, en particulier pour la formation de la grille autour d'un canal. Afin de dépasser les limitations présentées au chapitre I, on propose une technique innovante de lithographie traversante. La présentation des matériaux nécessaires, les détails de fabrication et les avantages de cette méthode seront présentés au chapitre IV.





---

# **CHAPITRE I- Evolution de la technologie CMOS : vers des transistors non planaires**

---



<b>CHAPITRE I- Evolution de la technologie CMOS.....</b>	<b>19</b>
<b>I.1. Principe du transistor à effet de champ .....</b>	<b>23</b>
I.1.1. Fabrication d'un transistor.....	23
I.1.2. Fonctionnement et grandeurs physiques associées.....	24
<b>I.2. Les lois de la miniaturisation .....</b>	<b>25</b>
I.2.1. Historique d'une évolution industrielle.....	25
I.2.2. Les limites physiques du transistor conventionnel .....	26
I.2.2.1. Les effets de canaux courts.....	26
I.2.2.2. L'interface grille-canal .....	27
<b>I.3. Les solutions technologiques .....</b>	<b>28</b>
I.3.1. Amélioration de la grille .....	28
I.3.1.1. Diélectrique de grille : haute permittivité.....	28
I.3.1.2. Métal de grille : travail de sortie mid-gap.....	29
I.3.2. Amélioration du canal de conduction .....	30
I.3.2.1. Les contraintes mécaniques.....	30
I.3.2.2. Autres matériaux.....	31
I.3.2.3. Différentes orientations cristallographiques.....	32
<b>I.4. La nécessité de nouvelles architectures .....</b>	<b>33</b>
I.4.1. Les avantages du film mince .....	33
I.4.1.1. Architectures à film mince : Localized-SOI.....	35
I.4.1.2. Dispositifs à double grille.....	37
I.4.1.3. La technologie industrielle : le FDSOI .....	38
I.4.2. Les dispositifs non planaires à grilles multiples .....	42
I.4.2.1. FinFET et TriGate FETs sur Bulk.....	42
I.4.2.2. FinFET et TriGate FETs sur SOI.....	46
I.4.2.3. Dispositifs ultimes : Gate-All-Around, Nanowire.....	51
<b>Conclusion du chapitre I.....</b>	<b>55</b>



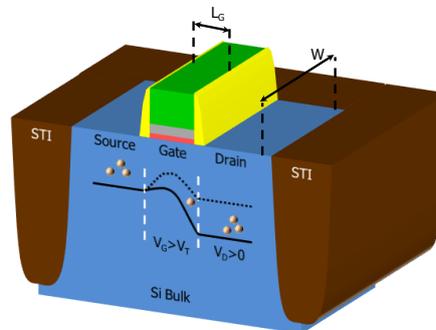
## I.1. Principe du transistor à effet de champ

### I.1.1. Fabrication d'un transistor

Il convient de définir la structure du transistor afin d'en appréhender le fonctionnement. Grâce à ses propriétés semi-conductrices, son importante abondance sur Terre et sa facilité d'exploitation industrielle, le transistor utilise comme matériau de base le silicium (Si). On appelle une portion de ce matériau la zone active, d'une largeur  $W$ , et c'est là que sera formé notre transistor. Cette zone est définie telle que ses extrémités, nommées source et drain (dont les courants et tensions sont notés respectivement  $I_S$ ,  $I_D$ ,  $V_S$  et  $V_D$ ), sont fortement dopées. Leur rôle est d'être un réservoir de porteurs de charge, des électrons dans le cas du transistor dit de type N, ou NFET et des trous (absence d'électrons) dans le cas du transistor de type P, ou PFET.

Le contrôle du champ électrique est permis par une électrode dite de grille de longueur  $L_G$  (ou  $L$ ). Lorsque la tension de grille  $V_G$  devient suffisamment grande, c'est-à-dire supérieure à la tension de seuil  $V_T$  du transistor ( $V_G > V_T$ ), le semi-conducteur sous influence de ce champ électrique de grille entre en régime d'inversion. Il forme alors le canal de conduction, où une tension de drain  $V_D$  permet l'apparition d'un champ latéral : des charges mobiles se déplacent entre la source et le drain (**Fig. I. 1**), c'est le courant  $I_{DS}$ .

Enfin, on peut mentionner que l'électrode de grille et le canal de conduction doivent être isolés électriquement l'un de l'autre afin d'éviter toute fuite de courant par la grille ( $I_G$ ). L'électrode de grille est ainsi placée sur un empilement isolant, l'oxyde de grille, à travers lequel passe le champ contrôlant le canal.



**Fig. I. 1** - Géométrie d'un transistor, et son principe de conduction lorsque les conditions  $V_G > V_T$  et  $V_D > 0V$  sont remplies.

Historiquement, les transistors sont donc fabriqués par empilement :

- ✓ D'une couche de Si pour la zone active (le substrat),
- ✓ D'un oxyde de grille, le plus simple étant le  $SiO_2$ ,
- ✓ D'un métal de grille, par exemple un dépôt de silicium poly-cristallin suffisamment dopé pour avoir des propriétés métalliques,
- ✓ D'un matériau isolant latéralement la grille (les espaceurs), qui permet l'implantation des zones de Si libres afin de former la source et le drain,
- ✓ De structures isolant les transistors (STI, *Shallow Trench Isolation*).

On peut ainsi utiliser la dénomination MOSFET (pour *Metal Oxide Semiconductor*) faisant référence à l'empilement de matériaux utilisés pour la fabrication du transistor. On verra dans les chapitres suivants que l'architecture classique du transistor a été amenée à évoluer pour répondre aux besoins de la miniaturisation.

### I.1.2. Fonctionnement et grandeurs physiques associées

Dans un transistor MOS réel, la conduction dans le canal apparait après un certain seuil de tension qui permet au champ de grille de contrôler le canal. Qualitativement, il faut donc :

- Dépasser la tension dite de bande plate, qui définit l'équilibre des bandes d'énergies entre la grille et le semi-conducteur. Celle-ci correspond donc à équilibrer le travail de sortie de la grille  $\varphi_m$  avec l'énergie nécessaire au semi-conducteur pour conduire :

$$\varphi_m = \chi_s + E_g/2 + \varphi_f.$$

avec  $\chi_s$  l'affinité électronique du semi-conducteur,  $E_g$  l'énergie de bande interdite et  $\varphi_f$  le potentiel de Fermi.

- Déserter le canal des porteurs majoritaires, condition atteinte pour  $\varphi_s = \varphi_f$ .
- Créer une couche d'inversion forte, soit atteindre la tension  $Q_{dep}/C_{ox}$ , où  $Q_{dep}$  est la charge de déplétion et  $C_{ox}$  la capacité d'oxyde de grille.

En faible inversion, le courant dans le canal est dit de diffusion et s'exprime par [Sze] :

$$I_{DS} = \mu_0 C_{dep} \frac{W}{L} \left( \frac{k_B T}{q} \right)^2 \times \exp \left( \frac{V_G - V_T}{\partial V_G / \partial \varphi_s} \times \frac{q}{k_B T} \right) \times \left( 1 - \exp \left( - \frac{q V_D}{k_B T} \right) \right),$$

où la relation d'Einstein lie le coefficient de diffusion  $D$  à la mobilité  $\mu_0$  par

$$D = \mu_0 \times k_B T / q,$$

avec  $T$  la température,  $k_B$  la constante de Boltzmann et  $q$  la charge électrique.

On peut alors définir la pente sous le seuil (notée  $S$  ou  $SS$  pour *Subthreshold Swing*) :

$$S = \left( \frac{\partial \log I_D}{\partial V_G} \right)^{-1} = \ln(10) \frac{k_B T}{q} \times \frac{\partial V_G}{\partial \varphi_s},$$

et le courant à  $V_G$  nulle est noté  $I_{OFF}$  et est alors proportionnel à  $\exp \left( \frac{-V_T}{\ln(10)} \times S \right)$ .

On remarque donc que ces deux grandeurs sont liées par

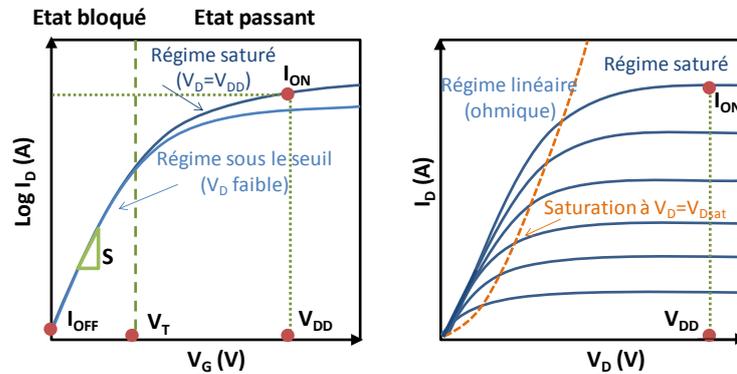
$$\log(I_{OFF}) = \log \left( \mu_0 C_{dep} \frac{W}{L} \left( \frac{k_B T}{q} \right)^2 \right) - \frac{V_T}{S}$$

La pente sous le seuil  $S$  est une limite physique (à 300K, une variation d'une décade sur le courant est obtenue par la variation de la tension de grille de seulement 60 mV, dans le meilleur des cas). Pour une technologie optimisée ayant une pente idéale de 60 mV/dec, seule la tension de seuil  $V_T$  permettra de fixer le courant de fuite  $I_{OFF}$ .

Au-delà du seuil, dans le régime d'inversion forte, le courant est dit de dérive et s'exprime :

$$I_D = \mu_{eff} C_{ox} \frac{W}{L} \left( V_G - V_T - \frac{V_D}{2} \right) \times V_D.$$

On peut noter que le courant est linéaire avec  $V_G$  jusqu'à une certaine limite fixée par  $V_D=V_G-V_T$  (notée  $V_{Dsat}$ ), après laquelle le champ latéral dû à  $V_D$  atteindra la saturation (on parle de pincement du canal). Le courant ne dépendra plus que de  $(V_G-V_T)^2$  et on parlera de régime quadratique (aussi dit de saturation). C'est dans ce régime que sera défini le courant de fonctionnement à l'état passant du transistor  $I_{ON}$  (mesuré à  $V_G=V_D=V_{DD}$ , où  $V_{DD}$  est la tension d'alimentation). Ces différentes grandeurs sont montrées sur la **Fig. I. 2**.



**Fig. I. 2** - Illustration des régimes de fonctionnement d'un MOSFET à canal long.

## I.2. Les lois de la miniaturisation

### I.2.1. Historique d'une évolution industrielle

L'industrie du semi-conducteur suit depuis 1965 la très connue loi de Moore, qui stipule que la densité de transistors fabriqués sur une puce sera doublée tous les 18 mois. Cette loi empirique s'appuie sur la miniaturisation des composants afin d'en améliorer les performances et d'en diminuer le coût du fait d'une plus grande densité d'intégration. Historiquement, Dennard et al. [Dennard72] ont donc proposé une théorie de la miniaturisation (ou *scaling* en Anglais, voir **Table I. 1**) de la géométrie mais aussi des tensions utilisées (afin de conserver les mêmes champs électriques). Avec un facteur de réduction d'échelle  $k$  fixé de manière empirique à 0,7, la loi de Moore est respectée pour atteindre la génération de composant (nœud technologique) suivante.

**Table I. 1** – Loi de miniaturisation des grandeurs d'un transistor [extrait de **Dennard72**].

Paramètres	Grandeur physique (unité)	Loi de Dennard
Dimension	$W, L, T_{ox}, X_i$ (m)	$k$
Potentiel	$V_{DD}, V_T$ (V)	$k$
Dopage	$N_A, N_D$ (cm <sup>-3</sup> )	$1/k$
Champ électrique	$E$ (V/cm)	1
Courant normalisé	$I_{ON}$ (μA/μm)	1
Densité de puissance	$I_{ON} \cdot V_{DD} / S$ (W/m <sup>2</sup> )	1
Puissance	$I_{ON} \cdot V_{DD}$ (W)	$k^2$

Depuis 1992, les fabricants mondiaux, réunis pour l’ITRS (*International Semiconductor Technological Roadmap*) définissent tous les deux ans les spécifications des nœuds futurs avec 15 ans de projection. Cela permet d’évaluer l’avancement et la maturité de la recherche de solutions à envisager pour permettre la continuité de la loi de Moore. Le passage aux nœuds inférieurs à 90nm avec des grilles de moins de 100nm a montré les limites de l’architecture conventionnelle et a ouvert la voie à un développement technologique bien plus complexe que le seul problème de réduction d’échelle.

## I.2.2. Les limites physiques du transistor conventionnel

### I.2.2.1. Les effets de canaux courts

Comme nous l’avons vu aux paragraphes précédents, les caractéristiques d’un transistor dépendent de paramètres physiques, liés aux matériaux (travaux de sortie de la grille, affinité électronique du semi-conducteur...), ou liés à la géométrie même du transistor (entre autre sa largeur W et sa longueur L).

Le développement des nœuds technologiques a conduit jusqu’à la définition de grille de longueur bien inférieure à 100 nm (de l’ordre de 20 nm en 2012). A cette échelle, les zones dopées qui définissent la source et le drain du transistor ont un effet non négligeable sur le canal de conduction : c’est l’apparition des effets dits de canaux courts (SCE pour *Short Channel Effect*). Les jonctions P-N formées aux interfaces source-canal ou drain-canal voient leur zone de charge d’espace avoir davantage d’influence sur le canal de conduction. La longueur électrique, notée  $L_{EL}$ , est donc inférieure à la longueur physique L et cette différence devient non négligeable pour des dimensions sub-100 nm.

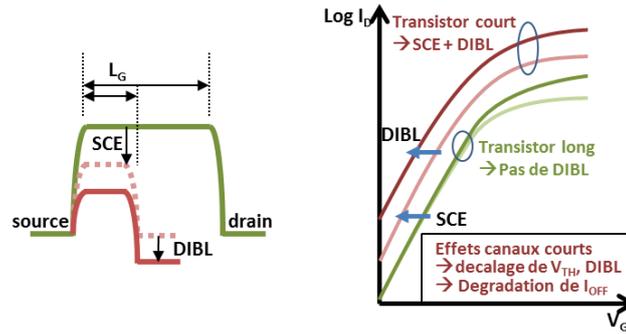
Ce premier phénomène réduit la barrière de potentiel entre la source et le drain (**Fig. I. 3**), ce qui revient virtuellement à modifier le dopage canal ou la tension de seuil du transistor de la valeur SCE (qui peut être définie par les équations ci-dessous, voir [Skotnicki00]). Cela est d’autant plus vrai que la tension de drain est grande, cas où la tension de seuil est encore diminuée de la valeur notée DIBL (pour *Drain Induced Barrier Lowering*). Le DIBL est ainsi défini par la variation de tension de seuil  $V_T$  lorsque la tension de drain  $V_D$  est modifiée (normalisée telle que  $= \frac{\Delta V_T}{\Delta V_D}$ ). On écrit :

$$SCE = \frac{\varepsilon_{Si}}{\varepsilon_{Ox}} \frac{t_{Ox}}{L_{EL}} \frac{T_{Dep}}{L_{EL}} \times \left(1 + \frac{X_j^2}{L_{EL}^2}\right) \times \frac{k_B T}{q} \ln\left(\frac{N_{ch} N_{sd}}{n_i^2}\right) \quad \text{Eq. I.1.}$$

$$DIBL = \frac{\varepsilon_{Si}}{\varepsilon_{Ox}} \frac{t_{Ox}}{L_{EL}} \frac{T_{Dep}}{L_{EL}} \times \left(1 + \frac{X_j^2}{L_{EL}^2}\right) \times V_d \quad \text{Eq. I.2.}$$

$$V_{Tshort} = V_{Tlong} - SCE - DIBL \quad \text{Eq. I.3.}$$

avec  $\varepsilon$  les permittivités relatives des matériaux,  $t_{Ox}$  et  $T_{Dep}$  les épaisseurs d’oxyde de grille et de déplétion,  $L_{EL}$  la longueur électrique,  $X_j$  la profondeur de la jonction,  $N_{ch}$  le dopage du canal,  $N_{sd}$  le dopage source-drain et  $n_i$  le dopage intrinsèque.

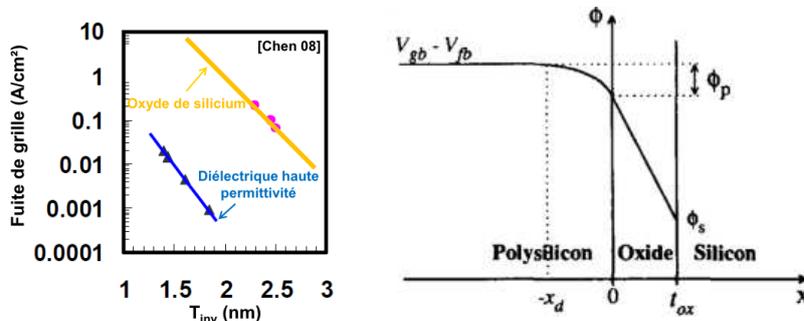


**Fig. I. 3** - Effets canaux courts et DIBL sur les niveaux d'énergie du semi-conducteur (gauche) et leurs effets sur la caractéristique  $I_D$ - $V_G$  (droite).

Ces effets induisent une perte de contrôle de la grille sur le canal, et seront d'autant plus marqués que la longueur de grille sera faible. Comme le montre l'expression analytique (**Equation I.1.**), le terme SCE peut être exprimé en fonction du dopage canal  $N_{ch}$ . Afin de ne pas détériorer le transport et modifier la tension de seuil  $V_T$  des transistors longs, une solution proposée est d'utiliser des implantations dites de poches. Ce procédé additionnel forme une seconde zone dopée et modifie la longueur électrique  $L_{EL}$  des transistors courts. Cette modification locale du dopage, qui n'a pas d'effet sur les transistors à canaux longs, permet de réduire la variation de  $V_T$ , quand la longueur de grille diminue. Néanmoins la solution n'est pas parfaite et peut modifier les résistances d'accès au transistor.

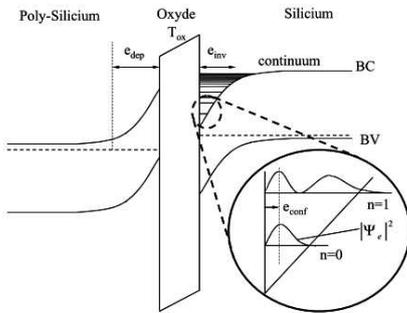
### 1.2.2.2. L'interface grille-canal

Avec les effets de la miniaturisation, les tensions utilisées dans les circuits sont de plus en plus faibles à l'avantage d'une consommation réduite (puisqu'elle dépend de  $V_{DD}^2$ ). Pour conserver un champ électrique suffisant et ainsi contrôler le canal, la miniaturisation prévoit également une réduction de l'épaisseur de l'oxyde de grille  $t_{ox}$ . Nous avons pourtant atteint une limite physique, puisque pour un oxyde inférieur à 1,5nm, la physique quantique explique l'apparition d'un courant de fuite de grille par effet tunnel (**Fig. I. 4**, gauche). La grandeur  $t_{ox}$  doit donc être suffisamment grande. On pourra noter que cet effet quantique a pu être utilisé pour améliorer les vitesses des mémoires [**Horiguchi99**] ou plus récemment dans le cas de TFETs (Tunnel-FETs, basé sur le *band-to-band* (BTB) *tunneling*) [**Sacconi07**, **Auf08**].



**Fig. I. 4** – (gauche) Fuites de grille augmentant aux faibles épaisseurs d'oxyde de grille [**Lee99**, **Chen08a**]. (droite) La poly déplétion équivaut à une chute de potentiel de grille [**Arora95**].

A ceci s'ajoute la poly-déplétion, où les charges présentes dans le canal influencent le champ électrique dans le poly-silicium de grille. Cela revient virtuellement à éloigner la grille du canal ce qui diminue son contrôle sur le canal (**Fig. I. 4**, droite). On quantifie à environ 4 Å cette zone de poly déplétion pour un NMOS et l'épaisseur d'oxyde est donc virtuellement augmentée dans les mêmes proportions.



**Fig. I. 5** - Effet du confinement quantique appelé *Darkspace* [EGEM]

Du côté du canal également, la physique interdit la présence de porteurs de charge à l'interface oxyde-canal, alors situés à 4 Å de l'interface physique à cause des effets de quantification (**Fig. I. 5**). Cette zone interdite aux porteurs est appelée le *darkspace*. A nouveau, l'oxyde de grille est virtuellement augmenté d'autant. Afin de poursuivre la course à la miniaturisation, de nouvelles solutions ont dû être adoptées. Leur mise en place a

bouleversé le monde de la microélectronique, puisque celle-ci repose non plus sur les empilements historiques mais sur l'utilisation de nouveaux matériaux.

## I.3. Les solutions technologiques

### I.3.1. Amélioration de la grille

#### I.3.1.1. Diélectrique de grille : haute permittivité

De manière à réduire la tension de grille tout en conservant un champ électrique suffisant pour contrôler le canal, l'utilisation de SiO<sub>2</sub> n'est plus satisfaisante. La solution utilisée depuis le nœud technologique 45nm en production de masse met en jeu un matériau diélectrique à haute permittivité, dit *High-K*. On mesure alors l'épaisseur d'oxyde en EOT pour *Equivalent Oxide Thickness*, définie comme :

$$EOT = T_{High-K} \times \frac{\epsilon_{SiO_2}}{\epsilon_{High-K}} \quad \text{Eq. I.4.}$$

avec T<sub>High-K</sub> l'épaisseur de matériau à forte permittivité, et ε leurs permittivités relatives.

Avec une permittivité cinq fois supérieure à celle du SiO<sub>2</sub> (**Fig. I. 6**, gauche), une couche de matériau High-K à base d'Hafnium (l'HfO<sub>2</sub> ou HfSiON sont majoritairement utilisés aujourd'hui) cinq fois plus épaisse formera la même capacité d'oxyde de grille C<sub>ox</sub>. On comprend ainsi aisément que les fuites de grille par effet tunnel, dépendant exponentiellement de l'épaisseur des matériaux, ne sont plus un problème majeur. On s'attachera tout de même à trouver le bon compromis avec la bande interdite du matériau pour éviter les fuites de courant.

Mais au-delà de la complexité d'utilisation de ces matériaux (procédés, coût etc.), il a été montré que l'interface entre le canal de silicium et le diélectrique High-K est de mauvaise qualité, mécaniquement fragile et électriquement susceptible de piéger des charges. L'utilisation de SiO<sub>2</sub> est donc toujours indispensable, en tant que couche dite d'interface. Celle-ci joue un rôle important dans la qualité du transport des charges et son épaisseur devra être optimisée (Fig. I. 6, droite).

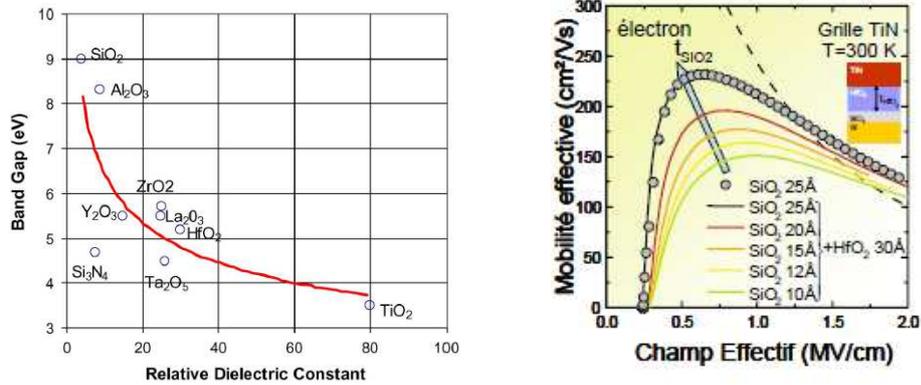


Fig. I. 6 - (gauche) Caractéristiques de différents diélectriques de grille [Robertson99], (droite) Effet d'un high-κ et de l'oxyde d'interface sur la mobilité des électrons [Cassé06].

### I.3.1.2. Métal de grille : travail de sortie mid-gap

La modification du diélectrique de grille s'est accompagnée d'un changement complet de l'empilement, puisque le poly-silicium est maintenant remplacé par un matériau métallique. De cette manière, on s'affranchit de la poly-déplétion et l'épaisseur d'oxyde équivalente est diminuée d'autant. L'utilisation d'un métal n'est pas anecdotique puisqu'il faut qu'il soit compatible en termes de procédé avec l'intégration de high-κ. Son choix va également avoir une influence sur le travail de sortie (Fig. I. 7) et ainsi sur la tension de seuil du transistor.

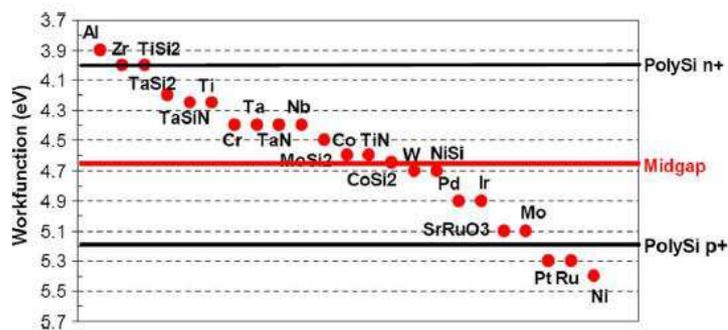


Fig. I. 7 - Travail de sortie de différents métaux et alliages utilisés pour former la grille, [Skotnicki08].

Afin d'être compatible avec le transistor de type N et de type P, le choix s'est porté sur les métaux dits *mid-gap*, c'est-à-dire dont le travail de sortie correspond à une énergie équidistante aux grilles N et P ( $\Phi_M = E_G/2$ ). De cette manière, les caractéristiques électriques des deux types de transistors sont symétriques, ce qui améliore les performances des circuits CMOS (combinant les deux types de transistors).

### I.3.2. Amélioration du canal de conduction

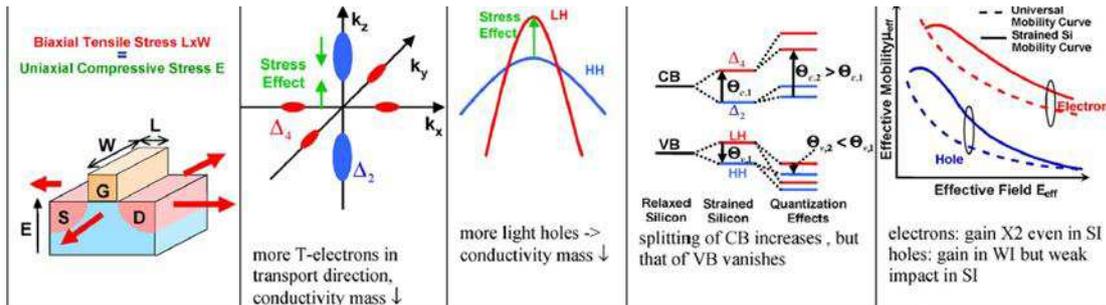
#### I.3.2.1. Les contraintes mécaniques

La modification de la grille par l'utilisation d'un empilement high-K/métal modifie le comportement d'un transistor et la mobilité des porteurs peut être dégradée par la présence de charges piégées dans le diélectrique [Lujan03, Yang06a].

Des optimisations sont toujours en cours d'étude pour les matériaux de grilles afin de répondre aux futurs besoins dictés par l'ITRS, comme l'ajout de matériaux afin d'ajuster finement les travaux de sortie des NMOS et PMOS. Pour exemple, on peut citer les multiples empilements de métaux dans la technologie 32nm d'Intel® [Jan09].

Afin de répondre aux besoins de performances, l'un des leviers technologiques est l'utilisation de contraintes mécaniques intentionnelles au sein d'un dispositif. Il existe en effet des contraintes inhérentes aux procédés de fabrication, dû aux différents budgets thermiques ou au dépôt des métaux de grille. Ce dernier est particulièrement intéressant pour les intégrations dites 'gate last', où la grille est construite après les sources et drains.

Les contraintes peuvent être intentionnellement transmises au silicium du canal de conduction, de manière à modifier sa structure de bande. Cela dépend de la structure complète du dispositif (plan de surface du substrat, orientation du transport).

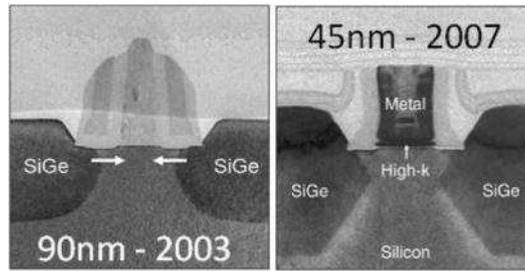


**Fig. I. 8** - Exemples de modification de la structure de bande du Si contraint et effet sur la mobilité des porteurs, [Skotnicki08].

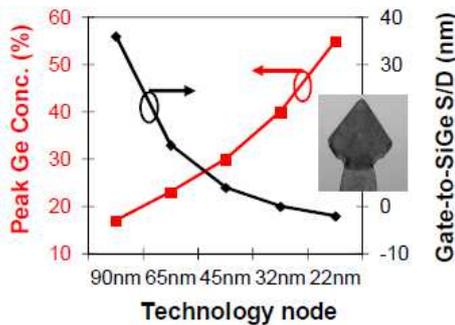
Les études approfondies des structures de bande montrent qu'une contrainte en tension permet l'amélioration du transport dans le cas d'un NMOS (conduction par les électrons). Ceci peut être relié à la fois à la modification du peuplement des vallées du Si mais aussi à une réduction de la masse effective des porteurs (Fig. I. 8).

Du point de vue des procédés d'intégration, différentes techniques ont été proposées afin de contrôler ces contraintes mécaniques, comme la contrainte par les dépôts de couche mince [Thompson02] (CESL pour *contact etch stop layer*) ou SMT [Chen04] (*strain memorization technique*). Dans tous les cas, la mobilité  $\mu$  des porteurs est améliorée et permet ainsi un gain sur le courant. Les techniques actuelles utilisent les différences de dimensions des mailles atomiques entre matériaux.

Dans le cas du PMOS, il a été montré qu'une contrainte en compression permet d'améliorer le transport des trous. Le SiGe est ainsi introduit dans les source/drain (Fig. I. 9) dès le nœud 90nm d'Intel pour comprimer le canal parallèlement au transport et améliorer la mobilité des trous.



**Fig. I. 9** - Coupes TEM de dispositifs des technologies 90nm et 45nm Intel®, avec source et drain en SiGe. [Ghani03, Mistry07, Jan08]



**Fig. I. 10** - Concentration en Ge des zones SD en SiGe, dans les technologies Intel®.

On notera que l'effet de la miniaturisation rend l'espace disponible autour de la grille de plus en plus réduit. C'est pourquoi, afin de conserver un niveau de contrainte suffisant, la concentration en Ge des zones S/D ne cesse d'augmenter avec les nœuds technologiques (Fig. I. 10) [Kuhn12a].

De la même manière, le matériau SiC commence à être utilisé [Ang05, Liow07, Togo12] pour induire une contrainte en tension dans le canal du NMOS. Aussi, l'utilisation de substrat SOI contraint (sSOI pour *strained-SOI*) permet d'apporter une contrainte intrinsèque par le substrat et non plus par un matériau déposé.

### I.3.2.2. Autres matériaux

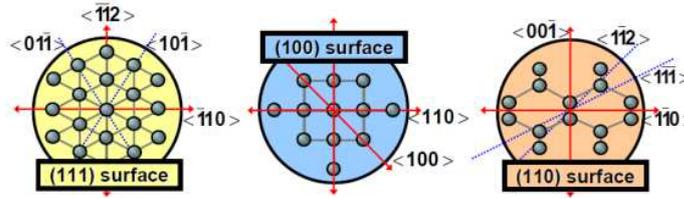
Historiquement utilisé pour des raisons de coût et de compatibilité des procédés développés depuis le début de la microélectronique, le Si n'est pourtant pas le matériau ayant les meilleures propriétés pour le transport de courant. On pourra d'ailleurs mentionner le fait que la découverte de l'effet transistor, et le premier transistor fabriqué, a été réalisé dans un cristal de Germanium [Bardeen49].

Comme une extension naturelle des source-drain en SiGe aujourd'hui utilisée pour améliorer le transport des trous, le canal lui-même pourrait être constitué de SiGe ou uniquement de Ge.

De la même manière, des alliages de matériaux plus exotiques de la famille des III-V pourraient apparaître dans la fabrication des transistors MOS. Les masses effectives des trous (pour le Ge) et des électrons (pour les III-V) sont assez faibles pour permettre des mobilités bien supérieures aux références actuelles [Kuhn12b]. L'utilisation de ces matériaux reste tout de même encore limitée, à cause de leur rareté ou d'un trop faible band-gap qui sera à l'origine de plus grandes fuites dans le transistor.

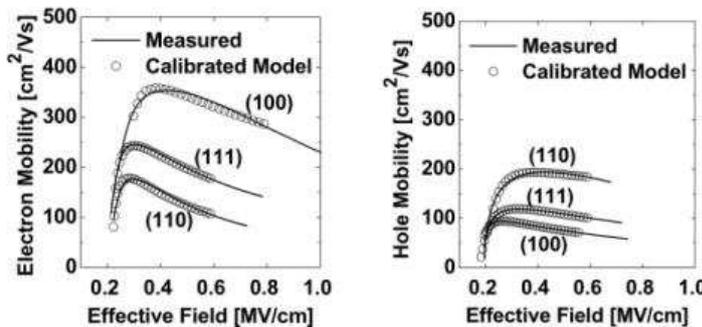
### I.3.2.3. Différentes orientations cristallographiques

Le silicium a une structure cristallographique cubique similaire au diamant. En fonction du cristal de Si initial, la fabrication des substrats de silicium donne accès à différents plans cristallographiques. De plus, la rotation des substrats lors de la fabrication permet également de choisir la direction du transport des porteurs de charge. Ces différentes possibilités sont citées en **Fig. I. 11** [Bidal09a]. On notera que dans l'industrie on utilise comme standard la surface (100) du Si et les substrats sont orientés de manière à suivre la direction  $\langle 110 \rangle$ , choix historique qui combine un faible coût de production des plaques avec de bonnes performances des NMOS. Travailler avec le plan (111), le plus dense en atomes de Si, correspond à un alignement selon un plan coupant la diagonale du cube de la maille, et le plan (110) est accessible dans la diagonale d'une face de la maille.



**Fig. I. 11** - Vue du réseau et orientations cristallographiques dans les différents plans de silicium.

On comprendra que ces propriétés cristallographiques jouent un rôle important pour les propriétés semi-conductrices du matériau. Différentes études [Chee05, Yang06c] ont ainsi permis d'extraire les mobilités effectives des porteurs selon différentes configurations. On remarquera que le cas standard utilisé dans l'industrie est tout à fait optimisé pour un transistor de type N (**Fig. I. 12**), mais que la mobilité des trous est meilleure selon les plans (110) (dans la direction  $\langle 110 \rangle$ ). Ces différences s'expliquent par les structures de bande dans ces plans, et dépendent aussi du confinement des porteurs, donc de ses dimensions (épaisseur du film, largeur) [Packan08]. Nous reviendrons sur ces considérations dans la description des architectures non-planaires de type FinFET.



**Fig. I. 12** - Mobilité des électrons et des trous pour différentes orientations surfaciques du substrat de silicium [Yang03]

Dans un contexte industriel, la fabrication de substrat autre que dans le plan (100) reste complexe, et on comprendra également que la combinaison de différentes orientations n'est pas viable pour des raisons de coût. Les substrats à double orientation sont néanmoins accessibles et des études ont montré leurs atouts afin d'optimiser le transport dans les cas du NFET et du PFET [Bidal09a].

D'autres études ont également évalué le changement de direction du canal par simple rotation de substrat, soit dans la direction  $\langle 100 \rangle$  (à  $45^\circ$  par rapport à la direction  $\langle 110 \rangle$  habituelle) [Andrieu07, Bidal08b, BenAkkez12]. L'étude de moyens d'amélioration des technologies (souvent nommés *technological boosters* en Anglais), en particulier l'ingénierie des contraintes, dépend également des considérations cristallographiques. Les résultats obtenus dans les cas standards ne sont donc valables que dans ce cas précis et pas nécessairement dans une autre configuration.

Comme on a pu le constater, la technologie MOSFET sur bulk atteint ses limites, en particulier pour le contrôle électrostatique. Les améliorations proposées jusqu'à aujourd'hui ne sont plus suffisantes aux règles de dessin des technologies sub-20nm, et c'est pourquoi d'autres architectures de transistors sont proposées et étudiées. Ces solutions innovantes sont décrites dans les paragraphes suivants.

## I.4. La nécessité de nouvelles architectures

La miniaturisation nous emmène vers la limite du transistor conventionnel (parfois appelé *bulk*), et de nouvelles solutions ont été proposées pour permettre la fabrication de transistors performants aux dimensions requises par l'ITRS dans les années à venir. Avec des dimensions de grilles très agressives (de l'ordre de 20nm), le contrôle électrostatique du canal devient très critique. C'est pourquoi de nouvelles architectures, à film mince ou même à grille partiellement voire totalement enrobante permettent d'améliorer ce contrôle. Nous allons ici décrire ces différentes évolutions technologiques, de l'architecture bulk aux architectures à film mince.

### I.4.1. Les avantages du film mince

Comme nous l'avons vu précédemment, l'architecture des transistors a été améliorée au fil des années pour évoluer vers l'utilisation de nouveaux matériaux de grille ainsi que l'introduction de contraintes mécaniques (par procédés ou par adjonction de matériau au niveau du transistor). Bien que ces nombreuses améliorations auront permis d'amener la technologie sur silicium massif jusqu'au nœud technologique 20nm [Cho11, Hulling12], celles-ci ne suffiront pas à respecter le cahier des charges des technologies à venir en terme de performances ( $I_{ON}$ ,  $I_{OFF}$ ) et surtout de contrôle de la grille pour les dimensions de moins de 20nm [Khakifirooz10, Maleville11].

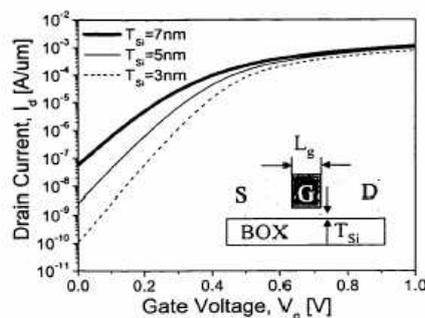


Fig. I. 13 - Effet de l'épaisseur de Silicium  $T_{Si}$  sur la pente sous le seuil de transistors FDSOI à  $L = 15$  nm [Choi99].

Il y a deux solutions (industriellement viables) pour réduire les courants de fuite de la structure *bulk*. La première implique l'utilisation de structure à film mince : les transistors MOSFET sont fabriqués sur une structure de Si isolée du substrat par une couche de SiO<sub>2</sub> (on l'appelle oxyde enterré ou *Buried Oxide*, Box en anglais). Grâce à une épaisseur de Si très fine (moins de 10nm), la totalité du canal est contrôlée par le champ de grille, ce qui améliore le contrôle électrostatique (**Fig. I. 13**). Les premières simulations montrent en effet que le courant de fuite est d'autant plus petit que le film est fin [**Choi99**]. On a ainsi estimé que la longueur de grille ne doit pas être supérieure à quatre fois l'épaisseur de film afin de conserver un bon contrôle sur le canal. On peut ajouter également qu'un film mince permet la formation de jonctions abruptes, ce qui permet un meilleur contrôle de la longueur électrique.

L'ITRS prévoit ainsi que la technologie Bulk soit remplacée par les technologies basées sur le SOI pour *Silicon On Insulator* (Silicium sur isolant), également appelées technologies sur films minces (**Table I. 2**). Ces architectures permettent en effet un meilleur contrôle des effets canaux courts grâce à la réduction de l'épaisseur de silicium, permettant à la fois une réduction des fuites de courants dans le substrat, un très bon contrôle de la grille sur le canal, et enfin une modulation de la tension de seuil des transistors grâce à des dopages de substrat (aussi dits *Ground Plane* et noté GP) ou à l'application d'une tension sur la face arrière.

**Table I. 2** – Quantifications prospectives des grandeurs physiques nécessaires à l'élaboration de technologies futures, selon l'ITRS en 2011.

<i>Year of Production</i>	2011	2012	2013	2014	2015	2016	2017	2018
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (contacted)</i>	38	32	27	24	21	18.9	16.9	15.0
<i>L<sub>g</sub>: Physical Lgate for HP Logic (nm)</i>	24	22	20	18	17	15.3	14.0	12.8
<i>L<sub>g</sub>: Physical Lgate for LOP Logic (nm) [1]</i>	26	24	21	19.0	18.0	16.0	14.5	13.1
<i>V<sub>dd</sub>: Power Supply Voltage (V) [2]</i>								
Bulk/FD SOI/MG	0.72	0.70	0.67	0.65	0.63	0.61	0.59	0.57
<i>EOT: Equivalent Oxide Thickness (nm) [3]</i>								
Extended Planar Bulk	0.9	0.85	0.8	0.75	0.7			
FD SOI			0.9	0.85	0.8	0.75	0.7	0.65
MG					0.9	0.86	0.82	0.78
<i>T<sub>BOX</sub>: Buried Oxide Thickness for UTB FD (nm) [6]</i>								
UTB FD			18	16	15	14	13	12
<i>EOT<sub>elec</sub>: Electrical Equivalent Oxide Thickness (nm) [7]</i>								
Extended Planar Bulk	1.28	1.23	1.18	1.14	1.1			
FD SOI			1.3	1.25	1.2	1.15	1.1	1.05
MG					1.3	1.26	1.22	1.18

Avec toute la complexité des procédés de fabrication de substrat SOI à grande échelle, une première approche pour évaluer l'intérêt de telles architectures a donc été de créer ces dispositifs par modification des procédés de fabrication existants, afin de former une structure sous le canal de conduction. Ces procédés étant développés depuis de nombreuses années et parfaitement contrôlés, la définition de structure à très petites dimensions est possible.

### I.4.1.1. Architectures à film mince: *Localized-SOI*

Afin d'évaluer l'influence sur le fonctionnement des dispositifs conventionnels d'une structure sur la face arrière, de nombreux procédés ont été développés. De par sa facilité d'intégration, la structure dite 'SOI localisé' a été particulièrement étudiée.

Cette intégration repose tout d'abord sur un procédé d'épitaxie, permettant de contrôler une croissance de couche mince avec une très grande précision : sur le silicium massif, on fait croître une couche de SiGe (de moins de 20 nm, de manière à éviter toute relaxation du paramètre de maille de l'alliage SiGe, source de défauts cristallins), puis une dernière couche de Si est à son tour épitaxiée. Cette dernière couche représente le futur canal de conduction, et on comprend l'avantage de cette technique puisque l'épaisseur de ce canal est très bien contrôlée.

L'intégration du dispositif suit ensuite les procédés standards jusqu'à la formation de la grille et des jonctions (Fig. I. 14, gauche). La structure étant soutenue par les isolations STI, il est alors possible de retirer le SiGe par gravure sélective. Les différences chimiques entre les deux composés permettent une très bonne sélectivité des procédés, à base d'HCl ou de CF<sub>4</sub>, et la vitesse de consommation du SiGe est plus de cent fois supérieure à celle du Si. On préférera un procédé utilisant un plasma plutôt qu'un bain humide pour éviter les problèmes de mouvement des couches minces causés par les forces de capillarité. Ces étapes permettent donc la formation d'un canal de Si suspendu, d'où le nom de SON pour *Silicon On Nothing* [Jurczak00].

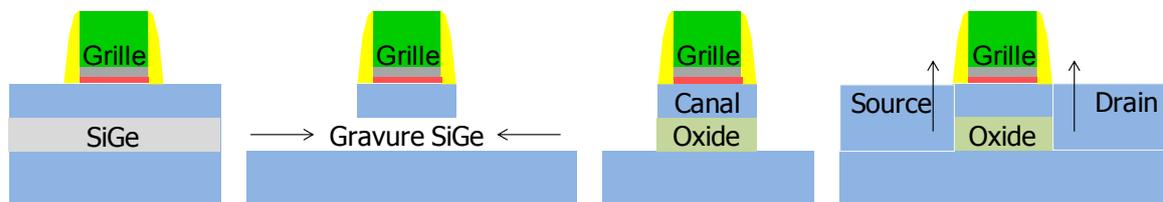


Fig. I. 14 - Schéma d'intégration de la brique SON [Jurczak99].

La sélectivité des matériaux au procédé de gravure dépend de leur nature (ici la concentration en Ge) et aussi de l'épaisseur des couches [Fig. I. 15, Loubet08]. Cela permet un contrôle très fin de l'étape de libération du canal de Si pour former le SON.

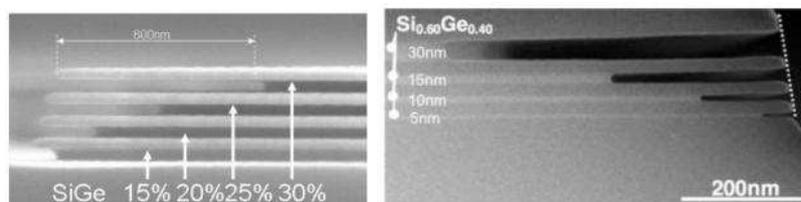
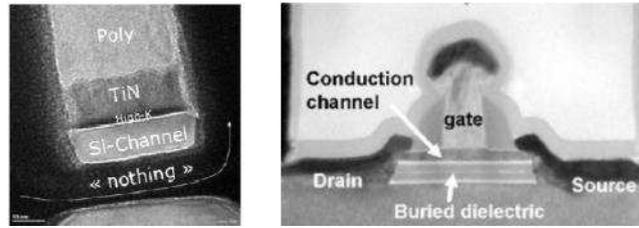


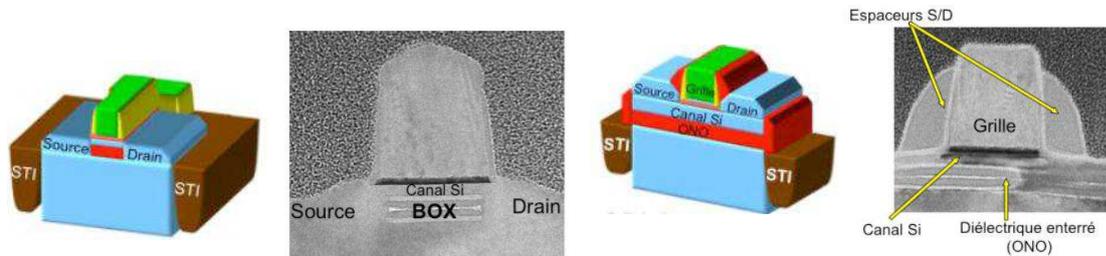
Fig. I. 15 - Coupe dans un empilement Si/SiGe après gravure sélective [Loubet08].

Il est ensuite possible d'effectuer un dépôt de matériaux isolants, de type oxyde ou nitrure, qui viendra remplir la cavité sous le canal de silicium pour ainsi isoler ce dernier du substrat [Monfray04, Monfray08]. On a ainsi créé un dispositif à SOI localisé ou LSOI (*Localized SOI*), Fig. I. 16.



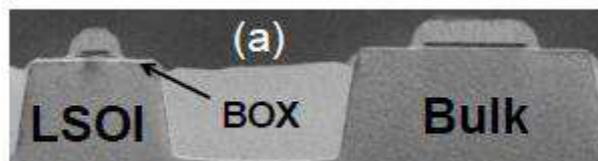
**Fig. I. 16** - Vue en coupe TEM de transistor Bulk+ après gravure sélective du SiGe [Monfray08] et d'un transistor SON à la fin du procédé de fabrication [Monfray04].

Grâce à ce degré de liberté supplémentaire – la fabrication d'une structure sous une autre – de multiples intégrations ont été proposées pour réaliser de tels dispositifs [Boeuf05, Cerruti05, Wacquez06, Monfray07, Pouydebasque08, Bidal08b]. L'une d'elle implique la gravure sélective du SiGe après le retrait des zones source et drain. Le matériau déposé sous le canal de Si sera ensuite gravé avec pour masque la grille déjà en place, et les zones source et drain seront ré-épitaxiées [Huguenin10a]. L'isolation sera donc localisée sous la grille uniquement (Fig. I. 17, gauche).



**Fig. I. 17** - Schéma et coupe TEM d'un transistor SON où le canal est isolé (gauche) et LSOI où le canal ainsi est que les zones source et drain sont isolées (droite).

Une seconde méthode consiste en l'ouverture d'accès latéral au SiGe enterré par consommation des isolations STI. La gravure du SiGe se fait ainsi sous la totalité du Si de la zone active, et le dépôt de l'isolant se fera sans étape de gravure dédiée (Fig. I. 17, droite). On fait alors ici la différence entre les dispositifs SON, isolé uniquement sous la grille, de cette intégration dite LSOI. Cette architecture présente l'avantage d'isoler le canal non seulement sous la grille mais également au niveau des jonctions source et drain, qui sont donc aussi découplées du substrat. On évite ainsi la formation d'un second canal de conduction sous l'oxyde enterré (perçage volumique dans le bulk) et on conserve un excellent contrôle électrostatique. On pourra également noter que l'utilisation de ces différentes techniques est tout à fait compatible avec une co-integration standard (Fig. I. 18), la zone LSOI pouvant être fabriquée alors qu'une zone Bulk est masquée [Monfray07, Fenouillet-Beranger09, Huguenin10b].



**Fig. I. 18** - Coupe TEM montrant la co-integration hybride LSOI et bulk.

Un procédé analogue au SON aura été utilisé dans cette thèse pour définir une structure en nanofil de silicium suspendu, afin de permettre la fabrication de transistors à grille enrobante. Le chapitre IV sera consacré à la description de ces dispositifs.

#### I.4.1.2. Dispositifs à double grille

Avec un canal de conduction parfaitement isolé du substrat et dont la partie inférieure est aussi contrôlée par le champ de grille, l'architecture à double grille (souvent noté DG) présente l'avantage de réduire les courants de fuites et d'améliorer le contrôle électrostatique [Balestra87]. Au-delà d'une isolation, la seconde grille de cette architecture permet de créer un second canal de conduction géométriquement opposé au premier. On comprendra aisément au premier ordre que l'épaisseur contrôlée par chacune des grilles correspond maintenant à la moitié de l'épaisseur du Si, soit  $T_{Si}/2$ . Un modèle simplifié permet de rendre compte de l'intérêt de cette architecture sur le contrôle électrostatique du canal [Skotnicki00]. On pourra également ajouter que la densité de courant peut également être doublée pour une même tension de grille, puisque nous formons deux canaux de conduction pour un même encombrement en vue de dessus.

$$SS = \frac{\epsilon_{Si} t_{Ox} T_{Si}/2}{\epsilon_{Ox} L_{EL} L_{EL}} \times \left( 1 + \frac{(T_{Si}/2)^2}{L_{EL}^2} \right) \times \Phi_d \quad \text{Eq. I.5.}$$

$$DIBL = \frac{\epsilon_{Si} t_{Ox} T_{Si}/2}{\epsilon_{Ox} L_{EL} L_{EL}} \times \left( 1 + \frac{(T_{Si}/2)^2}{L_{EL}^2} \right) \times V_d \quad \text{Eq. I.6.}$$

Une difficulté technologique de la fabrication d'un dispositif à double grille est l'alignement des deux grilles. Celui-ci influence directement les performances du transistor (Fig. I. 19), comme il a été démontré avec une réalisation par collage moléculaire entre substrat [Widiez04]. Ici, l'alignement dépend directement de marques d'alignement lithographique (une précision de l'ordre de 10nm).

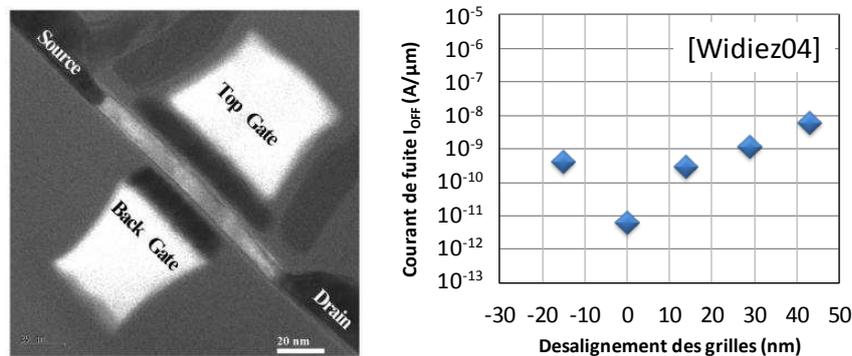


Fig. I. 19 - Transistor à double grille obtenu par collage, et extraction du courant de fuite  $I_{OFF}$  en fonction du désalignement des grilles [extrait de Widiez04].

La solution développée à travers les procédés d’auto alignement ne résout pas le problème de différence dans le dimensionnement des deux grilles, qui influence également le contrôle électrostatique du dispositif [Widiez05, Vinet05].

Les procédés de type LSOI ont permis la fabrication de dispositifs à double grille auto alignées et simultanément contrôlées en dimension : le futur canal de Si est alors positionné entre deux couches de SiGe sacrificielles (fausses grilles), qui seront remplacées par les matériaux de grille après une gravure sélective (Fig. I. 20).

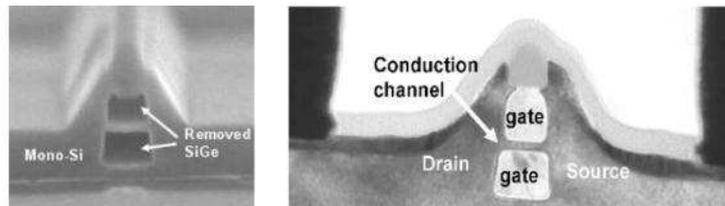


Fig. I. 20 - Coupe d’un double tunnel obtenu après gravure sélective du SiGe de part et d’autre du canal de Si, puis formation des deux grilles auto-alignées [Monfray08, Wacquez06].

On notera également que le substrat aura été fortement dopé afin d’éviter la formation d’un canal parasite sous la grille inférieure (potentiellement mal contrôlé par la grille donc susceptible de dégrader l’électrostatique). Le canal de conduction étant épitaxié, son épaisseur est parfaitement contrôlée (Fig. I. 21) [Huguenin10a].

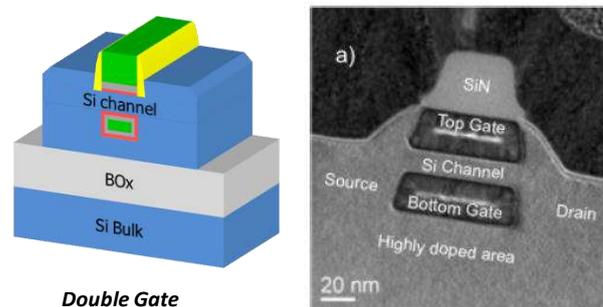


Fig. I. 21 - Schéma et coupe TEM d’un transistor à DG auto alignées par la technique de SON.

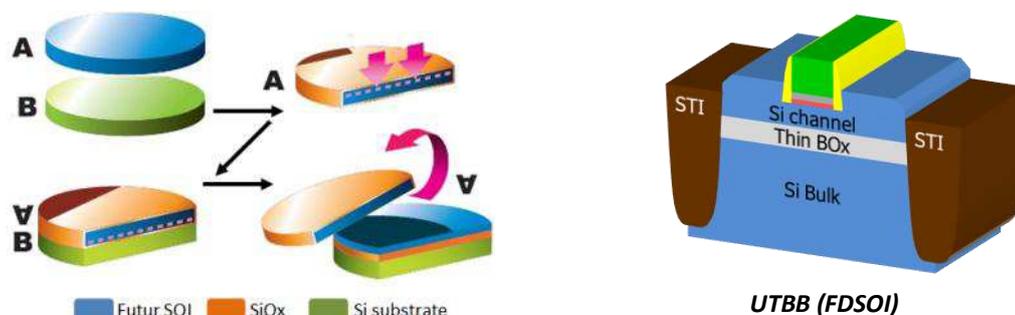
#### I.4.1.3. La technologie industrielle : le FDSOI

Les dispositifs précédents ont permis de montrer l’intérêt certain d’une isolation sous le canal de conduction (dispositifs LSOI) ou du contrôle de la conduction par une seconde grille. Les démonstrations technologiques sont exemplaires, mais la réalisation à grande échelle est délicate du fait du grand nombre d’étapes supplémentaires nécessaires et les variabilités associées à la brique technologique SON.

La solution à grande échelle consiste donc en l’utilisation de substrat SOI, dont les épaisseurs de Box et SOI sont très bien contrôlées. Ces épaisseurs sont donc de nouveaux leviers à l’optimisation de l’architecture MOS.

Les premières réalisations se sont faites sur des substrats ayant une forte épaisseur de Si, de l’ordre de 150nm. La zone de déplétion du canal n’atteignait donc pas le Box, et l’on parlait de transistor PD-SOI pour *Partially Depleted SOI*. L’amélioration de la

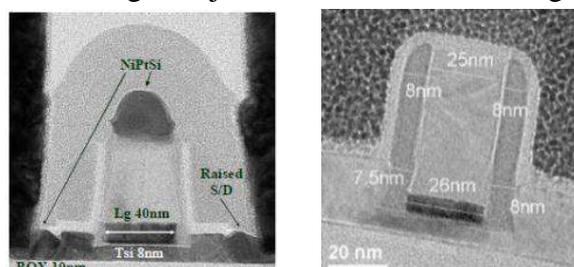
technique de fabrication des substrats (principalement le SmartCut®, **Fig. I. 22**, mais d'autres techniques existent) permet maintenant d'obtenir une couche de Si de seulement quelques nanomètres. On parle ainsi de transistor *Fully depleted* ou FDSOI, puisque le canal de conduction sera totalement dépleté et que la totalité du volume de silicium sera sous l'influence du champ de grille. Avec un Box mince (**Fig. I. 22**), on parle d'architecture UTBB (*ultra thin body and Box*).



**Fig. I. 22** – Procédé Smartcut® de Soitec® [extrait de **SOITEC**] et représentation schématique d'un transistor UTBB (FDSOI) fabriqué sur SOI.

La fabrication d'une fine couche de Box (quelques dizaines de nm) a également permis le développement de techniques de modification de la conduction dans le canal par la tension sur la face arrière du substrat, ce qui a pour effet de moduler la tension de seuil  $V_T$  des dispositifs de manière dynamique (contrairement à un dopage substrat). En ce sens, la tension de substrat à travers l'isolant (Box) équivaut à une seconde grille qui permettra de modifier de manière dynamique le fonctionnement des transistors.

L'utilisation de substrats SOI à grande échelle est aujourd'hui une réalité industrielle (plusieurs fournisseurs sont capables de produire des substrats SOI, principalement SOITEC, MEMC et SEH), annoncée en Juin 2012 par STMicroelectronics et GlobalFoundries pour la production des nœuds technologiques 28nm et 14nm (**Fig. I. 23**). Le surcoût induit par l'utilisation de substrats SOI est rapidement compensé par un certain nombre d'étapes de fabrication devenues inutiles (dopages par exemple). Cette architecture reste également planaire et est tout à fait compatible avec les règles de dessin habituelles et les nombreux designs déjà réalisés sur les technologies Bulk.



**Fig. I. 23** - Vue en coupe de transistor FDSOI sur box mince [Fenouillet-Beranger10, Planes12]

Avec un meilleur contrôle de la grille sur le canal [**Choi99**], la diminution de l'épaisseur de Box permet également au canal d'être plus sensible au substrat, tout en étant isolé électriquement. Cela permet par exemple d'améliorer le contrôle

électrostatique du dispositif dans le cas où le substrat est dopé (on parle de *Ground Plane* noté GP, ou de plan de masse). Ceci s’observe sur le DIBL pour plusieurs longueurs de grille (Fig. I. 24, gauche).

Cette sensibilité à la face arrière (le substrat situé sous le Box) permet également de moduler la tension de seuil du canal de manière dynamique grâce à une tension de face arrière. Cet effet permettra de maintenir un bon fonctionnement d’une cellule SRAM (Fig. I. 24, droite) avec une tension d’alimentation de 0,4V [Liu11].

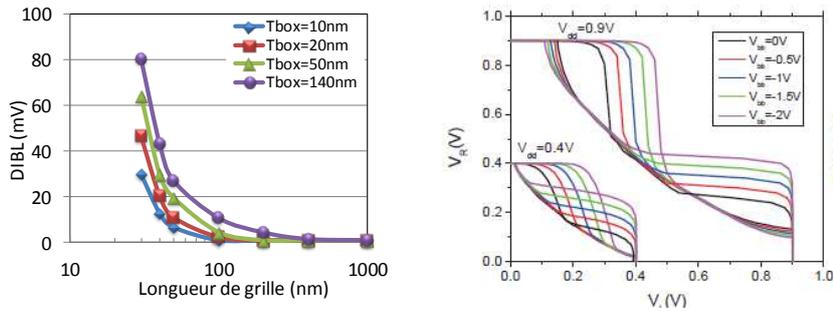


Fig. I. 24 – (gauche) La diminution de l’épaisseur du Box améliore le DIBL des structures planaires pour plusieurs longueurs de grille [Gallon07]. (droite) Effet d’une tension de face arrière sur les caractéristiques d’une cellule SRAM 0,08 $\mu$ m<sup>2</sup> FDSOI, fonctionnelle à  $V_{DD}=0,4V$ .

L’ingénierie de GP et la stratégie multi- $V_T$  offerte par la tension face arrière permettent de définir avec précision la tension de seuil des transistors (Fig. I. 25). Ceci s’ajoute aux stratégies de modulation du  $V_T$  par les différents travaux de sortie des métaux de grille, déjà implémentées en intégration CMOS [Packan09].

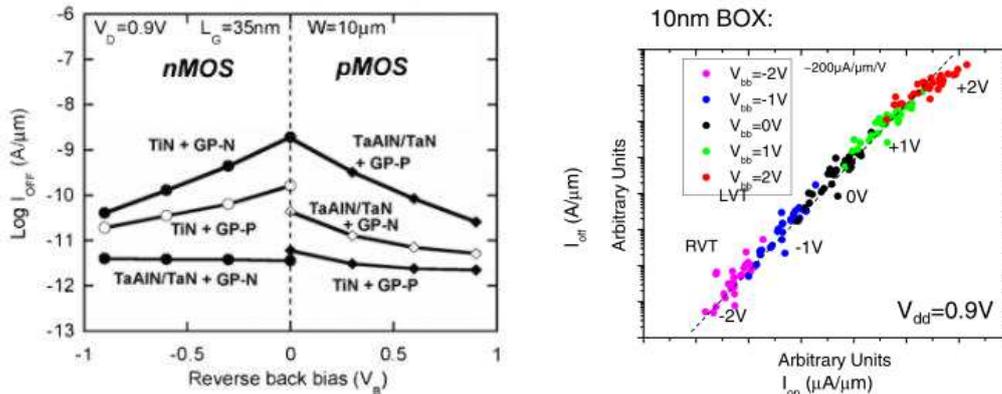
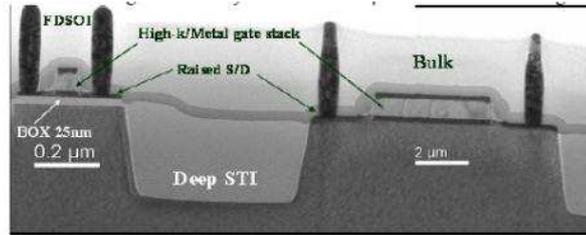


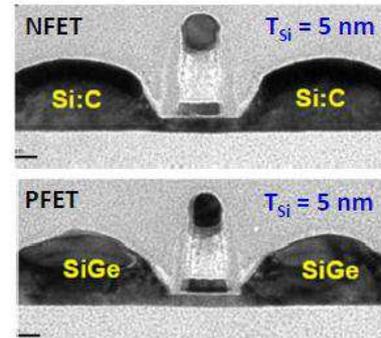
Fig. I. 25 - Possibilité de modulation des propriétés des transistors FDSOI par une tension sur la face arrière [Weber10, Skotnicki11]

Enfin, la technologie FDSOI a également été co-intégrée avec les technologies bulk de manière à profiter des structures planaires sur film mince dédiées aux applications à basse consommation et bulk pour les circuits I/O, ESD, etc. Le substrat bulk est en effet facilement accessible par un retrait sélectif du Box dans les zones choisies [Fenouillet-Beranger09], et les procédés suivants permettent la fabrication simultanée des deux types d’architectures (Fig. I. 26).



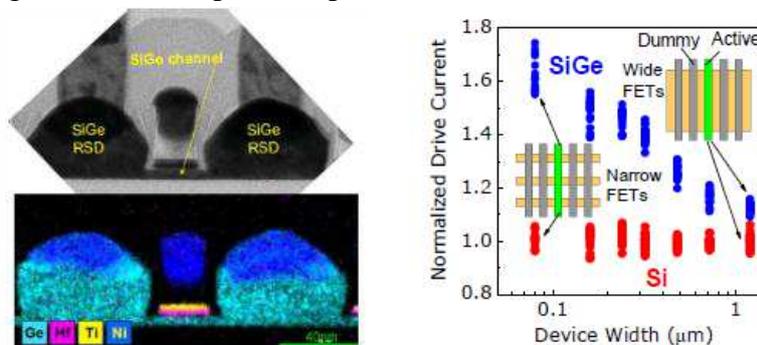
**Fig. I. 26** - Vue en coupe TEM d'un transistor FDSOI co-intégré sur une même puce avec un transistor Bulk. [Fenouillet-Beranger09]

Une limite à l'utilisation d'un film très mince est l'augmentation de la résistance de contact pour accéder au canal. Pour cette raison, la technologie FDSOI inclut également une étape d'épitaxie, permettant d'accroître l'épaisseur de Si au niveau des sources et drains. Parfaitement contrôlée, cette technique permet l'utilisation de matériaux différents, tels le SiGe ou le SiC (Fig. I. 27), comme discuté au paragraphe I-3.2.1. Cette technique est largement répandue et même indispensable pour l'amélioration du transport dans les transistors des dernières générations.



**Fig. I. 27** – Différents matériaux pour l'épitaxie source/drain [Cheng09]

Le développement des procédés mettant en jeu d'autres matériaux et leur compatibilité d'intégration avec les autres procédés durant la fabrication permet même l'utilisation de ces matériaux dans le canal du transistor. On pourra en effet citer la fabrication de canal en SiGe [Cheng12], qui permet d'améliorer significativement les performances par la contrainte dans les PMOS comme expliqué précédemment. Ces procédés sont développés de manière à pouvoir co-intégrer ces différents matériaux au sein d'une même puce. On pourra noter que cette méthode est compatible avec une miniaturisation des transistors, puisque les performances sont accrues avec une largeur de transistor diminuée (Fig. I. 28), ce qui laisse supposer que la contrainte mécanique est d'autant plus grande dans les petits dispositifs.



**Fig. I. 28** – (gauche) Vue en coupe et cartographie chimique d'un transistor FDSOI avec Source/Drain et canal en SiGe. (droite) Courant  $I_D$  extrait pour plusieurs largeurs de zone active en Si ou SiGe [Cheng12].

La technologie sur film mince permet également une meilleure variabilité face au bulk, grâce au très bon contrôle des procédés [Weber08, Andrieu10, Mazurier11], ce qui en fait une technologie tout à fait adaptée aux nœuds futurs.

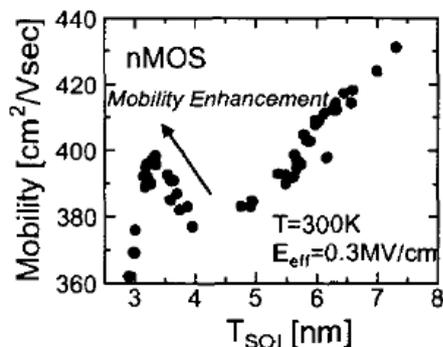


Fig. I. 29 – Mobilité des électrons en fonction de l'épaisseur de Si,  $T_{Si}$  [Uchida09]

Le nouveau levier technologique est donc la miniaturisation de l'épaisseur de film de silicium qui permet ainsi d'améliorer le contrôle du canal par la grille, et cette dimension sera réduite pour répondre aux besoins des nœuds futurs. Avec des dimensions inférieures à 10nm aujourd'hui, la limite de contrôle de variabilité à grande échelle sera bientôt atteinte, puisque cela entraîne une baisse de la mobilité des porteurs (Fig. I. 29).

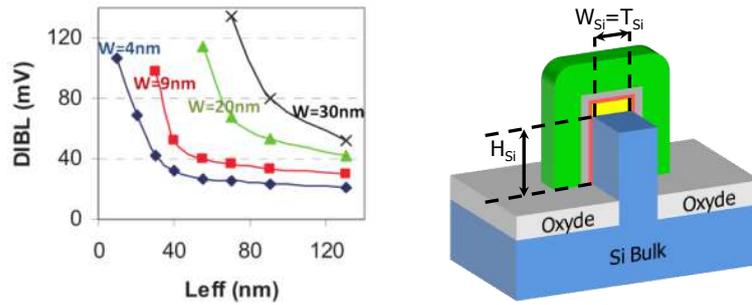
À cause de ces limitations physiques, d'autres architectures sont également envisagées pour faire face aux problèmes induits par la miniaturisation : les technologies non planaires multi-grille.

## I.4.2. Les dispositifs non planaires à grilles multiples

Une autre solution pour réduire les courants de fuites est d'offrir un contrôle de la grille par plusieurs cotés comme illustré dans un transistor non-planaire. Le film de silicium doit être suffisamment fin pour que la grille contrôle tout le volume de Si. Puisque nous avons dans ce cas plusieurs grilles entourant un canal, nous parlons de transistors non planaires à grilles multiples (ou MuG-FETs pour *multiple gate FETs*).

### I.4.2.1. FinFET et TriGate FETs sur Bulk

A l'instar de l'architecture à double grille dite planaire, il existe une architecture double grille verticale, avec un canal en forme d'aileron (Fin en anglais) : le FinFET, proposé dès 1998 (premier N-FinFET [Hisamoto98] puis premier P-FinFET [Huang99]). Avec la grille supérieure dont l'effet est neutralisé par l'ajout d'un masque dur (par exemple un nitrure), on peut en effet décrire le FinFET comme un dispositif DG dont les deux grilles et canaux de conduction se trouvent sur les plans verticaux. Ceci permet en effet de s'affranchir de la problématique de l'auto alignement des deux grilles rencontrée avec une architecture planaire.

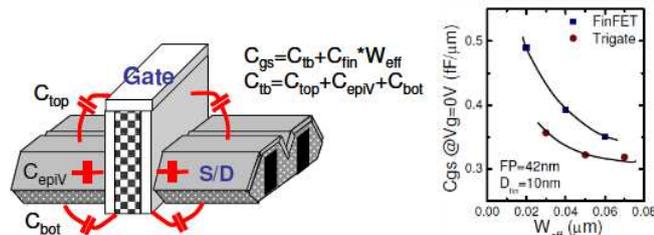


**Fig. I. 30** – (gauche) DIBL( $L_{eff}$ ) dans une architecture de type FinFET [Chang11].  
(droite) Schéma d'un FinFET Double Grille sur substrat bulk.

Dans une telle architecture, équivalente à un double grille tourné de 90°, il convient de définir l'épaisseur de la zone active  $T_{Si}$  comme  $W$ , alors que sa largeur électrique est définie par la hauteur du silicium  $H$  (et plus précisément par  $2 \times H$  puisqu'il s'agit bien d'un double-grille). Comme pour le dispositif à double-grille planaire miniaturisé en  $T_{Si}$ , un excellent contrôle électrostatique est attendu dès lors que la largeur  $W$  du FinFET est suffisamment fine (**Fig. I. 30**, gauche). D'après les résultats de simulation, on définit le critère  $T_{Si} < L_G/3$  pour assurer un bon contrôle de la grille dans une architecture MuG-FET.

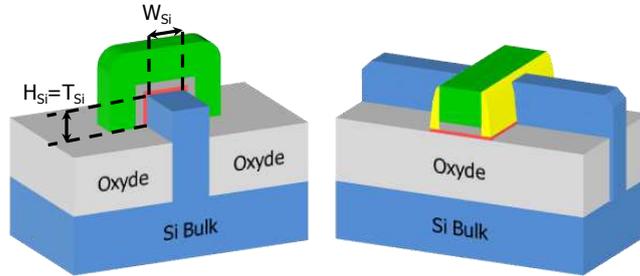
On définit le FinFET comme ayant un canal de conduction davantage haut que large ( $H > 1,5 \times W$ ), et à l'origine ayant une conduction de type double grille. Pour cela, un masque dur est placé sur le sommet du canal de Si avant les dépôts de grille (**Fig. I. 30**, droite), de sorte que la grille ne puisse pas avoir d'effet sur le plan supérieur. La conduction n'a donc lieu que sur les faces verticales du Fin, et on construit ainsi un dispositif à double-grille parfaitement alignées.

Un FinFET ayant un fort rapport de forme (grand  $H$  et petit  $W$ ), il présente l'avantage de fournir une grande largeur électrique effective  $W_{eff}$  et donc un fort courant  $I_{ON}$ . La conduction se fait aussi sur les deux faces de dimensions  $H$ , alors que son encombrement est minimal (réduit à  $W$ ). On a ensuite dérivé le terme FinFET vers TriGate pour définir un dispositif avec un grand rapport de forme mais ayant une conduction sur ses trois faces (d'où TriGate pour *triple gate*) en l'absence de masque dur. Dans ce cas, la conduction par la face supérieure contribue de manière significative au maintien du  $V_t$  aux faibles longueurs de grille (aussi dit *Vt roll-off*) et à l'amélioration du contrôle électrostatique. Par la même occasion, les capacités parasites deviennent moins importantes que pour un FinFET double-grille ([Sachid12], -15% à même  $W_{eff}$ , [Lin10]), lié au fait que la face supérieure devient utile à la conduction de courant (**Fig. I. 31**).



**Fig. I. 31** - Contribution des capacités pour une architecture FinFET et capacité grille-source ( $C_{GS}$ ) pour différentes largeurs effectives  $W_{eff}$ , plus grande dans un cas FinFET [Lin10].

Ce dispositif est donc un cas particulier des dispositifs TriGate. Dans ce manuscrit, on utilisera principalement le terme TriGate pour un dispositif ayant trois surfaces de conduction (**Fig. I. 32**), mais avec des dimensions habituelles du type  $W \geq H$  (en général, la hauteur  $H$  est fixée à environ 10nm et la largeur des dispositifs est donc au minimum de 10nm).



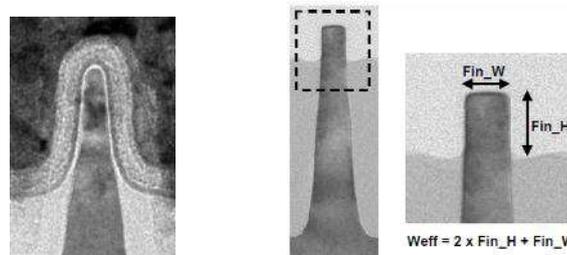
**Fig. I. 32** - Schéma d'un FinFET TriGate sur substrat bulk tel que fabriqué par Intel® au nœud technologique 22nm.

Le monde de la microélectronique aura connu en mai 2011 une rupture technologique d'envergure, avec l'annonce de la mise sur le marché par Intel® de microprocesseurs basés non plus sur une architecture planaire conventionnelle mais tridimensionnelle. Baptisée TriGate FinFET bulk, cette architecture est dite 3D car la conduction ne se fait plus sur un plan de silicium, mais sur trois faces (**Fig. I. 33**). A la différence du FinFET double grille, la largeur électrique effective du dispositif  $W_{eff}$  sera définie par la hauteur du film  $H$  ainsi que sa largeur  $W$  ( $W_{eff} = W + 2 \times H$ ).

Ces dispositifs présentent l'avantage d'être fabriqués à partir de plaques de silicium bulk conventionnelles. La complexité des étapes de fabrication ultérieures ne sont quant à elles plus un argument en faveur d'une réduction de coût.

Mais le FinFET bulk présente plusieurs difficultés : la complexité de la gravure (sur plus de 100nm de hauteur) et l'isolation des *Fins* effectuée grâce à un remplissage de matériaux composés d'oxyde, de type Fox (*Flowable Oxide*).

Pour permettre ce remplissage d'isolation sans défaut, la forme des Fins n'est donc pas parfaitement verticale mais légèrement triangulaire [**Auth12, Wu10**]. Cela diminue le contrôle électrostatique (fuite dans la zone large, moins bien contrôlée par la grille) [**Kavalieros06**] mais permet de conserver un bon niveau de courant grâce au gain en dimension (faible encombrement par  $W$  mais grand  $H$  donc grand  $W_{eff}$ ).



**Fig. I. 33** - Coupe TEM de FinFET TriGate bulk tels que proposés par Intel® (gauche) et TSMC® (droite) pour les nœuds technologiques 22/20nm.

Le TriGate d’Intel est donc parfaitement indiqué pour la fabrication de processeurs à hautes performances. Il a tout de même été démontré qu’une forme imparfaite du *Fin* pouvait provoquer une concentration du courant à son sommet, et des effets d’échauffement et de variabilité plus importants [GSS12].

De manière à modifier le niveau de courant qui influencera les délais de propagation dans un circuit (en particulier le courant effectif  $I_{EFF}$ , défini dans [Na02]), il est possible de modifier la largeur électrique  $W_{eff}$  du TriGate bulk en jouant sur la gravure de l’oxyde CVD. Cela permet même la fabrication de circuit incluant différentes hauteurs de Si (Fig. I. 34), avec un gain en variabilité de 25% sur une cellule SRAM [Chen13].

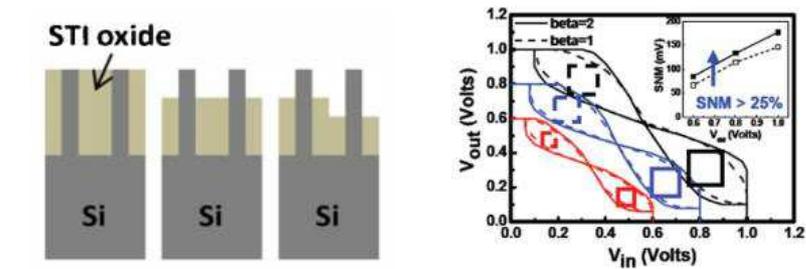


Fig. I. 34 - Schéma de principe d’une intégration à hauteur de FinFET multiple [Hu12] et gain en variabilité obtenu sur SRAM [Chen13]

En plus d’un très bon contrôle électrostatique et d’un encombrement minimal, les technologies non planaires ont également l’avantage d’utiliser naturellement la conduction dans le plan (110) du silicium, puisque directement accessible sur les flancs du Fin. Cela permet de profiter d’une amélioration du transport des trous et donc de meilleures performances sur les PMOS. La surface (100) sous la grille étant petite, la mobilité effective des porteurs pour les NMOS sera légèrement plus faible (Fig. I. 35).

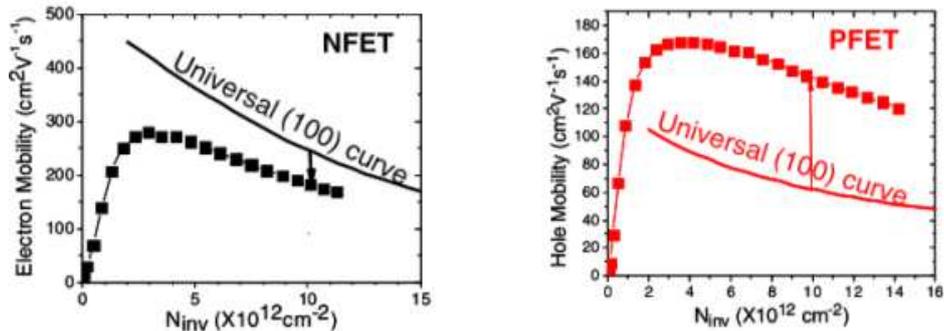


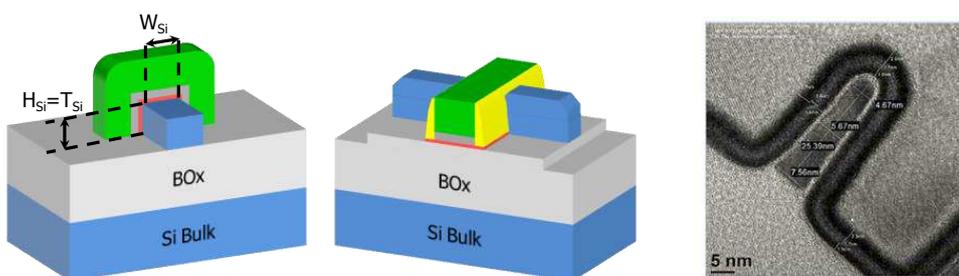
Fig. I. 35 - L’avantage d’une conduction sur les flancs selon un plan (110) sur FinFET permet un gain important en mobilité pour les PMOS [Basker10].

Les architectures non planaires ont donc cette particularité mais sont également compatibles avec les moyens d’améliorations développées pour les technologies planaires telles que les contraintes mécaniques. Ces différents aspects seront rediscutés dans le chapitre II de ce manuscrit.

On notera enfin que le FinFET bulk, de par sa conception, est toujours lié au substrat. Afin d'éviter toute fuite de courant à l'état OFF, une zone est fortement dopée au pied du *Fin*. On parle alors d'isolation par jonction. Ce procédé PTS (pour *Punch through stopper*) est donc techniquement délicat à mettre en œuvre [Takahashi07, Kawasaki07, Inaba06] mais nécessaire avec un substrat bulk. Pour les applications à basse consommation, l'architecture SOI reste tout de même privilégiée, et présentera de plus l'avantage de faciliter la gravure du Si, avec arrêt sélectif sur le Box.

#### I.4.2.2. FinFET et TriGate FETs sur SOI

Les architectures multi grilles sur SOI ont les mêmes avantages que les technologies à films minces. La présence de trois grilles permet un excellent contrôle électrostatique, ce qui permet de relâcher la dimension  $T_{Si}$  en comparaison aux structures sur film mince. L'accès aux canaux de conduction latéraux, sur les plans cristallographiques de Si (110) sur les plaques standards, permet également une mobilité effective des trous améliorée en comparaison à une architecture planaire, toujours avec un canal dirigé selon l'orientation  $\langle 100 \rangle$ .



**Fig. I. 36** - Représentation schématique d'une architecture FinFET sur SOI, et coupe TEM d'un FinFET sur SOI présenté par IBM pour le nœud 14nm [Patton12].

L'utilisation d'un substrat SOI apporte plusieurs avantages à la fabrication de dispositifs non planaires. Tout d'abord, l'isolation du transistor est totale grâce au Box. Les techniques de dopage *punch through* sont ici inutiles, le procédé est ainsi plus simple techniquement mais aussi moins onéreux dans un contexte industriel. Le procédé de gravure est également facilité puisque le Box servira de couche d'arrêt (**Fig. I. 36**). Le contrôle des dimensions est alors amélioré et la variabilité s'en trouve réduite. Cet aspect est d'autant plus important que les dispositifs seront en général utilisés en réseaux denses. En effet, avec une largeur électrique  $W_{eff}$  relativement faible, les niveaux de courants nécessaires, toujours plus élevés pour plus de rapidité des circuits, impliquent une densité d'intégration élevée, avec trois à quatre dispositifs sur une surface équivalente à celle d'un dispositif planaire. Pour cela, il est nécessaire de contrôler la technique dite de *Spacer Patterning* ou de SIT (*Sidewall Image Transfer*).

La technique SIT [Choi01] permet en effet d'obtenir des structures dont les dimensions ne sont pas atteignables par les méthodes de lithographie actuelles [Yamashita11]. Le principe repose sur la division des dimensions, puisqu'on réutilise

deux espaceurs formés autour d'une structure nommée mandrel comme masque. On transfère ainsi un motif deux fois plus petit que le motif initial (Fig. I. 37), dont l'espacement est défini par la dimension du mandrel [Kawasaki09]. Déjà utilisée dans un contexte industriel sur les transistors non planaires [Auth12], on comprend l'avantage de l'utilisation de cette technique, l'uniformité de la dimension des *Fins* étant un gage de faible variabilité dans un circuit.

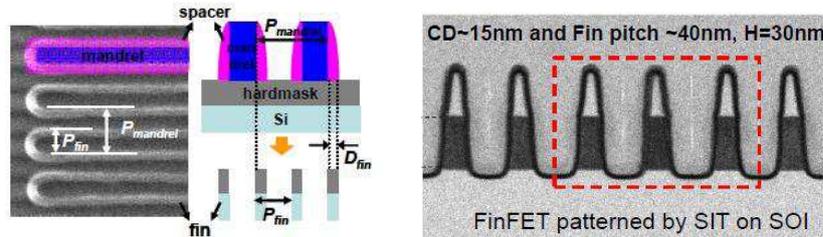


Fig. I. 37 - Principe du *spacer patterning* (SIT) [Kawasaki09] et vue en coupe TEM de FinFET à double grille sur SOI réalisés par SIT [Yamashita11].

Le dopage dans des réseaux denses de structures ayant un grand H peut se révéler problématique pour accéder aux zones source et drain. Ce problème d'ombrage des zones d'implantation peut se solutionner par l'utilisation d'un dopage conforme, réalisé par immersion plasma [Sasaki08]. L'optimisation de ce procédé a un impact non négligeable sur les performances des transistors ([Yamashita11], -50% sur  $R_{\text{accès}}$  et +25% sur  $I_{\text{ON}}$ ). Avec un espacement relativement faible, les stresseurs de type source/drain SiGe ont peu d'espace. On trouvera donc certaines intégrations où les zones source/drain sont jointes, et des études tentent de montrer quel en est l'effet sur les capacités parasites [Guillorn08] mais aussi sur l'état résiduel des contraintes dans un cas ou dans l'autre [Nainani12].

Enfin, et contrairement aux technologies planaires et en particulier les technologies à film mince, le FinFET ne permet pas d'offrir plusieurs tensions de seuil, comme il est intéressant de trouver dans des applications où les besoins de performances et de faible consommation sont tous deux nécessaires. Différents  $V_T$  sont disponibles par l'utilisation de plusieurs métaux de grille, comme dans une technologie planaire [Veloso08, Veloso11]. Néanmoins, une autre solution utilise le dopage du Fin de Si, dans la limite d'une mobilité réduite et de problèmes de variabilité (Fig. I. 38).

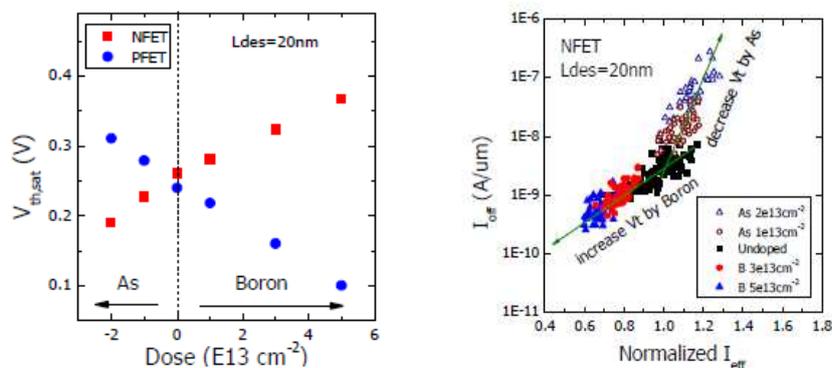


Fig. I. 38 – (gauche)  $V_{T,ant}$  de FinFET type N à  $L_{des}=20\text{nm}$  modulé par un dopage du Fin. (droite) Tendances  $I_{\text{ON}}-I_{\text{OFF}}$  de ces dispositifs montrant la limite de la méthode [Lin12].

La possibilité d’avoir différentes tensions de seuil, par dopage du substrat ou par un potentiel en face arrière, est possible uniquement pour un dispositif ayant une épaisseur de silicium H petite. Ce comportement sera étudié en détail dans le chapitre III de ce manuscrit.

Avec une hauteur H généralement du même ordre que sa largeur W, on ne parle plus de FinFET mais de dispositifs TriGate, les trois grilles étant sensiblement identiques en dimensions. Avec un  $W \ll H$ , le FinFET s’apparente plutôt à un double grille vertical, alors que les TriGate est plus relâché et donc moins difficile à fabriquer. Bien que la hauteur du film de silicium soit en général supérieur à 10nm, on peut trouver une certaine ressemblance au FDSOI planaire, mais dont la dimension miniaturisée est sa largeur W, plutôt que l’épaisseur de film  $T_{Si}$ . Le TriGate se définit plutôt comme une architecture intermédiaire, et profite des avantages de ces deux structures. De plus, cela en fait un parfait candidat pour une évolution de la technologie FDSOI aux nœuds technologiques ultimes (<10nm).

Étudié pour son canal de conduction sur un plan vertical (110) avantageux pour le PMOS, plusieurs références présentent des dispositifs TriGate sur SOI avec des largeurs de 60nm [Doyle03] puis 20nm [Kavalieros06] (Fig. I. 39) et même 10nm grâce à la technique SIT [Choi01].

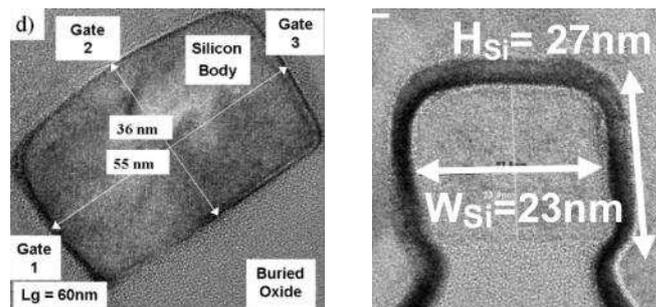


Fig. I. 39 - TriGate sur SOI proposé par Intel® [Doyle03, Kavalieros06].

Tout comme le FinFET, le TriGate montre un excellent contrôle électrostatique (Fig. I. 40) et particulièrement lorsque sa largeur W est diminuée. On relève ici un  $DIBL < 100 \text{ mV/V}$  dès lors que  $W < 15 \text{ nm}$  et pour une longueur de grille de  $L = 25 \text{ nm}$  [Saitoh10].

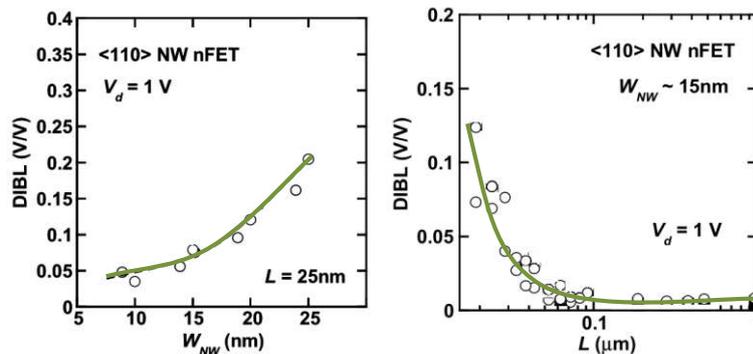
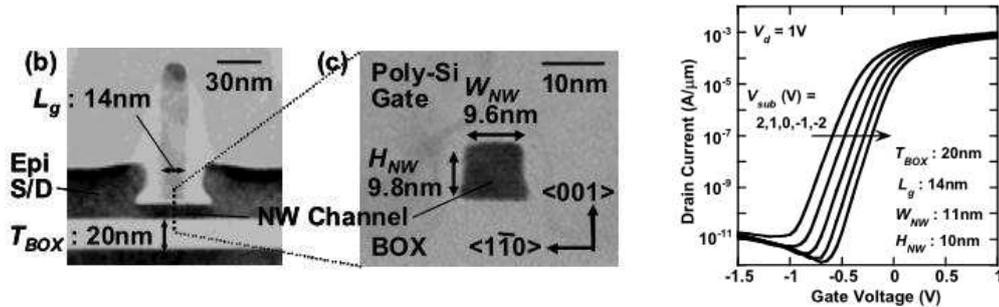


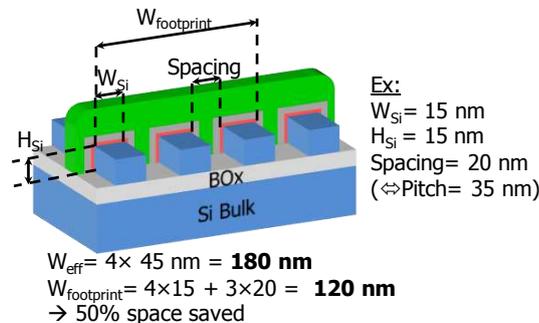
Fig. I. 40 - Electrostatique d’un transistor TriGate sur SOI (Extrait de [Saitoh10])

Il a également été démontré que la fabrication de TriGate est compatible avec des techniques de contrainte tridimensionnelle [Saitoh08] ou de mémorisation de stress (noté SMT pour *Stress Memorization Technique*, [Saitoh11]). La fabrication de transistor TriGate avec un canal en SiGe est également démontrée pour améliorer les performances des dispositifs PMOS [Hashemi13].



**Fig. I. 41** - Vue en coupe de TriGate sur SOI Box mince et modulation de la caractéristique  $I_D$ - $V_G$  de TriGate sur Box 20nm [Saitoh12]

Le TriGate profite également d'un avantage identique à la technologie sur film mince, dès lors que son développement est réalisé sur une structure à Box mince (**Fig. I. 41**, gauche) : la possibilité de modifier de manière dynamique la tension de seuil du dispositif (**Fig. I. 41**, droite), ici pour une largeur  $W$  de seulement 11nm et une longueur de grille  $L$  de 14nm [Saitoh12]. L'étude présente ainsi la possibilité de diminuer le courant  $I_{OFF}$  d'une décade ou d'apporter un gain de 13% sur le courant  $I_{ON}$  avec des tensions de -1V et +1V en face arrière respectivement.



**Fig. I. 42** – Exemple d'utilisation de la technique SIT démontrant la possibilité de gain en surface des technologies 3D.

Enfin, comme pour le FinFET, la technique SIT permet une intégration dense des TriGate (**Fig. I. 42**), d'autant plus qu'un  $H$  relativement faible limite la largeur effective  $W_{eff}$  à l'inverse du FinFET. Cela permet ainsi de combiner un très bon contrôle électrostatique avec un encombrement réduit face à une architecture planaire. En effet, avec des dimensions acceptables, le gain en surface utilisé sur puce peut atteindre 50%.

Il existe également des formes particulières de TriGate (**Fig. I. 43**), où le box sur lequel repose le silicium a été légèrement consommé lors des étapes de fabrication. Cela permet aux matériaux de grilles, déposés de manière conforme, d'épouser la forme

particulière des architectures 3D et de remplir la cavité ainsi formée sous le silicium. On parlera ainsi de dispositifs Omega-gate puisque la grille n'est plus seulement sur trois faces mais enrobe la quasi-totalité du Si avec une forme de  $\Omega$  (Fig. I. 44).

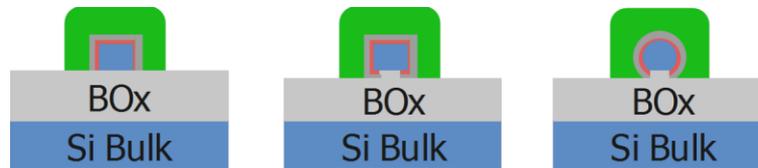


Fig. I. 43 – Les différentes géométries pour la fabrication de dispositifs à triple grilles.

Dans certains cas, on pourra également donner une forme arrondie au Si grâce à un recuit à haute température sous atmosphère riche en dihydrogène, de manière à permettre la migration des atomes de Si [Tachi09, Koyama12]. Nous parlerons dans ce cas de transistor Omega-gate circulaire.

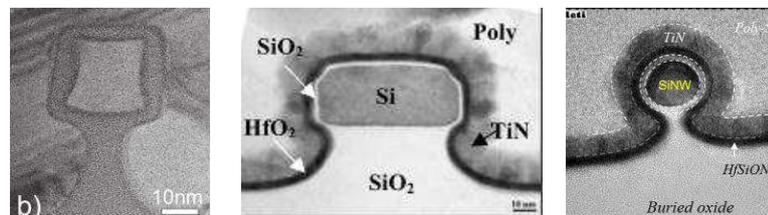


Fig. I. 44 – Vue en coupe TEM des dispositifs Omega-Gate [Habicht10, Jahan05] et Omega-gate arrondi [Barraud12].

Les études relatives à ces formes particulières de TriGate font état d'une électrostatique très bonne puisque le contrôle de la grille est optimal [Jahan05, Habicht10, Barraud13]. La plupart des dispositifs fabriqués pendant cette thèse présentent une légère consommation de Box leur conférant un très bon contrôle du canal par la grille.

La diminution des longueurs de grille et le besoin de densité ont permis l'apparition des technologies à triple grille par Intel® dès le nœud 22nm [Auth12]. Les besoins des nœuds technologiques avancés ne sont pas atteignables par la technologie bulk. Aussi, d'autres constructeurs font le choix de continuer l'intégration planaire grâce au film mince (FDSOI), ce qui devrait permettre de repousser encore la loi de Moore jusqu'au nœud 10nm.

Les nouvelles architectures tridimensionnelles seront néanmoins nécessaires pour permettre un bon contrôle des dispositifs lorsque la longueur de grille sera très petite, aux nœuds sub-10nm. Afin de répondre aux besoins du CMOS, les possibilités d'intégration et la compatibilité avec les *boosters* technologiques telles que la contrainte mécanique doivent être étudiés en détail dans ce type d'architecture. Ces propriétés auront pu être explorées pendant cette thèse, et ces études seront décrites au chapitre II.

### I.4.2.3. Dispositifs ultimes: Gate-All-Around, Nanowire

La miniaturisation ultime du canal de silicium mène jusqu'à la fabrication de dispositifs à nanofil (aussi noté NW pour *NanoWire*). A ces dimensions et pour garantir de contrôler au mieux le canal de conduction, la grille enrobe totalement le canal et on parle alors de grille enrobante ou GAA pour *Gate-All-Around*.

Différentes méthodes existent pour fabriquer de tels dispositifs, dont les canaux de petites dimensions peuvent être définis par lithographie électronique sur Si [Hashemi08] ou SiGe [Hashemi09]. La libération de la structure nanofil est en général permise par la gravure du Box sous une structure fabriquée sur SOI [Bangsaruntip09]. Les dimensions des fils peuvent ensuite être diminuées par un procédé de recuit en présence de dihydrogène H<sub>2</sub>, ou par oxydation contrôlée puis désoxydation (Fig. I. 45). Cette méthode permet de définir des diamètres de fils jusqu'à 3nm qui sont impliqués dans la fabrication de circuit (inverseurs et *Ring-Oscillators*) fonctionnels [Bangsaruntip10].

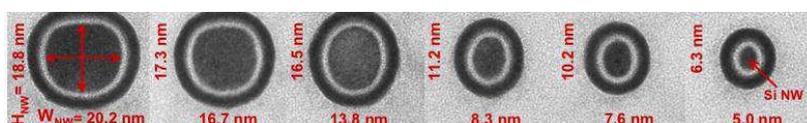


Fig. I. 45 – Vue en coupe de plusieurs nanofils de Si, dont la dimension est contrôlée par oxydation jusqu'à un diamètre inférieur à 3nm.

La définition de la grille est relativement difficile à réaliser dans ce type de structure, puisque les procédés utilisés dans les autres architectures impliquent des gravures anisotropes verticales. Dans le cas d'une grille enrobante, la partie de la grille située sous la zone active est moins bien contrôlée, ce qui implique que ses dimensions ne soient pas toujours identiques entre la partie supérieure et inférieure (Fig. I. 46, droite).

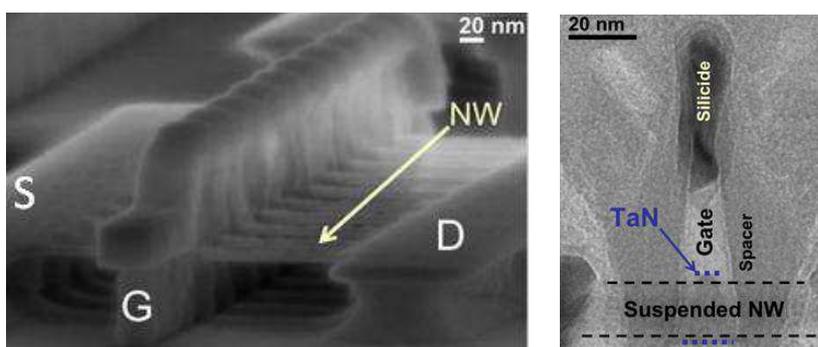


Fig. I. 46 – Vue par microscopie électronique à balayage (MEB) de structures nanofils GAA avec une grille L=25nm (coupe TEM) [Bangsaruntip09].

Afin de créer une structure suspendue, la technologie SON présente plusieurs avantages. On notera d'ailleurs que cette méthode a été utilisée par Samsung en 2005 sans cette appellation [Suk05]. Comme pour la fabrication de dispositifs UTBB ou à double-grille par la méthode SON, celle-ci permet de fabriquer une membrane de silicium suspendue, dont l'un des avantages majeurs reste la définition du canal par épitaxie dont l'épaisseur est alors très bien contrôlée.

Comme pour un dispositif double-grille, le concept d’auto-alignement des grilles a été rendu possible avec l’utilisation de deux couches de SiGe sacrificielles, formant deux cavités pour les futures grilles, alors parfaitement auto-alignées [Cerruti05, Wacquez06]. Les détails de cette technique seront davantage développés dans le chapitre IV. Initialement proposée avec un empilement de grille SiO<sub>2</sub>/Poly-Si, l’intégration des procédés conformes de dépôt d’un diélectrique de grille à haute permittivité et d’une grille métallique est également démontrée [Pouydebasque08]. Le canal suspendu peut ainsi être totalement enrobé (Fig. I. 47) par les matériaux de grille [Huguenin10c, Monfray10].

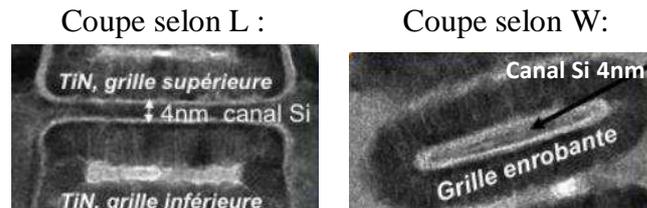


Fig. I. 47 - Coupe TEM de GAA fabriqué sur SOI, avec  $T_{Si}=4nm$ .

Notons enfin que cette même méthode peut être implémentée sur substrat Bulk (Fig. I. 48). Cela permet de fabriquer des dispositifs à double grille auto alignées [Huguenin10b] ou des dispositifs à grille enrobante [Bidal09b] avec les règles de dessin standards des technologies planaires (bulk).

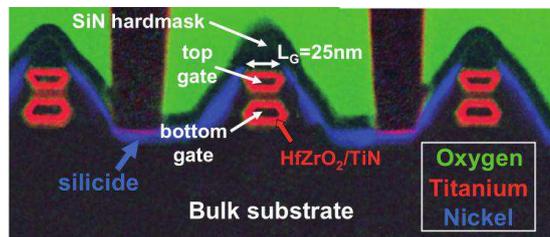
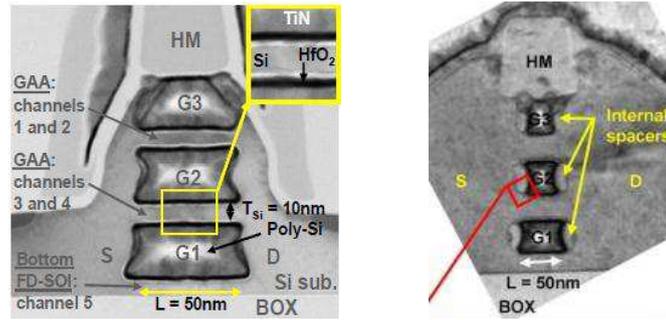


Fig. I. 48 - Coupe TEM colorisée d’un GAA miniaturisé dans ses trois dimensions, le *nanodot*.

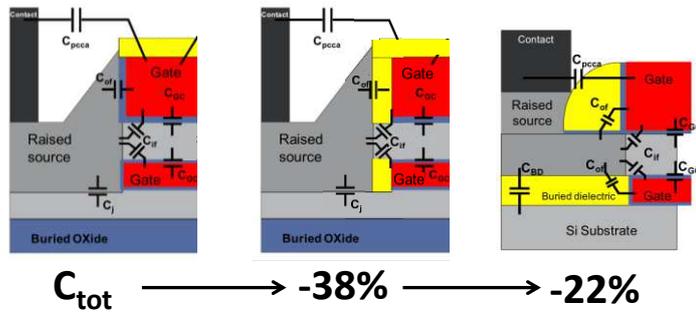
La technologie SON permet également, et tout naturellement, la réalisation d’architectures ayant plusieurs canaux de conduction empilés (Fig. I. 49), ceux-ci pouvant être définis grâce à une succession de couches de SiGe/Si épitaxiées. La gravure sélective de SiGe libère ainsi la totalité des canaux de Si. Ces dispositifs multicanaux ont permis d’obtenir un MCFET (pour *Multi-Channel Field Effect Transistor*) avec trois canaux de silicium et trois grilles [Bernard08]. Avec un encombrement minime, les courants rapportés sont impressionnants (courant  $I_{ON}$  de 2,27mA pour seulement 16pA/μm de courant  $I_{OFF}$ ), tout en ayant une électrostatique idéale grâce aux grilles enrobantes.

Le développement de ces dispositifs a conduit à intégrer un espaceur interne [Dupré08] situé sur les bords des grilles, déposé après une gravure partielle des fausses grilles de SiGe (Fig. I. 49, droite). Cette méthode de fabrication aura aussi permis la fabrication de dispositifs avec des grilles électriquement indépendantes (appelés  $\phi$ FET, [Dupré08, Hubert09]).



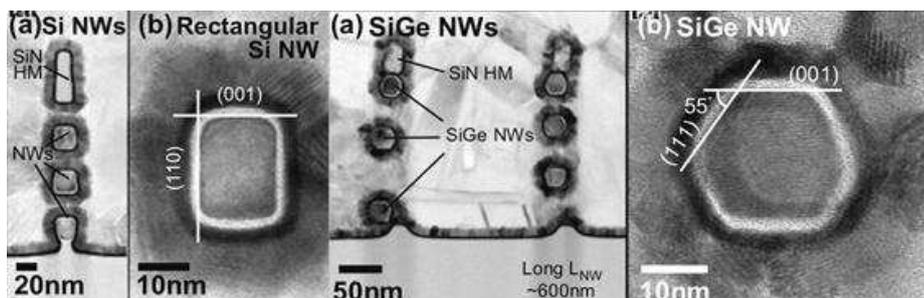
**Fig. I. 49** – (gauche) Coupe TEM d’un transistor multicanaux GAA [Bernard08], (droite) coupe TEM d’un transistor multicanaux GAA avec espaceurs internes [Bernard09].

La présence d’espaceurs, dont la permittivité diélectrique est faible, permet de diminuer les capacités grille-source/drain, notées  $C_{of}$  sur la Fig. I. 50 et les délais de fonctionnement des circuits, et permet des délais de propagation du signal inférieurs à des circuits avancés impliquant des dispositifs FinFET [Huguenin10d].



**Fig. I. 50** – Simulation des capacités dans des dispositifs à grille enrobante. La présence d’espaceurs voire d’un diélectrique enterré permet de diminuer significativement la capacité entre les grilles et les zones source/drain.

Enfin, plusieurs études montrent l’intérêt de la technologie SON pour réaliser des transistors à nanofils empilés [Tachi10, Ernst06, Ernst08, Dornel07]. Utilisant un empilement sur plusieurs niveaux avec un encombrement minime, d’excellents courants ont été rapportés [Dupré08]. On notera également que la technologie SON a pu être modifiée de manière à graver sélectivement le Si afin de conserver les structures de SiGe (Fig. I. 51), préférable pour un dispositif PMOS [Tachi10]. Avec un nombre de canaux importants, la définition de la grille devient critique puisque l’accès aux matériaux est limité lors des procédés de gravure qui définissent des structures en surface uniquement.



**Fig. I. 51** – Coupe TEM dans des dispositifs à nanofils empilés, dont les canaux sont en Si ou en SiGe selon la sélectivité voulue lors de la gravure du procédé SON.

Il devient alors nécessaire de pouvoir définir les grilles de manière auto alignées sans procédés de gravure. L'utilisation de procédé damascène, c'est-à-dire de dépôt de grille par remplissage d'une cavité, a été proposé sur des dispositifs à nanofil [Suk07, Suk08]. L'intégration est alors complexe, et nécessite en particulier deux étapes de gravure afin de définir la grille. Le procédé permet tout de même de définir des transistors à nanofils de faible diamètre et de longueur de grille de 30nm (Fig. I. 52).

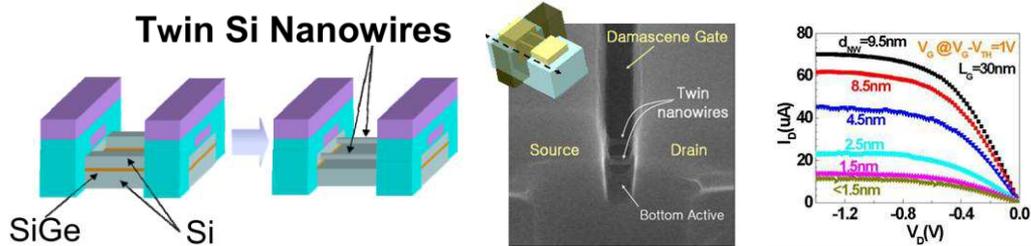


Fig. I. 52 – Procédé de fabrication de transistor à nanofil de diamètres inférieurs à 10nm dont la grille est définis par remplissage d'une cavité (damascène) [Suk07, Suk08].

Afin de contourner la difficulté de la fabrication de grille enrobante auto-alignée, un procédé dit 'idéal' a été proposé par Monfray et al. [Monfray10]. Cette solution innovante propose l'utilisation d'une étape de lithographie unique permettant de définir la grille sous le canal en même temps que la grille supérieure (Fig. I. 53). Ce procédé permet ainsi de se rapprocher des enchainements standards. Cette méthode, présentée en détails au chapitre IV, est dite idéale car elle présente plusieurs avantages technologiques :

- ✓ Le canal est défini par la technique SON, lors d'une étape d'épitaxie. Son épaisseur est alors très bien contrôlée.
- ✓ La lithographie unique permet de définir de manière simultanée les deux grilles, en assurant ainsi leur parfait auto-alignement et leur dimensions.
- ✓ Enfin, les grilles étant parfaitement définies autour des canaux de Si avant les étapes d'épitaxie source/drain, la formation des espaceurs permet le dépôt d'un diélectrique enterré sous le canal. La grille inferieure est ainsi parfaitement isolée et on remplit ainsi la condition évoquée en Fig. I. 50.
- ✓ Les grilles étant définies par un procédé damascène, il est tout à fait envisageable de les former sur plusieurs niveaux de canaux de Si.

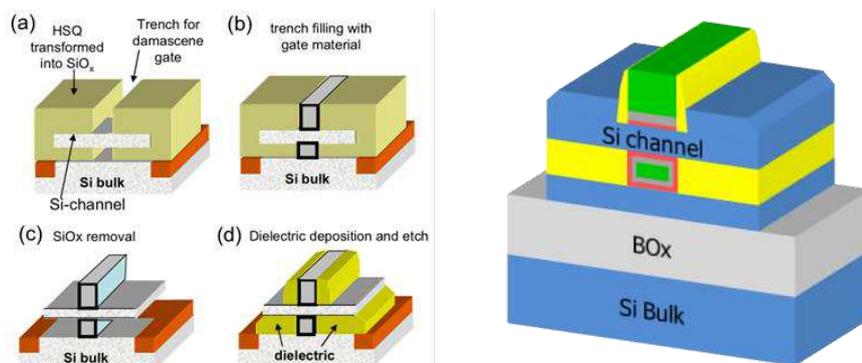


Fig. I. 53 – Enchainement des étapes clés et schéma d'un dispositif à grille enrobante (GAA) idéal (grilles auto alignées isolées par un diélectrique enterré).

## Conclusion du chapitre I

Ce chapitre introductif présente l'évolution de la technologie CMOS. On constate que de nombreuses modifications de l'architecture du transistor ont permis d'atteindre des nœuds avancés (32/28nm). Dans le contexte de la miniaturisation, les limites du *bulk* semblent aujourd'hui atteintes, et c'est la raison de l'intégration de nouvelles architectures.

Les dispositifs planaires, de type film mince localisé ou double grille, ont été étudiés pour leur facilité d'intégration avec les règles de dessin du *bulk*. Les technologies actuelles s'ouvrent vers l'industrialisation du film mince (FDSOI), qui permet de repousser les limites du contrôle électrostatique et qui présente l'avantage de pouvoir moduler la conduction par la face arrière. Les premiers transistors non planaires de type TriGate FinFET sur *bulk* apparaissent aussi dès 2011 en production de masse au nœud 22nm. La miniaturisation de tels dispositifs est cependant délicate puisque leurs dimensions atteignent les limites des procédés. Le substrat *bulk* semble également limitant pour des applications à basse consommation.

On se propose ainsi d'évaluer les technologies qui permettraient de repousser la limite de la feuille de route du CMOS. Pour cela, nous avons pu développer des transistors à triple grille sur SOI, dits TriGate ou TGSOI. Le chapitre II sera ainsi consacré à l'étude de ces dispositifs, de leur fabrication à leur fonctionnement. On s'intéressera également aux possibilités offertes pour en améliorer les performances: études des contraintes en compression (pour le PMOS) et en tension (pour le NMOS).

Le chapitre III propose d'évaluer ces mêmes dispositifs dans un contexte d'une évolution sur substrat à box mince, et on évaluera ainsi les différences et les points communs avec une architecture planaire sur film mince. On s'intéressera en particulier aux possibilités de contrôler la tension de seuil des dispositifs pour une application circuit multi-Vt. On verra alors l'avantage d'une technologie tridimensionnelle fabriquée sur substrat SOI, afin d'offrir un bon contrôle de grille ainsi que la possibilité d'un contrôle du dispositif par la face arrière.

Enfin, l'évolution ultime du dispositif CMOS, le transistor à nanofil à grille enrobante, sera étudié au chapitre IV. On proposera une intégration innovante afin de permettre la fabrication de tels dispositifs, dont la grille ne peut plus être fabriquée par des procédés de transfert de motif vertical. Une solution à la problématique de la formation de la grille sous un canal de silicium sera proposée. La technique mise en œuvre sera décrite, les procédés développés seront expliqués et une démonstration fonctionnelle sera présentée.







---

## **CHAPITRE II - Développement d'une technologie TriGate SOI**

---



<b>CHAPITRE II – Développement d'une technologie TriGate SOI .....</b>	<b>59</b>
<b>II.1. Procédés de fabrication et caractérisation physique .....</b>	<b>63</b>
II.1.1. Définition de la zone active.....	63
II.1.2. Formation de la triple grille .....	65
II.1.3. Epitaxie Source-Drain et méthodes d'implantation.....	67
<b>II.2. Caractérisation électrique des transistors TriGate SOI.....</b>	<b>68</b>
II.2.1. Electrostatique du TriGate, effets canaux courts .....	68
II.2.2. La mobilité des porteurs du transistor TriGate .....	69
II.2.3. Performances électriques du TriGate sur SOI .....	74
<b>II.3. Amélioration des performances de transistors TriGate .....</b>	<b>75</b>
II.3.1. Fabrication de TriGate avec une contrainte mécanique .....	75
II.3.1.1. Particularité du TriGate fabriqué sur sSOI.....	75
II.3.1.2. La structure de bande du silicium contraint .....	76
II.3.1.3. Intégration d'une contrainte tensile pour améliorer le NMOS.....	78
II.3.1.4. Intégration d'une contrainte compressive pour le PMOS.....	81
II.3.2. Effet de la contrainte sur les performances.....	82
II.3.2.1. Performances du TriGate NMOS fabriqués sur sSOI .....	82
II.3.2.2. Performances du TriGate PMOS avec épitaxie S/D SiGe .....	86
II.3.3. Le rôle de l'orientation cristallographique .....	88
<b>II.4. Caractérisation électrique à basse température.....</b>	<b>92</b>
II.4.1. Etude de la mobilité avec et sans contrainte.....	92
II.4.2. Mise en évidence du confinement 1D.....	95
<b>Conclusion du chapitre II .....</b>	<b>99</b>

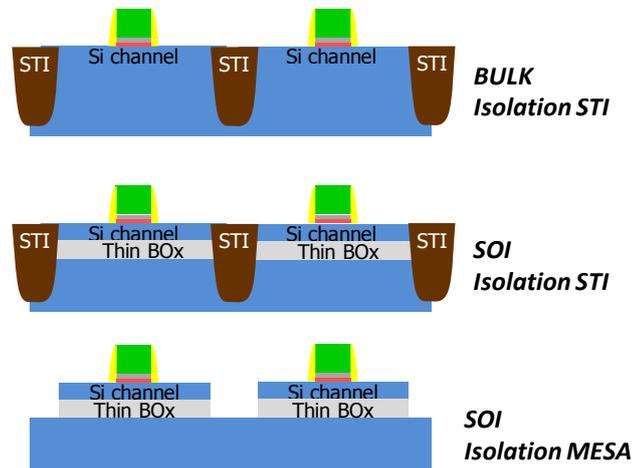


## II.1. Procédés de fabrication et caractérisation physique

### II.1.1. Définition de la zone active

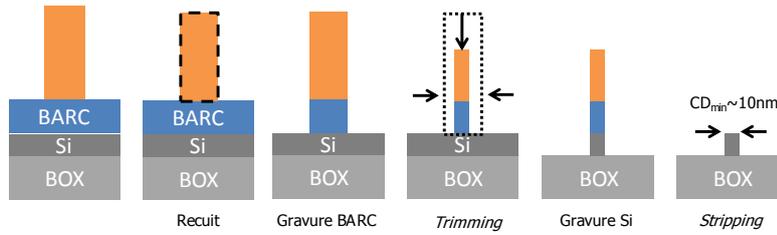
L'isolation par STI permet la séparation électrique des zones N et P d'une puce CMOS par la formation d'une tranchée remplie d'oxyde de silicium (déposé par décomposition d'un précurseur chimique). La profondeur de ces tranchées est suffisante (>100nm) pour éviter toute conduction parasite dans le substrat. Il s'agit donc de la première étape de fabrication, permettant la formation des différentes zones actives sur la plaque de silicium.

Dans les applications de recherche que nous développerons dans ce manuscrit, l'isolation utilisée est de type MESA : l'utilisation de substrat SOI, bien que compatible avec l'intégration de STI (**Fig. II. 1**), permet l'isolation des différentes zones de silicium lorsque celui-ci est complètement gravé, jusqu'au Box. C'est le choix qui a été fait pour la fabrication des dispositifs présentés puisque cela permet de libérer les faces latérales des zones actives afin de créer un transistor TriGate.



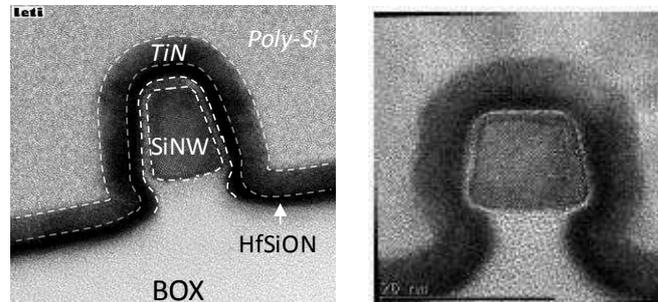
**Fig. II. 1** - Schéma d'une architecture CMOS bulk avec *isolation par STI*, SOI avec *isolation par STI*, et SOI avec *une isolation de type MESA*.

Les masques de lithographie utilisés permettent la définition de motifs dans la résine ayant une largeur finale d'environ 80 nm au minimum (résolution de la lithographie DUV). Avec le développement d'un procédé permettant la consommation contrôlée des couches utilisées en lithographie (**Fig. II. 2**), telle que la résine et les matériaux anti-réfléchissants, la largeur minimale atteinte est de l'ordre de 10 nm. Ce motif est alors transféré par gravure jusqu'au silicium, ce qui permet de définir notre zone active de type nanofil, avec une largeur minimale autour de 10nm. Afin d'étudier l'effet de la largeur des transistors, d'autres motifs plus larges sont également présents sur les puces.



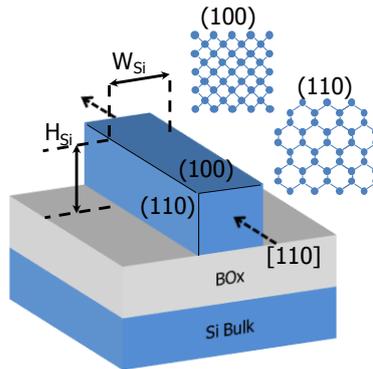
**Fig. II. 2** - Procédés de lithographie et gravure du nanofil de Silicium.

Ce procédé permettant d'atteindre des dimensions sous la résolution lithographique contient un enchaînement de durcissement de la résine et de consommation de celle-ci, permettant de maîtriser les dimensions le plus finement possible. La **Fig. II. 3** montre une vue en coupe des zones actives obtenues, avec une dimension minimale de 10nm. On observe également que la gravure permet d'obtenir un profil relativement vertical, mais l'on notera que les angles de la section rectangulaire sont arrondis. Cela permettra au premier ordre de s'affranchir des effets dits de coins, souvent incriminés pour détériorer l'électrostatique ou le transport dans ce type d'architecture. On notera également que les transistors fabriqués et étudiés durant cette thèse présentent un aspect de type Omega-Gate ou Pi-Gate puisque les procédés de nettoyage post gravure consomment légèrement le Box. Il apparaît donc aux dépôts des matériaux de grille que ceux-ci sont présents sous les coins inférieurs. Cette architecture permet néanmoins d'améliorer davantage le contrôle du canal par la grille.



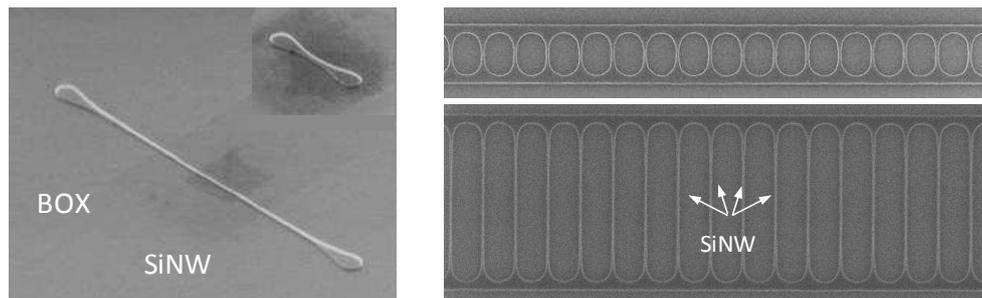
**Fig. II. 3** - Vue en coupe TEM de TriGate avec une largeur  $W=10\text{nm}$  et  $W=20\text{nm}$ .

La majorité des dispositifs ont été fabriqués sur des plaques de silicium ayant un plan cristallin (100), et avec un canal orienté selon la direction cristallographique  $\langle 110 \rangle$ , utilisée de manière conventionnelle dans l'industrie. On notera que dans ce cas, l'orientation des faces latérales des transistors TriGate se trouve selon les plans (110) (**Fig. II. 4**). Des études [**Destefanis09**] ont montré que ces surfaces, plus denses en atome de Si, sont plus rugueuses et le bon contrôle de la gravure est donc important pour ne pas dégrader les propriétés du dispositif. On notera tout de même, comme mentionné dans le chapitre I, que cette orientation est bénéfique pour le transport des trous. Ce point sera étudié dans les paragraphes suivants.



**Fig. II. 4** - Schéma de la zone active avec les différents plans cristallins.

Enfin, comme mentionné au chapitre I, il est également possible de modifier la forme de la zone active en utilisant un recuit sous atmosphère  $H_2$ . Cela permet de combler les liaisons pendantes à la surface de Si pour finalement créer un dispositif à section elliptique ou arrondi. L'étude de ces dispositifs [Bangsaruntip09, Tachi10] montre que cela supprime les effets dus au confinement du champ de grille dans les coins, diminue la rugosité de la surface et permet un contrôle homogène de la grille sur le canal. Les différents comportements électriques seront comparés ultérieurement.



**Fig. II. 5** – Vue par micrographie électronique (SEM) des zones actives de silicium (gauche, transistors unitaire et droite avec plusieurs canaux).

Plusieurs dimensions de nanofils ont été fabriquées **Fig. II. 5**, et on utilise en particulier les dispositifs unitaires pour caractériser le comportement d'un transistor TriGate seul et l'effet de la longueur de grille. Différentes largeurs permettent aussi l'étude du comportement électrique des transistors planaires (larges) en comparaisons aux transistors TriGate (étroits). En particulier, l'étude de la mobilité des porteurs entre les cas TriGate et film mince planaire aura été rendu possible grâce aux variations de largeur de dispositifs dits multicanaux ( $\times 50$  dans notre cas), permettant une plus grande surface de conduction. On peut ainsi mesurer la capacité grille-canal utilisée dans le calcul de la mobilité canal long.

### II.1.2. Formation de la triple grille

La fabrication de la grille des dispositifs tridimensionnels implique des procédés de dépôt et de gravure particuliers. Dans les technologies planaires où la topologie est nulle, les dépôts peuvent être effectués par des procédés de PVD (ou pulvérisation cathodique), ce qui implique un dépôt directionnel, ou CVD (par décomposition

chimique) ce qui implique que les précurseurs gazeux nécessaires existent. Afin de couvrir chaque face du dispositif TriGate, les dépôts de type ALD sont préférés, car ils impliquent une très bonne uniformité et des vitesses relativement lentes permettant un très bon contrôle des épaisseurs déposées, en particulier des oxydes de grille.

Les procédés utilisés ici permettent la formation d'une grille conforme composée de 8Å de SiO<sub>2</sub> déposé sur Si, puis de 23Å de matériau à haute permittivité HfSiO. Ce dernier dépôt est ensuite nitruré par plasma pour être stabilisé chimiquement. Un métal de grille mid-gap est ensuite déposé de manière conforme par ALD, et composé de 5nm de TiN, sur lesquels sera ajoutée une dernière couche de 50nm de Poly-Si (Fig. II. 6, gauche).

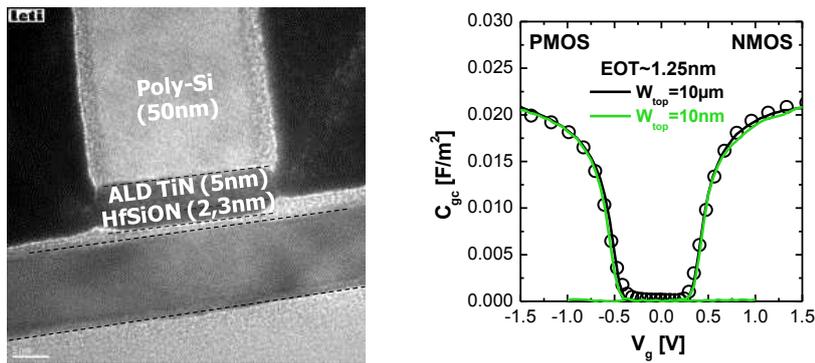


Fig. II. 6 – (gauche) Vue en coupe HRTEM de la grille et (droite) mesure de la capacité de grille normalisée ( $L=10\mu\text{m}$ ,  $\times 50$  canaux) pour un dispositif TriGate (étroit) et planaire (large).

La caractérisation électrique des dispositifs ainsi fabriqués permet de mesurer la capacité entre la grille et le canal notée  $C_{gc}$ , pour les dispositifs NMOS et PMOS. On montre ainsi que cette capacité normalisée à la surface est identique (Fig. II. 6, droite) lorsqu'elle est déposée sur un transistor planaire (large) ou de type TriGate (étroit). On notera que pour ce dernier cas, la surface totale mise en jeu comprend la grille supérieure et les deux grilles latérales (Fig. II. 7 ci-dessous). On peut ainsi extraire l'épaisseur d'oxyde équivalent (EOT) d'environ 12Å à 13Å, ce qui correspond aux technologies actuelles.

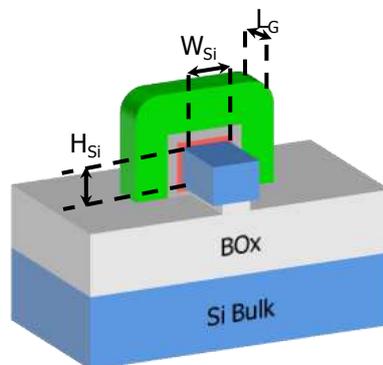
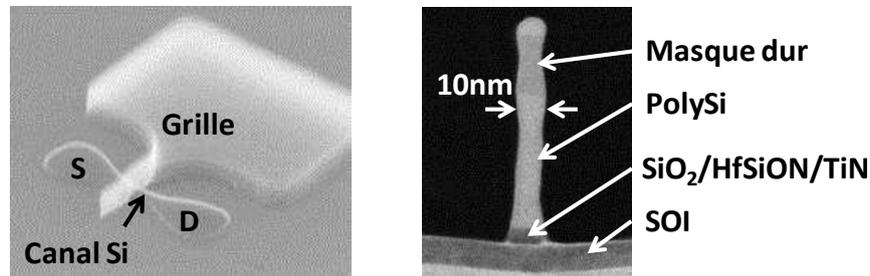


Fig. II. 7 - Schéma montrant l'intégration de la triple grille sur l'architecture TGSOI.

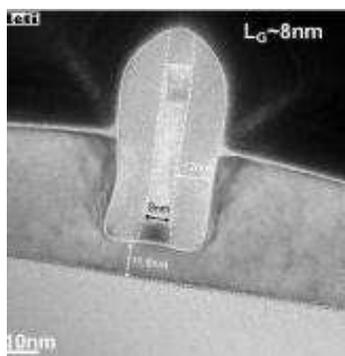
On utilise ensuite une étape de lithographie, suivie d'un procédé identique à la zone active et qui permet un rétrécissement contrôlé des couches de lithographie. Cela permet également la définition de la grille à une dimension de l'ordre de 10nm, malgré la complexité du procédé de gravure qui s'adapte aux différentes couches comprises dans l'empilement de grille (**Fig. II. 8**).



**Fig. II. 8** - Vue de côté en SEM et coupe TEM de la grille high- $\kappa$ /métal déposée sur TriGate.

### II.1.3. Epitaxie Source-Drain et méthodes d'implantation

Comme pour les technologies FDSOI, l'emploi d'un film mince impose l'utilisation de procédé d'épitaxie des zones source et drain (**Fig. II. 9**) afin de minimiser la résistance d'accès au canal. Après avoir formé la grille et les espaceurs, le procédé standard utilise une épitaxie de Silicium (croissance de Si), généralement par décomposition de Silane  $\text{SiH}_4$  ou  $\text{SiH}_2\text{Cl}_2$  à haute température. Ce procédé est associé à des alternances de gravures par HCl, formant du  $\text{SiCl}_4$  avec le Si faiblement lié. Cela permet une bonne cristallinité du Si déposé.



**Fig. II. 9** - Vue en coupe TEM d'un dispositif TriGate à  $L_g=8\text{nm}$  après épitaxie source et drain en Si.

Le développement des techniques de contraintes a permis l'apparition d'épitaxie de SiGe, dont le paramètre de maille est supérieur à celui du Si et permettant de comprimer le canal, bénéfique pour le transport des trous. Cela permet également de diminuer davantage la résistance d'accès, et ainsi améliorer le courant disponible. Ceci sera rediscuté au paragraphe II.3.2.2. Afin de ne pas endommager la cristallinité du SiGe et conserver ses propriétés compressives, il est alors préférable de doper les zones source et drain de manière in-situ. Du bore (décomposition de  $\text{B}_2\text{H}_6$ ) est alors en présence lors de la décomposition des précurseurs contenant le Si et le Ge (en général Silane  $\text{SiH}_4$  et Germane  $\text{GeH}_4$ ) pour former une épitaxie de SiGe dopée Bore, avec des doses de l'ordre de  $2 \times 10^{20} \text{ cm}^{-3}$ . Le dopage intrinsèque au Phosphore pour le NMOS est possible mais n'est pas étudié dans ce manuscrit [**Liow08, Yang08**].

Une autre méthode de dopage peut être utile afin de permettre un dopage à forte dose et faible énergie, et compatible avec les technologies multi-grille tridimensionnelles avec forte densité, habituellement limité par un effet d'ombrage des autres Fins. Il s'agit de l'implantation par plasma qui peut permettre une amélioration des performances [Duchaine12, Vinet12]. Ceci peut être attribué aux faibles énergies mises en jeu, créant moins de défauts de cristallinité et permettant ainsi une résistance d'accès moins grande que dans le cas classique d'implantation par faisceau d'ion.

## II.2. Caractérisation électrique des transistors TriGate SOI

### II.2.1. Electrostatique du TriGate, effets canaux courts

Le contrôle de la grille par les trois faces de la zone active est un atout majeur des architectures multi-grille pour améliorer le contrôle des effets canaux courts. Comme attendu, la réduction de la largeur de la zone active permet une amélioration non négligeable des caractéristiques électrostatiques, comme observé sur la pente sous le seuil (Fig. II. 10). Une nette amélioration est observable dès lors que les dispositifs ont une largeur inférieure à 100nm.

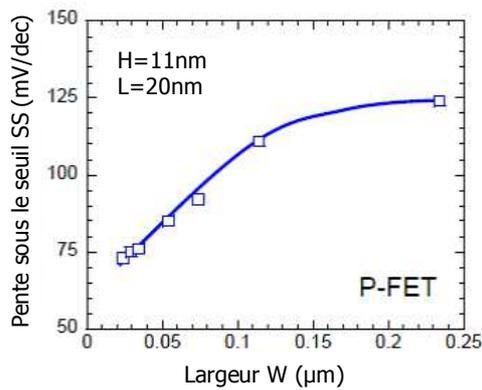


Fig. II. 10 - Comparaison de la pente sous le seuil de dispositifs TriGate en fonction de la largeur W de la zone active (à  $V_D=0,9V$ ).

À des longueurs de grille minimales de 20nm, on observe une amélioration du comportement électrostatique des TriGate en comparaison avec des dispositifs planaires, sur toute la plage de L étudiée. Les pentes sous le seuil des TriGate à  $W=12nm$  sont toujours inférieures à 80mV/décade et le DIBL reste inférieur à 80mV/V (Fig. II. 11).

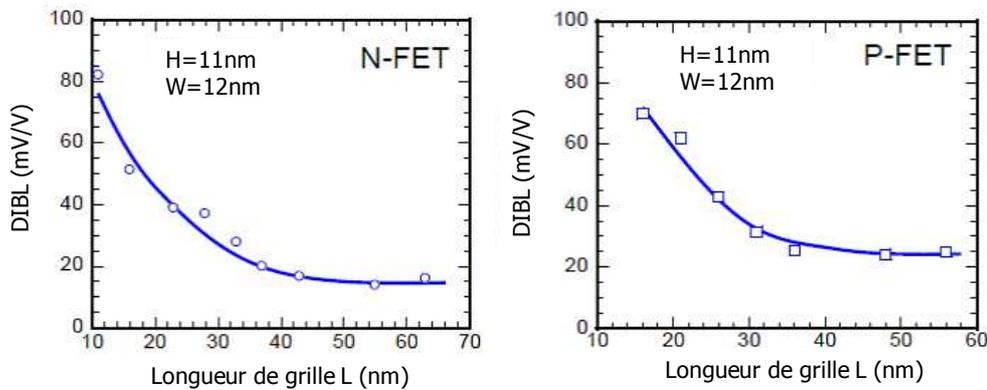
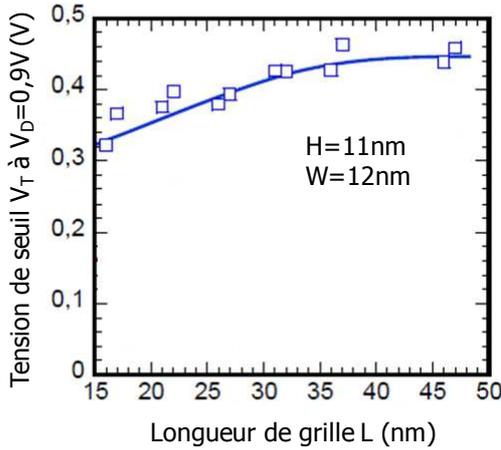


Fig. II. 11 - Caractérisation de l'électrostatique de TriGate NMOS et PMOS a différentes longueurs de grille agressives [Barraud13].



**Fig. II. 12** – Dépendance de la tension de seuil  $V_T$  avec la longueur de grille  $L$  de dispositifs TriGate.

Ce très bon contrôle électrostatique se retrouve également dans la tension de seuil, qui aux très faibles longueurs de grille est influencée par le champ de drain. Sur les dispositifs TriGate, la chute du  $V_T$  est faible (**Fig. II. 12**) en comparaison aux dispositifs planaires pour des longueurs de grille entre 50nm et 15nm.

### II.2.2. La mobilité des porteurs du transistor TriGate

La mobilité des porteurs dans les transistors TriGate est facilement exploitable pour des grandes longueurs de grille ( $L=10\mu\text{m}$ ). Il est ainsi possible de l'étudier en fonction de la largeur des dispositifs. Les mesures de mobilité sont possibles grâce à la fabrication contrôlée de plusieurs fils de silicium en parallèle (au nombre de 50 dans ce cas), avec un très bon contrôle de la largeur. Cela permet la mesure de capacité même dans un cas où la largeur  $W$  est de l'ordre de 10nm (la capacité grille-canal  $C_{GC}$  étant proportionnelle à la surface totale de la couche d'inversion).

La technique dite split-CV est ensuite utilisée pour l'extraction de la mobilité. Cette technique repose sur une mesure de la capacité de grille-canal du dispositif, ainsi qu'une mesure de courant en régime linéaire (à  $V_D=40\text{mV}$ ).

$$\mu_{EFF} = \frac{L}{W} \times \frac{I_D}{Q_{INV} \times V_D} \quad \text{Eq. II. 1}$$

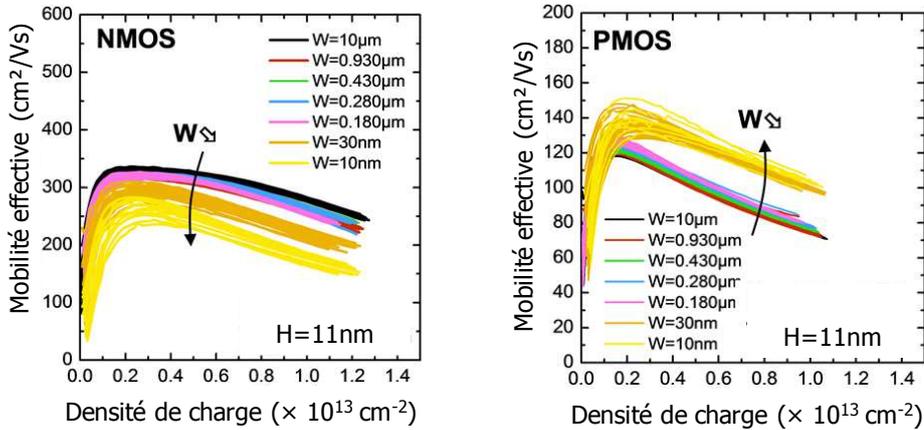
ou  $Q_{INV}$  correspond à la charge nette, proportionnelle au nombre de porteurs, définie par :

$$Q_{INV}(V_G) = \int_{V_{ACC}}^{V_G} C_{GC}(V_G) dV_G. \quad \text{Eq. II. 2}$$

Cette méthode permet l'extraction de la mobilité pour différentes polarisations de grille, donc en fonction du nombre de charge dans le canal. Il n'est malheureusement pas possible d'effectuer ce type de mesures pour des canaux très courts du fait d'une faible capacité grille-canal.

La densité des porteurs est évaluée à partir de la capacité surfacique de grille, en utilisant la surface définie par la largeur totale de la grille, soit  $W_{\text{eff}}=W+2\times H$  (aussi multiplié par  $N_{\text{ch}}$  le nombre de canaux).

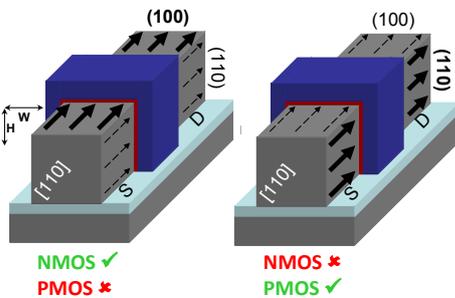
On notera que la gravure des nanofils induit des coins arrondis, avec un rayon de courbure de moins de 2nm. Avec une largeur minimale de l'ordre de 10nm, les effets de coin ont donc été négligés dans la normalisation de la capacité par la surface du canal.



**Fig. II. 13** - Mobilité effective des trous et des électrons mesurée sur dispositifs TriGate à différentes largeurs  $W$  [Coquand12b].

La Fig. II. 13 montre la mobilité des porteurs en fonction de leur densité, et pour différentes largeurs de TriGate (de  $W_{\text{top}}=10\text{nm}$  jusqu'aux dispositifs planaires à  $W_{\text{top}}=10\mu\text{m}$ ). Dans le cas d'un nFET large ( $10\mu\text{m}$ ), on observe une mobilité des électrons supérieure à celle mesurée dans un dispositif TriGate de 10nm.

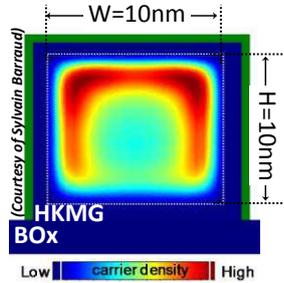
À cause de la contribution des faces latérales orientées dans le plan (110), la mobilité des électrons montre une légère dégradation en comparaison au transport selon (100) uniquement (cas du dispositif large). A contrario, la mobilité des trous apparaît plus grande dans le cas du TriGate en comparaison au dispositif large. La mobilité des trous excède même la mobilité universelle [Takagi94] lorsque  $W$  diminue jusqu' à 10nm. Ceci s'explique également par la contribution des surfaces (110) pour lesquelles la mobilité des trous est supérieure en comparaison à la surface (100).



**Fig. II. 14** - Schéma du principe de conduction selon les différents plans cristallins d'une architecture TriGate.

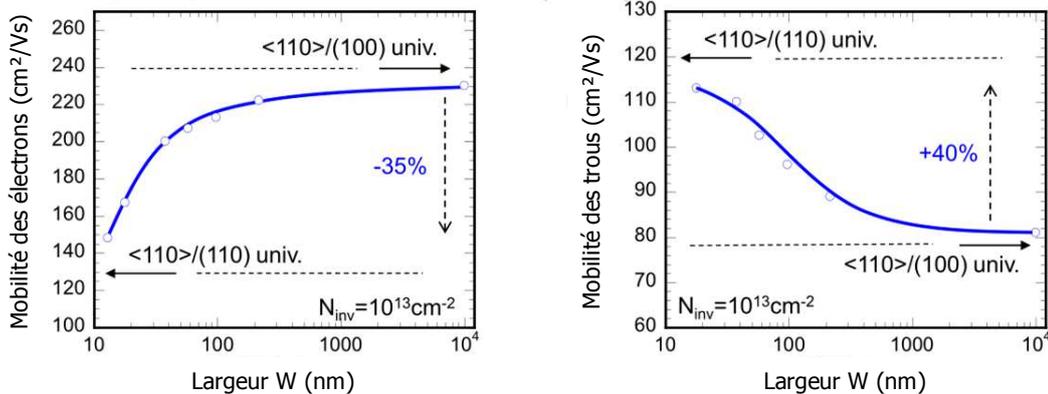
La Fig. II. 14 est une représentation schématique de MOSFETs TriGate, avec un canal de conduction supérieur et deux canaux supplémentaires sur les flancs. Les différents plans cristallographiques orientés selon (110) sur les flancs et (100) pour la face supérieure peuvent expliquer les différences de comportement (configuration des sous-bandes, masse effective de conduction) résultant en une différence de mobilité.

La vue en coupe (**Fig. II. 15**, [Barraud11]), représente une simulation 2D de la concentration de porteurs calculée par résolution auto-cohérente des équations de Poisson-Schrödinger à des dimensions comparables. Cela permet de montrer qu'à fort champ (fort  $V_G$ ), la conduction est principalement à l'interface  $\text{SiO}_2/\text{Si}$ . La dépendance de la mobilité avec les orientations cristallines des surfaces d'une architecture multi-grille est donc une hypothèse très probable.



**Fig. II. 15** - Simulation Poisson-Schrödinger 2D montrant la concentration de porteur à fort champ dans une architecture TriGate [Barraud11].

Enfin, l'extraction de la mobilité à forte charge d'inversion ( $N_{inv}=10^{13} \text{ cm}^{-2}$ ) en fonction de la largeur  $W$  des dispositifs ( $H$  fixe à 11nm) (**Fig. II. 16**) permet de quantifier la modification de la mobilité des porteurs par rapport au dispositif planaire à  $W$  large, avec une baisse de 35% pour la mobilité des électrons dans les nanofils TriGate et une hausse de 40% pour la mobilité des trous.



**Fig. II. 16** - Extraction de la mobilité effective des porteurs à fort  $N_{inv}$ , en fonction de  $W$ .

La mobilité effective est grandement influencée par la largeur du nanofil, puisque  $W$  définit la proportion de conduction sur la face supérieure (la conduction sur les flancs étant définie uniquement par la hauteur du fil  $H$ , fixe dans notre cas). Ceci explique également que, pour produire plus de courant, les FinFET ont des hauteurs de l'ordre de 20 à 30nm.

A cause de cette dépendance, on observe une grande influence de la mobilité des flancs pour un TriGate étroit de type PMOS qui explique une amélioration de la mobilité effective. Au contraire, un TriGate étroit de type nMOS implique une plus petite contribution de la face supérieure et donc une mobilité effective réduite.

Le rôle joué par chacune des orientations cristallographiques peut alors être décrit qualitativement par une loi d'additivité des mobilités [Chen08b, Lim04] et s'exprime comme :

$$\mu_{TG} = \mu_{top}^{(100)} \times \frac{W}{2H + W} + \mu_{side}^{(110)} \times \frac{2H}{2H + W} \quad \text{Eq. II. 3}$$

avec  $\mu_{top}^{(100)}$  la mobilité dans le plan (100) de la face de conduction supérieure, et  $\mu_{side}^{(110)}$  la mobilité dans le plan (110) des faces de conduction verticales.

En utilisant cette équation et les mesures de mobilité de TriGate ( $\mu_{TG}$ ) et de dispositifs larges ( $\mu_{wide}$ ) (Fig. II. 17), et en faisant l'hypothèse que la mobilité de la face supérieure est équivalente à la mobilité extraite sur un dispositif large (utilisant uniquement la conduction dans le plan (100)), il est possible de décorréler les contributions des plans (100) et (110).

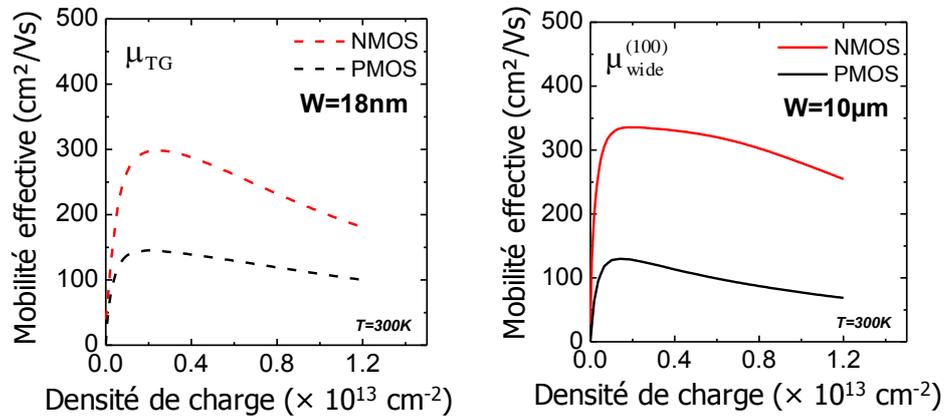
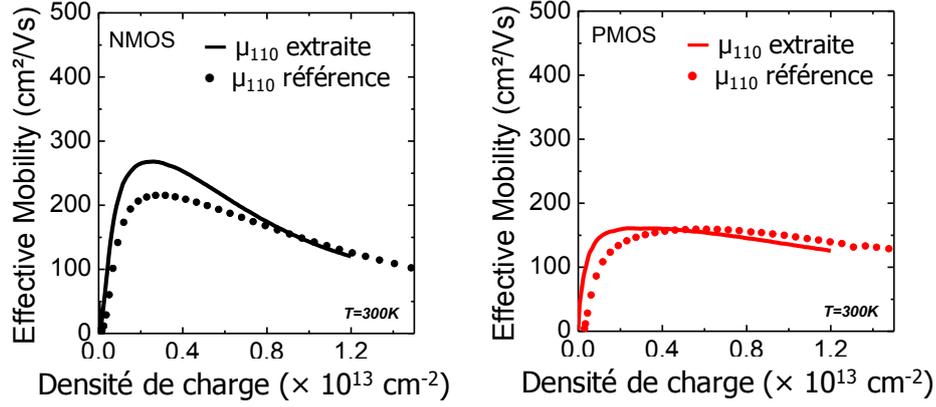


Fig. II. 17 - Mesures de mobilités de dispositifs TriGate NMOS et PMOS planaire utilisées dans le calcul de  $\mu^{(110)}$ .

À partir de l'équation précédente, on retire donc la contribution de la face supérieure à la mobilité totale, normalisée aux dimensions des largeurs de la zone de conduction sur ces faces. On définit alors la mobilité dans le plan (110) comme :

$$\frac{\mu_{TG} \times (2H + W) - \mu_{wide}^{(100)} \times W}{2H} = \mu^{(110)} \quad \text{Eq. II. 4}$$

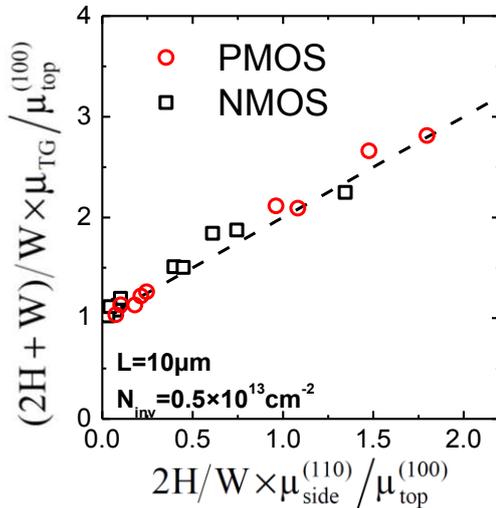
Cette mobilité est comparable à la mobilité de référence, extraite sur des dispositifs planaires fabriqués sur substrats (110) [Signamarcheix10]. On remarque un bon accord entre les résultats extraits de la mobilité mesurée sur TriGate (Fig. II. 18), ce qui confirme le fait que le transport dans les nanofils TriGate est régi par les différents plans cristallographiques [Coquand12a, Coquand13f].



**Fig. II. 18** - Mobilités  $\mu_{(110)}$  calculées par les équations précédentes, et comparées à une référence planaire fabriquée sur des substrats orientés dans le plan (110).

Afin de valider cette corrélation pour plusieurs dispositifs, on extrait ensuite la valeur de mobilité  $\mu_{(110)}$  à  $N_{inv}=0.5 \times 10^{13} \text{ cm}^{-2}$ , et ce pour différentes dimensions, avec des épaisseurs de SOI (hauteur de nanofil H) entre 10nm et 15nm et différentes largeur W comprise entre 450nm et 10nm. En effet, la normalisation de l'équation (Eq. II. 3) permet d'obtenir :

$$\frac{\mu_{TG}}{\mu_{top}^{(100)}} \times \left( \frac{2H + W}{W} \right) = \frac{\mu_{side}^{(110)}}{\mu_{top}^{(100)}} \times \frac{2H}{W} + 1. \quad \text{Eq. II. 5}$$



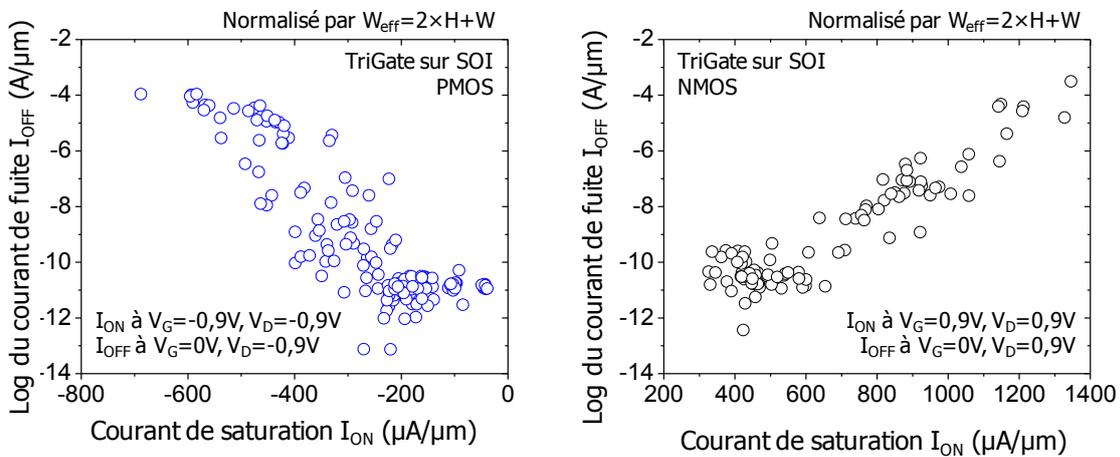
**Fig. II. 19** - Dépendance de la mobilité des flancs extraite avec la mobilité du TriGate. La dépendance linéaire indique un très bon accord avec le modèle.

Le tracé de ces deux ratios normalisés laisse supposer une dépendance linéaire, avec une pente et une ordonnée à l'origine égale à 1. La Fig. II. 19 a été tracée et un bon accord peut être observé entre la théorie (ligne pointillée) et les point de mesures, extraits sur une grande plage de H et W. Cela confirme l'idée selon laquelle le transport peut être décrit qualitativement par deux contributions indépendantes au transport selon la face supérieure (100) et les flancs selon (110), ce qui a été vérifié pour des dimensions jusqu'à  $W=10\text{nm}$ .

### II.2.3. Performances électriques du TriGate sur SOI

Les caractéristiques  $I_{ON}$ - $I_{OFF}$  sont ici extraites à  $V_G=0,9V$  et  $V_G=0V$  pour les courant  $I_{ON}$  et  $I_{OFF}$  respectivement. On observe que les transistors TriGate, avec des dimensions ici comprises entre 13nm et 20nm (pour la largeur  $W$ , la hauteur  $H$  étant fixée à 11 nm), permettent d'atteindre des courants de l'ordre de  $400\mu A/\mu m$  (PMOS) et  $800\mu A/\mu m$  (NMOS) avec des fuites autour de  $1nA/\mu m$  lorsque ces courants sont normalisés par  $W_{eff}=W+2\times H$  (**Fig. II. 20**).

Cette normalisation est en accord avec les observations précédentes sur la mobilité des porteurs, qui montrent que la conduction s'effectue sur la surface totale (faces supérieure et latérales) du TriGate. On notera néanmoins que si l'on considérait la surface occupée dans un circuit, soit en normalisant en vue de dessus par  $W_{top}$ , les courants normalisés seraient trois fois plus importants pour un faible encombrement d'espace.



**Fig. II. 20** – Performances  $I_{ON}$ - $I_{OFF}$  de transistor TriGate SOI unitaire ( $W$  entre 10nm et 15nm).

On comprendra donc ici tout l'intérêt des dispositifs tridimensionnels, permettant d'obtenir de bons niveaux de courants avec une faible largeur, puisque les surfaces verticales en jeu n'ont pas d'impact sur l'encombrement. On notera également l'importance de l'utilisation de technique comme les SIT (voir Chapitre I et III), qui permettent une forte densité d'intégration.

La normalisation reste toutefois plus juste en considérant la largeur totale du transistor puisque c'est bien sur cette surface que le courant est conduit physiquement. Ces valeurs normalisées sont donc proches des courants relevés sur les transistors planaires, mais les valeurs non normalisées sont inférieures à celles relevées sur transistors planaires plus larges et sont insuffisantes pour une utilisation en circuit. C'est la raison pour laquelle l'utilisation de dispositifs à multi-fils est envisagée (SIT pour la forte densité) et que l'amélioration des performances est primordiale. Ce dernier point sera davantage étudié aux paragraphes suivants dédiés à valider la possibilité d'intégration de contraintes mécaniques avec les transistors TriGate SOI.

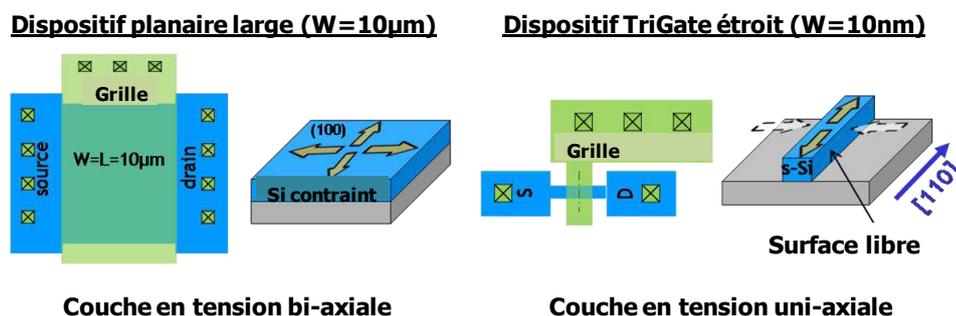
## II.3. Amélioration des performances de transistors TriGate

### II.3.1. Fabrication de TriGate avec une contrainte mécanique

#### II.3.1.1. Particularité du TriGate fabriqué sur sSOI

Il existe un autre moyen de soumettre une contrainte aux dispositifs, dès le début de la fabrication par utilisation de substrats contraints. Ces substrats sont fabriqués de la même manière que les substrats SOI, à la différence que la couche de Si reportée provient d'une croissance sur SiGe. Le Si a alors le paramètre de maille du SiGe, plus grand d'environ 0,7 %, ce qui correspond à une contrainte de l'ordre de 1,4 GPa. La couche est donc sous contrainte biaxiale (dans un plan).

La particularité de la fabrication de dispositifs à petits  $W$ , tels que les TriGate, est une modification de cette contrainte lors de la fabrication. En effet, les dispositifs larges conserveront une contrainte biaxiale après la gravure de la zone active, alors que les dispositifs étroits conserveront une contrainte uniaxiale uniquement : lors de la gravure de la zone active de Si, la faible dimension en  $W$  permet au Si de se relâcher à cause de la proximité des surfaces libres (**Fig. II. 21**). La déformation de la maille reste contrainte dans l'autre direction, et on peut supposer que la déformation du réseau reste totale dans cette direction, c'est pourquoi on parle de contrainte uniaxiale.



**Fig. II. 21** - Schéma de fabrication de dispositifs large et TriGate sur sSOI par isolation MESA, impliquant une relaxation latérale de la contrainte aux petites dimensions.

Afin de confirmer ces hypothèses, il existe des techniques permettant de caractériser la contrainte à petite échelle. Ces méthodes reposent en général sur les observations au microscope TEM, aujourd'hui très précises [Cooper11]. Il est alors possible d'observer le réseau cristallin (les densités d'états électroniques), et les méthodes numériques des interférences permettent d'en extraire une image du décalage de pas de réseau (GPA pour *geometrical phase analysis* et HAADF pour *high angle annular dark field images*). L'étude de la contrainte dans la largeur d'un dispositif large montre que celle-ci est de l'ordre de 0,75% ce qui correspond bien à 1,4 GPa de contrainte biaxiale sur le wafer sSOI. On remarque également que la contrainte tend à diminuer vers les bords. En présence de surface libres, la relaxation de contrainte apparaît dès une longueur  $W_{\text{relax}} \sim 25$  nm (**Fig. II. 22**). La relaxation latérale de la contrainte pour un dispositif plus

étroit, ici de 13nm de large, est confirmée par la cartographie de contrainte ou une valeur de 0% est relevée [Coquand12b]. Ces valeurs ont également été confirmées par des mesures de NBED (*nano beam electron diffraction*).

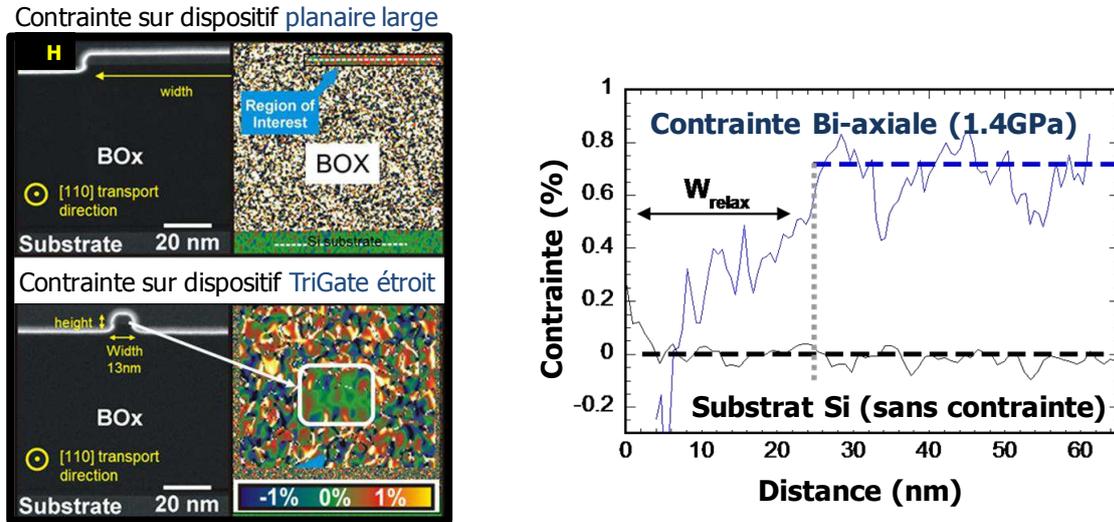


Fig. II. 22 - Cartographie de contrainte et extraction de la contrainte par différence de phase.

On peut toujours supposer que la contrainte existe dans la direction du transport  $\langle 110 \rangle$ , perpendiculaire aux observations précédentes (et impossible à caractériser par les techniques précédentes). Afin de montrer qu'une contrainte uniaxiale persiste, il est possible d'en observer les effets sur les caractéristiques électriques.

### II.3.1.2. La structure de bande du silicium contraint

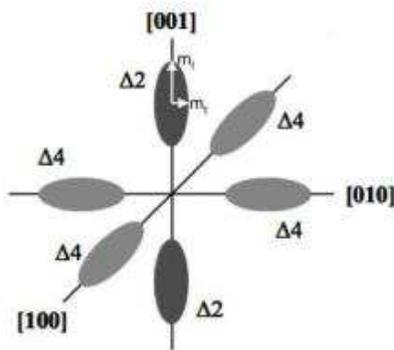


Fig. II. 23 - Surface d'iso-énergie des 6 vallées  $\Delta$ .

La structure de bande du silicium (Fig. II. 23) contraint montre une dégénérescence des vallées  $\Delta$ , et induit une repopulation électronique principalement des vallées  $\Delta_2$  dans le cas d'une contrainte bi-axiale. Le décalage en énergie de la bande de conduction  $\Delta E_c$  dépend du niveau de contrainte (Fig. II. 24), et est plus grand dans le cas d'une contrainte bi-axiale qu'avec une contrainte uniaxiale [Uchida05]. Ce niveau de dégénérescence permet de modifier la probabilité d'interaction inter-vallée, et donc améliore la mobilité [Takagi96].

Dans le cas des PMOS, la masse effective  $m_{eff}$  augmente et on s'attend à ce que la contrainte tensile dégrade leurs propriétés de transport. Il sera donc primordial de développer des méthodes permettant d'intégrer les deux types de contraintes dans un circuit CMOS [Narsimha12].

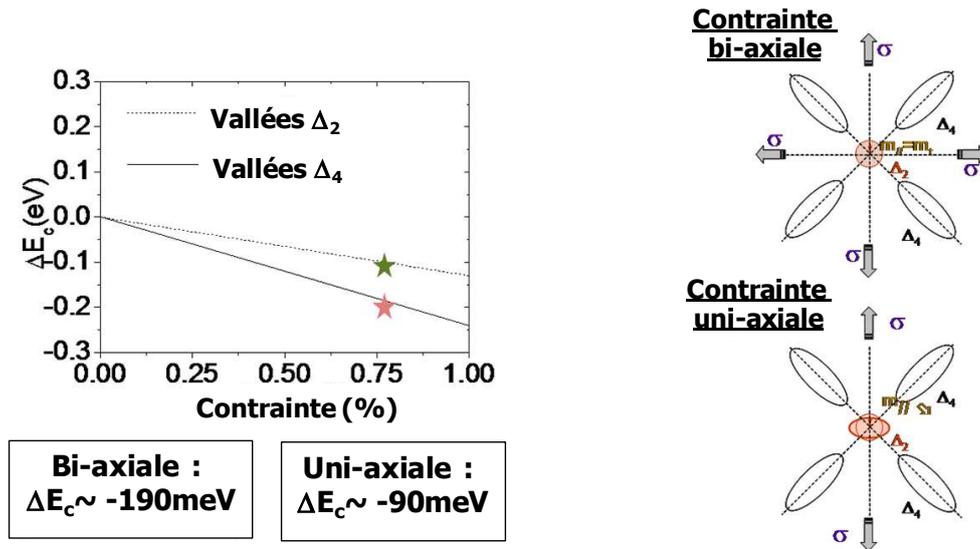


Fig. II. 24 - Extraction de la différence d'énergie de la bande de conduction en fonction de la contrainte biaxiale et uniaxiale, et schéma des vallées  $\Delta$ .

Même avec un  $\Delta E_c$  plus faible attendu pour une contrainte uniaxiale, les surfaces d'énergies  $\Delta_2$  sont déformées ce qui diminue la masse de conduction [Sun07, Uchida08] dans la direction  $\langle 110 \rangle$ . En combinant la repopulation des vallées  $\Delta$  (par changement de  $\Delta E_c$ ) et un changement de masse de conduction effective [Weber07], on peut attendre une amélioration de la mobilité dans le cas d'un dispositif à contrainte uniaxiale.

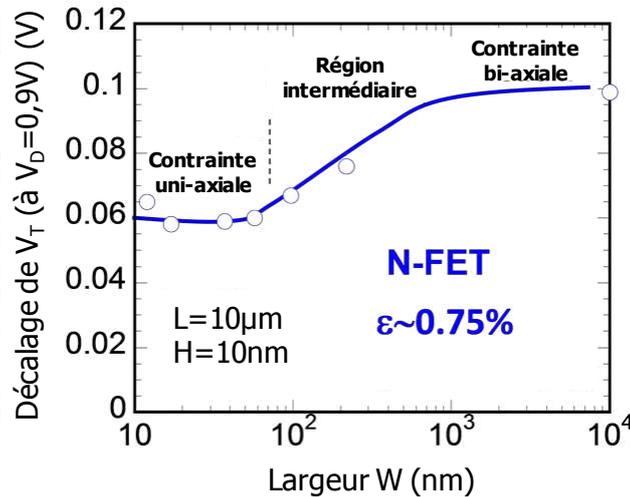
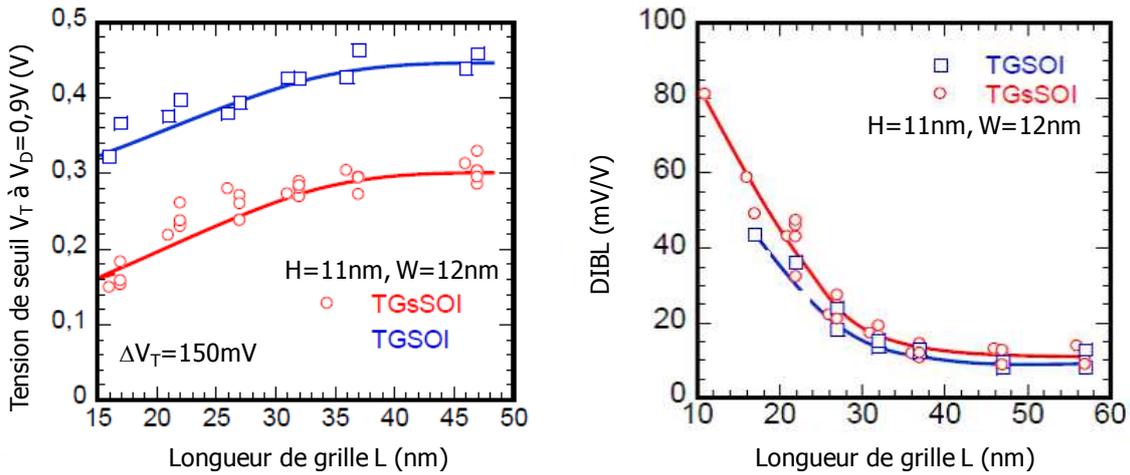


Fig. II. 25 - Différence de tension de seuil induite par la contrainte, selon  $W$ .

Les études théoriques permettant de calculer les énergies des différentes bandes avec une contrainte uniaxiale ou biaxiale [Lim04, Uchida09] permettent de retrouver les mêmes ordres de grandeur que les valeurs mesurées [Coquand12, Cassé12].



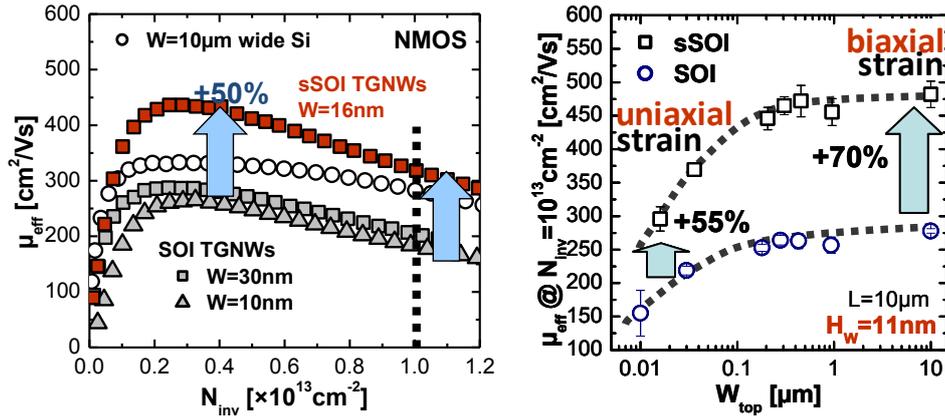
**Fig. II. 26** – (gauche) Dépendance de la tension de seuil aux faibles longueurs de grille. (droite) DIBL de dispositifs TriGate sur SOI et sSOI en fonction de la longueur de grille.

Les tensions de seuil de dispositifs sur SOI et sSOI sont comparées en fonction de la largeur de la zone active (**Fig. II. 25**). Pour les dispositifs fabriqués sur sSOI, un décalage de tension de seuil de 100mV est reporté pour une largeur de  $W=10\mu m$ . Dans le cas d'un transistor étroit TriGate, le décalage n'est plus que de 60mV. Cette différence de décalage peut être attribuée à la différence de contrainte, biaxiale pour le dispositif large et uniaxiale pour le dispositif TriGate. Dans ce dernier cas, le décalage en énergie de la bande de conduction est plus faible [Uchida05]. On observe également que l'électrostatique des TriGate fabriqués sur sSOI n'est pas influencée, et d'excellent DIBL, inférieurs à 80mV/V (**Fig. II. 26**), sont reportés pour des longueurs de grille inférieures à 20nm.

### II.3.1.3. Intégration d'une contrainte tensile pour améliorer le NMOS

Comme cité au paragraphe II.2.2., la réduction de la largeur des dispositifs induit une amélioration du transport dans les PMOS expliquée par une plus forte mobilité des trous dans les plans (110). Néanmoins, on observe également une forte dégradation de la mobilité des électrons, de l'ordre de -40% (**Fig. II. 16**), en partie expliquée par une réduction de leur mobilité dans les plans (110). Il est donc nécessaire d'introduire une contrainte mécanique tensile afin d'améliorer le transport des électrons. La mobilité des électrons a été extraite pour des dispositifs fabriqués sur sSOI en fonction de la densité de porteur  $N_{inv}$  et comparée pour plusieurs largeurs  $W$  (**Fig. II. 27**).

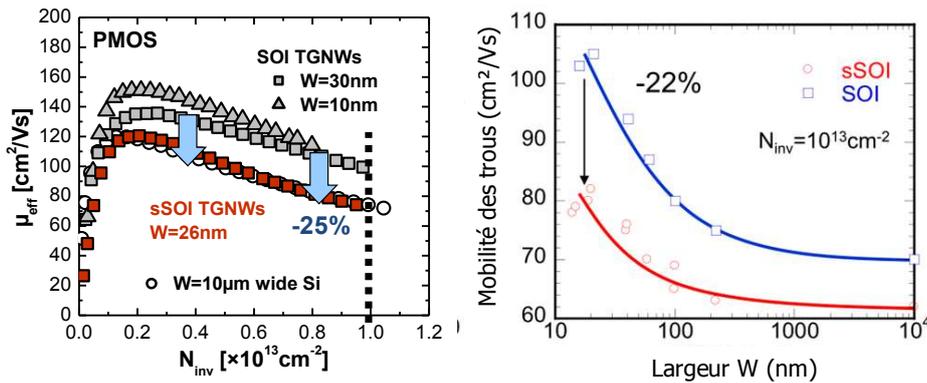
Comme vue précédemment, le premier effet d'une contrainte tensile est l'augmentation de la différence d'énergie entre les vallées  $\Delta_4$  et  $\Delta_2$  de la bande de conduction du Si. On sait de plus que cette différence d'énergie est inversement proportionnelle au temps de relaxation de l'interaction inter-vallée provoqué par l'interaction avec les phonons du réseau [Takagi96]. On s'attend donc à ce que la population de vallée  $\Delta_2$  soit plus importante, et leur plus faible masse effective permettra un gain en mobilité des électrons.



**Fig. II. 27** – (gauche) Influence de la contrainte tensile sur la mobilité des électrons dans les dispositifs TriGate, (droite) les mobilités extraites à fort  $N_{inv}$  et reportées en fonction de  $W_{top}$ .

On observe que les dispositifs TriGate sur sSOI ont une mobilité effective bien supérieure à ces mêmes dispositifs sur SOI, et dépasse même la mobilité des transistors planaires larges.

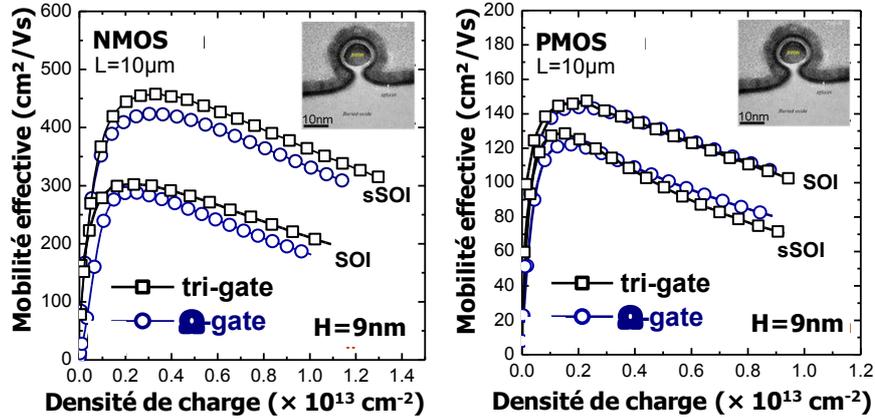
Si l'on extrait la valeur de la mobilité à fort  $N_{inv}$ , on peut comparer l'effet de la contrainte en fonction de la largeur des transistors. On constate ainsi que la mobilité effective des électrons est améliorée d'environ +70% dans le cas d'un transistor large, ayant donc une contrainte biaxiale. Dans le cas de dispositifs TriGate étroits, le gain en mobilité reste important, de l'ordre de +55%. Cette différence s'expliquera également par une contrainte devenue uniaxiale dans le cas TriGate [Coquand13e]. On peut donc espérer améliorer les performances du transistor TriGate Nmos à canal court, grâce à la contrainte tensile uniaxiale.



**Fig. II. 28** - Influence de la contrainte tensile sur la mobilité des trous et  $\mu(W)$ .

Dans le même temps, on mesure la mobilité des trous sur les transistors TriGate de type PMOS (Fig. II. 28). On observe que le gain intrinsèquement obtenu grâce à la conduction latérale (selon les plans 110) disparaît en présence d'une contrainte tensile. La mobilité des trous chute ainsi d'environ 25% pour les TriGate, et celle-ci est équivalente à la mobilité d'un transistor planaire.

On pourra également constater que les mesures de mobilité effectuées sur des transistors à section arrondie (**Fig. II. 29**) montrent exactement les mêmes comportements que sur les TriGate, à savoir un même gain de +45% sur la mobilité des électrons et une perte de -30% de la mobilité des trous lors de l'utilisation de substrat sSOI pour apporter une contrainte tensile aux dispositifs. La forme du canal et les plans de conduction en surface ne jouent donc aucun rôle vis-à-vis des modifications induites par la contrainte.



**Fig. II. 29** - Comparaison des mobilités des porteurs avec et sans contrainte dans le cas d'un TriGate à section carrée ou arrondie.

On notera également que ces résultats sont en accord avec les plus récentes extractions de coefficients piezo-resistifs [Weber07, Rochette09], qui montrent la dépendance de la variation de mobilité avec la déformation  $\sigma$  et le coefficient piezo-resistif  $\pi$ , selon l'équation:

$$\frac{\Delta\mu}{\mu} = -\pi \times \sigma \quad \text{Eq. II. 6}$$

Les coefficients piezo-resistifs extraits pour une contrainte uniaxiale étant plus faibles que pour une contrainte biaxiale, la différence de gain en mobilité est retrouvée de manière qualitative. La théorie de la piezo-résistivité définit une relation linéaire entre ce gain et la contrainte, mais on estime généralement que cette relation est valable pour des contraintes inférieures à 1GPa. La contrainte présente sur les plaques sSOI étant de 1,4GPa, certains écarts peuvent néanmoins être trouvés dans la littérature [Cassé12]. Les coefficients relevés sur les PMOS sont également en accord avec les observations, montrant qu'une contrainte compressive peut être efficace pour améliorer le transport des trous.

### II.3.1.4. Intégration d'une contrainte compressive pour le PMOS

A l'opposé de l'utilisation d'un substrat sSOI, permettant d'apporter une contrainte tensile directement dans les transistors fabriqués, la création d'une contrainte compressive ne peut se faire que grâce aux procédés de fabrication. La méthode la plus répandue repose sur une épitaxie des zones source et drain en SiGe permettant d'utiliser le paramètre de maille du Ge, plus grand, pour contraindre le Si du canal. On pourra noter que l'utilisation d'une épitaxie SiC, avec un paramètre de maille inférieur au Si, peut être mis en œuvre pour apporter une contrainte tensile [Narasimha12].

Le SiGe croît sur les zones source et drain de manière sélective grâce à des procédés de décomposition de précurseurs spécifiques [Hartmann13], et ces procédés seront ajustés pour modifier la teneur en espèce Ge et ainsi modifier le niveau de contrainte. La particularité de cette étape est que le taux de croissance va dépendre de la couche initiale, en particulier à haute température (Fig. II. 30).

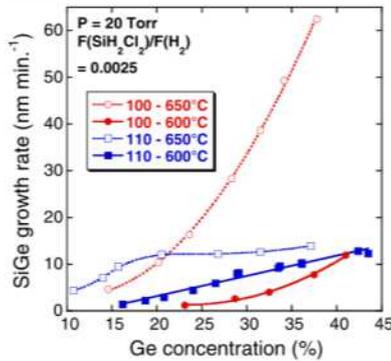


Fig. II. 30 – Vitesse de croissance de SiGe selon la concentration en Ge et la température de dépôt [Destefanis10].

Le procédé utilisé dans cette thèse pour la formation de source-drain en SiGe est une épitaxie effectuée à 650°C, en visant une concentration de Germanium de 30%. On remarquera alors une vitesse de croissance presque trois fois plus élevée dans le plan (100) que (110). Pour cette raison, la forme de l'épitaxie pourra être particulière sur des structures de type TriGate ou FinFET [Auth12, Kuhn12].

Cette forme de facette se distingue sur les vue en coupe TEM (Fig. II. 31). L'influence de cette géométrie devient importante pour les fortes densités d'intégration, et en particulier dans le cadre d'une intégration avec SIT, non développé dans ce manuscrit.

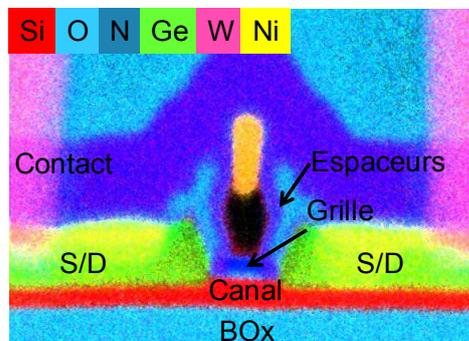


Fig. II. 31 - Coupe TEM et cartographie des espèces chimiques par EDX d'un transistor PMOS à L=15nm avec source et drain en SiGe 30%.

## II.3.2. Effet de la contrainte sur les performances

### II.3.2.1. Performances du TriGate NMOS fabriqués sur sSOI

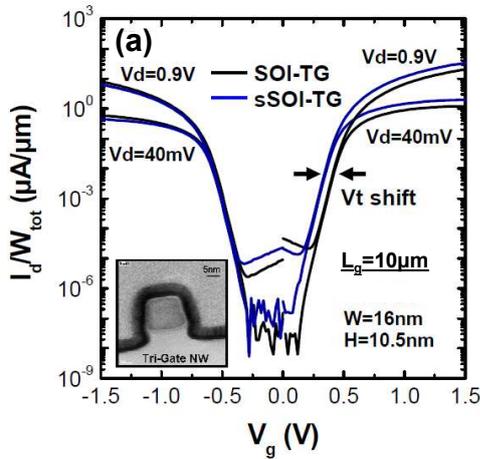


Fig. II. 32 - Caractéristiques  $I_D$ - $V_G$  NMOS et PMOS de TriGate à L long, sur SOI et sSOI.

Comme discuté précédemment, une contrainte tensile augmente la mobilité des électrons et permet d'améliorer les performances électriques des transistors TriGate NMOS. La caractéristique  $I_D$ - $V_G$  de dispositifs à canal long (Fig. II. 32) permet de mettre en évidence le décalage en tension de seuil  $V_T$  et le gain en courant sur le transistor NMOS, causé par une modification de la structure de bande comme discuté précédemment. La caractéristique PMOS n'est que peu modifiée, si ce n'est un niveau du courant légèrement plus faible expliqué par une masse effective des trous plus importante.

En accord avec ces résultats, l'amélioration du courant à l'état passant  $I_{ON}$  de transistor NMOS à canaux longs (pour ne pas dépendre des effets canaux courts) est reportée en Fig. II. 33. On distingue clairement trois régions, la première pour les dispositifs larges ( $W_{top} > 400\text{nm}$ ) avec une couche de Si contrainte de manière biaxiale montrant un gain en courant de 70%. Pour les dispositifs de moins de 100nm de largeur, le gain n'est alors plus que de 55% pour lesquels la contrainte est uniaxiale. Enfin, une troisième région intermédiaire, où la contrainte est relâchée partiellement et où le changement de gain en  $I_{ON}$  est progressif. On pourra remarquer également que ces différents gains ne sont pas seulement dus à la manière d'extraire le courant en fonction de la tension de seuil, puisqu'ils sont observables sur le courant extrait à  $V_G - V_T$  constant.

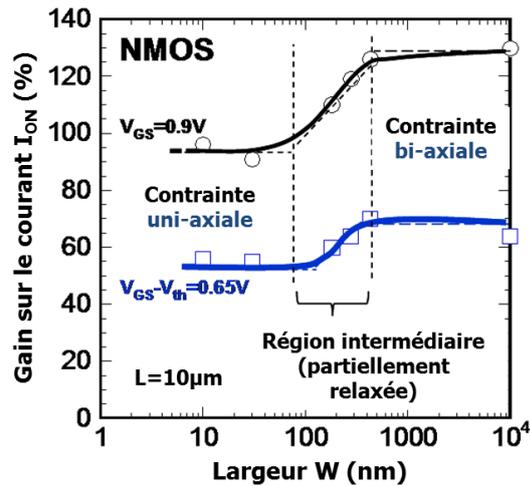
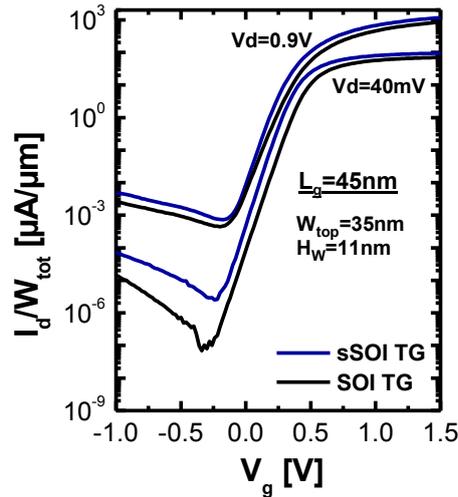


Fig. II. 33 - Amélioration du courant par la contrainte tensile en fonction de W.

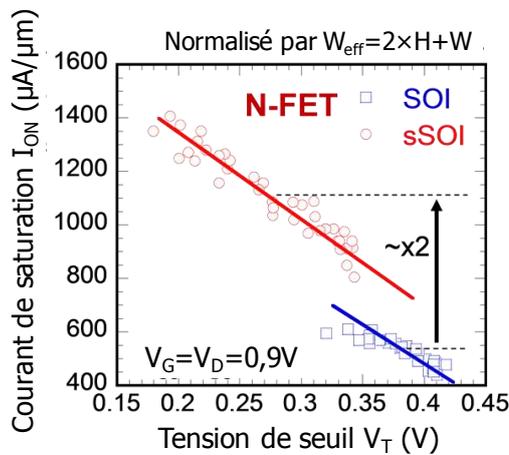
Il est également important de noter que les valeurs de gains relatifs  $\Delta I_{ON}/I_{ON}$  (Fig. II. 33) sont en très bon accord avec les coefficients piézo-resistifs [Weber07] et les gains en mobilité  $\Delta\mu/\mu$ . Cela se vérifie aussi bien pour les transistors larges avec contrainte biaxiale ( $\Delta\mu/\mu=70\%$ ) que pour les dispositifs nanofils avec contrainte uniaxiale ( $\Delta\mu/\mu=55\%$ ).

Ces observations réalisées sur canaux longs permettent de s'affranchir des effets canaux courts et permettent une étude approfondie (la mobilité par exemple). Il est néanmoins important de confirmer l'intérêt de l'amélioration de la mobilité précédemment observée pour les transistors TriGate avec de faibles longueurs de grille. Comme le montre la **Fig. II. 34**, les caractéristiques  $I_D$ - $V_G$  d'un TriGate NMOS multi-canaux à  $L=45\text{nm}$  met en évidence un gain en courant  $I_{ON}$ , sans dégradation de l'électrostatique. On notera également que le courant  $I_{OFF}$  est légèrement supérieur, au maximum d'une décade. Cela est lié à la réduction de la tension de seuil induite par la contrainte en tension.



**Fig. II. 34** - Caractéristiques  $I_D$ - $V_G$  de TriGate NMOS multi-canaux sur SOI et sSOI avec un canal court ( $L=45\text{nm}$ ).

Grace à la contrainte, on peut mettre en évidence le décalage en tension de seuil sur les caractéristiques  $I_D$ - $V_G$  de dispositifs TriGate sur SOI et sSOI (**Fig. II. 34**). En plus d'une tension de seuil plus faible et d'une amélioration du courant  $I_{ON}$ , ce tracé met en évidence le faible écart dans l'électrostatique du dispositif.

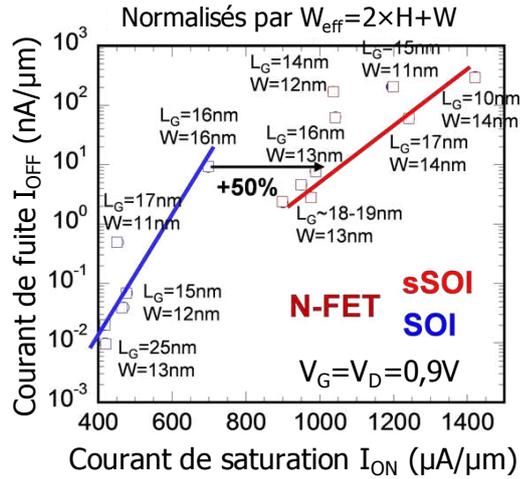


**Fig. II. 35** - Modification de la tension de seuil versus le gain en courant  $I_{ON}$  (SOI vs sSOI).

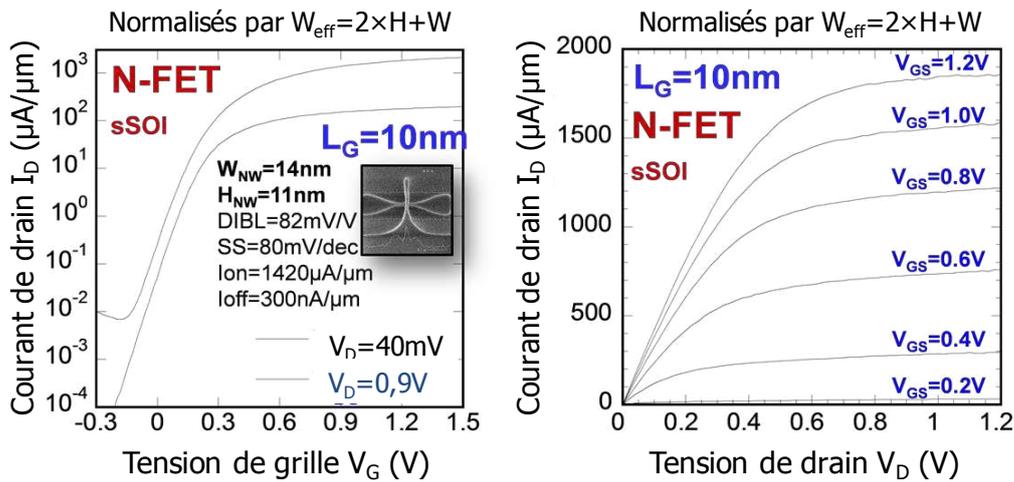
On remarque facilement sur la **Fig. II. 35** le décalage en tension de seuil pour les dispositifs multi-fils à  $L=25\text{nm}$  et  $W=20\text{nm}$ . On observe ici une amélioration du courant de saturation par un facteur deux à cette longueur de grille. On notera que cette amélioration n'est pas attribuée uniquement à l'amélioration du transport des électrons grâce à la contrainte tensile mais aussi au décalage en tension de seuil, puisque le courant est ici extrait à  $V_G=V_D=0,9\text{V}$ .

Les performances des transistors unitaires, avec des longueurs de grille de 10nm au minimum, sont reportées dans la **Fig. II. 36**. Une amélioration du courant de saturation de l’ordre de +50% est reportée pour un courant de fuite de 10nA/μm [Barraud13].

L’intérêt de la contrainte, uniaxiale pour ces transistors TriGate, est ainsi démontré et permet de reporter un courant  $I_{ON}$  de 1,4mA/μm sur un TriGate ayant une largeur  $W=14nm$  et une longueur de grille  $L=10nm$ , à  $V_G=V_D=0,9V$  (voir **Fig. II. 37**).

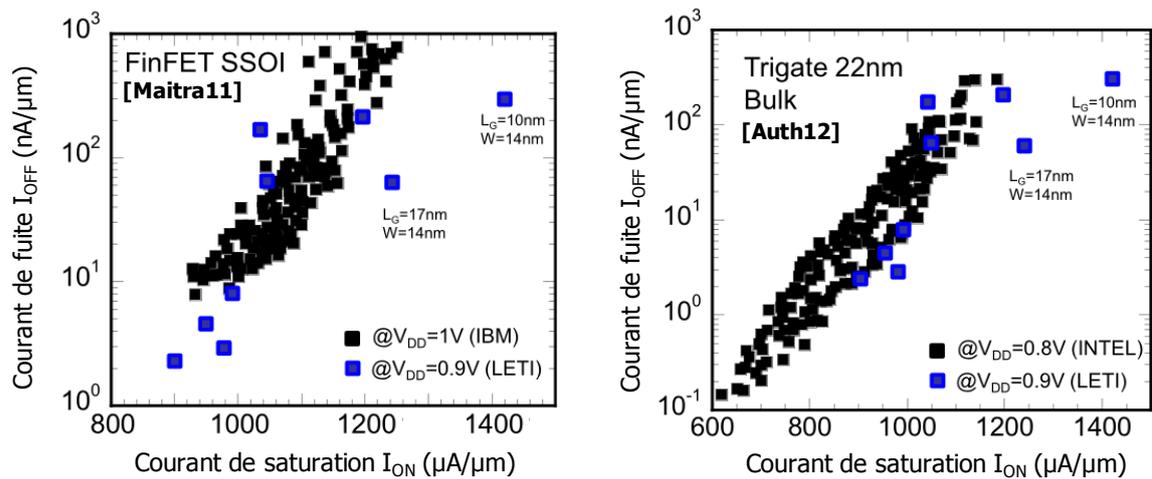


**Fig. II. 36** - Gain  $I_{ON}$ - $I_{OFF}$  SOI vs sSOI notable aux longueurs de grille inférieures à 20nm.



**Fig. II. 37** - Caractéristiques  $I_D$ - $V_G$  et  $I_D$ - $V_D$  d’un TriGate NMOS sur sSOI à  $L=10nm$ , montrant un courant de saturation de  $I_{ON}=1.4mA/μm$  à  $V_G=V_D=0,9V$ .

L’amélioration des performances grâce à la contrainte tensile apportée par un substrat sSOI démontre que la technologie TriGate peut être utilisée pour des nœuds avancés. On montre en effet que les niveaux de courant obtenus avec des longueurs de grille inférieures à 20nm sont en accord avec les valeurs extraites d’autres structures FinFET ou TriGate bulk (**Fig. II. 38**). Cela démontre que l’ingénierie de la contrainte est compatible avec la technologie TriGate sur SOI et que son utilisation permet d’obtenir des résultats proches de l’état de l’art actuel.



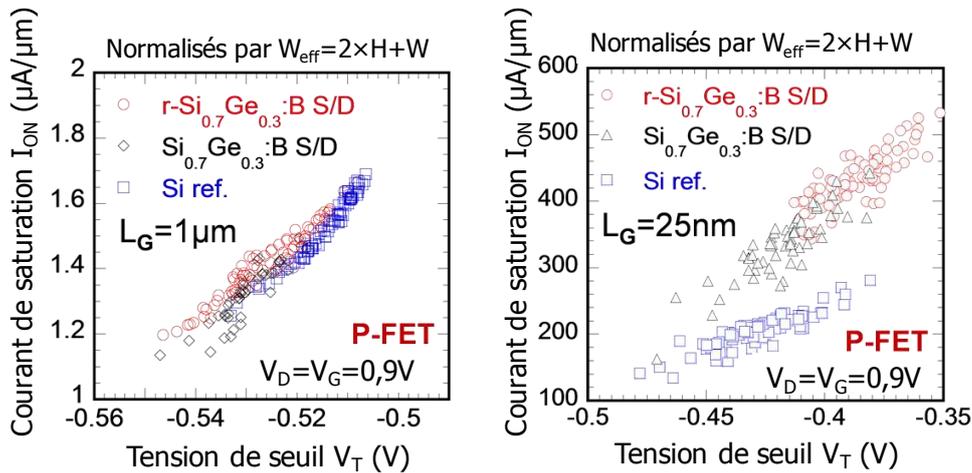
**Fig. II. 38** – Comparaison des performances de NMOS TriGate obtenu sur sSOI avec des dispositifs avancés tels que FinFET sSOI (gauche) ou TriGate FinFET 22nm (droite).

La contrainte tensile est donc uniaxiale dans les transistors TriGate puisque leur largeur est de l'ordre de 10nm. On voit pourtant que cette contrainte résiduelle est suffisante pour permettre une amélioration de la mobilité des électrons, et ainsi améliorer le courant de saturation  $I_{ON}$ . Cet effet reste incompatible avec une intégration pour les PMOS puisque leur mobilité est ainsi réduite. Comme pour le bulk qui utilise depuis le nœud 90nm une contrainte compressive pour les PMOS, l'étude d'une telle contrainte sur une architecture de type TriGate sur SOI permettra de montrer si un gain est possible et de le quantifier.

### II.3.2.2. Performances du TriGate PMOS avec épitaxie S/D SiGe

À l'inverse de l'utilisation d'un substrat sSOI qui induit de manière intrinsèque une contrainte tensile, la solution la plus simple pour apporter une contrainte compressive est d'utiliser une étape d'épitaxie de SiGe lors de la re-croissance des zones source et drain. C'est d'ailleurs cette solution qui est utilisée dans l'industrie depuis 2003 [Ghani03]. On notera que cette contrainte est induite dans l'axe source-drain, de manière uniaxiale dans la direction du canal.

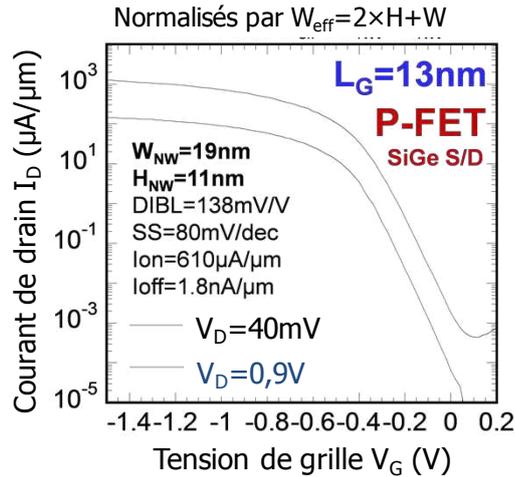
Avec une influence sur le paramètre de maille du cristal, l'effet des source-drain est effectif à petite échelle uniquement. Pour cette raison il n'est pas possible de caractériser la mobilité à canal long, et nous étudierons uniquement les performances sur canaux courts afin de refléter l'efficacité de la contrainte compressive. On remarque sur la **Fig. II. 39** que l'effet des source-drain SiGe (ici 30% de Ge) est négligeable pour un TriGate PMOS à  $L=1\mu\text{m}$ . L'effet est tout à fait observable sur les dispositifs à  $L=25\text{nm}$ , où l'on note une légère modification de la tension de seuil et surtout une nette amélioration du courant de saturation.



**Fig. II. 39** - Modification de la tension de seuil et du courant  $I_{ON}$  de TriGate PMOS avec source-drain en SiGe, pour  $L=1\mu\text{m}$  et  $L=25\text{nm}$ .

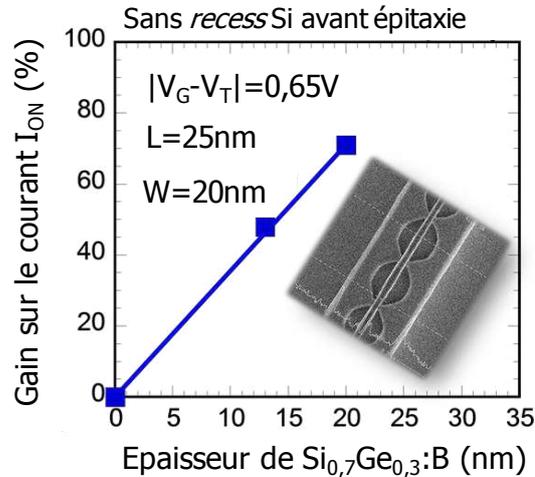
De manière intuitive, on peut penser que l'effet de contrainte est d'autant plus important que la proportion de SiGe dans les source-drain est importante (discuté dans [Kuhn12a]). La contrainte est aussi maximisée par la consommation des zones source et drain (notée r-SiGe pour *recessed*-SiGe en Anglais) avant une ré-épitaxie SiGe. Afin de permettre l'étape d'épitaxie, un minimum de 5nm de Si reste nécessaire pour une croissance cristalline du SiGe. Le volume de SiGe étant plus grand, l'effet de contrainte est donc plus important, et on observe un décalage en  $V_T$  plus important, accompagné d'un plus fort gain en courant de saturation.

On reporte ainsi (Fig. II. 40) [Barraud13] de bonnes performances avec un courant  $I_{ON}=610\mu\text{A}/\mu\text{m}$  pour un TriGate à  $L=13\text{nm}$  et  $W=19\text{nm}$  avec l'utilisation du procédé de *recessed*-SiGe.



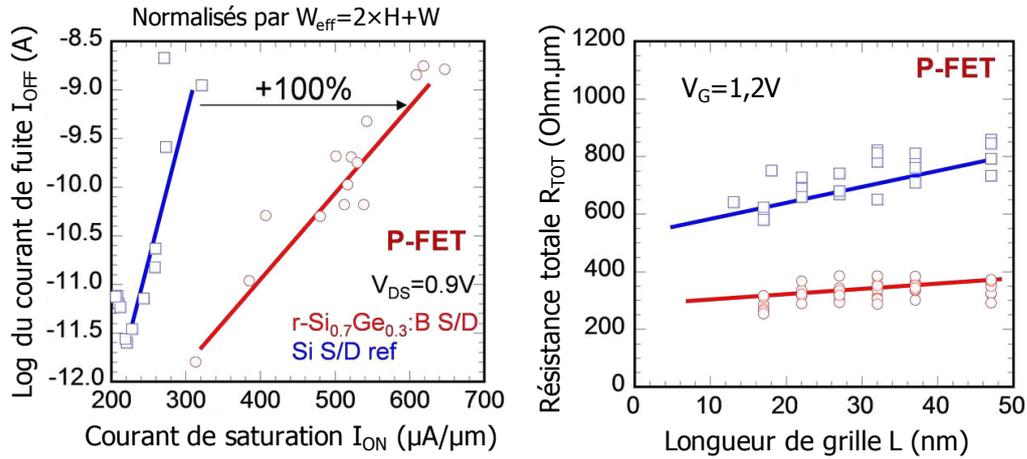
**Fig. II. 40** - Caractéristiques  $I_D$ - $V_G$  d'un TriGate PMOS avec SD SiGe réalisé après consommation des source-drain en Si (r-SiGe).

Cet effet de *recess* est analogue à l'augmentation du niveau de contrainte en fonction de la concentration de Ge [Kuhn12a] ou encore à l'épaisseur finale des source-drain. On peut voir sur la **Fig. II. 41** que le gain en courant est linéaire avec l'épaisseur, et l'on reporte pour des longueurs de grille de  $L=25\text{nm}$  des gains de 50% à 70% pour une épaisseur de 13nm à 20nm respectivement.



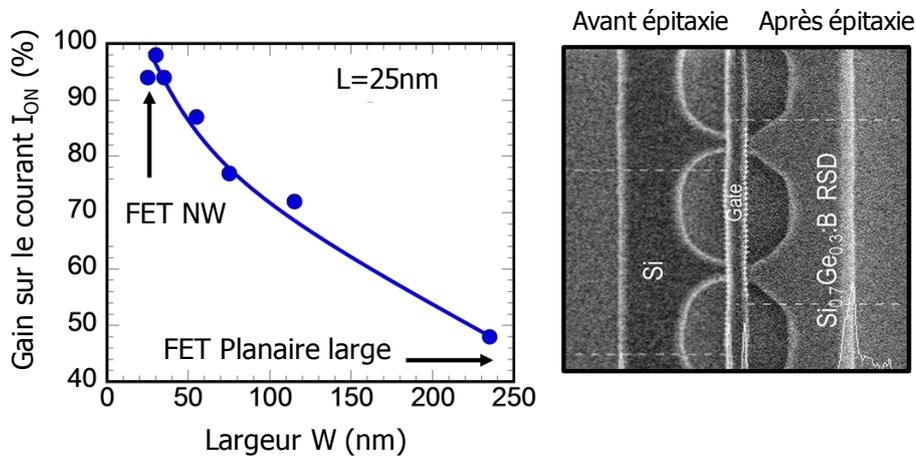
**Fig. II. 41** - Dépendance du gain en  $I_D$  avec l'épaisseur d'épitaxie SiGe, proportionnel au gain induit dans le canal.

La figure de mérite  $I_{\text{ON}}-I_{\text{OFF}}$  (**Fig. II. 42**) montre ainsi une amélioration des performances de 100% sur le courant de saturation pour un courant de fuite de  $10\text{nA}/\mu\text{m}$ . Le matériau SiGe présente également une plus faible résistivité électrique, qui peut également expliquer l'amélioration des performances des PMOS TriGate. On reporte ainsi une résistance  $R_{\text{TOT}}$  deux fois moindre dans le cas de l'utilisation de Source-Drain en SiGe.



**Fig. II. 42** - Performances  $I_{ON}$ - $I_{OFF}$  de TriGate PMOS avec SD Si ou SiGe, et extraction de la résistance totale en fonction de la longueur de grille.

L'efficacité de mise sous contrainte du canal par l'épitaxie source-drain est également dépendante de la largeur  $W$  de celui-ci. On observe sur la **Fig. II. 43** que le gain sur le courant est de l'ordre de 40% pour un dispositif large, alors que ce gain dépasse 90% dans le cas d'un transistor de 50nm ou moins. Cet effet est donc tout à fait bénéfique dans le cas d'un TriGate où la zone active à une largeur entre 20nm et 10nm. La déformation de la maille au niveau des source-drain implique une contrainte compressive du Si, et ce niveau de contrainte est d'autant plus fort que la dimension du canal est petite.



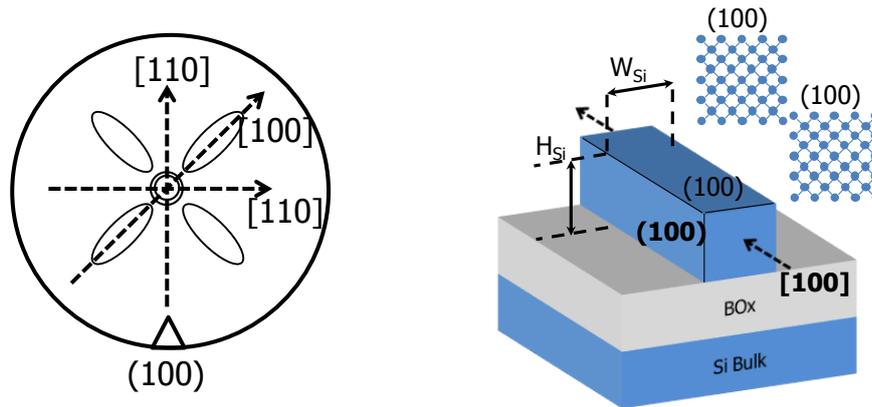
**Fig. II. 43** - Effet de la largeur du dispositif sur le gain en courant  $I_D$ , proportionnel à la contrainte induite par les SD SiGe.

### II.3.3. Le rôle de l'orientation cristallographique

La modification de la structure de bande du silicium par la contrainte permet d'améliorer les performances des transistors, mais plusieurs études montrent également des changements grâce à l'utilisation des différentes orientations cristallines du silicium [Bidal09a, Uchida06]. De par sa structure, le silicium peut être produit en plaquette ayant comme surface les plans (100), utilisés dans l'industrie, ou aussi (100) et (111). Sur ces différents plans sont accessibles différentes orientations, et la direction conventionnelle

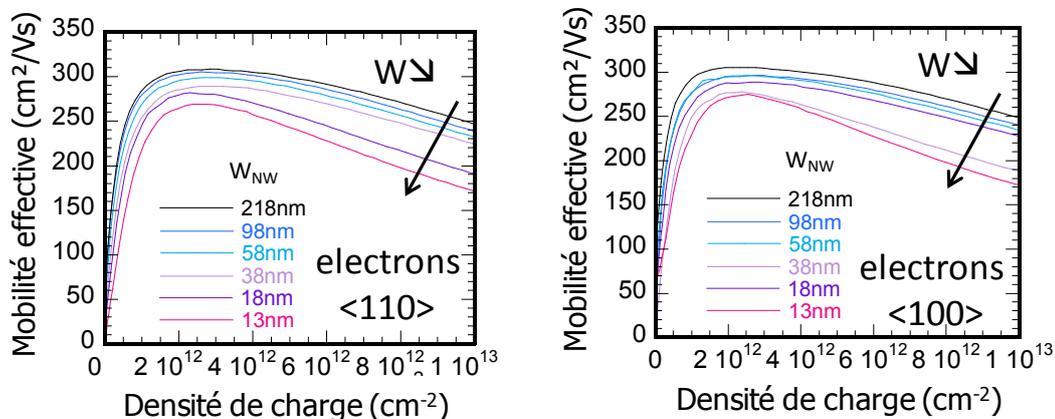
est selon l'axe  $[110]$ . Sur les plaques  $(100)$  utilisées, les dispositifs orientés à  $45^\circ$  permettent la conduction de courant dans la direction  $[100]$ , où le transport est très différent. On notera également, que l'on peut fabriquer ces dispositifs sur des plaques orientées à  $45^\circ$  dès le début du procédé, de manière à ce que les dispositifs (définis par les étapes de lithographie) soient dans la direction  $[100]$  de manière intrinsèque.

La particularité de l'utilisation de dispositifs TriGate orientés selon la direction  $[100]$  est que les surfaces disponibles sur les flancs du TriGate sont dans le plan  $(100)$ , comme sur le schéma **Fig. II. 44**. Il n'est donc plus possible d'être en présence de surfaces latérales  $(110)$  à l'origine de l'amélioration du transport des trous (en particulier aux petites largeurs, lorsque ces surfaces prédominent).



**Fig. II. 44** - Schéma des vallées D du Si et Schéma de la zone active orientée selon  $[100]$  avec les différents plans cristallins.

Les propriétés de ces transistors TriGate ont été étudiées, tout d'abord du point de vue du transport à canal long (**Fig. II. 45**). Comme montré précédemment, on observe une baisse de la mobilité des électrons aux petits  $W$  dans la direction conventionnelle  $\langle 110 \rangle$ . On remarque que c'est également le cas pour les transistors orientés dans la direction  $\langle 100 \rangle$ . Ceci s'explique principalement par l'augmentation de l'interaction avec le réseau cristallin (interactions électron-phonon), qui devient plus importante dans les dispositifs étroits en comparaison aux transistors planaires larges.



**Fig. II. 45** - Effet de la largeur du TriGate NMOS sur la mobilité des électrons avec un canal orienté selon  $\langle 110 \rangle$  (standard) et  $\langle 100 \rangle$  (substrat tourné de  $45^\circ$ ).

Dans le cas du transport des trous (Fig. II. 46), on a observé une augmentation de la mobilité effective aux faibles largeurs  $W$  grâce aux flancs orientés selon  $\langle 110 \rangle$ . Pour les dispositifs dans la direction  $\langle 100 \rangle$ , ce gain en mobilité n'est plus permis puisque toutes les surfaces du dispositif sont orientées selon le plan  $\langle 100 \rangle$ . On observe donc une mobilité des trous plus faible, et également légèrement inférieure aux petits  $W$ .

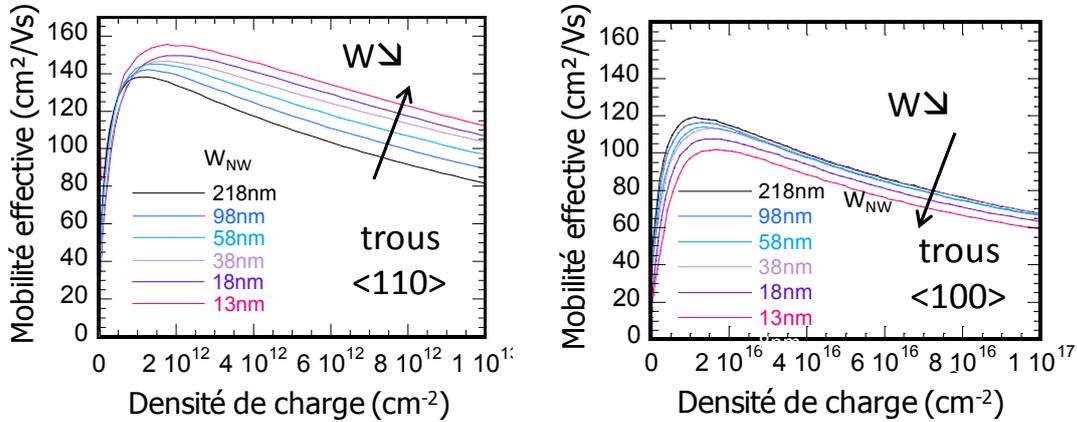


Fig. II. 46 - Effet de la largeur du TriGate PMOS sur la mobilité des trous avec un canal orienté selon  $\langle 110 \rangle$  (standard) et  $\langle 100 \rangle$  (substrat tourné de  $45^\circ$ ).

La caractérisation de dispositifs à canal court est également possible sur plaques de silicium SOI et sSOI (avec contrainte), en comparant les dispositifs conventionnels avec les transistors orientés à  $45^\circ$ , dont le transport s'effectue dans la direction  $\langle 100 \rangle$ .

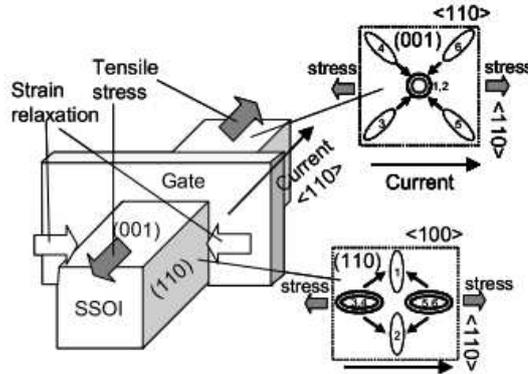
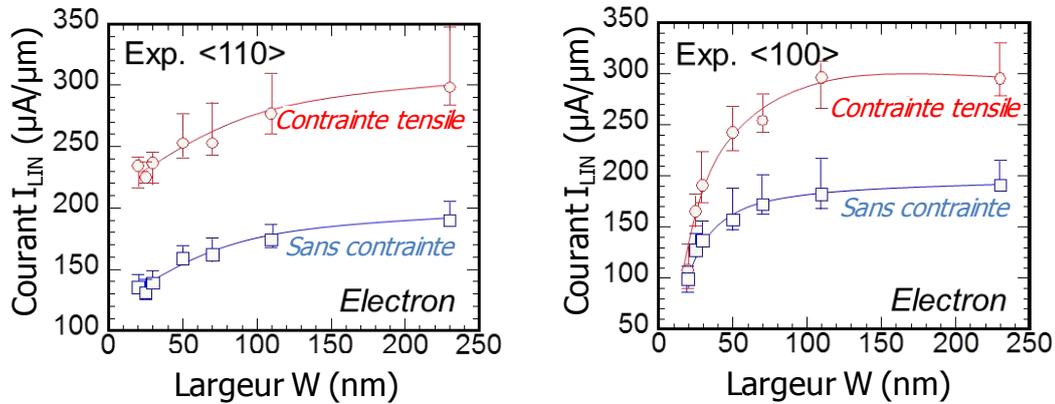


Fig. II. 47 - Phénomènes de population des vallées de conduction dans le cas d'un TriGate contraint de manière uniaxiale dans la direction  $\langle 110 \rangle$ , avec des flancs  $\langle 110 \rangle$  [Irisawa06].

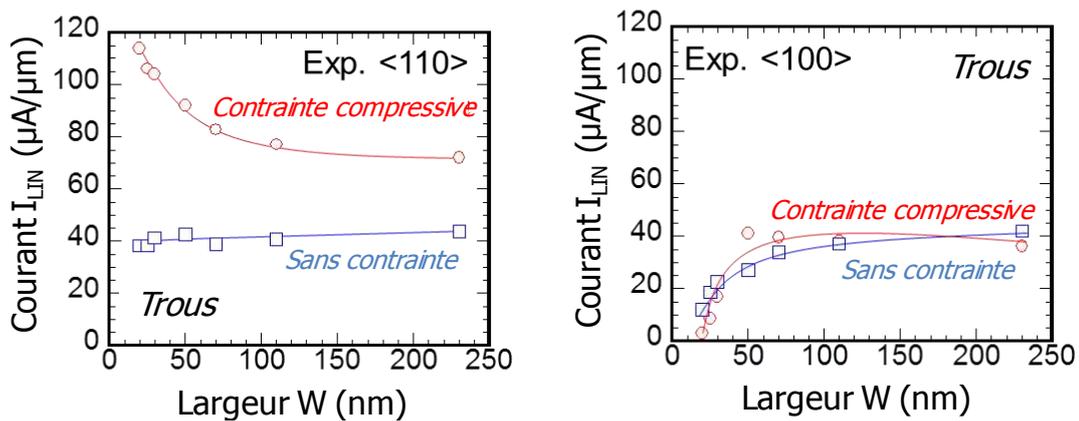
Irisawa et al. prévoient que la direction  $\langle 110 \rangle$  est la meilleure configuration pour un dispositif TriGate contraint (Fig. II. 47), puisque la diminution des masses effectives et la repopulation des vallées  $\Delta_2$  permet d'améliorer le transport dans cette direction [Uchida06, Uchida08]. On compare alors le courant de drain linéaire  $I_{LIN}$  (extrait à  $|V_G - V_T| = 0,65V$  et  $|V_D| = 50mV$ ) dans les directions  $\langle 110 \rangle$  et  $\langle 100 \rangle$  en fonction de la largeur des transistors à canaux courts où  $L = 25nm$  (Fig. II. 48), pour les dispositifs fabriqués sur substrat SOI ou avec une contrainte tensile (substrat sSOI).

Le gain dû à la contrainte sur le courant linéaire  $I_{LIN}$  est négligeable pour le TriGate ( $W$  faible) dans le cas d'un canal orienté selon  $\langle 100 \rangle$ , comme prévu par Irisawa et al. À l'inverse, le gain sur les dispositifs nFETs larges montre un gain d'environ +50%.



**Fig. II. 48** - Effet en  $W$  de la contrainte sur  $I_{LIN}$  du TriGate NMOS avec un canal orienté selon  $\langle 110 \rangle$  (standard) et  $\langle 100 \rangle$  (transistor tourné de  $45^\circ$ ).

Pour les canaux orientés selon  $\langle 110 \rangle$ , la contrainte en tension permet un gain en courant des nFETs constant pour toutes les largeurs  $W$ . Comme étudié au paragraphe **II.3.1.2.**, la contrainte tensile permet d'abaisser l'énergie des vallées  $\Delta_2$  [Niquet12], dans le plan supérieur (100) et aussi dans les plans latéraux (110) [Irisawa06], ce qui permet de diminuer la masse effective des électrons. La différence en énergie des différentes bandes permet aussi de réduire l'interaction inter-vallées, et induit ainsi une repopulation des vallées  $\Delta_2$  qui ont une masse effective plus faible. Ces deux effets permettent ainsi une mobilité plus élevée et un courant supérieur au cas non contraint.



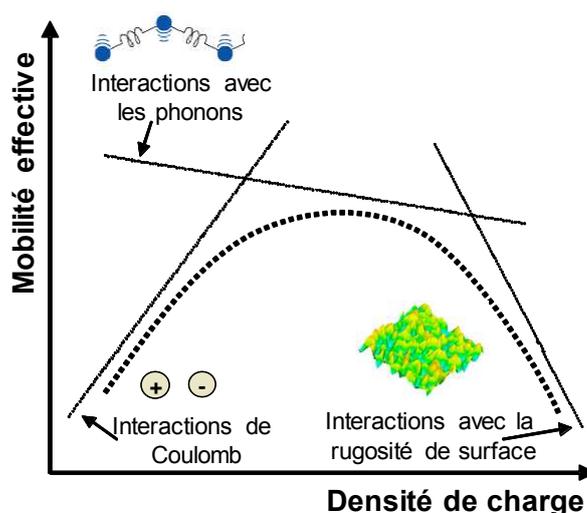
**Fig. II. 49** - Effet en  $W$  set de la contrainte sur  $I_{LIN}$  du TriGate PMOS avec un canal orienté selon  $\langle 110 \rangle$  (standard) et  $\langle 100 \rangle$  (transistor tourné de  $45^\circ$ ).

La contrainte compressive permet aussi un gain important sur les courants des PMOS qui est plus important sur les dispositifs TriGate (+200%), **Fig. II. 49**. Davantage de trous légers contribuent au transport, ce qui permet d'obtenir un gain très important sur le courant de saturation dans la direction  $\langle 110 \rangle$ . Comme pour les électrons, l'effet de la contrainte uniaxiale compressive est plus important dans la direction  $\langle 110 \rangle$  que  $\langle 100 \rangle$ .

## II.4. Caractérisation électrique à basse température

### II.4.1. Etude de la mobilité avec et sans contrainte

Les différents comportements en mobilité et en courant sont liés à la géométrie des dispositifs, et aux différentes interactions que subissent les porteurs dans le canal. La loi de Mathiessen définit ainsi la mobilité des porteurs comme les composantes des interactions Coulombiennes (entre espèces chargées), interaction avec les phonons (autrement dit le réseau cristallins) et aussi la rugosité de surface. On peut ainsi représenter la mobilité effective par le schéma suivant (**Fig. II. 50**).

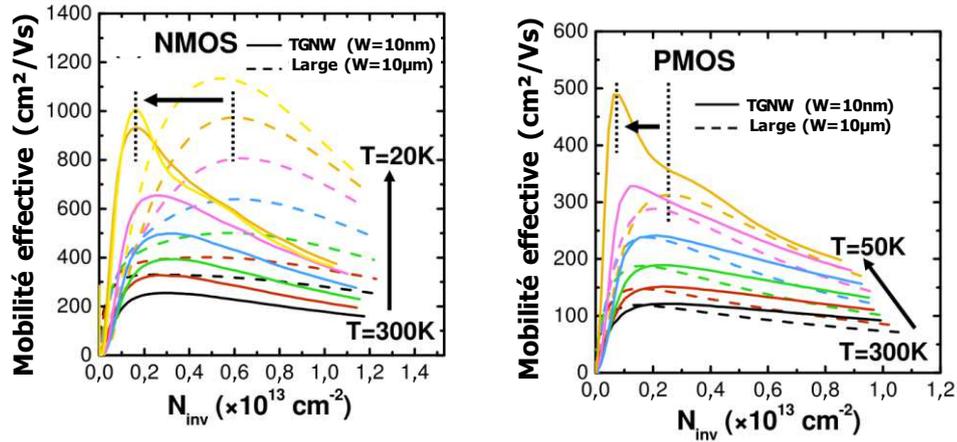


**Fig. II. 50** – Les différentes contributions à la mobilité effective des porteurs.

La mobilité effective des porteurs  $\mu_{\text{eff}}$  a été mesurée systématiquement en fonction de la température, de 300K à 10K. La mobilité des électrons et des trous des dispositifs larges et TriGate sur SOI est ainsi reportée en **Fig. II. 51** en fonction de la densité des porteurs et pour les différentes températures de mesure.

Dans le cas de NMOS, la mobilité des dispositifs TriGate est dégradée, en comparaison à la mobilité des dispositifs larges, sur toute la plage de  $N_{\text{inv}}$ . En particulier, cette dégradation est plus forte à basse température et fort  $N_{\text{inv}}$ . On observe de plus un décalage du maximum de mobilité vers des valeurs de champs plus faibles, en particulier pour les transistors TriGate en comparaison aux transistors larges.

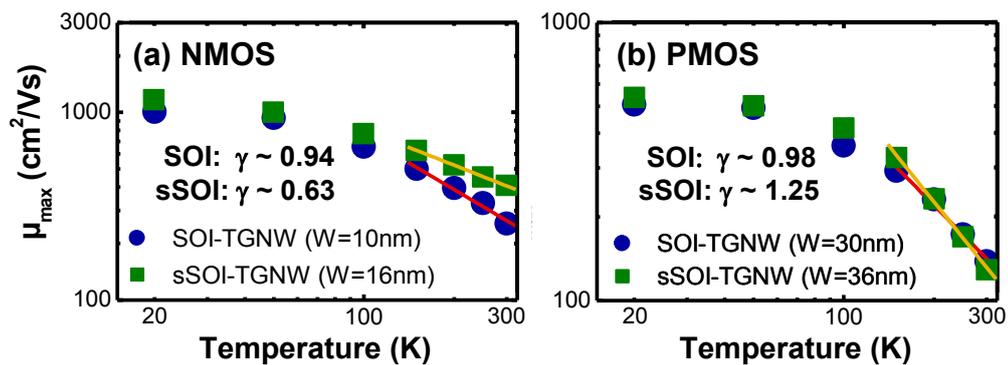
Le comportement des PMOS est différent, la mobilité des TriGate étant améliorée à fort  $N_{\text{inv}}$  par rapport aux cas planaires (larges), et le maximum de mobilité s'observe au même  $N_{\text{inv}}$ . Dans les deux cas, ces changements de mobilité sont en accord avec les contributions des différents plans cristallins expliqué au paragraphe II.2.2.



**Fig. II. 51** – Mobilités des porteurs pour différentes températures, et comparaison de dispositifs larges et TriGate [Koyama13].

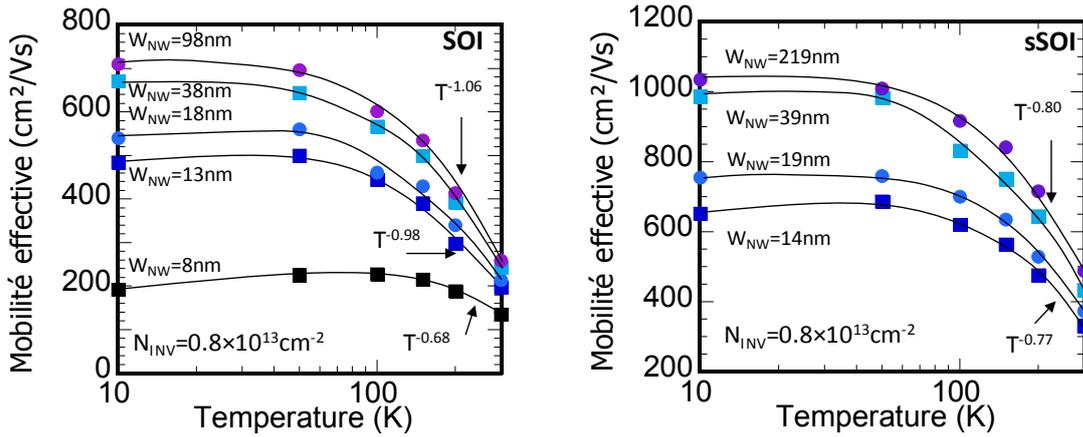
Les extractions de mobilité à différentes températures sont également réalisées sur substrat contraint sSOI, et on reporte le maximum de mobilité  $\mu_{\max}$  en fonction de la température. Au-delà de 100K, la pente de la dépendance de la mobilité avec la température est régit principalement par l'interaction électron-phonon, en particulier autour de  $\mu_{\max}$ .

Cette dépendance en température change de manière significative lorsque l'on compare les structures sur SOI et sSOI (Fig. II. 52), indiquant que cette composante est fortement liée à la contrainte dans les dispositifs TriGate. On notera une plus petite dépendance en température ainsi qu'une plus grande mobilité à basse température dans le cas contraint (sSOI), ce qui démontre la réduction de la masse effective de conduction provoquée par la contrainte uniaxiale ainsi qu'une réduction de l'interaction des phonons inter-vallées. A basse température, les mobilités extraites sur SOI et sSOI tendent vers une même valeur car les électrons occupent alors principalement les mêmes sous-bandes correspondant aux vallées  $\Delta_2$ .



**Fig. II. 52** – Extraction de la dépendance en température sur la mobilité à faible champ ( $\mu_{\max}$ ), pour des transistors TriGate fabriquées sur SOI et sSOI [Koyama13].

Au lieu d'extraire la dépendance de  $\mu_{\max}$  avec la température, il est également possible de reporter la mobilité à fort champ pour différentes dimensions de TriGate. La Fig. II. 53 met ainsi en évidence la dépendance de la mobilité avec la rugosité de surface.



**Fig. II. 53** – Extraction de la mobilité des électrons pour des TriGate sur SOI et sSOI, de 300K à 10K et pour des largeurs de fil de Si variant de 220nm à 8nm.

La **Fig. II. 53** représente les valeurs de mobilité extraite à  $N_{INV}=8 \times 10^{12} \text{ cm}^{-2}$  pour différentes largeurs de TriGate et pour des températures entre 300 K et 10 K. La même extraction est réalisée sur les dispositifs présents sur un substrat contraint sSOI. On montre clairement l'influence de la largeur  $W$  sur la dépendance en température, avec en particulier de faibles valeurs de mobilités lorsque  $W < 20 \text{ nm}$  [Coquand13c]. L'effet des phonons sur la mobilité peut être négligé en dessous de 50 K, où la mobilité sature puisque la composante de rugosité de surface est prépondérante. Même si la rugosité de surface joue un rôle dans les dispositifs larges, la mobilité est doublée entre 300K et 10K du fait de la suppression de l'interaction avec les phonons.

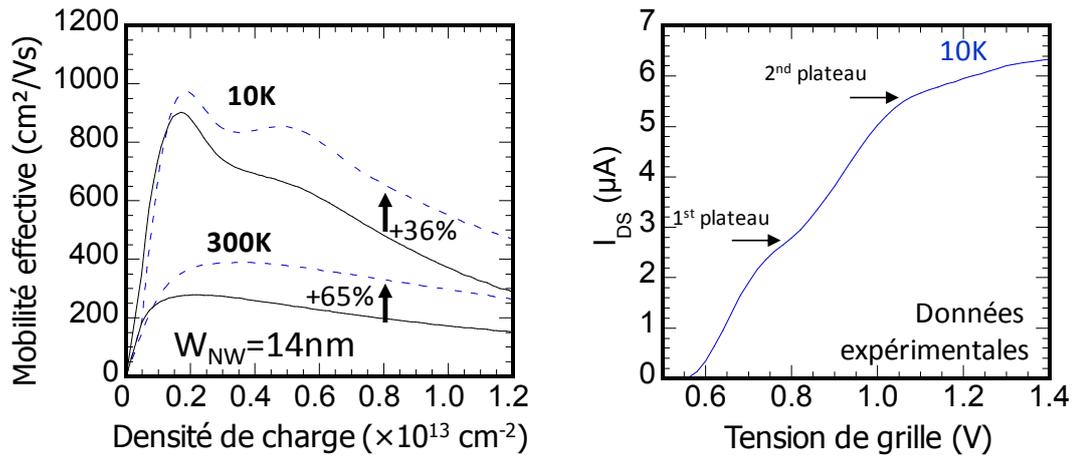
On notera en particulier que la mobilité pour un TriGate de largeur  $W=8 \text{ nm}$  est fortement dégradée et l'augmentation de la mobilité est faible avec la baisse de température. Ceci s'explique principalement par l'interaction des électrons avec la rugosité de surface [Bonno08].

Si à fort  $N_{inv}$  la rugosité de surface est prédominante, la dépendance avec la température reste directement liée aux mécanismes d'interactions avec les phonons. En supposant une loi de puissance du type  $T^{-\gamma}$  pour la mobilité au-delà de 100 K [Takagi94], l'extraction du coefficient gamma permet de quantifier l'effet de l'interaction électron-phonon. Ce facteur atteint 0,68 pour le dispositif sur SOI à  $W=8 \text{ nm}$ , ce qui révèle une plus forte dépendance avec l'interaction électron-phonon. Pour les dimensions plus grandes, le coefficient gamma vaut environ 1 pour les dispositifs sur SOI et 0,8 pour les transistors sur sSOI. La plus faible valeur relevée dans le cas du sSOI confirme la réduction de l'interaction inter-vallées dans le silicium contraint. Dans les deux cas, cette dépendance en température montre que l'interaction électron-phonon varie peu pour des largeurs supérieures à 40nm. En revanche, pour des dimensions inférieures à 20nm, nous montrons à la fois une augmentation de l'interaction électron-phonon et une plus forte composante de la rugosité de surface.

## II.4.2. Mise en évidence du confinement 1D

On a pu observer que la mobilité électronique est fortement réduite pour les largeurs de zone active autour de 10nm. Étudié jusqu'à 10K, l'effet de la rugosité de surface explique en partie la limitation dans le transport de ces dispositifs. On observe en dessous de 50K un comportement oscillatoire de la mobilité à très basse température, qui révèle un confinement 1D dans la structure de sous bandes des électrons.

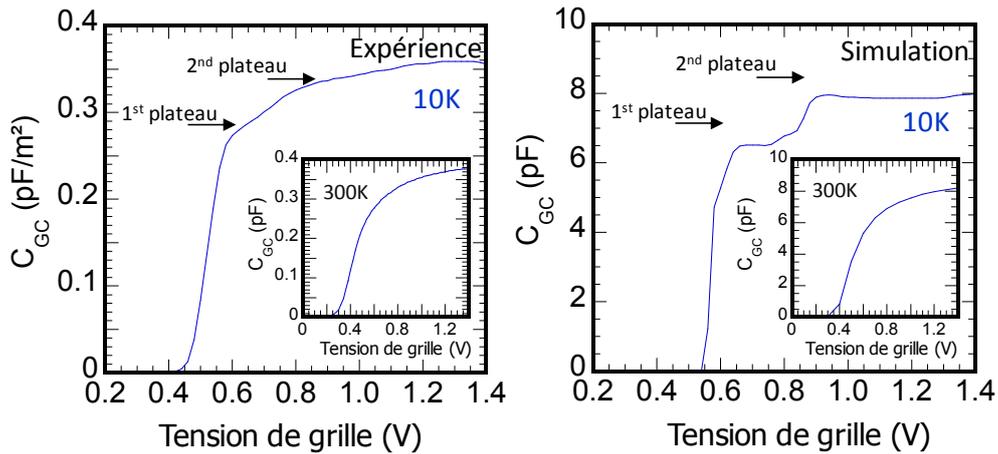
Le confinement des porteurs est mis en évidence par une oscillation du courant de drain et de la mobilité. Cette caractérisation à basse température peut permettre de mieux comprendre la structure des sous bandes des transistors à nanofil.



**Fig. II. 54** – Mobilité des électrons extraite pour un nanofil TriGate à  $W=14\text{nm}$  et  $H=11\text{nm}$  sur SOI et sSOI, mesurée à 300K et 10K.

La mobilité électronique de transistors étroit ( $W=14\text{nm}$ ) réalisés sur substrat SOI et sSOI a été extraite à 300K et 10K (**Fig. II. 54**, gauche). A fort  $N_{\text{INV}}$ , l'augmentation de la mobilité entre 300K et 10K s'explique par la réduction de l'interaction avec les phonons. A 300K, la contrainte permet une amélioration de +65% sur la mobilité, ce qui est en accord avec les observations de contrainte tensile uniaxiale précédemment discutées. Le gain en mobilité est réduit à 10K pour les mêmes raisons que discutées précédemment au paragraphe II.4.1.

Les oscillations observées à 10K, également visibles sur le courant de drain utilisé pour l'extraction de la mobilité (**Fig. II. 54**, droite), correspondent au remplissage successif des premières sous bandes. Le recouvrement de chaque sous-bande avec l'énergie de Fermi induit une variation du courant de drain, et donc de la mobilité à faible champ [**Barraud11**]. Ces oscillations sont également observées sur la capacité grille-canal associée à des structures unidimensionnelles (**Fig. II. 55**). Celles-ci s'expliquent par une instabilité électronique au croisement de l'énergie de Fermi avec une singularité de Van-Hove de la densité d'état électronique (au pic de DOS maximale). Ce comportement est également obtenu par la simulation.



**Fig. II. 55** – Capacités grille-canal en fonction de la tension de grille obtenues par l'expérience (gauche) et la simulation (droite).

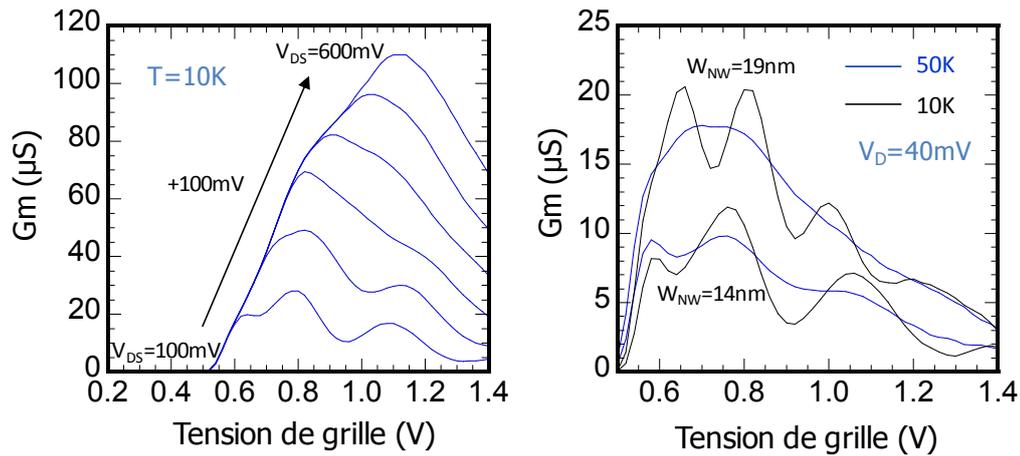
On observe à 10K des structures en plateau, non observées à 300K (figures en encart). Pour expliquer ce comportement, un modèle théorique basé sur une résolution auto-cohérente des équations de Schrödinger-Poisson 2D permet d'extraire la charge d'inversion et la capacité de structures de type nanofil [Barraud11]. Le même comportement oscillatoire est mis en évidence et s'explique par un fort confinement des électrons, menant à la quantification de la structure des sous-bandes, correspondant à une densité d'états 1D.

A basse température, chaque sous-bande croise le niveau de Fermi en contribuant à la charge totale. La différence d'énergie des sous bandes successives d'une structure à nanofil à  $W=14\text{nm}$  ici est supérieure à l'énergie thermique (à 10K,  $kT/q=0,86\text{meV}$ ). Ainsi, le remplissage de la sous-bande d'énergie avec l'augmentation de la tension de grille contribue à une forte augmentation de la capacité.

Ce comportement, déjà observé sur la mobilité de dispositifs TriGate [Colinge06] et à grille enrobante [Yil1, Yoshioka09], est ici mis en évidence pour la première fois sur les mesures expérimentales de capacité.

Afin d'observer le changement de régime dans le transport, le tracé de la transconductance  $G_m$  ( $dI_D/dV_G$ ) à plusieurs  $V_D$  peut-être vu en Fig. II. 56. Cette mesure effectuée sur dispositifs multicanaux à canal long ( $L=10\mu\text{m}$ ) et étroit ( $W=14\text{nm}$  et  $W=19\text{nm}$ ) montre une oscillation de  $G_m$  pour  $V_D < 200\text{mV}$ .

La Fig. II. 56 montre les oscillations sur  $G_m$  lorsque  $V_D$  est inférieur ou égal à 200mV. A partir de  $V_D=100\text{mV}$ , l'amplitude des pics tend à disparaître puisque la densité de porteur n'est plus uniforme le long du canal et implique l'occupation de plusieurs niveaux de sous-bandes. On notera que d'après ces dimensions ( $L=10\mu\text{m}$ ) et cette dépendance en  $V_D$ , ce phénomène ne saurait être expliqué par un effet de blocage de Coulomb.



**Fig. II. 56** – Tracé de la transconductance ( $dI_D/dV_G$ ) en fonction de  $V_G$  pour des dispositifs à  $W=14nm$  et  $W=19nm$ , à différents  $V_D$  (gauche) et pour différentes températures de 50K et 10K.

La comparaison du  $G_m$  à 10K et 50K montre la forte dépendance de l'amplitude de ces oscillations du  $G_m$  avec la température, qui sont réduites à forte température à cause d'un effet d'étalement thermique en énergie. On notera également les différentes positions des pics selon la largeur des dispositifs, ici  $W=14nm$  ou  $W=19nm$ . Comme attendu, une plus grande dimension réduit l'effet de confinement quantique et réduit la séparation en énergie des premières sous-bandes, imagé par l'écart en tension de seuil entre les pics.

Ces observations d'un transport de type 1D peuvent donc permettre d'explorer la structure en énergie dans les nanofils grâce à une bonne corrélation avec les modèles théoriques. En particulier, il peut être envisagé de caractériser un état de contrainte dans une structure de très petite dimension.



## Conclusion du chapitre II

Le dispositif TriGate fabriqué sur SOI semble être un parfait candidat à l'évolution des technologies à film mince. La miniaturisation dans la largeur des dispositifs permet avant tout d'améliorer considérablement le contrôle de la grille sur les propriétés électrostatiques du canal de silicium. Cette géométrie permet également l'utilisation des plans cristallographiques (110) sur les flancs de la zone active, qui sont bénéfiques pour l'amélioration du transport des trous.

On aura également montré que les techniques d'améliorations de performances impliquant la contrainte dans les matériaux sont compatibles avec ces architectures. En particulier, on aura montré que la contrainte biaxiale d'un substrat sSOI persiste sous forme de contrainte uniaxiale dans les dispositifs TriGate. La mobilité des électrons est ainsi améliorée de +55% et l'amélioration de leur performance peut atteindre +100%. Des courants records  $I_{ON}$  de  $1,4\text{mA}/\mu\text{m}$  (pour un courant de fuite  $I_{OFF}$  de  $300\text{nA}/\mu\text{m}$ ) ont pu être obtenus à une longueur de grille de seulement 10nm.

On a aussi montré que les performances des transistors PMOS peuvent être améliorées par la contrainte compressive fournie par des zones source-drain en SiGe. Ce procédé aura été étudié en détail et nous avons montré que l'amélioration des performances est d'autant meilleure que la largeur du transistor TriGate est faible. On montre ainsi une amélioration de l'ordre de 100% aux largeurs inférieures à 20nm. Un courant  $I_{ON}$  de  $610\mu\text{A}/\mu\text{m}$  aura été relevé sur un dispositif ayant une longueur de grille de 13nm.

L'effet de la contrainte a également été étudié sur des dispositifs ayant un transport de courant dans la direction cristallographique  $\langle 100 \rangle$ . Alors qu'on a montré que la contrainte était conservée sous forme uniaxiale pour les dispositifs standards, on montre que la contrainte tensile devient inefficace dans cette direction aux faibles largeurs. La contrainte compressive n'a elle aucun impact sur les courants mesurés dans cette direction. On montre ainsi que la direction  $\langle 110 \rangle$  reste le meilleur choix pour améliorer les performances des transistors TGSOI grâce à la contrainte dans le canal.

Enfin, nous avons pu voir grâce à la caractérisation à basse température que la rugosité de surface est une composante importante des dispositifs très étroits ( $W=8\text{nm}$ ). On aura aussi observé des oscillations sur le courant de drain à basse température, ce qui démontre le confinement des porteurs dans les dispositifs étroits.

Mais dans un contexte d'industrialisation, et donc de fabrication de circuits basés sur la technologie TriGate sur SOI, les expériences montrées ici ne permettent pas de répondre au contrôle de la consommation d'un système complet (SoC). On se propose donc de simuler nos dispositifs afin d'en évaluer les propriétés reportées sur un substrat à SOI à box mince. On pourra en particulier étudier les possibilités de contrôle de la conduction par la face arrière, comme c'est le cas dans la technologie planaire FDSOI.







---

## **CHAPITRE III - Simulation de transistors TriGate sur SOI**

---



<b>CHAPITRE III - Simulation de transistors TriGate sur SOI.....</b>	<b>103</b>
<b>III.1. Définition du TriGate SOI en TCAD 3D .....</b>	<b>107</b>
III.1.1. Simulation des procédés de fabrication .....	107
III.1.1.1. Définition de la zone active et de la grille.....	107
III.1.1.2. Formation des jonctions source/drain.....	108
III.1.1.3. Prise en compte du confinement quantique .....	110
III.1.2. Evaluation d'une technologie TGSOI .....	113
III.1.2.1. Définition des jonctions source/drain.....	113
III.1.2.2. Définition de la géométrie .....	114
III.1.2.3. Définition des grandeurs électriques : EOT et mobilité .....	116
<b>III.2. Résultats électriques du TriGate SOI avec Box mince .....</b>	<b>116</b>
III.2.1. Etude dimensionnelle .....	116
III.2.1.1. La problématique du <i>Body Factor</i> .....	116
III.2.1.2. Effet de la forme du dispositif : TriGate versus FinFET .....	118
III.2.1.3. Mode de conduction du dispositif TriGate.....	120
III.2.1.4. Effet de la consommation du Box.....	123
III.2.2. Simulations de transistors à Grille enrobante .....	124
III.2.2.1. Propriétés électriques du transport de charges.....	124
III.2.2.2. Vers un contrôle électrostatique par quatre grilles .....	125
<b>III.3. Autres considérations pour la technologie TGSOI .....</b>	<b>126</b>
III.3.1. Densité d'intégration par la technique de <i>SIT</i> .....	126
III.3.2. Couplage capacitif et besoin de nouveaux matériaux.....	127
<b>III.4. Conclusion du chapitre III .....</b>	<b>130</b>



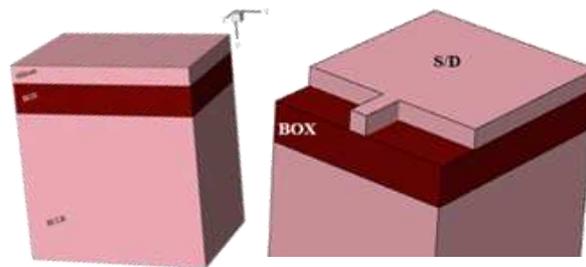
## III.1. Définition du TriGate SOI en TCAD 3D

### III.1.1. Simulation des procédés de fabrication

#### III.1.1.1. Définition de la zone active et de la grille

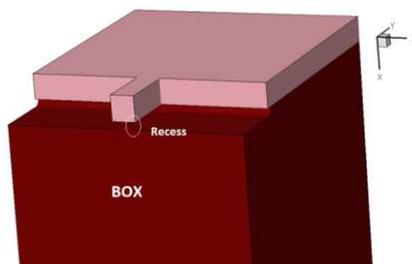
De manière à simuler la fabrication des dispositifs TriGate, un code TCAD 3D a été développé sous le module SPROCESS développé par Synopsys®. On définit ainsi le transistor à simuler de la même manière que pour sa fabrication sur plaque, grâce à la résolution de modèles physiques pour les étapes de dépôt, de gravure, d'oxydation, de diffusion. Le module SDEVICE permettra par la suite la résolution des équations du transport et de l'interaction des porteurs pour simuler le comportement électrique du transistor. Une difficulté majeure d'une telle simulation est l'optimisation du maillage pour que la résolution des modèles puisse converger vers une solution, sans consommer trop de temps de calcul.

Bien que les différentes étapes de fabrication soient toujours en cours de développement et sont ainsi susceptibles d'évoluer dans le futur, la base de la fabrication du transistor TriGate sur SOI (parfois noté TGSOI) commence par la définition du Si bulk (substrat), d'une couche de Box, puis d'une couche de Si. On définit ensuite la zone active par une étape équivalente à la photolithographie, où le dépôt de couches protectrices permet de graver sélectivement certaines zones de silicium. On notera ici que la définition de la zone active est simulée uniquement à moitié (**Fig. III. 1**), puisque la zone active sera complétée par symétrie, ce qui permet de diminuer le temps de calcul. Lorsque la longueur électrique devient faible (inférieure à 20nm), on choisira judicieusement de simuler le transistor entièrement afin de prendre en compte de manière réaliste certains phénomènes physiques (telle que la diffusion par exemple).



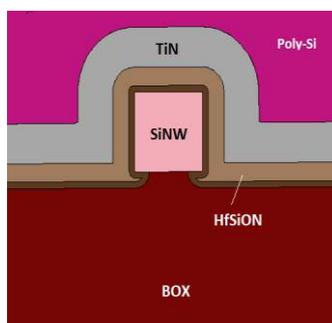
**Fig. III. 1** – Définition du wafer de SOI et de la zone active.

Après la création de la zone active de silicium, on peut également ajouter une étape facultative de consommation du Box (**Fig. III. 2**) que l'on nommera par la suite *Recess* du Box. Cette consommation peut être présente lors de la fabrication de transistors TriGate sur plaque, et aura une importance toute particulière sur le comportement électrostatique du dispositif ainsi que ses propriétés lorsqu'on applique une tension sur la face arrière du substrat SOI.



**Fig. III. 2** – Représentation de la consommation de Box sous la zone active de Si.

Le dépôt des matériaux de grille est ensuite identique aux procédés sur plaques, c'est-à-dire que les dépôts sont de même épaisseur, conformes et enrobent donc le nanofil de Silicium (SiNW pour *Silicon Nanowire*) sur chacune de ses faces (**Fig. III. 3**). Pour cette raison, la présence d'une cavité sous le nanofil, créée par la consommation du Box, permettra à la grille de contrôler le canal par ses coins inférieurs. Ce point sera détaillé dans l'exploitation des résultats électriques aux paragraphes suivants.

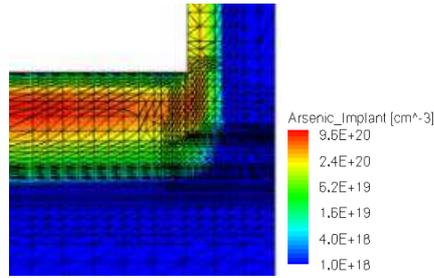


**Fig. III. 3** – Vue en coupe de l'empilement de grille simulé.

De manière à moduler la tension de seuil et l'épaisseur électrique, les constantes physiques des matériaux (travail de sortie du métal, coefficient diélectrique des oxydes) seront définies indépendamment.

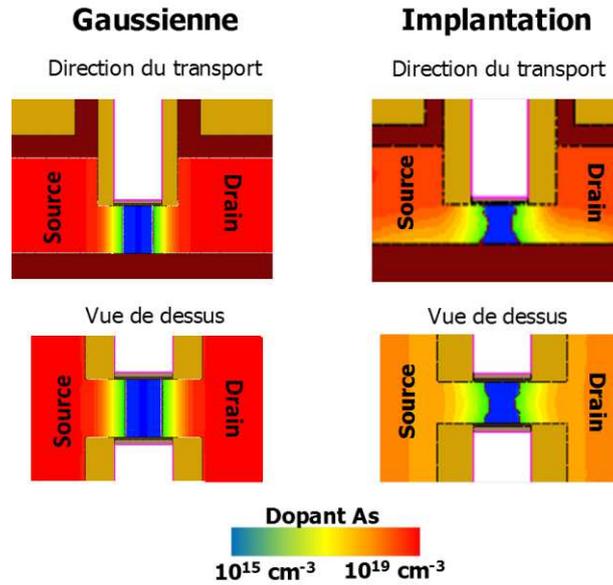
### III.1.1.2. Formation des jonctions source/drain

Après la fabrication de la grille et des espaceurs (par un enchainement de dépôts et de gravures anisotropes comme pour les procédés sur plaque), on peut définir les jonctions source/drain par la simulation d'un procédé d'implantation suivi d'un recuit thermique. On utilisera les mêmes grandeurs que lors de la fabrication sur plaque, en termes de dose et d'énergie de dopage ainsi que pour la température de recuit. Les modèles physiques permettant la simulation du dopage des zones source et drain sont complexes et sensibles au maillage du dispositif. On comprendra ici tout l'intérêt de l'utilisation d'un maillage dit adaptatif (**Fig. III. 4**) qui s'affinera en fonction des besoins pour la résolution des calculs de manière automatique.



**Fig. III. 4** – Vue en coupe avec le maillage adaptatif après l'étape de dopage au niveau de la jonction source-canal. Les couleurs définissent la concentration des dopants.

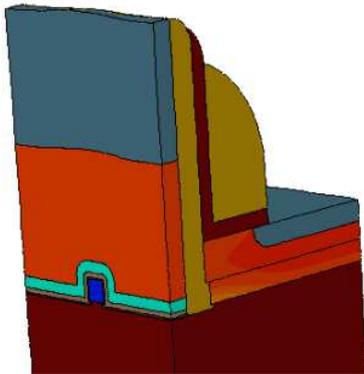
On précisera aussi que ces étapes, et particulièrement le recuit où interviennent les lois de la diffusion, sont particulièrement longues à résoudre (environ 1/3 du temps total). Pour cette raison, la définition de la jonction est remplacée par une fonction mathématique de type Gaussienne (**Fig. III. 5**) qui permet de définir une zone dopée. La dose est ainsi donnée par son amplitude et la longueur électrique dépend de la position de la Gaussienne et de sa largeur à mi-hauteur. Ce modèle représente assez bien la diffusion des dopants lors d'un procédé de recuit.



**Fig. III. 5** – Distribution des dopants avec un profil Gaussien ou d'implantation.

On a ainsi pu montrer que le comportement électrostatique (par exemple la dépendance du DIBL avec la longueur de grille  $L$ , soit la variation de  $V_T$  normalisée telle que  $DIBL = \Delta V_T / \Delta V_D$ ), est relativement identique dans le cas d'une simulation d'implantation et recuit qu'avec la définition mathématique de la jonction. L'écart sera d'autant plus important que la longueur physique de grille est faible, puisque la position des jonctions influence alors directement la longueur électrique. Comme présenté au paragraphe précédent, la consommation de Box modifie également le contrôle électrostatique, et il est alors difficile de calibrer la définition de la jonction avec les dispositifs sur plaque. Ces effets seront rediscutés aux paragraphes suivants.

Comme on l'a vu au chapitre II, l'introduction de contraintes requiert l'utilisation d'épitaxie source-drain dopée de manière intrinsèque (in situ). Il est donc nécessaire de définir la jonction par un procédé de type épitaxie dopée, ce qui a pu être simulé par un dépôt de Si contenant une dose définie d'atomes de dopants. L'épitaxie étant un procédé à haute température, la diffusion des dopants doit être prise en compte et augmente ainsi le temps de calcul lors des simulations. Ce procédé ne sera donc pas utilisé pour les simulations présentées ci-après, mais il a été possible d'observer que la diffusion depuis les trois faces du dispositif TriGate implique une longueur électrique différente pour la conduction sous la grille supérieure, ou pour les canaux verticaux, plus proche du Box. On notera aussi que cette diffusion est fortement dépendante des dimensions choisies pour la hauteur et la largeur du canal. La problématique de la performance n'étant pas étudiée par ces simulations, les détails liés aux épitaxies et aux phénomènes de contrainte ne seront pas développés dans ce manuscrit.



**Fig. III. 6** – Etape de positionnement des contacts par dépôt d'Al (zones grises).

La dernière étape constitue la mise en place des contacts au niveau de la grille et des zones source et drain. Cette étape, basée sur la siliciuration lors des procédés sur plaque, est remplacée par une consommation de Si et un dépôt d'Aluminium dans la simulation (**Fig. III. 6**). Ceci permet de définir le positionnement des zones où seront appliqués les potentiels pour l'étude du comportement électrique des dispositifs.

### III.1.1.3. Prise en compte du confinement quantique

Les effets quantiques prennent de l'importance pour les systèmes de petites dimensions, et ils doivent être pris en compte dans la description physique du transport électronique des dispositifs à film mince ou à multi grilles. Afin de reproduire correctement ces effets en TCAD, on peut utiliser l'approche dite '*Density-Gradient*' développée par Ancona et al. [**Ancona89**]. Ce modèle est calibré de façon à reproduire correctement la capacité de canal et la densité de porteurs extraits de la résolution des équations de Poisson-Schrödinger [**Pons13**].

Le transport électronique en TCAD est décrit à l'aide d'un modèle dit Dérive-Diffusion (*Drift-Diffusion* en anglais), basée sur les équations de transport semi-classique de Boltzman. L'utilisation d'une approche *Density-Gradient* permet ainsi de prendre en compte les effets de confinement quantique sans résoudre les équations de Poisson-Schrödinger pour des questions de rapidité de calcul.

Les équations de dérive-diffusion s'écrivent :

$$\frac{\partial n}{\partial t} = \frac{\nabla \cdot J_n}{q} = \nabla \cdot (-n\mu_n \nabla \Psi_n + D_n \nabla n) \quad \text{Eq. III. 1}$$

avec  $n$  la densité d'électrons,  $\mu_n$  leur mobilité,  $J_n$  la densité de courant,  $\Psi_n$  le potentiel électrique, et  $D_n$  le coefficient de diffusion. On notera que les mêmes équations sont valables pour les trous, au signe près.

Le modèle *Density-Gradient* est une approximation des effets de confinement quantique couplée aux équations du transport. Cette méthode de résolution des équations du transport est très efficace, puisque l'on définit alors le potentiel électrique comme la somme du potentiel classique  $\Psi$  et d'un terme correctif de potentiel quantique noté  $\Psi_{QM}$ :

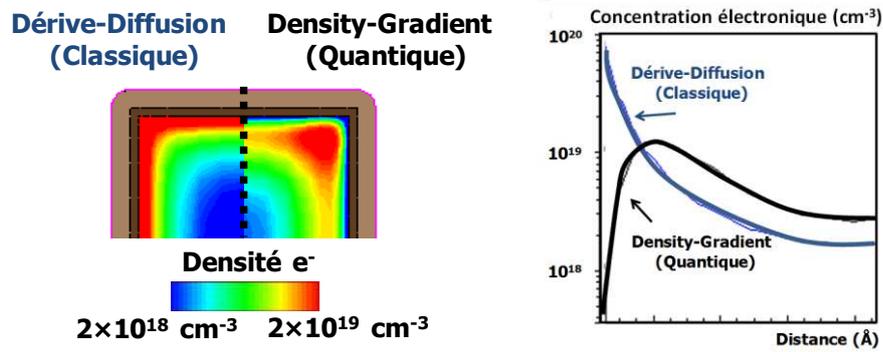
$$\Psi_n = \Psi + \Psi_{QM} \quad \text{Eq. III. 2}$$

La correction de potentiel  $\Psi_{QM}$  se définit selon :

$$\Psi_{QM} = -\frac{\gamma \cdot \hbar^2}{6 \cdot m} \times \frac{\nabla^2 \sqrt{n}}{\sqrt{n}} \quad \text{Eq. III. 3}$$

Il dépend de  $m$  la masse effective des porteurs et  $\gamma$  le paramètre de calibration du modèle *Density-Gradient*. Une prise en compte de l'orientation permet de définir dans la structure TCAD un paramètre  $\gamma$  propre à chacun des plans cristallographiques du Si.

Les simulations électriques de dispositifs TriGate selon le modèle classique de Dérive-Diffusion ou selon le modèle quantique de *Density-Gradient* permettent de montrer la différence sur la répartition des porteurs dans le canal. Le champ de grille implique une forte concentration de porteurs à l'interface avec l'oxyde de grille, ce qui se vérifie par l'approche classique. La répartition des porteurs est néanmoins différente lorsque les effets quantiques sont pris en compte.

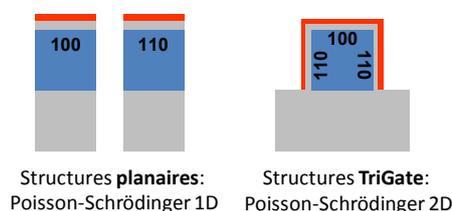


**Fig. III. 7** – (gauche) Représentation 2D de la distribution des porteurs aux interfaces canal-grille dans un dispositif TriGate, (droite) Concentration de porteurs à l'interface canal-grille dans le cas classique ou quantique.

Une représentation en coupe à l'interface canal-grille montre que le maximum de la densité de porteurs est décalé alors que ce maximum est atteint à l'interface pour un modèle classique (**Fig. III. 7**). On retrouve ici le phénomène de *Dark-Space* cité au chapitre I.

L'amplitude de correction du potentiel  $\Psi_{QM}$  à l'interface est alors calibrée via le paramètre  $\gamma$ , qui sera défini de manière différente selon les plans cristallographiques, ce qui est particulièrement important dans le cas d'un dispositif TriGate puisque les surfaces verticales et horizontales ne sont pas dans le même plan.

Les paramètres de Density-Gradient sont d'abord calibrés sur une section de dispositif planaire et via la résolution Poisson-Schrödinger en confinement 1D (**Fig. III. 8**). La capacité de canal est simulée en fonction de la polarisation de grille, qui représente la dérivée de la densité de porteur à un  $V_G$  donné, avec une orientation cristalline définie suivant le plan (100), puis (110).



**Fig. III. 8** – Schémas des structures équivalentes avec les différents plans cristallins.

Le paramètre  $\gamma$  est alors calibré après avoir ajusté la tension de bande plate entre le modèle *Density-Gradient* et Poisson-Schrödinger [**Pons13**]. La calibration de  $\gamma$  permet d'ajuster les courbes de capacité, et les coefficients gamma sont alors extraits pour les électrons et les trous selon les deux plans cristallins:

**Table III. 1**- Coefficients  $\gamma$  des plans (100) et (110) du modèle Density-Gradient calibré.

	nMOS		pMOS	
Orientation	100	110	100	110
$\gamma$	4.3	6.0	7.9	2.3

On décrit alors la structure d'un TriGate, avec les plans (110) verticaux et le plan (100) sous la grille supérieure, et on utilise ces mêmes paramètres  $\gamma$  (**Table III. 1**) afin d'évaluer la structure simulée, avant de confirmer leur validité par une résolution Poisson-Schrödinger 2D d'un système à deux dimensions. Le modèle TCAD intègre l'auto-orientation, c'est-à-dire que les paramètres  $\gamma$  sont automatiquement attribués à la zone de silicium impliquée dans la conduction par les grilles latérales ou par la grille supérieure (en prenant en compte la distance de la maille à la surface la plus proche).

L'une des limites du modèle de Density-Gradient est qu'on ne peut considérer qu'une seule masse effective de porteur, et la complexité de la bande de valence n'est pas

totalemment pris en compte. Pour cette raison, on pourra observer des différences entre les densités de porteurs calculés par les deux méthodes [Pons13], et en particulier aux très petites dimensions puisque le confinement implique une forte anisotropie des masses effectives [Pham08]. Néanmoins, cet effet est négligeable sur la capacité totale, et on relève ainsi un très bon accord dans la calibration du modèle pour des dimensions de TriGate de  $15 \times 15 \text{ nm}$  jusqu'à  $4 \times 4 \text{ nm}$  (Fig. III. 9). Cette calibration est essentielle pour l'évaluation des propriétés de ces architectures.

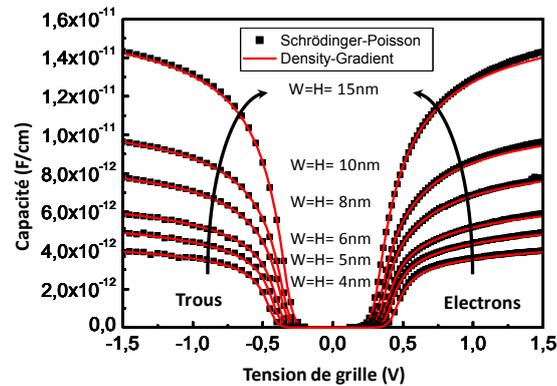


Fig. III. 9 – Calibration des capacités de TriGate NMOS et PMOS extraite par la TCAD calibrée (rouge) et la simulation numérique 2D Poisson-Schrödinger [Pons13].

### III.1.2. Evaluation d'une technologie TGSOI

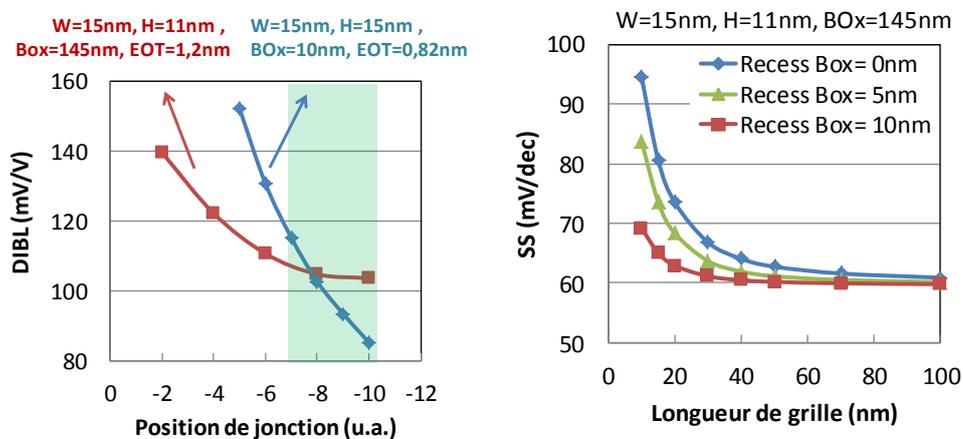
#### III.1.2.1. Définition des jonctions source/drain

Le modèle développé permettra d'évaluer dans un premier temps le comportement électrostatique des dispositifs TriGate, puis les modèles de transport permettront d'évaluer les performances de ces dispositifs. En plus d'un modèle prenant en compte les orientations cristallographiques en fonction des dimensions des dispositifs, une description correcte des contraintes est nécessaire à la bonne évaluation des performances. Compte tenu aujourd'hui de la difficulté à prendre en compte correctement l'effet des contraintes sur le transport électronique dans les outils TCAD, nous avons choisi dans un premier temps d'évaluer uniquement le comportement électrostatique. Cela nous permettra de dimensionner de manière prospective et spéculative la géométrie des dispositifs TriGate pour un nœud technologique avancé.

Afin de répondre le plus justement à la réalité, le modèle développé est calibré sur les résultats électriques obtenus sur plaque (voir chapitre II). On définit alors un transistor TriGate de largeur  $W=15 \text{ nm}$  avec une épaisseur de silicium  $H=11 \text{ nm}$ , et construit sur un substrat SOI ayant un Box de  $145 \text{ nm}$ . On définit également les épaisseurs physiques et électriques des matériaux de grille de manière à obtenir une EOT égale à  $1,2 \text{ nm}$ , ainsi que les épaisseurs d'épitaxie et d'espaces identiques aux procédés sur plaque ( $18 \text{ nm}$  et  $10 \text{ nm}$  respectivement dans ce cas).

Comme mentionné précédemment, la définition des jonctions étant mathématique, la diffusion est décrite par une fonction Gaussienne. Les résultats obtenus

sont calculés à une longueur de grille donnée ( $L=15\text{nm}$ ). On réalise également la même simulation avec des dimensions susceptibles d'être utilisées dans une technologie avancée, en particulier avec une  $EOT=0,82\text{nm}$ .



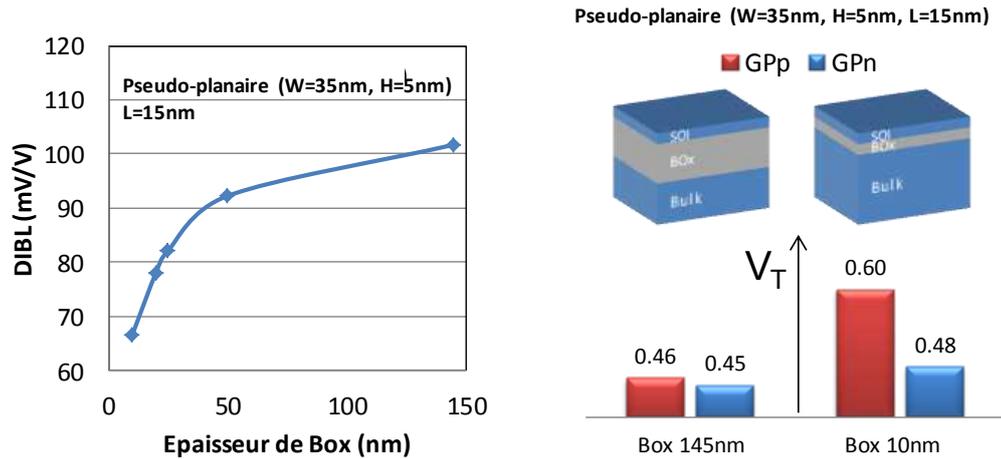
**Fig. III. 10** – (gauche) Calibration de la position des jonctions de dopage. (droite) Pente sous le seuil de dispositifs sur Box épais avec différentes consommations de Box.

La position des jonctions ainsi choisie va permettre d'obtenir un DIBL de l'ordre de  $100\text{mV/V}$  pour un TriGate sur Box mince de  $10\text{nm}$ , à  $L=15\text{nm}$  (**Fig. III. 10**, gauche). C'est en effet le critère retenu puisque la calibration sur les données expérimentales est limitée par le fait que la consommation de Box a une influence non négligeable sur l'électrostatique, comme on peut l'observer sur la pente sous le seuil (**Fig. III. 10**, droite).

### III.1.2.2. Définition de la géométrie

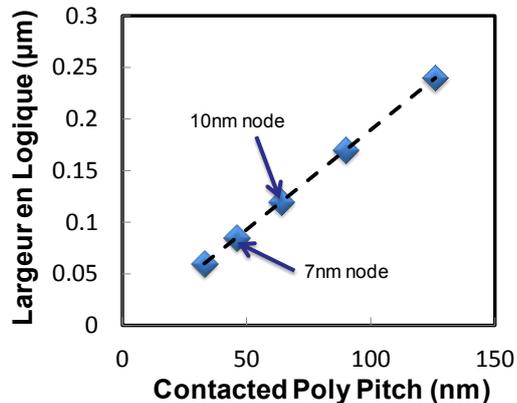
Puisque le but de la simulation TCAD 3D de dispositifs TriGate est d'en étudier la miniaturisation et d'autres aspects non étudiés sur plaque, il est convenu de fixer la jonction par une Gaussienne (gain de temps de calcul). Leur position sera ainsi définie de manière à ce qu'un dispositif TriGate fabriqué sur Box mince et de dimension  $H \times W = 15 \times 15\text{nm}$  ait un DIBL proche de  $100\text{mV/V}$  à une longueur de grille de  $L=15\text{nm}$ .

Ceci a été calibré pour les conditions d'un nœud avancé, et en particulier pour un transistor fabriqué sur un substrat SOI à Box mince de  $10\text{nm}$ . Les substrats à Box mince montrent un meilleur contrôle électrostatique (**Fig. III. 11**, gauche). On notera également que dans ce cas, le silicium Bulk est dopé de manière à modifier la tension de seuil des dispositifs : ce sont les dopages substrat ou *Ground Plane* (GP), de type N ou P. Les simulations effectuées sur un Box mince utilisent un dopage substrat de  $2 \times 10^{18} \text{cm}^{-3}$ , ce qui est réaliste du point de vue des procédés de fabrication actuels. On montre que leurs effets sur les propriétés du transistor sont bien plus marqués lorsque l'épaisseur de Box est fine (**Fig. III. 11**, droite). Cette propriété a déjà été démontrée sur les structures FDSOI et SON, et permet de moduler les tensions de seuil des transistors dans un circuit. Une tension peut également être appliquée en face arrière, et son effet est d'autant plus grand que le Box est mince, d'où le choix d'un Box de  $10\text{nm}$ . Cet effet sera rediscuté plus longuement dans les paragraphes suivants.



**Fig. III. 11** – (gauche) DIBL de transistors TriGate simulés à  $L=15\text{nm}$  en fonction de l'épaisseur de Box. (droite) Valeurs de tension de seuil selon le type de GP et pour un Box épais ou mince.

Au-delà de l'épaisseur du Box, les dimensions des structures TriGate suivent les lois de la miniaturisation. On estime que le nœud technologique 10nm impliquera une largeur de zone active de 120nm au maximum (**Fig. III. 12**, gauche) afin d'atteindre les densités d'intégration souhaitées. Bien que les performances ne soient pas évaluées avec ces simulations, ces dimensions sont prises en compte afin de définir de façon réaliste la géométrie de nos dispositifs TriGate. C'est pourquoi on définit une largeur effective  $W_{\text{eff}}$  de 45nm pour un TriGate, définie comme  $W_{\text{eff}}=W+2\times H$ . La largeur électrique sera ainsi supérieure à l'encombrement réel grâce aux canaux de conduction situés sur les faces verticales. Ceci sera détaillé au paragraphe III.3.

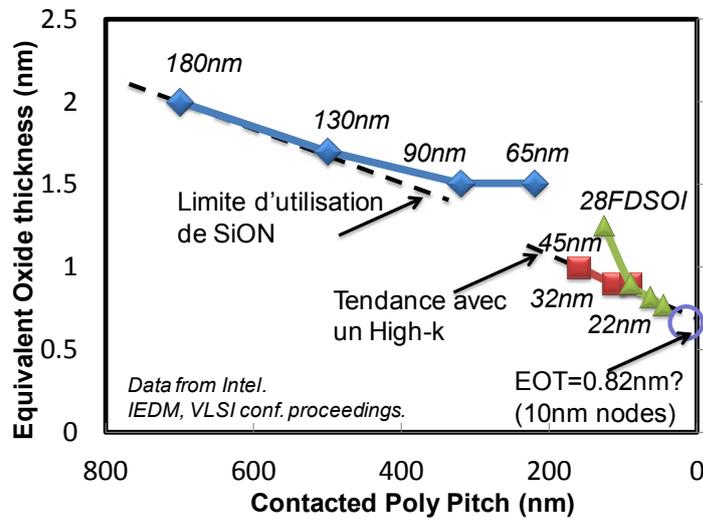


**Fig. III. 12** – Largeur de la zone active pour les nœuds futurs.

On choisit donc de caractériser des dispositifs ayant pour dimensions  $H=W=15\text{nm}$  de manière à obtenir une largeur effective  $W_{\text{eff}}=45\text{nm}$ . Ce choix pourra être comparé à un dispositif de type FinFET de dimension  $H=17\text{nm}$  et  $W=10\text{nm}$  ( $W_{\text{eff}}\sim 45\text{nm}$ ). Nous discuterons par la suite de l'avantage de l'architecture TriGate ( $W\sim H$ ) face aux architectures planaires ( $W\gg H$ ) ou de type FinFET ( $H\gg W$ ).

### III.1.2.3. Définition des grandeurs électriques : EOT et mobilité

Comme mentionné précédemment, on fixe une valeur d'EOT=0,82nm, en accord avec les valeurs reportées sur les dernières technologies (**Fig. III. 13**).



**Fig. III. 13** – Tendance de miniaturisation de l'EOT selon les nœuds technologiques [Jan10].

Par ailleurs, la mobilité des porteurs est fixée à une valeur constante de  $100 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$  qui est réaliste dans les dispositifs à canaux courts [Ghibaudo09]. Les dimensions des espaceurs et de l'épitaxie sont également réduites, à 5nm et 15nm respectivement.

## III.2. Résultats électriques du TriGate SOI avec Box mince

### III.2.1. Etude dimensionnelle

#### III.2.1.1. La problématique du Body Factor

Les technologies actuelles peuvent être dédiées à une application ayant un besoin en performances, ce qui implique un niveau de fuite élevée, ou au contraire à basse consommation, impliquant une autonomie accrue. Certaines puces visent à tirer profit de ces deux types de fonctionnement, grâce à un changement de la tension de seuil  $V_T$  des dispositifs embarqués de manière à obtenir soit un courant Ion élevé pour la rapidité d'exécution soit un courant  $I_{OFF}$  très faible pour l'autonomie. On parle alors de modulation dynamique de  $V_T$  de manière à passer d'un mode de fonctionnement à l'autre selon les besoins.

Les technologies à film mince permettent l'utilisation de cette propriété [FenouilletBeranger10, Liu11]. Nous cherchons alors à confirmer si cela reste valable pour un dispositif TriGate sur SOI, dans la configuration décrite dans cette thèse. Afin de caractériser la modulation de tension de seuil  $V_T$ , les dispositifs simulés avec un box mince montrent un plus grand intérêt. En effet, cette modulation apparaît dès lors que le couplage capacitif entre le canal et le Box devient du même ordre de grandeur que le

couplage entre la grille et le canal [Ohtou08]. Le champ électrique dans le Box agit ainsi à la façon d'une seconde grille. On évalue alors le *Body-Factor* (BF), ou encore le changement de tension de seuil en fonction d'un changement de tension de *Body* (ou de *bulk*). Comme supposé, l'effet est d'autant plus grand que le Box est mince (Fig. III. 14).

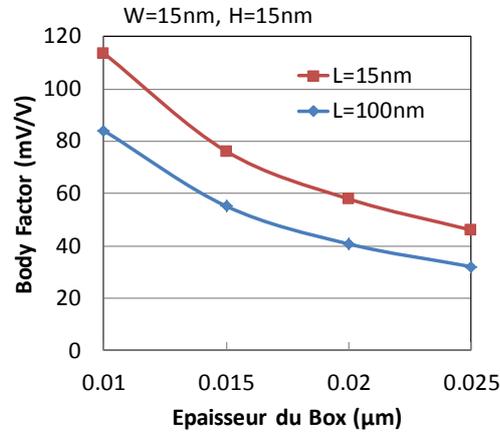


Fig. III. 14 – Influence de l'épaisseur du Box sur le couplage d'un TGSOI avec la face arrière.

L'expression du Body-Factor (BF) s'écrit :

$$BF = \frac{\Delta V_T}{\Delta V_B} = \frac{V_T(V_B = 0) - V_T(V_B = V_{DD})}{V_{DD}} \quad \text{Eq. III. 4}$$

Il existe ainsi plusieurs valeurs de BF, en fonction de la définition donnée à la tension de seuil. Nous le définirons ainsi de deux manières :

- La tension de seuil à courant constant, qui correspond à la tension pour laquelle le courant de drain  $I_d$  vaut  $10^{-7} \times W/L$ .
- La tension de seuil correspond à la tension relevée à la valeur maximale de la transconductance  $G_m$ .

La première tension de seuil correspond au passage d'une conduction en inversion faible à une inversion modérée, tandis que la seconde tension de seuil correspond au passage de la conduction en inversion modérée vers une inversion forte. On notera que la tension de face arrière a une plus grande influence sur l'inversion modérée et donc la tension de seuil relevée à courant constant. Comme on l'a mentionné précédemment, la tension de seuil peut déjà être ajustée par un dopage Bulk, ou GP. Ces effets étant additifs, les valeurs de BF dépendent du type de GP utilisé et seront pris en compte dans la définition d'une architecture multi-Vt.

Dans le cas où l'on cherche à améliorer de manière dynamique le courant Ion, on parlera de '*Forward Body-Bias*' ou FBB, où la tension de face arrière  $V_b$  est fixée à  $+V_{dd}$ . On s'intéresse alors à l'inversion forte, et on caractérisera alors le Body Factor correspondant au changement de  $V_t$  extrait à  $G_{m\_max}$ . On le note alors BF<sub>gm</sub>.

Au contraire, dans le cas où l'on souhaiterait augmenter la tension de seuil de manière à obtenir un courant  $I_{OFF}$  plus faible, on parle de 'Reverse Body-Bias' ou RBB car on fixe la tension  $V_b$  à  $-V_{dd}$ . On s'intéresse alors à la faible inversion et donc à la tension de seuil extraite à courant constant. On note alors le Body Factor  $BF_i$ .

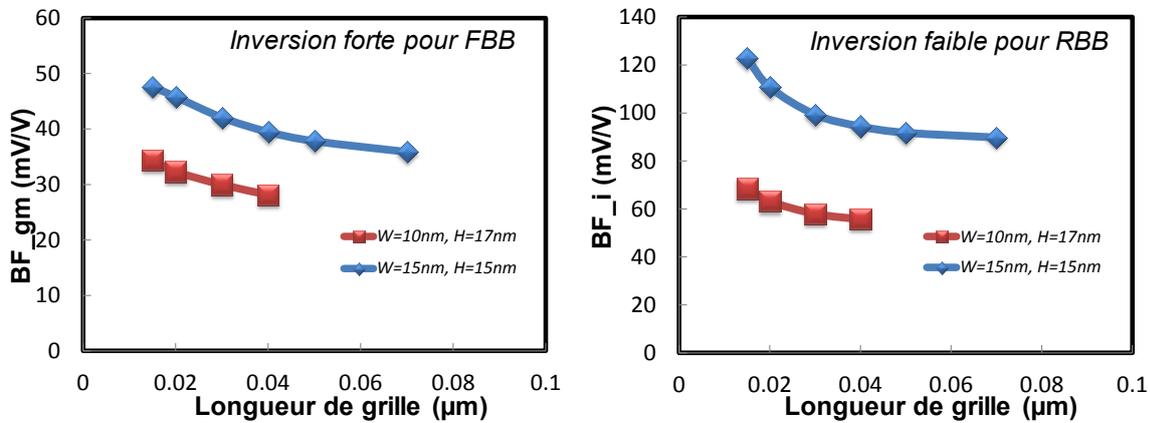


Fig. III. 15 – Différents Body Factor extraits selon différents  $V_t$ , pour deux dimensions de TriGate ( $W_{eff}=45\text{nm}$ ).

Comme on peut le constater sur les valeurs extraites (Fig. III. 15), le BF dépend fortement du dimensionnement du dispositif. Pour une même largeur effective  $W_{eff}$ , donc un couplage canal-grille quasi-identique, c'est le couplage avec le Box qui devient très différent, et l'effet de la géométrie doit ainsi être étudié.

### III.2.1.2. Effet de la géométrie: TriGate versus FinFET

Les dispositifs de type FinFET ont été rapportés avec un très bon contrôle électrostatique [Yamashita11]. Les simulations comparatives de dispositifs à triple grille montrent également un très bon contrôle, comme observé sur le DIBL ou la pente sous le seuil (Fig. III. 16). On peut observer en effet que ces grandeurs sont meilleures dans le cas de dispositifs avancés ayant une faible largeur, et pour un même  $W_{eff}$ .

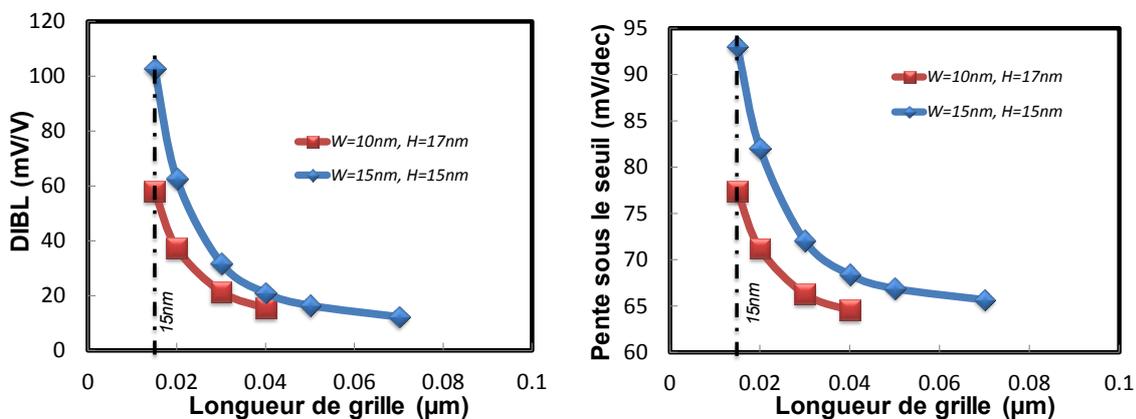


Fig. III. 16 – Extraction du DIBL et de la pente sous le seuil pour deux dimensions de TriGate (avec une même largeur effective  $W_{eff}=45\text{nm}$ ).

La technologie planaire FDSOI montre également un bon contrôle électrostatique grâce à l'utilisation de film mince (de l'ordre de 6nm), et la modulation de  $V_t$  y est très efficace [Liu11, FenouilletBeranger10]. L'évaluation de l'effet de la tension de face arrière  $V_b$ , à travers le Body Factor, est évaluée pour différentes architectures (Fig. III. 17). Comme attendu, le changement de  $V_t$  est minime sur FinFET et maximale sur FDSOI (planaire) grâce à un très bon couplage avec le substrat.

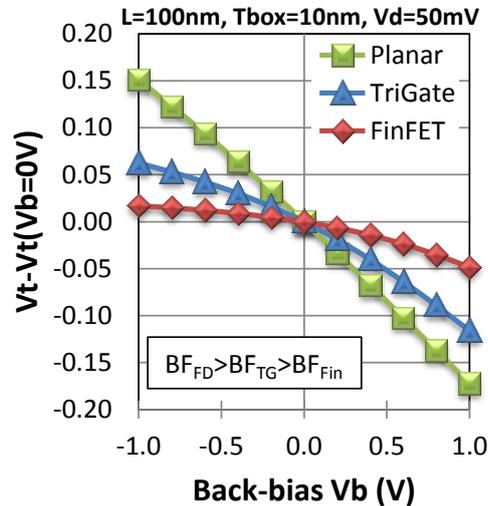


Fig. III. 17 – Evaluation de  $V_t$  extrait à courant constant en fonction de la tension de face arrière  $V_b$  pour différentes architectures.

On observe alors que le dispositif TriGate est un bon compromis en termes de Body Factor. L'évaluation de BF en fonction des dimensions montre en effet que celui-ci est d'autant meilleur que  $W$  est grand ou  $H$  petit (Fig. III. 18, [Coquand13d]), avec des valeurs plus que doublées. On se rapproche alors d'une architecture planaire (type FDSOI). On notera toutefois que l'augmentation du  $BF_{gm}$ , par exemple lorsque  $W$  augmente, est corrélée à une dégradation du DIBL qui devient supérieur à 100mV/V pour  $W > 15\text{nm}$ . Pour cette raison, le TriGate de  $15 \times 15\text{nm}$  représente un bon compromis électrostatique.

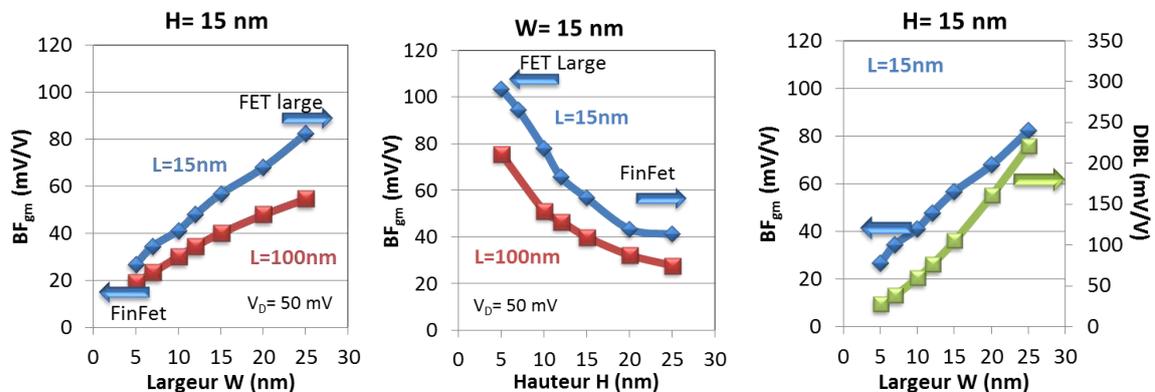
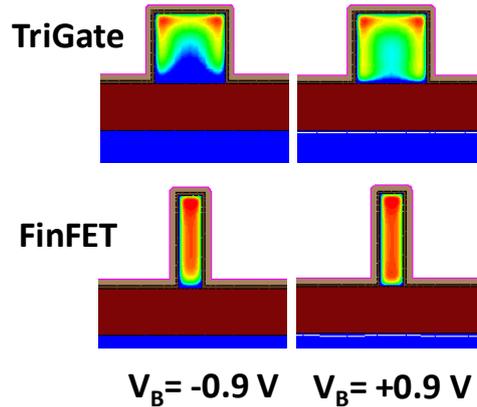


Fig. III. 18 – Effet de  $W$  à  $H$  constant et de  $H$  à  $W$  constant sur le BF et le DIBL.

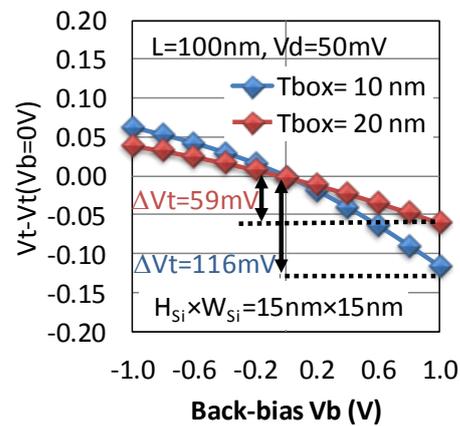
La simulation permet également de montrer la concentration de porteurs dans le canal (**Fig. III. 19**). On remarque ainsi que pour une variation de  $V_b$  de  $-V_{dd}$  à  $+V_{dd}$ , la disposition des porteurs dans le canal est fortement influencée dans le cas d'un dispositif TriGate. Une tension négative confine la couche d'inversion sous les trois grilles, tandis qu'une tension positive a tendance à former un quatrième canal de conduction vers la face arrière. En revanche, très peu d'effet est observable sur un dispositif de type FinFET. Cela confirme que les dispositifs de type FinFET sont incompatibles avec un mode de fonctionnement multi- $V_t$  induit par une polarisation de la face arrière, mais leur avantage provient essentiellement de leur très bon DIBL et pente sous le seuil.



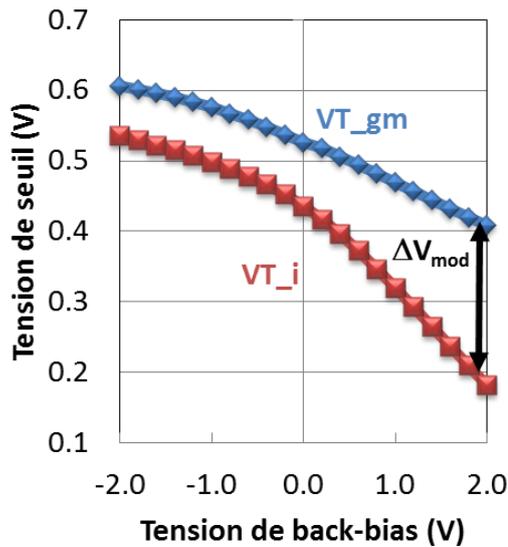
**Fig. III. 19** – Effet du potentiel de substrat sur la distribution de porteur dans un TriGate ( $W \sim H$ ) ou dans un FinFET ( $W < H$ ).

### III.2.1.3. Mode de conduction du dispositif TriGate

Comme énoncé précédemment, le couplage capacitif du substrat avec le canal est d'autant meilleur que le Box est fin. Cela se vérifie à nouveau sur la **Fig. III. 20** représentant le changement de  $V_t$  en fonction de  $V_b$ . On remarque également que le changement de  $V_t$  est bien plus important aux tensions de substrat positives. On relève un BF deux fois plus important pour un Box deux fois plus fin (BF=59mV et BF=116mV pour un Box de 20nm et 10nm, respectivement).



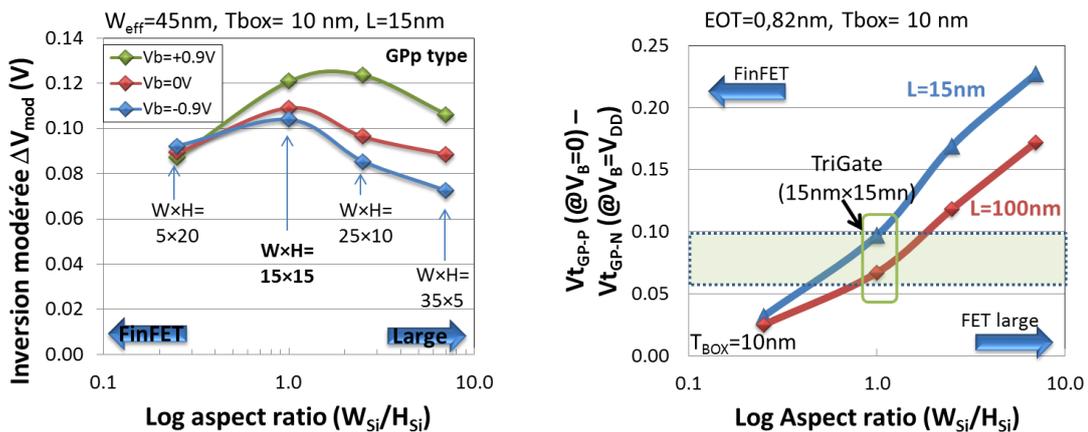
**Fig. III. 20** – Variation de  $V_t$  avec  $V_b$  pour un TriGate sur Box mince d'épaisseur 10nm et 20nm.



**Fig. III. 21** – Tension de seuil en inversion faible ou forte en fonction de la tension de substrat  $V_b$ .

Le comportement en inversion modérée est en effet plus sensible à la polarisation de substrat puisque les porteurs sont alors plus éloignés de la grille en face avant. On observe alors l'inversion du canal en face arrière pour des tensions de substrat positives (avec un substrat dopé en GP de type N). L'extraction des tensions de seuil à courant constant et au maximum de Gm montre ainsi un écart important pour  $V_b$  grand, ce qui implique que l'écart en tension entre l'inversion faible et forte devient de plus en plus grand (**Fig. III. 21**). Le comportement en inversion modérée est alors valable sur une plus grande plage de tension de face arrière.

Cet élargissement de l'inversion modérée peut être simulé sur plusieurs types de dispositif ayant différents rapports de forme (**Fig. III. 22**, gauche), allant des dispositifs planaires ( $W > H$  donc  $W/H > 1$ ) aux dispositifs FinFET ( $H > W$  donc  $W/H < 1$ ). On remarque ainsi que l'élargissement de l'inversion modérée dans le cas d'un dispositif TriGate ( $W = H$  donc  $W/H = 1$ ) reste proche d'un dispositif planaire, en particulier aux tensions de substrat positives. Dans le cas d'un dispositif FinFET, aucun écart n'est discernable ce qui confirme que la tension de face arrière n'a pas d'effet sur la conduction dans le canal.



**Fig. III. 22** – (gauche) Largeur de l'inversion modérée extrait à différentes tensions de substrat  $V_b$  et pour différents rapports de forme de dispositifs. (droite) Modulation de  $V_t$  en combinant l'effet de GP et la modulation dynamique par  $V_b$ .

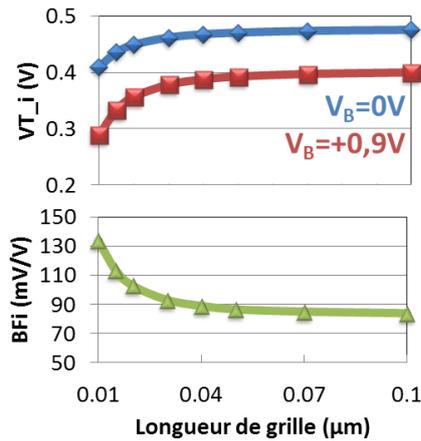


Fig. III. 23 – Dépendance du  $V_T$  et du BF en fonction de la longueur de grille du TriGate 15x15nm.

On remarquera que le BF a tendance à augmenter lorsque la longueur de grille diminue (Fig. III. 23). Cet effet peut s'expliquer par le fait que le décalage de  $V_T$  utilisé dans le calcul de BF n'est pas uniquement dû au changement de mode de conduction induit par la tension face arrière, mais aussi par les effets de canaux courts. On observe ainsi que le  $V_T$  diminue plus fortement en fonction de  $L$  lorsqu'une tension est appliquée en face arrière. Cette accentuation des effets de canaux courts qui dégrade d'avantage le  $V_T$  est dû à la délocalisation des porteurs, alors éloignés de la grille en face avant (ce qui s'observait déjà en Fig. III. 21). Le canal est alors moins bien contrôlé par la face avant, mais plus facilement par la face arrière : le BF augmente davantage.

L'utilisation de dispositifs TriGate est donc possible pour combiner leur très bon contrôle électrostatique avec la possibilité de moduler la conduction par la tension de substrat. Un dispositif dont la tension de seuil peut ainsi être modulée de manière dynamique est réalisable, et l'on peut également combiner l'effet du GP. Pour des dispositifs sur Box mince de 10nm, et jusqu'à une longueur de grille de 15nm, on estime ainsi un écart en  $V_T$  maximal de 100mV (voir Fig. III. 22, droite) grâce à un écart de  $V_T$  par GP (environ +40mV) et par une variation dynamique avec  $V_b = +V_{DD}$  (environ +60mV). Une telle variation en  $V_T$  n'est pas atteignable sur une technologie FinFET, où le comportement s'apparente à un double-grille.

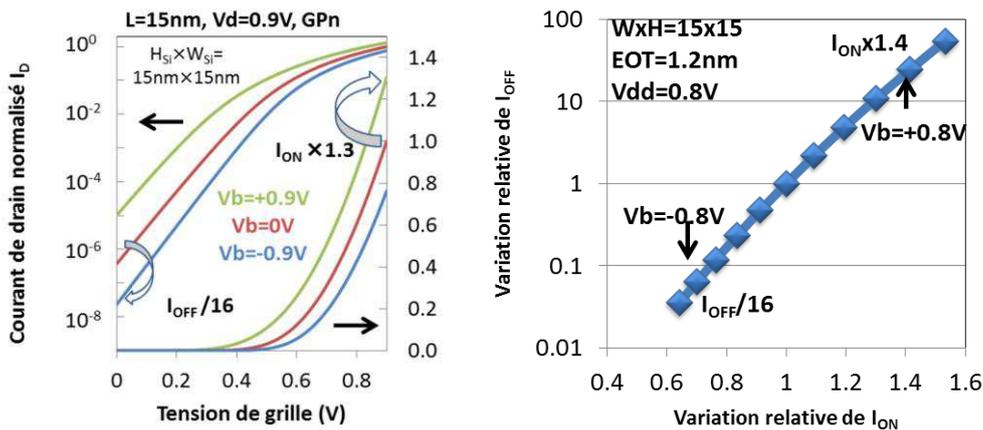
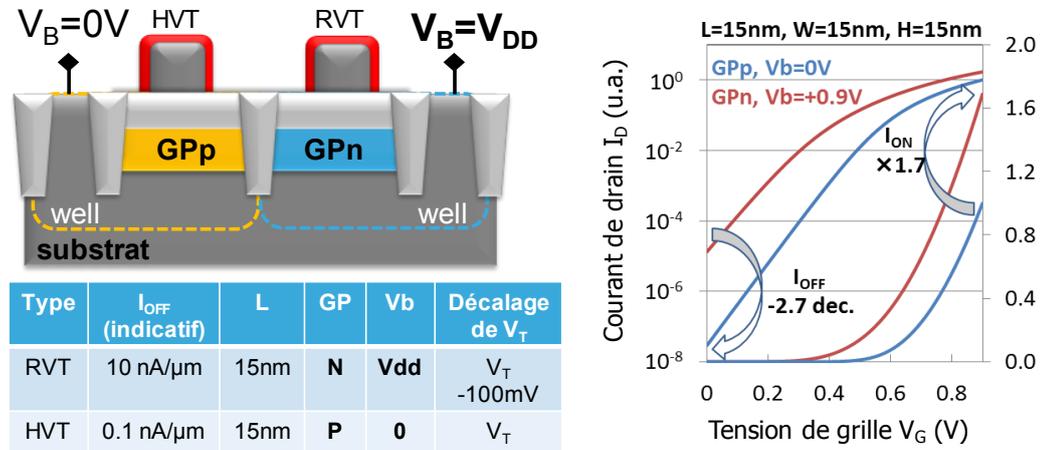


Fig. III. 24 – Amélioration des courants  $I_{ON}$  ou  $I_{OFF}$  en fonction de la tension appliquée sur la face arrière, pour le cas étudié (gauche) et un cas avec  $EOT = 1,2nm$  à  $V_{DD} = 0,8V$  (droite).

La modulation de  $V_t$  permet ainsi de modifier le comportement du TriGate, pour des longueurs de grille de 100nm et jusqu'à 15nm (Fig. III. 24). Cela permet ainsi d'améliorer son courant  $I_{ON}$  d'environ 30% grâce à une tension de  $V_b$  fixée à +0,9V. L'application d'une tension de  $V_b = -0,9V$  permet quant à elle de réduire le courant  $I_{OFF}$  de plus d'une décade. On notera aussi que dans le cas d'un  $EOT = 1,2nm$  à  $V_{DD} = 0,8V$ , des

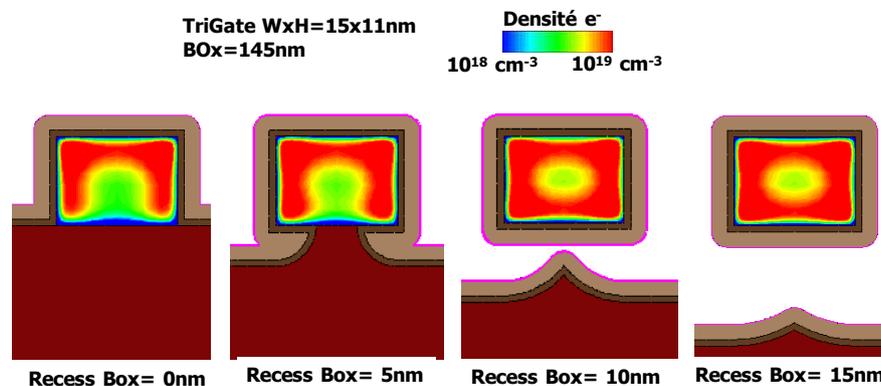
résultats similaires sont possibles (**Fig. III. 24**, droite). Enfin, on notera qu'un transistor RVT (pour *regular*  $V_T$ ) avec GPn et  $V_b=V_{DD}$  a un  $I_{ON}$  amélioré de 70% par rapport au transistor HVT (pour *High*  $V_T$ ) avec GPp et  $V_b=0V$ . Ce dernier, avec une tension de seuil inférieure (ici de 100mV), a donc un  $I_{OFF}$  près de 500 fois plus faible (**Fig. III. 25**).



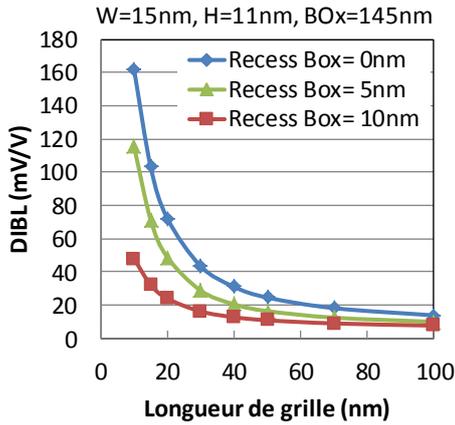
**Fig. III. 25** – Exemple d'application multi- $V_T$  avec un transistor TriGate à fort  $I_{ON}$  ( $V_T$  faible ou *regular*) et un transistor TriGate à faible  $I_{OFF}$  ( $V_T$  fort).

### III.2.1.4. Effet de la consommation du Box

La calibration de l'électrostatique des dispositifs simulés peut être différente des mesures effectuées sur les dispositifs sur plaque, puisque les transistors fabriqués présentent une légère consommation du Box (voir **Fig. II. 3**). Pour les transistors sur Box épais de 145nm, la consommation de Box est simulée en **Fig. III. 26**. La distribution de porteurs dans le canal est fortement influencée par la consommation de Box, puisque les matériaux de grille contrôlent alors la face inférieure. Dans le cas d'une consommation partielle de Box, on parle de dispositif Omega-Gate ou Pi-Gate puisque la grille ne contrôle plus uniquement trois canaux. D'après la simulation, une consommation de Box isotrope de 10nm suffit à libérer totalement le silicium, et les matériaux de grille seront alors déposés tout autour, créant un dispositif à grille enrobante. On notera que pour une consommation supérieure, la même cartographie de porteur signifie que le contrôle électrostatique est identique (Recess de Box à 10nm et 15nm).



**Fig. III. 26** – Distribution des porteurs dans les dispositifs TriGate ou à Grille enrobante.



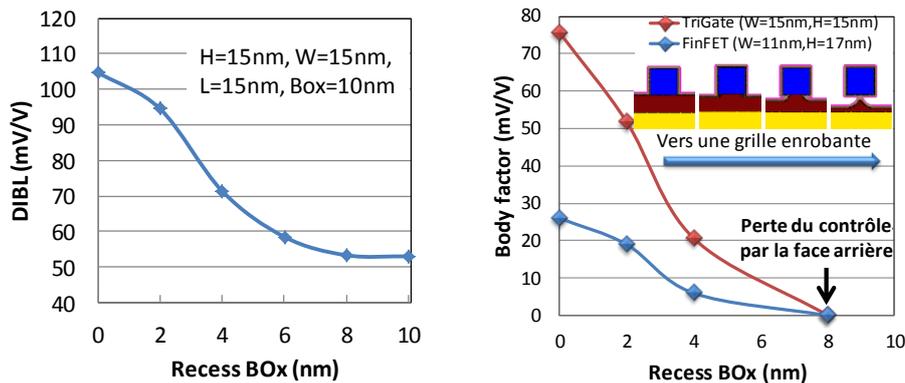
**Fig. III. 27** – Valeurs de DIBL extrait à différentes longueurs de grille et pour différentes valeurs de consommation de Box.

Le DIBL est donc directement influencé par cette consommation, en particulier aux petites longueurs de grille (**Fig. III. 27**). Pour  $L=15\text{nm}$ , on reporte ainsi une valeur quatre fois plus faible dans le cas d'un dispositif à grille enrobante par rapport au dispositif TriGate. Une consommation partielle comme observée sur les images TEM peut ainsi expliquer les bonnes valeurs relevées sur les dispositifs fabriqués au chapitre II.

### III.2.2. Simulations de transistors à Grille enrobante

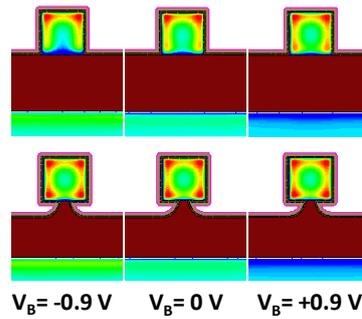
#### III.2.2.1. Propriétés du transport électronique

Les dispositifs à grille enrobante peuvent également être fabriqués sur un substrat à Box mince de 10nm. Pour une largeur de silicium de 15nm, on remarque en **Fig. III. 28** qu'une consommation de seulement 6nm suffit à abaisser considérablement le DIBL du dispositif, signe d'un excellent contrôle de la grille sur le canal. Dans le même temps, le Body Factor de ces mêmes dispositifs décroît également, puisqu'en l'absence de Box le couplage capacitif devient beaucoup plus faible. Avec une consommation de 8nm de Box, le contrôle du canal par la face arrière est totalement nul.



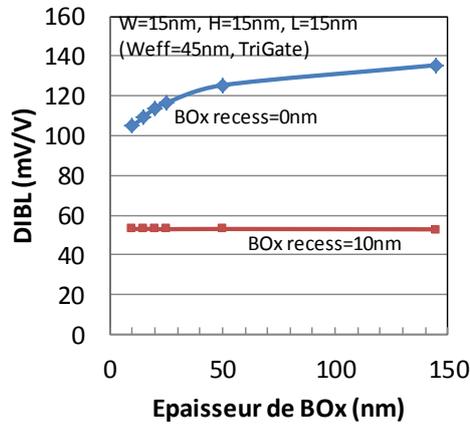
**Fig. III. 28** – Evaluation électrostatique (DIBL et BF<sub>gm</sub>) de transistor TriGate sur Box mince (10nm) avec différentes consommation de Box.

En fonction de la tension appliquée en face arrière, la densité de porteur dans le canal ne varie plus lorsque le Box est consommé, alors que pour un TriGate idéal (aucune consommation du Box), la conduction peut être modulée (**Fig. III. 29**).



**Fig. III. 29** – Distribution des porteurs à différentes tensions de substrat dans le cas d'un TriGate et d'un OmegaGate (consommation partielle de Box de 6nm).

La simulation implique une gravure isotrope du Box, alors qu'en réalité les différents procédés de nettoyage et de gravure sur plaque peuvent être plus complexes. Ces résultats montrent également que la fabrication de dispositifs TriGate avec un bon contrôle de  $V_t$  implique un excellent contrôle des procédés.



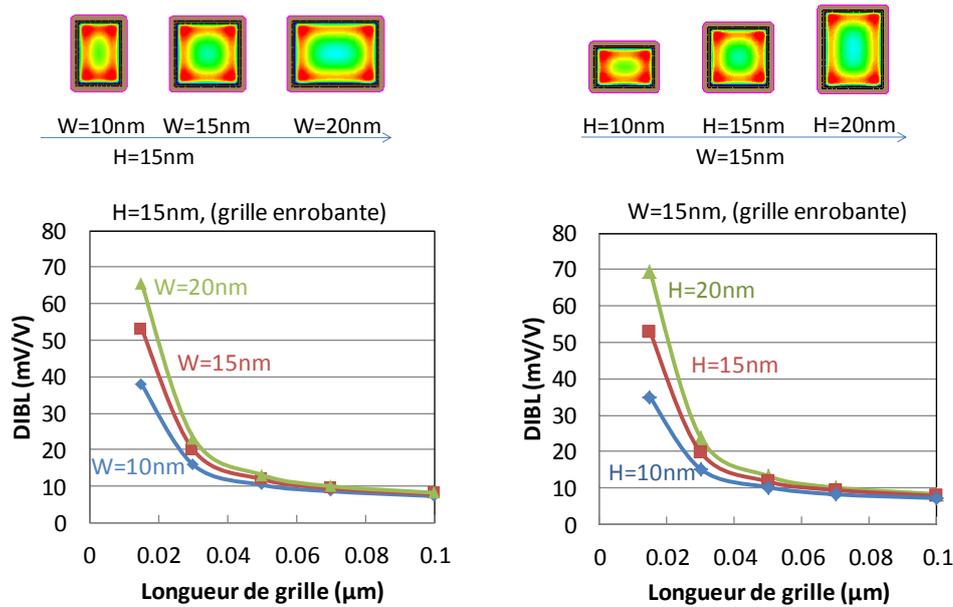
**Fig. III. 30** – Valeurs de DIBL extraites pour les dispositifs TriGate et à grille enrobante pour différentes épaisseurs initiales de Box.

Comme on a pu le montrer précédemment, l'utilisation de Box mince permet d'améliorer le contrôle électrostatique des dispositifs. Dans le cas d'un canal suspendu, donc lorsque le box est consommé sous celui-ci, l'électrostatique n'a plus aucune dépendance avec l'épaisseur de Box initiale (**Fig. III. 30**). On atteint ainsi la limite ultime en termes de contrôle électrostatique grâce aux dispositifs à grille enrobante.

### III.2.2.2. Vers un contrôle électrostatique par quatre grilles

Les dispositifs à grille enrobante, ou *gate-all-around* (GAA) en anglais, sont ceux qui permettent un meilleur contrôle de la grille puisque toutes les surfaces du canal sont contrôlées par le champ de grille. Ils sont particulièrement délicats à fabriquer, car la structure doit être suspendue afin de former une grille sous le canal, et les procédés de fabrication ne permettent pas de contrôler cette zone de manière précise.

Plusieurs démonstrations ont été réalisées grâce à différentes astuces d'intégration afin de former un canal suspendu, en particulier grâce à la technologie SON. Le contrôle électrostatique ne dépend plus de la disposition de la grille, alors optimale, mais uniquement des dimensions du transistor.



**Fig. III. 31** – DIBL extrait de dispositifs à grille enrobante selon W et H.

On remarque grâce aux simulations effectuées (**Fig. III. 31**) que les concentrations de porteurs sont bien réparties sous quatre plans de conduction dans le dispositif. Dans les mêmes conditions de simulations que précédemment (EOT, modèle *Density-Gradient*), les valeurs de DIBL extraites montrent un excellent contrôle électrostatique jusqu'à une longueur de grille de 30nm. Pour les grilles inférieures, les dispositifs de petites dimensions ( $W=H=10\text{nm}$ ) sont particulièrement intéressants, avec des valeurs de DIBL inférieures à  $40\text{mV/V}$  à  $L=15\text{nm}$ . L'étude des dispositifs GAA sera décrite plus particulièrement au chapitre IV.

On notera tout de même que la miniaturisation dans la direction verticale n'est pas strictement équivalente à la diminution de la largeur. En effet, à  $L=15\text{nm}$  le dispositif à  $H=15\text{nm}$  et  $W=10\text{nm}$  montre un  $\text{DIBL}=39\text{mV/V}$ , alors que le dispositif à  $W=15\text{nm}$ ,  $H=10\text{nm}$  a un  $\text{DIBL}=35\text{mV/V}$ . Cette légère différence s'explique par le modèle *Density-Gradient* qui définit une distribution de porteurs différente selon les plans cristallins.

### III.3. Autres considérations pour la technologie TGSOI

#### III.3.1. Densité d'intégration par la technique de SIT

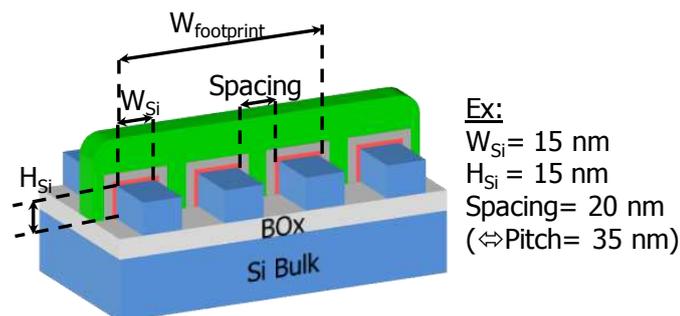
Comme on a pu le voir, une technologie TriGate sur SOI à box mince permettrait de conjuguer le très bon contrôle électrostatique d'un dispositif multi-grilles avec la possibilité d'en moduler la tension de seuil grâce à une tension sur la face arrière du substrat. Ces propriétés semblent assez proche des technologies actuellement développées sur film mince (FDSOI).

Un autre avantage à l'utilisation de dispositif multi grille est l'accès aux canaux de conduction sur les flancs du silicium. Un dispositif tel que  $H=W=15\text{nm}$  permet donc l'utilisation de  $W_{\text{eff}}=45\text{nm}$  de silicium. L'encombrement sur une puce peut ainsi être amélioré et c'est une nouvelle dimension que l'on peut miniaturiser : l'espace entre les dispositifs.

Comme mentionné précédemment, les besoins en performance définissent un besoin de largeur effective de l'ordre de 120nm au nœud technologique 10nm (**Fig. III. 12**). De plus, la technologie SIT permet d'obtenir une distance entre dispositifs de l'ordre de 20nm. L'utilisation de quatre dispositifs en parallèle (**Fig. III. 32**, gauche) permettrait donc d'utiliser :

- ✓  $4 \times 45\text{nm} = 180\text{nm}$  de largeur électrique de dispositif ( $W_{\text{eff}}=45\text{nm}$ ).
- ✓  $4 \times 15\text{nm} = 60\text{nm}$  de largeur réelle en vue de dessus ( $W=15\text{nm}$ ), auxquelles s'ajoutent  $3 \times 20\text{nm} = 60\text{nm}$  d'espace entre les dispositifs ( $\text{Spacing}=20\text{nm}$ ).

Cette solution permet ainsi un gain en densité (180nm de largeur électrique pour 120nm de largeur occupée sur la puce), ce qu'aucune technologie planaire ne permet d'apporter.

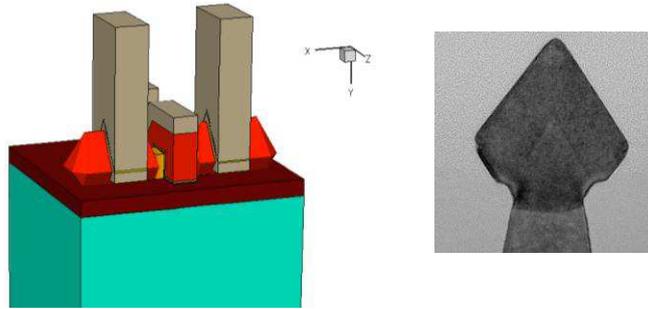


**Fig. III. 32** – Technique SIT pour fabriquer un transistor TriGate multi canaux.

L'épithaxie source-drain, qui permet dorénavant d'apporter de la contrainte dans le canal du transistor, sera également différente dans le cas d'une technologie avec SIT. La question de la forme d'épithaxie souhaitée (**Fig. III. 32**, droite) et son impact sur la contrainte reste en cours d'évaluation [Nainani12].

### III.3.2. Couplage capacitif et besoin de nouveaux matériaux

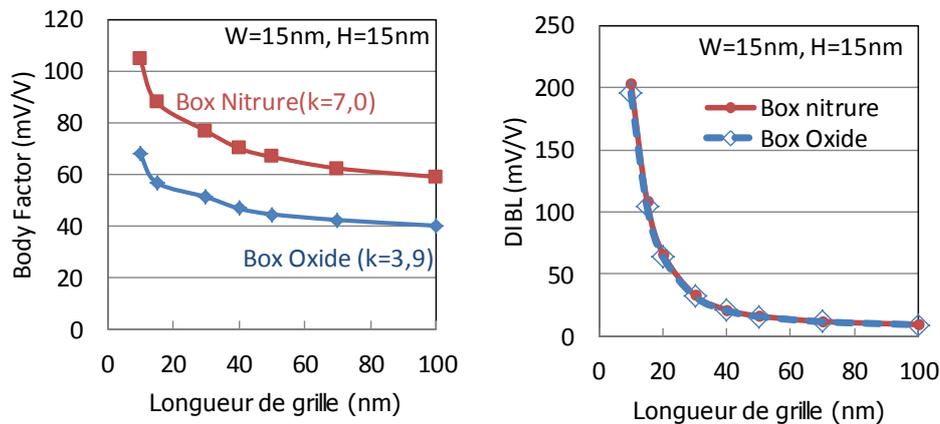
Le développement d'une technologie TGSOI implique également une évaluation à l'échelle des circuits à fabriquer. La nature tridimensionnelle de cette architecture ajoute des surfaces, qui peuvent créer des capacités parasites supplémentaires. Les technologies multi-grille sont ainsi susceptibles d'être défavorisées par ces capacités en comparaison aux technologies planaires, puisque la fréquence des circuits en dépend directement.



**Fig. III. 33** – (gauche) Schéma 3D d'un transistor TGSOI avec épitaxie SD facettée pour l'étude des capacités dans un circuit, (droite) Coupe TEM d'une zone épitaxiée dans la technologie TriGate proposée par Intel® au nœud 22nm.

En se basant sur la géométrie des épitaxies révélées sur la première technologie multi grille commercialisée (Intel®, [Auth12]), les simulations TCAD 3D peuvent permettre d'évaluer les différentes capacités dans la technologie TGSOI en fonction des dimensions choisies précédemment (**Fig. III. 33**). Ces simulations sont toujours en développement, mais il sera important d'en mesurer l'impact, en particulier pour la simulation de dispositifs multi canaux (SIT) et l'effet de l'utilisation de 3 ou 4 TriGate pour un même dispositif. D'autres modèles permettent d'ores-et-déjà de comparer les technologies aux nœuds avancés [Lacord12b]. Enfin, le modèle développé en simulation TCAD 3D permettra également d'évaluer l'influence de différents matériaux sur les propriétés électrostatiques des dispositifs TGSOI. On pourra citer par exemple l'introduction d'espaceurs en matériaux à basse permittivité diélectrique dits *low- $\kappa$* , de manière à diminuer les capacités entre la grille et les contacts.

Dans notre cas, l'intérêt de l'introduction de matériaux à forte permittivité dans le substrat peut être facilement évalué. De manière à améliorer le couplage capacitif entre le TriGate et le substrat, le Box est remplacé par un matériau de type nitrure de silicium, dont la constante diélectrique est plus élevée que celle de l'oxyde de silicium ( $k=7,0$  contre  $k=3,9$  respectivement).



**Fig. III. 34** – Evaluation de l'électrostatique de dispositif TGSOI sur Box de 10nm en oxyde de silicium ou en nitrure de silicium, (gauche) Body Factor en fonction de la longueur de grille, (droite) DIBL des deux architectures, parfaitement identiques.

Les grandeurs extraites montrent que cette solution pourrait encore améliorer le Body Factor de l'ordre de 50% (**Fig. III. 34**, gauche) sans modifier l'électrostatique du transistor puisque sa fabrication reste inchangée. On relève alors un DIBL parfaitement identique pour un dispositif TriGate fabriqué sur l'un au l'autre type de substrat (**Fig. III. 34**, droite). Ces considérations montrent que les outils de simulation permettent d'explorer les possibilités d'intégration pour répondre aux besoins des technologies à venir.

### III.4. Conclusion du chapitre III

Les études présentées dans ce chapitre III ont été rendues possibles grâce au développement de structures multi-grille simulées par TCAD 3D. Les différents modèles physiques ont pu être calibrés de manière à ce que les propriétés électrostatiques des dispositifs soient proches des mesures expérimentales, en particulier la distribution des porteurs dans les différents plans de conduction du TriGate.

L'étude comparative de dispositifs à triple grille a permis de définir des dimensions qui permettent d'allier l'amélioration du contrôle électrostatique avec les effets de changements de conduction par la face arrière. On montre ainsi qu'une technologie de type TriGate sur box mince, dont les grandeurs physiques sont miniaturisées pour répondre aux besoins du nœud technologique 10nm ou inférieur, est compatible avec une approche multi-Vt telle que développée sur la technologie planaire FDSOI.

Dans ces conditions, on montre qu'à une longueur de grille  $L=15\text{nm}$ , une amélioration du  $I_{\text{ON}}$  de +30% ou une baisse du  $I_{\text{OFF}}$  de plus d'une décade est possible sur un dispositif TriGate. Un circuit composé de TriGate avec différents *Ground-plane* et avec des tensions en face arrière différentes permet la définition de deux familles de transistors (RVT et HVT) avec un écart de 70% sur leur courant  $I_{\text{ON}}$  et un rapport de 1:440 entre leur courant  $I_{\text{OFF}}$ . Ces conditions permettent de répondre aux besoins de modulation de la performance et de l'autonomie dans un système complet. Il est également possible de montrer qu'une structure de type FinFET ne permet pas le contrôle par la face arrière.

Enfin, il a été possible de comparer les propriétés électrostatiques de dispositifs à grille enrobante, permettant de repousser les limites de la miniaturisation puisqu'un DIBL inférieur à 50mV/V est atteignable à une longueur de grille de  $L=15\text{nm}$ , soit deux fois inférieur au DIBL obtenu sur TriGate.

La fabrication de dispositifs à grille enrobante peut ainsi permettre de répondre aux besoins des nœuds technologiques ultimes, mais fait face à une intégration complexe. Une nouvelle voie doit donc être explorée de manière à permettre la fabrication de tels dispositifs, en particulier afin de définir une grille totalement enrobante avec des procédés proches de ceux disponibles aux nœuds actuels.





---

**CHAPITRE IV - Fabrication de  
transistors à grille enrobante par  
lithographie traversante sur HSQ**

---



**CHAPITRE IV – Fabrication de transistors à grille enrobante par lithographie traversante sur HSQ..... 133**

**IV.1. Les procédés d'intégration pour une technologie GAA ..... 137**

IV.1.1 Difficulté de fabrication des architectures GAA ..... 137

IV.1.1.1. Spécificité des procédés pour le GAA ..... 137

IV.1.1.2. Vers un GAA idéal : Comparatif électrostatique et circuit..... 138

IV.1.1.3. Auto-alignement des grilles par lithographie traversante ..... 139

IV.1.2 Lithographie 3D : utilisation de la résine HSQ ..... 141

IV.1.2.1. Propriétés d'exposition et usage en lithographie de HSQ ..... 141

IV.1.2.2. Propriétés de développement HSQ et optimisations..... 144

**IV.2. Fabrication de dispositifs par lithographie HSQ ..... 146**

IV.2.1 Ajustement des procédés de fabrication ..... 146

IV.2.1.1. Fabrication d'une membrane ou nanofil de Si suspendu..... 146

IV.2.1.2. Correction des effets de proximité sur HSQ ..... 147

IV.2.1.3. Formation de la grille : dépôts conformes et gravure ..... 156

IV.2.1.4. Retrait HSQ, formation des espaceurs et épitaxie SD ..... 157

IV.2.2 Caractérisation électrique des dispositifs GAA HSQ..... 159

IV.2.2.1. Electrostatique et performances ..... 159

IV.2.2.2. Evaluation HKMG : Modélisation MASTAR..... 161

**IV.3. Evolution de la technologie GAA HSQ ..... 163**

IV.3.1 Intégration de grille HKMG pour dispositifs GAA HSQ ..... 163

IV.3.1.1. Procédés de dépôt et de gravure grille optimisés ..... 163

IV.3.1.2. Caractérisation innovante : tomographie 3D..... 164

IV.3.1.3. Premiers résultats électriques GAA HSQ avec HKMG ..... 165

IV.3.2 Perspectives pour une intégration avec grille HKMG ..... 166

IV.3.2.1. La co-integration des dispositifs..... 166

IV.3.2.2. Gate-last par retrait de grille en polysilicium..... 169

IV.3.2.3. Utilisation gate-last par lithographie dite "HSQ ligne" ..... 169

**IV.4. Conclusion du chapitre IV ..... 173**



## IV.1. Les procédés d'intégration pour une technologie GAA

### IV.1.1 Difficulté de fabrication des architectures GAA

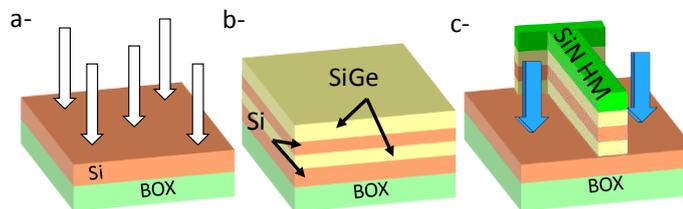
#### IV.1.1.1. Spécificité des procédés pour le GAA

La plus grande difficulté de la fabrication d'un dispositif à double grille ou à grille enrobante (en anglais, *gate-all-around* aussi noté GAA) est l'auto alignement des grilles, qui joue un rôle important dans le bon contrôle électrostatique.

Plusieurs intégrations ont été proposées de manière à définir une structure double grille auto alignées (**Huguenin10d**, **Bidal09b**). Celles-ci reposent sur la technique SON, ou de gravure sélective du SiGe par rapport au Si.

Les schémas en **Fig. IV. 1** récapitulent les premières étapes de fabrication :

- ✓ Le substrat SOI est implanté de manière à ce que le futur canal de conduction ait une tension de seuil très élevée, afin de ne pas contribuer à la conduction dans le dispositif final. Cette implantation est faite de manière à ne pas endommager la cristallinité du Si pour l'étape suivante.
- ✓ Ensuite, on fait croître des couches de SiGe/Si/SiGe par épitaxie. La couche de Si représente le futur canal de Si et peut donc être contrôlée précisément en épaisseur.
- ✓ On définit ensuite la dimension des grilles par une gravure de l'empilement, recouvert d'un masque dur de nitrure de silicium. On réalise ainsi une structure de Si entourée de deux fausses grilles de SiGe.

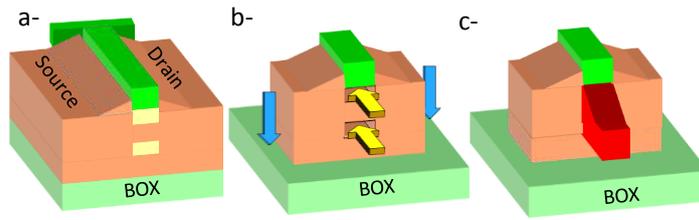


**Fig. IV. 1** – Schéma d'intégration pour la fabrication de GAA sur SOI.

a) implantation pour inhiber le transport dans le SOI, b) épitaxies SiGe et Si, c) gravure de la structure de grille.

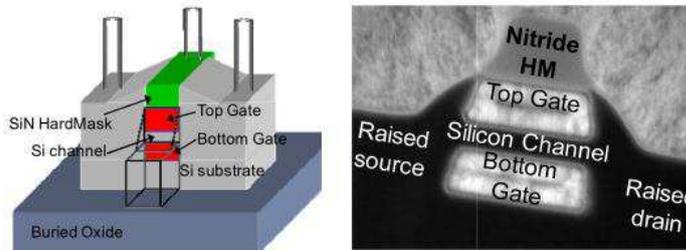
Le canal, positionné entre deux couches de SiGe, n'est plus connecté. Les étapes suivantes (**Fig. IV. 2**) permettent donc de le relier aux zones sources et drains, et de fabriquer la grille autour.

- ✓ Les zones source et drain sont épitaxiées en silicium. Cette étape permet non seulement leur croissance mais aussi de reconnecter le canal de Si.
- ✓ La zone active est ensuite définie, et cela permet d'avoir un accès latéral aux couches de SiGe. Celles-ci sont alors gravées sélectivement pour créer deux cavités de part et d'autre du canal de Si.
- ✓ La grille est ensuite déposée dans ces cavités à l'aide de dépôt conforme ALD, et est ensuite gravée.



**Fig. IV. 2** – Fin de l’intégration pour la fabrication de GAA sur SOI. a) Ré-épitaxie source-drain Si, b) Gravure zone active et gravure SiGe par HCl, c) Dépôt de grille ALD et gravure grille.

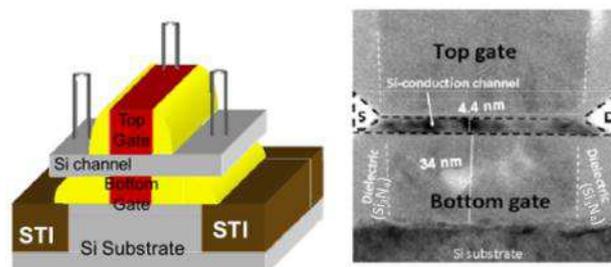
La fabrication de la grille nécessite deux étapes de gravure, puisque l’on définit d’abord la fausse grille en SiGe, et que les matériaux sont déposés et gravés après le retrait de ces fausses grilles. L’inconvénient majeur revient au manque d’isolation latérale des grilles ainsi définies (**Fig. IV. 3**), directement en contact avec les zones source-drain épitaxiées (sans espaceurs).



**Fig. IV. 3** – Vue schématique et vue en coupe TEM d’une structure GAA fabriquée par les étapes précédentes : SOI-GAA [**Huguenin10c**].

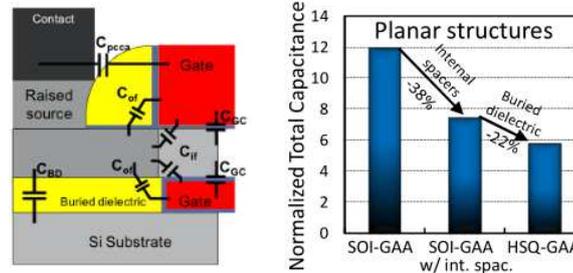
#### IV.1.1.2. Vers un GAA idéal : Comparatif électrostatique et circuit

Les procédés utilisés pour la fabrication d’une structure à grille enrobante comme montrée précédemment ne permettent pas l’utilisation d’espaceurs afin d’isoler la grille des zones source et drain. Il est donc nécessaire de développer une approche qui permette la définition des grilles avant l’épitaxie, de manière à construire des espaceurs. Le dépôt de nitrure de silicium, utilisé pour la formation des espaceurs, est un procédé conforme qui peut donc permettre de former une zone isolée pour la grille inférieure, comme on peut l’observer sur la **Fig. IV. 4**.



**Fig. IV. 4** - Vue schématique et vue en coupe TEM d’une structure GAA fabriquée par un procédé innovant de formation de grille auto alignée : HSQ-GAA [**Huguenin10d**].

Ce diélectrique enterré apporte un avantage à cette structure, puisque le couplage capacitif entre les grilles et le canal ou le substrat est réduit par la présence d'un nitrure, de permittivité supérieure à celle du Si. Les simulations de ces structures démontrent un gain sur la capacité totale (**Fig. IV. 5**), diminuée d'un facteur deux entre une structure GAA sur SOI et cette structure avec un diélectrique enterré.



**Fig. IV. 5** – Schéma des capacités dans un transistor GAA-HSQ et comparaison aux capacités dans des structures SOI-GAA [Huguenin10d, Lacord12a].

Le procédé de fabrication de tel dispositifs est possible grâce à l'intégration d'un matériau ayant des propriétés spécifiques, dénommé HSQ. On pourra ainsi définir la double grille directement sur la zone active comme pour une approche conventionnelle, et non plus après avoir définie la structure par épitaxie SD. Ces propriétés seront décrites dans la suite de ce chapitre.

#### IV.1.1.3. Auto-alignement des grilles par lithographie traversante

L'idée d'auto-alignement sans l'utilisation des étapes de gravure et d'épithaxie repose sur une lithographie dite 3D. La lithographie conventionnelle permet de définir une structure de grille sur une surface, alors que l'on cherche ici à créer dans un même temps la grille supérieure de manière identique à la grille inférieure. La lithographie doit donc aussi avoir lieu sous le canal de silicium.

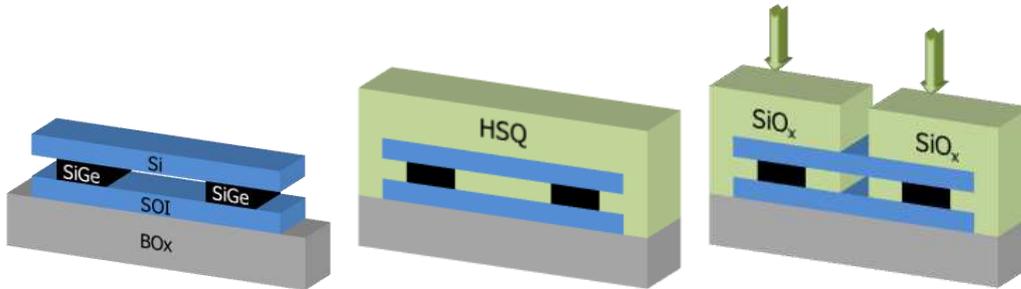
La solution proposée implique l'utilisation de la lithographie électronique (*electron-beam lithography*, aussi notée *e-beam* ou *EBL* en anglais), qui est essentiellement utilisée pour sa résolution, puisque le faisceau électronique a un diamètre de l'ordre 5nm. La technique de l'e-beam repose sur la transformation chimique d'une résine non plus par l'absorption d'un rayonnement UV comme la lithographie optique, mais par l'énergie transmise par les électrons. À l'inverse d'un rayonnement DUV à 193nm qui est en général absorbé ou réfléchi par la matière, les électrons suffisamment énergétiques (de l'ordre du keV en e-beam) traversent la plupart des matériaux. Cette propriété permet donc d'insoler une résine en surface mais aussi sous une membrane de Si par exemple. On parle alors de lithographie traversante.

On cherche donc à définir la structure suivante (**Fig. IV. 6**) :

- ✓ Formation d'une membrane suspendue, ou d'un nanofil de silicium. Pour cela, on reprend la technique SON qui permet de graver sélectivement une couche de SiGe, permettant la libération d'une couche de Si. Dans notre cas, le Si n'est pas

suspendu à ses extrémités par les STI mais restera maintenu par des pieds (résidus) de SiGe.

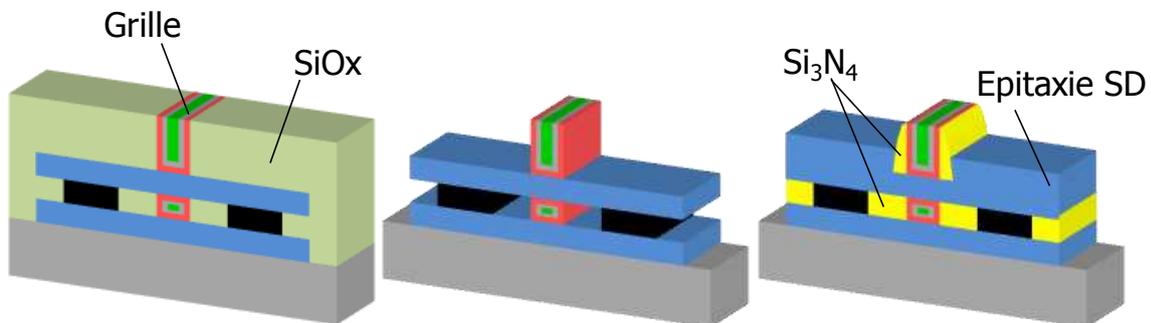
- ✓ Dépôt conforme d'une résine électronique, ce qui permettra une lithographie de part et d'autre du canal de Si.
- ✓ L'étape de lithographie sera effectuée de manière à définir une structure en tranchée dans laquelle les matériaux de grille seront déposés.



**Fig. IV. 6** – Procédés simplifié pour la fabrication de transistor double-grille et grille enrobante auto-alignée sur SOI : étapes zone active suspendu et structure HSQ.

La formation d'une structure en tranchée par un technique de lithographie traversante permet donc de former deux cavités auto-alignées, situées au-dessus et en dessous du futur canal de silicium. Ces cavités seront ensuite remplies avec les matériaux de grilles par des dépôts conformes (**Fig. IV. 7**). Il faut ensuite être en mesure de graver, de manière sélective aux matériaux de grille, la résine utilisée pour former la grille. Pour ces deux étapes, il convient alors d'utiliser une résine compatible avec les outils de dépôt des matériaux de grille, et une résine qui puisse ensuite être retirée sélectivement.

L'étape suivante consistant en un dépôt de nitrure de silicium pour la formation des espaceurs, va ainsi permettre le remplissage des cavités aux cotés de la grille inférieure, et les espaceurs conventionnels seront formés au niveau de la grille supérieure. Une épitaxie des zones source et drain est ensuite utilisée pour les mêmes raisons que les technologies planaires à film mince.



**Fig. IV. 7** – Procédé simplifié pour la fabrication de transistor double-grille et grille enrobante auto-alignée sur SOI : étapes de formation de la grille auto alignée et du dépôt du diélectrique formant les espaceurs des grilles inférieures et supérieures.

## IV.1.2 Lithographie 3D : utilisation de la résine HSQ

### IV.1.2.1. Propriétés d'exposition et usage en lithographie de HSQ

Afin de répondre aux besoins d'intégration cités précédemment, on propose l'utilisation d'une résine HSQ, pour *Hydrogen Silses Quioxane* ( $H_8Si_8O_{12}$ ).

Ce matériau, historiquement utilisé en back-end pour ses propriétés diélectriques avec une faible permittivité de 2,2 [Liu00, Cho05], est également connu sous le nom de Fox (pour *Flowable Oxide*). C'est en effet un matériau très peu visqueux (en fonction de la proportion de solvant) qui est déposé par étalement en épaisseur de 20nm à 200nm (contrôlé par la vitesse de rotation de la plaque lors du dépôt). Cela lui permet d'avoir de bonnes propriétés de remplissage de cavités et de planéité de sa surface, avec une rugosité inférieure à 1nm.

C'est en réalité un monomère composé uniquement d'Hydrogène, d'Oxygène et de Silicium, dont la particularité est de se polymériser dès lors que ses liaisons Si-H sont rompues (Fig. IV. 8). Des liaisons Si-OH se formeront puis des liaisons Si-O-Si par désorption d' $H_2O$ . Après exposition et recuit, on notera l'absence totale de composé carboné, ce qui le rend compatible avec les dépôts de matériaux de grille, dont la contamination est critique pour assurer une interface électrique parfaite.

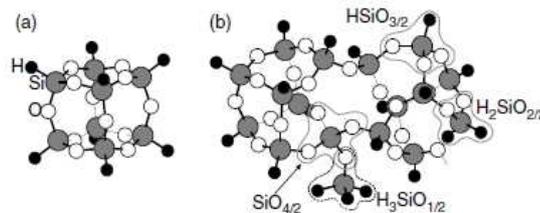


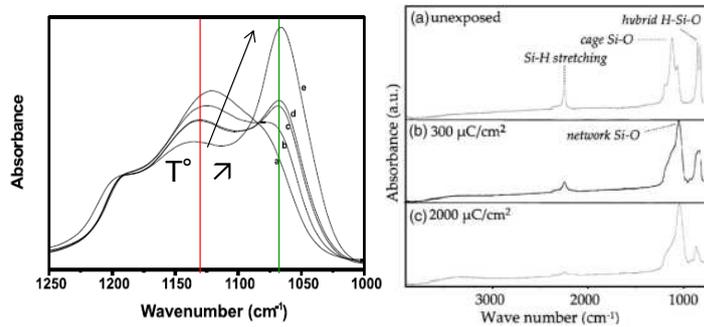
Fig. IV. 8 – Illustration du changement de structure de l'HSQ, de cage (monomère) à réseau (réticulation de plusieurs monomères).

La modification de la structure de l'HSQ a été étudiée en particulier par spectrométrie infrarouge, qui permet d'identifier et quantifier les liaisons entre atomes et donc de décrire la structure chimique du matériau. Les changements provoqués par un recuit de l'HSQ ont été décrits [Yang02, Liu02] comme une densification de la structure. Le solvant (*Methyl IsoButyl Keton*, MIBK ou siloxane) s'évapore d'abord dès 80°C, puis la proportion de liaison Si-O devient importante au-delà de 350°C, signe de la transformation en une structure de type oxyde de silicium. Un léger recuit est ainsi souvent utilisé pour initier la réticulation de sa structure cage en une structure en réseau, ce qui permet d'améliorer la sensibilité de l'HSQ pour son exposition en lithographie.

L'effet de l'exposition à un faisceau électronique a ainsi le même effet qu'un recuit thermique [Namatsu97, Yang06b, Choi08, Lee09, Olynick10]. Les liaisons chimiques Si-H, plus fragiles, sont détruites au profit des liaisons Si-O (Fig. IV. 9). La formation de la structure dite en réseau se met ainsi en évidence par :

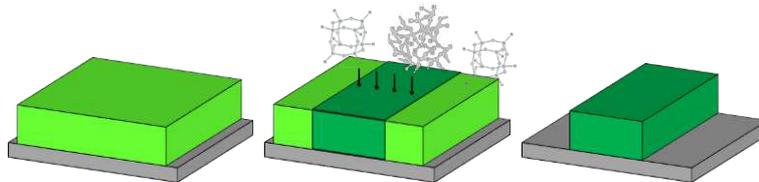
- ✓ la perte d'intensité des pics à  $860\text{ cm}^{-1}$  et  $2220\text{ cm}^{-1}$ , typique des liaisons Si-H,
- ✓ la perte d'intensité du pic à  $1120\text{ cm}^{-1}$ , typique des liaisons Si-O de type cage,
- ✓ l'augmentation d'intensité du pic à  $1070\text{ cm}^{-1}$ , typique des liaisons Si-O de type réseau.

La perte de certaines liaisons conduit ainsi à la recombinaison de la structure vers un polymère plus dense, ce qui le rend quasiment insoluble dans les solutions alcalines. La résine HSQ insolée sera donc résistante aux développeurs conventionnels.



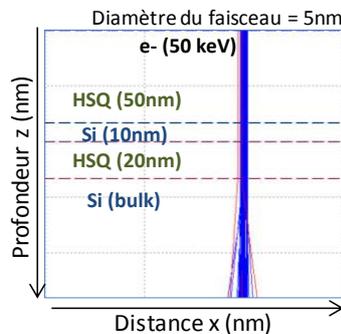
**Fig. IV. 9** – Spectres infrarouge mettant en évidence les liaisons Si-H et Si-O dans l’HSQ. Les modifications sont similaires lors d’une exposition e-beam ou d’un recuit [Yang02, Yang06b].

Ces propriétés l’ont conduit à être utilisé comme une résine électronique, que l’on trouve sous la dénomination commerciale XR-1541. Il s’agit d’une résine négative, c’est-à-dire que c’est la zone exposée qui se réticule en polymère (**Fig. IV. 10**). Les faibles liaisons siloxane du monomère le rendent soluble dans les solutions alcalines, et c’est donc cette zone non exposée qui sera retirée par le développeur.



**Fig. IV. 10** – Etapes d’étalement de la résine HSQ, d’exposition au faisceau d’électrons (réticulation de l’HSQ exposé), et développement afin de dissoudre l’HSQ non exposée.

Il a été montré grâce à des simulations Monte-Carlo que l’énergie des électrons après exposition d’une première couche d’HSQ puis après avoir traversé une membrane de silicium est très peu différente de l’énergie initiale [Wacquez06] et permet donc l’exposition de l’HSQ sous cette membrane. On montre également par simulation Monte Carlo que le faisceau reste rectiligne dans tout l’empilement (**Fig. IV. 11**), ce qui permet la définition de structures auto alignées et de mêmes dimensions.



**Fig. IV. 11** – Simulation Monte-Carlo d’un faisceau d’électrons à 50keV à travers une couche d’HSQ, une membrane de Si, et de l’HSQ sous le Si. Très peu de diffusion est observée.

Des études ont également montré que la membrane de silicium conserve sa cristallinité après l'exposition de la résine [Wacquez06], ce qui a pu être observé en TEM haute résolution (Fig. IV. 12, gauche). On montre également que l'auto alignement est réalisable sur des structures de très petites dimensions [Monfray10], avec une largeur d'HSQ inférieure à 20nm (Fig. IV. 12, droite).

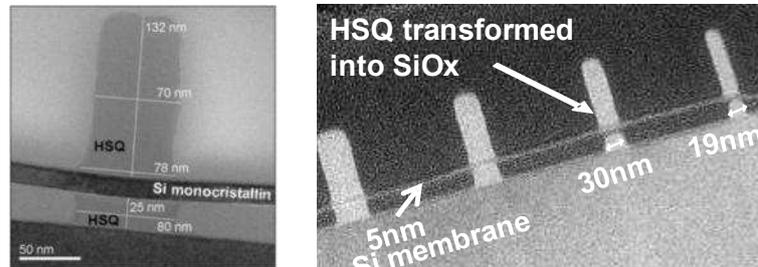


Fig. IV. 12 – Images en coupe de structures auto alignées d'HSQ par lithographie électronique à travers une membrane de Si.

Ces structures auto-alignées peuvent également être réalisées par l'exposition de l'HSQ à travers plusieurs couches de Si, sous forme de tranchée (Fig. IV. 13, gauche) ou sur des structures à nanofil unitaires empilés (Fig. IV. 13, droite, avant et après fabrication d'une ligne HSQ). La lithographie traversante permet donc l'insolation à travers plusieurs couches.

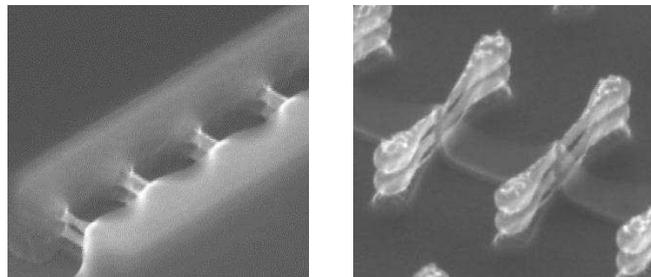
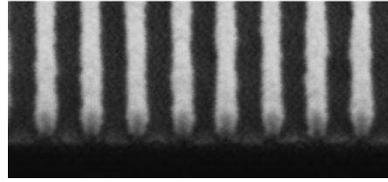


Fig. IV. 13 – Vue au MEB de structures HSQ tranchée (à gauche) ou ligne (à droite) fabriquées autour de nanofils de Si suspendus.

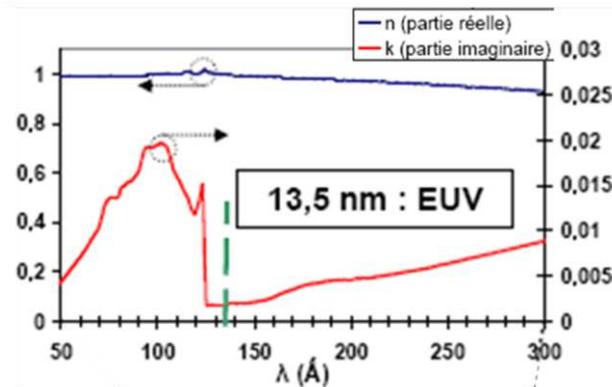
On notera tout de même que la modification de la structure chimique dépend des doses et énergies utilisées ce qui nécessite d'optimiser les étapes de lithographie et de développement. La résine HSQ permet tout de même l'utilisation de faisceaux d'électrons ayant des énergies de 2keV à 100keV [Manfrinato11].

Son avantage dans la fabrication de dispositifs avancés est aussi sa compatibilité avec le rayonnement Extrême UV (EUV), actuellement en développement pour les futurs outils de lithographie optique. Avec un rayonnement de longueur d'onde de 13,5nm, la lithographie de l'HSQ en EUV (Fig. IV. 14) ne permet actuellement pas d'obtenir un contraste équivalent à la lithographie électronique mais l'optimisation des procédés pourrait le permettre.



**Fig. IV. 14** – Lithographie de lignes d’HSQ par un rayonnement *Extreme-UV* (EUV) [Ekinci07]

On notera qu’à cette longueur d’onde, le silicium est transparent à 80% environ (Fig. IV. 15, [Constancias10]), ce qui permet de décrire un procédé utilisant la résine HSQ avec une lithographie EUV pour la fabrication de structures auto alignées par exposition à travers une membrane de Si.

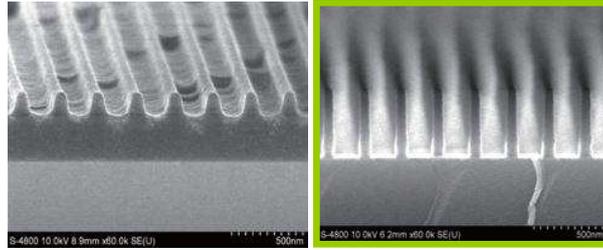


**Fig. IV. 15** – Spectre d’absorption du Silicium, transparent à  $\lambda=13,5\text{nm}$ . La lithographie traversante d’HSQ est donc possible en EUV [Constancias10].

#### IV.1.2.2. Propriétés de développement HSQ et optimisations

L’utilisation de l’HSQ en tant que résine lithographique pour former une structure de  $\text{SiO}_x$  sous forme de tranchées auto alignées implique un profil vertical de la structure. Il convient donc d’optimiser l’étape de développement de la résine qui modifie la structure finale.

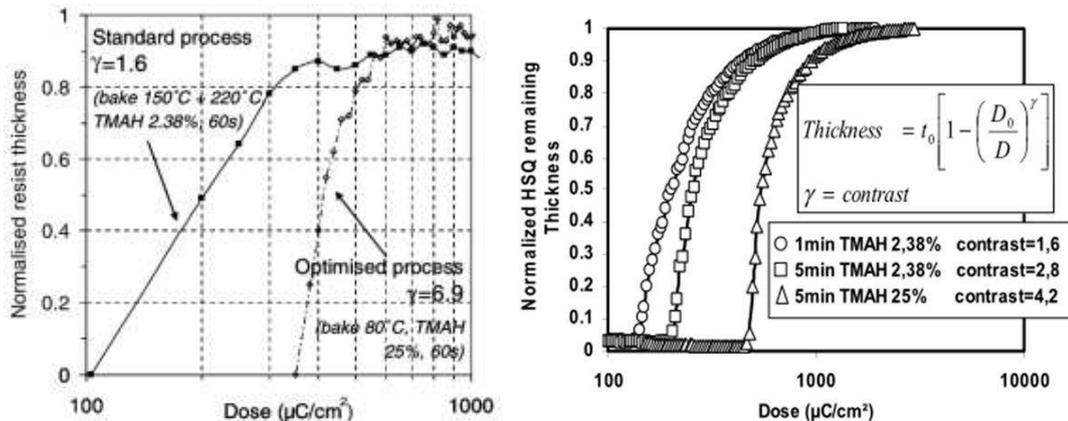
Le développeur utilisé de manière conventionnelle est le TMAH (la structure HSQ non exposée est soluble dans un développeur classique tel que le *Tetra Methyl Ammonium Hydroxide* à 2,38%). On peut remarquer que la température du développeur a une influence non négligeable sur les courbes de contraste (Fig. IV. 16), qui montrent l’évolution de l’épaisseur de résine en fonction de la dose d’exposition. Cette étude [Min10] montre en effet une grande amélioration du contraste et des résidus en surface.



**Fig. IV. 16** – Une plus haute température de développeur améliore le contraste. On observe un profil arrondi à 20°C ou abrupte à 50°C (même exposition).

D'autres paramètres, comme la température de recuit (dit *prebake*) préalable à l'exposition et dont le rôle est la désorption du solvant, joue un rôle important dans la définition de la structure. Un recuit à trop forte température provoquerait un réarrangement de la structure, qui sera donc moins sensible à l'exposition e-beam et dégradera le contraste.

Mais l'ensemble de ces paramètres ne sont pas facilement modifiable sur une chaîne de production, et c'est pourquoi a été évalué l'impact de la concentration du développeur. L'utilisation de TMAH 25% montre qu'en plus de mieux dissoudre les liaisons Si-H non exposées, il facilite la formation de liaison Si-O [Lee09]. Le développement est ensuite sélectif à l'oxyde et la réaction est donc autolimitée. Cette modification a permis de montrer un fort contraste obtenu sur structures denses (Fig. IV. 17, [Fruleux-Cornu06]). Une étude par AFM [Georgiev05] a également montré que la rugosité de surface était améliorée avec l'utilisation de développeur concentré.



**Fig. IV. 17** – Amélioration du procédé de développement par modification de sa concentration pour obtenir des profils d'HSQ abruptes [Fruleux-Cornu06, Monfray10].

Ces démonstrations tendent à montrer que la résine HSQ peut être utilisée pour former une structure auto-alignée. Sa structure après exposition et développement étant proche du SiO<sub>2</sub>, son intégration dans un procédé de fabrication front-end est tout à fait possible.

## IV.2. Fabrication de dispositifs par lithographie HSQ

### IV.2.1 Ajustement des procédés de fabrication

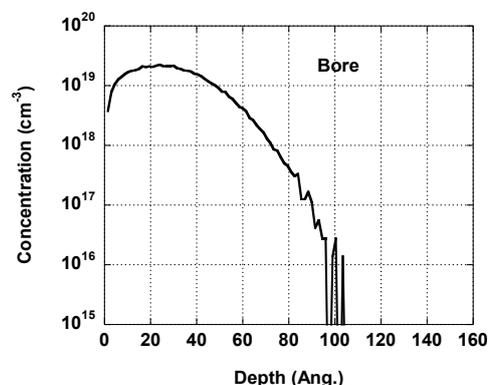
#### IV.2.1.1. Fabrication d'une membrane ou nanofil de Si suspendu

Comme pour les structures précédemment présentées, nous nous intéressons ici à la fabrication de transistors à double grille ou à grille enrobante afin d'optimiser le contrôle électrostatique du canal par le champ de grille.

L'intégration proposée ici est réalisée sur des substrats de type SOI, mais le canal de conduction est défini lors d'une étape d'épitaxie. On cherche ici à démontrer la conduction dans un canal suspendu unique. Le canal au niveau du substrat, potentiellement moins bien contrôlé puisque il ne sera recouvert que par la grille inférieure, devra donc être neutralisé de manière à ne pas dégrader les propriétés électrostatiques de l'ensemble du dispositif.

Afin d'éviter toute conduction parasite dans le canal inférieur, nous avons choisi d'utiliser une implantation à forte dose afin d'enrichir fortement le canal en atomes donneurs ou accepteurs, et ainsi décaler la tension de seuil du canal (de manière analytique, on peut voir que la tension de seuil est proportionnelle au dopage canal  $N_{CH}$ ).

Puisque cette implantation est suivie d'une étape d'épitaxie afin de définir la couche sacrificielle de SiGe et le canal de Si, le réseau cristallin en surface doit rester de bonne qualité afin de ne pas empêcher la croissance des couches épitaxiées. Les énergies d'implantation doivent donc rester très faibles et les profils ont été simulés (**Fig. IV. 18**) pour ajuster sa profondeur.

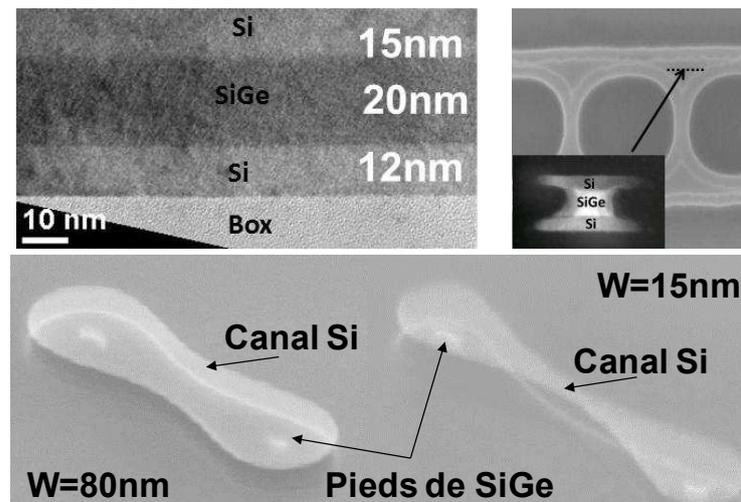


**Fig. IV. 18** - Implantation Bore 0,3 KeV à une dose de  $1 \times 10^{19} \text{ cm}^{-3}$  utilisée pour augmenter le  $V_T$  d'un transistor nMOS (une implantation Arsenic 1,5 KeV à une dose de  $1 \times 10^{19} \text{ cm}^{-3}$  est effectuée pour les transistors pMOS).

L'étape d'épitaxie est ensuite réalisée afin de faire croître une couche de SiGe 30% suivie d'une couche de Si, dont la hauteur définira l'épaisseur du canal final. Après avoir défini la zone active par isolation MESA par lithographie, dont les dimensions sont ajustées afin de créer des membranes de largeur  $W=80\text{nm}$  ou des structures nanofil de largeur  $W=15\text{nm}$ , une gravure sélective va ensuite permettre la gravure partielle du SiGe.

On utilise pour cela un plasma adapté à base de  $\text{CF}_4+\text{Ar}+\text{N}_2$  qui permet de consommer le SiGe 30% avec une sélectivité supérieure à 100 vis-à-vis du Si et du  $\text{SiO}_2$ . On notera d'ailleurs que cette étape est précédée d'un nettoyage HF 0,1% afin de consommer les oxydes natifs sur les couches de Si et surtout SiGe, de manière à ce que ces espèces puissent être gravées correctement. La présence d'oxyde de SiGe risque en effet de masquer les matériaux et provoquera une gravure ralentie et anisotrope du SiGe.

Le contrôle du temps de gravure permet d'ajuster la quantité de SiGe consommée et on conserve ainsi des résidus dans les zones sources et drains afin de maintenir les futurs canaux de Si (**Fig. IV. 19**). Cet ajustement délicat n'est plus nécessaire dans le cas de l'utilisation complète de la brique SON avec un maintien du canal grâce aux STI.



**Fig. IV. 19** – Vue en coupe TEM des épitaxies SiGe/Si et vue MEB des zones actives après gravure sélective du SiGe. Les pieds restants de SiGe maintiennent les structures planaires de largeurs  $W=80\text{nm}$  ou nanofil  $W=15\text{nm}$ .

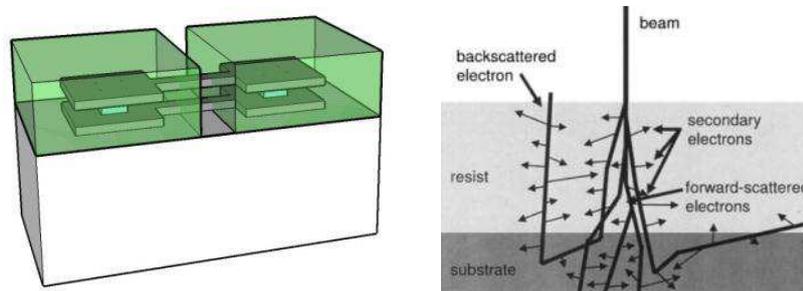
On pourra noter que l'utilisation de couches successives de SiGe/Si épitaxiées peut permettre la fabrication de zones actives à plusieurs niveaux, de manière à multiplier le courant pour un même encombrement de surface (comme en **Fig. IV. 13**).

#### IV.2.1.2. Correction des effets de proximité sur HSQ

Afin de permettre la formation d'une structure de grille auto alignée, il a été imaginé de fabriquer d'abord une structure en tranchée. La difficulté de cette réalisation avec l'HSQ est que cette résine est de polarité négative, c'est-à-dire que la partie insolée est imprimée (et donc transformée en  $\text{SiO}_x$ ). On se doit donc de retirer l'HSQ non exposée qui se trouve dans la tranchée.

La réalisation de structure en tranchée (**Fig. IV. 20**, gauche) dans une résine négative est très compliquée, de par la nature du rayonnement électronique. La lithographie ebeam repose sur l'interaction des électrons dans la résine, et ceux-ci sont sujets à des phénomènes de diffusion et de rétrodiffusion dans la résine (**Fig. IV. 20**, droite). Ceci est d'autant plus vrai que la dose est importante, et la faible sensibilité de la

résine HSQ (en comparaison aux résines à amplification chimique habituelles) n'est pas un avantage. L'exposition non souhaitée de la résine dans la zone censée décrire la tranchée est délicate à contrôler du fait de ces effets dits de proximité.



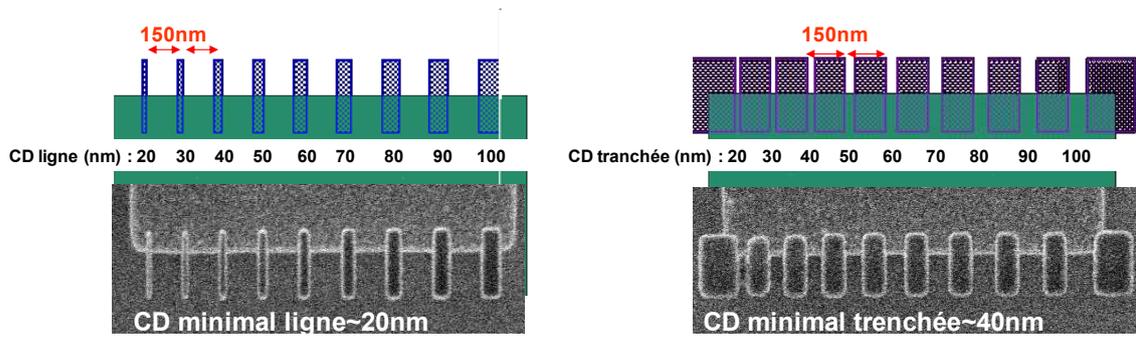
**Fig. IV. 20** – (gauche) Schéma de la structure HSQ fabriquée de manière à former une tranchée auto alignée autour du futur canal de Si. (droite) Interactions électroniques dans une résine.

Afin d'améliorer la résolution de la résine HSQ et définir une tranchée assez petite pour obtenir une longueur de grille courte, nous allons décrire l'optimisation du procédé de lithographie électronique.

Le principal inconvénient de cette technique est la faible résolution causée par le faible contraste de la résine HSQ. Pour réaliser une tranchée dans une résine à polarité négative, on doit exposer de larges zones dans lesquelles la future grille est dessinée par une ouverture (**Fig. IV. 20**, gauche). Avec un faisceau d'électron incident à 50keV, les électrons rétrodiffusés peuvent s'étaler jusqu'à 10 $\mu$ m. À cause des grandes surfaces exposées pour former une tranchée tout en masquant les zones sources et drains, la résolution de ce motif est fortement limitée par la rétrodiffusion des électrons.

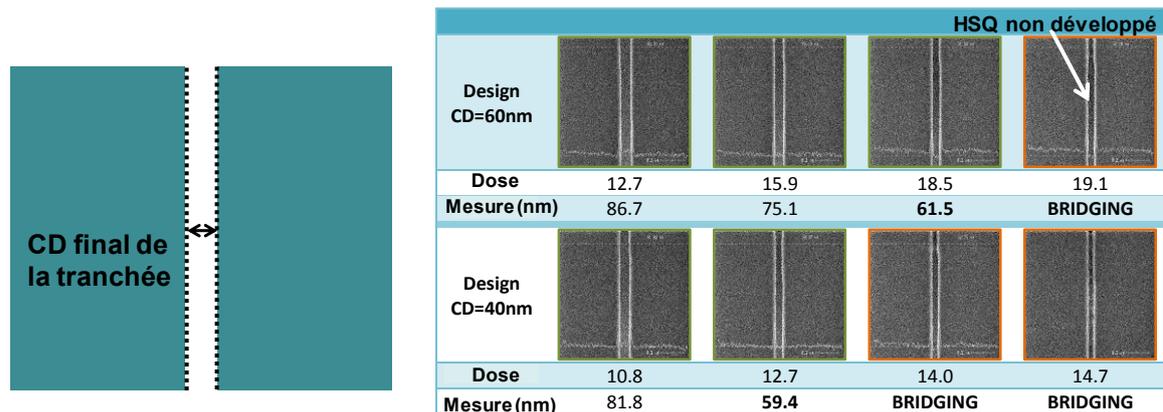
On peut comparer la dimension critique (notée CD, *Critical Dimension*) de la structure HSQ dessinée en ligne ou en tranchée dans les conditions équivalentes d'exposition et de développement. Les plus petites dimensions auront un CD final de 20nm dans le cas d'une ligne d'HSQ dessinée à 20nm (**Fig. IV. 21**, gauche). La résolution n'est donc pas limitée dans ce cas (on rappelle que la résine HSQ est connue pour avoir l'une des meilleures résolutions avec des structures de 6nm pour les plus petites). Dans le cas d'une structure en tranchée dessinée également à 20nm, le CD minimal est d'environ 40nm (**Fig. IV. 21**, droite). Cette perte de résolution ici de 20nm est causée par les effets de proximité, c'est-à-dire par les électrons qui réagissent avec la résine supposée ne pas être insolée.

On notera que dans cette expérience, les zones insolées ont une largeur de 150nm et mesurent moins de 1 $\mu$ m de long, mais la perte de résolution sera d'autant plus forte que la surface insolée est grande puisque davantage d'électrons seront susceptibles d'être diffusés en direction de la structure tranchée. Une solution alternative est donc indispensable, en particulier pour les structures à plusieurs fils dont les zones sources et drains sont étendues.



**Fig. IV. 21.** Motifs HSQ en ligne (gauche) ou tranchées (droite) avec les mêmes dimensions.

Comme cité précédemment, l’impression de tranchée HSQ peut être améliorée par l’optimisation du procédé de développement. Des études ont montré que l’utilisation de développeurs alcalins améliore le contraste [Yan10]. Pour des raisons techniques, l’étape de développement a été optimisée par un changement de concentration du TMAH de 2,38% à 25% et un temps de bain de 1 à 5 minutes. Le contraste d’origine est ainsi amélioré à 4,2 [Monfray10], ce qui permet la formation de structures dont la pente verticale est plus raide, et donc une structure dont les deux grilles sont de même dimension.



**Fig. IV. 22** - Mesure des dimensions de tranchées obtenues sur notre masque à différentes doses.

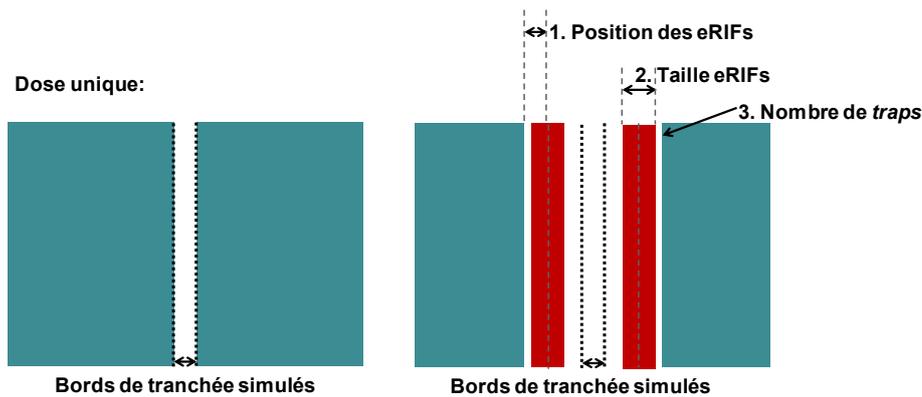
Le procédé de développement étant optimisé, seul le procédé de lithographie peut permettre d’améliorer la structure définitive. Pour nos besoins, le motif de la zone exposée est large et long. Avec un design initial de 40nm, la tranchée ainsi dessinée permet d’écrire en réalité une tranchée de largeur de 59,4nm (Fig. IV. 22). Souvent utilisé en lithographie électronique pour ajuster les effets de proximité, une surexposition ne permet pas dans ce cas de réduire les dimensions de la tranchée finale mais provoque très rapidement la fermeture du motif (c’est le *bridging*), la résine étant totalement insolée et impossible à développer.

Afin de réduire davantage la largeur de la tranchée, une structure peut être dessinée à 60nm et exposée à une dose supérieure à celle habituellement nécessaire. Dans ce cas, la plus petite dimension atteignable est de 61,5nm à forte dose, et le motif se ferme au-delà. Ce procédé lithographique a donc une limite de résolution autour de 60nm, quelle que soit la dimension de la structure dessinée et l’ajustement de la dose pour minimiser la largeur de la tranchée dessinée.

Malgré l’optimisation de tout le procédé (développement, et dose d’exposition), il est impossible d’atteindre une résolution suffisamment grande pour résoudre des tranchées de petites dimensions (typiquement 20nm) et ainsi définir des grilles de dimensions agressives pour les technologies CMOS à grilles auto alignées. La seule solution permettant de repousser la limite de résolution réside dans la préparation des données d’exposition électronique. Cette technique est équivalente aux étapes d’optimisation des masques pour la lithographie optique.

Comme discuté à la **Fig. IV. 22**, une solution communément utilisée en lithographie électronique est la définition d’un motif relaxé en dimension combiné à une surexposition. Cette solution est généralement possible mais malheureusement pas dans le cas de motifs inversés (donc une tranchée dans une résine négative), à cause des effets de proximité et des fortes doses sur dessins larges qui augmentent le temps d’écriture.

La solution évaluée afin d’améliorer les dimensions finales de la tranchée repose sur l’optimisation du profil de dose incidente dans la résine HSQ, grâce à la modification des données d’exposition. Cela consiste alors en l’utilisation de dessin sous la résolution, appelés eRIFs (*electron Resolution Improvement Feature*) et permet de surexposer localement le motif sur ses bords (**Fig. IV. 23**). Grâce aux eRIFs, le contraste du profil de dose est localement amélioré. La conséquence directe est également que la latitude en énergie (liée à la sensibilité aux variations de dose) et la résolution du procédé lithographique sont améliorées [**Martin09, Martin10**].



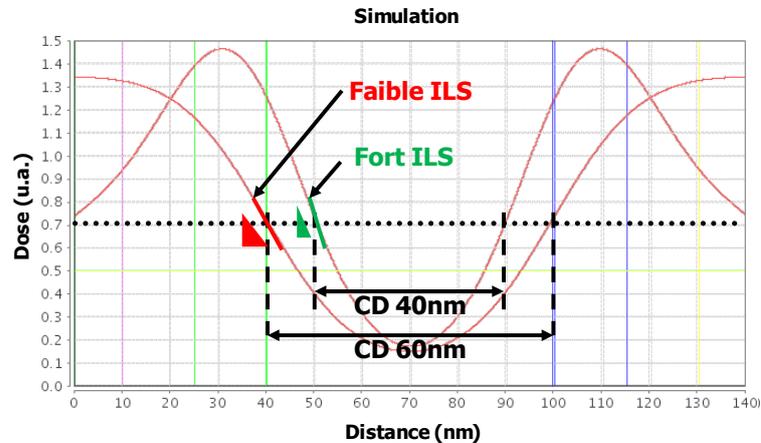
**Fig. IV. 23** -. Schéma de la structure tranchée, brute ou avec une structure eRIFs afin d’améliorer la résolution du motif HSQ.

Afin d’ajuster le dimensionnement des eRIFs, on s’intéresse à une grandeur nommée *Intensity Logarithm Slope* (ILS) qui permet de quantifier le contraste du profil de dose. L’ILS est proportionnel à la pente sur le profil de dose, soit la variation relative de dimensions en fonction d’un changement de dose. On peut quantifier l’ILS par :

$$ILS = \frac{dLn(I)}{dx} = \frac{dose_1 - dose_0}{DTS \cdot (x_1 - x_0)} = \frac{Th_1 - Th_0}{Th_{DTS} \cdot (x_1 - x_0)} \quad \text{Equation IV.1}$$

où le DTS (Dose-To-Size) et  $Th_x$  correspondent au seuil d’exposition de la résine, c’est à dire les doses nécessaires à l’écriture d’une structure dans la résine à une dimension fixée. Après avoir modélisé le comportement de l’HSQ sur plaque de silicium,

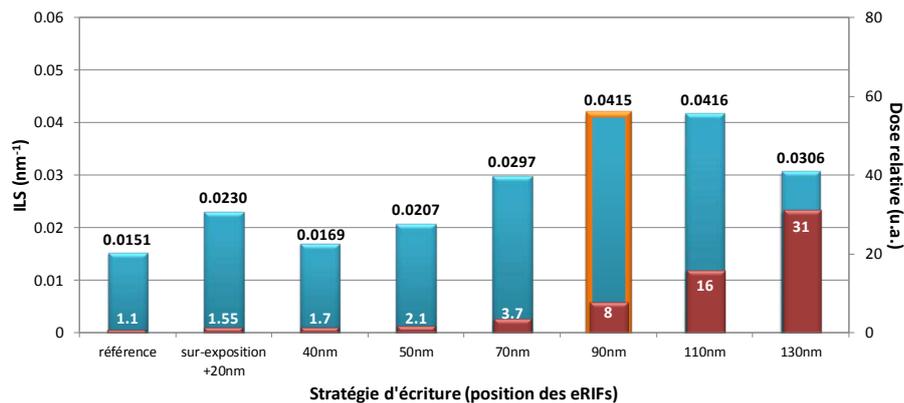
on simule les profils de dose avec et sans les structures eRIFs (**Fig. IV. 24**). On constate alors un changement significatif dans le contraste, que l'on peut quantifier à travers l'ILS. Les eRIFs permettent de réduire de 20nm les dimensions obtenues avec une méthode standard.



**Fig. IV. 24** - Dessinée à 80nm, une tranchée surexposée atteint un CD final de 60nm avec un ILS faible. Le même motif avec eRIF atteint un CD =40nm et a un meilleur ILS.

Pour ajuster les structures eRIFs, une comparaison systématique de l'ILS est effectuée entre l'exposition standard, la technique de surdimensionnement et surexposition, et différentes conditions d'eRIFs. Pour chacun des cas, les doses sont modifiées de façon à atteindre le seuil de la résine, c'est-à-dire la dose limite à laquelle la simulation prévoit un CD=40nm. De cette manière, chaque structure est comparée dans les mêmes conditions physiques et l'on peut trouver les meilleures conditions d'eRIFs afin de maximiser l'ILS, et ainsi le contraste de la structure.

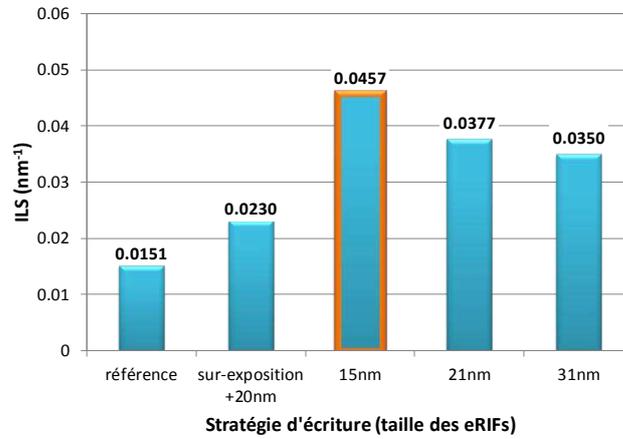
Dans un premier cas, on fixe la taille des eRIFs afin de comparer différentes positions par rapport à la structure finale (**Fig. IV. 25**). On observe un optimum de la position des eRIFs avec un écartement de 90nm.



**Fig. IV. 25** Variation de l'ILS en fonction de la position des motifs eRIFs.

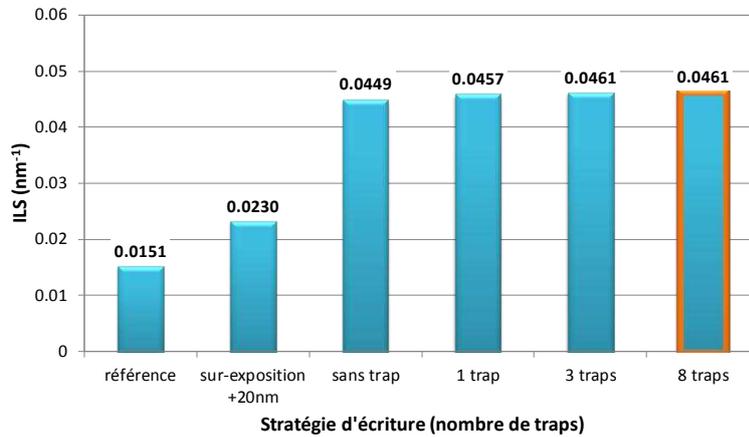
La valeur légèrement supérieure d'ILS pour une position à 110nm est également une solution valable pour optimiser le contraste de la structure, mais la dose correspondante est multipliée par deux (de manière analogue à la surdose nécessaire pour un motif surdimensionné). Néanmoins, cela implique une augmentation non négligeable du temps d'exposition au faisceau d'électron. Le meilleur compromis entre l'amélioration

de résolution et le temps d'écriture correspond ainsi à la position d'eRIFs à 90nm. La largeur des eRIFs est ensuite optimisée, et tous les cas permettent d'améliorer l'ILS (**Fig. IV. 26**). L'optimum correspond à une taille d'eRIFs de 15nm et les dimensions plus larges ne permettent pas d'améliorer autant l'ILS.



**Fig. IV. 26** Variation de l'ILS pour différentes dimensions de motif eRIF.

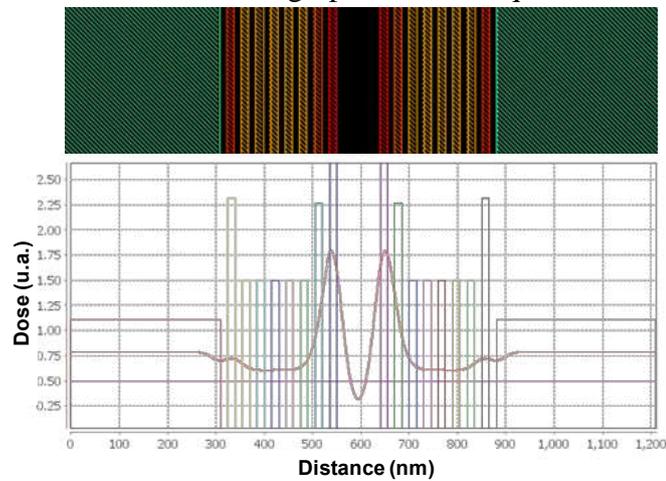
Enfin, nous avons évalué l'effet de *traps* dans le motif (**Fig. IV. 27**). Il s'agit de structures vides de dimension sub-résolution (un espace entre les eRIFs), ce qui permet d'abaisser la dose rétrodiffusée globale et ainsi optimiser le contraste final. Il est important de mentionner que la dimension des *traps* doit être inférieure à la résolution de l'outil de lithographie électronique de manière à ne pas être écrit, afin de réduire la dose totale sans créer de zone non exposée dans la structure finale. Le comportement de l'ILS a été comparé pour différents nombres de *traps* avec les conditions optimisées précédemment.



**Fig. IV. 27** Variation de l'ILS pour différents nombre de *traps* dans le motif eRIF.

On observe que l'effet des *traps* est négligeable sur l'ILS, mais les expériences sur plaques montrent qu'ils permettent d'abaisser la dose sur les bords du motif en tranchée. Les effets de proximité sont ainsi réduits et le contraste sera amélioré comme observé sur le profil de la dose totale (**Fig. IV. 28**, bas). Pour cette raison, on choisit d'intégrer un nombre maximal de *traps* dans la structure finale. La structure est ainsi composée d'eRIFs de 15nm de large, séparés de 90nm et espacés par 8 motifs *traps*.

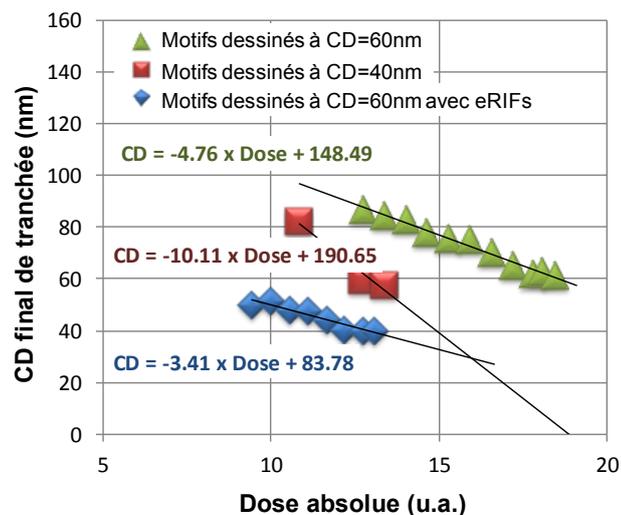
Cette stratégie avancée est dorénavant intégrée au logiciel Inscale® d'ASELTA Nanographics pour repousser les capacités de la lithographie électronique. Le lecteur intéressé pourra lire le manuscrit de thèse de Luc Martin où les eRIFs ont été utilisés sur des résines plus conventionnelles de lithographie électronique.



**Fig. IV. 28** Motif final (haut) et son profil de dose simulé (bas). Les *traps* permettent d'abaisser la dose autour du motif, comme observé sur le profil en bord de tranchée.

Ces essais simulés ont par la suite été exposés sur plaques 300mm afin de démontrer l'intérêt de l'optimisation du motif avec les eRIFs. On démontre ainsi la possibilité de réduire la dimension critique des tranchées jusqu'à 39nm grâce à l'utilisation de cette optimisation du motif, utilisé sur la résine HSQ avec un outil de lithographie électronique à 50keV [Coquand13a].

Les dimensions finales mesurées sur plaques sont comparées pour différents cas en fonction de la dose absolue (Fig. IV. 29). On observe ainsi que le motif dessiné à 60nm sans eRIFs sature à un minimum de 60nm, tout comme un motif dessiné à 40nm même aux fortes doses. Les doses plus fortes que celles représentées provoquent la fermeture du motif tranchée et aucune dimension n'est alors mesurable.



**Fig. IV. 29** Dimensions finales mesurées sur plaques avec différentes doses d'exposition. Les motifs avec eRIFs ont un CD plus faible, et moins de dépendance avec la dose (faible pente).

Seul le motif avec eRIFs permet d’atteindre des dimensions de l’ordre de 40nm, ce qui démontre l’intérêt de cette technique pour les besoins de lithographie avancée. L’exposition sur plaque avec les motifs en nanofil de silicium confirme la bonne fidélité du modèle de résine utilisé et on mesure une dimension finale de tranchée de 39nm (Fig. IV. 30), ce qui permet de repousser la limite en dimension de la future grille auto alignée dans nos structures. La dimension finale attendue pour la longueur de grille minimale sera ainsi de l’ordre de 45nm, à cause de la réticulation de l’HSQ soumis au budget thermique du dépôt des matériaux de grille (la largeur des tranchées augmente d’environ 7nm).

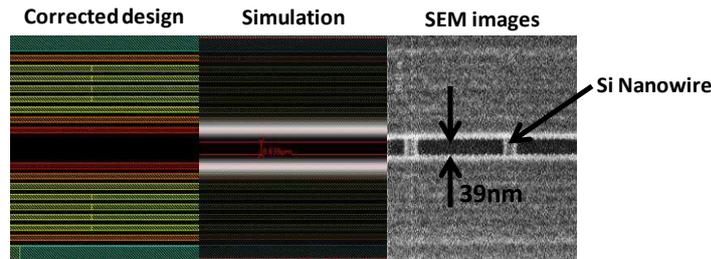


Fig. IV. 30 De gauche à droite : le motif corrigé par les eRIFs, la simulation logiciel, et la structure finale obtenue sur plaque pour former une tranchée au-dessus des nanofils.

La Fig. IV. 31 montre une tranchée d’HSQ dessinée sur des motifs nanofils préalablement définis. Grâce à la combinaison de cette lithographie innovante à travers le Si et les améliorations en lithographie électronique pour permettre la formation de tranchées de 40nm de large, il est possible de former une double grille auto alignée et de caractériser ces dispositifs.

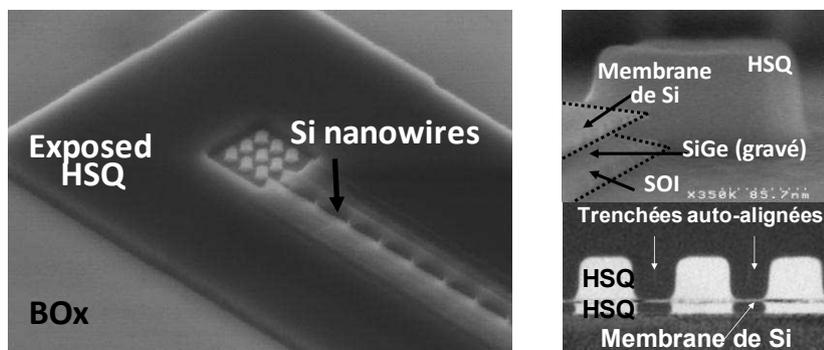
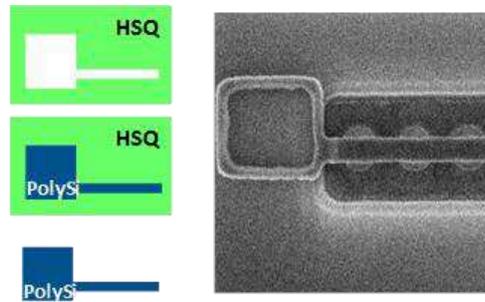


Fig. IV. 31 Vue au microscope électronique (MEB) du motif final d’HSQ, et vue en coupe des tranchées auto alignées pour les deux futures grilles.

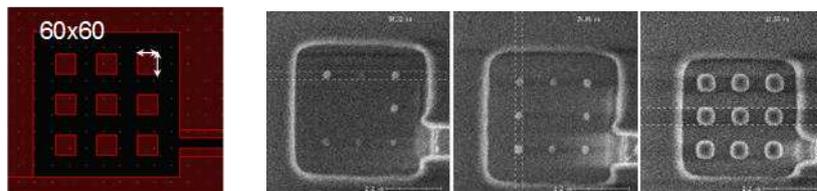
On observe également que la zone de contact de la grille contient des motifs particuliers. La formation de la grille par le remplissage de tranchée implique en effet que la surface soit ensuite planarisée pour retirer l’excès de matériaux de grille déposée. Dans notre cas, nous avons choisi de ne pas utiliser de CMP (polissage mécano-chimique) puisque cela implique un contrôle de la planéité à l’échelle de la puce et donc de prévoir la fabrication des motifs associés. La grille est donc planarisée par une étape de gravure plasma contrôlée et on souhaite ainsi obtenir le motif de grille avec son contact après le retrait sélectif de l’HSQ (voir schéma en Fig. IV. 32). Les premiers essais de gravure montrent que la zone de contact de grille n’est pas planarisée mais creusée par le plasma,

car l'espace disponible est trop important et la vitesse de gravure est alors plus élevée. La grille est donc bien définie mais le contact électrique serait impossible avec les niveaux suivants. Sans utiliser de procédé de polissage, qui permettrait à chacune des zones d'avoir la même épaisseur, le contact de grille doit donc être redessiné au préalable.



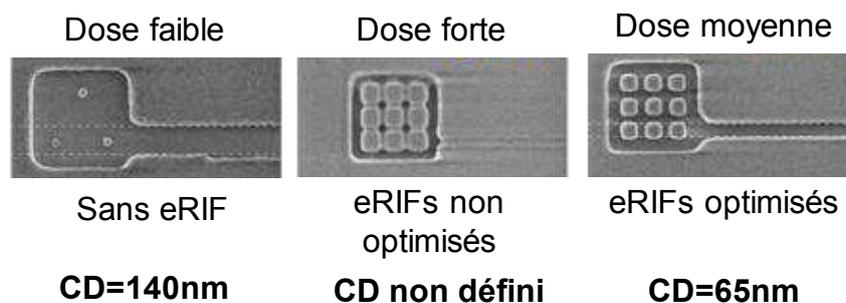
**Fig. IV. 32** L'utilisation d'un motif inverse implique que la surface du futur contact de grille sera vide lors du procédé de gravure (droite, vue MEB).

De manière à éviter la gravure du contact, on a donc choisi de remplir le motif de plots dont les dimensions permettent de garantir que les matériaux de grille remplissent la tête du contact. Les doses d'exposition sont ensuite définies de manière à ce que le seuil de résine soit atteint au niveau des plots et que leurs dimensions soient suffisantes (photos MEB en **Fig. IV. 33**).



**Fig. IV. 33** Le motif devra comporter des plots dans le contact de grille. Les doses devront être réajustées en conséquence.

Nous sommes donc en présence de zones avec une exposition standard, de zones avec une optimisation par les eRIFs et d'une zone avec des plots de contact. La grande difficulté est donc de choisir judicieusement leurs doses relatives pour que chacune puisse être dessinée le plus justement (**Fig. IV. 34**). La dose des plots doit être optimisée afin d'assurer que ceux-ci soient résolus et de bonnes dimensions, et que la dimension de la tranchée soit faible.

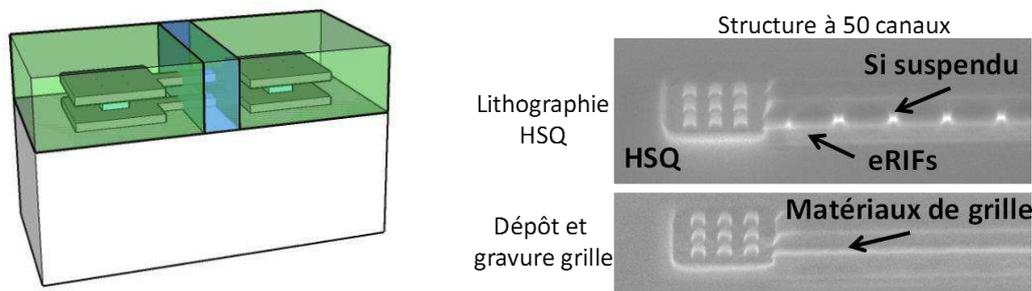


**Fig. IV. 34** Les doses des motifs avec eRIFs doivent être ajustées pour permettre la résolution des plots dans le contact de grille.

Comme on pourra l’observer lors de la gravure grille, la topologie des matériaux n’est pas parfaitement plane. Néanmoins, le rôle des plots est parfaitement rempli et l’étape de lithographie est ainsi optimisée afin d’assurer la fabrication de dispositifs fonctionnels.

#### IV.2.1.3. Formation de la grille : dépôts conformes et gravure

Les structures HSQ en tranchée sont fabriquées aux dimensions les plus faibles, et leur auto-alignement est assuré par la lithographie traversante. La formation de la grille auto-alignée consiste donc au remplissage de ces cavités par des dépôts conformes de matériaux afin d’obtenir la structure en **Fig. IV. 35**, gauche (vue après gravure).



**Fig. IV. 35** Schéma et vues MEB à l’étape de dépôt et gravure des matériaux de grille.

Comme mentionné précédemment, le dépôt remplit les cavités mais recouvre alors l’ensemble des structures, y compris l’HSQ. Une étape de gravure grille sera alors nécessaire pour en retirer l’excédent. Dans le cas où la grille formée peut être constituée de multiples couches (l’oxyde de grille d’interface en  $\text{SiO}_2$ , le diélectrique à forte permittivité, le métal de grille et enfin le poly-silicium), le procédé de gravure sera en réalité constitué de plusieurs étapes dont les rôles respectifs sont la gravure successives des matériaux de grille.

Le procédé de gravure est ainsi contrôlé de manière à retirer intégralement les matériaux déposés sur l’HSQ. Notons également qu’en cas de sur-gravure, le matériau présent dans la cavité risque d’être consommé.

Enfin, les dépôts de matériaux de grille sont généralement réalisés sur la surface de silicium du canal préalablement nettoyée afin d’assurer une très bonne interface des oxydes de grille et une faible EOT. Le nettoyage de la zone active, en général par un mélange à base d’acide fluorhydrique (HF), a pour but de retirer l’oxyde de silicium formé naturellement à la surface du canal. Dans notre cas, cette étape n’a pas été réalisée puisque cela aurait endommagé la structure HSQ, elle-même composée en grande partie d’oxyde de silicium. On s’attend ainsi à ce que l’EOT de nos dispositifs soit important.

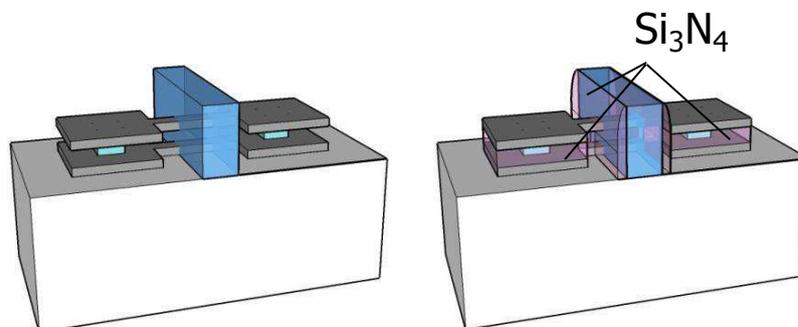
Cependant, plusieurs études font état d’une modification chimique de la structure HSQ, et en particulier sa constante diélectrique, lorsque celle-ci est soumise à un procédé de densification par plasma ou à haute température. On notera en particulier l’usage de plasmas à base d’oxygène qui ont tendance à densifier davantage la structure HSQ [Liu98, Singh06] ou à des recuits à haute température (plus de  $550^\circ\text{C}$ ) qui permettent d’améliorer ses propriétés mécaniques. Ce type de méthode pourrait être évalué de manière à augmenter la résistance de l’HSQ au procédé de nettoyage de la zone active, et ainsi autoriser la formation d’un oxyde de grille moins épais.

#### IV.2.1.4. Retrait HSQ, formation des espaceurs et épitaxie SD

L'HSQ ayant une structure chimique très proche des oxydes de silicium, la méthode de retrait de l'HSQ consiste en une chimie liquide d'HF concentré. Cette étape doit également être contrôlée en temps pour plusieurs raisons :

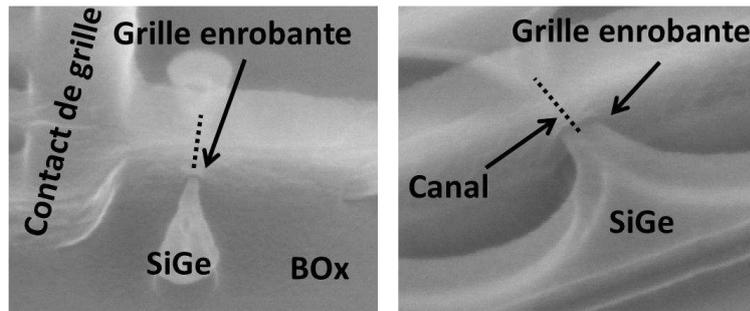
- ✓ La consommation de l'HSQ est plus rapide que celle d'un oxyde de silicium conventionnel, de par sa structure légèrement moins dense. On relève ainsi une vitesse de consommation 5 à 6 fois supérieure en comparaison aux oxydes de silicium tels que le Box. Ceci permet de s'assurer que ce dernier n'est que peu consommé lors de l'étape de retrait de l'HSQ.
- ✓ Certains matériaux de grille, en particulier les oxydes et le TiN (métal de grille utilisé ici) sont susceptibles d'être consommés puisque la chimie liquide HF aura un accès à ceux-ci par le flanc de la grille. On verra que l'expérience nous a permis de montrer que cet effet est négligeable dans le procédé utilisé.

Le but est de libérer totalement la grille (**Fig. IV. 36**, gauche), et la structure pourra ainsi être caractérisée afin de démontrer le bon alignement de la grille inférieure et supérieure. La fabrication suivra ensuite les étapes conventionnelles de formation des espaceurs pour l'épithaxie et l'implantation des zones source et drain. La grille auto-alignée étant déjà créée, le dépôt du nitrure de silicium et la gravure anisotrope pour former les espaceurs permettra de créer le diélectrique enterré entre le canal de conduction et le canal parasite inférieur. De cette manière, le canal sera complètement isolé des autres parties de la structure (**Fig. IV. 36**, droite). On répond ainsi aux besoins d'isolation d'une structure idéale comme présentée eu paragraphe **IV.1.1.2**.



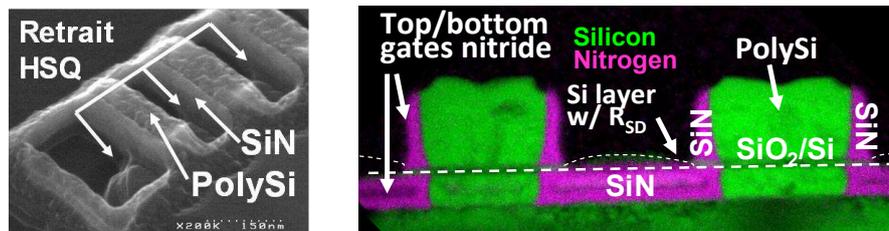
**Fig. IV. 36** Schéma de la structure après retrait de l'HSQ et formation des espaceurs en nitrure (vue simplifiée). Le nitrure non gravé dans la cavité permet de conserver ce diélectrique enterré.

Les vues par microscopie électronique (MEB à  $45^\circ$ ) mettent en évidence la formation de la grille tout autour des canaux de conduction (**Fig. IV. 37**), dans le cas d'une structure à nanofil isolée (un seul canal à  $W=15\text{nm}$ ) et aussi sur la structure multicanaux. Ces images sont réalisées dans un SEM dont le faisceau est accéléré à  $15\text{keV}$  ce qui permet également de mettre en évidence les résidus de SiGe qui tiennent le Si en suspension.



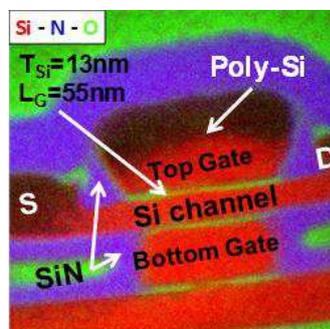
**Fig. IV. 37.** Vue tournée au MEB du motif de grille enrobant les futurs canaux de Si, suspendus grâce aux résidus de SiGe sous les zones Source et Drain.

La formation des espaceurs est démontrée morphologiquement, et on peut observer qu'ils sont correctement créés sur les faces latérales des grille (structure fausse grille, **Fig. IV. 38**, gauche). La vue en coupe TEM (**Fig. IV. 38**, droite) permet de mettre en évidence le parfait auto alignement des grilles ainsi que la formation des espaceurs pour la grille supérieure et du diélectrique enterré sous le canal de Si, ce qui permet d'isoler également la grille inférieure.



**Fig. IV. 38** - Démonstration morphologique de l'auto alignement de  $\text{SiO}_2/\text{Poly-Si}$  formée de part et d'autre de la membrane de Si. La définition des espaceurs en nitrure permet la formation simultanée d'un diélectrique enterré qui permet l'isolation de la grille inférieure.

La vue en coupe TEM réalisée sur un dispositif fonctionnel (**Fig. IV. 39**) permet de montrer l'auto alignement des grilles et leur dimensions, l'intégration d'espaceurs et d'un diélectrique enterré sur les faces latérales des grilles, ainsi que l'épitaxie source et drain et les étapes de siliciuration [Coquand13b].



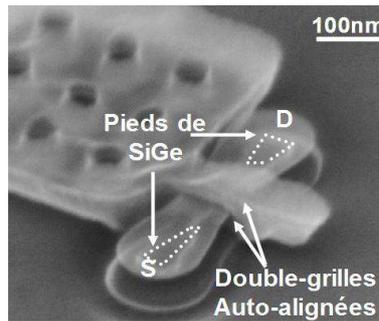
**Fig. IV. 39** Vue TEM colorisée d'un dispositif testé électriquement avec une longueur de grille de 55nm. La structure à double grille est parfaitement auto alignée.

## IV.2.2 Caractérisation électrique des dispositifs GAA HSQ

### IV.2.2.1. Electrostatique et performances

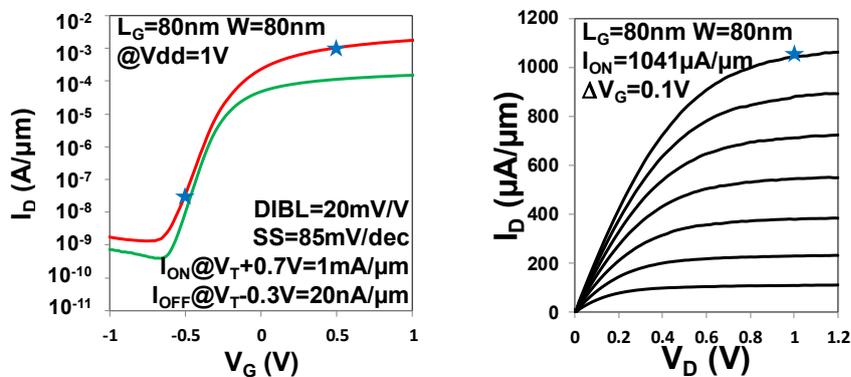
Cette première démonstration de la lithographie traversante ouvre la voie vers la fabrication de transistors à double grille auto alignée. Comme décrit précédemment, cette architecture permet l'isolation des grilles inférieures et supérieures par le diélectrique utilisé pour la formation des espaceurs, qui saura être bénéfique pour les nœuds avancés.

Nous sommes ainsi capable de fabriquer des transistors larges ( $W=80\text{nm}$ ) à double grille auto alignées, avec un empilement simple de  $\text{SiO}_2$  ( $30\text{\AA}$ ) et de poly-silicium fortement dopé au phosphore en tant que métal de grille (**Fig. IV. 40**).



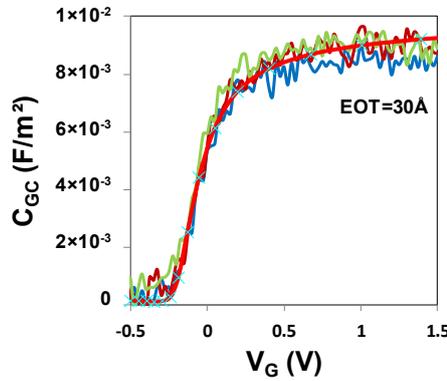
**Fig. IV. 40** Vue MEB tournée de la structure finale avec les zones S, D et contact de grille. Avec une largeur de  $80\text{nm}$ , on parle alors de structures double grille.

Puisque la grille a été formée sur un dispositif large, les canaux de conduction sont principalement localisés sur les faces larges de la zone active de silicium, et l'on parle alors de transistor à double-grille. La caractérisation électrique de transistor nFET avec cette structure montre un bon courant à l'état haut de plus de  $1\text{mA}/\mu\text{m}$  extrait à  $V_G=V_T+0.7\text{V}$  (normalisé par la dimension en vue de dessus de  $80\text{nm}$ ), avec un courant de fuite de  $20\text{nA}/\mu\text{m}$  extrait à  $V_G=V_T-0.3\text{V}$  et pour une longueur de grille de  $L=80\text{nm}$ . Cela démontre que la qualité de conduction du canal de silicium n'a pas été dégradée lors des étapes de lithographie électronique de l'HSQ. Enfin, l'architecture à double grille démontre une bonne électrostatique avec un  $\text{DIBL}=20\text{mV/V}$  et une pente sous le seuil de  $\text{SS}=85\text{mV/dec}$  (**Fig. IV. 41**).



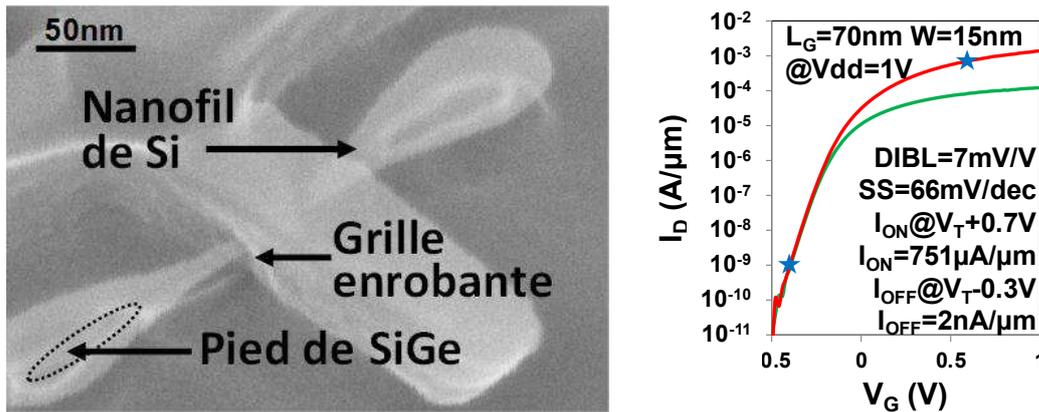
**Fig. IV. 41** (gauche) Caractéristiques  $I_D$ - $V_G$  d'un nFET double grille avec  $W=80\text{nm}$ . (droite)  $I_D$ - $V_D$  avec un courant  $I_{ON}$  de plus de  $1\text{mA}/\mu\text{m}$  ( $@V_G=V_T+0.7\text{V}$ ).

Enfin, la mesure de la capacité de grille-canal (**Fig. IV. 42**) sur les structures à multicanaux permet l'extraction de l'EOT=30Å, ce qui est en accord avec les observations en coupe TEM montrées précédemment. Comme montré en fin du paragraphe IV.2.1.2., les surfaces de grille larges sont vidées lors de l'étape de retrait des matériaux en excès. Pour cette raison, il n'a pas été possible de réaliser de dispositifs à canaux long (L=10µm) pour en extraire la mobilité des porteurs comme vu au chapitre II.



**Fig. IV. 42** – Les structures multi canaux permettent la mesure de la charge d'inversion et l'extraction de l'EOT, ici donnée à 30Å. Cette mesure est conforme au procédé.

Cette intégration innovante est également possible avec des transistors à nanofil de Si, dont la largeur est de 15nm. La caractérisation électrique d'un dispositif nFET avec l'extraction de la courbe  $I_D$ - $V_G$  (**Fig. IV. 43**) montre de bonnes performances avec  $I_{ON}=750\mu A/\mu m$  extrait également à  $V_G=V_T+0.7V$  et  $I_{OFF}=2nA/\mu m$  extrait à  $V_G=V_T-0.3V$  (pour L=70nm, et normalisées par la largeur vue de dessus). Dans cette configuration à grille enrobante, l'électrostatique de ces dispositifs est excellente, avec ici un DIBL très faible (7mV/V) ainsi qu'une pente quasi idéale (66mV/dec).



**Fig. IV. 43** -. Caractéristique  $I_D$ - $V_G$  d'un dispositif nanofil avec grille enrobante  $SiO_2$ /Poly-Si:P. Le DIBL est quasi nul et la pente sous le seuil quasi idéale.

Afin de comparer les différentes longueurs de grille réalisées, de 45nm à 120nm, on observe que les DIBL sont globalement inférieurs à 20mV/V et les pentes sous le seuil inférieures à 70mV/dec (**Fig. IV. 44**).

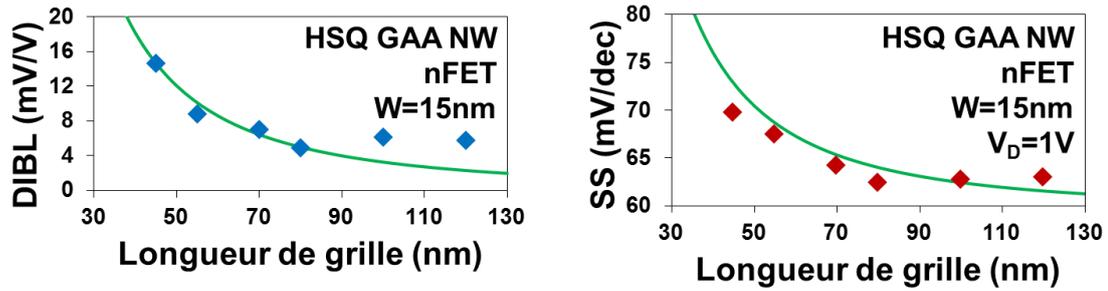


Fig. IV. 44 - SS et DIBL tracés en fonction de la longueur de grille de nFETs HSQ-GAA avec  $45\text{nm} < L_G < 120\text{nm}$  (Ligne: Modèle MASTAR).

La limitation des dimensions des tranchées HSQ n'ont pas permis de fabriquer et mesurer l'électrostatique de transistors à une très petite longueur de grille. Néanmoins, la fabrication de plusieurs dispositifs fonctionnels a pu être démontrée, avec des courants de fuites inférieurs à  $4\text{nA}/\mu\text{m}$  et des courants  $I_{\text{ON}}$  entre  $300$  et  $750\mu\text{A}/\mu\text{m}$  (Fig. IV. 45).

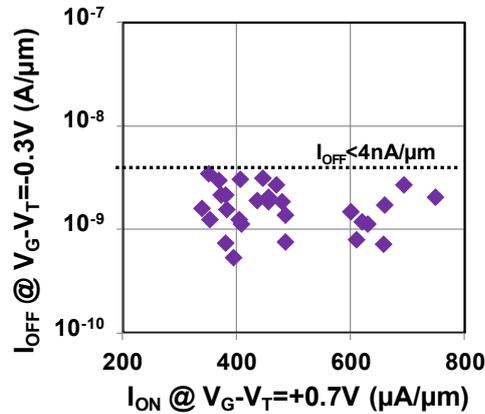
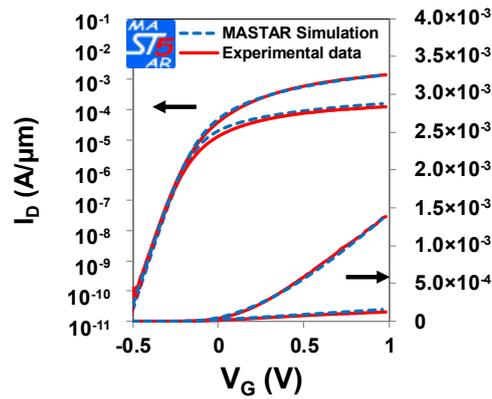


Fig. IV. 45 -  $I_{\text{on}}-I_{\text{off}}$  normalisés par l'encombrement pour les GAA N-FETs avec  $W_{\text{top}}=15\text{nm}$ . Les valeurs  $I_{\text{on}}$  et  $I_{\text{off}}$  sont extraites respectivement à  $V_G - V_T = +0.7\text{V}$  et  $-0.3\text{V}$ .

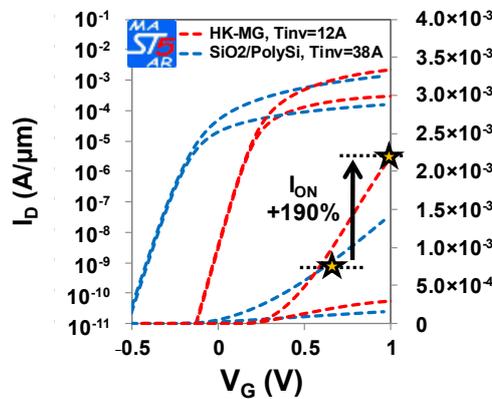
#### IV.2.2.2. Evaluation HKMG : Modélisation MASTAR

L'utilisation des modèles double-grille développés dans le logiciel MASTAR a permis de modéliser le comportement électrique d'un dispositif à nanofil. Les courants ont pu être calculés de manière à correspondre à un cas plus réaliste, avec l'ajustement de paramètres tels que la résistance d'accès, l'épaisseur des oxydes de grille mais aussi la largeur réelle du dispositif (ici de  $60\text{nm}$  pour prendre en compte les 4 grilles autour d'un nanofil de  $15\text{nm}$ ). On observe que les modèles permettent de reproduire fidèlement le comportement du dispositif dans ses différents régimes de conduction (à  $V_D$  faible et fort, Fig. IV. 46).



**Fig. IV. 46** – Figure  $I_D$ - $V_G$  ajustée avec une simulation MASTAR correspondant aux mesures de dispositifs HSQ-GAA Si NW ( $W=15\text{nm}$  et  $L_G=70\text{nm}$ ).

Cette modélisation peut également permettre l'évaluation d'un tel dispositif avec des grandeurs technologiques ajustées. En particulier, on se propose d'évaluer les propriétés d'un tel dispositif avec une grille comportant un oxyde high- $\kappa$  et un métal de grille mid-gap. On ajuste pour cela le travail de sortie de la grille et la valeur de  $T_{\text{INV}}$  à  $12\text{\AA}$  (contre  $30\text{\AA}$  dans le cas expérimental). L'utilisation de cette intégration plus appropriée montre un ajustement de la tension de seuil comme attendu dans l'expérience [Suk05], et permet d'envisager un gain de près de 190% sur le courant  $I_{\text{ON}}$  (Fig. IV. 47), avec des valeurs de  $I_{\text{ON}}=2.2\text{mA}/\mu\text{m}$  et  $I_{\text{OFF}}=3\text{nA}/\mu\text{m}$  pour une extraction dans les mêmes conditions que précédemment ( $I_{\text{ON}}$  @  $V_G=V_T+0.7\text{V}$  et à  $L_G=70\text{nm}$ ).



**Fig. IV. 47** - Simulation MASTAR  $I_D$ - $V_G$ , et extrapolation des performances du dispositif avec grille high- $\kappa$  /Métal et  $T_{\text{INV}}=12\text{\AA}$ . Un gain de +190% sur  $I_{\text{ON}}$  est attendu.

La démonstration électrique étant réalisée, l'ajustement des procédés de fabrication doit être réalisé de manière à intégrer les matériaux de grilles correspondant aux technologies les plus récentes. Ce travail a pu être réalisé sur nos dispositifs à partir des mêmes étapes d'intégration, à ceci près que la fabrication de la grille est ajustée en conséquence (dépôt, gravure). C'est ce qui sera démontré au paragraphe suivant.

## IV.3. Evolution de la technologie GAA HSQ

### IV.3.1 Intégration de grille HKMG pour dispositifs GAA HSQ

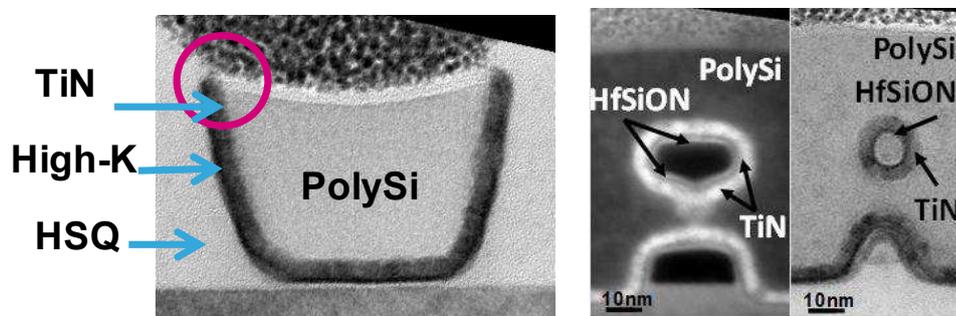
#### IV.3.1.1. Procédés de dépôt et de gravure grille optimisés

L'intégration d'une grille composée d'un diélectrique high- $\kappa$  et d'un métal est directe dans le procédé proposé. Après la formation de la structure HSQ auto-alignée, le remplissage de la tranchée est réalisé par un  $\text{SiO}_2$  d'interface, ici réduit à  $8\text{\AA}$ , les matériaux high- $\kappa$  puis le métal et enfin du poly-silicium. Contrairement au dépôt préalablement réalisé avec un  $\text{SiO}_2$  puis un poly-silicium dopé, le dépôt de grille high- $\kappa$ /métal comporte des étapes intermédiaires.

Les matériaux utilisés ici sont les mêmes que ceux intégrés dans le développement de la technologie TriGate (voir chapitre II). Le diélectrique à forte permittivité utilisé est un silicate d'Hafnium. On dépose ainsi  $2,3\text{nm}$  de  $\text{HfSiO}$  qui sera ensuite nitruré par un procédé plasma à base d'ammoniaque  $\text{NH}_3$  durant  $90\text{s}$  puis recuit à haute température ( $900^\circ\text{C}$ ) pour une meilleure stabilité chimique. Bien qu'à cette étape, l'HSQ soit totalement encapsulé par les dépôts  $\text{SiO}_2$  et  $\text{HfSiO}$ , le budget thermique associé renforcera la modification structurelle de l'HSQ. Ceci sera donc à prendre en compte pour son retrait. Les dépôts de métal ( $5\text{nm}$  de  $\text{TiN}$  par procédé ALD) puis de poly-silicium sont ensuite réalisés.

L'utilisation de cet empilement plus complexe rend la gravure de la grille plus difficile. Le procédé de gravure, qui a pour rôle de planariser la surface de grille sur les dispositifs et de retirer tout excès de matériaux sur l'HSQ, est une succession de gravure afin de retirer le PolySi, puis le métal  $\text{TiN}$ , puis le  $\text{HfSiON}$ . Ce procédé a ainsi été ajusté de manière à remplir les mêmes conditions que précédemment.

La grille est ainsi encapsulée dans la structure en HSQ (**Fig. IV. 48**). Le retrait HSQ, réalisé par une étape de gravure humide au HF concentré à 5%, est délicat puisque les métaux tel que le  $\text{TiN}$  sont consommés par cet acide. Le dépôt est ainsi contrôlé de manière à ce que le  $\text{TiN}$  soit encapsulé par les autres matériaux de grille ( $\text{HfSiON}$  et poly-silicium). Le procédé ne devra pas non plus laisser de résidu de métal, qui rendrait l'épitaxie source-drain impossible (entre autre par le risque de contamination).



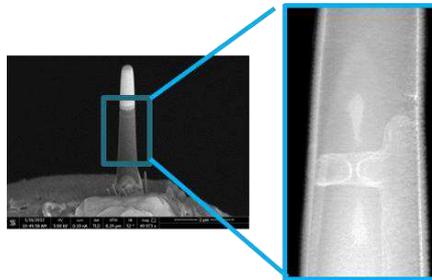
**Fig. IV. 48** – Vue en coupe TEM dans la longueur de grille montrant la forme de la grille après gravure. Vue en coupe dans la largeur de la grille démontrant que celle-ci enrobe totalement les nanofils de silicium.

La faisabilité de l'incorporation d'une grille HKMG est démontrée sur les dispositifs à nanofil de Si fabriqués par lithographie de l'HSQ, avec une structure de grille totalement enrobante autour de nanofils de 20nm et 9nm (**Fig. IV. 48**). L'intégration est ensuite identique au cas précédent, avec la fabrication des espaceurs (et du diélectrique enterré pour la grille inférieure) puis de l'épitaxie source et drain. La fabrication de dispositifs fonctionnels est ainsi possible avec l'utilisation d'HSQ.

#### IV.3.1.2. Caractérisation innovante : tomographie 3D

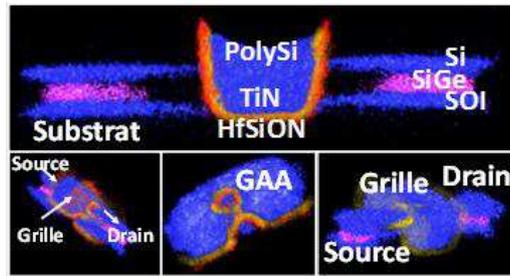
La fabrication de dispositif à nanofil est démontrée avec cette approche de lithographie innovante. On a ainsi pu caractériser physiquement le bon déroulement des étapes technologiques par l'imagerie à transmission électronique. La fabrication de dispositif à grande longueur de grille est ainsi indispensable de manière à préparer un échantillon dans cette zone.

Néanmoins, la petite dimension d'un dispositif à nanofil ne permet pas une coupe dans sa direction source-drain par exemple. C'est la raison pour laquelle d'autres techniques de caractérisation sont développées. Au cours de ce travail, nous avons eu l'opportunité de caractériser nos dispositifs par tomographie tridimensionnelle. Cette technique repose sur l'imagerie non pas d'une coupe plane mais d'une coupe tridimensionnelle du dispositif (**Fig. IV. 49**).



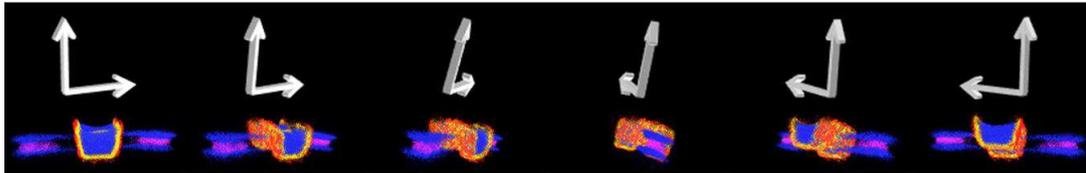
**Fig. IV. 49** – Vue au MEB lors de la préparation d'échantillon au FIB. La forme conique de l'échantillon va permettre sa caractérisation en trois dimensions.

La préparation de l'échantillon requiert une grande maîtrise de l'outil FIB (*Focused Ion Beam*) utilisé pour couper la zone d'intérêt, comprenant le dispositif [**Lorut08**]. Taillée en forme de pointe, l'échantillon est ainsi analysé par spectroscopie X (XEDS pour *X-ray electron dispersion spectroscopy*). L'outil développé pour cette technique a permis l'acquisition des spectres X des différents éléments en présence (matériaux de la zone active et de la grille). La reconstruction tridimensionnelle est ensuite permise par une acquisition de données à plusieurs angles [**Lepinay13**]. Le temps d'acquisition de 800 $\mu$ s/pixel permet de reconstruire une image de 750 pixels par 900 pixels en 10min, et donc 37 images sur 180° en quelques heures. Un filtrage numérique est ensuite nécessaire afin de faire correspondre chaque pixel à l'élément majoritaire du spectre EDX. La structure à grille enrobante fabriquée par lithographie HSQ a ainsi été caractérisée (**Fig. IV. 50**). Cette technique permet de visualiser en 3D le dispositif analysé, et de l'étudier en détail.



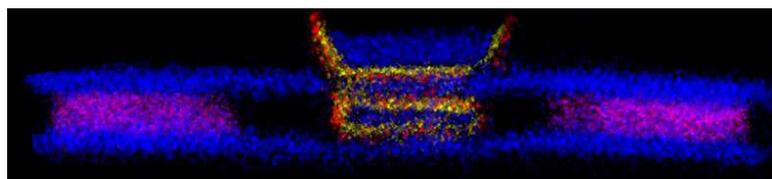
**Fig. IV. 50** – Différentes vues après reconstruction du dispositif par tomographie 3D.

La visualisation en trois dimensions permet ainsi d’observer le dispositif sous plusieurs angles (**Fig. IV. 51**) et de vérifier sa géométrie, la disposition des matériaux de grille, la présence de résidus de SiGe ailleurs que sous les zones source et drain, et ainsi de caractériser finement le dispositif.



**Fig. IV. 51** – Vues d’un dispositif à différents angles permettant de reconstruire sa géométrie sur 180°.

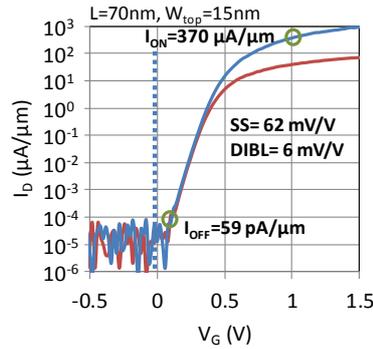
On montre en particulier l’intérêt de la technique par la possibilité de créer "virtuellement" une coupe dans un dispositif de faible dimension. On voit en **Fig. IV. 52** une coupe dans la longueur d’un dispositif à nanofil. Avec une largeur de 15nm, la préparation de l’échantillon n’aurait pas été possible sur ce type de dispositif. On voit ainsi la grille inférieure parfaitement alignée avec la grille supérieure.



**Fig. IV. 52** – Vue en coupe d’un dispositif à nanofil dans la direction source-drain.

#### IV.3.1.3. Premiers résultats électriques GAA HSQ avec HKMG

On vient de démontrer la possibilité de fabriquer les dispositifs GAA HSQ avec une grille composée d’un diélectrique à forte permittivité et d’un métal mid-gap. Nous avons également pu démontrer le bon fonctionnement électrique de ces dispositifs (**Fig. IV. 53**). On montre en particulier que l’architecture à grille enrobante permet un très bon contrôle de l’électrostatique (faible DIBL, SS proche de 60mV/dec), ici obtenu pour  $L=70\text{nm}$ . On attend des résultats similaires pour des longueurs de grille inférieures.



**Fig. IV. 53** – Caractéristiques  $I_D$ - $V_G$  d'un dispositif GAA-HSQ avec grille high- $\kappa$  /métal.

On notera sur la courbe  $I_D$ - $V_G$  que la tension de seuil du dispositif est positive. L'utilisation d'un métal de grille mid-gap permet ainsi d'obtenir une valeur mieux ajustée pour un dispositif nFET.

Il faudra tout de même relever que le niveau de courant reste relativement faible. Le courant  $I_{ON}$  atteint  $370 \mu A/\mu m$  dans ce cas et le courant  $I_{OFF}$  est également très faible ( $59 pA/\mu m$ ). On pourra supposer que ces faibles valeurs, bien inférieures aux chiffres prédis par le modèle MASTAR, sont dues à une augmentation de la résistance d'accès du dispositif (lié à l'épaisseur d'épitaxie source/drain et sa siliciuration). Il est plus probable que l'épaisseur d'oxyde équivalente EOT soit supérieure à celle supposée dans le modèle MASTAR. En effet, en plus de  $8 \text{ \AA}$  de  $\text{SiO}_2$  d'interface et de  $2,3 \text{ nm}$  de  $\text{HfSiON}$ , l'intégration développée ici ne comprend pas de nettoyage du nanofil de Si avant ces dépôts car ce nettoyage aurait pu nuire à l'intégrité de la structure HSQ. Bien qu'il soit possible que ce dernier soit assez résistant (en particulier s'il est traité thermiquement), il a été choisi de ne pas effectuer cette étape. Pour cette raison, et de la même manière que pour l'intégration avec  $\text{SiO}_2/\text{PolySi}$ , l'oxyde de grille est augmenté par un oxyde résiduel, formé naturellement sur le Si du canal. Enfin, notons que la réduction de la mobilité des porteurs due à l'utilisation de matériaux high- $\kappa$  avait été prise en compte dans le modèle.

Malgré de faibles valeurs de courant, le dispositif est fonctionnel et permet de démontrer la pertinence de cette technique d'intégration. Il sera alors nécessaire d'optimiser encore les procédés afin de réduire l'EOT et les résistances d'accès, et l'obtention de dispositifs à hautes performances est tout à fait probable dans un futur proche.

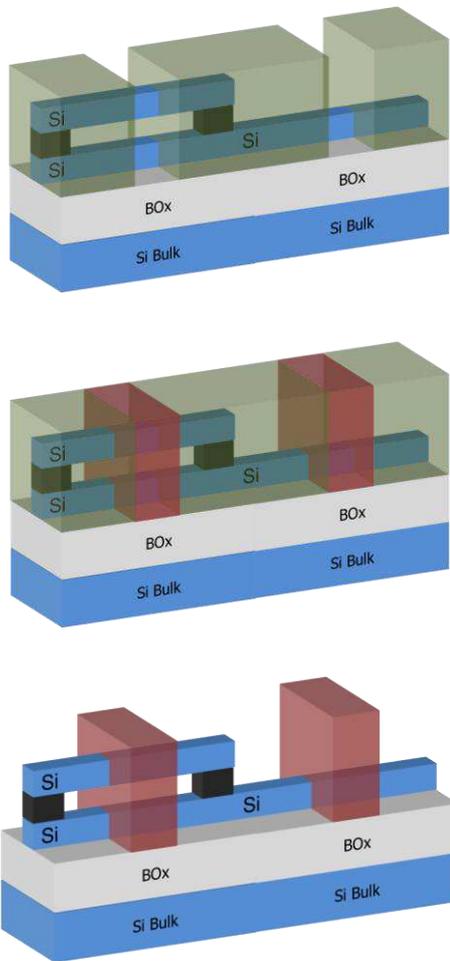
## IV.3.2 Perspectives pour une intégration avec grille HKMG

### IV.3.2.1. La co-integration des dispositifs

Nous venons de voir la possibilité de fabriquer des dispositifs GAA HSQ. Dans un contexte industriel, il peut être intéressant de vouloir co-intégrer des transistors conventionnels à ce type de dispositif, très économe en énergie ( $I_{OFF}$  faible), très bien contrôlé (DIBL quasi nul) et dont la commutation entre son état haut et son état bas est très bien contrôlée (SS proche de  $60 \text{ mV/dec}$ ).

Dans un premier temps, nous supposons que la largeur de la zone active sur la puce est identique, c'est-à-dire ici, réduite de manière à former des nanofils pour le

dispositif GAA et des transistors TriGate pour la zone sur Box. Ces zones étant définies à une étape indépendante de la fabrication de la grille, il reste tout à fait envisageable de co-intégrer des dispositifs larges avec les dispositifs GAA HSQ.



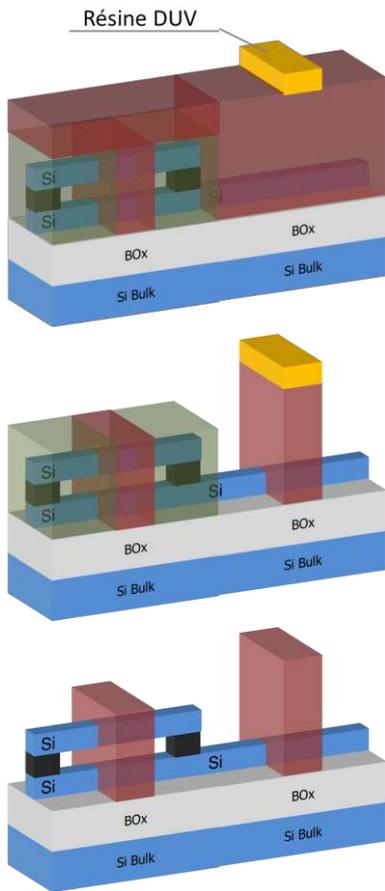
**Fig. IV. 54** – Schéma de co-intégration de dispositifs GAA et TriGate (ou DG et planaire) par fabrication des grilles par tranchées HSQ.

un faisceau d'électron et que le temps d'écriture est ainsi relativement long. Le développement d'outil multi-faisceau pourra être une solution au temps d'écriture en lithographie électronique. Rappelons tout de même que l'HSQ est compatible avec une exposition EUV, qui est une technologie également en cours de développement. L'une ou l'autre de ces solutions sera ainsi particulièrement utile pour s'autoriser la fabrication de dispositifs planaires ou TriGate par exposition d'HSQ.

Pour cette raison, nous avons également travaillé sur la co-intégration des deux types de dispositifs en combinant deux lithographies. Les dispositifs GAA HSQ sont ainsi définis par lithographie électronique, tandis que la grille des dispositifs planaires ou TriGate est définie de manière conventionnelle par lithographie DUV.

On peut ainsi proposer la fabrication de la grille sur le dispositif nanofil suspendu en même temps que le dispositif SOI, avec la définition d'une tranchée par lithographie HSQ sur chacune des deux zones actives (**Fig. IV. 54**). De manière identique à la fabrication d'un GAA HSQ, le dépôt de grille dans la tranchée permet de former la grille sur le second dispositif, et l'HSQ est ensuite retiré. Comme pour la fabrication décrite en première partie de ce chapitre, l'HSQ étant consommé environ cinq fois plus rapidement que l'oxyde du Box, la consommation de ce dernier reste minime. On notera d'ailleurs que la zone active peut aussi être suspendue par la consommation du Box.

L'utilisation d'HSQ pour la fabrication de transistor conventionnel suppose tout de même que le temps d'exposition ne soit pas limitant. En effet, rappelons que l'HSQ est dans notre cas insolé par

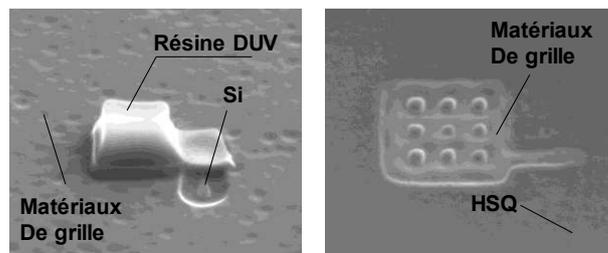


**Fig. IV. 55** - Co-integration de dispositifs GAA et TriGate par fabrication des grilles par lithographie e-beam et DUV, respectivement.

Nous avons ainsi proposé une approche dans laquelle la structure d’HSQ est fabriquée par lithographie ebeam, les matériaux de grille sont déposés, puis une lithographie DUV conventionnelle est réalisée sur l’empilement de grille (**Fig. IV. 55**). Sans masque dédié, nous avons réalisé cette opération par l’exposition DUV en complément des puces réalisées par lithographie électronique. On a ainsi un motif réalisé par DUV uniquement au-dessus des dispositifs conventionnels.

L’étape de gravure de grille permet alors de transférer ce motif pour former la grille des dispositifs planaires ou TriGate, comme c’est le cas habituellement. Dans le même temps, la gravure permet de retirer l’excès de matériaux sur la structure HSQ et de planariser la surface. L’HSQ peut ensuite être retiré sélectivement, et la co-integration est réalisée.

Cette démonstration a pu être réalisée sur plaque, et nous observons ainsi la possibilité de former les dispositifs GAA HSQ sur la même plaque que d’autres dispositifs à grille planaire réalisée par lithographie optique (**Fig. IV. 56**). On rappelle que dans notre cas, sans masque dédié à l’opération, les motifs sont observés sur deux puces distinctes mais co-intégrés sur la même plaque. On notera que la présence de résidus sur l’une ou l’autre des structures est possible. La hauteur de matériaux à graver doit en effet être ajustée (par la hauteur de la structure HSQ par exemple), de manière à ce que la profondeur de gravure soit identique dans les deux cas.



**Fig. IV. 56** – Démonstration morphologique d’une lithographie DUV et e-beam sur une même plaque pour former un dispositif TriGate et GAA.

### IV.3.2.2. Gate-last par retrait de grille en polysilicium

La technologie HSQ est également compatible avec une approche de type gate-last. Ainsi, la fabrication d'un dispositif avec grille métallique peut aussi être réalisée à partir de l'intégration initiale. La fabrication est identique, de la formation de la structure auto alignée en HSQ jusqu'à la formation de la grille avec espaces (Fig. IV. 57).

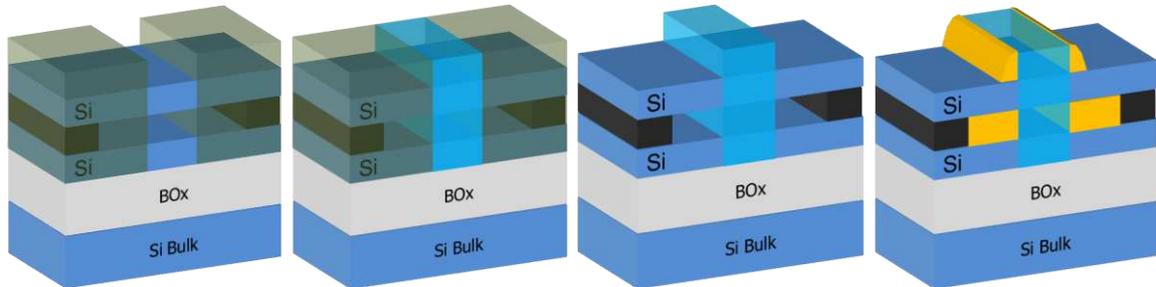


Fig. IV. 57 – Schéma de fabrication d'un GAA-HSQ par tranchées HSQ.

Aux étapes de fin de fabrication (Back-end), les dispositifs étant encapsulés par un isolant de type PMD permettant l'isolation électrique et la fabrication des contacts, on peut graver sélectivement le PolySi de grille. On pourra alors remplir à nouveau la cavité par les matériaux de grille high- $\kappa$  et métal (Fig. IV. 58). On parle alors de RMG pour *Replacement Metal Gate*.

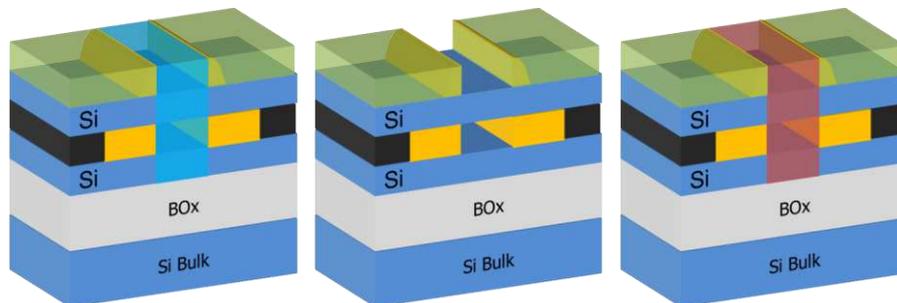


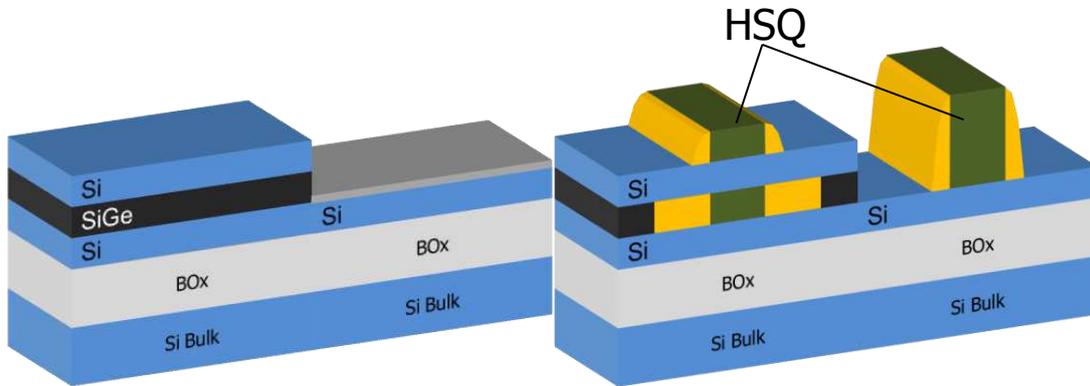
Fig. IV. 58 – Aplatissement des dépôts de back-end, retrait sélectif de la grille en polysilicium puis nouveau remplissage de la tranchée par une grille high- $\kappa$  /Métal.

### IV.3.2.3. Utilisation gate-last par lithographie dite "HSQ ligne"

Il existe une autre manière de former un dispositif à grille enrobante par lithographie traversante d'HSQ. Comme on l'a montré précédemment, la fabrication et l'auto-alignement de petites structures est tout à fait possible avec l'HSQ [Monfray10]. On peut alors s'affranchir de la limitation en dimension de tranchée, causée par les effets de proximité en lithographie électronique.

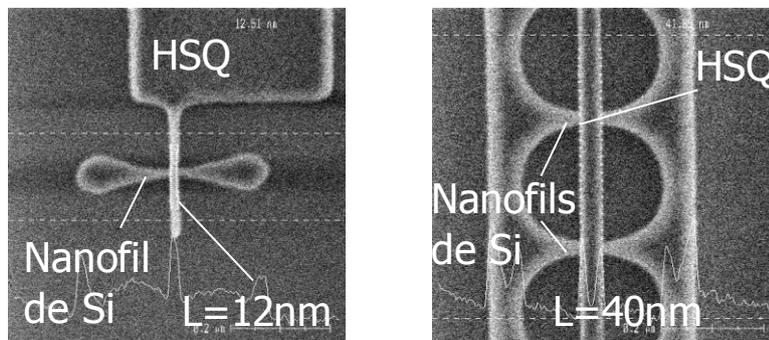
On propose ainsi la fabrication de fausses grilles en HSQ, parfaitement auto-alignées, et dont la dimension peut atteindre 15nm puisque la résolution de la lithographie électronique le permet sur de petits motifs [Grigorescu07, Bonam10]. De la même

manière qu’aux paragraphes précédents, cette intégration est compatible pour la fabrication de dispositifs conventionnels si la structure de grille n’est pas fabriquée de manière auto alignée autour d’une zone active suspendue (**Fig. IV. 59**). Comme pour une approche gate-last, les étapes d’épitaxie source-drain et d’implantation peuvent être réalisées en présence des fausses grilles, ici en HSQ.



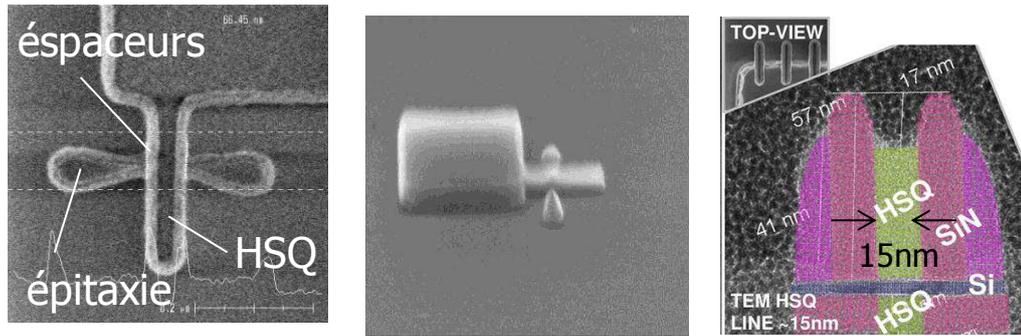
**Fig. IV. 59** – Proposition d’intégration de dispositifs co-intégrés dont la grille est une fausse grille en HSQ. La dimension d’une ligne d’HSQ peut atteindre 12nm.

On a ainsi pu démontrer la possibilité de fabrication de fausses grilles en HSQ, dont le motif atteint une dimension minimale de 12nm (ici avec une épaisseur d’HSQ de 80nm). Les longueurs de grille plus grandes sont aussi réalisables par l’insolation d’une zone plus large (**Fig. IV. 60**).



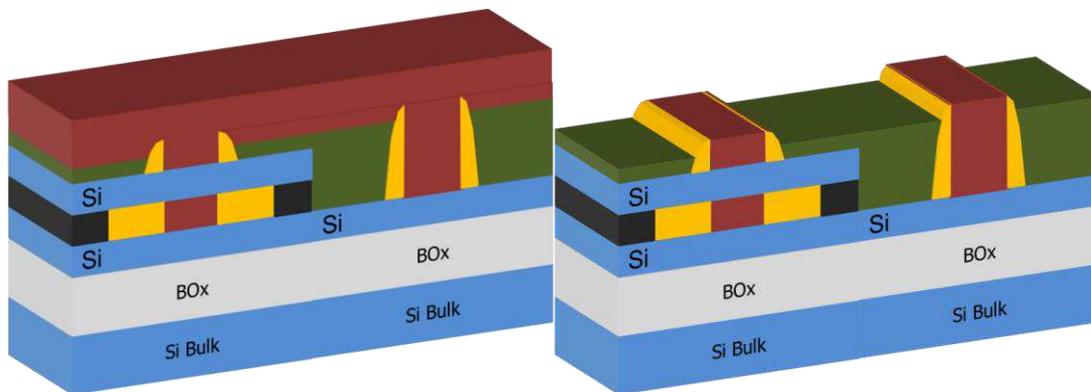
**Fig. IV. 60** – Vue MEB de zones actives nanofils de Si recouvertes de fausses grilles en HSQ dont le motif minimal mesure 12nm.

La structure HSQ est alors utilisée en tant que grille, et on effectue les procédés conventionnels tels que la formation des espaceurs en nitrure (dépôt et gravure), épitaxie source et drain et implantation. Les images ci-dessous (**Fig. IV. 61**) montrent que l’intégrité de l’HSQ est assurée, même si une légère consommation peut être observée (voir coupe TEM). On peut ainsi proposer une intégration ultime, pour laquelle la structure de grille sera auto-alignée et dont la dimension peut-être de l’ordre de 10nm (contre environ 35 nm pour la plus petite structure tranchée réalisée).



**Fig. IV. 61** – (gauche et centre) Vues MEB d’une fausse grille en HSQ, après dépôt et gravure d’un espaceur nitrure puis d’une épitaxie source et drain.  
(droite) Coupe TEM après la formation de deux espaceurs.

La fin du procédé devient alors identique aux technologies de type gate-last, où les fausses grilles HSQ seront remplacées en fin de procédé après leur retrait (**Fig. IV. 62**). Comme pour l’intégration précédente, le remplissage des tranchées par des dépôts conformes peut permettre la fabrication des grilles auto alignées (ou standard pour le dispositif planaire co-intégré). Enfin, la gravure ou l’aplanissement CMP permet de retirer les matériaux de grille en excès, et la structure finale est obtenue. Cette approche étant singulière, les procédés n’ont pas tous été élaborés, en particulier ceux liés à l’étape de remplacement de la fausse grille. Pour cette raison, les dispositifs fonctionnels n’ont pas atteint les étapes finales et ne sont pas présentés dans ce manuscrit.



**Fig. IV. 62** – Etapes finales de dépôts et gravure/polissage des matériaux des grilles.

Puisque nous avons utilisé des lignes HSQ de petites dimensions, les grilles obtenues auront des dimensions similaires. On notera alors que le dépôt des matériaux de grille devra être contrôlé, puisque l’approche gate-last ne peut pas permettre un remplissage conforme d’une tranchée trop étroite. La largeur minimale de la ligne HSQ devra être ajustée en conséquence afin d’avoir une tranchée d’environ 15nm après son retrait sélectif. Les premières démonstrations morphologiques (non présentées ici) montrent que cette approche est réaliste et sera davantage développée à l’avenir.



## IV.4. Conclusion du chapitre IV

Ce quatrième chapitre a permis de démontrer la possibilité de fabriquer des dispositifs à grille enrobante grâce à une méthode innovante. Nous avons prouvé que l'utilisation d'une résine HSQ, qui est insolée par un faisceau électronique à travers le canal de Si, permet la fabrication de structures auto-alignées. Ces structures ont ensuite permis de définir la grille, parfaitement auto-alignées de part et d'autre du canal de Si, pour ainsi entourer entièrement le nanofil de Silicium.

Nous avons également montré la limite de l'utilisation d'une telle structure en tranchée. En effet, l'HSQ étant une résine négative, l'écriture de cette structure implique une grande zone d'exposition. La nature du rayonnement électronique provoque alors des effets de proximité importants, qui limitent la taille des tranchées dans la résine. Nous avons pu démontrer que cette limite peut être repoussée si le motif est modifié de manière à optimiser la dose reçue par la résine. La dimension des tranchées a ainsi été réduite de 20nm pour atteindre la dimension d'environ 40nm.

Ces développements ont d'abord permis la démonstration physique de dispositifs à double-grille ou grille enrobante dont la géométrie correspond aux besoins d'un GAA idéal. La mise en œuvre de cette technique innovante permet donc de démontrer la possibilité de fabriquer ces transistors. Leur caractérisation électrique apporte des premiers résultats qui confirment une parfaite électrostatique avec un DIBL inférieur à 20mV/V à  $L=45\text{nm}$ . Les bonnes performances des dispositifs sont aussi démontrées :

- ✓ un courant  $I_{\text{ON}}$  de  $1\text{mA}/\mu\text{m}$  pour un dispositif double-grille ( $W=80\text{nm}$ ),
- ✓ un courant  $I_{\text{ON}}$  de  $751\mu\text{A}/\mu\text{m}$  pour un dispositif nanofil ( $W=15\text{nm}$ ).

Ces valeurs montrent que l'intégrité du canal n'est alors pas endommagée par la technique de lithographie traversante.

Ce travail ouvre ainsi la voie au développement de la lithographie traversante, et en particulier son intégration gate-last qui permet de définir des grilles de longueurs inférieures à 20nm qui saura répondre aux besoins des nœuds technologiques futurs.



## Conclusion générale

Nous aurons vu qu'à travers l'évolution de la technologie CMOS, de nombreuses modifications de la structure du transistor ont permis de repousser les limites du bulk. Cependant, les dispositifs planaires sur bulk se dégradent aux faibles longueurs de grille et ne permettent plus de poursuivre la loi de miniaturisation qui conduit la microélectronique depuis plus de 50 ans. C'est pourquoi les nœuds technologiques inférieurs au 32/28nm font appel à l'intégration de nouvelles architectures. Les technologies actuelles s'ouvrent vers l'industrialisation du film mince (FDSOI) qui présente l'avantage d'un meilleur contrôle du dispositif ainsi que de pouvoir en moduler la conduction par la face arrière du substrat. Les premiers transistors non planaires de type TriGate FinFET sur bulk font aussi leur apparition dès 2011 aux nœuds 22nm pour une production de masse. Mais le substrat bulk reste toutefois limitant pour des applications à basse consommation.

Nous avons alors proposé d'évaluer les technologies qui permettraient de repousser la limite de la feuille de route du CMOS. Pour cela, nous avons pu développer des transistors à triple grille sur SOI, dits TriGate ou TGSOI. Le chapitre II aura permis l'étude des particularités du fonctionnement de ces dispositifs. On s'est aussi intéressé aux possibilités offertes pour en améliorer les performances : études des contraintes compressives (pour le PMOS) et tensile (pour le NMOS).

Le dispositif TriGate fabriqué sur SOI semble être un parfait candidat à l'évolution des technologies à film mince. La miniaturisation dans la largeur des dispositifs permet avant tout d'améliorer considérablement le contrôle de la grille sur les propriétés électrostatiques du canal de silicium. Cette géométrie permet également l'utilisation des plans cristallographiques (110) sur les flancs de la zone active, qui sont bénéfiques pour l'amélioration du transport des trous.

On aura également montré que les techniques d'améliorations de performances impliquant la contrainte dans les matériaux sont compatibles avec ces architectures :

- ✓ La contrainte biaxiale d'un substrat sSOI persiste sous forme de contrainte uniaxiale dans les dispositifs TriGate. La mobilité des électrons est ainsi améliorée de +55% et l'amélioration de leur performance peut atteindre +100%. Des courants records  $I_{ON}$  de 1,4mA/ $\mu$ m (pour un courant de fuite  $I_{OFF}$  de 300nA/ $\mu$ m) sont obtenus à une longueur de grille de 10nm.
- ✓ Les performances des transistors PMOS sont améliorées par la contrainte compressive fournie par des zones source-drain en SiGe. Nous avons montré que cette amélioration est d'autant meilleure que la largeur du transistor TriGate est faible. On montre ainsi une amélioration de l'ordre de 100% aux largeurs inférieures à 20nm. Un courant  $I_{ON}$  de 610 $\mu$ A/ $\mu$ m aura été relevé sur un dispositif ayant une longueur de grille de 13nm.

L'étude de l'effet de la contrainte a également été étudié sur des dispositifs ayant un transport de courant dans la direction cristallographique  $\langle 100 \rangle$ . Alors qu'on a montré que la contrainte était conservée sous forme uniaxiale pour les dispositifs standards, on montre que la contrainte tensile devient inefficace dans cette direction aux faibles largeurs. La contrainte compressive n'a elle aucun impact sur les courants mesurés dans cette direction. On montre ainsi que la direction  $\langle 110 \rangle$  reste le meilleur choix pour améliorer les performances des transistors TGSOI grâce à la contrainte dans le canal. Enfin, nous avons pu voir grâce à la caractérisation à basse température que la rugosité de surface est une composante importante des dispositifs très étroits ( $W=8\text{nm}$ ). On aura aussi observé des oscillations sur le courant de drain à basse température, ce qui démontre le confinement des porteurs dans les dispositifs étroits.

Nous avons aussi proposé de simuler par TCAD 3D ces dispositifs afin d'en évaluer les propriétés reportées sur un substrat à SOI à box mince. On aura en particulier étudié les possibilités de contrôle de la conduction par la face arrière, comme c'est le cas dans la technologie planaire FDSOI. On s'intéressera en particulier aux possibilités de contrôle de la tension de seuil des dispositifs pour une application circuit multi-Vt. Les différents modèles physiques ont été calibrés, en particulier la distribution des porteurs dans les différents plans de conduction du TriGate.

L'étude comparative de dispositifs à triple grille a permis de définir des dimensions qui permettent d'allier l'amélioration du contrôle électrostatique avec les effets de changements de conduction par la face arrière. On montre ainsi qu'une technologie de type TriGate sur box mince, dont les grandeurs physiques sont miniaturisées pour répondre aux besoins du nœud technologique 10nm ou inférieur, est compatible avec une approche multi-Vt telle que développée sur la technologie planaire FDSOI. Dans ces conditions, on montre qu'à une longueur de grille  $L=15\text{nm}$ , une amélioration du  $I_{\text{ON}}$  de +30% ou une baisse du  $I_{\text{OFF}}$  de plus d'une décade est possible. Il est également possible de montrer qu'une structure de type FinFET ne permet pas de contrôle par la face arrière.

Enfin, il a été possible de comparer les propriétés électrostatiques de dispositifs à grille enrobante, permettant de repousser les limites de la miniaturisation puisqu'un DIBL inférieur à 50mV/V est atteignable à une longueur de grille de  $L=15\text{nm}$ , soit deux fois inférieur au DIBL obtenu sur TriGate.

La fabrication de tels dispositifs à grille enrobante répond aux besoins des nœuds technologiques ultimes, mais fait face à une intégration complexe. On a ainsi proposé une intégration innovante afin de permettre la fabrication de tels dispositifs, dont la grille ne peut plus être fabriquée par des procédés de transfert de motif vertical. Une solution à la formation de la grille sous un canal de silicium est démontrée grâce à une méthode innovante.

Nous avons prouvé que l'utilisation d'une résine HSQ, qui est insolée par un faisceau électronique à travers le canal de Si, permet la fabrication de structures auto-alignées. Ces structures ont ensuite permis de définir la grille, parfaitement auto alignées de part et d'autre du canal de Si, pour ainsi entourer entièrement le nanofil de Silicium.

Nous avons également montré la limite de l'utilisation d'une telle structure en tranchée. En effet, l'HSQ étant une résine négative, l'écriture de cette structure implique une grande zone d'exposition. La nature du rayonnement électronique provoque alors des effets de proximité importants, qui limitent la taille des tranchées dans la résine. Nous avons pu démontrer que cette limite peut être repoussée si le motif est modifié de manière à optimiser la dose reçue par la résine. La dimension des tranchées a ainsi été réduite de 20nm pour atteindre la dimension d'environ 40nm.

Ces développements ont d'abord permis la démonstration physique de dispositifs à double-grille ou grille enrobante dont la géométrie correspond aux besoins d'un GAA idéal. La mise en œuvre de cette technique innovante permet donc de démontrer la possibilité de fabriquer ces transistors. Nous avons par ailleurs eu l'opportunité de caractériser finement nos dispositifs nanofil à grille enrobante avec une technique de tomographie tridimensionnelle à l'état de l'art actuel. On a montré que notre technique de fabrication permet de parfaitement définir une structure de grille auto alignée pour des dispositifs de dimensions sub-15nm.

Leur caractérisation électrique apporte des premiers résultats qui confirment une parfaite électrostatique avec un DIBL inférieur à 20mV/V à  $L=45\text{nm}$ . Les bonnes performances des dispositifs sont aussi démontrées, avec un courant  $I_{\text{ON}}$  de  $1\text{mA}/\mu\text{m}$  pour un dispositif double-grille ( $W=80\text{nm}$ ), et un courant  $I_{\text{ON}}$  de  $751\mu\text{A}/\mu\text{m}$  pour un dispositif nanofil ( $W=15\text{nm}$ ). Ces valeurs montrent que l'intégrité du canal n'est alors pas endommagée par la technique de lithographie traversante.

Ce travail ouvre ainsi la voie au développement de la lithographie traversante, et en particulier son intégration gate-last qui permet de définir des grilles de longueur inférieure à 20nm, saura répondre aux besoins des nœuds technologiques futurs.

L'intérêt des architectures à multi-grille réside ainsi dans leur excellent contrôle électrostatique, qui devient primordial lorsque l'on considère des longueurs de grille inférieures à 20nm. On a montré que les transistors TriGate permettent cela, que leurs performances peuvent être considérablement améliorées par l'ingénierie de la contrainte, et que leur fabrication sur Box mince peut permettre une modulation de leur tension de seuil. La démonstration de fabrication de transistor GAA par la technique innovante de lithographie traversante sur HSQ, que l'on sait compatible avec la lithographie EUV, laisse aussi penser que la fin de la *roadmap* du semi-conducteur peut encore être repoussée jusqu'aux dispositifs de dimensions ultimes.







## Références bibliographiques

- Ancona89 M. G. Ancona and G. J. Iafrate, "Quantum correction to the equation of state of an electron gas in a semiconductor," *Phys. Rev. B*, vol. 39, no. 13, pp. 9536–9540, May 1989.
- Andrieu07 Andrieu, F., Faynot, O., Rochette, F., Barbe, J.-C., Buj, C., Bogumilowicz, Y., Allain, F., Delaye, V., Lafond, D., Aussenac, F., Feruglio, S., Eymery, J., Akatsu, T., Maury, P., Brevard, L., Tosti, L., Dansas, H., Rouchouze, E., Hartmann, J.-M., Vandroux, L., Casse, M., Boeuf, F., Fenouillet-Béranger, C., Brunier, F., Cayrefourcq, I., Mazure, C., Ghibaudo, G., Deleonibus, S., "Impact of Mobility Boosters (XsSOI, CESL, TiN gate) on the Performance of <100> or <110> oriented FDSOI cMOSFETs for the 32nm Node," *VLSI Technology, 2007 IEEE Symposium on*, vol., no., pp.50,51, 12-14 June 2007
- Andrieu10 F. Andrieu, O. Weber, J. Mazurier, O. Thomas, J. Noel, J. Mazellier, P. Perreau, T. Poiroux, Y. Morand, T. Morel, S. Allegret, V. Loup, S. Barnola, F. Martin, J. Damlencourt, I. Servin, M. Cassé, X. Garros, O. Rozeau, M. Jaud, G. Cibrario, J. Cluzel, A. Toffoli, F. Allain, R. Kies, D. Lafond, V. Delaye, C. Tabone, L. Tosti, L. Brévard, P. Gaud, V. Paruchuri, and K. K. Bourdelle, "Low Leakage and Low Variability Ultra-Thin Body and Buried Oxide ( UT2B ) SOI Technology for 20nm Low Power CMOS and Beyond," *VLSI Symposium*, pp. 57–58, 2010.
- Ang05 Kah-Wee Ang; Jianqiang Lin; Chih-Hang Tung; Balasubramanian, N.; Samudra, G.S.; Yee-Chia Yeo, "Strained n-MOSFET With Embedded Source/Drain Stressors and Strain-Transfer Structure (STS) for Enhanced Transistor Performance," *Electron Devices, IEEE Transactions on*, vol.55, no.3, pp.850,857, March 2008.
- Arora95 Narain D. Arora, Rafael Rios, Cheng-Liang Huang, "Modeling the Poly silicon Depletion Effect and Its Impact on Submicrometer," vol. 42, no. 5, 1995.
- Auf08 Matthias Auf der Maur, Michael Povolotskyi, Fabio Sacconi, Alessandro Pecchia, Aldo Di Carlo, "Multiscale simulation of MOS systems based on high- $\kappa$  oxides", *Journal of Computational Electronics*, September 2008, Volume 7, Issue 3, pp 398-402
- Auth12 C. Auth, C. Allen, A. Blattner, D. Bergstrom, M. Brazier, M. Bost, M. Buehler, V. Chikarmane, T. Ghani, T. Glassman, R. Grover, W. Han, D. Hanken, M. Hattendorf, P. Hentges, R. Heussner, J. Hicks, D. Ingerly, P. Jain, S. Jaloviar, R. James, D. Jones, J. Jopling, S. Joshi, C. Kenyon, H. Liu, R. Mcfadden, B. McIntyre, J. Neiryneck, C. Parker, L. Pipes, I. Post, S. Pradhan, M. Prince, S. Ramey, T. Reynolds, J. Roesler, J. Sandford, J. Seiple, P. Smith, C. Thomas, D. Towner, T. Troeger, C. Weber, P. Yashar, K. Zawadzki, and K. Mistry, "A 22nm High Performance and Low-Power CMOS Technology Featuring Fully-Depleted Tri-Gate Transistors , Self-Aligned Contacts and High Density MIM Capacitors IDSAT ( A / m m ) VGS ( V )," *VLSI Symposium*, pp. 131–132, 2012.
- Balestra87 F. Balestra, S. Cristoloveanu, M. Benachir, J. Brini, and T. Elewa, "Double-gate silicon-on-insulator transistor with volume-inversion: A new device with greatly enhanced performance," *IEEE Electron Device Lett.*, vol. ED-8, no. 9, pp. 410–412, Sep. 1987.
- Bangsaruntip09 S. Bangsaruntip, G. M. Cohen, A. Majumdar, Y. Zhang, S. U. Engelmann, N. C. M. Fuller, L. M. Gignac, S. Mittal, J. S. Newbury, M. Guillorn, T. Barwicz, L. Sekaric, M. M. Frank, and J. W. Sleight, "High Performance and Highly Uniform Gate-All-Around Silicon Nanowire MOSFETs with Wire Size Dependent Scaling Epi," *IEDM Technical Digest. IEEE International Electron Devices Meeting*, pp. 297–300, 2009.

- Bangsaruntip10 S. Bangsaruntip, A. Majumdar, G. M. Cohen, S. U. Engelmann, Y. Zhang, M. Guillorn, L. M. Gignac, S. Mittal, W. S. Graham, E. A. Joseph, D. P. Klaus, J. Chang, E. A. Cartier, and J. W. Sleight, "Gate-all-around Silicon Nanowire 25-Stage CMOS Ring Oscillators with Diameter Down to 3 nm," VLSI Symposium, pp. 21–22, 2010.
- Bardeen49 Bardeen, J., Brattain, W. H., "Physical Principles Involved in Transistor Action", Phys. Rev. Volume 75, Issue 8, 1208–1225 (1949)
- Barraud11 S. Barraud, E. Sarrazin and A. Bournel, Temperature and size dependences of electrostatics and mobility in gate-all-around MOSFET devices, in Semicond. Sci. Technol. vol.26 pp.025001, 2011
- Barraud12 Barraud, S., Coquand, R., Casse, M., Koyama, M., Hartmann, J., Maffini-Alvaro, V., Comboroure, C., Vizioz, C., Aussenac, F., Faynot, O., Poiroux, T., "Performance of Omega-Shaped-Gate Silicon Nanowire MOSFET With Diameter Down to 8 nm," Electron Device Letters, IEEE , vol.33, no.11, pp.1526,1528, Nov. 2012
- Barraud13 Barraud, S., Coquand, R., Maffini-Alvaro, V., Samson, M.-P., Hartmann, J.-M., Tosti, L., Casse, M., Nguyen, V.-H., Triozon, F., Niquet, Y.-M., Tabone, C., Perreau, P., Allain, F., Vizioz, C., Comboroure, C., Aussenac, F., Monfray, S., Ghibaudo, G., Boeuf, F., De Salvo, B., Faynot, O., "Scaling of  $\Omega$ -gate SOI nanowire N- and P-FET down to 10nm gate length: Size- and orientation-dependent strain effects," VLSI Technology (VLSIT), 2013 Symposium on , vol., no., pp.T230,T231, 11-13 June 2013
- Basker10 V. S. Basker, T. Standaert, H. Kawasaki, C. Yeh, K. Maitra, T. Yamashita, J. Faltermeier, H. A. H. Jagannathan, J. Wang, V. K. Paruchuri, R. J. Miller, H. Bu, B. Doris, D. Mcherron, E. Leobandung, and J. O. Neill, "A 0.063  $\mu\text{m}^2$  FinFET SRAM cell demonstration with conventional lithography using a novel integration scheme with aggressively scaled fin and gate pitch Gate," VLSI Symposium, pp. 19–20, 2010.
- BenAkkez12 Ben-Akkez, I., Fenouillet-Beranger, C., Cros, A., Perreau, P., Haendler, S., Weber, O., Andrieu, F., Pellissier-Tanon, D., Abbate, F., Richard, C., Beneyton, R., Gouraud, P., Margain, A., Borowiak, C., Gourvest, E., Bourdelle, K.K., Nguyen, B. Y., Poiroux, T., Skotnicki, T., Faynot, O., Balestra, F., Ghibaudo, G., Boeuf, F., "Impact of substrate orientation on Ultra Thin BOX Fully Depleted SOI electrical performances," Ultimate Integration on Silicon (ULIS), 2012 13th International Conference on , vol., no., pp.177,180, 6-7 March 2012
- Bernard08 E. Bernard, T. Ernst, B. Guillaumot, N. Vulliet, V. Barral, V. Maffini-Alvaro, F. Andrieu, C. Vizioz, Y. Campidelli, P. Gautier, J. M. Hartmann, R. Kies, V. Delaye, F. Aussenac, T. Poiroux, P. Coronel, A. Souifi, T. Skotnicki, and S. Deleonibus, "Novel integration process and performances analysis of Low Standby Power (LSTP) 3D multi-channel CMOSFET (MCFET) on SOI with metal / high-K gate stack," 2008 Symposium on VLSI Technology, pp. 16–17, Jun. 2008.
- Bernard09 Bernard, E., Ernst, T., Guillaumot, B., Vulliet, N., Tao Chuan Lim, Rozeau, O., Danneville, F., Coronel, P., Skotnicki, T., Deleonibus, S., Faynot, O., "First Internal Spacers' Introduction in Record High ION/IOFF TiN/HfO2 Gate Multichannel MOSFET Satisfying Both High-Performance and Low Standby Power Requirements," Electron Device Letters, IEEE , vol.30, no.2, pp.148,151, Feb. 2009
- Bidal08a Bidal, G., Loubet, N., Fenouillet-Beranger, C., Denorme, S., Perreau, P., Chanemougame, D., Laviron, C., Leverd, F., Barnola, S., Beneyton, R., Duluard, C., Chapon, J. D., Gouraud, P., Salvétat, T., Grosjean, M., Deloffre, E., Fleury, D., Clement, L., Pribat, C., Pantel, R., Monfray, S., Dutartre, D., Ghibaudo, G., Boeuf, F., Skotnicki, T., "Folded fully depleted Bulk+ technology as a highly W-scaled

- planar solution," Solid-State Device Research Conference, 2008. ESSDERC 2008. 38th European , vol., no., pp.210,213, 15-19 Sept. 2008
- Bidal08b Bidal, G.; Boeuf, F.; Denorme, S.; Loubet, N.; Laviron, C.; Leverd, F.; Barnola, S.; Salvetat, T.; Cosnier, V.; Martin, F.; Grosjean, M.; Perreau, P.; Chanemougame, D.; Haendler, S.; Marin, M.; Rafik, M.; Fleury, D.; Leyris, C.; Clement, L.; Sellier, M.; Monfray, S.; Bougueon, J.; Samson, M.; Chapon, J. D.; Gouraud, P.; Ghibaudo, G.; Skotnicki, T., "Planar Bulk+ technology using TiN/Hf-based gate stack for low power applications," VLSI Technology, 2008 Symposium on , vol., no., pp.146,147, 17-19 June 2008
- Bidal09a G. Bidal, F. Boeuf, S. Denorme, C. Laviron, K. Bourdelle, N. Loubet, Y. Campidelli, R. Beneyton, G. Cedex, F. C. Minatec, and F. Soitec, "First CMOS Integration of Ultra Thin Body and BOX ( UTB 2 ) Structures on Bulk Direct Silicon Bonded ( DSB ) Wafer with Multi-Surface Orientations," pp. 677–680, IEDM 2009.
- Bidal09b G. Bidal, F. Boeuf, S. Denorme, N. Loubet, J. L. Huguenin, P. Perreau, D. Fleury, F. Leverd, S. Lagrasta, S. Barnola, T. Salvetat, B. Orlando, R. Beneyton, L. Clement, R. Pantel, S. Monfray, G. Ghibaudo, and T. Skotnicki, "High Velocity Si-Nanodot : A Candidate for SRAM Applications at 16nm Node and Below," VLSI Symposium, pp. 240–241, 2009.
- Boeuf05 F.Boeuf, "45nm conventional Bulk and Bulk+ architectures for Low cost GP/LP applications, SSDM2005, p28-29.
- Bonam10 R. Bonam, P. Verhagen, A. Munder, and J. Hartley, "Performance characterization of negative resists for sub-10-nm electron beam lithography," J. Vacuum. Sci. Technol., vol. 28, no. 6, pp. 34–40, 2010.
- Bonno08 O.Bonno, S.Barraud, D.Mariolle, F.Andrieu, "Effect of strain on the electron effective mobility in biaxially strained silicon inversion layers: An experimental and theoretical analysis via atomic force microscopy measurements and Kubo-Greenwood mobility calculations", Journal of Applied Physics, vol.103, 063715, 2008
- Cassé06 Casse, M.; Thevenod, L.; Guillaumot, B.; Tosti, L.; Martin, F.; Mitard, J.; Weber, O.; Andrieu, F.; Ernst, T.; Reimbold, G.; Billon, T.; Mouis, Mireille; Boulanger, F., "Carrier transport in HfO2/metal gate MOSFETs: physical insight into critical parameters," Electron Devices, IEEE Transactions on , vol.53, no.4, pp.759,768, April 2006
- Cassé12 Casse, M., Barraud, S., Le Royer, C., Koyama, M., Coquand, R., Blachier, D., Andrieu, F., Ghibaudo, G., Faynot, O., Poiroux, T., Reimbold, G., "Study of piezoresistive properties of advanced CMOS transistors: Thin film SOI, SiGe/SOI, unstrained and strained Tri-Gate Nanowires," Electron Devices Meeting (IEDM), 2012 IEEE International , pp.28.1.1,28.1.4, 10-13 Dec. 2012
- Cerruti05 Cerutti, R.; Harrison, S.; Cros, A.; Coronel, P.; Boeuf, F.; Wacquez, R.; Bustos, J.; Dellile, D.; Leverd, F.; Gouraud, P., "New Design Adapted Planar Double Gate Process for performant low standby power application" in Proc. Silicon Nanoelectronics Workshop, pp. 12-13, 2005.
- Chang11 J. B. Chang, M. Guillorn, P. M. Solomon, C. Lin, S. U. Engelmann, A. Pyzyna, J. A. Ott, and W. E. Haensch, "Scaling of SOI FinFETs down to Fin Width of 4 nm for the 10nm technology node," Symposium on VLSI Technology Digest of Technical Papers, pp. 12–13, 2011.
- Chee05 Chee Wee, Maikop, S., Yu, C. -Y, "Mobility-enhancement technologies," Circuits and Devices Magazine, IEEE , vol.21, no.3, pp.21,36, May-June 2005

- Chen04 Chien-Hao Chen, Lee, T.-L., Hou, T.H., Chen, C.L., Chen, C. -C, Hsu, J. W., Cheng, K.L., Chiu, Y.H., Tao, H.J., Jin, Y., Diaz, C.H., Chen, S-C, Liang, M-S, "Stress memorization technique (SMT) by selectively strained-nitride capping for sub-65nm high-performance strained-Si device application," VLSI Technology, 2004. Digest of Technical Papers. 2004 Symposium on , vol., no., pp.56,57, 15-17 June 2004
- Chen08a X. Chen, S. Samavedam, V. Narayanan, K. Stein, C. Hobbs, C. Baiocco, W. Li, D. Jaeger, M. Zaleski, H. S. Yang, N. Kim, Y. Lee, D. Zhang, L. Kang, J. Chen H. Zhuang, A. Sheikh, J. Wallner, M. Aquilino, J. Han, Z. Jin, J. Li, G. Massey, S. Kalpat, R. Jha, N. Moumen, R. Mo, S. Kirshnan, X. Wang, M. Chudzik, M. Chowdhury, D. Nair, C. Reddy, Y. W. Teh, C. Kothandaraman, D. Coolbaugh, S. Pandey, D. Tekleab, A. Thean, M. Sherony, C. Lage, J. Sudijono, R. Lindsay, J. H. Ku, M. Khare, A. Steegen "A Cost Effective 32nm High- $\kappa$ / Metal Gate CMOS Technology for Low Power Applications with Single-Metal/Gate-First Process" in VLSI Symp. Tech. Dig., 2008, pp. 88–89
- Chen08b J. Chen, T. Saraya, K. Miyaji, K. Shimizu, and T. Hiramoto, "Experimental Study of Mobility in [110]- and [100]-Directed Multiple Silicon Nanowire GAA MOSFETs on (100) SOI," Symp. VLSI Tech. Dig., 2008, pp.32-33.
- Chen13 Min-Cheng Chen; Chang-Hsien Lin; Yun-Fang Hou; Yi-Ju Chen; Chia-Yi Lin; Fu-Kuo Hsueh; Hsin-Liang Liu; Cheng-Tsai Liu; Bo-Wei Wang; Hsiu-Chih Chen; Chun-Chi Chen; Shih-Hung Chen; Chien-Ting Wu; Tung-Yen Lai; Mei-Yi Lee; Bo-Wei Wu; Cheng-San Wu; Ivy Yang; Yi-Ping Hsieh; ChiaHua Ho; Tahui Wang; Sachid, A.B.; Chenming Hu; Fu-Liang Yang, "A 10 nm Si-based bulk FinFETs 6T SRAM with multiple fin heights technology for 25% better static noise margin," VLSI Technology (VLSIT), 2013 Symposium on , vol., no., pp.T218,T219, 11-13 June 2013
- Cheng09 Cheng, K., Khakifirooz, A., Kulkarni, P., Ponoth, S., Kuss, J., Shahrjerdi, D., Edge, L.F., Kimball, A., Kanakasabapathy, S., Xiu, K., Schmitz, S., Reznicek, A., Adam, T., He, H., Loubet, N., Holmes, S., Mehta, S., Yang, D., Upham, A., Seo, S. -C, Herman, J. L., Johnson, R., Zhu, Y., Jamison, P., Haran, B.S., Zhu, Z., Vanamurth, L. H., Fan, S., Horak, D., Bu, H., Oldiges, P.J., Sadana, D.K., Kozlowski, P., Mcherron, D., O'Neill, J., Doris, B., "Extremely thin SOI (ETSOI) CMOS with record low variability for low power system-on-chip applications," Electron Devices Meeting (IEDM), 2009 IEEE International , vol., no., pp.1,4, 7-9 Dec. 2009
- Cheng12 K. Cheng, a. Khakifirooz, N. Loubet, S. Luning, T. Nagumo, M. Vinet, Q. Liu, a. Reznicek, T. Adam, S. Naczas, P. Hashemi, J. Kuss, J. Li, H. He, L. Edge, J. Gimbert, P. Khare, Y. Zhu, Z. Zhu, a. Madan, N. Klymko, S. Holmes, T. M. Levin, a. Hubbard, R. Johnson, M. Terrizzi, S. Teehan, a. Upham, G. Pfeiffer, T. Wu, a. Inada, F. Allibert, B.-Y. Nguyen, L. Grenouillet, Y. Le Tiec, R. Wacquez, W. Kleemeier, R. Sampson, R. H. Dennard, T. H. Ning, M. Khare, G. Shahidi, and B. Doris, "High performance extremely thin SOI (ETSOI) hybrid CMOS with Si channel NFET and strained SiGe channel PFET," 2012 International Electron Devices Meeting, pp. 18.1.1–18.1.4, Dec. 2012.
- Cho05 Jun-Hyun Cho; Mi-Ae Kim; Seung-Min Ryu; Jung-Ho Lee; Jung-Sik Choi; Tae-Sung Kim, "A proposed porous methylhydrogensilsesquioxane-based low-k film with  $k \sim 2.3$  for intermetal dielectric application in high speed memory device," Semiconductor Manufacturing, 2005. ISSM 2005, IEEE International Symposium on , vol., no., pp.417,419, 13-15 Sept. 2005
- Cho11 Cho, H. -J, Seo, K. -I, Jeong, W.C., Kim, Y. -H, Lim, Y. D., Jang, W.W., Hong, J.G., Suk, S.D., Li, M., Ryou, C., Rhee, H.S., Lee, J.G., Kang, H.S., Son, Y.S., Cheng, C. L., Hong, S.H., Yang, W.S., Nam, S.W., Ahn, J.H., Lee, D.H., Park, S., Sadaaki, M., Cha, D. H., Kim, D. -W, Sim, S.P., Hyun, S., Koh, C.G., Lee, B.C., Lee, S.G., Kim, M.C., Bae, Y. K., Yoon, B., Kang, S.B., Hong, J.S., Choi, S., Sohn, D.K., Yoon, J.S., Chung, C., "Bulk planar 20nm high-k/metal gate CMOS

- technology platform for low power and high performance applications," Electron Devices Meeting (IEDM), 2011 IEEE International , vol., no., pp.15.1.1,15.1.4, 5-7 Dec. 2011
- Choi01 Y. Choi, N. Lindert, P. Xuan, S. Tang, D. Ha, E. Anderson, T. King, J. Bokor, and C. Hu, "Sub-20nm CMOS FinFET Technologies," IEDM Technical Digest. IEEE International Electron Devices Meeting, pp. 421–424, 2001.
- Choi08 Choi, Sookyung; Word, Michael J.; Kumar, V.; Adesida, Ilesanmi, "Comparative study of thermally cured and electron-beam-exposed hydrogen silsesquioxane resists," Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures , vol.26, no.5, pp.1654,1659, Sep 2008
- Choi99 Yang-Kyu Choi, Asano, K., Lindert, N., Subramanian, V., Tsu-Jae King, Bokor, J., Chenming Hu, "Ultra-thin body SOI MOSFET for deep-sub-tenth micron era," Electron Devices Meeting, 1999. IEDM '99. Technical Digest. International , vol., no., pp.919,921, 5-8 Dec. 1999
- Colinge06 Colinge, J., Quinn, A.J., Floyd, L., Redmond, G., Alderman, J.C., Weize Xiong, Cleavelin, C.R., Schulz, T., Schrufer, K., Knoblinger, G., Patruno, P., "Low-temperature electron mobility in Trigate SOI MOSFETs," Electron Device Letters, IEEE , vol.27, no.2, pp.120,122, Feb. 2006
- Constancias10 Constancias, C. and Dalzotto, B. and Michallon, P. and Wallace, J. and Saib, M., "Fabrication of large area ultrathin silicon membrane: Application for high efficiency extreme ultraviolet diffraction gratings", Journal of Vacuum Science & Technology B, 28, 194-197 (2010)
- Cooper11 D. Cooper, J.-L. Rouviere, A. Béché, S. Kadkhodazadeh, E. S. Semenova, K. Yvind, R. Dunin-Borkowski. "Quantitative strain mapping of InAs/InP quantum dots with 1nm spatial resolution using dark field electron holography", Appl. Phys. Lett., vol. 99, no. 26, pp. 261911-261911-3, 2011
- Coquand12a R.Coquand, S.Barraud, M.Cassé, P.Leroux, C.Vizioz, C.Comboroure, P.Perreau, E.Ernst, M.-P.Samson, V.Maffini-Alvaro, C.Tabone, S.Barnola, D.Munteanu, G.Ghibaudo, S.Monfray, F.Boeuf, T.Poiroux, Scaling of high-k/metal-gate Trigate SOI nanowire transistors down to 10nm width, 13th International Conference on Ultimate Integration on Silicon (ULIS), 2012 , pp.37,40, 6-7 March 2012
- Coquand12b R.Coquand, M.Cassé, S.Barraud, P.Leroux, D.Cooper, C.Vizioz, C.Comboroure, P.Perreau, V.Maffini-Alvaro, C.Tabone, L.Tosti, F.Allain, S.Barnola, V.Delays, F.Aussenac, G.Reibold, G.Ghibaudo, D.Munteanu, S.Monfray, F.Boeuf, O.Faynot, T.Poiroux, Strain-induced performance enhancement of tri-gate and omega-gate nanowire FETs scaled down to 10nm Width, 2012Symposium on VLSI Technology (VLSI), pp.13,14, 12-14 June 2012
- Coquand13a R.Coquand, S.Monfray, J.Pradelles, L.Martin, M.-P. Samson, J.Bustos, S.Barraud, F.Boeuf, T.Skotnicki, G.Ghibaudo, T.Poiroux, O. Faynot, On the Optimization of Ebeam Lithography Using Hydrogen Silsesquioxane (HSQ) for Innovative Self-Aligned CMOS Process, ECS Transactions (ECST), Vol. 53, issue 3, 177-184, 2013
- Coquand13b R.Coquand, S.Monfray, S.Barraud, M.-P.Samson, C.Arvet, J.Pradelles, J.Bustos, L.Martin, L.Tosti, P.Perreau, J.-M.Hartmann, J.Lacord, M.Cassé, L.Clément, A.Pofelski, K.Lepinay, G.Ghibaudo, O.Faynot, T.Poiroux, F.Boeuf, T.Skotnicki, B.DeSalvo, Innovative through-Si 3D lithography for ultimate self-aligned planar Double-Gate and Gate-All-Around nanowire transistors, 2013 Symposium on VLSI Technology (VLSI), pp.226,227, 11-13 June 2013
- Coquand13c R. Coquand, S. Barraud, M. Cassé, M. Koyama, V. Maffini-Alvaro, M.-P.Samson, L. Tosti, X.Mescot, G.Ghibaudo, S. Monfray, F. Boeuf, O. Faynot, B. De Salvo, Low-Temperature Transport Characteristics in SOI and sSOI Nanowires Down to

- 8nm Width: Evidence of IDS and Mobility Oscillations, Proceedings of the European Solid-State Device Research Conference (ESSDERC), 2013
- Coquand13d R.Coquand, M.-A.Jaud, O.Rozeau, A. Idrissi-ElOudrhiri, S.Martinie, F.Triozon, N.Pons, S.Barraud, S.Monfray, F.Boeuf, G.Ghibaudo, O.Faynot, Comparative simulation of TriGate and FinFET on SOI: Evaluating a multiple Threshold voltage strategy on triple gate devices, Subthreshold, 3D and SOI conference (S3SConference), 2013
- Coquand13e R.Coquand, M.Cassé, S.Barraud, D.Cooper, V.Maffini-Alvaro, M.-P.Samson, S.Monfray, F.Boeuf, G.Ghibaudo, O.Faynot, T.Poiroux, Strain-Induced Performance Enhancement of Trigate and Omega-Gate Nanowire FETs Scaled Down to 10-nm Width, IEEE Transactions on Electron Devices(TED), Vol.60, No.2, pp.727,732, Feb. 2013
- Coquand13f R.Coquand, S.Barraud, M.Cassé, P.Leroux, C.Vizioz, C.Comboroure, P.Perreau, E.Ernst, M.-P.Samson, V.Maffini-Alvaro, C.Tabone, S.Barnola, D.Munteanu, G.Ghibaudo, S.Monfray, F.Boeuf, T.Poiroux, Scaling of high- $\kappa$ /metal-gate TriGate SOI nanowire transistors down to 10nm width, Solid-State Electronics (SSE), Vol.88, Special issue, pp.32-36, Oct.2013
- Dennard72 Dennard, R.H.; Gaensslen, F.H.; Kuhn, L.; Yu, H.N., "Design of micron MOS switching devices," Electron Devices Meeting, 1972 International , vol.18, no., pp.168,170, 1972
- Dennard74 Dennard, R.H.; Gaensslen, F.H.; Rideout, V.L.; Bassous, E.; LeBlanc, A.R., "Design of ion-implanted MOSFET's with very small physical dimensions," Solid-State Circuits, IEEE Journal of , vol.9, no.5, pp.256,268, Oct 1974
- Destefanis09 V. Destefanis, D. Rouchon, J. M. Hartmann, A. M. Papon, and L. Baud, "Structural properties of tensily strained Si layers grown on SiGe (100), (110), and (111) virtual substrates Structural properties of tensily strained Si layers grown on SiGe ,, 100 ...," Journal of Applied Physics, vol. 043508, no. 106, 2009.
- Destefanis10 V.Destefanis, J.-M. Hartmann, J.-L. Huguenin, V.Delays, M.-P.Samson, P Boulitreau, Y.Morand, P.Brianceau, C.Arvet, P.Gautier, "Fabrication , structural and electrical properties of ( 1 1 0 ) localized silicon-on-insulator devices," Semiconducteur science and technology, vol. 045014, no. 25, 2010.
- Dornel07 Dornel, E., Ernst, T., Barbe, J.-C., Hartmann, J. M., Delays, V., Aussenac, F., Vizioz, C., Borel, S., Maffini-Alvaro, V., Isheden, C., Foucher, J., "Hydrogen annealing of arrays of planar and vertically stacked Si nanowires," Applied Physics Letters , vol.91, no.23, pp.233502,233502-3, Dec 2007
- Doyle03 B. S. Doyle, S. Datta, M. Doczy, S. Hareland, B. Jin, J. Kavalieros, T. Linton, A. Murthy, R. Rios, R. Chau, and S. Member, "High Performance Fully-Depleted Tri-Gate CMOS Transistors," IEEE ELECTRON DEVICE LETTERS, vol. 24, no. 4, pp. 263–265., 2003
- Duchaine12 J.Duchaine, F. Milési, R. Coquand, S.Barraud, S. Reboh, F. Gonzatti, F. Mazen, F.Torregrosa, Plasma Immersion Ion Implantation For Sub 22nm Node Devices: FD-SOI and Trigate Nano-Wire, IIT2012, AIP Conf proceedings p 71-74
- Dupré08 Dupré, C., Hubert, A., Becu, S., Jublot, M., Maffini-Alvaro, V., Vizioz, C., Aussenac, F., Arvet, C., Barnola, S., Hartmann, J.-M., Garnier, G., Allain, F., Colonna, J. -P., Rivoire, M., Baud, L., Pauliac, S., Loup, V., Chevolleau, T., Rivallin, P., Guillaumot, B., Ghibaudo, G., Faynot, O., Ernst, T., Deleonibus, S., "15nm-diameter 3D stacked nanowires with independent gates operation:  $\Phi$ FET," Electron Devices Meeting, 2008. IEDM 2008. IEEE International , vol., no., pp.1,4, 15-17 Dec. 2008

- EGEM "Physique des dispositifs pour circuits intégrés silicium" série EGEM (Electronique-génie électrique-microsystèmes) sous l'édition de J. Gautier, Hermes, Lavoisier 200, Chap.1, p32.
- Ekinci07 Y. Ekinci, H. H. Solak, C. Padeste, J. Gobrecht, M. P. Stoykovich, and P. F. Nealey, "20nm Line/space patterns in HSQ fabricated by EUV interference lithography," *Microelectronic Engineering*, vol. 84, no. 5–8, pp. 700–704, May 2007.
- Ernst06 T. Ernst, C. Dupré,, C. Isheden, E. Bernard,, R. Ritzenthaler, V. Maffini-Alvaro, J.-C. Barbé, F. De Crecy, A.Toffoli, C. Vizioz, S. Borel, F. Andrieu, V. Delaye, D. Lafond, G. Rabillé,, J.-M. Hartmann, M. Rivoire,, B. Guillaumot,, A. Suhm, P. Rivallin, O. Faynot, G. Ghibaudo, "Novel 3D integration process for highly scalable Nano-Beam stacked-channels GAA (NBG) FinFETs with HfO<sub>2</sub>/TiN gate stack," *IEDM Technical Digest. IEEE International Electron Devices Meeting*, pp. 9–12.2006
- Ernst08 T. Ernst, E. Bernard, C. Dupré, A. Hubert, S. Bécu, B. Guillaumot, O. Rozeau, O. Thomas, P. Coronel, J. Hartmann, C. Vizioz, N. Vulliet, O. Faynot, T. Skotnicki, and S. D. Fellow, "3D Multichannels and stacked nanowires Technologies for New Design opportunities in Nanoelectronics," *IEDM Technical Digest. IEEE International Electron Devices Meeting*, pp. 2–5, 2008.
- FenouilletBeranger09 C. Fenouillet-Beranger, P. Perreau, S. Denorme, F. Andrieu, L. Tosti, L. Brevard, and O. Weber, "Hybrid FDSOI / Bulk high-k / Metal gate platform for Low Power ( LP ) multimedia technology," *IEDM Technical Digest. IEEE International Electron Devices Meeting*, pp. 28.6.1–28.6.4, 2009.
- FenouilletBeranger10 C. Fenouillet, O. Thomas, P. Perreau, J. Noel, A. Bajolet, S. Haendler, L. Tosti, S. Barnola, R. Beneyton, C. Perrot, C. De Buttet, F. Abbate, F. Baron, B. Pernet, Y. Campidelli, L. Pinzelli, P. Gouraud, M. Cassé, C. Borowiak, O. Weber, F. Andrieu, K. K. Bourdelle, B. Y. Nguyen, F. Boedt, S. Denorme, F. Boeuf, O. Faynot, and T. Skotnicki, "Efficient Multi-V T FDSOI technology with UTBOX for low power circuit design," *VLSI Symposium*, pp. 65–66, 2010.
- Fruleux-Cornu06 Frederique Fruleux-Cornu, Julien Penaud, Emmanuel Dubois, Marc Francois, "Optimisation of HSQ e-beam lithography for the patterning of FinFET transistors," *Microelectronic Engineering*, vol. 83, pp. 776–779, 2006.
- Gallon07 Manuscrit de thèse, Claire Gallon, 2007
- Georgiev05 Y. M. Ā. Georgiev, W. Henschel, A. Fuchs, and H. Kurz, "Surface roughness of hydrogen silsesquioxane as a negative tone electron beam resist," *Vacuum*, vol. 77, pp. 117–123, 2005.
- Ghani03 Ghani, T., Armstrong, M., Auth, C., Bost, M., Charvat, P., Glass, G., Hoffmann, T., Johnson, K., Kenyon, C., Klaus, J., McIntyre, B., Mistry, K., Murthy, A., Sandford, J., Silberstein, M., Sivakumar, S., Smith, P., Zawadzki, K., Thompson, S., Bohr, M., "A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors," *Electron Devices Meeting, 2003. IEDM '03 Technical Digest. IEEE International*, vol., no., pp.11.6.1,11.6.3, 8-10 Dec. 2003
- Ghibaudo09 G. Ghibaudo, M. Mouis, K. Bennamane, I. Pappas, A. Cros, G. Bidal, A. Claverie, G. Benassayag, P. Fazzini, S. Monfray, F. Boeuf, S. Cristoloveanu, T. Skotnicki, N. Collaert, M. Inpg, and C. Cnrs, "Electrical Transport characterization of nano CMOS devices with ultra-thin silicon film," pp. 58–63, 2009.
- Grigorescu07 A. E. Grigorescu, M. C. van der Krogt, C. W. Hagen, and P. Kruit, "10nm lines and spaces written in HSQ, using electron beam lithography," *Microelectronic Engineering*, vol. 84, no. 5–8, pp. 822–824, May 2007.

- GSS12 [http://www.goldstandardsimulations.com/index.php/news/blog\\_search/simulation-analysis-of-the-intel-22nm-finfet/](http://www.goldstandardsimulations.com/index.php/news/blog_search/simulation-analysis-of-the-intel-22nm-finfet/) (Available online by 06/2013)
- Guillorn08 M. Guillorn, J. Chang, A. Bryant, N. Fuller, O. Dokumaci, X. Wang, J. Newbury, K. Babich, J. Ott, B. Haran, R. Yu, C. Lavoie, D. Klaus, Y. Zhang, E. Sikorski, W. Graham, B. To, M. Lofaro, J. Tornello, D. Koli, B. Yang, A. Pyzyna, D. Neumeyer, M. Khater, A. Yagishita, H. Kawasaki, and W. Haensch, "FinFET Performance Advantage at 22nm : An AC perspective," VLSI Symposium, pp. 12–13, 2008.
- Habicht10 S. Habicht, S. F. Feste, Q. T. Zhao, and S. Mantl, "Hole mobilities and electrical characteristics of  $\Omega$  - gated silicon nanowire array FETs with 110 - and 100 - channel orientation," IEEE Transactions on Electron Devices, pp. 372–375, 2010.
- Hartmann13 J.M. Hartmann, V. Benevent, J.P. Barnes, M. Veillerot, D. Lafond, J.F. Damlencourt, S. Morvan, B. Prévitali, F. Andrieu, N. Loubet, D. Dutartre, Mushroom-free selective epitaxial growth of Si, SiGe and SiGe:B raised sources and Drains, Solid-State Electronics 83 (2013) 10–17
- Hashemi08 P. Hashemi, M. Canonico, J. K.W. Yang, L. Gomez, K. K. Berggren, and J. L. Hoyt, "Fabrication and characterization of suspended uniaxial ten-sile strained-Si nanowires for gate-all-around n-MOSFETs," ECS Trans., vol. 16, no. 10, pp. 57–68, Oct. 2008.
- Hashemi09 P. Hashemi, S. Member, L. Gomez, and J. L. Hoyt, "Gate-All-Around n-MOSFETs With Uniaxial Tensile Strain-Induced Performance Enhancement Scalable to Sub-10-nm Nanowire Diameter," IEEE Electron Device Letters, vol. 30, no. 4, pp. 401–403, 2009.
- Hashemi13 Hashemi, P., Kobayashi, M., Majumdar, A., Yang, L.A., Baraskar, A., Balakrishnan, K., Kim, W., Chan, K., Engelmann, S.U., Ott, J.A., Bedell, S.W., Murray, C.E., Liang, S., Dennard, R.H., Sleight, J.W., Leobandung, E., Park, D.-G., "High-performance Si<sub>1-x</sub>Ge<sub>x</sub> channel on insulator trigate PFETs featuring an implant-free process and aggressively-scaled fin and gate dimensions," VLSI Technology (VLSIT), 2013 Symposium on , vol., no., pp.T18,T19, 11-13 June 2013
- Hisamoto98 Hisamoto, D., Wen-Chin Lee, Kedzierski, J., Anderson, E., Takeuchi, H., Asano, K., Tsu-Jae King, Bokor, J., Chenming Hu, "A folded-channel MOSFET for deep-sub-tenth micron era," Electron Devices Meeting, 1998. IEDM '98. Technical Digest., International , vol., no., pp.1032,1034, 6-9 Dec. 1998
- Horiguchi99 Horiguchi, N., Usuki, T., Goto, K., Futatsugi, T., Sugii, T., Yokoyama, N., "A Direct Tunneling Memory (DTM) utilizing novel floating gate structure," Electron Devices Meeting, 1999. IEDM '99. Technical Digest. International , vol., no., pp.922,924, 5-8 Dec. 1999
- Hu12 C. Hu, "Thin-body FinFET as scalable low voltage transistor," Proceedings of Technical Program of 2012 VLSI Technology, System and Application, pp. 1–4, Apr. 2012.
- Huang99 Xuejue Huang, Wen-Chin Lee, Charles Kuo, Hisamoto, D., Leland Chang, Kedzierski, J., Anderson, E., Takeuchi, H., Yang-Kyu Choi, Asano, K., Subramanian, V., Tsu-Jae King, Bokor, J., Chenming Hu, "Sub 50-nm FinFET: PMOS," Electron Devices Meeting, 1999. IEDM '99. Technical Digest. International , vol., no., pp.67,70, 5-8 Dec. 1999
- Hubert09 Hubert, A., Nowak, E., Tachi, K., Maffini-Alvaro, V., Vizioz, C., Arvet, C., Colonna, J. -P., Hartmann, J-M, Loup, V., Baud, L., Pauliac, S., Delaye, V., Carabasse, C., Molas, G., Ghibaudou, G., De Salvo, B., Faynot, O., Ernst, T., "A stacked SONOS technology, up to 4 levels and 6nm crystalline nanowires, with Gate-All-Around or independent gates ( $\phi$ -Flash), suitable for full 3D integration," Electron Devices Meeting (IEDM), 2009 IEEE International , vol., no., pp.1,4, 7-9 Dec. 2009

- Huguenin10 J. L. Huguenin, G. Bidal, S. Denorme, D. Fleury, N. Loubet, A. Pouydebasque, P. Perreau, G. Ghibaudo, F. Boeuf, and T. Skotnicki, "Gate-all-around technology: Taking advantage of ballistic transport?," *Solid State Electronics*, vol. 54, no. 9, pp. 883–889, 2010.
- Huguenin10a J. Huguenin, S. Monfray, G. Bidal, S. Denorme, P. Perreau, S. Barnola, M. Samson, C. Arvet, K. Benotmane, Q. Liu, Y. Campidelli, F. Leverd, F. Abbate, L. Clement, C. Borowiak, A. Cros, A. Bajolet, S. Handler, T. Benoist, P. Galy, O. Faynot, G. Ghibaudo, F. Boeuf, and T. Skotnicki, "Hybrid Localized SOI / Bulk technology for Low Power System-on-Chip," *VLSI Symposium*, pp. 59–58, 2010.
- Huguenin10b J.-L. Huguenin, S. Monfray, S. Denorme, G. Bidal, P. Perreau, S. Barnola, M.-P. Samson, K. Benotmane, N. Loubet, Y. Campidelli, F. Leverd, F. Abbate, L. Clement, C. Borowiak, D. Golansk1, C. Fenouillet-Beranger, F. Boeuf, G. Ghibaudo, "Localized SOI logic and bulk I/O devices co-integration for Low power System-on-Chip technology," *VLSI-TSA*, pp. 118–119, 2010.
- Huguenin10c J.-L. Huguenin, S. Monfray, G. Bidal, S. Denorme, P. Perreau, N. Loubet, Y. Campidelli, M.-P. Samson, C. Arvet, K. Benotmane, F. Leverd, P. Gouraud, B. Le-Gratiet, C. De-Butet, L. Pinzelli, R. Beneyton, S. Barnola, T. Morel, A. Halimaoui, F. Boeuf, G. Ghibaudo T Skotnicki, "Ultra-Thin (4nm) Gate-All-Around CMOS devices with High-k/Metal for Low Power Multimedia Applications", *International Conference on Solid State Devices and Materials (SSDM) 2010*
- Huguenin10d Huguenin, J. -L, Lacord, J., Monfray, S., Coquand, R., Skotnicki, T., Ghibaudo, G., Boeuf, F., "Comparative study of circuit perspectives for multi-gate structures at sub-10nm node," *Solid-State Device Research Conference (ESSDERC)*, 2011 *Proceedings of the European*, vol., no., pp.107,110, 12-16 Sept. 2011
- Hulling12 Huling Shang, Jain, S., Josse, E., Alptekin, E., Nam, M. H., Kim, S. W., Cho, K. H., Kim, I., Liu, Y., Yang, X., Wu, X., Ciavatti, J., Kim, N. S., Vega, R., Kang, L., Meer, H. V., Samavedam, S., Celik, M., Soss, S., Utomo, H., Ramachandran, R., Lai, W., Sardesai, V., Tran, C., Kim, J. Y., Park, Y. H., Tan, W. L., Shimizu, T., Joy, R., Strane, J., Tabakman, K., Lalanne, F., Montanini, P., Babich, K., Kim, J. B., Economikos, L., Cote, W., Reddy, C., Belyansky, M., Arndt, R., Kwon, U., Wong, K., Koli, D., Levedakis, D., Lee, J. W., Muncy, J., Krishnan, S., Schepis, D., Chen, X., Kim, B. D., Tian, C., Linder, B. P., Cartier, E., Narayanan, V., Northrop, G., Menut, O., Meiring, J., Thomas, A., Aminpur, M., Park, S. H., Lee, K. Y., Kim, B. Y., Rhee, S. H., Hamieh, B., Srivastava, R., Koshy, R., Goldberg, C., Pallachalil, M., Chae, M., Ogino, A., Watanabe, T., Oh, M., Mallela, H., Codi, D., Malinge, P., Weybright, M., Mann, R., Mittal, A., Eller, M., Lian, S., Li, Y., Divakaruni, R., Bukofsky, S., Kim, J. D., Sudijono, J., Neumueller, W., Matsuoka, F., Sampson, R., "High performance bulk planar 20nm CMOS technology for low power mobile applications," *VLSI Technology (VLSIT)*, 2012 *Symposium on*, vol., no., pp.129,130, 12-14 June 2012
- Inaba06 Inaba, S., Okano, K., Izumida, T., Kaneko, A., Kawasaki, H., Yagishita, A., Kanemura, T., Ishida, T., Aoki, N., Ishimaru, K., Suguro, K., Eguchi, K., Tsunashima, Y., Toyoshima, Y., Ishiuchi, H., "FinFET: the prospective multi-gate device for future SoC applications," *Solid-State Device Research Conference*, 2006. *ESSDERC 2006. Proceeding of the 36th European*, vol., no., pp.49,52, Sept. 2006
- Irisawa06 T. Irisawa, T. Numata, T. Tezuka, N. Sugiyama, and S. Takagi, "Electron Transport Properties of Ultrathin-body and Tri-gate SOI nMOSFETs with Biaxial and Uniaxial Strain," *IEDM Technical Digest. IEEE International Electron Devices Meeting*, 2006.
- Jahan05 C. Jahan, O. Faynot, M. Cassé, R. Ritzenthaler, L. Brévard, L. Tosti, X. Garros, C. Vizioz, F. Allain, A. M. Papon, H. Dansas, F. Martin, M. Vinet, B. Guillaumot, A. Toffoli, B. Giffard, and S. Deleonibus, "Ω FETs transistors with TiN metal gate and HfO<sub>2</sub> down to 10nm," *VLSI Symposium*, pp. 112–113, 2005.

- Jan08 Jan, C. -H, Bai, P., Biswas, S., Buehler, M., Chen, Z.-P., Curello, G., Gannavaram, S., Hafez, W., He, J., Hicks, J., Jalan, U., Lazo, N., Lin, J., Lindert, N., Litteken, C., Jones, M., Kang, M., Komeyli, K., Mezhiba, A., Naskar, S., Olson, S., Park, J., Parker, R., Pei, L., Post, I., Pradhan, N., Prasad, C., Prince, M., Rizk, J., Sacks, G., Tashiro, H., Towner, D., Tsai, C., Wang, Y., Yang, L., Yeh, J. -Y, Yip, J., Mistry, K., "A 45nm low power system-on-chip technology with dual gate (logic and I/O) high-k/metal gate strained silicon transistors," Electron Devices Meeting, 2008. IEDM 2008. IEEE International , vol., no., pp.1,4, 15-17 Dec. 2008
- Jan09 Jan, C. -H, Agostinelli, M., Buehler, M., Chen, Z.-P., Choi, S.-J., Curello, G., Deshpande, H., Gannavaram, S., Hafez, W., Jalan, U., Kang, M., Kolar, P., Komeyli, K., Landau, B., Lake, A., Lazo, N., Lee, S.-H., Leo, T., Lin, J., Lindert, N., Ma, S., McGill, L., Meining, C., Paliwal, A., Park, J., Phoa, K., Post, I., Pradhan, N., Prince, M., Rahman, A., Rizk, J., Rockford, L., Sacks, G., Schmitz, A., Tashiro, H., Tsai, C., Vandervoorn, P., Xu, J., Yang, L., Yeh, J. -Y, Yip, J., Zhang, K., Zhang, Y., Bai, P., "A 32nm SoC platform technology with 2nd generation high-k/metal gate transistors optimized for ultra low power, high performance, and high density product applications," Electron Devices Meeting (IEDM), 2009 IEEE International , vol., no., pp.1,4, 7-9 Dec. 2009
- Jan10 Jan, C. -H; Agostinelli, M.; Deshpande, H.; El-Tanani, M.A.; Hafez, W.; Jalan, U.; Janbay, L.; Kang, M.; Lakdawala, H.; Lin, J.; Lu, Y.-L.; Mudanai, S.; Park, J.; Rahman, A.; Rizk, J.; Shin, W.-K.; Soumyanath, K.; Tashiro, H.; Tsai, C.; Vandervoorn, P.; Yeh, J. -Y; Bai, P., "RF CMOS technology scaling in High-k/metal gate era for RF SoC (system-on-chip) applications," Electron Devices Meeting (IEDM), 2010 IEEE International , vol., no., pp.27.2.1,27.2.4, 6-8 Dec. 2010
- Jurczak00 M.Jurczak et al. . "Silicon-on-Nothing (SON)-an innovative process for advanced CMOS" IEEE-TED, Vol.47, November 2000, p.2179
- Jurczak99 M. Jurczak, T. Skotnicki, M.Paoli. B.Tormen, J-L. Regolini, C.Morin. A. Schiltz, J. Martins, R. Pantel, "SON (Silicon On Nothing) -A NEW DEVICE ARCHITECTURE FOR THE ULSI ERA.," VLSI Symposium, pp. 29–30, 1999.
- Kavalieros06 Kavalieros, J., Doyle, B., Datta, S., Dewey, G., Doczy, M., Jin, B., Lionberger, D., Metz, M., Rachmady, W., Radosavljevic, M., Shah, U., Zelick, N., Chau, R., "Tri-Gate Transistor Architecture with High-k Gate Dielectrics, Metal Gates and Strain Engineering," VLSI Technology, 2006. Digest of Technical Papers. 2006 Symposium on , vol., no., pp.50,51, 0-0 0
- Kawasaki07 H. Kawasaki, "FinFET Process and Integration Technology for High Performance LSI in 22," international workshop on junctions, pp. 3–8, 2007.
- Kawasaki09 H. Kawasaki, V. S. Basker, T. Yamashita, C. Lin, Y. Zhu, J. Faltermeier, S. Schmitz, J. Cummings, S. Kanakasabapathy, H. Adhikari, H. Jagannathan, A. Kumar, K. Maitra, J. Wang, C. Yeh, C. Wang, and M. Khater, "Challenges and Solutions of FinFET Integration in an SRAM Cell and a Logic Circuit for 22 nm node and beyond," IEDM Technical Digest. IEEE International Electron Devices Meeting, pp. 289–292, 2009.
- Khakifirooz10 Khakifirooz, A., Kangguo Cheng, Jagannathan, B., Kulkarni, P., Sleight, J.W., Shahrjerdi, D., Chang, J.B., Sungjae Lee, Junjun Li, Huiming Bu, Gauthier, R., Doris, B., Shahidi, G., "Fully depleted extremely thin SOI for mainstream 20nm low-power technology and beyond," Solid-State Circuits Conference Digest of Technical Papers (ISSCC), 2010 IEEE International , vol., no., pp.152,153, 7-11 Feb. 2010
- Koyama12 Koyama, M., Casse, M., Coquand, R., Barraud, S., Iwai, H., Ghibaudo, G., Reimbold, G., "Study of carrier transport in strained and unstrained SOI tri-gate and omega-gate Si-nanowire MOSFETs," Solid-State Device Research Conference

- (ESSDERC), 2012 Proceedings of the European , vol., no., pp.73,76, 17-21 Sept. 2012
- Koyama13 M. Koyama, M. Cassé, R. Coquand, S. Barraud, C. Vizioz, C. Comboroure, P. Perreau, V. Maffini-Alvaro, C. Tabone, L. Tosti, S. Barnola, V. Delaye, F. Aussenac, G. Ghibaudo, H. Iwai, G. Reimbold, "Study of carrier transport in strained and unstrained SOI tri-gate and omega-gate silicon nanowire MOSFETs", *Solid-State Electronics*, Volume 84, June 2013, Pages 46-52
- Kuhn12a K. J. Kuhn, U. Avci, A. Cappellani, M. D. Giles, M. Haverty, S. Kim, R. Kotlyar, S. Manipatruni, D. Nikonov, C. Pawashe, M. Radosavljevic, R. Rios, S. Shankar, R. Vedula, R. Chau, and I. Young, "The ultimate CMOS device and beyond," 2012 International Electron Devices Meeting, pp. 8.1.1–8.1.4, Dec. 2012.
- Kuhn12b K. J. Kuhn, "Considerations for Ultimate CMOS Scaling," *IEEE Transactions on Electron Devices*, vol. 59, no. 7, pp. 1813–1828, Jul. 2012.
- Lacord12a J. Lacord, J.-L. Huguenin, S. Monfray, R. Coquand, T. Skotnicki, G. Ghibaudo, F. Boeuf, "Comparative study of circuit perspectives for multi-gate structures at sub-10nm node", *Solid-State Electronics*, Volume 74, August 2012, Pages 25-31
- Lacord12b Lacord, J., Ghibaudo, Gerard, Boeuf, F., "Comprehensive and Accurate Parasitic Capacitance Models for Two- and Three-Dimensional CMOS Device Structures," *Electron Devices*, *IEEE Transactions on* , vol.59, no.5, pp.1332,1344, May 2012
- Lee09 H.-S. Lee, J.-S. Wi, S.-W. Nam, H.-M. Kim, and K.-B. Kim, "Two-step resist-development process of hydrogen silsesquioxane for high-density electron-beam nanopatterning," *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 27, no. 1, p. 188, 2009.
- Lee99 Lee B.H., Kang L., QiW.J., Nieh R., Jeon Y., Onishi K., Lee J.C., Ultrathin hafnium oxide with low leakage and excellent reliability for alternative gate dielectric application, in: *IEEE Int. Electron Device Meeting Tech. Digest*, 1999, p. 556.
- Lepinay13 K.Lepinay, F.Lorut, R.Pantel, T.Epicier, Chemical 3D tomography of 28nm high K metal gate transistor : STEM XEDS experimental method and results, *Micron* 47 (2013), pp.43-49.
- Lim04 Lim, Ji-Song; Thompson, S.E.; Fossum, J.G., "Comparison of threshold-voltage shifts for uniaxial and biaxial tensile-stressed n-MOSFETs," *Electron Device Letters*, *IEEE* , vol.25, no.11, pp.731,733, Nov. 2004
- Lin10 C.-H. Lin, J. Chang, M. Guillorn, A. Bryant, P. Oldiges, and W. Haensch, "Non-planar device architecture for 15nm node: FinFET or trigate?," 2010 *IEEE International SOI Conference (SOI)*, pp. 1–2, Oct. 2010.
- Lin12 C.-H. Lin, R. Kambhampati, R. J. Miller, T. B. Hook, a. Bryant, W. Haensch, P. Oldiges, I. Lauer, T. Yamashita, V. Basker, T. Standaert, K. Rim, E. Leobandung, H. Bu, and M. Khare, "Channel doping impact on FinFETs for 22nm and beyond," 2012 *Symposium on VLSI Technology (VLSIT)*, pp. 15–16, Jun. 2012.
- Liow07 T. Liow, K. Tan, R. T. P. Lee, C. Tung, G. S. Samudra, N. Balasubramanian, and Y. Yeo, "With Silicon – Carbon Source and Drain Stressors and Tensile Capping Layer," vol. 28, no. 11, pp. 1014–1017, 2007.
- Liow08 T. Liow, S. Member, K. Tan, D. Weeks, R. Tek, P. Lee, S. Member, M. Zhu, K. Hoe, C. Tung, S. Member, M. Bauer, J. Spear, S. G. Thomas, G. S. Samudra, N. Balasubramanian, and Y. Yeo, "Strained n-Channel FinFETs Featuring In Situ Doped Silicon – Carbon ( Si 1 – y C y ) Source and Drain Stressors With High Carbon Content," *IEEE TRANSACTIONS ON ELECTRON DEVICES*, vol. 55, no. 9, pp. 2475–2483, 2008.

- Liu00 Liu, Po-Tsun; Chang, Ting-Chang; Yang, Ya-Liang; Yi-Fang Cheng; Sze, S.M., "Effects of NH<sub>3</sub>-plasma nitridation on the electrical characterizations of low-k hydrogen silsesquioxane with copper interconnects," *Electron Devices, IEEE Transactions on*, vol.47, no.9, pp.1733,1739, Sep 2000
- Liu02 W.-C. Liu, C.-C. Yang, W.-C. Chen, B.-T. Dai, and M.-S. Tsai, "The structural transformation and properties of spin-on poly(silsesquioxane) films by thermal curing," *Journal of Non-Crystalline Solids*, vol. 311, no. 3, pp. 233–240, Dec. 2002.
- Liu11 Q. Liu, K. Ishimaru, M. Takayanagi, W. Kleemeier, H. Bu, S. Luning, T. Hook, M. Khare, G. Shahidi, B. Doris, and R. Sampson, "Impact of Back Bias on Ultra-Thin Body and BOX (UTBB) Devices," *VLSI Symposium*, pp. 160–161, 2011.
- Liu98 P.T. Liu, C. Y. Chang, S. M. Sze, F. Pan, Y. Mai, W. Wu, M. Tsai, B. Dai, C. Chang, F. Y. Shih, and H. D. Huang, "The effects of plasma treatment for low dielectric constant hydrogen silsesquioxane ( HSQ )," *Thin Solid Films*, vol. 332, pp. 345–350, 1998.
- Lorut08 F.Lorut, D.Delile, "Advanced FIB based sample preparation for 3D characterization of 45nm IC's", *Microscopy and Microanalysis*, 14 (sup.2), pp. 1002-1003, 2008
- Loubet08 Nicolas Loubet, Thomas Kormann, Guillaume Chabanne, Stéphane Denorme, Didier Dutartre, Selective etching of Si<sub>1-x</sub>Ge<sub>x</sub> versus Si with gaseous HCl for the formation of advanced CMOS devices, *Thin Solid Films*, Volume 517, Issue 1, 3 November 2008, Pages 93-97
- Lujan03 Lujan, G.S., Kubicek, S., De Gendt, S., Heyns, M., Magnus, W., De Meyer, K., "Mobility degradation in high-k transistors: the role of the charge scattering," *European Solid-State Device Research, 2003. ESSDERC '03. 33rd Conference on*, vol., no., pp.399,402, 16-18 Sept. 2003
- Maleville11 Maleville, C., "Extending planar device roadmap beyond node 20nm through ultra thin body technology," *VLSI Technology, Systems and Applications (VLSI-TSA), 2011 International Symposium on*, vol., no., pp.1,4, 25-27 April 2011
- Manfrinato11 V. R. Manfrinato, L. L. Cheong, H. G. Duan, D. Winston, H. I. Smith, and K. Berggren, "Sub-5 keV Scanning-Electron-Beam Lithography 2 . Resolution Limit and Dose Requirements," *Microelectronic Engineering*, vol. 88, no. 10, pp. 3070–3074, 2011.
- Martin09 L. Martin, S. Manakli, B. Icard, J. Pradelles, R. Orobitchouk, A. Poncet, L. Pain, "Development of multiple pass exposure in electron beam direct write lithography for sub-32nm nodes," *Proc. SPIE 7488*, 2009.
- Martin10 L. Martin, S. Manakli, B. Icard, J. Pradelles, R. Orobitchouk, A. Poncet, L. Pain, "Multiple pass exposure in e-beam lithography – Application to the sub-22nm nodes", *Proc. SPIE 7637*, 2010
- Mazurier11 Mazurier, J., Weber, O., Andrieu, F., Toffoli, A., Rozeau, O., Poiroux, T., Allain, F., Perreau, P., Fenouillet-Beranger, C., Thomas, O., Belleville, M., Faynot, O., "On the Variability in Planar FDSOI Technology: From MOSFETs to SRAM Cells," *Electron Devices, IEEE Transactions on*, vol.58, no.8, pp.2326,2336, Aug. 2011
- Min10 Zhao Min, Chen Baoqin, Xie Changqing, Liu Ming, Nie Jiebing, "Study of Process of HSQ in Electron Beam Lithography," in *Proceedings of the 2010 5th IEEE International Conference on Nano/Micro Engineered and Molecular Systems*, 2010, pp. 1021–1024.
- Mistry07 Mistry, K., Allen, C., Auth, C., Beattie, B., Bergstrom, D., Bost, M., Brazier, M., Buehler, M., Cappellani, A., Chau, R., Choi, C.-H., Ding, G., Fischer, K., Ghani,

- T., Grover, R., Han, W., Hanken, D., Hattendorf, M., He, J., Hicks, J., Huessner, R., Ingerly, D., Jain, P., James, R., Jong, L., Joshi, S., Kenyon, C., Kuhn, K., Lee, K., Liu, H., Maiz, J., Mcintyre, B., Moon, P., Neiryck, J., Pae, S., Parker, C., Parsons, D., Prasad, C., Pipes, L., Prince, M., Ranade, P., Reynolds, T., Sandford, J., Shifren, L., Sebastian, J., Seiple, J., Simon, D., Sivakumar, S., Smith, P., Thomas, C., Troeger, T., Vandervoorn, P., Williams, S., Zawadzki, K., "A 45nm Logic Technology with High-k+Metal Gate Transistors, Strained Silicon, 9 Cu Interconnect Layers, 193nm Dry Patterning, and 100% Pb-free Packaging," Electron Devices Meeting, 2007. IEDM 2007. IEEE International, vol., no., pp.247,250, 10-12 Dec. 2007
- Monfray04 S.Monfray, "SON (silicon-on-nothing) technological CMOS platform: highly performant devices and SRAM cells" IEDM Tech.Dig, pp.635-638, 2004
- Monfray07 S.Monfray et al, "Localized SOI technology: an innovative Low Cost self-aligned process for Ultra Thin Si-film on thin BOX integration for Low Power applications" IEDM Tech.Dig, pp.693-696, 2007
- Monfray08 S. Monfray, F. Boeuf, P. Coronel, G. Bidal, S. Denorme, and T. Skotnicki, "Silicon-On-Nothing ( SON ) applications for Low Power technologies," pp. 8–11, 2008.
- Monfray10 S. Monfray, J. Huguenin, M. Martin, M. Samson, C. Borowiak, C. Arvet, J. F. Dalemcourt, and P. Perreau, "A solution for an ideal Planar Multi-Gates Process for ultimate CMOS ?," IEDM Technical Digest. IEEE International Electron Devices Meeting, pp. 257–260, 2010.
- Na02 Na, M.-H., Nowak, E.J., Haensch, W., Cai, J., "The effective drive current in CMOS inverters," Electron Devices Meeting, 2002. IEDM '02. International, vol., no., pp.121,124, 8-11 Dec. 2002
- Nainani12 A. Nainani, S. Gupta, V. Moroz, M. Choi, Y. Kim, Y. Cho, J. Gelatos, T. Mandekar, A. Brand, E. Ping, M. C. Abraham, and K. Schuegraf, "Is strain engineering scalable in FinFET era ? : teaching the old dog some new tricks," IEDM Technical Digest. IEEE International Electron Devices Meeting, pp. 427–430, 2012.
- Namatsu98 H. Namatsu, Y. Takahashi, K. Yamazaki, T. Yamaguchi, and M. Nagase, "Three-dimensional siloxane resist for the formation of nanopatterns with minimum linewidth fluctuations," J. Vacuum. Sci. Technol., vol. 16, no. 1, pp. 69–76, 1998.
- Narasimha12 S. Narasimha, P. Chang, C. Ortolland, D. Fried, E. Engbrecht, K. Nummy, P. Parries, T. Ando, M. Aquilino, N. Arnold, R. Bolam, J. Cai, M. Chudzik, B. Cipriany, G. Costrini, M. Dai, J. Dechene, C. Dewan, B. Engel, M. Gribelyuk, D. Guo, G. Han, N. Habib, J. Holt, D. Ioannou, B. Jagannathan, D. Jaeger, J. Johnson, W. Kong, J. Koshy, R. Krishnan, A. Kumar, M. Kumar, J. Lee, X. Li, C. Lin, B. Linder, S. Lucarini, N. Lustig, P. Mclaughlin, K. Onishi, V. Ontalus, R. Robison, C. Sheraw, M. Stoker, A. Thomas, G. Wang, R. Wise, L. Zhuang, G. Freeman, J. Gill, E. Maciejewski, R. Malik, J. Norum, and P. Agnello, "22nm High-Performance SOI Technology Featuring Dual-Embedded Stressors , Epi- Plate High-K Deep-Trench Embedded DRAM and Self-Aligned Via 15LM BEOL," IEDM Technical Digest. IEEE International Electron Devices Meeting, pp. 52–55, 2012.
- Niquet12 Yann-Michel Niquet, Christophe Delerue, and Christophe Krzeminski, Effects of Strain on the Carrier Mobility in Silicon Nanowires, Nanoletters 2012, pp. 3545-3550
- Ohtou08 T. Ohtou, T. Saraya, and T. Hiramoto, "Variable-Body-Factor SOI MOSFET With Ultrathin Buried Oxide for Adaptive Threshold Voltage and Leakage Control," IEEE Transactions on Electron Devices, vol. 55, no. 1, pp. 40–47, 2008.

- Olynick10 D.L.Olynick, Cord, B, A.Schipotinin, D.F.Ogletree, "Electron-beam exposure mechanisms in hydrogen silsesquioxane investigated by vibrational spectroscopy and in situ electron-beam-induced desorption," *J. Vacuum. Sci. Technol.*, vol. 28, no. 3, pp. 581–587, 2010. TO ADD
- Packan08 Packan, P., Cea, S., Deshpande, H., Ghani, T., Giles, M., Golonzka, O., Hattendorf, M., Kotlyar, R., Kuhn, K., Murthy, A., Ranade, P., Shifren, L., Weber, C., Zawadzki, K., "High performance Hi-K + metal gate strain enhanced transistors on (110) silicon," *Electron Devices Meeting, 2008. IEDM 2008. IEEE International*, vol., no., pp.1,4, 15-17 Dec. 2008
- Packan09 P. Packan, S. Akbar, M. Armstrong, D. Bergstrom, M. Brazier, H. Deshpande, K. Dev, G. Ding, T. Ghani, O. Golonzka, W. Han, J. He, R. Heussner, R. James, J. Jopling, C. Kenyon, S.-H. Lee, M. Liu, S. Lodha, B. Mattis, A. Murthy, L. Neiberg, J. Neiryneck, S. Pae, C. Parker, L. Pipes, J. Sebastian, J. Seiple, B. Sell, A. Sharma, S. Sivakumar, B. Song, A. S. Amour, K. Tone, T. Troeger, C. Weber, K. Zhang, Y. Luo, and S. Natarajan, "High performance 32 nm logic technology featuring 2nd generation high-k +metal gate transistors," in *IEDM Tech. Dig.*, Dec. 2009, pp. 659–662.
- Patton12 Gary Patton, *Evolution and Expansion of SOI in VLSI Technologies: Planar to 3D*, IEEE International SOI Conference, Oct. 2, 2012, Napa, CA
- Pham08 A.-T. Pham, B. Meinerzhagen, and C. Jungemann, "A fast k.p solver for hole inversion layers with an efficient 2D k-space discretization", *J. Comput. Electron.*, vol. 7, pp. 99-102 (2008)
- Planes12 Planes, N., Weber, O., Barral, V., Haendler, S., Noblet, D., Croain, D., Bocat, M., Sassoulas, P., Federspiel, X., Cros, A., Bajolet, A., Richard, E., Dumont, B., Perreau, P., Petit, D., Golanski, D., Fenouillet-Beranger, C., Guillot, N., Rafik, M., Huard, V., Puget, S., Montagner, X., Jaud, M. -A, Rozeau, O., Saxod, O., Wacquand, F., Monsieur, F., Barge, D., Pinzelli, L., Mellier, M., Boeuf, F., Arnaud, F., Haond, M., "28nm FDSOI technology platform for high-speed low-voltage digital applications," *VLSI Technology (VLSIT), 2012 Symposium on*, vol., no., pp.133,134, 12-14 June 2012
- Pons13 N. Pons, F. Triozon, M. Jaud, R. Coquand, S. Martinie, O. Rozeau, Y. Niquet, V. Nguyen, A. Idrissi-El Oudrhiri, S. Barraud, "Density Gradient calibration for 2D quantum confinement : Tri-Gate SOI transistor application", *Proc. of SISPAD, 2013*, pp. 184 - 187
- Pouydebasque08 Pouydebasque, A.; Denorme, S.; Loubet, N.; Wacquez, Romain; Bustos, J.; Leverd, F.; Deloffre, E.; Barnola, S.; Dutartre, D.; Coronel, P.; Skotnicki, T., "High-Performance High- K /Metal Planar Self-Aligned Gate-All-Around CMOS Devices," *Nanotechnology, IEEE Transactions on*, vol.7, no.5, pp.551,557, Sept. 2008
- Robertson99 J. Robertson, E. Raissi, J. P. Maria, and A. I. Kingon, "Band alignments of high K dielectrics on Si and Pt," in *Proc.Mater. Res. Soc. Symp.*, 1999, vol. 592, p. 87.
- Rochette09 F. Rochette, M. Cassé, M. Mouis, A. Haziot, T. Pioger, G. Ghibaudo, F. Boulanger. "Piezoresistance effect of strained and unstrained fully-depleted silicon-on-insulator MOSFETs integrating a HfO2/TiN gate stack", *Solid-State Electronics*, Vol. 53, no. 3, pp. 392-396, 2009
- Sacconi07 Sacconi, F., Jancu, Jean-Marc, Povolotskyi, Michael, Di Carlo, Aldo, "Full-Band Tunneling in High- $\kappa$  Oxide MOS Structures," *Electron Devices, IEEE Transactions on*, vol.54, no.12, pp.3168,3176, Dec. 2007
- Sachid12 Sachid, A.B., Chenming Hu, "A little known benefit of FinFET over Planar MOSFET in highperformance circuits at advanced technology nodes," *SOI Conference (SOI), 2012 IEEE International*, vol., no., pp.1,2, 1-4 Oct. 2012

- Saitoh08 M. Saitoh, A. Kaneko, K. Okano, T. Kinoshita, S. Inaba, Y. Toyoshima, and K. Uchida, "Three-Dimensional Stress Engineering in FinFETs for Mobility / On-Current Enhancement and Gate Current Reduction," VLSI Symposium, pp. 18–19, 2008.
- Saitoh10 Saitoh, M., Nakabayashi, Y., Ota, K., Uchida, K., Numata, T., "Understanding of short-channel mobility in tri-gate nanowire MOSFETs and enhanced stress memorization technique for performance improvement," Electron Devices Meeting (IEDM), 2010 IEEE International , vol., no., pp.34.3.1,34.3.4, 6-8 Dec. 2010
- Saitoh11 Saitoh, M., Nakabayashi, Y., Ota, K., Uchida, K., Numata, T., "Performance Improvement by Stress Memorization Technique in Trigate Silicon Nanowire MOSFETs," Electron Device Letters, IEEE , vol.33, no.1, pp.8,10, Jan. 2012
- Saitoh12 Saitoh, M., Ota, K., Tanaka, C., Uchida, K., Numata, T., "10nm-diameter tri-gate silicon nanowire MOSFETs with enhanced high-field transport and Vth tunability through thin BOX," VLSI Technology (VLSIT), 2012 Symposium on , vol., no., pp.11,12, 12-14 June 2012
- Sasaki08 Sasaki, Y., Okashita, K., Nakamoto, K., Kitaoka, T., Mizuno, B., Ogura, M., "Conformal doping for FinFETs and precise controllable shallow doping for planar FET manufacturing by a novel B2H6/Helium Self-Regulatory Plasma Doping process," Electron Devices Meeting, 2008. IEDM 2008. IEEE International , vol., no., pp.1,4, 15-17 Dec. 2008
- Signamarcheix10 Signamarcheix T., Andrieu F., Biasse B., Cassé M., Papon A.-M., Nolot E., Ghyselen B., Faynot O., Clavelier L.. Fully depleted silicon on insulator MOSFETs on (1 1 0) surface for hybrid orientation technologies. EuroSOI Conference, 2010.
- Singh06 Sunil Kumar Singh, A.A. Kumbhar, R.O. Dusane, "Resisting oxygen plasma damage in low-k hydrogen silsesquioxane films by hydrogen plasma treatment", Materials Letters, Volume 60, Issues 13–14, June 2006, Pages 1579-1581
- Skotnicki00 T. Skotnicki, in Proc. ESSDERC 2000, invited talk, Cork, Ireland, Sept. 2000, pp. 19–33.
- Skotnicki08 T. Skotnicki, S. Member, C. Fenouillet-beranger, C. Gallon, F. Bœuf, S. Monfray, F. Payet, A. Pouydebasque, M. Szczap, A. Farcy, F. Arnaud, S. Clerc, M. Sellier, A. Cathignol, S. Member, J. Schoellkopf, E. Perea, R. Ferrant, and H. Mingam, "Innovative Materials , Devices , and CMOS Technologies for Low-Power Mobile Multimedia," vol. 55, no. 1, pp. 96–130, 2008.
- Skotnicki11 Skotnicki, T., "Competitive SOC with UTBB SOI," SOI Conference (SOI), 2011 IEEE International , pp.1,61, 3-6 Oct. 2011
- SOITEC Site web SOITEC disponible à [www.soitec.com](http://www.soitec.com)
- Suk05 Sung-Dae Suk, Sung-Young Lee, Sung-Min Kim, Eun-Jung Yoon, Kim, Min-Sang, Ming Li, Chang Woo Oh, Kyoung Hwan Yeo, Sung Hwan Kim, Dong-Suk Shin, Kwan-Heum Lee, Heung Sik Park, Jeorig Nam Han, Park, C.J., Jong-Bong Park, Kim, Dong-Won, Donggun Park, Byung-Il Ryu, "High performance 5nm radius Twin Silicon Nanowire MOSFET (TSNWFET) : fabrication on bulk si wafer, characteristics, and reliability," Electron Devices Meeting, 2005. IEDM Technical Digest. IEEE International , vol., no., pp.717,720, 5-5 Dec. 2005
- Suk07 Sung-Dae Suk, Ming Li, Yun-young Yeoh, Kyoung Hwan Yeo, Keun Hwi Cho, In Kyung Ku, Hong Cho, WonJun Jang, Dong-Won Kim, Donggun Park, Lee, Won-Seong, "Investigation of nanowire size dependency on TSNWFET," Electron Devices Meeting, 2007. IEDM 2007. IEEE International , vol., no., pp.891,894, 10-12 Dec. 2007

- Suk08 Sung-Dae Suk, Kyoung Hwan Yeo, Keun Hwi Cho, Ming Li, Yun-young Yeoh, Sung-Young Lee, Sung-Min Kim, Eun Jung Yoon, Min Sang Kim, Oh, Chang-Woo, Sung-Hwan Kim, Dong-Won Kim, Donggun Park, "High-Performance Twin Silicon Nanowire MOSFET (TSNWFET) on Bulk Si Wafer," *Nanotechnology*, IEEE Transactions on , vol.7, no.2, pp.181,184, March 2008
- Sun07 Y. Sun, S. E. Thompson, and T. Nishida, "Physics of strain effects in semiconductors and metal-oxide-semiconductor field-effect transistors field-effect transistors," vol. 104503, no. 101, 2007.
- Sze S. M. Sze "Physics of Semiconductor Devices" 2nd Edition, 1981
- Tachi09 Tachi, K., Casse, M., Jang, D., Dupré, C., Hubert, A., Vulliet, N., Maffini-Alvaro, V., Vizioz, C., Carabasse, C., Delaye, V., Hartmann, J-M, Ghibaudo, G., Iwai, H., Cristoloveanu, S., Faynot, O., Ernst, T., "Relationship between mobility and high-k interface properties in advanced Si and SiGe nanowires," *Electron Devices Meeting (IEDM)*, 2009 IEEE International , vol., no., pp.1,4, 7-9 Dec. 2009
- Tachi10 K. Tachi, M. Cassé, S. Barraud, C. Dupré, A. Hubert, N. Vulliet, M. E. Faivre, C. Vizioz, C. Carabasse, V. Delaye, J. M. Hartmann, H. Iwai, S. Cristoloveanu, O. Faynot, T. Ernst, and M. Grenoble, "Experimental study on carrier transport limiting phenomena in 10 nm width nanowire CMOS transistors," *International Electron Devices Meeting Technical Digest*, pp. 784–787, 2010.
- Takagi94 S. Takagi, A. Toriumi, M. Iwase, and H. Tango, "On the Universality of Inversion Layer Mobility in Si MOSFET's: Part II-Effects of Surface Orientation," *IEEE Trans. Electron Devices* 41 (1994) 2363-2368.
- Takagi96 S. Takagi, J. Hoyt, J. Welser, J. Gibbons. "Comparative study of phonon-limited mobility of two-dimensional electrons in strained and unstrained Si metal-oxide-semiconductor field-effect transistors", in *Journal of Applied Physics*, vol. 80, no. 3, pp. 1567-1577, 1996
- Takahashi07 K. Takahashi, A. T. Putra, K. Shimizu, and T. Hiramoto, "FinFETs with Both Large Body Factor and High Drive-Current," *ISRDS*, pp. 13–14, 2007.
- Thompson02 Thompson, S., Anand, N., Armstrong, M., Auth, C., Arcot, B., Alavi, M., Bai, P., Bielefeld, J., Bigwood, R., Brandenburg, J., Buehler, M., Cea, S., Chikarmane, V., Choi, C., Frankovic, R., Ghani, T., Glass, G., Han, W., Hoffmann, T., Hussein, M., Jacob, P., Jain, A., Jan, C., Joshi, S., Kenyon, C., Klaus, J., Klopccic, S., Luce, J., Ma, Z., McIntyre, B., Mistry, K., Murthy, A., Nguyen, P., Pearson, H., Sandford, T., Schweinfurth, R., Shaheed, R., Sivakumar, S., Taylor, M., Tufts, B., Wallace, C., Wang, P., Weber, C., Bohr, M., "A 90 nm logic technology featuring 50 nm strained silicon channel transistors, 7 layers of Cu interconnects, low k ILD, and 1 /spl mu/m/sup 2/ SRAM cell," *Electron Devices Meeting, 2002. IEDM '02. International* , vol., no., pp.61,64, 8-11 Dec. 2002
- Togo12 M. Togo, J. W. Lee, L. Pantisano, T. Chiarella, R. Ritzenthaler, R. Krom, A. Hikavy, R. Loo, E. Rosseel, S. Brus, J. W. Maes, V. Machkaoutsan, J. Tolle, G. Eneman, A. D. Keersgieter, G. Boccardi, G. Mannaert, S. E. Altamirano, S. Locorotondo, M. Demand, N. Horiguchi, and A. Thean, "Phosphorus Doped SiC Source Drain and SiGe Channel for Scaled Bulk FinFETs," *2012 International Electron Devices Meeting*, pp. 423–426, 2012.
- Uchida05 K. Uchida, T. Krishnamohan, K. C. Saraswat, Y. Nishi, "Physical Mechanisms of Electron Mobility Enhancement in Uniaxial Stressed MOSFETs and Impact of Uniaxial Stress Engineering in Ballistic Regime", *International Electron Devices Meeting*, 2005, pp.129-132
- Uchida08 K. Uchida, M. Saitoh, and T. Corporation, "Stress Engineering in (100) and (110) nMOSFETs," no. 100, pp. 12–15, 2008.

- Uchida09 Uchida, K., Saitoh, M., "Carrier transport and stress engineering in advanced nanoscale MOS transistors," VLSI Technology, Systems, and Applications, 2009. VLSI-TSA '09. International Symposium on , vol., no., pp.6,7, 27-29 April 2009
- Uchida06 K. Uchida, A. Kinoshita, and M. Saitoh, "Carrier Transport in (110) nMOSFETs: Subband Structures, Non-Parabolicity, Mobility Characteristics, and Uniaxial Stress Engineering," Electron Devices Meeting, 2006. IEDM '06. International , vol., no., pp.1,3, 11-13 Dec. 2006
- Veloso08 Veloso, A.; Witters, L.; Demand, M.; Ferain, I.; Son, N. J.; Kaczer, B.; Roussel, P.J.; Simoen, E.; Kauerauf, T.; Adelman, C.; Brus, S.; Richard, O.; Bender, H.; Conard, T.; Vos, R.; Rooyackers, R.; Van Elshocht, S.; Collaert, N.; De Meyer, K.; Biesemans, S.; Jurczak, M., "Flexible and robust capping-metal gate integration technology enabling multiple-VT CMOS in MuGFETs," VLSI Technology, 2008 Symposium on , vol., no., pp.14,15, 17-19 June 2008
- Veloso11 A. Veloso, G. Eneman, T. Kauerauf, M. Dehan, S. Hong, S. Yamaguchi, S. Takeoka, Y. Higuchi, H. Tielens, A. Van Ammel, P. Favia, H. Bender, A. Franquet, T. Conard, X. Li, K. Pey, H. Struyf, P. Mertens, P. P. Absil, N. Horiguchi, T. Hoffmann, K. U. Leuven, and B.- Leuven, "Gate-First Technology for aggressively scaled EOT Logic/RF CMOS," VLSI Symposium, pp. 34–35, 2011.
- Vinet05 Vinet, M.; Poiroux, T.; Widiez, J.; Lolivier, J.; Previtali, B.; Vizioz, C.; Guillaumot, B.; Le Tiec, Y.; Besson, P.; Biasse, B.; Allain, F.; Casse, M.; Lafond, D.; Hartmann, J.; Morand, Y.; Chiaroni, J.; Deleonibus, S., "Bonded planar double-metal-gate NMOS transistors down to 10 nm," Electron Device Letters, IEEE , vol.26, no.5, pp.317,319, May 2005
- Vinet12 M. Vinet, A. Kumar, L. Grenouillet, S. Ponoth, N. Possémé, V. Destefanis, S. Mehta, Y. Le Tiec, N. Daval, B. Doris, O. Faynot, and T. Poiroux, "Enabling the use of ion implantation for ultra-thin FDSOI n-MOSFETs," VLSI-TSA, 2012
- Wacquez06 R. Wacquez, R. Cerutti, P. Coronel, A. Cros, D. Fleury, A. Pouydebasque, J. Bustos, S. Harrison, N. Loubet, S. Borel, D. Lenoble, D. Delille, F. Leverd, F. Judong, M.P. Samson, N. Vuillet, B. Guillaumot, T. Ernst, P. Masson, T. Skotnicki, "A Novel Self Aligned Design Adapted Gate All Around (SADAGAA) MOSFET including two stacked Channels : A High Co-Integration Potential" in SSDM Tech. Dig., pp. 534-535, 2006.
- Weber07 O. Weber, T. Irisawa, T. Numata, M. Harada, N. Taoka, Y. Yamashita, T. Yamamoto, N. Sugiyama, M. Takenaka, S Takagi. "Examination of Additive Mobility Enhancements for Uniaxial Stress Combined with Biaxially Strained Si, Biaxially Strained SiGe and Ge Channel MOSFETs", International Electron Devices Meeting, 2007, pp. 719-722
- Weber08 Weber, O., Faynot, O., Andrieu, F., Buj-Dufournet, C., Allain, F., Scheiblin, P., Foucher, J., Daval, N., Lafond, D., Tosti, L., Brevard, L., Rozeau, O., Fenouillet-Beranger, C., Marin, M., Boeuf, F., Delprat, D., Bourdelle, K., Nguyen, B.Y., Deleonibus, S., "High immunity to threshold voltage variability in undoped ultra-thin FDSOI MOSFETs and its physical understanding," Electron Devices Meeting, 2008. IEDM 2008. IEEE International , vol., no., pp.1,4, 15-17 Dec. 2008
- Weber10 O. Weber, F. Andrieu, J. Mazurier, M. Casse, X. Garros, C. Leroux, F. Martin, P. Perreau, and C. Fenouillet, "Work-function Engineering in Gate First Technology for Multi-V T Dual-Gate FDSOI CMOS on UTBOX," IEDM Technical Digest. IEEE International Electron Devices Meeting, pp. 3.4.1–3.4.4, 2010.
- Widiez04 J. Widiez, F. Daugé, M. Vinet, T. Poiroux, B. Previtali, M. Mouis, and S. Deleonibus, "Experimental Gate Misalignment Analysis on Double Gate," IEEE International SOI Conference, pp. 185–186, 2004.

- Widiez05 J. Widiez, J. Lolivier, M. Vinet, T. Poiroux, B. Previtali, F. Daugé, M. Mouis, S. Deleonibus, and S. Member, "Experimental Evaluation of Gate Architecture Influence on DG SOI MOSFETs Performance," *IEEE TRANSACTIONS ON ELECTRON DEVICES*, vol. 52, no. 8, pp. 1772–1779, 2005.
- Wu10 C. C. Wu, D. W. Lin, A. Keshavarzi, C. H. Huang, C. T. Chan, C. H. Tseng, C. L. Chen, C. Y. Hsieh, K. Y. Wong, M. L. Cheng, T. H. Li, and Y. C. Lin, "High Performance 22 / 20nm FinFET CMOS Devices with Advanced High-K / Metal Gate Scheme," *IEDM Technical Digest. IEEE International Electron Devices Meeting*, pp. 600–603, 2010.
- Yamashita11 T. Yamashita, V. S. Basker, T. Standaert, C. Yeh, T. Yamamoto, K. Maitra, C. Lin, J. Faltermeier, S. Kanakasabapathy, and M. Wang, "Sub-25nm FinFET with Advanced Fin Formation and Short Channel Effect Engineering," *VLSI Symposium*, pp. 14–15, 2011.
- Yan10 M. Yan, J. Lee, B. Ofuonye, S. Choi, J. H. Jang, and I. Adesida, "Effects of salty-developer temperature on electron-beam-exposed hydrogen silsesquioxane resist for ultradense pattern transfer," *J. Vacuum. Sci. Technol.*, vol. 28, no. 6, pp. 23–27, 2010.
- Yang02 C.-C. Yang and W.-C. Chen, "The structures and properties of hydrogen silsesquioxane (HSQ) films produced by thermal curing," *Journal of Materials Chemistry*, vol. 12, no. 4, pp. 1138–1141, Mar. 2002.
- Yang03 Min Yang, Gusev, E.P., Meikei Ieong, Gluschenkov, O., Boyd, D.C., Chan, Kevin K., Kozlowski, P.M., D'Emic, C.P., Sicina, R.M., Jamison, P.C., Chou, A.I., "Performance dependence of CMOS on silicon substrate orientation for ultrathin oxynitride and HfO<sub>2</sub> gate dielectrics," *Electron Device Letters, IEEE*, vol.24, no.5, pp.339,341, May 2003
- Yang06a Yang, J.F., Xia, Z.L., Du, G., Liu, X.Y., Han, R.Q., Kang, J.F., "Coulomb Scattering induced mobility degradation in Ultrathin-body SOI MOSFETs with high-k gate stack," *Solid-State and Integrated Circuit Technology, 2006. ICSICT '06. 8th International Conference on*, vol., no., pp.1315,1317, 23-26 Oct. 2006
- Yang06b J. K. W. Yang, V. Anant, and K. K. Berggren, "Enhancing etch resistance of hydrogen silsesquioxane via postdevelop electron curing \*," *J. Vacuum. Sci. Technol. Sci. Technol.*, vol. 24, no. 6, pp. 3157–3161, 2006.
- Yang06c Min Yang, Chan, Victor W C, Chan, Kevin K., Shi, L., Fried, D.M., Stathis, J.H., Chou, A.I., Gusev, E., Ott, J.A., Burns, L.E., Fischetti, M.V., Meikei Ieong, "Hybrid-orientation technology (HOT): opportunities and challenges," *Electron Devices, IEEE Transactions on*, vol.53, no.5, pp.965,978, May 2006
- Yang08 B. F. Yang, R. Takalkar, Z. Ren, L. Black, A. Dube, J. W. Weijtmans, J. Li, J. B. Johnson, J. Faltermeier, A. Madan, Z. Zhu, A. Turansky, G. Xia, A. Chakravarti, R. Pal, K. Chan, A. Reznicek, T. N. Adam, B. Yang, J. P. De Souza, E. C. T. Harley, B. Greene, A. Gehring, M. Cai, D. Aime, S. Sun, H. Meer, J. Holt, D. Theodore, S. Zollner, P. Grudowski, D. Sadana, D. Park, D. Mocuta, D. Schepis, E. Maciejewski, S. Luning, J. Pellerin, and E. Leobandung, "High-performance nMOSFET with in-situ Phosphorus-doped embedded Si:C (ISPD eSi:C) source-drain stressor," *IEDM Technical Digest. IEEE International Electron Devices Meeting*, pp. 1–4, 2008.
- Yil1 Kyung Soo Yi, Krutarth Trivedi, Herman C. Floresca, Hyungsang Yuk, Walter Hu, and Moon J. Kim, "Room-Temperature Quantum Confinement Effects in Transport Properties of Ultrathin Si Nanowire Field-Effect Transistors", *Nano Lett.*, 2011, 11 (12), pp 5465–5470

- Yoshioka09 Hironori Yoshioka, Naoya Morioka, Jun Suda, and Tsunenobu Kimoto , "Mobility oscillation by one-dimensional quantum confinement in Si-nanowire metal-oxide-semiconductor field effect transistors", *J. Appl. Phys.* 106, 034312 (2009)

## Bibliographie de l'auteur

### Publications de conférences internationales

R.Coquand, S.Barraud, M.Cassé, P.Leroux, C.Vizioz, C.Comboroure, P.Perreau, E.Ernst, M.-P.Samson, V.Maffini-Alvaro, C.Tabone, S.Barnola, D.Munteanu, G.Ghibaud, S.Monfray, F.Boeuf, T.Poiroux, *Scaling of high-k/metal-gate Trigate SOI nanowire transistors down to 10nm width*, 13th International Conference on Ultimate Integration on Silicon (**ULIS**), 2012 , pp.37,40, 6-7 March 2012

R.Coquand, M.Cassé, S.Barraud, P.Leroux, D.Cooper, C.Vizioz, C.Comboroure, P.Perreau, V.Maffini-Alvaro, C.Tabone, L.Tosti, F.Allain, S.Barnola, V.Delays, F.Aussenac, G.Reimbold, G.Ghibaud, D.Munteanu, S.Monfray, F.Boeuf, O.Faynot, T.Poiroux, *Strain-induced performance enhancement of tri-gate and omega-gate nanowire FETs scaled down to 10nm Width*, 2012Symposium on VLSI Technology (**VLSI**), pp.13,14, 12-14 June 2012

R.Coquand, S.Monfray, J.Pradelles, L.Martin, M.-P. Samson, J.Bustos, S.Barraud, F.Boeuf, T.Skotnicki, G.Ghibaud, T.Poiroux, O. Faynot, *On the Optimization of Ebeam Lithography Using Hydrogen Silsesquioxane (HSQ) for Innovative Self-Aligned CMOS Process*, ECS Transactions (**ECST**), Vol. 53, issue 3, 177-184, 2013

R.Coquand, S.Monfray, S.Barraud, M.-P.Samson, C.Arvet, J.Pradelles, J.Bustos, L.Martin, L.Tosti, P.Perreau, J.-M.Hartmann, J.Lacord, M.Cassé, L.Clément, A.Pofelski, K.Lepinay, G.Ghibaud, O.Faynot, T.Poiroux, F.Boeuf, T.Skotnicki, B.DeSalvo, *Innovative through-Si 3D lithography for ultimate self-aligned planar Double-Gate and Gate-All-Around nanowire transistors*, 2013 Symposium on VLSI Technology (**VLSI**), pp.226,227, 11-13 June 2013

R. Coquand, S. Barraud, M. Cassé, M. Koyama, V. Maffini-Alvaro, M.-P.Samson, L. Tosti, X.Mescot, G.Ghibaud, S. Monfray, F. Boeuf, O. Faynot, B. De Salvo, *Low-Temperature Transport Characteristics in SOI and sSOI Nanowires Down to 8nm Width: Evidence of IDS and Mobility Oscillations*, Proceedings of the European Solid-State Device Research Conference (**ESSDERC**), 2013

R.Coquand, M.-A.Jaud, O.Rozeau, A. Idrissi-ElOudrhiri, S.Martinie, F.Triozon, N.Pons, S.Barraud, S.Monfray, F.Boeuf, G.Ghibaud, O.Faynot, *Comparative simulation of TriGate and FinFET on SOI: Evaluating a multiple Threshold voltage strategy on triple gate devices*, Subthreshold, 3D and SOI conference (**S3SConference**), 2013

### Publications de journal

R.Coquand, M.Cassé, S.Barraud, D.Cooper, V.Maffini-Alvaro, M.-P.Samson, S.Monfray, F.Boeuf, G.Ghibaud, O.Faynot, T.Poiroux, *Strain-Induced Performance Enhancement of Trigate and Omega-Gate Nanowire FETs Scaled Down to 10-nm Width*, IEEE Transactions on Electron Devices(**TED**), Vol.60, No.2, pp.727,732, Feb. 2013

R.Coquand, S.Barraud, M.Cassé, P.Leroux, C.Vizioz, C.Comboroure, P.Perreau, E.Ernst, M.-P.Samson, V.Maffini-Alvaro, C.Tabone, S.Barnola, D.Munteanu, G.Ghibaud, S.Monfray, F.Boeuf, T.Poiroux, *Scaling of high- $\kappa$ /metal-gate TriGate SOI nanowire transistors down to 10nm width*, Solid-State Electronics (**SSE**), Vol.88, Special issue, pp.32-36, Oct.2013

### Publications de co-auteurs

J.-L.Huguenin, J.Lacord, S.Monfray, R.Coquand, T.Skotnicki, G.Ghibaudo, F.Boeuf, *Comparative study of circuit perspectives for multi-gate structures at sub-10nm node*, 2011 Proceedings of the European Solid-State Device Research Conference (**ESSDERC**), pp.107,110, 2011

S.Barraud, M.Berthomé, R.Coquand, M.Cassé, T.Ernst, M.-P.Samson, P.Perreau, K.K.Bourdelle, O.Faynot, T.Poiroux, *Scaling of Trigate Junctionless Nanowire MOSFET With Gate Length Down to 13 nm*, IEEE Electron Device Letters (**EDL**), Vol.33, no.9, pp.1225,1227, Sept. 2012

V.Deshpande, S.Barraud, X.Jehl, R.Wacquez, M.Vinet, R.Coquand, B.Roche, B.Voisin, F.Triozon, C.Vizioz, L.Tosti, B.Previtali, P.Perreau, T.Poiroux, M.Sanquer, O.Faynot, *Scaling of Trigate nanowire (NW) MOSFETs Down to 5 nm Width: 300 K transition to Single Electron Transistor, challenges and opportunities*, Proceedings of the European Solid-State Device Research Conference (**ESSDERC**), pp.121,124, 2012

S.Barraud, R.Coquand, M.Casse, M.Koyama, J.-M.Hartmann, V.Maffini-Alvaro, C. Comboroure, C.Vizioz, F.Aussenac, O.Faynot, T.Poiroux, *Performance of Omega-Shaped-Gate Silicon Nanowire MOSFET With Diameter Down to 8 nm*, IEEE Electron Device Letters (**EDL**), Vol.33, no.11, pp.1526-1528, Nov. 2012

M.Koyama, M.Cassé, R.Coquand, S.Barraud, H.Iwai, G.Ghibaudo, G.Reimbold, *Study of carrier transport in strained and unstrained SOI tri-gate and omega-gate Si-nanowire MOSFETs*, 2012 Proceedings of the European Solid-State Device Research Conference (**ESSDERC**), pp.73,76, 2012

A.Idrissi-El Oudrhiri, M-A.Jaud, S.Barraud, O.Rozeau, R.Coquand, S.Martinie, N.Pons, J-C.Barbé, M.Mouis, *Introduction aux effets des contraintes mécaniques sur les performances électriques : Simulation TCAD du transistor Tri-Gate sur SOI*, Journée Nationale Rxxx Doctorants en Microelectronique (**JNRDM**), 2012

M.Cassé, S.Barraud, C.LeRoyet, M.Koyama, R.Coquand, D.Blachier, F.Andrieu, G.Ghibaudo, O.Faynot, T.Poiroux, G.Reimbold, *Study of piezoresistive properties of advanced CMOS transistors: Thin film SOI, SiGe/SOI, unstrained and strained Tri-Gate Nanowires*, 2012 IEEE International Electron Devices Meeting (**IEDM**), pp.28.1.1,28.1.4, 2012

V.Deshpande, R.Wacquez, M.Vinet, X.Jehl, S.Barraud, R.Coquand, B.Roche, B.Voisin, C.Vizioz, B.Previtali, L.Tosti, P.Perreau, T.Poiroux, M.Sanquer, B.DeSalvo, O.Faynot, *300 K operating full-CMOS integrated Single Electron Transistor (SET)-FET circuits*, 2012 IEEE International Electron Devices Meeting (**IEDM**), pp.8.7.1,8.7.4, 2012

J.Lacord, J.-L.Huguenin, S.Monfray, R.Coquand, T.Skotnicki, G.Ghibaudo, F.Boeuf, *Comparative study of circuit perspectives for multi-gate structures at sub-10nm node*, Solid-State Electronics (**SSE**), Vol.74, Aug. 2012, Pages 25-31

J.Duchaine, F.Milési, R.Coquand, S.Barraud, S. Reboh, F. Gonzatti, F. Mazen, F.Torregrosa, *Plasma Immersion Ion Implantation For Sub 22nm Node Devices: FD-SOI and Trigate Nano-Wire*, (**IIT**), 2012

N.Pons, F.Triozon, M.-A.Jaud, R.Coquand, S.Martinie, O.Rozeau, Y.-M.Niquet, V.-H.Nguyen, A.Idrissi-El Oudrhiri, S.Barraud, *Density Gradient calibration for Tri-Gate SOI transistor*, (**SISPAD**), 2013

V.Deshpande, S.Barraud, X.Jehl, R.Wacquez, M.Vinet, R.Coquand, B.Roche, B.Voisin, F.Triozon, C.Vizioz, L.Tosti, B.Previtali, P.Perreau, T.Poiroux, M.Sanquer, O.Faynot, *Scaling of*

*Trigate nanowire (NW) MOSFETs to sub-7nm width: 300K transition to Single Electron Transistor*, Solid-State Electronics (SSE), Vol. 84, June 2013, Pages 179-184

M.Cassé, S.Barraud, R.Coquand, M.Koyama, D.Cooper, C.Vizioz, C. Comboroure, P.Perreau, V.Maffini-Alvaro, C.Tabone, L.Tosti, S.Barnola, V.Delays, F.Aussenac, G.Ghibaud, H. Iwai, G.Reimbold, (Invited) *Strain-Enhanced Performance of Si-Nanowire FETs*, ECS Transactions (ECS), 2013 Vol. 53, No 3, 125-136

S.Barraud, R.Coquand, J.-M.Hartmann, V.Maffini-Alvaro, M.-P.Samson, L.Tosti, F.Allain, *Enhanced Performance of P-FET Omega-Gate SOI Nanowire With Recessed-SiGe Source-Drain Down to 13-nm Gate Length*, IEEE Electron Device Letters (EDL), vol.34, no.9, pp.1103-1105, 2013

S.Barraud, R.Coquand, V.Maffini-Alvaro, M.-P.Samson, J.-M.Hartmann, L.Tosti, M.Cassé, V.-H.Nguyen, F.Triozon, Y.-M.Niquet, C.Tabone, P.Perreau, F.Allain, C.Vizioz, C.Comboroure, F.Aussenac, S.Monfray, G.Ghibaud, F.Boeuf, B.DeSalvo, O.Faynot, *Scaling of  $\Omega$ -gate SOI nanowire N- and P-FET down to 10nm gate length: Size- and orientation-dependent strain effects*, 2013 Symposium on VLSI Technology (VLSI), pp.230-231, 2013

M.Koyama, M.Cassé, R.Coquand, S.Barraud, G.Ghibaud, H.Iwai, G.Reimbold, *Study of low-frequency noise in SOI tri-gate silicon nanowire MOSFETs*, 2013 22nd International Conference on Noise and Fluctuations (ICNF), pp.1,4, 2013

M.Koyama, M.Cassé, R.Coquand, S.Barraud, C.Vizioz, C.Comboroure, P.Perreau, V.Maffini-Alvaro, C.Tabone, L.Tosti, S.Barnola, V.Delays, F.Aussenac, G.Ghibaud, H.Iwai, G.Reimbold, *Study of carrier transport in strained and unstrained SOI tri-gate and omega-gate silicon nanowire MOSFETs*, Solid-State Electronics (SSE), Vol. 84, 2013, Pages 46-52

K.Lepinay, F.Lorut, A.Pofelski, R.Coquand, R.Pantel, T.Epicier, *Defect analysis of a silicon nanowire transistor by STEM XEDS technique: 2D mappings and tomography*, (MSM), 2013

M.Koyama, M.Cassé, R.Coquand, S.Barraud, G.Ghibaud, H.Iwai, G.Reimbold, *Influence of Device Scaling on Low-Frequency Noise in SOI Tri-gate N- and P-type Si Nanowire MOSFETs*, 2013 Proceedings of the European Solid-State Device Research Conference (ESSDERC), to be published, 2013

M.Vinet, V.Deshpande, X.Jehl, R.Wacquez, S Barraud, M.Sanquer, R Coquand, O.Cueto, B.Roche, B.Voisin, M.Pierre, C.Vizioz, L.Tosti, B Previtali, P.Perreau, T.Poiroux, and O.Faynot, *FDSOI nanowires: an opportunity for hybrid circuit with Field Effect and Single Electron Transistors*, 2013 IEEE International Electron Devices Meeting (IEDM), to be published, 2013

## Brevets

*Method for manufacturing a self-aligned double-gate or gate-all-around transistor*, Rémi Coquand, Stéphane Monfray, reference ST: 13-GR3-0164.





## **DEMONSTRATION DE L'INTERET DES DISPOSITIFS MULTI-GRILLES AUTO-ALIGNEES POUR LES NŒUDS SUB-10NM**

Les nombreuses modifications de la structure du transistor bulk ont permis de poursuivre la miniaturisation jusqu'à sa limite aux nœuds 32/28nm. Les technologies actuelles répondent au besoin d'un meilleur contrôle électrostatique en s'ouvrant vers l'industrialisation de transistors complètement dépletés, avec les architectures sur film mince (FDSOI) ou non planaires (TriGate FinFET bulk). Dans ce dernier cas, le substrat bulk reste limitant pour des applications à basse consommation. La combinaison de la technologie SOI et d'une architecture non-planaire conduit aux transistors TriGate sur SOI (ou TGSOI). Nous verrons l'intérêt de ces dispositifs et démontrerons qu'ils sont compatibles avec les techniques de contrainte. On montrera en particulier les améliorations de mobilité et de courants obtenus sur ces dispositifs de largeur inférieure à 15nm. Des simulations établiront qu'un dispositif TGSOI peut être compatible avec les techniques de modulation de  $V_T$ . Enfin, nous démontrerons la possibilité de fabriquer des dispositifs ultimes à nanofils empilés avec une grille enrobante par une technique innovante de lithographie tridimensionnelle. La conception, la caractérisation physique et les premiers résultats électriques obtenus seront présentés. Ces solutions peuvent répondre aux besoins des nœuds sub-10nm.

**Mots clés :** TriGate, Grille enrobante, Nanofil, CMOS, Contrainte, Mobilité.

---

## **DEMONSTRATING THE INTEREST OF SELF-ALIGNED MULTIPLE GATE TRANSISTORS FOR SUB-10NM NODES**

Changing the bulk transistor structure was sufficient so far to fulfill the scaling needs. The current technologies answer the needs of electrostatics control with the industrialization of fully depleted transistors, with thin-film (FDSOI) or non-planar (TriGate FinFet bulk) technologies. In the latter, bulk substrate is still an issue for low power applications. Combining SOI with multiple-gate structure gives rise to TriGate on SOI (or TGSOI). We will discuss the interest of such devices and will demonstrate their compatibility with strain techniques. We will focus on the mobility and current enhancement obtained on sub-15nm width devices. Simulations also demonstrate the compatibility of TGSOI with  $V_T$  modulation technique. Finally, we demonstrate the fabrication through 3D lithography of ultimate stacked nanowires with a gate-all-around. The conception, physical characterization and first electrical results are presented.

**Keywords:** TriGate, Gate-All-Around, Nanowire, CMOS, Strain, Mobility.