



HAL
open science

Conception d'une nouvelle génération de transistor FLYMOS vertical de puissance dépassant la limite conventionnelle du silicium

Yann Weber

► **To cite this version:**

Yann Weber. Conception d'une nouvelle génération de transistor FLYMOS vertical de puissance dépassant la limite conventionnelle du silicium. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2008. Français. NNT: . tel-00807836

HAL Id: tel-00807836

<https://theses.hal.science/tel-00807836>

Submitted on 4 Apr 2013

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Préparée au

Laboratoire d'Analyse et d'Architecture des Systèmes du C.N.R.S.

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITE DE TOULOUSE

Délivré par l'université TOULOUSE III – Paul Sabatier

Spécialité :

Électronique : Microélectronique

Par

YANN WEBER

CONCEPTION D'UNE NOUVELLE GÉNÉRATION DE TRANSISTOR FLYMOS VERTICAL DE PUISSANCE DÉPASSANT LA LIMITE CONVENTIONNELLE DU SILICIUM

Soutenue le 23 juin 2008, devant le jury :

Président	P. AUSTIN
Directeurs de thèse	F. MORANCHO J-M. REYNES
Rapporteurs	P. MERLE Z. KHATIR
Examineurs	J. MILLÁN C. SCHAEFFER
Invités	A. DERAM J-L. SANCHEZ

*À Frédérique
À mes parents
À ma famille*

Remerciements

Une partie de ces travaux de recherche a été réalisée dans le cadre d'un laboratoire commun, le **Laboratoire d'Intégration des Systèmes de Puissances Avancés (LISPA)**, entre la société **FREESCALE** Semiconducteur et le **Laboratoire d'Analyse et d'Architecture des Systèmes** du **Centre National de la Recherche Scientifique (LAAS-CNRS)**.

Trouver une formule de remerciements adaptée à la personnalité de chacun des intervenants, lié de près ou de loin à cette thèse, est vite apparu être un exercice de style des plus délicats. Je tiens à reprendre une phrase de Monsieur G. CHARITAT qui synthétise à elle seule la difficulté de disposer des mots justes : « l'austérité des formules qui suivent ne seront pas toujours à l'échelle de ma gratitude ». À noter que la liste des personnes ci-dessous n'est pas exhaustive et que l'ordre d'apparition n'a pas d'importance, toutes les personnes citées ayant eu un impact déterminant pour la pleine réalisation de ma thèse.

Je tiens particulièrement à remercier mes deux directeurs de thèse, du LAAS et de Freescale, respectivement Monsieur Frédéric MORANCHO et Monsieur Jean-Michel REYNES. Cette thèse n'aurait pu être aussi riche d'enseignement sans leurs orientations et conseils.

- ✚ Frédéric, merci pour ta disponibilité, tes précieuses recommandations, ta clairvoyance (l'art de rendre un écrit simple et limpide) et ton soutien. Ton naturel décontracté m'a permis de réaliser cette thèse dans une ambiance des plus agréables.
- ✚ Jean-Michel, un grand merci pour les échanges d'opinions qui furent toujours passionnés, pour le partage de ton expérience, de tes idées (qui jaillissent perpétuellement d'on ne sait où ?), de tes connaissances de la physique du composant et de tes compétences techniques qui ont constamment su orienter mon travail. Ta sympathie et ton enthousiasme ont été moteurs durant cette thèse.

Je remercie les membres du jury qui ont accepté la responsabilité de sanctionner mon travail : Monsieur Pierre MERLE, Professeur à l'Université de Montpellier 2, et Monsieur Zoubir KHATIR, Chargé de recherche au LNT de l'INREST, qui ont accepté d'être les rapporteurs de mon travail. Je remercie également les autres membres du jury, Messieurs Christian SCHAEFFER, Patrick AUSTIN et José MILLÁN, pour leur rôle indispensable à l'accomplissement final de ce travail de thèse.

Je souhaite remercier mes collègues de FREESCALE Semiconducteurs, compagnons de tous les instants, avec qui j'ai évolué et acquis le savoir indispensable à la réalisation de ce projet : Monsieur Alain DERAM, pour sa vision éclairée du projet, la confiance qu'il m'a témoigné et ses précieux conseils, Madame Ivana DERAM pour sa bonne humeur et ses connaissances du « Design », Monsieur Evgueniy STEFANOV pour ses simulations et sa compréhension de la physique et enfin Monsieur René ESCOFFIER pour son énergie et sa disponibilité. Je remercie également Jean Louis CHAPTAL pour m'avoir accueilli au sein du groupe de recherche « **Technology Solution Organization** » (TSO). J'ai aussi une pensée pour tous les gens que j'ai côtoyés et qui m'ont aidé : Catherine COURET, Patrick VIALA, Armand LIUTO, Bernard BELLIERES, Isabelle MAJORAL, Jean-Pierre PUJO, Joël MARGHERITTA, ...

Je remercie les membres permanents du LAAS pour leurs soutiens et encouragements. Tout d'abord, Monsieur Jean-Louis SANCHEZ et Madame Marise BAFLEUR, responsables successif du groupe ISGE, pour m'avoir accueilli dans le groupe, Nicolas MAURAN et Sandrine ASSIE-SOULEILLE, pour leur assistance lors des manipulations en salle de caractérisation, Nicolas NOLHIER, Karine ISOIRD, Magalie BRUNET, Isabelle NOLHIER et Eric IMBERNON pour leur sympathie. Une mention spéciale à Jean-Pierre LAUR, Pierre ALOÏSI et Henri TRANDUC pour leur aide irremplaçable lors de la réalisation des bancs de mesures en commutations, Monique DILHAN et Gérard SARRABAYROUSE pour leur contribution à la mesure SCM des îlots flottants.

Une pensée à nos prédécesseurs, plus ou moins anciens, qui ont déjà passé le cap du doctorat et que j'ai eu le plaisir de côtoyer à divers étapes de ma thèse : Stéphane ALVES (FLYMOS man), Christian CAMEL (le roi de la Salsa), Rodolphe DE MAGLIE (« ...pour la guitare, y a que les amplis à transistors qui déchirent ! »), Jean-Baptiste SAUVEPLANE (le king du métal épais) Nicolas LACRAMPE, Abdelhakim BOURENNANE, Nicolas GUITART, Jaume ROIG GUITAR, Isabelle BERTRAND, Christophe SALAMERO. Je salue également mes collègues doctorants, pour qui le temps de la soutenance est déjà décompté : Jean-François REYNAUD Florence CAPY, Julie LEGAL, Yuan GAO, Stéphane PETITBON, Aurore LUU et tous les autres thésards du groupe.

Une attention particulière aux amis et « collègues-thésards » de bureaux qui ont su rendre les journées plus légères et plaisantes, surtout dans les moments où les nerfs étaient soumis à rudes épreuves :

- ✚ Loïc THÉOLIER, alias « Prizee man » merci pour ton amitié, les repas et soirées passées autour d'une bonne Vodka (polonaise bien évidemment !), et surtout pour les tuyaux informatiques, bises à Annie qui nous a supportés pendant 3ans,
- ✚ Béatrice BERNOUX, alias BB (mieux que Brigitte B.), merci pour nos pauses cafés mémorables, tes mimes inimitables, ton dynamisme et ton esprit qui a su rester enfantin, notamment dans les moments stressants ; ce fut une bouffée d'oxygène.
- ✚ Cédric CABAL, connu pour son fond d'écran : il marquera nos esprits !

Dernière pensée, plus personnelle, à ma famille, sans qui je n'aurais sans doute pas tenté cette aventure. A ma mère Joanna et à mon père Witold, merci pour votre soutien inaltérable surtout dans les moments douloureux où vous n'avez pas hésité à faire 700km pour m'assister. Merci à mon frère Sébastien et sa femme Coralie, qui ne m'oublie pas, même à distance. Enfin, merci à ma tendre Frédérique, celle qui m'accompagne dans la vie et me soutient, merci d'être à mes côtés, merci de nous avoir supportés, moi et mon addiction pour l'ordre et le rangement. Que ces lignes reflètent une partie de mon profond attachement.

Chère lectrice, cher lecteur, maintenant est venu le temps de passer aux choses sérieuses et d'entrer dans le vif du sujet. En espérant que vous trouverez des réponses à vos questions à travers ce modeste manuscrit...

Liste des symboles

BV_{dss}	Tension de claquage drain-source du transistor MOS
C_{dgd}	Capacité dynamique associée à la zone de charge d'espace
C_{ds}	Capacité inter-électrodes drain-source
C_{gd}	Capacité inter-électrodes grille-drain
C_{gdmax}	Valeur asymptotique de la capacité grille-drain en régime d'accumulation
C_{gs}	Capacité inter-électrodes grille-source
E_{ox}	Épaisseur de l'oxyde mince de canal
E_C	Valeur du champ critique transversal
e_{ox}	Épaisseur de l'oxyde mince de canal
H	Hauteur de la couche épitaxiée
h	Profondeur de la diffusion P
I_{DS}	Courant de drain
I_G	Courant d'attaque de la grille
I_F	Courant de diode
l	Largeur d'un caisson P
L_G	Longueur du polysilicium de grille
N^+	Zone de type N fortement dopée (contact de drain)
N^-	Zone de type N faiblement dopée (zone de "drift")
"n"	Nombre d'îlots P (notion FLIMOS)
N_A	Densité de dopage de la zone du canal
N_{Amax}	Valeur maximale du dopage de la zone du canal
N_D	Densité de dopage de la couche épitaxiée
N_{float}	Nom de la couche N entre des îlots flottants de type P
n_i	Densité intrinsèque des porteurs à l'équilibre thermodynamique
N_{sub}	Densité de dopage de la région de substrat
P_{float}	Nom donné aux îlots flottants de type P
PHV	Dénomination pour la diffusion P : Acronyme de « P body H igh V oltage »
q	Charge électrique élémentaire
Q_G	Quantité de charge nécessaire à la grille pour que la tension atteigne 10V
Q_{rr}	Charges nécessaire au recouvrement de porteurs de la diode interne du MOS
R_a	Résistance de la zone d'accès au drain
R_{ch}	Résistance de canal
R_D	Résistance de la zone de "drift"
R_G	Résistance du polysilicium de grille
R_{JFET}	Résistance de volume de la zone d'accès au drain
R_{ON}	Résistance à l'état passant du transistor MOS de puissance
R_{ONd}	Résistance dynamique à l'état passant du transistor MOS de puissance
$R_{ON.S}$	Résistance spécifique à l'état passant du transistor MOS de puissance
R_{SUB}	Résistance du substrat N^+ relié au drain
S	Surface active de la puce d'un transistor MOS de puissance
SCM	Acronyme de « S canning C apacitance M icroscopy »
T	Température (en K)
T_{OX}	Épaisseur de l'oxyde épais entre la grille et la métallisation de source
t_r	Temps de commutation du passage de l'état bloqué à passant
t_f	Temps de commutation du passage de l'état passant à bloqué
t_{rr}	Temps nécessaire au recouvrement de charges de la diode interne du MOS
T_0	Température initiale (300 K sauf indication contraire)
V_{bp}	Tension de claquage de la jonction plane

V_{CEon}	Tension à l'état passant entre Emetteur et Collecteur (IGBT)
V_{CEsat}	Tension de saturation à l'état passant entre Emetteur et Collecteur (IGBT)
V_D	Potentiel du drain
V_{DS}	Tension drain-source
V_{DSon}	Tension résiduelle à l'état passant dans un MOSFET
V_{DD}	Tension d'alimentation du drain
V_{GS}	Tension grille-source
V_P	Valeur de la tension de drain au début du pincement du canal
V_{sat}	Vitesse limite des porteurs dans le canal
V_T	Tension de seuil
"W"	Largeur des bandes N et P (notion Superjonctions)
W_N, W_P	Longueur de l'extension des zones de charge d'espace (type N et P)
ZCE	Acronyme de « Z one de C harge d' E space »
μ_n, μ_p	Mobilité des électrons et des trous
μ_0	Mobilité des porteurs dans le volume du semi-conducteur à champ faible
μ_{eff}	Mobilité effective des porteurs dans le canal
ϕ_{ms}	Différence des travaux de sortie métal-semi-conducteur
ϕ_B	Potentiel interne du substrat
ϕ_F	Potentiel de Fermi
ϕ_S	Potentiel électrostatique à la surface du semi-conducteur
Ψ	Potentiel transverse de réduction de la mobilité (couche inversée)
ϵ_0	Permittivité absolue du vide
ϵ_{Si}	Permittivité relative du silicium
α_n, α_p	Coefficients d'ionisation des électrons et des trous

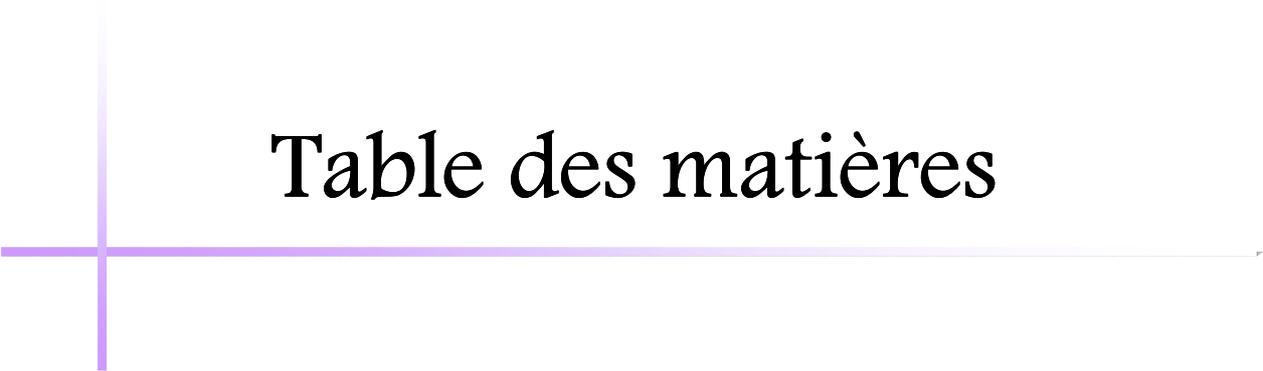


Table des matières

Table des matières

Introduction générale 17

Chapitre I : État de l'art des composants de moyenne puissance 23

I.1. Introduction : contexte de l'étude	23
I.2. Les différentes structures de puissance	24
I.2.1. La diode PiN.....	24
I.2.1.1. Diode PiN en statique : état bloqué ou passant.....	25
I.2.1.2. Diode PiN en commutation.....	26
I.2.2. Les transistors de puissance.....	27
I.2.2.1. Introduction : l'effet transistor.....	27
I.2.2.2. Le transistor bipolaire de puissance.....	28
I.2.2.3. Le transistor MOS de puissance.....	29
I.2.2.4. Le transistor IGBT.....	31
I.2.3. Choix d'un dispositif : quel composant pour quel besoin ?.....	33
I.2.3.1. Gammes de puissance.....	33
I.2.3.2. Bipolaire, IGBT ou MOSFET.....	34
I.3. Les MOSFETs de puissance	36
I.3.1. Principe de fonctionnement de l'interrupteur MOS vertical de puissance.....	36
I.3.1.1. Structure MOS conventionnelle : le VDMOS.....	36
I.3.1.2. Le comportement statique.....	37
I.3.1.2.1. La tension de seuil V_T	37
I.3.1.2.2. Caractéristiques à l'état passant.....	37
I.3.1.2.3. Caractéristiques à l'état bloqué.....	40
I.3.1.3. Le comportement dynamique.....	43
I.3.2. Les différentes configurations de transistors MOS.....	44
I.3.2.1. Le transistor vertical avec grille en tranchée.....	44
I.3.2.2. Le transistor latéral : LDMOS.....	45
I.3.2.3. Le transistor VDMOS up-drain.....	46
I.3.3. Les principales terminaisons moyenne et haute tensions.....	47
I.3.3.1. La plaque à effet de champ (Field Plate).....	47
I.3.3.2. Anneau de garde diffusé.....	48
I.3.3.3. L'extension de jonction : JTE (Junction Terminaison Extension).....	49
I.3.3.4. Les anneaux de garde (P rings).....	50
I.4. Les nouvelles architectures de transistors MOS moyenne et haute tensions	51
I.4.1. Compromis « tenue en tension à l'état bloqué / résistance à l'état passant ».....	51
I.4.1.1. La région épitaxiée appelée zone de « drift ».....	51
I.4.1.2. Définition de la limite théorique du silicium.....	52
I.4.1.3. Comment dépasser la limite du silicium ?.....	54
I.4.2. Les structures à compensation de charge.....	55
I.4.2.1. La Superjonction.....	55
I.4.2.1.1. Principe de fonctionnement.....	55
I.4.2.1.2. Le transistor à Superjonction.....	56
I.4.2.2. La Semi-Superjonction.....	57
I.4.2.3. Les techniques de réalisation des Superjonctions.....	58
I.4.3. Les structures à îlots flottants type FLIMOS.....	59
I.4.3.1. Historique sur les dispositifs à îlots flottants.....	59
I.4.3.2. L'îlot flottant : principe de fonctionnement.....	61

I.4.3.3.	Le transistor FLYMOS.....	62
I.4.3.3.1.	Paramètres de base.....	62
I.4.3.3.2.	Intérêt du FLYMOS par rapport aux MOS à Superjonction.....	63
I.4.3.4.	La problématique du FLYMOS.....	65
I.4.3.4.1.	Le procédé de fabrication : de la théorie à la réalisation.....	65
I.4.3.4.2.	Dynamique des porteurs en présence de jonctions flottantes.....	66
I.5.	Conclusion.....	67

Chapitre II : Phénoménologie de fonctionnement du FLYMOS 200 Volts : limites du dispositif..... 71

II.1.	Introduction.....	71
II.2.	Technologie de fabrication du transistor FLYMOS 200V.....	72
II.2.1.	Caractéristiques structurelles.....	72
II.2.1.1.	La technologie planar : le HDTMOS™.....	72
II.2.1.2.	Dessin de la cellule centrale.....	72
II.2.1.2.1.	Le Squish Square.....	72
II.2.1.2.2.	Le WELLFET.....	73
II.2.1.2.3.	Le FLYMOS.....	74
II.2.1.3.	La première terminaison utilisée.....	75
II.2.2.	Premières réalisations de FLYMOS 200V.....	76
II.2.2.1.	Choix des paramètres de procédé.....	76
II.2.2.2.	Procédé de fabrication : étapes technologiques.....	78
II.3.	Caractérisation physique.....	81
II.3.1.	Problématique de l'observation au cœur du silicium.....	81
II.3.1.1.	Les limites de caractérisation.....	81
II.3.1.1.1.	« Spreading Resistance Profiling ».....	81
II.3.1.1.2.	Révélation cristalline : problème de résolution (2D).....	82
II.3.1.2.	Utilisation d'un outil de caractérisation précis en 2D.....	83
II.3.1.2.1.	Principe du « Scanning Capacitance Microscopy ».....	83
II.3.1.2.2.	Préparation des échantillons.....	84
II.3.1.2.3.	Caractérisation des îlots flottants.....	85
II.3.2.	Résultats de caractérisation SCM : interprétation des images.....	86
II.3.2.1.	Calibration : correspondance 1D avec la SRP.....	86
II.3.2.2.	Visualisation 2D des îlots flottants.....	88
II.3.2.3.	Synthèse des résultats.....	89
II.4.	Caractérisation électrique.....	92
II.4.1.	Caractérisation statique.....	92
II.4.1.1.	Compromis « état bloqué/état passant ».....	92
II.4.1.1.1.	Tenue en tension (BV_{dss}).....	92
II.4.1.1.2.	Résistance à l'état passant (R_{ON}).....	93
II.4.1.1.3.	Analyse des résultats.....	94
II.4.1.2.	La tenue en énergie (test UIS).....	95
II.4.2.	Caractérisation dynamique.....	97
II.4.2.1.	Mesure de la capacité de sortie (C_{oss}) du FLYMOS.....	97
II.4.2.2.	Mesure du courant (I_{DS}) lors de la polarisation du drain (V_{DS}).....	101
II.4.2.3.	Mesure du « Gate charge » (Q_G).....	102
II.4.2.3.1.	Détermination de Q_G	103
II.4.2.3.2.	Caractérisation de la résistance dynamique.....	105
II.5.	Problématique du FLYMOS : limites et solutions.....	108
II.5.1.	Limites du FLYMOS.....	108

II.5.1.1. La tenue en tension.....	108
II.5.1.1.1. Problème de dessin : équilibre terminaison/cellule centrale....	108
II.5.1.1.2. Interactions avec des éléments additionnels au MOSFET.....	109
II.5.1.2. Description des phénomènes d’ionisation autour des îlots flottants	110
II.5.1.3. Synthèse des limitations de la technologie FLYMOS	112
II.5.2. Les solutions aux limitations du FLYMOS.....	112
II.5.2.1. L’injecteur de trous : IGBT latéral.....	112
II.5.2.2. Optimisations de la structure.....	114
II.6. Conclusion.....	115

Chapitre III : Optimisation des performances du transistor FLYMOS 200 Volts119

III.1. Introduction	119
III.2. Validation des choix d’optimisation.....	120
III.2.1. FLYMOS optimisé à 2 niveaux d’îlots flottants.....	120
III.2.1.1. Améliorations du procédé de fabrication	120
III.2.1.2. Modifications des terminaisons.....	122
III.2.1.2.1. Contexte : stratégie d’optimisation des terminaisons	122
III.2.1.2.2. Terminaison de type plaque de champ enterrée (« dots »)	122
III.2.1.2.3. Terminaison de type anneaux de garde enterrés	123
III.2.1.3. Différenciation technologique et modification du P de surface.....	124
III.2.1.4. Estimation des paramètres de procédé	125
III.2.1.5. Synthèse des nouvelles étapes technologiques.....	127
III.2.2. Caractérisation physique : images SCM 2D	129
III.2.2.1. Étude des cellules centrales du FLYMOS.....	130
III.2.2.2. Étude des terminaisons des FLYMOS et FLY-diodes.....	132
III.2.2.2.1. Images SCM des terminaisons de type « dots »	132
III.2.2.2.2. Images SCM des terminaisons de type « anneaux de garde » ..	133
III.2.3. Tests électriques de validation	134
III.2.3.1. Tests statiques	134
III.2.3.1.1. Tenue en tension (BV_{dss}).....	135
III.2.3.1.2. Résistance à l’état passant (R_{ON})	136
III.2.3.1.3. Impact du niveau de P_{edge} sur les performances statiques	137
III.2.3.1.4. Conclusion.....	138
III.2.3.2. Tests dynamiques	139
III.2.3.2.1. Mesure C_{oss}	139
III.2.3.2.2. Gate charge : validation du R_{ONd}	140
III.3. Réalisation d’un nouveau jeu de masques.....	141
III.3.1. Objectifs	141
III.3.2. Description générale des différents dessins des structures.....	142
III.3.3. Caractéristiques des FLY-diodes	143
III.3.4. Caractéristiques des FLYMOS.....	145
III.4. Performances électriques du FLYMOS optimisé.....	147
III.4.1. Plan d’expérience final.....	147
III.4.2. Performances statiques.....	147
III.4.2.1. Compromis BV_{dss}/R_{ON} du grand FLYMOS	147
III.4.2.1.1. Tenue en tension	148
III.4.2.1.2. Résistance à l’état passant	149
III.4.2.2. Analyse des BV_{dss} sur les 32 petites structures.....	149
III.4.2.3. Conclusion : choix des paramètres.....	153

III.4.3. Performances dynamiques.....	153
III.4.3.1. Commutation sur charge résistive.....	153
III.4.3.2. Commutation sur charge inductive	155
III.4.3.2.1. Principe	155
III.4.3.2.2. Temps de commutation.....	157
III.4.3.2.3. Recouvrement de la diode interne du FLYMOS.....	158
III.5. Le FLYMOS face aux meilleurs composants 200V.....	160
III.5.1. Comparaison avec la meilleure Superjonction 200V commercialisée.....	160
III.5.2. Bilan : compromis $BV_{dss}/R_{ON}\cdot S$	161
III.6. Conclusion	163
Conclusion générale.....	167
Bibliographie	173
Annexe A1 : Rappels des principes de base des composants semiconducteurs.....	181
A1.1. Rappels sur la jonction PN	181
A1.2. Principe de base du fonctionnement d'un transistor bipolaire.....	184
A1.3. Principe de base du fonctionnement d'un transistor MOS	185
Annexe A2 : Évolution structurelle de l'IGBT au service de la performance	187
Liste des publications	189



Introduction générale

Introduction générale

Dans un contexte énergétique mondial de plus en plus difficile, où la croissance économique reste le maître mot, la consommation énergétique augmente inlassablement. En 2007, l'Agence Internationale de l'Énergie (AIE) estimait que la demande énergétique mondiale devrait progresser de près de 60% d'ici à 2030. Pour la satisfaire, il faudra consentir à des investissements de l'ordre de 22 000 milliards de dollars, afin d'améliorer les capacités de production et l'efficacité énergétique. Une réponse responsable implique de diminuer la part des énergies fossiles utilisées, que ce soit pour des questions de réchauffement climatique, d'épuisement programmé des ressources, d'environnement, ou plus généralement, d'économie.

Dans le cadre d'un développement durable, la transition ne pourra se faire que par l'essor des énergies alternatives dites « propres ». Les prémices de ces efforts se font déjà sentir dans le domaine des transports : les solutions novatrices, telles que les véhicules « semi-hybrides » (comme les systèmes “Start & Stop” permettant de redémarrer le moteur à l'arrêt par l'utilisation de l'alternateur) et les véhicules « tout-hybrides », en sont la parfaite illustration. Ces solutions déjà appliquées à la voiture, au scooter ou même au train, ne devront être qu'une étape avant le passage au tout électrique. De manière générale, il est indéniable que les avancées technologiques d'aujourd'hui détermineront les technologies employées dans les années à venir pour produire de l'énergie et réduire les gaspillages.

La gestion de l'énergie électrique s'inscrit parfaitement dans cette optique. Ainsi, quel que soit le niveau concerné, du réseau de distribution aux équipements domestiques, le transfert de l'énergie constitue la clé de voute dans la course aux réductions de consommation. Il est assuré par l'intermédiaire de systèmes de puissance intégrant majoritairement des composants semi-conducteurs. Idéalement, ceux-ci jouent le rôle d'interrupteurs de puissance fonctionnant entre deux états, ouvert ou fermé, dont les caractéristiques importantes sont la tension blocable (de quelques Volts à quelques milliers de Volts), le courant passant (de quelques Ampères à quelques centaines d'Ampères), et les temps de commutation qui fixent la fréquence d'utilisation. De ces trois principaux paramètres dépendent les pertes énergétiques : le but des nouveaux composants est donc de les minimiser.

Les récents progrès de la microélectronique (lithographies avancées, densification des cellules élémentaires, intégration des circuits, ...) ont permis de répondre à la demande toujours plus sévère en terme de performances. Alors que les composants plus anciens entièrement bipolaires tels que les diodes, les transistors et les thyristors, voient leur progression fortement ralentie, ceux introduits récemment à base de commande MOS (**M**etal-**O**xide-**S**emiconducteur) sont en pleine expansion. Le composant idéal doit être capable de transiter des densités de courant toujours plus élevées, avec des temps de commutation et des pertes de conduction toujours plus faibles. Dans ce cadre, les technologies MOS de puissance ont constitué une première rupture ; en effet, les performances de ces structures MOS, en terme de résistance à l'état passant, ont été nettement améliorées par la réduction des dimensions qui a permis d'augmenter le nombre de cellules par unité de surface.

Dans le domaine des moyennes puissances, le transistor MOS haute tension semble être un excellent candidat pour des gammes de tension en-dessous de 1000V tandis que l'IGBT (**I**nsulated **G**ate **B**ipolar **T**ransistor) s'avère être le composant le plus intéressant au-delà de cette valeur. Cette vision réductrice camoufle une réalité qui est nettement plus complexe ; suivant les courants et les fréquences de commutation souhaités, l'utilisateur pourra choisir l'IGBT ou le transistor MOS avec les avantages et inconvénients de chacun. En ce qui concerne les transistors MOS, ces derniers possèdent des avantages liés à leur bonne rapidité de commutation et à leur facilité d'utilisation, mais restent handicapés par leur résistance à l'état passant (R_{ON}) élevée. D'ailleurs, dans le cas des composants unipolaires de puissance à zone volumique uniformément dopée, la résistance passante spécifique ($R_{ON.S}$) – produit de la résistance à l'état passant R_{ON} par la surface active de la puce S – et la tenue en tension (BV_{dss}) constituent les premiers paramètres de référence servant à évaluer le degré de performances, qui s'exprime par le compromis « $BV_{dss}/R_{ON.S}$ ». Dans le cas des basses tensions, la densification des cellules élémentaires (miniaturisation) ou la recherche de configurations géométriques originales de ces cellules, permet de diminuer drastiquement la résistance passante spécifique. Mais dans le cas de la haute tension, l'influence de la région de drain devient prédominante : plus la tension de blocage requise est grande, plus la couche épitaxiée de type N sera faiblement dopée pour soutenir le champ électrique développé au niveau de la jonction PN. Ceci grève d'autant plus la résistance à l'état passant. Les solutions évoquées, n'étant plus suffisantes, butent alors sur une limitation fondamentale appelée "limite conventionnelle du silicium".

À partir des années 90, les recherches tentèrent de remédier à cet obstacle. La solution consistant à changer de type de matériau semi-conducteur fut envisagée, mais apparut vite comme étant trop prématurée : elle se heurta aux contraintes de temps de développement à court terme et posa surtout le problème de faisabilité industrielle. D'ailleurs, le transistor silicium n'a toujours pas encore été remplacé, mis à part quelques arrivées récentes de diodes schottky à base de carbure de silicium (SiC) et de nitrure de gallium (GaN). Par conséquent, cela a permis le développement de nouvelles approches dépassant cette limite du silicium considérée pendant longtemps comme « infranchissable ». Ainsi, le principe de la Superjonction est apparu vers 1997, débouchant très rapidement sur un produit commercialisé en 1998, le CoolMOS™ d'Infineon. Ces composants MOS 600V offraient, pour la première fois, une résistance spécifique plus basse que la limite théorique du silicium. Parallèlement, le principe des îlots flottants fut présenté en 1999, avec la FLI-diode issue des activités du LAAS-CNRS.

Le travail présenté dans ce mémoire s'inscrit dans la continuité des travaux réalisés antérieurement sur le principe du transistor à îlots flottants : le FLIMOS (**F**loating **I**slands **M**OS). La technologie utilisée est basée sur le principe du transistor de puissance MOS vertical à canal double diffusé, appelé VDMOS. La société FREESCALE Semiconducteurs, ayant sa propre technologie VDMOS baptisé HDTMOS™, a bâti le FLYMOS (nom donné au composant type FLIMOS) sur la base de cette structure.

L'approche utilisée a consisté à valider le principe d'îlots flottants à des tensions autour de 200V. Pour la première fois, nous avons caractérisé physiquement la forme des îlots flottants afin de comprendre leur évolution au cours du procédé pour en maîtriser sa diffusion et sa concentration. Ceci nous a aussi permis d'avoir des données dimensionnelles à « réinjecter » dans l'outil de simulation pour en améliorer les estimations. Ensuite, nous avons

évalué son impact sur les performances électriques. Puis, les activités se sont portées sur la détermination des performances dynamiques (grande inconnue du FLYMOS jusqu'à ces travaux) ainsi que sur l'optimisation du dispositif pour qu'il soit compétitif en terme de compromis « coût/performance » ; l'objectif principal est d'obtenir au final un composant proche d'une éventuelle production.

Les travaux synthétisés dans ce mémoire s'articulent autour de 3 chapitres :

- ✦ Le premier chapitre propose un état de l'art des structures de puissance généralement utilisées en haute tension afin de définir plus précisément le contexte du projet. Ensuite, les différents MOSFETs de puissance existants sont décrits, ainsi que leurs paramètres principaux liés au fonctionnement type interrupteur : entre autres, ceux liés à l'état passant et à l'état bloqué. Nous présenterons ensuite les différents types de terminaisons des structures haute tension, puis nous définirons la "limite du silicium" et nous détaillerons les nouvelles approches proposées pour vaincre cette barrière. Pour finir, le principe et les spécificités du FLIMOS seront décrits.
- ✦ Le deuxième chapitre présente le tout premier FLYMOS 200V réalisé avec un niveau d'îlot flottant : une rétrospective détaillée du procédé de fabrication ainsi que du dessin des structures y est dévoilée. Pour la première fois, une caractérisation physique originale utilisant le **Scanning Capacitance Microscopy (SCM)** dévoilera la forme réelle des îlots flottants. Cette nouvelle observation des îlots flottants au « cœur du silicium » nous permettra de mieux comprendre leur évolution au cours du procédé et d'affiner les estimations par réinjection des résultats dans le simulateur. Enfin, par la caractérisation électrique statique et dynamique, la phénoménologie de fonctionnement du FLYMOS nous permettra de définir les limites du composant et les solutions permettant son perfectionnement.
- ✦ Le dernier chapitre est consacré à la réalisation technologique sur silicium de FLY-diodes et de transistors FLYMOS 200 Volts optimisés. Ces composants intègrent pour la première fois deux niveaux d'îlots flottants. Nous décrirons alors précisément la stratégie adoptée pour l'amélioration du procédé de fabrication. Les évolutions apportées aux dessins des structures aboutiront à la réalisation d'un jeu complet de masques, incluant une multitude de petites structures. Ensuite, l'évaluation des performances sera tirée des résultats de mesures statiques et dynamiques effectuées sur les FLY-diodes et FLYMOS. Pour finir, la compétitivité de notre FLYMOS 200V optimisé sera évaluée par la comparaison de ses performances avec celles du meilleur transistor MOSFET 200V à Superjonction vendu dans le commerce en 2007.

Chapitre I :

État de l'art des
composants de
moyenne puissance

Chapitre I : État de l'art des composants de moyenne puissance

I.1 Introduction : contexte de l'étude

Dans un contexte socio-économique où la gestion de l'énergie devient un acteur prépondérant, les composants semi-conducteurs de puissance interviennent dans le contrôle et la conversion de l'énergie électrique. Alors que les puissances mises en jeu dans l'électronique standard ne dépassent que rarement quelques fractions de Watt, elles peuvent atteindre plusieurs milliers de Watts en électronique de puissance. Reprenant les principes physiques identiques aux autres dispositifs semi-conducteurs (Annexe A1), les composants de puissance se distinguent par leur configuration, en utilisant des structures et des technologies particulières afin d'assurer le rôle d'interrupteur de puissance [LET99]. Cette fonction permet de transmettre ou d'interrompre le transfert d'énergie entre divers éléments d'un système : la plus grande partie des pertes d'énergie se retrouve lors des phases de commutation mais aussi lors de la conduction. On comprend donc l'importance des travaux entrepris sur ces composants subissant de fortes contraintes. Ceci est d'autant plus véridique lorsque les applications requièrent de la haute tension.

L'interrupteur se caractérise par des changements d'état répétés. Il possède un état passant pendant lequel la tension à ses bornes devient très faible et laisse le courant transiter, et un état bloqué pendant lequel le courant le traversant est très faible et la tension est celle de l'application (Figure I-1).

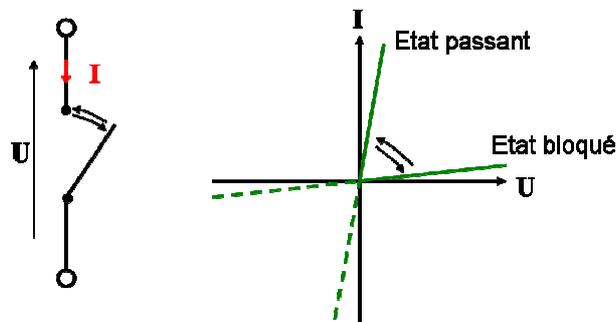


Figure I-1 : Représentation symbolique du principe de fonctionnement d'un interrupteur.

Il existe plusieurs types d'éléments de puissance avec des performances variées en termes de tenue en tension, de rapidité et de pertes en conduction. Nous pouvons les rassembler en deux familles principales :

- les éléments non commandés tels que les diodes,
- les éléments commandés à la fermeture et à l'ouverture tels que les transistors bipolaires, les MOSFETs et les IGBTs.

Le comportement à l'enclenchement, au déclenchement, ainsi qu'en régime de conduction varie notablement selon le type d'interrupteur semi-conducteur utilisé. Le comportement réel d'un interrupteur prend une forte importance au sens du bilan énergétique résultant de la somme des pertes en commutation et des pertes en conduction.

Le but de ce chapitre est de réaliser un état de l'art des dispositifs semi-conducteurs de puissance de base pour des structures utilisées dans des gammes de moyenne puissance (100 à 1000V / 10 à 200A), afin de mieux cerner le contexte lié aux travaux sur le transistor FLYMOS moyenne et haute tensions.

Ainsi, dans un premier temps, nous présenterons la diode PiN et les transistors bipolaires construits à partir de jonctions PN. Nous passerons ensuite aux technologies à effet de champ : les transistors MOS et les IGBTs. Concernant ces derniers, nous précisons les gammes de fonctionnement et les paramètres clés intervenant dans le choix d'une technologie. Ensuite, nous nous intéresserons plus précisément aux différents MOSFETs de puissance existants, en définissant les paramètres principaux liés au fonctionnement type interrupteur (état passant et état bloqué), les diverses structures développées et les différents types de terminaisons. Après avoir défini la "limite théorique du silicium", nous exposerons les solutions imaginées pour dépasser cette barrière en détaillant les nouvelles approches proposées (Superjonction, îlots flottants). Pour finir, nous motiverons le choix du FLYMOS, en terme de compromis « coûts/performances », et aborderons sa problématique.

I.2. Les différentes structures de puissance

I.2.1. La diode PiN

La diode PiN est un composant non commandé que l'on retrouve à la base des structures commandées comme le transistor MOS ou l'IGBT. Elle est généralement utilisée seule pour assurer la continuité du courant (phase de roue libre) dans les cellules élémentaires de commutation mais aussi pour assurer les fonctions de redressement dans les convertisseurs statiques alternatif/continu. On la retrouve encore intégrée par conception, de façon intrinsèque, dans le MOSFET de puissance. Basée sur le principe de la jonction PN, détaillé en annexe A1.1, la différence principale vient de la base qui est profonde et peu dopée (N^-), intercalée entre les régions P^+ et N^+ (Figure I-2). Cette dernière région est quasi intrinsèque et c'est la raison pour laquelle cette diode est appelée diode PiN [DEM07].

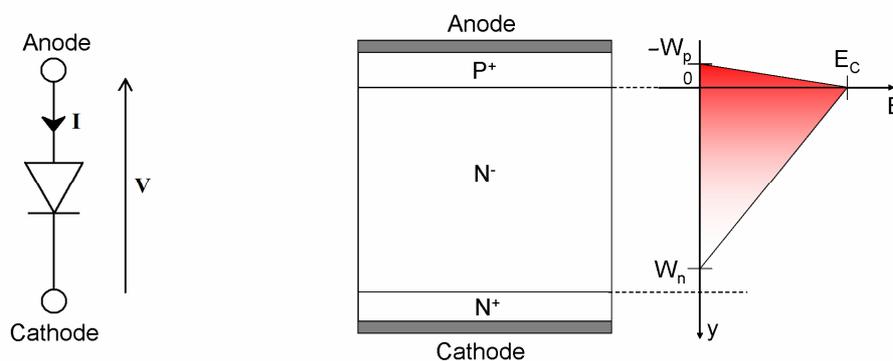


Figure I-2 : Coupe schématique d'une diode de puissance PiN avec répartition du champ électrique sur la jonction dans le cas d'une extension libre.

Pour une gamme de tension allant jusqu'à environ 1000V, la partie N^- des diodes PiN est généralement épitaxiée sur un substrat N^+ , avec implantation puis diffusion de l'émetteur P^+ . Basé sur l'équation de Poisson (Annexe A1.1), la région de base N^- supporte la tension lorsque la jonction P^+N^- est polarisée en inverse, grâce à l'étalement de la Zone de Charge

d'Espace (ZCE) dans cette zone (mécanisme commun à la plupart des composants de puissance verticaux). Plus la tenue en tension demandée est importante, plus cette région sera profonde et faiblement dopée. En raison de son caractère intrinsèque, la région de base se retrouve en haut niveau d'injection à l'état passant. La charge stockée est importante et permet une augmentation de la conductivité de la région de base avec pour conséquence une faible chute de tension à l'état passant. La contrepartie est que la disparition de cette charge se fait par recombinaison. Ceci se caractérise électriquement par un courant de recouvrement important qui ralentit à la fois les vitesses de commutation et augmente les pertes dynamiques.

I.2.1.1. Diode PiN en statique : état bloqué ou passant

Comme dans le cas de la jonction PN, nous retrouvons 2 modes de fonctionnement ; le mode passant pour $V > V_T$ et le mode bloqué pour $V < V_T$ où V_T est la tension de seuil de la diode (Figure I-3). Dans le premier mode, la tension doit être supérieure à la tension de seuil pour permettre aux porteurs de franchir la barrière de potentiel et de créer le courant de conduction. Dans le deuxième mode, c'est la jonction P^+N^- qui est polarisée en inverse. Toute augmentation de la tension dans le sens indirect tend à augmenter la hauteur de la barrière de potentiel même si un très faible courant peut traverser : on l'appelle communément courant de fuite. Dans cette diode PiN, c'est l'extension de la ZCE dans la région de base qui va déterminer au premier ordre la tenue en tension. Il est à noter qu'à ce stade, nous n'avons pas parlé des structures de terminaison (structures périphériques qui doivent permettre de tenir la tension supportée par la cellule centrale). Ce point sera traité au §I.3.3.

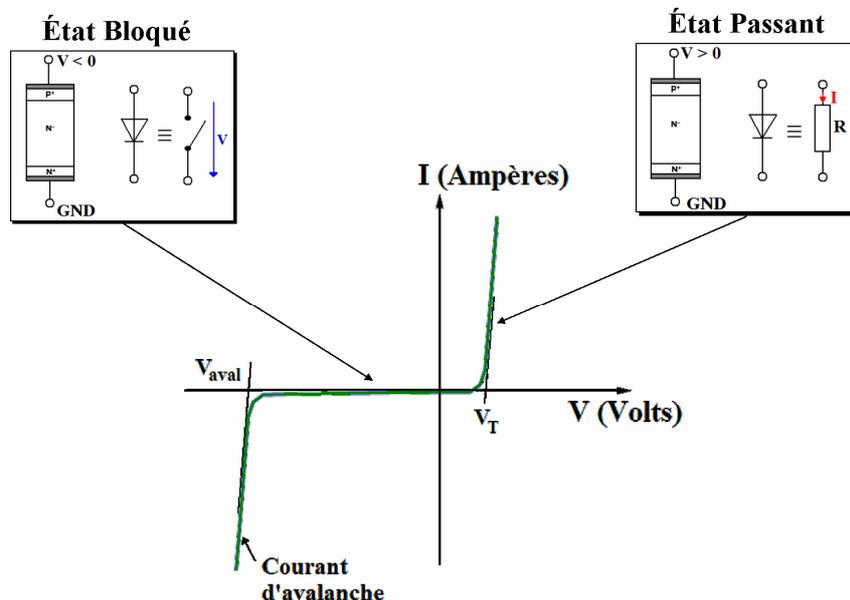


Figure I-3 : Principe de fonctionnement statique de la diode PiN.

Dans les cas de la diode bloquée, si le champ électrique est suffisamment élevé, l'avalanche (qui est une ionisation de la diode par collision des porteurs libres) doit être prise en compte dans la formation de paires électron-trou comme cause de génération excédentaire. Ce phénomène se produit au-delà d'une certaine tension inverse V_{Aval} où le champ électrique devient suffisamment intense pour permettre la multiplication des porteurs par avalanche,

localisée au niveau du champ maximum à la jonction P⁺N⁻. Dans ce contexte, un courant inverse appelé courant d'avalanche peut alors circuler, comme indiqué dans la Figure I-3.

I.2.1.2. Diode PiN en commutation

Si la mise en conduction de la diode peut être considérée comme moins critique, le blocage se montre plus délicat : il fait intervenir des phénomènes transitoires pénalisants [ARN92]. À partir de ce constat, nous allons décrire brièvement les phénomènes mis en jeu et exposer les paramètres principaux. À l'état passant, des charges (électrons et trous) sont accumulées dans la diode lors de la conduction en fonction du courant qui la traverse. Lors de l'ouverture du dispositif à l'aide d'un interrupteur Q (Figure I-4), les charges stockées doivent s'évacuer avant que la diode puisse supporter une tenue en tension inverse. La diode ne peut pas commuter à l'état bloqué tant que la zone désertée de porteurs n'a pas été recréée. On appelle ce mécanisme « recouvrement inverse de la diode ».

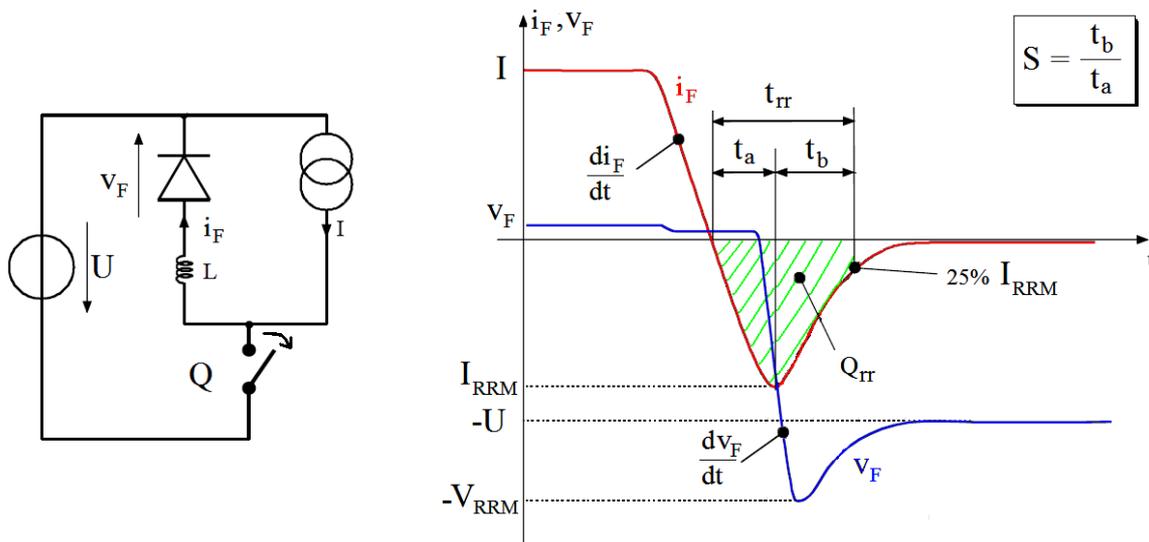


Figure I-4 : Allure du courant et de la tension lors d'une commutation à l'ouverture.

Ce recouvrement inverse de charges dans la diode est explicité sur la Figure I-4 et est caractérisé par les paramètres principaux suivants :

- le temps de recouvrement t_{rr} : il correspond au temps total nécessaire pour éliminer les charges en excès puis pour restaurer la possibilité de blocage de la diode (appelé en anglais *reverse recovery time*),
- la charge Q_{rr} ; c'est la charge totale recouvrée pendant le temps t_{rr} , elle correspond à la surface hachurée sur la Figure I-4 et peut être déduite par approximation suivant l'équation (1),

$$Q_{rr} \approx \frac{1}{2} \cdot t_{rr} \cdot I_{RRM} \quad (1)$$

- la pointe de courant inverse I_{RRM} ; c'est le pic de courant atteint lors de l'évacuation des charges jusqu'à ce que la diode reconstitue sa barrière de potentiel,
- Le taux de décroissance di_F/dt du courant depuis la conduction jusqu'à la pointe inverse I_{RRM} . NB : il ne dépend pas de la diode mais des composants qui l'entourent et notamment de la charge inductive L.

- Le facteur de recouvrement S (*softness factor*) ; il permet de mesurer la "dureté" d'une diode. Si $S > 1$, on considère que la diode est "douce" ; cela est en général préférable car le courant ramené progressivement à 0 impliquera une surtension plus douce et moins destructrice pour les composants environnants. Si $S < 1$, la diode est "dure" ; le courant ramené brutalement à 0 provoquera une surtension importante, néfaste pour le circuit.

Ces paramètres de recouvrement doivent être traités avec intérêt en fonction de l'utilisation que l'on fait de la diode, à cause de son interaction avec les autres composants d'un circuit.

Pour conclure et en considérant le compromis "performances statiques / performances dynamiques", on peut ajouter que des techniques peuvent être utilisées afin de configurer la diode pour une application et/ou utilisation données :

- 1°) la durée de vie des porteurs peut être réduite dans la base N^- . Pour cela, deux techniques sont utilisées : la première consiste à introduire des centres recombinants tels que l'or ou le platine lors du procédé de fabrication et la seconde utilise l'irradiation par particules à forte énergie telles que les électrons ou encore les protons. Ces diodes sont appelées « diodes à durée de vie contrôlée ». Elles améliorent le comportement en commutation, au détriment d'un léger recul de l'efficacité de conduction (ou tension de saturation).
- 2°) une technique plus récente permet de "jouer" sur les recombinaisons de porteurs au niveau du recouvrement mais aussi, en deuxième ordre, sur la diminution de la résistance de conduction. Elle consiste en l'amincissement des wafers par un procédé spécifique [SEK06]. Ainsi, plutôt que de garder un substrat épais ($>300\mu\text{m}$) qui possède une forte efficacité d'injection, la technique consiste à réduire par polissage l'épaisseur du substrat (environ 60 à $70\mu\text{m}$ pour 600V) tout en laissant un anneau épais sur le pourtour du wafer pour en conserver sa rigidité mécanique. Quelle que soit la configuration de départ, il en résulte une faible épaisseur du N^+ (obtenue par polissage de substrat N^+ ou par implantation face arrière sur substrat N^- aminci) qui contrôle au mieux l'injection. Elles sont souvent appelées « diodes à émetteur contrôlé » et permettent particulièrement l'amélioration des performances en recouvrement. Cette méthode apparue récemment est aussi et surtout utilisée sur les IGBT (voir §I.2.2.4. et annexe A2).

I.2.2. Les transistors de puissance

I.2.2.1. Introduction : l'effet transistor

Le terme transistor est l'acronyme de l'expression anglo-saxonne de « **Transfert Resistor** ». Il est le fruit des recherches menées en 1948 par trois chercheurs (J. Bardeen, W. Brattain et W. Shockley : prix Nobel de physique en 1956) du Bell Telephone Laboratories qui mirent au point, vers 1951, un dispositif à semi-conducteur à deux jonctions appelé transistor. Le transistor fut considéré comme le successeur du tube électronique (lampe). Dans le domaine de l'électronique de puissance, les transistors sont les interrupteurs commandés permettant des transferts d'énergie. L'effet transistor se caractérise par la possibilité de contrôler, par une commande intégrée à la structure du composant, le flux de porteurs transitant et créant le courant de conduction. Par analogie, c'est en quelque sorte un « robinet » dans lequel la conduction de porteurs est contrôlée. Dans ce paragraphe, nous

allons présenter succinctement les principaux transistors de moyenne puissance, décrivant brièvement les différents mécanismes qui les caractérisent.

I.2.2.2. Le transistor bipolaire de puissance

Le transistor bipolaire est la retombée directe de ces premiers travaux : il est basé sur le principe de la jonction PN, avec comme particularité d'avoir trois zones de dopage P ou N, représentant deux jonctions PN tête-bêche. Suivant la configuration souhaitée, des transistors PNP ou NPN sont possibles et complémentaires l'un de l'autre. Les courants et les tensions d'un transistor PNP sont opposés aux courants et tensions d'un transistor NPN, mais le principe de fonctionnement est exactement le même pour les deux types. Pour remplir leur fonction de conduction, les composants semi-conducteurs bipolaires (composants commandés en courant) mettent en jeu électrons et trous. Même si aujourd'hui son utilisation est moins courante, il est nécessaire d'en connaître les caractéristiques pour pouvoir évaluer les avantages des MOS et des IGBT. De plus, le transistor bipolaire sert de référence dans l'élaboration de modèles de composants plus évolués. Intéressons-nous tout d'abord au principe de base.

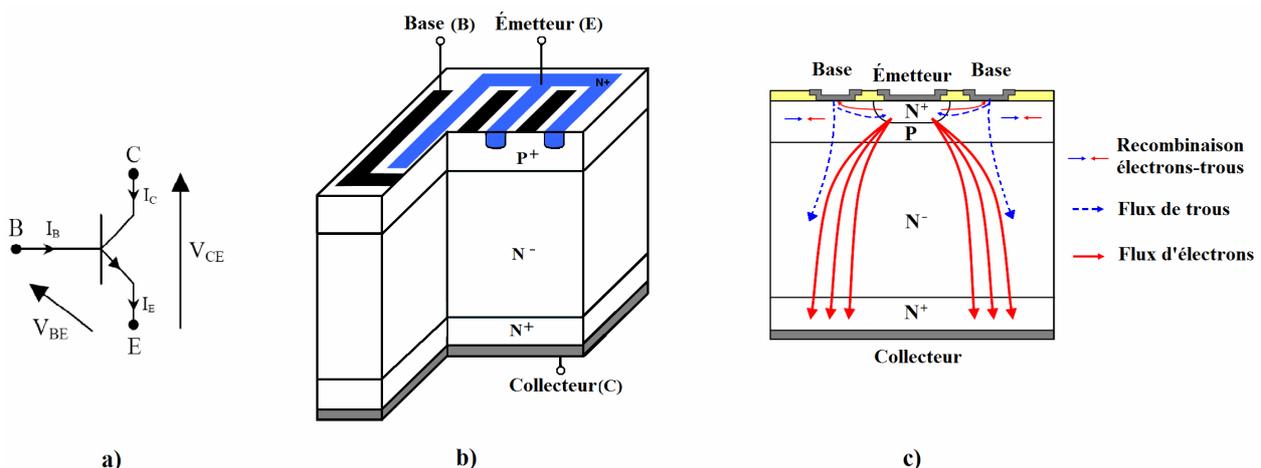


Figure I-5 : a) Schéma d'un transistor bipolaire NPN,
 b) Vue en coupe en 3D avec interdigitation base-émetteur,
 c) Vue en coupe avec représentation des flux de porteurs.

La structure d'un transistor bipolaire de puissance fait appel aux mêmes principes basés sur les effets de modulation de conductivité rappelée dans l'annexe A1.2 ; cependant, pour soutenir une tension supérieure, sa région de collecteur intègre, en règle générale, une zone peu dopée. Sa structure verticale (Figure I-5) est majoritairement constituée par la succession de couches semi-conductrices du type $N^+PN^-N^+$. Cette disposition permet les meilleurs compromis de performances entre tension bloquée, courant passant et temps de commutation. La région faiblement dopée de collecteur constitue la "vraie base" du dispositif. Malgré la terminologie développée en annexe A1.2, c'est dans cette région en effet que s'étend principalement la charge d'espace de la jonction bloquante et que se trouve stockée, dans l'état passant, la plus grande part de la charge des porteurs en transit. La région de base au sens habituel du terme, ici de type P, est beaucoup plus dopée et étroite. L'émetteur est, quant à lui, toujours très fortement dopé. La durée de vie des porteurs dans la base et le

collecteur est, en règle générale, maintenue assez élevée vis-à-vis des temps de transit des porteurs dans ces régions pour que l'on puisse considérer l'effet des recombinaisons comme secondaire.

La structure du transistor bipolaire de puissance impose une région d'émetteur ramifiée, comme indiqué sur la coupe de la Figure I-5, avec les métallisations des contacts d'émetteur et de base, alternées, dessinant une géométrie interdigitée plus ou moins complexe. L'objectif est de réduire l'effet de « focalisation périphérique » dans l'état passant, c'est-à-dire la concentration du courant injecté sur les bords de l'émetteur. En donnant à la région d'émetteur une forme géométrique privilégiant le rapport périmètre/surface, telle que la mise en parallèle de « doigts » de faible largeur, on diminue la résistance apparente de la couche de base sous-jacente, ce qui permet une plus grande homogénéité d'injection et une meilleure utilisation de la surface de cristal. C'est donc sous réserve d'une forte interdigitation de l'émetteur (ce qui est le cas pour les transistors actuels), et dans la mesure où le flux des porteurs injectés se réoriente normalement au plan des jonctions et redevient uniforme dans la région de collecteur (hypothèse d'autant mieux justifiée que ce collecteur est plus épais, donc la tension blocable plus élevée), que la schématisation « unidimensionnelle » des composants bipolaires peut être appliquée. C'est la surface de la jonction collecteur-base, plutôt que celle de la jonction émetteur-base, qui sera retenue, dans cette optique, comme surface active [LET01].

Dans le cas du transistor bipolaire de puissance, nous retiendrons qu'ils sont principalement en configuration Darlington (transistors montés en cascade), afin d'en augmenter le gain. La modulation de conductivité, s'exerçant essentiellement dans la région de base large et peu dopée, confère au dispositif sa capacité de blocage de la tension mais aussi de conduction. Cependant, cette configuration a pour corollaire un stockage de porteurs qui pèse sur les performances dynamiques, à l'ouverture comme à la fermeture. Ce type de composant devient problématique dès lors que l'on souhaite le faire fonctionner à des fréquences élevées.

I.2.2.3. Le transistor MOS de puissance

Ce type de composant est actuellement l'un des plus utilisés du fait de sa simplicité de fonctionnement et de ses bonnes performances. A la différence des dispositifs bipolaires où les deux types de porteurs contribuent à la conduction, un seul type de porteur participe à la conduction dans le cas des dispositifs MOS, dont le principe est rappelé en annexe A1.3. Pour cela, on dit qu'un MOSFET (nom donné au transistor MOS à effet de champ) est un dispositif unipolaire. En outre, le contrôle électrostatique de la conduction implique un courant de grille quasi nul et donc une très haute impédance d'entrée des dispositifs MOS, ce qui n'est pas le cas des transistors bipolaires dont le courant de collecteur I_C est contrôlé par un courant de base I_B non négligeable. Suivant le type des porteurs assurant le passage du courant, on peut parler de transistors MOS à canal N (ou NMOS, conduction par électrons) et de transistors à canal P (ou PMOS, conduction par trous). Dans le domaine de l'électronique de puissance, les transistors sont en général à canal N, du fait d'une mobilité plus importante des électrons par rapport aux trous. Par conséquent, nous parlerons dans ce mémoire uniquement de transistors MOS à canal N, ce qui est aussi le cas de notre FLYMOS, comme nous le verrons par la suite.

Dans la majorité des cas, lorsque les transistors MOS de puissance sont utilisés comme composants discrets, leur structure de base est verticale, avec un canal horizontal. On appelle ce type de structure VDMOS pour « **V**ertical **D**ouble diffusé **M**OS ». La région de drain, appelée aussi région de « drift », est constituée d'un substrat N^+ sur lequel on fait croître une épitaxie N^- . Les transistors MOS élémentaires sont réalisés en surface dans des puits P diffusés dans la couche N^- . On retrouve la structure PiN verticale, permettant de tenir des tensions élevées, mais avec, en plus, une structure MOS à sa surface permettant la conduction commandée par une grille. Notons d'ailleurs que sa représentation symbolique (Figure I-6a) intègre la diode interne, contrairement à un MOSFET coplanaire.

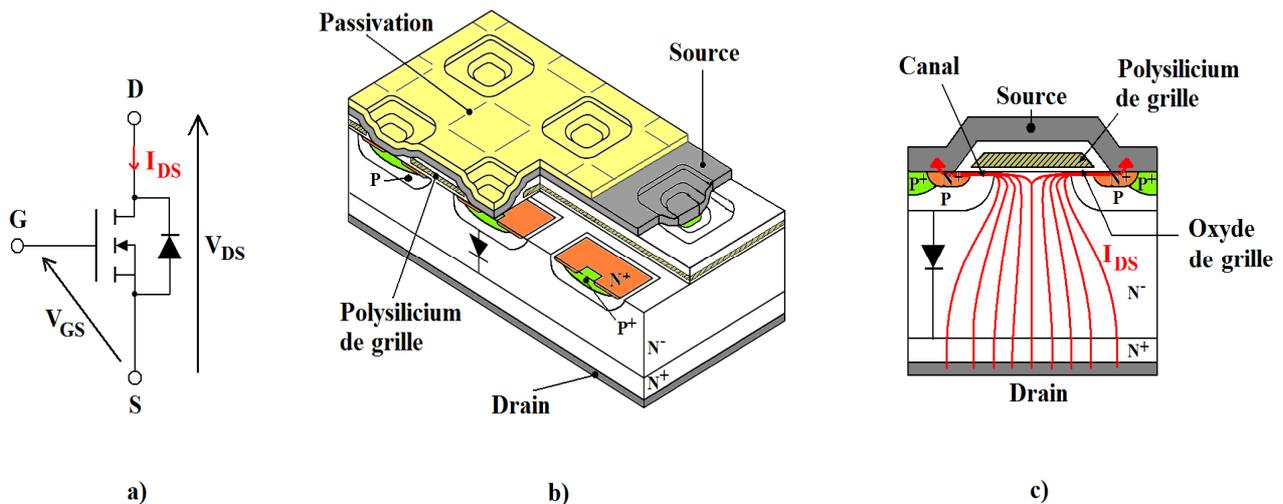


Figure I-6 : a) Représentation symbolique du VDMOS de puissance avec sa diode de corps, intrinsèque à la configuration de ce type de structure, b) Représentation 3D en coupe de la structure VDMOS conventionnelle, c) Représentation 2D en coupe d'une cellule élémentaire avec le sens de circulation du courant.

Les transistors MOS sont rapides, dû au fonctionnement capacitif de la commande. En pratique, les composants modernes sont toujours réalisés à partir de dizaines, voire de centaines de milliers de cellules élémentaires mises en parallèle (Figure I-6b). Dans ce transistor, la grille est constituée d'une fine couche d'oxyde de silicium sur laquelle on dépose du polysilicium très dopé afin d'être bon conducteur. La grille, via le polysilicium, est portée à un potentiel positif par rapport à la source et permet la création du canal dans la zone P. Les électrons majoritaires dans le drift transitent ainsi de la source vers le drain ($V_D \gg 0$). Le courant électrique peut alors traverser le composant de manière verticale, comme présenté dans la Figure I-6c. Notons que la section de ce canal est liée à la tension grille-source (V_{GS}), qui supporte toute la densité de courant de puissance. Le concepteur doit donc prendre en considération le bon compromis entre la longueur et la largeur du canal lors de la conception du transistor. Il faut aussi jouer sur les dopages des différentes zones afin d'optimiser les performances globales. Le principe fondamental de réalisation est basé sur le contrôle du processus de diffusion mis au point dans les technologies avancées des transistors bipolaires, ainsi que sur la technique d'auto-alignement de ces diffusions par le polysilicium de grille permettant de fixer la longueur de canal. Cette technique permet ainsi de contrôler la longueur du canal jusqu'à des longueurs submicroniques. Cette technologie est de nos jours largement utilisée pour fabriquer la plupart des composants de puissance à grille MOS.

Le fonctionnement et les caractéristiques principales de ce type d'interrupteur MOS de puissance constituent l'architecture de base du FLYMOS. Ainsi, il sera nécessaire d'aborder en détails les caractéristiques statiques (tenue en tension et résistance à l'état passant) et dynamiques (capacités, comportement en commutation) pour mieux le comprendre. Nous y reviendrons dans la suite de ce mémoire, dans un paragraphe dédié.

I.2.2.4. Le transistor IGBT

L'IGBT (**I**nulated **G**ate **B**ipolar **T**ransistor) est un transistor bipolaire à grille isolée, né du désir de marier les avantages d'une commande MOS et les performances en conduction des structures bipolaires. L'idée simplifiée fut donc de remplacer le substrat N^+ du transistor MOS par un substrat de type P^+ . Cet émetteur a pour fonction d'injecter dans la région faiblement dopée N^- des porteurs minoritaires (trous) afin d'assurer à l'état passant la modulation de conductivité propre à un bipolaire et qui fait défaut aux composants MOS purs. Notons que, tout comme le MOSFET, la conception de l'IGBT est de type multicellulaire avec la mise en parallèle de cellules élémentaires pour atteindre des forts niveaux de courants.

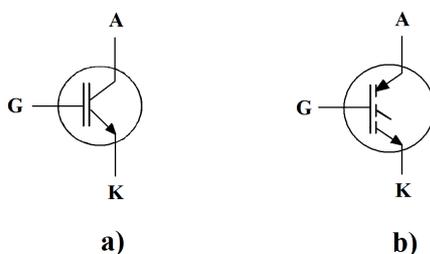


Figure I-7 : Représentations symboliques de l'IGBT.

Une certaine confusion règne dans la littérature, à propos de la désignation des contacts terminaux des IGBT. On trouve, à côté des appellations de cathode et anode, les notions d'émetteur et de collecteur (à l'exemple du transistor bipolaire) notamment utilisées dans les données produits des constructeurs (datasheet). Or le drain de la partie MOS n'est pas directement accessible et l'émetteur actif est la région P^+ , dénommée donc à tort « collecteur ». Dans ce qui suit, les termes d'anode (A) et de cathode (K) sont utilisés, comme présenté sur les deux symboles de l'IGBT généralement utilisés (Figure I-7). Nous présenterons, dans ce paragraphe, un IGBT à base de type N qui est le plus largement répandu sachant que les mêmes principes régissent les IGBTs à base de type P.

Principe de fonctionnement

Pour les applications de puissance (conversion d'énergie), les IGBT conservent la disposition générale verticale des composants VDMOS [LET02]. La Figure I-8a schématise clairement l'imbrication d'un transistor MOS et d'un transistor bipolaire, que l'on retrouve représenté en vue en coupe sur la Figure I-8b. La région N^- large et peu dopée est destinée à loger la charge d'espace de la jonction bloquante (constituée, sous polarisation directe, par les jonctions des caissons P) et demeure commune aux deux éléments. Cette région joue le rôle de zone de drain pour le transistor MOS (plus précisément, de zone de « drift ») et constitue la base du transistor bipolaire PN^+P^+ . L'efficacité d'injection de trous et, par conséquent, le gain du transistor bipolaire, seront donc contrôlés par l'émetteur P^+ . Dans cette configuration, le

transistor MOS contrôle le passage d'un courant d'électrons à travers le canal. Ce dernier constitue le courant de base du bipolaire PNP et l'émetteur va fournir en retour un courant de trou proportionnel au gain en courant de ce bipolaire. Ainsi, ces trous injectés par l'émetteur P modulent la conductivité de la base N⁻ : la réduction de la résistance apparente R_{ON} résulte principalement de ce fait, le rôle d'amplification en courant du transistor bipolaire n'intervenant en général que de manière secondaire. Nous nous retrouvons donc en présence d'une association de type Darlington, où le MOSFET de commande excite le transistor bipolaire de puissance. Le courant principal est alors commandé par des porteurs majoritaires (électrons). Ce fonctionnement est synthétisé par le schéma de la Figure I-8b.

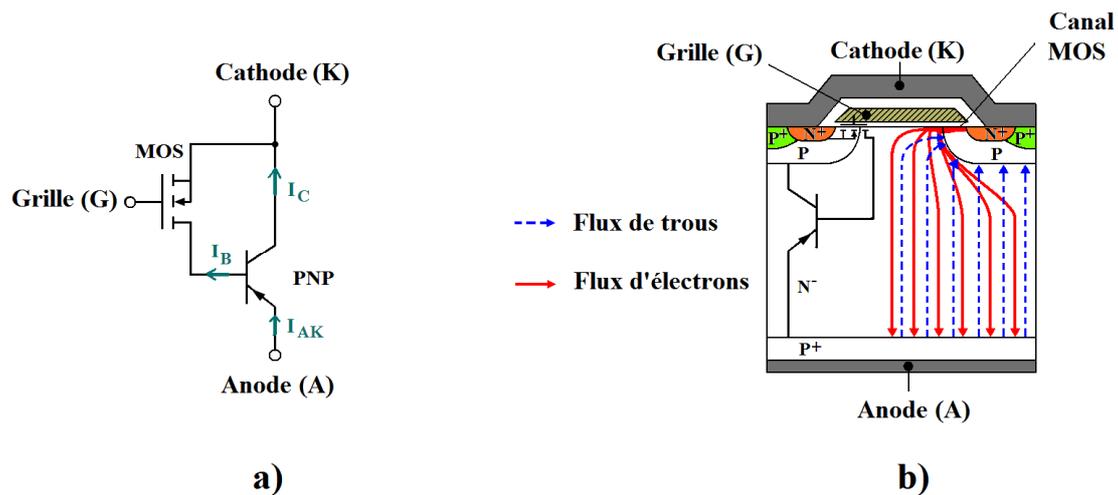


Figure I-8 : a) Circuit équivalent simplifié de l'IGBT avec le sens des courants, b) Représentation 2D en coupe d'une cellule élémentaire IGBT avec représentation des flux de porteurs en conduction.

Le comportement statique de l'IGBT est dépendant de nombreux paramètres. Alors que les paramètres de dopage et de profondeur de la base N⁻, dans laquelle s'étend principalement la charge d'espace de la jonction bloquante, déterminent la tenue en tension, la conduction fait intervenir à la fois le MOS et le bipolaire. Un raisonnement très simple permet d'établir ce type de relation. Le courant d'électrons transitant par le canal est le courant drain-source du MOSFET (I_{mos}), mais aussi le courant de base du transistor PNP (I_B). Le courant de trous constitue le courant du collecteur du transistor PNP (I_C). Le courant total de l'IGBT (I_{AK}), étant la somme du courant de drain du transistor MOS (électrons) et du courant collecteur (équation (A9) - annexe A1.2) du transistor PNP (trous), s'écrit :

$$I_{AK} = I_B + I_C = (\beta + 1)I_B = (\beta + 1)I_{mos} \quad (2)$$

Le comportement en commutation des IGBTs est la résultante des comportements très différents des deux éléments constitutifs, MOS et bipolaire. De façon synthétique, on doit garder à l'esprit que le transistor bipolaire fonctionne en régime normal, piloté par le transistor MOS, et que les temps de commutation intrinsèques aux deux éléments sont différents ; ceux de l'élément bipolaire sont liés au temps de transit et à la durée de vie des porteurs dans la base, alors que ceux du canal MOS sont dictés par la charge ou décharge des capacités inter-électrodes, comparativement courts si la commande est « énergétique ». Le transitoire de fermeture de l'IGBT ressemble ainsi à celui d'un transistor VDMOS. Cependant, comme la mise en conduction de l'élément bipolaire et la modulation corrélative de la résistivité de la base N⁻ se font de manière progressive, la tension aux bornes du

composant n'atteint sa valeur permanente d'état passant qu'au terme d'une phase de « traînage » prolongée par rapport à celle qu'on observerait sur un transistor MOS pur de structure comparable. De même, à l'ouverture, si les formes d'ondes évoquent celles qu'on observe dans le cas d'un transistor VDMOS, on doit noter que la décroissance du courant d'anode est sensiblement retardée par rapport à la commande d'ouverture (alors que la réponse de l'élément MOS est quasiment immédiate, à l'échelle des temps considérée) et que la conduction se prolonge sous forme d'une « queue de courant », comme dans l'ouverture d'un transistor bipolaire effectuée à courant base nul. Ce comportement pénalise l'IGBT en commutation par des pertes énergétiques non négligeables.

Depuis la structure proposée pour la première fois par Baliga vers le début des années 80, de nombreux travaux ont été réalisés afin d'améliorer ses performances, notamment sur le compromis « conduction/commutation ». Dans cette optique, on retrouve plusieurs dénominations comme l'IGBT PT (**P**unch-**T**hrough), NPT (**N**on **P**unch-**T**hrough) et FS (**F**ield **S**top) où le contrôle de l'efficacité d'injection face arrière et la densité de courant ont été améliorés. Une brève synthèse est proposée en annexe A2.

I.2.3. Choix d'un dispositif : quel composant pour quel besoin ?

I.2.3.1. Gammes de puissance

Suivant l'application et les besoins des utilisateurs, les composants moyennes puissances que nous venons de présenter ne s'utilisent pas dans les mêmes conditions. Le choix d'un composant sera en général dicté par le mode de commande souhaité, la tension de blocage nécessaire, la fréquence de commutation désirée et le courant à conduire. On trouve encore des différences pour un type de composant selon un point de fonctionnement donné (blocage, rapidité).

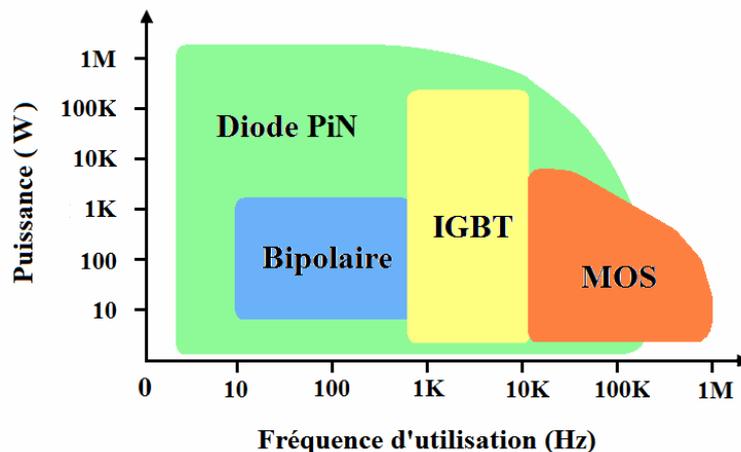


Figure I-9 : Gammes d'utilisation des différents composants suivant la puissance et la fréquence demandées.

La Figure I-9 schématise les gammes d'utilisation des divers composants en fonction de la puissance (produit de la tension et du courant) et de la fréquence d'utilisation requises. On a vu que les transistors MOS pouvaient être très rapides mais présentaient des pertes à

l'état passant importantes, surtout pour des tensions de blocage élevées. Les transistors bipolaires ont des pertes en conduction beaucoup plus faibles, mais les pertes en commutation importantes, dues à l'accumulation de charge nécessaire à son fonctionnement, les rendent inutilisables à des fréquences élevées. Ces deux composants ont des caractéristiques complémentaires dans les applications de faible et moyenne tension, ce qui a permis de construire l'IGBT associant une faible perte en conduction, une grande capacité en courant et de bonnes tenues en tension.

Actuellement, alors que la diode PiN demeure le composant non commandé de référence, les composants bipolaires sont supplantés par les IGBTs, alors que les MOSFETs restent les plus performants à des fréquences d'utilisation élevées. Ainsi, ces IGBTs et MOSFETs à grille isolée, permettant une commande en tension indépendante du courant circulant dans la partie de puissance du transistor, sont devenus les composants majeurs de l'électronique de puissance de par leurs spécificités complémentaires, leur vaste domaine d'utilisation, et leur facilité de commande à l'ouverture et à la fermeture. Ils couvrent une gamme importante de tensions avec des vitesses de commutation élevées et sont les plus largement utilisés.

1.2.3.2. Bipolaire, IGBT ou MOSFET

Le choix d'un composant est déterminé par le cahier des charges de l'application. Il tient compte, d'abord, des pertes en conduction, mais un critère complémentaire est utilisé pour affiner le choix : il s'agit de la fréquence et de la nature des commutations. Bien que le transistor bipolaire de puissance possède une bonne efficacité à l'état passant, ce dernier est de moins en moins utilisé, notamment en raison de sa configuration type Darlington qui le pénalise fortement en commutation. Ainsi, l'IGBT et le MOSFET, dont la commande par effet capacitif est facile à mettre en place, représentent à l'heure actuelle la majeure partie des développements entrepris. Nous nous focaliserons donc sur ces 2 composants dans ce qui suit.

Le domaine d'application des IGBT ne dépasse guère quelques dizaines de kiloHertz, alors que celui des MOSFET peut atteindre plusieurs centaines de kiloHertz. Pour les fortes puissances, on privilégie l'utilisation d'IGBT. En effet, il serait tout à fait possible de réaliser un transistor MOSFET permettant de bloquer plusieurs kiloVolts avec des commutations très rapides en adaptant ses niveaux de dopage et ses dimensions. Mais sa résistance à l'état passant deviendrait alors tellement grande que l'usage de ce transistor en conduction n'aurait plus aucun sens. Le courant admissible par un tel composant ne pourrait pas dépasser quelques fractions d'Ampère pour qu'il soit possible d'évacuer thermiquement la chaleur issue des pertes en conduction. Ainsi, ce que l'on gagne en blocage, on le perd en conduction ou en commutation [BLA00].

De manière générale, les limites d'utilisation sont regroupées Figure I-10a. En se concentrant uniquement sur la tenue en tension et la fréquence d'utilisation, la Figure I-10b définit grossièrement les frontières délimitant les domaines d'utilisation de ces deux composants. Alors que le choix se portera préférentiellement sur l'IGBT pour des tenues en tensions supérieures à 1000V et le MOSFET pour des tenues en tensions inférieures à 250V, entre ces valeurs, de nombreux critères peuvent favoriser l'un ou l'autre composant. On peut

naturellement se demander quel dispositif est le plus adapté lorsque les domaines de fonctionnement se chevauchent.

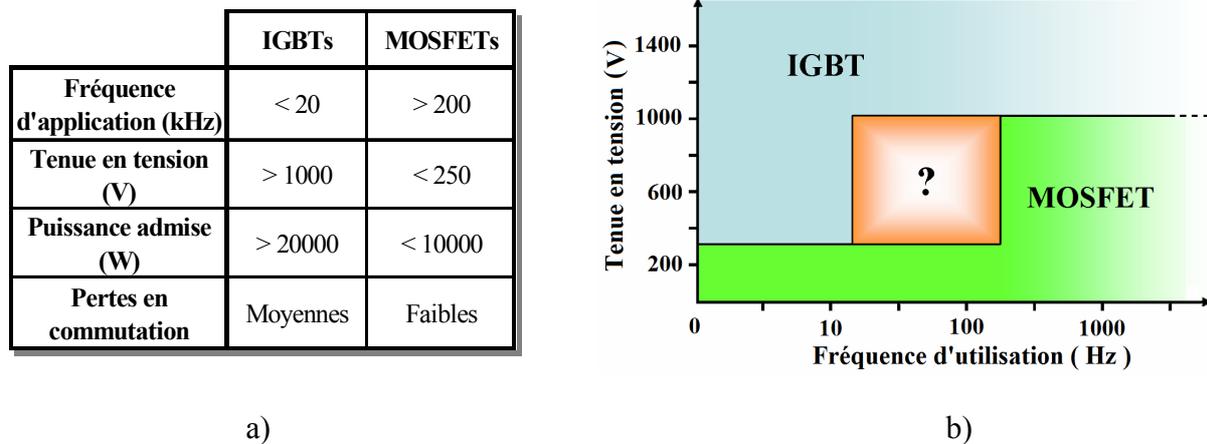


Figure I-10 : a) Tableau récapitulatif des paramètres principaux déterminant le choix entre l'IGBT et le MOSFET, b) Domaines préférentiels d'utilisation du MOSFET et de l'IGBT en fonction de la tension et de la fréquence d'utilisation.

Dans ce cas, l'importance des pertes en commutation sur l'application doit être prise en compte dans la décision, ainsi que les pertes en conduction. Ce dernier point est représenté sur les courbes de la Figure I-11. Elle représente les caractéristiques I(V) dans chaque cas. Ces deux composants ne se comportant pas exactement de la même façon, il apparaît clairement un point de croisement entre les deux caractéristiques. Ce dernier est bien évidemment variable suivant l'application et les choix paramétriques, mais de manière générale, le MOSFET est le composant le plus avantageux en-dessous de ce point de croisement, pour des bas courants, alors que l'IGBT sera préféré lorsque l'application nécessite des courants plus élevé, au dessus de ce point de croisement.

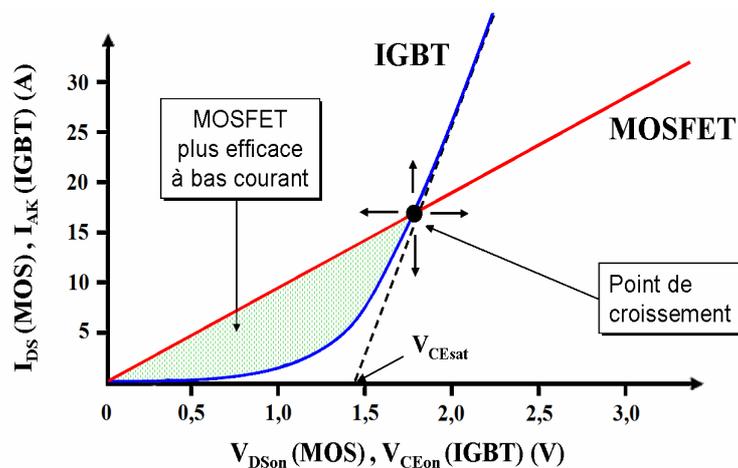


Figure I-11 : Point de croisement des caractéristiques I(V) pour MOSFET et IGBT.

Abstraction faite de toute considération liée à la température de fonctionnement, l'IGBT est typiquement utilisé dans le cadre du contrôle moteur à faible fréquence avec protection en court-circuit (convertisseurs de traction pour voiture hybride, train à grande vitesse, etc.), dans des applications à charge constante et dans les onduleurs, redresseurs et

hacheurs pour les alimentations à découpage. Le MOSFET est quant à lui utilisé dans les applications de puissance à fort degré de commutation comme les redresseurs (pour le secteur par exemple), mais aussi pour la recharge de batteries, comme les circuits de charge d'accumulateurs lithium-ion, les circuits de commutation de charge amont et aval, ou les circuits « buck et boost » synchrones.

I.3. Les MOSFETs de puissance

I.3.1. Principe de fonctionnement de l'interrupteur MOS vertical de puissance

I.3.1.1. Structure MOS conventionnelle : le VDMOS

La structure MOS verticale de puissance VDMOS a été présentée brièvement au paragraphe I.2.2.3. Pour approfondir sa présentation, les paramètres intervenant dans son fonctionnement vont être présentés en nous basant sur la configuration dite « planar ».

Les avantages du VDMOS sont multiples [MOR04] :

- le courant drain-source est vertical sur la majeure partie de son trajet. Cette configuration permet une très bonne densité d'intégration des cellules élémentaires. De plus, la tenue en tension est dissociée du canal, ce qui entraîne une importante diminution du périmètre de la zone épitaxiée par rapport au périmètre du canal.
- la longueur du canal diffusé est contrôlée par la différence des avancées latérales des diffusions P et N⁺ autoalignées. La surface plane induit une très bonne reproductibilité.
- la grille en silicium polycristallin est l'élément clé de l'auto-centrage des diffusions N⁺ et P : elle peut supporter des températures élevées de l'ordre de 1100 °C.
- le transistor VDMOS ne présente pas d'effet de focalisation de courant, quelle que soit la tension de polarisation appliquée, car le mécanisme de contrôle du courant est fonction du champ électrique et de la mobilité. Cela entraîne une distribution homogène de la température et du courant sur toute la puce. Le calibre en courant souhaité peut être obtenu par une simple mise en parallèle du nombre de cellules élémentaires nécessaires. Le courant total est alors en effet égal à la somme des courants des transistors MOS élémentaires pris séparément.
- la configuration verticale du drain de type N⁻N⁺ permet d'assurer un certain calibre en tension. La tenue en tension dépend au premier ordre du dopage et de l'épaisseur de la couche épitaxiée.

Cependant, le transistor VDMOS présente également quelques inconvénients :

- les deux côtés de la tranche sont à soigner car ils sont tous les deux actifs (électrodes de contact sur les deux faces du composant),
- l'isolation monolithique est difficile à réaliser,
- l'électrode de grille en polysilicium présente une faible conductivité, même après son dopage, ce qui est préjudiciable en régime transitoire,
- un compromis est nécessaire lorsqu'on désire accroître à la fois les calibres en tension et en courant : on se heurte alors à la « limite du silicium », symbolisé par le compromis reliant la résistance à l'état passant et la tenue en tension fixés pour une surface donnée.

Nous baserons notre présentation sur la structure « VDMOS planar » actuellement utilisée par Freescale (HDTMOS™, voir description au Chapitre II). Dans ce cadre, nous allons passer en revue les paramètres liés au comportement statique, correspondant à la tenue en tension à l'état bloqué et à la résistance passante spécifique à l'état passant, et au comportement dynamique, correspondant aux capacités de transferts de charges.

I.3.1.2. Le comportement statique

I.3.1.2.1. La tension de seuil V_T

La tension de seuil est le paramètre clé permettant la mise en conduction d'un transistor MOS. Elle correspond à une valeur particulière de la tension de grille à partir de laquelle le transistor commence à conduire par inversion du canal. En prenant le substrat comme référence des potentiels, la tension de seuil s'écrit sous la forme [BEY94] :

$$V_T = -\frac{Q_{SS}}{C_{OX}} + \phi_{ms} + 2\Phi_F + \sqrt{2\Phi_F\Phi_B} \quad (3)$$

où $\Phi_B = \frac{2qN_{Amax}\epsilon_0\epsilon_{Si}}{C_{OX}^2}$ est le potentiel interne du substrat,

$V_{FB} = -\frac{Q_{SS}}{C_{OX}} + \phi_{ms}$ est la tension de bandes plates,

$\Phi_F = U_T \ln\left(\frac{N_{Amax}}{n_i}\right)$ est le potentiel de Fermi,

et n_i est concentration intrinsèque du Si, Q_{SS} charges fixes d'oxyde et d'interface Si/SiO₂, ϕ_{ms} est la différence des travaux de sortie entre métal et semi-conducteur, N_{Amax} est la valeur maximale du dopage du P dans le canal.

On note que cette valeur dépend essentiellement du dopage de la zone P, de l'épaisseur d'oxyde et de la présence de charges à l'interface Si-SiO₂. Des études théoriques concernant l'influence du profil du dopage dans la zone du canal sur la tension de seuil V_T [MEN81] ont montré que l'hypothèse d'un dopage uniforme constituait une bonne approximation au premier ordre du cas réel où celui-ci est de type gaussien.

I.3.1.2.2. Caractéristiques à l'état passant

Le transistor VDMOS, comme n'importe quel autre composant de puissance, doit être capable de présenter une faible chute de tension à l'état passant. La résistance à l'état passant est définie selon l'expression :

$$R_{ON} = \left. \frac{V_{DS}}{I_{DS}} \right|_{V_{DS} \rightarrow 0} \quad (4)$$

Classiquement, sa valeur est déterminée pour une tension de grille V_{GS} de 10 Volts. Cette résistance, schématisée sur la Figure I-12, se décompose en quatre résistances principales : la résistance R_{ch} du canal d'inversion, la résistance d'accès au drain R_a correspondant à la région

située sous la grille entre deux caissons P de canal adjacents, la résistance de drift R_d , qui représente le volume de drain épitaxié, et la résistance R_{sub} de substrat N^+ reliée au drain.

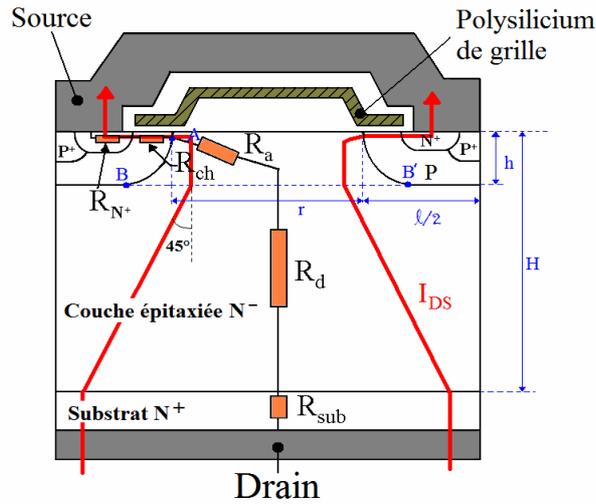


Figure I-12 : Coupe schématique d'une cellule élémentaire du transistor VDMOS de puissance avec représentation des résistances mises en jeu à l'état passant.

Dans ce paragraphe, nous allons présenter les expressions analytiques simplifiées au maximum de ces différentes composantes. Celles-ci se calculent, pour les plus compliquées, à partir des paramètres géométriques, technologiques et de la polarisation V_{GS} , et, pour les autres, plus simplement à partir de la formule classique de calcul de la résistance d'un barreau ($R = \rho.l/S$). Ceci nous permettra d'évaluer par la suite l'importance relative de chacune de ces composantes notamment dans le cas des moyennes et hautes tensions.

✚ La résistance de canal R_{ch} :

La résistance de canal est liée à la zone d'inversion qui se développe en surface de la couche P sous la grille. Elle est calculée en déterminant le rapport (V_{ch}/I_{DS}) lorsque V_{ch} tend vers 0, V_{ch} représentant la tension appliquée aux bornes du canal d'inversion. La détermination de R_{ch} se fait en considérant en première approximation que le dopage dans le canal est uniforme et égal à N_{Amax} . Son expression (5) est la suivante :

$$R_{ch} = \left(\mu_0 \cdot C_{ox} \cdot \psi \cdot \frac{Z}{L} \right)^{-1} \cdot \frac{V'_{GS} + \psi - 2\phi_F}{V_{GS} - V_T} \quad (5)$$

où $V'_{GS} = V_{GS} - V_{FB} = V_{GS} + \frac{Q_{SS}}{C_{ox}} - \phi_{ms}$ et ψ , qui est appelé "potentiel de réduction de la mobilité sous l'effet du champ électrique transversal", est un paramètre dépendant de l'épaisseur d'oxyde. Cette approximation du canal dopé uniformément est très utile car elle permet d'évaluer assez simplement l'évolution de R_{ch} en fonction de V_{GS} . Cette expression nous permet aussi de mettre en évidence la dépendance de la géométrie du canal (Z et L) sur sa résistance. Or dans la réalité, cette approximation s'avère un peu juste car il faut tenir compte de la non-uniformité du dopage dans le canal dans la direction source-drain. Ce profil, défini en première approximation par une dépendance exponentielle, permet d'aboutir à une expression plus juste (non détaillée ici) que l'on retrouve dans le document de P. Rossel [ROS78].

✚ La résistance d'accès R_a :

La zone d'accès correspond à la région du semi-conducteur de type N⁻ fonctionnant en régime accumulé dans la zone intercellulaire sous l'électrode de grille. La résistance de cette région est définie comme étant la résistance qui relie la fin du canal (point A) à la ligne BB' (Figure I-12), considérée comme l'équipotentielle délimitant la zone de défocalisation des lignes de courant dans le volume de la zone épitaxiée. Cette ligne BB' est située à une distance h de l'interface Si-SiO₂ et est égale à la profondeur de jonction de la diffusion P. La résistance d'accès au drain est contrôlée par deux mécanismes dont les effets sont répartis et liés d'une part à la présence d'une couche accumulée induite par la polarisation positive de grille, à la surface de la zone N faiblement dopée située sous l'oxyde de grille (R_{acc}), et d'autre part à la présence de la résistance du volume de la zone N⁻ située au-dessous de cette couche accumulée, entre deux caissons P adjacents (R_{JFET}). Cette résistance s'écrit:

$$R_a = \frac{2 \cdot h}{q \cdot \mu_n \cdot N_D \cdot Z \cdot r} \cdot \lambda \quad (6)$$

Elle peut être considérée comme le produit de la résistance d'un barreau semi-conducteur de section $Z \cdot (r/2)$, d'épaisseur h et de dopage N_D , par un coefficient λ qui dépend des dimensions géométriques, du dopage et de la tension de grille V_{GS} [SAN85] .

✚ La résistance de drift R_d :

La résistance de drift représente la contribution de la couche épitaxiée. Elle correspond à la zone de semi-conducteur N⁻ faiblement dopée qui s'étend de l'équipotentielle BB' à la zone N⁺ de drain. Une évaluation approximative de cette résistance consisterait à considérer simplement que c'est un barreau semi-conducteur de résistivité $\rho = (q \cdot \mu_n \cdot N_D)^{-1}$, de longueur $(H-h)$ et de section S (S étant la section d'une cellule élémentaire) :

$$R_d = \frac{H - h}{q \cdot \mu_n \cdot N_D \cdot S} \quad (7)$$

où μ_n est la mobilité des électrons dans la couche N⁻.

Une approche plus rigoureuse [HU84] consiste à considérer la défocalisation des lignes de courant sous la zone diffusée P selon un angle constant qui a pour valeur 45° (Figure I-12). Deux expressions de R_d ont ainsi été établies selon que l'épaisseur de la couche épitaxiée $(H-h)$ est supérieure ou non à la demi-largeur $l/2$ des caissons P :

$$R_d = \frac{1}{q \cdot \mu_n \cdot N_D \cdot Z} \cdot \left[1 + \frac{2(H-h)}{r} \right] \quad \text{si } (H-h) < l/2 \quad (8)$$

$$R_d = \frac{1}{q \cdot \mu_n \cdot N_D \cdot Z} \cdot \left[\ln\left(\frac{r+l}{r}\right) + \frac{2(H-h)-l}{r+l} \right] \quad \text{si } (H-h) > l/2 \quad (9)$$

Nous allons voir par la suite que plus la tension de blocage du composant sera élevée, plus la part de la résistance de drift R_d dans la résistance totale sera importante.

Remarque : la résistance R_{sub} correspondant à la contribution de la région du substrat peut être négligée dans le cas des composants moyennes et hautes tensions. Aussi, la résistance R_N^+ de

la couche diffusée de source est très faible et donc négligeable car l'épaisseur et la largeur de cette couche sont en général inférieures ou proches du micron. De plus cette couche est très fortement dopée.

La résistance passante spécifique $R_{ON} \cdot S$:

Une diminution drastique de la résistance à l'état passant R_{ON} d'un transistor VDMOS serait, en théorie, très facile à obtenir : il suffirait d'augmenter le nombre de cellules MOS élémentaires mises en parallèle jusqu'à atteindre la résistance voulue. Cependant, le transistor conçu de la sorte présenterait une surface trop importante. Le paramètre le plus important en conduction n'est donc pas la résistance à l'état passant mais le produit de cette résistance par la surface active " $R_{ON} \cdot S$ ". Ce produit est appelé "résistance passante spécifique", terme inspiré de la littérature anglo-saxonne [BAL87] qui l'a baptisé "specific on-resistance".

Il apparaîtrait donc plus judicieux d'exprimer les différentes résistances que nous venons d'étudier en termes de résistances spécifiques, en calculant les produits de chacune de ces résistances par la surface active S d'une cellule élémentaire. De manière générale, nous utiliserons ce terme préférentiellement, notamment lorsque nous parlerons des performances du FLYMOS.

1.3.1.2.3. Caractéristiques à l'état bloqué

Une des caractéristiques principales du transistor VDMOS, comme les autres composants de puissance présentés en préambule, est sa capacité à tenir une tension élevée à l'état bloqué.

À l'état bloqué, c'est-à-dire lorsque la tension grille-source V_{GS} est inférieure à la tension de seuil V_T , la tension appliquée entre drain et source est soutenue principalement par la zone de charge d'espace qui apparaît dans la région de drift (épitaxie N^-). Le transistor VDMOS peut alors être assimilé à une diode $P^+N^-N^+$ polarisée en inverse. De ce fait, le traitement de la tension de claquage, que l'on désignera par « BV_{dss} » (de l'anglais **B**reakdown **V**oltage), est effectué en fonction des propriétés physiques N^- de la jonction P^+N^- . Après avoir précisé les différentes zones de claquage possibles dans le transistor VDMOS, nous nous concentrerons plus précisément sur cette jonction plane P^+N^- et nous donnerons les expressions "optimales" qui lient la tenue en tension aux deux paramètres, épaisseur et dopage, de la couche épitaxiée P^+N^- .

Les différentes zones de claquage :

Afin d'analyser la tenue en tension du transistor VDMOS, il convient tout d'abord de préciser les zones de claquage possibles dans sa structure (Figure I-13). Il s'agit des zones latérales des dispositifs (1) où les effets de courbure de jonction sont prépondérants, des zones frontales (2) où l'extension de la charge d'espace peut être ou ne pas être limitée, des zones de surface (3) de la région peu dopée recouverte d'oxyde de grille, ou bien de l'oxyde lui-même (4). Les problèmes liés à la tenue en tension de ces diverses zones ont été traités de manière relativement exhaustive par Gharbi [GHA85].

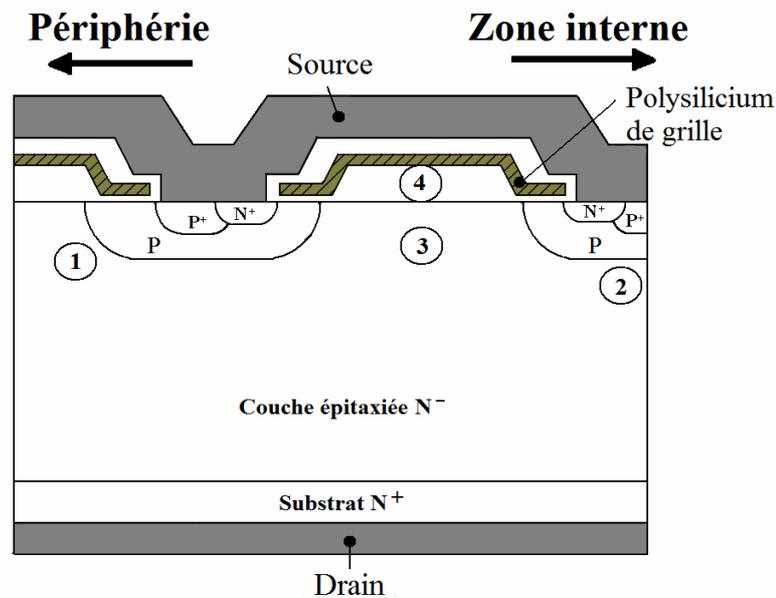


Figure I-13 : Localisation des différentes zones de claquage dans un transistor VDMOS.

Compte tenu de la structure multicellulaire des diffusions P qui constituent les caissons de canal, c'est sur les bords du dispositif (zone 1), là où la courbure de jonction est maximale, que peut se produire une limitation en tension par le phénomène de claquage par avalanche. À l'heure actuelle, de nombreuses méthodes de garde ont été proposées pour éviter cet effet latéral. La tendance consiste à minimiser les effets de surface et à accroître le rayon de courbure de la jonction afin d'atteindre la tension de claquage théorique d'une jonction plane [GHA85] [BOI85]. Nous aborderons plus en détails les terminaisons les plus adaptées aux structures MOS moyenne et haute tensions dans le §I.3.3.

La réduction de la tenue en tension résultant de la possibilité d'avalanche dans la région N^- en surface sous l'oxyde de grille (zone 3) est en général liée à l'existence d'une éventuelle polarisation inverse de grille et la présence d'un "surdopage" de la zone de surface [GHA85]. Dans le cas d'un transistor VDMOS conventionnel qui est exempt de surdopage en surface et auquel on applique, à l'état bloqué, une tension nulle entre grille et source, il apparaît que la valeur de la tension de claquage de surface est toujours supérieure à la tension d'avalanche de la jonction plane abrupte PN^- . Par ailleurs, le "mécanisme d'autoblindage" de la grille exclut également tout risque de claquage diélectrique dans la zone 4 [PHA82].

Dans ce qui suit, nous nous concentrerons donc plus précisément sur la jonction plane P^+N^- (zone frontale 2), en considérant que c'est elle qui impose le claquage du composant, soit parce qu'elle claque la première, soit parce qu'elle conditionne le claquage en terminaison.

🔗 Répartition du champ électrique dans une jonction PNN^+ :

Plusieurs auteurs ont proposé des expressions simplifiées [PHA82] [GHA85] [BEY94] liant l'extension de la charge d'espace W_N et le dopage N_D de la couche N^- à la tension de claquage BV_{dss} . Nous retiendrons plus particulièrement l'approche de Gharbi [GHA85] : en effet, ses calculs sont apparus comme étant les plus rigoureux car ils sont notamment basés sur des expressions de coefficients d'ionisation α_n et α_p non égaux ; il a considéré les deux cas de figure type de la jonction PN^- :

- la jonction plane en limitation de charge d'espace ou en « perçage » ; la zone de drift N^- est alors complètement dépeuplée au moment du claquage comme représenté sur la Figure I-14a et les relations sont les suivantes :

$$W_N(\text{cm}) = 1,87 \cdot 10^{-6} \cdot BV_{dss}^{7/6} \quad (10)$$

$$N_D(\text{cm}^{-3}) = 1,85 \cdot 10^{18} \cdot BV_{dss}^{-4/3} \quad (11)$$

$$\text{soit } BV_{dss}(V) = 5,02 \cdot 10^{13} \cdot N_D^{-3/4} \quad (12)$$

- la jonction plane en extension libre (jonction infinie) ou en « non-perçage » ; cela correspond au cas où l'épaisseur de la zone de drift N^- est plus grande que l'extension de la zone de charge d'espace comme représenté sur la Figure I-14b.

$$W_N(\text{cm}) = 2,44 \cdot 10^{-6} \cdot BV_{dss}^{7/6} \quad (13)$$

$$N_D(\text{cm}^{-3}) = 2,16 \cdot 10^{18} \cdot BV_{dss}^{-4/3} \quad (14)$$

$$\text{soit } BV_{dss}(V) = 5,65 \cdot 10^{13} \cdot N_D^{-3/4} \quad (15)$$

Dans le cas d'une jonction en limitation de charge, il a considéré que le champ critique E_C restait identique à celui d'une jonction infinie, puis a évalué le couple "épaisseur/dopage" minimisant la résistance par surface unitaire de la zone N^- .

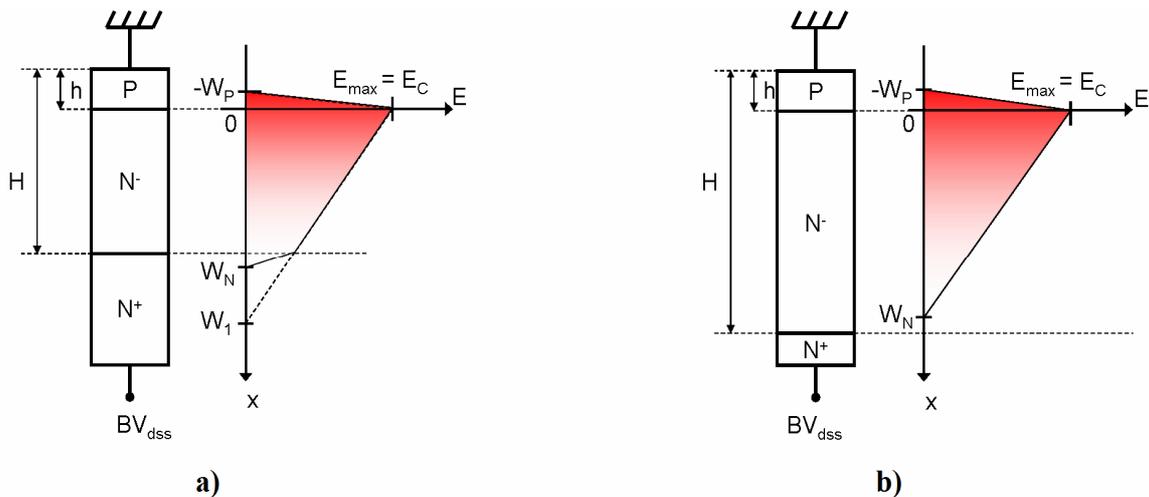


Figure I-14 : a) Distribution du champ électrique au claquage dans une diode PiN en limitation de charge d'espace,
 b) Distribution du champ électrique au claquage dans une diode PiN en extension libre (jonction plane infinie).

La résistance de drift et la tenue en tension sont donc étroitement liées car elles dépendent toutes les deux de l'épaisseur et du dopage de la couche épitaxiée. Le compromis " R_d/BV_{dss} " est donc un des paramètres d'importance des composants MOS de puissance ; il devient d'autant plus important que le calibre en tension augmente, c'est-à-dire au fur et à mesure que le poids de R_d augmente.

I.3.1.3. Le comportement dynamique

Le comportement dynamique du transistor VDMOS est lié intrinsèquement aux valeurs des différentes capacités inter-électrodes de la structure. Ces capacités, représentées sur la Figure I-15, se décomposent ainsi : les capacités d'oxyde grille-source (C_{gs}), de grille-drain (C_{gdmax}), de déplétion de la zone intercellulaire (C_{dgd}) et la capacité de transition drain-source (C_{ds}) de la jonction PN⁻ [BEY94].

Le but de ce paragraphe n'est pas de réécrire les équations des différentes capacités conditionnant les performances liées à la commutation [BEY94] mais de décrire l'impact des différentes capacités au moment des changements d'état de l'interrupteur MOS. Nous verrons ainsi quels sont les paramètres les plus intéressants pour améliorer la rapidité de commutation. Notons que ces capacités se déterminent par l'utilisation de la formulation générale d'une capacité $C = \frac{\epsilon \cdot S}{e}$, par la prise en compte des géométries et règles de dessin pour les capacités surfaciques et aussi, par la structure même du composant imposée par sa réalisation technologique.

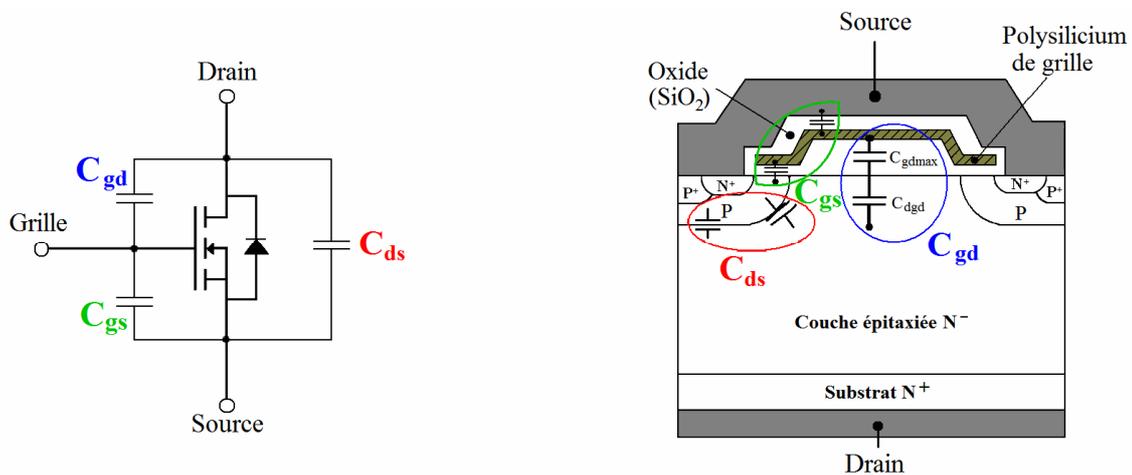


Figure I-15 : Localisation des différentes capacités dans un transistor VDMOS.

La capacité grille-source C_{gs} , liée à la surface du composant, est essentiellement dépendante de l'oxyde mince au dessus du canal et de l'oxyde épais (entre métallisation de la source et le polysilicium de grille). Sa valeur est essentiellement fixée par la technologie de procédé et par le dessin. Le gain potentiel sur la rapidité par optimisation de cette capacité est assez faible : le concepteur dispose d'un faible degré de liberté dû à l'interaction existante avec les paramètres du comportement en statique. De même, la capacité C_{ds} est liée à la jonction PN⁻ : elle dépend alors de la jonction plane et de la jonction cylindrique, dépendantes de la diffusion du caisson P. Là encore, il est possible de jouer sur cette valeur pour améliorer la rapidité, mais les gains sont encore peu intéressants.

En revanche, la grande capacité parasite entre les électrodes de grille et de drain permet un gain significatif, sans impact préjudiciable pour les performances statiques. Deux mécanismes principaux interviennent ici : l'effet "Miller" et l'accumulation d'électrons à la surface de la zone épitaxiée entre deux caissons P. Plusieurs solutions technologiques ont été proposées pour minimiser cette capacité grille-drain et donc augmenter la fréquence de transition F_T . La solution tendant à se généraliser consiste à réaliser des transistors VDMOS à double niveau d'oxyde, désigné communément en anglais par « terraced gate » [UED84a]. Il

s'agit d'un oxyde mince au-dessus du canal (afin de ne pas trop dégrader la résistance de canal lorsqu'on est en régime de conduction) et un oxyde épais, au-dessus de la zone d'accès, entre les deux caissons P, pour diminuer la capacité C_{gdmax} . En régime d'accumulation, elle est égale à la capacité d'oxyde. Ainsi, les temps de charge de cette capacité sont diminués, au bénéfice de la rapidité du MOSFET. La dernière génération du HDTMOS™ de Freescale possède cet oxyde épais en milieu de cellule, et nous verrons plus tard que les temps de commutation à l'ouverture comme à la fermeture s'en trouvent améliorés.

Une remarque importante concerne les moyens de mesures de ces capacités. Il est en effet impossible de mesurer directement les valeurs de ces capacités et il est alors commun de mesurer les capacités inter-électrodes qui sont au nombre de trois : il y a la capacité C_{iss} capacité d'entrée avec la sortie en court-circuit, la capacité C_{oss} , capacité de sortie avec entrée en court-circuit et la capacité de transfert C_{rss} entre grille et drain. Elles sont définies par les relations suivantes :

$$\begin{aligned} C_{iss} &= C_{gs} + C_{gd} \\ C_{oss} &= C_{gd} + C_{ds} \\ C_{rss} &= C_{gd} \end{aligned} \tag{16}$$

Il est alors possible de remonter aux capacités internes du transistor. Nous verrons que ce type de mesures est très intéressant dans le cas du FLYMOS, notamment la capacité de sortie C_{oss} , qui est une image de l'extension de la ZCE dans la région épixatiale N⁻, afin d'évaluer l'impact de la présence d'îlots flottants dans le volume du composant.

I.3.2. Les différentes configurations de transistors MOS

I.3.2.1. Le transistor vertical avec grille en tranchée

Dans un but constant d'optimisation des composants, une prolifération de dessins variés de cellules ont permis d'optimiser fortement la densité de courant par unité de surface. Cette amélioration de la densité d'intégration passe par le biais d'une réduction de la largeur de la source et de la longueur de canal, c'est-à-dire une plus grande valeur du rapport Z/S (périmètre du canal/surface de la puce). Des configurations géométriques à bandes parallèles puis celles à motifs carrées (alignées ou non) et hexagonales ont été réalisés [BAL87]. La réduction de la taille des cellules élémentaires est plus efficace et reste un axe majeur de développement pour les industriels [SUN82].

Les limites liées à la réduction de la taille des motifs se heurtent au problème "du goulot d'étranglement" formé par les zones de charge d'espace s'étendant entre les zones P adjacentes. Ce pincement parasite, appelé également pincement "JFET", résulte de la chute de tension interne liée au passage vertical du courant et induit un effet résistif de pincement " R_{JFET} ", ce qui limite le R_{ON} du transistor VDMOS. Il devient de plus en plus important au fur et à mesure que la densité d'intégration augmente. Une solution à ce problème a été proposée par Ueda [UED84b] grâce à une innovation supplémentaire, l'utilisation de la technologie de gravure R.I.E. ("Reactive Ion Etching") sur le silicium. Cette dernière a permis la fabrication de transistors MOS de puissance à tranchées (Figure I-16).

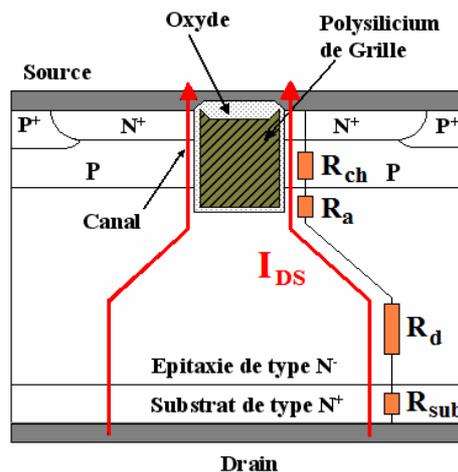


Figure I-16 : Coupe schématique du transistor MOS à tranchées.

La structure d'un MOS à tranchées se caractérise, au même titre que le transistor VDMOS, par une configuration verticale. La nouveauté des transistors MOS à tranchées provient, comme son nom l'indique, de l'utilisation d'une tranchée en forme de "U" enterrée sous la métallisation de source dans la zone active de canal. Cette tranchée est remplie de polysilicium et joue le rôle de l'électrode de grille. Ce nouveau type de composants présente par rapport au transistor VDMOS, deux avantages :

- le R_{ON} est diminué, grâce à l'élimination de la composante R_{JFET} ,
- la densité d'intégration est augmentée de façon sensible car la grille ainsi "enterrée" occupe moins de place.

Comme les transistors VDMOS, les MOS à tranchées sont constitués par la mise en parallèle d'une multitude de cellules élémentaires identiques. Une grande diversité existe dans les formes géométriques utilisées pour l'élaboration de ces cellules dont l'origine provient du désir des concepteurs d'augmenter la densité d'intégration.

I.3.2.2. Le transistor latéral : LDMOS

Le transistor LDMOS (**L**atéral **D**ouble diffusé **MOS**) [EFL94] se différencie des autres structures qui viennent d'être décrites, par le chemin qu'emprunte son courant ; en effet, comme son nom l'indique, ce chemin est latéral. La géométrie du transistor LDMOS se présente le plus souvent sous forme de bandes parallèles source-drain interdigitées. La résistance totale du transistor LDMOS est alors inversement proportionnelle au nombre de bandes élémentaires. De plus, la présence des trois électrodes sur la face supérieure limite la densité d'intégration ; cependant, un des avantages majeurs du transistor latéral DMOS est d'être technologiquement compatible avec des transistors DMOS, MOS et bipolaires, ayant des tenues en tension différentes.

La structure du transistor LDMOS à canal N (Figure I-17), est caractérisée, d'une part, par la présence d'une région faiblement dopée, située entre la fin du canal d'inversion et le drain N^+ , communément appelée région de drift et, d'autre part, par la position de son électrode de drain qui est située sur la face supérieure de la puce. Signalons également qu'une couche fortement dopée est enterrée dans la structure. Cette couche permet de limiter

l'extension de la charge d'espace dans la région épitaxiée N^- et donc d'éviter des problèmes de perçage avec des implantations de type P nécessaires à la conception des transistors DMOS et CMOS. De plus, cette couche permet d'annuler le gain du bipolaire parasite vertical PNP, le substrat jouant le rôle de collecteur.

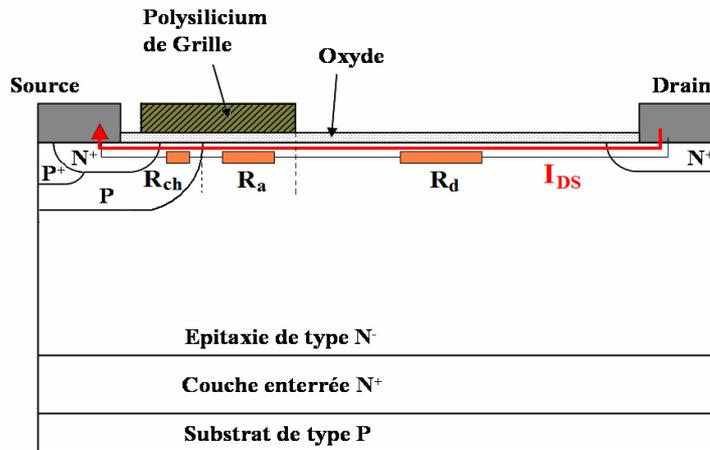


Figure I-17 : Coupe schématique d'un transistor LDMOS "classique".

La tenue en tension du transistor LDMOS dépend, d'une part, de la distance qui sépare la grille du drain lorsqu'il n'y a pas d'oxyde de champ entre ces deux électrodes et, d'autre part, du dopage de la région N^- sous l'oxyde. Sa valeur est plus faible que dans les structures verticales, car elle est limitée par le claquage par avalanche qui se produit au niveau de la jonction cylindrique P/N^- ou en surface du silicium à la fin de l'électrode de grille [BOU85].

I.3.2.3. Le transistor VDMOS up-drain

Afin de pallier les problèmes d'isolation entre deux VDMOS d'une même puce, de nouvelles structures sont apparues. Une des solutions est le transistor « VDMOS up-drain », présenté sur la Figure I-18.

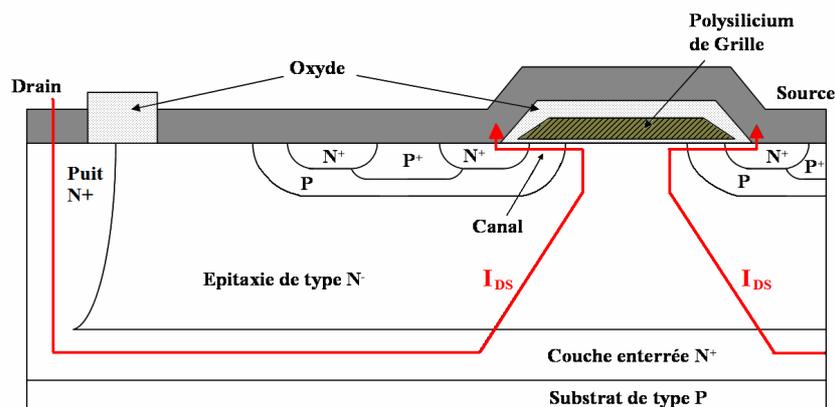


Figure I-18 : Coupe schématique d'un transistor "VDMOS up-drain".

Dans cette structure, le substrat de type P (au lieu du type N dans le cas d'un VDMOS "classique") est relié à la masse. Une couche enterrée fortement dopée N^+ est également implantée dans la couche d'épitaxie, et joue le rôle de collecteur d'électrons. Ces électrons sont ensuite drainés à travers cette couche enterrée et ramenés en surface grâce au puits N^+ .

Une telle solution dégrade la résistance passante spécifique du composant par rapport à un VDMOS "classique" équivalent ; ceci est dû notamment au trajet plus important parcouru par les électrons entre la source et le drain.

Après avoir évoqué les diverses structures des transistors MOS au travers de ces 3 paragraphes, la suite de ce mémoire se focalisera sur le VDMOS vertical en technologie planar qui est fortement représenté en électronique de puissance et dont le FLYMOS reprend les bases.

I.3.3. Les principales terminaisons moyenne et haute tensions

Les études théoriques définissant la tenue en tension des jonctions planes infinies (vu au §I.3.1.2.3), bien que précises et éprouvées, ne donnent pas une image réelle de celle des composants de puissance. En effet, la tenue en tension est considérablement dégradée en raison de l'apparition des courbures de jonctions inhérentes à la diffusion des éléments dopants. Au cœur de ces dispositifs, représentés par les cellules centrales, ces effets sont inhibés dans les structures multicellulaires en raison du phénomène d'autoblindage. Par contre, pour les cellules périphériques, appelées terminaisons, l'utilisation de techniques de garde est nécessaire pour obtenir une tenue en tension qui se rapproche de la valeur théorique de la jonction plane infinie [LET00] [MIN97] [BOI85]. Le rôle principal des techniques de garde est d'étaler les lignes de potentiel afin de répartir et distribuer le champ électrique. À l'heure actuelle, les solutions les plus utilisées sont :

- les techniques utilisant l'effet « plaque de champ »,
- les extensions de jonction J.T.E (**J**unction **T**ermination **E**xtension),
- les anneaux de garde flottants ou polarisés,
- les techniques utilisant l'Effet RESURF.

Nous allons décrire, brièvement dans ce qui suit, les techniques les plus courantes en ce qui concernent les dispositifs planars. L'efficacité de chaque structure, en tenant compte notamment des difficultés de mise en œuvre, sera précisée.

I.3.3.1. La plaque à effet de champ (Field Plate)

La terminaison la plus simple est la plaque de champ, disposition illustrée sur la Figure I-19 pour le cas d'une jonction P⁺N. Il s'agit d'un simple prolongement de l'électrode de contact sur une couche d'oxyde (silice), au-delà du bord de jonction, formant ainsi, en périphérie, une capacité métal-oxyde-silicium. Sous polarisation inverse, la charge de cette capacité est établie, côté semi-conducteur, par la mise à découvert des atomes d'impuretés ionisées, c'est-à-dire l'apparition d'une zone de charge d'espace dépeuplée. Cette charge d'espace prolonge la zone de transition de la jonction, avec allongement des lignes de champ et, corrélativement, réduction de l'intensité du champ en périphérie.

Toutefois, un extremum de champ subsiste dans le silicium, là où s'interrompt la protection de la plaque de champ, en relation avec la courbure à cet endroit des surfaces équipotentielles. Le claquage de la jonction, toujours localisé, peut donc se produire en deux endroits : en périphérie de jonction ou en bordure de protection comme indiqué sur la Figure

I-19. Deux paramètres importants sont à optimiser : la longueur de la plaque de champ et l'épaisseur d'oxyde. En effet, l'influence de la plaque de champ est d'autant plus importante que la tenue en tension est élevée. Cette longueur doit être suffisante pour agir sur la répartition des équipotentielles. De plus, la tenue en tension peut être sensiblement améliorée, particulièrement si on forme l'oxyde avec une épaisseur croissante, par degrés, de la jonction vers le bord de la terminaison : une structure parfaitement optimisée comporterait un oxyde mince au bord de la jonction puis il augmenterait paraboliquement. Cependant la tenue en tension de cette structure reste nettement inférieure à celle de la jonction plane, typiquement de 60 à 80 % de la tension de claquage idéale.

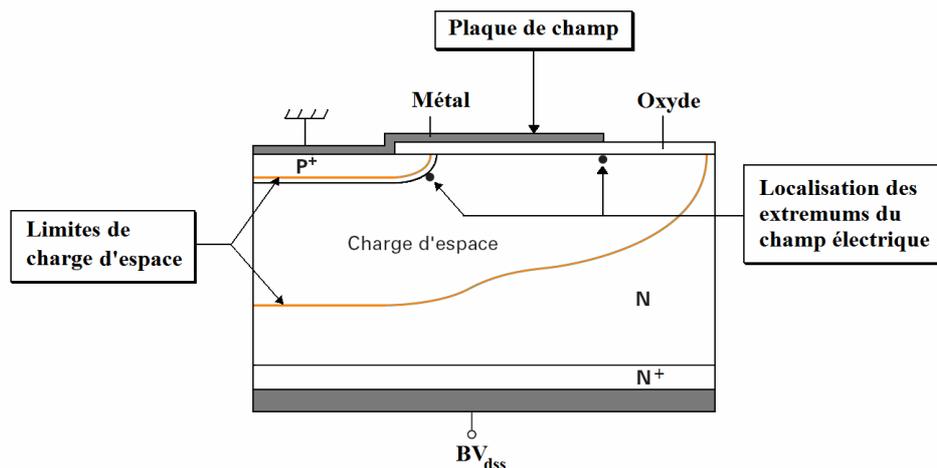


Figure I-19 : Extension de la ZCE dans une jonction cylindrique avec plaque de champ.

La technique de plaque de champ semble plutôt réservée aux composants basse et moyenne tensions. En effet, plus la tenue en tension requise est élevée, moins cette structure sera efficace et elle est en général plus efficace dans le cas où le champ électrique est en limitation de charge d'espace (perçage). Cette technique s'emploie souvent en association avec d'autres techniques de garde comme les anneaux flottants ou les extensions de jonction (JTE) comme nous allons le voir par la suite, dans le cas de notre FLYMOS 200V.

I.3.3.2. Anneau de garde diffusé

Pour des jonctions peu profondes ou encore pour des contacts Schottky (jonctions métal-semi-conducteur), la tenue en tension inverse peut être garantie jusqu'à la valeur de claquage de la jonction plane en diffusant un anneau « de garde » sur le pourtour, profondément, mais à faible concentration d'impuretés (Figure I-20). Le critère est apparemment simple : il suffit que la tension de claquage cylindrique de la jonction formée par l'anneau de garde dans le substrat soit supérieure à la tension de claquage théorique de la jonction gardée.

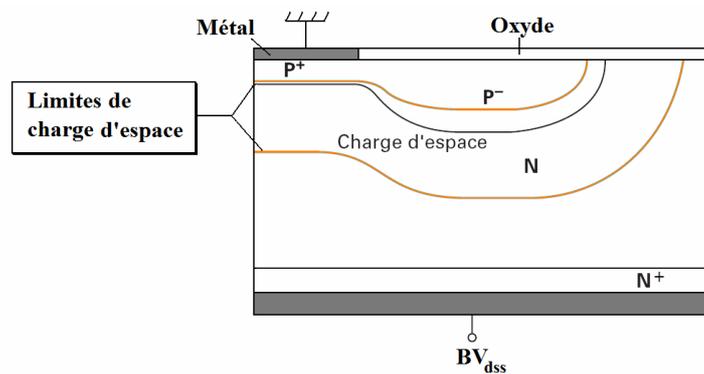


Figure I-20 : Extension de la ZCE avec un anneau de garde diffusé.

Ce type de terminaison est de mise en œuvre délicate si la tenue en tension requise est élevée (nécessité de diffusions très profondes et très peu dopées) et peut imposer des épaisseurs de base supérieures à ce qui serait strictement nécessaire pour loger la charge d'espace de la jonction principale. En outre, le rôle « parasite » de la terminaison sous polarisation directe et en commutation peut ne pas être négligeable.

I.3.3.3. L'extension de jonction : JTE (Junction Terminaison Extension)

La terminaison de jonction représentée sur la Figure I-21 pourrait, à première vue, être considérée comme une simple variante de l'anneau de garde diffusé. Le principe est cependant tout différent. La région P⁻, « extension » de la jonction principale, peut être plus ou moins profonde, mais surtout, doit être peu dopée. On la réalise le plus souvent par implantation pour un contrôle précis de la « dose » (quantité d'impuretés introduites par unité de surface de cristal). Les paramètres principaux, dose et longueur de l'implant, sont choisis pour que, sous polarisation inverse, aux niveaux de tension requis, cette région P⁻ se trouve complètement dépeuplée. L'extension de jonction supporte alors latéralement une part notable de la tension appliquée en inverse et recule d'autant le seuil de claquage sur les bords. L'effet sur la forme de la charge d'espace et les répartitions de champ et de potentiel en périphérie est de nature bidimensionnelle, et ne peut être analysé en détail qu'à partir des résultats de simulation numérique. On peut toutefois comprendre l'essentiel en réalisant que, par rapport à une jonction dépourvue de terminaison, l'introduction, en surface de substrat, d'une couche dépeuplée de signe opposé à celle qui serait normalement présente, force la charge d'espace à s'étendre dans le substrat pour découvrir une charge équivalente d'atomes dopants.

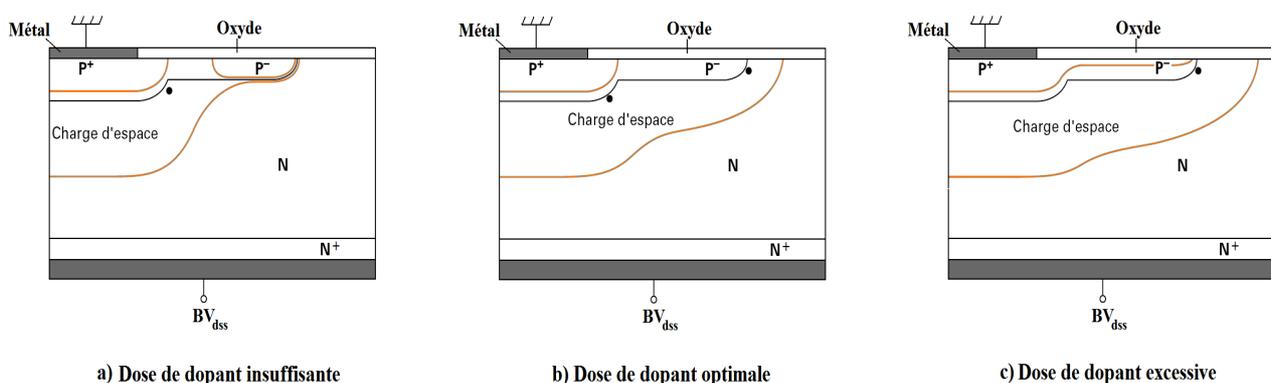


Figure I-21 : Influence de la dose implantée sur l'extension de la ZCE avec une JTE.

L'efficacité de ce type de terminaison nécessite cependant que les valeurs de paramètres soient comprises dans d'étroites fourchettes : si la dose est trop forte et/ou l'extension de jonction trop limitée, la tension supportée par la charge d'espace à l'extrémité de la région P⁻ implantée ne sera pas nettement inférieure à la tension inverse à laquelle est soumise la jonction principale ; un claquage prématuré interviendra en bordure de la terminaison par effet de surface ou de courbure. Au contraire, si la dose est trop faible et/ou l'extension de jonction trop grande, le dépeuplement de la région P⁻ ne sera que partiel ou d'étendue limitée, et le claquage, encore prématuré, se produira en regard de la courbure de la jonction principale. C'est ce qu'illustrent qualitativement les 3 situations de la Figure I-21 pour une même géométrie, mais pour une dose respectivement insuffisante, optimale et trop élevée. Ce type de terminaison est, par ailleurs, sensible aux charges piégées en surface de cristal ou retenues dans le matériau de passivation, charges dont la densité est difficile à maîtriser au cours des processus technologiques d'élaboration des dispositifs.

Si leur conception est rigoureuse et leur technologie soignée, ces « extensions de jonction », dont on peut imaginer de multiples variantes (on peut rattacher au même principe l'anneau de garde représentée à la Figure I-20, s'il est suffisamment peu dopé pour se trouver dépeuplé en situation de blocage), permettent d'approcher, à quelques pour-cent près, la tenue en tension de la jonction plane idéale.

I.3.3.4. Les anneaux de garde (P rings)

Dans la technique des anneaux diviseurs de champ (Figure I-22), des jonctions annulaires concentriques sont diffusées en même temps que la jonction principale. Ces anneaux ne sont pas connectés et restent flottants.

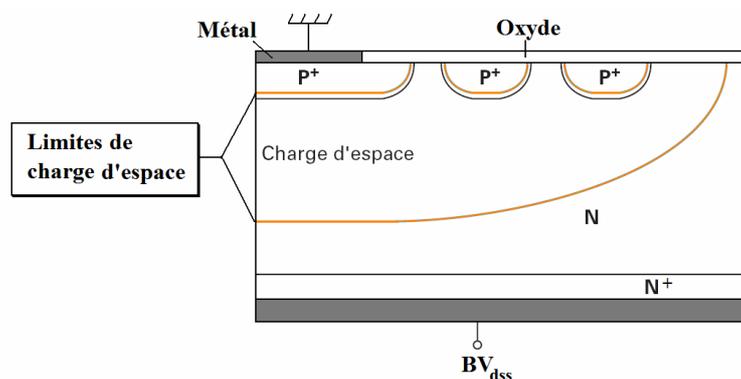


Figure I-22 : Extension de la ZCE avec des anneaux de garde.

L'espacement entre la dernière jonction de cellules centrales et le premier anneau est calculé pour que la charge d'espace développée à partir de la jonction principale atteigne l'anneau à un niveau de tension inverse bien inférieur à celui du claquage. Localement polarisé en direct dans la zone de perçage, le premier anneau voit dès lors son potentiel presque fixé à la tension de perçage entre la jonction principale et l'anneau. L'accroissement de la tension inverse au-dessus de la valeur de perçage se trouve, dans ces conditions, principalement supporté par la charge d'espace qui s'étend, en volume et en surface, au-delà de l'anneau. La tension blocable correspond ainsi approximativement à la tension de claquage

de l'anneau accrue de la tension de perçage entre anneau et jonction principale. Bien évidemment, le nombre d'anneaux dépend de la tension que l'on souhaite tenir ; il sera d'autant plus important qu'on recherche de plus fortes tensions blocables (de quelques unités jusqu'à une dizaine). Les paramètres d'espacements entre anneaux (fixe ou variable), de profondeur de diffusion et de concentration en impuretés permettent aux anneaux de garde d'approcher la tension de claquage théorique de la jonction plane.

La technique d'anneaux flottants permet de minimiser les effets de courbures de jonction à la périphérie de la jonction planar. Elle est simple à réaliser puisque les diffusions des anneaux sont généralement réalisées en même temps que la jonction principale. De plus, elle n'introduit pas d'étape technologique supplémentaire : elle s'avère donc peu coûteuse. L'inconvénient de cette méthode est la difficulté de son optimisation : le nombre d'anneaux ainsi que les distances entre eux sont des paramètres critiques. Cette technique est, de plus, consommatrice de surface de silicium, ce qui peut le rendre sensible aux coûts de réalisation pour des tensions élevées. Ce procédé est donc utilisé préférentiellement dans la gamme des moyennes tensions (jusqu'à 1000V) et permet d'atteindre généralement une efficacité de 80% par rapport à la tenue en tension de la jonction plane idéale.

I.4. Les nouvelles architectures de transistors MOS moyenne et haute tensions

I.4.1. Compromis « tenue en tension à l'état bloqué / résistance à l'état passant »

I.4.1.1. La région épitaxiée appelée zone de « drift »

Maintenant que les tenues en tension et résistances à l'état passant ont été décrites, on comprend mieux l'élément fédérateur qui relie ces deux paramètres : il s'agit de la couche épitaxiée N^+ , appelée zone de « drift ». En se concentrant sur cette région, on constate que cette dernière a pour effet de supporter la quasi-totalité de la tension drain-source à l'état bloqué mais aussi de définir la résistance à l'état passant (via R_d), induite par sa résistivité.

Avant de travailler sur le drift, les concepteurs ont d'abord optimisé les principaux paramètres géométriques que l'on retrouve dans les expressions (5) à (9) ; r , l et, par conséquent, S , sont les variables utilisées. Toute diminution de la surface S doit entraîner corrélativement une diminution de la résistance passante spécifique. Les progrès accomplis en photolithographie, gravure et dans les procédés d'élaboration technologique permettent en effet d'agir sur ces paramètres, notamment pour réduire leur taille de façon significative et ainsi obtenir une plus grande densité d'intégration, donc une résistance passante spécifique plus faible. C'est la voie qui a été choisie par la plupart des industriels dans le domaine des MOS basse tension, que ce soit en réalisant des VDMOS à haute densité d'intégration de cellules ou des transistors MOS à tranchées à ultra haute densité d'intégration. Cependant, cette densification devient quasiment inutile pour des composants MOS moyenne et haute tensions. La Figure I-23 donne la part relative, en pourcentage, de chacune des composantes de la résistance passante spécifique pour des transistors basse, moyenne et haute tensions – seule la résistance du silicium est prise en compte ici –.

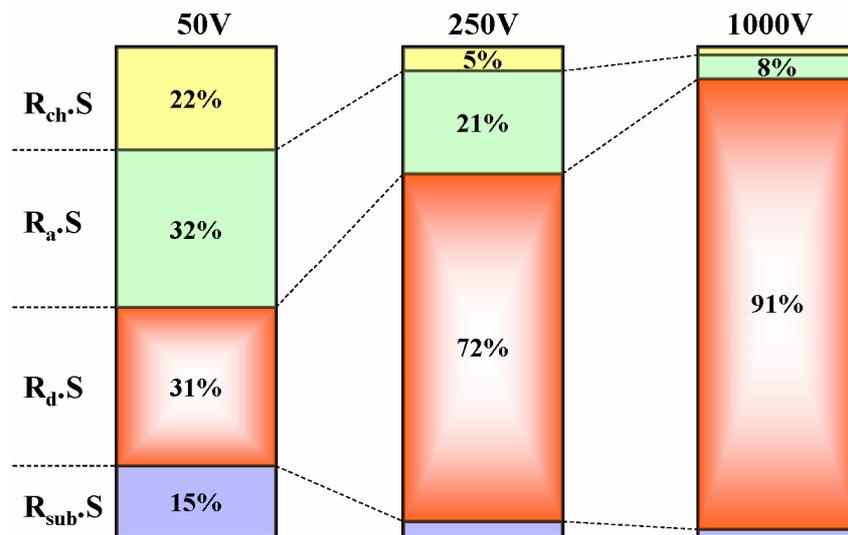


Figure I-23 : Contribution des composantes de $R_{ON}.S$ pour un transistor VDMOS de puissance suivant la tenue en tension ($V_{GS} = 10V$ et $V_{DS} = 10mV$).

Concernant les composants moyenne et haute tensions, nous pouvons remarquer que les résistances de drift et d'accès ont le plus de poids ; ceci est lié au fait que ces résistances dépendent fortement du dopage N_D de l'épitaxie (et de l'épaisseur pour R_d) qui est d'autant plus faible que la tenue en tension est élevée. Or, la résistance R_d ne peut pas être diminuée dans une structure VDMOS "classique" sans dégrader la tenue en tension du composant, puisque résistance de drift et tenue en tension sont étroitement liées comme nous le verrons lors de la définition de la limite du silicium au paragraphe suivant (§I.4.1.2). Il apparaît donc d'ores et déjà que la densification des cellules MOS élémentaires n'est pas suffisante pour réduire la résistance passante spécifique des transistors VDMOS haute tension et que l'essentiel des améliorations portera sur la épitaxie N^- afin d'améliorer R_d qui contribue à plus de 70% de R_{ON} dès 250V.

I.4.1.2. Définition de la limite théorique du silicium

L'évaluation des performances entre différents MOSFETs passe généralement, au premier ordre, par la comparaison de la résistance passante spécifique ($R_{ON}.S$) pour une tenue en tension donnée : on parle généralement du compromis « tenue en tension/résistance passante spécifique » ($BV_{dss}/R_{ON}.S$). La limite du silicium est alors matérialisée par la mise en équation de la résistance spécifique $R_{ON}.S$ en fonction de la tenue en tension BV_{dss} d'un composant unipolaire de puissance. Cette corrélation sert de référence à l'évaluation de performances des transistors MOS de puissance. Ainsi, lorsqu'un composant doit soutenir une tension donnée, sa résistance passante spécifique ne peut donc pas (en théorie) être plus faible que celle optimale calculée.

Cette relation se détermine au travers d'une série d'approximations inévitables et il devient alors délicat d'obtenir une relation unique permettant de définir cette limite. Nous allons donc proposer les diverses expressions majeures utilisées jusqu'aujourd'hui. En prenant comme hypothèse que toutes les autres résistances aient pu être rendues négligeables, la résistance de drift de la couche épitaxiée représente donc la résistance passante spécifique minimale que doit présenter tout transistor MOS vertical conventionnel. Cette valeur

minimale peut se calculer simplement à partir de la relation classique de la résistance d'un barreau :

$$R_{ON}.S = \frac{W_N}{q \cdot \mu_n \cdot N_D} \quad (17)$$

On note que cette relation est dépendante de 3 éléments qui impliquent chacun une approximation dans le calcul analytique : on retrouve l'extension de charge d'espace W_N (prise en limitation de charge d'espace pour minimiser la résistance passante spécifique), le dopage du drift N_D et la mobilité des électrons μ_n . Plusieurs auteurs ont proposé diverses relations définissant cette limite dont les 3 plus utilisées seront présentées ci-après. Leur description nous permettra de mieux cibler celle qui nous servira de référence.

La première relation que nous présentons est basée sur la mobilité prise comme constante pour des valeurs de dopage $N_D < 10^{16} \text{cm}^{-3}$: la mobilité des électrons dans le silicium est alors de l'ordre de $\mu_n \approx 1360 \text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ à 300K. B.J. Baliga [BAL87] a défini en 1987 une équation basé sur les relations du dopage (18) et de l'extension de la charge d'espace (19) en fonction de la tenue en tension :

$$N_D = 2.10^{18} \cdot BV_{dss}^{-4/3} \quad (18)$$

$$\text{et } W_N = 2,58.10^{-6} \cdot BV_{dss}^{7/6} \quad (19)$$

En reportant les expressions (18), (19) et la valeur de la mobilité dans l'expression (17), on obtient alors une première définition de la limite du silicium, utilisée notamment par Saito (Toshiba) dans ses publications [SAI03] [SAI04] [SAI05] :

$$R_{ON}.S (\Omega \cdot \text{cm}^2) = 5,93.10^{-9} \cdot BV_{dss}^{2,5} \quad (20)$$

Cependant cette relation tend à être de moins en moins utilisée car l'approximation faite sur la mobilité constante la rend moins significative. C. Hu [HU79] a proposé en 1979 une équation reliant la mobilité μ_n à la tenue en tension :

$$\mu_n (\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}) = 7,1.10^2 \cdot BV_{dss}^{0,1} \quad (21)$$

Cette définition de la mobilité est dorénavant intégrée à la relation (17). De plus, les relations du dopage et de l'extension de la charge d'espace sont différentes. Hu se base sur l'expression du champ électrique critique $E_C = 8,2.10^5 \cdot (BV_{dss})^{-0,2}$ en fonction de la tenue en tension pour définir les relations suivantes :

$$N_D = 1,9.10^{18} \cdot BV_{dss}^{-1,4} \quad (22)$$

$$\text{et } W_N = 1,8.10^{-6} \cdot BV_{dss}^{1,2} \quad (23)$$

Basée sur les relations (21), (22) et (23), une meilleure estimation a pu être obtenue et sert de référence actuellement dans de nombreuses publications, que ce soit pour des composants standards [HU79] [BAL96b], à Superjonction [CHE01] [FUJ97] ou à îlots flottants [ALV06] [CEZ00] [CHE00] [CHE97] [SAI02] [TAK05]. La relation est la suivante :

$$R_{ON}.S (\Omega \cdot \text{cm}^2) = 8,33.10^{-9} \cdot BV_{dss}^{2,5} \quad (24)$$

La relation (24) est la plus utilisée, même si elle peut être sujette à discussion. En effet, si l'on se base sur les relations de Gharbi [GHA85] définies par les équations (10) et (11) au

§I.3.1.2.3, on obtient une nouvelle relation qui donne la résistance passante spécifique minimale en fonction de la tenue en tension [MOR04] :

$$R_{ON.S} (\Omega.cm^2) = 8,9.10^{-9}.BV_{dss}^{2,4} \quad (25)$$

Ces principales relations (20), (24) et (25), qui sont trois manières différentes de définir la “limite du silicium” des composants MOS (plus généralement, des composants unipolaires de puissance verticaux conventionnels), sont regroupées sur la Figure I-24. Ainsi, un composant unipolaire conventionnel ne peut avoir sa résistance passante spécifique plus faible que celle optimale calculée ; la zone colorée sur la figure sous ces droites représente la limite physique théorique dite “infranchissable”. Notons que, même si la relation (25) semble la plus précise, nous utiliserons dans la suite de ce mémoire la relation (24) comme référence de la limite du silicium, commune à la plupart des articles publiés.

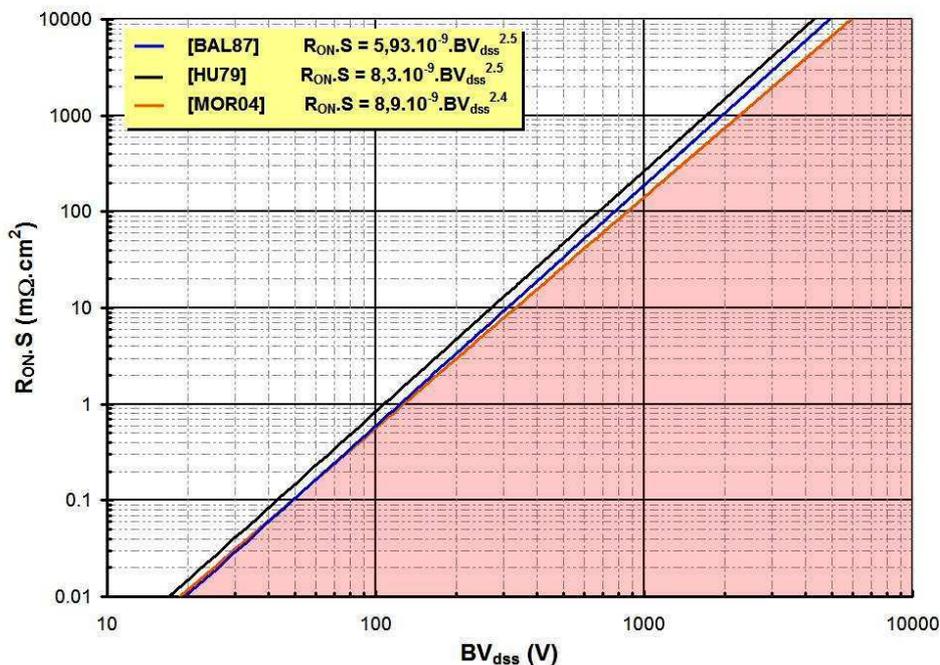


Figure I-24 : Différentes expressions définissant la limite du silicium.

La “course” aux faibles résistances passantes spécifiques présente donc une limite fondamentale que ni la miniaturisation des cellules MOS élémentaires, ni l’invention de nouvelles géométries de surface, ni même l’incorporation d’une tranchée dans la région d’accès au drain ne pourront permettre de “casser”. Cependant un axe de recherche reste possible : l’alternative est de trouver un moyen pour augmenter le dopage du drift en conservant la même tenue en tension afin de dépasser cette limite. C’est cette démarche qui a donné naissance à des solutions alternatives dès la fin des années 90.

I.4.1.3. Comment dépasser la limite du silicium ?

Les recherches se sont donc focalisées sur la région de drift des composants unipolaires en vue de l’amélioration du compromis « $BV_{dss}/R_{ON.S}$ ». Ainsi, c’est sur ce

paramètre que les travaux se sont orientés afin de dépasser la limite du silicium : nous allons voir comment les concepteurs y sont parvenus.

Les tout premiers concepts théoriques sont apparus au cours des années 80. L'idée de base commune à ces concepts était de trouver de nouveaux mécanismes physiques permettant d'assurer la tenue en tension des composants de puissance en proposant des alternatives originales à la couche semi-conductrice faiblement dopée classiquement utilisée jusqu'alors. Ces idées novatrices se basent sur les mécanismes de distribution du champ électrique par introduction d'oxyde ou de régions de type P dans le volume du drift. En effet, la réduction du champ électrique critique permet d'augmenter la concentration en dopant N_D de l'épitaxie N^- . Ainsi, la résistance passante du barreau de drift peut être diminuée.

C'est au cours de l'année 1997 qu'un premier tournant décisif a eu lieu. En effet, de nouveaux concepts sont apparus cette année-là pour dépasser la limite du silicium qui, depuis une vingtaine d'années, apparaissait comme "infranchissable". Le premier de ces concepts est la "Superjonction" proposée par Fujihira en 1997 [FUJ97] qui sera décrit plus en détail dans le paragraphe suivant. L'autre concept, présenté en 1999, est issu des travaux de recherche du LAAS/CNRS : il s'agit, de la FLI-diode [CEZ99] [CEZ01], que nous présenterons dans le paragraphe I.4.3.

I.4.2. Les structures à compensation de charge

I.4.2.1. La Superjonction

I.4.2.1.1. Principe de fonctionnement

Le concept de la Superjonction (SJ) a été introduit en 1981 par D.J. Coe [COE81] [COE88] et X.B. Chen [CHE93] ; les premières réalisations expérimentales datent de la fin des années 90 [FUJ97] [LOR98] [LOR99]. L'idée est de remplacer la zone N^- uniforme et faiblement dopée de la diode PN^-N^+ conventionnelle (zone de drift) soutenant la majeure partie de la tension appliquée, par une région alternant des bandes N et P perpendiculaires aux régions d'anode et de cathode (Figure I-25a).

Le principe de la Superjonction nécessite un dopage et une largeur des bandes judicieusement choisis : idéalement, $N_A = N_D$ et $W_N = W_P = W \ll H$. L'application d'une tension positive sur la cathode induit alors un phénomène en deux étapes [MOR04] :

- dans un premier temps, puisque $W \ll H$, les couches N et P se dépeuplent plus vite latéralement que verticalement : ainsi, seule la composante du champ électrique perpendiculaire aux bandes N et P augmente mais reste inférieure à la valeur du champ critique E_C .
- dans un deuxième temps, puisque le dépeuplement des bandes N et P est total, la distribution du champ électrique dans le volume est uniforme : en effet, on peut admettre, que les régions P et N entièrement dépeuplées sont équivalentes à un diélectrique. La tension appliquée entre la cathode (c'est-à-dire le drain pour le transistor MOS) et l'anode (source) est alors proportionnelle à la profondeur H et obéit à la relation suivante :

$$V_{dss} = E_y \cdot H \quad (26)$$

Comme pour une diode conventionnelle, la tension de claquage BV_{dss} est atteinte lorsque le champ électrique atteint sa valeur critique ; cette tension vaut :

$$BV_{dss} = E_C \cdot H \quad (27)$$

La tenue en tension de la Superjonction est donc proportionnelle au champ électrique critique alors que dans la diode PN^+N^+ conventionnelle, elle est proportionnelle à E_C^{-5} selon la relation [SZE66] :

$$BV_{dss} = 4,49 \cdot 10^{29} \cdot E_C^{-5} \quad (28)$$

Notons que, de manière générale, les conditions $N_A = N_D$ et $W_N = W_P$ ne sont pas obligatoires. Le bon fonctionnement de la Superjonction est assuré si les bandes N et P sont complètement dépeuplées avant que le champ électrique critique ne soit atteint, et si la balance des charges entre les régions N et P est quasi-parfaite. Quantitativement, ces deux conditions peuvent être traduites par :

$$N_D \cdot W_N = N_A \cdot W_P \quad (29)$$

Le principal avantage de la Superjonction est que le dopage des régions N et P peut être choisi supérieur au dopage de la région N^- d'une diode PN^+N^+ conventionnelle : ici, ce n'est plus la concentration N_D qui est primordiale mais la balance des charges entre les régions N et P. Appliqué aux composants de puissance unipolaires comme les transistors MOS, ce nouveau concept doit donc permettre de diminuer fortement leur résistance passante spécifique.

1.4.2.1.2. Le transistor à Superjonction

Fujihira [FUJ97] a proposé de nouvelles structures MOS verticales et latérales utilisant ce concept. Ce sont des transistors qui, de plus, ont des grilles enterrées (MOS à tranchées). D'autres MOS, utilisant le même concept, ont également été proposés : citons par exemple le COOLMOS™ d'Infineon [LOR98] [LOR99] (premier composant MOS à Superjonction à avoir été commercialisé).

À l'état bloqué, tous ces composants MOS fonctionnent suivant le principe énoncé précédemment : à $V_{GS} = 0$ V, lorsqu'une tension positive est appliquée sur le drain, le MOS se comporte comme une Superjonction polarisée en inverse. Un exemple de la structure MOS verticale type Superjonction est représenté Figure I-25b. À l'état passant, le courant circule entre drain et source en passant par les bandes N (ce sont ici des MOS à canal N) : la section de conduction est donc réduite par rapport aux transistors MOS conventionnels qui utilisent toute la surface active pour la conduction. Cependant, cet inconvénient est plus que compensé par le fort niveau de dopage de ces bandes N, de telle sorte que la résistance passante spécifique de ces nouveaux composants est très inférieure à celle des composants conventionnels équivalents. A titre d'exemple, pour une tenue en tension de 600 Volts, un transistor COOLMOS™ présente une résistance passante spécifique 5 fois plus faible que celle d'un transistor VDMOS conventionnel à zone de drift uniforme [LOR99] : cette valeur est même inférieure à la limite du silicium des composants VDMOS conventionnels.

Fujihira a d'ailleurs calculé les limites de performances de ces nouveaux composants en termes de compromis « $BV_{dss}/R_{ON}.S$ », notamment en se basant sur la relation (24) définissant la limite du silicium. Il a alors établi les nouvelles limites pour ce genre de composant. Dans le cas des structures MOS verticales, il a proposé la relation suivante :

$$R_{ON}.S (\Omega.cm^2) = 1,98.10^{-1}.W^{5/4}.BV_{dss} \quad (30)$$

La simple comparaison de cette relation avec la relation (24) montre que, dans le cas des composants MOS à Superjonction, la résistance passante spécifique minimale est directement proportionnelle à BV_{dss} pour les structures verticales contre $(BV_{dss})^{2,5}$ dans le cas des structures conventionnelles.

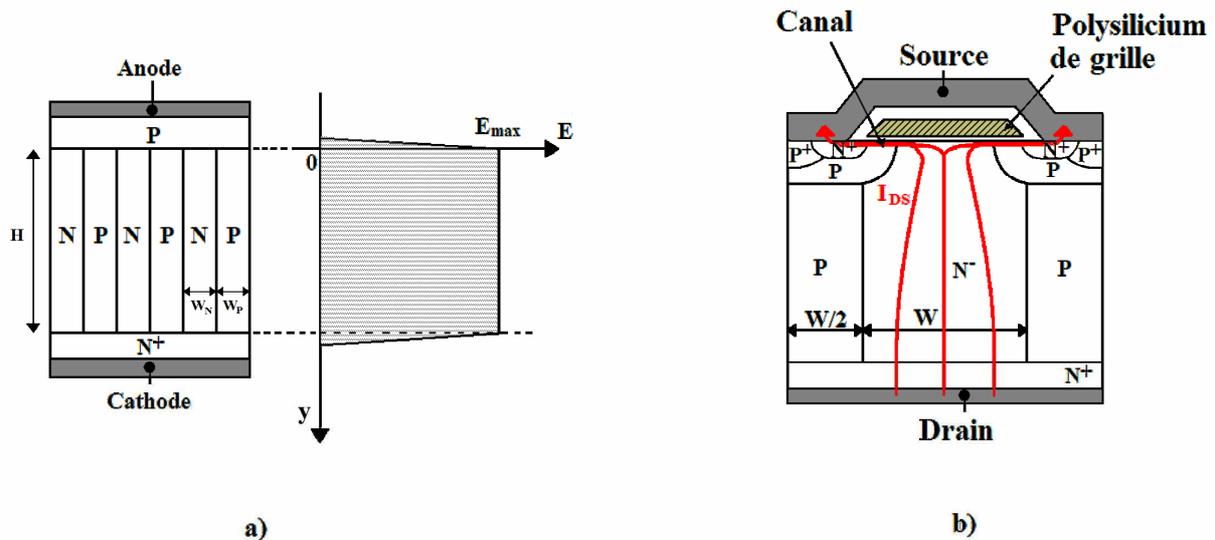


Figure I-25 : a) Coupe schématique d'une diode verticale à Superjonction et répartition du champ électrique,
 b) Coupe schématique d'un transistor MOS vertical à Superjonction.

Comme nous le verrons dans le paragraphe I.4.3.3., alors que le gain en performance est proportionnel à l'augmentation de la tenue en tension, le MOSFET à Superjonction – qui est plus coûteux et difficile à réaliser technologiquement – est moins intéressant pour des tenues en tension inférieures à 100 V. Il est alors plus judicieux d'utiliser les VDMOS conventionnels, qui sont beaucoup plus simples à réaliser. Ces nouveaux composants semblent donc destinés, pour le moment, à des applications haute tension ($BV_{dss} > 500$ V), principalement pour des raisons de compromis entre coût technologique et gain en performances.

I.4.2.2. La Semi-Superjonction

Dans le but d'obtenir une résistance à l'état passant la plus faible possible, W. Saito, de Toshiba, a proposé en 2003 une nouvelle structure basée sur le principe des structures à Superjonction [SAI03]. Une coupe schématique d'un transistor à Semi-Superjonction est présentée sur la Figure I-26a : cette structure est formée d'une alternance de colonnes P et de colonnes N, tout comme la Superjonction, à la différence que les régions P ne sont pas ici connectées au substrat N⁺.

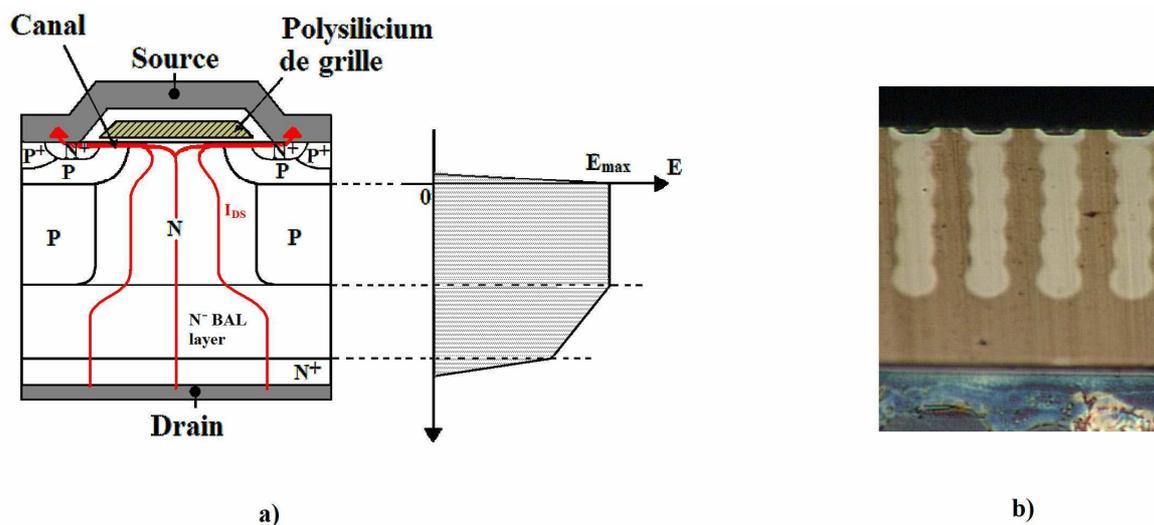


Figure I-26 : a) Coupe schématique d'un transistor à Semi-Superjonction et répartition du champ électrique,
 b) Coupe réelle d'un transistor MOS vertical à Semi-Superjonction.

Outre l'amélioration apportée à $R_{ON,S}$, les avantages de cette structure – par rapport à la Superjonction décrite précédemment – concernent les améliorations sur les commutations et sur le facteur de recouvrement inverse de la diode de corps (voir §I.2.1.2.). Ceci est dû d'une part au fait que les colonnes P ne contactent pas le substrat et d'autre part à l'insertion d'une couche N⁻, appelé « couche arrière d'assistance » (de l'anglais « Bottom assist layer » pour N⁻ BAL layer), qui permet un contrôle plus précis des charges induites lors du recouvrement par modulation de la valeur de dopage. À l'heure actuelle, la plupart des transistors MOS à Superjonction vendus dans le commerce possède cette configuration comme le prouve l'analyse réalisée sur un échantillon 600V (Figure I-26b).

I.4.2.3. Les techniques de réalisation des Superjonctions

Les transistors à Superjonction et Semi-Superjonction sont technologiquement plus difficiles et plus coûteux à réaliser qu'une solution classique type VDMOS. En effet, pour introduire des régions de type P dans le volume, des étapes technologiques additionnelles sont requises. Les plus répandues (Figure I-27a) consistent en la réalisation de couches épitaxées N⁻ multiples, auxquelles on implante les régions P à chaque niveau. Un recuit final permet de relier par diffusion les régions P pour former des colonnes (technique utilisée par Infineon [LOR00], ST Microelectronics [GAL00], Faichild...). Ces étapes multiples sont très coûteuses en terme de production et sensibles à la balance des charges entre régions P et régions N. Ainsi, dans un objectif de réduction de coûts de réalisation, des auteurs ont essayé les implantations à très fortes énergies (Figure I-27b), dans une épitaxie unique, à travers un masque unique d'une très grande épaisseur (généralement en SOI) [BOR05]. Mais cette technique pose le problème de radiations émises à de telles énergies (jusqu'à 15MeV) et s'avère difficile d'utilisation à grande échelle. Alors que la solution de multi-épitaxie est couramment utilisée sur les produits commercialisés, cette technique reste encore au stade de recherche.

L'amélioration continue des procédés a permis le développement ces dernières années de techniques à tranchées profondes ($> 60\mu\text{m}$). Ainsi, le premier multi-resurf [DAL01] est apparu en 2001. Cette technique possède plusieurs variantes : soit la fine couche de P entourant la tranchée est obtenue par implantation avant remplissage de la tranchée, soit les tranchées sont remplies directement par un diélectrique que l'on peut doper (comme le Polysilicium) et la fine couche de P est alors obtenue par diffusion à haute température (Figure I-27c). Actuellement, ces dispositifs restent encore au stade du développement alors qu'une alternative est en cours d'introduction sur le marché. En effet, ces gravures profondes peuvent être remplies par une épitaxie de type P (Figure I-27d) : c'est ce qu'ont proposé récemment Fuji Electric [TAK06] et Toshiba [SAI06], avec une faisabilité bien plus importante que la technique du multi-resurf.

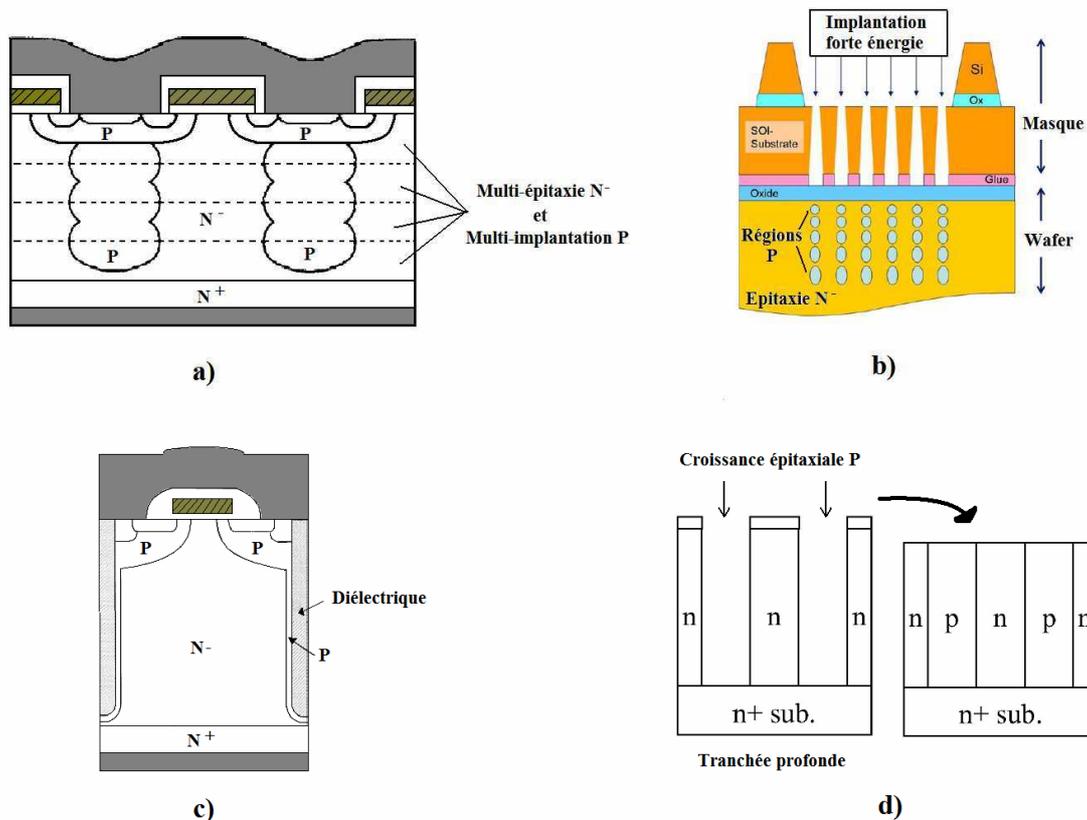


Figure I-27 : a) Superjonction à épitaxies et implantation multiples, b) Superjonction à implantation forte énergie, c) Superjonction multi-resurf : tranchées remplies d'un diélectrique, d) Superjonction à tranchées remplies par une épitaxie de type P.

I.4.3. Les structures à îlots flottants type FLIMOS

I.4.3.1. Historique sur les dispositifs à îlots flottants

L'alternative à la Superjonction est l'îlot flottant. Basée sur le même principe de répartition du champ électrique, nous allons voir que sa mise en œuvre et son fonctionnement sont légèrement différents. La Figure I-28 fait une rétrospective de l'évolution de ce concept. Bien que Sony proposa les premières idées en 1977 [MAT77], suivi par Philips en 1988 [COE88], ce n'est qu'en avril 1999, soit 20 ans plus tard que X. B. Chen dévoila un premier article basé sur des simulations avancées d'une diode et d'un transistor MOS intégrant un îlot

flottant [CHE99], basé sur son brevet déposé en 1997 [CHE97]. Dans le même temps, le LAAS-CNRS proposa le concept de la FLI-diode [CEZ99], en assurant une analyse théorique de l'impact du nombre d'îlots « n » sur la tenue en tension du composant. En 2000, I. Omura (Toshiba) [OMU00] proposa un brevet dans lequel un dispositif, composé de deux électrodes, un substrat N^+ et une couche plus résistive N^- , inclut des bandes flottantes P afin de diviser le champ électrique en plusieurs parties. Cette même année, X. B. Chen proposa un article sur la réalisation d'un transistor MOS appelé « VDMOST » de 500V dont les performances dépassent la limite du silicium [CHE00].

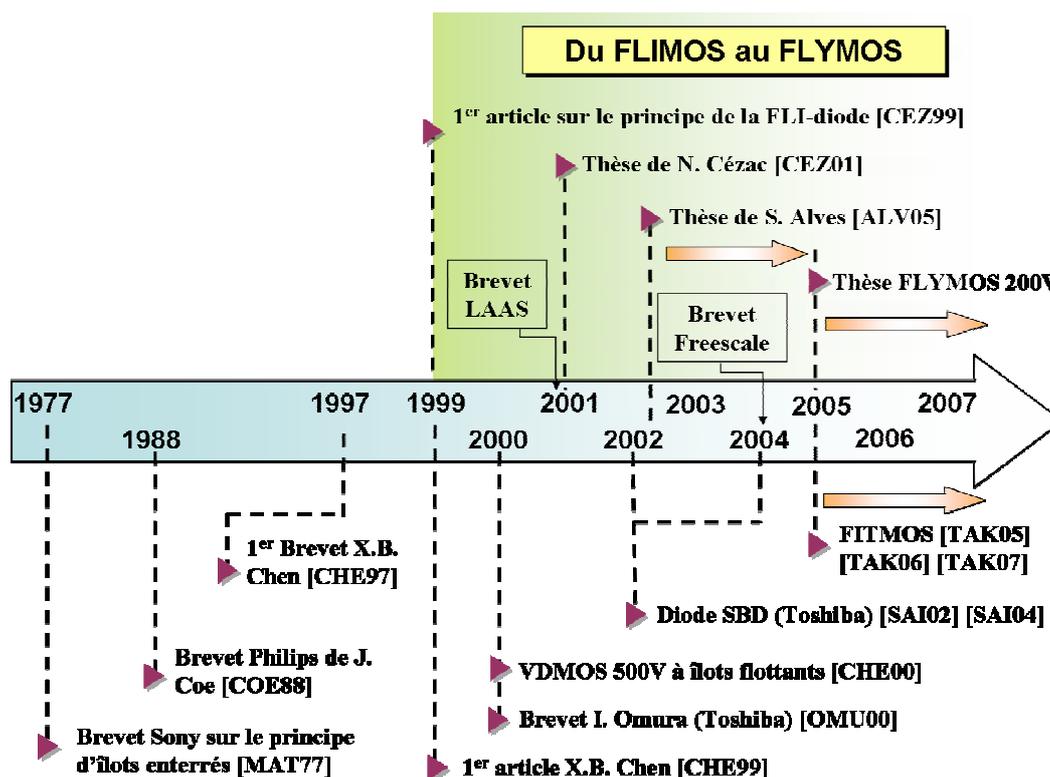


Figure I-28 : Évolution des dispositifs à îlots flottants.

Le LAAS/CNRS a déposé un brevet en 2001 [ROS01] sur une diode Schottky avec des îlots flottants P. Ce dispositif construit sur substrat N^+ , intègre des îlots flottants P dans une couche conductrice N^- , permettant d'augmenter la tenue en tension soutenue en inverse (état bloqué) et de diminuer la chute de potentiel à l'état passant. La thèse de N. Cézac soutenue cette même année présenta ce principe étendu aux transistors nommés FLIMOS. Dans la continuité, la thèse de S. Alves [ALV05] (2002-2005) s'attacha à réaliser le premier transistor FLYMOS 75V sur la base du transistor HDTMOST™, dans le cadre du laboratoire commun mis en place entre le LAAS/CNRS et Freescale Semiconducteurs (LCIP2). Les travaux ont débouché sur plusieurs articles prouvant la validité du concept et un brevet déposé en 2003 et publié en 2006 [REY06]. En parallèle, Toshiba proposa en 2002, une diode Schottky (diode SBD) avec des îlots flottants P affichant une faible résistance à l'état passant [SAI02], complété par une analyse dynamique en 2004 [SAI04]. Dans ces articles, les auteurs proposèrent une terminaison constituée d'anneaux de garde et d'anneaux flottants, ces anneaux flottants pouvant être soit des bandes, soit des plots. Les activités concernant le FLYMOS continuent depuis 2005 dans le cadre d'un nouveau laboratoire commun (LISPA) et font l'objet de ce mémoire. Entre temps, un nouveau composant est apparu dans la gamme

des 70V : le FITMOS de la firme Toyota [TAK05] [TAK07]. Ce dernier intègre un îlot flottant implanté au bout d'une tranchée remplie d'oxyde afin de diviser le champ électrique et d'augmenter la résistivité de la couche épitaxiée pour un meilleur $R_{ON.S}$.

La quantité non négligeable et la variété des travaux présentés dans ce paragraphe montrent tout l'intérêt d'un tel principe. Bien que ces performances soient théoriquement moins bonnes que pour la Superjonction, nous allons voir dans le paragraphe suivant qu'il demeure cependant une alternative très intéressante à la Superjonction.

I.4.3.2. L'îlot flottant : principe de fonctionnement

Le concept de la FLI-diode consiste à insérer des îlots P flottants – d'où son nom : “**F**loating **I**slands” – dans la zone faiblement dopée (région N^-) de la diode PN^-N^+ . On obtient ainsi une alternance de bandes N^- et P qui, contrairement à la Superjonction, sont perpendiculaires au courant d'anode. La tenue en tension par extension de la ZCE est assurée par les zones N^- , les régions P agissant uniquement comme des diviseurs de champ électrique (et donc de potentiel) : ainsi, au lieu d'avoir un seul maximum de champ à la jonction principale PN^- , on obtient plusieurs maxima (plus faibles que dans le cas de la diode PiN conventionnelle) répartis sur chacune des jonctions PN^- (Figure I-29). La distribution du champ électrique est donc ici multi-triangulaire alors qu'elle est triangulaire ou trapézoïdale dans une diode conventionnelle PN^-N^+ (présenté en Figure I-2) [MOR04].

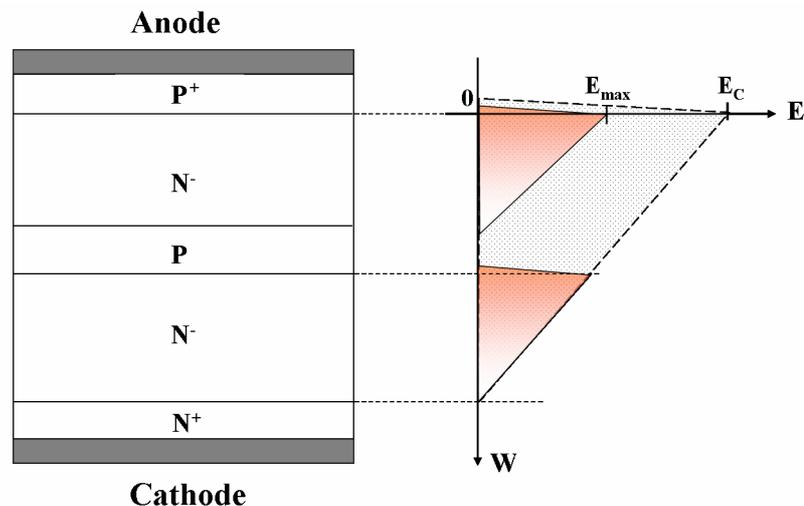


Figure I-29 : Répartition du champ électrique dans une diode $P^+N^-N^+$ conventionnelle (au claquage) et dans une FLI-diode comportant 1 îlot flottant P.

Dans le cas de la FLI-diode comportant 1 îlot P (Figure I-29), les pics de champ électrique qui apparaissent au niveau des deux jonctions PN^- de la FLI-diode sont inférieurs au pic de champ de la diode conventionnelle PN^-N^+ . Lorsque cette dernière claquera (champ électrique maximal égal au champ critique E_C du silicium), la FLI-diode n'aura donc toujours pas claqué. Ainsi, pour un même dopage des zones N^- , la FLI-diode affichera une meilleure tenue en tension que la diode conventionnelle. Comme nous l'avons évoqué dans les paragraphes précédents, les concepteurs se basent en général sur une tenue en tension donnée et cherchent à améliorer les pertes en conduction des composants. Cette configuration d'îlots flottants diminuant le champ critique permet donc d'augmenter le dopage des régions N^- de la

FLI-diode pour atteindre de nouveau le même champ critique que la diode PiN, mais avec le bénéfice d'une amélioration du R_d .

On perçoit là l'intérêt d'appliquer ce concept à des composants MOS de puissance : pour une tenue en tension donnée, on peut espérer une diminution de la résistance passante spécifique liée à l'augmentation du dopage des régions N^- . Il est bien évident que si l'on augmente le nombre d'îlots P présents dans la zone N^- , le phénomène (diminution du champ électrique maximal aux jonctions) sera accentué : cela autorisera alors une augmentation conséquente du dopage des couches N^- , pour une tenue en tension fixée.

I.4.3.3. Le transistor FLYMOS

I.4.3.3.1. Paramètres de base

Comme déjà précisé au §I.4.1.1, c'est dans la gamme des hautes tensions que le facteur d'amélioration sur R_a et R_d , et donc sur $R_{ON.S}$, doit être le plus important. Le principe de FLIMOS vertical haute tension prend alors tout son sens d'après la théorie évoquée précédemment. Rappelons que nous désignerons dorénavant par « FLYMOS », le composant Freescale construit sur la base du HDTMOS™ (nom donné au VDMOS de Freescale) et reprenant le principe du FLIMOS.

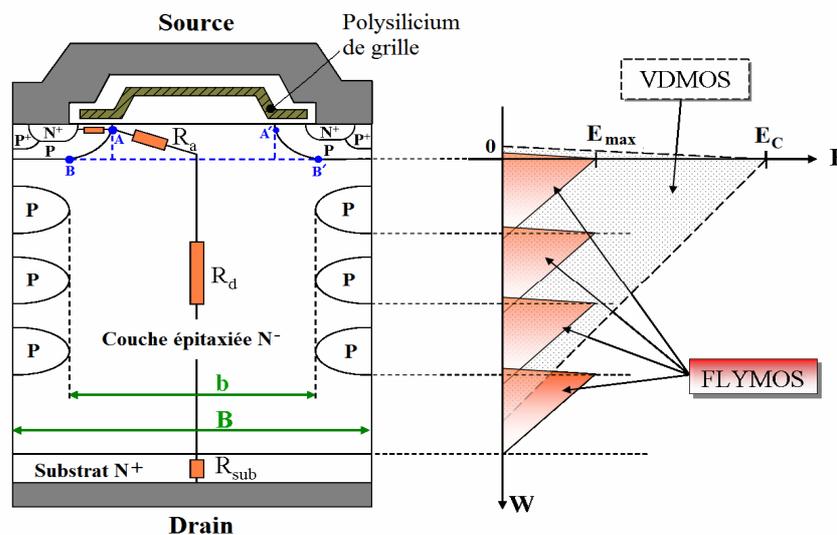


Figure I-30 : Répartition du champ électrique dans un transistor VDMOS conventionnel (au claquage) et dans un transistor FLYMOS comportant 3 îlots flottants P.

La différence principale entre la cellule d'un transistor HDTMOS™ conventionnel et celle d'un transistor FLYMOS réside dans l'utilisation de puits flottants P dans la zone épitaxiée N^- [CEZ99]. Ceux-ci sont insérés dans la région de drift, sous la région P de canal. À l'état bloqué, le transistor FLYMOS doit donc se comporter comme une FLI-diode. La Figure I-30 présente la coupe schématique du FLYMOS ; dans cet exemple comportant 3 îlots flottants P, on distingue aisément la répartition du champ électrique au niveau des 4 jonctions PN (celle liée à la jonction de base P du transistor et celles liées aux 3 îlots). Hormis la présence de ces îlots dans la couche épitaxiée, les caractéristiques des transistors FLYMOS

sont identiques à celles du transistor HDTMOS™ : tailles et géométries de cellules identiques et mêmes épaisseurs de couches notamment. Seul le dopage de la couche épitaxiée N⁻ est modifié dans les structures FLYMOS, suivant le nombre d'îlots P insérés. Notons que, pour une tenue en tension fixée, le facteur d'amélioration est inférieur à celui obtenu dans le cas des FLI-diodes. Cela s'explique par le fait que le transistor FLYMOS, qui doit fonctionner également à l'état passant, utilise des îlots "ouverts", pour permettre le passage du courant entre drain et source. Les îlots P n'occupent donc pas toute la surface, dégradant ainsi la tenue en tension par rapport à la FLI-diode équivalente : "l'auto-blindage latéral" dans le volume entre îlots adjacents n'est alors pas suffisant. Il serait possible d'améliorer la tenue en tension en diminuant la distance latérale entre îlots, mais cela se ferait au détriment de la résistance passante spécifique : un bon compromis est alors nécessaire. Idéalement, si chaque îlot P joue bien le rôle de diviseur de champ, alors les jonctions PN successives supportent chacune une fraction de la tension appliquée (V_{PN}), soit $V_{PN} = BV_{dss} / (n + 1)$.

En ce qui concerne l'état passant, le courant I_{DS} du FLYMOS circule principalement dans la zone intercellulaire de la cellule, entre les îlots P. Par ailleurs, l'augmentation du nombre d'îlots entraîne une diminution de la défocalisation des lignes de courant : en effet, plus le nombre d'îlots est important, plus la formation d'un "tube central" de courant sera effectif. La section de conduction est donc fortement réduite par rapport à un transistor VDMOS conventionnel mais cette réduction est largement compensée par l'augmentation du dopage de la couche épitaxiée.

1.4.3.3.2. Intérêt du FLYMOS par rapport aux MOS à Superjonction

A partir des bases de fonctionnement que nous venons de décrire, on se propose d'établir une expression analytique du premier ordre traduisant les limites du compromis entre la tenue en tension et la résistance passante spécifique des transistors FLYMOS. Nous appuyant sur la relation (24) donnant la limite conventionnelle du silicium, il est possible d'établir le même type de relations pour le transistor FLYMOS. Par rapport à un HDTMOS™, la résistance de drift d'une cellule FLYMOS présentée à la Figure I-30 est en fait la succession de plusieurs petites régions, dont la résistance totale est la mise en série des résistances localisées entre les îlots.

Pour une tenue en tension BV_{dss} donnée, la région de "drift" d'un transistor FLYMOS comprenant "n" îlots flottants entre source et drain correspond à l'association de (n+1) jonction PN qui supportent chacune une part identique de la tenue en tension et égale à $BV_{dss} / (n + 1)$. Chacune des "mini-régions" de drift correspondantes a donc pour limite :

$$R_{ON} \cdot S (\Omega \cdot cm^2) = 8,33 \cdot 10^{-9} \cdot BV_{dss}^{2,5} \cdot (n + 1)^{-2,5} \quad (31)$$

En toute rigueur, si la section de conduction S_0 ($S_0 = b/B$) est un paramètre, la "résistance spécifique idéale" est alors égale à :

$$R_{ON} \cdot S (\Omega \cdot cm^2) = 8,33 \cdot 10^{-9} \cdot S_0^{-1} \cdot BV_{dss}^{2,5} \cdot (n + 1)^{-1,5} \quad (32)$$

Cette limite dépend donc du nombre "n" d'îlots flottants dans la structure, de sa section de conduction S_0 et, bien sûr, de sa tenue en tension BV_{dss} . Au vu des premiers prototypes

réalisés, on estime que la section de conduction d'un transistor FLYMOS est égale à 70% de la section de conduction d'un transistor HDTMOS™. On obtient alors la "résistance spécifique idéale" de la région de drift des transistors FLYMOS en associant (n+1) régions en série et définie par la relation (32) :

$$R_{ON}.S (\Omega.cm^2) = 1,19.10^{-8} . BV_{dss}^{2,5} . (n+1)^{-1,5} \quad (33)$$

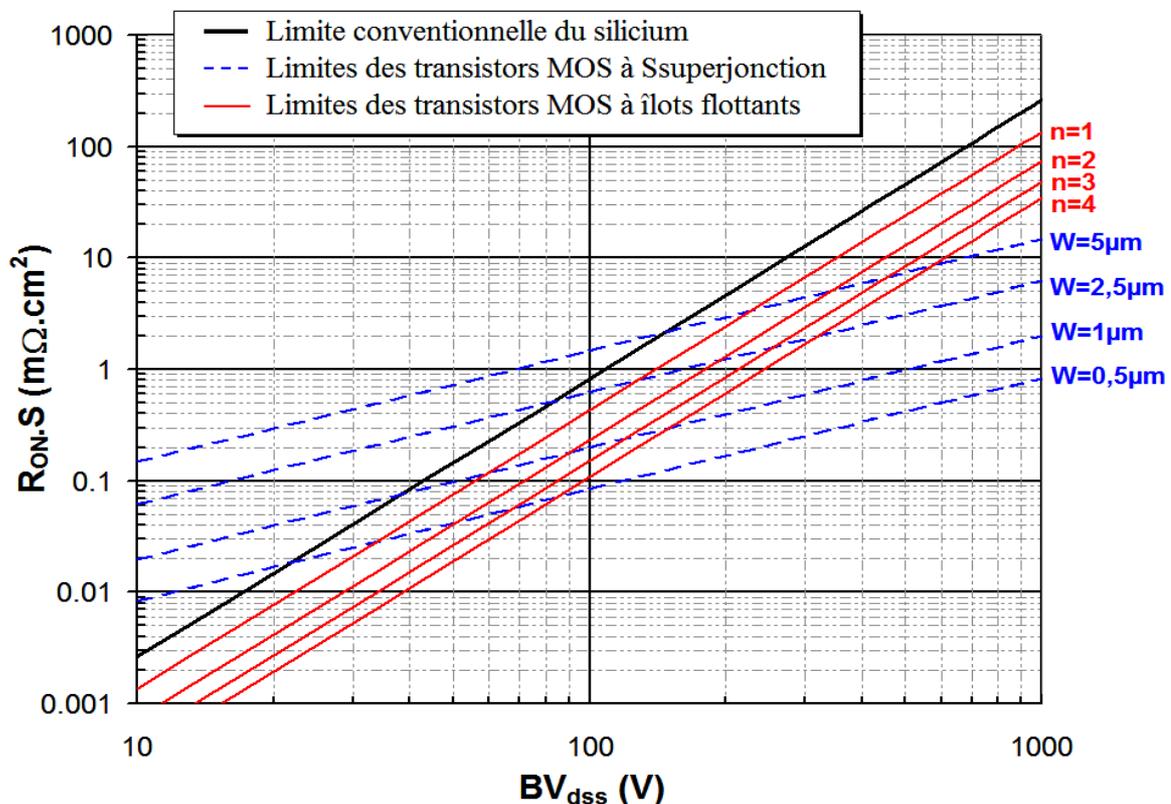


Figure I-31 : Comparaison des limites de performances pour divers types de composants de puissance (conventionnels, à Superjonction, à îlots flottants) en termes de compromis "tenue en tension / résistance à l'état passant".

La Figure I-31 présente une comparaison entre les limites de performances pour divers composants de puissance en termes de compromis « $BV_{dss}/R_{ON}.S$ » ; "n" représente le nombre d'îlots flottants de la relation (33) et "W" la largeur des bandes N et P des composants à Superjonction de la relation (30). Les composants à superjonctions présentent un meilleur compromis pour les très hautes tenues en tension ($BV_{dss} > 1000$ Volts). Ceci était prévisible puisque la résistance passante spécifique limite de ces composants est proportionnelle à BV_{dss} contre $BV_{dss}^{2,5}$ pour les composants conventionnels et les composants à îlots flottants. En revanche pour les basses tenues en tension ($BV_{dss} < 100$ Volts), les composants à îlots flottants semblent plus intéressants : en effet, pour qu'ils puissent rivaliser, les composants à Superjonction devraient alors utiliser des bandes verticales N et P très fines, ce qui n'est pas technologiquement réalisable à ce jour.

Quoiqu'il en soit, si on compare les transistors FLYMOS avec les composants MOS conventionnels (limite conventionnelle du silicium), leur résistance spécifique est inférieure, quel que soit le nombre d'îlots, à la limite conventionnelle du silicium des composants

unipolaires à zone de drift uniforme. À titre d'exemple, pour une tension de claquage de 600Volts, la résistance passante spécifique diminue de 80% par rapport à limite conventionnelle du silicium avec un transistor FLYMOS à 3 îlots, ce qui est une amélioration considérable. De plus, il est aussi important de prendre en compte le coût de fabrication technologique, paramètre déterminant dans la comparaison des îlots flottants avec la Superjonction. En effet, dans le cas des épitaxies multiples propre à ces deux concepts, la technologie FLYMOS s'avère être moins chère si on se "limite", par exemple, à insérer 2 ou 3 îlots flottants dans la zone de drift pour un composant 600V. Bien que les performances du FLYMOS sont moins bonnes que pour la Superjonction, le surcoût technologique est alors minimisé par rapport à la Superjonction dont les implantations multiples nécessitent de 5 à 7 épitaxies pour former une colonne.

Au travers du compromis « coût de réalisation / performances », les composants à îlots flottants s'avèrent ainsi être des "concurrents sérieux" aux composants à Superjonction tels que le COOLMOS™ d'Infineon [LOR99], notamment dans le domaine des moyennes tensions ($BV_{dss} \leq 600\text{Volts}$), ce qui justifie l'étude reportée dans ce mémoire.

I.4.3.4. La problématique du FLYMOS

I.4.3.4.1. Le procédé de fabrication : de la théorie à la réalisation

Encore aujourd'hui, la Superjonction est la solution innovante permettant de dépasser la limite du silicium la plus répandue et fait l'objet de nombreuses études. Les multiples caractérisations physiques et électriques ont permis de bien comprendre son fonctionnement mais surtout de bien définir les procédés de réalisation permettant de passer de la théorie à la pratique de façon industrielle.

Dans le cas des composants à îlots flottants, les travaux sont beaucoup moins nombreux. Les prototypes sont rares et il n'existe pas, à l'heure actuelle, de produits commercialisés. Néanmoins, un premier prototype a été réalisé par Freescale et le LAAS dans la gamme des 65-90Volts [ALV05] et a permis de valider le principe du FLYMOS. Cependant, les simulations prédictives donnèrent des résultats plus optimistes que ceux obtenus sur silicium. Bien qu'une marge d'erreur existe naturellement, les écarts observés ont amené plusieurs interrogations quant à la réalisation de futurs composants et à la transposition du concept à de plus hautes tensions. Entre autres, les questions suivantes ont été posées :

- Comment être sûr que les simulations sont correctement définies et au plus proche de la réalité ? Peut-on en améliorer les estimations ?
- Quelle est la véritable forme des îlots flottants au cœur du silicium ? Quel est son impact sur la répartition des lignes de champ électrique et par conséquent sur la tenue en tension du composant ?
- Quels sont les moyens de connaître la diffusion réelle en 3D de l'îlot ? Et, quels sont les paramètres de contrôle les plus adaptés à la maîtrise des diffusions ?
- Comment répondre à un changement de procédé, notamment lorsqu'on passe de 65V à 200V ? Existe-il un optimum reliant l'épaisseur, la concentration de la zone épitaxiée N

de drift et la position des îlots dans cette région ? Quelle est le dopage optimal des îlots flottants P et est-il dépendant de la concentration de l'épitaxie N ?

- Comment définir au mieux les règles de dessins de la structure ? Quel est l'impact sur les performances du composant ? Faut-il différencier les terminaisons de la cellule centrale ?

Il est évident que d'autres interrogations sont apparues lors des premières réalisations mais celles évoquées précédemment sont les plus importantes et ont permis de définir le cadre des travaux de réalisation du FLYMOS 200V.

I.4.3.4.2. Dynamique des porteurs en présence de jonctions flottantes

Les premiers FLY-diodes et FLYMOS réalisés dans la gamme de 65-90Volts [ALV05] ont été testés électriquement de façon statique, ce qui signifie que la mesure est faite une fois le système établi. Dans ce cadre, on retrouve les mesures de tenue en tension BV_{dss} et de résistance à l'état passant R_{ON} qui sont les mesures « de base » de tout interrupteur de puissance et sont essentielles en première évaluation technologique.

Bien qu'indispensables, ces informations restent insuffisantes pour évaluer pleinement les performances du FLYMOS : c'est aussi en régime de commutation que le composant est intéressant. La notion de dynamique des porteurs prend tout son sens avec la succession des états bloqués et passants. Ces phases de transitions sont importantes dans les applications et c'est pourquoi il est nécessaire d'en connaître les composantes dynamiques ; il y a notamment :

- les capacités dynamiques (§I.3.1.3.),
- les temps de commutation t_r , t_f , t_{ON} , t_{OFF} , etc. (voir chapitre II),
- la charge Q_G nécessaire à la grille pour commuter le transistor à l'état passant (voir chapitre II),
- la résistance dynamique R_{ONd} (voir chapitre II),
- les caractéristiques de recouvrement de la diode interne (t_{rr} , Q_{rr} , I_{RM} , etc. §I.2.1.2.).

Ces spécificités dynamiques, valables pour les transistors VDMOS, le sont également pour le FLYMOS, mais dans quelle mesure ? L'ajout d'îlots flottants dans la région de drift modifie-t-il le comportement dynamique du FLYMOS ? En effet, à la différence de la Superjonction où les colonnes de type P sont connectées à la source (qui a un potentiel bien défini), les îlots dits « flottants » indiquent que le potentiel non fixé (donc lui aussi flottant) peut induire des perturbations lors du transfert de charges en commutation. À partir de ce constat, l'évaluation du comportement du FLYMOS en régime dynamique est incontournable : il fait donc en partie l'objet des travaux présentés dans ce mémoire.

I.5. Conclusion

Ce chapitre fut l'occasion de faire un état de l'art des principaux composants discrets utilisés en moyenne puissance dont la principale caractéristique est le traitement de l'énergie. Dans cette optique, les diverses structures existantes (commandables ou non) ont été décrites. Définissant plus précisément les domaines d'applications, nous nous sommes concentrés sur le transistor MOS de puissance : les principaux paramètres liés à son fonctionnement type interrupteur ont été présentés ainsi que les différentes structures MOS de puissance existantes. Un inventaire rétrospectif portant sur les différents types de terminaisons de composants moyenne et haute tensions a également été abordé.

Une attention particulière a été portée sur le compromis « $BV_{dss}/R_{ON.S}$ » qui est un point particulièrement pénalisant pour les composants unipolaires de puissance. Dans la gamme de moyenne et haute tensions ($BV_{dss} > 100$ Volts), la prépondérance de la résistance de drift a été mise en évidence : toutes les autres résistances étant alors considérées comme négligeables, la résistance de drift de la couche épitaxiée N^- représente donc la résistance passante spécifique minimale que doit présenter tout transistor MOS vertical pour une tenue en tension donnée. La relation liant $R_{ON.S}$ à BV_{dss} définit la “limite du silicium” des composants unipolaires verticaux conventionnels. Les solutions “classiques” – miniaturisation, tranchées –, qui permettent de diminuer de quelques pourcents la résistance passante spécifique, ne sont plus satisfaisantes car elles se heurtent à cette limitation fondamentale.

Dans ce cadre, des solutions innovantes ont été proposées afin d'améliorer fortement le compromis « $BV_{dss}/R_{ON.S}$ ». Deux approches principales ont été présentées : la Superjonction et les îlots flottants. Ces nouvelles technologies permettent de dépasser la limite conventionnelle des composants unipolaires. En comparant les transistors FLYMOS, basés sur le concept des îlots flottants, avec les transistors MOS à Superjonction, on a montré la supériorité de ces derniers dans le domaine des hautes tenues en tension ($BV_{dss} \geq 1000V$). Cependant, pour des tensions plus faibles ($BV_{dss} < 1000V$) et tenant compte du compromis « coût/performances », les transistors FLYMOS apparaissent particulièrement compétitifs : ils sont une excellente alternative à la Superjonction et parviennent à dépasser théoriquement la limite du silicium.

La réalisation concrète d'un tel composant ne s'est concrétisée que fin 2004-début 2005 et dans une gamme de basse tension. À l'heure actuelle, les inconnues sont encore nombreuses, notamment en termes de maîtrise du procédé de fabrication et de performances dynamiques du FLYMOS. À partir de ces premières expériences, le projet a évolué vers des tenues en tension supérieures. La suite de ce mémoire abordera donc la réalisation du FLYMOS 200V, en apportant successivement des réponses sur l'exécution technologique, sur les performances et la phénoménologie de fonctionnement d'un tel composant.

Chapitre II :

Phénoménologie de
fonctionnement du
FLYMOS 200 Volts :
limites du dispositif

Chapitre II : Phénoménologie de fonctionnement du FLYMOS 200 Volts : limites du dispositif

II.1 Introduction

Le chapitre I a montré que les différentes stratégies d'amélioration du compromis « tenue en tension / résistance passante spécifique » ($BV_{dss}/R_{ON.S}$) ont rapidement trouvé leur limite dans le cas du VDMOS conventionnel. Dans la gamme de moyenne et haute tensions, c'est la zone de drift qui est prépondérante pour la détermination de la résistance passante spécifique ; or, pour dépasser la limite du silicium, nous avons vu qu'il était nécessaire d'utiliser des concepts innovants tels que la Superjonction ou les îlots flottants. Le LAAS a alors proposé, pour la première fois en 1999 [CEZ99], une structure intégrant des îlots flottants dans la zone faiblement dopée (FLI-diode), ce principe a ensuite été transféré aux transistors VDMOS en 2000 (FLIMOS) [CEZ00] [CEZ01]. En 2004, la première réalisation technologique sur silicium a permis de valider le concept et sa faisabilité par la réalisation d'un composant FLYMOS basse tension ($< 100V$) [ALV05].

Ces premiers travaux ont été essentiels dans l'évaluation d'un tel composant. L'intérêt suscité a permis d'entreprendre l'étude de ce concept à des tensions plus élevées. Toutefois, les multiples interrogations, soulevées tout au long de ces travaux prospectifs, ont mis en évidence la nécessité d'aller plus loin dans le processus de caractérisation de cette technologie. Ceci s'est concrétisé par la volonté de comprendre comment évolue l'îlot flottant au cours du procédé de fabrication (en termes de forme, de pic de concentration et de longueur de diffusion) mais aussi de quantifier son impact sur les performances électriques. À partir de ce constat, la stratégie de travail s'est construite en deux temps : avant toute investigation sur l'optimisation des performances, la première étape fut de trouver une méthode permettant de caractériser physiquement l'îlot flottant au "cœur du silicium" avant de passer, en deuxième étape, à l'optimisation des performances. Ce second chapitre constitue donc la première phase du projet « FLYMOS 200V » : il se focalisera sur la compréhension de son fonctionnement phénoménologique et sur l'évaluation de ses limites.

Dans ce chapitre, nous commencerons par décrire la structure du FLYMOS, construit à partir de la technologie HDTMOS™ : après avoir abordé la définition de la cellule centrale, nous décrirons le procédé de fabrication du FLYMOS. Ensuite, nous présenterons la méthode originale développée, à l'aide de l'outil de microscopie SCM (Scanning Capacitance Microscopy), afin de visualiser la forme des îlots flottants. Bien que l'optimisation n'ait pas encore été entreprise à ce stade du projet, une première évaluation des performances statiques et dynamiques des premiers FLYMOS 200V sera effectuée. Ces caractérisations électriques permettront de définir ses limites, en termes de dessin des structures, de procédé et de performances dynamiques. Nous verrons notamment que la résistance dynamique R_{ONd} peut être dégradée par rapport à la résistance statique R_{ON} . Au final, nous dévoilerons les solutions imaginées pour répondre aux difficultés rencontrées.

II.2. Technologie de fabrication du transistor FLYMOS 200V

II.2.1. Caractéristiques structurelles

II.2.1.1. La technologie planar : le HDTMOS™

Le transistor HDTMOS™ (**H**igh **D**ensity **T**MOS) développée par Freescale est actuellement utilisé dans le secteur automobile et possède une tenue en tension (BV_{dss}) de 45V, pour des applications diverses, notamment bâties sur le réseau de puissance des batteries de 12V – comme l'alimentation des phares, des petits moteurs électriques (lève-vitres, essuie-glace), etc –. Ce transistor présente une grande densité d'intégration de l'ordre de 2 millions de cellules/cm². Le transistor HDTMOS™ est un transistor de puissance vertical type VDMOS Figure II-1. Le FLYMOS, basé sur la technologie HDTMOS™, en reprend l'architecture mais en l'adaptant à des gammes de tensions supérieures.

Les transistors HDTMOS™ sont des transistors à canal N. Il est intéressant de noter l'absence de l'implantation N⁺ de source dans les cellules de bord (en terminaison) : celles-ci ne sont pas des transistors et ne participent donc pas à la conduction de courant. Leur rôle est uniquement de supporter la tension dans le cas d'une polarisation en inverse.

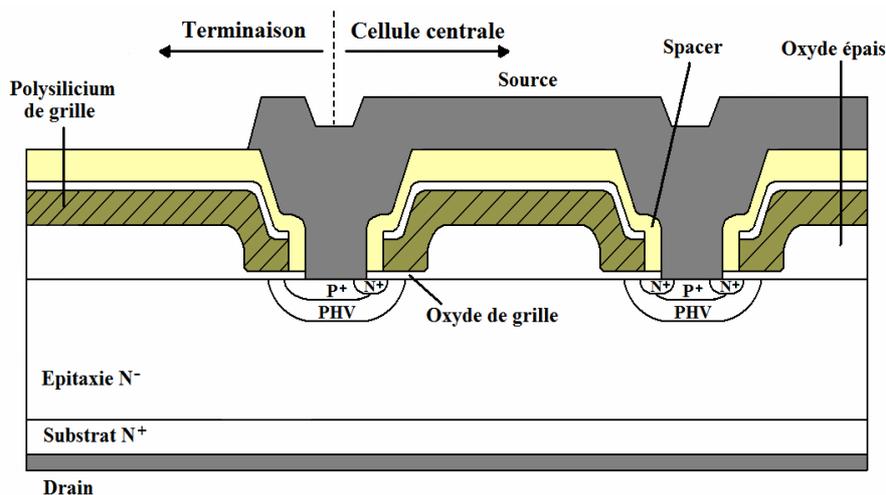


Figure II-1 : Coupe schématique simplifiée d'un transistor HDTMOS™ dernière génération.

En terme de géométrie, les structures HDTMOS™ (et donc FLYMOS) étudiées sont de deux types car liées à deux générations de développement : les premières ont des cellules de forme octogonale disposées en quinconce, appelée technologie Squish Square, et les secondes ont des cellules en forme de croix alignées, appelée technologie WELLFET. Notons que la Figure II-1 représente uniquement la seconde génération de HDTMOS™ vue en coupe avec la représentation d'un oxyde épais au milieu des cellules centrales, préposé à l'amélioration des performances dynamiques (cf. Chapitre I, §I.3.1.3.).

II.2.1.2. Dessin de la cellule centrale

II.2.1.2.1. Le Squish Square

La configuration géométrique de la cellule élémentaire diffusée PHV (dénomination du caisson **P** High Voltage) est présentée sur la Figure II-2. On peut signaler que la région

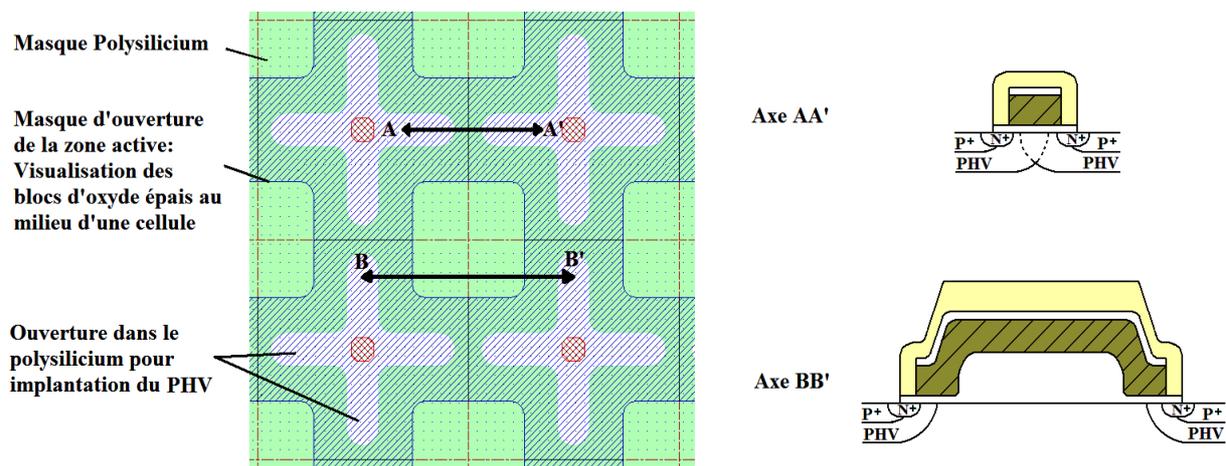


Figure II-3: Géométrie du PHV pour un transistor HDTMOS™ type WELLFET et mise en évidence, par vues en coupe, du mécanisme d'unification des PHV par diffusion latérale.

Ces interconnexions de PHV permettent de consolider le dispositif par l'uniformisation de la source mais aussi d'améliorer la répartition du potentiel entre chaque motif. Un autre facteur d'amélioration concerne le rayon et la forme de la courbure des jonctions PHV-épitaxie. En effet, le Squish Square dispose de jonctions cylindriques et sphériques convexes couramment utilisés dans ce genre de technologie. Or, dans le cas du WELLFET, la jonction située dans les cellules centrales est concave : ceci garantit une autoprotection centrale au dispositif et assure aux composants une tenue en tension optimale. Dans ce qui suit, nous allons voir que suivant le type de géométrie utilisée, le dessin des îlots flottants du FLYMOS sera différent, impliquant des distinctions structurelles importantes.

II.2.1.2.3. Le FLYMOS

Le FLYMOS reprend donc les structures de surface du HDTMOS™ : quelle que soit la géométrie utilisée, la construction des îlots flottants dans le volume du composant suit la règle suivante : afin de garantir un bon équilibre entre jonction de surface et jonction dans le volume, les dessins des îlots flottants s'alignent sur ceux du PHV. La Figure II-4 représente les îlots flottants localisés sous la jonction PHV suivant les 2 motifs : dans le cas du Squish Square (Figure II-4a), ils sont dessinés en forme de plots. Dans le cas du WELLFET (Figure II-4b), les îlots flottants forment un réseau d'îlots par bandes croisées.

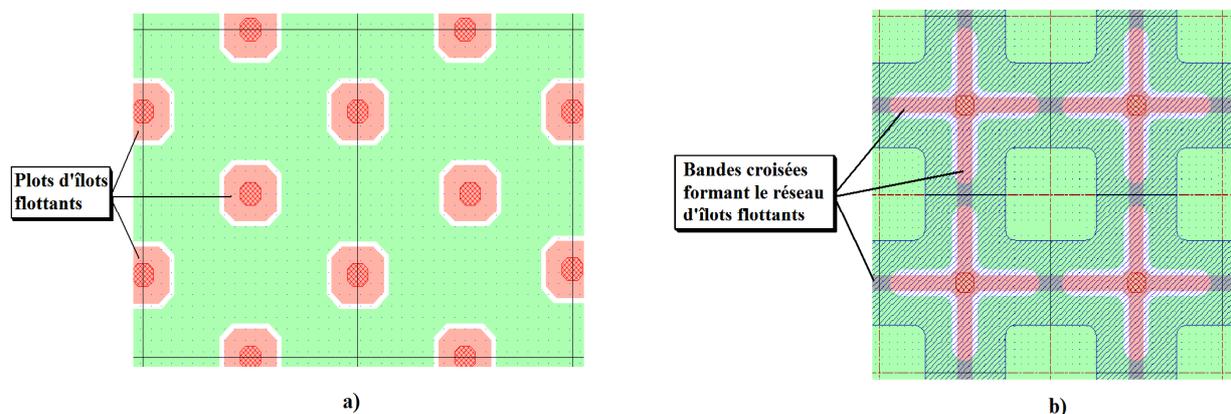


Figure II-4 : a) Emplacement des îlots flottants dans le cas du Squish Square, b) Emplacement des îlots flottants dans le cas du WELLFET.

Afin de mieux se rendre compte de l'unification des PHV par diffusion dans le cas du WELLFET, la visualisation des réseaux du dispositif a été entreprise. La Figure II-5 regroupe 2 images obtenues en réalisant un biseau sur une puce, puis une révélation des régions P. Sur l'image de gauche (Figure II-5a), l'accent est mis sur le WELLFET en surface : nous retrouvons les croix caractéristiques de cette géométrie et nous remarquons également une délimitation blanche qui correspond à l'interface entre l'oxyde de grille et le silicium. En surface, nous retrouvons les croix dessinées à partir du masque du polysilicium. Dans le silicium, nous trouvons aussi le réseau unifié de PHV, qui se crée grâce à la diffusion latérale des caissons de PHV. Il apparaît alors des régions d'épitaxie, séparées les unes des autres en surface par le réseau de PHV, et formant ainsi des "puits" ("well" en anglais) d'épitaxie en profondeur, d'où son nom "WELLFET".

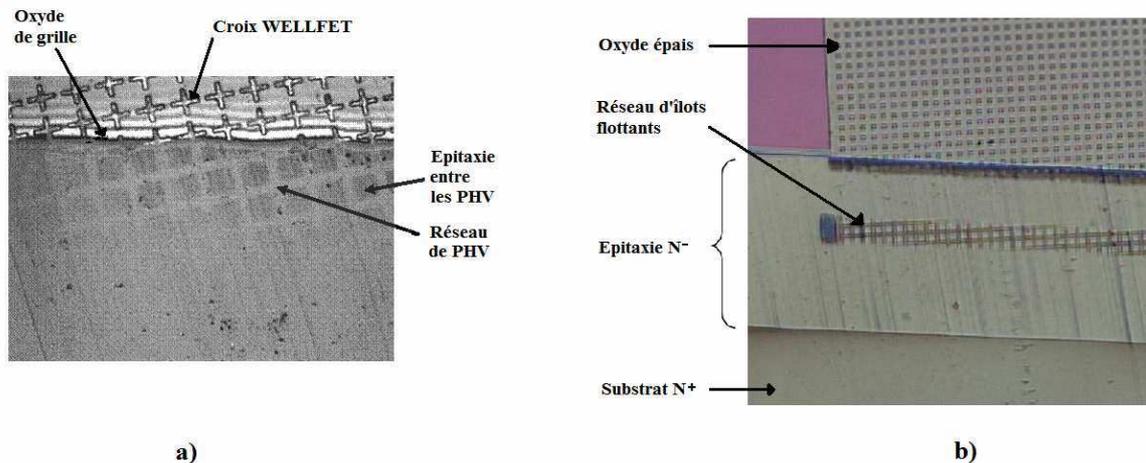


Figure II-5 : a) Révélation cristalline du réseau de PHV unifié du WELLFET, b) Révélation cristalline du réseau d'îlots flottants basé sur le WELLFET.

Sur l'image de droite (Figure II-5b), le dispositif présenté ne comporte pas de motifs en forme de croix à sa surface. En effet, il a été arrêté en cours de procédé afin de mieux mettre en évidence les blocs d'oxyde épais (qui n'est pas présent sur la structure de gauche). On observe l'existence dans le volume du silicium du réseau d'îlots flottants, qui montre l'interconnexion des îlots dans le cas du WELLFET. Notons d'ailleurs que, sur cette image, le réseau d'îlots flottants possède la première terminaison (sur la gauche) que nous allons présenter dans le paragraphe suivant.

II.2.1.3. La première terminaison utilisée

Au cours de la thèse de Stéphane Alves [ALV05], un jeu de masques intégrant différentes combinaisons de dessin des îlots flottants a été réalisé pour des tenues en tension de l'ordre 65V à 90V. Avant de passer à la réalisation d'un nouveau jeu de masques adapté à une tenue en tension de 200V, nous avons choisi de réutiliser le jeu de masques déjà disponible afin de concentrer nos efforts sur la caractérisation physique des îlots flottants.

La Figure II-6 représente schématiquement la terminaison vue en coupe (Figure II-6a) et vue de dessus (Figure II-6b). Dans le volume, cette terminaison incorpore un îlot flottant de terminaison, réalisé en même temps que l'anneau flottant principal de la cellule centrale. Dorénavant, nous désignerons, par commodité, les îlots flottants par le terme « P_{float} » (pour

« P floating »). En surface, elle combine à la fois une JTE par une implantation de P⁻ (que l'on nommera "P_{edge}"), venant fusionner par diffusion avec le PHV du bord, et deux anneaux de garde. Le tout est réalisé en une seule fois avec le même masque.

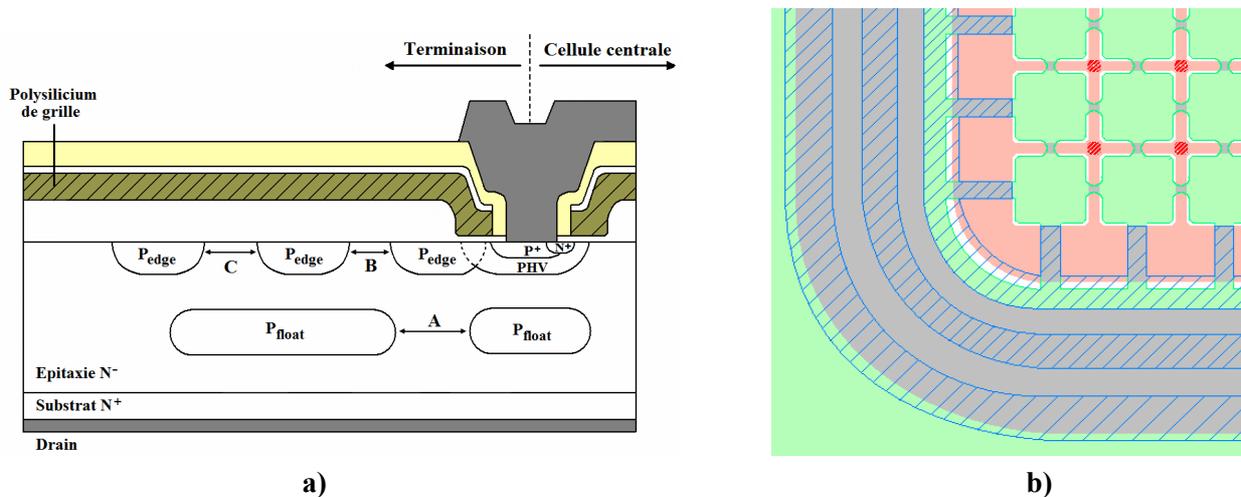


Figure II-6 : a) Coupe schématique de la 1^{ère} terminaison utilisée,
b) Vue schématique de dessus de la 1^{ère} terminaison utilisée.

Sur la coupe schématique, on note trois paramètres variables A, B et C, permettant d'optimiser la tenue en tension. Les meilleurs dispositifs ont été obtenus avec les paramètres suivant : A = 2,2 μ m, B = 0,7 μ m et C = 1 μ m [ALV05]. Sur la vue de dessus (Figure II-6b), on remarque le chevauchement du P_{edge} (zone hachurée) avec le PHV en surface du dispositif ; ceci permet d'assurer une bonne continuité des lignes de champ et évite des claquages prématurés au niveau de la jonction P_{edge}-PHV.

II.2.2. Premières réalisations de FLYMOS 200V

II.2.2.1. Choix des paramètres de procédé

Avant toute réalisation sur silicium, le premier travail consiste à définir les paramètres de dessin et de procédé. Dans le cas du FLYMOS, de multiples variables apparaissent :

- Les règles de dessin : elles concernent la largeur de l'ouverture du masque d'implantation des P_{float}, la forme géométrique des motifs, les espaces entre les P_{float}, les alignements des motifs aux endroits critiques du dispositif, etc.
- Les paramètres de procédé : on y retrouve la concentration de l'épitaxie, son épaisseur, la position des îlots flottants dans la zone de drift, leur dose d'implantation, leur température d'activation, etc.

Notons que, pour chaque étape de fabrication, des sous-paramètres entrent aussi en jeu. Il est alors facile de constater que le recoupement de tous ces éléments conduit à une mise en œuvre complexe. Cependant, dans le cadre de notre première réalisation, le dessin des structures déjà établi nous permet de nous concentrer uniquement sur les paramètres de fabrication, réduisant ainsi la complexité de définition du procédé.

Afin de réduire le temps de mise en œuvre de ce genre de nouveaux dispositifs, les concepteurs de composants utilisent des outils de Conception Assistée par Ordinateurs (CAO)

dédiés à la microélectronique pour simuler le procédé de fabrication et le comportement physique des composants. Certains paramètres caractéristiques tels que la tension de claquage BV_{dss} et la résistance à l'état passant R_{ON} sont en effet sensibles à de légères modifications des profils de dopage et de la topologie d'une structure. L'outil de simulation physique ISE-TCAD (Integrated Systems Engineering-Technology Computer Aided Design) a été utilisé dans ce cadre pour déterminer les paramètres principaux de procédé – à l'aide des dessins de structures présentés dans le paragraphe précédent –.

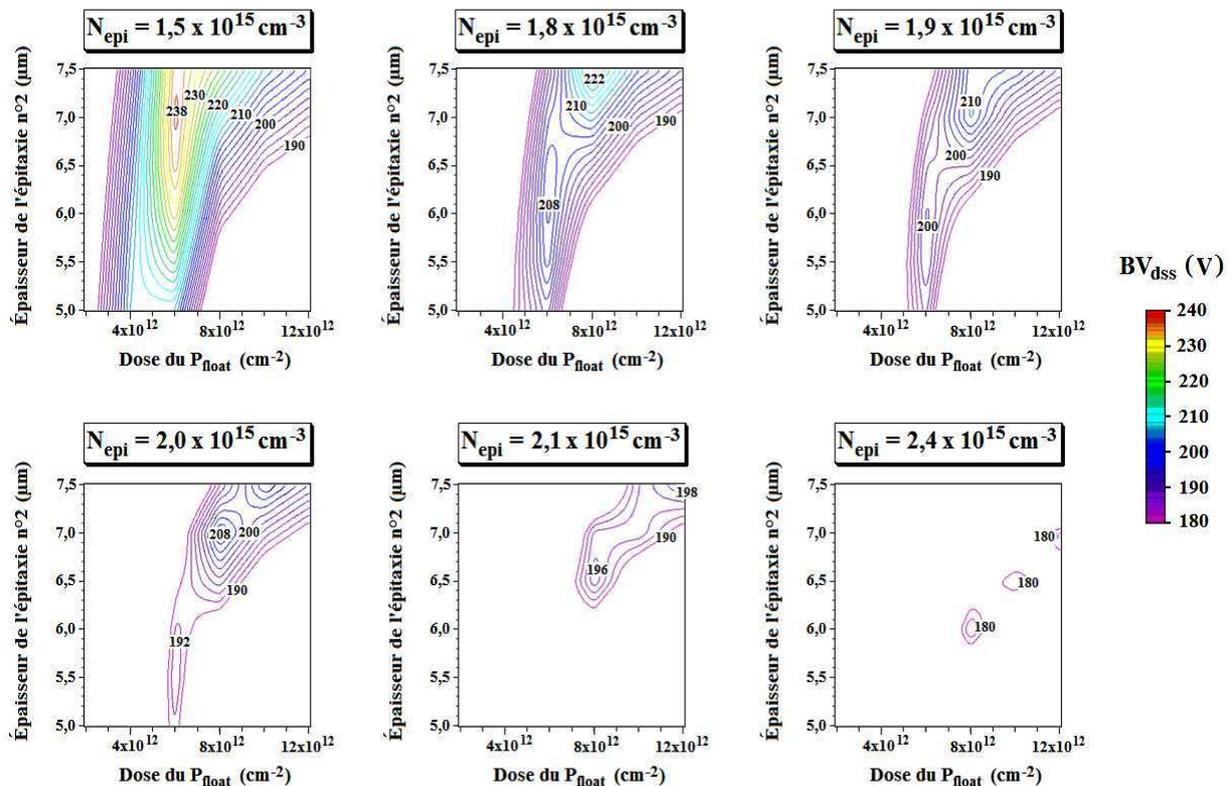


Figure II-7: Simulation des tenues en tension BV_{dss} en fonction de 3 paramètres : la concentration de l'épitaxie (N_{epi}), la position de l'îlot flottant dans la zone épitaxiée (Épaisseur de l'épitaxie n^2) et la dose d'implantation de l'îlot flottant (Dose du P_{float}).

Toutefois, cet exercice de simulation peut vite s'avérer pénalisant si la multiplication du nombre de paramètres contraint à des temps de calcul exagérés. Nous avons donc choisi de nous limiter en premier lieu aux 3 paramètres primordiaux à toute évaluation d'une technologie à îlots flottants: il s'agit de la concentration de l'épitaxie (N_{epi}), de la position de l'îlot flottant dans la zone épitaxiée (Épaisseur de l'épitaxie n^2) et de la dose d'implantation de l'îlot flottant (Dose du P_{float}). À partir de simulations en 2 dimensions, les BV_{dss} du FLYMOS 200V ont été obtenus : la Figure II-7 présente la répartition des tenues en tension par lignes équipotentielles de couleur en fonction de ces 3 critères. On y retrouve 6 graphiques : à chacun correspond une unique concentration de la région épitaxiale. Sur les abscisses, on retrouve la dose d'implantation de l'îlot et sur les ordonnées, sa position par rapport à la surface du composant. À partir de ces distributions de BV_{dss} , on peut aisément affiner notre plan d'expérience. Tout d'abord, on constate que les lignes d'équipotentielles sont justes à la tension (200V) visée, voire inférieure, dès que $N_{epi} = 2,0 \cdot 10^{15} \text{ cm}^{-3}$ et au-delà. Souhaitant garder une marge suffisante, nous avons focalisé notre recherche sur les 3 premiers graphiques, d'une concentration épitaxiale N_{epi} allant de $1,5 \cdot 10^{15} \text{ cm}^{-3}$ à $1,9 \cdot 10^{15} \text{ cm}^{-3}$. Ensuite,

on constate que l'épaisseur optimale donnant les BV_{dss} les plus importants ($>220V$), s'articule autour de $7\mu m$. Enfin, concernant le dernier paramètre, il semble que les meilleurs BV_{dss} soient obtenus pour des doses d'implantations comprises entre $4,0 \cdot 10^{12} cm^{-2}$ et $8,0 \cdot 10^{12} cm^{-2}$, où l'énergie est de $120keV$. Notons que l'épitaxie n°1 est figée à $10\mu m$, pour être dans le cas de l'extension libre de la charge d'espace (en anglais « non-Punchthrough ») assurant BV_{dss} .

À partir de ces estimations, nous pouvons construire notre plan d'expérience. Nous avons donc choisi de réaliser les premières structures avec les données suivantes :

- La concentration de l'épitaxie n°1 et n°2 est fixée à $1,8 \cdot 10^{15} cm^{-3}$,
- L'épaisseur de l'épitaxie n°2 est établie à $7\mu m$,
- 3 doses d'implantation des îlots sont choisies : $4 \cdot 10^{12} cm^{-2}$, $8 \cdot 10^{12} cm^{-2}$ et $12 \cdot 10^{12} cm^{-2}$.

Notons qu'un quatrième paramètre est mis en jeu ; il s'agit de la manière d'activer des îlots. Deux types sont alors définis : le premier de $900^{\circ}C$ pendant 40 minutes, que l'on appellera "Activation" pour symboliser le recuit léger, et le second de $1080^{\circ}C$ pendant 135 minutes, que l'on appellera "Diffusion" pour symboliser un recuit plus fort. Ce dernier paramètre nous permettra d'évaluer l'impact du type de recuit sur la forme, la diffusion de l'îlot et, dans un second temps, de jauger de son effet sur les performances électriques.

II.2.2.2. Procédé de fabrication : étapes technologiques

Les étapes technologiques nécessaires à la réalisation de ce plan d'expérience se sont effectuées sur le site de Freescale à Toulouse (Toulouse Fab). Dans ce qui suit, nous allons décrire le procédé de fabrication, pas à pas, en nous appuyant sur une succession de figures présentant des coupes schématiques de la cellule centrale et de la terminaison.

Avant toute construction du transistor MOS, c'est l'îlot flottant qui est réalisé en premier. Pour ce faire, nous effectuons les étapes suivantes :

- À partir d'un substrat silicium (Si), d'une forte concentration d'arsenic (As) de $1,5 \cdot 10^{19} cm^{-3}$ (soit une résistivité de $5,5 m\Omega \cdot cm$), nous faisons croître une première épitaxie dopée à l'arsenic (As) à $1,8 \cdot 10^{15} cm^{-3}$ (soit une résistivité de $2,5 \Omega \cdot cm$), d'une épaisseur de $10\mu m$ (nous tenons compte dans cette valeur de la zone de transition entre le N^- et le substrat N^+). Ensuite il faut marquer le silicium (pré-alignement), afin de pouvoir aligner les autres masques sur cette marque (Figure II-8).
- La deuxième étape consiste à faire croître un oxyde mince sur toute la plaquette et à implanter le bore, à l'aide du masque P_{float} , pour former l'îlot flottant (Figure II-9). Nous enlevons ensuite l'oxyde afin de faire croître la deuxième épitaxie (Figure II-10).
- Ensuite, une implantation de bore (d'une dose de $10^{13} cm^{-2}$) est faite à travers un masque en résine pour la réalisation des anneaux de garde ainsi que de la JTE (Figure II-11).

Les étapes qui suivent sont identiques à celles nécessaires à la réalisation du HDTMOS™ :

- Dépôt d'un oxyde épais sur toute la plaquette et ouverture de la zone active incluant les carrés d'oxydes épais à l'intérieur des cellules centrales (Figure II-12),
- Croissance thermique de l'oxyde mince de grille. Ensuite, dépôt du polysilicium de grille, puis implantation de phosphore pour le rendre conducteur (Figure II-13),
- Croissance d'un oxyde de polysilicium, puis dépôt de nitrure puis d'un oxyde. Ces trois couches constituent l'ONO (Oxyde-Nitrure-Oxyde) (Figure II-14),

- Ouverture de la région de source, par gravure de l'ONO et du polysilicium, et implantation de bore pour créer la région PHV. Ensuite vient la redistribution du PHV par recuit (création du canal) (Figure II-15),
- Dépôt d'un masque de résine (N^+ bloc), servant à implanter de l'arsenic dans la source. L'arsenic est uniquement implanté dans la cellule centrale, car la cellule de bord ne participe pas à la conduction (Figure II-16),
- Dépôt d'un oxyde épais, suivi d'une gravure afin de créer le "Spacer", puis implantation du bore afin de créer la zone P^+ de source. Ensuite, redistribution des régions N^+ et P^+ de source (Figure II-17),
- Ouverture des contacts de grille et dépôt de métal, gravure du métal, dépôt de la passivation et dépôt du métal de drain (face arrière) (Figure II-18).



Figure II-8 : Croissance de la première épitaxie sur substrat N^+ et pré-alignement.

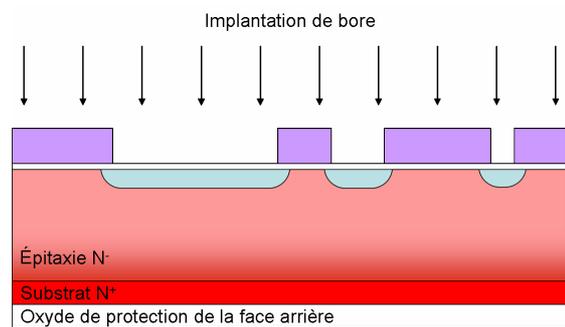


Figure II-9 : Implantation de l'îlot flottant de type P à travers un oxyde mince.

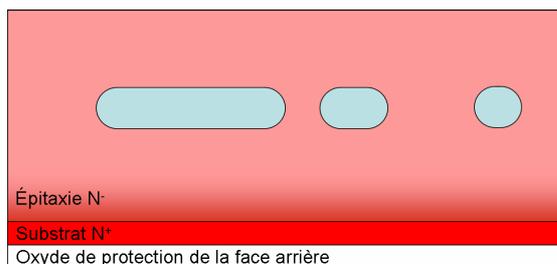


Figure II-10 : Croissance de la deuxième épitaxie.

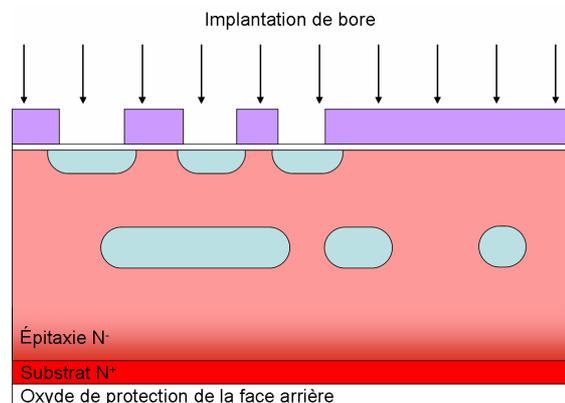


Figure II-11 : Implantation des anneaux de garde et de la JTE.

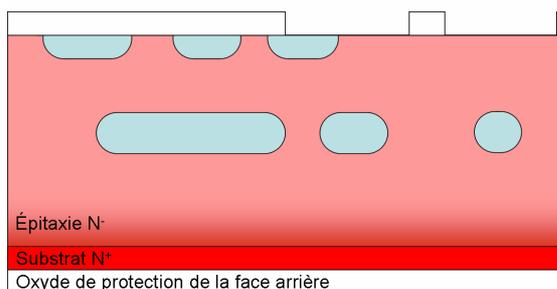


Figure II-12 : Dépôt de l'oxyde épais et ouverture de la zone active.

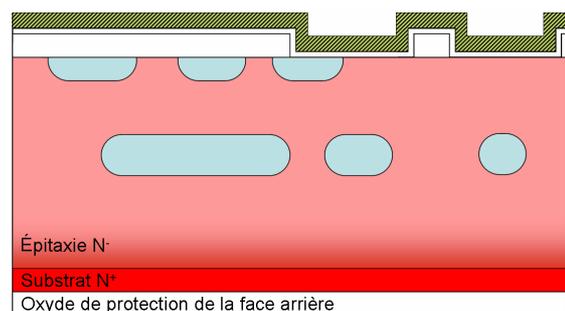


Figure II-13 : Croissance de l'oxyde de grille et dépôt de polysilicium et dopage.

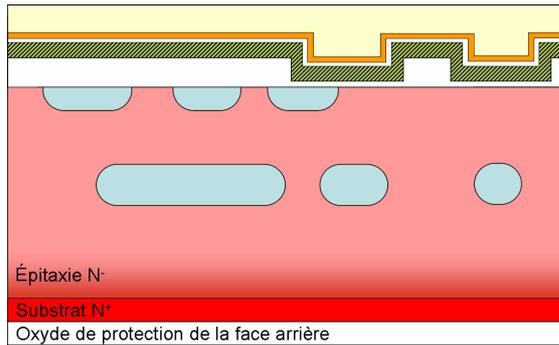


Figure II-14 : Croissance de l'oxyde de polysilicium, dépôt de nitrure puis dépôt d'oxyde (ONO).

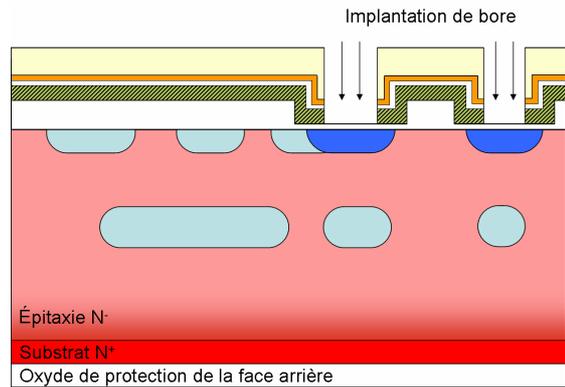


Figure II-15 : Gravure de l'ONO et du polysilicium, implantation du PHV puis diffusion.

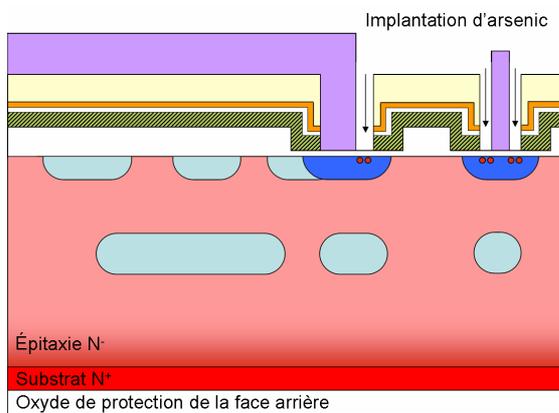


Figure II-16 : Dépôt du N^+ bloc et implantation d'arsenic pour créer le N^+ .

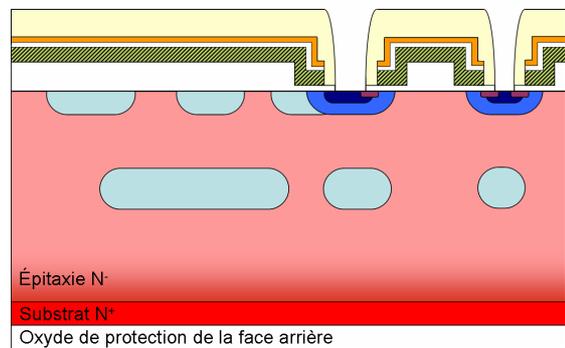


Figure II-17 : Dépôt et gravure du Spacer, implantation de bore pour créer le P^+ et redistribution du P^+ et N^+ .

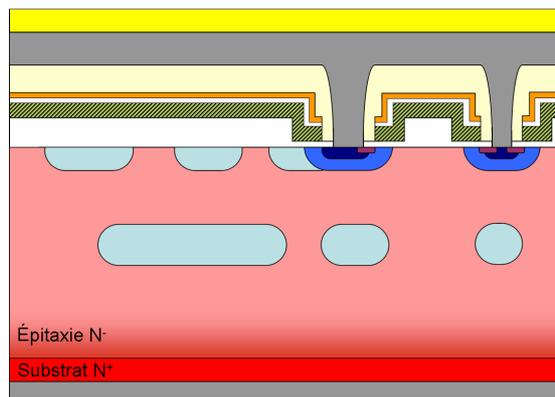


Figure II-18 : Dépôt métal face avant, dépôt de la passivation et dépôt du métal face arrière.

II.3. Caractérisation physique

II.3.1. Problématique de l'observation au cœur du silicium

II.3.1.1. Les limites de caractérisation

II.3.1.1.1. « Spreading Resistance Profiling »

La technique SRP, de l'anglais « **S**prea**R**ding **R**esista**n**ce **P**rofi**l**ing », est couramment utilisée pour déterminer la concentration des porteurs libres dans un barreau semi-conducteur et permet, dans le même temps, de connaître les profondeurs de diffusion dans une dimension (1D) ; dans notre cas, il s'agit de l'axe vertical.

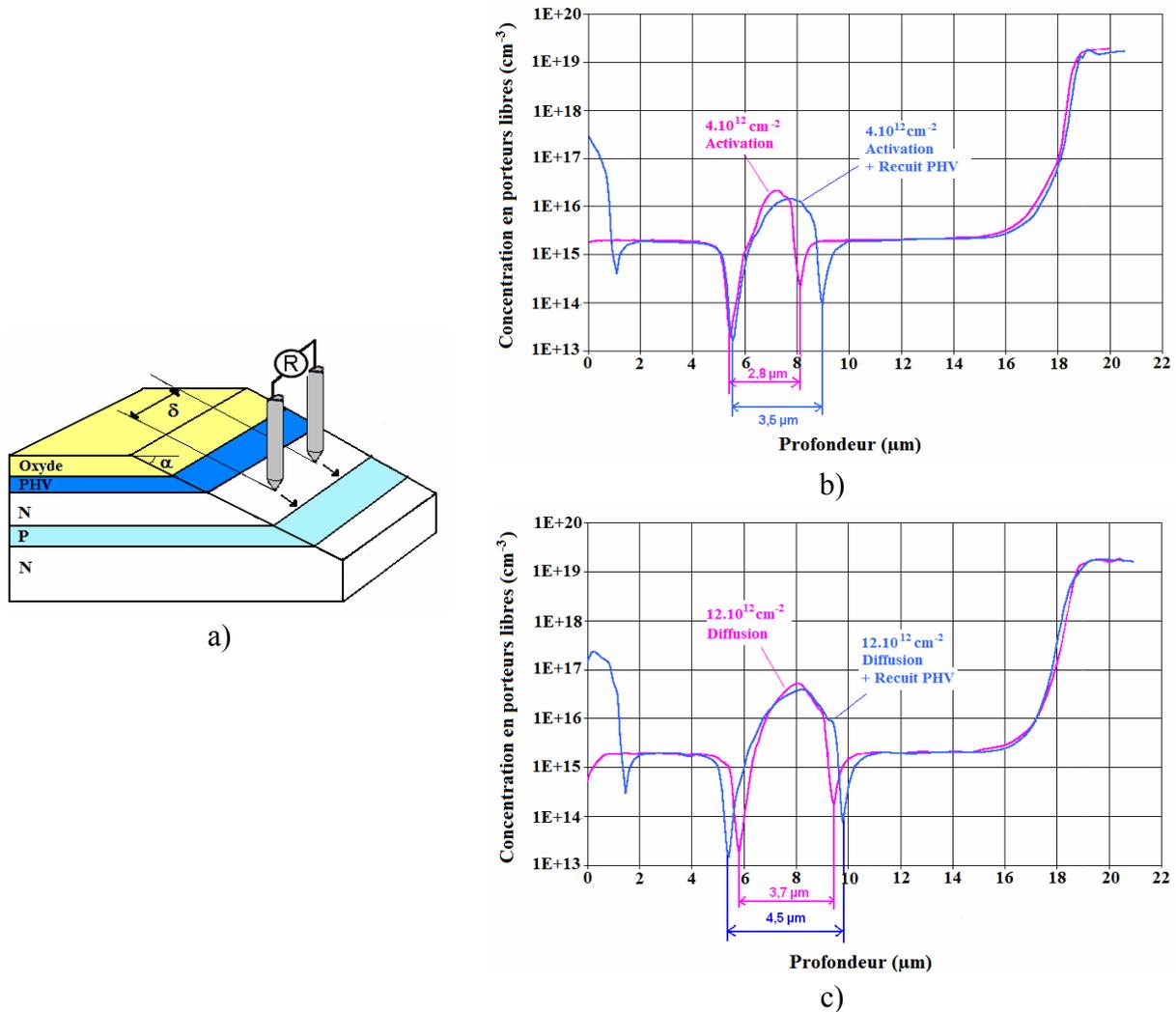


Figure II-19 : a) Représentation schématique d'une coupe biseautée pour la SRP, b) Répartition de la concentration en porteurs libres dans le cas d'îlots flottants implantés à $4.10^{12} \text{ cm}^{-2}$ et impact de la présence du PHV sur la diffusion de l'îlot, c) Répartition de la concentration en porteurs libres dans le cas d'îlots flottants implantés à $12.10^{12} \text{ cm}^{-2}$ et impact de la présence du PHV sur la diffusion de l'îlot.

La Figure II-19 illustre les résultats SRP des premiers FLYMOS 200V. Pour réaliser la mesure SRP, l'échantillon doit être biseauté afin que les pointes puissent parcourir toutes les couches du dispositif et relever les variations de résistance R du barreau semi-conducteur (Figure II-19a). À partir de cette mesure de résistance et de la connaissance de l'angle α du

biseau, la résistivité est déterminée par l'algorithme de Choo (VAR-BR) [CHO83]. Ensuite, la concentration en porteurs libres est calculée à partir de l'équation de Thurber, connue sous la référence ASTM F-723. Il est ensuite possible de tracer les profils de densité de porteurs en fonction de la profondeur de l'échantillon.

La Figure II-19b fournit le profil de la densité de porteurs (ou encore profil de dopage net) dans le cas d'une dose d'implantation de l'îlot flottant de 4.10^{12}cm^{-2} , ayant subi une activation à 900°C pendant 40 minutes. La première courbe correspond à un échantillon ayant été arrêté au cours du procédé, juste avant l'étape du PHV. Quant à la deuxième courbe, elle représente un échantillon ayant subi tout le processus de fabrication. En comparant ces deux courbes, on remarque que l'impact du recuit PHV n'est pas négligeable sur la diffusion du P_{float} : en effet, la dimension verticale du P_{float} passe de $2,8$ à $3,5\mu\text{m}$, soit une augmentation de 25%. De même, le pic de concentration baisse, quant à lui, de $2,2.10^{16}$ à $1,5.10^{16}\text{cm}^{-3}$. Ces observations sont aussi valables dans le cas de la Figure II-19c : la configuration reste la même, seuls la dose d'implantation du P_{float} de 12.10^{12}cm^{-2} et le recuit de 1080°C pendant 135 minutes sont différents. On y relève une augmentation de la largeur du P_{float} , passant de $3,7\mu\text{m}$ sans recuit PHV à $4,5\mu\text{m}$ avec le recuit, soit 21% de plus. La concentration diminue de $5,2.10^{16}$ à $3,9.10^{16}\text{cm}^{-3}$ suivant le même mécanisme. Ces observations montrent clairement l'effet du recuit PHV sur la diffusion du P_{float} : elles prouvent l'importance de prendre en compte l'ensemble de toutes les étapes de fabrication lorsqu'on définit une technologie.

Néanmoins, ces résultats nécessaires au développement ne répondent qu'en partie aux indéterminations induites par le procédé. En effet, la SRP permet d'obtenir les profils de dopage et la profondeur de diffusion uniquement en 1D, ce qui pose deux problèmes majeurs dans le cas du FLYMOS :

- La distance δ entre les pointes (Figure II-19a) ne peut être inférieure à $40\text{-}50\mu\text{m}$, ce qui impose au motif utilisé pour la caractérisation SRP d'être large, d'une dimension bien supérieure à la taille de nos îlots flottants (d'un facteur minimum de 50). Ainsi, l'implantation que l'on effectue à travers cette large ouverture de masque ($>50\mu\text{m}$) ne sera pas réellement représentative de l'implantation du P_{float} , à l'intérieur du composant, qui possède lui une ouverture masque inférieure à $1\mu\text{m}$. Par conséquent, la concentration et la profondeur obtenues par SRP ne sont qu'une image des valeurs réelles du P_{float} .
- La forme de l'îlot flottant et sa diffusion latérale restent des inconnues dans ce type de mesure.

De plus, les résultats sont sensibles à la mesure de l'angle α : une approximation trop large de cette mesure sur l'échantillon peut se répercuter sur la profondeur des profils de dopage calculés. Toutes ces constatations ont motivé la recherche d'une méthode plus précise nous donnant accès à une réelle visualisation du P_{float} en 2D qui est intégré au cœur du FLYMOS.

II.3.1.1.2. Révélation cristalline : problème de résolution (2D)

La révélation cristalline est une technique bien connue pour différencier les types de dopants (P ou N) dans un semi-conducteur. Par gravure chimique sélective, cette méthode permet de dévoiler la forme des îlots flottants en 2 dimensions (2D) par création de reliefs et modification de couleur des zones révélées. Cependant, les résultats ne restent que qualitatifs, excluant de pouvoir déterminer précisément les dimensions des îlots. Pour illustrer ce propos,

une section d'un FLYMOS a été réalisée et révélée (Figure II-20). On constate en effet que l'on ne peut qu'estimer la dimension des îlots flottants de manière très imprécise – précision supérieure au micron – et apercevoir vaguement leur forme ovale ou ronde. Ce moyen ne peut être utilisé dans le cadre d'une quantification des diffusions latérales des îlots, ce qui requiert l'utilisation d'une nouvelle méthode de caractérisation.

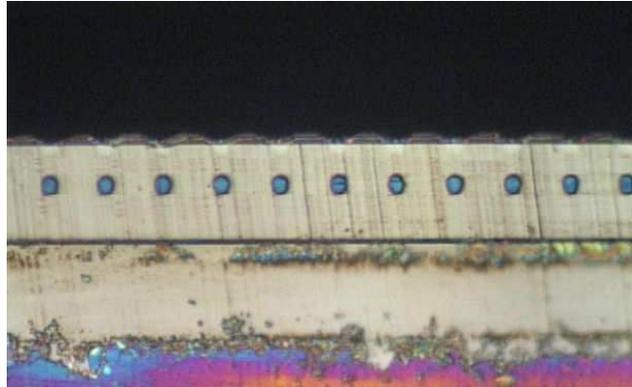


Figure II-20 : Révélation cristalline des cellules centrales sur une coupe de FLYMOS 200V.

II.3.1.2. Utilisation d'un outil de caractérisation précis en 2D

II.3.1.2.1. Principe du « Scanning Capacitance Microscopy »

Le manque d'informations concernant l'îlot flottant est pénalisant pour estimer correctement les performances du composant et déterminer plus précisément les paramètres de procédé. En amont, on utilise les outils de simulation, mais les lois et algorithmes utilisés ne peuvent qu'approcher la réalité. Ainsi, pour réduire la marge d'erreur, la connaissance de la forme et des dimensions des îlots flottants devient très importante afin de déterminer quelles sont les conditions réelles de leur évolution au cours du procédé. Une méthode a donc été développée afin d'observer le cœur du silicium : l'outil utilisé est le SCM pour « Scanning Capacitance Microscopy ».

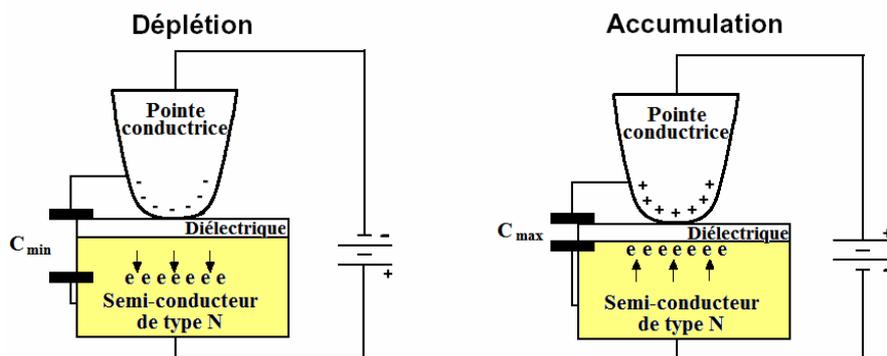


Figure II-21 : Principe physique du fonctionnement SCM sur semi-conducteur de type N.

Le SCM, dérivé de la mesure par microscopie AFM (Atomic Force Microscopy), utilise le principe physique du transfert de charges de la capacité formée par une structure type métal-oxyde-semi-conducteur (MOS). A l'aide d'un cantilever conducteur (nom de la pointe nanométrique conductrice), le système mesure la variation de capacité à la surface

oxydée (SiO_2) du semi-conducteur. Un signal de type AC est appliqué et, suivant le type (N ou P) du semi-conducteur, les porteurs majoritaires libres sont soit dépeuplés, soit accumulés. L'alternance d'épuisement et d'accumulation des porteurs sous la pointe correspond à la variation d'un condensateur plan [DIG00]. Pour un matériau de type N, les porteurs (électrons) sont attirés par une polarisation positive appliquée à l'extrémité et s'accumulent sous l'oxyde (Figure II-21) : la capacité du système est maximale et peut être considérée comme la capacité du diélectrique. Lorsqu'une polarisation négative est appliquée, les électrons s'éloignent de l'oxyde, épuisent le matériau de porteurs et la valeur de capacité diminue. Le mécanisme est inversé dans le cas d'une région P. Le capteur SCM mesure alors les variations de capacité induites par les variations de tension du signal AC : le signal fourni en sortie est de type dC/dV . Ainsi, suivant le dopage des régions semi-conductrices, le signal sera plus ou moins amplifié : une région faiblement dopée donnera un fort signal dC/dV alors qu'une région fortement dopée donnera un faible signal dC/dV .

L'image finale, fruit du déplacement de la pointe sur la surface de la région observée, est le résultat de la modulation du signal de sortie dC/dV : sa représentation se fait à l'aide d'une échelle de couleur proportionnelle à la valeur et au type du dopage de la région scannée.

II.3.1.2.2. Préparation des échantillons

Une attention particulière est portée à la réalisation des échantillons. En effet, la qualité de la préparation est primordiale : la surface à observer doit être la moins rugueuse possible (rugosité $< 5\text{nm}$) pour que le contact électrique avec la surface à observer soit optimum et le procédé doit être le plus simple possible afin d'améliorer la reproductibilité de la mesure.

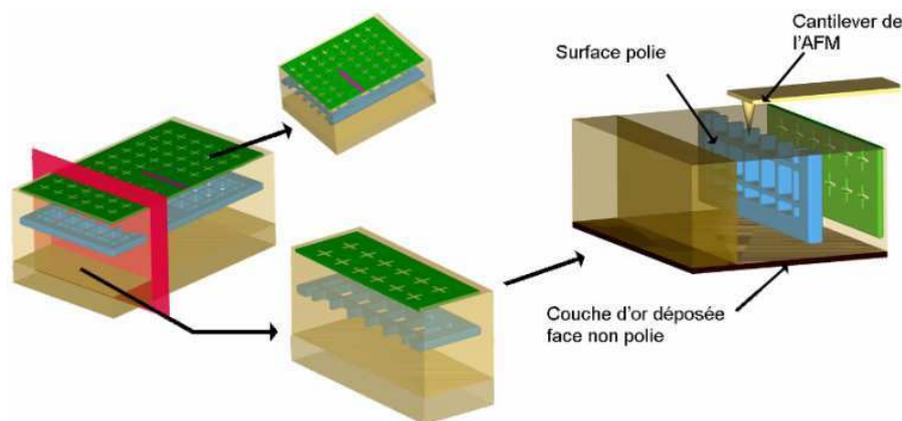


Figure II-22 : Schémas symbolisant le procédé de préparation des échantillons.

Pour ce faire, les étapes de préparation suivantes doivent être effectuées sur les échantillons avant toute mesure (Figure II-22) :

- Le contact métallique de la source doit être enlevé pour éviter les dépôts de grains d'aluminium lors de l'étape de polissage. On le réalise par gravure chimique.
- Une fine couche d'or est déposée par évaporation sur la face opposée à la surface polie dans le but de réaliser un bon contact électrique pendant les mesures.
- Une coupe verticale est effectuée sur l'échantillon, le plus parallèlement possible aux croix du WELLFET, présentes à la surface de l'échantillon.

- Un polissage de la tranche mise à nue est réalisé à l'aide de disques diamantés dont les tailles de grains sont réduites successivement, de 10 μ m à 0,1 μ m. Le but est d'obtenir la rugosité la plus basse possible (de 1 à 5 nm).
- Enfin, la croissance d'une fine couche d'oxyde sur la tranche est réalisée par une solution de H₂O portée à ébullition. Cette étape est très importante : en effet, si la surface du semi-conducteur est libre d'oxyde, la pointe de contact échantillon peut devenir un contact Schottky. Dans ce cas, la physique des interactions est plus complexe et l'image obtenue peut s'avérer modifiée [DIG00].

II.3.1.2.3. Caractérisation des îlots flottants

Le but de cette étude physique est de fournir la véritable image en 2D des îlots flottants et de relever leurs diffusions latérales. Notons que l'outil le plus adapté aurait été la SSRM, pour « Scanning Spreading Resistance Microscopy », basé aussi sur la méthode de mesure par microscopie AFM. Cette technique est similaire à une SRP : par la mesure de la variation de résistance entre le support de l'échantillon et le cantilever conducteur, le système est théoriquement capable de procurer une image de la surface observée, ainsi que les niveaux de dopage. Cependant, dans le cadre de l'étude du FLYMOS, cette technique a été abandonnée après plusieurs essais infructueux ; en effet, le contact électrique de la pointe sur la surface à observer a été impossible à obtenir, malgré le soin apporté à la préparation de la surface (dépourvue d'oxyde dans ce cas).

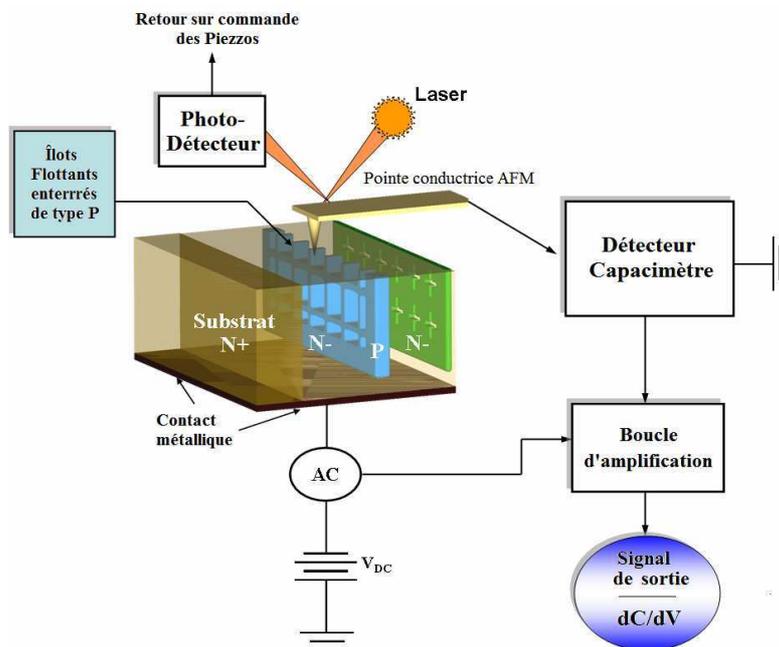


Figure II-23 : Principe de mesure SCM sur la coupe d'un échantillon FLYMOS avec un niveau d'îlots flottants.

C'est pourquoi, en raison de sa « relative » facilité d'utilisation, le SCM s'est révélé être le seul outil de caractérisation capable de remplir cette fonction de façon reproductible. Tout comme l'AFM, qui scanne une surface et relève sa topographie par mesure de la déviation d'un faisceau laser, le SCM permet en plus de relever électriquement les variations de capacité grâce au détecteur capacitif (Figure II-23). Dans le cas du FLYMOS, notre

fenêtre d'étude inclura comme points de repère les PHV et le substrat N^+ . Ainsi, les îlots flottants devront apparaître entre ces deux limites. En ce qui concerne le type de HDTMOS™ analysé, l'étude suivante portera uniquement sur la géométrie WELLFET qui est privilégiée pour la réalisation du FLYMOS.

II.3.2. Résultats de caractérisation SCM : interprétation des images

II.3.2.1. Calibration : correspondance 1D avec la SRP

Avant de prendre en considération les mesures SCM, une calibration de l'instrument, incluant la détermination des paramètres optimums de mesure, est effectuée par comparaison avec la SRP (mesures 1D). Nous avons déjà évoqué, à la fin du paragraphe II.3.1.1.1, la nécessité d'avoir de grandes surfaces uniformes pour les mesures SRP en raison de la grande distance entre les pointes. Il faut donc choisir, pour les premières mesures SCM, des motifs ayant une ouverture sur masque pour l'implantation du P_{float} suffisamment grande pour rester dans les mêmes conditions que pour la SRP. Les premières images SCM ont donc été réalisées sur les terminaisons, qui ont des ouvertures au niveau du masque P_{float} supérieures à $10\mu m$. Notons que ces premiers échantillons n'ont pas subi le procédé dans sa totalité : le but était de se focaliser sur les îlots flottants. Ainsi, les étapes de construction du HDTMOS™ en surface ont été volontairement omises (notamment, pas de P_{edge}). Par contre, toutes les étapes de procédé impactant les îlots flottants ont été réalisées (notamment implantation et recuit PHV).

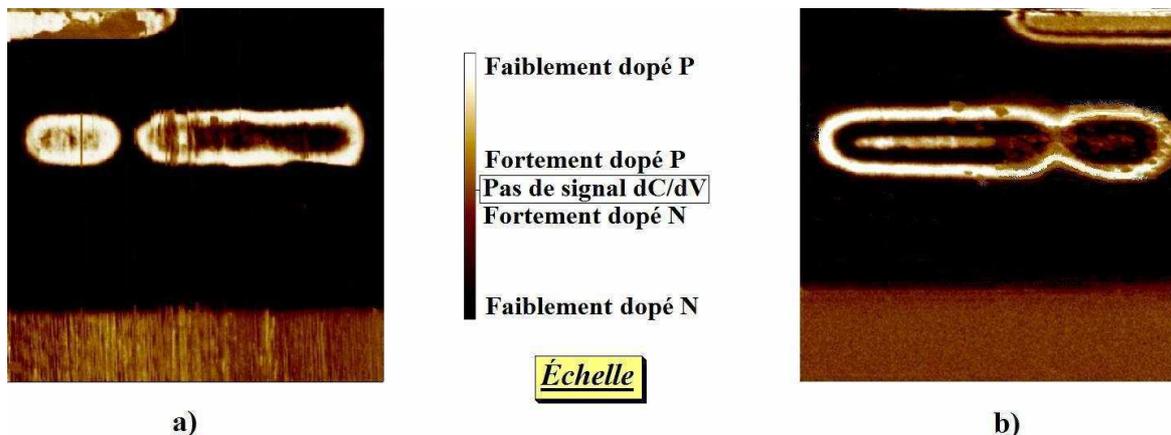


Figure II-24 : Images SCM de la terminaison du FLYMOS :

- a) cas d'une dose d'implantation du P_{float} de $4.10^{12} cm^{-2}$ (et activation),
 b) cas d'une dose d'implantation du P_{float} de $12.10^{12} cm^{-2}$ (et diffusion).

La Figure II-24 donne les images SCM de la 1^{ère} terminaison du FLYMOS 200V (sans P_{edge} dans le cas de ces échantillons). Tout comme la SRP, nous nous sommes concentrés uniquement sur les échantillons possédant les doses d'implantation P_{float} de $4.10^{12} cm^{-2}$ activé (Figure II-24a) et de $12.10^{12} cm^{-2}$ diffusé (Figure II-24b), afin d'optimiser la corrélation entre les deux techniques. Remarquons tout d'abord que la qualité de l'état de surface est déterminante dans la netteté de l'image : nous voyons que, dans nos images, des zones tâchées ou striées témoignent de perturbations de mesure au niveau du capacimètre dues à des irrégularités sur la surface scannée. Malgré ceci, nous pouvons visualiser en 2D les diffusions réelles des P_{float} . Notamment, nous constatons que dans le cas $12.10^{12} cm^{-2}$, le P_{float} de terminaison rejoint le P_{float} de la cellule centrale, ce qui n'est pas le cas pour $4.10^{12} cm^{-2}$. En ce

qui concerne les paramètres optimums du SCM, une polarisation continue DC de 0V et une plage de polarisation AC allant de 5V à 8V ont été choisis. Dans ces conditions, il convient de noter que la jonction PN est considérée à un signal de sortie $dC/dV=0V$ pour la SCM.

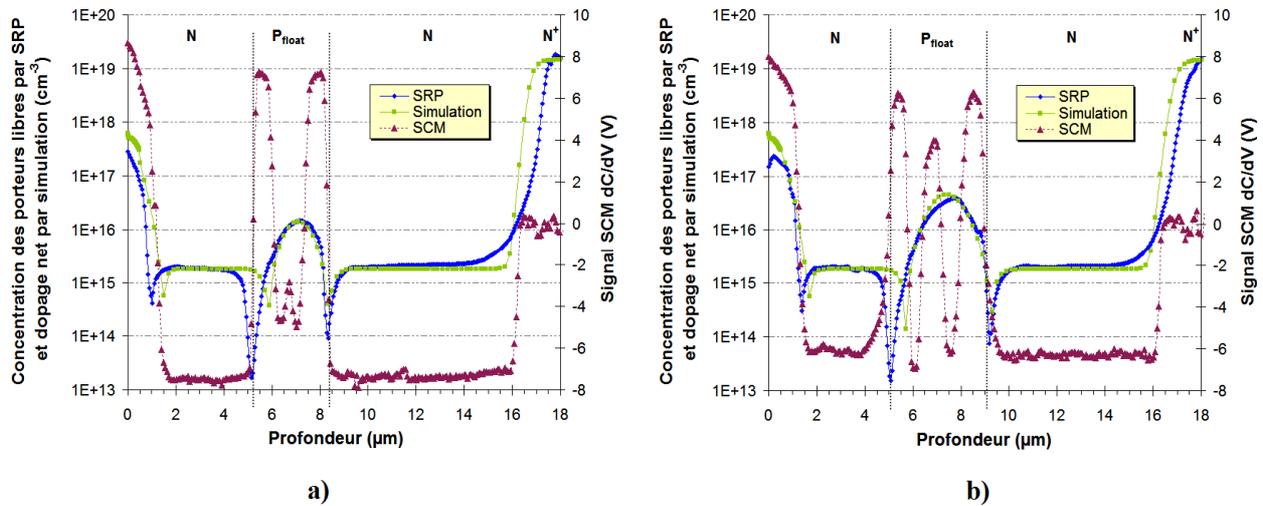


Figure II-25 : Courbes comparatives 1D de SCM, de SRP et de simulation du FLYMOS :
 a) cas d'une dose d'implantation du P_{float} de $4.10^{12} \text{ cm}^{-2}$ (et activation),
 b) cas d'une dose d'implantation du P_{float} de $12.10^{12} \text{ cm}^{-2}$ (et diffusion).

Ensuite, nous recueillons le signal dC/dV du SCM suivant une coupe verticale : le signal ne représente pas directement le profil de dopage mais délimite parfaitement les régions P et N. Ainsi, nous pouvons comparer les diffusions du P_{float} mesurées par SCM, suivant l'axe vertical, avec celles obtenues par SRP et par simulation. Après avoir ajusté les mesures SRP au procédé réel, nous pouvons superposer les 3 courbes sur un graphique (Figure II-25). On constate que, dans ces conditions, la SRP et la SCM donnent une très bonne corrélation, puisque les délimitations de la largeur du P_{float} se superposent parfaitement dans le cas des 2 doses (voir lignes verticales pointillées).

	Dose du P_{float} : $4.10^{12} \text{ cm}^{-2}$ - Activation	Dose du P_{float} : $12.10^{12} \text{ cm}^{-2}$ - Diffusion
Profondeur de diffusion du P_{float} mesurée par SRP (en μm)	3,1	4,0
Profondeur de diffusion du P_{float} mesurée par SCM (en μm)	2,9	3,9
Variation (en %)	8	5

Tableau II-1 : Synthèse des diffusions obtenues par SCM et SRP suivant l'axe vertical (1D) pour les doses d'implantation de P_{float} de $4.10^{12} \text{ cm}^{-2}$ et de $12.10^{12} \text{ cm}^{-2}$.

Le Tableau II-1 synthétise les variations de largeur du P_{float} en une dimension entre la SRP et SCM (avec une précision de mesure de $\pm 0,2\mu\text{m}$) : on constate qu'elles sont inférieures à 8%, ce qui est excellent. Cependant, les simulations initiales ont fourni des dimensions d'îlots flottants plus petites que celles mesurées, inférieures de 20 à 30%, alors que les pics de concentration sont très proches de ceux déterminés par SRP. Cette constatation est importante : elle démontre que les estimations fournies par l'outil de simulation doivent être affinées, notamment par la prise en compte, dans les modèles physiques du simulateur, des

valeurs réelles des diffusions mesurées. Cette stratégie est très importante car elle va nous permettre d'améliorer par la suite les évaluations portant sur la prochaine réalisation de FLYMOS 200V (cf. Chapitre III).

II.3.2.2. Visualisation 2D des îlots flottants

Reprenant les paramètres SCM optimums obtenus lors de la calibration 1D, la caractérisation 2D des îlots flottants des cellules centrales peut être entreprise. Il devient alors possible de visualiser directement la forme des îlots flottants à l'aide des images 2D et 3D, mais surtout de quantifier leurs dimensions. La Figure II-26 représente les îlots flottants du FLYMOS 200V implantés à 4.10^{12}cm^{-2} à travers un masque de $0,8 \mu\text{m}$ d'ouverture et ayant subi une activation. Pour la première fois, nous observons leur forme de type circulaire. À l'aide de l'échelle de couleur, on distingue clairement les différentes régions : les P_{float} apparaissent en blanc (car faiblement dopés P), les PHV localisés en haut des images (qui sont plus larges que dans le cas du dispositif complet, voir les explications au §II.3.2.1) apparaissent en beige (car fortement dopés P), le N^- de l'épitaxie apparaît brun très foncé (car faiblement dopé) et enfin, le substrat N^+ (en bas des images) apparaît en brun clair (car très fortement dopé), proche de la valeur $dC/dV=0V$.

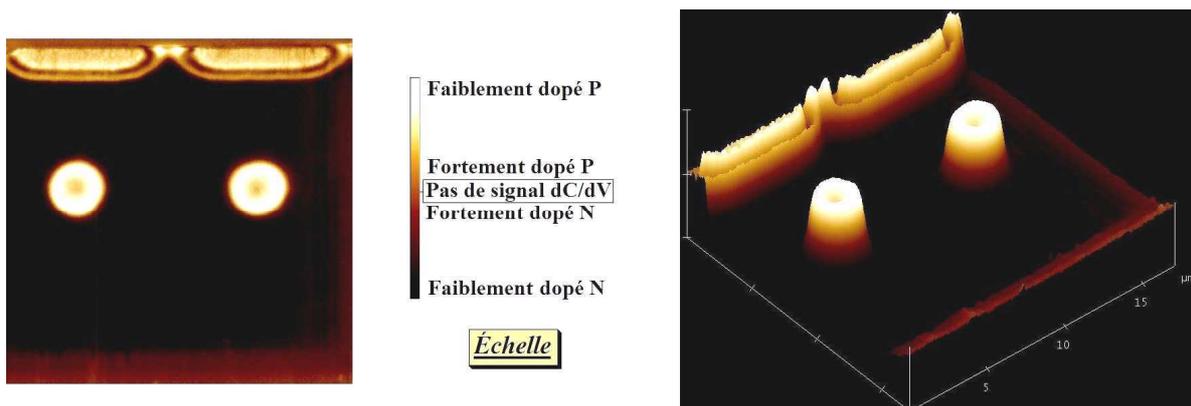


Figure II-26 : Image SCM (2D et 3D) de la cellule centrale du FLYMOS 200V avec un niveau d'îlots flottants implanté à une dose de 4.10^{12}cm^{-2} .

Ces images sont une réelle découverte : avant d'avoir ces résultats, nous supposions que ces îlots flottants étaient plutôt de forme rectangulaire, ou même trapézoïdale en raison de la prédominance supposée de leur diffusion dans l'épitaxie n°1, induite par l'activation. Or, il s'avère que l'épitaxie n°2, bâtie après la réalisation des îlots flottants, a un impact déterminant : les conditions de réalisation de cette seconde épitaxie (autour de 1100°C) induisent une diffusion non négligeable des îlots flottants vers le haut. Ces premières images ne doivent cependant être perçues que de manière qualitative. Afin d'aller plus loin, l'exercice délicat de la quantification des dimensions des îlots flottants s'impose. En effet, la SCM ne reste pas moins un outil dont la variabilité de mesure est existante. Elle inclut :

- La forme de la pointe (cantilever), qui n'est pas rigoureusement identique d'une pointe à l'autre, induit des modifications de la mesure. Nous avons constaté lors de nos mesures qu'une pointe utilisée plusieurs fois s'arrondissait par usure mécanique et perdait une partie de sa capacité de conduction : cela se traduisait sur l'image SCM par une augmentation de la taille des îlots et une moins bonne résolution.

- La qualité de la préparation est primordiale : la surface doit être la plus lisse possible. Des stries ou des points d'irrégularités déforment le signal dC/dV recueilli.
- La qualité et l'épaisseur de l'oxyde déterminent la capacité du diélectrique et jouent un rôle sur l'amplitude du signal électrique AC.

C'est pourquoi le nombre d'images réalisées doit être suffisant pour déterminer les dimensions des îlots d'un point de vue statistique.

La Figure II-27 montre des images SCM typiques de la caractérisation des îlots flottants. Les images sont à la même échelle, ce qui permet de visualiser directement l'influence de la dose d'implantation et du type de recuit sur la forme des îlots. On constate alors que, plus la dose d'implantation est importante, plus les îlots flottants sont grands, tout en conservant leur proportion. Par contre, le type de recuit influe sur la forme de l'îlot en modifiant le rapport « largeur/hauteur » (L/H) : si l'on compare les 3 îlots ayant subi une activation (900°C, 40min), on remarque qu'ils sont quasi-circulaires alors que pour les 3 îlots ayant subi une diffusion (1080°C, 135min), leur forme est plus ovale, étalée sur leur largeur.

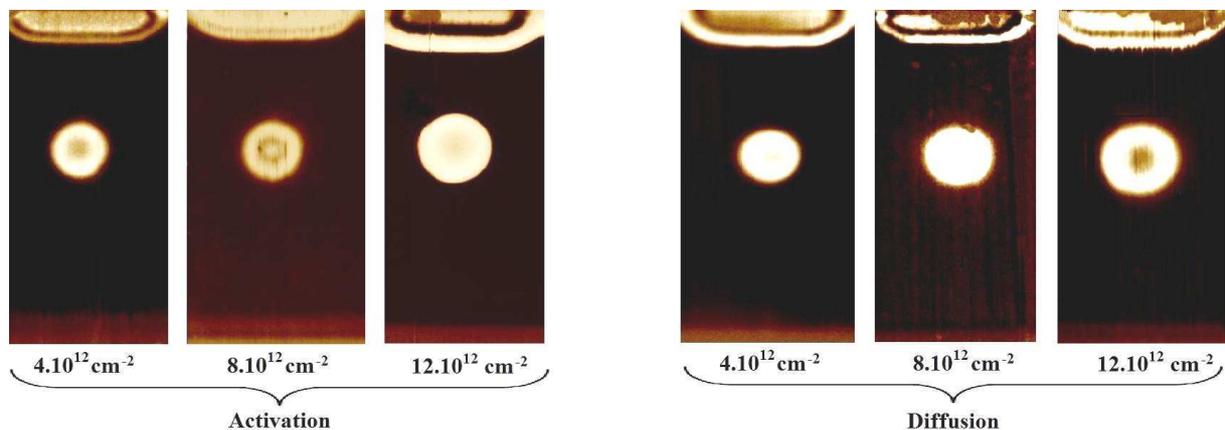


Figure II-27 : Images SCM en 2D de la cellule centrale du FLYMOS 200V avec l'îlot flottant implanté suivant 3 doses : $4 \cdot 10^{12} \text{ cm}^{-2}$, $8 \cdot 10^{12} \text{ cm}^{-2}$ et $12 \cdot 10^{12} \text{ cm}^{-2}$. Le recuit est soit une activation, soit une diffusion.

Notons aussi que les images n'ont pas toutes exactement le même contraste et la même netteté ; ceci est directement lié à la variabilité de la mesure SCM (évoquée un peu plus tôt). Dans certains cas de polarisation DC différents, l'îlot devient même un anneau au lieu d'une sphère : on constate un début de ce phénomène sur quelques images. Ce phénomène n'a pas à l'heure actuelle de réelles explications. Toutefois, les limites des jonctions $P_{\text{float}}-N_{\text{epi}}$ (entre épitaxie et îlots flottants) sont toujours facilement identifiables, ce qui est amplement suffisant pour quantifier les dimensions des îlots flottants.

II.3.2.3. Synthèse des résultats

Ce genre d'étude peut nécessiter plusieurs mois de mise en œuvre si l'on tient compte de la préparation des échantillons, des disponibilités des équipements et de la durée de mesures (>30 minutes pour une image de bonne qualité). Afin d'optimiser le temps de réalisation, seulement 12 échantillons de FLYMOS, incluant des variations de paramètres, ont été préparés afin d'évaluer précisément les dimensions des îlots. Sur un même échantillon,

plusieurs images de cellules centrales sont réalisées à divers endroits. Au final, la détermination précise des dimensions des îlots flottants a été obtenue après distribution des données acquises au travers de 280 images.

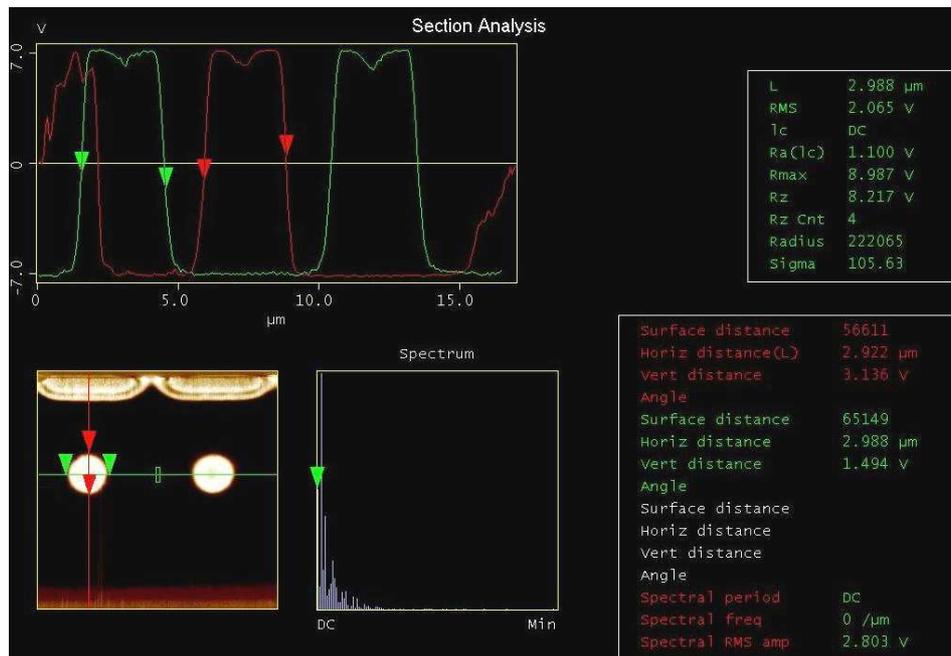


Figure II-28 : Exemple d'utilisation de l'interface permettant le dimensionnement des îlots flottants à partir d'une image SCM 2D.

La Figure II-28 présente la méthode de mesure servant à la détermination de la taille des îlots : cette interface, intégrée au logiciel de mesure SCM, permet de relever le signal dC/dV suivant des axes choisis par l'utilisateur. Dans notre cas, on relève les signaux suivant l'axe vertical et l'axe horizontal, qui se croisent au centre du P_{float} . Les courbes correspondant à ces coupes sont affichées au-dessus de l'image. À l'aide des curseurs disposés à la fois sur l'image et sur les courbes dC/dV, la hauteur et la largeur des îlots sont déterminées au millième de microns. Rappelons que la jonction PN est considérée au passage du signal par dC/dV=0V (voir courbes sur la Figure II-28). Au final, en prenant en compte la variabilité des mesures, cette analyse, réalisée sur chaque image SCM, permet de construire une distribution établissant les dimensions moyennes du P_{float} avec un écart type de 0,2 μm au maximum.

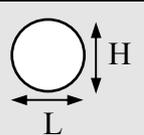
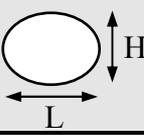
	Type de recuit	Dimensions (μm)	Dose d'implantations des îlots flottants (cm^{-2})		
			4.10^{12}	8.10^{12}	12.10^{12}
	Activation (900°C, 40min)	L	2,70	3,10	3,50
		H	2,60	3,00	3,40
		L/H	1,03	1,03	1,03
	Diffusion (1080°C, 135min)	L	3,05	3,40	3,90
		H	2,80	3,05	3,40
		L/H	1,09	1,12	1,15

Tableau II-2 : Synthèse des dimensions des îlots flottants obtenues par SCM en fonction des doses d'implantation de P_{float} et du type de recuit.

Le Tableau II-2 fournit les valeurs moyennes des dimensions latérales (L) et verticales (H) du P_{float} mesurées par SCM au travers des 280 images. Dans un premier temps, une quantification grossière dévoile une augmentation de la taille de l'îlot flottant entre 13 et 15% d'une dose à l'autre, tout type de recuit confondu. En poussant plus loin l'analyse, on remarque que dans le cas de l'activation, la hauteur H est toujours plus petite que la largeur L de $0,1\mu\text{m}$, quelle que soit la dose. Dans le cas de la diffusion, cette différence est plus importante, de $0,25\mu\text{m}$ à $0,5\mu\text{m}$. On exprime alors cette variation de dimension par le rapport L/H : ce dernier est constant à 1,03 dans le cas de l'activation, montrant l'excellente symétrie du P_{float} . En revanche, dans le cas de la diffusion, ce rapport augmente jusqu'à 1,15 avec l'augmentation de la dose, accentuant la forme ovale du P_{float} .

Initialement, nous pensions qu'un recuit plus important (Diffusion) permettrait de mieux « figer » l'îlot dans la 1^{ère} épitaxie pour en limiter son extension verticale ; or, nous constatons que ce n'est pas le cas. Néanmoins, nous pouvons conclure que l'intensité du recuit a un impact sur la forme du P_{float} ; le recuit à forte température étale plus latéralement l'îlot flottant. Cette information est essentielle car elle permet de mieux comprendre les mécanismes de diffusion et, par conséquent, de mieux anticiper toute modification ultérieure du procédé de fabrication. À partir de ce travail de dimensionnement des îlots flottants et de la connaissance de l'ouverture masque P_{float} de $0,8\mu\text{m}$, on peut établir les longueurs de diffusion. La Figure II-29 synthétise les résultats.

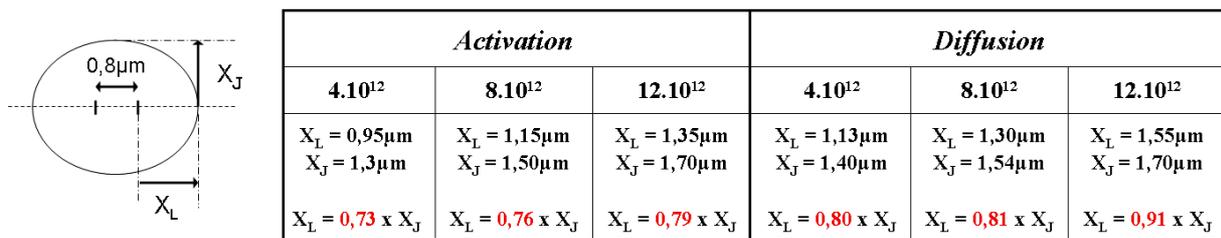


Figure II-29 : Extraction des longueurs de diffusion des îlots flottants obtenues par SCM en fonction des doses d'implantation de P_{float} et du type de recuit.

Une dernière remarque concerne la différence de mesure des diffusions verticales (X_J) après implantation à travers une grande et une petite ouverture de masque. Pour une même dose d'implantation, la densité de dopant vue par le silicium est plus importante à travers une grande ouverture qu'à travers une petite ; ceci implique que la concentration pic finale sera plus grande. En conséquence, les diffusions seront aussi différentes. Bien que ce phénomène soit connu, il n'a jamais réellement été mis en évidence.

Pour l'illustrer, il suffit de reprendre les résultats de mesure SCM 1D effectuée aux terminaisons (grande ouverture d'implantation) et de les comparer aux résultats SCM 2D des îlots flottants des cellules centrales (petite ouverture d'implantation). Ainsi, pour une même dose d'implantation (12.10^{12}cm^{-2} , diffusion), la hauteur du P_{float} est de $3,9\mu\text{m}$ en 1D (voir Figure II-25b) contre $3,4\mu\text{m}$ pour l'image SCM 2D des îlots flottants des cellules centrales (Tableau II-2). Cela signifie qu'il est primordial de trouver un compromis entre la terminaison et les cellules centrales qui n'ont pas, par conséquent, la même concentration. En effet, ce mécanisme peut influencer directement les performances électriques en créant des déséquilibres dans la répartition du champ électrique, comme nous allons le voir dans le paragraphe suivant.

II.4 Caractérisation électrique

II.4.1. Caractérisation statique

II.4.1.1. Compromis « état bloqué/état passant »

Suivant le plan d'expérience établi à la fin du paragraphe II.2.2.1, nous avons appliqué le procédé de fabrication aux dessins Squish Square et WELLFET. Le but est double : d'une part, nous souhaitons comparer les performances statiques de ces 2 types de dessins et, d'autre part, nous cherchons à déterminer le procédé de réalisation des P_{float} donnant les meilleures performances électriques. Le plan d'expérience est défini au Tableau II-3 ci-dessous :

Type de dessin des structures	Type de recuit des P_{float}	Doses d'implantation des P_{float} (cm^{-2}) NB : Énergie d'implantation de 120KeV
Squish Square	Activation (900°C, 40min)	4.10^{12}
		8.10^{12}
		12.10^{12}
	Diffusion (1080°C, 135min)	4.10^{12}
		8.10^{12}
		12.10^{12}
WELLFET	Activation (900°C, 40min)	4.10^{12}
		8.10^{12}
		12.10^{12}
	Diffusion (1080°C, 135min)	4.10^{12}
		8.10^{12}
		12.10^{12}

Tableau II-3 : Premier plan d'expérience pour les mesures électriques du FLYMOS 200V.

II.4.1.1.1. Tenue en tension (BV_{dss})

La tenue en tension est mesurée lorsque le courant I_{DS} atteint $250\mu A$: on considère alors que le transistor commence à claquer. La Figure II-30 synthétise les résultats des mesures de BV_{dss} en fonction de la géométrie utilisée, du type de recuit et de la dose du P_{float} . Notons que chaque point représenté sur la figure correspond au BV_{dss} d'une puce (NB : La valeur médiane de BV_{dss} est représentée par le trait situé à l'intérieur du rectangle de distribution statistique).

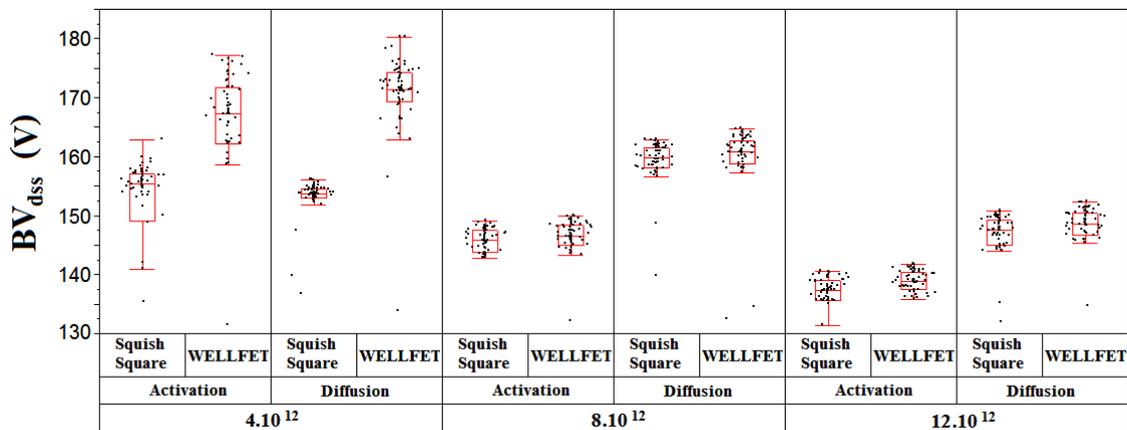


Figure II-30 : Distribution des BV_{dss} en fonction du type de dessin, du type de recuit et de la dose d'implantation du P_{float} .

La première constatation est que les tenues en tension sont toutes inférieures à l'objectif fixé ($BV_{dss}=200V$). Pour expliquer ce résultat, il faut rappeler que les dessins de masque que nous avons réutilisés n'ont pas été optimisés pour 200V, notamment au niveau de la terminaison et des rayons de courbures au coin des puces (proches d'angles droits, peu favorables à plus hautes tensions). En effet, comme nous l'avons constaté avec la caractérisation SCM, la différence de dimension entre des îlots flottants au centre du dispositif et en terminaison implique que la concentration pic finale du dopage net n'est pas identique. Ceci crée un déséquilibre au niveau de la répartition du champ électrique et, par conséquent, dégrade la tenue en tension.

La seconde observation porte sur les deux géométries des cellules centrales : à un paramètre de procédé déterminé, les Squish Square possèdent des BV_{dss} toujours légèrement inférieurs aux technologies WELLFET. Cet écart (jusqu'à 20V) est d'autant plus prononcé que nous nous rapprochons des 200V visés. Pour ces raisons, nous avons décidé d'abandonner l'étude sur le Squish Square (géométrie convexe) lors de la prochaine optimisation du FLYMOS. Nous nous focaliserons alors sur le WELLFET (géométrie concave) sur laquelle l'autoblindage est meilleur.

Enfin, seule la dose d'implantation des P_{float} à $4.10^{12}cm^{-2}$ donne des résultats corrects, avec le meilleur résultat de BV_{dss} (173V). Avec des doses plus fortes, la tenue en tension chute à 160V dans le meilleur des cas pour $8.10^{12}cm^{-2}$ et 149V pour $12.10^{12}cm^{-2}$. Au sujet du type de recuit, on constate que le recuit le plus fort (diffusion) améliore la tenue en tension pour une même dose, de l'ordre de 5V à 15V suivant les doses. En effet, une diffusion plus importante des îlots diminue leur concentration finale, réduisant les déséquilibres du champ électrique entre terminaison et cellule centrale d'une part et entre PHV et P_{float} d'autre part.

II.4.1.1.2. Résistance à l'état passant (R_{ON})

La résistance à l'état passant est déterminée dans le mode de fonctionnement ohmique du transistor. La Figure II-31 synthétise les résultats des mesures du R_{ON} en fonction de la géométrie utilisée, du type de recuit et de la dose du P_{float} .

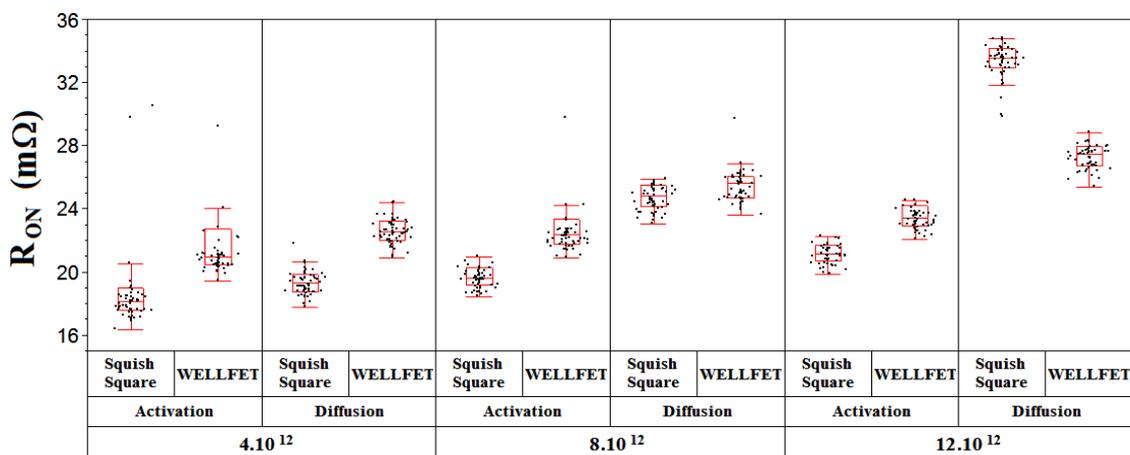


Figure II-31 : Distribution des R_{ON} en fonction du type de dessin, du type de recuit et de la dose d'implantation du P_{float} .

Tout d'abord, on constate que les géométries Squish Square présentent, à un paramètre de procédé déterminé, une résistance à l'état passant toujours meilleure que les géométries

WELLFET. La raison est d'ordre géométrique : la section du drift dans laquelle passe le courant est plus importante dans le cas du Squish Square que dans le cas du WELLFET. Autrement dit, les îlots flottants occupent moins d'espace dans la zone de drift, ce qui améliore le passage du courant à travers le « goulot d'étranglement » inter-îlots. Seul le dernier couple de paramètre (12.10^{12} et diffusion) inverse la tendance ; dans ce cas, les îlots flottants du Squish Square – implantés à travers une ouverture ($\sim 2\mu\text{m}$) plus grande que celle du WELLFET ($0,8\mu\text{m}$) – sont largement plus diffusés que pour le WELLFET, ce qui réduit le passage du courant et augmente ainsi le R_{ON} .

Concernant les doses, le mécanisme est similaire pour les 2 géométries : lorsque la dose augmente, les îlots flottants diffusent plus et occupent plus d'espace, ce qui réduit la section S_0 (voir la relation (32) du Chapitre I) à travers laquelle le courant passe. Par conséquent, de 4.10^{12} à 12.10^{12} , le R_{ON} peut s'élever jusqu'à 17% de plus dans le pire des cas. Le type de recuit accentue même cet effet : à une dose et une géométrie déterminée, on s'aperçoit que la diffusion donne un R_{ON} toujours plus important que l'activation.

II.4.1.1.3. Analyse des résultats

L'ensemble des résultats des mesures des tenues en tension et des résistances à l'état passant est résumé dans le Tableau II-4. La résistance passante spécifique « $R_{ON.S}$ » est obtenue en ramenant le R_{ON} mesurée à la surface unitaire : la surface active des composants réalisés est de $0,321\text{cm}^2$.

Dessin des structures HDTMOS™	Type de recuit des P_{float}	Dose d'implantation des P_{float} (cm^{-2})	BV_{dss} (V)	R_{ON} ($\text{m}\Omega$)	$R_{ON.S}$ ($\text{m}\Omega.\text{cm}^2$)
Squish Square	Activation (900°C, 40min)	4.10^{12}	155	18	5,8
		8.10^{12}	145	20	6,4
		12.10^{12}	137	21	6,7
	Diffusion (1080°C, 135min)	4.10^{12}	154	19	6,2
		8.10^{12}	160	25	8,0
		12.10^{12}	145	34	10,9
WELLFET	Activation (900°C, 40min)	4.10^{12}	168	21	6,7
		8.10^{12}	147	22	7,0
		12.10^{12}	139	23	7,4
	Diffusion (1080°C, 135min)	4.10^{12}	173	23	7,4
		8.10^{12}	162	26	8,3
		12.10^{12}	149	27	8,7

Tableau II-4 : Synthèse des résultats du premier plan d'expérience pour les mesures électriques du FLYMOS 200V, en régime statique.

La première conclusion porte sur le choix de la géométrie : bien que les Squish Square possèdent un $R_{ON.S}$ légèrement meilleur que les WELLFET, leur BV_{dss} est bien inférieur. Par conséquent, en terme de compromis $BV_{dss}/R_{ON.S}$, les géométries WELLFET seront préférées. Ensuite, la seconde conclusion est que le meilleur compromis de performance est obtenu pour le procédé avec la dose d'implantation à 4.10^{12}cm^{-2} , qui cumule à la fois les meilleurs BV_{dss} et les $R_{ON.S}$ les plus faibles. Dans le cas d'une dose trop élevée, un déséquilibre du champ électrique s'opère entre les cellules centrales et les terminaisons, créant des claquages prématurés.

La dernière conclusion concerne la différence de BV_{dss} obtenue entre les résultats de simulation et d'expérimentation. En effet, la simulation nous donnait le meilleur compromis pour une dose de 8.10^{12}cm^{-2} et un $BV_{dss} > 220 \text{V}$. Ces écarts constatés confirment donc la nécessité d'optimiser les simulations, comme nous l'avons constaté au paragraphe II.3.2.1.

Au final, cette étude a permis de déterminer les axes essentiels à la conception du FLYMOS ; pour la prochaine optimisation, nous devons faire attention aux points suivants :

- Un équilibre entre la terminaison et la cellule centrale doit être trouvé, en tenant compte à la fois du dessin des structures et du procédé de fabrication.
- L'îlot flottant doit posséder une dose d'implantation faible et un recuit potentiellement important : en d'autres termes, l'îlot flottant doit être faiblement dopée, mais suffisamment dopé pour tenir la tension désirée et il doit aussi avoir un recuit bien maîtrisé pour permettre à la résistance à l'état passant d'être la plus faible possible.
- Pour optimiser le compromis BV_{dss}/R_{ON-S} , l'îlot flottant doit être le plus étroit possible afin de réduire au minimum la place qu'il occupe et réduire ainsi son impact sur la dégradation du R_{ON} .

II.4.1.2. La tenue en énergie (test UIS)

La mesure UIS (Unclamped Inductive Switching) permet de déterminer l'énergie maximale que peut supporter un composant : elle donne un aperçu de sa robustesse. Le principe de cette mesure consiste à stocker une énergie E_{UIS} par l'intermédiaire d'une inductance L et de la décharger à la coupure du transistor (Figure II-32). Cette énergie s'exprime à l'aide de l'équation suivante :

$$E_{UIS} = \frac{1}{2} \cdot L \cdot I^2 \cdot \left(\frac{V_A}{V_A - V_{DD}} \right) \quad (34)$$

La décharge du courant stocké dans l'inductance induit une croissance de la tension V_{DS} jusqu'à une valeur provoquant un phénomène d'avalanche dans la zone de déplétion ; le composant reste en avalanche à une tension V_A jusqu'à ce que la bobine se décharge complètement. Notons que ce test entraîne la destruction des composants (NB : les tests sont réalisés à température ambiante, à l'aide d'un testeur de la marque TESEC).

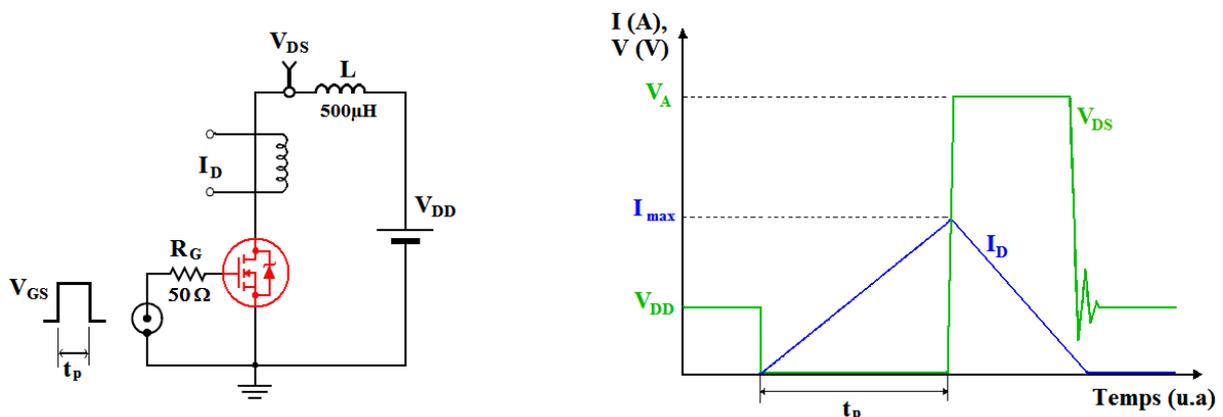


Figure II-32 : Schéma du circuit du test UIS et formes d'ondes à l'avalanche.

Dans le cas du FLYMOS, nous souhaitons savoir si l'introduction d'îlots flottants dans la zone de drift a un impact négatif sur sa robustesse. En effet, l'impact par ionisation induit par l'avalanche se localise sous le PHV dans le cas d'un VDMOS conventionnel. Or, la présence d'îlots flottants modifie ce mécanisme en distribuant l'impact par ionisation sur le P_{float} et le PHV.

Nous avons choisi de tester 2 FLYMOS tirés du plan d'expérience défini précédemment : le premier possède la plus faible des doses, $4.10^{12}cm^{-2}$, et le second, la plus forte des doses, $12.10^{12}cm^{-2}$. Les paramètres de mesures sont : une tension appliquée $V_{DD}=20V$, une inductance $L=500\mu H$, une tension $V_{GS}=10V$ et une résistance à l'entrée de la grille $R_G=50\Omega$. Le testeur automatique ne nous permet pas d'avoir accès à la tension d'avalanche V_A , car l'appareil est limité à 100V. Nous pouvons seulement relever le courant I_{max} . L'énergie donnée dans le tableau est donc calculée avec la relation simplifiée : $E_{UIS} = \frac{1}{2}.L.I^2 \times 1,25$. Elle est alors légèrement sous-estimée, mais permet de définir, de façon solide, l'énergie minimale en-dessous de laquelle le composant ne sera pas détruit. Les valeurs moyennes des mesures sont synthétisées dans le Tableau II-5.

Dose d'implantation des P_{float} (cm^{-2})	I_{max} (A)	E_{UIS} (J)
4.10^{12}	80	2,00
12.10^{12}	50	0,76

Tableau II-5 : Tenue en énergie UIS des FLYMOS implantés à 4.10^{12} et $12.10^{12}cm^{-2}$.

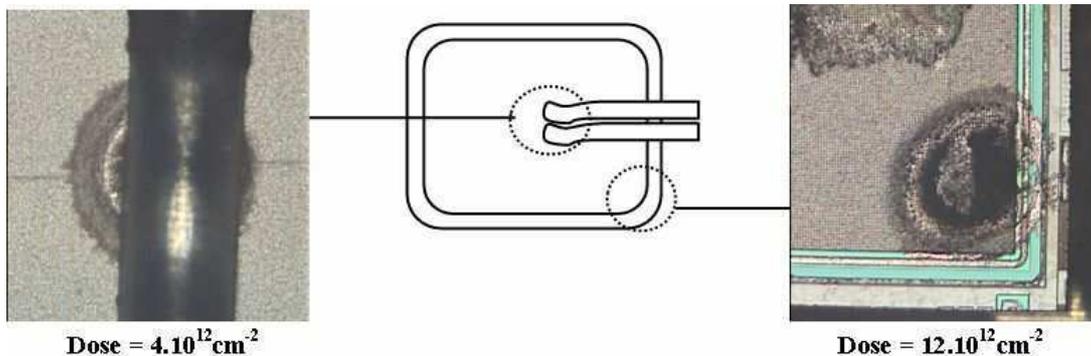


Figure II-33 : Localisation des sites de destruction après test UIS.

On constate que dans le cas $4.10^{12}cm^{-2}$, la tenue en énergie est bien supérieure au cas $12.10^{12}cm^{-2}$, de l'ordre de +163%. Le courant maximum I_{max} est lui aussi supérieur de +60%. De plus, lorsque nous inspectons la surface des deux puces testées, nous constatons que les localisations des défaillances sont différentes (Figure II-33) : dans le cas $4.10^{12}cm^{-2}$, la défaillance est visible au niveau des cellules centrales alors qu'elle est circonscrite en terminaison dans le cas $12.10^{12}cm^{-2}$. Ce test démontre 2 choses :

- La différence entre les 2 puces confirme les déséquilibres induits par une dose trop importante entre cellule centrale et terminaison. Cela conforte l'observation faite lors des mesures de BV_{dss} : le champ électrique critique E_C est dégradé au niveau de la terminaison, ce qui favorise l'impact par ionisation amenant le composant à destruction.
- Pour un composant VDMOS de même épitaxie, nous obtenons généralement des résultats du même ordre de grandeur. Ainsi, le FLYMOS possède une robustesse équivalente lorsque les îlots flottants sont faiblement dopés.

II.4.2. Caractérisation dynamique

II.4.2.1. Mesure de la capacité de sortie (C_{oss}) du FLYMOS

Dans la plus part des cas, on mesure les capacités C_{iss} , C_{rss} et C_{oss} pour déterminer, par combinaison linéaire, les valeurs des capacités C_{ds} , C_{gd} et C_{gs} , intrinsèques au transistor MOS (se référer au Chapitre I). Or, dans le cadre du développement du FLYMOS, nous souhaitons savoir tout d'abord si la présence des îlots flottants modifie le mécanisme d'extension de la zone de charge d'espace (ZCE) dans le drift. Ainsi, la mesure de C_{oss} est privilégiée car elle est "le reflet" de cette extension de ZCE.

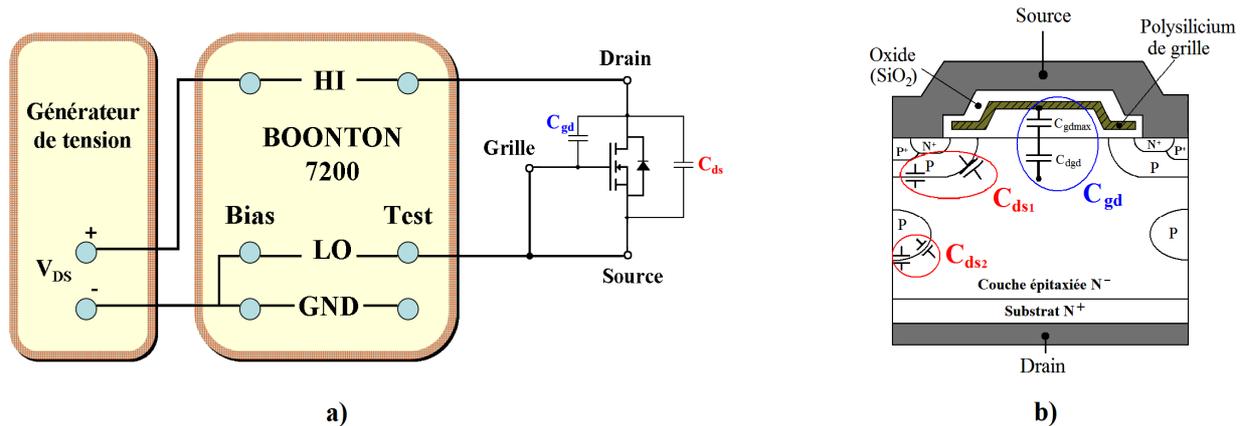


Figure II-34 : a) Montage pour la mesure de C_{oss} à $V_{GS}=0V$
 b) Décomposition des capacités C_{gd} et C_{ds} en présence d'un îlot flottant.

La mesure de la capacité de sortie inter-électrodes C_{oss} est réalisée à l'aide d'un capacimètre BOONTON 7200 : cet appareil est capable d'accepter un générateur de tension externe jusqu'à 200V (Figure II-34a). Cette capacité est obtenue en court-circuitant grille et source et représente la combinaison de la capacité grille-drain C_{gd} et de la capacité drain-source C_{ds} , suivant l'expression :

$$C_{oss} = C_{gd} + C_{ds} \quad (35)$$

Avec cette méthode, nous avons mesuré des FLYMOS avec les géométries WELLFET possédant les trois niveaux de doses d'implantation et les deux types de recuit des P_{float} . Nous les comparons avec un FLYMOS possédant exactement le même procédé de fabrication (même épitaxie, même PHV, etc...) mais dans lequel nous avons volontairement "sauté" les étapes de création des P_{float} : ce dernier nous sert de référence à la mesure de C_{oss} .

La Figure II-35 représente l'évolution de C_{oss} en fonction de la polarisation drain-source V_{DS} . Premièrement, si l'on compare la courbe représentant un FLYMOS sans P_{float} aux autres courbes, on constate que, quels que soient la dose et le type de recuit appliqués, la présence des îlots a un impact sur les courbes C_{oss} , en créant "une cassure" aux environs de $V_{DS}=30V$. Deuxièmement, on observe que cette cassure est d'autant plus importante que la dose du P_{float} est élevée. Quant au type de recuit, il ne semble pas avoir de réelle incidence : par exemple, lorsqu'on regarde en détail les 2 courbes pour la dose $4.10^{12}cm^{-2}$, on constate qu'elles ont une évolution similaire.

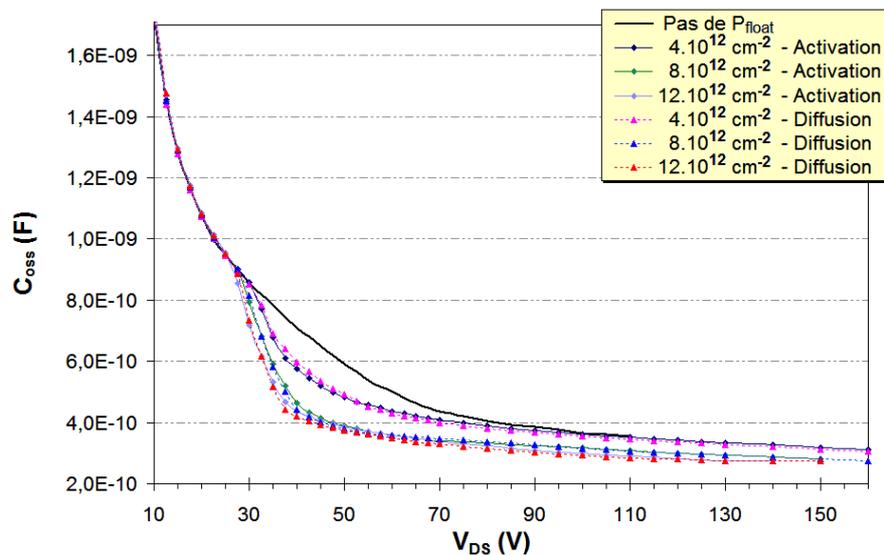


Figure II-35 : Courbes C_{oss} en fonction de la tension de polarisation V_{DS} .

Pour affiner ces observations, nous traçons la dérivée de C_{oss} en fonction de la tension, dC_{oss}/dV : cette représentation nous permet d'accentuer les variations de mesure. Il est indéniable, au vu des courbes de la Figure II-36, que la présence d'îlots flottants n'est pas sans conséquence sur l'extension de la ZCE du drift. Cependant, on remarque que la différence entre chaque dose est plus marquée : pour une dose de $4.10^{12} \text{ cm}^{-2}$, le début de la "cloche de variation" commence à $V_{DS}=27,5\text{V}$ alors qu'elle commence bien plus tôt, vers $V_{DS}=23\text{V}$, pour une dose de $12.10^{12} \text{ cm}^{-2}$. De la même manière, on constate que l'intégrale de la courbe, ainsi que le pic maximum de la variation, sont doublés lorsqu'on passe d'une dose de $4.10^{12} \text{ cm}^{-2}$ à une dose de $12.10^{12} \text{ cm}^{-2}$. De plus, on découvre que le type de recuit a un léger impact dans cette représentation : pour une même dose de $12.10^{12} \text{ cm}^{-2}$, le pic est plus faible et la cloche est plus étalée dans le cas de la diffusion que dans le cas de l'activation.

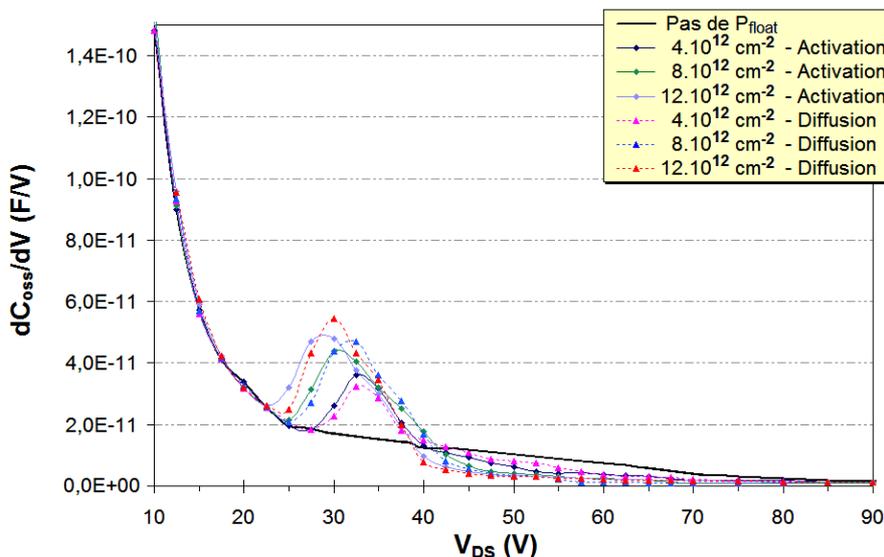


Figure II-36 : Courbes dC_{oss}/dV en fonction de la tension de polarisation V_{DS} .

Pour interpréter ces observations, il s'avère nécessaire de décomposer les capacités C_{ds} et C_{gd} . À partir d'une analyse théorique, nous allons essayer de comprendre comment les îlots flottants interviennent dans les variations de capacités.

Capacité C_{ds}

Dans le cas du FLYMOS, la capacité C_{ds} totale correspond à la capacité de deux jonctions PN⁻ en série, l'une au niveau du PHV (C_{ds1}) et l'autre au niveau du P_{float} (C_{ds2}) (Figure II-34b). À chacune, nous devons aussi tenir compte des courbures des jonctions qui se résument à la mise en parallèle d'une capacité plane (C_{dsp}) et d'une capacité cylindrique (C_{dsc}). Ainsi, la capacité C_{ds} du FLYMOS s'écrit sous la forme suivante :

$$\frac{1}{C_{ds}} = \frac{1}{C_{dsp1} + C_{dsc1}} + \frac{1}{C_{dsp2} + C_{dsc2}} = \frac{1}{C_{ds1}} + \frac{1}{C_{ds2}} \quad (36)$$

$$\text{soit, } C_{ds} = \frac{C_{ds1} \cdot C_{ds2}}{C_{ds1} + C_{ds2}} \quad (37)$$

À partir des formulations analytiques proposées par Tardivo [TAR87], les capacités des jonctions plane (C_{dsp1}) et cylindrique (C_{dsc1}) au niveau du PHV s'écrivent suivant les expressions ci-dessous :

$$C_{dsp1} = S_{p1} \cdot \sqrt{\frac{q \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{Si}}{2 \cdot \alpha \cdot V_{DS}}} \quad (38)$$

où S_{p1} est la surface plane totale sous le PHV.

$$\text{et } C_{dsc1} = \pi \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot Z \cdot \left(\frac{V_{ac}}{\alpha \cdot V_{DS}} \right)^{0,426} \quad \text{si } \alpha \cdot V_{DS} > V_{ac} \quad (39)$$

$$C_{dsc1} = \pi \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot Z \cdot \left(\frac{V_{ac}}{\alpha \cdot V_{DS}} \right)^{0,306} \quad \text{si } \alpha \cdot V_{DS} < V_{ac} \quad (40)$$

où Z est le « périmètre » du canal, α est la proportion de la tension tenue par la jonction

principale « PHV/N⁻ » ($\alpha = 1$ pour le VDMOS conventionnel) et $V_{ac} = \frac{q \cdot N_D \cdot r_j^2}{4 \cdot \epsilon_0 \cdot \epsilon_{Si}}$.

Dans le cas où nous comparerions un FLYMOS avec un VDMOS ayant un même BV_{dss} , le dopage N_D de l'épithaxie serait plus élevé pour le FLYMOS : les expressions (38), (39) et (40) impliquent que les capacités planes et cylindriques seraient alors plus importantes, car elles sont intrinsèquement liées au dopage N_D . Or dans notre étude, nous comparons des dispositifs ayant le même dopage, ce qui suppose que la capacité C_{ds1} est identique dans tous les FLYMOS testés (avec ou sans îlots flottants). Regardons alors la capacité C_{ds2} ; les capacités de la jonction plane (C_{dsp2}) et la jonction cylindrique (C_{dsc2}) deviennent :

$$C_{dsp2} = S_{p2} \cdot \sqrt{\frac{q \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{Si}}{2 \cdot (1-\alpha) \cdot V_{DS}}} \quad (41)$$

où S_{p2} est la surface de la jonction plane sous le P_{float}.

$$\text{et } C_{dsc2} = 2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot Z \cdot \left(\frac{V_{ac}}{(1-\alpha) \cdot V_{DS}} \right)^{0,426} \quad \text{si } (1-\alpha) \cdot V_{DS} > V_{ac} \quad (42)$$

$$C_{dsc2} = 2 \cdot \pi \cdot \epsilon_0 \cdot \epsilon_{Si} \cdot Z \cdot \left(\frac{V_{ac}}{(1-\alpha) \cdot V_{DS}} \right)^{0,306} \quad \text{si } (1-\alpha) \cdot V_{DS} < V_{ac} \quad (43)$$

Au regard de ces équations, on comprend que la réduction de la capacité totale C_{ds} est due en grande partie au déclenchement de la capacité C_{ds2} . En effet, alors que la capacité C_{ds1} reste constante, dès que l'extension de la ZCE atteint les P_{float} , la mise en série de C_{ds1} avec C_{ds2} implique une brutale réduction du C_{ds} résultant. C'est ce qui explique en partie la cassure observée lors de la mesure C_{oss} vers $V_{DS}=30V$.

Capacité C_{gd}

Tout comme un VDMOS conventionnel, cette capacité est une capacité MOS qui est constituée de deux composantes en série [BUE82] [MOR04] (Figure II-34b) :

- ↳ la première est une capacité d'oxyde de valeur constante C_{gdmax} qui est prépondérante lorsque la tension de drain est inférieure à la tension de grille. Sa valeur reste donc inchangée même si des îlots P sont intégrés.
- ↳ la seconde est constituée de la mise en série de C_{gdmax} avec la capacité C_{dgd} de la zone de déplétion sous la grille. Celle-ci n'apparaît que lorsque la tension de drain est supérieure à la tension de grille.

Dans une structure FLYMOS, la capacité C_{gd} est définie par les expressions (44) et (45). Ces expressions sont identiques à celles d'un transistor VDMOS :

$$C_{gd} = C_{gdmax} \quad \text{si } V_{dg} < 0 \quad (44)$$

$$C_{gd} = \frac{C_{gdmax} \cdot C_{dgd}}{C_{gdmax} + C_{dgd}} \quad \text{si } V_{dg} > 0 \quad (45)$$

La capacité de déplétion C_{dgd} s'exprime en fonction de la différence de potentiel Φ_s qui existe aux bornes de la zone de charge d'espace dépeuplée :

$$C_{dgd} = S_1 \cdot \sqrt{\frac{q \cdot \mu_n \cdot N_D \cdot \epsilon_0 \cdot \epsilon_{Si}}{2 \cdot \Phi_s}} \quad (46)$$

où S_1 est la surface totale intercellulaire (recouvrement de la grille sur l'épitaxie N^-).

Dans notre cas, le dopage de l'épitaxie N_D est le même pour les deux composants. On en déduit que la capacité de déplétion est principalement proportionnelle à S_1 et, dans une moindre mesure, à la racine carrée de $1/\Phi_s$. Cette différence de potentiel Φ_s est certes modifiée en présence d'îlots flottants lorsque que la ZCE, induite par l'augmentation de la polarisation V_{DS} , touche les P_{float} ($V_{dg}>0$). Mais la répartition des lignes de potentiel est difficilement quantifiable. Néanmoins, l'effet le plus important porte sur la section S_1 : cette dernière est justement réduite par la présence de P_{float} . Au final, cela a pour résultat de diminuer la capacité C_{dgd} (46) et, du même coup, C_{gd} (45).

Conclusion

Les mesures de la variation du C_{oss} ont mis en évidence une brusque diminution de cette valeur capacitive à une polarisation V_{DS} donnée. Grâce à une analyse détaillée des capacités C_{ds} et C_{gd} , nous avons pu en déterminer la cause. En effet, lorsque l'extension de la

ZCE atteint les P_{float} , deux effets s'additionnent : d'une part, la mise en série des capacités C_{ds1} et C_{ds2} liées aux jonctions PN (celle du PHV et du P_{float}) induit la réduction de la capacité totale C_{ds} , et, d'autre part, la réduction de la surface entre les îlots flottants entraîne la diminution de la capacité C_{dgd} , composante de C_{gd} . La combinaison de ces deux effets explique la brusque chute du C_{oss} . De plus, retenons que, plus les îlots flottants sont dopés, plus ces effets sont accentués.

À partir de ces constatations, les performances de vitesses de commutation du FLYMOS devraient être améliorées. Il reste cependant difficile de décrire conceptuellement la dynamique des porteurs au niveau de ces îlots flottants : à ce stade de l'étude, nous cherchons encore à comprendre dans quelle mesure la polarisation du P_{float} , après extension de la ZCE, a un impact sur l'ensemble des performances dynamiques, notamment en ce qui concerne la résistance dynamique R_{ONd} .

II.4.2.2. Mesure du courant (I_{DS}) lors de la polarisation du drain (V_{DS})

Pour répondre en partie aux interrogations liées à la polarisation du P_{float} , nous mesurons le courant I_{DS} nécessaire à la polarisation drain-source V_{DS} du FLYMOS, à l'aide de l'analyseur paramétrique Agilent 4156C. En fait, le principe de cette mesure consiste à forcer une tension V_{DS} que l'on augmente successivement : le courant nécessaire à l'établissement de cette polarisation est alors relevé. Ainsi, cette mesure permet de visualiser et de quantifier, si possible, le courant nécessaire à la polarisation des îlots flottants.

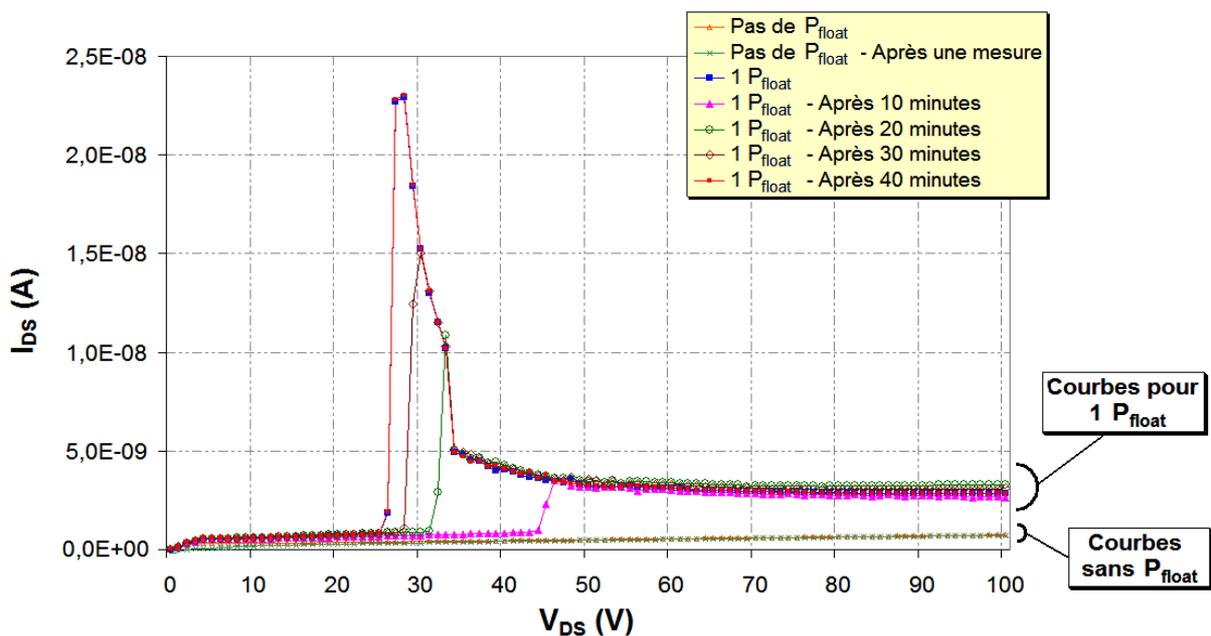


Figure II-37 : Courbes $I_{DS}(V_{DS})$ d'un FLYMOS avec un îlot flottant.

Reprenant la philosophie de l'étude précédente, nous mesurons un composant FLYMOS dont les îlots flottants ont volontairement été omis pour le comparer, dans ce cas, à un FLYMOS dont la dose de P_{float} est de $4 \cdot 10^{12} \text{ cm}^{-2}$ (Figure II-37). Nous remarquons que le composant sans îlots flottants possède une augmentation de courant I_{DS} quasiment nulle alors que, dans le cas du FLYMOS, un brusque « appel de courant » I_{DS} intervient dès que la ZCE atteint le P_{float} , autour $V_{DS} = 27$ V. Notons que ces résultats corroborent les mesures C_{oss} , dont

les variations débutaient aussi à $V_{DS}=27,5V$ pour la dose de $4.10^{12}cm^{-2}$. Cette montée de courant passe de $I_{DS}=0,5nA$ à $I_{DS}=23,0nA$, soit presque 2 décades de variations. En fait, ce pic de courant correspond à la polarisation du P_{float} : en d'autres termes, il représente le courant d'évacuation des porteurs mobiles stockés dans les îlots flottants, nécessaire à l'établissement de la ZCE. Il serait intéressant de quantifier la charge totale des îlots Q en utilisant la relation :

$$Q = \int_{t_1}^{t_2} I_{DS}(t).dt \quad (47)$$

Cependant, la mesure automatique nous impose le temps d'échelonnement du V_{DS} , ce qui ne nous permet pas de quantifier temporellement la quantité de charge Q réelle. Toutefois, nous venons tout de même de prouver dynamiquement le transfert de charges s'opérant au niveau du P_{float} lors de la polarisation du composant.

L'autre information principale concerne la découverte d'une sorte « d'effet mémoire » du FLYMOS. Si l'on regarde les courbes du FLYMOS comportant un niveau de P_{float} (Figure II-37), on remarque qu'après une attente de 10 minutes, la répétition de la même mesure fournit une courbe où le pic de courant ne se reproduit pas ; le composant ne semble pas être revenu à son état initial. Un petit pic réapparaît après 20 minutes d'attente, devient plus important après 30 minutes mais ce n'est qu'après 40 minutes que nous retrouvons le pic initial. De plus, la superposition des courbes montre que l'effet est très stable et reproductible. Notons que nous avons réalisé ce même test pour la dose $12.10^{12}cm^{-2}$: le pic est encore plus important et 60 minutes ont été nécessaires avant le retour à l'état initial. Ce phénomène temporel signifie que les P_{float} restent ionisés durant un temps conséquent : leur rechargement en trous ne peut se faire que par recombinaison naturelle, ce qui est alors très lent dans ce cas.

La conclusion de cette étude amène une interrogation : dans quelle mesure ce phénomène a-t-il un impact sur les performances dynamiques, notamment en terme de résistance dynamique (R_{ONd}), et est-ce préjudiciable pour le fonctionnement du FLYMOS ? Pour répondre à cette question, nous réalisons une mesure de commutation lente, le « Gate charge », présenté dans le paragraphe suivant.

II.4.2.3. Mesure du « Gate charge » (Q_G)

L'objectif de cette expérience est double : le but premier de cette méthode est de déterminer la charge totale de grille Q_G qu'il faut fournir pour faire commuter le composant à l'état passant. Mais nous l'utiliserons aussi pour visualiser sur oscilloscope les tensions V_{GS} , V_{DS} et le courant I_{DS} lors de la commutation à l'état passant, nous donnant ainsi les réponses en ce qui concerne la résistance dynamique R_{ONd} .

Initialement, la mesure du « Gate charge » est une méthode permettant de mesurer, par application d'un courant constant I_G sur la grille, le temps t_G nécessaire pour qu'elle atteigne la tension $V_{GS}=10V$. À partir de cette caractérisation, nous déterminons la charge Q_G à l'aide la relation (48) :

$$Q_G = I_G \times t_G \quad (48)$$

La valeur de ce Q_G se révèle être une information très importante, tant pour les temps de commutation qu'il va induire que pour les circuits de commande (appelés aussi « drivers », du

terme anglais) pilotant les transistors MOS de puissance. Notons que, plus cette charge est importante, plus le dispositif mettra du temps à commuter à l'état passant.

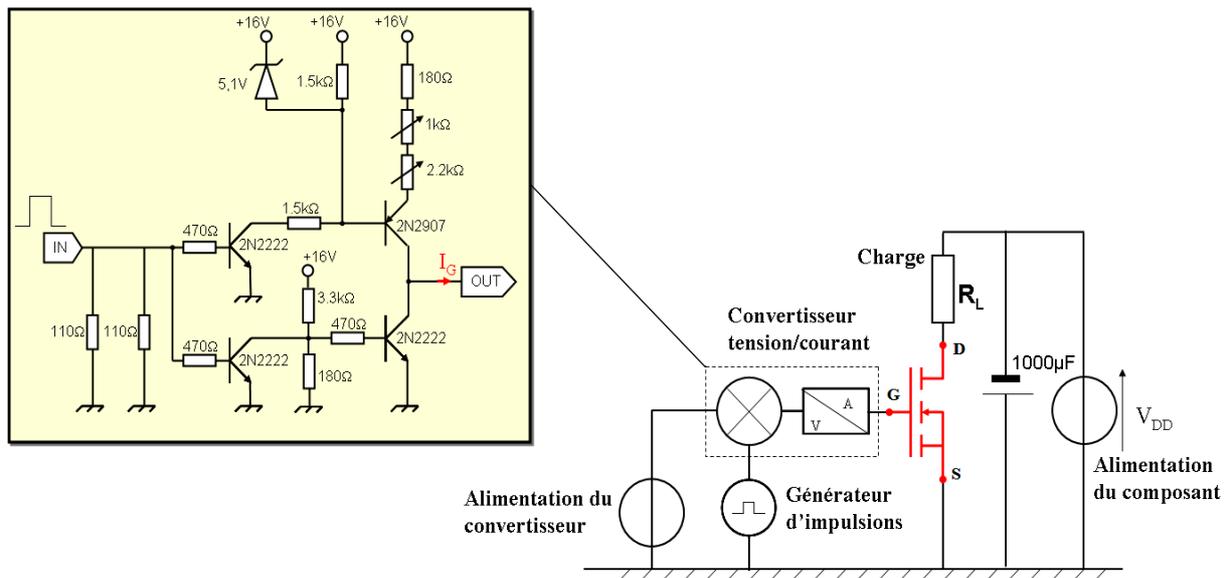


Figure II-38 : Circuit utilisé pour la mesure du « Gate charge ».

Pour cette caractérisation, nous utilisons un montage réalisé au LAAS (Figure II-38) : on applique un courant constant $I_G=2\text{mA}$ sur la grille du FLYMOS à l'aide d'un convertisseur tension/courant, qui augmente la tension V_{GS} . Cette montée de V_{GS} est contrôlée par un générateur d'impulsions appliqué à l'entrée du convertisseur. La charge, matérialisée par la résistance R_L , nous permet de calibrer le courant de drain I_{DS} désiré. Notons que nous ne dépasserons pas 20-30A car le boîtier DIL48 utilisé limite l'accès à des courants plus élevés, mais il demeure amplement suffisant dans cette étude. Les mesures sont généralement prises pour une tension de drain V_{DS} égale à 80% de la tension de claquage BV_{dss} : dans notre étude, nous nous limitons à une polarisation de consigne maximum, $V_{DD}=120\text{V}$, sachant que les BV_{dss} les plus bas obtenus sont de 120V.

II.4.2.3.1. Détermination de Q_G

Cette application fournit des informations sur les capacités d'entrée des transistors MOSFET, notamment les capacités grille-source (C_{gs}) et grille-drain (C_{gd}). L'évolution de la courbe de charge de la grille se compose de trois étapes (Figure II-39) :

- La première étape Q_{gs} correspond principalement au chargement de la capacité C_{gs} , jusqu'à ce que la tension V_{GS} atteigne la tension de seuil V_T ,
- La seconde étape Q_{gd} correspond au plateau Miller. Après avoir atteint la tension de seuil V_T , le canal du transistor MOSFET s'ouvre et induit une chute de tension V_{DS} . Ce mécanisme permet à la capacité C_{gd} d'augmenter, ce qui stoppe la progression de V_{GS} à une valeur appelé V_{plateau} . Lorsque C_{gd} a atteint sa valeur maximale, V_{GS} peut croître de nouveau,
- La dernière étape reprend le mécanisme de charge de la capacité C_{gs} , mais en y ajoutant la valeur de $C_{gd\text{max}}$ résultant de l'effet Miller. Cette dernière étape reste valable jusqu'à l'obtention de la tension désirée, $V_{GS}=10\text{V}$.

Au final, la charge totale Q_G correspond donc à la somme de ces différentes phases de chargement. Notons que, pour diminuer cette valeur, l'un des axes d'amélioration concerne ce plateau Miller : en réduisant C_{gdmax} , on réduit le temps de charge de cette composante et, par conséquent, celui de Q_G .

Grâce à ce test, nous pouvons aussi évaluer l'effet d'une grille à double niveau d'oxyde (terraced gate), implémentée dans la dernière génération de HDTMOS™, où l'oxyde est bien plus épais dans les zones inter-PHV (Chapitre I, §I.3.1.3). Pour réaliser les mesures, nous choisissons une charge $R_L=10\Omega$, ce qui nous donne un courant $I_{DS}=12A$ pour une tension appliquée $V_{DD}=120V$. Dans ces conditions, 3 composants sont comparés :

- 1 FLYMOS avec une dose d'implantation du P_{float} de $12.10^{12}cm^{-2}$ et un oxyde épais,
- 1 FLYMOS avec la même dose du P_{float} , mais sans oxyde épais,
- 1 FLYMOS sans P_{float} (étape "sautée" lors du procédé) mais avec un oxyde épais.

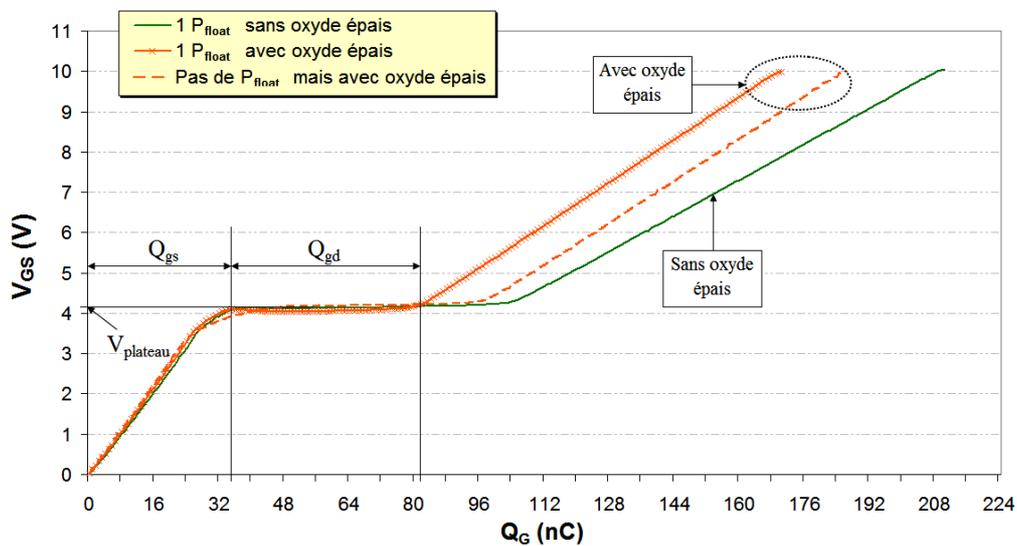


Figure II-39 : Courbes V_{GS} pour la détermination de Q_G dans le cas de FLYMOS avec ou sans P_{float} et avec ou sans oxyde épais.

Conditions	Paramètres	1 P_{float} à $12.10^{12}cm^{-2}$			Unités
		Pas de P_{float} Oxyde épais	Oxyde épais	Pas d'oxyde épais	
$V_{DD}=120V$, $I_{DS}=12A$	Q_{GS}	24,6	32,0	34,4	nC
	Q_{GD}	64,8	50,0	69,6	
	Q_G	186,4	170,4	210,4	
	$V_{plateau}$	4,2	4,1	4,1	V
	Variation de Q_G	+10	-	+19	%

Tableau II-6 : Synthèse des paramètres de la mesure Gate charge pour 3 types de FLYMOS.

La Figure II-39 représente les courbes de variation V_{GS} en fonction de Q_G pour les 3 types de composants testés. Premièrement, lorsque l'on compare les mesures des 2 FLYMOS possédant un îlot (chacun à $12.10^{12}cm^{-2}$), on constate que le Q_G total est 19% supérieur dans le cas où il n'y a pas d'oxyde épais (Tableau II-6) : comme le prévoit la théorie, l'ajout d'un oxyde épais au milieu de 2 PHV permet de minimiser l'effet Miller par la réduction de la capacité C_{gdmax} . Ceci se traduit par un plateau Q_{gd} plus court, passant de 69,6nC à 50nC.

La deuxième observation porte sur la comparaison des 2 FLYMOS (avec oxyde épais) dont l'un possède un niveau de P_{float} et le second en est dépourvu : on remarque que l'ajout d'îlots flottants modifie sensiblement la fin de la pente Q_{gs} et réduit la longueur du plateau Q_{gd} . Par conséquent, le Q_G total est supérieur de 10% dans le cas où il n'y a pas de P_{float} . Pour comprendre ce résultat, il faut remonter aux variations de la capacité grille-drain C_{gd} décrites au paragraphe II.4.2.1. Nous y avons démontré que la réduction de la section S_1 entre les P_{float} engendrait une réduction de la capacité C_{dgd} (46) et du même coup de la capacité C_{gd} (45). Irrémédiablement, le Q_{gd} se voit alors amoindri lors du chargement de cette capacité C_{gd} , au bénéfice d'un plus faible Q_G .

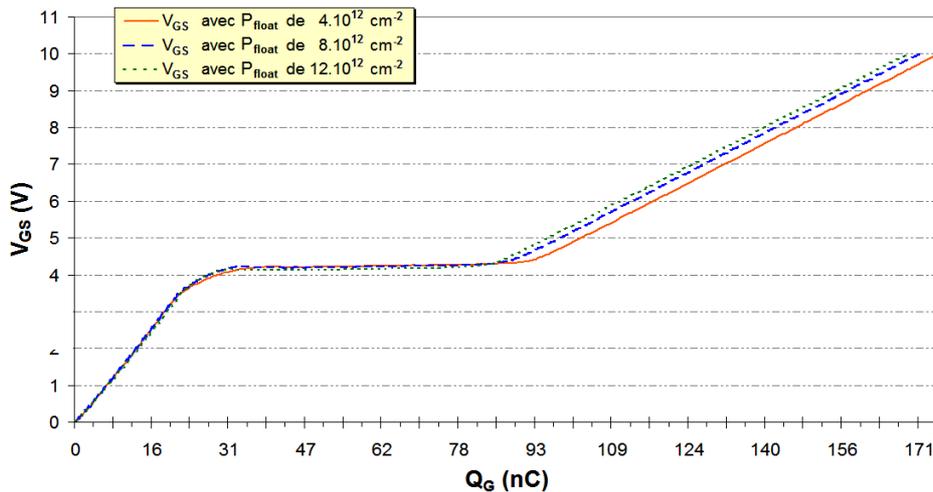


Figure II-40 : Courbes V_{GS} pour la détermination de Q_G dans le cas de FLYMOS (avec oxyde épais) possédant les 3 différentes doses d'implantation du P_{float} .

D'après ce raisonnement, on peut donc en déduire que plus les îlots flottants sont dopés, plus Q_G sera faible : c'est ce qu'on observe à la Figure II-40. Les 3 doses d'implantation du P_{float} y sont comparées (les composants ont tous un oxyde épais). On remarque qu'effectivement, le FLYMOS avec $12.10^{12} \text{cm}^{-2}$ a un Q_G égal à 170nC alors que pour une dose de 4.10^{12}cm^{-2} , on obtient : $Q_G=176\text{nC}$. Ces résultats confirment la réduction de Q_G en présence d'îlots flottants.

II.4.2.3.2. Caractérisation de la résistance dynamique

Après avoir évalué Q_G , nous déterminons la résistance passante dynamique R_{ONd} par l'intermédiaire des mesures de la tension V_{DS} et du courant I_{DS} à l'état passant : ces valeurs, relevées à l'aide d'un oscilloscope, sont appelées tension résiduelle V_{DSon} et courant I_{DS} de l'état passant. Ainsi, nous pouvons déterminer, à l'aide de la loi d'Ohm, la résistance passante dynamique réelle.

Nous avons effectué, toujours dans les mêmes conditions, la mesure sur 4 composants FLYMOS possédant les mêmes paramètres du procédé de fabrication. La référence que nous utilisons est encore le FLYMOS dont les étapes de réalisation du P_{float} ont été "sautées" (Figure II-41). Bien que ce composant possède une tenue en tension plus faible ($BV_{dss} \approx 120\text{V}$) que les FLYMOS avec P_{float} , il demeure tout à fait indiqué pour définir le R_{ONd} de référence. Nous pouvons alors le comparer aux FLYMOS possédant les 3 doses d'implantations du P_{float} : 4.10^{12}cm^{-2} (Figure II-42), 8.10^{12}cm^{-2} (Figure II-43) et $12.10^{12} \text{cm}^{-2}$ (Figure II-44).

Lorsqu'on compare le FLYMOS à 4.10^{12}cm^{-2} avec la référence, on constate que le courant I_{DS} et la tension résiduelle V_{DSon} à l'état passant sont similaires. Compte tenu des résistances parasites liées au montage et au boîtier (dans laquelle la puce est maintenue seulement à l'aide d'une colle conductrice et non une soudure), on mesure $R_{ONd}\approx 130\text{m}\Omega$ dans les deux cas. On peut en conclure que la résistance dynamique n'est pas dégradée par la présence d'îlots flottants dopés à 4.10^{12}cm^{-2} , quel que soit le niveau de polarisation V_{DD} . Cependant, il en est tout autre lorsque la dose est plus importante (Figure II-43 et Figure II-44). En détaillant la superposition des courbes V_{DS} (Figure II-45) pour les 3 types de dose, on constate que pour la dose 8.10^{12}cm^{-2} , V_{DSon} atteint presque 5V, soit $R_{ONd}\approx 450\text{m}\Omega$. Pire, nous relevons $V_{DSon}\approx 22\text{V}$ pour la dose 12.10^{12}cm^{-2} , ce qui donne $R_{ONd}>2\Omega$! Le phénomène, amplifié à forte dose de P_{float} , s'explique par une ionisation des régions périphériques aux P_{float} , au moment de l'extension de la ZCE, pénalisant ensuite le passage du courant lors de la conduction. En effet, ce composant unipolaire ne transite que des électrons à l'état passant : or le déficit en trous créé au niveau des P_{float} n'est alors pas comblé. Ceci engendre une striction de la section par laquelle le courant I_{DS} transite, expliquant les mauvais R_{ONd} (voir § II.5.1.2.).

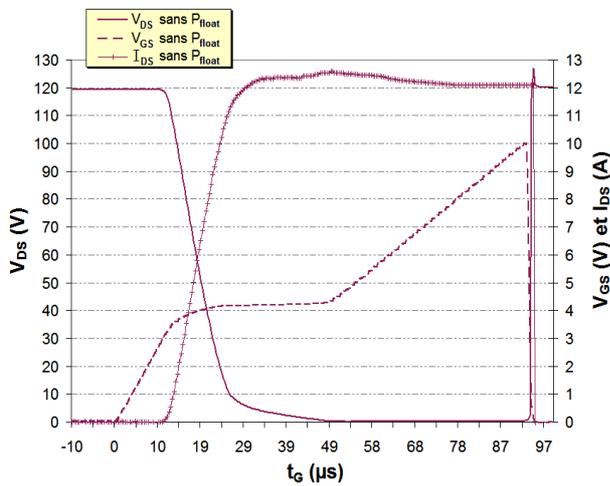


Figure II-41 : Courbes V_{GS} , V_{DS} et I_{DS} en fonction du temps t_G pour un FLYMOS sans P_{float} .

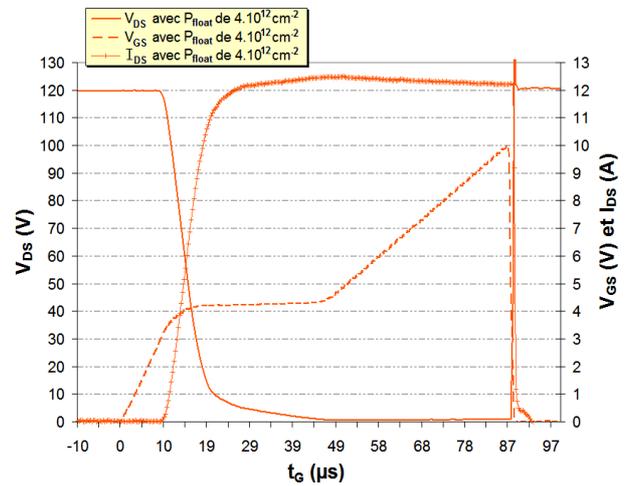


Figure II-42 : Courbes V_{GS} , V_{DS} et I_{DS} en fonction du temps t_G pour un FLYMOS avec un P_{float} d'une dose de 4.10^{12}cm^{-2} .

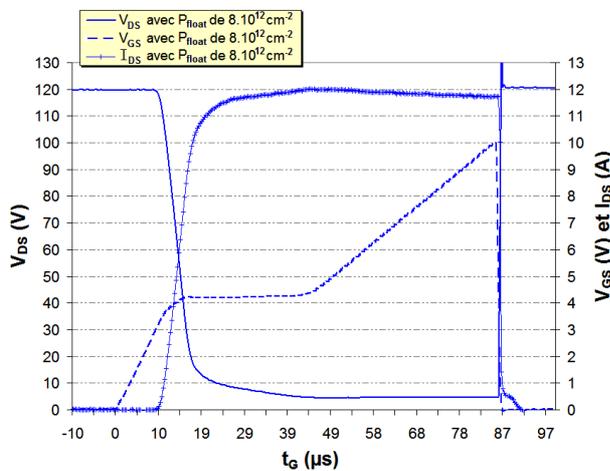


Figure II-43 : Courbes V_{GS} , V_{DS} et I_{DS} en fonction du temps t_G pour un FLYMOS avec un P_{float} d'une dose de 8.10^{12}cm^{-2} .

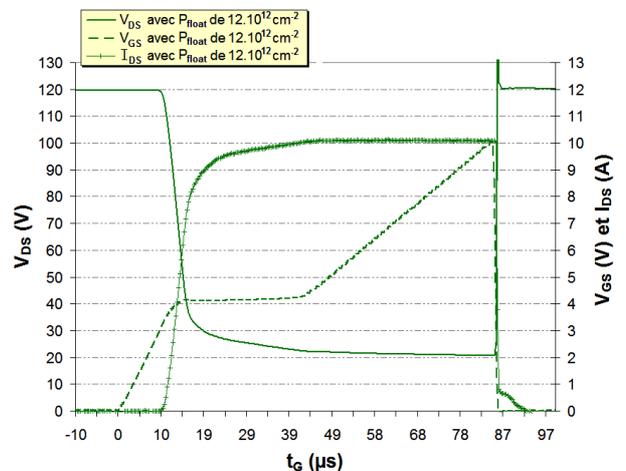


Figure II-44 : Courbes V_{GS} , V_{DS} et I_{DS} en fonction du temps t_G pour un FLYMOS avec un P_{float} d'une dose de 12.10^{12}cm^{-2} .

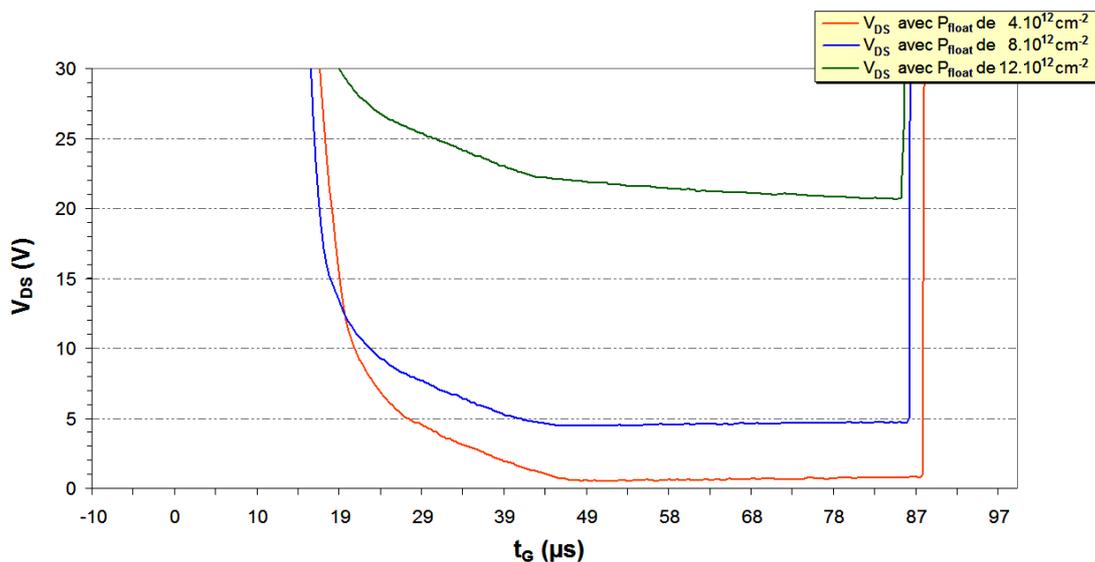


Figure II-45 : Courbes V_{DS} en fonction du temps t_G pour la détermination de R_{ONd} dans le cas de FLYMOS (avec oxyde épais) avec les 3 doses d'implantation du P_{float} .

Bien évidemment, les valeurs de résistance dynamique trouvées ne sont pas acceptables. Allant plus loin dans l'analyse, nous avons alors essayé de savoir si la dégradation du R_{ONd} était progressive, suivant le V_{DD} appliqué, ou bien si elle était présente, dès les faibles polarisations de drain. Le Tableau II-7 regroupe les mesures faites par palier de polarisation V_{DD} de 10V : à chaque fois, nous avons relevé V_{DSon} et I_{DS} . Dans le cas de la dose 8.10^{12}cm^{-2} , on remarque que dès 30-40V, le R_{ONd} est dégradé. Pour la dose $12.10^{12} \text{cm}^{-2}$, c'est encore plus tôt, dès 20V. Ces valeurs de polarisation correspondent aux valeurs trouvées lors des mesures C_{oss} et $I_{DS}(V_{DS})$. Cela confirme l'effet négatif d'îlots flottants fortement dopés sur la résistance dynamique (voir §II.5.1.2.).

V_{DD}	4.10^{12}cm^{-2}		8.10^{12}cm^{-2}		$12.10^{12} \text{cm}^{-2}$	
	V_{DSon} (V)	I_{DS} (A)	V_{DSon} (V)	I_{DS} (A)	V_{DSon} (V)	I_{DS} (A)
10V	0,07	1,0	0,08	1,0	0,10	1,0
20V	0,16	2,0	0,38	2,0	3,64	1,7
30V	0,20	3,0	0,62	3,0	5,19	2,5
40V	0,25	4,0	1,08	3,9	7,60	3,3
50V	0,30	5,0	1,53	4,9	11,6	4,0
60V	0,33	6,0	1,95	5,9	15,2	4,6
70V	0,37	7,0	2,35	6,9	16,7	5,4
80V	0,45	8,1	2,73	7,8	17,9	6,4
90V	0,48	9,2	3,20	8,8	18,8	7,3
100V	0,50	10,3	3,65	9,7	20,0	8,2
110V	0,52	11,4	4,10	10,7	20,6	9,1
120V	0,56	12,5	4,55	11,7	21,4	10,1

Tableau II-7 : Synthèse des V_{DSon} et I_{DS} mesurés pour les 3 types de FLYMOS.

L'analyse des mesures « Gate charge » nous a permis de mettre en évidence le problème de R_{ONd} dans le cas où l'îlot flottant est fortement dopé : l'ionisation des régions périphériques aux P_{float} est alors néfaste pour la commutation. Ce constat nous permet de définir les limites de cette technologie et de déterminer une stratégie d'optimisation.

II.5. Problématique du FLYMOS : limites et solutions

II.5.1. Limites du FLYMOS

II.5.1.1. La tenue en tension

Les analyses électriques statiques présentées dans les paragraphes précédents ont montré les limitations de la tenue en tension. Bien que les dessins utilisés n'aient pas été conçus initialement pour cette gamme de tension, l'objectif de 200V n'a effectivement pas été atteint. Cependant, les analyses physiques nous ont permis de comprendre intuitivement la raison des problèmes : l'équilibre optimal ne peut être obtenu que si la répartition du champ électrique est uniforme en surface et dans le volume mais surtout entre les terminaisons et les cellules centrales. À partir de ce constat, deux problèmes majeurs sont apparus :

- L'équilibre entre terminaisons et cellules centrales n'était pas adapté pour 200V,
- Des modules additionnels, intégrés par conception à la technologie HDTMOS™, ont perturbé la répartition du champ électrique, dégradant le BV_{dss} final.

II.5.1.1.1. Problème de dessin : équilibre terminaison/cellule centrale

Comme présentée lors de l'analyse SCM, la terminaison utilisée possède un P_{float} plus large et plus dopé que ceux des cellules centrales. Pour vérifier que cette déduction est bien la cause du déséquilibre, nous avons utilisé une méthode permettant de localiser, lors de la mesure de BV_{dss} , les zones où les courants sont les plus importants au claquage : il s'agit de la polarisation de cristaux liquides. Ces derniers changent de couleur, passant d'un état transparent à un état noir opaque, dès qu'un courant vient localement les chauffer, changeant alors leurs propriétés cristallographiques. Ainsi, nous pouvons localiser précisément les zones du début du claquage des FLYMOS.

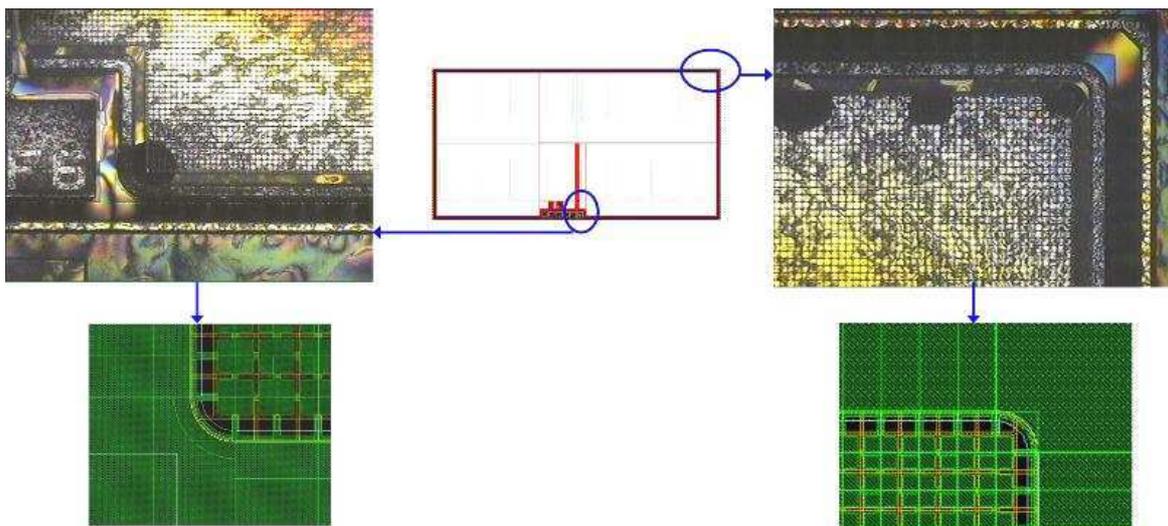


Figure II-46 : Visualisation de fuites de courant localisées en terminaison (déterminées au claquage du composant) grâce à la polarisation de cristaux liquides.

À l'aide de la méthode des cristaux liquides, nous avons testé les FLYMOS avec les 3 doses du plan d'expérience défini au début de ce chapitre. Alors que pour la dose la plus

faible, 4.10^{12}cm^{-2} , les régions de claquage sont principalement localisées aux niveaux des éléments additionnels (voir paragraphe suivant), les doses 8.10^{12}cm^{-2} et 12.10^{12}cm^{-2} voient les zones de claquage se restreindre au niveau des terminaisons. De façon plus précise, on remarque, sur les photos de la Figure II-46, que les coins sont noircis ainsi que les terminaisons : ces tâches représentent donc les déséquilibres engendrant le claquage. Pour y remédier, il faudra donc augmenter le rayon de courbure au niveau des coins et uniformiser le raccordement entre cellules centrales et terminaisons par un alignement des PHV et P_{edge} de surface sur le réseau de P_{float} en volume. De plus, le dessin de la terminaison doit aussi être modifié, avec des ouvertures d'implantation du même ordre de grandeur que celles des cellules centrales.

II.5.1.1.2. Interactions avec des éléments additionnels au MOSFET

Le transistor HDTMOS™ dispose d'éléments additionnels, intégrés par conception à la puce, permettant d'ajouter des fonctionnalités intelligentes. Il s'agit d'un capteur de courant qui relève une fraction du courant I_{DS} et permet de contrôler directement le courant transitant dans le transistor (exemple : il permet d'arrêter la conduction en cas d'emballage en court-circuit) et d'un capteur de température permettant de contrôler et de stopper un quelconque emballement thermique pouvant détruire ou fatiguer le composant (Figure II-47).

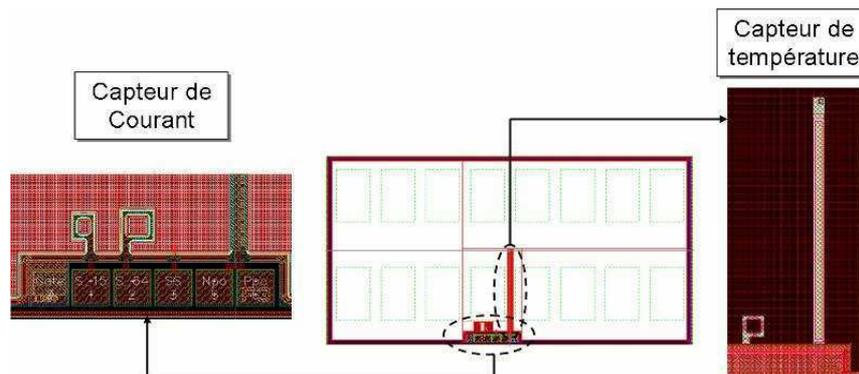


Figure II-47 : Éléments additionnels (capteur de courant, capteur de température) intégrés au composant.

Cependant, ces dispositifs deviennent pénalisants dans le cas du FLYMOS. Nous avons justement évoqué, dans le paragraphe précédent, l'équilibre à garantir au niveau de la répartition du champ électrique, pour éviter des claquages prématurés. Or, comment s'en assurer avec l'ajout de dispositifs supplémentaires ? Comment peut-on concilier les spécificités de la puce de puissance avec celles de ces structures ? Comment le champ électrique se comporte-t-il en présence de ces structures ? Intègre-t-on le réseau d'îlots flottants sous ces structures et, si oui, comment le construit-on ?

Les questions soulevées précédemment trouvent une partie de leur réponse avec la mesure du FLYMOS possédant des P_{float} à 4.10^{12}cm^{-2} . Ayant obtenu les meilleurs BV_{dss} , ce dernier possède donc le champ électrique le plus équilibré entre terminaisons et cellules centrales. Nous pouvons alors en déduire que les claquages prématurés se reportent préférentiellement sur les dispositifs additionnels. C'est ce que nous observons aux niveaux des raccordements entre ces structures et la puce de puissance (Figure II-48) : ces

constatations impliquent que leur intégration doit être repensée. Or, cette étude dépasse le cadre du FLYMOS. Ainsi, pour la réalisation du nouveau jeu de masques, nous avons décidé de les retirer afin de valider uniquement les performances du FLYMOS optimisé. Nous évitons ainsi d'ajouter une variable supplémentaire à la définition de la tenue en tension.

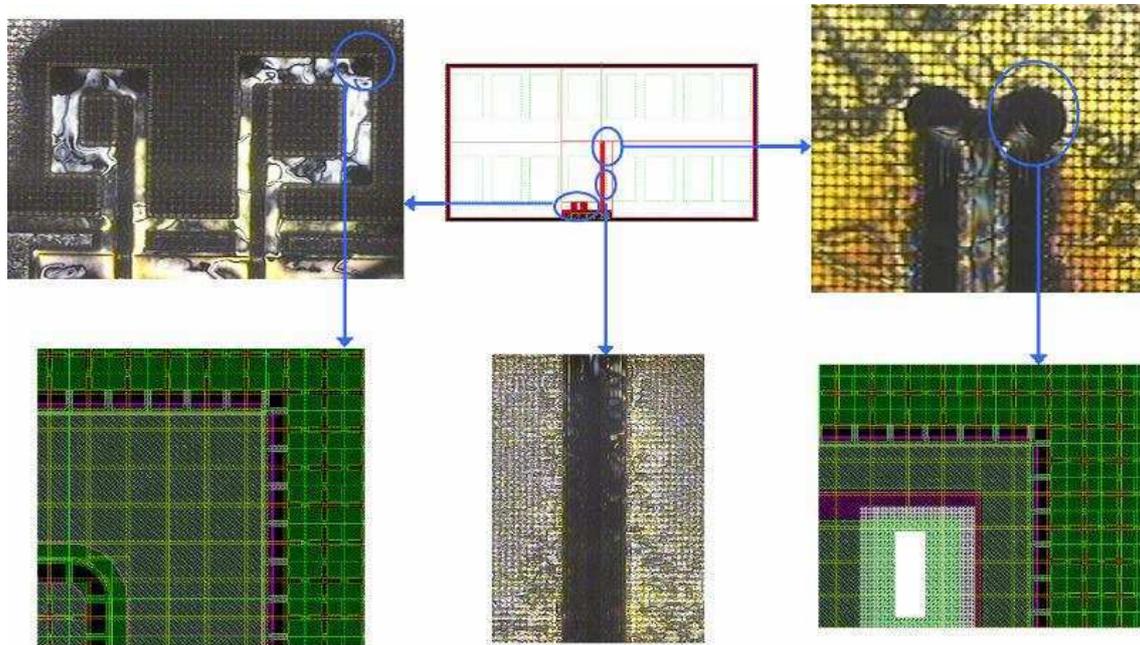


Figure II-48 : Visualisation de fuites de courant, par polarisation de cristaux liquides, localisées au niveau des raccords entre composants de puissance et dispositifs additionnels.

II.5.1.2. Description des phénomènes d'ionisation autour des îlots flottants

Outre les problèmes de tenue en tension observés, des complications sont aussi apparues lors de l'évaluation du comportement dynamique du FLYMOS : en effet, la résistance dynamique (R_{ONd}) s'est révélée très élevée dans le cas des P_{float} fortement dopés. Nous allons alors présenter un raisonnement basé sur la phénoménologie du fonctionnement du FLYMOS pour comprendre les mécanismes de cette dégradation.

Les transistors MOS à canal N, comme le FLYMOS, sont des composants unipolaires qui ne transitent, à l'ouverture du canal, que des électrons. Or cela peut être problématique dans le cas du FLYMOS, à cause de la présence des îlots flottants de type P. La Figure II-49 présente le mécanisme d'extension de la zone de charge d'espace à l'état bloqué, lorsque V_{DS} monte jusqu'à atteindre la tension de blocage de l'application V_{DD} . Décrivons ce qui se passe pas à pas :

- Au début du blocage du composant, à une faible tension de polarisation V_{DS} (Figure II-49a), l'extension de la ZCE d'espace s'effectue doucement à partir des PHV. Les atomes donneurs d'électrons N_D , qui constituent l'épitaxie N^- , perdent leur porteur libre. Ce mécanisme est identique à celui d'une jonction PN au blocage (voir Annexe A1.1),
- À une polarisation V_{DS} comprise entre 20V et 40V (Figure II-49b), la ZCE touche les P_{float} : les atomes accepteurs N_A des îlots flottants sont alors dépeuplés de leurs charges majoritaires (trous).

- 
 Ensuite, l'extension de la ZCE continue jusqu'à atteindre la tension de blocage de l'application V_{DD} (Figure II-49c). Pour l'instant, à part la décharge des îlots flottants, les mécanismes sont identiques au VDMOS conventionnel.
- 
 Par contre, au passage à l'état passant lorsque $V_{GS}=10V$ (Figure II-49d), la polarisation V_{DS} chute rapidement après ouverture du canal pour laisser place au courant de conduction I_{DS} . Or, comme nous l'avons évoqué précédemment, il ne peut transiter qu'un courant d'électrons dans le cas des composants unipolaires de type N : cela permet aux régions ionisées N^- de retrouver leurs porteurs libres (électrons), mais il n'en est pas de même pour les P_{float} . En effet, comme aucun trou n'est fourni lors de la conduction, il devient alors très difficile de les repeupler uniquement avec les trous minoritaires de l'épitaxie N^- . Par conséquent, les P_{float} restent ionisés et, par neutralité électronique, les régions N^- avoisinantes aussi. C'est ce « nuage électronique » qui a pour résultat d'augmenter fortement la résistance dynamique. Notons que, plus la concentration des P_{float} est élevée, plus les régions ionisées N^- vont s'étendre dans l'épitaxie, réduisant considérablement la section de passage du courant, voire même bloquant son passage dans des cas extrêmes.

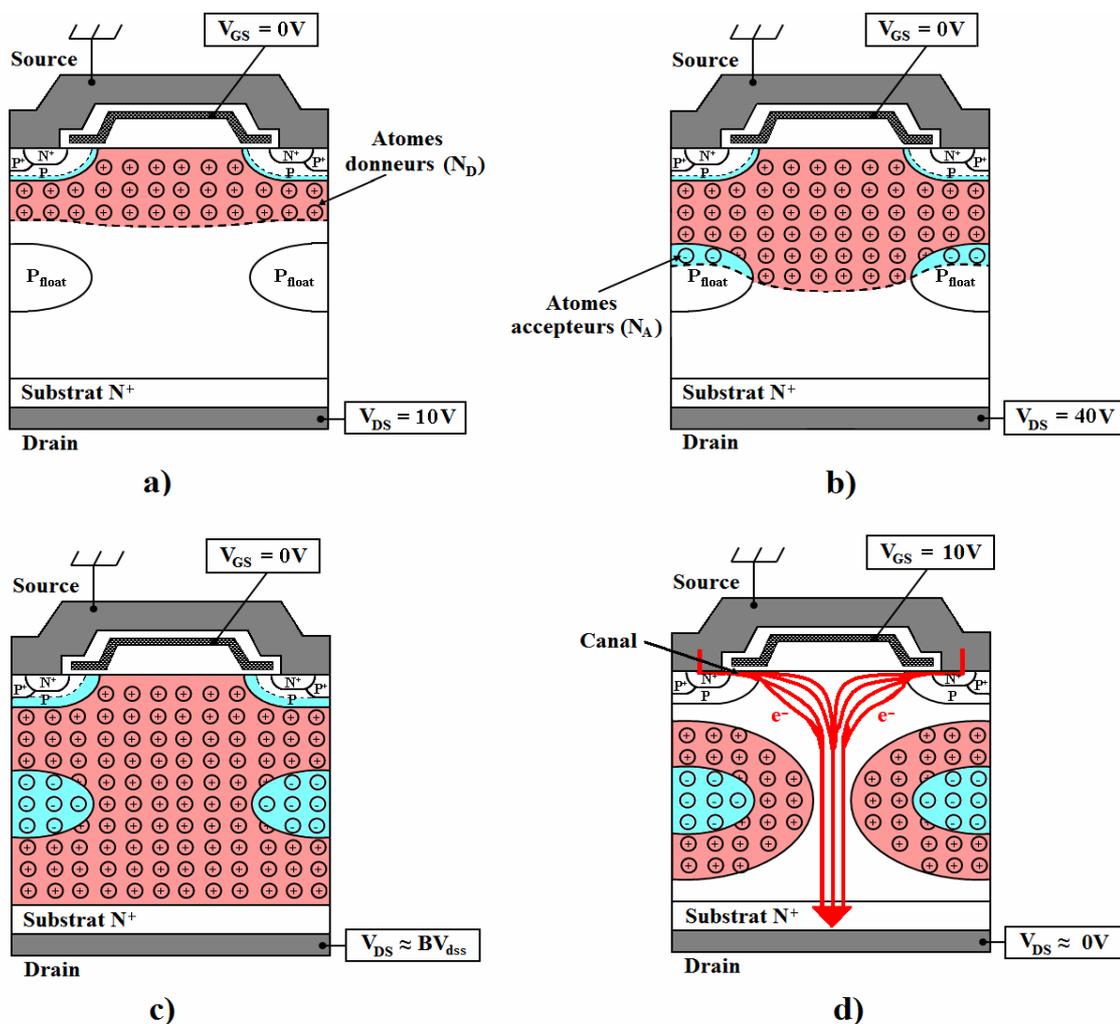


Figure II-49 : Schémas représentant le principe d'ionisation des îlots flottants et des régions de l'épitaxie avoisinantes, lors de l'extension de la ZCE causant le problème de R_{OND} .

La solution consiste donc à pouvoir aider les îlots flottants à retrouver leurs charges mobiles (trous), qui sont manquantes après l'extension de la ZCE (voir § II.5.2).

II.5.1.3. Synthèse des limitations de la technologie FLYMOS

Avant de présenter les solutions de perfectionnement que nous avons imaginées, une brève rétrospective des principales limitations de la technologie FLYMOS est nécessaire :

- ↪ Tout d'abord, le dopage des îlot flottants P_{float} doit être limité, que ce soit pour une bonne tenue en tension BV_{dss} ou bien pour l'optimisation de la résistance dynamique R_{ONd} . Idéalement, la concentration finale du P_{float} doit être à peu près une décade supérieure à la concentration de l'épitaxie N^- ,
- ↪ La réduction des diffusions latérales de P_{float} est nécessaire, afin de limiter les problèmes de R_{ON} (statique) et R_{ONd} (dynamique),
- ↪ Le FLYMOS est très sensible au déséquilibre du champ électrique : des précautions dans les dessins de structures doivent être prises. Il faut particulièrement uniformiser les réseaux de P_{float} entre les terminaisons et les cellules centrales pour les rendre similaires, éviter tout désalignement entre réseau de surface et réseau en volume et travailler à la bonne intégration de l'accès à la grille ou « pad » de grille (du terme anglo-saxon) dans le composant (notamment pour aligner le réseau de P_{float} avec le pad de grille).

II.5.2. Les solutions aux limitations du FLYMOS

II.5.2.1. L'injecteur de trous : IGBT latéral

Pour remédier au problème de R_{ONd} , un moyen a été imaginé pour fournir des trous aux P_{float} : il s'agit de l'injecteur de trous, matérialisé par un IGBT latéral. Le principe est simple : au moment de la commutation du composant à l'état passant, l'IGBT latéral est lui aussi activé, par l'intermédiaire de la même commande de grille.

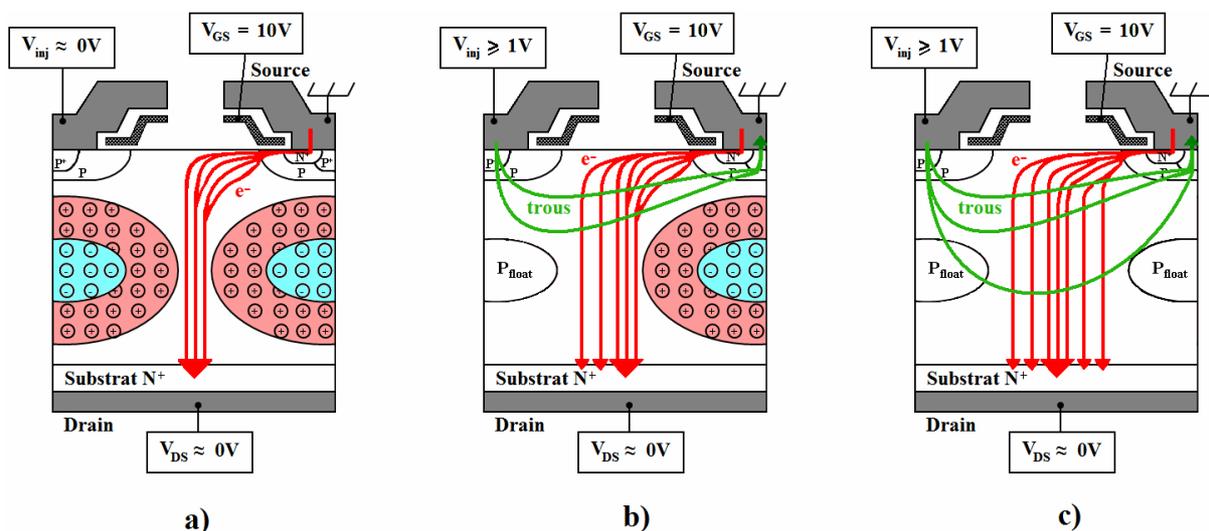


Figure II-50 : Schémas représentant le principe de l'injecteur de trous venant « regarnir » les îlots flottants de porteurs libres.

La Figure II-50 nous permet de visualiser schématiquement son principe de fonctionnement. Nous avons vu que, lors de la conduction, la partie MOS du composant transitait difficilement le courant d'électrons à cause des régions ionisées (Figure II-50a). Or, lorsque la grille est polarisée ($V_{GS}=10V$), l'IGBT latéral est lui aussi activé par une

polarisation V_{inj} , qui doit être au minimum supérieure à la tension de seuil de la jonction PHV/N⁻ (Figure II-50b). L'injecteur fournit alors un courant de trous remplissant les P_{float} et dégageant dans un premier temps les îlots flottants localisés sous l'injecteur. Ensuite, par propagation du courant de trous sur le réseau de P_{float}, tous les îlots flottants sont alors « regarnis » de trous, laissant pleinement le passage au courant de conduction (Figure II-50c).

Bien évidemment, cette structure doit être aussi optimisée, notamment en terme de dessin mais aussi en terme de procédé (gain, efficacité d'injection...). Cependant, nous avons voulu tester la viabilité de cette théorie sur le composant existant, avant tout nouvel effort de conception. Pour ce faire, nous avons repris un des dispositifs additionnels présent sur le HDTMOSTM ; le miroir de courant. Nous avons donc dérivé son utilisation afin d'approcher les conditions nécessaires à un injecteur de trous. Pour ce faire, une petite modification sur le jeu de masques a été entreprise : les régions N⁺ de surface constituant le miroir de courant ont été bloquées pour ne laisser au final que le PHV et le P⁺. La structure finale est celle représentée sur la Figure II-50.

Ensuite, la mesure « Gate charge » a aussi été réutilisée pour savoir si la théorie était viable. Il a donc fallu adapter le dispositif existant afin de pouvoir utiliser cet injecteur : la Figure II-51 résume le circuit final pour cette caractérisation. Notons qu'initialement, le miroir de courant est un MOS dont la grille est commune avec celui du composant. Ayant enlevé le N⁺, il se réduit à une diode dont la région P⁺P représente l'anode de notre IGBT latéral. Pour l'activer, un deuxième générateur d'impulsion, synchronisé au premier par le trigger de l'application, permet d'envoyer un signal de même largeur temporelle que celui de la grille, mais dont l'amplitude peut être modifiée. Nous sommes allés jusqu'à 10V, pour un courant délivré maximum $I_{Injecteur}=320mA$.

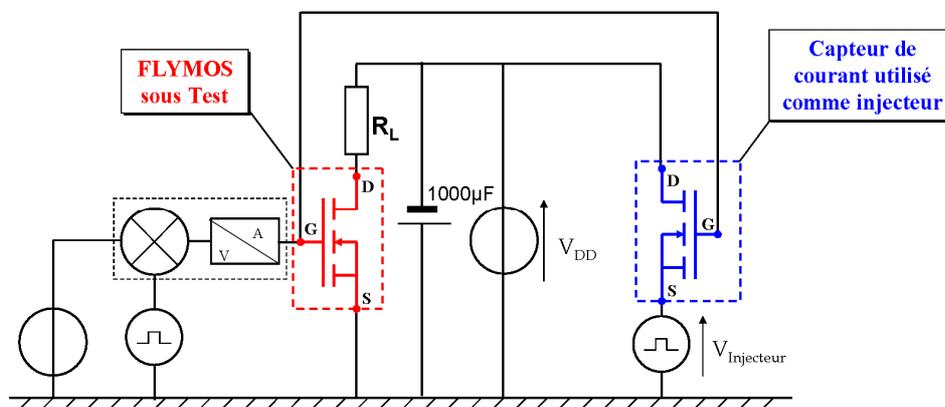


Figure II-51 : Circuit modifié pour utiliser l'injecteur de trous lors du « Gate charge ».

Nous avons choisi de tester l'injecteur dans le cas le plus défavorable, à savoir les P_{float} dopés à $12 \cdot 10^{12} \text{ cm}^{-2}$. Les résultats de caractérisation sont visibles Figure II-52 et Figure II-53. Dans les deux configurations testées, Squish Square et WELLFET, on remarque premièrement que l'efficacité est différente suivant le type de dessin. Dans le cas de la Figure II-52, les motifs des P_{float} sont des plots (ou « dots » en anglais) imposés par la structure du Squish Square ; or, on constate que l'injecteur ne fonctionne pas. Les courbes V_{DS} (avec ou sans utilisation de l'injecteur) se superposent, démontrant qu'aucune amélioration du R_{ONd} n'a été atteinte (quelle que soit la polarisation de V_{DS}). Cependant, dans le cas de la Figure II-53, l'amélioration de V_{DS} avec l'injecteur est réelle, dans la limite où V_{DSon} ne dépasse pas la

polarisation de V_{inj} : la résistance dynamique R_{ONd} est alors redevenue similaire à celle d'une dose 4.10^{12}cm^{-2} . Or, dans le cas du WELLFET, les P_{float} sont différents des dots du Squish Square : ils forment un réseau sous les motifs PHV, de telle sorte qu'ils sont tous interconnectés au niveau des cellules centrales.

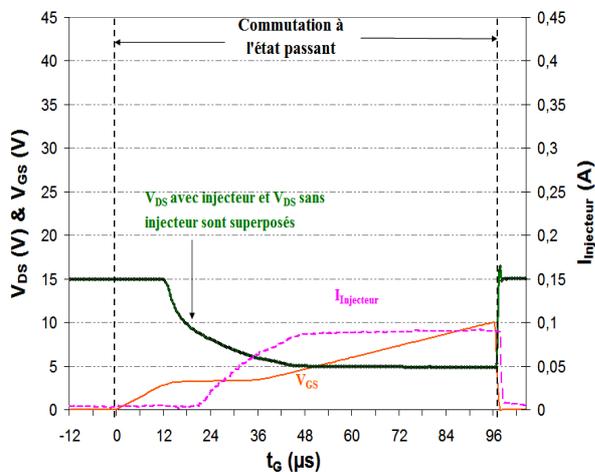


Figure II-52 : Test de l'injecteur pour un FLYMOS de type Squish Square dont le réseau de P_{float} ($12.10^{12} \text{cm}^{-2}$) est non connecté.

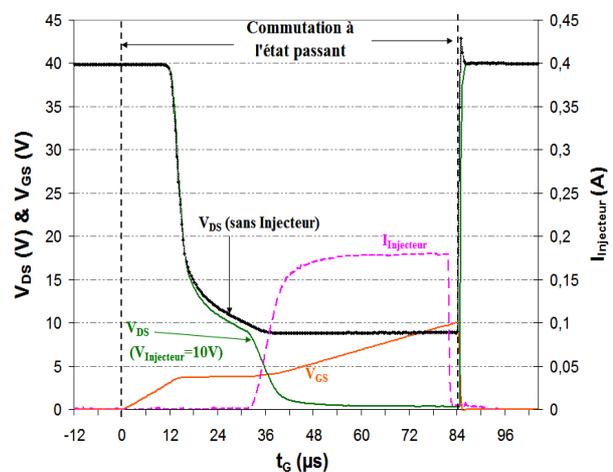


Figure II-53 : Test de l'injecteur pour un FLYMOS de type WELLFET dont le réseau de P_{float} ($12.10^{12} \text{cm}^{-2}$) est interconnecté.

Deux conclusions peuvent être tirées lorsqu'on compare ces résultats :

- ↳ Le principe d'injecteur de trous fonctionne mais doit être optimisé pour fonctionner quelle que soit la tension de polarisation V_{DS} ,
- ↳ Les P_{float} doivent impérativement être interconnectés (reliés entre eux) pour que les trous se propagent sur tous les îlots flottants du composant.

II.5.2.2. Optimisations de la structure

Une première solution vient d'être présentée. Cependant, sa mise en œuvre est assez délicate, car elle implique l'utilisation d'une structure additionnelle. Cette dernière nous replonge alors dans la problématique concernant l'ajout d'éléments extérieurs (§ II.5.1.1.2.) pouvant engendrer des dégradations de tenue en tension du composant. De plus, l'injecteur nécessite un effort d'optimisation important : nous décidons de l'abandonner pour l'instant.

Or, d'autres solutions sont envisageables : nous avons ainsi préféré nous concentrer directement sur l'optimisation du FLYMOS. Cette seconde possibilité se décompose en deux axes majeurs :

- Optimisation du dessin des structures : cette étape est fondamentale. Elle signifie que la connaissance des limitations du FLYMOS, que nous avons déterminées, doit être intégrée dans la conception du nouveau jeu de masques. Ainsi, les terminaisons doivent être pensées afin d'assurer une réelle tenue en tension, idéalement supérieure à celle de la cellule centrale. Aussi, l'intégration du pad de grille doit également être prise en compte : comment garantit-on qu'une diode tienne plus de 200V et qu'au passage au

MOSFET, la tenue en tension ne soit dégradée à cause d'un déséquilibre du champ électrique que pourrait créer l'intégration du pad de grille ? Ces deux points particuliers seront traités au Chapitre III.

- Perfectionnement du procédé de fabrication : ce deuxième axe est aussi très important. Le but est d'une part, de répondre aux problèmes de tenue en tension mais aussi, d'autre part, d'annihiler les complications liées aux zones ionisées, créées lors de l'extension de la ZCE. Premièrement, nous allons ajouter un niveau supplémentaire d'îlots flottants pour améliorer le compromis $BV_{dss}/R_{ON.S}$; ainsi, la dose d'implantation, le positionnement des P_{float} dans le drift, le dopage de l'épitaxie N^- vont être travaillés à nouveau. De plus, nous modifierons le réseau de P_{edge} pour le calquer sur celui du P_{float} , afin d'équilibrer le champ électrique entre volume et surface. Deuxièmement, nous allons travailler sur la forme des P_{float} pour que leur extension latérale soit minimisée, au bénéfice de R_{ONd} . Une nouveauté sera introduite : elle consiste en une couche de type N implantée sur toute la plaquette, plus fortement dopée que l'épitaxie N^- , afin de limiter l'extension de la zone d'ionisation entre les îlots. Le profil de l'épitaxie sera lui aussi optimisé pour que le $R_{ON.S}$ final soit le meilleur possible.

Ces investigations font partie intégrante de la stratégie d'optimisation que nous avons mise en place dès l'analyse physique des îlots flottants. Ainsi, nous aborderons en détails les choix réalisés, les paramètres retenus et les résultats de mesures dans le Chapitre III.

II.6. Conclusion

Dans ce chapitre, nous avons présenté la première phase du développement du projet FLYMOS 200V. L'objectif principal fut d'aborder phénoménologiquement son fonctionnement et de définir les limites de cette technologie. C'est pourquoi, nous avons tout d'abord présenté la technologie de fabrication basée sur le transistor HDTMOS™ de Freescale. Les deux types de motifs existants, Squish Square et WELLFET, ont été revus et différenciés. Enfin, une description détaillée du procédé de fabrication du FLYMOS a été dévoilée.

Ensuite, le premier plan d'expérience a pu être défini autour du paramétrage des îlots flottants (P_{float}). Une fois les composants fabriqués, la caractérisation physique a été réalisée à l'aide de l'outil SCM : elle a permis de visualiser, pour la première fois, la forme et les dimensions en 2D des P_{float} . Leur évolution au cours du procédé a ainsi pu être comprise, mettant particulièrement en lumière la différence de diffusion entre terminaison et cellule centrale, à la base de déséquilibre du champ électrique. De plus, les informations collectées permettront d'améliorer les estimations des futures simulations.

La caractérisation électrique fut l'étape suivante. Elle fut d'abord statique avec l'évaluation des tenues en tension BV_{dss} et des résistances passantes R_{ON} . Bien que les résistances statiques se révélèrent proches de ce qui était attendu, les tenues en tension mesurées furent, quant à elles, plus faibles : de l'ordre de 173V pour le composant possédant la plus faible dose. Dans le même temps, la détermination de la tenue en énergie (UIS)

compléta l'analyse, révélant l'impact négatif qu'avait une dose de P_{float} trop élevée sur cette dernière. Ensuite, la caractérisation fut dynamique : les mesures de C_{oss} , de $I_{DS}(V_{DS})$ et de Gate charge ont mis en évidence les phénomènes de charge et de décharge des P_{float} . La mesure du Gate charge a notamment montré qu'en présence d'îlots flottants trop dopés, la résistance dynamique R_{ONd} était jusqu'à 100 fois supérieure à la résistance statique R_{ON} mesurée pour un même composant, ce qui n'est pas acceptable.

La dernière partie a concerné l'analyse et la compréhension des résultats : elle a permis de définir les limites de la technologie FLYMOS et d'expliquer phénoménologiquement le comportement du dispositif. Les ionisations des îlots flottants, ainsi que des régions épitaxiales avoisinantes, se sont révélées être la cause des complications dynamiques. Pour remédier à l'ensemble des infortunes rencontrées, nous avons proposé et validé l'idée d'un « injecteur de trous », permettant de regarnir les îlots flottants. Une deuxième approche, ayant pour même objectif de supprimer cet effet d'ionisation, s'est orientée sur l'optimisation du dessin des structures et du procédé. Elle a notamment été retenue du fait de sa plus grande simplicité de mise en œuvre et de son gain de temps de réalisation non négligeable. La validation de cette démarche d'optimisation ainsi que l'ensemble des actions entreprises en ce sens vont être abordés dans le prochain chapitre.

Chapitre III :

Optimisation des performances du transistor FLYMOS 200 Volts

Chapitre III : Optimisation des performances du transistor FLYMOS 200 Volts

III.1. Introduction

Pour commencer ce chapitre III, revenons sur les publications des deux auteurs majeurs ayant publié sur les technologies à îlots flottants (en dehors du cadre LAAS-Freescale), afin de confirmer ou d'infirmer les observations et déductions présentées au chapitre II. Ces deux auteurs abordent chacun la problématique de l'ionisation des îlots flottants (et des régions avoisinantes), avec ses conséquences sur la résistance dynamique (R_{ONd}), tout en exposant comment leur dispositif respectif remédie à ce problème.

Le premier auteur, X.B. Chen [CHE00], présente un VDMOS vertical avec îlots flottants, appelé "VDMOST", d'une tenue en tension de 500V. Ce dernier déclare remédier au problème dynamique par la réalisation d'une terminaison dont la gravure anisotrope profonde ($50\mu\text{m}$) crée un angle de 70° avec la surface. Elle intègre une implantation de bore sur la tranchée ainsi formée, permettant de relier la source avec le réseau d'îlots flottants : ainsi, les trous nécessaires au remplissage des zones ionisées sont fournis par cette bande verticale de type P (les îlots sont "semi-flottants"). Le second auteur, W. Saito [SAI02] [SAI04], présente une diode Schottky intégrant des îlots flottants, appelée "BL-SBD", d'une tenue en tension de 350V. À l'aide de caractérisations dynamiques, il énonce aussi les problèmes possibles de charges et de décharges des îlots. Cependant, la diode présentée permet l'injection de trous à la commutation à l'état passant, afin d'annihiler le problème d'ionisation dégradant la résistance dynamique R_{ONd} .

Ces auteurs confirment donc les limitations existantes dans les technologies à îlots flottants. Dans le cas du FLYMOS, le travail d'analyse effectué précédemment nous a permis de définir les limitations de notre composant. Tout comme ces auteurs, des solutions ont été présentées, ce qui permet le développement de la seconde phase du projet présenté dans ce chapitre. L'objectif final est d'optimiser au maximum, et si possible, le FLYMOS 200V. Dans cette optique, nous présenterons, dans un premier temps, les améliorations apportées au procédé de fabrication (dopage et profil d'épithaxie, nombre d'îlots flottants, ...) et les modifications des terminaisons. Nous validerons ensuite ces changements par un premier plan d'expérience incluant une caractérisation physique et électrique. Une attention particulière sera portée à la mesure du Gate charge, afin de vérifier que le problème de R_{ONd} est résolu. La deuxième étape concernera la réalisation d'un nouveau jeu complet de masques, résultant des analyses de ce premier plan d'expérience. Nous y aborderons en détail tous les points spécifiques volontairement intégrés aux nouveaux dessins de structures. Dans un troisième temps, un dernier plan d'expérience sera exposé ; il est censé valider toutes les améliorations apportées. L'ensemble des performances électriques du FLYMOS 200V sera ensuite développé. Pour finir, nous comparerons ce composant aux autres dispositifs 200V innovants, présents sur la scène internationale, ce qui nous permettra de dresser un bilan sur la viabilité de la technologie FLYMOS.

III.2. Validation des choix d'optimisation

III.2.1. FLYMOS optimisé à 2 niveaux d'îlots flottants

III.2.1.1. Améliorations du procédé de fabrication

Notre première réalisation, intégrant un seul niveau d'îlots flottants, proposait une région N^- uniforme, conséquence des deux étapes d'épitaxie successives possédant le même dopage $N_D=1,8.10^{15} \text{ cm}^{-3}$. Également, la répartition du champ électrique du composant se faisait dans une configuration d'extension libre (en anglais « non-punch-through»). Ainsi, l'extension de la zone de charge d'espace (ZCE) était non limitée, ayant pour avantage d'assurer la tenue en tension : le claquage du composant intervenait avant que la ZCE n'atteigne le substrat N^+ (situé à $17\mu\text{m}$ de la surface).

Or, dans le processus d'optimisation que nous avons engagé, l'amélioration du compromis « tenue en tension / résistance passante spécifique » ($BV_{\text{dss}}/R_{\text{ON.S}}$) nécessite notamment de positionner le composant dans une configuration en limitation de ZCE. Intégrant en plus d'autres perfectionnements, le procédé de fabrication peut alors se résumer par les 4 points suivants :

- 1°) Tout d'abord, un second niveau d'îlots flottants (P_{float}) est ajouté. La motivation principale est de faire disparaître les problèmes de résistance dynamique R_{ONd} , constatés lors de la mesure des premiers prototypes. Pour y parvenir, la position des deux niveaux de P_{float} par rapport à la surface est optimisée afin qu'il soit possible de fournir par perçage les trous nécessaires à la « désionisation » des P_{float} , lors de la commutation à l'état passant. Cela revient à activer le transistor PNP vertical parasite, pour injecter des trous de la source vers les P_{float} (Figure III-1). Le second avantage est l'amélioration de la résistance passante R_{ON} statique induite par l'augmentation du dopage de l'épitaxie – lui-même étant la conséquence de l'ajout d'un niveau de P_{float} – (cf. §III.2.1.5.).

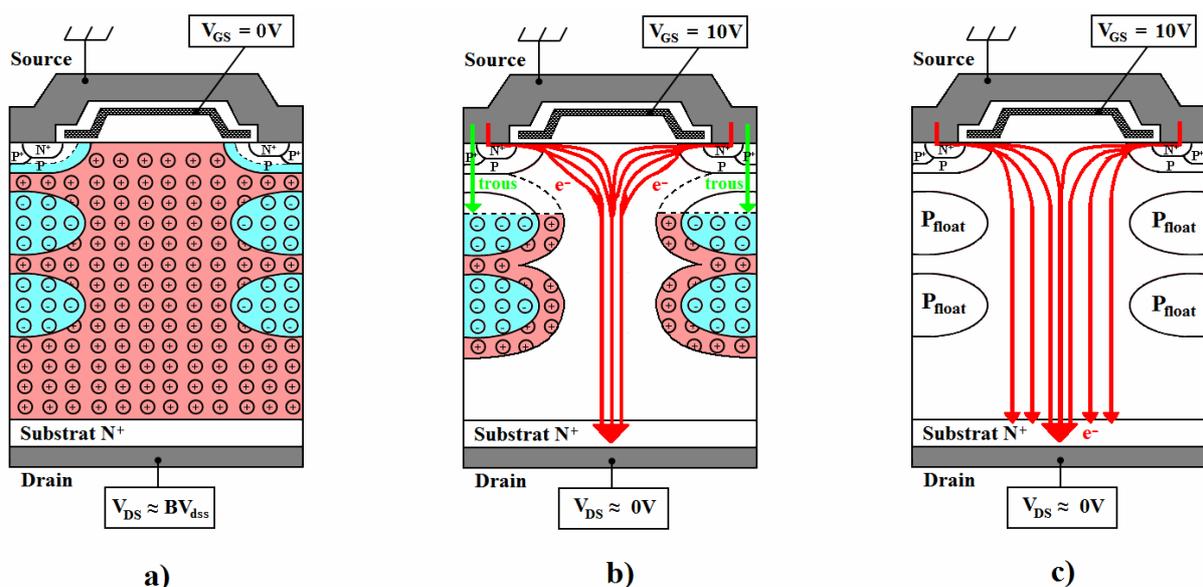


Figure III-1 : Description du mécanisme d'injection de trous par perçage des zones ionisées permettant la « désionisation » des P_{float} à la commutation à l'état passant.

2°) Le second point porte sur la modification du profil épitaxial. Afin de disposer le composant dans la configuration d'extension limitée de la ZCE (« punch-through »), l'épitaxie comporte une partie graduelle dans sa première partie (épi1). Sa concentration dégressive permet d'optimiser R_{ON} sans dégrader BV_{dss} . La seconde épitaxie (épi2) est uniforme, tout comme la dernière épitaxie (épi3) où seulement la fin est décroissante graduellement, afin d'optimiser l'autoblindage de surface entre les cellules centrales (cf. Figure III-5a, §III.2.1.4.)

3°) La troisième évolution porte sur l'ajout d'une implantation de phosphore (N_{float}) sur toute la surface du wafer, réalisée juste avant chaque étape de réalisation des P_{float} . Notons qu'elle est faite sans utilisation de masque supplémentaire. Le but de cette implantation est d'augmenter localement la concentration N_D de l'épitaxie entre les îlots flottants par ajout d'une couche de type N. Les avantages de cette configuration sont :

- Le léger surdopage de type N entre les P_{float} améliore la densité de courant au niveau du goulot d'étranglement formé par les îlots, réduisant ainsi la résistance « R_{JFET} ». Au final, la résistance passante totale R_{ON} est diminuée.
- Le second avantage concerne la limitation de la diffusion latérale des îlots flottants. Ainsi, le rapport hauteur sur largeur (L/H) devrait être modifié, au bénéfice de R_{ON} .
- Enfin, en comportement dynamique, le dopage N_{float} plus important entre les P_{float} permet de limiter l'extension des zones d'ionisation, ce qui diminue théoriquement la dégradation de R_{ONd} .

Cependant, il est impératif de faire attention à la dose d'implantation du N_{float} ainsi qu'à son énergie : en effet, il ne faut pas que ce surdopage modifie la répartition du champ au niveau des P_{float} , ce qui engendrerait une détérioration de la tenue en tension du composant (cf. §III.2.1.4.).

4°) Le dernier point d'amélioration concerne le recuit des P_{float} et N_{float} . Certes, une légère activation de 900°C pendant 30 minutes est réalisée juste après les implantations de P_{float} et de N_{float} , mais elle n'est pas suffisante. Un fort recuit final de 1100°C, stabilisé pendant 120 minutes, est alors réalisé une fois les trois épitaxies terminées : il se situe entre l'étape de dépôt de l'oxyde épais et l'ouverture de la zone active (cf. Figure III-16, §III.2.1.5.). Le but est d'uniformiser le plus possible les diffusions entre les 2 niveaux de P_{float} et N_{float} .

En conclusion, la combinaison de toutes ces améliorations de procédé a pour objectif de rendre les îlots flottants le plus "transparent" possible, pour que leur rôle principal de diviseur de champ soit l'unique résultat de leur introduction. Notons que ces briques technologiques supplémentaires, correspondant principalement à l'ajout du deuxième niveau d'îlots flottants ainsi que de l'adjonction, à chaque niveau de P_{float} , d'une couche de N_{float} , représentent la base fondamentale de l'amélioration des performances statiques (R_{ON}) et dynamiques (R_{ONd}) du transistor FLYMOS. Malgré l'augmentation des coûts de fabrication que cela engendre, nous espérons réaliser un gain très significatif de performances – nous permettant par ailleurs d'en justifier leur utilisation –.

III.2.1.2. Modifications des terminaisons

III.2.1.2.1. Contexte : stratégie d'optimisation des terminaisons

Le second volet de l'optimisation concerne la modification des dessins des structures : il est en effet impératif de définir des nouvelles terminaisons adaptées à la tenue en tension de 200V. Reprenant la constatation faite au chapitre précédent, portant sur l'existence de déséquilibres du champ électrique, deux possibilités de terminaison ont été définies : la première est une plaque de champ enterrée, dont les motifs sont des plots que nous appellerons « dots », permettant de moduler la concentration finale moyenne de la plaque grâce aux variations de leurs dimensions. La seconde reprend le principe des anneaux de garde en l'adaptant au FLYMOS. La particularité de notre approche est que ces anneaux sont réalisés en même temps que les cellules centrales, réduisant ainsi la variabilité de concentration entre le centre et les bords de puce.

Avant de développer un nouveau jeu de masques, nous avons choisi de valider ces terminaisons en modifiant uniquement le masque P_{float} déjà utilisé. Les dots ont ainsi été appliqués aux FLYMOS, dont la grande puce a été présentée au Chapitre II : nous les appellerons “grand FLYMOS”. Cependant, afin de s'affranchir d'éventuels problèmes toujours liés aux motifs additionnels présents sur cette grande puce (voir §II.5.1.1.2.), des petites structures simplifiées ont aussi été modifiées. On retrouve alors deux catégories de structures (Figure III-2) : des “petits FLYMOS”, ne possédant que le pad de grille et incluant des variations sur les dots et des FLY-diodes incluant des variations sur les anneaux de garde.

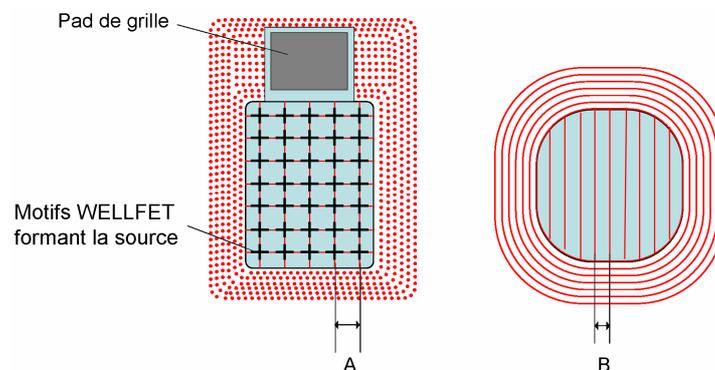


Figure III-2 : Vues schématiques des terminaisons type « dots » pour les petits FLYMOS (à gauche) et type anneaux de gardes pour les FLY-diodes (à droite).

III.2.1.2.2. Terminaison de type plaque de champ enterrée (« dots »)

Le premier but de cette terminaison est de reproduire dans le volume l'effet d'une plaque de champ. Pour soutenir la tension désirée, on utiliserait classiquement une ouverture de masque très grande. Or, dans ce cas, la configuration serait similaire à celle déjà existante et utilisée sur les tous premiers dispositifs, ce qui provoquerait aussi des problèmes de tenue en tension. Pour éviter de créer une différence de concentration du P_{float} entre les cellules centrales et les terminaisons (cause du déséquilibre du champ électrique), l'astuce consiste à réaliser des plots d'implantation de P_{float} (dots), dont les différents diamètres d'ouverture permettront de moduler le dopage net final des P_{float} (Figure III-3). Ainsi, les P_{float} viendront “fusionner” après diffusion, créant ainsi une plaque de champ graduellement dopée.

La Figure III-3 présente la structure type de cette terminaison “dots” appliquée au FLYMOS. Trois paramètres la définissent :

- la distance d entre chaque centre des dots est fixée à $2,35\mu\text{m}$,
- la distance D , centre à centre, entre le dernier P_{float} des cellules centrales et la première rangée de dots de la terminaison est établie à $3,9\mu\text{m}$,
- enfin, l’ouverture masque P_{float} pour l’implantation des dots dispose de trois ouvertures différentes, choisies à $0,6\mu\text{m}$, $0,8\mu\text{m}$ et $1,0\mu\text{m}$.

Notons que pour limiter la multiplication des différentes combinaisons possibles, seule l’ouverture du masque a varié. Aussi, ces trois ouvertures encadrent la valeur d’ouverture du P_{float} des cellules centrales restant fixée à $0,8\mu\text{m}$ – avec notamment l’espace A entre chaque centre du réseau qui vaut $9,4\mu\text{m}$ (Figure III-2) –.

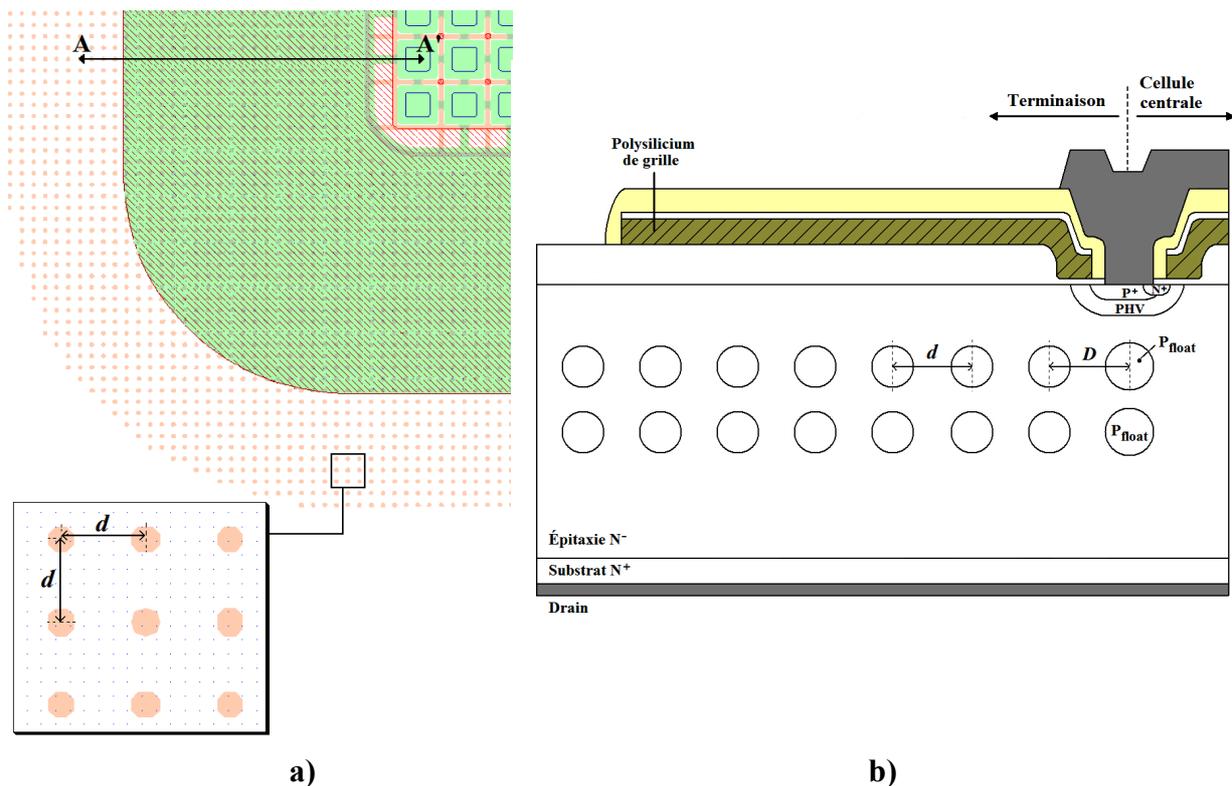


Figure III-3 : Petit FLYMOS possédant la terminaison type dots :

a) vue de dessus,

b) représentation schématique de la vue en coupe suivant l’axe AA’.

III.2.1.2.3. Terminaison de type anneaux de garde enterrés

La seconde terminaison que nous souhaitons utiliser reprend le principe des anneaux de garde (en anglais « P rings ») couramment utilisé dans les dispositifs moyennes et hautes tensions (cf §I.3.3.4.). Le but de cette terminaison est de répartir le champ électrique sur chaque anneau afin d’étendre au maximum les lignes équipotentielles, pour atteindre des niveaux très proches du BV_{dss} des cellules centrales. Généralement, ces anneaux fortement dopés sont utilisés à la surface des composants. Or, dans le cadre de notre étude, deux distinctions sont à faire : premièrement, ces anneaux sont enterrés, au même niveau que les P_{float} et, deuxièmement, ils sont de taille et de dopage similaires au P_{float} des cellules centrales pour rester en accord avec notre démarche d’uniformisation.

La Figure III-4 présente la structure type « anneaux de gardes enterrés », appliquée sur trois petites FLY-diodes différentes. Sur ces trois dispositifs disponibles, nous avons choisi de ne faire varier qu'un seul paramètre. Nous retrouvons les critères suivants :

- la distance S_1 (centre à centre) entre chaque anneau est le paramètre variable. Ces anneaux sont espacés de $2,6\mu\text{m}$, $3,1\mu\text{m}$ et $3,6\mu\text{m}$. Cependant, chaque dispositif possède une ouverture d'implantation identique, fixée à $0,5\mu\text{m}$.
- les P_{float} des cellules centrales ont aussi été modifiés. En effet, à la différence des FLYMOS, les réseaux de P_{float} ne sont plus soumis à l'alignement du PHV. Nous avons alors choisi de tester une configuration en bandes simples, espacées d'une distance B de $5\mu\text{m}$ (Figure III-2) dans toute la zone active (les ouvertures d'implantation sont conservées à $0,8\mu\text{m}$), afin d'obtenir un BV_{dss} maximum.

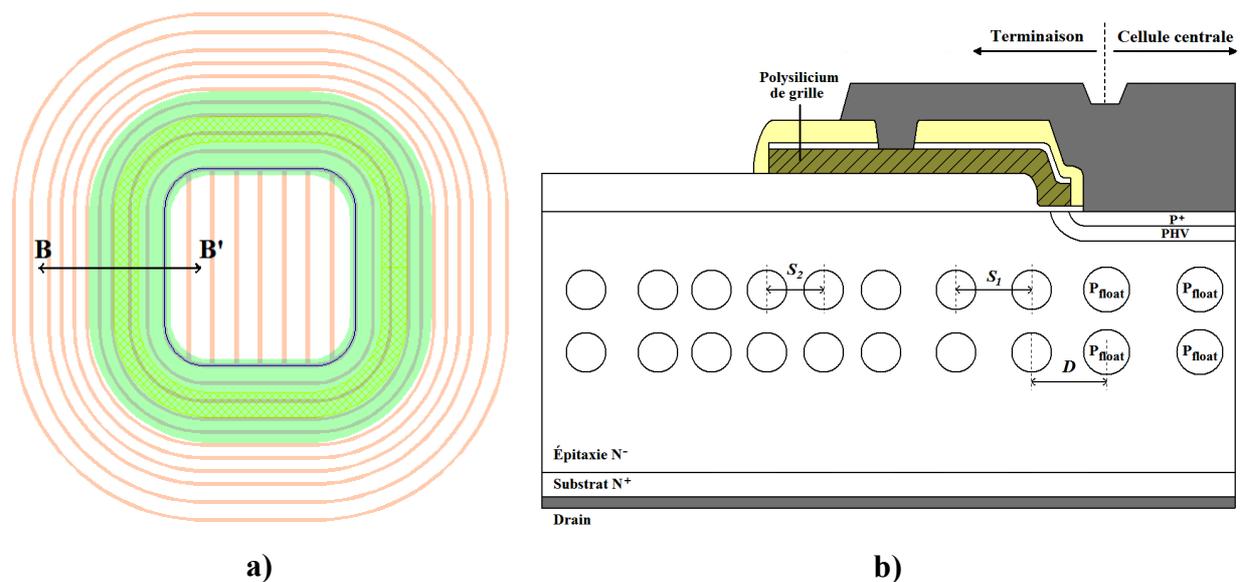


Figure III-4 : Petite FLY-diode possédant la terminaison type anneaux de garde enterrés :
 a) vue de dessus,
 b) représentation schématique de la vue en coupe suivant l'axe BB' .

L'une des particularités de ces FLY-diodes concerne la distance S_2 (Figure III-4b). Nous espérons, par ce resserrement des anneaux, mieux protéger la zone correspondant à la fin du poly qui forme une plaque de champ surfacique (Chapitre I, §I.3.3.1.). Le but est d'y éviter tout claquage prématuré. La distance S_2 est fixé à $2,5\mu\text{m}$, quelle que soit la structure.

III.2.1.3. Différenciation technologique et modification du P de surface

Nous venons de présenter notre démarche d'optimisation, incluant les différentes stratégies adoptées au niveau du procédé de fabrication et au niveau des dessins des terminaisons. Cependant, nous avons entrepris en parallèle une recherche bibliographique poussée, afin de déterminer si ces innovations n'avaient pas déjà été imaginées. Nous avons alors trouvé deux brevets couvrant en partie nos idées. Le premier, déposé en 2004, est un brevet de D. Ahlers, d'Infineon Technologies [AHL04]. Il porte essentiellement sur la réduction des distances verticales entre îlots flottants, permettant le transfert de charges à la commutation. Le second, déposé en 2000, est un brevet de I. Omura, de Toshiba [OMU00]. À la différence du brevet d'Infineon, ce brevet est très vaste : il porte sur la technologie à îlots

flottants en général et se veut riche en propositions diverses. Or, seul un point concerne directement une des améliorations imaginées pour notre FLYMOS : il est déclaré que pour réduire la résistance R_{JFET} entre les îlots flottants, la réalisation d'une couche N^+ entre les îlots flottants est possible. Au final, nous constatons donc que deux aspects de notre démarche d'optimisation semblent avoir déjà été proposés.

Pourtant, plusieurs détails nous permettent de différencier notre conception de celles des deux brevets précédents. Deux critères distinguent notre approche :

- 1°) Tout d'abord, ces deux brevets ne concernent que les cellules centrales. Or, notre démarche combine ces deux principes à la fois sur les cellules centrales et sur les terminaisons qui sont réalisées en une seule et même étape.
- 2°) Concernant le brevet de Toshiba, l'ajout d'une couche N^+ entre les îlots flottants est présenté uniquement pour réduire la résistance R_{JFET} de la résistance statique R_{ON} . Or, nous l'appliquons essentiellement pour minimiser la diffusion latérale de bore des P_{float} afin de minimiser les nuages d'ionisation se créant après extension de la ZCE. Le résultat supplémentaire attendu est une amélioration de R_{ONd} . De plus, on suppose que l'utilisation d'un masque additionnel est envisagée pour implanter cette couche N^+ . Or dans notre cas, aucun masque N_{float} n'est ajouté, ce qui en fait toute sa spécificité.

Le dernier point d'optimisation envisagé concerne la modification de la région P de surface : le P_{edge} . Nous aurions simplement pu laisser le dispositif en l'état, sans ajouter ce niveau, mais forts de notre première expérience, nous avons tout de décidé de l'utiliser. En effet, nous avons conclu précédemment que le champ électrique devait être uniformément réparti entre les terminaisons et les cellules centrales d'une part, mais aussi entre régions P en volume et à la surface d'autre part. Dans cette logique, notre nouvelle idée fut de tout simplement calquer l'étage du P_{edge} sur celui du P_{float} , en y intégrant aussi la réalisation du N_{float} . Ce dernier aspect de la réalisation du composant s'avère être également un élément déterminant dans notre démarche de différenciation.

III.2.1.4. Estimation des paramètres de procédé

Pour réussir à réaliser un tel composant, des estimations des paramètres de procédé ont naturellement été calculées, toujours à partir de l'outil de simulation ISE. Les premières estimations sont construites sur la base d'une épitaxie (toujours dopée à l'arsenic) dont les parties uniformes ont une résistivité de $2,3\Omega.cm$, soit un dopage de $2,0.10^{15}cm^{-3}$. La partie graduelle près du substrat s'échelonne de $1,0\Omega.cm$ à $2,3\Omega.cm$ (Figure III-5a).

Ensuite, une attention particulière a été portée aux implantations des P_{float} et N_{float} . Dans cette nouvelle configuration, l'étape de réalisation du P_{float} est étroitement liée à celle du N_{float} : ils forment un couple de paramètres interdépendants. Le point critique concerne alors l'alignement des pics de concentration (Figure III-5a). Un désalignement dégraderait sensiblement la tenue en tension. Il est donc impératif de faire attention à l'énergie d'implantation des P_{float} et N_{float} . Pour définir ces valeurs d'énergie optimales, nous avons réalisé des calibrations SIMS sur wafers témoins : les résultats nous ont permis de définir une énergie de 160keV pour l'implantation de phosphore du N_{float} et une énergie de 50keV pour

l'implantation de bore du P_{float} . Notons que, pour ce dernier, l'énergie est 2 fois plus faible que dans les premières expérimentations. Elle tient compte, notamment, du recuit final (1100°C, 120min) que nous réalisons avant l'étape d'ouverture de la zone active. Pour finir, nous aboutissons à un profil de dopage net homogène où le potentiel, lié à la polarisation V_{DS} , se distribue quasi-linéairement dans le volume pour atteindre 230V (Figure III-5b).

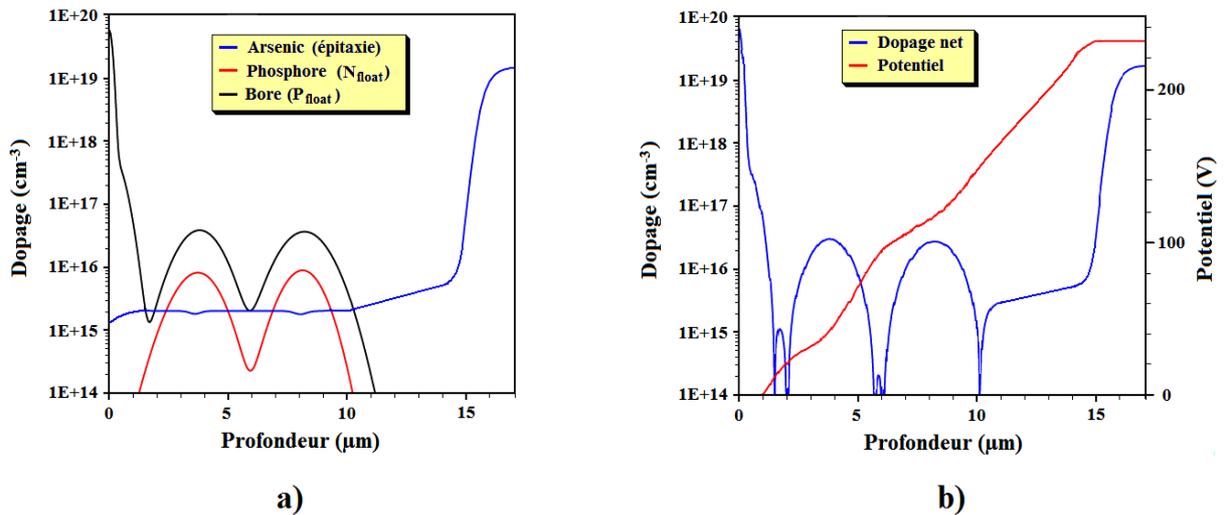


Figure III-5 : Composition de la structure optimisée au niveau de la cellule centrale :
 a) représentation des nouveaux profils d'épitaxie (As), des P_{float} (B) et des N_{float} (P),
 b) représentation du dopage net (final) et de la répartition volumique du potentiel.

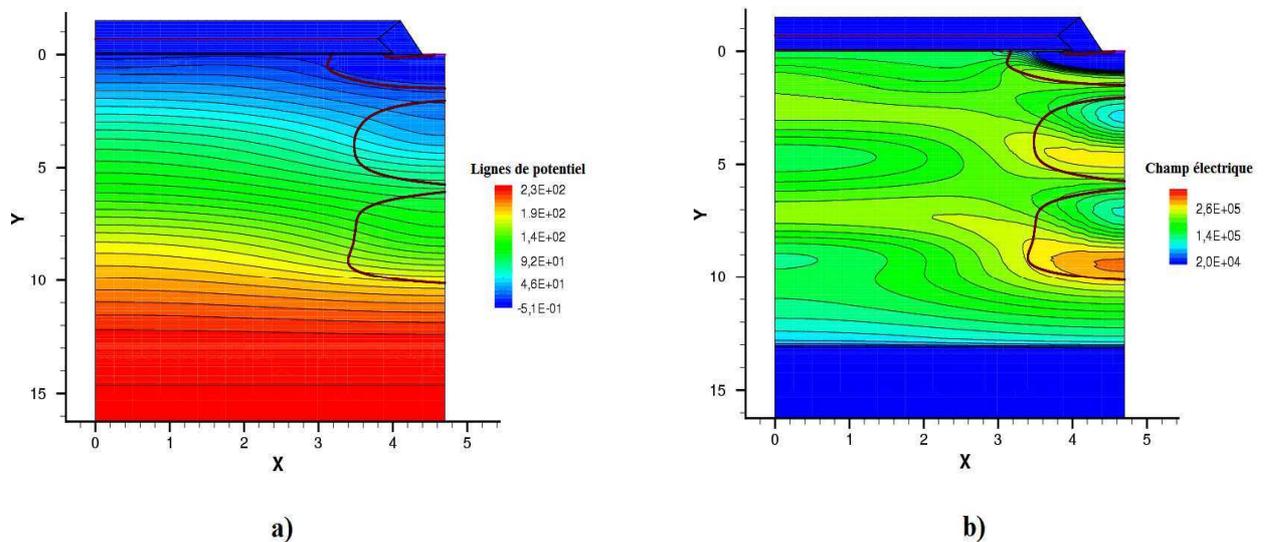


Figure III-6 : Résultats de simulation ; P_{float} implantés à $2,10^{13} \text{ cm}^{-2}$ et N_{float} implantés à $1,5 \cdot 10^{12} \text{ cm}^{-2}$;
 a) distribution des lignes de potentiel dans une demi-cellule centrale,
 b) distribution du champ électrique dans une demi-cellule centrale.

Comme lors de notre première réalisation, nous avons choisi de faire varier les doses d'implantation des P_{float} et des N_{float} . Plusieurs valeurs ont ainsi été définies : un exemple est fourni à la Figure III-6. Elle illustre la répartition des lignes de potentiel dans une demi-cellule atteignant 230V (Figure III-6a) ainsi que la localisation du champ électrique critique au claquage (Figure III-6b). Un premier plan d'expérience a donc pu être bâti :

- La concentration de l'épitaxie est fixée à $2,0 \cdot 10^{15} \text{ cm}^{-3}$ dans sa partie stable, et graduelle de $2,0 \cdot 10^{15} \text{ cm}^{-3}$ à $4,9 \cdot 10^{15} \text{ cm}^{-3}$ près du substrat,

- 3 doses d'implantation des P_{float} ont été choisies, avec la même énergie de 50keV : $1.10^{13}cm^{-2}$, $2.10^{13}cm^{-2}$ et $3.10^{13}cm^{-2}$,
- 3 doses d'implantation du N_{float} ont été définis, avec la même énergie de 160keV : $1.10^{12}cm^{-2}$, $1,5.10^{12}cm^{-2}$ et $2.10^{12}cm^{-2}$,
- le recuit final est fixé à 1100°C pendant 120 minutes.

Enfin, un dernier point sera vérifié dans ce nouveau plan d'expérience : il s'agira d'évaluer, sur les wafers donnant les meilleurs résultats, l'efficacité d'un étage P_{edge} similaire à celui du P_{float} et N_{float} .

III.2.1.5. Synthèse des nouvelles étapes technologiques

Afin de résumer clairement les nombreuses modifications apportées au procédé de fabrication, récapitulons l'enchaînement de ces nouvelles étapes technologiques, nécessaires à la réalisation de ce plan d'expérience :

- À partir d'un même substrat de silicium N^+ , nous construisons une première épitaxie (épi1) dopée à l'arsenic (As) en une seule et même étape, mais constituée de 2 parties distinctes. La première est graduelle, d'une résistivité allant de $1,0\Omega.cm$ à $2,3\Omega.cm$ sur $5,5\mu m$, soit une concentration en dopant N_D diminuant de $4,9.10^{15}cm^{-3}$ à $2,0.10^{15}cm^{-3}$. Dans la foulée, la seconde est stabilisée à $2,3\Omega.cm$ sur $2,5\mu m$, pour aboutir à une première épitaxie totale de $8\mu m$ d'épaisseur. Ensuite il faut marquer le silicium (pré-alignement), afin de pouvoir aligner les autres masques sur cette marque (Figure III-7).
- Après avoir fait croître un oxyde mince sur toute la plaquette, la seconde étape consiste à planter le phosphore, sans ajout de masque, pour former la première couche N_{float1} (Figure III-8).
- Ensuite, le bore est implanté, à l'aide du masque P_{float} , pour former le premier niveau d'îlots flottants (P_{float1}), à la fois en cellule centrale et en terminaison (Figure III-9).
- Nous enlevons ensuite l'oxyde afin de faire croître la deuxième épitaxie (Figure III-10). Cette seconde épitaxie (épi2) est uniforme sur $4,4\mu m$, d'une résistivité de $2,3\Omega.cm$ ($2,0.10^{15}cm^{-3}$).
- La construction du deuxième niveau de N_{float} et P_{float} est identique au premier niveau. De la même manière, le N_{float2} est d'abord réalisé (Figure III-11), suivi par le masquage et la création du deuxième niveau d'îlots flottants (P_{float2}) (Figure III-12).
- Après désoxydation, la dernière épitaxie (épi3) est construite, d'une épaisseur de $4,4\mu m$ et d'une résistivité de $2,3\Omega.cm$ (Figure III-13). Notons qu'elle finit par être légèrement dégressive à la surface du composant, favorisant l'autoblindage des cellules centrales.
- Au niveau de la surface, la réalisation du niveau P_{edge} est identique aux étapes constituant les 2 niveaux d'îlots flottants. On y retrouve la même implantation de phosphore réalisant la couche N_{float3} (Figure III-14) et l'implantation de bore réalisant le P_{edge} , identique au P_{float} (Figure III-15). Puis, un oxyde épais est déposé ; il permet de réaliser le recuit de 1100°C pendant 120 minutes servant à uniformiser les diffusions entre chaque niveau (Figure III-16). Ensuite, la partie active est définie (par gravure), permettant la construction du HDTMOSTM à la surface.

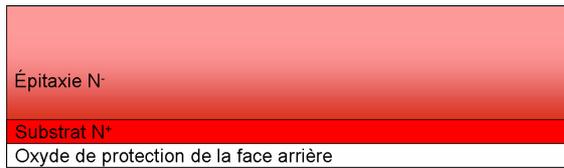


Figure III-7 : Croissance de la première épitaxie sur substrat N⁺ et pré-alignement.

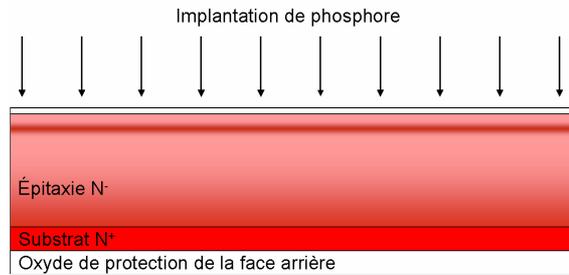


Figure III-8 : Implantation du phosphore réalisant le 1^{er} niveau de N_{float}.

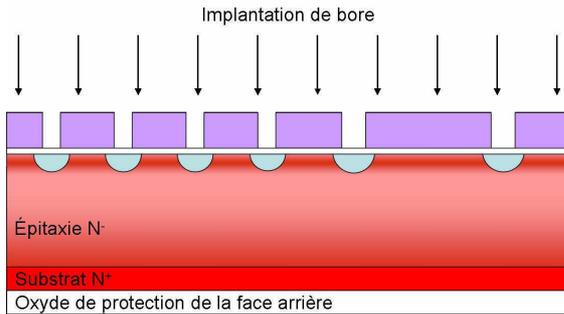


Figure III-9 : Implantation du bore réalisant le 1^{er} niveau de P_{float}.

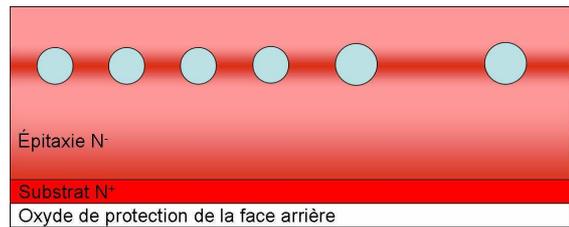


Figure III-10 : Croissance de la 2^{ème} épitaxie.

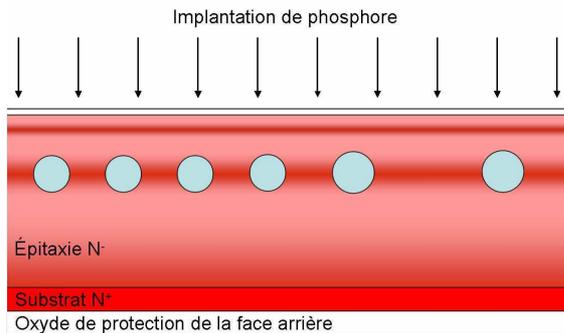


Figure III-11 : Implantation du phosphore réalisant le 2^{ème} niveau de N_{float}.

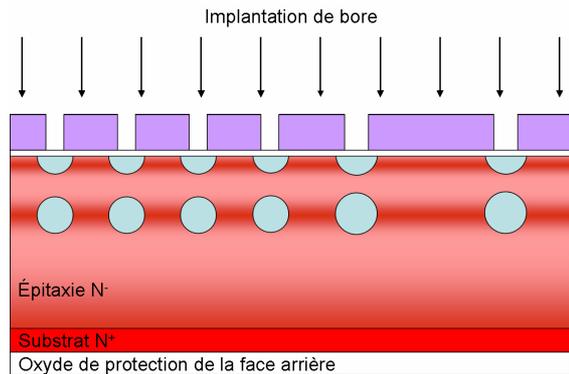


Figure III-12 : Implantation du bore réalisant le 2^{ème} niveau de P_{float}.

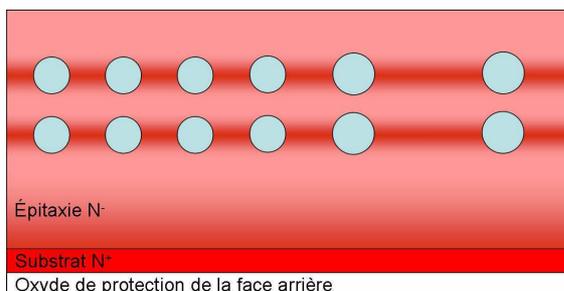


Figure III-13 : Croissance de la 3^{ème} épitaxie.

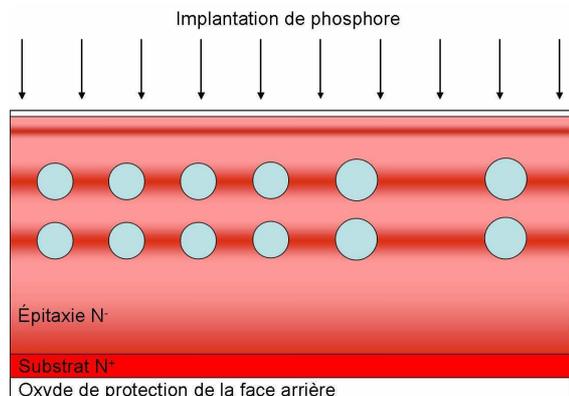


Figure III-14 : Implantation du phosphore réalisant le N_{float3} au niveau de l'étage P_{edge}.

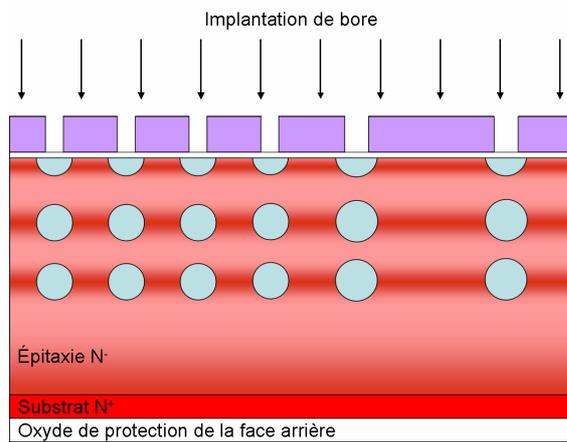


Figure III-15 : Implantation du bore réalisant le P_{edge} , identique au P_{float} .

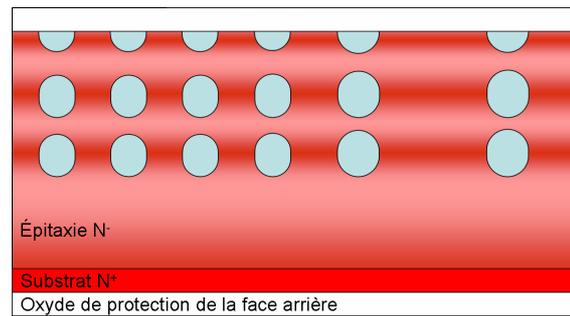


Figure III-16 : Dépôt de l'oxyde épais et recuit des P_{float} , N_{float} et P_{edge} pour l'uniformisation.

Les étapes suivantes, concernant la création du HDTMOS™ de surface, sont identiques à celles déjà présentées au chapitre II (§II.2.2.2., de la Figure II-12 à Figure II-17). En fin de procédé, le FLYMOS optimisé est équivalent à la représentation faite Figure III-17.

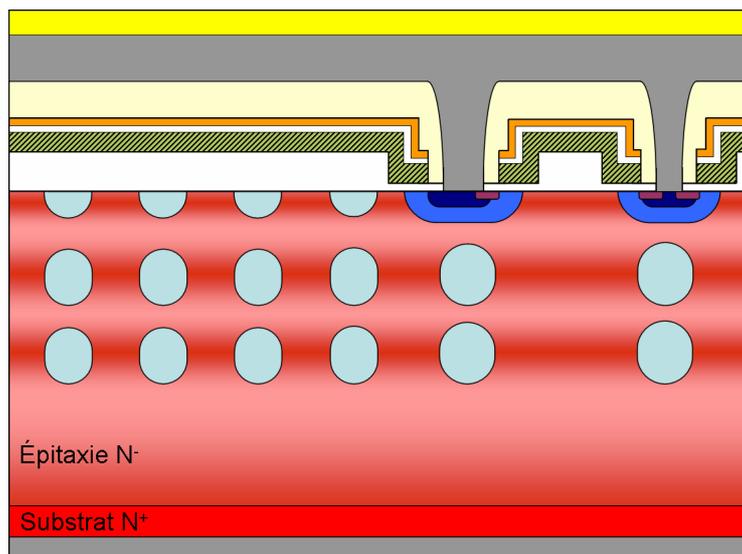


Figure III-17 : FLYMOS optimisé intégrant 2 niveaux d'îlots flottants et un niveau de P_{edge} en surface.

III.2.2. Caractérisation physique : images SCM 2D

La technique SCM fut utilisée sur nos premières réalisations dans le but de déterminer la forme et les dimensions 2D des îlots flottants, afin de comprendre leur évolution dans le procédé et pouvoir réajuster ce dernier à partir des informations collectées. Notre nouvel objectif est légèrement différent : en plus de quantifier ces nouveaux P_{float} , cette caractérisation nous permettra surtout de contrôler la bonne mise en place des modifications apportées. Le premier aspect que nous vérifierons concerne les distances verticales : la question est de savoir si les îlots flottants fusionnent entre eux et, si oui, dans quelles conditions. Aussi, nous évaluerons la distance entre le PHV à la surface et le P_{float2} , afin d'observer une éventuelle unification de ces deux régions P, ce qui nous placerait dans le cas

de Superjonction. Le deuxième aspect concerne les terminaisons : nous observerons aussi quelles sont les distances (d , S_1 et S_2) des dots et des anneaux entraînant la réunion par proximité des îlots flottants.

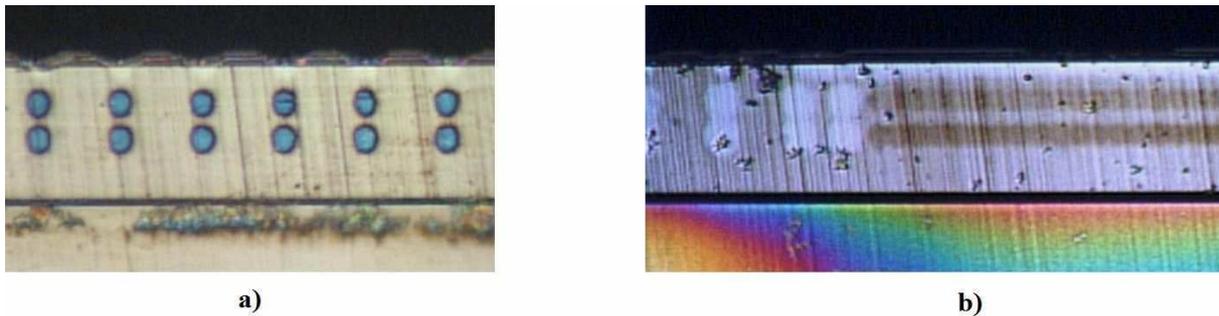


Figure III-18 : Révélation cristalline sur coupes de FLYMOS optimisés :
 a) cellules centrales dans le cas de P_{float} implantés à $1.10^{13} \text{ cm}^{-2}$,
 b) cellules centrales et terminaison dans le cas de P_{float} implantés à $3.10^{13} \text{ cm}^{-2}$.

La préparation des échantillons SCM demande du temps, ce qui induit des délais importants avant l'obtention des premiers résultats. Vu le nombre conséquent de possibilités induites par le nouveau plan d'expérience, nous avons restreint notre analyse aux composants ayant les doses de P_{float} les plus faibles ($1.10^{13} \text{ cm}^{-2}$) et les plus fortes ($3.10^{13} \text{ cm}^{-2}$), et possédant tous la même dose de N_{float} à $1.10^{12} \text{ cm}^{-2}$. Un premier résultat obtenu par révélation cristalline (Figure III-18) montre que, dans le cas de la faible dose (Figure III-18a), les P_{float} sont distincts, alors qu'ils semblent se réunir verticalement en cellules centrales et horizontalement dans les terminaisons pour la dose plus importante (Figure III-18b). Or, cette méthode reste encore trop imprécise ; c'est pourquoi, nous décidons d'utiliser l'outil SCM, qui demeure bien plus précis, afin d'approfondir ces observations.

III.2.2.1. Étude des cellules centrales du FLYMOS

Reprenant le paramétrage SCM établi lors de la calibration, la caractérisation 2D des cellules centrales a permis la quantification des dimensions des deux niveaux de P_{float} , mais aussi la mesure de la distance séparant les deux P_{float} (P_{float1}/P_{float2}) et de la distance séparant le PHV du dernier P_{float} (P_{float2}/PHV). L'ensemble des résultats est synthétisé au Tableau III-1.

	Dose des P_{float} (cm^{-3})	Dimensions du P_{float1}			Dimensions du P_{float2}			Espace vertical entre P_{float1} et P_{float2} (μm)	Espace vertical entre P_{float2} et PHV (μm)
		L (μm)	H (μm)	L/H	L (μm)	H (μm)	L/H		
	1.10^{13}	2,57	2,93	0,88	2,43	2,76	0,88	~ 1,35	~ 1,5
	3.10^{13}	3,27	3,67	0,89	3,21	3,62	0,88	~ 0,5	~ 1,0
Variations entre les deux doses		+27%	+25%	-	+32%	+31%	-	- 60%	- 30%

Tableau III-1 : Synthèse des dimensions des îlots flottants et de leurs espacements verticaux, obtenus par SCM en fonction des doses d'implantation de P_{float} .

La Figure III-19 représente un exemple des images typiques 2D et 3D obtenues par SCM, tiré de la centaine d'images réalisées. La première constatation révèle que les îlots flottants sont bien séparés entre eux et aussi de la surface, et ceci, quelle que soit la dose d'implantation (1.10^{13}cm^{-2} ou 3.10^{13}cm^{-2}). Dans le cas de la forte dose (Figure III-19b), il est intéressant de remarquer que la distance moyenne $P_{\text{float1}}/P_{\text{float2}}$ séparant les îlots est de $0,5\mu\text{m}$ et de $1,0\mu\text{m}$ pour celle séparant le PHV du P_{float2} . Or, ce résultat infirme l'observation faite après révélation cristalline (Figure III-18) : cette dernière montrait une unification des deux niveaux de P_{float} , ce n'est finalement pas le cas. Avec la technique SCM, nous pouvons donc confirmer que les îlots flottants ne sont pas connectés entre eux, quelle que soit la dose d'implantations des P_{float} . Notons qu'il serait possible, dans l'absolu, de réaliser dans cette configuration des superjonctions en augmentant la dose et le recuit final : cependant, l'équilibre des charges entre N_A et N_D , nécessaire à cette technologie, serait impossible à atteindre, rendant le composant inexploitable (cf. Chapitre I, §I.4.2.1.). Il est donc clair que seule la technologie à îlots flottants est réalisable dans cette nouvelle configuration de procédé de fabrication. On remarque également qu'il est possible de distinguer la couche N_{float} en optimisant le paramétrage SCM (Figure III-19b), bien que les limitations de l'appareil de mesures rendent l'exercice délicat.

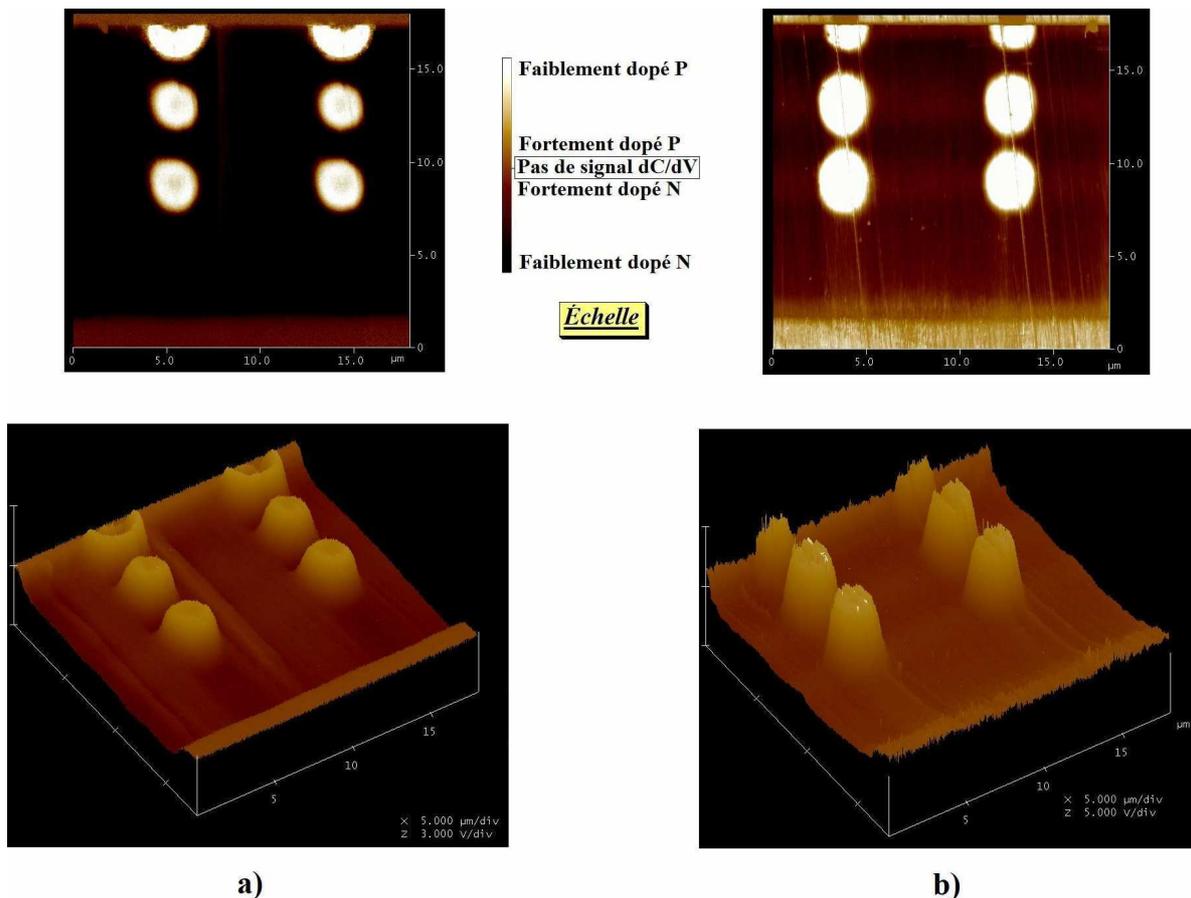


Figure III-19 : Images SCM de la cellule centrale du FLYMOS 200V à 2 niveaux de P_{float} :
 a) cellules centrales dans le cas de P_{float} implantés à 1.10^{13}cm^{-2} et N_{float} à 1.10^{12}cm^{-2} ,
 b) cellules centrales dans le cas de P_{float} implantés à 3.10^{13}cm^{-2} et N_{float} à 1.10^{12}cm^{-2} .

En exploitant d'avantage les données de dimensionnement collectées (Tableau III-1), on s'aperçoit que, toutes doses confondues, le premier îlot flottant (P_{float1}) n'est que très légèrement plus grand (au maximum de 5%) que le second (P_{float2}). Ce résultat montre que,

malgré l'étape de procédé supplémentaire subie par le P_{float1} par rapport au P_{float2} , la différence de dimensions est très minime. On voit là tout l'intérêt du recuit haute température (1100°C/120min) permettant d'uniformiser les diffusions. Concernant le rapport L/H, on constate qu'il est stable à 0,9 pour les deux doses : le plus intéressant est que ce rapport a diminué de 20% par rapport aux premiers FLYMOS intégrant un seul niveau de P_{float} (L/H \approx 1,1). Cela signifie que nous avons réussi à réduire la largeur de diffusion (L) du P_{float} , rendant la diffusion verticale (H) prédominante. Ces résultats confirment les choix que nous avons faits d'ajouter la couche N_{float} et un recuit haute température, pour limiter les diffusions latérales. Une dernière observation est que la faible dose (1.10^{13}cm^{-2}) permet d'obtenir des îlots flottants jusqu'à 30% plus petits que ceux implantés avec la forte dose (3.10^{13}cm^{-2}).

III.2.2.2. Étude des terminaisons des FLYMOS et FLY-diodes

Avant de présenter les résultats de caractérisation SCM, rappelons les paramètres de dessins appliqués à chacun des deux types de terminaison :

- Pour les dots (plots), 3 types d'ouvertures d'implantation ont été testées : 0,6 μm , 0,8 μm et 1,0 μm .
- Pour les anneaux de garde (ou rings), 3 types d'espacement (S_1) ont été réalisés : le première reprend la distance S_2 de 2,6 μm , identiques aux 3 FLY-diodes. Les deux autres ont pour valeurs 3,1 μm et 3,6 μm .

Signalons que, pour ces analyses, nous avons utilisé des échantillons où le niveau de P_{edge} n'a pas été réalisé (cf. §III.2.3.1.). Nous n'observerons donc en terminaison que les P_{float} .

III.2.2.2.1. Images SCM des terminaisons de type « dots »

La différenciation entre ces deux types de terminaison se retrouve aussi au niveau de la préparation des échantillons ; il est en effet très facile de réaliser une coupe perpendiculaire dans le cas de lignes droites parallèles (cas des anneaux de garde) sans nécessiter une précision importante. Or, dans le cas de plots enterrés (dots), le même plan de coupe n'est plus suffisant (Figure III-20a) : à cause de ce type de motifs, il devient alors très difficile de réaliser une tranche qui traverse parfaitement les centres des dots.

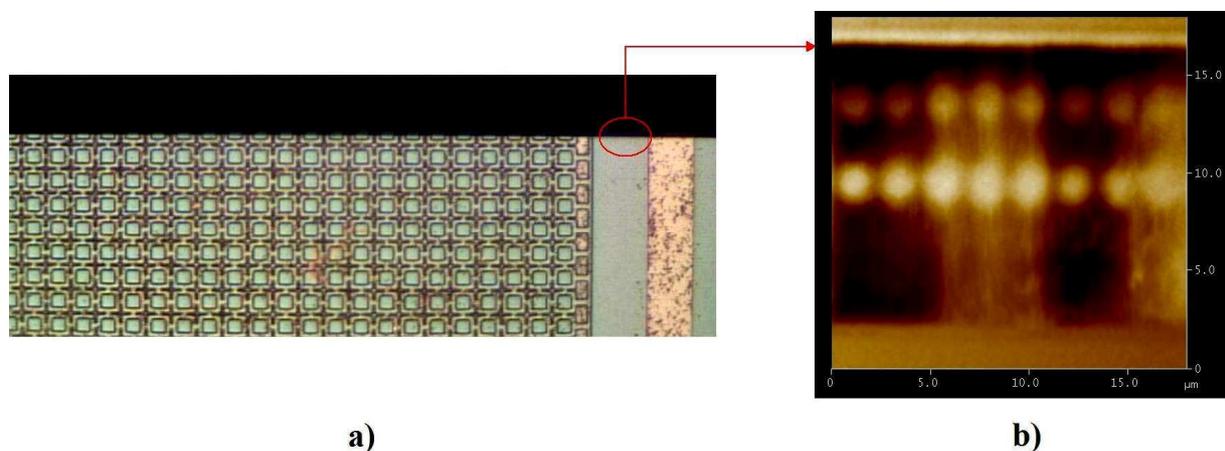


Figure III-20 : a) Visualisation de l'axe de découpe pour la préparation des échantillons, b) Images SCM des dots (1 μm) de P_{float} implantés à 1.10^{13}cm^{-2} et N_{float} à 1.10^{12}cm^{-2} .

Cela explique pourquoi nous n'avons pas réussi à obtenir d'images de dots à $0,6\mu\text{m}$ et $0,8\mu\text{m}$ dans le cas de P_{float} faiblement dopés. Par contre, ne pas visualiser les dots signifie alors que les coupes ont été réalisées entre 2 alignements de dots, prouvant que les dots n'ont pas fusionnés. En fin de compte, seule l'ouverture la plus importante ($1\mu\text{m}$) a permis une image exploitable (Figure III-20b). On constate d'ailleurs que les dots ne sont pas encore réunis. La plaque de champ enterrée est alors constitué d'une multitude de plots de type P dans le cas de la faible dose de P_{float} .

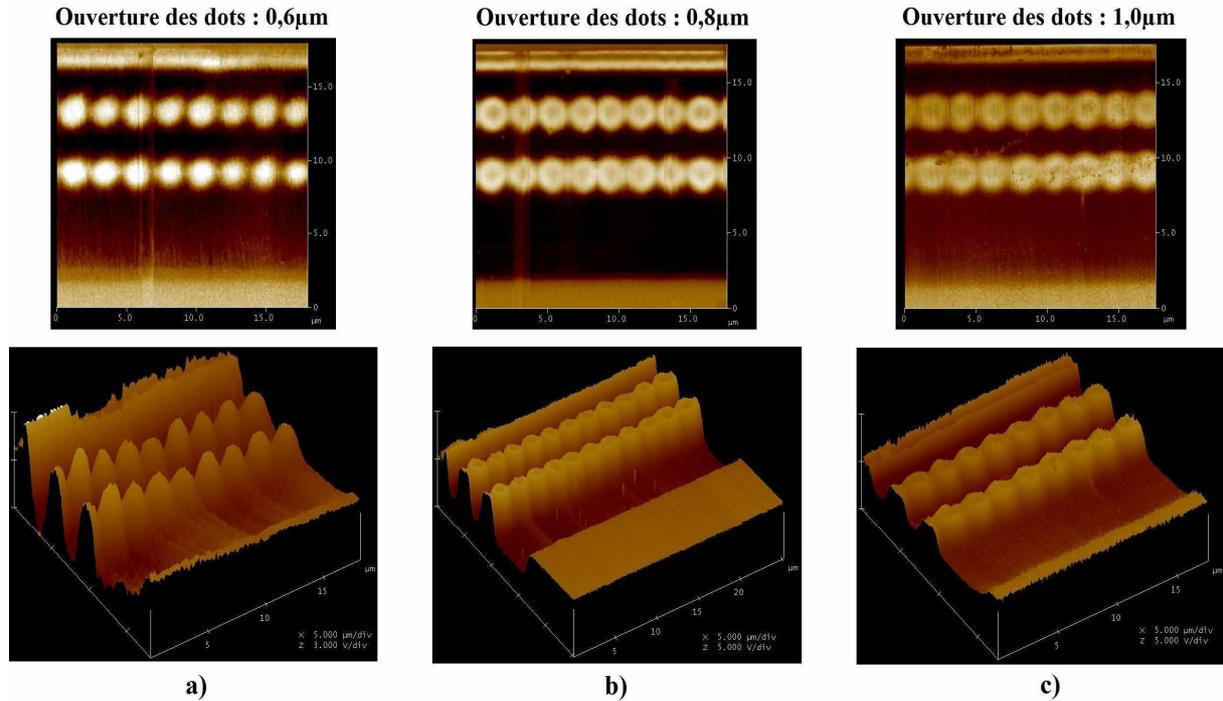


Figure III-21 : Images SCM (2D et 3D) des terminaisons type dots dans le cas des P_{float} implantés à 3.10^{13}cm^{-2} et N_{float} à 1.10^{12}cm^{-2} : a) ouverture masque d'implantation de $0,6\mu\text{m}$, b) ouverture masque d'implantation de $0,8\mu\text{m}$, c) ouverture masque d'implantation de $1,0\mu\text{m}$.

Dans le cas de la forte dose d'implantation du P_{float} (3.10^{13}cm^{-2}), la diffusion des P_{float} résultante est plus importante, ce qui nous a permis d'obtenir des images pour chacune des ouvertures (Figure III-21). Alors que pour celle de $0,6\mu\text{m}$, les dots sont à la limite de la réunion (Figure III-21a), il est clair que pour les ouvertures de $0,8\mu\text{m}$ (Figure III-21b) et de $1,0\mu\text{m}$ (Figure III-21c), les dots sont réunis. En imaginant cette terminaison vue de dessus, la plaque de champ apparaît comme légèrement percée pour la plus petite ouverture ou pleine pour les grandes ouvertures.

III.2.2.2.2. Images SCM des terminaisons de type « anneaux de garde »

Dans le cas des anneaux de garde enterrés, nous concentrons notre étude uniquement sur la FLY-diode possédant un espacement S_1 de $3,6\mu\text{m}$. En effet, elle a le double avantage de proposer sur un même échantillon l'espacement S_1 maximum et l'espacement S_2 de $2,6\mu\text{m}$ dont la valeur est identique à l'espacement S_1 minimal. Cela nous permettra d'encadrer directement les espacements extrêmes entre chaque anneau.

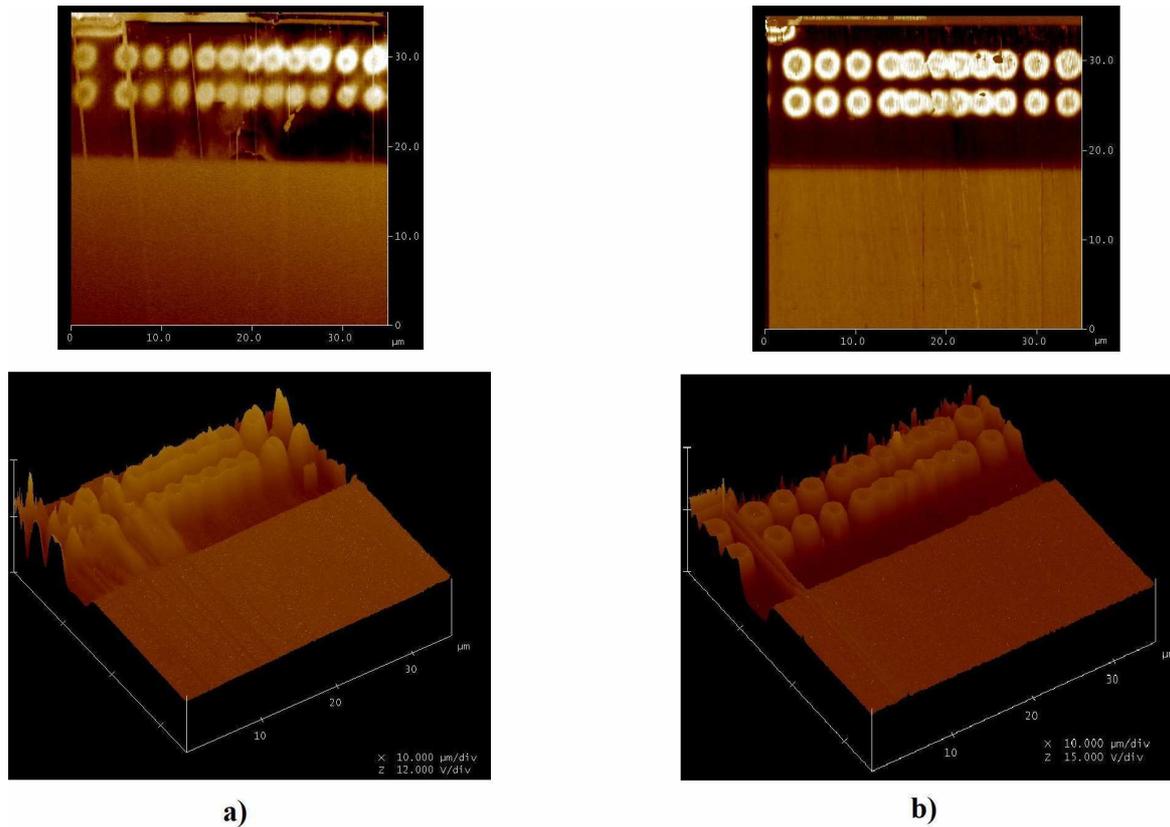


Figure III-22 : Images SCM (2D et 3D) des terminaisons type anneaux de garde avec $S_1=3,6\mu\text{m}$:
 a) dose implantés de P_{float} à $1.10^{13} \text{ cm}^{-2}$ et N_{float} à $1.10^{12} \text{ cm}^{-2}$,
 b) dose implantés de P_{float} à $3.10^{13} \text{ cm}^{-2}$ et N_{float} à $1.10^{12} \text{ cm}^{-2}$.

Bien que l'état de surface des échantillons soit dégradé et perturbe la mesure SCM (Figure III-22), nous avons tout de même pu qualitativement déterminer dans quelles conditions les anneaux se réunifiaient. Dans le cas de la faible dose de P_{float} ($1.10^{13} \text{ cm}^{-2}$), on distingue clairement que les anneaux sont disjoints pour des espacements de $3,6\mu\text{m}$ et qu'ils se frôlent tout juste lorsque qu'on resserre l'espacement à $2,6\mu\text{m}$ (Figure III-22a). Or, dans le cas d'une forte dose de P_{float} , les anneaux sont toujours disjoints pour $3,6\mu\text{m}$. En revanche, ils sont clairement réunis pour un espacement de $2,6\mu\text{m}$. Ces anneaux de garde forment alors une plaque de champ continue, encadrée par des anneaux disjoints (Figure III-22b).

Suite à ces analyses SCM des cellules centrales et des terminaisons, une interrogation demeure : dans quelle mesure ces réunions de P_{float} en terminaison ont un impact sur la répartition du champ électrique et, de ce fait, sur la tenue en tension ? Grâce à la connaissance des configurations réelles de chacun des composants, nous allons pouvoir par la suite mieux comprendre et interpréter les résultats de mesures électriques.

III.2.3. Tests électriques de validation

III.2.3.1. Tests statiques

La combinaison des paramètres de procédé et de dessin rend rapidement l'analyse des mesures électriques assez lourde et compliquée. Afin de faciliter la lecture, nous allons procéder par étapes, commençant par une vision globale des résultats, et détaillant ensuite les

points d'intérêt. La première étape consiste à déterminer le procédé (doses de P_{float} et doses de N_{float}) donnant les meilleurs résultats, toutes variations de géométries confondues. À partir de cette première étude, les paramètres de procédé optimaux seront repris pour différencier ensuite les variations des dessins. Un dernier point consistera à comparer les meilleurs composants en y ajoutant le dernier niveau de P_{edge} , pour évaluer son intérêt.

III.2.3.1.1. Tenue en tension (BV_{dss})

Avant de mesurer en détail les petits composants FLYMOS et FLY-diodes intégrant les variantes de dessin, nous mesurons les tenues en tension (BV_{dss}) des "grands FLYMOS" pour avoir une vue globale des performances. Ces composants reprennent uniquement la terminaison dots, d'une ouverture de $0,8\mu m$, identique à celle réalisée pour les "petits FLYMOS". Ceci nous permet de définir les variables de procédé (doses d'implantation des P_{float} et des N_{float}) pour lesquelles les tenues en tension sont les meilleures (Figure III-23).

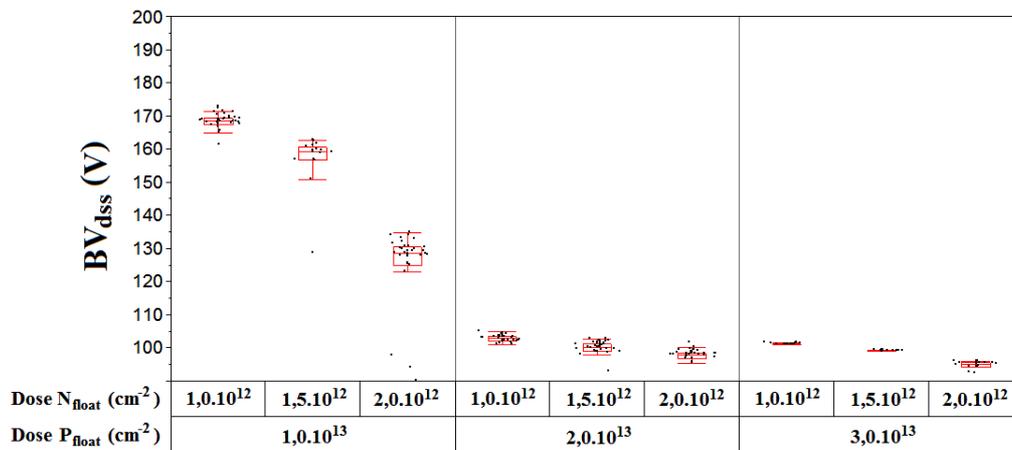


Figure III-23 : Distribution des BV_{dss} en fonction des doses P_{float} et N_{float} du grand FLYMOS.

La première constatation est que les tenues en tension sont toujours inférieures à 200V. Rappelons cependant que la terminaison ne correspond qu'à un seul type de dots, qui n'est pas forcément le plus adapté. De plus, bien que cette nouvelle terminaison améliore l'équilibre au niveau de la répartition du champ électrique entre terminaison et cellules centrales, les dispositifs additionnels peuvent encore perturber la tenue en tension. Ensuite, on remarque que seule la dose d'implantation des P_{float} à $1 \cdot 10^{13} cm^{-2}$ donne des résultats corrects de BV_{dss} , allant de 130V à 170V suivant la dose du N_{float} : le BV_{dss} ne dépasse pas 110V pour les deux autres doses de P_{float} , indiquant qu'il y a déséquilibre du champ électrique.

Le second aspect concerne l'influence de la dose de N_{float} sur la tenue en tension : dans le cas de la faible dose de P_{float} ($1 \cdot 10^{13} cm^{-2}$), la chute de BV_{dss} atteint 40V lorsque la dose du N_{float} est doublée : cette couche, réalisant un léger surdopage entre les P_{float} , a un réel impact sur la tenue en tension. Outre le fait que cette couche module légèrement la concentration finale des P_{float} , la raison principale porte sur les variations des diffusions verticales. En effet, lorsque l'on augmente la dose du N_{float} , on augmente par conséquent sa diffusion, modifiant la valeur du champ électrique maximal soutenu par la jonction $P_{float}/(N_{épi} + N_{float})$. Le cas le plus défavorable serait atteint si la diffusion du N_{float} dépassait celle du P_{float} . Un bon compromis entre doses de N_{float} et de P_{float} est alors nécessaire à l'obtention du bon BV_{dss} .

À partir de ces premières mesures, nous avons grossièrement déterminé les paramètres de procédés optimaux : la dose du P_{float} est de 1.10^{13}cm^{-2} et celle du N_{float} entre 1.10^{12}cm^{-2} et 2.10^{12}cm^{-2} . Affinons alors notre étude autour de ces valeurs en y intégrant les variations de dessin relatives aux petits FLYMOS (dots) et aux petites FLY-diodes (anneaux de garde).

La Figure III-24 présente les distributions des BV_{dss} des petits FLYMOS et petites FLY-diodes. On remarque immédiatement que pour les meilleures combinaisons, BV_{dss} atteint 250V pour les FLY-diodes (Figure III-24a) et 200V pour les petits FLYMOS (Figure III-24b) : l'objectif de 200V a été atteint. Cependant, la différence de résultats entre les FLY-diodes et les petits FLYMOS s'explique par trois aspects particuliers : tout d'abord les terminaisons ne sont pas les mêmes (anneaux de garde contre dots). Ensuite, la cellule centrale de la FLY-diode possède des lignes de P_{float} espacées de $5\mu\text{m}$ alors que le FLYMOS reprend la structure du réseau de lignes croisées, espacées de $9,4\mu\text{m}$; ce resserrement des P_{float} en cellule centrale semble donc favorable à une meilleure tenue en tension (mais au détriment de R_{ON}). Enfin, la troisième explication concerne la présence du pad de grille : ce dernier peut en effet dégrader BV_{dss} , notamment en raison de sa position et de la manière de le protéger. Ce dernier point sera abordé dans la partie relative à la conception du nouveau jeu de masques (§III.3).

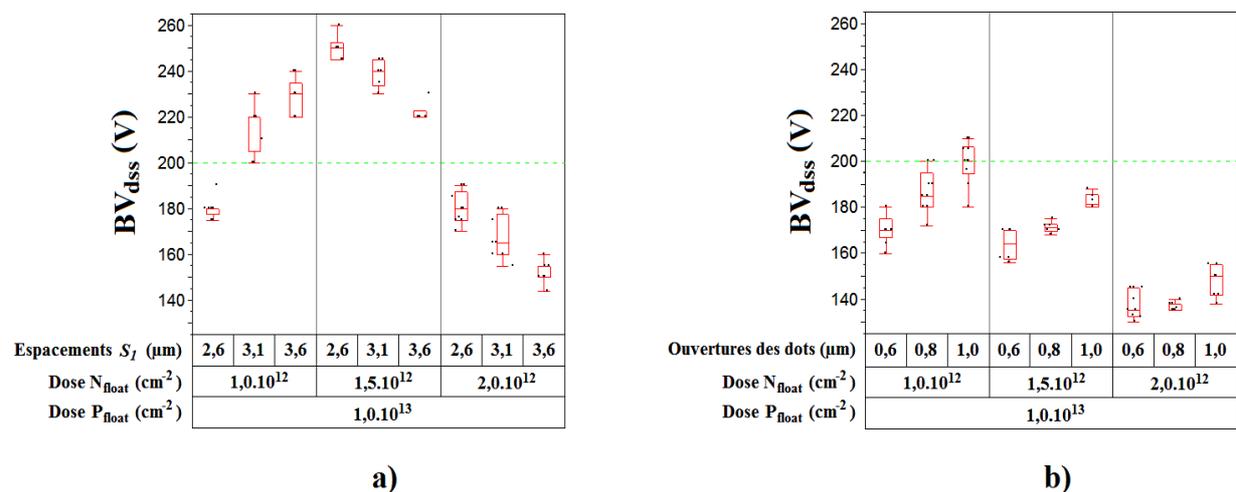


Figure III-24 : Distribution des BV_{dss} en fonction du type de dessin, des doses P_{float} et N_{float} :
 a) cas des petites FLY-diodes possédant les anneaux de garde,
 b) cas des petits FLYMOS possédant les dots.

Retenons que pour obtenir des FLYMOS de tenue en tension supérieure à 200V, le P_{float} doit avoir une dose d'implantation s'articulant autour de 1.10^{13}cm^{-2} , le N_{float} doit être compris entre 1.10^{12}cm^{-2} et $1,5.10^{12} \text{cm}^{-2}$ et en ce qui concerne les terminaisons, l'espace S_I de $3,6\mu\text{m}$ entre les anneaux de garde est privilégié ainsi qu'une ouverture de dots de $1,0\mu\text{m}$ au minimum.

III.2.3.1.2. Résistance à l'état passant (R_{ON})

La résistance à l'état passant est déterminée sur les "grands FLYMOS" afin de pouvoir les comparer avec les premiers résultats présentés au chapitre II. Cette mesure de la résistance à l'état passant (réalisée sur wafers) est essentiellement liée au dopage de l'épitaixie, à la couche N_{float} et à l'espace disponible entre les îlots flottants pour le passage du courant.

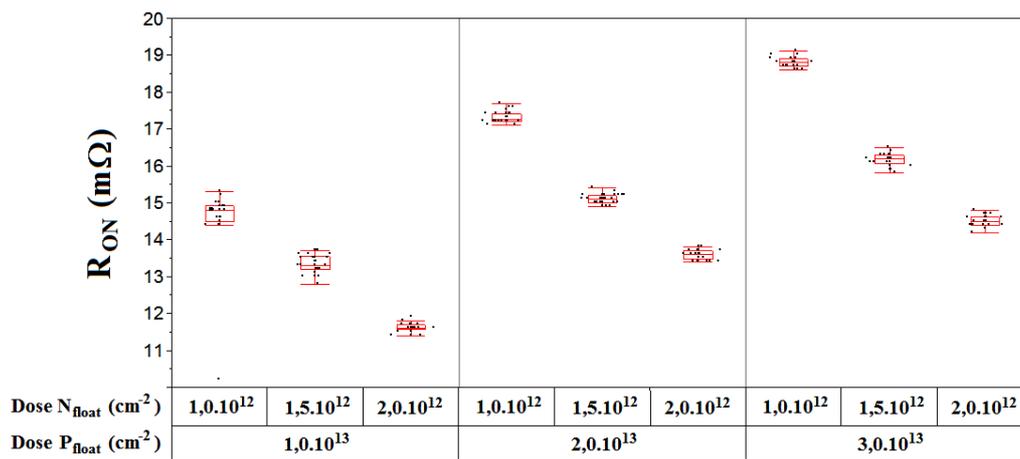


Figure III-25 : Distribution des R_{ON} en fonction des doses P_{float} et N_{float} du grand FLYMOS.

La Figure III-25 synthétise les résultats des mesures de R_{ON} en fonction des doses de P_{float} et de N_{float} . Sans grande surprise, c'est la dose de P_{float} la plus faible ($1 \cdot 10^{13} cm^{-2}$) qui donne les meilleurs R_{ON} , car ce sont les îlots flottants les plus petits. De plus, on remarque aussi que l'efficacité de la couche N_{float} augmente avec la dose : en moyenne, on améliore R_{ON} de plus de 20% entre un N_{float} à $1 \cdot 10^{12} cm^{-2}$ ($R_{ON}=14,75 m\Omega$) à $2 \cdot 10^{12} cm^{-2}$ ($R_{ON}=11,75 m\Omega$), mais au détriment de BV_{dss} .

Pour rappel, à tenues en tension similaires, les meilleurs FLYMOS à un seul niveau de P_{float} affichaient $23 m\Omega$ contre $14,75 m\Omega$ ici, soit une diminution de R_{ON} de 35%. Ainsi, le meilleur compromis $BV_{dss}/R_{ON} \cdot S$ ($170V/4,7 m\Omega \cdot cm^2$) est obtenu pour une dose de P_{float} de $1 \cdot 10^{13} cm^{-2}$ et une dose de N_{float} de $1 \cdot 10^{12} cm^{-2}$. Il ne reste plus qu'à appliquer les dessins donnant les meilleurs BV_{dss} à la grande puce FLYMOS pour améliorer encore ce compromis.

III.2.3.1.3. Impact du niveau de P_{edge} sur les performances statiques

Dans ce paragraphe, nous souhaitons savoir si l'ajout du P_{edge} , identique à l'étage P_{float} et N_{float} , permet une amélioration des performances et une meilleure stabilité du FLYMOS. Nous avons donc procédé à l'ajout de cet étage sur quelques dispositifs et testé électriquement son impact.

Bien que l'ajout de ce niveau P_{edge} (en fait P_{float3} et N_{float3}) induise une étape de procédé supplémentaire, sa présence est nécessaire pour uniformiser la répartition des lignes de potentiel entre la surface et le volume. La Figure III-26 présente les tenues en tension des meilleurs petites FLY-diodes et petits FLYMOS ; nous y comparons, pour chaque variation de paramètres, les dispositifs avec et sans niveau de P_{edge} . On constate dès lors que ce niveau de P_{edge} améliore de 5% les tenues en tension, que ce soit au niveau des FLY-diodes ou des FLYMOS. Ces perfectionnements sont dus au meilleur équilibre de la répartition des lignes de potentiel en terminaison entre volume et surface d'une part, et aussi à la superposition du P_{float3} au PHV en cellule centrale d'autre part. En effet, le fait d'ajouter le réseau de P_{float3} à la surface permet d'uniformiser les extrémités des branches du motif WELLFET (formant le PHV), permettant de passer, dans cette zone, d'une jonction cylindrique à une jonction quasiment plane.

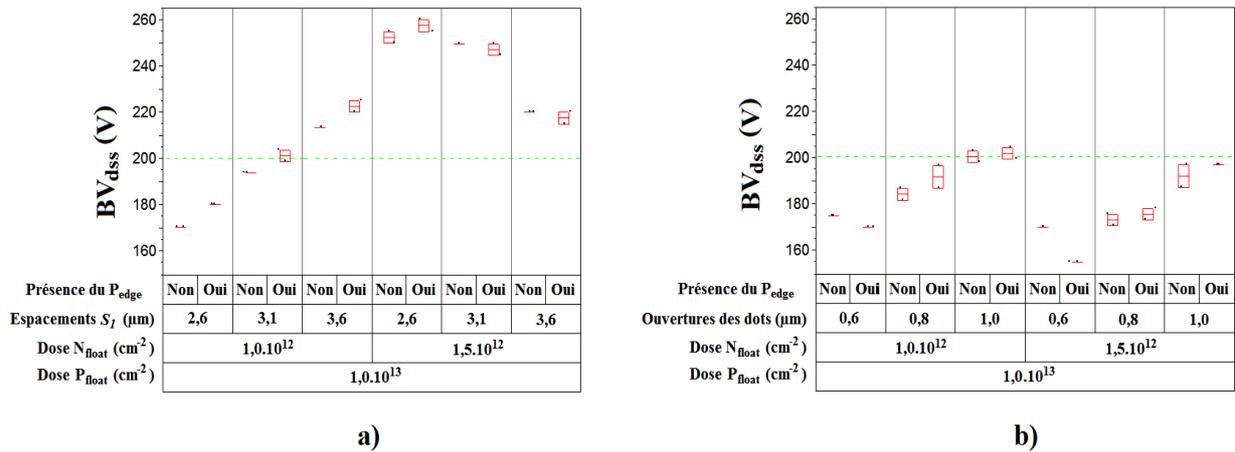


Figure III-26 : Comparaison des distributions des BV_{dss} avec ou sans P_{edge} :
 a) cas des petites FLY-diodes possédant les anneaux de garde,
 b) cas des petits FLYMOS possédant les dots.

En ce qui concerne la résistance à l'état passant (Figure III-27), toujours mesurée sur les grands FLYMOS, l'amélioration est encore plus significative : R_{ON} diminue de 13% avec l'ajout du niveau de P_{edge} . Ces bons résultats sont dus à la présence du N_{float3} qui vient améliorer la résistance d'accès R_a du FLYMOS. Dans le cas du meilleur compromis $BV_{dss}/R_{ON.S}$ obtenu pour un P_{float} de $1.10^{13}cm^{-2}$ et un N_{float} de $1.10^{12}cm^{-2}$, nous obtenons maintenant un $R_{ON.S}$ de $4,4m\Omega.cm^2$ ($R_{ON}=13,4m\Omega$).

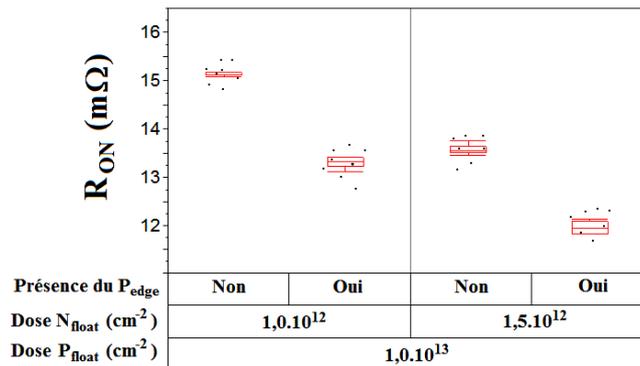


Figure III-27 : Comparaison des distributions des R_{ON} avec ou sans P_{edge} du grand FLYMOS.

Au vu des bonnes améliorations de BV_{dss} et de R_{ON} , nous décidons d'inclure systématiquement ce niveau de P_{edge} aux prochaines réalisations.

III.2.3.1.4. Conclusion

Cette étude préliminaire du processus d'optimisation a permis de déterminer les axes essentiels pour l'amélioration du FLYMOS. Pour l'ultime réalisation, nous devons reprendre les paramètres suivants :

- Le P_{float} doit posséder une dose d'implantation proche de $1.10^{13}cm^{-2}$, combinée à une dose N_{float} comprise entre $1,0.10^{12}cm^{-2}$ et $1,5.10^{12}cm^{-2}$.
- Les dots doivent avoir une ouverture minimale de $1,0\mu m$ (une ouverture plus grande pourra être testée).
- Les anneaux de garde doivent avoir un espacement S_I de $3,6\mu m$.
- L'ajout de l'étage P_{edge} , identique aux étage P_{float} et N_{float} , sera reconduit.

III.2.3.2. Tests dynamiques

Afin de restreindre notre analyse dynamique aux composants d'intérêt, nous choisissons ceux possédant les doses de P_{float} les plus faibles ($1.10^{13} \text{ cm}^{-2}$) et les plus fortes ($3.10^{13} \text{ cm}^{-2}$), avec la même dose de N_{float} à $1.10^{12} \text{ cm}^{-2}$. Ces valeurs extrêmes de dose de P_{float} nous permettent de travailler de manière comparative, en confrontant le meilleur et le pire des cas, déterminés lors des mesures statiques. Notons que seules les mesures dynamiques permettront de définitivement valider nos choix d'optimisation.

III.2.3.2.1. Mesure C_{oss}

Cette seconde caractérisation de la capacité de sortie C_{oss} reprend la même configuration de test utilisée précédemment (cf §II.4.2.1.). Notons que ces mesures ont été faites sur des puces ne possédant pas de P_{edge} à la surface.

En présence de deux niveaux d'îlots flottants dans la zone de drift, on pourrait s'attendre à ce que la courbe C_{oss} présente deux "cassures", ou ruptures de pente, lors de l'extension de la ZCE. Or, on constate que ces cassures ne sont pas nettes (Figure III-28a) : dans le cas de la plus faible dose de P_{float} , on remarque une cassure autour d'une polarisation V_{DS} de 40V, alors qu'elle apparaît plus tôt dans le cas de la forte dose, vers $V_{\text{DS}}=15\text{V}$. En regardant les courbes dC_{oss}/dV (Figure III-28b), on remarque que le premier niveau d'îlots flottants ($P_{\text{float}1}$) est peu sollicité (très faible pic) dans le cas de la faible dose alors que c'est le deuxième niveau ($P_{\text{float}2}$), celui proche de la surface, qui est plus mis en évidence dans le cas de la forte de dose. On peut en conclure qu'une dose trop importante décale le pic vers la surface alors qu'une dose plus faible permet d'atténuer cette variation en le distribuant plus en profondeur.

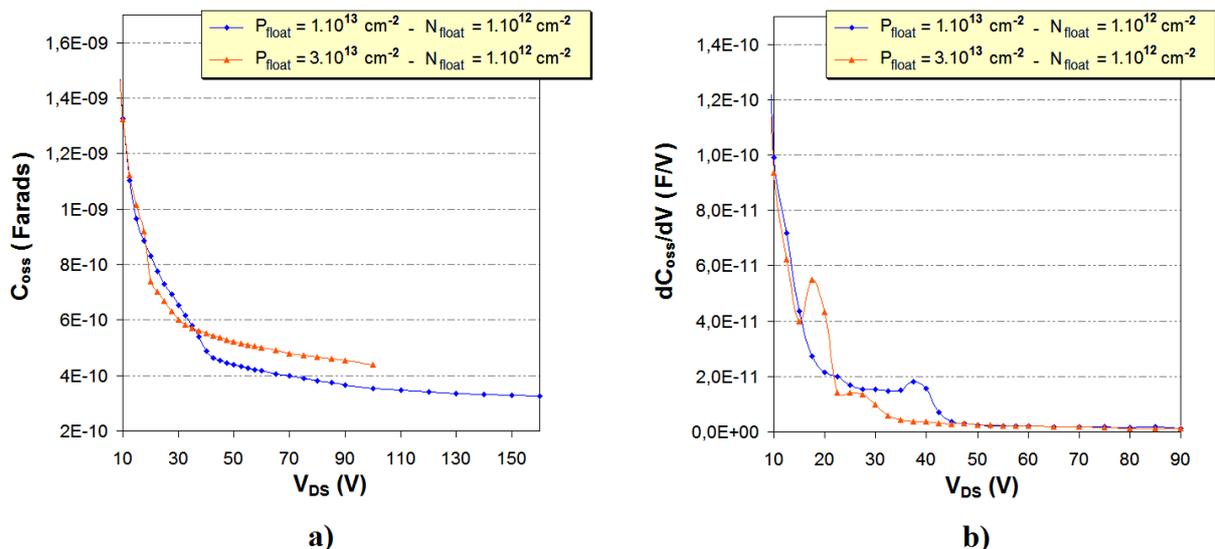


Figure III-28 : a) courbes C_{oss} en fonction de la tension de polarisation V_{DS} .
b) courbes dC_{oss}/dV en fonction de la tension de polarisation V_{DS} .

Nous pouvons assurément dire que les améliorations de procédé ont aussi permis de minimiser la variation de C_{oss} en comparaison des premières réalisations, tendant à rendre les îlots flottants presque transparents (notamment pour la faible dose de P_{float}).

III.2.3.2.2. Gate charge : validation du R_{ONd}

Comme lors de nos premières caractérisations dynamiques, nous réutilisons la mesure du « Gate charge » afin de savoir si le problème de la dégradation de la résistance dynamique à l'état passant (R_{ONd}) a été corrigé par les améliorations de procédé.

La première constatation concerne la mesure du Q_G (Figure III-29) : nous mesurons 160nC dans le cas de la faible dose de P_{float} , et 150nC dans le cas de la forte dose. Or ces valeurs sont toutes deux plus faibles que celles trouvées lors des premiers tests. Suivant les relations (38) à (46) établies au chapitre II, l'augmentation du dopage de l'épitaxie entraîne un accroissement de Q_{gd} , conduisant alors une augmentation de Q_G , ce qui va à l'encontre de ce que nous observons ici. Cependant, la réduction de Q_{gd} peut s'expliquer par la présence du second niveau d'îlots flottants dont l'effet sur les capacités domine largement sur l'augmentation de la concentration de l'épitaxie. Ces résultats confirment donc que le nombre d'îlots flottants a un impact sur Q_G , comme nous l'avons estimé au Chapitre II.

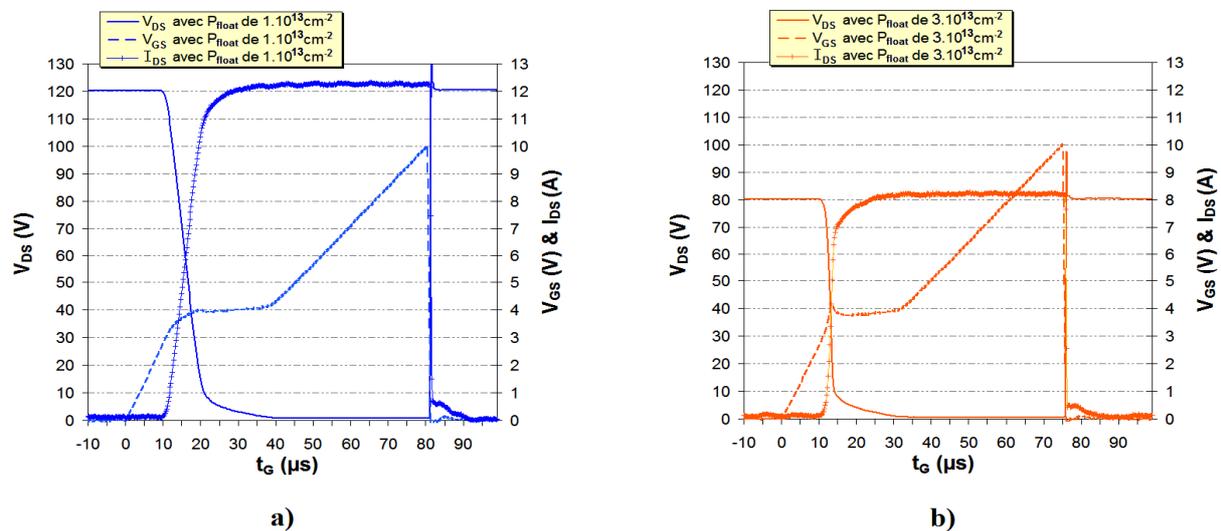


Figure III-29 : Courbes V_{GS} , V_{DS} et I_{DS} en fonction du temps t_G pour les FLYMOS suivants :
 a) les P_{float} sont à $1.10^{13} \text{ cm}^{-2}$ et les N_{float} à $1.10^{12} \text{ cm}^{-2}$,
 b) les P_{float} sont à $3.10^{13} \text{ cm}^{-2}$ et les N_{float} à $1.10^{12} \text{ cm}^{-2}$.

Le second aspect de cette analyse concerne la résistance dynamique. En comparant les courbes V_{DS} pour des P_{float} faiblement dopés (Figure III-29a) et des P_{float} fortement dopés (Figure III-29b), on constate qu'à l'état passant, la tension résiduelle V_{DSon} est similaire. Bien que les courants I_{DS} ne soient pas identiques dans les deux mesures, on constate clairement qu'il ne semble plus y avoir les phénomènes d'ionisation constatés lors de nos premières expériences, où le V_{DSon} pouvait atteindre jusqu'à 20V. En détaillant plus ces résultats (Figure III-30), on constate que V_{DSon} est inférieure à 1V. Compte tenu du boîtier qui, rappelons-le, introduit des résistances parasites pouvant atteindre plusieurs dizaines de m Ω (en raison de l'utilisation d'une colle conductrice et non une soudure), on mesure $R_{ONd} \approx 45 \text{ m}\Omega$ ($P_{float} = 1.10^{13} \text{ cm}^{-2}$) et $R_{ONd} \approx 73 \text{ m}\Omega$ ($P_{float} = 3.10^{13} \text{ cm}^{-2}$). On peut en conclure que la résistance dynamique n'est pas dégradée par rapport à la résistance statique R_{ON} . Ainsi, les zones d'ionisation des régions périphériques aux P_{float} sont contenues par le N_{float} et réduites à néant lors du passage à l'état passant par perçage (induit par la proximité verticale des régions P). Ces résultats confirment les choix que nous avons engagés dans le processus d'optimisation.

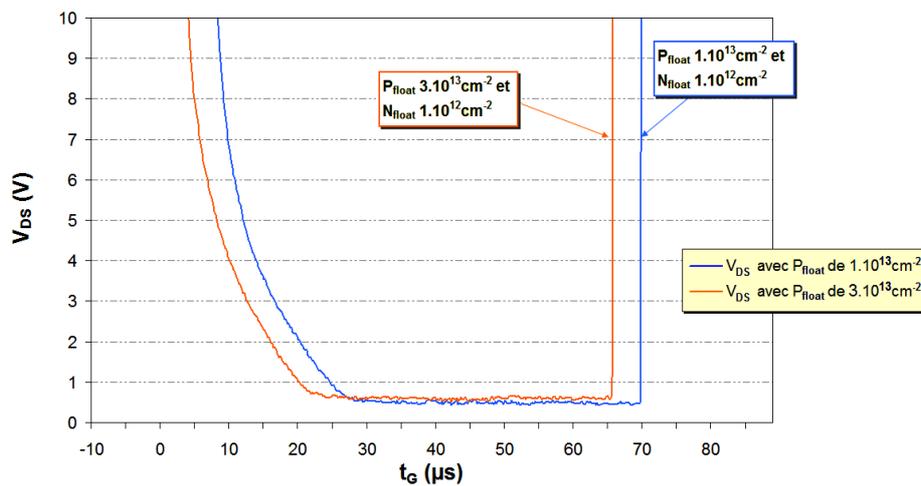


Figure III-30 : Courbes V_{DS} en fonction du temps t_G pour la détermination de R_{ONd} dans le cas de FLYMOS avec les doses de P_{float} de 1.10^{13}cm^{-2} et 3.10^{13}cm^{-2} .

Ces caractérisations confirment avec succès les améliorations apportées et permettent d’entreprendre la dernière phase du projet, à savoir la réalisation d’un ultime FLYMOS 200V.

III.3. Réalisation d’un nouveau jeu de masques

III.3.1. Objectifs

Suite aux premiers tests d’optimisation présentés aux paragraphes précédents, la mise en place du nouveau procédé de fabrication s’avère concluante. En effet, les résultats sur les mesures de résistances statique et dynamique sont très satisfaisants. Ce procédé à deux niveaux de P_{float} et un niveau de P_{edge} sera alors réutilisé dans les prochaines réalisations. Cependant, les résultats de mesure des différentes tenues en tension se sont révélés moins convaincants. Pour chacun des types de composant (grands FLYMOS, petits FLYMOS et petites FLY-diodes), les tenues en tension ont donné des résultats disparates et doivent, par conséquent, faire l’objet d’un approfondissement supplémentaire. Effectivement, alors que les meilleurs FLY-diodes atteignent 250V, les meilleurs petits FLYMOS ne dépassent pas 200V et encore moins pour les grands FLYMOS (170V). On constate donc que pour un même procédé, des variations de BV_{dss} sont très dépendantes des différents dessins de structures.

L’approche envisagée pour la construction du nouveau jeu de masques est de reprendre la FLY-diode de référence (où $BV_{dss}=250\text{V}$) et de la “dégrader”, en la modifiant progressivement, paramètre par paramètre, jusqu’à obtenir un FLYMOS de tenue en tension comparable. Cette démarche volontaire est adoptée dans le but de séparer les variables qui sont souvent conjuguées. Pour y parvenir, la stratégie s’appuie sur les points suivants :

- ↳ Les dispositifs additionnels initialement présents sur les grands FLYMOS sont tous enlevés, afin d’éviter toute interaction négative sur BV_{dss} .
- ↳ Les premières variations concernent les cellules centrales des FLY-diodes : tout d’abord, nous étudierons l’impact du PHV, avec des cellules centrales pleines (sans motifs d’implantation), comme sur la référence, pour évoluer vers une structure propre au FLYMOS, à savoir de multiples cellules centrales type WELLFET. Ensuite, le réseau de

P_{float} en cellule centrale sera lui aussi sujet à variations : nous reprendrons les lignes simples (dont l'appellation anglaise « stripe » sera reprise pour plus de commodité), espacées de $5\mu m$, présentes sur la FLY-diode de référence, pour dériver vers le réseau de lignes croisées (espacées de $9,4\mu m$) présent sur le FLYMOS.

- ↪ Ensuite, nous testerons des changements sur les deux types de terminaisons (dots et anneaux de gardes) que nous appliquerons sur les FLY-diodes et sur les FLYMOS. Nous y intégrerons alors des variations sur l'ouverture des dots (de $0,8\mu m$ à $1,4\mu m$), sur les espacements S_l entre anneaux de garde (anneaux à distances fixes et anneaux à distances incrémentielles) et, enfin, sur la distance D entre la fin des cellules centrales et le début des terminaisons.
- ↪ Le dernier point de variation concerne la position du pad de grille. En effet, une fois que nous aurons dérivé la FLY-diode au plus proche possible du FLYMOS, il reste à intégrer le pad de grille : la question est de savoir comment. Trois positions sont alors possibles : on peut tout d'abord le placer en dehors de la zone active (pad au bord du composant), comme ce fut le cas dans les réalisations précédentes, ou encore l'encadrer par la zone active, ou, finalement, le placer à l'intérieur de cette zone active. Pour plus de commodité, ces trois configurations seront appelées : « pad externe », « pad en bordure » et « pad intérieur ». Chacune de ces configurations induit des spécificités propres à l'emplacement du pad ; les dessins devront alors être adaptés, afin de perturber le moins possible la tenue en tension des dispositifs.

En définitive, ces modifications doivent permettre de réaliser un composant FLYMOS optimisé dont la tenue en tension arrive au niveau de la tenue en tension d'une FLY-diode.

III.3.2. Description générale des différents dessins des structures

La combinaison de tous ces paramètres a débouché sur la réalisation de 32 structures d'une surface active de $0,456mm^2$ (Figure III-31). Elles nous permettront de mesurer BV_{dss} alors qu'une grande puce (reprenant les dessins du petit FLYMOS ayant précédemment obtenu 200V) sera reprise et dédiée pour mesurer les R_{ON} et les temps de commutation.

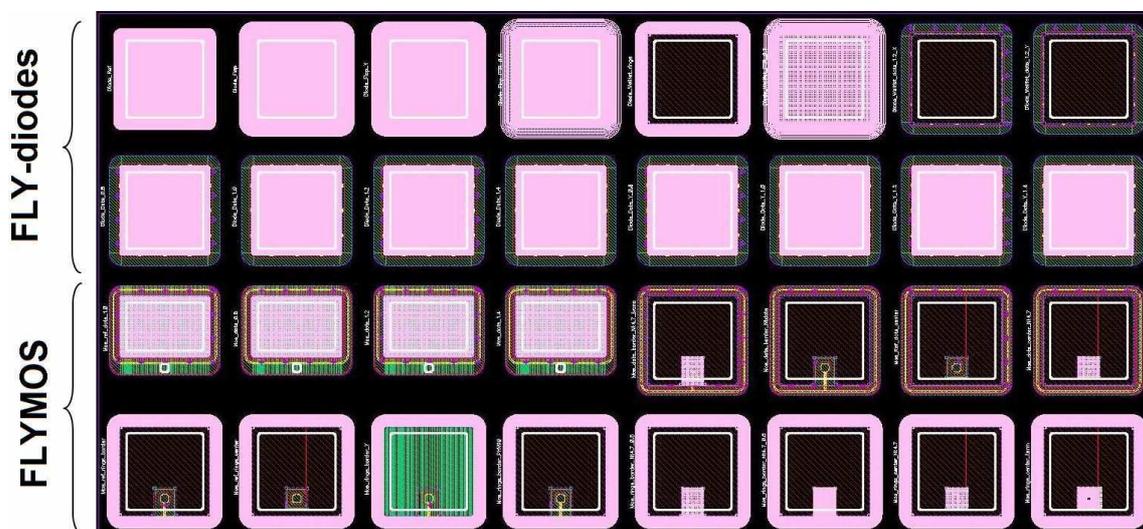


Figure III-31 : Image des 32 nouveaux composants FLY-diodes et FLYMOS réalisés dans le cadre du nouveau jeu de masques pour l'étude des BV_{dss} .

Afin d'identifier facilement les structures, une numérotation est appliquée de 1 à 32, à partir du coin gauche supérieur. La disposition des structures suit la règle suivante : les 16 premières sont des FLY-diodes et les 16 suivantes sont des FLYMOS. Ensuite, nous avons développé notre étude à partir des composants ayant donné les meilleurs BV_{dss} lors des tests de validation (avec le jeu de masque initial mais modifié, cf. §III.2.3.) : les caractéristiques des dessins de la FLY-diode de référence sont alors reprises et cette dernière est positionnée en première position. C'est à partir d'elle que seront dérivées les autres structures FLY-diodes. De la même manière, les caractéristiques optimales des terminaisons du FLYMOS de référence sont reprises du précédent jeu de masques ; on le positionne, lui aussi, en première position des deux lignes dédiées aux FLYMOS.

III.3.3. Caractéristiques des FLY-diodes

Le Tableau III-2 synthétise l'ensemble des variations apportées aux dessins des FLY-diodes. Chaque ligne correspond à un composant, où un seul des 9 paramètres de dessin est modifié : cela permet d'évaluer directement l'influence de chaque paramètre sur la tenue en tension BV_{dss} .

Numéro de la puce	Cellules centrales				Terminaisons			Longueur de la plaque de champ Polysilicium (μm)	Distance D (μm)	
	Dessin du PHV à la surface	Structure du P_{float} en volume	Ouverture masque du niveau P_{float} (μm)	Espacement entre chaque rangée de P_{float} (μm)	Nature des terminaisons	Ouverture masque du niveau P_{float} (μm)	Espacement entre chaque rangée de terminaison (μm)			
FLY-diodes : ligne 1	1	PHV plein	Stripe	0,8	5,0	Anneaux	0,5	$S_7=3,6$	25,2	3,9
	2	PHV plein	Stripe	0,8	5,0	Anneaux	0,5	$S_7=3,6$	72,0	3,9
	3	PHV plein	Stripe	0,8	5,0	Anneaux	0,5	$S_7=3,6$	72,0	2,4
	4	PHV plein	Stripe	0,8	5,0	Anneaux	0,5	Incrément de 0,5	72,0	2,4
	5	Wellfet	Réseau	0,8	9,4	Anneaux	0,5	$S_7=3,6$	72,0	3,9
	6	Wellfet	Réseau	0,8	9,4	Anneaux	0,5	Incrément de 0,3	72,0	2,4
	7	Wellfet	Réseau	0,8	9,4	Dots	1,2	$d=2,35$	72,0	3,9
	8	Wellfet	Réseau	0,8	9,4	Dots	1,2	$d=2,35$	72,0	2,4
FLY-diodes : ligne 2	9	PHV plein	Stripe	0,8	5,0	Dots	0,8	$d=2,35$	72,0	3,9
	10	PHV plein	Stripe	0,8	5,0	Dots	1,0	$d=2,35$	72,0	3,9
	11	PHV plein	Stripe	0,8	5,0	Dots	1,2	$d=2,35$	72,0	3,9
	12	PHV plein	Stripe	0,8	5,0	Dots	1,4	$d=2,35$	72,0	3,9
	13	PHV plein	Stripe	0,8	5,0	Dots	0,8	$d=2,35$	72,0	2,4
	14	PHV plein	Stripe	0,8	5,0	Dots	1,0	$d=2,35$	72,0	2,4
	15	PHV plein	Stripe	0,8	5,0	Dots	1,2	$d=2,35$	72,0	2,4
	16	PHV plein	Stripe	0,8	5,0	Dots	1,4	$d=2,35$	72,0	2,4

Tableau III-2 : Variations des paramètres de dessin des 16 FLY-diodes.

Afin d'illustrer notre démarche, prenons comme exemple le passage de la FLY-diode n°1, qui est notre référence, à la FLY-diode n°2. Le processus de modification de paramètres commence par le changement de la longueur de la plaque de champ de polysilicium. En effet, celle-ci doit être allongée à $72\mu\text{m}$ afin de se placer dans la même configuration que le FLYMOS. Cette longueur plus importante est nécessaire car elle permet de contacter le

polysilicium tout autour de la puce pour améliorer la rapidité de la commande de grille. Or, c'est ce qui est appliqué sur la FLY-diode n°2. On voit bien que seule cette évolution différencie les deux puces. Notons tout de même que, suivant la modification de paramètres de dessins réalisée, cela peut avoir des conséquences sur le reste de la structure : notamment, dans l'exemple évoqué précédemment, l'augmentation de la longueur de la plaque de champ a un impact direct sur la place qu'occupent les terminaisons : en l'allongeant, on a aussi augmenté le nombre d'anneaux de gardes. Il est alors intéressant d'évaluer les écarts éventuels de tenue en tension entre ces deux configurations.

Afin d'éviter de décrire, ligne par ligne, chaque modification réalisée, retenons que, de manière générale, les changements appliqués aux dessins des FLY-diodes ont pour objectif principal de discerner les aspects majeurs suivants :

- ✦ Les cellules centrales : en effet, le PHV est différent entre une FLY-diode et un FLYMOS. Le PHV dit "plein" utilisé sur la FLY-diode correspond à une implantation uniforme dans toute la zone active. En comparaison, celui du FLYMOS est un PHV type WELLFET, créant un réseau de lignes croisées de PHV. Nous cherchons donc à évaluer si cette différence a un impact sur la tenue en tension (puce n°5 à 8).
- ✦ Également, la forme du PHV influence aussi directement la forme du P_{float} : alors qu'il est moins contraint pour la FLY-diode (préférentiellement de type "stripe"), la structure WELLFET du FLYMOS impose un réseau de P_{float} formé de lignes croisées, alignées sur le PHV de surface. Cette distinction peut aussi avoir une influence non négligeable sur la tenue en tension.
- ✦ Enfin, le deuxième type de terminaisons (dots) va être testé et comparé aux anneaux de garde sur les FLY-diodes. Des variations de dimensions vont aussi être étudiées.

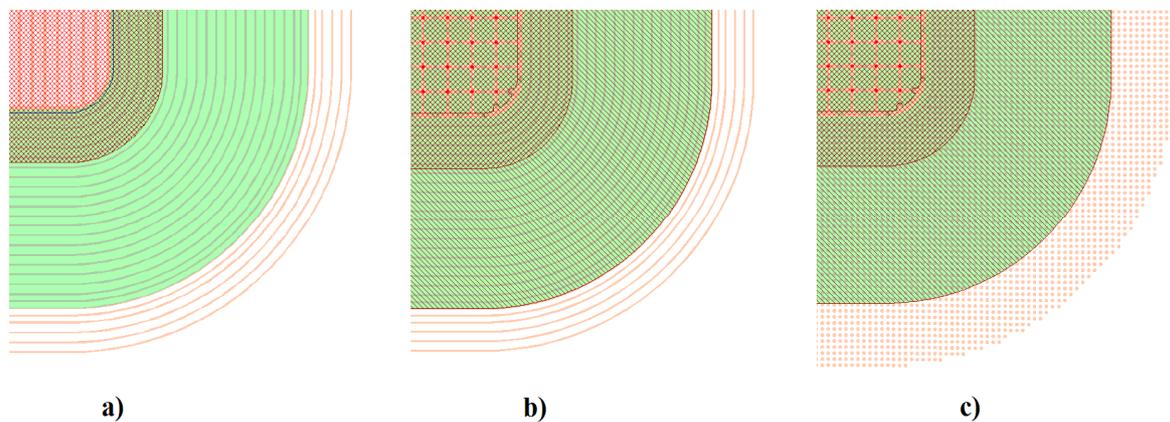


Figure III-32 : Exemple de particularités dans les dessins des FLY-diodes (représentation des coins) :
 a) FLY-diode (n°2) avec stripes dans la zone active et anneaux en terminaison,
 b) FLY-diode (n°5) avec WELLFET dans la zone active et anneaux en terminaison,
 c) FLY-diode (n°7) avec WELLFET dans la zone active et dots en terminaison.

Afin d'enrichir la compréhension, trois exemples parmi les plus explicites sont présentés à la Figure III-32. La FLY-diode n°2 possède un PHV plein, un P_{float} sous forme de stripes et des anneaux de garde en terminaisons : elle reprend les caractéristiques principales de la référence (Figure III-32a). En ce qui concerne la FLY-diode n°5, seule la cellule centrale change par rapport au composant n°2 : le PHV plein se transforme en PHV type WELLFET, induisant le passage de stripes à un réseau pour le P_{float} . Le reste demeure identique (Figure

III-32b). Enfin, la FLY-diode n°7 reprend la même forme de cellules centrales que la n°5 mais en changeant cette fois-ci uniquement les terminaisons : les dots remplacent les anneaux de gardes (Figure III-32c).

On comprend mieux maintenant l'objectif final de toutes ces FLY-diodes qui est d'aboutir, non pas à une autre amélioration de BV_{dss} , mais à la détermination des paramètres définissant le meilleur compromis, pour faciliter le passage à la réalisation du FLYMOS final.

III.3.4. Caractéristiques des FLYMOS

Tout comme pour les FLY-diodes, le Tableau III-3 synthétise l'ensemble des variations apportées aux dessins des FLYMOS. Par contre, à la différence des FLY-diodes qui possèdent des cellules centrales différentes, tous les FLYMOS sont de type WELLFET, impliquant que les cellules centrales (PHV et P_{float}) sont identiques pour les 16 composants (cf. les 2 premières colonnes correspondants aux cellules centrales).

Numéro de la puce	Cellules centrales		Terminaisons			Position du pad de grille	Structure sous le pad de grille			Longueur de la plaque de champ Polysilicium (μm)	Distance D (μm)	
	Ouverture masque du niveau P_{float} (μm)	Espacement entre chaque rangée de P_{float} (μm)	Nature des terminaisons	Ouverture masque du niveau P_{float} (μm)	Espacement entre chaque rangée de terminaison (μm)		Nature des motifs	Ouverture masque P_{float} (μm)	Espacement entre chaque P_{float} (μm)			
FLYMOS : ligne 3	17	0,8	9,4	Dots	1,0	$d=2,35$	Externe	Dots	1,0	$d=2,35$	72,0	3,9
	18	0,8	9,4	Dots	0,8	$d=2,35$	Externe	Dots	0,8	$d=2,35$	72,0	3,9
	19	0,8	9,4	Dots	1,2	$d=2,35$	Externe	Dots	1,2	$d=2,35$	72,0	3,9
	20	0,8	9,4	Dots	1,4	$d=2,35$	Externe	Dots	1,4	$d=2,35$	72,0	3,9
	21	0,8	9,4	Dots	1,2	$d=2,35$	Bordure	Réseau 2 fois plus dense	0,8	4,7	72,0	3,9
	22	0,8	9,4	Dots	1,0	$d=2,35$	Bordure	Dots	1,0	$d=2,35$	72,0	2,4
	23	0,8	9,4	Dots	1,0	$d=2,35$	Intérieure	Identique aux cellules centrales	0,8	9,4	72,0	3,9
	24	0,8	9,4	Dots	1,0	$d=2,35$	Intérieure	Réseau 2 fois plus dense	0,8	4,7	72,0	3,9
FLYMOS : ligne 4	25	0,8	9,4	Anneaux	0,5	$S_T=3,6$	Bordure	Identique aux cellules centrales	0,8	9,4	72,0	3,9
	26	0,8	9,4	Anneaux	0,5	$S_T=3,6$	Intérieure	Identique aux cellules centrales	0,8	9,4	72,0	3,9
	27	0,8	9,4	Anneaux	0,5	$S_T=3,6$	Bordure	Identique aux cellules centrales	0,8	9,4	72,0	2,4
	28	0,8	9,4	Anneaux	0,5	$S_T=3,6$	Bordure	Identique aux cellules centrales + angle 90°	0,8	9,4	72,0	3,9
	29	0,8	9,4	Anneaux	0,5	$S_T=3,6$	Bordure	Réseau 2 fois plus dense	0,8	4,7	72,0	3,9
	30	0,8	9,4	Anneaux	0,5	$S_T=3,6$	Bordure	Réseau 2 fois plus dense	0,5	4,7	72,0	3,9
	31	0,8	9,4	Anneaux	0,5	$S_T=3,6$	Intérieure	Réseau 2 fois plus dense	0,8	4,7	72,0	3,9
	32	0,8	9,4	Anneaux	0,5	$S_T=3,6$	Intérieure	Anneaux concentriques	0,5	3,6	72,0	3,9

Tableau III-3 : Variations des paramètres de dessin des 16 FLYMOS.

La particularité des FLYMOS réside dans l'ajout du pad de grille : comme nous l'avons déjà évoqué, trois situations sont alors possibles concernant sa position. Qu'il soit en dehors, à côté ou dans la zone active, l'interrogation principale demeure : comment construire le réseau de P_{float} sous ce pad de grille sans que cela crée un déséquilibre au niveau de la

répartition du champ électrique, pouvant détériorer la tenue en tension ? La Figure III-33 illustre, à l'aide de 3 exemples, les différentes réalisations imaginées.

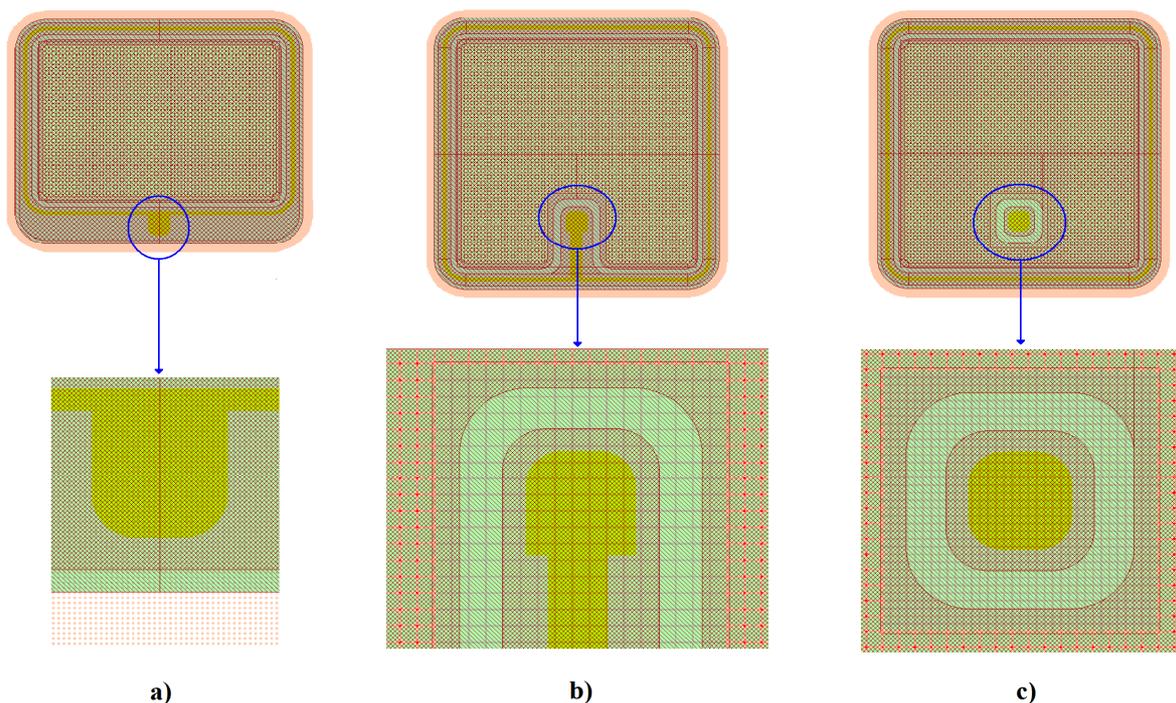


Figure III-33 : Exemple de dessins de P_{float} sous le pad de grille des FLYMOS :
 a) FLYMOS (n°17) avec le pad externe à la zone active et dots dessous,
 b) FLYMOS (n°25) avec le pad en bordure de la zone active et réseau dessous,
 c) FLYMOS (n°24) avec le pad intérieur à la zone active et réseau doublé dessous.

Afin que l'impact de la présence de ce pad sur la tenue en tension du composant soit quasiment nul, les solutions envisagées se résument ainsi (Figure III-33) :

- Tout d'abord, le premier composant (n°17) reprend les caractéristiques du FLYMOS de référence (toujours par rapport aux derniers résultats électriques) : ce dernier possède un pad de grille externe à la zone active (Figure III-33a). Dans cette configuration, seules les terminaisons de type dots peuvent être réalisées pour que la structure conserve une bonne symétrie (indispensable à la bonne répartition du champ électrique). Des ouvertures masques allant de $0,8\mu\text{m}$ à $1,4\mu\text{m}$ sont testés (puces n°17 à 20).
- Ensuite, les deux autres positions du pad de grille sont testées ; en bordure (Figure III-33b) et à l'intérieur de la zone active (Figure III-33c). La configuration des terminaisons type "dots" (puces n°21 à 24) est reprise. La forme du P_{float} sous le pad revêt alors différents aspects : toujours dans l'idée d'une bonne continuité du champ électrique, la première solution consiste à réaliser un réseau identique à celui des cellules centrales (Figure III-33b). La deuxième solution se résume à doubler ce réseau (Figure III-33c), c'est-à-dire à diviser par deux l'espace entre chaque ligne de P_{float} , en vue d'éviter toute éventuelle remontée intempestive des lignes de potentiel. La troisième idée est de tout simplement continuer les dots de terminaisons sous le pad.
- Concernant les puces n°25 à 32, seules les terminaisons type anneaux de garde sont appliquées, à l'identique de la FLY-diode de référence (ce qui n'avait pas encore été testé auparavant). Les différentes architectures sous le pad de grille sont reprises, avec cependant quelques variantes : d'autres idées comme celle d'un PHV à angle droit de la puce n°28 ou celle d'anneaux concentriques de la puce n°32 sont alors testés.

III.4. Performances électriques du FLYMOS optimisé

III.4.1. Plan d'expérience final

Suite aux bons résultats expérimentaux validant notre démarche d'optimisation (cf. §III.2.3), l'ensemble des paramètres de procédé de fabrication a été repris à l'identique, à l'exception des doses d'implantation du P_{float} et du N_{float} . Nous avons conclu que le meilleur compromis $BV_{dss}/R_{ON.S}$ était obtenu pour des faibles doses d'implantation, soit un P_{float} de $1.10^{13}cm^{-2}$ et un N_{float} compris entre $1,0.10^{12}cm^{-2}$ et $1,5.10^{12}cm^{-2}$ (cf. §III.2.3.1.4). Par conséquent, les doses d'implantation du P_{float} et du N_{float} de ce dernier plan d'expérience ont été resserrées autour de ces valeurs afin d'affiner les prochains résultats. Le Tableau III-4 présente l'ultime plan d'expérience mise en place.

Ajout du niveau P_{edge}	Doses d'implantation des P_{float} (cm^{-2})	Doses d'implantation des N_{float} (cm^{-2})
Identique aux niveaux P_{float}/N_{float} combinés	$0,8.10^{13}$	$1,0.10^{12}$
		$1,2.10^{12}$
		$1,4.10^{12}$
		$1,6.10^{12}$
	$1,0.10^{13}$	$1,0.10^{12}$
		$1,2.10^{12}$
		$1,4.10^{12}$
		$1,6.10^{12}$
	$1,2.10^{13}$	$1,0.10^{12}$
		$1,2.10^{12}$
		$1,4.10^{12}$
		$1,6.10^{12}$
$1,4.10^{13}$	$1,0.10^{12}$	
	$1,2.10^{12}$	
	$1,4.10^{12}$	
	$1,6.10^{12}$	

Tableau III-4 : Ultime plan d'expérience en vue d'obtenir les meilleurs FLYMOS 200V.

III.4.2. Performances statiques

III.4.2.1. Compromis BV_{dss}/R_{ON} du grand FLYMOS

Avant de nous lancer dans une analyse détaillée de chaque résultat, nous devons réaliser un premier tri à l'aide de la grande puce FLYMOS, qui reprend les caractéristiques de notre référence. En effet, en couplant directement les paramètres de procédé (16 possibilités) aux paramètres de dessin (32 possibilités), on arrive à 512 mesures paramétriques. Ceci revient réaliser plusieurs milliers de mesures pour effectuer des distributions. Ce travail peut vite devenir fastidieux et justifie donc notre démarche de simplification. Rappelons enfin que nous avons constaté une amélioration significative des performances du FLYMOS avec l'ajout de l'étage P_{edge} (identique au P_{float} et N_{float}). C'est pourquoi chaque composant réalisé et mesuré possède désormais systématiquement ce niveau.

III.4.2.1.1. Tenue en tension

Le but principal de cette mesure du grand FLYMOS est d'établir une tendance pour pouvoir ensuite affiner l'analyse sur les 32 structures possédant les paramètres de procédé optimaux. La Figure III-34 synthétise les résultats des mesures de BV_{dss} en fonction des doses du P_{float} et du N_{float} .

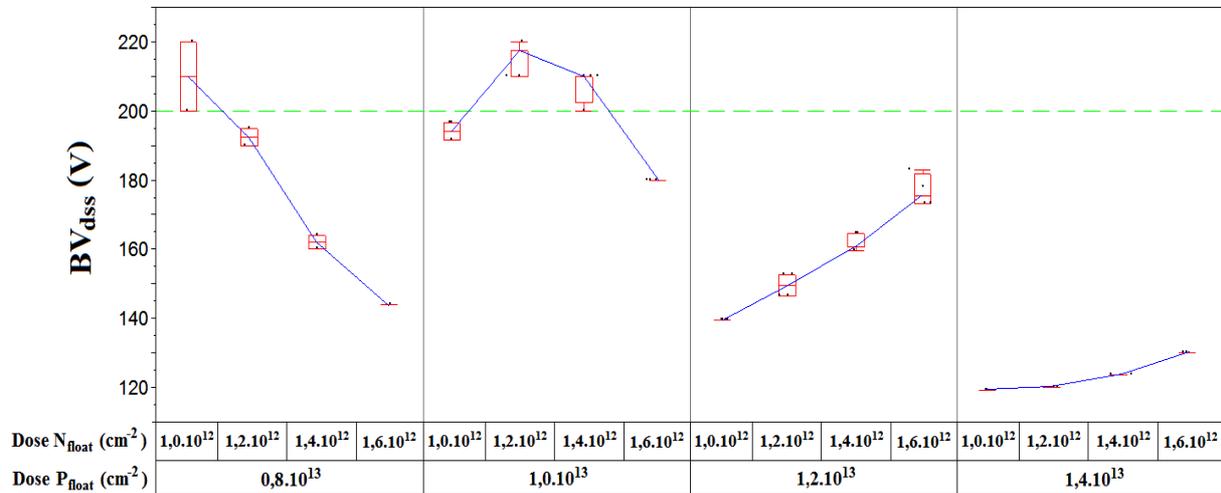


Figure III-34 : Distribution des BV_{dss} du grand FLYMOS suivant le dernier plan d'expérience.

On remarque que les meilleurs BV_{dss} sont obtenus pour une dose de P_{float} de $1,0 \cdot 10^{13} cm^{-2}$; dans cette configuration, la dose du N_{float} a une influence relativement modérée, nous permettant de rester très proche de l'objectif : 180V dans le pire des cas ($1,6 \cdot 10^{12} cm^{-2}$) et 210V dans le meilleur des cas ($1,2 \cdot 10^{12} cm^{-2}$). Pour une faible dose de P_{float} de $0,8 \cdot 10^{13} cm^{-2}$, seule une faible dose de N_{float} ($1,0 \cdot 10^{12} cm^{-2}$) permet de dépasser 200V. Au-delà, BV_{dss} s'écroule avec l'augmentation de la dose de N_{float} . À l'inverse, pour une dose de P_{float} de $1,2 \cdot 10^{13} cm^{-2}$, BV_{dss} augmente avec la dose de N_{float} . Ces deux valeurs de P_{float} , encadrant la dose optimale ($1,0 \cdot 10^{13} cm^{-2}$), indiquent deux choses : dans le premier cas, la faible dose de P_{float} de $0,8 \cdot 10^{13} cm^{-2}$ signifie que l'on est en "limite basse" de la concentration finale des îlots flottants. Elle permet tout juste de répartir le champ électrique maximum afin de tenir les 200V visés. Or, l'augmentation de la couche N_{float} réduit cette concentration pic aux niveaux des P_{float} , qui est alors insuffisante pour soutenir la tension désirée. En fait, la valeur pic de leur concentration est trop proche de la valeur du dopage de l'épitaxie ; les P_{float} ne soutiennent plus le champ électrique qui se reporte alors sur le PHV. La jonction PHV/ $N_{épi}$ claqué alors prématurément. À l'inverse, dans le cas de la dose de P_{float} de $1,2 \cdot 10^{13} cm^{-2}$, la concentration finale est légèrement trop importante, reportant le pic de champ électrique plutôt sur les îlots flottants : cette fois-ci, le claquage prématuré a lieu dans le volume, aux niveaux des jonctions $P_{float}/(N_{épi} + N_{float})$. Dans les deux cas, la balance du champ électrique entre les P_{float} et le PHV est déséquilibrée.

D'après les résultats obtenus, la dose de P_{float} de $1,0 \cdot 10^{13} cm^{-2}$ semble la meilleure. Cependant, deux remarques s'imposent : premièrement, il ne faut pas oublier que la concentration finale des îlots flottants (gouvernant la répartition du champ électrique) est aussi dépendante de l'ouverture masque ; suivant la structure mesurée, le point de procédé optimal peut être légèrement modifié. On note là toute la difficulté de conjuguer à la fois un dessin approprié à un procédé donné. Deuxièmement, nous venons de mettre en évidence un

effet que nous avons déjà constaté lors de nos premiers tests, à savoir l'influence de la concentration de l'îlot flottant sur la tenue en tension. Or, ceci est important car cela corrige la théorie qui indiquait que la technologie FLIMOS n'était pas sensible à la concentration de l'îlot flottant [CEZ00]. Cela signifie qu'il est primordial de distribuer idéalement le champ électrique entre jonctions PN en volume et en surface afin qu'un bon équilibre soit obtenu.

III.4.2.1.2. Résistance à l'état passant

La Figure III-35 synthétise les résultats de la mesure de la résistance à l'état passant R_{ON} . Toujours sans surprise, on constate que, plus le P_{float} est faiblement dopé, plus R_{ON} est petit : entre chaque niveau, on constate un écart global de l'ordre de 4 à 5%. Pour une même dose de P_{float} maintenant, l'effet de la couche N_{float} sur R_{ON} est toujours présent : lorsque cette couche est incrémentée de $0,2 \cdot 10^{12} \text{ cm}^{-2}$, R_{ON} diminue d'environ 4 à 6%.

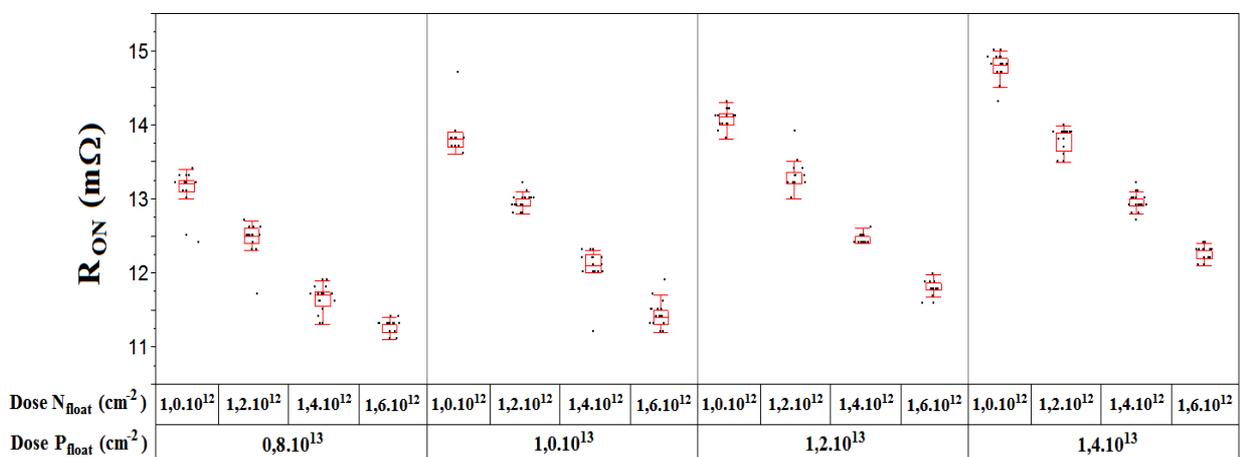


Figure III-35 : Distribution des R_{ON} du grand FLYMOS suivant le dernier plan d'expérience.

Pour une dose de P_{float} de $1,0 \cdot 10^{13} \text{ cm}^{-2}$, fournissant les BV_{dss} les plus élevés, on constate que la valeur la plus élevée est de $13,75 \text{ m}\Omega$ et la plus basse de $11,4 \text{ m}\Omega$. Ramenée à la surface active du grand FLYMOS, $R_{ON} \cdot S$ vaut alors respectivement $4,4 \text{ m}\Omega \cdot \text{cm}^2$ et $3,7 \text{ m}\Omega \cdot \text{cm}^2$. Ces valeurs sont très satisfaisantes car, pour une tenue en tension de 200 V , la relation (24), définissant la limite conventionnelle du silicium, donne : $R_{ON} \cdot S = 4,7 \text{ m}\Omega \cdot \text{cm}^2$.

III.4.2.2. Analyse des BV_{dss} sur les 32 petites structures

Suite aux résultats de la grande puce FLYMOS, nous avons choisi de resserrer les paramètres de procédé autour des doses de P_{float} de $1,0 \cdot 10^{13} \text{ cm}^{-2}$ et $1,2 \cdot 10^{13} \text{ cm}^{-2}$. Le but de cette analyse est de dégager les principales tendances et de déterminer le meilleur compromis « procédé/dessin de structures » en terme de tenue en tension. Notons que la mesure des 32 structures n'a pas pu être effectuée automatiquement comme nous le faisons jusqu'à présent à l'aide d'un testeur TESEC ; bien que l'imprécision sur les mesures de BV_{dss} (extraites à l'aide d'un traceur de courbes Tektro 576) soit légèrement plus élevée qu'à l'accoutumée, les valeurs mesurées restent suffisamment précises pour déterminer les tenues en tension des diverses structures. Le Tableau III-5 synthétise l'ensemble des valeurs moyennes des résultats de mesures BV_{dss} .

		BV _{dss} (Volts) @ 100µA				Rappel des caractéristiques principales différenciant chaque composant
Numéro de la puce	P _{float} = 1,0.10 ¹³ cm ⁻²		P _{float} = 1,2.10 ¹³ cm ⁻³			
	N _{float} = 1,0.10 ¹² cm ⁻²	N _{float} = 1,2.10 ¹² cm ⁻²	N _{float} = 1,2.10 ¹² cm ⁻²	N _{float} = 1,4.10 ¹² cm ⁻²		
FLY-diodes	1	245	235	205	235	FLY-diode de référence avec anneaux de garde
	2	250	225	210	240	Idem puce n°1 + L _{poly} =72µm
	3	225	240	170	205	Idem puce n°2 + D=2,4µm
	4	160	170	160	170*	Idem puce n°3 + Anneaux de garde incrémentiels (0,5µm)
	5	225	190	215	200	Idem puce n°2 + Wellfet en cellule centrale
	6	200	185*	165*	185*	Idem puce n°5 + Anneaux de garde incrémentiels (0,3µm)
	7	235	205	Instable	210*	FLY-diode Wellfet avec Dots (1,2µm) + D=3,9µm
	8	235	210	Instable	210*	FLY-diode Wellfet avec Dots (1,2µm) + D=2,4µm
	9	160	135	170	145	Idem puce n°2 + Dots (0,8µm)
	10	215	185	215	210	Idem puce n°2 + Dots (1,0µm)
	11	245	245*	Instable	225	Idem puce n°2 + Dots (1,2µm)
	12	230	Instable	Instable	Instable*	Idem puce n°2 + Dots (1,4µm)
	13	175	155	175	165	Idem puce n°9 + D=2,4µm
	14	240	205	205	225	Idem puce n°10 + D=2,4µm
	15	230	245	Instable*	205	Idem puce n°11 + D=2,4µm
	16	180	Instable*	Instable*	Instable*	Idem puce n°12 + D=2,4µm
FLYMOS	17	215	200	170	180	FLYMOS de référence (dots 1,0µm) avec Pad externe
	18	145	125	155	130	Idem puce n°17 + dots 0,8µm
	19	235	205	Instable*	220*	Idem puce n°17 + dots 1,2µm
	20	Instable*	Instable*	Instable*	155*	Idem puce n°17 + dots 1,4µm
	21	160	165	125	135*	Idem puce n°19 + pad en bordure + réseau de P _{float} doublé sous le pad (4,7µm / 0,8µm)
	22	225	190	210	220*	Idem puce n°17 + pad en bordure + P _{float} dots 1,0µm sous le pad + D=2,4µm
	23	195	165	205	175*	Idem puce n°17 + pad intérieur + réseau de P _{float} identique aux cellules centrales sous le pad (9,4µm / 0,8µm)
	24	160	160	130	140	Idem puce n°23 + réseau de P _{float} doublé sous le pad (4,7µm / 0,8µm)
	25	200	165	210	180	FLYMOS + anneaux de garde + pad en bordure + réseau de P _{float} identique aux cellules centrales sous le pad (9,4µm / 0,8µm)
	26	230	190	215	200	Idem puce n°25 + pad à l'intérieur
	27	210	180	210	195	Idem puce n°25 + D=2,4µm
	28	230	190	215	205	Idem puce n°25 + réseau PHV et P _{float} aligné avec angle 90° sous le pad de grille
	29	160	165	130	135	Idem puce n°25 + réseau de P _{float} doublé sous le pad (4,7µm / 0,8µm)
	30	205	200	155	170	Idem puce n°29 + ouverture réseau de P _{float} sous pad plus petit (4,7µm / 0,5µm)
	31	160	165	135	140	Idem puce n°26 + réseau de P _{float} doublé sous le pad (4,7µm / 0,8µm)
	32	230	205	190	210	Idem puce n°26 + réseau de P _{float} sous forme d'anneaux concentriques sous le pad (ouverture 0,5µm)

* Dispersion de mesures importante

 Tableau III-5 : Distribution des BV_{dss} des 32 puces du jeu de masque optimisé.

Analyse des résultats des FLY-diodes :

Sur les 16 FLY-diodes, quatre tendances se dégagent nettement au niveau des résultats. La première remarque porte sur l'allongement du polysilicium : la comparaison entre la puce n°1 et la puce n°2 montre que les BV_{dss} sont similaires, ce qui indique qu'il n'y a

pas de dégradation des tenues en tension avec la modification de ce paramètre. Ensuite, la deuxième tendance est observée sur la comparaison des puces n°2 et n°5 : à terminaisons identiques, ces deux FLY-diodes se distinguent par la forme du PHV et du P_{float} en cellules centrales. Alors que la première structure (n°2) possède un PHV plein et des P_{float} plus resserrés (stripes), la seconde (n°5) reprend le PHV type WELLFET du FLYMOS ainsi que le P_{float} sous forme de réseau. La chute moyenne de BV_{dss} constatée entre ces deux puces est de 26V et est principalement due au plus grand espacement de P_{float} . Cette différence de BV_{dss} signifie aussi que c'est la structure FLY-diode n°5 possédant les motifs WELLFET qui doit être directement comparée aux FLYMOS, et non la FLY-diode n°1 comme nous le faisons jusqu'à présent. La troisième observation se fait sur la distance D dont l'effet est limité : bien que sur certaines structures, sa réduction permette de gagner jusqu'à plus d'une dizaine de Volts (puces n°10 et 14), les FLY-diodes à motifs identiques, où seule la distance D est modifiée – 3,9 μm (puce n°7) à 2,4 μm (puce n°8) –, ont des tenues en tension similaires.

Enfin, le dernier point d'intérêt porte sur la différence de terminaisons entre anneaux de garde et dots. Pour obtenir des BV_{dss} identiques aux anneaux de garde (~250V dans le meilleur des cas pour les structures n°1 et 2), les dots doivent nécessairement être de 1,0 μm ou 1,2 μm (puces n°10, 11, 14 et 15). Cependant, quelques instabilités ont été relevées au niveau de la tenue en tension : alors que certaines configurations fournissent des valeurs assez disparates (paramètres indexés par un astérisque dans le Tableau III-5), certaines sont nettement instables (puces n°12 et 16). Cet effet semble provenir d'une mauvaise répartition des lignes de potentiel s'échelonnant sur les deux niveaux de dots. Toujours est-il que dans ces conditions, seuls les dots de 1,0 μm peuvent être pris en considération. Ainsi les anneaux de garde apparaissent comme plus appropriés en terme de performance/stabilité. Remarquons que les anneaux de gardes incrémentiels n'améliorent pas les BV_{dss} : ils ne sont donc pas adaptés à cette gamme de tenue en tension (puce n°4 et 6).

Analyse des résultats des FLYMOS :

Concernant les 16 FLYMOS, nous pouvons faire une première observation générale : les meilleurs dispositifs ont des tenues en tension du même niveau que la FLY-diode WELLFET n°5 (~230V). Nous avons donc réussi à rendre la présence du pad de grille "transparente" au niveau du critère BV_{dss} . Néanmoins, des précautions sont nécessaires pour y parvenir, comme nous allons le voir par la suite.

Le premier point d'analyse concerne les FLYMOS avec le pad de grille extérieur à la zone active (puces n°17 à 20), reprenant notamment la philosophie de notre référence. Le paramètre différenciant ces puces est la taille des dots de terminaison. On remarque tout de suite que ces FLYMOS se comportent exactement comme les FLY-diodes à dots : alors que pour des ouvertures de 1,0 μm (n°17), les tenues en tension sont bonnes, les autres puces (n°18 à 20) présentent des instabilités de BV_{dss} . Par conséquent, seule la FLY-diode d'ouverture 1,0 μm est utilisable. De plus, un autre aspect s'avère contraignant : en effet, la disposition du pad de grille à l'extérieur de la zone active est consommatrice d'espace, ce qui réduit fortement son intérêt. Les deux autres positions, en bordure et à l'intérieure de la zone active, sont donc privilégiées. Dans ce cadre, nous devons alors concentrer nos efforts sur la manière d'intégrer ce pad de grille au sein du composant : la difficulté se localise au niveau des

raccordements entre la fin des cellules centrales de la zone active et la partie dédiée au pad de grille. Deux possibilités ont été alors envisagées : soit le réseau de P_{float} est continu sous le pad et aligné par rapport au PHV, soit des stratégies sont déployées pour éviter que les lignes de potentiel ne remontent à la surface, sous le pad. Différents agencements ont alors été bâtis : lorsque le réseau de P_{float} est doublé sous le pad (puces n°21, 24, 29, 30 et 31), les tenues en tension ne sont pas bonnes, quelle que soit la position du pad de grille. Dans cette configuration, les P_{float} sont très proches les uns des autres et forment une plaque de champ enterrée sous le pad. Sa concentration relative est ainsi supérieure à celle des cellules centrales, créant un déséquilibre du champ électrique et un claquage prématuré. Pour diminuer cet effet, la solution consiste à diminuer l'ouverture du P_{float} (de 0,8 à 0,5 μm) sous le pad de grille : elle a été testée sur la puce n°30. Mais les résultats sont tout justes concluants. En comparaison, le réseau simple identique à celui des cellules centrales donne de très bons résultats (puces n°25, 26 et 30) : il est donc préférable d'éviter de doubler le réseau.

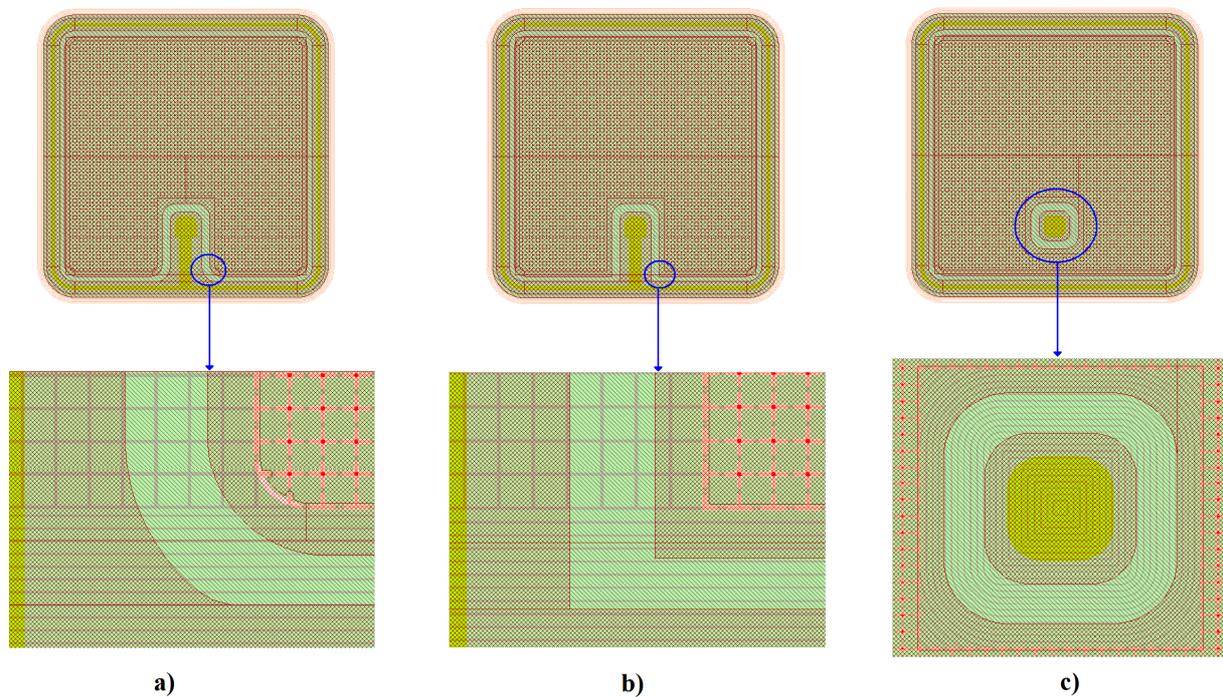


Figure III-36 : Exemples de raccordement du réseau de P_{float} sous le pad de grille :
 a) FLYMOS (n°25) avec le pad en bordure à la zone active et réseau simple dessous,
 b) FLYMOS (n°28) avec le pad en bordure de la zone active et avec le réseau simple de PHV et P_{float} à angles droits,
 c) FLYMOS (n°32) avec le pad intérieur à la zone active et anneaux concentriques.

Concernant le réseau de P_{float} simple sous le pad, des précisions doivent être apportées : en effet, l'alignement du PHV avec le réseau de P_{float} , au niveau du raccordement entre le pad de grille et la zone active, se révèle important. La description donnée à la Figure III-36 permet de distinguer l'arrondi du PHV (Figure III-36a), présent dans les coins inférieurs délimitant la zone du pad de grille (puce n°25), d'un PHV dont les angles sont à 90° (puce n°28), superposés au P_{float} (Figure III-36b). Alors que ce détail semble mineur, la dégradation de BV_{dss} peut atteindre 30V en comparant ces deux agencements. Le meilleur résultat obtenu pour la puce n°28 (PHV à 90°) témoigne, une fois de plus, qu'il est important d'éviter tout déséquilibre du champ électrique entre la surface et le volume. Pour confirmer cette observation, il suffit de confronter une autre puce à cette puce n°25 (dont le pad de grille

en bordure possède l'arrondi de PHV). La puce n°26 est identique à sa devancière, au détail près que le pad est ramené au centre ; le PHV est alors parfaitement aligné sur le P_{float} , ce qui permet d'atteindre 230V dans le meilleur des cas. Enfin, pour finir l'analyse, un dernier commentaire doit être fait sur la puce n°32 : sa configuration originale sous forme d'anneaux concentriques correspond à des anneaux de garde inversés sous le pad (Figure III-36c), identiques en dimensions aux terminaisons. Elle permet ainsi de protéger idéalement le pad de grille, sans créer de déséquilibre. Cette structure figure parmi les meilleurs composants atteignant 230V.

III.4.2.3. Conclusion : choix des paramètres

Suite à ces analyses riches en informations, la structure FLYMOS 200V idéale peut être définie, selon les aspects de procédé et de dessins suivants :

- 1°) Tout d'abord, en terme de procédé, la dose d'implantation de P_{float} la plus efficace est confirmée à $1,0 \cdot 10^{13} \text{cm}^{-2}$. Concernant la dose du N_{float} , les meilleurs résultats ont été obtenus pour une dose de $1,0 \cdot 10^{12} \text{cm}^{-2}$. De manière générale, notons que les doses de P_{float} et de N_{float} doivent avoir une décade d'écart pour un fonctionnement optimum. Cela correspond à un $R_{ON.S}$ de $4,4 \text{m}\Omega \cdot \text{cm}^2$.
- 2°) Ensuite, en terme de dessins des structures, nous devons distinguer les terminaisons et la position du pad de grille :
 - ✦ En ce qui concerne les terminaisons type dots, seule l'ouverture de $1,0 \mu\text{m}$ peut être appliquée (puces n°17 mais surtout n°22), mais les anneaux de garde sont nettement privilégiés car ils n'ont pas montré d'instabilité de BV_{dss} . Concernant ces derniers, une ouverture de $0,5 \mu\text{m}$ et un espacement S_I de $3,6 \mu\text{m}$ doivent être repris.
 - ✦ Au sujet de la position du pad de grille, les deux configurations, en bordure ou à l'intérieur de la zone active, sont possibles. Cependant, il faut que le réseau de P_{float} sous le pad de grille soit identique à celui des cellules centrales (espacement de $9,4 \mu\text{m}$ et ouverture masque de $0,8 \mu\text{m}$) comme sur la puce n°26 et que le PHV soit parfaitement aligné au P_{float} (puce n°28), afin de ne pas créer de point d'asymétrie pouvant induire des déséquilibres du champ électrique. La seconde option envisageable concerne les anneaux concentriques ; seulement, cette alternative n'est applicable que si le pad de grille est intérieur à la zone active et, de plus, ces anneaux doivent être identiques en dimensions aux terminaisons.

III.4.3. Performances dynamiques

III.4.3.1. Commutation sur charge résistive

À la différence de la mesure du « Gate charge », qui permet de déterminer la charge nécessaire à l'établissement de la polarisation de la grille (V_{GS}) lors du passage de l'état bloqué à l'état passant, les commutations sur charge résistive vont nous permettre de vérifier le comportement dynamique du FLYMOS, par la mesure de la résistance dynamique (R_{ONd}), à des fréquences bien plus rapides ($\sim 1 \text{MHz}$). Par la même occasion, elle nous donnera un premier aperçu des temps de commutation lors du passage de l'état bloqué à passant

(fermeture de l'interrupteur) et de l'état passant à bloqué (ouverture de l'interrupteur), bien qu'ils soient généralement mesurés au travers de la caractérisation sur charge inductive.

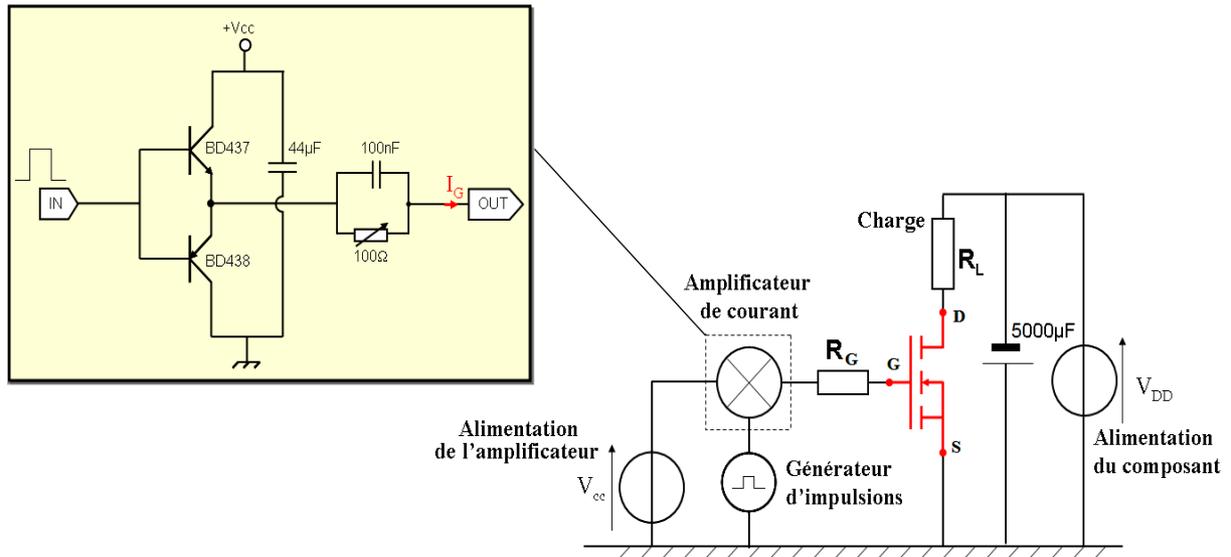


Figure III-37 : Circuit utilisé pour la mesure des temps de commutation sur charge résistive.

Le circuit utilisé reprend la base du circuit « Gate charge », en y changeant le convertisseur tension/courant par un amplificateur de courant et une résistance de grille R_G (Figure III-37). Le courant de grille du FLYMOS, contrôlé par la charge R_G , peut atteindre jusqu'à 1A pic et permet de charger rapidement la grille. Dans cette étude, nous reprenons les paramétrages de la mesure « Gate charge » ; ainsi, la polarisation de consigne maximum est $V_{DD}=120V$ et la charge $R_L=10\Omega$ permet de fixer le courant I_{DS} à 12A. La charge de grille R_G , présente à la sortie de l'amplificateur, est établie à $4,7\Omega$, valeur qui permet des temps de commutation inférieurs à la microseconde et que l'on retrouve aussi dans de nombreuses fiches produits (datasheet).

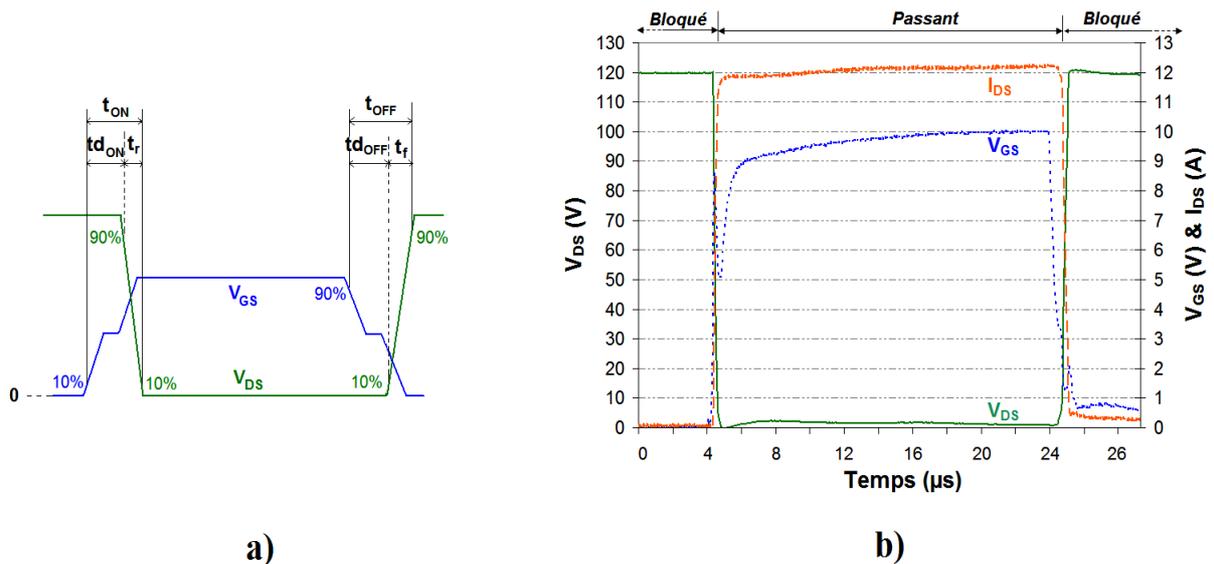


Figure III-38 : Détermination des temps de commutation sur charge résistive :
 a) convention généralement utilisée pour définir les temps de commutation,
 b) résultats de commutation pour un grand FLYMOS avec P_{float} de $1,0.10^{13} cm^{-2}$ et un N_{float} de $1,0.10^{12} cm^{-2}$.

Pour mémoire, la définition des temps de commutation conventionnellement utilisés est rappelée sur la Figure III-38a. Pour cette caractérisation, nous choisissons de tester le grand FLYMOS de référence qui possède les paramètres de procédé optimaux ; la dose de P_{float} est de $1,0 \cdot 10^{13} \text{cm}^{-2}$ et celle des N_{float} de $1,0 \cdot 10^{12} \text{cm}^{-2}$. La première constatation que l'on peut faire lorsque l'on regarde un cycle entier (Figure III-38b), est que le comportement dynamique semble toujours bon. En effet, le courant de consigne $I_{\text{DS}}=12\text{A}$ est bien atteint et la tension résiduelle V_{DSon} est de l'ordre de 600 à 800mV. Par conséquent, la résistance dynamique est similaire à celle mesurée avec le « Gate charge ».

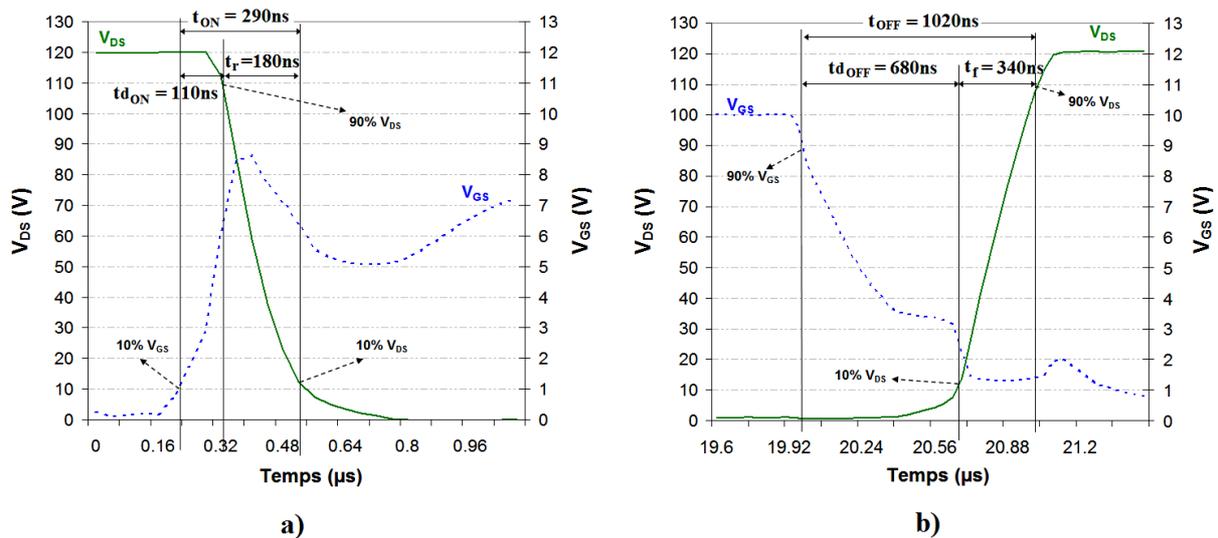


Figure III-39 : Agrandissement sur les temps de montée et de descente de la figure précédente :
a) temps de commutation au passage de l'état bloqué à l'état passant (fermeture),
b) temps de commutation au passage de l'état passant à l'état bloqué (ouverture).

En ce qui concerne les temps de commutations du FLYMOS 200V (Figure III-39), on remarque tout de suite que le temps global de fermeture, $t_{\text{ON}}=290\text{ns}$ (Figure III-39a), est bien plus court que celui de l'ouverture, $t_{\text{OFF}}=1020\text{ns}$ (Figure III-39b). Cet écart est principalement dû au comportement de la grille ; elle est, entre autres, dépendante du circuit de commande qui est bien plus long à la décharge ($t_{\text{dOFF}}=680\text{ns}$) qu'à la charge ($t_{\text{dON}}=110\text{ns}$). C'est pourquoi, les concepteurs ne tiennent compte généralement que des temps t_r et t_f , relatifs à la commutation de la tension V_{DS} : dans notre étude, nous obtenons $t_r=180\text{ns}$ et $t_f=340\text{ns}$, correspondant à des temps de commutation tout à fait corrects.

En conclusion, ces premières caractérisations du composant FLYMOS 200V optimisé ne révèlent pas de problèmes dynamiques particuliers.

III.4.3.2. Commutation sur charge inductive

III.4.3.2.1. Principe

La configuration en « demi-pont » de la caractérisation sur charge inductive reprend la structure d'un bras d'onduleur qui est généralement utilisé dans les applications de type « contrôle moteur », où l'inductance symbolise le stator du moteur (qui est généralement une bobine). La particularité de cette mesure est qu'elle nécessite deux composants identiques : le premier sert d'interrupteur auquel il sera possible de mesurer les temps de commutation, alors

que le second, dont la grille est court-circuitée avec la source, sert de diode de roue libre pour évacuer l'énergie stockée dans l'inductance lors des phases de commutation. La disposition de ce deuxième composant permet alors de caractériser la diode interne du FLYMOS (ou diode body) et de déterminer son comportement en recouvrement inverse (voir Chapitre I, §I.2.1.2.).

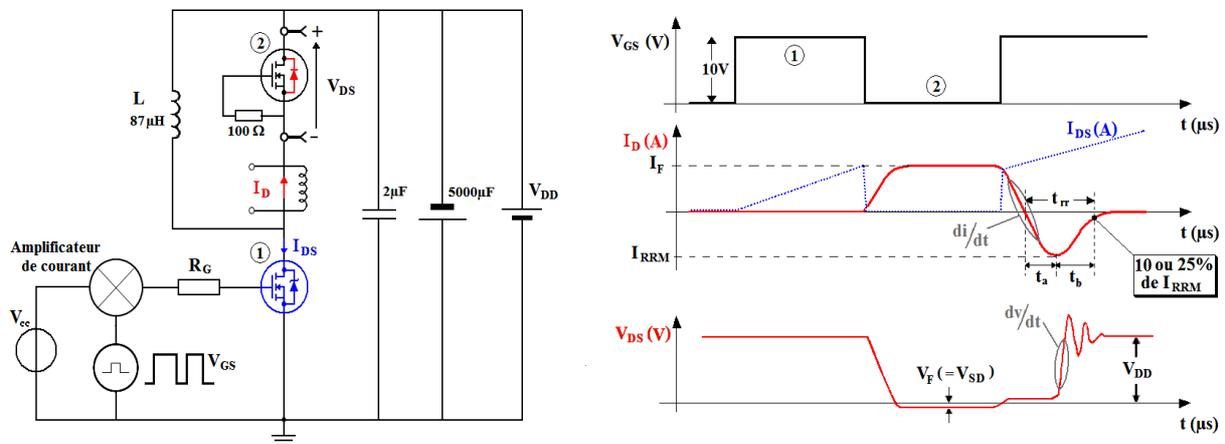


Figure III-40 : Circuit utilisé pour la mesure des temps de commutation sur charge inductive et courbes représentatives du fonctionnement inverse de la diode interne du FLYMOS.

La représentation schématique du montage utilisé est proposée sur la partie gauche de la Figure III-40 : la commande de grille reprend le même amplificateur de courant utilisé pour les commutations sur charge résistive (Figure III-37). Cependant, la différence par rapport au montage précédent concerne le signal de commande : ce dernier passe d'une simple impulsion à une double impulsion. La partie droite de la Figure III-40 symbolise les courbes de fonctionnement d'un tel montage en y décomposant le signal de commande, appliqué au composant n°1, et les variations du courant I_D et de la tension V_{DS} de la diode interne du composant n°2. On distingue alors 3 étapes principales :

- Le début de la première impulsion réalise la commutation de l'état bloqué à l'état passant du composant n°1, nous permettant de mesurer t_{ON} , td_{ON} et t_f à la fermeture de l'interrupteur. Après avoir commuté, le transistor autorise le passage du courant I_{DS} dans l'inductance qui accumule alors de l'énergie.
- À la fin de la première impulsion, la commutation de l'état passant à l'état bloqué du composant n°1 nous permet de mesurer t_{OFF} , td_{OFF} et t_f à l'ouverture de l'interrupteur. Or, dans le même temps, l'énergie stockée lors de la conduction dans l'inductance doit être évacuée : cette dernière se décharge donc sous forme d'un courant I_D dans la diode interne du composant n°2 qui est alors en direct (configuration dite de « diode de roue libre »). La tension aux bornes de la diode est la tension résiduelle de conduction V_F (égale à V_{SD} dans cette application).
- Au démarrage de la seconde impulsion, le composant n°1 commute de nouveau à l'état passant, laissant transiter le courant I_{DS} : or, à ce même moment, la diode interne du composant n°2 est toujours en roue libre. Cela signifie que les charges accumulées par le courant I_D dans la diode interne du composant n°2 doivent s'évacuer afin qu'il retrouve son pouvoir de blocage. Ainsi, le drainage de ces charges crée un courant inverse dont le maximum est défini par I_{RRM} . Une fois ce pic dépassé, la tension de blocage peut de nouveau croître. Cette phase complexe est caractérisée par les paramètres suivants : le temps de recouvrement t_{rr} , la charge totale accumulée Q_{rr} , le courant maximal de

recouvrement I_{RRM} , le taux de décroissance de ce recouvrement di/dt , le facteur de recouvrement S (*softness factor*) et le taux de retour à la tension de blocage de la diode interne dv/dt (cf. définitions au Chapitre I, §I.2.1.2.).

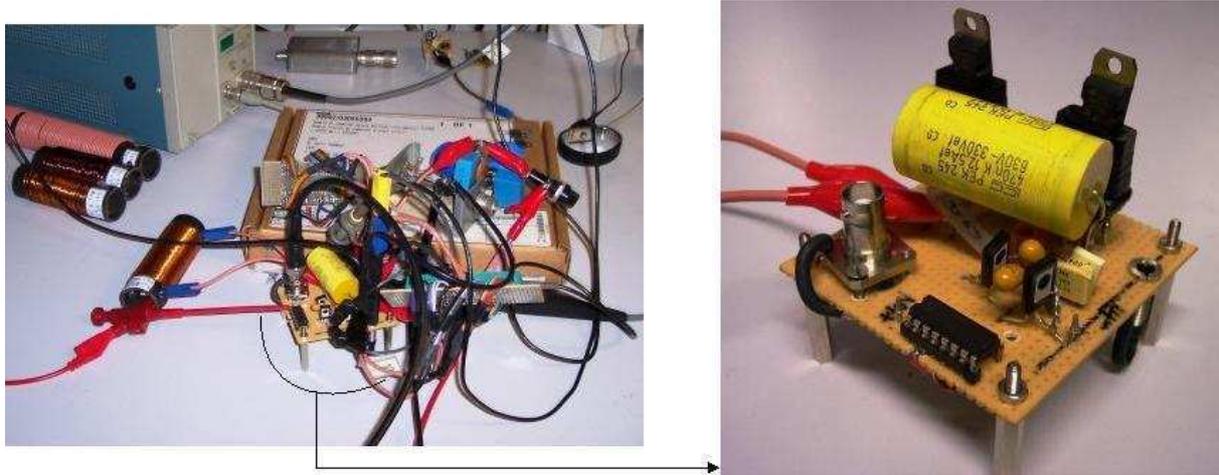


Figure III-41 : Photos du montage réalisé pour la caractérisation sur charge inductive.

Notons que les temps de commutation sont contrôlés par R_G qui fixe aussi la pente de recouvrement dv/dt de la diode interne. De plus, nous devons tenir compte de la largeur d'impulsion, du temps espaçant les deux impulsions et de la valeur de l'inductance L , afin de contrôler le courant I_D et la pente di/dt . Les photos du banc de tests, développé pour la caractérisation sur charge inductive, sont visibles à la Figure III-41. Précisons aussi que le but de cette caractérisation n'est pas de définir les meilleures performances dynamiques, mais de vérifier qu'aucun problème majeur n'existe pour la technologie à îlots flottants.

III.4.3.2.2. Temps de commutation

Dans cette étude, nous reprenons la polarisation de consigne $V_{DD}=120V$. Le courant I_{DS} est généralement pris comme étant la moitié du courant de consigne de l'application : n'ayant pas d'application type pour notre composant, nous choisissons de fixer un courant I_{DS} autour de 6A – qui sera aussi le courant de consigne au moment du recouvrement de la diode interne – par rapport aux 12A utilisés jusqu'alors. De plus, la charge de grille R_G est établie à $4,7\Omega$, valeur classiquement utilisée par certains concepteurs. Également, l'inductance est quant à elle choisie à $L=86\mu H$. La largeur d'impulsion est fixée à $5\mu s$ et l'espacement entre les deux fronts montant de la double impulsion est établi à $10\mu s$. Enfin, nous reprenons pour cette caractérisation 2 grands FLYMOS de référence qui possèdent les P_{float} d'une dose de $1,0 \cdot 10^{13} cm^{-2}$ et les N_{float} d'une dose de $1,0 \cdot 10^{12} cm^{-2}$.

Les résultats des temps de commutation sont présentés à la Figure III-42. La première constatation est que le comportement dynamique demeure toujours bon. En effet, les courbes V_{DS} présentent de très faibles tensions résiduelles V_{DSon} aux états passants. Nous confirmons alors que la résistance dynamique n'est pas dégradée à des fréquences plus élevées. En ce qui concerne les temps de commutations du FLYMOS 200V optimisé, on remarque tout de suite qu'ils sont bien inférieurs aux temps de commutations sur charge résistive : le temps global de fermeture coïncide à $t_{ON}=112ns$ et celui de l'ouverture vaut $t_{OFF}=167ns$ (avec $td_{ON}=55ns$ et

$t_{D,OFF}=109\text{ns}$). Également, les temps t_r et t_f , relatifs à la commutation de la tension V_{DS} sont bien plus courts : nous obtenons $t_r=58\text{ns}$ et $t_f=58\text{ns}$. En d'autres termes, cela signifie que les fréquences de commutation du composant peuvent atteindre la dizaine de MégaHertz sans détérioration des performances.

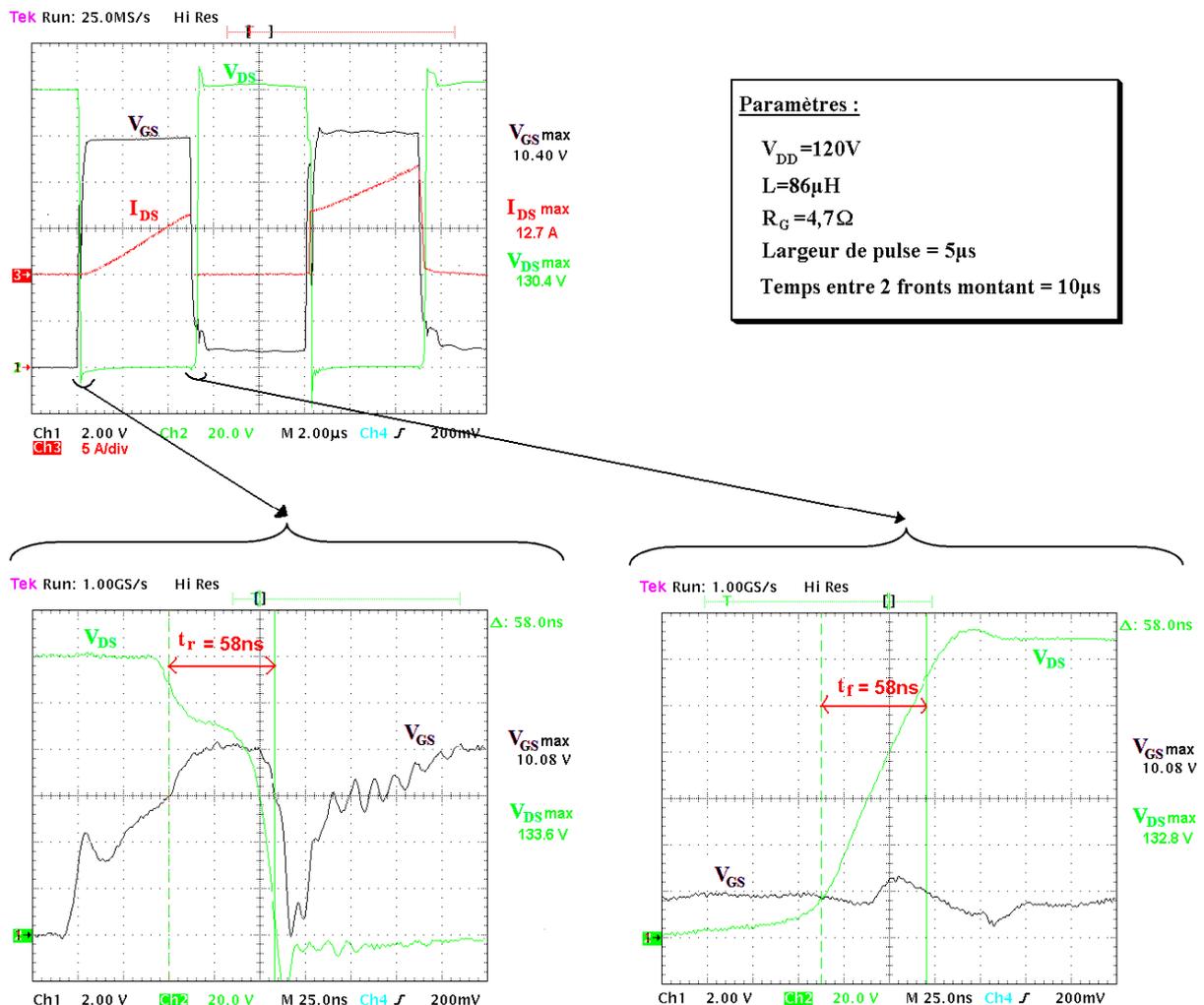


Figure III-42 : Temps de commutation sur charge inductive ; passages de l'état bloqué à passant (t_r) et de l'état passant à bloqué (t_f).

Les technologies VDMOS conventionnelles de même calibre en tension possèdent des temps de commutation globalement du même ordre de grandeur que ceux du FLYMOS ; par conséquent, les îlots flottants ne dégradent pas les temps de commutation, tendant même à les diminuer légèrement grâce aux réductions des diverses capacités internes (cf. §II.4.2.1.).

III.4.3.2.3. Recouvrement de la diode interne du FLYMOS

Pour relever le courant I_D transitant dans la diode interne du FLYMOS lors du recouvrement, il suffit de déplacer la sonde de courant de l'autre côté du nœud, comme indiqué sur la Figure III-40. Toujours dans les mêmes conditions, on remarque que, comme l'indique la théorie, le courant I_D dans la diode interne du composant n°2 est nul lorsque le premier composant est conducteur (Figure III-43). Ensuite, l'inductance délivre bien dans la diode interne le courant emmagasiné, au moment de l'ouverture du composant n°1 : on

mesure un courant direct $I_D=6,5A$ et une tension $V_F\approx 0,7V$ ($V_F=V_{SD}$). À la seconde fermeture, l'évacuation des charges stockées dans la diode nous fournit un pic de courant inverse $I_{RRM}=8A$, pour une pente $di/dt=85A/\mu s$ (pente standard : $di/dt=100A/\mu s$). Une fois le pic de courant atteint, la diode interne retrouve son pouvoir de blocage avec un taux de croissance $dv/dt=8kV/\mu s$. Enfin, on relève alors un temps de recouvrement $t_{rr}=155ns$; à partir de la relation (1), on trouve la valeur de la charge Q_{rr} à évacuer à $620nC$.

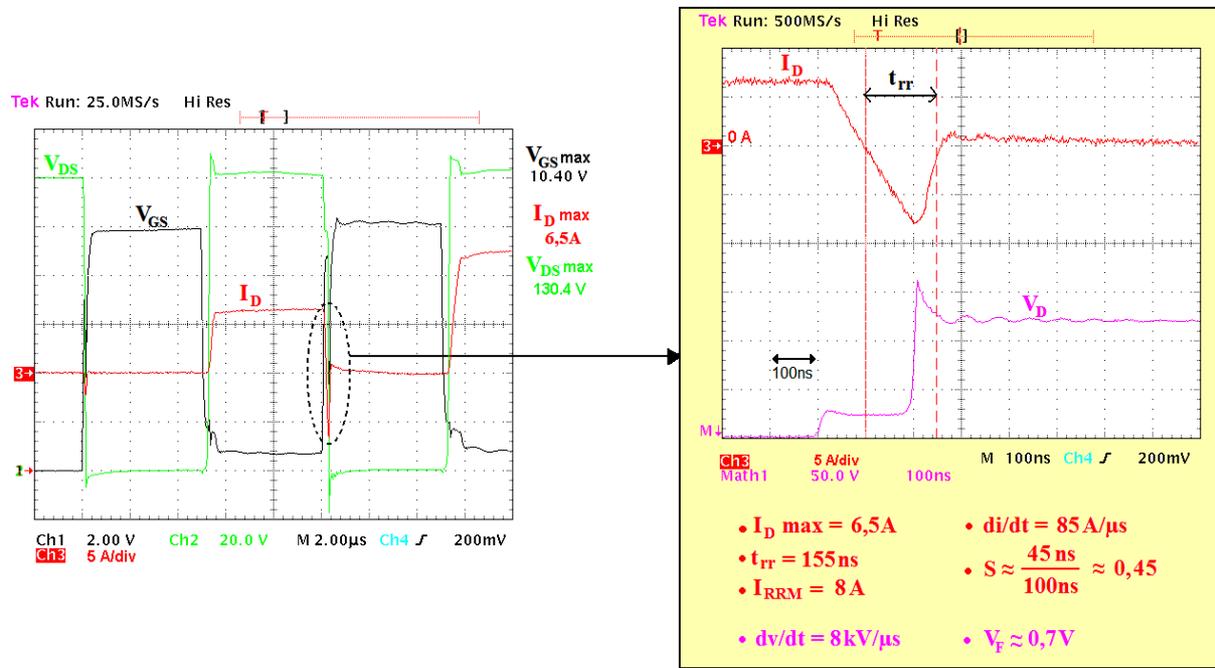


Figure III-43 : Caractérisation du recouvrement de la diode interne du FLYMOS.

Tout comme pour les temps de commutation, ces valeurs sont tout à fait semblables aux VDMOS conventionnelles 200V. Cependant, des améliorations peuvent être apportées car le facteur de recouvrement $S < 1$ ($S=t_a/t_b$) met en évidence la dureté de la diode interne. Il est en effet préférable que le facteur de recouvrement S soit supérieur à un, pour que la diode soit "douce" (de l'anglais "soft"). Ainsi, elle peut évacuer ses charges plus doucement, minimisant la création d'oscillations dans le circuit, pouvant être à l'origine de perturbations sur les autres composants de l'application.

Pour améliorer le recouvrement, il faudra tout d'abord essayer de réduire le courant I_{RRM} à une valeur inférieure au courant de consigne I_D . Ensuite, concernant l'amélioration du facteur de recouvrement, un premier travail de procédé peut être envisagé au niveau du PHV et de la zone épitaxiale pour minimiser la quantité de charges stockées. Dans un second temps, d'autres solutions permettant de réduire la durée de vie des porteurs dans la zone épitaxiale N^- sont aussi possibles et déjà utilisées, notamment sur les Superjonctions. La première technique consiste à introduire des centres de recombinaisons tels que l'or ou le platine lors du procédé de fabrication. La seconde technique est plus simple à appliquer aux MOSFETs de puissance : il s'agit d'irradier le composant avec des particules comme des protons (He^+) ou des électrons. Mais précisons que ces améliorations se font au détriment de l'efficacité de conduction. Ces modifications sont généralement entreprises dans le but de répondre aux contraintes de certaines applications bien particulières.

III.5. Le FLYMOS face aux meilleurs composants 200V

III.5.1. Comparaison avec la meilleure Superjonction 200V commercialisée

La caractérisation complète du FLYMOS 200V optimisé a permis d'établir d'excellentes performances. Tout naturellement, nous avons cherché à connaître le niveau de compétitivité du FLYMOS face à la concurrence. Dans cette optique, un "benchmarking" portant sur les produits 200V commercialisés a été réalisé début 2007 : il nous a permis de sélectionner le meilleur transistor MOS à Superjonction disponible. Notons que la confrontation de ce composant au FLYMOS nous permet dans le même temps de valider la bonne calibration de nos différents bancs de tests en comparant nos mesures du composant à Superjonction aux données fournies par le constructeur. Par exemple, nous avons mesuré la tenue en tension à 208V, la résistance à l'état passant à 90mΩ, le Q_G à 31,4nC (Figure III-44a), etc. Ces valeurs sont conformes à celles données par le constructeur, ce qui nous permet de confronter sereinement les performances de ces deux technologies.

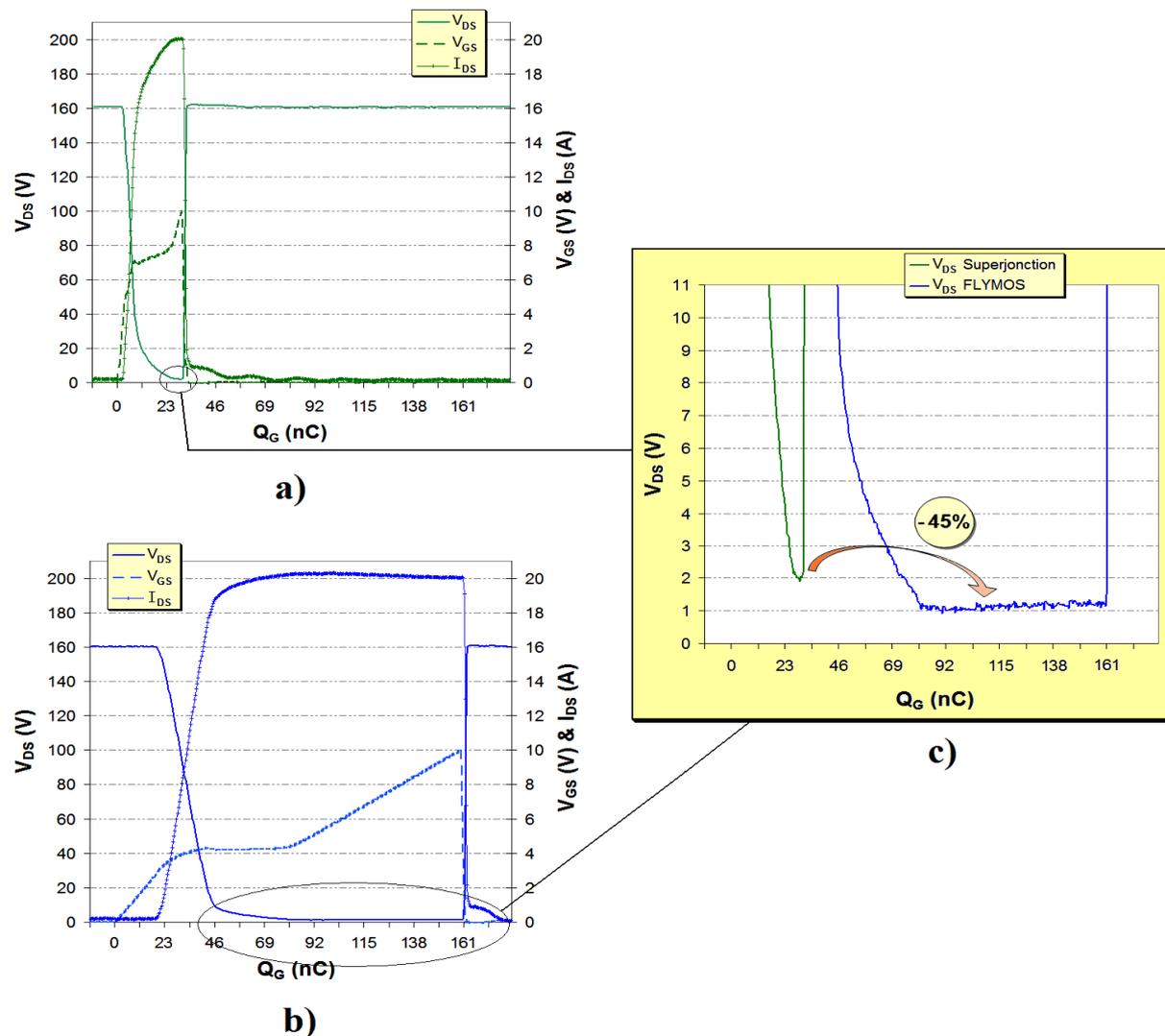


Figure III-44 : Exemple de mesures « Gate charge » à $V_{DS}=160V$ et $I_{DS}=20A$:
 a) courbes V_{DS} , I_{DS} et V_{GS} pour la détermination du Q_G pour la Superjonction,
 b) courbes V_{DS} , I_{DS} et V_{GS} pour la détermination du Q_G pour le FLYMOS optimisé,
 c) comparaison des $V_{DS(on)}$ entre la Superjonction et le FLYMOS.

La comparaison directe des caractéristiques de ces 2 dispositifs est possible, mais pas significative : pour l'illustrer, reprenons l'exemple de la Figure III-44. On remarque nettement que le Q_G de la Superjonction (Figure III-44a) est bien plus faible que celui du FLYMOS (Figure III-44b). Cette différence peut paraître importante et pénalisante pour notre composant. Cependant, pour réellement comparer ces deux technologies, il est indispensable de normaliser leurs performances par rapport aux surfaces actives de silicium de ces deux puces. Ainsi, l'ouverture physique du boîtier par ingénierie inversé (de l'anglais « reverse engineering ») a permis de mesurer la surface active de la Superjonction à $0,093\text{cm}^2$. Or, celle de la grande puce FLYMOS est de $0,321\text{cm}^2$, ce qui fait un facteur 3,45 entre les deux. On comprend tout l'intérêt de prendre en compte cet écart de surface active : on se rend alors compte que le Q_G du FLYMOS ramené à une surface active de $0,093\text{cm}^2$ correspond à 46nC , ce qui est finalement assez proche des 32nC de la Superjonction (Tableau III-6). De même pour les temps de commutation qui sont très proches : alors que les t_r et t_f sont très légèrement en faveur de la Superjonction, le FLYMOS reprend légèrement l'avantage en ce qui concerne les temps complets t_{ON} et t_{OFF} . Le FLYMOS reste donc très compétitif.

Comparatif de performances entre le meilleur composant 200V à Superjonctions commercialisé et le meilleur FLYMOS 200V			FLYMOSFET 200V optimisé	Meilleur composant 200V à Superjonctions commercialisé	FLYMOSFET 200V normalisé par rapport à la surface du composant 200V à Superjonctions	
Valeurs statiques	Dimensionnement (cm^2)	Taille de la puce	0,360	0,120	0,105	
		Surface active	0,321	0,093	0,093	
	Résistance à l'état passant R_{ON} (m Ω)		14	88	48	
	Résistance passante spécifique $R_{ON.S}$ (m $\Omega.\text{cm}^2$)		4,5	8,2	4,5	
Valeurs dynamiques	Gate charge Q_G (nC)		160	32	46	
	Commutation sur charge inductive	t_{ON} (ns)	t_{dON}	55	40	16
			t_r	58	15	17
		t_{OFF} (ns)	t_{dOFF}	109	40	32
			t_f	58	11	17
	t_{tr} (ns) à 25°C		155 (à 7A)	160 (à 20A)	45 (à 7A)	
Figure de mérite : $R_{ON} \times Q_G$ (m $\Omega.nC$)			2100	2816	2112	

Tableau III-6 : Comparaison de paramètres entre le meilleur dispositif 200V à Superjonction commercialisé et le FLYMOS 200V optimisé.

Le point très positif vient de la résistance passante spécifique ($R_{ON.S}$) qui est 45% plus basse dans le cas du FLYMOS : on retrouve aussi cette différence lors de la mesure de R_{ONd} (Figure III-44c). Les industriels utilisent souvent la figure de mérite ($R_{ON} \times Q_G$) pour comparer des composants : dans notre cas, nous avons 25% d'amélioration dans le cas du FLYMOS, ce qui n'est pas négligeable. Le FLYMOS optimisé s'avère donc une excellente alternative aux Superjonctions dans cette gamme de tension.

III.5.2. Bilan : compromis $BV_{dss}/R_{ON.S}$

Ce FLYMOS 200V optimisé fait partie des meilleurs dispositifs à îlots flottants réalisés jusqu'alors. Afin d'établir une rétrospective comparative générale, les performances du FLYMOS sont confrontées à celles des autres composants publiés par l'expression du compromis « tenue en tension/résistance passante spécifique ($BV_{dss}/R_{ON.S}$) ». À partir de

l'historique des composants à îlots flottants présenté au Chapitre I (cf. §I.4.3.1.) et de l'état de l'art sur les Superjonctions 200V, nous avons rassemblé les meilleurs composants réalisés depuis l'an 2000 sur un graphique représentant $R_{ON.S}$ en fonction de BV_{dss} (Figure III-45).

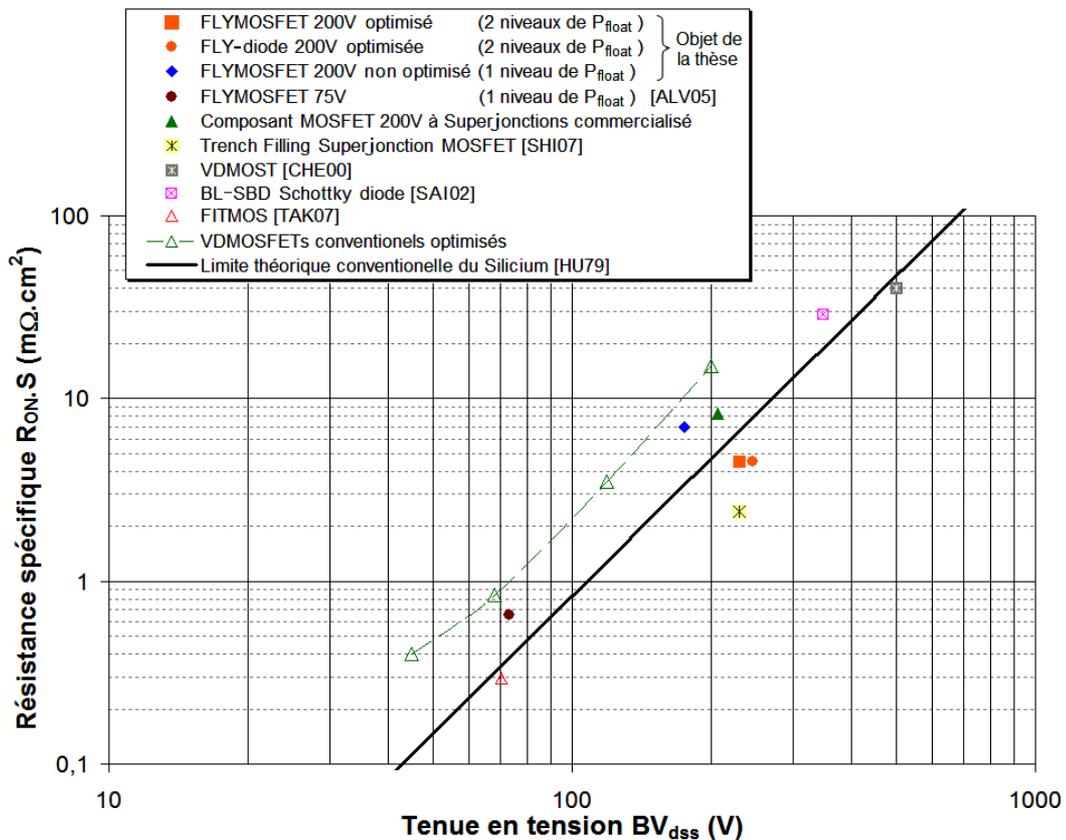


Figure III-45 : Représentation du compromis « $BV_{dss}/R_{ON.S}$ » pour les FLYMOS et FLY-diode 200V optimisés face aux meilleurs composants 200V.

Alors que W. Saito (Toshiba) [SAI02] s'est arrêté à la réalisation d'une diode Schottky à îlots flottants de 350V, deux auteurs majeurs sont allés jusqu'à la réalisation d'un VDMOS à îlots flottants dépassant la limite du silicium : on retrouve X. B. Chen et son « VDMOST » de type planar atteignant 500V [CHE00] et S.H. Takaya pour la réalisation du « FITMOS » de 70V (Toyota). Notons que les îlots flottants du FITMOS sont situés au bout de tranchées remplies par du SiO_2 dont la partie supérieure est constituée de polysilicium de grille [TAK05] [TAK07]. Tout comme ces deux composants, notre FLYMOS dépasse la limite conventionnelle du silicium – tirée de la relation (24) définie au Chapitre I –, avec un léger avantage pour le FLYMOS. Cependant, il demeure moins bon que le composant de T. Shibata, le « Trench Filling MOSFET » [SHI07] : ce composant à Superjonction à double niveau de tranchées (une première série pour la réalisation des colonnes P remplies par épitaxie et une seconde pour celle du polysilicium de grille) atteint un $R_{ON.S}$ exceptionnel de $1,5m\Omega.cm^2$ pour $BV_{dss}=235V$. Toutefois, il faut relativiser cette performance par la complexité et le coût du procédé qui sont bien plus importants pour ces doubles tranchées.

La précédente constatation nous permet de conclure sur une dernière remarque : bien que les performances de notre FLYMOS 200V optimisé soient bonnes et bien définies, il est important de considérer la viabilité d'une technologie du point de vue du coût de fabrication. En effet, le FLYMOS ne peut être réellement intéressant que si le nombre d'implantations est

inférieur à celui d'une Superjonction, et plus généralement, si la technologie en elle-même est moins coûteuse en terme de procédé. La décision finale est alors tributaire du compromis « coût/performances ».

III.6. Conclusion

Ce dernier chapitre fut l'occasion d'aborder la deuxième et dernière phase du développement du FLYMOS 200V. La stratégie d'optimisation adoptée a consisté à modifier le procédé de fabrication et les dessins des structures afin d'obtenir un FLYMOS 200V optimisé. Dans un premier temps, nous avons décrit les améliorations de procédé, se résumant à la réalisation de trois niveaux de P_{float} – deux en volume et un en surface (P_{edge}) –, et à l'ajout d'une couche d'implantation N_{float} à chaque niveau de P_{float} . Puis, les nouvelles terminaisons ont été présentées, décrivant les caractéristiques des dots et des anneaux de gardes. Ces changements ont ensuite été appliqués sur des premiers dispositifs de test afin de valider nos choix par des caractérisations électriques, complétée par une caractérisation physique 2D (SCM). Nous avons notamment confirmé la résolution du problème de résistance dynamique observé au Chapitre II.

Ces premières caractérisations électriques ont été concluantes, mais ont cependant révélé une différence de tenue en tension entre FLY-diode (250V) et FLYMOS (200V). Par conséquent, la deuxième étape de notre optimisation des performances a consisté à déterminer l'origine de cet écart. Pour y parvenir, nous avons réalisé un nouveau jeu de masques où les 32 structures réalisées ont été étudiées, paramètre par paramètre. Cette démarche de séparation des variables nous a permis de remonter aux causes des dégradations. Au final, les résultats ont abouti à un composant FLYMOS optimisé dont la tenue en tension est égale à la tenue en tension d'une FLY-diode optimisée.

Ainsi, le meilleur procédé de fabrication (doses d'implantation de P_{float} de $1,0 \cdot 10^{13} \text{cm}^{-2}$ et de N_{float} de $1,0 \cdot 10^{12} \text{cm}^{-2}$) combiné aux meilleurs dessins de structure (anneaux de gardes ou dots de $1,0 \mu\text{m}$) a permis d'obtenir un FLYMOS d'une tenue en tension de 230V possédant une résistance passante spécifique de $4,4 \text{m}\Omega \cdot \text{cm}^2$, inférieure de 34% à la limite conventionnelle du silicium ($6,7 \text{m}\Omega \cdot \text{cm}^2$ pour 230V). De plus, les tests électriques de commutation sur charge résistive et sur charge inductive ont confirmé les bonnes performances dynamiques du FLYMOS 200V, que ce soit au niveau de la résistance dynamique, des temps de commutations ou de la diode interne.

Au final, l'étude comparative entre les performances du FLYMOS optimisé et le meilleur composant à Superjonction commercialisé, ainsi que l'état de l'art des meilleurs dispositifs à Superjonction et à îlots flottants publiés, ont confirmé les bonnes performances du FLYMOS. Cependant, bien qu'il soit le composant à îlots flottants le plus performant, son procédé intégrant 3 niveaux de P_{float} peut être pénalisant au niveau du coût de fabrication. Suivant les besoins des utilisateurs, il peut être préférable de réaliser un FLYMOS avec un seul niveau de P_{float} , au détriment des performances. Il est alors indispensable de prendre en considération le compromis « coût/performance » lors des futures conceptions.



Conclusion générale

Conclusion générale

Malgré un processus continu d'optimisation de leurs performances statiques, les composants unipolaires MOS de puissance ont toujours été pénalisés par le compromis « tenue en tension/résistance passante spécifique » ($BV_{dss}/R_{ON.S}$). Pour y remédier, les améliorations consistant à minimiser la résistance passante spécifique ont porté, dans un premier temps, sur la réduction des dimensions des composants, grâce notamment à la miniaturisation des cellules MOS élémentaires et des modifications de la géométrie de surface. Cependant, ces axes d'optimisation ont vite atteint leurs limites, se heurtant alors à la « limite conventionnelle du silicium ». Dès lors, les concepteurs se sont attachés, dans un second temps, à explorer de nouvelles voies : les innovations ne devaient plus se limiter à la surface mais devaient concerner le volume du composant. Le premier de ces concepts est la Superjonction proposée par Fujihira en 1997 [FUJ97]. Le second concerne les îlots flottants dont les travaux de recherche du LAAS-CNRS ont abouti à la proposition du concept de la FLI-diode en 1999 [CEZ99]. Son extension aux transistors FLYMOS s'est concrétisée, avec l'aide de FREESCALE Semiconducteurs, par une première application expérimentale en 2005 [ALV05], validant le principe pour des tensions de claquage inférieures à 100V. Cependant, des interrogations subsistent : quelle est la forme réelle des îlots flottants ? Quel impact ont-ils sur la tenue en tension ? Quel est le comportement dynamique du dispositif ? Quels sont les conditions limites de ses performances ?

Pour répondre à ces indéterminations, les travaux entrepris dans cette thèse se sont orientés vers la conception et la réalisation d'un FLYMOS d'une plus haute tenue en tension. En guise de préambule au premier chapitre, un état de l'art des principales structures réalisant le transfert d'énergie électrique "type interrupteur" a été réalisé dans la gamme des moyennes puissances. Ensuite, notre attention s'est focalisée autour du transistor MOS de puissance ; la prépondérance de la résistance de drift a été mise en évidence dans la gamme des moyenne et haute tensions ($BV_{dss} > 100\text{Volts}$). Nous avons alors pu définir la relation liant BV_{dss} à $R_{ON.S}$, décrivant la "limite du silicium" des composants unipolaires verticaux conventionnels. Par la suite, nous avons présenté et comparé les deux concepts majeurs permettant de dépasser cette limite dite « infranchissable » : bien que les transistors MOS à Superjonction aient montré leur supériorité dans le domaine des hautes tenues en tension ($BV_{dss} \geq 1000\text{V}$), les transistors MOS à îlots flottants se sont révélés être une excellente alternative pour de plus faibles tensions ($BV_{dss} < 1000\text{V}$), devenant même plus favorables en dessous de 100V. Ainsi, les îlots flottants ont montré leur bonne compétitivité face aux Superjonctions, particulièrement en terme de compromis « coût/performances ».

À partir de ces constatations et des connaissances acquises lors des travaux précédents, nous avons entrepris la conception et la réalisation d'un FLYMOS 200V. Le second chapitre a présenté la première phase de notre projet : elle a consisté à comprendre le comportement du dispositif afin de définir ses limites au travers de la réalisation d'un FLYMOS 200V à un niveau d'îlots flottants. Pour ce faire, les premiers prototypes réalisés – basés sur le transistor HDTMOS™ de Freescale – ont été analysés par l'intermédiaire d'une caractérisation

physique : l'outil SCM. Pour la première fois, la forme et les dimensions en 2D des P_{float} ont été visualisées et leur évolution au cours du procédé a ainsi pu être mieux comprise. Ensuite, la caractérisation électrique statique et dynamique nous a révélé deux problèmes majeurs : les tenues en tension mesurées ont toutes été inférieures à l'objectif fixé et les mesures dynamiques ont mis en évidence les phénomènes d'ionisation des îlots flottants ainsi que leur effet négatif sur la résistance dynamique R_{ONd} . La combinaison de ces deux caractérisations nous a permis de comprendre les origines de la détérioration de la tenue en tension et d'aborder phénoménologiquement la cause des "complications" dynamiques : dans les deux cas, une dose d'implantation des îlots flottants trop importante est préjudiciable pour le fonctionnement du FLYMOS. Pour remédier à ces limitations, des solutions d'optimisation de procédé et de dessin des structures ont été imaginées.

Au troisième chapitre, la deuxième et dernière phase du développement a consisté à appliquer nos choix d'optimisation sur des dispositifs et de les valider par la détermination des performances optimales du FLYMOS 200V optimisé. Tout d'abord, le procédé de fabrication a été modifié pour résoudre les problèmes dynamiques : il se résume à la réalisation de trois niveaux de P_{float} – deux en volume et un en surface (P_{edge}) –, et à l'ajout d'une couche d'implantation N_{float} à chaque niveau de P_{float} . Ensuite, nous avons amélioré le dessin des structures afin de résoudre le problème de la tenue en tension ; de nouvelles terminaisons (dots et anneaux de garde) ainsi qu'un nouveau jeu de masques ont été réalisés. Finalement, les caractérisations électriques ont permis d'aboutir à un composant FLYMOS optimisé, d'une tenue en tension de 230V (égale à la tenue en tension d'une FLY-diode optimisée) et d'une résistance passante spécifique de $4,4m\Omega.cm^2$, inférieure de 34% à la limite conventionnelle du silicium ($6,7m\Omega.cm^2$ pour 230V). De plus, des tests électriques dynamiques complets ont confirmé les bonnes performances dynamiques du FLYMOS 200V. Pour finir, l'étude comparative des performances du FLYMOS optimisé et du meilleur composant à Superjonction commercialisé, ainsi que l'état de l'art des meilleurs dispositifs à Superjonction et à îlots flottants publiés, ont confirmé les bonnes performances du FLYMOS.

Bilan général :

Ce travail de thèse a permis de répondre aux principales interrogations inhérentes à la technologie à îlots flottants. La connaissance de la forme réelle des îlots flottants, la maîtrise du procédé de fabrication et des dessins des structures ainsi que la capacité à évaluer le comportement dynamique du transistor ont été déterminants dans la réussite du projet. De même, les innovations imaginées ont permis de réaliser pour la première fois un composant à plusieurs niveaux d'îlots flottants.

Les excellentes performances du FLYMOS 200V optimisé le positionnent comme étant le meilleur dispositif à îlots flottants réalisé à ce jour (en terme de compromis BV_{dss}/R_{ON-S}) ; toutefois, son procédé intégrant 3 niveaux de P_{float} peut être pénalisant en terme de coût de fabrication. Désormais, grâce à la bonne connaissance des limites de cette technologie, il est alors tout à fait possible de réaliser un FLYMOS 200V à un seul niveau d'îlots flottants, à condition de trouver les paramètres de dessin et de procédé optimaux. La contrepartie inévitable sera un recul des performances. Il est alors indispensable, pour de futures conceptions, de prendre en considération le compromis « coût/performance » et, lorsque c'est possible, les contraintes de l'application dans lequel le composant évoluera.

✚ Perspectives :

Ces travaux dégagent de nombreuses perspectives que l'on peut rassembler en deux axes principaux :

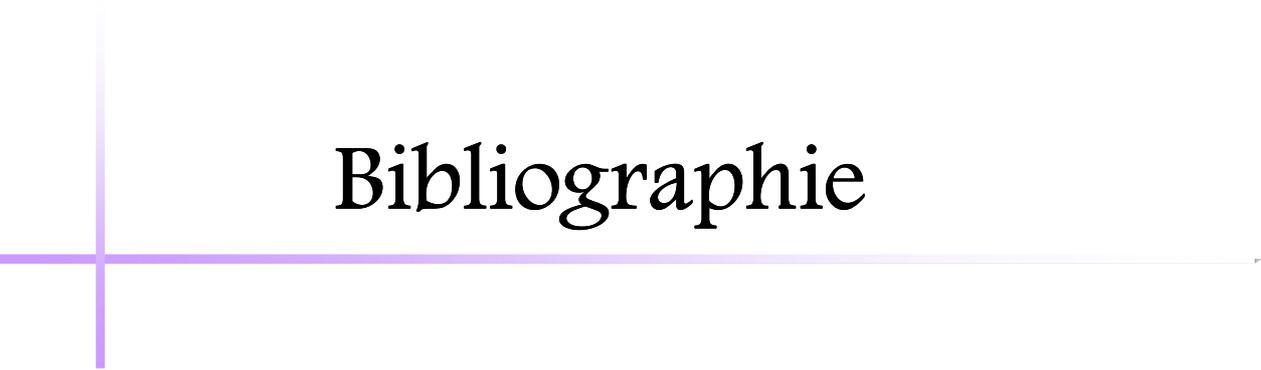
1°) Le premier porte sur les optimisations et caractérisations additionnelles qu'il est encore possible de réaliser sur le FLYMOS 200V :

- ✚ Pour améliorer le comportement dynamique de la diode interne du transistor, un travail sur le procédé peut être entrepris dans le but de diminuer le pic de courant du recouvrement inverse (I_{RRM}) et d'augmenter le facteur de recouvrement (S).
- ✚ Il serait aussi intéressant d'étudier dynamiquement l'établissement de la tenue en tension BV_{dss} . En effet, nous ne savons pas dans quelle proportion l'extension de la zone de charge d'espace en présence d'îlots flottants peut entraîner un problème de stabilité et de robustesse du composant dans les zones transitoires. De plus, la rapidité de la polarisation (dv/dt) peut aussi être un facteur de déséquilibre entre l'extension verticale (volume) et latérale (surface) de la ZCE.
- ✚ Enfin, une étude de fiabilité – portant sur les contraintes électro-thermiques par exemple (cyclages en température, cyclages en énergie...) – peut être envisagée pour observer si les îlots flottants augmentent le degré de fatigue du FLYMOS.

2°) Le second axe concerne l'évolution du FLYMOS vers des tenues en tension plus élevées, comme par exemple 600V – tension où les applications sont les plus nombreuses et où les transistors MOS à Superjonction opèrent déjà –. Dans cette configuration, des précautions sont alors nécessaires :

- ✚ Tout d'abord, il faut tenir compte du nombre d'îlots flottants à introduire dans le volume de la zone de drift. Pour se prémunir d'éventuels problèmes de résistance dynamique, la solution à un seul niveau d'îlots flottants apparaît comme délicate à réaliser : nous favoriserons alors deux niveaux au minimum et trois au maximum. Au-delà, le rapport coût/performances devient défavorable : en effet, les dernières Superjonctions possèdent quatre niveaux d'implantation pour former la colonne de type P. Cela signifie que pour un coût de réalisation similaire, le FLYMOS sera moins performant que la Superjonction. Seul un « surcoût maîtrisé » permet à la technologie à îlots flottants d'être rentable.
- ✚ Ensuite, l'espace vertical entre les îlots flottants devra être étudié avec attention afin de permettre l'injection des trous par perçage, et éviter la dégradation de la résistance dynamique R_{ONd} par ionisation des îlots flottants.
- ✚ Dans la même optique, les dimensions d'une cellule centrale doivent être plus importantes : cela permettra de minimiser l'augmentation de la résistance R_{JFET} en volume et en surface. Actuellement, la dimension de la cellule unitaire est de l'ordre de $10\mu\text{m}$: le passage à $13\mu\text{m}$ ou $15\mu\text{m}$ est préférable.
- ✚ Enfin, l'utilisation de terminaisons type "anneaux de garde" est préconisée.

Pour résumer en une phrase l'utilité des transistors MOS à îlots flottants, tels que le FLYMOS, nous dirons qu'ils constituent une alternative réaliste aux Superjonctions, à condition, de se limiter à une gamme de tenue en tension s'échelonnant de 100V à 1000V et, de les considérer en terme de compromis « coût/performances » (et non pas en terme de performances pures) et en terme de différenciation technologique.



Bibliographie

Bibliographie

- [AHL04] D. Ahlers et al, Infineon Technologies AG, “*Field Effect Controlled Semiconductor Component*”, United States of America Patent 6812524, 2004.
- [ALV05] S. Alves, “*Conception de transistors FLYMOS verticaux de puissance adaptés aux applications automobiles du futures (batterie 42V)*”, Thèse de doctorat de l’Institut des Sciences Appliquées de Toulouse, 2005.
- [ALV06] S. Alves, F. Morancho, J.-M. Reynès, J. Margheritta, I. Deram, K. Isoird, B. Beydoun, “*Experimental validation of the ‘FLoating Islands’ concept: 95V breakdown voltage vertical FLIDiode*”, IEE Proc.-Circuits Devices Syst., Vol. 153, No. 1, February 2006.
- [ARN92] J. Arnould, P. Merle, “*Dispositifs de l’électronique de puissance*”, Vol. 1 et 2, Ed. Hermes, 1992.
- [BAL87] B.J. Baliga, “*Modern power devices*”, Ed. J. Wiles & Sons, 1987.
- [BAL96a] B.J. Baliga, “*Trends in power semiconductor devices*”, IEEE Transactions on Electron Devices, vol. 43, pp. 1717-1731, 1996.
- [BAL96b] B.J. Baliga, “*Power semiconductor Device*”, Boston, MA: PWS, pp. 373, 1996.
- [BEN00] F. Bernot, “*Composants de l’électronique de puissance*”, Technique de l’ingénieur, vol. E3 960, pp. 1-18, 2000.
- [BLA00] C. Blake, C. Bull, “*IGBT or MOSFET: Choose Wisely*”, International Rectifier Application Notes, pp.1-5, 2000.
- [BOI85] V. Boisson, “*Etude de la géométrie optimale des périphéries des jonctions planar*”, Thèse N° ECL 85-05, Ecole centrale de Lyon, 1985.
- [BOR05] J. von Borany, M. Friedrich, M. Rüb, G. Deboy, J. Butschke, F. Letzkus, “*Application of ultra-high energy boron implantation for superjunction power (CoolMOSTM) devices*”, Nuclear Instruments and Methods in Physics Research B 237, pp.62-67, June 2005.
- [BOU85] M.A. Bouanane, “*Conception et Optimisation des Composants DMOS Latéraux Haute Tension en technologie RESURF*”, Thèse de Doctorat, Université Paul Sabatier, Toulouse, 1985.
- [BUE82] W. Bueno de Moraes, “*Contribucao a optimisacao da estrutura de transistors MOS de estrutura nao coplanar*”, Thèse de Doctorat d’Etat, Université de Campinas, Sao Paulo, Brésil, 1982.
- [CEZ99] N. Cézac, P. Rossel, F. Morancho, H. Tranduc, A. Peyra-Lavigne, I. Pagès, “*The FLIMOS Transistor: a new vertical power device generation*”, 6th International Conference on Mixed Design of Integrated Circuits and Systems (MIXDES’99), pp. 295-298, June 1999.
- [CEZ00] N. Cézac, P. Rossel, F. Morancho, A. Peyra-Lavigne, “*A New Generation of Power Unipolar Devices: the Concept of the FLoating Islands MOS Transistor (FLIMOST)*”, Proceedings ISPSD’2000 (Toulouse), pp. 69-72, May 2000.

- [CEZ01] N. Cézac, “*Transistor MOS de puissance à faible résistance à l’état passant*”, Thèse de doctorat de l’Université Paul Sabatier de Toulouse, 2001.
- [CHE00] X. B. Chen, X. Wang, J.K.O. Sin, “*A Novel High-Voltage Sustaining Structure with Buried Oppositely Doped Regions*”, IEEE Transactions on Electron Devices, vol.47, No. 6, pp.1280-1285, 2000.
- [CHE01] X. B. Chen, J.K.O. Sin, “*Optimization of the Specific On-Resistance of the COOLMOS™*”, IEEE Transactions on Electron Devices, vol.48, No. 2, pp.344-348, February 2001.
- [CHE03] X.B. Chen, United States of America Patent, US6635906, 2003.
- [CHE05] X.B. Chen, United States of America Patent, US6836967, 2005.
- [CHE93] X.B. Chen, United States of America Patent, US5216275, 1993.
- [CHE97] X. B. Chen, “*Voltage sustaining layer of semiconductor devices with oppositely doped islands*,” Chinese Patent ZL93, 1, 15356.5,” U. S. Patent Applicat. 08/598 386, Apr. 17, 1997.
- [CHE99] X. B. Chen, M.S. Towers P. Mawby K. Board, “*High-voltage sustaining structure with embedded oppositely doped regions*”, IEE Proc Circuits Devices Syst. Vol. 146, No. 2, April 1999.
- [CHO83] S.C. Choo, M.S. Leong, J.H. Sim, “*An efficient numerical scheme for spreading resistance calculations based on the variation method*”, Solid State Electronics, vol. 26, pp. 723-730, 1983.
- [COE81] D.J. Coe, European Patent 0053854, 1981.
- [COE88] D.J. Coe, United States of America Patent, US4754310, 1988.
- [DAL01] R.van Dalen, C. Rochefort, G.A.M. Hurkx, “*Breaking the Silicon limit using semi-insulating Resurf layers*”, Proceedings ISPSD’01, pp. 391-394, 2001.
- [DEM07] R. De Maglie, “*Modélisation de différentes technologies de transistors bipolaires à grille isolée pour la simulation d’applications en électronique de puissance*”, Thèse de doctorat de l’Université Paul Sabatier Toulouse III, 2007.
- [DIG00] Digital Instruments Veeco Metrology, “*Scanning Capacitance Microscopy (SCM)*”, Support Note No. 289, Rev. A, 2000, pp. 1-52.
- [EFL94] T. Efland, “*Lateral DMOS structure development for advanced power technologies*”, Technical Journal, Vol. 11, n° 2, pp. 10-23, 1994.
- [FUJ97] T. Fujihira, “*Theory of semiconductor superjunctions devices*”, Japanese Journal of Applied Physics, Vol. 36, pp. 6254-6262, 1997.
- [GAL00] A. Galluzzo, M. Melito, S. Musumeci, M. Saggio, A. Raciti, “*A New High-Voltage Power MOSFET for Power Conversion Applications*”, IEEE publication, PP. 2966-2973, 2000.

- [GHA85] M. Gharbi, “*La tenue en tension et le calibre en courant du transistor MOS vertical dans la gamme de tension (300 V à 1000 V)*”, Thèse de 3^{ème} Cycle, Université Paul Sabatier de Toulouse, 1985.
- [HU79] C. Hu, “*A parametric study of power MOSFETs*”, Conf. Record of Power electronics specialists Conference, San Diego, 1979.
- [HU84] C. Hu, M-H Chi, V. Patel, “*Optimum design of power MOSFET’s*”, IEEE Transaction on Electron Devices, Vol. 31, n°12, pp. 1693-1700, 1984.
- [LAS00] T. Laska, M. Munzer, F. Pfirsch, C. Schaeffer, T. Schmidt, “*The Field Stop IGBT (FS IGBT). A new power device concept with a great improvement potential*”, Proceedings ISPSD 2000, pp. 355-358, 2000.
- [LET00] P. Letrucq, “*Tenue en tension des semi-conducteurs de puissance*”, Technique de l’ingénieur, vol. D3 104, pp. 1-18, 2000.
- [LET01] P. Letrucq, “*Composants semi-conducteurs de puissance bipolaire*”, Technique de l’ingénieur, vol. D3 106-107, 2001.
- [LET02] P. Letrucq, “*Semi-conducteurs de puissance unipolaire et mixtes*”, Technique de l’ingénieur, vol. D3 108-109, 2002.
- [LET99a] P. Letrucq, “*Composants semi-conducteurs de puissance: caractères propres*”, Technique de l’ingénieur, vol. D3 100, pp. 1-15, 1999.
- [LET99b] P. Letrucq, “*Physique des semi-conducteurs de puissance*”, Technique de l’ingénieur, vol. D3 102, pp. 1-32, 1999.
- [LOR98] L. Lorenz, M. Marz, G. Deboy, “*COOLMOS – an important milestone towards a new power MOSFET generation*”, Proceedings of PCIM, 1998.
- [LOR99] L. Lorenz, G. Deboy, A. Knapp, M. Marz, “*COOLMOS – a new milestone in high voltage Power MOS*”, Proceedings of ISPSD’99, pp. 3-10, 1999.
- [MAT77] T. Matsushita, Sony Corporation, United States of America Patent 4003072, 1977.
- [MEN81] J.C. Mena, “*High frequency performance of VDMOS power transistors*”, M.A. Sc. Thesis, University of Canada, Toronto, 1981.
- [MIN97] C. Mingues, “*Modélisation et réalisation de terminaisons de jonctions haute tension compatibles avec la technologie planar : les anneaux polarisés et la spirale de SIPOS*”, Thèse de doctorat de l’Université Paul Sabatier de Toulouse, 1997.
- [MOR04] F. Morancho, “*De nouvelles limites pour le compromis “résistance passante spécifique / tenue en tension” des composants unipolaires de puissance*”, Habilitation à Diriger des Recherches de l’Université Paul Sabatier de Toulouse, 2004.
- [MOR98] M. Mori, Y. Uchino, J. Sakano, and H. Kobayashi, “*A novel high-conductivity IGBT (HiGT) with a short circuit capability*”, Proceedings ISPSD’98, pp. 429-432, 1998.
- [OMU00] I. Omura et al, Toshiba, United States of America Patent 6037632, 2000.

- [PHA82] T.P. Pham, “*Le compromis entre la résistance à l’état passant et la tenue en tension dans les transistors MOS de puissance*”, Thèse de 3^{ème} Cycle, Université Paul Sabatier, Toulouse, 1982.
- [PEN98] S. Pendharkar, K. Shenai, “*Zero voltage switching behavior of punchthrough and nonpunchthrough insulated gate bipolar transistors (IGBT’s)*”, IEEE Transactions on Electron Devices, vol. 45, pp. 1826-1835, 1998.
- [PIT05] S. Pittet, “*Modélisation physique d’un transistor de puissance IGBT – trainée en tension à l’enclenchement*”, Thèse de doctorat de l’école Polytechnique de Lausanne, 2005.
- [REY03] J-M Reynes, I. Deram, P. Deloume, “*Power semiconductor device and method of manufacturing the same*”, International Publication Number WO2003107432, 2003.
- [REY06] J-M Reynes, S. Alves, I. Deram, B. Lopes, J. Margheritta, F. Morancho, “*Power semiconductor device*”, International Publication Number WO2006024322, 2006.
- [ROS01] P. Rossel, LAAS/CNRS, Numéro de publication international WO0178152, 2001.
- [ROS78] P. Rossel, H. Martinot, M. Zamorano, “*Propriétés statiques des transistors MOS de puissance à canal vertical. Cas du régime de pincement*”, Revue de Physique Appliquée, Vol. 13, pp. 23-28, 1978.
- [ROS84] P. Rossel, Microelectron. Reliab, Vol. 24, No.2, pp. 339-366, 1984.
- [RUT04] H. R.uthing, F. Umbach, O. Hellmund, P. Kanschat and G. Schmidt, “*600V-IGBT3: trench field stop technology in 70 μm ultra thin wafer technology*”, IEE Proc.-Circuits Devices Syst., Vol. 151, No. 3, June 2004.
- [SAN85] J-L. Sanchez, H. Tranduc, T. Phan Pham, M. Gharbi, P. Rossel, G. Charitat, B. Vertongen, “*Influence des zones d’accès sur la résistance à l’état passant des transistors moyennes tensions VDMOS de puissance*”, Revue de Physique Appliquée, Vol. 20, pp. 759-770, 1985.
- [SAI02] W. Saito, I. Omura, K. Takano, “*Ultra low On-resistance SBD with P-Buried Floating Layer*”, Proceedings of ISPSD’99, pp. 3-10, 2002.
- [SAI03] W. Saito, I. Omura, K. Takano, S. Aida, S. Koduki, M. Izumisawa and T. Ogura, “*600V Semi-superjunction MOSFET*”, Proceedings of ISPSD’03, pp. 45-48, 2003.
- [SAI04] W. Saito, I. Omura, K. Takano, T. Ogura, H. Ohashi, “*A Novel Low On-Resistance Schottky-Barrier Diode With p-Buried Floating Layer Structure*”, IEEE Transactions on Electron Devices, Vol. 51, N° 5, may 2004.
- [SAI06] W. Saito, I. Omura, S. Aida, S. Koduki, M. Izumisawa, H. Yoshioka, H. Okumura, M. Yamaguchi and T. Ogura, “*A 15.5m Ω cm²-680V Superjunction MOSFET Reduced On-Resistance by Lateral Pitch Narrowing*”, Proceedings of ISPSD’06, pp. 329-332, 2006.
- [SEK06] K. Sekiya, “*Semiconductor wafer and processing method for the same*”, Brevet US 20060244096/A1, 2006.
- [SHI07] T. Shibata, et al, “*200V Trench Filling Type Super Junction MOSFET with Orthogonal Structure*”, Proc. ISPSD’2007, pp. 37-40, May 2007.

- [SIE97] R. Siemieniec, M. Netzel, and R. Herzer, “*Comparison of PT and NPT cell concept for 600V IGBTs*”, in European Power Electronics and drives 97, Trondheim, Norway, 1997.
- [SKO00] T. Skotnicki, “*Transistor MOS et sa technologie de fabrication*”, Technique de l’ingénieur, vol. E2 430, 2000.
- [SUN82] S.C. Sun, “*Physics and Technology of Power MOSFET’s*”, Thesis Ph. D, Stanford University, 1982.
- [SZE66] S.M. Sze, G. Gibbons, “*Avalanche breakdown voltage of abrupt and linearly graded pn junctions in Ge, Si, GaAs, and GaP*”, Applied Physics Letters, Vol. 8, p. 111, 1966.
- [TAK96] H. Takahashi, H. Haruguchi, H. Hagino, T. Yamada, “*Carrier stored trenchgate bipolar transistor (CSTBT) - a novel power device for high voltage application*”, Proceedings ISPSD’96, pp. 349-352, 1996.
- [TAK05] S.H.Takaya, K.Miyagi, K.Hamada, Y.Okura, N.Tokura, A.Kuroyanagi, “*Floating island and thick bottom oxide trench gate MOSFET (FITMOS) - a 60V ultra low on-resistance novel MOSFET with superior internal body diode*”, Proc. ISPSD’2005, pp, 43-46, 2005.
- [TAK06] K. Takahashi, H. Kuribayashi, T. Kawashima, S. Wakimoto, K. Mochizuki, H. Nakazawa, “*20m Ω cm² 660V Super Junction MOSFETs Fabricated by Deep Trench Etching and Epitaxial Growth*”, Proc. ISPSD’2006, pp, 333-336, 2006.
- [TAK07] S. H. Takaya, K. Miyagi, K. Hamada, “*Advanced Floating Island and Thick Bottom Oxide Trench Gate MOSFET (FITMOS) with reduced RonA during AC operation by passive hole gate and improved BVdss RonA trade-off by elliptical floating island*”, Proc. ISPSD’2007, pp. 197-200, May 2007.
- [TAR87] G. Tardivo, “*Le transistor DMOS vertical en amplification haute-fréquence de puissance*”, Thèse de 3^{ème} cycle, Université Paul Sabatier, Toulouse, 1987.
- [UED84a] D. Ueda, H. Takagi, G. Kano, “*A new vertical double diffused MOSFET – The self-aligned terraced-gate MOSFET*”, IEEE Transactions on Electron Devices, Vol. 31, n° 4, pp. 416-420, 1984.
- [UED84b] D. Ueda, H. Takagi, G. Kano, “*A New Vertical Power MOSFET Structure with Extremely Reduced On- Resistance*”, IEEE Transactions On Electron Devices, Vol. 31, N°1, p. 2-6, 1984.



Annexes

Annexe A1 : Rappels des principes de base des composants semiconducteurs

A1.1. Rappels sur la jonction PN

Ce petit rappel sur le principe la conduction unidirectionnelle des jonctions PN [LET99b] [LET00] permet de mieux comprendre les mécanismes de fonctionnement mis en jeu dans les dispositifs semi-conducteurs présentés au chapitre I. De plus, il sert de base à la compréhension des mécanismes d'ionisation des îlots flottants du FLYMOS par transfert de porteurs abordé au chapitre II. Mais qu'est-ce que la jonction PN ? C'est la jonction, la transition, dans un même cristal, entre eux régions semi-conductrices de types opposés. Elle est l'élément fondamental dans la réalisation de la plupart des composants semi-conducteurs, pour « tenir » la tension, injecter des porteurs, les stocker ou les collecter... Sans rentrer dans une description trop précise, nous allons simplement rappeler la mécanique des porteurs au niveau de la jonction.

Jonction à l'équilibre :

Dans le cas idéal d'une jonction abrupte représentée en Figure A-1, lorsque les deux régions sont accolées, la différence de concentration entre les porteurs des régions P et N va provoquer la circulation d'un courant de diffusion tendant à égaliser la concentration en porteurs d'une région à l'autre. Les trous de la région P vont diffuser vers la région N laissant derrière eux des atomes ionisés, qui constituent autant de charges négatives fixes. Il en est de même pour les électrons de la région N qui diffusent vers la région P laissant derrière eux des charges positives. Il apparait aussi au niveau de la jonction une zone contenant des charges fixes positives et négatives : on parle alors de région ionisée. Ces charges créent un champ électrique \vec{E} qui s'oppose à la diffusion des porteurs de façon à ce qu'un équilibre électrique s'établisse. La région dépeuplée de porteurs mobiles, de largeur W_T , est appelée **Z**one de **C**harge d'**E**space (ZCE). La forme générale de la densité de charges ρ dépend essentiellement du profil de dopage de la jonction et s'exprime suivant l'équation (A1) :

$$\rho = q \cdot [p - n + (N_D - N_A)] \quad (A1)$$

De cette densité de charges résultent des répartitions du potentiel électrostatique et du champ électrique suivant l'équation de Poisson (A2) :

$$\Delta V = -\frac{\rho}{\varepsilon} \quad (A2)$$

et
$$\vec{E} = -\overrightarrow{\text{grad}} V \quad (A3)$$

où ε est la permittivité du matériau ($\varepsilon = 1,04 \cdot 10^{-12}$ F/cm pour le silicium).

Dans le cas idéal unidimensionnel représenté sur la Figure A-1, on peut déduire aisément à partir de l'équation de Poisson la forme du champ électrique \vec{E} ainsi que du potentiel V

suivant une variable de position x . En effet le potentiel $V(x)$ et le champ électrique $E(x)$ s'expriment en fonction de la densité de charges $\rho(x)$ par :

$$\frac{dE(x)}{dx} = - \frac{\rho(x)}{\varepsilon} \quad (\text{A4})$$

et
$$E(x) = - \frac{dV(x)}{dx} \quad (\text{A5})$$

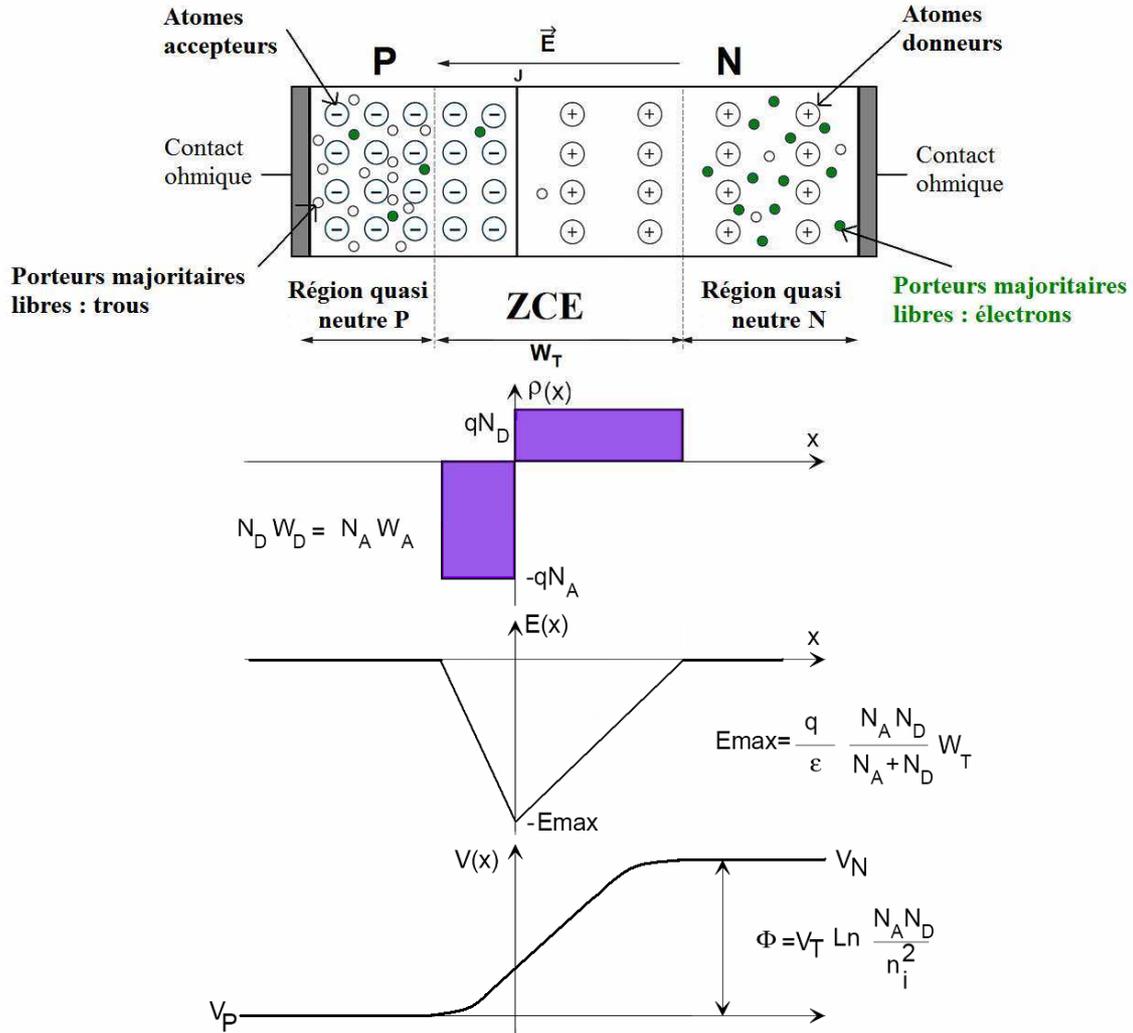


Figure A-1 : Représentation d'une jonction PN à l'équilibre thermodynamique.

De plus, la neutralité électrique globale du barreau impose la relation (A6):

$$N_A \cdot W_A = N_D \cdot W_D \quad (\text{A6})$$

On peut remarquer que conformément à la relation de Boltzmann il existe une barrière de potentiel qui constitue le potentiel de diffusion de la jonction (A7):

$$\Phi = V_T \cdot \ln \left(\frac{N_A \cdot N_D}{n_i^2} \right) \quad (\text{A7})$$

La largeur de la zone de transition est donnée par la relation (A8) :

$$W_T = \sqrt{\frac{2\varepsilon}{q} \cdot \frac{N_A + N_D}{N_A \cdot N_D} \cdot \Phi} \quad (\text{A8})$$

Jonction polarisée :

À l'aide de ces quelques équations décrivant les mécanismes de base des porteurs dans une jonction, nous pouvons maintenant estimer plus facilement les transferts de porteurs lors de la polarisation de la jonction. Si on applique aux bornes de la jonction une différence de potentiel (d.d.p.) continue V , comme indiqué Figure A-2, la ZCE va être directement modulée du fait de la réalisation technologique des contacts métal/semi-conducteur appelés contacts ohmiques (NB : le potentiel de contact est indépendant du sens du courant et très faible). La tension V va donc modifier aussitôt la hauteur de la barrière de potentiel au niveau de la jonction de la façon indiquée à la Figure A-2, pour devenir $(\Phi - V)$ où la tension V est comptée algébriquement.

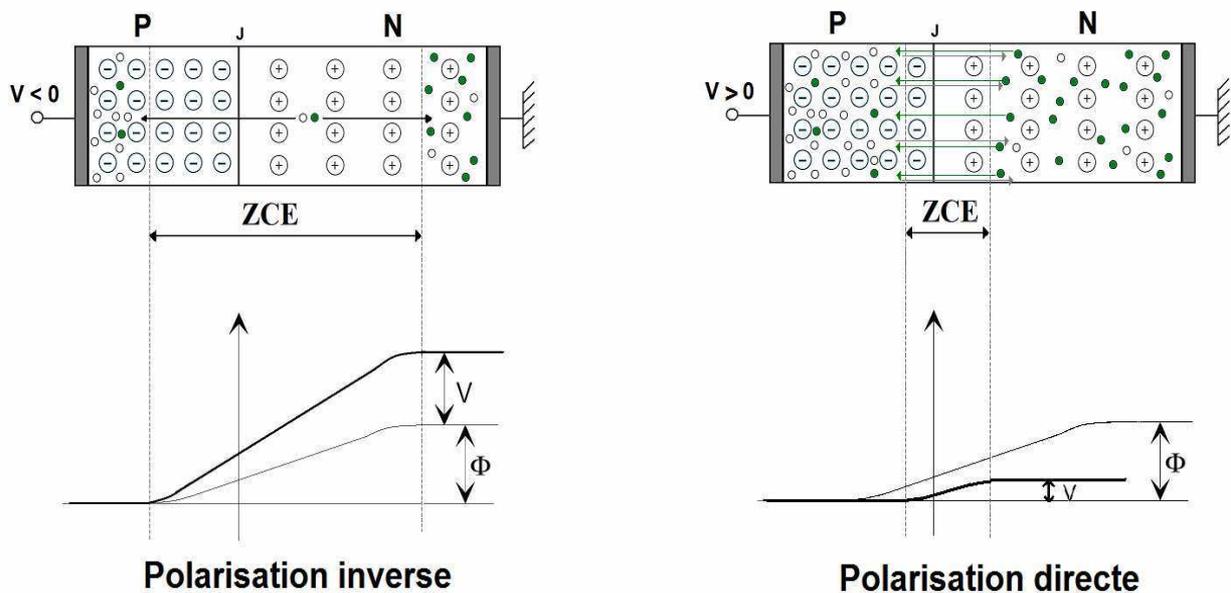


Figure A-2 : Représentation du transfert de charge dans une jonction PN polarisée.

Dans ces conditions, et sans rentrer dans le détail du mécanisme d'avalanche, on distingue 2 modes de fonctionnement :

- $V < 0$: ce mode correspond à la polarisation inverse de la jonction. La barrière de potentiel accrue ainsi que l'augmentation du champ électrique vont permettre l'extension de la zone de charge d'espace de part et d'autre de la jonction J (NB : à noter que cette extension est plus rapide dans la zone faiblement dopée). Cette barrière empêche les porteurs libres, les trous et électrons, de transiter dans le barreau semi-conducteur. Dans cet état, le courant de conduction est quasi-nul (en dehors des courants de fuite) et la tension maximale. Nous verrons que ce mécanisme est à la base des tenues en tension pour les composants de puissance.
- $V > 0$: ce cas correspond à la polarisation en direct de la jonction. La barrière de potentiel est fortement réduite et le champ électrique y est quasiment nul. Cette fois-ci, les électrons et trous peuvent franchir la jonction et transiter dans le barreau, reflétant le courant de conduction à travers la jonction. Cet état est à la base de la conduction des composants semi-conducteurs de puissance.

Maintenant que ce bref descriptif a été présenté, les différentes structures semi-conductrices de base peuvent être abordées plus facilement.

A1.2.Principe de base du fonctionnement d'un transistor bipolaire

Pour remplir leur fonction de conduction, les composants semi-conducteurs bipolaires (composants commandés en courant) mettent en jeu électrons et trous. La qualification du terme bipolaire sous-entend la mise en jeu d'effets de modulation de conductivité pour réduire autant que possible la tension résiduelle à l'état passant. Cette modulation de conductivité s'exerce essentiellement dans la région de base large et peu dopée qui confère au dispositif sa capacité de blocage de la tension. Elle a pour corollaire un stockage de porteurs qui pèse sur les performances dynamiques, à l'ouverture comme à la fermeture. [LET01].

Le transistor bipolaire est formé de trois couches de semi-conducteurs dopés :

- l'émetteur E : fortement dopé, son rôle est de réaliser "l'injection" massive de porteurs majoritaires,
- la base B : fine couche faiblement dopée, son rôle est essentiellement d'injecter des trous dans l'émetteur,
- le collecteur C : couche épaisse faiblement dopée, son rôle est de recevoir les porteurs majoritaires et d'assurer une bonne tenue en tension inverse.

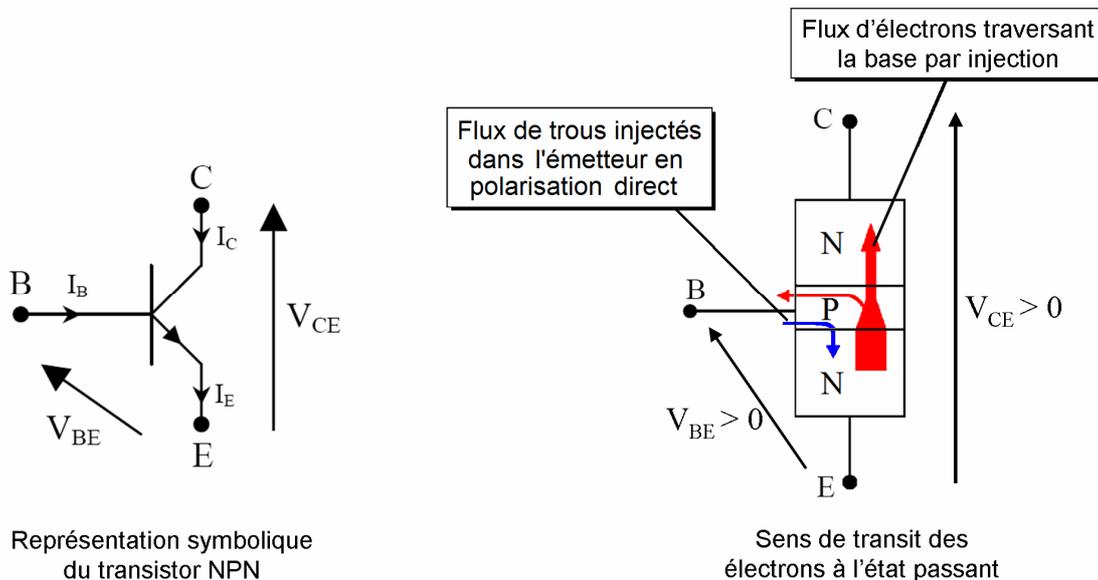


Figure A-3 : Représentation symbolique et principe de base du fonctionnement d'un transistor bipolaire NPN.

En fonction de la nature des porteurs majoritaires choisis, électrons ou trous, on distinguera les transistors appelés NPN (électrons) et PNP (trous). Tout d'abord, basons-nous sur le transistor de type NPN pour comprendre son fonctionnement (Figure A-3). La couche de base de type P est très mince par rapport aux autres, sa largeur devant être très inférieure à la longueur de diffusion des porteurs injectés dans cette zone.

Dans le cas bloqué, on a $V_{BE} \leq 0$ et $V_{CE} > 0$; les deux jonctions sont alors polarisées en inverse, ainsi, les ZCE s'étendent d'autant plus que les tensions augmentent et le transistor ne permettra le passage d'aucun courant. Le transistor sera équivalent à un interrupteur ouvert. La tenue en tension sera assurée principalement par la zone faiblement dopée, tout comme dans une diode.

Dans le cas passant, on a $V_{BE} > 0$ et $V_{CE} > 0$, alors la jonction base-émetteur sera passante, c'est-à-dire que le champ résultant va projeter les électrons de l'émetteur vers la base. La base est volontairement très courte devant la longueur de diffusion des porteurs minoritaires (électrons) et par conséquent, ils vont arriver en majorité au niveau de la ZCE de la jonction base-collecteur où ils sont capturés et atteignent ensuite le collecteur : on parle alors d'injection de porteurs. Quelques recombinaisons électrons-trous vont se produire au sein de la base, mais de façon mineure par rapport à l'injection. Pour passer cette zone, le champ résultant va les projeter dans la zone N du collecteur où ils retrouvent leur statut de porteurs libres majoritaires. C'est l'effet transistor qui se traduit par la relation simple $I_C = \alpha \cdot I_E$ où α est le gain en courant en base commune ($\alpha < 1$). En introduisant $I_E = I_C + I_B$ on obtient la formule fondamentale du transistor (A9) :

$$I_C = \beta \cdot I_B \quad \text{avec} \quad \beta = \frac{\alpha}{1 - \alpha} \quad (\text{A9})$$

où β est le gain en courant du transistor.

A1.3.Principe de base du fonctionnement d'un transistor MOS

Le principe de fonctionnement d'un transistor MOS (**M**étal-**O**xide-**S**emi-conducteur) repose sur l'effet « de champ », qui consiste à moduler de façon électrostatique une densité de charges mobiles dans un semi-conducteur. Cette modulation est provoquée par un champ électrique perpendiculaire à la direction de mouvement de ces charges, et agissant entre deux électrodes séparées par un diélectrique, comme dans une capacité plane. Pour un NMOS, l'électrode de grille G doit être polarisée positivement et, ainsi, les trous de la zone P sont dépeuplés sous la grille. Cette répulsion entraîne une augmentation inversement proportionnelle du nombre d'électrons (porteur minoritaires dans le caisson de type P) et, au-dessus d'une tension de seuil appelée V_T , un canal d'électrons se crée par accumulation sous cette grille. La tension V_{DS} doit être positive afin de drainer ces électrons ; le flux d'électrons circulant donc de la source au drain.

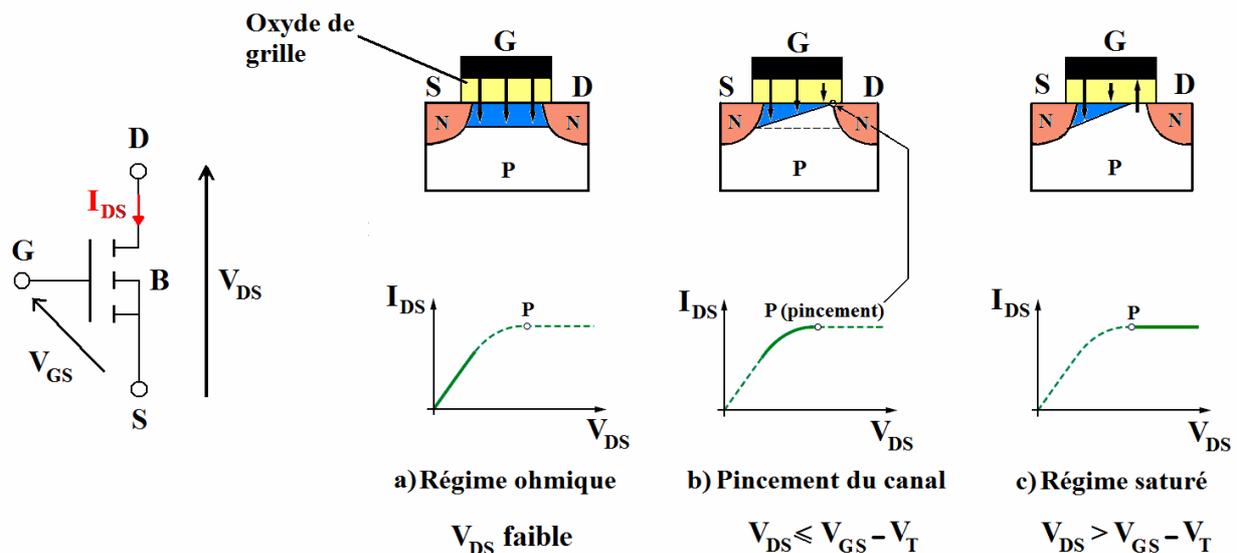


Figure A-4 : Représentation symbolique du MOSFET et diagramme de l'évolution du canal à l'état passant.

Nous pouvons distinguer les différents régimes d'opération du transistor MOS. Tout d'abord, si $V_{GS} = 0V$, le canal ne peut se créer et le transistor est bloqué. Mais si V_{GS} est supérieure à la tension de seuil V_T , la création du canal permet au transistor de conduire du courant et d'être passant. Dans ce cas, on observe (Figure A-4) l'effet de modulation de la résistivité du canal d'un transistor NMOS par la polarisation du drain, ainsi que son impact sur le courant débité par le transistor. On distingue alors les régimes suivants :

- a) Quand V_{DS} est faible et négligeable devant V_{GS} (Figure A-4 a), l'effet de champ est quasi uniforme le long du canal, qui se comporte donc comme une résistance indépendante de la polarisation du drain. Par conséquent, la caractéristique $I_{DS}(V_{DS})$ est linéaire comme pour une résistance. Le MOS travaille en régime ohmique ou linéaire.
- b) Quand V_{DS} n'est plus négligeable devant V_{GS} (Figure A-4 b), le potentiel le long du canal se réduit considérablement du côté drain, ce qui entraîne une réduction de la densité de porteurs libres dans la couche d'inversion. Le canal devient, par conséquent, de plus en plus résistif. Sur la caractéristique $I_{DS}(V_{DS})$, cela se traduit par une augmentation de I_{DS} moins rapide jusqu'à une saturation complète au point de pincement. La zone entre le régime linéaire et le point de pincement est appelée zone de transition.
- c) Quand V_{DS} est plus grand que $(V_{GS}-V_T)$ (Figure A-4 c), le champ électrique côté drain change d'orientation et le point de pincement se déplace légèrement vers la source. Le potentiel au point de pincement est constant et indépendant de V_{DS} . Il s'ensuit une saturation du courant et, par conséquent, la courbe $I_{DS}(V_{DS})$ devient plate. Le MOS travaille en saturation.

Annexe A2 : Évolution structurelle de l'IGBT au service de la performance

Depuis la structure proposée pour la première fois par Baliga en 1979, de nombreux travaux ont été réalisés afin d'améliorer ses performances, notamment sur le compromis « conduction/commutation ». En effet, la volonté de diminuer la chute de tension à l'état passant passe donc par une augmentation de la modulation de conductivité de la région de base en y augmentant la présence de porteurs. La contrepartie sera naturellement une réduction des performances dynamiques. La Figure A-5 synthétise l'évolution des structures IGBT en vue d'améliorer les performances.

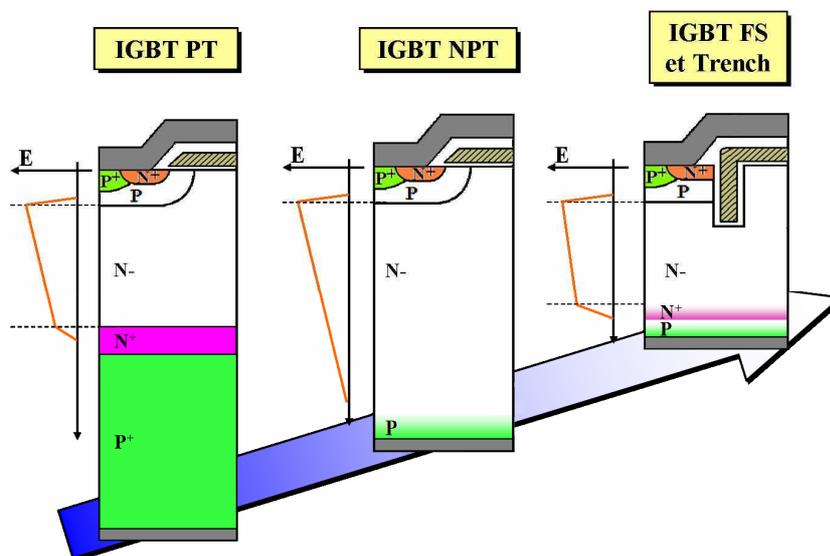


Figure A-5 : Evolution des différentes structures IGBT.

Les IGBT PT (**P**unch-**T**hrough) fonctionnent en limitation de la ZCE par l'intégration d'une couche « tampon » de type N^+ dans la zone de drift. Cette configuration, construite sur substrat massif P^+ , où la zone N^+N^- est réalisée par épitaxie, a pour avantages d'avoir de faibles pertes en conduction dues à la grande efficacité d'injection de trous du substrat P^+ et une queue de courant contenue grâce à cette couche tampon N^+ qui entraîne une réduction de la charge stockée par les trous en transit. Mais les temps de commutation restent élevés et le recours au contrôle de la durée de vie des porteurs minoritaires par irradiation est souvent nécessaire, au détriment du compromis « conduction/commutation ». Les IGBT NPT (**N**on **P**unch-**T**hrough) fonctionnent en non limitation de la ZCE. À la différence de l'IGBT PT, le substrat utilisé est de type N (« Float Zone ») et l'anode P est implanté puis diffusée. Ceci permet un contrôle plus précis de l'efficacité d'injection de trous optimisant les pertes en commutation, par le contrôle du dopage et de la profondeur de l'anode P. Notons que cette considération est valable à une température de 300K et sans contrôle de la durée de vie des porteurs. Lorsque la température augmente, les pertes en conduction de la structure PT augmentent dans des proportions plus grandes que celles de la structure NPT [BAL96a]

[PEN98] [SIE97]. Notons que pour le NPT les plaquettes sont souvent amincies à des épaisseurs relativement faibles, de l'ordre de 100 μ m pour une technologie 600V.

Le troisième type d'IGBT, appelé IGBT FS (**F**ield **S**top), combine des avantages des IGBT PT et NPT. Ces structures récentes, nées dans les années 2000, sont réalisées sur des wafers ultra fins (70 μ m pour 600V) [RUT04] par la même technique d'amincissement présentée dans le paragraphe I.2.1.2. L'anode P est implantée comme dans le cas du NPT et une couche N, appelée couche tampon ou couche "Field Stop", y est ajoutée pour arrêter le champ (comme le PT). Cette double couche permet de modifier l'efficacité d'injection de l'anode dans la base N⁻ et ainsi de réduire la durée de queue de courant. Une des conséquences est une diminution notable des pertes en commutation [LAS00]. Cette configuration en bas de structure est majoritairement associée à une grille en tranchée en haut de structure. Cette grille est réalisée verticalement, améliorant la densité d'intégration et la densité de courant par unité de surface. La conséquence est une amélioration significative du V_{CEsat} et du courant transitant dans le composant.

Aujourd'hui, l'une des voies d'optimisation principale est le contrôle des courants de court-circuit (paramètre primordial dans le domaine automobile notamment), qui peuvent devenir problématiques dans des configurations à haute densité de courant. Ainsi, les fabricants continuent à améliorer le compromis « conduction/commutation » tout en proposant des tenues en court-circuit optimisées, par des procédés innovants, à l'instar du CSTBT de Mitsubishi [TAK96] ou du HIGT d'Hitachi [MOR98].

Liste des publications

• Revue internationale

- 1) L. Théolier, K. Isoird, H. Tranduc, F. Morancho, J. Roig Guitart, Y. Weber, E. Stefanov, J-M. Reynès, “*Switching performance of 65 volts vertical N-channel FLYMOSFETs*”, Microelectronics Journal, publié en ligne le 4 mars 2008, doi:10.1016/j.mejo.2007.11.009.
- 2) Y. Weber, J. Roig, J-M. Reynès, F. Morancho, E. Stefanov, M. Dilhan, G. Sarrabayrouse, “*Characterization of P Floating Islands for 150-200V FLYMOSFETs*”, IET Circuits Devices Syst., pp. 333–340, 2007.

• Publications internationales :

- 3) Y. Weber, J-M. Reynès, F. Morancho, E. Stefanov, M. Dilhan, G. Sarrabayrouse, “*200V FLYMOSFET Design Impact on Electrical Performances and Innovating Floating Islands Monitor*”, 9th International Seminar on Power Semiconductors (ISPS'08), August 27-29, 2008.
- 4) Y. Weber, J-M. Reynès, F. Morancho, E. Stefanov, “*A New Optimized 200V Low On-Resistance Power FLYMOSFET*”, 20th International Symposium on Power Semiconductor Devices and Integrated Circuits (ISPSD'08), Orlando (USA), May 18-22, 2008.
- 5) Y. Weber, J-M. Reynès, F. Morancho, E. Stefanov, M. Dilhan, G. Sarrabayrouse, “*Characterization of P Floating Islands for 150-200V FLYMOSFETs*”, 8th International Seminar on Power Semiconductors (ISPS'06), August 29th-September 1st 2006, pp.117-122.
- 6) L. Théolier, K. Isoird, H. Tranduc, F. Morancho, J. Roig Guitart, Y. Weber, E. Stefanov, J-M. Reynès, “*Switching performance of 65 volts vertical N-channel FLYMOSFETs*”, 8th International Seminar on Power Semiconductors (ISPS'06), Prague (République Tchèque), 29 Août - 1^{er} Septembre 2006, pp.117-122.
- 7) J. Roig, Y. Weber, J-M. Reynès, F. Morancho, E. Stefanov, M. Dilhan, G. Sarrabayrouse, “*Electrical and Physical Characterization of 150-200V FLYMOSFETs*”, 18th international Symposium on Power Semiconductor Devices and Integrated Circuits (ISPSD'06), pp.301-304, 2006.

• Publication nationale :

- 8) L. Théolier, K. Isoird, H. Tranduc, F. Morancho, J. Roig Guitart, Y. Weber, E. Stefanov, J-M. Reynès, “*Performances dynamiques des transistors FLYMOS 65 volts à canal N*”, Electronique de Puissance du Futur (EPF'2006), Grenoble (France), 5-6 Juillet 2006.

• Brevets en cours

- 9) E. Stefanov, J-M. Reynès, Y. Weber, “*Method to Fabricate High Performance Power Super Junction Device - Wave-Epi FLYMOSFET*”, Brevet MT10346EP “filed” en mars 2007, en cours.
- 10) J-M. Reynès, P. Lance, E. Stefanov, Y. Weber, “*Semi-Floating Island MOSFET device*”, Brevet MT10169EP “filed” en octobre 2006, en cours.

Conception d'une nouvelle génération de transistor FLYMOS vertical de puissance dépassant la limite conventionnelle du silicium

Résumé : Dans un contexte énergétique mondial difficile, l'amélioration de la gestion de l'énergie électrique revêt une importance majeure. Le transfert de cette énergie électrique est assuré par l'intermédiaire de systèmes de puissance intégrant majoritairement des composants semi-conducteurs de puissance. La démarche d'optimisation entreprise depuis plusieurs années s'est concentrée sur la réduction des pertes en conduction. Dans ce cadre, les performances des transistors MOSFET sont exprimées par le compromis « tenue en tension (BV_{dss}) / résistance à l'état passant ($R_{ON.S}$) ». Pour améliorer ce compromis, des concepts innovants telles que les Superjonctions ou les îlots flottants ont été développées sur silicium, permettant notamment de réduire drastiquement la résistance à l'état passant. Les travaux de recherche présentés dans cette thèse portent sur la réalisation d'un transistor FLYMOS intégrant jusqu'à deux niveaux d'îlots flottants de type P dans la région épitaxiée N⁻. Pour la première fois, la forme et les dimensions des îlots flottants ont été déterminées à l'aide d'une caractérisation physique originale. De plus, les limites du FLYMOS ont pu être définies à l'aide de caractérisations électriques dynamiques. Grâce à ces premières études, la compréhension phénoménologique de fonctionnement de ce type de composant a permis le développement d'un processus d'optimisation. Ainsi, des transistors FLYMOS d'une tenue en tension de 230 V ont été réalisés avec succès et leur résistance spécifique à l'état passant de $4,5 \text{ m}\Omega\cdot\text{cm}^2$ se révèle inférieure à la limite conventionnelle du silicium. Au final, la caractérisation électrique complète de ces composants a permis de montrer qu'ils étaient une bonne alternative aux composants 200 V à Superjonction.

Mots clés : transistor MOS de puissance, îlots flottants, moyenne et haute tensions, caractérisation physique, performances statiques et dynamiques.

Conception of a new generation of FLYMOS vertical power transistor to overcome the conventional silicon limit

Summary : In a difficult worldwide energy environment, the improvement of electrical energy management is very key. The transfer of this electric energy is provided through power systems integrating principally power semiconductor devices. Since many years, the optimization process has focused on the reduction of conduction losses. In this context, the power MOSFET transistors performances are expressed through the "breakdown voltage (BV_{dss}) / specific on-resistance ($R_{ON.S}$)" trade-off. To improve it, innovative concepts such as Superjunctions or Floating Islands have been developed and, as a result, have drastically reduced the on-resistance. The research presented in this thesis focused on the achievement of FLYMOS transistors incorporating up to two levels of P-type floating islands in the N⁻ epitaxial region. For the first time, the shape and size of the floating islands were determined with an original physical characterization. In addition, the FLYMOS boundaries have been defined using electric dynamic characterizations. Thanks to these first studies, phenomenological understanding of this kind of component has allowed the development of an optimization process. Thus, FLYMOS transistors sustaining voltage of 230 V has been successfully developed and their specific on-resistance of $4,5 \text{ m}\Omega\cdot\text{cm}^2$ overcomes the conventional silicon limit. Finally, a complete electrical characterization of these devices allowed to show that there are a good alternative to 200 V Superjunction devices.

Keywords : Power MOSFET, Floating Islands, medium and high voltage, physical characterization, static and dynamic performances.