



Modèle de Cellule de Commutation pour les Etudes de Pertes et de Performances CEM

Mahdi Akhbari

► To cite this version:

Mahdi Akhbari. Modèle de Cellule de Commutation pour les Etudes de Pertes et de Performances CEM. Energie électrique. Institut National Polytechnique de Grenoble - INPG, 2000. Français. NNT : . tel-00688480

HAL Id: tel-00688480

<https://theses.hal.science/tel-00688480>

Submitted on 17 Apr 2012

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° attribué par la bibliothèque

|_|_|_|_|_|_|_|_|_|

THESE

pour obtenir le grade de

DOCTEUR DE L'INPG

Spécialité : « Génie électrique »

préparée au Laboratoire d'Electrotechnique de Grenoble (LEG)

dans le cadre de l'Ecole Doctorale « E.E.A.T.S. »

présentée et soutenue publiquement

par

Mahdi AKHBARI

le 15 février 2000

Titre :

**Modèle de Cellule de Commutation pour les
Etudes de Pertes et de Performances CEM**

Directeur de thèse : James ROUDET

Jury

M. Michel BARIBAUD,
M. Jean-Marie DORKEL,
M. Hervé MOREL,
M. Robert PERRET
M. James ROUDET
M. Jean-Luc SCHANEN

Président
Rapporteur
Rapporteur
Examineur
Examineur
Co-encadrant

A :

Mes parents

Ma femme

Et notre petite Hodû.

Remerciements

Tout d'abord, je tiens à exprimer mes sincères remerciements à Messieurs Yves Brunet, le président de l'INPG, et Michel Baribaud, le directeur de l'ENSERG, avec qui j'ai eu l'honneur d'avoir un entretien inoubliable à l'Université Technologique de Sharif à Téhéran avant d'être sélectionné pour venir en France et préparer cette thèse. Je les remercie pour m'avoir fait confiance. Je remercie spécialement Monsieur Michel Baribaud pour m'avoir fait l'honneur de présider ce jury.

Je tiens à remercier Monsieur Jean-Claude Sabonadière pour m'avoir accueilli au sein du LEG et Monsieur Jean-Pierre Rognon pour m'avoir gardé.

Toute ma gratitude va à Robert Perret qui m'a accueilli au sein de la famille électronique de puissance et qui a bien voulu faire partie de ce jury.

J'adresse mes remerciements les plus vifs à Monsieur Philippe Leturcq, professeur au LAAS (Laboratoire d'Analyse et d'Architecture des Systèmes) à Toulouse pour m'avoir accueilli dans le GdR d'IE (Groupement de Recherche d'Intégration en Electronique de puissance) et à travers lui l'ensemble de son équipe pour leur coopération scientifique efficace et concrète.

Je tiens à remercier Messieurs Jean-Marie Dorkel, professeur à l'INSA de Toulouse et chercheur au LAAS, et Hervé Morel chargé de recherche au Centre de Génie Electrique de Lyon (CEGELY), pour avoir accepté de rapporter sur ce travail.

Pour m'avoir initié à la recherche à la française, je tiens à exprimer toute ma reconnaissance à James Roudet et Jean-Luc Schanen, animateurs du thème Compatibilité Electromagnétique au sein de ce laboratoire. Je remercie particulièrement Jean-Luc Schanen pour le soutien actif qu'il m'a accordé tout au long de ces trois années de thèse et surtout pour sa persévérance pendant la rédaction de la thèse.

Des collaborations ont été nécessaires pour mener ce travail. Pour avoir su partager leurs compétences, je remercie chaleureusement Yves Lembeye pour son aide à la caractérisation de MOSFET, Mohammad Ouassim Berraies au LAAS pour les simulations sur ESACAP, Pierre-Olivier Jeannin pour la partie validation expérimentale de la mise en parallèles des MOSFETs et Laurent Gerbaud pour le temps qu'il m'a consacré afin de porter le modèle sur l'outil Gentiane bien que ça n'ait pas été poursuivi.

Je tiens également à remercier l'ensemble des permanents de l'équipe d'EP et en particulier Edith Clavel, Jean-Paul Ferrieux, Emmanuel Toutain, Jean-Pierre Keradec et

semi-conducteur	41
II.6.2. Approximation de la concentration des porteurs par la série de Fourier	42
II.6.3. Démarche directe de résolution du système d'équations	44
II.6.3.1. Cas des frontières fixes	44
II.6.3.2. Cas des frontières mobiles	45
II.6.3.3. Erreur de troncature	46
II.6.3.4. Courant de déplacement	48
II.6.3.5. Formulation du problème en cas des frontières mobiles	50
II.6.4. Chute de tension dans le composant	53
II.7. Implantation du modèle dans un logiciel commercialisé	54
II.7.1. Initialisation des variables	56
II.8. Vérification du modèle de dynamique de charge	59
II.9. Vérification du modèle de diode pin	61
II.9.1. Recouvrement inverse de diode	61
II.9.2. Mise en conduction de diode	63
II.10. Conclusion	64
Chapitre III : Modèle du transistor MOS de puissance	66
III.1. Introduction	67
III.2. Transistor MOS de puissance	67
III.2.1. Structure de VDMOS	67
III.2.2. Tendances technologiques	68
III.3. Modèles du transistor MOS	71
III.4. Physique du MOSFET de puissance en statique	73
III.5. Circuit équivalent du MOSFET de puissance (modèle dynamique)	77
III.6. A propos des capacités de MOSFET	79
III.6.1. Capacité d'entrée	80
III.6.2. Capacité "Miller"	82
III.6.3. Capacité de sortie	84
III.7. Mesure des capacités de MOSFET	84
III.7.1. Base théorique	84
III.7.2. Mesures effectuées	86
III.7.3. Contraintes des mesures des capacités du MOSFET	88
III.7.4. Mesure fréquentielle de l'admittance d'entrée	93
III.8. Modèle comportemental de MOSFET	96
III.8.1. Circuit équivalent du MOSFET	96

III.8.1.1. Amorçage du MOSFET	97
III.8.1.2. Blocage du MOSFET	99
III.8.2. Validation du modèle	100
III.9. Conclusion	103
Chapitre IV : Modèle de la cellule de commutation Diode-MOSFET	105
IV.1. Introduction	106
IV.2. Mise en œuvre du modèle de la cellule de commutation	106
IV.3. Validation du modèle de la cellule de commutation	107
IV.3.1. Description de la maquette réalisée	107
IV.3.2. Détermination des paramètres	108
IV.3.2.1. Commande rapprochée	108
IV.3.2.2. Interconnexion	109
IV.3.2.3. Diode	112
IV.3.2.4. MOSFET	113
IV.3.3. Résultats des simulations pour le point de fonctionnement de base	115
IV.3.3.1. Fermeture du MOSFET	115
IV.3.3.2. Ouverture du MOSFET	118
IV.3.4. Résultats des simulations pour les différents points de fonctionnement	121
IV.3.4.1. Changement de la vitesse de commutation	121
IV.3.4.2. Changement de la tension d'alimentation	125
IV.3.4.3. Variation du courant de charge	129
IV.4. Influence des capacités non-linéaires dans la simulation	133
IV.5. Conclusion	137
Chapitre V : Les Applications	139
V.1. Introduction	140
V.2. Une solution à l'interaction Puissance-Commande par l'impédance commune	140
V.2.1. Introduction	140
V.2.2. Solution proposée pour diminuer l'impédance commune	143
V.2.3. Validation: Simulation - expérience	146
V.2.4. Conclusion	150
V.3. Equilibrage dynamique du courant dans les MOSFETs en parallèle	151
V.3.1. Introduction	151

V.3.2. Conditions pour l'équilibre du courant	152
V.3.2.1. A la fermeture des interrupteurs	152
V.3.2.2. A l'ouverture des interrupteurs	153
V.3.3. Structure proposée	155
V.3.4. Validation: Simulations fines et Expérience	157
V.3.5. Conclusion	162
V.4. Choix optimal de la résistance de grille	163
V.4.1. Introduction	163
V.4.2. Dimensionnement optimal	165
V.4.3. Conclusion	166
 Conclusion générale	 168
 Référence bibliographiques	 173

Introduction générale

1. Contexte d'utilisation d'un outil de simulation
2. Restriction du domaine d'étude
3. Travail à réaliser

Introduction générale

1. Contexte d'utilisation d'un outil de simulation

L'électronique de puissance moderne doit relever de nouveaux défis. En effet, les concepteurs d'alimentations à découpage comme de chaînes de traction doivent actuellement augmenter les performances techniques, ce qui passe par la conception de nouveaux produits, tout en diminuant les coûts et les délais.

La solution à ces nouvelles attentes est indéniablement le recours à la simulation, en remplacement des procédures d'essai basées sur prototype. Quand on sait, par exemple, qu'un délai de quelques semaines est nécessaire à l'obtention d'un busbarre, il semble évident qu'une simulation est plus rapide pour entériner ou non une structure proposée.

La simulation dont on parlera ici est donc bien loin des outils classiques existant depuis de nombreuses années, permettant de reproduire des formes d'ondes globales de convertisseurs statiques, pour en valider le principe de fonctionnement ou, le cas échéant, les stratégies de commande. Il s'agit ici de fournir des outils permettant de dimensionner un convertisseur statique réel, au niveau des formes d'ondes instantanées afin de pouvoir considérer des aspects tels que les surtensions, la réduction des émissions conduites, ou bien déterminer les pertes par commutation. On peut encore citer les problèmes d'équilibrage dynamique des contraintes dans une association de plusieurs semiconducteurs.

Cet objectif peut sembler ambitieux mais il est nécessaire compte tenu des gains escomptés. Par ailleurs, l'électronique de puissance est un domaine où il est raisonnable de vouloir tout simuler avec précision. Le nombre de composants est en effet réduit et les connections moins nombreuses qu'en électronique logique notamment. Dans cette dernière discipline, il est bien évidemment hors de question de simuler l'intégralité du fonctionnement intime du microprocesseur type pentium ! On se borne (et c'est déjà bien suffisant) à valider les aspects fonctionnels et technologiques, et on ne traite précisément que certaines portions des circuits vis à vis des critères d'intégrité du signal. Il faut également signaler qu'un transistor supplémentaire dans un circuit intégré ne coûte rien, ce qui permet de bien découpler les problèmes (« un transistor une fonction »), ce qui est d'une grande aide pour la conception. Ce n'est pas précisément le cas en électronique de puissance, où l'on va au contraire chercher à rationaliser l'utilisation des composants, en diminuant les marges de sécurité, tout en conservant une fiabilité maximale.

Ceci va nécessiter la prise en compte de plusieurs domaines de la physique. En effet, les contraintes à satisfaire pour un convertisseur statique sont non seulement d'ordre

électrique, mais font également intervenir des problèmes thermiques, mécaniques ou électromagnétiques. Cet aspect pluridisciplinaire est caractéristique de ce domaine de recherche, et va nécessiter une démarche en plusieurs temps.

2. Restriction du domaine d'étude

Il semble illusoire de vouloir construire un outil logiciel à la fois précis et suffisamment vaste pour concevoir en une seule fois et du premier coup un convertisseur statique satisfaisant à l'intégralité du cahier des charges, y compris au niveau coût... La démarche que nous proposons part d'une étude des composants d'un convertisseur, et des couplages, faibles ou forts qui peuvent exister entre chacun d'eux, ainsi qu'avec l'environnement.

Personne ne remet aujourd'hui plus en cause le fait que l'interaction semiconducteur-câblage est à ranger dans la catégorie des couplages forts. L'outil de simulation devra donc être capable de traiter ces deux aspects en même temps.

L'aspect thermique est un peu plus délicat : s'il est vrai que la grande disparité des constantes de temps peut permettre un certain découplage des problèmes électriques et thermiques, il ne faut pas oublier que la température de fonctionnement d'un semiconducteur influe fortement sur son comportement électrique. Par ailleurs, ce sont bien les pertes d'origine électrique qui donnent lieu à une température de fonctionnement, dépendant du refroidisseur utilisé.

L'outil de simulation ne saurait donc ignorer l'aspect thermique; il semble qu'une indication de la température moyenne de fonctionnement soit une donnée suffisante, qu'il faudra penser à actualiser en fonction des pertes électriques calculées, avec un modèle éventuellement rudimentaire du refroidisseur...

La partie « électromagnétique », c'est-à-dire tout ce qui va toucher aux problèmes de Compatibilité ElectroMagnétique (CEM) est également délicate. Côté émissions conduites, on doit pouvoir, dans un premier temps, découpler les sources de perturbations des chemins de propagation, comme cela a déjà été fait au Laboratoire [Scheich-93]. Ceci dit, cette hypothèse de couplage faible n'est pas complètement démontrée, et il semble assez attrayant de vouloir simuler une cellule de commutation complète, incluant un Réseau Stabilisateur d'Impédance de Ligne (RSIL) pour mesurer les niveaux de perturbations. Le surcoût n'est en effet pas énorme, dans la mesure où on ne s'intéressera qu'à un cas d'école [Teulings-97] ; il n'est bien évidemment pas réaliste de simuler un fuselage complet d'avion avec tous les torons de câble pour analyser l'influence d'un convertisseur statique sur le manche à balai !...

Côté rayonnement, l'hypothèse d'un découplage entre source et chemins de propagation semble tout à fait justifiée [Youssef-98].

En revanche, pour tout ce qui touche à l'interaction puissance-commande rapprochée du transistor, il va de soi que le couplage est extrêmement fort [Mérienne-96/1].

L'étude des problèmes mécaniques et thermiques au niveau des connexions nécessite de connaître la répartition du courant. C'est à partir de cette donnée que seront effectués tous les calculs de dimensionnement des interconnexions. Le couplage est ici unidirectionnel: s'il est nécessaire de bien connaître le comportement électrique pour aboutir à une bonne évaluation de la densité de courant (et donc de la thermique et des forces), les efforts électrodynamiques et la température du busbarre auront peu d'influence sur les formes d'ondes en commutation. Au niveau d'un simulateur électrique, la prise en compte de ces deux aspects n'est donc pas nécessaire.

En terme de conception, il semblera préférable de dégager des règles ou des contraintes électriques issues de l'électronique de puissance, qui serviront de paramètre d'entrée ou de contraintes à un outil de conception plus général de câblage, multiphysique, qui lui pourra traiter le côté thermique et efforts électrodynamiques.

Compte tenu des divers couplages entre les phénomènes évoqués, il semble donc que l'outil de modélisation doive prendre en compte les semiconducteurs, le câblage, la commande et la température moyenne de fonctionnement. Une représentation d'un environnement CEM réaliste peut également être envisagée.

Cet outil devrait pouvoir répondre à deux classes de problème :

- Le remplacement du prototype par une véritable « maquette » informatique. La simulation doit alors être d'une grande précision, et le but est de valider la technologie complète de réalisation d'un convertisseur donné (« routage », choix d'une résistance de grille,...)
- Si l'outil est suffisamment rapide pour pouvoir être appelé plusieurs fois lors d'une optimisation, il pourrait être utilisé en conception, de manière à dégager des règles, de câblage par exemple.

3. Travail à réaliser

Une fois bien délimité le domaine d'étude, il va donc falloir utiliser ou développer des modèles:

- De semiconducteurs
- De câblage (puissance et commande rapprochée)

Les modèles de semiconducteurs devront inclure leur comportement en température.

Il n'est pas question dans cette étude de décrire avec précision autre chose qu'une seule commutation. Il n'est en effet pas réaliste de simuler avec une aussi grande précision un onduleur MLI (Modulation de Largeur d'Impulsion) alimentant une machine.

Le but ici est de fournir un modèle complet et précis d'une simple cellule de commutation, de manière à pouvoir effectuer sa conception (sur un plan technologique), vis à vis des critères pertes et CEM. On est en droit de croire qu'une cellule bien pensée devrait pouvoir améliorer le comportement d'un convertisseur statique complet fonctionnant en MLI.

Par ailleurs, ce modèle de simple cellule peut également être utilisé afin de déterminer des modèles comportementaux -peut être plus empiriques mais plus simples-, qui eux pourront être utilisés dans le cadre de ces applications complexes.

Notre choix s'est porté sur une cellule MOSFET-Diode. Il a fallu donc développer ou adapter des modèles de ces semiconducteurs. Le modèle de MOSFET utilisé repose sur une approche comportementale, et a été développé au LEG ces dernières années [Farjah-95]. Il a été enrichi par des travaux récents sur l'identification des capacités non linéaires [Lembeye-97]. Le modèle de diode pin [Leturcq-95] a été gracieusement mis à notre disposition par Ph. Leturcq du Laboratoire d'Automatique et d'Architecture des systèmes (LAAS-CNRS), dans le cadre du GdR "Intégration en Electronique de Puissance". Il s'agit d'un modèle physique, où l'équation de diffusion ambipolaire régissant la dynamique des charges dans ce composant est résolue par une approche basée sur une décomposition en série de Fourier, le tout implanté dans un simulateur analogique. Nous avons réorganisé ce modèle sous forme algorithmique par un formalisme à base de variables d'état, ce qui a permis de mieux maîtriser les problèmes de pas de calcul.

Il a fallu également proposer une modélisation à la fois simple et représentative des imperfections du câblage, qui permette éventuellement un retour aisé sur conception.

Tout ce travail est présenté dans les premiers chapitres.

La dernière partie de ce mémoire décrit quelques applications, allant de la simple validation par le calcul des pertes, à des propositions de routage originales permettant d'éviter les problèmes d'interaction puissance-commande ou d'améliorer la répartition du courant entre deux semiconducteurs.

Les perspectives de ce travail sont multiples et seront présentées en conclusion.

Chapitre I

Modèle des interconnexions

I.1. Introduction

I.2. Méthode de modélisation

I.2.1. Introduction

I.2.2. Méthode PEEC et rôle des mutuelles inductances

I.3. Schéma équivalent pour une cellule de commutation

I.3.1. Mise en équation

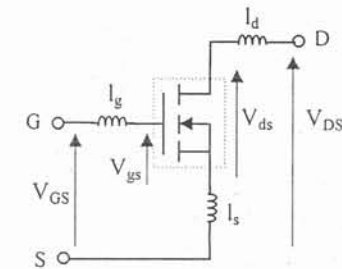
I.4. Conclusion

I.1. Introduction

Dans la mesure où le but avoué est d'obtenir des formes d'ondes en commutation les plus précises possibles, il va de soi que les modèles de semiconducteurs seront très fins. Mais il serait complètement illusoire de vouloir comparer la mesure à des simulations ne faisant intervenir que ces modèles de semiconducteurs et négligeant le câblage !

Il est en effet bien connu que les imperfections des interconnexions jouent sur des paramètres clé des formes d'ondes en commutation, comme les surtensions, les pentes de courant (donc l'amplitude du courant de recouvrement de la diode)... Le problème de la modélisation de ces imperfections est d'autant plus important qu'il s'agit là d'un couplage a priori fort, c'est-à-dire qu'on ne peut pas simuler le comportement du semiconducteur puis l'effet du câblage, en calculant par exemple le dI/dt par un modèle de MOSFET puis les surtensions par $L \cdot dI/dt$. A noter que dans certains cas particuliers (commande lente par exemple), on peut se ramener à ce découplage mais il ne s'agit pas de la généralité d'une commutation dure « standard », où l'on cherche à réduire les temps de commutation.

Un autre rôle important de la connectique intervient lorsqu'on compare la simulation à la mesure. Ce point est essentiel pour toute la phase de validation d'un modèle, et il faut bien différencier la tension simulée sur la puce de silicium de celle qui sera mesurée par une sonde de tension, dont les extrémités seront connectées sur les pattes du boîtier du semiconducteur. En effet, quelques nanohenrys parcourus par des courants à des milliers d'ampères par microseconde induisent vite des volts qui viennent modifier parfois considérablement l'observation, comme l'indique la figure I-1.



MOSFET : IRFP450FI

$I_d=12,2$, $I_g=7,0$, $I_s=12,2$ nH

et des mutuelles avec le reste
du circuit environnant (valeurs
obtenues par InCa)

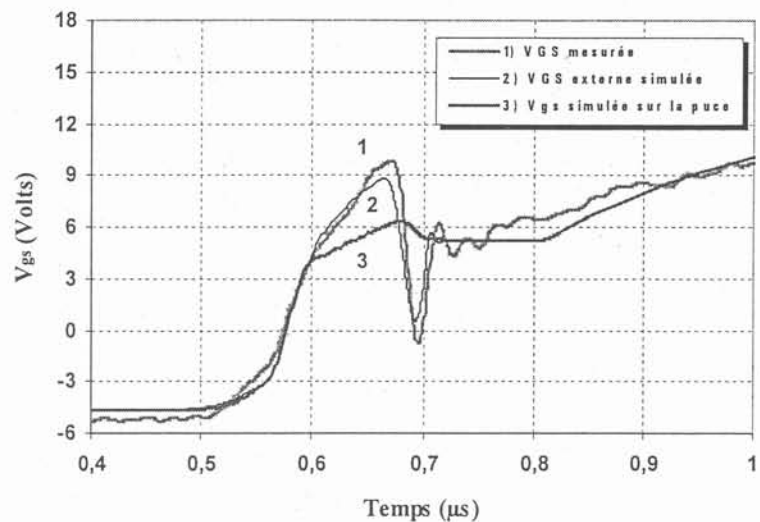


Fig. I-1. Comparaison mesure (externe), tension simulée sur la puce, tension simulée entre les deux points de mesure de tension.

1.2. Méthode de modélisation

1.2.1. Introduction

Il s'agit de déterminer la méthode la mieux adaptée permettant de représenter les imperfections dues à la connectique. Celles-ci sont d'ordre résistif, inductif et capacitif. On négligera ici tout l'aspect propagation, dans la mesure où ce phénomène ne semble pas prépondérant, compte tenu des fréquences maximales mises en jeu ($<100\text{MHz}$) ainsi que des distances ($<10\text{cm}$). Des travaux existent par ailleurs au Laboratoire sur cet aspect [Youssef-98] [Ravillon-95] [Clavel-99] et pourraient être intégrés à la démarche proposée ici, si le besoin s'en faisait sentir.

Compte tenu de cette hypothèse, la méthode de modélisation retenue pour tenir compte des imperfections de la connectique doit aboutir à une représentation à base de composants électriques simples R, L, M, C (constantes localisées), ceci pour rester cohérent avec la démarche de l'électronicien de puissance (car n'oublions pas que l'on cherche des signaux électriques) et permettre un interfaçage aisé avec les logiciels de simulation classiques que sont PSPICE et SABER. Ce choix, arbitraire, est aussi guidé par la communauté, puisqu'un grand nombre de modèles (composants bobinés, semiconducteurs...) sont basés sur cette représentation. Là encore, d'autres approches existent [Hui-89] et devront être surveillées.

La structure du schéma électrique équivalent, à base de constantes localisées, doit ensuite permettre une séparation des phénomènes ; il est par exemple opportun de séparer l'inductance d'une maille de commutation en plusieurs éléments distincts, de manière à distinguer la contribution du boîtier du semiconducteur pour la comparaison mesure-simulation. A noter que cette séparation ne pose pas de problème pour l'aspect résistif, où il suffit de connaître la longueur des connexions, leurs surfaces et les répartitions de courant. Le côté capacitif, dans l'hypothèse où la propagation est négligée, n'est pas non plus difficile à localiser, chaque portion de conducteur pouvant être modélisée par des capacités avec l'environnement.

Seule la partie inductive est un peu délicate dans la mesure où il s'agit d'un phénomène global (flux magnétique à travers une surface a priori fermée...). Pour contourner cette difficulté, plusieurs méthodes peuvent être envisagées :

- la « linéisation » des paramètres globaux, qui a été montrée inadaptée à l'électronique de puissance, où les connexions larges et courtes font apparaître, en ce qui concerne la partie inductive, des effets de bords importants [Ruehli-72][Teulings-97][Roudet-98].
- La représentation par des inductances uniquement [Schnur-98].

- L'approche PEEC (Partial Element Equivalent Circuit) qui attribue à chaque portion de conducteur une part de l'inductance globale *et des mutuelles inductances* avec l'environnement [Ruehli-72][Schanen-94][Clavel-96/2].

Il est important de différencier la représentation des phénomènes, sous forme de schéma électrique à constantes localisées, des méthodes de calcul des valeurs de ces éléments. Le choix entre méthode numérique par éléments finis ou calcul analytique n'a de sens qu'une fois clairement établi ce qu'on cherche à calculer.

La partie suivante vise simplement à justifier le choix de la méthode PEEC pour représenter les phénomènes inductifs en électronique de puissance, aux dépens d'une représentation inductive seule, pourtant plus conventionnelle dans le milieu de l'électronique de puissance, mais —on le verra— limitée. Le côté calcul des paramètres a été largement développé dans des thèses précédentes [Schanen-94], [Clavel-96/2] et [Teulings-97] et ne sera pas repris ici.

1.2.2. Méthode PEEC et rôle des mutuelles inductances

L'électronicien de puissance est depuis relativement longtemps familiarisé avec le concept d'« inductance de câblage ». Il est donc tout naturel que la première représentation adoptée soit à base d'inductances. Le principe est très simple et a été repris récemment [Schnur-98] : entre deux points quelconques parcourus par un courant, celui-ci crée une chute de tension inductive que l'on peut attribuer à un simple $L \cdot di/dt$. Il suffit donc de mettre autant d'inductances que de points d'observation désirés, et de calculer les valeurs de ces inductances selon cette définition. Les auteurs de [Schnur-98] donnent même une méthode expérimentale de détermination de ces paramètres.

Selon la méthode PEEC, qui, outre les inductances partielles, définit également des mutuelles partielles, la tension mesurée entre deux points d'un circuit n'est pas simplement $V_{\text{mesure}} = L_b \cdot di/dt$ mais fait intervenir la somme de l'inductance partielle et des mutuelles avec le reste du circuit comme illustré figure I-2; si $i_2 = i_4 = i$ nous avons $V_{\text{mesure}} = (L_2 - M_{24}) \cdot di/dt$, et $L_b = L_2 - M_{24}$.

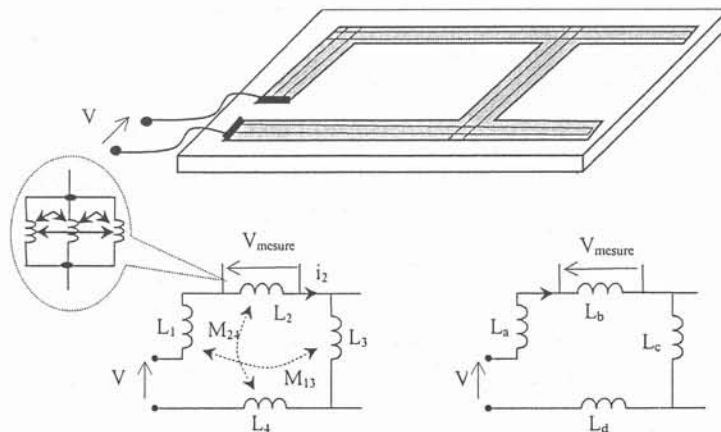


Fig. I-2: Représentation d'un circuit par la méthode PEEC et par inductances seules.

En revanche, l'approche « inductance seule » ne permet pas une généralisation à plusieurs circuits, dont des portions sont parcourues par des courants différents. Ceci est typiquement le cas dans l'interaction puissance-commande par impédance commune, illustrée figure I-3.

Si l'on mesure l'inductance L_s en injectant un courant simplement sur la maille de puissance et en calculant la relation $V_{Ls}/(di/dt)$, on obtiendra une certaine valeur pour L_s ; mais la même mesure en injectant un courant sur le circuit de grille donnera une autre valeur pour L_s . Seule la méthode PEEC est capable de prendre en compte correctement ce problème.

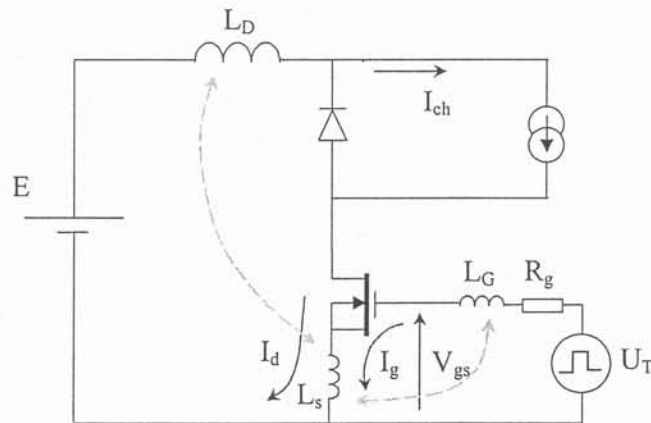


Fig. I-3: Interaction puissance-commande par impédance commune au sein d'une cellule de commutation

Nous en resterons donc à l'approche PEEC, la seule capable de modéliser rigoureusement les phénomènes inductifs dus aux imperfections du câblage. Ceci supposera alors un effort particulier pour l'électronicien de puissance, peu sensibilisé à ce concept de mutuelle partielle. On verra dans la partie Applications que cette notion permet pourtant de procurer certaines solutions élégantes pour corriger les problèmes d'impédance commune ou de répartition de courant entre plusieurs composants.

En revanche, si cette représentation est adaptée à l'analyse des phénomènes, elle multiplie le nombre de composants, ce qui limite l'intérêt vu du concepteur. Le paragraphe suivant vise à déterminer un nombre minimal de paramètres pour représenter correctement les imperfections du câblage, en vue d'une approche conception. Ce nombre sera le résultat d'un compromis entre l'approche mathématique, visant à résoudre le système d'état minimal, et le désir de conserver un lien entre la modélisation et la géométrie du système, pour aider le concepteur.

I.3. Schéma équivalent pour une cellule de commutation

Nous allons ici décrire ce qui sera la cellule de commutation élémentaire, composée dans un premier temps d'un interrupteur commandé de type MOSFET (ou IGBT) avec son circuit de grille, d'une diode et d'une source de tension en entrée. Cette représentation de

base a été montrée comme suffisante pour représenter correctement les signaux de puissance [Teulings-97], et donc permettre d'accéder aux pertes par commutation. Aucune représentation capacitive n'est alors nécessaire.

Nous allons nous intéresser dans un premier temps au cas le plus simple, dont le schéma électrique est le suivant :

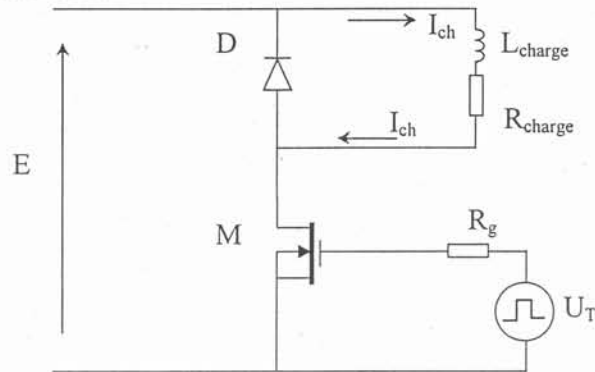


Fig. I-4: Cellule de commutation.

Sur le plan de la modélisation des interconnexions, plusieurs aspects sont à prendre en compte :

- L'inductance de maille, bien sûr
- L'inductance du circuit de grille
- L'inductance commune de source, responsable des phénomènes d'interaction puissance-commande [Mérienne-96]
- Les diverses inductances entre les puces des semiconducteurs et les points d'observation des signaux en tension, ceci afin de pouvoir comparer simulation et mesure.

[Mérienne-96], dans son approche « conception », a montré que sur le plan inductif, un tel circuit se représente par deux inductances couplées, dans la mesure où deux courants grandeur d'état sont à prendre en compte (le courant de puissance et le courant grille). Par une simple transformation mathématique, un tel problème se ramène aisément à trois inductances découplées [Mérienne-96, Schellmanns-99].

Si cette approche a permis de dégager des règles de conception très intéressantes, il nous a semblé opportun de reprendre quelques points, pour pouvoir suivre le cahier des charges précédent. En effet, les buts sont un peu différents et ce que nous cherchons ici n'est plus uniquement de comprendre les phénomènes. Il s'agit maintenant de trouver une représentation permettant un retour aisé sur le schéma d'implantation (« layout »). Or, un regroupement trop important des diverses inductances fait perdre toute information sur la géométrie du système. En effet, dans l'approche à trois inductances découplées, Fig. I-5, on sait calculer les valeurs de L_a , L_b et L_c en fonction de l'implantation géométrique des composants, mais on ne sait pas de manière simple revenir en arrière, c'est à dire trouver une géométrie satisfaisant un critère donné sur ces valeurs de L_a , L_b et L_c .

L'idée est donc de conserver un lien avec la géométrie, en séparant les parties de connectique qui sont parcourues par le courant de puissance uniquement, celles qui sont parcourues par le courant de grille et celles qui voient ces deux courants. Ce faisant, les valeurs des inductances gardent leur « mémoire » géométrique, et à toute règle électrique pourra plus facilement être associée une correspondance géométrique. Ces règles seront alors plus explicites pour le concepteur, et pourront le guider dans le choix d'une géométrie.

Notons également que pour pouvoir assurer une comparaison avec la mesure, il faut tenir compte des inductances de boîtier (et des mutuelles associées). Il est cependant aisé, en fonction du but recherché (observation des formes d'ondes ou processus de conception), de regrouper ces inductances de boîtier à une des trois inductances couplées représentant la géométrie.

La figure I-5 rappelle toutes les représentations inductives possibles pour modéliser la connectique de la cellule de commutation élémentaire choisie.

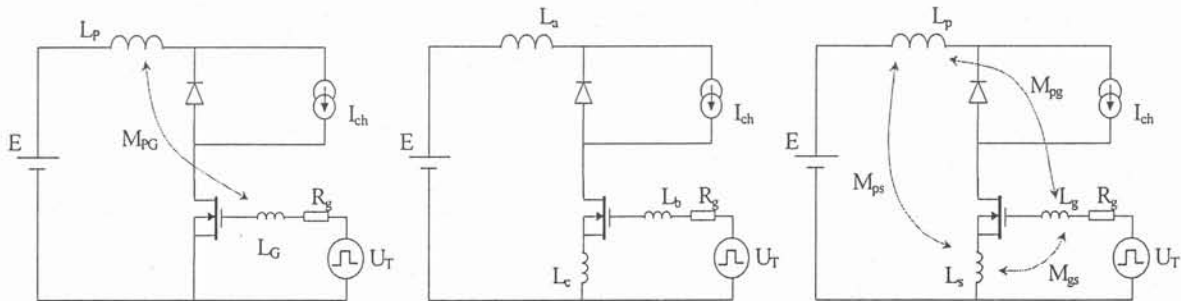


Fig. I-5: Différentes représentations adoptées pour la connectique de la cellule de commutation élémentaire.

Nous avons donc proposé un schéma électrique représentant les imperfections de la connectique pour une cellule de commutation de base. Celui-ci va permettre de non seulement comparer la mesure et la simulation, mais également de dégager des règles de conception plus proches de la géométrie, donc éventuellement plus facilement inversibles ou pour le moins interprétables pour le concepteur.

A noter également que la modélisation proposée permet, sans modifier les équations de retrouver l'approche « conception » de [Mérienne-96], en considérant toutes les mutuelles comme nulles. Ceci peut être important dans un processus entièrement automatisé, où le nombre de paramètres pourrait être limitatif. Attention cependant dans ce cas à la gestion des contraintes (on peut par exemple facilement montrer que l'inductance commune L_c dans l'approche [Mérienne-96] n'est pas nécessairement positive, alors que toutes les valeurs d'inductance du modèle à trois inductances couplées le sont).

Un dernier point reste à noter dans cette partie : nulle part il n'a été fait mention de la variation des paramètres avec la fréquence. Or, il a été montré [Schanen-94],[Clavel-96/2] que les inductances et résistances ne sont pas constantes quand les effets de peau ou de proximité apparaissent.

Le problème majeur pour tenir compte de ces effets est que nous nous sommes situés dans le contexte de la simulation temporelle. Or, s'il existe des « astuces » pour représenter des composants ayant un comportement fréquentiel variable (association de plusieurs cellules L,R [Schellmanns-99]), ces schémas ne prennent pas en compte l'aspect mutuelle avec le reste du circuit. Or ce paramètre est inhérent à la modélisation PEEC. Plutôt que d'alourdir notre représentation, dont l'objectif majeur est –rappelons-le- la conception, avec de multiples cellules L,R pour représenter une seule inductance, en ayant à résoudre le problème des mutuelles partielles, nous avons préféré considérer des éléments constants.

A partir de là se pose le problème de la fréquence à laquelle il faudra évaluer ces paramètres.

Nous avons opté pour une fréquence équivalente, qui tient compte de toutes les fréquences présentes dans le circuit (voir le chapitre IV). En tout état de cause, la variation des paramètres avec la fréquence reste relativement faible, et une évaluation à cette fréquence n'est pas trop critiquable.

Si par malheur des effets fréquentiels venaient perturber les règles de conception d'une manière trop importante, il faudrait alors recommencer la conception en tenant compte de ce paramètre supplémentaire.

1.3.1. Mise en équation

La démarche de modélisation adoptée, basée sur la méthode PEEC plus quelques regroupements d'inductances, aboutit à des schémas électriques un peu complexes, qu'il va falloir traiter avant de mettre en équation [Akhbari-99/3]. A titre d'exemple, on peut considérer le schéma de la cellule de commutation avec deux interrupteurs en parallèle décrit figure I-6. Suivant les éléments partiels parcourus par les courants identiques le schéma inductif du circuit équivalent est celui de la figure I-7. Cependant on peut réduire l'ordre du système d'équations modélisant le circuit équivalent.

Dans le circuit équivalent il y a 7 éléments indépendants, la matrice d'inductance est donc une matrice 7×7 . Néanmoins ce circuit n'a que quatre boucles indépendantes, cela veut dire qu'un système d'équations d'ordre quatre décrit le circuit. N'ayant que des inductances dans le circuit équivalent, un circuit équivalent avec quatre inductances couplées peut donc représenter le système, Fig. I-7.

Le traitement permettant de réduire ce système pour la mise en équation est le suivant; supposons que le circuit équivalent ne contienne que des éléments inductifs (des inductances et des mutuelles), les tensions induites sur les inductances partielles s'obtiennent par

$$V_L = L \frac{dI_L}{dt} \quad (1)$$

où $V_L \in \mathbb{R}^{N \times 1}$ est le vecteur des tensions inductives, $L \in \mathbb{R}^{N \times N}$ est la matrice d'inductance du circuit équivalent et $I_L \in \mathbb{R}^{N \times 1}$ représente le vecteur des courants des éléments partiels.

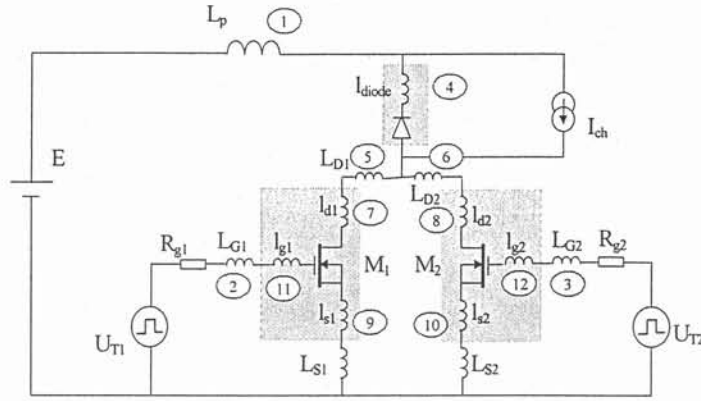


Fig. I-6: Cellule de commutation incluant deux MOSFET en parallèle.

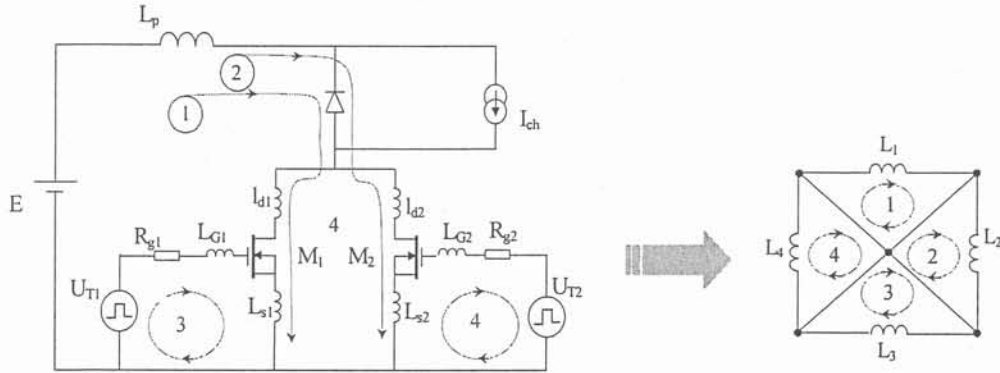


Fig. I-7: Boucles principales du circuit et une représentation du circuit équivalent inductif réduit.

En précisant les boucles indépendantes du circuit équivalent et en remplaçant les courants des éléments par les courants des boucle, les tensions induites sur les inductances partielles peuvent s'exprimer par les courants de boucles comme suit:

$$V_L = L_x \frac{dI_{Bcl}}{dt} \quad (2)$$

$I_{Bcl} \in \mathbb{R}^{M \times 1}$ est le vecteur des courants de boucles et L_x est alors une matrice $N \times M$ où M est le nombre des boucles indépendantes. A présent, en écrivant la loi des tensions de Kirchhoff pour toutes les boucles, la tension induite qui correspond à chaque boucle peut être déterminée. A titre d'exemple pour la boucle 2 du circuit équivalent de la figure I-7 la tension de boucle se calcule par

$$V_{Blc}(2) = V_{Lp} + V_{Idio} + V_{LD2} + V_{Id2} + V_{Ls2} + V_{Is2} \quad (3)$$

Toutes les tensions partielles dans cette expression sont en fait précédemment calculées par l'expression (2). En remplaçant les tensions partielles et réécrivant les équations sous forme matricielle on obtient donc

$$V_{Blc} = L_{Blc} \frac{dI_{Blc}}{dt} \quad (4)$$

où L_{Blc} est une matrice $M \times M$ dans laquelle les éléments diagonaux correspondent aux inductances des boucles et les éléments non diagonaux sont les mutuelles entre les différentes boucles. Les éléments de la matrice d'inductance de boucle, L_{Blc} , sont déterminés comme suit:

- Éléments diagonaux:

$$L_{Bic-ii} = \sum_{n \in A} L_{nn} + \sum_{m, n \in A} M_{mn}, \quad i = 1, 2, \dots, M \quad (5)$$

- Éléments non diagonaux:

$$M_{Bic-ij} = \sum_{n \in B} L_{nn} + \sum_{m, n \in B} M_{mn} + \frac{1}{2} \sum_{p, q \in C} M_{pq} + \frac{1}{2} \sum_{r, s \in D} M_{rs}, \quad i \neq j, \quad i \& j = 1, 2, \dots, M \quad (6)$$

où les ensembles **A**, **B**, **C** et **D** pour définir les indices de sommations sont les suivants: **A** contient tous des éléments qui forment la boucle "i", **B** tous les éléments communs entre la boucle "i" et la boucle "j", **C** contient les groupes des inductances non communes et enfin **D** inclut les groupes séparées des inductances communes et non communes de chaque boucle. La figure I-8 représente les groupes des inductances et leurs contributions aux éléments de la matrice d'inductance réduite. Dans cette figure, les liens représentent les mutuelles.

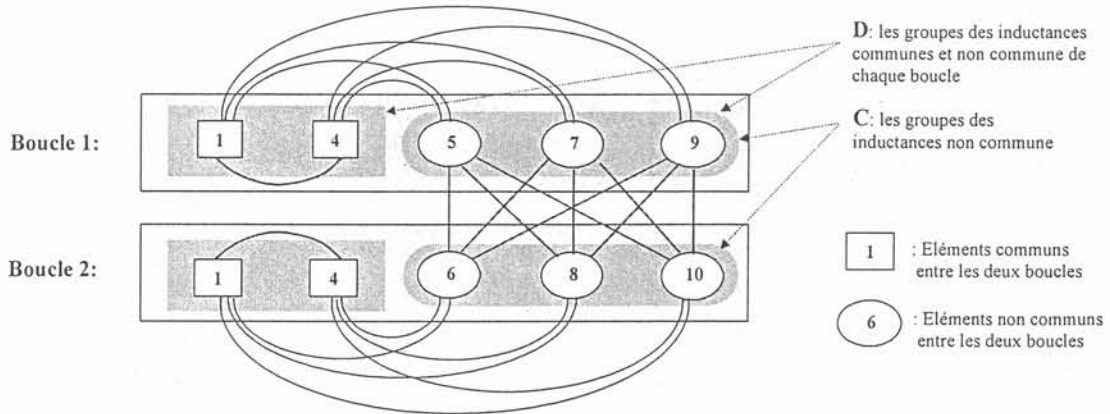


Fig. I-8: Manière de calculer des éléments de la matrice réduite; exemple pour deux boucle 1 et 2 de la figure I-7

Il est donc essentiel d'identifier les ensembles **A**, **B**, **C** et **D** pour pouvoir calculer les éléments de la matrice réduite du circuit. Les expressions (5) et (6) pour le calcul des éléments de matrice réduite sont obtenues par des calculs formels sur différents circuits équivalents.

Il est donc possible de calculer les éléments de la matrice réduite par les deux expressions (5) et (6). A titre d'exemple nous traitons la matrice d'inductances du circuit de la figure I-6. Tout d'abord, il faut identifier les ensembles **A**, **B**, **C** et **D** pour chacune des quatre boucles dans le circuit. Par exemple, en se référant à la figure I-8, les éléments L_{Bic11} et L_{Bic12} de la matrice réduite s'obtiennent par:

$$L_{B1c11}=L_1+L_4+L_5+L_7++L_9+2M_{4,7}+2M_{7,9}+2M_{1,9}+2M_{4,9}+2M_{5,9}+2M_{4,5}+2M_{1,5}+2M_{5,7}+2M_{1,7}+2M_{1,4}$$

$$L_{B1c12}=L_1+L_4+2M_{1,4}+M_{6,9}+M_{8,9}+M_{9,10}+M_{4,9}+M_{1,9}+M_{4,7}+M_{6,7}+M_{7,8}+M_{7,10}+M_{4,6}+M_{4,8}+M_{4,10}+M_{1,5}+M_{4,5}+M_{5,6}+M_{5,8}+M_{5,10}+M_{1,7}+M_{1,6}+M_{1,8}+M_{1,10}$$

Pour la matrice d'inductance du tableau I-1 obtenue par le logiciel InCa, la matrice réduite ainsi calculée est donnée dans le tableau I-2.

Tableau I-1: Matrice d'inductance de la figure I-6

L (nH)													
1) L_P	82,10												
2) L_{G1}	-20,80	413,00											
3) L_{G2}	-9,93	72,00	413,00										
4) I_{dio}	6,69	-27,10	-14,30	40,10									
5) L_{D1}	9,78	7,55	10,50	0,97	72,00								
6) L_{D2}	-0,57	10,50	7,93	-1,03	3,36	10,70							
7) I_{d1}	1,17	-6,59	-11,80	1,62	0,99	-0,99	26,70						
8) I_{d2}	3,09	-11,80	-7,69	12,60	0,40	-0,50	0,95	26,70					
9) I_{s1}	-1,23	6,63	9,88	-1,66	1,49	1,13	-2,76	-1,00	13,90				
10) I_{s2}	-2,85	9,88	7,71	-3,95	-0,05	2,92	-1,08	-2,76	1,24	13,90			
11) I_{g1}	-0,64	4,93	8,93	-1,20	1,56	0,67	-1,56	-0,69	1,10	0,70	72,70		
12) I_{g2}	-1,08	8,93	4,19	-2,93	1,03	1,17	-0,45	-1,56	0,48	1,10	0,33	72,70	

Tableau I-2: Matrice d'inductance réduite

L_{B1c} [nH]	L_1	L_2	L_3	L_4
L_1	268,92	157,48	-31,31	-25,29
L_2	157,48	200,78	-41,99	-12,32
L_3	-31,31	-41,99	524,92	112,36
L_4	-25,29	-12,32	112,36	525,60

I.4. Conclusion

Pouvoir quantifier l'influence des caractéristiques électriques de la connectique sur le comportement d'un convertisseur statique est devenu une étape incontournable de conception des structures de l'électronique de puissance.

Les imperfections engendrées par la connectique influent de façon non négligeable sur les formes d'ondes en commutation. Par ailleurs, dans la phase de validation des modèles

de composants semiconducteurs l'influence des interconnexions est à prendre en compte lors de comparaison avec des mesures.

Comme méthode de modélisation, la méthode PEEC (Partial Element Equivalent Circuit) basée sur des formulations analytiques exactes a été retenue. Cette méthode caractérisée par le concept des inductances et des mutuelles partielles est la seule capable de modéliser rigoureusement les imperfections de la connectique.

Une cellule de commutation considérée comme la structure élémentaire des convertisseurs statiques fonctionnant en commutation forcée a été présentée. Différentes représentations concernant les interconnexions de la cellule de commutation ont été expertisées et une représentation conservant un lien avec la géométrie de la structure a été retenue comme modèle des imperfections adapté à l'étude effectuée dans ce mémoire.

L'inconvénient majeur de cette représentation est qu'elle multiplie le nombre d'inductances. Certes, le lien avec la géométrie est ainsi conservé, mais l'ordre du système d'équations d'état à résoudre est alors très important. Pour simplifier le traitement de la représentation PEEC des éléments inductifs, une démarche destinée à réduire la matrice d'inductance a été présentée. Les formules analytiques issues de cette démarche permettent de calculer les éléments de la matrice d'inductance réduite correspondant au système d'état minimal pour l'application considérée.

Chapitre II

Modèle de la diode pin de puissance

II.1. Introduction

II.2. Micro-modélisation et Macro-modélisation

II.3. Diode pin de Puissance

II.4. Modèles de la diode pin de puissance

II.5. Equation de diffusion ambipolaire

II.6. Rappel du modèle distribué

II.7. Implantation du modèle dans un logiciel commercialisé

II.8. Vérification du modèle de dynamique de charge

II.9. Vérification du modèle de diode pin

II.10. Conclusion

II.1. Introduction

La diode de puissance est un des composants les plus difficiles à modéliser en électronique de puissance. En effet, sa structure, différente des jonctions pn de la microélectronique, lui confère un comportement particulier, lié à la dynamique des charges. Ces phénomènes comme le recouvrement inverse, la surtension à la fermeture, sont capitaux à prendre en compte dès lors qu'on cherche à déterminer précisément des formes d'ondes en commutation.

Le but de ce chapitre est de présenter les difficultés de la modélisation de la diode de puissance, et quelques solutions qui peuvent être adoptées pour simuler le comportement de ce composant. Plusieurs gammes de solutions peuvent être envisagées, de la construction de macro-modèles par schémas électriques équivalents à la résolution complète par éléments finis des équations dans la base large (zone de tenue en tension) du semiconducteur. Si les premiers sont comportementaux, donc à validité étroite autour du point de fonctionnement identifié, les derniers sont beaucoup trop lourds à mettre en œuvre. Une gamme de solutions intermédiaires doit donc être proposée. La liste des modèles ne saurait être exhaustive, mais les grandes classes de méthodes seront présentées dans ce chapitre. Une méthode basée sur la résolution de l'équation de diffusion ambipolaire sera finalement développée.

II.2. Micro-modélisation et Macro-modélisation

Un macro-modèle reproduit le comportement d'un composant semiconducteur vu de l'extérieur. Dans ces modèles on utilise plutôt les techniques empiriques sans prendre en compte les dimensions géométriques et les processus physiques internes du dispositif. Le comportement du composant est modélisé par des circuits constitués par des éléments comme des résistances, capacités, sources commandées etc. Il faut noter que l'identification des paramètres de tels modèles qui se fait pour un point de fonctionnement n'est valide qu'à ce point précis. Puisque les équations qui régissent les macro-modèles sont découplées des phénomènes physiques qui se produisent au sein du semiconducteur, ces modèles ne sont souvent pas utilisables lorsque les conditions des circuits environnant changent. Notons aussi que certains phénomènes comme la dynamique des charges stockées sont très difficiles à simuler par ce type de modélisation ; un macro-modèle complexe peut conduire à des temps de simulation très coûteux ainsi qu'à des problèmes de convergence. Donc la macro-modélisation n'est pas appropriée pour reproduire toutes les caractéristiques des composants de puissance surtout lorsque le point de fonctionnement évolue dans de grandes proportions. Un micro-modèle est basé sur les équations de la physique du semiconducteur telles que l'équation de diffusion, l'équation de continuité du courant etc ; les paramètres du modèle sont les paramètres par lesquels sont déterminés les phénomènes au sein du semiconducteur comme les niveaux de dopage dans les différentes zones et les dimensions géométriques. Puisque les micro-modèles sont constitués par des équations mathématiques notamment

dérivées de la physique des composants, ils présentent certaines performances comme la précision et l'étendue de la plage de validité au détriment des temps de simulation, de problèmes de convergence.

Les nouvelles versions des logiciels de simulation offrent la possibilité d'incorporer de nouveaux modèles, en implantant directement les équations du modèle dans le code source du simulateur. PSpice version commerciale de SPICE, permet d'insérer les équations mathématiques sous forme de sources contrôlées par son option de Analog Behavioural; SABER possède un langage de description appelé MAST à ce propos.

Dans un premier temps, nous nous intéressons à la diode de puissance. Nous cherchons un modèle qui pourrait simuler correctement la mise en conduction et le recouvrement inverse de la diode. Dans la suite, nous allons étudier quelques macro-modèles existants puis nous analyserons les problèmes liés à ce type de modélisation ; une étude bibliographique sera menée sur les micro-modèles, ensuite nous présenterons notre choix ainsi que notre démarche pour la mise en œuvre du modèle choisi.

II.3. Diode pin de Puissance

Les dispositifs semiconducteurs de puissance sont caractérisés par leur densité de courant élevée en polarisation directe et leur haute tenue en tension en inverse. Les diodes de puissance à jonction pn, elles, trouvent des applications en nombre croissant dans le domaine de l'électronique industrielle qui exige des performances telles que la faible chute de tension en polarisation directe qui entraîne de faibles pertes en conduction malgré le courant élevé, des tensions de claquage élevées et des vitesses de commutation très importantes. La physique des semiconducteurs montre qu'il n'est pas possible de satisfaire simultanément toutes ces exigences.

La figure II-1 montre l'évolution de la structure de la diode pin. Une jonction dopée de manière dissymétrique tient presque toute la tension inverse par la région faiblement dopée n^- . En diffusant une région p^+ dans le substrat n^- , une diode verticale se forme (Fig. II-1-a). Pour maintenir mécaniquement l'intégralité du dispositif, le substrat doit avoir une épaisseur suffisante pouvant atteindre 500 μm , ceci entraîne une grande résistance de substrat n^- et donc une grande chute de tension en polarisation directe. La zone de la charge d'espace n^- occupe qu'une largeur entre 10 et 200 μm (Fig. II-1-b) donc un substrat n^- fin sous forme de sandwich qui se situe entre des couches p^+ et n^+ permet de réduire la résistance série en direct. Le substrat n^- étant très peu dopé (10^{13} à 10^{14} cm^{-3}), le profil du champ est devenu presque rectangulaire (Fig. II-1-c). La diode de la figure II-1-c est « une diode pin »; suivant les matériaux de départ dans lesquels sont réalisés des diffusions, la région intrinsèque est dite de type n (ν) ou de type p (π) ce qui est l'origine de l'appellation « la diode p ν n » ou « la diode p π n ». Presque toutes les diodes de puissance ont ces structures et l'appellation

générique de « structure pin » est utilisée pour toutes. Pour ces diodes la largeur de la région faiblement dopée peut être divisée par deux par rapport au cas (b) [Kassakian-91].

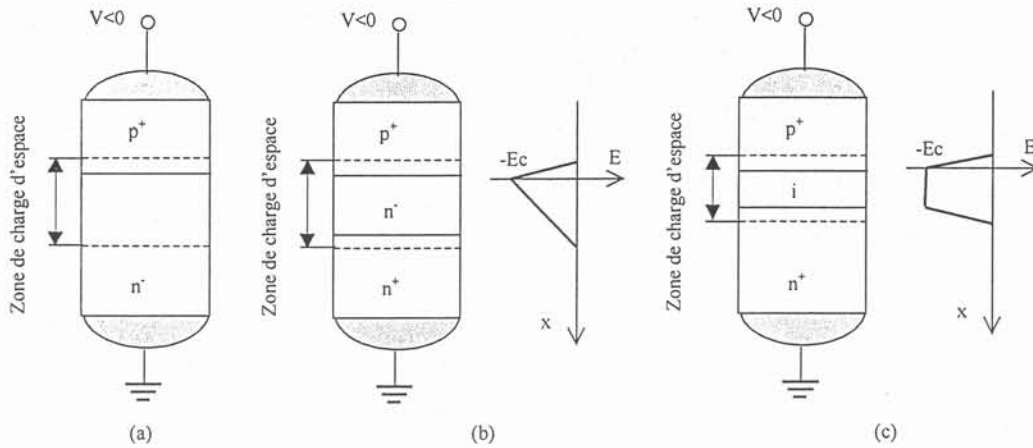


Fig. II-1: Evolution de la structure de diode pin : (a) Diode dissymétrique avec un large substrat de n^- (b) Diode "a" avec la région neutre remplacée par le substrat n^+ et le champ électrique résultant ; (c) Diode "b" avec la région n^- remplacée par une région "intrinsèque" et le champ électrique résultant.

Le profil du dopage de la diode pin de puissance, suivant les technologies de fabrication utilisées, est déterminé par la tension de claquage V_{BR} ; en haute tension ($V_{BR} > 1500$ V) on utilise la technologie toute diffusée et pour les basses et moyennes tensions les diodes sont épi-diffusées. La figure II-2 montre le profil du dopage d'une diode fabriquée par la technologie toute diffusée. Le matériau de départ est un substrat homogène faiblement dopé n^- dans lequel des diffusions sur chaque face sont réalisées [Arnould-92].

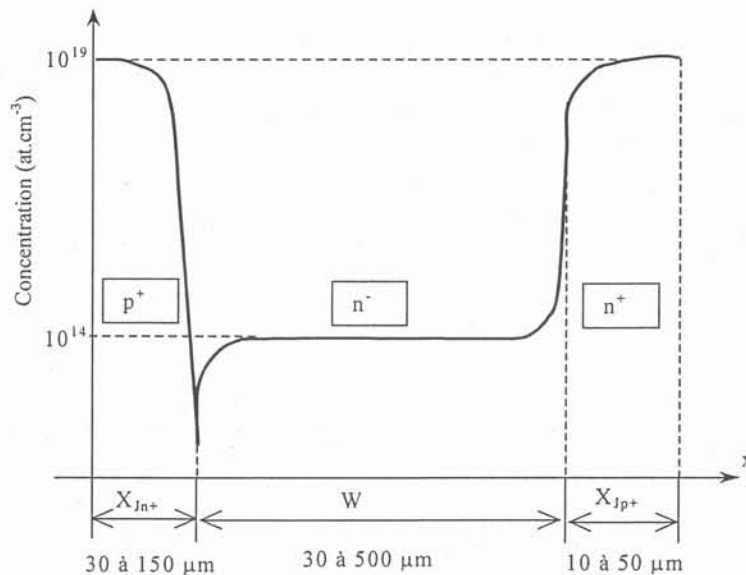


Fig. II-2: Profil de dopage d'une diode pin, technologie toute diffusée.

II.4. Modèles de la diode pin de puissance

L'étape clé dans la modélisation des dispositifs de puissance est de décrire précisément la région spécifique (n^- ou intrinsèque) de tenue en tension (zone de "drift") fonctionnant dans les conditions de la haute injection aussi bien en statique qu'en dynamique. Le modèle intrinsèque de diode de SPICE [PSpice-97] utilise l'approche du contrôle de charge qui n'est pas efficace pour modéliser la diode de puissance; ce modèle sera développé au paragraphe suivant. Jusqu'à présent, deux approches ont été utilisées pour construire des modèles de diode pin pour le simulateur SPICE; la première consiste à développer un circuit équivalent avec les dispositifs standards de SPICE qui présente un comportement similaire au composant réel [Liang-90][Batard-92] et la deuxième utilise le langage AHDL (Analog Hardware Description Language) afin d'écrire un sous-programme avec les équations internes du dispositif.

L'approche standard du contrôle de charge est modifiée par la méthode des charges localisées afin de prendre en compte le recouvrement inverse, la mise en conduction de la diode et l'effet de recombinaisons dans les émetteurs [Lauritzen-91] [Ma-97].

Un modèle relativement précis de la diode pin est présenté par Strollo, il utilise une approximation par fraction rationnelle pour l'équation de diffusion, traitée dans le domaine de Laplace [Strollo-94] [Strollo-97].

Récemment, une nouvelle méthode de modélisation dans SPICE est présentée grâce à ABM (Analog Behavioural Macromodel); cette méthode consiste à décrire les équations du dispositif à l'aide de sources liées de tension et de courant [Aubard-98] [Maxim-99].

Par la suite, nous allons analyser les problèmes liés aux macro-modèles.

II.4.1. Modèle SPICE de la diode de puissance

Les modèles SPICE ont eu d'énormes succès surtout dans les domaines de l'électronique de signal, mais ils donnent des résultats non réalistes notamment en ce qui concerne les composants de puissance ayant une dynamique de charge importante dans leurs zones centrales. La dynamique des charges stockées dans ces couches détermine le comportement du dispositif. Le modèle SPICE de diode, Fig. II-3, utilise la formule classique (1) pour calculer le courant de la diode en statique.

$$I = I_S \left(e^{\frac{V_j}{N \cdot V_T}} - 1 \right) \quad (1)$$

où I est le courant anode-cathode de diode, I_S représente le courant de saturation, V_j est la tension aux bornes de la diode, V_T est la tension thermique ($=kT/q$) égale à environ 26mV pour la température ambiante et N est le coefficient d'émission ayant une valeur entre 1 et 2. La charge stockée dans la zone centrale est modélisée par deux capacités non-linéaires (fonctions de la tension à leurs bornes). Elle est constituée de deux composantes, l'une est la

charge de déplacement, modélisée par la capacité de déplétion C_{dep} , et l'autre est la charge injectée :

$$Q_{total} = Q_{dep} + Q_{inj} \quad (2)$$

L'expression (1) détermine le courant total de la diode seulement durant les conditions statiques, lorsque les conditions de polarisation changent il apparaît une autre contribution: le courant de charge ou de décharge des capacités de la diode.

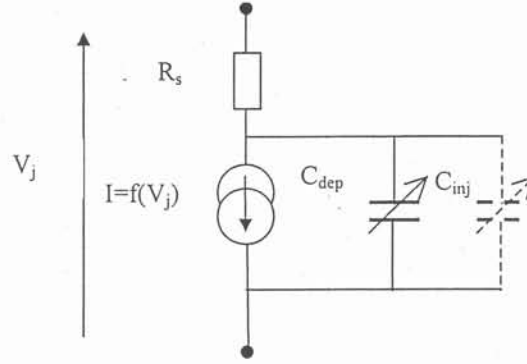


Fig. II-3. Schéma du modèle SPICE de diode

L'expression approximative de la capacité de déplétion C_{dep} , pour une jonction abrupte ou une jonction graduelle linéaire est donnée par :

$$C_{dep} = \frac{C_{j0}}{\left(1 - \frac{V_j}{\phi}\right)^M} \quad (3)$$

où C_{j0} est la capacité en polarisation nulle, ϕ représente le potentiel de barrière de jonction et M est un coefficient représentant l'ordre de la fonction. Dans le modèle SPICE la charge injectée est considérée proportionnelle au courant direct et s'exprime comme suit :

$$Q_{inj} = T_{tt} \cdot I = T_{tt} \cdot I_S \left(e^{\frac{V_j}{N \cdot V_t}} - 1 \right) \quad (4)$$

où T_{tt} est le temps de transit ; ce paramètre dépend de la dimension de la diode et de la durée de vie des porteurs. Q_{inj} est la charge due aux porteurs mobiles (ou injectés) durant la conduction de la diode, la densité des porteurs injectés dans la zone centrale est beaucoup plus importante que la densité des atomes ionisés (correspondant à la charge Q_{dep}); pendant le recouvrement c'est donc la capacité C_{inj} qui joue le rôle principal.

Le modèle de la charge stockée de SPICE est très imprécis ; le problème provient du fait que le modèle SPICE ne peut pas incorporer le concept d'un vrai temps de transit des porteurs. En fait, le terme "temps de transit" qui est utilisé pour le paramètre T_{tt} dans le

modèle SPICE est une appellation très trompeuse. Bien que T_{tt} soit un temps, il ne décrit pas le temps nécessaire mis par les porteurs pour traverser la zone n^- de la diode: le modèle SPICE n'inclut pas ce concept. Nous pouvons voir clairement à partir de l'équation (4) que la charge stockée injectée est une fonction instantanée de la tension ; si la diode change de polarisation, du direct à l'inverse, en par exemple une picoseconde la charge stockée serait évacuée en une picoseconde; en d'autres termes, la charge stockée peut s'évacuer immédiatement avec ce modèle dès que la tension change de signe tout comme une capacité idéale. En réalité, lorsque la tension appliquée à la diode devient négative, le courant inverse ne chute pas instantanément mais il diminue de manière progressive; on ne peut pas obtenir un tel comportement avec le modèle traditionnel de SPICE.

La figure II-4 montre les résultats de la simulation du recouvrement inverse de la diode BYT30PI400 obtenue par le modèle SPICE niveau 3 en ajustant les paramètres T_{rr} et C_{dep} . Comme on peut le constater, durant la conduction de la diode, le courant se comporte bien en comparaison avec les mesures, mais dès que la tension de diode atteint le zéro, aux alentours de 350 nsec, la charge stockée disparaît soudainement, le courant inverse dans la diode s'arrête alors presque instantanément. Le modèle de la diode contient une petite inductance parasite série ; le grand dI/dt dû au modèle de la diode provoque une grande surtension sur cette inductance; cette surtension fait que la diode devient conductrice; à cet instant la capacité de la diode se recharge immédiatement et par la suite le même cycle se répète avec un niveau de courant différent. L'inductance des pattes de la diode forme avec sa capacité parasite à l'état bloqué un circuit oscillant d'où les oscillations constatées sur ce modèle.

La tension inverse mesurée est inférieure aux 650Volts simulés. Si ces simulations sont effectuées pour le dimensionnement des composants, ils peuvent tromper sérieusement l'utilisateur (650Volts au lieu de 170Volts mesurés). Ceci devient encore plus grave lorsqu'il s'agit du calcul des pertes (Fig. II-5).

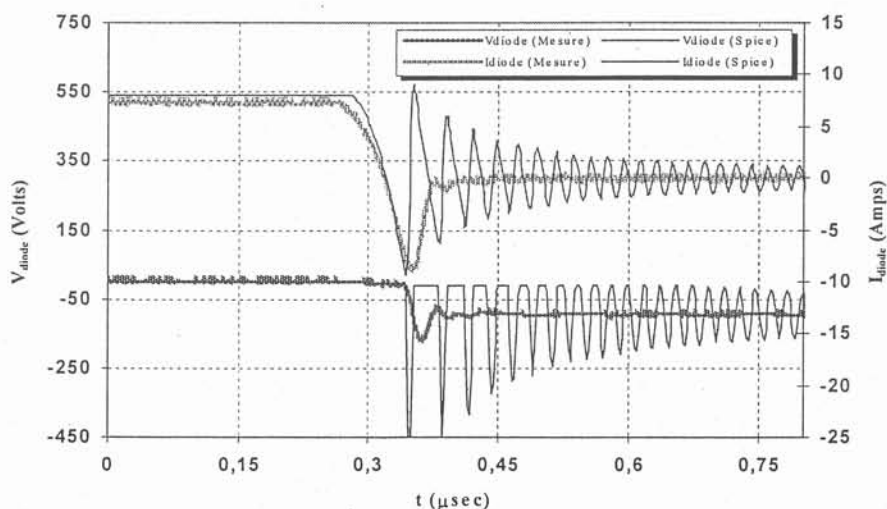


Fig. II-4: Simulation du recouvrement de diode par le modèle SPICE

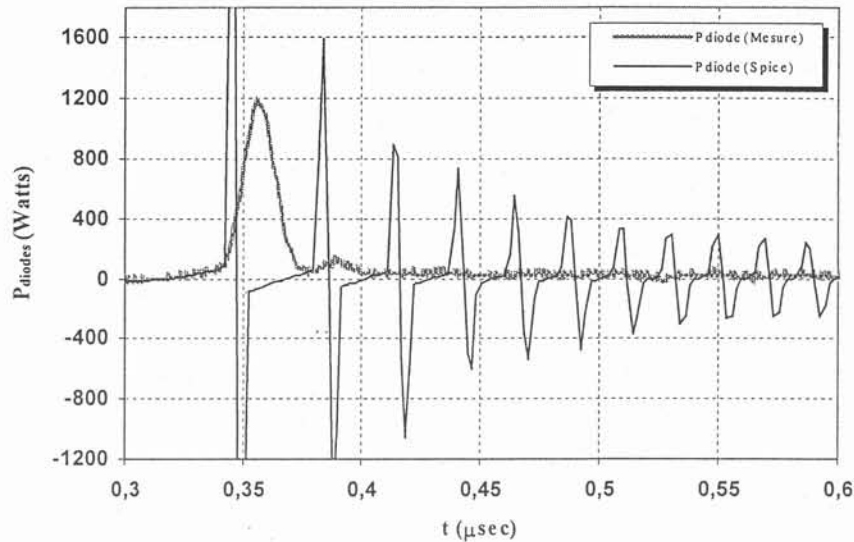


Fig. II-5: Puissance instantanée de la diode

II.4.2. Modèles élaborés compatibles avec SPICE

Plusieurs modèles compatibles avec SPICE ont été présentés dans la littérature ; parmi ces modèles, les détails de ceux qui semblent les plus performants sont gardés confidentiels, comme par exemple le modèle modifié par S. Scott de chez V-I Engineering [Scott-98]. Le modèle développé par [Batard-92] et sa version adaptée pour les études de CEM (Compatibilité ElectroMagnétique) par [Laboure-95] apporte une solution au problème évoqué dans le paragraphe précédent. Le schéma électrique de ce modèle est donné sur la figure II-6. Cette solution consiste à séparer la capacité décrivant la charge stockée injectée de façon que celle-ci, située dans un simple circuit RC, détermine le comportement progressif de la dynamique de charge. Ainsi le recouvrement est bien simulé. La tension de diode est déterminée par la capacité à l'état bloqué et le circuit environnant.

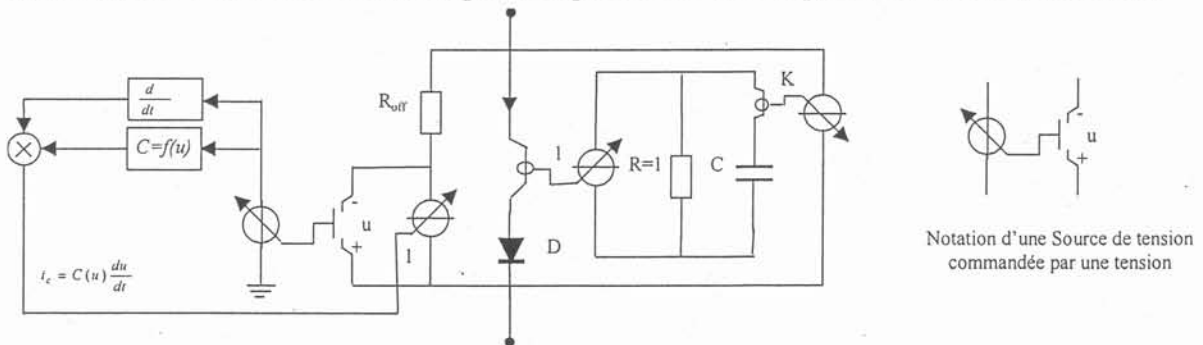


Fig. II-6: Schéma du modèle de diode de puissance d'après [Batard-92]

Dans ce schéma la diode D est une diode à paramètre standard de SPICE qui assure le comportement en direct de la diode. Nous avons vu que, dans le modèle SPICE de diode de puissance, la capacité C_{inj} ne pouvait pas jouer correctement son rôle car elle était reliée

directement aux bornes de la diode ; dans le modèle de Batard cette capacité peut conserver sa charge et l'évacuer de manière progressive avec une constante de temps déterminée à partir du courant inverse maximum I_{RM} , du temps du courant inverse t_{IRM} et de la quantité de charge recouvrée Q_{RR} . La capacité non linéaire de la diode à l'état bloquée (équivalent à C_{dep} du modèle standard) doit être mesurée. Les valeurs pour C et K s'obtiennent selon les caractéristiques de recouvrement de la diode (données par constructeurs). Si on connaît le dI/dt , on peut trouver sur les abaques d'une diode précise les valeurs de I_{RRM} , t_{IRM} et Q_{RR} . Les équations suivantes obtenues avec l'hypothèse d'un faible dI/dt permettent d'estimer les valeurs des paramètres K et C .

$$t_{IRM} = K \cdot \tau \quad (5)$$

$$I_{RRM} = K \cdot \tau \cdot k_1 \quad (6)$$

$$Q_{RR} = K^2 \cdot \tau^2 \cdot k_1 \cdot \left(\frac{1}{2} + \frac{1}{K} \right) \quad (7)$$

où $\tau = R \cdot C = C$ puisque $R=1$ (Fig. II-6). Les résultats de la simulation de diode BYT30PI400 sont montrés sur la figure II-7 dans les mêmes conditions que pour le modèle SPICE précédemment présenté.

On voit une nette amélioration sur le courant de recouvrement simulé ; la surtension est aussi bien simulée mais à cause d'une mauvaise caractérisation des paramètres C et K le taux de descente de tension n'est pas bien estimé.

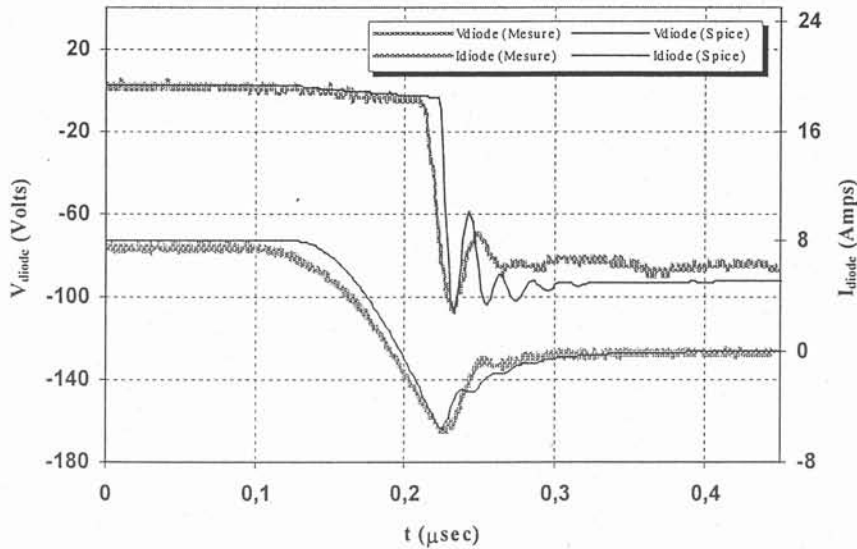


Fig. II-7: Simulation du recouvrement d'une diode type par le modèle SPICE élaboré par Batard

Figure II-8 illustre la puissance instantanée de la diode. Un écart de 17,7% est constaté sur les puissances maximums (482 Watts simulée et 585 Watts mesurée), alors que la perte d'énergie calculée à partir des formes d'ondes de puissance instantanée donne 15,6 μJ simulée contre 15,1 μJ mesurée. L'erreur est inférieure à 5% malgré les formes d'ondes

parfois très écartées par rapport aux mesures. Cela parvient du fait que les écarts dans les formes d'ondes se compensent lors du calcul de perte d'énergie.

A présent voyons les résultats des simulations avec ce modèle lorsque l'on change la vitesse de commutation, di/dt . Les résultats de la figure II-9 montrent que les paramètres du modèle doivent être à nouveau identifiés. Le modèle est donc valide seulement pour le point de fonctionnement pour lequel les paramètres du modèle sont extraits.

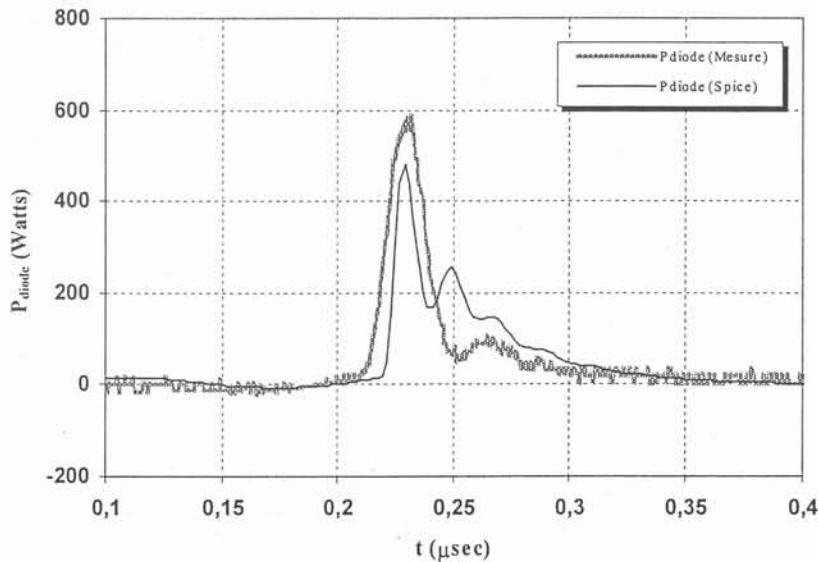


Fig. II-8: Puissance instantanée de la diode

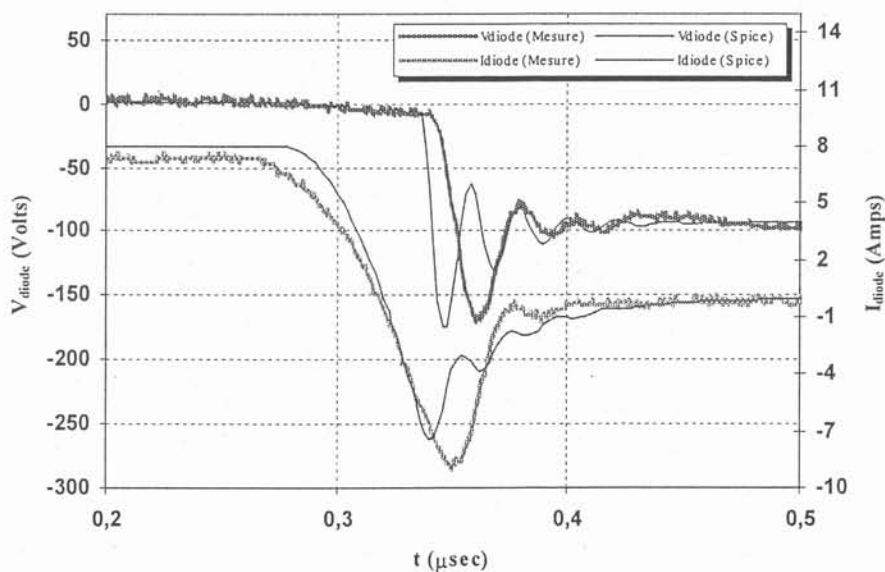


Fig. II-9: Lorsque l'on change la vitesse de commutation

II.4.3. Modèles dérivés de la physique du semiconducteur

Nous avons vu qu'un macro-modèle type SPICE n'est pas capable de prévoir correctement le comportement de la diode pin de puissance durant le recouvrement inverse, le cas de la mise en conduction de la diode n'est pas bien meilleur. Il a été également montré que les modèles basés sur les méthodes empiriques ne sont valides que dans une zone étroite autour du point de fonctionnement [Farjah-95]. Par voie de conséquence, plusieurs micro-modèles ont été récemment présentés. Ici nous voulons résumer les modèles dérivés de la physique des composants.

II.4.3.1. Modèle de diode pin basé sur la charge localisée

La méthode de la charge localisée a émergé comme une nouvelle méthode systématique de modélisation des composants semiconducteurs de puissance et parmi eux les structures pin. Pour la première fois, la méthode de la charge localisée a été présentée en 1991 par P.O. Lauritzen [Lauritzen-91] ; cette méthode est basée sur la technique des paramètres localisés de Linvill [Linvill-61] et la méthode de contrôle de charge. Cette méthode prend en compte la charge distribuée de façon très approximative en localisant la charge dans la zone v sur un certain point déterminant.

Les modèles dérivés de cette méthode ne prennent alors pas en compte précisément la nature distribuée des charges dans la base, en revanche ils évitent considérablement la complexité que l'on rencontre avec les modèles dits exacts basés sur la résolution de l'équation de diffusion. De plus, ils incluent la plupart des caractéristiques statiques et dynamiques des composants. L'inconvénient de ces modèles, comme tous les modèles basés sur la physique, est qu'ils ont besoin d'un certain nombre de paramètres physiques, qui ne sont pas donnés par les constructeurs tels que les caractéristiques géométriques et les niveaux de dopages. Ces paramètres ne sont parfois pas mesurables sur un composant sous boîtier ; ceci nécessite alors de lourdes méthodes d'identification, sinon des essais spécifiques qui se font en salle blanche et dans les laboratoires spécialisés dans le domaine du semiconducteur.

Les étapes qui conduisent à un modèle type Lauritzen sont les suivantes [Ma-94] :

1. La structure du composant est discrétisée en un certain nombre de régions critiques, chaque région a un nœud de charge stockée et au maximum deux nœuds de connexion.
2. Les valeurs de la charge des électrons et des trous s'obtiennent en multipliant les concentrations locales des porteurs par les volumes des régions et par la charge de l'électron.
3. Les charges des nœuds sont reliées par les six équations dérivées de la physique du semiconducteur et de la théorie des circuits :

- Equation de la densité de courant

- Equation de la continuité du courant
- Equation de la neutralité des charges
- Relation de Boltzmann (Equations de jonction pn)
- Equation de Poisson
- Lois de courant et de tension de Kirchoff

Les cinq premières décrivent la distribution et le transport des porteurs entre les nœuds de charge dans le composant et la dernière établit les liens entre les variables internes et les caractéristiques externes. Les nœuds de charge choisis dans le cas d'une diode pin sont représentés sur la figure II-10 ; pour garder la simplicité du modèle, il faut choisir un nombre de points minimum : un seul nœud de charge et deux nœuds de connexion pour la région faiblement dopée et dans les régions fortement dopées un seul nœud sert comme le nœud de charge et le nœud de connexion (dans ces zones les variations de concentration des porteurs sont petites).

Faute d'outil pour lequel ce modèle est développé (SABER), nous n'avons pas pu faire des simulations avec le modèle complet. Cependant une ancienne version du modèle, qui ne prend pas en compte la dépendance à la tension inverse, a été implantée sous MATLAB. La figure II-11 montre les formes d'ondes simulées et mesurées pour la diode BYT30PI400. Comme le circuit environnant de la diode est remplacé par un simple circuit RL, les résultats obtenus ne sont pas très représentatifs de l'électronique de puissance. La mise en œuvre de ce modèle, conjointement avec celui du MOS (qui sera présenté au chapitre III), étant difficile sans modification profonde de leurs structures, nous n'avons pas retenu cette approche, dont la précision ne semble d'ailleurs pas excellente.

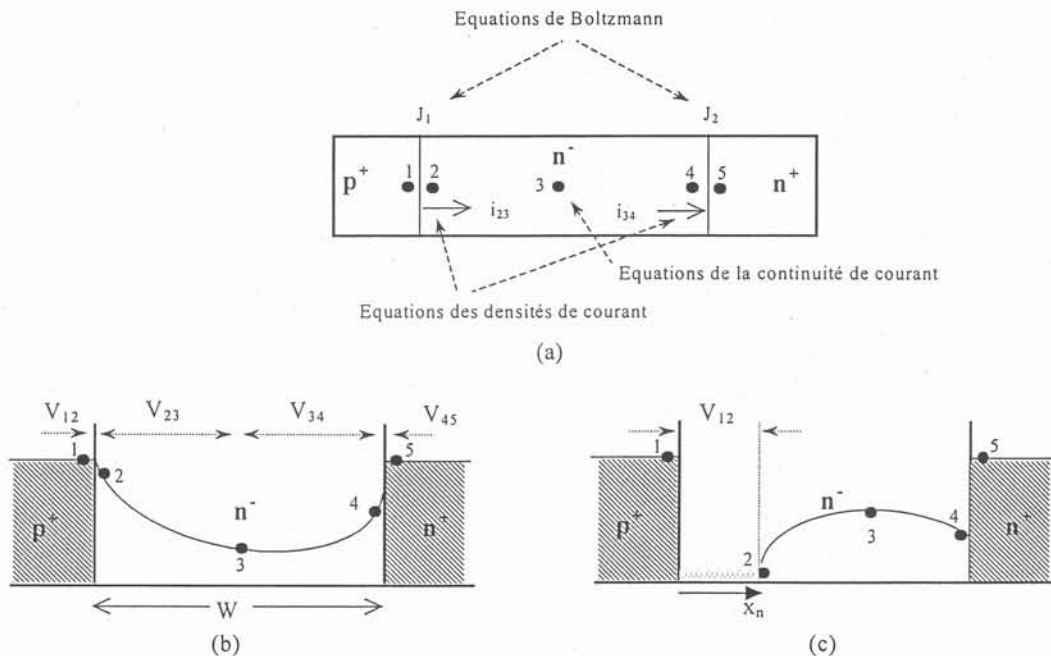


Fig. II-10: Localisation des nœuds de charge dans une diode pin selon la méthode de la charge localisée (a) Les équations appliquées à chaque nœud (b) Les nœuds de charge en état saturé (c) Les nœuds de charge après l'apparition de la zone de charge d'espace.

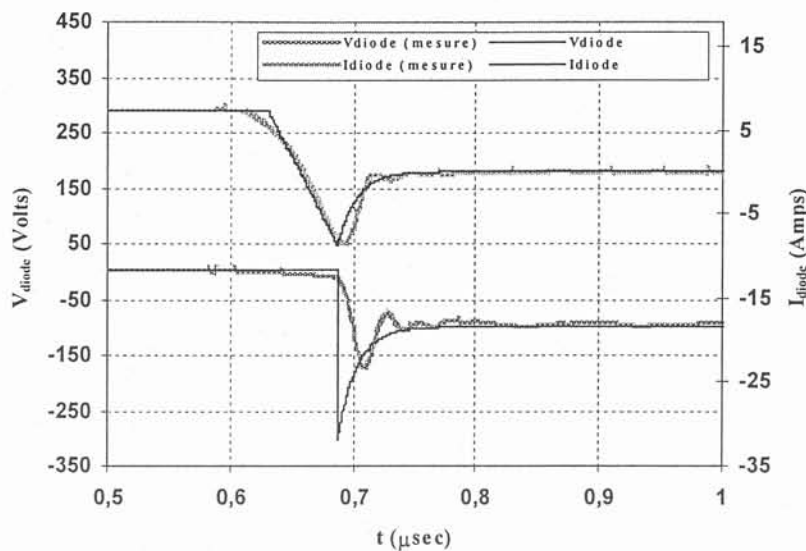


Fig. II-11: Formes d'ondes mesurées et simulées de diode type durant le recouvrement (modèle basée sur les charges localisée)

II.4.3.2. Modèles basés sur la résolution de l'équation de diffusion

Une des difficultés dans l'établissement des modèles précis des composants semi-conducteurs réside dans ce que le transport des charges dans le cristal est de nature distribuée et régi par des équations aux dérivées partielles. Les épaisseurs des couches de blocage requises pour la tenue en tension dans les composants de puissance sont telles que les temps de transit des porteurs (ou leurs durées de vie) sont comparables aux temps de commutation ; en conséquence l'approximation par constantes localisées ne permet plus de se ramener à des équations simplement différentielles (comme c'est le cas pour les composants micro-électronique).

On doit donc faire appel à la résolution des équations aux dérivées partielles relativement complexes qui régissent la dynamique des charges. A cet égard, dans la littérature on rencontre deux types d'approche différentes ; les approches approximatives et les approches purement numériques.

Les approches approximatives proposent une représentation de la répartition de la densité des porteurs $P(x,t)$ par des fonctions mathématiques élémentaires ; le principe de ces approximations est de transformer le système d'équations aux dérivées partielles en un système d'équations différentielles et donc simple à traiter. Le résultat dépend beaucoup du choix des fonctions employées ; un mauvais choix peut mal rendre compte du caractère distribué des phénomènes. Par exemple, une approximation par segments de droites [Widlar-87] décrit beaucoup moins bien la concentration des porteurs qu'une approximation par des fonctions hyperboliques, sinusoïdales et bi-sinusoïdales [Xu-92]; par contre une approximation par les séries de Fourier est plus précise surtout lorsque le nombre de termes de la série devient important [Leturcq-95]. L'approximation "interne" [Morel-94], proposée

par l'équipe de H. Morel au CEGLEY, et implantée dans le simulateur PACTE, semble également séduisante, du fait du faible nombre de fonctions nécessaires.

Les techniques purement numériques, telle que la méthode des différences finies, sont normalement lourdes à mettre en œuvre et difficiles à coupler avec l'environnement circuit [Metzner-94]. Malgré tout, il existe des outils numériques puissants qui permettent de traiter directement les équations de transport dans le semiconducteur de manière unidimensionnelle ou voir bidimensionnelle. Dans la suite du chapitre, nous allons décrire la méthode proposée par l'équipe de Ph. Leturcq du LAAS [Leturcq-96].

Avec les hypothèses simplificatrices de :

- Quasi-neutralité ($n-p=N_D$) pour une zone v
- Haute injection ($p \gg N_D \Rightarrow n=p$)
- Unidimensionnalité

le système d'équations aux dérivées partielles décrivant la répartition des concentrations des porteurs dans la zone centrale d'une diode pin se transforme en une équation aux dérivées partielles unique appelée équation de diffusion ambipolaire (équation (6)), celle-ci résume la nature distribuée des phénomènes de stockage de charge. La résolution « exacte » de cette équation est la base de la plupart des modèles dits distribués [Leturcq-95]. Ainsi le cœur des modèles des composants bipolaires de puissance :

- Diode pin [Massol-93]
- GTO [Kallala-94]
- Transistor bipolaire de puissance [Gillet-95]
- IGBT [Debie-96]
- et enfin un noyau général de dynamique de charge accompagné par l'approche régionale pour tous les dispositifs bipolaires [Berraies-98],

présenté par Ph. Leturcq et son équipe du LAAS, s'appuie sur la résolution de l'équation de diffusion de manière analogique.

II.5. Equation de diffusion ambipolaire

Avec les trois hypothèses évoquées au paragraphe précédent et à partir des équations du semiconducteur, l'équation de diffusion ambipolaire s'obtient comme suit :

$$D \frac{\partial^2 P(x,t)}{\partial x^2} = \frac{P(x,t)}{\tau} + \frac{\partial P(x,t)}{\partial t} \quad (6)$$

où $P(x,t)$ représente la distribution instantanée des porteurs (trous ou électrons), D la constante de diffusion ambipolaire et τ la durée de vie des porteurs ; les conditions aux limites de la zone de stockage s'expriment en fonction du courant par :

$$\left. \frac{\partial P}{\partial x} \right|_{x=x_1} = f(t), \quad \left. \frac{\partial P}{\partial x} \right|_{x=x_2} = g(t) \quad (7)$$

avec, en admettant l'uniformité de la distribution des densités de courant dans le plan des jonctions, Fig. II-12, les gradients aux limites de la base de la diode sont:

$$f(t) = \frac{1}{2qS} \left(\frac{I_{n1}}{D_n} - \frac{I_{p1}}{D_p} \right) \quad (8)$$

$$g(t) = \frac{1}{2qS} \left(\frac{I_{n2}}{D_n} - \frac{I_{p2}}{D_p} \right) \quad (9)$$

où I_{n1} , I_{n2} , I_{p1} et I_{p2} sont respectivement les courants des électrons et des trous aux frontières x_1 et x_2 , S est la surface ou section utile du composant, q est la charge élémentaire de l'électron et D_n et D_p les constantes de diffusion des électrons et des trous. On peut comparer cette équation avec celle du contrôle de charges utilisée dans la modélisation par la méthode de charge localisée; il s'avère que l'équation de contrôle de charges est en fait une version macroscopique de l'équation de diffusion ambipolaire qui s'obtient par une intégration de celle-ci sur l'étendue de la zone de stockage compte tenu des conditions aux limites.

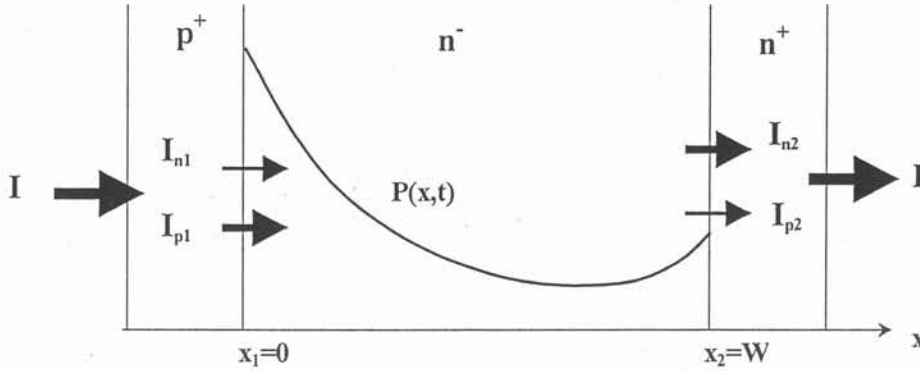


Fig. II-12. Les courants des électrons et des trous aux limites de la zone centrale d'une diode pin.

La représentation spectrale de la répartition des porteurs permet de transformer l'équation de diffusion en un système d'équations différentielles simples, mais avec un nombre infini d'équations d'ordre 1. La résolution analogique de ces dernières, avec un nombre fini d'équations, est la base des modèles distribués [Massol-93]. La résolution par analogie de circuits apporte une certaine souplesse permettant d'incorporer le circuit environnant du dispositif, mais en même temps elle nécessite des circuits auxiliaires qui contrôlent les transitions entre les différentes phases de fonctionnement du dispositif. Dans le modèle du LAAS, ces contrôles s'effectuent par des diodes et des amplificateurs opérationnels. Cependant, pour des raisons de compromis entre la précision de la description

des phénomènes, de compatibilité de représentation avec un ensemble d'environnement circuit offert par cette méthode et de disponibilité des concepteurs de ces modèles (dans le cadre du GdR IEP), nous avons choisi cette démarche de résolution de l'équation de diffusion, mais nous l'avons abordée avec une approche différente.

II.6. Rappel du modèle distribué

Le modèle distribué du LAAS est basé sur l'approche régionale dans la modélisation des composants semiconducteur. Nous allons présenter brièvement les principes de cette approche, ensuite nous verrons la formulation du modèle, qui constitue le noyau de la modélisation des composants bipolaires.

II.6.1. Approche régionale de la modélisation des composants semiconducteurs

Cette approche s'appuie sur la décomposition des structures en plusieurs régions, physiquement ou électriquement différenciables, délimitées par des frontières abruptes. Dans ces régions bien identifiées (dopage, largeur, section,...) on peut alors consentir à des approximations pour les équations fondamentales du semiconducteur. La figure II-13 illustre le cas d'une diode pin en vue de l'approche régionale. A titre d'exemple, une série d'instantanés de la distribution des porteurs pendant la phase de recouvrement inverse est montrée. On distingue au total cinq régions différentes :

- Emetteur p^+
- Zone de charge d'espace
- Zone de stockage
- Zone de drift
- Emetteur n^+

Les deux émetteurs p^+ et n^+ sont fortement dopés ; ils injectent des porteurs dans la zone centrale faiblement dopée lors de la polarisation directe ; ils ne sont pas considérés comme parfaits, donc une partie des courants est due aux porteurs minoritaires (les courants de recombinaison : I_{n1} et I_{p2}).

La région centrale faiblement dopée inclut elle-même trois zones ; la zone de charge d'espace apparaît en recouvrement inverse lorsque la charge dans la base s'évacue ; cette zone détermine la tenue en tension de la diode à chaque instant. Une autre zone dépeuplée ("drift") apparaît au côté de l'émetteur n^+ ; elle est considérée comme une zone ohmique. Dans cette zone les porteurs (réduits pratiquement aux seuls majoritaires) se déplacent par conduction.

Les mêmes cinq régions peuvent exister en polarisation directe, si la diode a été soumise à une tension inverse ; ainsi la remise en conduction commence par l'état bloqué dans lequel nous avons une charge stockée très faible qui correspond au courant de fuite de

la diode (de l'ordre de 10^{-14} - 10^{-12} A), la largeur de la zone de charge d'espace, à cet instant, est déterminée par la tension bloquée par la diode.

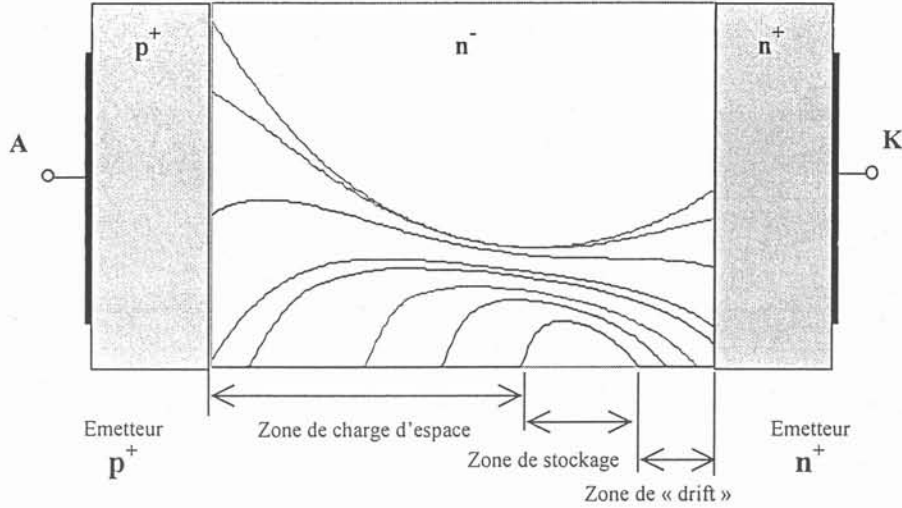


Fig. II-13: Différentes régions dans le cas d'une diode pin en recouvrement inverse

II.6.2. Approximation de la concentration des porteurs par série de Fourier

Comme nous l'avons évoqué, la résolution de l'équation de diffusion ambipolaire peut s'effectuer par approximation en utilisant des fonctions mathématiques élémentaires qui transformeront l'équation de diffusion en un système d'équations différentielles simples. La représentation spatiale de la concentration des porteurs par le développement en série de Fourier a été envisagée par l'équipe de modélisation au LAAS [Gillet-95].

En représentant la répartition $P(x,t)$ des porteurs par une fonction paire et en la définissant périodique d'espace avec une période de $2[x_2(t)-x_1(t)]$, Fig. II-14, la série de Fourier en cosinus qui décrit $P(x,t)$ est comme suit :

$$P(x, t) = v_0(t) + \sum_{k=1}^{\infty} v_k(t) \cos \left\{ \frac{k\pi [x - x_1(t)]}{x_2(t) - x_1(t)} \right\} \quad (10)$$

où les coefficients $v_0(t)$ et $v_k(t)$ sont définis par :

$$v_0(t) = \frac{1}{x_2 - x_1} \int_{x_1}^{x_2} P(x, t) \cdot dx \quad (11)$$

$$v_k(t) = \frac{2}{x_2 - x_1} \int_{x_1}^{x_2} P(x, t) \cdot \cos \left[\frac{k\pi (x - x_1)}{x_2 - x_1} \right] \cdot dx \quad (12)$$

En multipliant chaque terme de l'équation de diffusion (6) par les fonctions orthogonales de cosinus sous forme de $\cos[n\pi(x-x_1)/(x_2-x_1)]$ puis en intégrant sur le domaine $[x_1, x_2]$, on obtient le système d'équations suivant :

$$\frac{dv_0(t)}{dt} + \frac{v_0(t)}{\tau} = \frac{1}{x_2 - x_1} \{D[g(t) - f(t)] - I_0(t)\} \quad (13)$$

$$\frac{dv_k(t)}{dt} + v_k(t) \left[\frac{1}{\tau} + \frac{Dk^2\pi^2}{(x_2 - x_1)^2} \right] = \frac{2}{x_2 - x_1} \{D[(-1)^k g(t) - f(t)] - I_k(t)\} \quad (14)$$

avec

$$I_0(t) = v_0(t) \left(\frac{dx_2}{dt} - \frac{dx_1}{dt} \right) \quad (15)$$

$$I_k(t) = \frac{v_k(t)}{4} \left(\frac{dx_1}{dt} - \frac{dx_2}{dt} \right) + \sum_{\substack{n=1 \\ n \neq k}}^{\infty} \frac{n^2}{n^2 - k^2} v_n(t) \left[\frac{dx_1}{dt} - (-1)^{k+n} \frac{dx_2}{dt} \right] \quad (16)$$

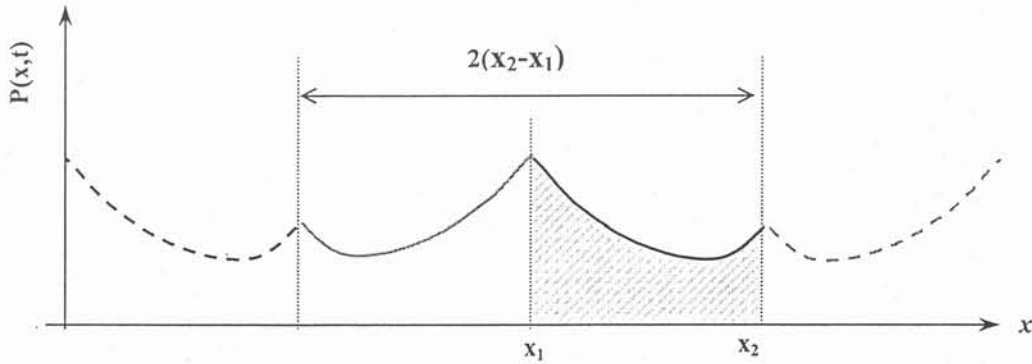


Fig. II-14: Représentation de la répartition $P(x,t)$, des porteurs par une fonction périodique paire

Le système d'équations (13) et (14) constitue la base de représentation de la dynamique des charges dans la zone de stockage pour des frontières pouvant se déplacer de manière quelconque. Suivant l'état des frontières on distingue deux cas :

- Frontière fixes ($x_1=0$ et $x_2=W$)
- Frontière mobiles ($dx_1/dt \neq 0$ et/ou $dx_2/dt \neq 0$)

Dans le modèle analogique, c'est en fait ce système d'équations qui est résolu par représentation analogique par lignes RC. L'existence de terme $(-1)^k$ dans les équations nécessite une décomposition du système en deux parties ; la première désigne les k pairs et la deuxième les k impairs. Les paramètres des lignes RC sont constants dans le cas des frontières fixes et variables dans le cas des frontières mobiles.

II.6.3. Démarche directe de résolution du système d'équations

Notre démarche de résolution consiste à mettre en équation ce système sous forme d'un système d'état et de le résoudre de manière directe. Ainsi le système d'équations ci-dessus s'écrit sous forme d'un système d'état :

$$\dot{\mathbf{X}} = \mathbf{f}(\mathbf{X}, t) \quad (17)$$

où \mathbf{X} est le vecteur des variables d'état, et \mathbf{f} est un vecteur des fonctions qui sont définies selon l'état des frontières x_1 et x_2 .

II.6.3.1. Cas des frontières fixes

Dans ce cas, on a évidemment $dx_1/dt = dx_2/dt = 0$, et le système d'équations (13) et (14) s'écrit comme suit :

$$\begin{bmatrix} \frac{dv_0}{dt} \\ \frac{dv_1}{dt} \\ \vdots \\ \frac{dv_N}{dt} \\ \frac{dI}{dt} \end{bmatrix} = \begin{bmatrix} \frac{1}{x_2 - x_1} & 0 & 0 & 0 & 0 & 0 & 0 \\ & \frac{2}{x_2 - x_1} & 0 & 0 & 0 & 0 & 0 \\ & & \ddots & 0 & 0 & 0 & 0 \\ & & & \ddots & 0 & 0 & 0 \\ & & & & \ddots & 0 & 0 \\ & & & & & \frac{2}{x_2 - x_1} & 0 \\ & & & & & & \frac{1}{L} \end{bmatrix} \times \begin{bmatrix} -\frac{x_2 - x_1}{\tau} v_0 + D[g(t) - f(t)] \\ -\frac{x_2 - x_1}{2} \left[\frac{1}{\tau} + \frac{D\pi^2 l^2}{(x_2 - x_1)^2} \right] v_1 + D[(-1)^1 g(t) - f(t)] \\ \vdots \\ -\frac{x_2 - x_1}{2} \left[\frac{1}{\tau} + \frac{D\pi^2 N^2}{(x_2 - x_1)^2} \right] v_N + D[(-1)^N g(t) - f(t)] \\ E - RI - V_{\text{diode}} \end{bmatrix} \quad (18)$$

où $N+1$ est le nombre de termes de la série de Fourier définissant la concentration dans la base ; la dernière ligne dans l'expression (18) correspond au circuit environnant le dispositif ; pour simplifier la présentation on choisit un simple circuit RL comme environnement du composant bipolaire. Dans le cas d'une diode pin, on a $x_1=0$ et $x_2=W$ (largeur de la base) , $f(t)$ et $g(t)$ sont les gradients de concentrations aux frontières (Fig. II-15), qui sont donnés par les relations (8) et (9). Les différentes composantes du courant aux frontières x_1 et x_2 s'obtiennent par les paramètres de recombinaisons dans les émetteurs par :

$$I_{n1} = qSh_n P_{x1}^2 \quad (19)$$

$$I_{p2} = qSh_p P_{x2}^2 \quad (20)$$

P_{x1} et P_{x2} sont les concentrations des porteurs aux frontières $x1$ et $x2$, les paramètres h_n et h_p sont les coefficients de recombinaison des électrons et des trous. Lorsque la zone de charge d'espace apparaît, en présence du champ électrique, une nouvelle composante du courant, le courant de déplacement, se présente dans cette zone. Si I_{Dep} représente le courant de déplacement, pour les deux autres courants I_{p1} et I_{n2} nous avons:

$$I_{p1} = I - I_{n1} - I_{Dep} \quad (21)$$

$$I_{n2} = I - I_{p2} \quad (22)$$

Notons que le nombre de termes de la série de Fourier est choisi selon la précision souhaitée, un nombre de onze est satisfaisant dans le cas de la diode pin.

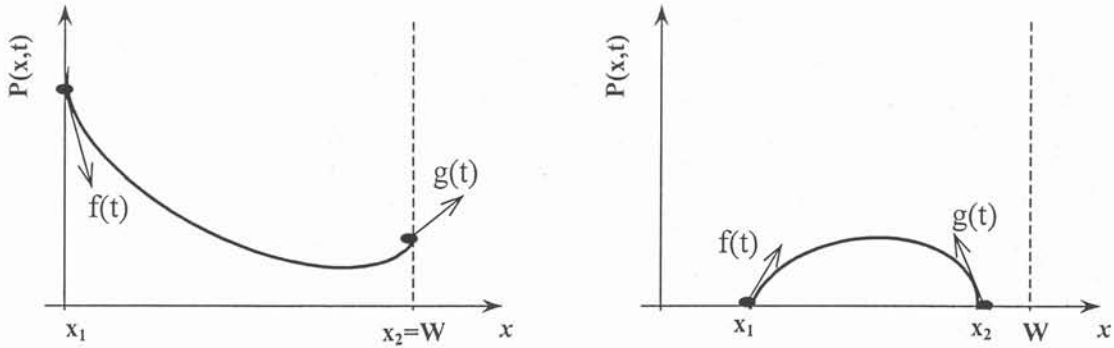


Fig. II-15: Les gradients aux frontières dans les deux cas (a) Frontières fixes (b) Frontières mobiles

II.6.3.2. Cas des frontières mobiles

Dans le cas où les frontières deviennent mobiles, une zone de charge d'espace et/ou une zone « drift » sur le côté n^+ apparaît, et les dérivées de dx_1/dt et/ou dx_2/dt ne sont plus nulles. Dans ce cas une ou deux variables d'état s'ajoutent au problème, donc deux nouvelles équations sont nécessaires au système d'état. Ces équations peuvent s'obtenir à partir des dérivées des concentrations aux frontières. A partir des instants où les concentrations des porteurs aux frontières s'annulent, elles demeureront nulles jusqu'à ce que les frontières redeviennent immobiles et que les concentrations aux frontières recommencent à évoluer. Si on remplace x par x_1 dans l'équation (10), nous obtenons :

$$P_{x1} = \sum_{k=0}^{\infty} v_k(t) \quad (23)$$

et sa dérivée :

$$\frac{dp_{x1}}{dt} = \sum_{k=0}^{\infty} \frac{dv_k(t)}{dt} \quad (24)$$

A la fin du recouvrement dès que la tension s'inverse, la concentration au côté de jonction P_{x1} devient nulle, à partir de cet instant nous allons forcer sa dérivée à zéro (la méthode de résolution du système d'équations par Runge-Kutta l'oblige):

$$\sum_{k=0}^{\infty} \frac{dv_k(t)}{dt} = 0 \quad (25)$$

Quant à la frontière x_2 , nous avons les expressions similaires :

$$P_{x2} = \sum_{k=0}^{\infty} (-1)^k v_k(t) \quad (26)$$

$$\sum_{k=0}^{\infty} (-1)^k \frac{dv_k(t)}{dt} = 0 \quad (27)$$

Les expressions de P_{x1} et P_{x2} sont formées par les sommes dont le nombre de termes va jusqu'à l'infini; ceci n'est pas réalisable. Nous avons donc choisi un nombre limité de termes de série de Fourier, ceci entraîne une erreur de troncature dans la résolution de l'équation de diffusion (6). Cette erreur a été corrigée par les résistances (paire et impaire) additionnelles dans le modèle analogique [Leturcq-96]. Puisque cette erreur modifie considérablement le comportement simulé du dispositif, nous l'avons prise en considération par une démarche similaire aux résistances additionnelles.

II.6.3.3. Erreur de troncature

Comme les équations négligées dans la résolution globale du problème ont des constantes de temps petites, leur annulation ne perturbe pas le comportement dynamique des charges dans la zone centrale de diode, mais par contre ces équations possèdent des termes statiques qui ont une valeur accumulée assez importante ; cette valeur accumulée se voit évidemment dans les expressions de P_{x1} et P_{x2} .

Pour corriger cette erreur de troncature, on complète les termes dynamiques par des termes statiques. En effet, la résolution de l'équation de diffusion en statique est connue analytiquement. On peut donc la décomposer en série de Fourier pour obtenir la correction désirée. L'erreur de troncature sera définie par la différence entre les valeurs exactes de

concentrations (calculées analytiquement) et celles obtenues par N+1 premiers termes de cette série de Fourier.

L'équation de diffusion en statique s'obtient par (6) en annulant le terme de dérivée par rapport au temps :

$$D \frac{d^2 P_s(x)}{dx^2} - \frac{P_s(x)}{\tau} = 0 \quad (28)$$

La résolution de l'équation (28) est comme suit :

$$P_s(x) = c_1 \cdot e^{\frac{x-x_1}{\sqrt{D\tau}}} + c_2 \cdot e^{-\frac{x-x_1}{\sqrt{D\tau}}} \quad (29)$$

c_1 et c_2 se calculent à partir des gradients aux frontières f et g :

$$c_1 = \sqrt{D\tau} \frac{g e^{\frac{x_2-x_1}{\sqrt{D\tau}}} - f}{(e^{\frac{x_2-x_1}{\sqrt{D\tau}}} - 1)(e^{\frac{x_2-x_1}{\sqrt{D\tau}}} + 1)} \quad (30)$$

$$c_2 = \sqrt{D\tau} e^{\frac{x_2-x_1}{\sqrt{D\tau}}} \frac{g - f e^{\frac{x_2-x_1}{\sqrt{D\tau}}}}{(e^{\frac{x_2-x_1}{\sqrt{D\tau}}} - 1)(e^{\frac{x_2-x_1}{\sqrt{D\tau}}} + 1)} \quad (31)$$

Le développement de $P_s(x)$ en série de Fourier donne :

$$P_s(x) = v_{s0} + \sum_{k=1}^{\infty} v_{sk} \cos \left[\frac{k\pi(x-x_1)}{x_2-x_1} \right] \quad (32)$$

où les coefficients v_{sk} sont calculés par les expressions suivantes :

$$v_{s0} = \frac{D\tau(g-f)}{(x_2-x_1)} \quad (33)$$

$$v_{sk} = \frac{2D\tau(x_2-x_1)[(-1)^k g - f]}{(x_2-x_1)^2 + D\tau\pi^2 k^2} \quad (34)$$

Par définition l'erreur de troncature, $P_{er}(x)$, s'obtient par la différence entre la valeur exacte et la valeur estimée de $P_s(x)$ par N+1 premiers termes de la série de Fourier correspondante :

$$P_{er}(x) = P_s(x) - \left\{ v_{s0} + \sum_{k=1}^N v_{sk} \cos \left[\frac{k\pi(x-x_1)}{x_2-x_1} \right] \right\} \quad (35)$$

A chaque instant, on peut estimer l'erreur de troncature par la relation (35) en portant les gradients et les valeurs x_1 et x_2 à cet instant. Donc les relations (23) et (26) s'écrivent comme suit :

$$P_{x1} = \sum_{k=0}^N v_k(t) + P_{er}(x_1) \quad (36)$$

$$P_{x2} = \sum_{k=0}^N (-1)^k v_k(t) + P_{er}(x_2) \quad (37)$$

Et leurs dérivées dans les expressions (24) et (27) s'écrivent :

$$\sum_{k=0}^N \frac{dv_k(t)}{dt} + \frac{dP_{er}(x_1)}{dt} = 0 \quad (38)$$

$$\sum_{k=0}^N (-1)^k \frac{dv_k(t)}{dt} + \frac{dP_{er}(x_2)}{dt} = 0 \quad (39)$$

Les relations (38) et (39) seront utilisées dans la formulation du problème dans le cas des frontières mobiles (cf. § section 6.3.5).

II.6.3.4. Courant de déplacement

Dés l'apparition de la zone de charge d'espace, en plus du courant de diffusion et du courant de conduction, un courant de déplacement, I_{Dep} , dont la cause principale est la variation dans le temps du champ électrique, s'ajoute au courant total :

$$I_{Dep} = \epsilon S \frac{\partial E_{max}}{\partial t} = -S \frac{d}{dt} \left(\int_0^{x_1} \rho(x) \cdot dx \right) \quad (40)$$

où ϵ est la permittivité du silicium ($1,04 \cdot 10^{-12}$ F/cm) et $\rho(x)$ est la densité de charge (dans cette zone il s'agit de la charge des atomes dopants soit $qN_D(x)$ où $N_D(x)$ représente le profil de dopage ; si on prend en compte les charges en transit la densité de charges s'obtient par l'expression suivante :

$$\rho(x) = qN_D(x) + \frac{|J_p|}{v_l} \quad (41)$$

où v_l représente la vitesse limite des porteurs dans le silicium. Le courant de déplacement est alors :

$$I_{Dep} = -qSN_D \frac{dx_1}{dt} - q \frac{d}{dt} \left[\frac{|I_p|}{qv_l} x_1 \right] \quad (42)$$

Comme ce courant est une fonction de la dérivée de x_1 , il est d'une nature discontinue à l'instant où la frontière x_1 commence à évoluer (ou quand elle redevient fixe) ; cette discontinuité est plus considérable lorsque la frontière x_1 redevient fixe ; il faudra prendre une énorme précaution à la mise en équation de ce courant ainsi qu'à la résolution des équations à ces instants. Quant au modèle analogique, il fait apparaître une capacité parcourue par le courant I_{Dep} qui intervient lorsque x_1 commence à évoluer ; en d'autres termes par une capacité de $S\rho(x)$ en parallèle avec une source de tension x_1 . La figure II-16 montre le schéma du circuit analogique concernant le courant de déplacement dans la dernière version du modèle analogique ; dans ce schéma, la source de tension prend la valeur de l'intégrale (40). Ce dernier est calculé numériquement [Berraies-98].

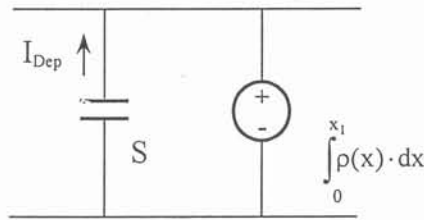


Fig. II-16: Schéma du circuit intervenant pour modéliser le courant de déplacement

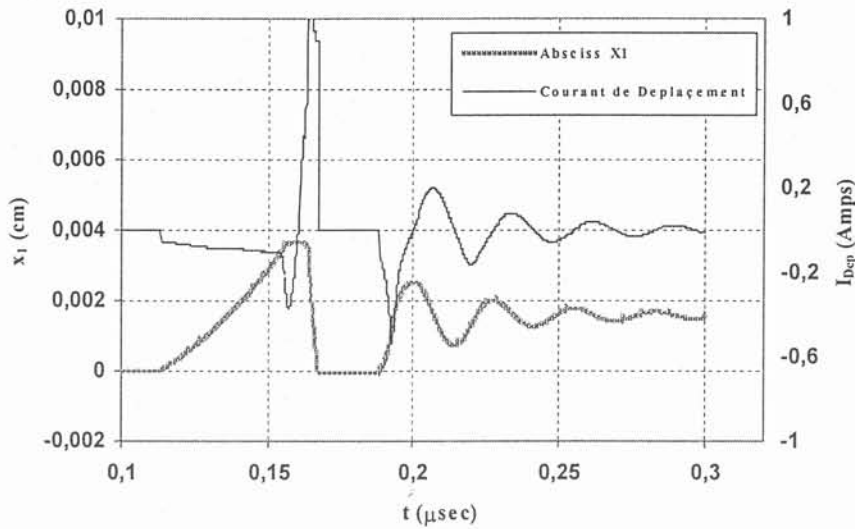


Fig. II-17: Discontinuités du courant de déplacement dues aux dérivées discontinues de x_1 et $|I_p|$.

Physiquement cette structure est irréalisable lorsqu'il s'agit d'une étude dynamique ; c'est pour cette raison que ce genre de structure n'est pas permis dans certains simulateurs. C'est encore pour cette raison que, dans le modèle analogique, on est conduit à ajouter par exemple une résistance en série avec la capacité traduisant le courant de déplacement afin d'éviter des problèmes numériques.

Dans notre approche, nous avons introduit le courant de déplacement dans la formulation sans ajouter de résistance, mais nous avons pris les précautions nécessaires. Un pas de calcul assez petit dans la résolution aux instants critiques, nous a aidé à surmonter les problèmes numériques liés à l'apparition et à la disparition du courant de déplacement. La figure II-17 montre les discontinuités du courant de déplacement liées à l'apparition et la disparition de la zone de charge d'espace.

II.6.3.5. Formulation du problème en cas des frontières mobiles

En prenant en compte l'erreur de troncature et le courant de déplacement, nous allons former un système d'équations d'état sous la forme (17). Pour simplifier l'introduction des relations (38) pour le cas de x_1 mobile et (39) pour le cas de x_2 mobile, nous avons utilisé les dérivées numériques de $P_{er}(x_1)$ et $P_{er}(x_2)$ dans la programmation. Ainsi, nous avons évité les calculs analytiques lourds de ces dérivées, mais aussi, nous avons beaucoup économisé du temps de calcul, car au lieu d'inverser une matrice $(N+4) \times (N+4)$ mal conditionnée, il suffit d'inverser au maximum une matrice 2×2 (voir pied de page à la fin de cette section). Pour le calcul du courant de déplacement, dans un premier temps, pour simplifier, nous ne prenons pas en compte l'influence des porteurs en transit. Nous pouvons écrire la continuité du courant à l'interface zone de charge d'espace et zone de stockage :

$$I_{p1} + I_{n1} = I_p + I_n + I_{Dep} \quad (43)$$

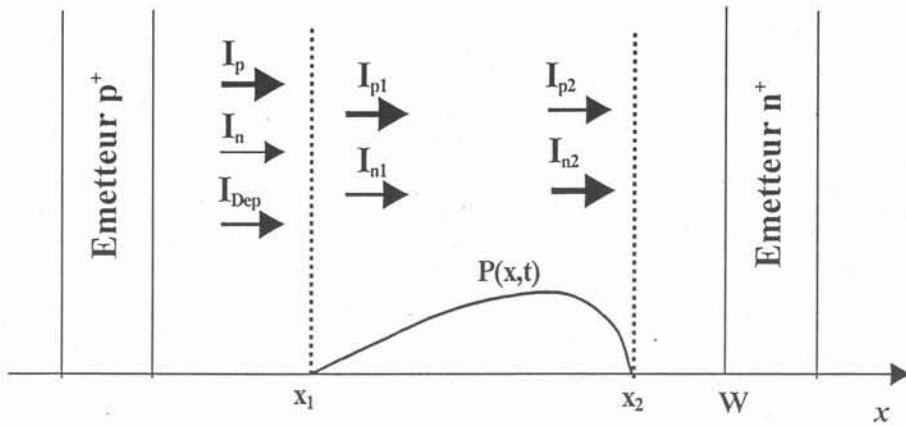


Fig. II-18: Différentes composantes du courant total à l'interface de la zone de charge d'espace et la zone de stockage

Le courant de trous est le même à l'interface zone de charge d'espace et zone de stockage ($I_p = I_{p1}$), nous avons donc :

$$I_{n1} = I_n + I_{Dep} \quad (44)$$

Notons que le système d'équations, que l'on établira, caractérise l'évacuation des charges stockées, et qu'il ne décrit que les phénomènes entre les deux frontières mobiles x_1 et x_2 . En prenant en compte le courant de déplacement (42), et en négligeant l'influence des porteurs en transit le gradient de la concentration des porteurs à $x=x_1$, s'écrit alors sous la forme suivante :

$$f(t) = \frac{1}{2qS} \left(\frac{I_{n1}}{D_n} - \frac{I_{p1}}{D_p} \right) - \frac{N_D}{2D_n} \frac{dx_1}{dt}$$

ou

$$f(t) = \hat{f}(t) - \frac{N_D}{2D_n} \frac{dx_1}{dt} \quad (45)$$

Donc le système d'équations décrivant le cas des frontières mobiles s'obtient par les équations de (13) à (16), (38), (39), (45). Quant au deuxième terme du courant de déplacement (équation (42)), afin d'éviter de lourds calculs analytiques, nous avons fait la démarche suivante ; on peut écrire la relation (42) sous forme suivante :

$$I_{Dep} = -qSN_D \frac{dx_1}{dt} - \frac{|I_{p1}|}{v_1} \frac{dx_1}{dt} - \frac{x_1}{v_1} \frac{d|I_{p1}|}{dt} \quad (46)$$

ou

$$I_{Dep} = -qS \left(N_D + \frac{|I_{p1}|}{qSv_1} \right) \frac{dx_1}{dt} - \frac{x_1}{v_1} \frac{d|I_{p1}|}{dt} = -qSN_{eff} \frac{dx_1}{dt} + I_{Dep-lp} \quad (47)$$

où

$$N_{eff} = N_D + \frac{|I_{p1}|}{qSv_1} \quad (48)$$

Le premier terme du courant de déplacement est donc pris en compte dans l'expression de $f(t)$, (45), et le deuxième terme, I_{Dep-lp} , est calculé numériquement et s'ajoute au courant des électrons :

$$f(t) = \frac{1}{2qS} \left(\frac{I_{n1} + I_{Dep-lp}}{D_n} - \frac{I_{p1}}{D_p} \right) - \frac{N_{eff}}{2D_n} \frac{dx_1}{dt} \quad (49)$$

le système d'équations d'états est donc (50), dans ce système comme les dérivées de P_{er-x1} et P_{er-x2} sont traitées numériquement, elle apparaissent sur le côté droit des équations.

$$\begin{aligned}
 & \begin{bmatrix} \frac{dv_0}{dt} \\ \frac{dv_1}{dt} \\ \cdot \\ \cdot \\ \frac{dv_N}{dt} \\ \frac{dl}{dt} \\ \frac{dx_1}{dt} \\ \frac{dx_2}{dt} \end{bmatrix} = \begin{bmatrix} x_2 - x_1 & 0 & 0 & 0 & 0 & 0 & 0 & -v_0 - \frac{DN_{eff}}{2D_n} & v_0 \\ \frac{x_2 - x_1}{2} & 0 & 0 & 0 & 0 & 0 & \frac{v_1}{4} + \sum_{n=1, n \neq 1}^N \frac{n^2}{n^2 - 1^2} v_n - \frac{DN_{eff}}{2D_n} & -\frac{v_1}{4} - \sum_{n=1, n \neq 1}^N \frac{(-1)^{n+1} n^2}{n^2 - 1^2} v_n \\ \cdot & \cdot & 0 & 0 & 0 & 0 & \cdot & \cdot & \cdot \\ \cdot & \cdot & \cdot & 0 & 0 & 0 & \cdot & \cdot & \cdot \\ \frac{dv_N}{dt} & \cdot & \cdot & 0 & 0 & 0 & \cdot & \cdot & \cdot \\ \frac{dl}{dt} & \cdot & \cdot & \cdot & 0 & 0 & \cdot & \cdot & \cdot \\ \frac{dx_1}{dt} & \cdot & \cdot & \cdot & \frac{x_2 - x_1}{2} & 0 & \frac{v_k}{4} + \sum_{n=1, n \neq N}^N \frac{n^2}{n^2 - N^2} v_n - \frac{DN_{eff}}{2D_n} & -\frac{v_k}{4} - \sum_{n=1, n \neq N}^N \frac{(-1)^{n+N} n^2}{n^2 - N^2} v_n \\ \frac{dx_2}{dt} & 1 & 1 & \cdot & \cdot & 1 & 0 & 0 & 0 \\ & 1 & (-1)^1 & \cdot & \cdot & (-1)^N & 0 & 0 & 0 \end{bmatrix}^{-1} \\
 & \times \begin{bmatrix} -\frac{x_2 - x_1}{\tau} v_0 + D[g(t) - \dot{f}(t)] \\ -\frac{x_2 - x_1}{2} \left[\frac{1}{\tau} + \frac{D\pi^2 l^2}{(x_2 - x_1)^2} \right] v_1 + D[(-1)^1 g(t) - \dot{f}(t)] \\ \cdot \\ \cdot \\ \cdot \\ -\frac{x_2 - x_1}{2} \left[\frac{1}{\tau} + \frac{D\pi^2 N^2}{(x_2 - x_1)^2} \right] v_N + D[(-1)^N g(t) - \dot{f}(t)] \\ E - RI - V_{diode} \\ -\frac{dP_{er-x1}}{dt} \\ -\frac{dP_{er-x2}}{dt} \end{bmatrix} \quad (50)
 \end{aligned}$$

La matrice à inverser dans l'expression (50) peut être décomposée en quatre sous-matrices, ainsi avec une simple opération matricielle, il suffira d'inverser une matrice 2×2^1 .

¹ La relation matricielle (50) peut s'écrire comme suit:

$$\begin{bmatrix} A^{(N+2) \times (N+2)} & B^{(N+2) \times 2} \\ C^{2 \times (N+2)} & D^{2 \times 2} \end{bmatrix} \begin{bmatrix} Y'_1 \\ Y'_2 \end{bmatrix} = \begin{bmatrix} U_1 \\ U_2 \end{bmatrix}$$

où $Y'_1 = [v'_0(t) \ v'_1(t) \ \dots \ v'_N(t) \ I']$, $Y'_2 = [x'_1(t) \ x'_2(t)]$ et $D = \begin{bmatrix} 0 & 0 \\ 0 & 0 \end{bmatrix}$. Nous avons donc:

$$\begin{cases} A \cdot Y'_1 + B \cdot Y'_2 = U_1 \\ C \cdot Y'_1 = U_2 \end{cases}$$

Les résultats de la résolution de ce système sont les suivants:

$$\begin{cases} Y'_1 = A^{-1} \cdot U_1 - A^{-1} \cdot B \left[(C \cdot A^{-1} \cdot B)^{-1} \cdot (C \cdot A^{-1} \cdot U_1 - U_2) \right] \\ Y'_2 = (C \cdot A^{-1} \cdot B)^{-1} \cdot (C \cdot A^{-1} \cdot U_1 - U_2) \end{cases}$$

dans ces deux dernières expressions, la matrice A est diagonale, donc facile à inverser et le résultat du produit $C \cdot A^{-1} \cdot B$ est une matrice 2×2 .

II.6.4. Chute de tension dans le composant

Dans un modèle unidimensionnel la tension entre les contacts terminaux A et B d'un dispositif semiconducteur peut être calculée à partir de l'expression générale:

$$V = U_T \left\{ \ln \left[\frac{(pn)_x}{n_i^2} \right] + \int_A^x \frac{J_p}{qpD_p} dx + \int_x^B \frac{J_n}{qnD_n} dx \right\} \quad (51)$$

où x est un point quelconque [Leturcq-78]. Pour des raisons de précision dans l'évaluation numérique des intégrales, l'abscisse x doit être choisie là où le produit pn des concentrations de porteurs est maximum, c'est à dire à la jonction pn du dispositif polarisée en direct.

Dans ces conditions le premier terme de l'expression (51) correspond à l'approximation de Boltzmann :

$$V_J = 2U_T \ln \left(\frac{P_{x1}}{n_i} \right) \quad (52)$$

La contribution des régions fortement dopées et étroites d'émetteurs dans la chute de tension est négligeable, donc l'intégrale de l'expression (51) étendue aux seules régions quasi-neutres du dispositif s'exprime par une chute de tension ohmique et un deuxième terme connu comme tension Dember :

$$V_\Omega = r_d I + V_{Dember} \quad (53)$$

où la résistance dynamique r_d et la tension de Dember sont [Debie-96] :

$$r_d = \int_{x_1}^{x_2} \frac{dx}{qS(\mu_n + \mu_p) p(x)} \quad (54)$$

$$V_{Dember} = 2U_T \frac{D_n}{D_n + D_p} \ln \left(\frac{P_{x2}}{P_{x1}} \right) \quad (55)$$

Lorsqu'une zone de charge d'espace à fort champ se développe dans la base peu dopée du dispositif, elle établit une tension d'origine électrostatique qui constitue alors la composante essentielle de la tension supportée par le dispositif. Le calcul de cette tension peut par ailleurs être obtenu par intégration (deux fois) de l'équation de Poisson :

$$\frac{\partial^2 V_{CE}}{\partial x^2} = \frac{\rho(x)}{\epsilon} \quad (56)$$

Nous allons prendre en compte l'influence des porteurs en transit sur le champ créé dans la zone de charge d'espace. En pratique la limite de la zone de charge d'espace voit un profil d'impuretés graduel lorsque elle se développe vers une région fortement dopée, donc un profil exponentiel semble proche de la réalité. Avec les notations indiquées sur la figure II-19 ce profil s'exprime par:

$$N_D(x) = N_{DB} + (N_{DJ} - N_{DB})e^{\frac{x-W}{L_D}} \quad (57)$$

En ce cas, la tension supportée V_{CE} , avec la relation (41), est calculée comme suit :

$$V_{CE} = -\frac{q}{2\epsilon} \left\{ \left(N_{DB} + \frac{|I_p|}{qSv_i} \right) x_1^2 - L_D (L_D + x_1) (N_{DJ} - N_{DB}) e^{\frac{W}{L_D}} + L_D^2 (N_{DJ} - N_{DB}) e^{\frac{x_1-W}{L_D}} \right\} \quad (58)$$

Donc en assemblant les différentes contributions de tension nous avons :

$$V = V_J + V_{\Omega} + V_{CE} \quad (59)$$

Dans le cas de diode pin, l'expression (59) établit la tension de la diode aussi bien en recouvrement inverse qu'à la mise en conduction.

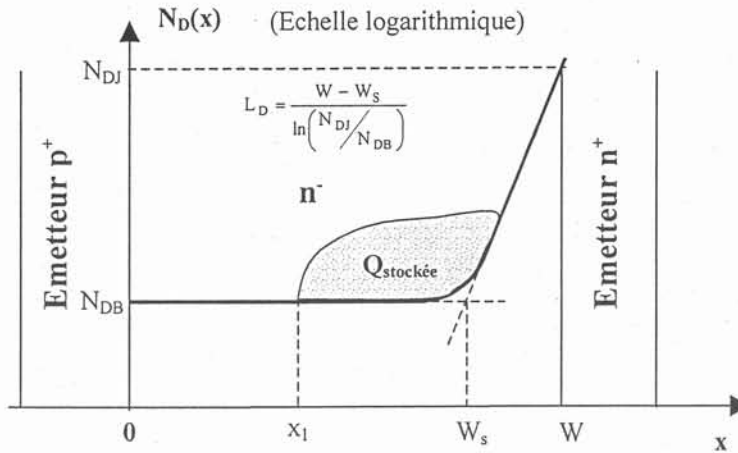


Fig. II-19: Profil d'impuretés de la base n^-

II.7. Implantation du modèle dans un logiciel commercialisé

La représentation de la dynamique des charges dans la base des dispositifs bipolaires sous la forme générale d'un système d'équations d'états a l'avantage d'être traitable par les logiciels grand public de programmation ou par les logiciels type automatique et mathématique qui permettent de résoudre un système d'équations d'états non linéaire.

Le logiciel MATLAB semble un choix raisonnable car il possède des outils de calcul numérique très performants et aussi des outils de calcul analytique. Cet ensemble possède en plus de bonnes performances en calcul matriciel et une bibliothèque des fonctions de résolution des équations différentielles avec un pas de calcul entièrement adaptatif. Cependant, il faut noter que la bibliothèque de résolution des équations différentielles n'est pas adaptée aux problèmes avec des paramètres fortement non linéaires et avec des changements de systèmes d'équations d'états. Dans ce cas, il faut adapter les fonctions de cette bibliothèque au problème. Le script MATLAB, que nous avons mis au point, suit l'organigramme de la figure II-20 [Akhbari-99/1].

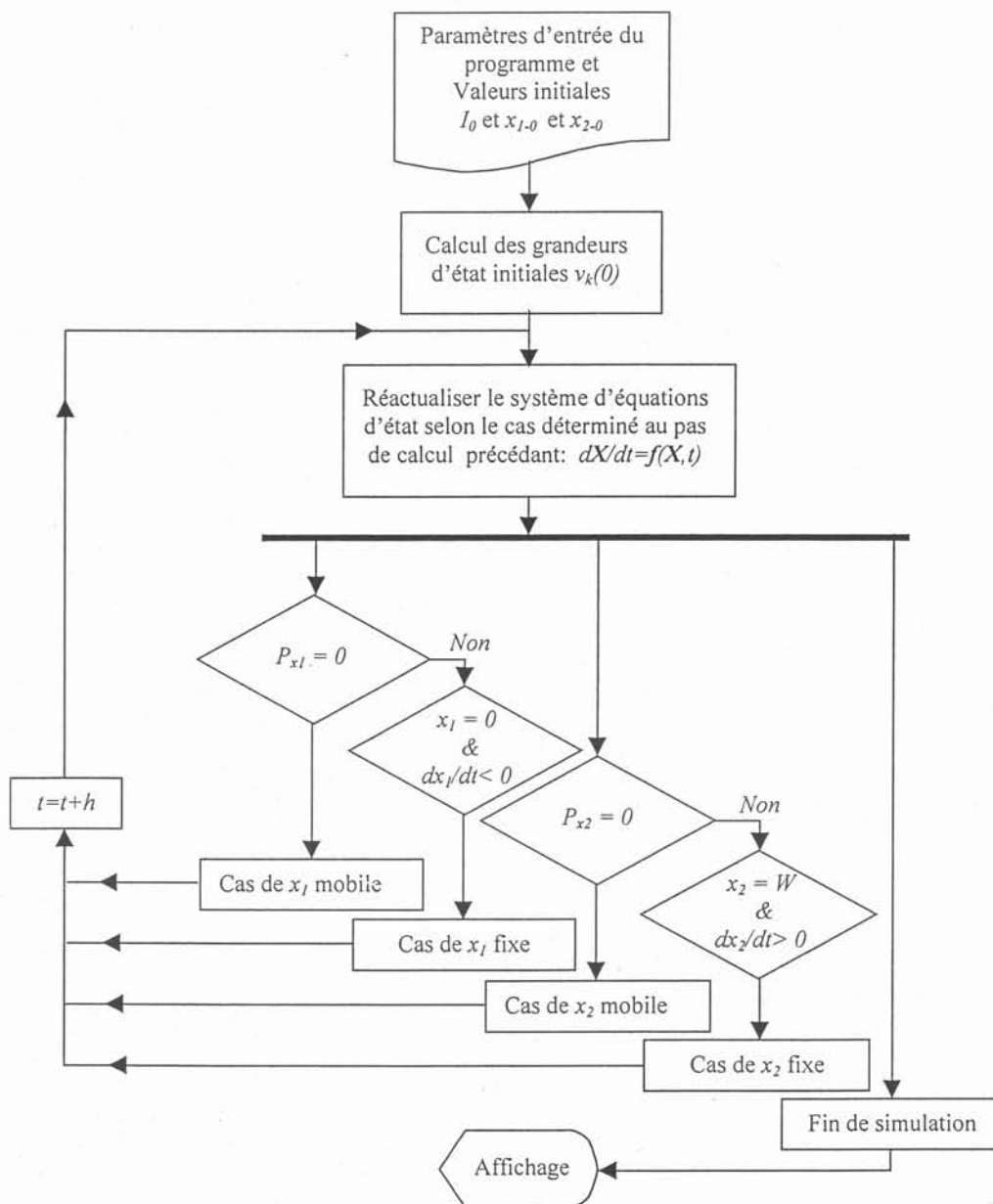


Fig. II-20: Organigramme du programme réalisé pour la dynamique des charges.

Les entrées du programme, sont :

Les paramètres physiques de la diode :

W : Largeur de la base faiblement dopée

S : Section efficace de la base

τ : Durée de vie des porteurs (trous et électrons)

N_{DB}, N_{DJ}, L_D : Dopage de la base (Fig. II-19)

h_n, h_p : Paramètre de recombinaison des électrons et des trous dans les régions de contacte

μ_n, μ_p : Mobilités des électrons et des trous

Les paramètres du circuit environnant (dans cet exemple, un circuit simple RL) :

E : Tension d'alimentation

L : Inductance du circuit du dispositif

R : Résistance du circuit du dispositif

Les valeurs initiales :

I_0 : Courant initial du dispositif dans le cas où la diode est initialement passante

x_{1-0} et x_{2-0} : Largeurs de la zone de charge d'espace et de la zone de « drift », dans le cas où la diode est initialement bloquée.

Il est à noter que les valeurs initiales de v_k sont calculées à partir des valeurs initiales des courants des porteurs. Nous allons voir le processus d'initialisation du programme dans les paragraphes qui suivent.

A titre d'exemple, en recouvrement inverse d'une diode, les grandeurs d'états initiales de v_k sont calculées à partir du courant initial, I_0 , et $x_{1-0}=0$, $x_{2-0}=W$. La diode est d'abord en régime saturé (frontières fixes), puis lorsque la concentration à la jonction devient nulle la zone de charge d'espace commence à se développer (x_1 mobile). Dans certains cas une autre zone vide de porteurs apparaît sur le côté opposé (x_2 mobile). Selon les conditions du circuit environnant, il peut y avoir une remise en conduction, cela veut dire que la diode peut revenir en régime saturé (x_1 redevient fixe comme c'est le cas sur la figure II-17).

II.7.1. Initialisation des variables

Les grandeurs d'états de v_k dépendent initialement des courants des porteurs et des abscisses initiales x_{1-0} et x_{2-0} . Pour calculer les valeurs de $v_k(0)$, on considère que le système est en régime statique à l'instant $t=0$. Il y a deux cas à envisager, comme le montre la figure II-21. La courbe (a) montre la concentration dans la zone v lorsque le dispositif est en conduction, et la courbe (b) montre le cas de l'ouverture du dispositif. Ce dernier est caricaturé car en réalité il n'existe aucune charge stockée (une charge qui correspond au courant de fuite du dispositif de l'ordre de 10^{-14} - 10^{-12} A).

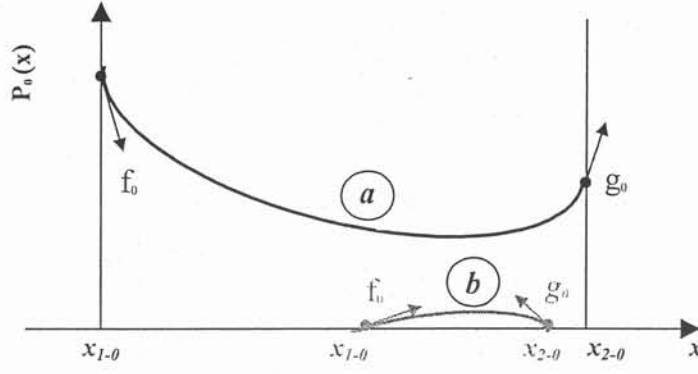


Fig. II-21: Les concentrations initiales dans les deux cas (a) en conduction (état saturé)
(b) à la fermeture (état bloqué)

Puisque l'on est en statique, la résolution de l'équation de diffusion ambipolaire en statique donnée par l'expression (29) est juste. Comme on peut l'observer, cette expression est une fonction des courants initiaux des porteurs par le biais des expressions de f et g . Cela veut dire que le calcul des courants initiaux, I_{p1} , I_{n1} , I_{p2} et I_{n2} , est indispensable pour initialiser les variables d'état. Il faut cependant noter que l'influence des courants des porteurs minoritaires, I_{n1} et I_{p2} , est négligeable pour les paramètres h_p et h_n relativement petits mais aussi pour les durées de vie des porteurs relativement courtes. Les courants des porteurs sont en fait les résultats de la résolution d'un système d'équations algébriques et non linéaires qui se compose des équations des courants dans le dispositif :

$$\begin{aligned} I_{n1} &= qSh_n P_0(x_1)^2 \\ I_{p2} &= qSh_p P_0(x_2)^2 \\ I_{p1} &= I - I_{n1} \\ I_{n2} &= I - I_{p2} \end{aligned} \quad (60)$$

où $P_0(x_1)$ et $P_0(x_2)$ sont calculés à partir de la résolution de l'équations de diffusion en statique en remplaçant x par x_1 et x_2 :

$$\begin{aligned} P_0(x) = & \left[\sqrt{D\tau} \frac{ge^{\frac{x_2-x_1}{\sqrt{D\tau}}} - f}{(e^{\frac{x_2-x_1}{\sqrt{D\tau}}} - 1)(e^{\frac{x_2-x_1}{\sqrt{D\tau}}} + 1)} \right] e^{\frac{x-x_1}{\sqrt{D\tau}}} + \\ & \left[\sqrt{D\tau} e^{\frac{x_2-x_1}{\sqrt{D\tau}}} \frac{g - fe^{\frac{x_2-x_1}{\sqrt{D\tau}}}}{(e^{\frac{x_2-x_1}{\sqrt{D\tau}}} - 1)(e^{\frac{x_2-x_1}{\sqrt{D\tau}}} + 1)} \right] e^{-\frac{x-x_1}{\sqrt{D\tau}}} \end{aligned} \quad (61)$$

Afin d'étudier l'influence des courants de porteurs minoritaires sur l'initialisation, nous avons calculé ces courants pour les diodes avec différentes valeurs des paramètres h_n et

h_p et différentes durées de vie des porteurs ; les résultats de ces calculs sont donnés dans le tableau (1). Dans ce tableau, trois cas de figure sont distingués (les valeurs utilisées sont tirées des exemples traités dans la littérature ([Gillet-95],[Berraies-98],[Leturcq-96])). Les paramètres de la diode étudiée sont les suivants :

$$W=40 \mu\text{m}$$

$$S=4 \text{ mm}^2$$

$$\mu_n=1430 \text{ cm}^2/\text{Vsec}$$

$$\mu_p=495 \text{ cm}^2/\text{Vsec}$$

Une indication de l'erreur commise en initialisation est la charge stockée en régime saturée (en conduction), dans le tableau II-1. Dans ce tableau Q_i est la charge stockée sans prendre en compte les courants de porteurs minoritaires, Q_{Inp} est la charge stockée exacte (calculée en prenant en compte les courants de porteurs minoritaires) et $\Delta Q\%$ indique l'erreur de la charge initiale.

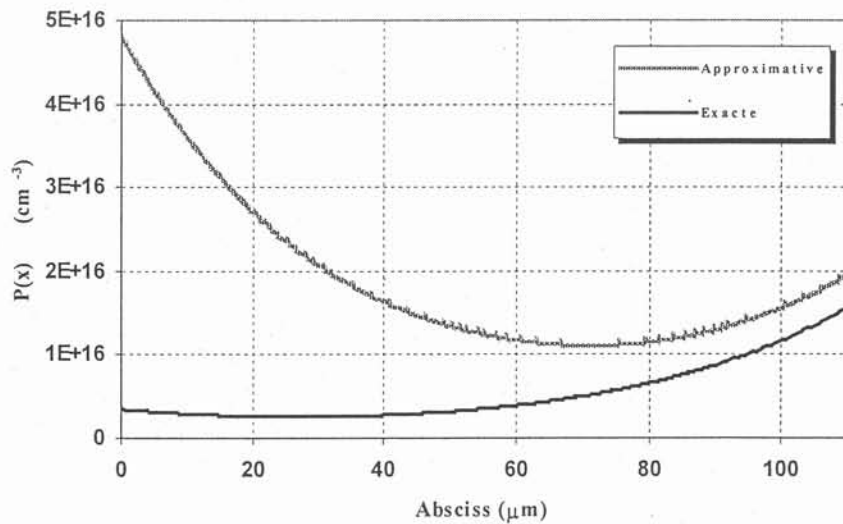
En comparant les cas de figure (1) et (2), on voit clairement l'influence des paramètres h des émetteurs, ceci est important car les diode rapides possèdent de grands paramètres de recombinaison h . Les grands paramètres h entraînent des courants inverses maximums (I_{RM}) moins importants et cela parce que l'évacuation des charges stockées se fait en partie par les courants des porteurs minoritaires. Les cas (1) et (3) du tableau II-1 montrent l'influence de la durée de vie des porteurs, on voit que l'erreur d'initialisation est plus importante lorsque la durée de vie des porteurs est plus grande, cette différence provient du fait que les courants des porteurs minoritaires constituent une grande partie du courant total.

A titre d'exemple la figure II-22 montre la concentration initiale des porteurs dans la zone v . Cette figure correspond à l'état statique de conduction d'une diode de calibre 50A/1000V. Cette diode provient d'un module de puissance ("bras de pont") SIEMENS [Berraies-98] constitué de deux transistors IGBT et de leurs diodes antiparallèles. Les paramètres ajustés pour cette diode dans un point de fonctionnement précis (20A/100V) sont $W=110\mu\text{m}$, $\tau=600\text{ns}$, $h_n=2\times 10^{-11}\text{cm}^4/\text{s}$, $h_p=1,5\times 10^{-14}\text{cm}^4/\text{s}$. Le cas de cette diode pour le même courant donne des résultats illustrés sur la figure II-22.

Dans ce cas précis, les courants des porteurs minoritaires jouent un rôle déterminant et donc leur élimination peut engendrer des divergences ou des résultats faux. Pour le courant total de 20A, nous avons calculé $I_{n1}=14,1\text{A}$ et $I_{p1}=5,9\text{A}$.

Tableau II-1: Influence des courants de porteurs minoritaires sur l'initialisation pour différents cas de figure des paramètres de recombinaison et de la durée de vie des porteurs

		I_{n1}	I_{p1}	I_{n2}	I_{p2}	Q_I	Q_{Imp}	$\Delta Q\%$
(1)	$h_n=1,5 \times 10^{-14}$, $h_p=1,5 \times 10^{-14}$, $\tau=99$ ns	0,63	9,37	9,87	0,13	0,99	0,91	8,22
(2)	$h_n=1,5 \times 10^{-14}$, $h_p=10^{-13}$, $\tau=99$ ns	0,63	9,37	9,40	0,60	0,99	0,87	14,03
(3)	$h_n=1,5 \times 10^{-14}$, $h_p=1,5 \times 10^{-14}$, $\tau=198$ ns	1,22	8,78	9,63	0,36	1,98	1,67	18,87

Fig. II-22: Concentration initiale calculée de manière approximative; $I=I_{p1}=I_{n2}$ et de manière précise $I=I_{n1}+I_{p1}=I_{n2}+I_{p2}$ pour un exemple tiré de [Berraies-98].

II.8. Vérification du modèle de dynamique de charge

A titre d'exemple, la figure II-23, représente l'évolution de la répartition de la concentration des porteurs $P(x,t)$ simulée à partir d'un état statique saturé, les paramètres de la diode étudiée sont les suivants : $W=100$ μm , $S=1$ cm^2 , $\tau=1$ μs , $D_n=U_T \times \mu_n=25$ cm^2/s , $D_p=U_T \times \mu_p=10$ cm^2/s . Cette diode est soumise à une rampe de courant $dI/dt=-1000$ $\text{A}/\mu\text{s}$ à partir d'un état initial statique de conduction $I_0=300$ A. Le nombre de termes de la série de Fourier choisi pour cette simulation est de 11 et l'influence des courants des porteurs minoritaires n'est pas prise en compte, donc $f(t)$ et $g(t)$ sont :

$$f(t) = \frac{-I(t)}{2qSD_p}, \quad g(t) = \frac{I(t)}{2qSD_n}$$

De l'instant initial $t=0$ à $t=600$ ns la zone de stockage occupe la base entière (régime saturé). Au-delà de $t=600$ ns, il apparaît d'abord une zone de charge d'espace sur le côté de la jonction métallurgique puis une autre zone désertée se crée sur le côté opposé. Ces simulations sont tout à fait comparables avec celles obtenues par la méthode de résolution par analogie de circuit [Gillet-95].

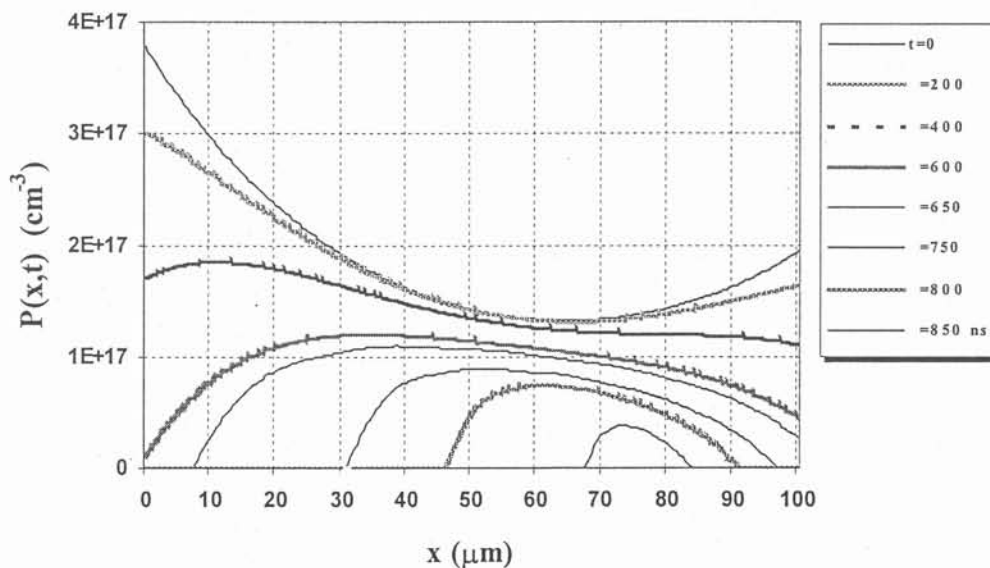


Fig. II-23: Evolution de la répartition de concentrations des porteurs dans la base d'une diode pin ($W=100 \mu\text{m}$, $\tau=1 \mu\text{s}$)

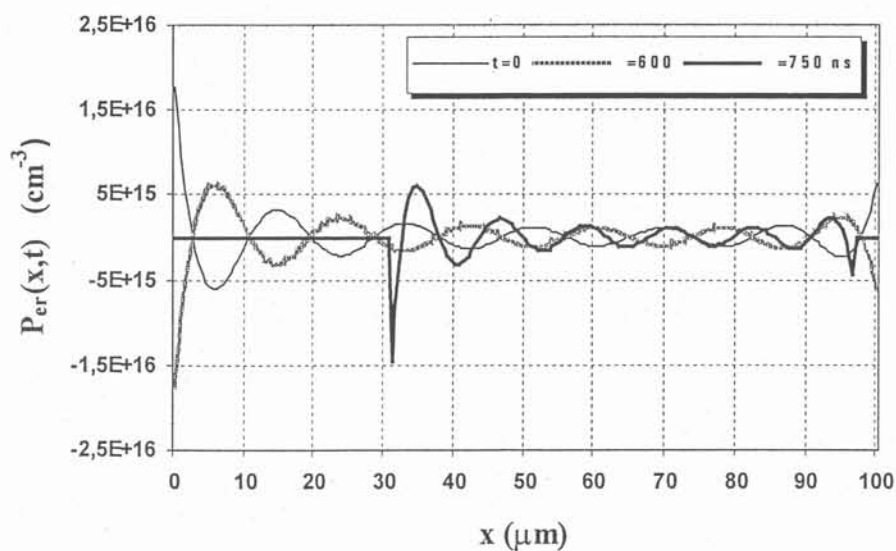


Fig. II-24: Erreur de troncature calculée sur la concentration des porteurs

La figure II-24 montre l'erreur de troncature calculée pour trois instants dont les concentrations sont illustrées sur la figure II-23. On constate que cette erreur est importante surtout aux frontières x_1 et x_2 , (de l'ordre de 10^{16}) ce qui pourrait retarder la détection du passage à zéro pour P_{x1} et P_{x2} ; ceci engendrerait à son tour une mauvaise évolution temporelle de la tension du dispositif. Il est donc capital de considérer cette correction pour détecter les changements de phases (frontières fixes ou mobiles).

II.9. Vérification du modèle de diode pin

II.9.1. Recouvrement inverse de diode

Une très grande importance a été donnée à la modélisation du fonctionnement de la diode de puissance lors du recouvrement inverse. C'est en fait pendant cette période que la diode provoque des pertes importantes en créant des surintensités et des surtensions. Ces dernières sont indispensables à connaître pour un dimensionnement optimal. Afin de vérifier le modèle de diode pin programmé dans MATLAB, nous avons retenu deux exemples dont on a les résultats de simulation par la démarche analogique en recouvrement inverse.

Le premier exemple est une diode avec recouvrement doux, on a choisi celle-ci pour valider globalement notre démarche. Les résultats sont présentés sur les figures II-25 et II-26. La figure II-25 montre une excellente concordance entre les deux démarches analogique et algorithmique.

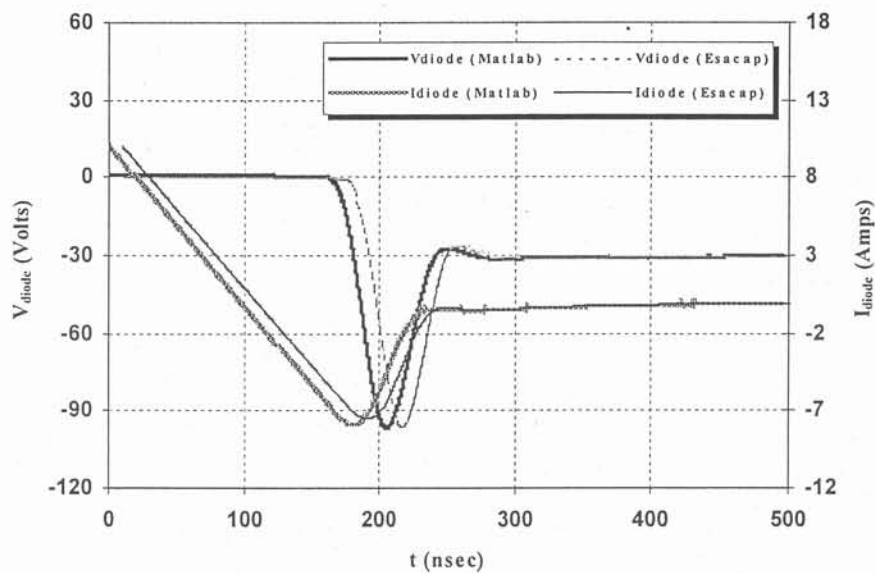


Fig. II-25: Recouvrement doux d'une diode; Simulation Matlab-Esacap, Paramètres de la diode: $W=90 \mu\text{m}$, $S=4 \text{ mm}^2$, $\tau=200 \text{ ns}$, $N_{DB}=10^{14} \text{ cm}^{-3}$, $N_{DJ}=10^{18} \text{ cm}^{-3}$, $L_D=0,56 \mu\text{m}$,

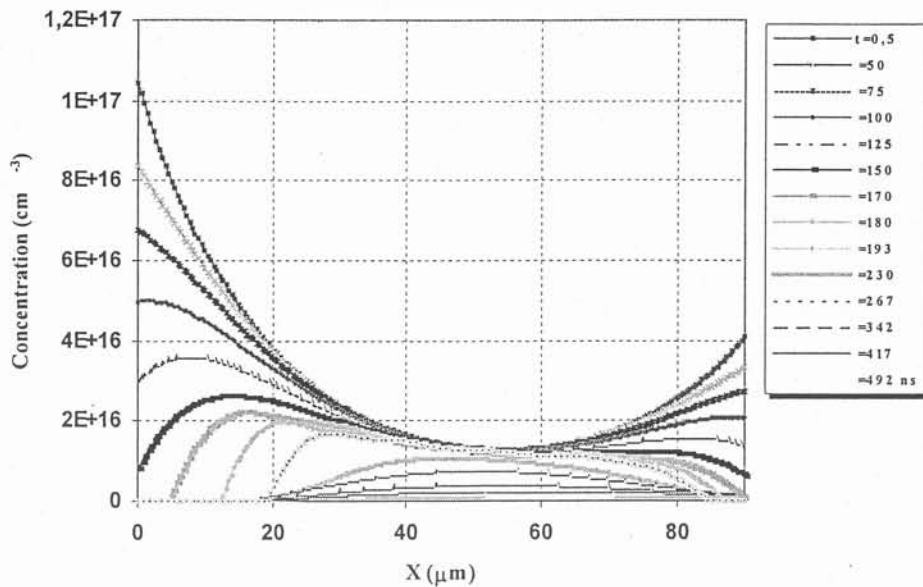


Fig. II-26: Evolution de la répartition des concentrations des porteurs dans la base de la diode de figure II-25 pendant le recouvrement inverse (Simulation Matlab).

Cette concordance est aussi bonne sur la forme d'onde du courant que sur celle de la tension. L'évolution de la répartition des concentrations des porteurs est montrée pour quelques instants donnés sur la figure II-26. Celle-ci permet d'expliquer les phénomènes se produisant pendant le recouvrement inverse au sein de la diode.

Le deuxième exemple est une diode réelle fabriquée par SGS-Thomson spécifiquement pour le LAAS. Cette diode est conçue dans le but de recherche. Le courant commuté faible ($I_0=1\text{Amp}$), la base étroite de la diode ($W=40\text{ }\mu\text{m}$) font que la charge stockée est très rapidement évacuée et que la totalité du courant de la diode sera de nature "courant de déplacement"; après un demi cycle d'oscillation une charge stockée réapparaît dans la zone centrale. Cette charge est moins importante que la charge stockée initiale. A partir de cet instant, l'histoire se répète pour une nouvelle charge stockée initiale (correspondant au courant maximum à la première oscillation). Tout cela est effectué avec des conditions de circuit qui entraînent un recouvrement dur de la diode. La Figure II-27 montre les résultats de simulation obtenus par la méthode analogique et par la démarche algorithmique. Les forme d'ondes de cette figure montrent que tant qu'il existe une charge stockée dans la zone centrale les deux simulations donnent le même résultat (jusqu'à l'instant $t=0,165\text{ }\mu\text{s}$); dès que toute la zone centrale devient désertée ($x_1-x_2\approx 0$), il ne reste que des porteurs en transit qui assurent la continuité du courant (le courant est non nul et négatif à cet instant). En parallèle, il y a un courant de nature capacitive qui se rajoute au courant des porteurs en transit. La différence entre les simulations provient des différentes manières de prendre en compte le courant de déplacement dans les deux méthodes.

Néanmoins, nous allons voir dans le chapitre IV que, lorsque le modèle du circuit environnant est également plus réaliste, les simulations avec le modèle algorithmique correspondent bien aux mesures.

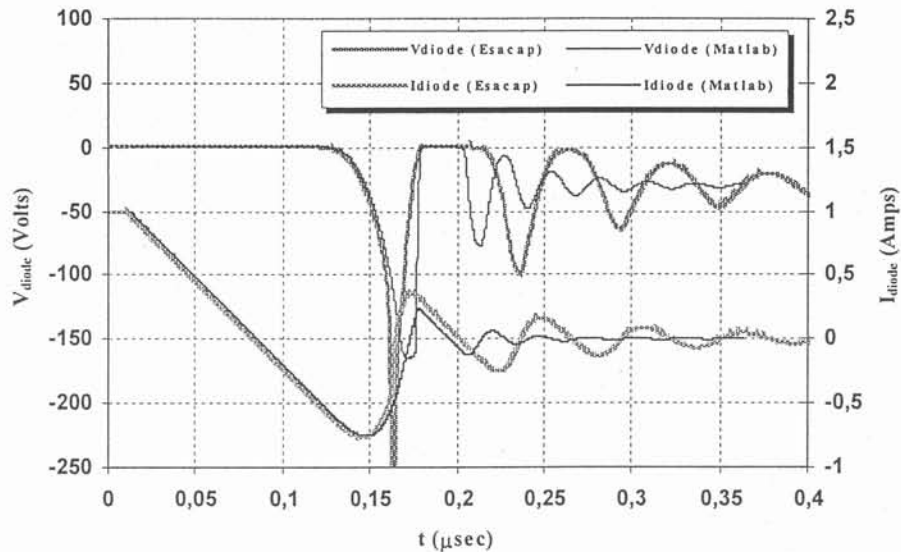


Fig. II-27: Recouvrement dur d'une diode; Simulation Matlab-Esacap, paramètres de la diode: $W=40 \mu\text{m}$, $S=4 \text{ mm}^2$, $\tau=99 \text{ ns}$, $N_{DB}=10^{14} \text{ cm}^{-3}$, $N_{DJ}=10^{18} \text{ cm}^{-3}$, $L_D=0,56 \mu\text{m}$

II.9.2. Mise en conduction de la diode

Il est bien possible à ce stade d'étudier le comportement dynamique de la diode lors de sa mise en conduction. Comme pour le recouvrement inverse, nous considérons la diode dans un simple circuit RL série. Les résultats des simulations obtenus par les deux approches analogique et algorithmique sont illustrés sur les figures II-28 et II-29. Les paramètres de la diode sont; $W=90 \mu\text{m}$, $S=4 \text{ mm}^2$, $\tau=200 \text{ ns}$. La diode est placée dans un circuit avec $R=30 \Omega$, $L=2,24 \mu\text{H}$ et $E=30 \text{ V}$.

Il y a globalement une bonne concordance entre les deux simulations. L'écart sur la tension de la diode au niveau de son maximum est dû au fait que dans la simulation par Esacap (approche analogique) la tension ohmique de la diode n'est pas calculée par la formule exacte, l'équation (54). La figure II-29 montre la répartition des concentrations des porteurs pour les différents instants de la mise en conduction. La diode est supposée dans un état initial avec une charge nulle dans la base.

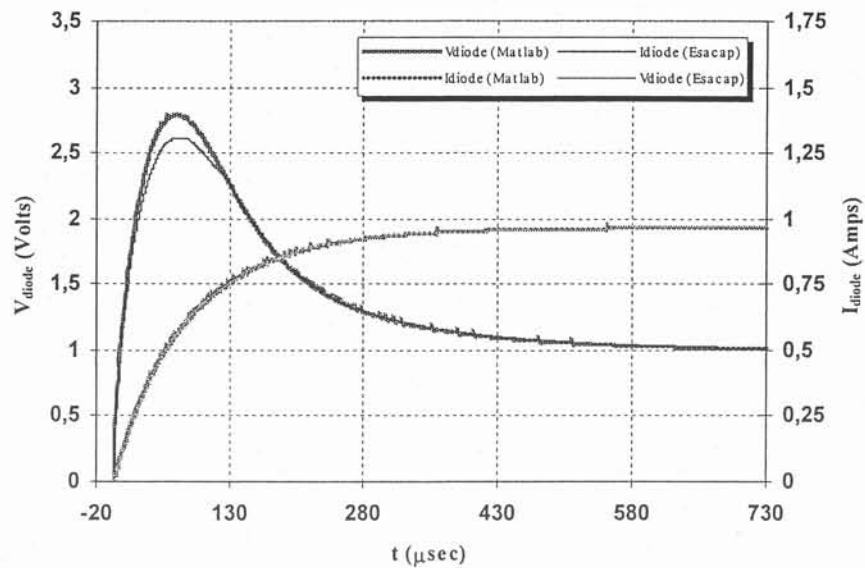


Fig. II-28: Mise en conduction d'une diode; Simulation Matlab-Esacap, Paramètres de la diode: $W=90 \mu\text{m}$, $S=4 \text{ mm}^2$, $\tau=200 \text{ nsec}$, $N_{DB}=10^{14} \text{ cm}^{-3}$, $N_{DJ}=10^{18} \text{ cm}^{-3}$, $L_D=0,56 \mu\text{m}$

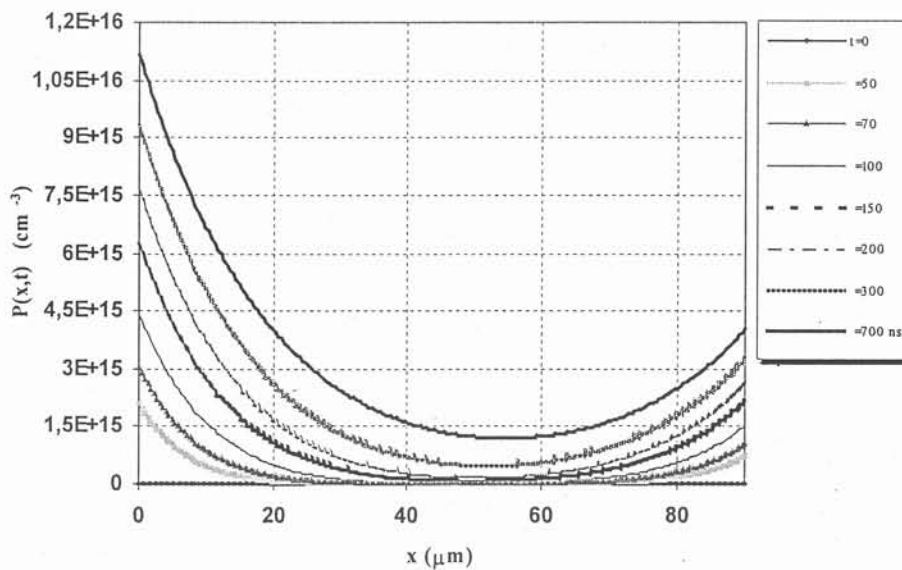


Fig. II-29: Evolution des répartitions des porteurs dans la zone centrale de la diode durant la mise en conduction; Simulation Matlab (Diode: $W=90 \mu\text{m}$, $S=4 \text{ mm}^2$, $\tau=200 \text{ nsec}$, $N_{DB}=10^{14} \text{ cm}^{-3}$, $N_{DJ}=10^{18} \text{ cm}^{-3}$, $L_D=0,56 \mu\text{m}$)

II.10. Conclusion

La structure des composants bipolaires de puissance, différente des jonctions pn de la microélectronique, leur impose des comportements spécifiques liés à des couches larges et faiblement dopées. Nous avons pu voir que les macro-modèles destinés aux composants de signaux type SPICE ne sont pas en mesure de décrire correctement les phénomènes

physiques se produisant au sein des composants de puissance. Si les macro-modèles développés à partir de composants standard des simulateurs de circuits peuvent satisfaire parfois l'utilisateur, dans un environnement donné, ce n'est plus le cas lorsque les conditions du circuit environnant changent. Seuls les micro-modèles décrits par les équations fondamentales des semiconducteurs peuvent rendre compte précisément de ces phénomènes.

Dans ce chapitre nous avons vu les raisons qui ont motivé notre choix d'adopter une démarche pour mettre en œuvre le modèle distribué de la dynamique des charge proposé par l'équipe de modélisation du LAAS. Ce modèle présenté sous la forme d'un système d'équations d'état est programmé dans MATLAB. L'approche algorithmique suivie a l'avantage d'être plus générale que celle analogique initialement proposée par les concepteurs de ce modèle; le système d'équations d'état est implantable dans tous les logiciels de programmation ou des logiciels type automatique.

Ainsi, le modèle de la dynamique des charges constitue le noyau du modèle de la diode pin, ainsi que d'autres composants bipolaires de puissance. La comparaison des résultats avec l'approche analogique effectuée par Ph. Leturcq et son équipe au LAAS à l'aide du simulateur de circuit ESACAP et l'approche algorithmique présentée dans ce mémoire confirme notre démarche. Il reste toutefois des divergences entre les deux approches lorsque l'ouverture de diode est de nature "snappy" ce qui dans un environnement réaliste est peu observé. Sur ce point, le modèle distribué devra encore progresser.

Chapitre III

Modèle du transistor MOS de puissance

III.1. Introduction

III.2. Transistor MOS de puissance

III.3. Modèles du transistor MOS

III.4. Physique du MOSFET de puissance en statique

III.5. Circuit équivalent du MOSFET de puissance (modèle dynamique)

III.6. A propos des capacités de MOSFET

III.7. Mesure des capacités de MOSFET

III.8. Modèle comportemental du MOSFET

III.9. Conclusion

III.1. Introduction

Dans le contexte de la prédétermination du comportement d'un convertisseur, ce chapitre est consacré à la modélisation du transistor Métal-Oxyde-Semiconducteur (MOS) de puissance. L'objectif essentiel est de mieux maîtriser le fonctionnement de ce transistor en commutation, en vue de le modéliser. Après une description brève de la structure du MOS de puissance, nous allons voir les tendances technologiques dans la fabrication des MOSFETs de puissance et puis nous rappellerons leur principe de fonctionnement. Ce dernier nous permettra d'expliquer de façon relativement précise les phénomènes physiques qui se produisent au sein du dispositif lors de la commutation. Le modèle du transistor MOS de puissance sera présenté et un effort particulier sera porté sur le lien entre les paramètres du modèle et les phénomènes physiques. L'extraction des paramètres dynamiques du modèle s'effectuera à l'aide des travaux déjà accomplis au LEG par Y. Lembeye et J.P. Keradec. L'insuffisance de la méthode d'extraction des capacités parasites du MOSFET pour les mesure au-delà de la tension de seuil, nous a poussé à utiliser des formes d'ondes en commutation pour une caractérisation complète. En fin de ce chapitre nous présenterons des simulation et des mesures pour différents points de fonctionnement afin de valider le modèle proposé. Une comparaison sera faite avec les simulations de SPICE en utilisant le modèle de MOSFET de puissance niveau 3, affiné par le module PARTs de SPICE.

III.2. Transistor MOS de puissance

Le transistor MOS de puissance est apparu sur le marché des composants discrets en 1976. Depuis, son utilisation dans le domaine de l'électronique de puissance a fortement progressé. Ce dispositif présente des qualités, face à son concurrent bipolaire, qui sont principalement:

- Impédance d'entrée élevée et donc une facilité de commande par la grille isolée
- Grande vitesse de commutation liée à l'absence de stockage des porteurs minoritaires
- Coefficient de température négatif qui empêche l'emballement thermique

De plus, il nécessite une très faible puissance pour rester à l'état passant. Son inconvénient majeur réside dans sa chute de tension relativement élevée en régime de conduction. Cet inconvénient est d'autant plus marqué que le dispositif est prévu pour soutenir une tension élevée à l'état bloqué. C'est pourquoi de nombreuses technologies ont été développées afin d'améliorer la résistance du transistor MOS à l'état passant ($R_{DS(on)}$) [Beydoun-94].

III.2.1. Structure de VDMOS

Il est clair que les transistors MOS latéraux ne peuvent satisfaire aux exigences de tenue en tension et de courant élevé. Une structure verticale comme celle de diode PIN est

plus adéquate. De nombreuses technologies ont été développées pour réaliser une structure verticale. La filière la plus répandue actuellement est celle des transistors VDMOS multicellulaires obtenus par le procédé double-diffusion.

Ce dispositif a une structure quatre couches, stabilisée depuis plus de dix ans et rencontrée universellement à quelques détails près. Une seule cellule d'une telle structure est représentée sur Fig. III-1. Les dopages des deux couches n^+ de la source et du drain sont approximativement identiques et élevés ($\approx 10^{19} \text{ cm}^{-3}$). La couche intermédiaire p constitue la région où le canal s'établit entre la source et le drain. Cette région est dopée typiquement à 10^{16} cm^{-3} . La couche n^- est la région de "drift" du drain et elle est dopée à 10^{14} - 10^{15} cm^{-3} . Cette région détermine la tension de claquage du dispositif [Beydoun-94].

La zone p, connectée à la source, joue le même rôle que le substrat dans un transistor MOS classique: pour une polarisation de grille suffisamment positive, la région p s'inverse sous l'oxyde et le canal n conducteur, ainsi formé en surface du cristal, réunit les régions de source et de drain; les lignes de courant ne s'orientent verticalement que dans la région du drain [Leturcq,Beydoun-94].

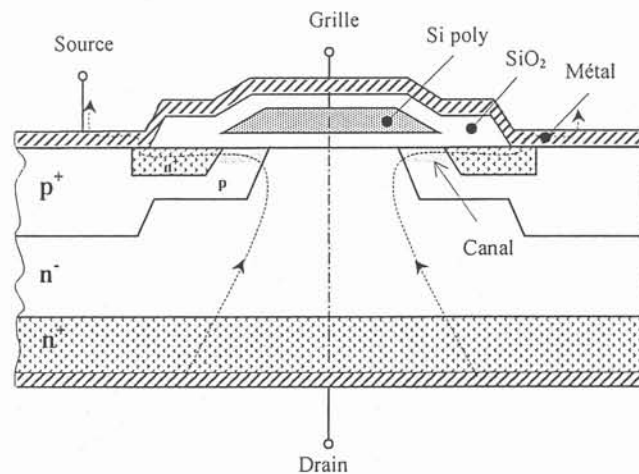


Fig. III-1: Structure schématique d'un transistor VDMOS.

III.2.2. Tendances technologiques

Les tendances technologiques dans la fabrication des MOSFETs de puissance sont orientées sur deux axes principaux; minimiser la résistance à l'état passant, $R_{DS(on)}$ et augmenter la vitesse de commutation du dispositif. Durant de nombreuses années, le but ultime du concepteur des interrupteurs semiconducteurs de puissance était de réduire la résistance $R_{DS(on)}$ et la tension conductrice de grille¹ qui est une mesure de la puissance du "driver". Toutefois il apparaît maintenant clairement que dans le cas de certaines applications, d'autres facteurs tels que la charge de grille peuvent jouer un rôle d'une importance égale.

¹ $V_{con} = V_{th} + I_d / g_m$ où V_{th} est la tension de seuil du MOSFET et g_m représente la transconductance du canal. La puissance de driver à une fréquence de découpage f_d est alors $P_d = V_{con} Q_g f_d$.

Dernièrement, Infineon Technologies (le groupe de semiconducteur de Siemens) a annoncé l'arrivée des MOSFETs de puissance qui sont produits par la technologie CoolMOS™. IR (International Rectifier) n'a pas beaucoup tardé, il a lancé une technologie équivalente au CoolMOS de Siemens [SiemensWeb,IRWeb]. Quant à Philips, il produit récemment des MOSFETs de puissance avec la technologie de MOS en tranchée (TrenchMOS™).

La technologie CoolMOS a modifié le lien entre la résistance $R_{DS(on)}$ et la tension de blocage. Pour les MOSFETs classiques, cette résistance pour une surface donnée de puce augmente quadratiquement avec la tension de claquage. Pour le CoolMOS ce rapport est linéaire (Fig. III-2). En fait la capacité du blocage de la tension est établie en deux directions verticale et horizontale avec une structure tridimensionnelle (3D) [Lorenze-98] [Lorenze-99]. Essentiellement, la nouvelle conception permet un courant, pour une surface donnée de puce du transistor MOSFET, qui approche la performance d'un IGBT sans engendrer de courant de queue [Lai-99].

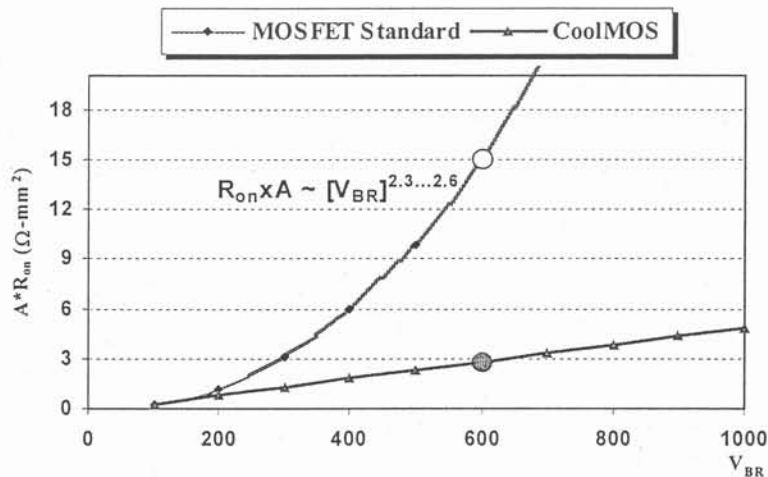


Fig. III-2: Lien de la résistance $R_{DS(on)}$ et la tension de claquage par la technologie de CoolMOS.

La résistance de la zone d'épitaxie constitue une part importante de $R_{DS(on)}$ à haute tension (Fig. III-3); la nouvelle technologie s'appuie sur une structure d'épitaxie de drain fondamentalement différente. Dans le nouvel arrangement, six couches alternatives de n et de p produisent une région neutre avec une capacité de blocage de tension élevée. A l'état passant la structure produit une voie de basse résistance en parallèle à une autre voie qui bloque la tension élevée (Fig. III-4). Le résultat est une capacité de blocage plus élevée avec une couche épitaxie plus mince. L'incorporation d'un nombre restreint de couches supplémentaires augmente cette tension de blocage [Siemens-98]. A titre d'exemple, le tableau III-1 montre l'évolution de $R_{DS(on)}$ pour les composants d'IR [IRWeb]. Cette évolution pour les composants de 500V montre un facteur d'amélioration de plus de 5 offert par la nouvelle technologie de CoolMOS.

La nouvelle génération des MOSFETs de puissance de Philips s'appuie sur la technologie de TrenchMOS. Une technique bien connue pour réduire la résistance du

MOSFET à l'état passant est d'augmenter le nombre de cellules en parallèle. Dans les DMOS's verticaux l'approche était de construire des cellules de MOSFET plus petites afin que, pour une surface donnée de silicium, un nombre plus grand de celles-ci soit implantable. Pourtant à mesure que les cellules deviennent plus petites, elles commencent à réagir réciproquement l'une sur l'autre entre les cellules voisines. Ceci aboutit à une restriction du courant du dispositif et donc à limiter la réduction de $R_{DS(on)}$. Cet effet est connu sous nom d'"effet JFET". Le procédé de TrenchMOS avec sa structure verticale de grille, Fig. III-5, élimine cet effet. Les nouveaux MOSFETs présentent alors des améliorations sur la densité des cellules, sur $R_{DS(on)}$ ainsi que sur la capacité de grille-drain (Miller); ainsi la puissance dissipée pendant la commutation diminue d'un facteur 2.

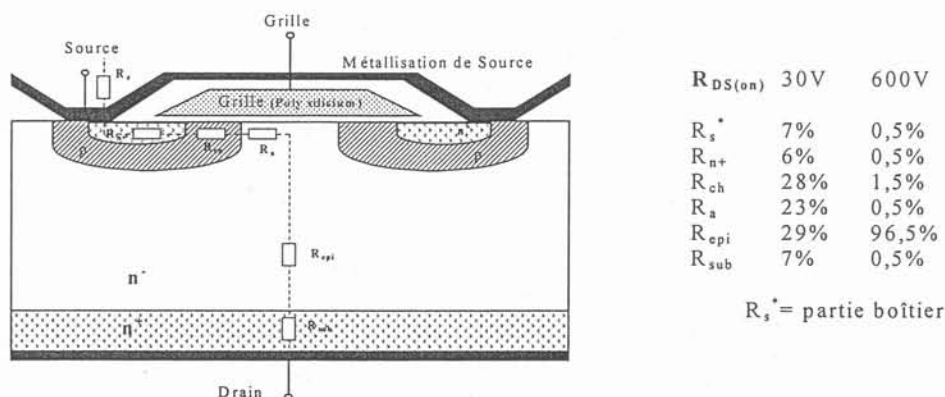
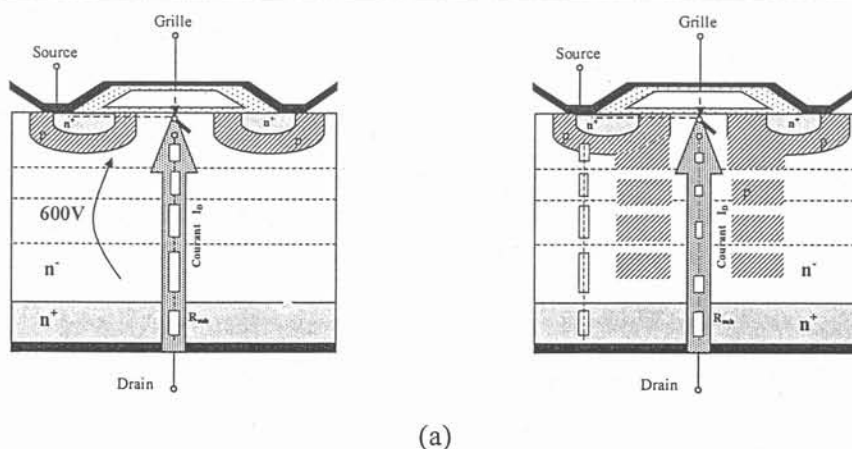
Fig. III-3: Contributions de la résistance $R_{DS(on)}$ pour les MOSFETs de haute tension

Tableau III-1: Evolution des technologies du MOS de puissance d'IR

Technologie	Conventionnelle	Conventionnelle	Conventionnelle	Equivalent de CoolMOS	
				Boîtier "Super"	Boîtier "Standard"
Série d'IR	Séries "Standard"	Séries "Haute Performance"	Séries "Benchmark"	Séries "Benchmark"	Séries "Benchmark"
$R_{DS(on)}$	270 mΩ	230 mΩ	130 mΩ	70 mΩ	45 mΩ



(a)

Fig. III-4: (a) Structure du VDMOS classique et du transistor CoolMOS™

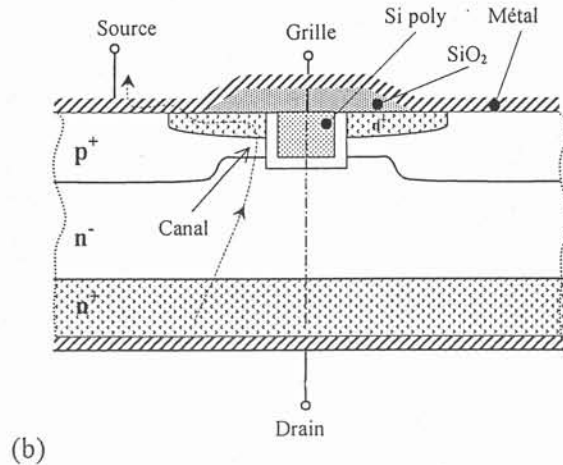


Fig. III-4: (a) Structure du VDMOS classique et du transistor CoolMOS™ (b) Structure de TrenchMOS

III.3. Modèles du transistor MOS

Il est bien connu que les simulateurs de type SPICE n'offrent pas des modèles satisfaisants pour les composants bipolaires de puissance. En revanche, on peut trouver une grande variété de modèles de MOSFET. Le modèle SPICE (niveau 1 à 3, niveau 6) du transistor MOSFET est largement utilisé pour représenter un transistor MOSFET de puissance, soit directement, soit dans un macro-modèle. Pour remplacer le modèle standard de SPICE, en tout une vingtaine de modèles de MOSFET de puissance ont été présentés durant cette dernière décennie. Par ailleurs, de nombreuses bibliothèques de dispositifs identifiés sont disponibles, mais avec une qualité d'identification très variable. En revanche, aucun des modèles identifiés ne prend en compte correctement la diode interne, notamment en cas de recouvrement de cette diode [Chante-98, Morel-94].

Les travaux menés dans le but de développer de nouveaux modèles mieux adaptés aux composants de puissance ont donné de bons résultats dans le cas du transistor MOS de puissance [Beydoun-93]. Toutefois avec les simulateurs de types SPICE, l'utilisateur ne peut définir que des macro-modèles par assemblage des modèles déjà implantés dans le simulateur. Cette restriction empêche l'utilisateur de définir n'importe quel type de non-linéarité. Dans ce cas de figure, il est pourtant possible d'identifier des paramètres non linéaires (capacités non linéaires) par les transistors auxiliaires fonctionnant comme interrupteurs idéaux [Simas-89], cette technique aboutit à des discontinuités et cause alors des problèmes de convergence. Simas et al [Simas-89] ont été les premiers à prendre en compte les non-linéarités des capacités grille-source et grille-drain. Xu [Xu-88] et Cordonnier [Cordonnier-89] ont introduit des modèles pour la capacité grille-drain. Puis Scott et Franz [Scott-91] ont présenté un modèle avec trois capacités non linéaires. Puisqu'à l'heure actuelle, plusieurs modèles de MOSFET de puissance sont disponibles, une évaluation des performances des modèles semble importante.

Selon l'application pour laquelle le modèle sera utilisé certaines performances sont souhaitées. Par exemple dans le cas de commutations dures, les deux capacités C_{gs} et C_{gd} sont dominantes, en particulier C_{gd} , qui détermine les formes d'ondes de drain par le biais de l'effet "Miller" durant la commutation. Dans ce cas, la capacité C_{ds} n'a pas la même importance. Cette capacité joue par contre un rôle déterminant (avec les deux autres capacités C_{gs} et C_{gd}) dans le cas de commutation douce notamment dans les convertisseurs ZCS et ZVS. Lors qu'il s'agit des transitions du courant inductif de manière bidirectionnelle (le cas de l'onduleur) le recouvrement inverse de la diode de structure du MOSFET de puissance est un élément à ne pas oublier dans la modélisation. Les mesures montrent que les deux capacités C_{gs} et C_{gd} doivent être précisément modélisées car elles déterminent la vitesse de commutation [Budihardjo-94 et 95].

Il est donc utile de préciser l'application et le niveau de précision que l'on attend du modèle. Le tableau III-2 montre un résumé de différents niveaux des modèles existants et à chaque niveau des applications adaptées au modèle.

Tableau III-2: Différents niveaux de modèles et leurs applications.

Niveau	Caractéristiques	Applications
Interrupteur idéal 0	Caractéristiques statique de base Interrupteur idéal	Analyse fonctionnelle des convertisseurs avec plusieurs interrupteurs Conception du système de contrôle
Base 1	Caractéristiques statiques Caractéristiques dynamiques de base Recouvrement inverse	Usage général lorsque les formes d'onde approximatives sont satisfaisantes
Précis 2	Caractéristiques dynamique précises Recouvrement inverse Mise en conduction	Evaluation des pertes durant la commutation Stress électrique ,EMI
Thermique 3	Modèle thermique dynamique	Conception de Refroidissement Stress thermiques Instabilités thermiques

On distingue donc quatre niveaux de modélisation; le modèle le plus simple est l'interrupteur idéal qui ne prend en compte que des caractéristiques statiques du composant, le niveau le plus sophistiqué est le modèle dynamique thermique du composant qui établit un lien électrothermique dans la modélisation. A ce niveau, l'évolution de température au sein du semiconducteur est évaluée et une rétroaction de nature thermique vient corriger les caractéristiques électriques du composant.

Notre objectif est de trouver des modèles de composants de puissance (notamment les composants constituant la cellule de commutation), pour les utiliser dans un contexte de

conception, avec des critères pertes et performances CEM; notre travail se place donc au niveau 2 de la hiérarchie présentée dans le tableau III-2 [Akhbari-99/3].

III.4. Physique du MOSFET de puissance en statique

Dans les applications de l'électronique de puissance, le MOSFET est utilisé comme un interrupteur afin de contrôler le flux de puissance vers la charge. Dans ces applications, le MOSFET traverse la caractéristique I_d - V_{ds} de l'état bloqué à l'état passant ou vice-versa, en passant par les zones active et ohmique. Toutes ces zones sont illustrées sur la caractéristique de sortie du MOSFET, Fig. III-5-a.

Le MOSFET est dans l'état bloqué lorsque la tension grille-source est inférieure à la tension de seuil, V_{th} , qui est typiquement de l'ordre de quelques Volts pour les MOSFETs de puissance. Dans ce cas, le MOSFET supporte la totalité de la tension appliquée, qui doit être inférieure à la tension BV_{DSS} (tension de claquage). Lorsque le MOSFET est soumis à une tension grille-source élevée, il est amené dans la zone ohmique où la tension $V_{DS(on)}$ est petite. Le MOSFET est dans la zone ohmique lorsque

$$V_{gs} - V_{th} > V_{ds} > 0 \quad (1)$$

Dans la zone active le courant de drain est indépendant de la tension drain-source, il dépend uniquement de la tension grille-source (parfois on dit que le courant est saturé et donc on appelle cette zone "saturée", ceci peut prêter à confusion avec la saturation dans les transistors bipolaires). Une théorie simple, au premier ordre, prédit que dans la zone active le courant de drain est approximativement donné par

$$I_d = K(V_{gs} - V_{th})^2 \quad (2)$$

où K est une constante qui dépend de la géométrie du dispositif. A la frontière entre la zone active et la zone ohmique où $V_{gs} - V_{th} = V_{ds}$, l'équation (2) devient

$$I_d = KV_{ds}^2 \quad (3)$$

Ceci est une manière de délimiter la frontière entre les deux zone comme le montre la figure III-5-a. La relation exprimée dans l'équation (2) est raisonnablement bien suivie par les MOSFETs de signaux, quant aux MOSFETs de puissance, leur caractéristique de transfert est plutôt linéaire, Fig. III-5-b; ce comportement des MOSFETs de puissance est expliqué ci-après.

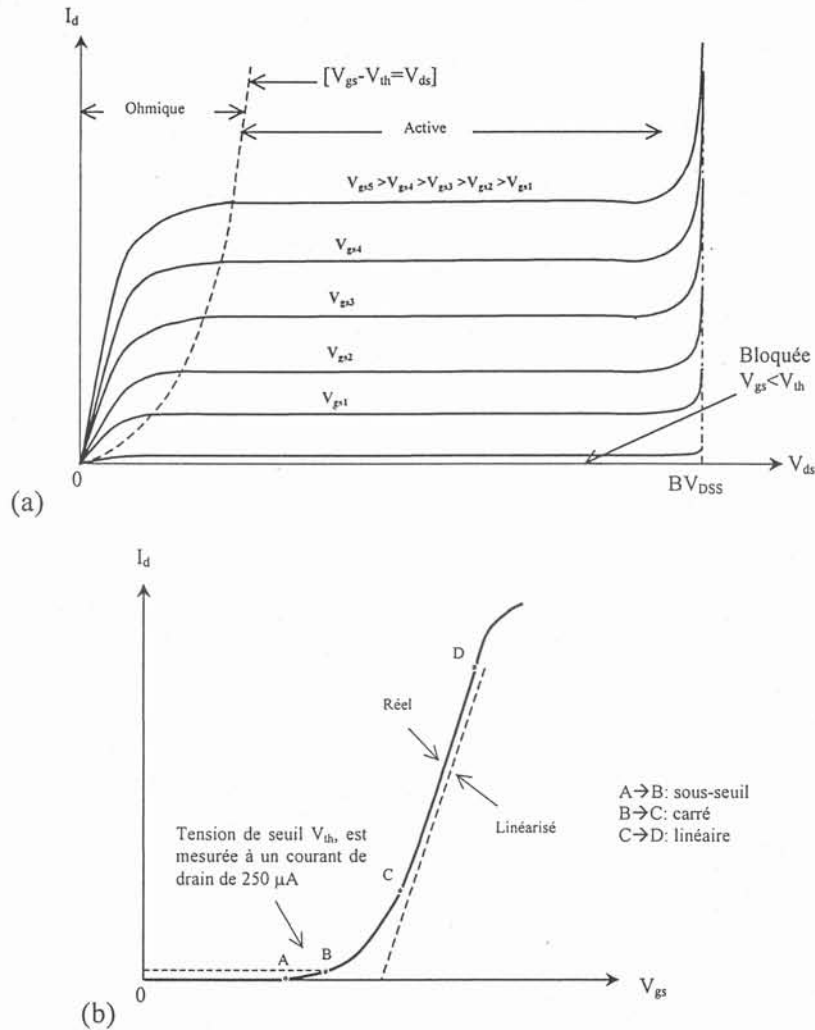


Fig. III-5: (a) Caractéristiques de sortie et (b) Caractéristique de transfert de MOSFET de puissance

Comme nous avons vu sur la Fig. III-1, la région de grille est composée de la métallisation de grille (ce contact est réalisé par le poly silicium), le dioxyde de silicium sous le conducteur de grille (l'oxyde de grille) et le silicium sous ce dernier. Cette région engendre une forte capacité comme le montre la Fig. III-6-a; on appelle cette capacité la capacité MOS. Lorsqu'une tension positive est appliquée à cette capacité, une région de déplétion se forme à l'interface SiO_2 et silicium. La charge positive induite sur la métallisation du côté grille nécessite une charge négative équivalente sur l'autre électrode de la capacité qui est du côté silicium de l'oxyde de grille. Le champ électrique créé par la charge positive repousse les porteurs majoritaires (les trous) de l'interface et ainsi il apparaît une région de déplétion. L'augmentation supplémentaire de V_{gs} engendrera l'augmentation de l'épaisseur de la couche de déplétion afin de fournir la charge négative supplémentaire. A mesure que la tension augmente, le champ électrique à l'interface oxyde-silicium devient plus grand et commence à attirer les électrons libres ainsi qu'à repousser les trous libres. Par la suite, l'augmentation de la tension de polarisation augmentera la densité des électrons libres. La couche des électrons libres à l'interface Si-SiO_2 crée une couche hautement conductrice, cette couche possède

toutes les propriétés du semiconducteur type n. Cette couche est appelée la couche d'inversion. Elle constitue un canal conducteur entre la région n+ de source et la région n- donnant accès au drain, ce qui permet le passage du courant entre ces deux régions. La valeur de tension à ce point est égale à la tension de seuil, V_{th} . En pratique, cette tension est mesurée pour un courant de drain de $250 \mu A$ [Barkhordarian]. Plus la tension V_{gs} augmente au-delà de V_{th} , plus la couche d'inversion et la densité des électrons libres deviennent importantes et donc plus le canal devient conducteur.

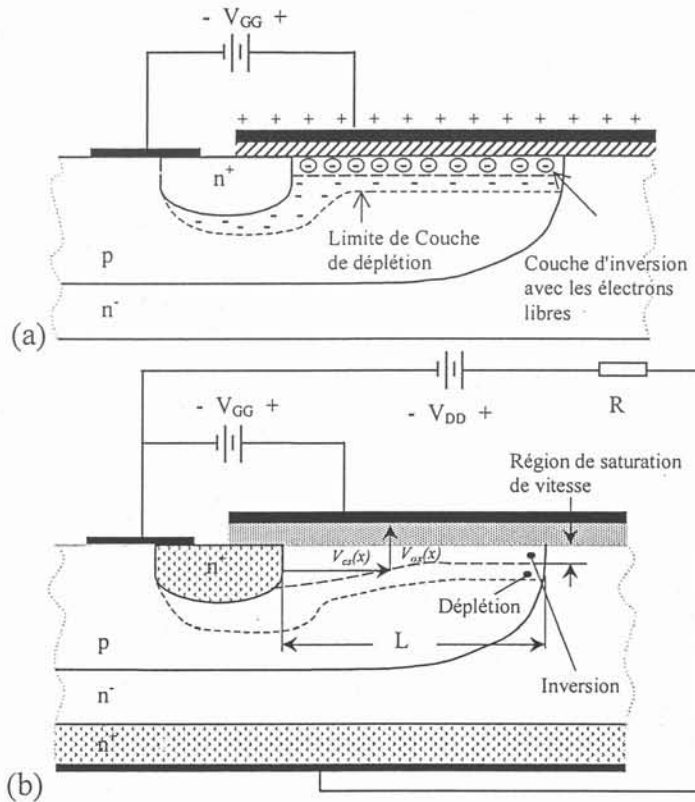


Fig. III-6: (a) Formation de la couche de déplétion et la couche d'inversion à l'interface de Si-SiO₂. (b) Changement de l'épaisseur de la couche d'inversion de façon non uniforme pour les courants de drain élevés

Maintenant, nous appliquons une tension V_{DD} sur les bornes drain et source du MOSFET, Fig. III-6-b. Pour une tension faible de V_{DD} , le MOSFET est dans sa zone ohmique avec un courant de drain relativement petit. Dans ces conditions, la couche d'inversion est uniformément répartie le long du canal. En augmentant doucement la tension V_{DD} , le courant I_d croît initialement de façon proportionnelle à V_{DD} car la couche d'inversion apparaît comme une résistance ohmique entre drain et source. L'accroissement du courant de drain entraîne une chute de tension au long du canal comme le montre la Fig. III-6-b. La chute de tension $V_{cs}(x)$ (canal-source) est une fonction de la distance pour laquelle cette tension est évaluée. Ainsi la tension sur l'oxyde isolatrice (SiO₂) à la distance x de source est réellement $V_{ox}(x) = V_{gs} - V_{cs}(x)$. A mesure que le courant augmente, la tension $V_{cs}(x)$ augmente aussi et la tension sur l'oxyde à la distance x diminue. A la distance $x=L$ la tension $V_{cs}(x)$ est à sa valeur maximale (à la limite du canal) et la tension sur l'oxyde qui détermine les paramètres de la

couche d'inversion est à sa valeur minimale. La diminution de tension sur l'oxyde, de source à drain, signifie que l'épaisseur de la couche d'inversion diminue aussi au long du canal, Fig. III-6-b. Plus la couche d'inversion s'amincit à la fin du canal, plus sa résistance grandit et la courbe I_d-V_{ds} pour une tension constante V_{gs} a une pente de plus en plus faible comme montré sur la Fig. III-5-a. Ceci produit la courbure concave dans la zone ohmique, pour un courant de drain important la caractéristique I_d-V_{ds} devient complètement plate [Mohan-95].

Puisque la couche d'inversion est plus mince à la fin du canal, la densité du courant est plus grande à cet endroit; l'écoulement du courant étant assuré par le mécanisme de "drift" dans le canal (car il n'y a pas d'injection des porteurs minoritaires), on a donc un champ électrique longitudinal à la fin du canal plus grand (rappel $J=\sigma E$). Ce point est important d'abord parce qu'il explique le passage du courant malgré la chute de tension le long du canal. La présence d'un fort champ électrique à la fin du canal nécessite une faible tension d'oxyde, $V_{ox}(x)$ pour assurer le maintien du canal. Par ailleurs, la vitesse des porteurs est une fonction du champ électrique; à partir d'une certaine valeur du champ cette vitesse sature comme le montre la Fig. III-7. Lorsque le champ électrique au bout du canal est assez fort pour saturer la vitesse des porteurs, la tension d'oxyde est égale à la tension de seuil à la fin du canal, $V_{gs}-V_{ds}=V_{th}$, et le dispositif est déjà dans sa zone active. Une augmentation supplémentaire de V_{DD} , augmentera le champ électrique dans la partie la plus étroite du canal et conduira à la croissance de cette dernière vers la source comme on le voit sur la Fig. III-6-b. La chute de tension sur l'oxyde ainsi que l'épaisseur de la couche d'inversion resteront fixes. Donc pour $V_{ds}>V_{gs}-V_{th}$, le courant de drain demeure relativement constant (zone active sur la Fig. III-5-a). Si la tension V_{gs} devient plus grande, la couche d'inversion s'élargit et un courant plus grand est nécessaire avant que le champ électrique ne soit assez fort pour saturer la vitesse des porteurs.

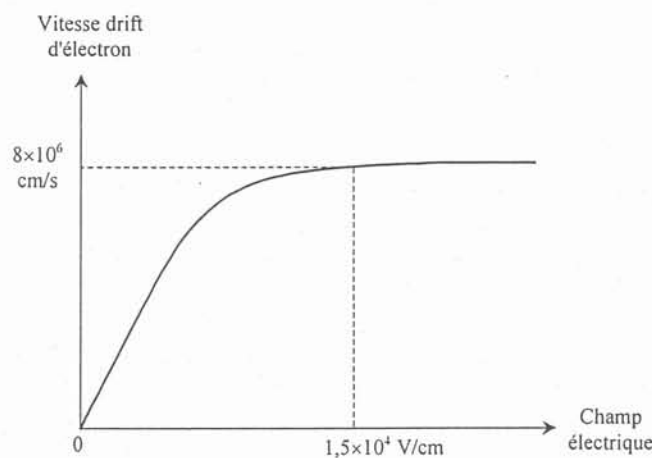


Fig. III-7: Vitesse de "drift" des électrons dans le silicium en fonction de champ électrique.

Comme nous avons vu sur la Fig. III-5-b, la relation I_d-V_{gs} qui, au voisinage de zéro, est parabolique, devient linéaire pour les courants de drain élevés. En fait, K dans la relation (1) est une fonction de la mobilité des porteurs, ce paramètre change avec le courant. La

mobilité des porteurs diminue lorsque le champ électrique à la fin du canal augmente. La mobilité diminue d'abord parce que la vitesse des porteurs se sature et ensuite parce que les valeurs plus élevées de tension V_{gs} augmentent la densité des électrons libres dans le canal.

III.5. Circuit équivalent du MOSFET de puissance (modèle dynamique)

Plusieurs circuits équivalents ont été proposés pour le MOSFET de puissance autant par les constructeurs que par les laboratoires de recherche [Cordonnier-89, Xu-88, Simas-89, Unitrode-96, Harris-91]. Les MOSFETs de puissance sont intrinsèquement plus rapides que les dispositifs bipolaires car ils n'ont pas de porteurs stockés qui doivent se déplacer dans les couches faiblement dopées du dispositif. Les seules charges à déplacer sont celles des capacités parasites et les capacités de couche de déplétion qui sont illustrées sur la Fig. III-8.

Ces capacités peuvent être modélisées par le circuit équivalent montré sur la même figure. Ce circuit équivalent est valide lorsque le MOSFET traverse la zone active durant la commutation. Dans le circuit équivalent les paramètres sont définis comme suit:

1. C_1 représente la capacité entre la grille et la source, n^+ , et toute la métallisation de source, cette capacité est déterminée par la structure et sa valeur est fixe.
2. $C_2 + C_4$ représente la capacité supplémentaire de grille-source dans la région p. C_2 est la capacité diélectrique donc fixe tandis que C_4 est due à la région de déplétion entre la source et le drain, elle varie donc avec la tension de grille.
3. $C_3 + C_5$ est aussi composée de deux parties une fixe et l'autre variable. La composante fixe, C_3 , est une capacité diélectrique et la composante variable, C_5 , varie significativement lorsque la tension drain-grille change de polarité.
4. C_6 est la capacité drain-source, elle varie avec la tension de drain.
5. Pour les tensions grille-source et grille-drain supérieures à la tension de seuil, le canal se forme sur le substrat et au-dessous de l'oxyde entre la source et la zone n^- . Dans ce cas la capacité grille-substrat peut être modélisée par deux capacités C_{gn+} et C_{gn-} qui dépendent des tensions appliquées.
6. R_a et R_D représentent respectivement la résistance d'accès et la résistance de volume n^- , ces deux résistances avec la résistance du canal représentent la quasi-totalité de la résistance du MOSFET à l'état passant, $R_{DS(on)}$.
7. Le symbole du MOSFET au milieu du circuit équivalent représente la source de courant modélisant la fonction du dispositif.

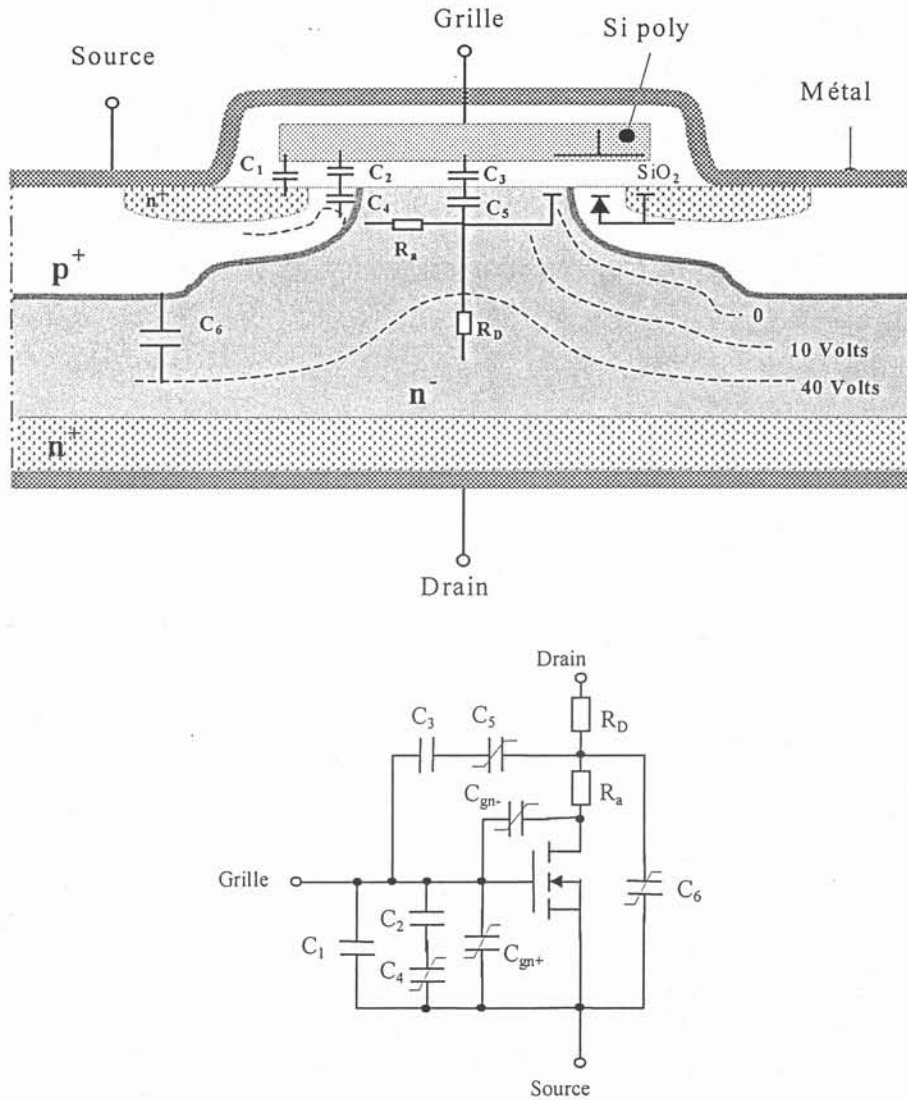


Fig. III-8: Coupe d'une cellule de MOSFET de puissance et son circuit équivalent

D'autres éléments, comme les inductances des pattes, la diode de structure, le transistor bipolaire parasite et élément représentant l'effet JFET dans la zone intercellulaire peuvent compléter le modèle.

Une représentation plus rigoureuse des éléments capacitifs et actifs du MOSFET de puissance est possible en utilisant un point imaginaire au sein du dispositif. La figure III-9 montre une coupe du dispositif dans lequel les localisations des quatre nœuds sont représentées, deux circuits équivalents sont donnés sur cette figure; le premier correspond à l'aspect actif du dispositif constituant le MOS latéral, le JFET vertical et la diode, le deuxième représente l'aspect capacitif du MOSFET.

Le nœud 4 au sein du dispositif n'est pas un nœud bien précis comme illustré sur la figure. Six capacités peuvent coupler les quatre nœuds présentés sur la figure III-9. Ces capacités ainsi que les éléments actifs du modèle sont non-linéaires et dépendent tous des tensions appliquées aux électrodes et au courant de drain. Les abaques des constructeurs fournissent une caractérisation par rapport aux trois terminaux auxquels on a accès et pour un

courant de drain nul. Notons que cette condition n'est valable que pour le dispositif en état bloqué. Lorsqu'un courant circule dans le dispositif, le nœud 4 devient un nœud de faible impédance car le JFET est conducteur à cet instant. Donc seul le courant capacitif du nœud d'entrée 2 sera significatif. C'est la raison pour laquelle le modèle de MOSFET de puissance développé par le constructeur Harris ne prend en compte que les trois capacités, C_{12} , C_{24} et C_{23} et à l'état bloqué la capacité C_{13} est bien sûr à modéliser [Harris-91]. Ce modèle nécessite les paramètres supplémentaires du JFET et puisque nous n'avons pas accès au nœud 4 au milieu du dispositif, il est difficile d'identifier les paramètres du modèle.

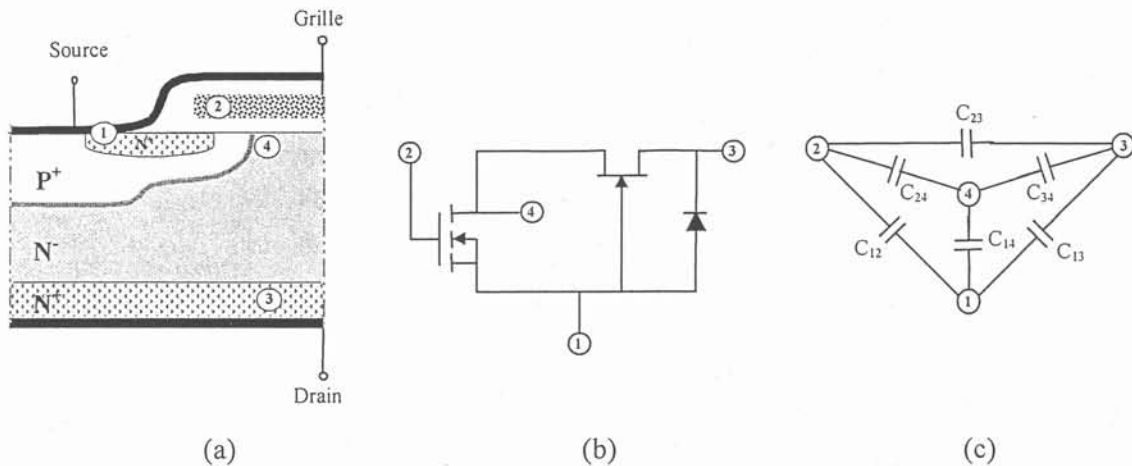


Fig. III-9: Représentation nodale du MOSFET de puissance a) Localisation des nœuds de tension b) et c) Circuits équivalents du MOSFET: éléments actifs et aspect capacitif

III.6. A propos des capacités de MOSFET

Vue l'importance des capacités du MOSFET, les fabricants fournissent des données concernant les capacités non-linéaires dans les data sheets. Dans les abaques du constructeur, on trouve deux types de données à ce propos:

- Trois capacités, C_{iss} , C_{rss} et C_{oss} sont données en fonction de la tension V_{ds} , à titre d'exemple, la Fig. III-10-a présente les capacités de l'IRFP450FI de SGS-Thomson données dans les abaques.
- Caractéristique de la charge de grille qui est donnée en fonction de la tension de grille, V_{gs} . Cette caractéristique sous-entend en fait les variations de la capacité d'entrée, C_{iss} , en fonction de la tension de grille.

Cette caractéristique est très utile lors du dimensionnement du dispositif, car non seulement elle sert à comparer les composants selon leurs besoins de commande (puissance nécessaire du driver), mais aussi, elle est une indication de la vitesse du dispositif. A titre d'exemple, la Fig. III-10-b présente la caractéristique de la charge de grille d'un IRFP450FI de SGS-Thomson. Si l'on présente cette caractéristique sous forme d'une capacité non-linéaire, on obtient la figure III-11. On peut constater que la capacité d'entrée ne peut pas être définie par cette caractéristique à la tension de conduction.

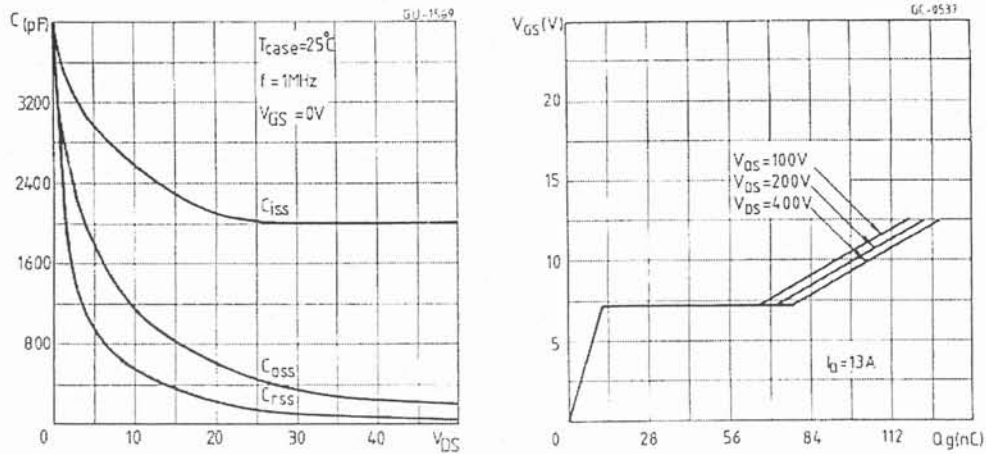


Fig. III-10: (a) Capacités du MOSFET en fonction de V_{ds} et (b) Caractéristique de la charge de grille d'un IRFP450FI données dans les abaques du constructeur

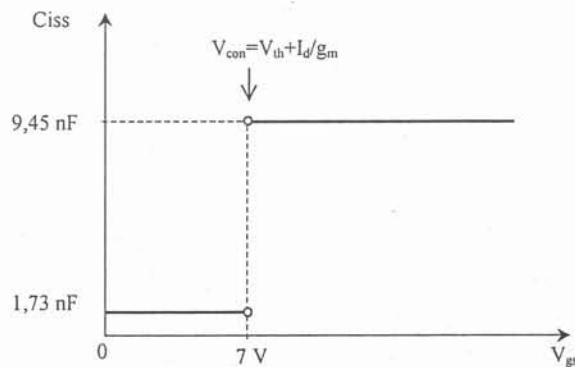


Fig. III-11: Capacité d'entrée obtenue à partir de la caractéristique de la charge de grille présentée sur la figure III-10 (b).

Par la suite nous allons expliquer les non-linéarités des capacités du MOSFET, les phénomènes liés à leurs variations; puis les méthodes de mesure de ces capacités ainsi que les résultats de mesures seront présentés.

III.6.1. Capacité d'entrée:

Les capacités du MOSFET et en particulier la capacité d'entrée sont fortement non-linéaires en fonction de la tension appliquée aux bornes du dispositif. La capacité d'une structure MOS est une combinaison série de deux capacités d'oxyde, C_{ox} et la capacité de la couche de déplétion C_s , comme le montre la figure III-12; donc la capacité totale est:

$$C = \frac{C_{ox} C_s}{C_{ox} + C_s} \quad (4)$$

Suivant la tension appliquée, trois cas de figure peuvent être distingués à la surface du semiconducteur [Nicollian-82, Sze-85].

- **Accumulation:** Lorsque la grille est soumise à une tension négative, aucun courant ne circule à travers le dispositif quelque soit la valeur de la tension; dans ce cas, la grille négative attire les trous à la surface du silicium; une accumulation

- des porteurs majoritaires (ici pour le substrat de type p, des trous) se forme à l'interface oxyde-semiconducteur; ceci représente une densité importante des trous à la surface, ce qui correspond à une grande capacité; la capacité C_s est grande devant C_{ox} donc $C \approx C_{ox}$. A mesure que la tension devient moins négative, la densité des trous à la surface et par conséquent la capacité C_s diminue.
- **Déplétion:** Lorsque la tension devient positive, les trous sont repoussés de la surface du silicium, et de ce fait une couche dite de déplétion se forme. Cette couche s'élargit avec la tension, donc la capacité C_s et la capacité totale C , diminuent avec la tension.
 - **Inversion:** Une tension appliquée plus positive diminue encore la densité des trous à la surface, alors que la densité des électrons croît gardant le produit pn constant ($n_s p_s = n_i^2$). Pour une tension assez grande, la densité des électrons devient plus importante que celle des trous; cela forme une couche d'inversion des électrons. Lorsque la tension augmente au delà de la tension de seuil une inversion de plus en plus forte apparaît; la capacité de la couche d'inversion devient plus grande que C_{ox} (c'est à dire $C_s \gg C_{ox}$); donc C se rapproche de C_{ox} aux fortes tensions.

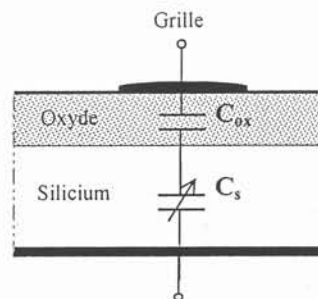


Fig. III-12: Capacité de MOS

L'allure de la capacité correspondant à ces trois cas est montrée sur la figure III-13 (pour le substrat de type p). C'est en fait la capacité dynamique qui est mesurée (à travers la réponse du système à un signal sinusoïdal basse amplitude). Par rapport à la fréquence des signaux de mesure, deux comportements de la capacité MOS peuvent être constatés, à cause de la différence des temps de réponse des porteurs majoritaires et minoritaires. Ces deux cas sont illustrés sur la Fig. III-13. En accumulation et en déplétion la capacité MOS est déterminée par les porteurs majoritaires tandis qu'en inversion ce sont les porteurs minoritaires qui la déterminent. Lorsque l'on est en haute fréquence, en inversion, la génération des porteurs minoritaires ne peut pas suivre les variations de la tension appliquée; ces porteurs ne contribuent donc à aucune capacité, en revanche la neutralité des charges est assurée par les porteurs majoritaires aux limites de déplétion d'où un mouvement des limites de déplétion, donc la capacité mesurée est la capacité de déplétion en série avec C_{ox} (en pointillée). Pourtant, lorsque le temps de réponse des porteurs minoritaires est déterminé par la couche d'inversion, en haute fréquence la capacité MOS augmente en inversion comme en basse fréquence.

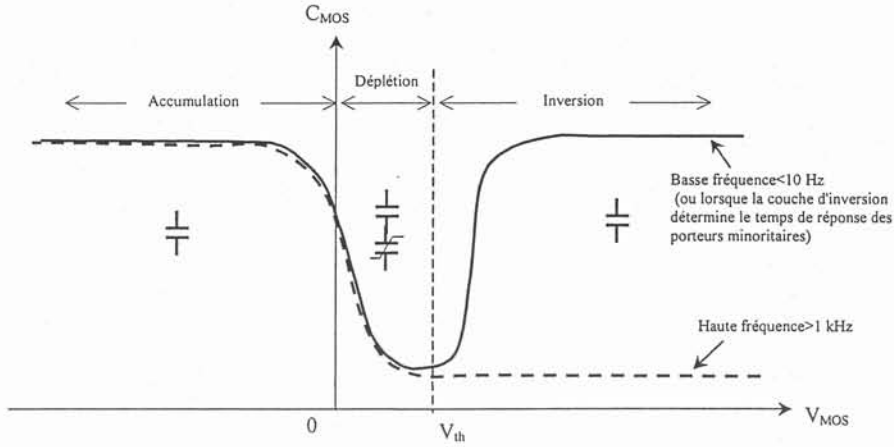


Fig. III-13: Capacité de MOS en fonction de la tension appliquée.

Notons ici que ces explications ne sont valables que pour la capacité grille-source (ou la capacité d'entrée) en fonction de la tension grille-source du MOSFET de puissance, l'application d'une tension drain-source rend relativement compliquée cette discussion. Cela deviendrait encore plus difficile à expliquer lorsque un courant parcourt le canal. Nous allons voir que la capacité d'entrée augmente considérablement dans la zone où le MOSFET devient conducteur, cette augmentation de capacité reste inexplicable jusqu'à présent.

III.6.2. Capacité "Miller":

Nous appelons la capacité grille-drain, la capacité "Miller" car elle est responsable de l'effet Miller. Elle présente une valeur sensiblement constante, C_{gd0} tant que la tension drain est inférieure à la tension grille, évolue pour $V_{ds} > V_{gs}$ suivant une loi du type:

$$C_{gd} = \frac{C_{gd0}}{1 + \sqrt{(V_{ds} - V_{gs}) / \Phi_{gd}}} \quad (5)$$

où Φ_{gd} est un paramètre qu'on peut relier à la capacité d'oxyde et au dopage de la région de base n^- . Cette formule est approximative: la capacité grille-drain est en réalité déterminée, dans la zone intercellulaire (Fig. III-8), par la mise en série d'une capacité d'oxyde C_3 , et d'une capacité de charge d'espace C_5 , développée dans le silicium. Tant que la tension de drain est plus faible que la tension grille, cette charge d'espace est d'accumulation et d'extension négligeable; dans ces conditions, la capacité Miller se réduit pratiquement à la seule capacité de l'oxyde intercellulaire C_{gd0} (ou C_3 sur la Fig. III-8), dont la valeur peut être définie avec précision à partir des caractéristiques géométriques de l'espace intercellulaire et de l'épaisseur d'oxyde. Lorsque la tension drain devient supérieure à la tension grille, la charge d'espace, alors dépeuplée, a une épaisseur qui croît sensiblement comme la racine carrée de la tension qu'elle supporte et pour les fortes tensions de drain, la capacité grille-drain se résume à la capacité de charge d'espace [Debrie-96]. On peut alors poser:

$$C_{gd} \approx S \sqrt{\frac{qN_D \epsilon_{si}}{2(V_{ds} - V_{gs})}} \quad (6)$$

avec $\epsilon_{si}=1,04 \times 10^{-12}$ F/cm pour le Silicium , S représente la surface de l'espace intercellulaire et N_D le dopage de la base. La formule proposée réunit ces deux comportements asymptotiques avec la contrainte de continuité des deux représentations pour $V_{ds}=V_{gs}$. Dans ces conditions, le paramètre Φ_{gd} est défini par:

$$\Phi_{gd} = \frac{S^2}{C_{gd0}^2} \frac{qN_D \epsilon_{si}}{2} \quad (7)$$

La capacité Miller est un facteur critique dans la détermination du comportement du MOSFET de puissance durant les commutations; dans les versions de puissance des modèles de MOSFET conçues pour SPICE, la non-linéarité de cette capacité est prise en compte en fonction de la tension grille-drain; elle est représentée de deux manières différentes:

- la première utilise l'approche polynomiale qui exclut la possibilité de traiter le cas des structures haute-tension et l'étude des régimes transitoires sur charge inductive,
- la deuxième est plus élaborée et adaptée aux MOSFET haute-tension; elle décrit la capacité grille-drain par deux capacités qui commutent analogiquement lors du passage à zéro de la tension grille-drain sur un cycle de commutation [Xu-88, Cordonnier-89].

Dans la première approche, un polynôme avec un ordre élevé est utilisé afin de pouvoir modéliser la transition rapide de la capacité C_{gd} [IR-HEX-93]. A titre d'exemple, la figure III-14 montre les capacités d'un IRF530 et d'un IRF730 et les modèles de ces capacités par les polynômes.

On peut constater que les polynômes ne suivent pas bien les mesures surtout aux alentours de la transition rapide des capacités. La modélisation de cette capacité par des interrupteurs et des capacités non-linéaires est beaucoup plus précise. Mais, dans cette représentation, l'influence des deux tensions qui varient indépendamment n'est toujours pas prise en compte.

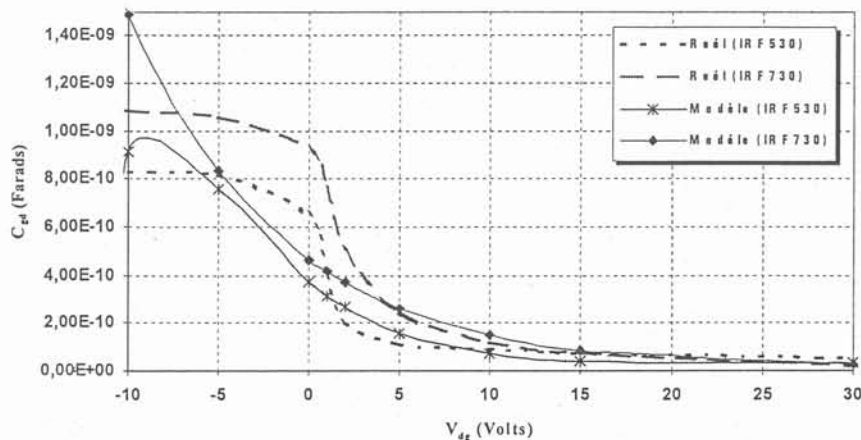


Fig. III-14: Approximation par polynômes de la capacité C_{gd} dans le modèle SPICE de MOSFET de puissance.

III.6.3. Capacité de sortie:

La capacité de sortie est composée de deux capacités; la capacité Miller C_{gd} et la capacité de transition de la jonction C_{ds} . Cette dernière peut être représentée, en toute première analyse, par une loi du type:

$$C_{ds} = \frac{C_{ds0}}{\sqrt{1 + V_{ds}/\Phi_{ds}}} \quad (8)$$

où Φ_{ds} correspond, en principe, à la tension de diffusion de la jonction. Cette formule n'est qu'une approximation globale: la géométrie de la jonction est en effet tourmentée et on devrait distinguer en toute rigueur plusieurs capacités en parallèle avec des formulations différentes de jonctions planes, cylindriques ou sphériques. Pour simplifier, on peut ne retenir que l'expression de la capacité d'une jonction abrupte, mais en prenant la surface développée S_p des caissons P comme surface de jonction. On posera alors classiquement:

$$C_{ds0} = S_p \sqrt{\frac{qN_D \epsilon_{si}}{2\Phi_{ds}}} \quad (9)$$

Le paramètre Φ_{ds} , dont la valeur est de l'ordre du Volt, peut être pris "par défaut" si on considère que son poids devient vite négligeable dès que la tension drain dépasse quelques volts. Dans la section qui suit, nous allons présenter notre démarche pour la mesure des capacités de MOSFET de puissance.

III.7. Mesure des capacités de MOSFET

III.7.1. Base théorique

Une méthodologie de mesure basée sur la représentation du MOSFET sous forme d'un quadripôle électrostatique non-linéaire a été présentée par Y. Lembeye et J. P. Keradec au LEG [Lembeye-97, Lembeye-97/2]. Le MOSFET est représenté par le circuit capacitif Π de la figure III-15; en supposant que l'énergie interne du système ne dépende que des charges électrostatiques emmagasinées et que ces charges sont des fonctions des tensions V_g et V_d , les équations permettant de trouver les courants I_g et I_d sont les suivantes:

$$\begin{aligned} I_g &= \frac{dQ_g(V_g, V_d)}{dt} = \frac{\partial Q_g}{\partial V_g} \cdot \frac{dV_g}{dt} + \frac{\partial Q_g}{\partial V_d} \cdot \frac{dV_d}{dt} \\ I_d &= \frac{dQ_d(V_g, V_d)}{dt} = \frac{\partial Q_d}{\partial V_g} \cdot \frac{dV_g}{dt} + \frac{\partial Q_d}{\partial V_d} \cdot \frac{dV_d}{dt} \end{aligned} \quad (10)$$

où les quatre dérivées partielles successivement rencontrées dans ces équations sont C_{iss} , C_{rss_g} , C_{rss_d} et C_{oss} . Il a été démontré que $C_{rss} = C_{rss_g} = C_{rss_d}$ [Lembeye-97]. Chacun de ces paramètres est une fonction de V_g et V_d .

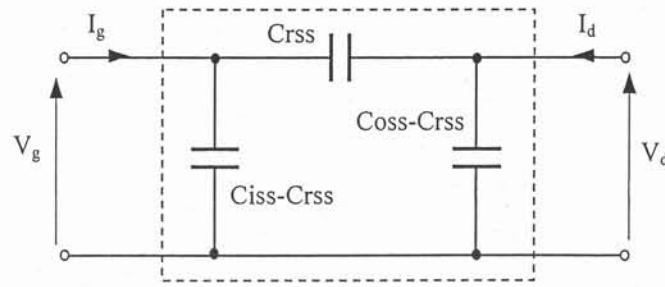


Fig. III-15: Représentation II du MOSFET.

Par définition, C_{iss} est la capacité vue entre grille et source lorsqu'un court circuit dynamique est placé entre drain et source; la configuration du dispositif de mesure (le pont d'impédance HP4194A) est alors celle de la figure III-16-a. La capacité C_{oss} est vue entre le drain et la source du MOSFET lorsque sa grille et sa source sont dynamiquement court-circuitées, Fig. III-16-b. Enfin C_{rss} est la capacité qui apparaît entre la grille et le drain du MOSFET. Pour cette dernière, la fonction gain-phase du HP4194A est exploitée, Fig. III-16-c; cette fonction du pont de mesure ne permet pas de superposer une polarisation à l'excitation, c'est pourquoi les polarisations de grille et de drain sont assurées par des capacités préalablement chargées.

Dans les figures III-16, le condensateur C doit être choisi afin qu'il se présente comme un court circuit à la fréquence de mesure (100 kHz); cette valeur présente un bon compromis entre basses fréquences qui entraînent une imprécision de mesure et hautes fréquences pour lesquelles les inductance parasites des fils et des pattes du composant deviennent prépondérantes.

Les capacités d'entrée et de sortie sont directement mesurées par le pont mais la capacité Miller doit être calculée à partir de la fonction de transfert enregistrée; V_T/V_R , il a été montré que cette fonction de transfert se réduit à $V_T/V_R = j \omega R_T C_{gd}$ où $R_T = 50 \Omega$ et $\omega = 2\pi f$ [Lembeye-97/2].

Il est à noter que le pont d'impédance mesure la capacité dynamique qui est définie par la dérivée de la charge par rapport à la tension, (cf. § l'équation (10)); pour la représentation sous forme de capacité variable avec la tension, la capacité dynamique peut s'obtenir comme suit:

$$I_{C(V)} = \left[V(t) \cdot \frac{dC(V)}{dV} + C(V) \right] \cdot \frac{dV(t)}{dt} \quad (11)$$

Donc pour une capacité variable avec la tension la capacité dynamique est déterminée par:

$$C_{\text{dynamique}} = C(V) + V \cdot \frac{dC(V)}{dV} \quad (12)$$

Le pont mesure en fait la capacité dynamique. Les résultats issus de ces mesures sont donc directement utilisés dans les équations du MOSFET.

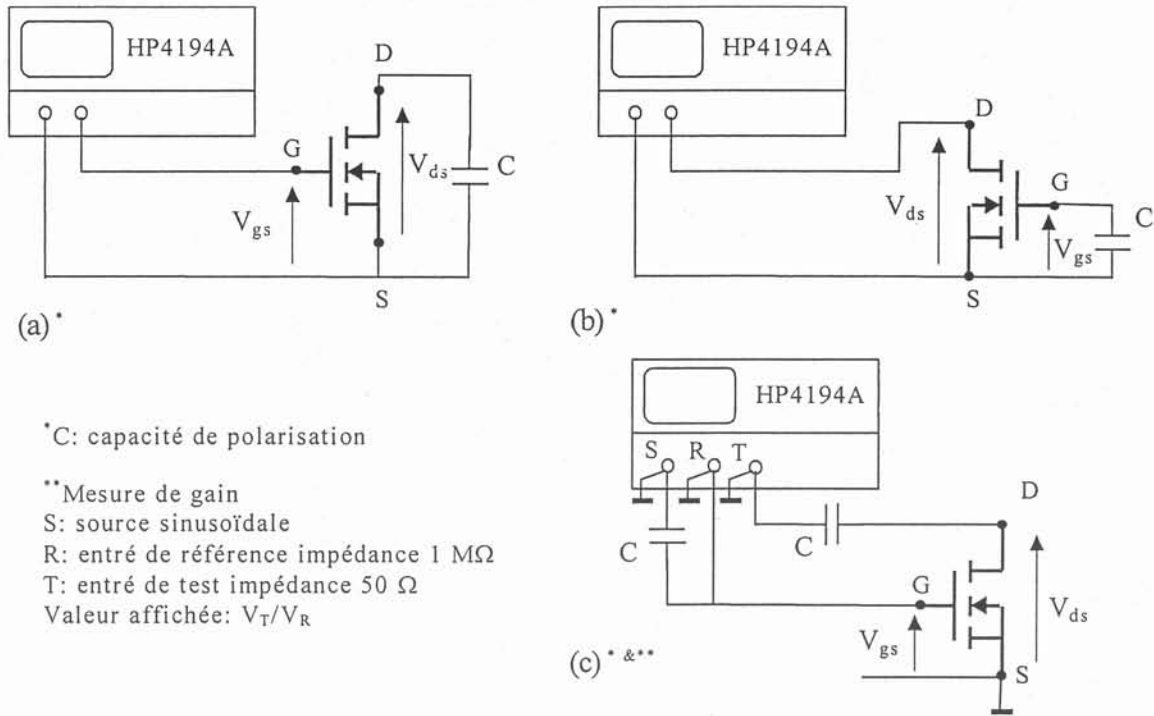


Fig. III-16: Configuration du pont d'impédance pour la mesure (a) Capacité d'entrée (b) Capacité de sortie et (c) Capacité Miller d'après [Lembeye-97/2]

III.7.2. Mesures effectuées

Cette méthode présente l'avantage de pouvoir mesurer les capacités du MOSFET (ou de l'IGBT) en fonction des deux potentiels appliqués aux électrodes du MOSFET. Les mesures donnent les résultats des figures III-17, III-18 et III-19. Comme on peut le constater, les trois capacités sont fortement non-linéaires en fonction des deux tensions V_{gs} et V_{ds} .

La mesure de la capacité d'entrée (Fig. III-17) présente bien les trois cas expliqués dans la section précédente: accumulation, déplétion et inversion.

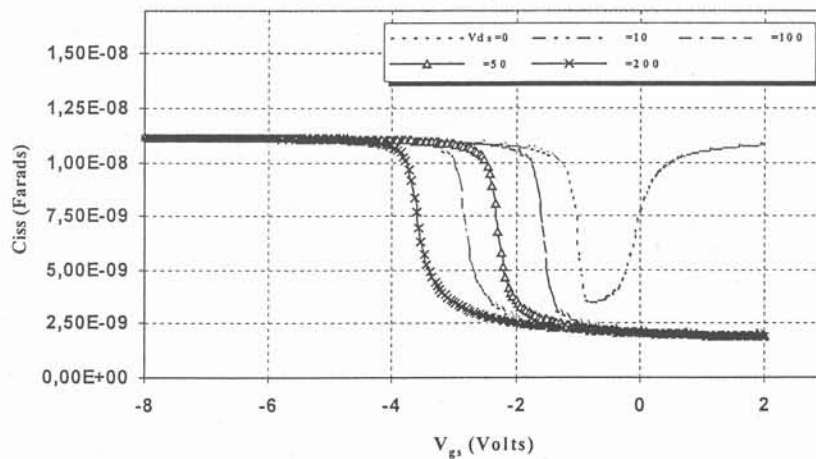
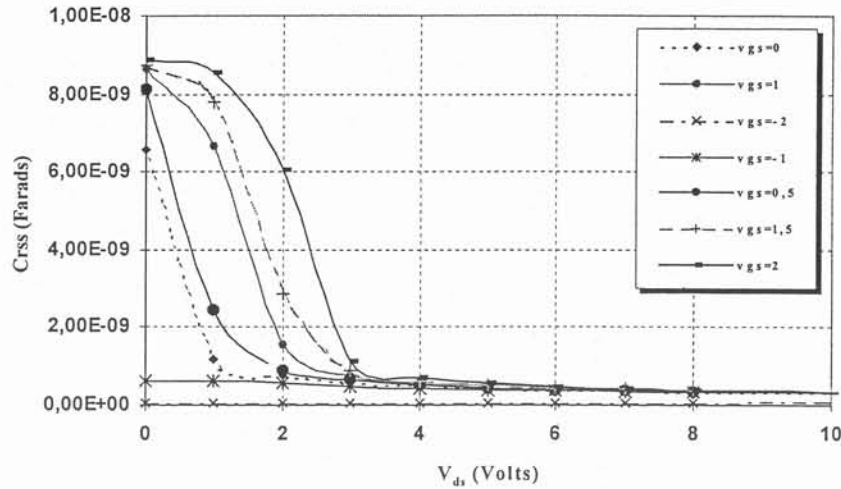
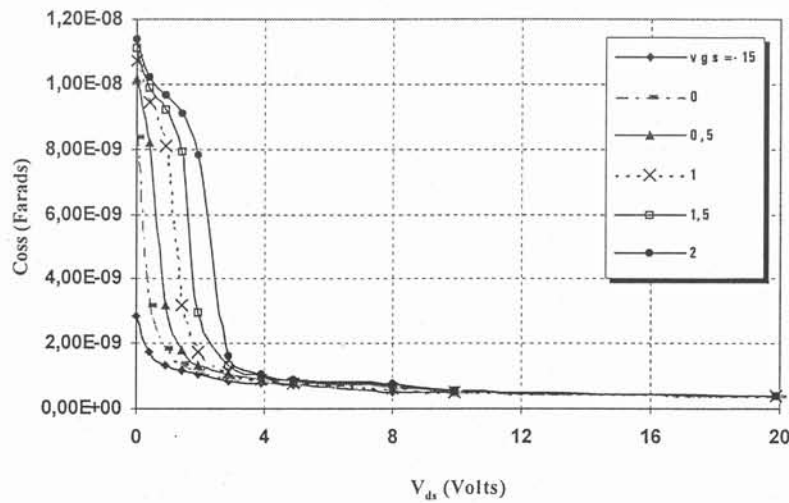


Fig. III-17: Capacité d'entrée en fonction de V_{gs} et V_{ds} mesurée par le pont d'impédance (MOSFET: IRFP450FI)

Fig. III-18: Capacité "Miller" en fonction de V_{GS} et V_{DS} mesurée (MOSFET: IRFP450FI)Fig. III-19: Capacité de sortie en fonction de V_{GS} et V_{DS} mesurée (MOSFET: IRFP450FI)

Lorsque la tension drain-source devient plus positive, l'accumulation des porteurs majoritaires à l'interface oxyde-semiconducteur disparaît avec des tensions de grille plus négatives. Ces variations importantes influent sur les formes d'ondes issues du modèle de MOSFET de façon considérable; pourtant dans de nombreux modèles la capacité d'entrée (ou la capacité C_{gs}) est considérée non variable [Beydoun-94, Debie-96, Berraies-98].

La capacité Miller mesurée (Fig. III-18) montre une partie plate qui s'étend vers les tensions plus élevées lorsque la tension de polarisation V_{GS} est plus grande. De cette partie plate, il est possible de déterminer la valeurs de la capacité d'oxyde intercellulaire, cette valeur est d'environ $C_{gd0}=9$ nF. Cette capacité intervient dans la partie fixe de la capacité d'entrée. De la figure III-15, ce composant qui correspond à la capacité d'oxyde est d'environ $C_{ox}=11$ nF. Quant à la capacité de sortie (Fig. III-19), définie par $C_{oss}=C_{ds}+C_{gd}$, on constate que, pour les faibles tensions, les mesures donnent des résultats comparables à ceux de la capacité Miller, et pour les tensions plus élevées, les courbes suivent bien l'expression (8).

III.7.3. Contraintes des mesures des capacités du MOSFET

Les mesures sont toutes effectuées par le pont d'impédance HP4194A. A cause de la limitation sur le courant du pont d'impédance, on ne peut pas polariser le dispositif sous test au-delà d'une certaine tension. Le MOSFET devient conducteur à partir de la tension de seuil sur sa grille, c'est pourquoi les mesures des capacités ne sont effectuées que pour les tensions V_{gs} en dessous de la tension de seuil.

Une étude des formes d'ondes du MOSFET durant les commutations (Figs. III-20 & III-21) montre que, pendant toute la phase de commutation (à la fermeture ou à l'ouverture) la tension de grille varie entre la tension de seuil, V_{th} et la tension conductrice, $V_{con}=V_{th}+I/g_m$.

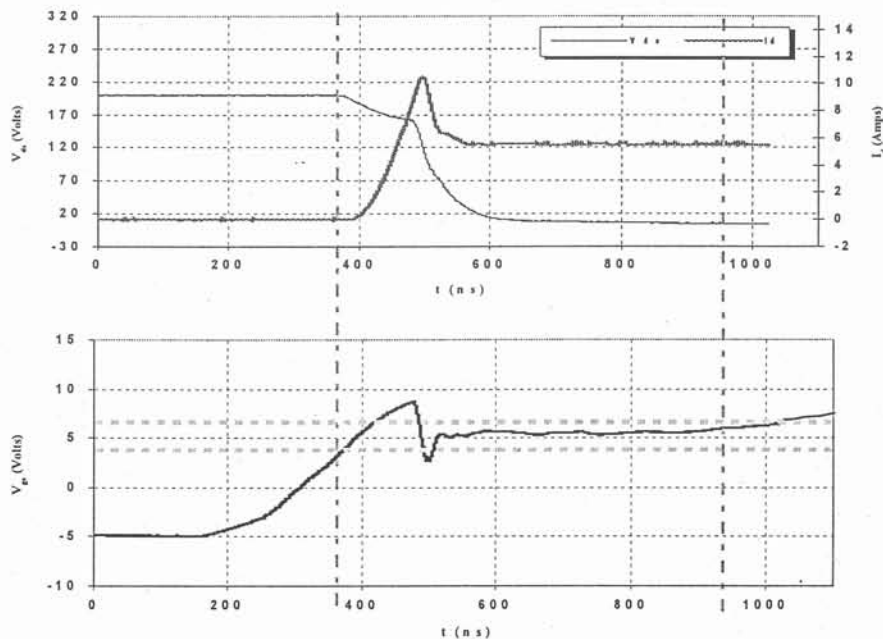


Fig. III-20: Formes d'onde de MOSFET durant la fermeture (Mesures)

Et c'est justement dans cette intervalle de V_{gs} que l'on ne peut pas effectuer des mesures par le pont d'impédance sauf pour les faibles tensions de V_{ds} . Nous nous intéressons au modèle du MOSFET pour la simulation du comportement des dispositifs durant les commutations; d'une part les formes d'ondes du MOSFET sont largement affectées par les deux capacités C_{gs} et C_{gd} , et d'autre part les commutations apparaissent lorsque la tension de grille varie entre la tension de seuil et la tension conductrice; il est donc indispensable de caractériser les capacités de MOSFET dans ces conditions.

Le lieu de V_{gs} - V_{ds} durant la fermeture et l'ouverture, (Fig. III-22), montre que la partie dynamique de V_{ds} apparaît lorsque V_{gs} varie entre 1V et 7V (ces deux limites se resserrent lorsque l'on enlève l'influence des inductances parasites des pattes du composant sur les mesures).

La mesure de la capacité d'entrée pour les faibles tensions de polarisation, V_{ds} (jusqu'à quelques volts), peut être effectuée par le pont d'impédance. Les résultats de cette mesure sont donnés sur la figure III-23.

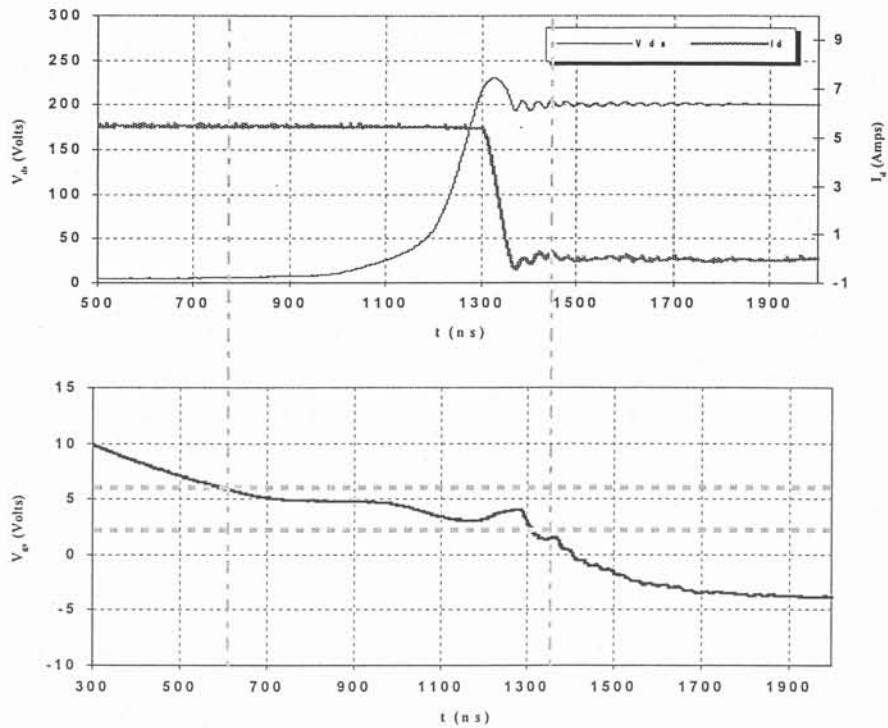
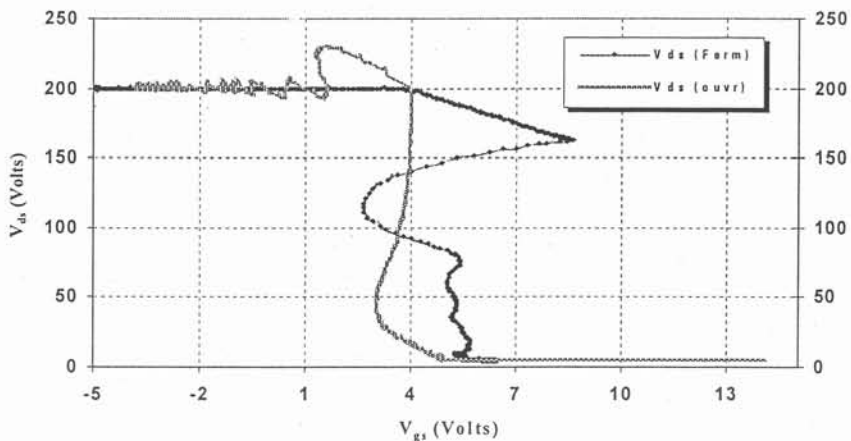


Fig. III-21: Formes d'onde de MOSFET durant l'ouverture (Mesures)


 Fig. III-22: Lieu V_{ds} - V_{gs} à la fermeture et à l'ouverture

Ces résultats montrent de très grandes variations de cette capacité au voisinage de la tension conductrice. Une méthodologie a été tout récemment présentée par C. Deml d'Infineon Technologies (groupe semiconducteur de Siemens) pour mesurer la capacités d'entrée et la capacité Miller en présence du courant de drain [Deml-99]. D'après les résultats de Deml sur la capacité d'entrée, pour les fortes tensions les mêmes allures qu'en faible tension peuvent être obtenues.

De tels manques existent aussi lors de la caractérisation de la capacité Miller et de la capacité de sortie. Une méthode de caractérisation de la capacité d'entrée et la capacité Miller consiste à faire commuter le MOSFET et à utiliser directement les formes d'ondes en commutation [Aubard-98, Hefner-97, Akhbari-99/2].

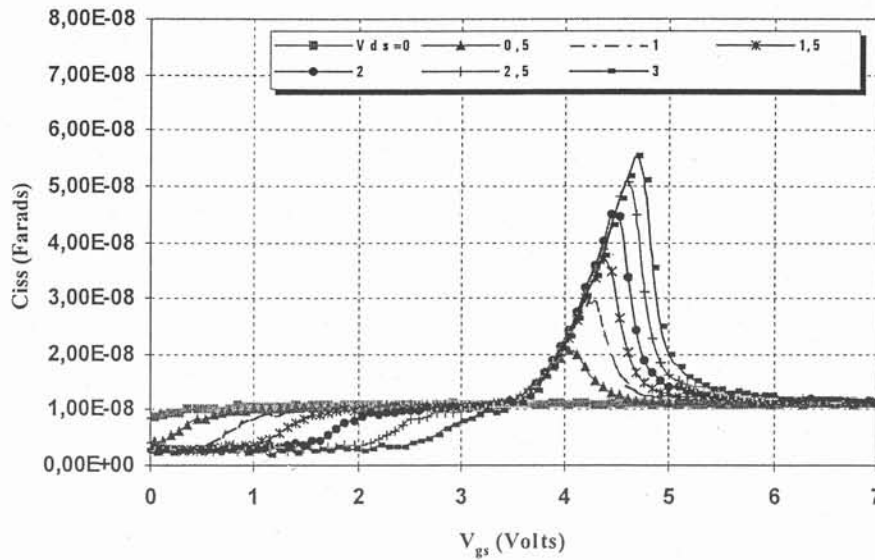


Fig. III-23: Capacité d'entrée mesurée pour les faibles tensions de polarisation V_{ds} (Mesures effectuées par le pont d'impédance: HP4194A)

Cette méthode a pour principe de distinguer les différentes phases de commutation du MOSFET. Afin de pouvoir séparer les phases de commutation de courant et de tension, il faut que la commutation soit assez lente. Ceci sera assuré en choisissant une résistance de grille assez grande. Dans ces conditions, nous pouvons distinguer deux phases successives correspondant à la commutation de tension et à la commutation de courant. A titre d'exemple, les figures III-24 et III-25 montrent les mesures des commutations lentes (la fermeture et l'ouverture) d'un IRFP450FI avec $R_{g-on}=R_{g-off}=2\text{ k}\Omega$. Nous pouvons constater qu'à la fermeture la commutation de courant commence d'abord à tension quasiment constante (à sa valeur initiale) durant cette phase, ensuite lorsque le courant s'établit au niveau du courant de charge, la tension commence à évoluer. A l'ouverture nous voyons le même comportement avec l'ordre différent; d'abord la commutation de tension et ensuite celle du courant. Pour une commutation assez lente et pour les tensions $V_{gs} < V_{th}$, le potentiel de drain est fixe, il est donc possible de calculer la capacité dynamique vue de l'électrode de grille en fonction du potentiel de grille :

$$C_{iss} = \frac{I_g}{\left. \frac{dV_{gs}}{dt} \right|_{V_{ds}=\text{cste}}} \quad (13)$$

Pour ce calcul, le traitement numérique des signaux enregistrés doit se faire avec précaution car l'opérateur de dérivée amplifie les bruits qui sont présents dans les signaux mesurés; ceci devient encore plus important lorsqu'on essaie de retrouver les vraies tensions V_{gs} et V_{ds} (influence des inductances de boîtier).

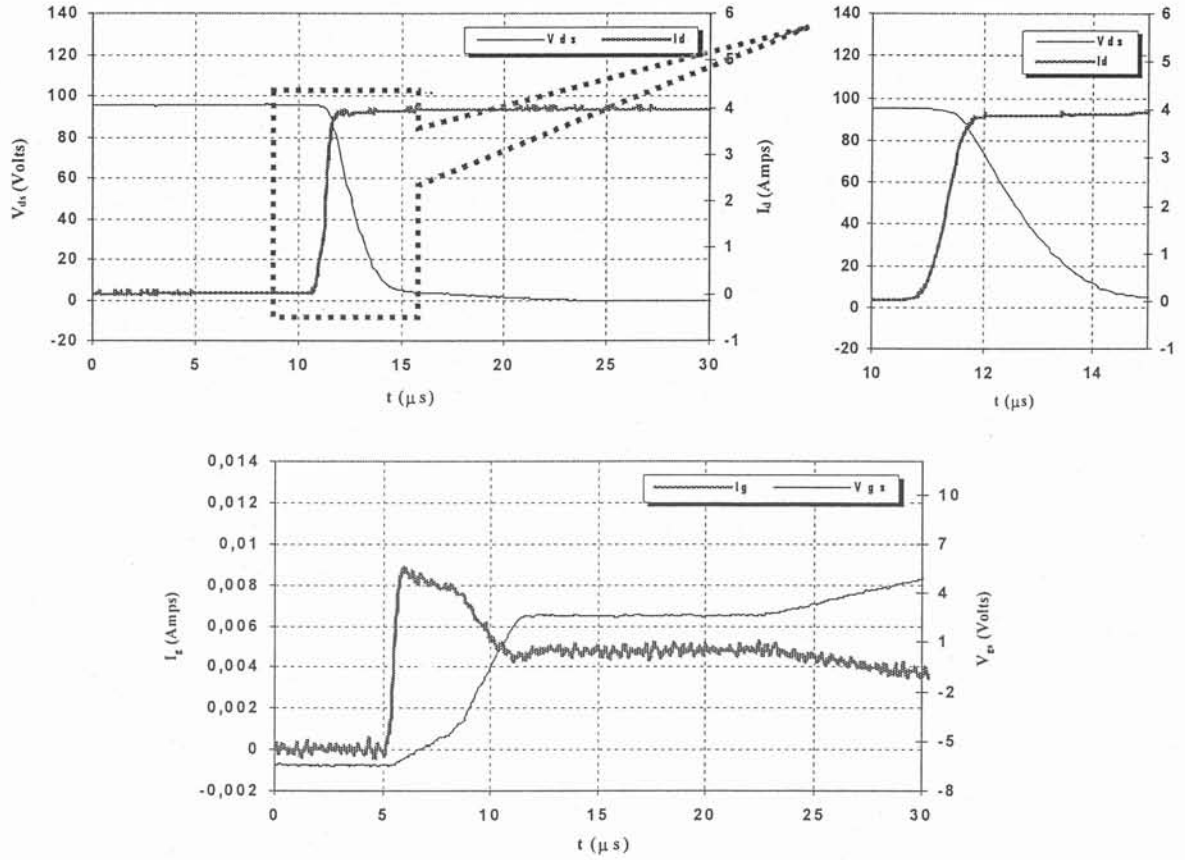


Fig. III-24: Forme d'ondes de drain (haut) et de grille (bas) de MOSFET durant une fermeture lente

En effet, on corrige les tensions mesurées en enlevant les termes inductifs (voir la figure III-26), qui dépendent de la dérivée des courants:

$$V_{gs} = V_{GS} - (I_g + 2m_{gG} + \dots) \frac{dI_g}{dt} - (I_s + m_{gd} + \dots) \frac{dI_d}{dt} \quad (14)$$

Or, on dérive à nouveau ces expressions pour pouvoir obtenir la valeur de la capacité.

$$C_{iss} = \frac{I_g}{\frac{dV_{GS}}{dt} - (I_g + 2m_{gG} + \dots) \frac{d^2 I_g}{dt^2} - (I_s + m_{gd} + \dots) \frac{d^2 I_d}{dt^2}} \quad (15)$$

Ces doubles dérivations sont à l'origine de bruit. Ce traitement permet néanmoins d'obtenir l'évolution des capacités en fonction des deux potentiels V_{gs} et V_{ds} , y compris aux alentours du seuil. On retrouve pour les V_{gs} inférieurs au seuil les mesures effectuées au pont d'impédance, Fig. III-27. On obtient les mêmes résultats en traitant les formes d'ondes de l'ouverture et celles de la fermeture.

En se référant aux formes d'ondes en commutation lente, on voit que la commutation de la tension s'accomplit indépendamment de celle du courant et lorsque la tension de drain évolue, le potentiel de grille demeure quasiment constant, donc le courant de grille sert exclusivement à charger (à la fermeture) ou à décharger (à l'ouverture) la capacité Miller, C_{gd} . L'évolution de la tension de drain est alors commandée par la grille, dans ces conditions nous avons donc:

$$C_{rss} = \frac{I_g}{\frac{d(V_{gs} - V_{ds})}{dt}} = - \frac{I_g}{\frac{dV_{ds}}{dt}} \bigg|_{V_{gs} = \text{constant}} \quad (16)$$

A nouveau ici, les précautions concernant le traitement des signaux mesurés sont aussi à prendre en considération.

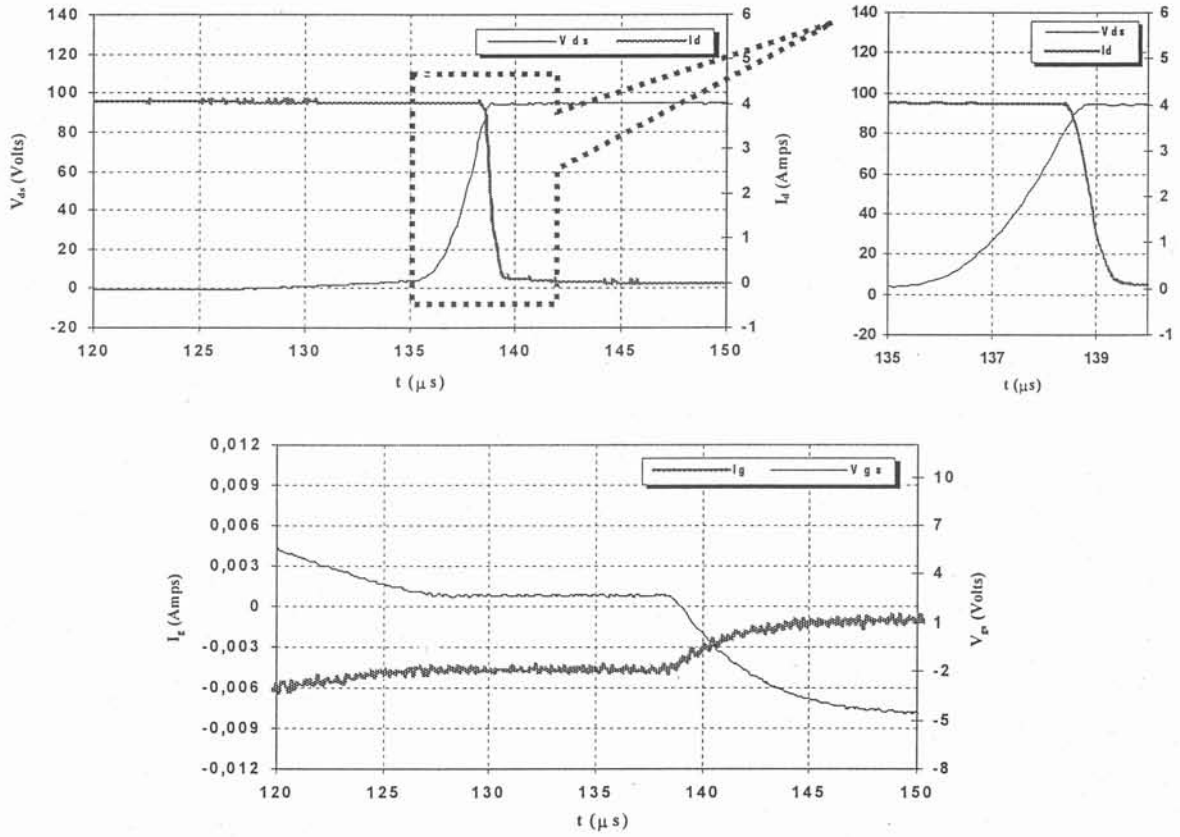


Fig. III-25: Forme d'ondes de drain (haut) et de grille (bas) de MOSFET durant une ouverture lente

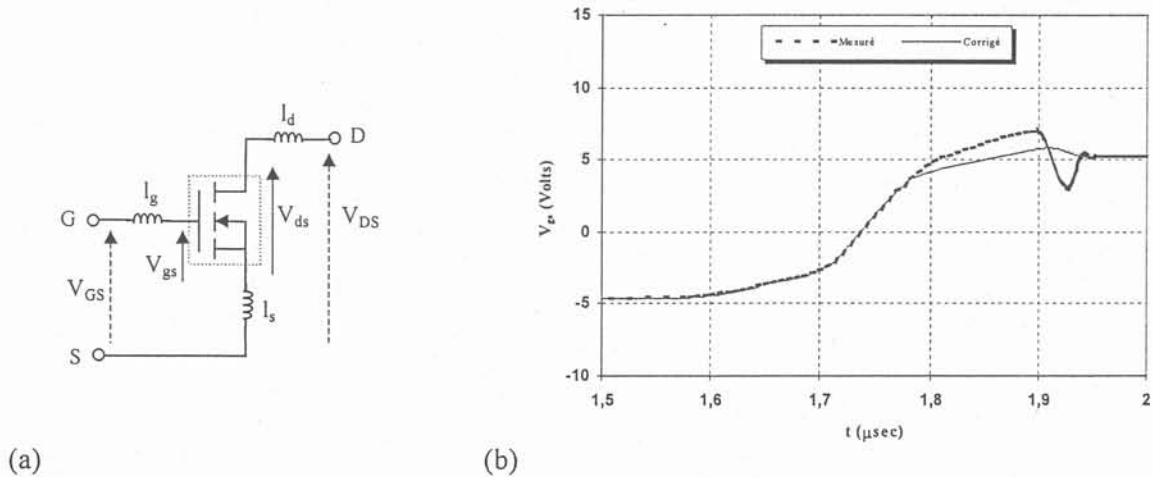


Fig. III-26: (a) Potentiels internes du boîtier (b) Tension V_{gs} mesurée et corrigée

Les résultats du calcul de la capacité Miller sont présentés sur la figure III-28. Sur cette figure, les mesures de la capacité par le pont d'impédance sont également montrées, on

peut constater que les variations importantes de la capacité Miller se produisent dans les tensions de drain de plus en plus élevées.

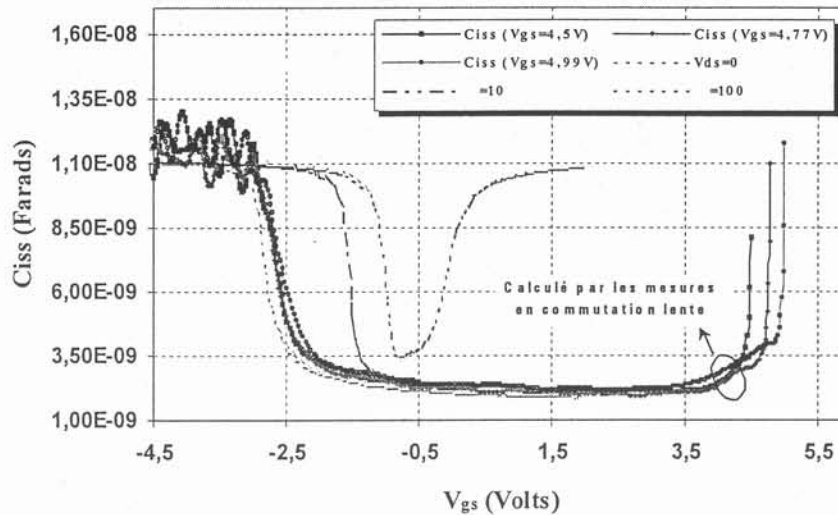


Fig. III-27: Capacité d'entrée obtenue par les mesures des formes d'ondes en commutation lente comparées avec celles mesurées directement par le pont d'impédance (MOSFET: IRFP450FI).

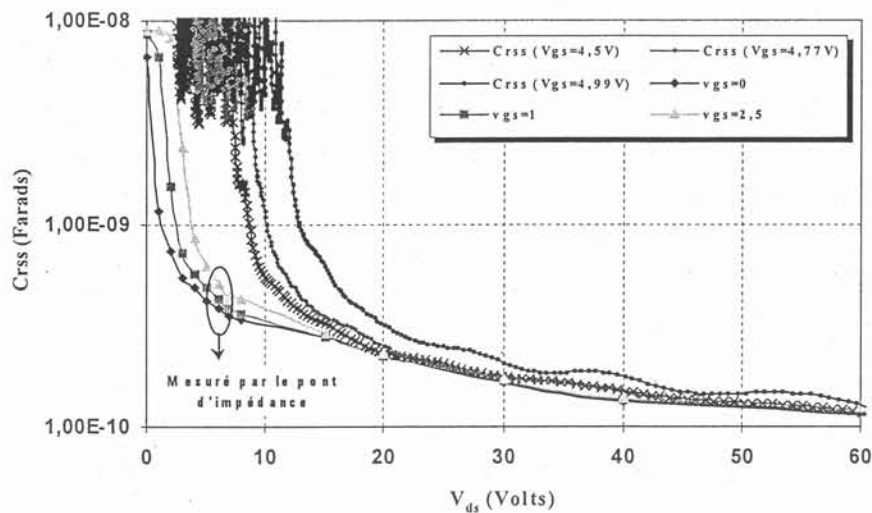


Fig. III-28: Capacité Miller obtenue par les mesures des formes d'ondes en commutation lente comparées avec celles mesurées directement par le pont d'impédance (MOSFET: IRFP450FI).

III.7.4. Mesure fréquentielle de l'admittance d'entrée

Afin d'identifier la nature des éléments modélisant le MOSFET lorsqu'il est conducteur, nous avons effectué des mesures fréquentielles. Pour ce faire, le MOSFET est polarisé en différents points de fonctionnement en utilisant la tension de polarisation du pont d'impédance et une alimentation externe. L'amplitude du signal sinusoïdal est choisie de manière à ne pas perturber les mesures; en fait un signal, avec une grande amplitude, peut changer l'état du dispositif: s'il est conducteur il devient fermé et vice versa.

Les résultats des mesures fréquentielles sont illustrés sur les figures III-29 et III-30. Dans ces figures, le module et la phase de l'admittance d'entrée pour les différentes tensions de polarisation V_{gs} et pour $V_{ds}=3$ V sont montrés. On peut voir les variations de la capacité d'entrée en basse fréquence, par exemple pour $V_{gs}=-5$ V à 10 kHz, l'admittance est de $6,78 \times 10^{-4} \Omega^{-1}$, ce qui donne une capacité de $C_{iss}(V_{gs}=-5V, f=10kHz)=Y/(2\pi f)=10,8$ nF; cette valeur correspond bien à celle mesurée sur la figure III-17. On repère la même valeur de la capacité pour $V_{gs}=3,5$ V, ce qui correspond à la valeur mesurée sur la figure III-23. Pour $V_{gs}=0$, on obtient $C_{iss}=2,6$ nF et pour $V_{gs}=4,5$ V on obtient $C_{iss}=58,3$ nF à comparer aux 57 nF mesurés sur la figure III-23. Ceci confirme donc le modèle capacitif, ainsi que les mesures de la capacité d'entrée.

En haute fréquence, le modèle bas signal du MOSFET, lorsqu'il est en état actif, est décrit par le circuit équivalent dont le schéma est présenté sur la figure III-8. La figure III-31 montre le dispositif pour la mesure de la capacité d'entrée et son modèle petits signaux. Durant cette mesure, le drain est polarisé par une capacité chimique $C=2200$ μ F chargée au préalable à la tension désirée. La polarisation de grille est assurée par le pont HP4194A. En fait, on utilise une capacité pour éviter tout risque de perturbation de mesure qu'on pourrait rencontrer en cas d'utilisation d'une alimentation externe [Lembeye-97].

Nous avons testé le modèle de MOSFET en comparant les mesures fréquentielles à l'état conducteur avec une analyse fréquentielle du circuit équivalent de MOSFET dans sa zone active (Fig. III-31). Les figures III-32 et III-33 présentent le module et la phase de l'admittance d'entrée mesurée (trait fin) et simulée (trait gras), la comparaison donne une bonne concordance en basse fréquence ce qui confirme l'exactitude des valeurs des capacités, mais en haute et moyennes fréquences le modèle doit être amélioré. En prenant en compte les inductances parasites des fils de connexions, on trouve des résultats satisfaisants (courbes en pointillé).

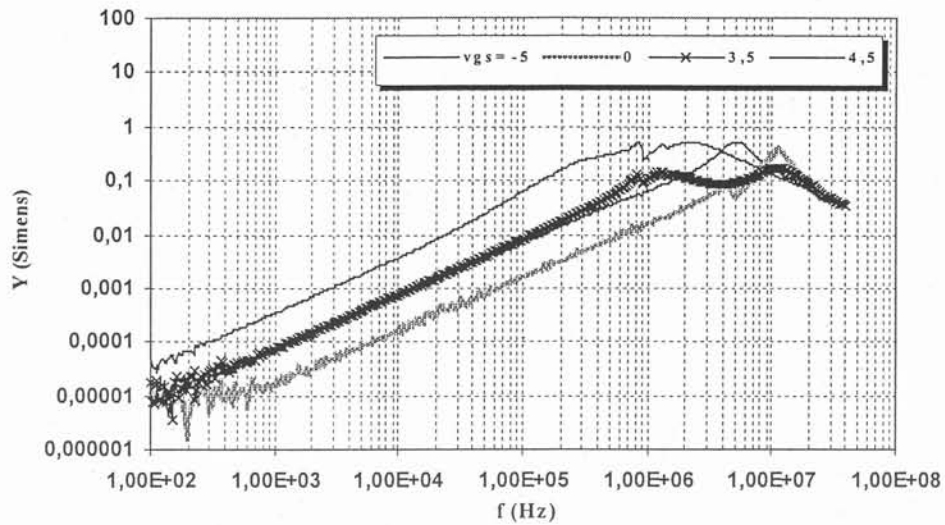


Fig. III-29: Module d'admittance d'entrée mesurée pour $V_{ds}=3$ V et différentes valeurs de la tension de grille

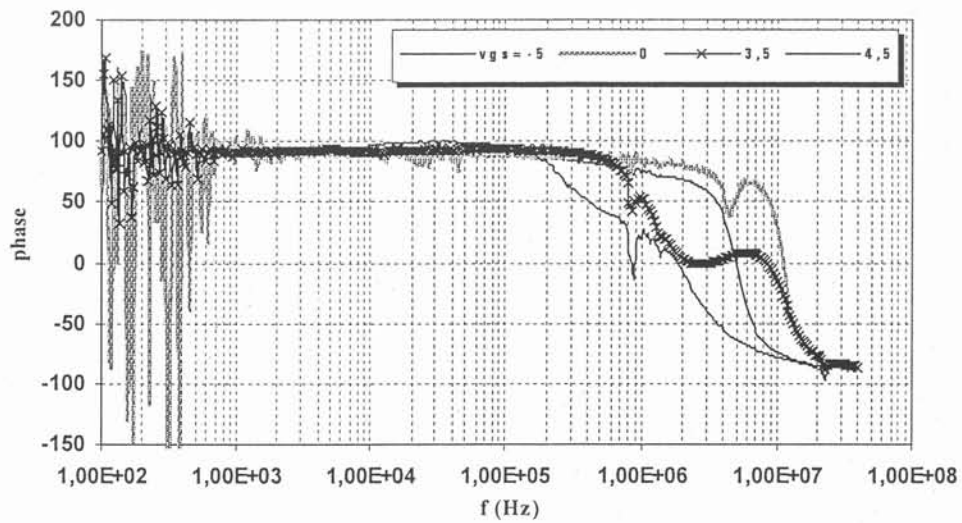


Fig. III-30: Phase de l'admittance d'entrée mesurée pour $V_{ds}=3$ V et différentes valeurs de la tension de grille

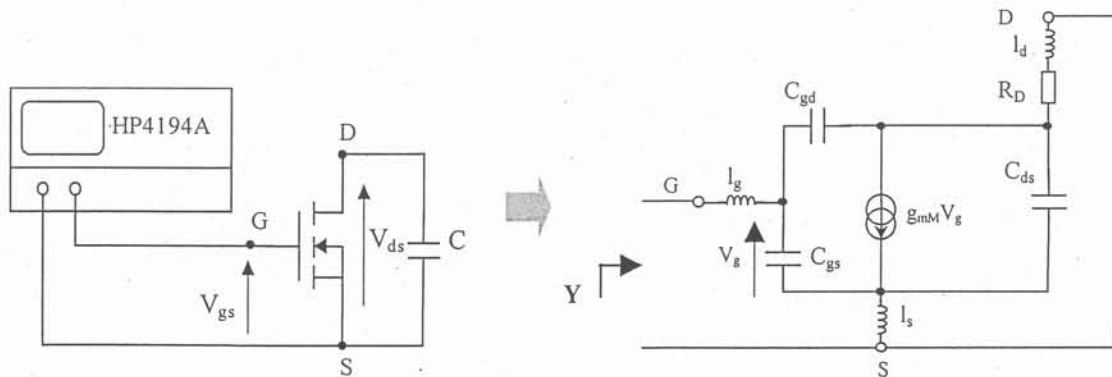
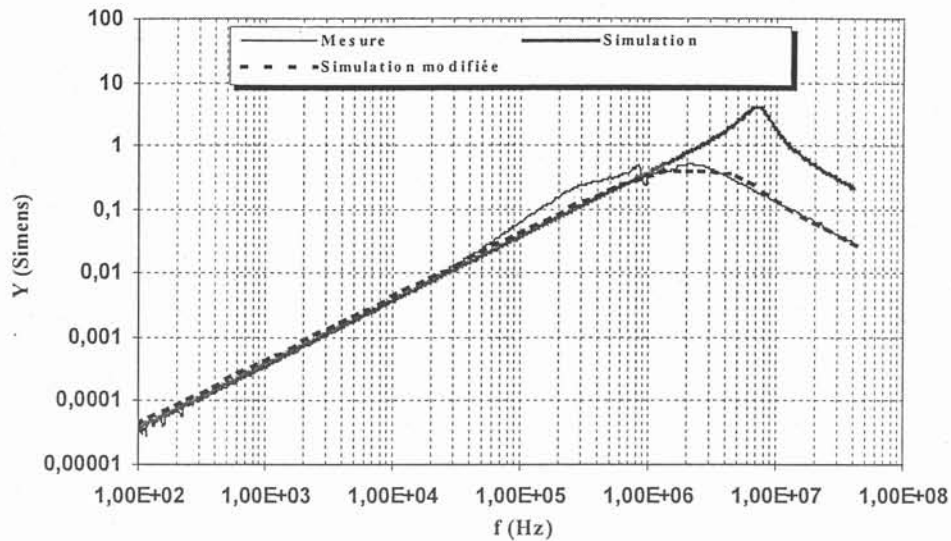
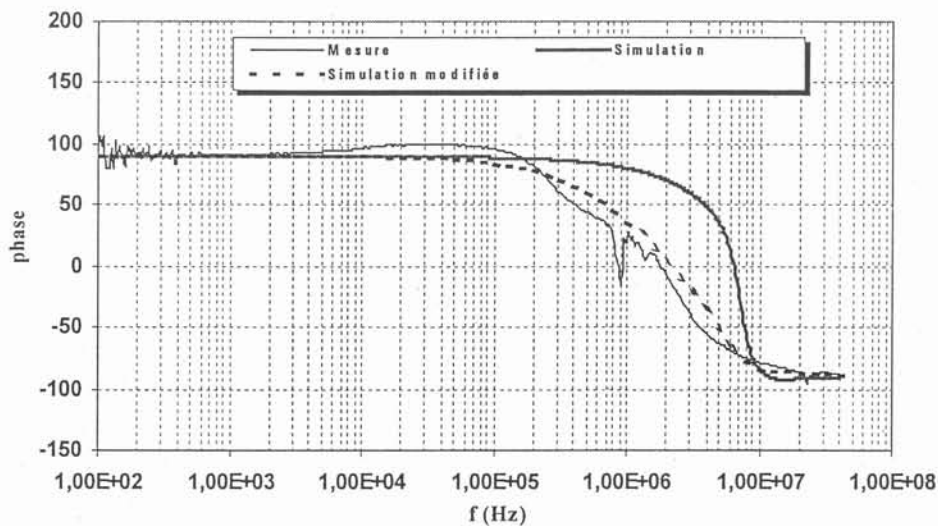


Fig. III-31: Mesure de la capacité d'entrée par le pont HP4194A et le modèle bas signal de MOSFET

Fig. III-32: Phase de l'admittance d'entrée mesurée et simulée ($V_{ds}=3$ V et $V_{gs}=4,5$ V)Fig. III-33: Phase de l'admittance d'entrée mesurée et simulée ($V_{ds}=3$ V et $V_{gs}=4,5$ V)

III.8. Modèle comportemental du MOSFET

III.8.1. Circuit équivalent du MOSFET

Vu que le fonctionnement du MOSFET durant les commutations est basé sur la charge et la décharge de ses capacités parasites, un modèle précis doit prendre en compte ces capacités de manière rigoureuse. Quelle que soit la technologie utilisée dans la construction du MOSFET le circuit équivalent présenté sur Fig. III-34 avec un nombre minimum d'éléments (actifs et passifs) peut représenter le MOSFET de puissance de façon précise. Ce circuit est en quelque sorte déductible des deux modèles présentés dans les paragraphes précédents (Figs. III-8 et III-9).

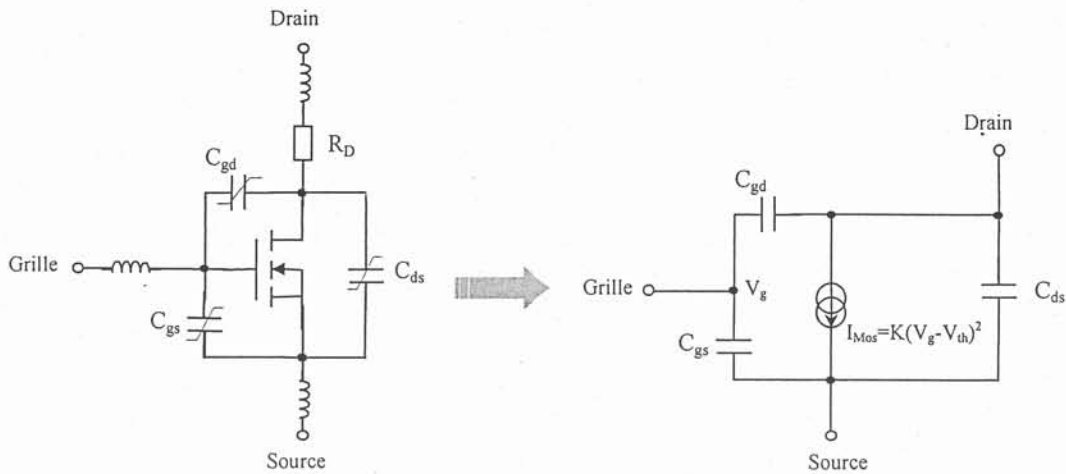


Fig. III-34: Circuit équivalent du MOSFET de puissance

La résistance d'accès R_a (dans laquelle la résistance de canal est comprise) dans le circuit équivalent de Fig. III-8 ne représente que 2% de la résistance $R_{DS(on)}$, donc on peut la négliger. En ajoutant les inductances des pattes et en utilisant des capacités équivalentes au lieu des capacités partielles le schéma équivalent du circuit de la Fig. III-8 sera équivalent à celui de Fig. III-34.

Le modèle utilisé pour représenter le MOSFET sera donc un modèle phénoménologique basée sur le circuit équivalent de la figure III-34. En fait, il s'agit ici, à partir du modèle classique de MOSFET en linéaire (dans la zone active du dispositif), de représenter la totalité des commutations. Pour cela, elles sont décomposées en multiples phases, chacune étant représentée par des schémas électriques équivalents. Quatre phases sont distinguées, à l'amorçage comme au blocage [Farjah-94, Merienne-96].

III.8.1.1. Amorçage du MOSFET

Nous considérons le MOSFET dans une structure de la cellule de commutation décrite au chapitre I. Les formes d'ondes expérimentales sont rappelées Fig. III-35 et l'on peut distinguer quatre phases:

1. Les circuits de grille et de puissance sont indépendants, la tension grille source croît jusqu'à la tension de seuil V_{th} . Durant cette phase, il est important de bien prendre en compte l'évolution de la capacité d'entrée C_{iss} en fonction des deux potentiels V_{gs} et V_{ds} [Akhbari-99].
2. Le MOSFET passe en régime linéaire, la diode étant toujours conductrice (son modèle est alors relativement simple). Le schéma équivalent du MOSFET est alors celui de la figure III-34. Le courant drain évolue alors via la grille, dans la mesure où la source de courant évolue suivant la relation $I_{MOS} = g_m(V_{gs} - V_{th})$. C'est la phase de commutation en courant. Durant cette phase, l'évolution des capacités en fonction de V_{ds} et V_{gs} est toujours capitale

à prendre en compte, mais la connaissance précise du gain g_m est également importante (fonction de V_{gs} , V_{th} et de la température).

3. L'étape suivante est gérée par la diode; à partir du moment où celle-ci se polarise en inverse, une zone de charge d'espace apparaît dans sa base, le modèle du MOSFET reste identique à celui dans la phase précédente. Notons que cette phase, contrairement à ce qui est communément admis ne commence pas forcément à l'instant où le courant inverse est maximum dans la diode [Farjah-94, Merienne-96] mais bien avant. C'est la phase de commutation en tension. Les deux modèles (MOSFET et diode) interagissent fortement.
4. Quand la tension V_{ds} atteint la tension $V_{ds(on)} = I_d \times R_{DS(on)}$, les circuits de grille et de puissance sont à nouveau découplés, et la tension V_{gs} évolue vers son niveau final (15V le plus souvent).

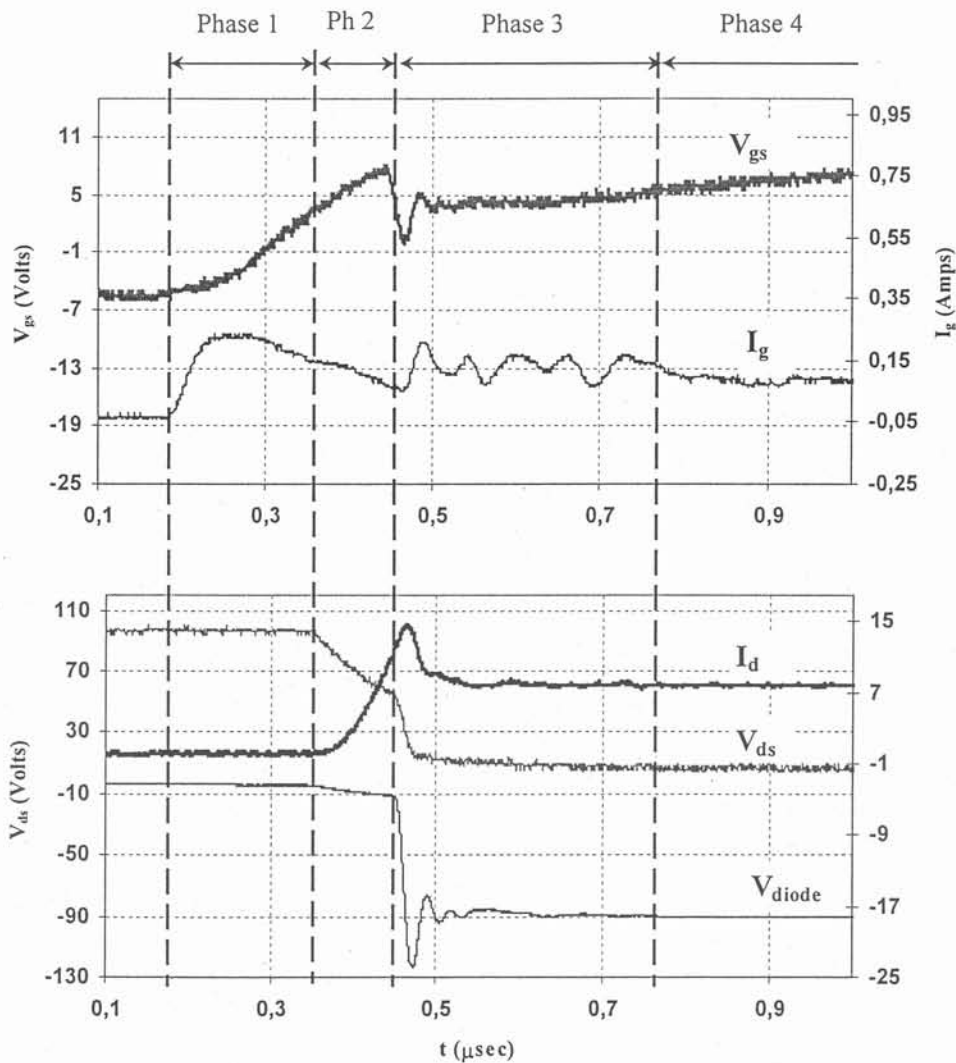


Fig. III-35: Commutation à la fermeture (formes d'ondes mesurées)

III.8.1.2. Blocage du MOSFET

Les formes d'ondes expérimentales à l'ouverture du MOSFET sont présentées sur la Fig. III-36, quatre phases peuvent être distinguées:

1. Les circuits de grille et de puissance sont indépendants, la tension grille source décroît jusqu'à un niveau imposé par le courant du MOSFET: $V_{con}=V_{th}+I_{ch}/g_m$. Durant cette phase, il est capital de bien prendre en compte l'évolution de la capacité d'entrée C_{iss} en fonction des deux potentiels V_{gs} et V_{ds} .
2. Le MOSFET passe en régime linéaire, la diode étant toujours bloquée, son modèle est alors décrit essentiellement par l'équation de la tension, dans la zone de charge d'espace. C'est la phase de commutation en tension. Au premier ordre, on peut considérer que la tension V_{ds} évolue alors via le circuit de grille. En effet, la tension Grille-Source est maintenue sensiblement constante, et le circuit de grille charge alors la capacité C_{gd} (ou C_{rss}). Ceci a pour effet de faire évoluer la tension Drain-Source. La résistance de grille joue fortement sur le dV/dt durant cette phase, de même que l'évolution des capacités du MOSFET en fonction de V_{ds} et de V_{gs} .
3. A partir du moment où la diode devient conductrice, on entre dans la phase de commutation en courant. Les circuits de grille et de puissance sont sollicités ensemble. Le modèle de diode n'est pas vraiment critique dans cette phase, puisque celle-ci est conductrice (sauf reblocage de celle-ci, en cas de problème d'interaction puissance-commande).
4. Quand le courant MOSFET s'annule, les circuits de grille et de puissance sont à nouveau découplés, et la tension V_{gs} évolue vers son niveau final (0 V ou une tension négative).

Se référant au circuit équivalent de la figure III-34, les équations du MOSFET durant les deux phases intermédiaires de l'amorçage ainsi que du blocage se résument sous forme suivante:

$$\begin{bmatrix} \frac{dV_{ds}}{dt} \\ \frac{dV_{gs}}{dt} \end{bmatrix} = \frac{1}{C_{ds}C_{gs} + C_{ds}C_{gd} + C_{gd}C_{gs}} \begin{bmatrix} C_{gs} + C_{gd} & C_{gd} \\ C_{gd} & C_{ds} + C_{gd} \end{bmatrix} \begin{bmatrix} I_d - I_{Mos} \\ I_g \end{bmatrix} \quad (17)$$

où $I_{Mos}=K(V_{gs}-V_{th})^2$. Dans cette expression les grandeurs V_{ds} , V_{gs} , I_d et I_g sont les variables d'état.

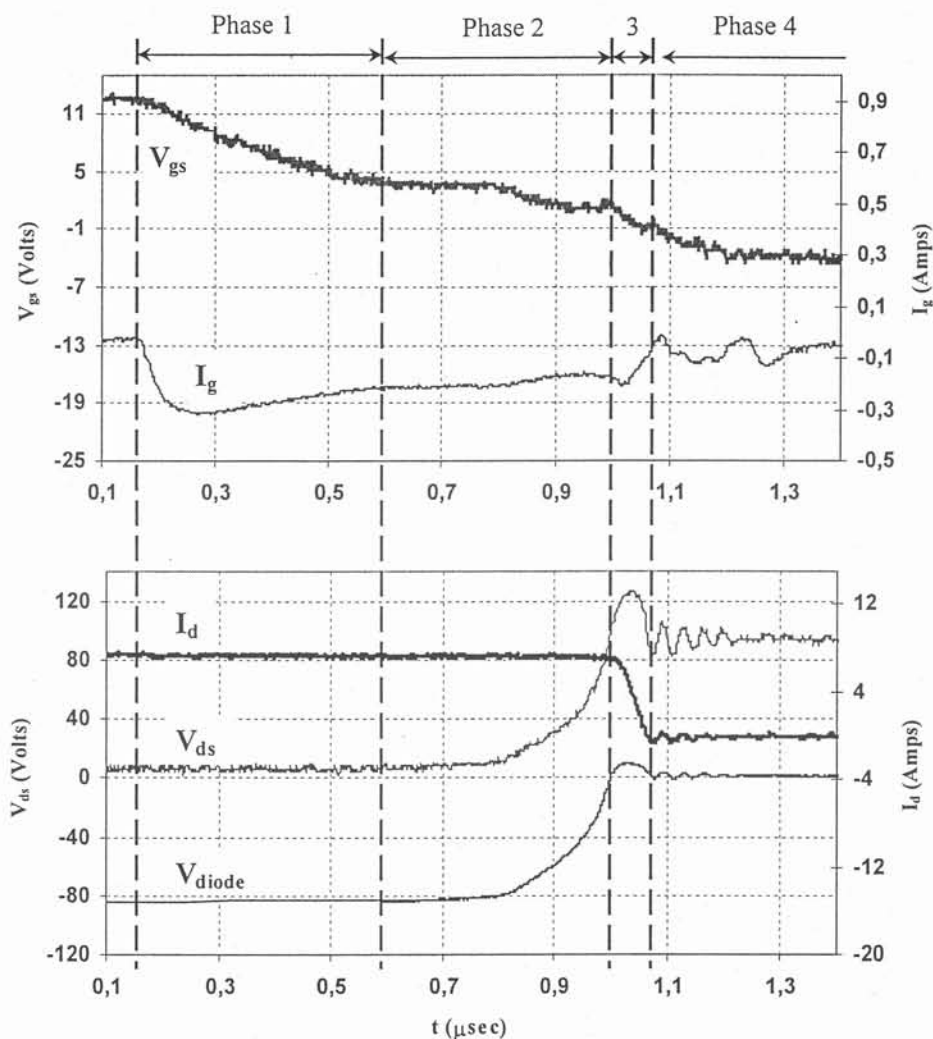


Fig. III-36: Commutation à la fermeture (formes d'ondes mesurées)

III.8.2. Validation du modèle

Nous allons présenter la validation du modèle du MOSFET décrit au paragraphe précédent. Tout d'abord regardons le modèle de SPICE. Le point faible de ce modèle est qu'il n'est valable que dans une zone étroite autour du point de fonctionnement pour lequel ses paramètres ont été identifiés. A titre d'exemple, nous avons identifié les paramètres du modèle SPICE niveau 3 et puis nous avons ajusté ces paramètres par les modules PARTS de SPICE pour une vitesse commutation donnée (la résistance de grille $R_g=75\ \Omega$) afin de rapprocher les formes d'ondes mesurées à celle issues de simulation. Le modèle de la diode est celui de Batard présenté au chapitre précédent. Le résultats de simulations sont donnés sur les figures III-37 et III-38. On constate que les formes d'ondes de puissance simulées, Fig. III-37, suivent bien les mesures malgré le désaccord que l'on a au niveau des formes d'ondes de grille, Fig. III-38.

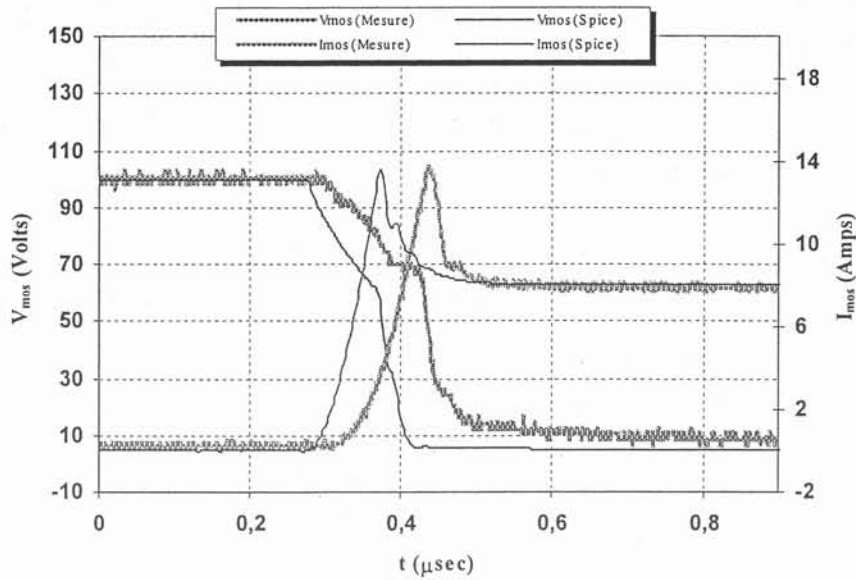


Fig. III-37: Formes d'ondes du MOSFET mesurées en comparaison avec celles simulées par le modèle SPICE niveau 3 et affiné par le module PARTS pour $R_g=75\ \Omega$.

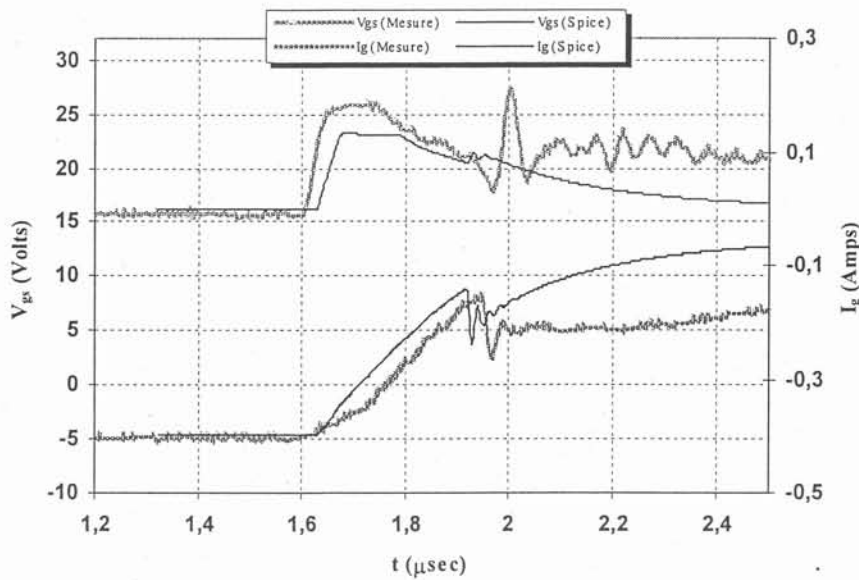


Fig. III-38: Formes d'ondes de grille mesurées en comparaison avec celles simulées par le modèle SPICE niveau 3 et affiné par le module PARTS pour $R_g=75\ \Omega$.

Maintenant, nous changeons la vitesse de commutation en choisissant une résistance de grille plus faible égale à $18\ \Omega$, sans changer les paramètres du modèle SPICE; les résultats de simulation sont présentés sur les figures III-39 et III-40. On remarque une nette différence par rapport aux mesures aussi bien dans les signaux du circuit de grille, Fig. III-40, que dans les signaux de puissance, Fig. III-39. Ceci est dû au fait que les non-linéarités des capacités du MOSFET ne sont pas correctement prises en compte par le modèle SPICE.

En effet, il est clair que le di/dt est mal évalué. Ceci ne peut pas être imputé au modèle de la diode, puisque celle-ci est passante pendant une grande partie de la phase de montée en

courant. C'est donc la mauvaise évaluation de la tension V_{gs} qui est à l'origine de cette erreur ($I_{MOS}=K(V_{gs}-V_{th})^2$). Ceci est confirmé par l'allure des signaux de grille (Fig. III-40). Du fait de cette erreur sur le dI/dt , la chute de tension inductive sur le MOSFET est naturellement faussée.

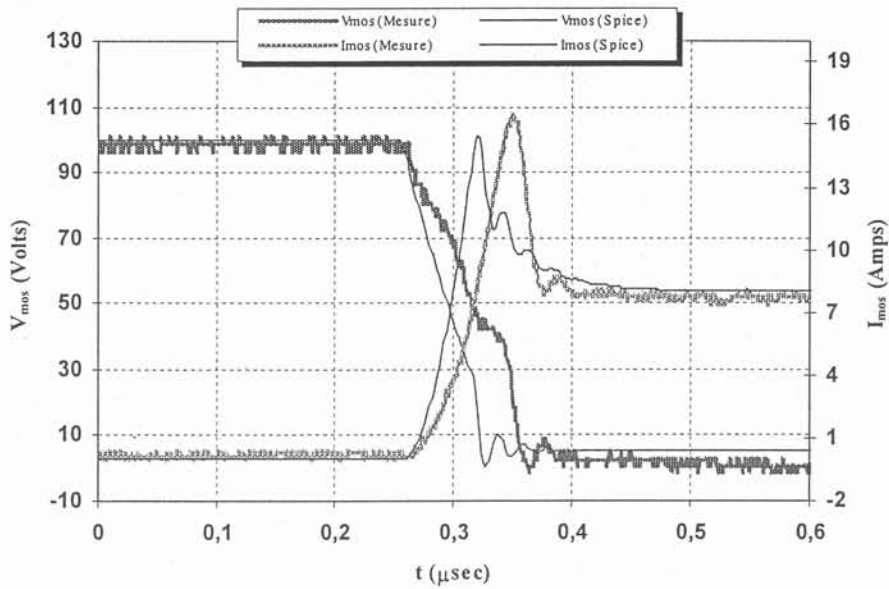


Fig. III-39: Signaux de puissance simulés par le modèle SPICE pour $R_g=18\ \Omega$.

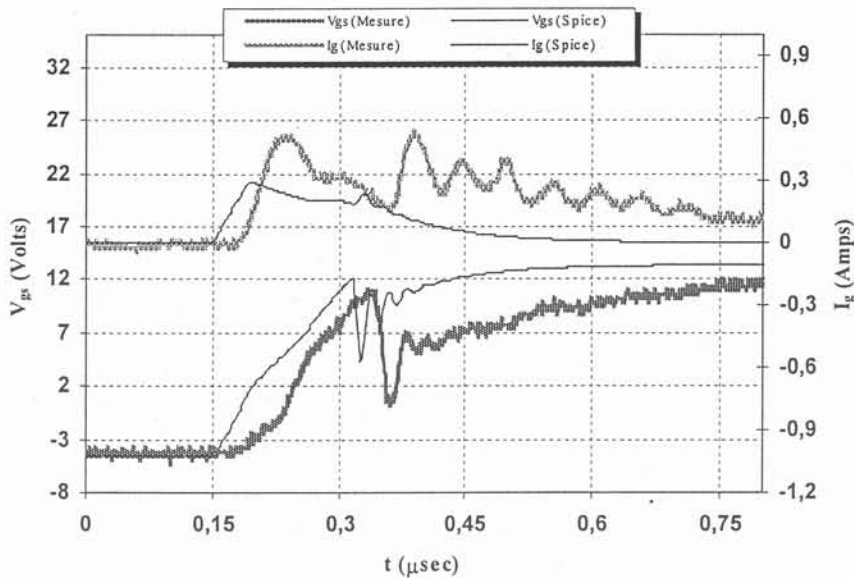


Fig. III-40: Signaux de grille simulés par le modèle SPICE pour $R_g=18\ \Omega$.

La même procédure est suivie avec le modèle comportemental présenté au paragraphe précédent. Les résultats de simulation sont présentés dans les figures III-41 et III-42. Les formes d'ondes de grille et de drain présentent une bonne concordance avec les mesures. Au niveau du temps de calcul, il faut noter que le modèle SPICE est au moins cinq fois plus rapide que notre modèle. Notre programme utilise un moteur de recherche non optimisé pour

trouver les bonnes valeurs dans les tableaux concernant les capacités non-linéaires. De plus, le moteur de résolution utilisé, est un simple script de MATLAB qui peut, lui aussi, être optimisé. En outre, le langage MATLAB est environ 3 à 4 fois plus lent qu'un même algorithme codé dans un langage non interprété. Une validation plus poussée du modèle complet de la cellule de commutation dans le chapitre 3, nous permettra de revoir de façon plus précise les limitations et le domaine de validité du modèle comportemental du MOSFET.

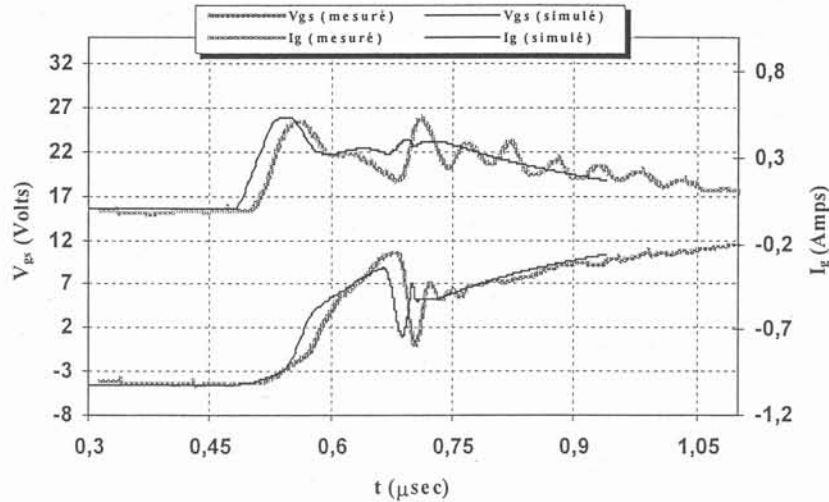


Fig. III-41: Signaux de grille simulés par le modèle élaboré dans ce chapitre pour $R_g=18\ \Omega$.

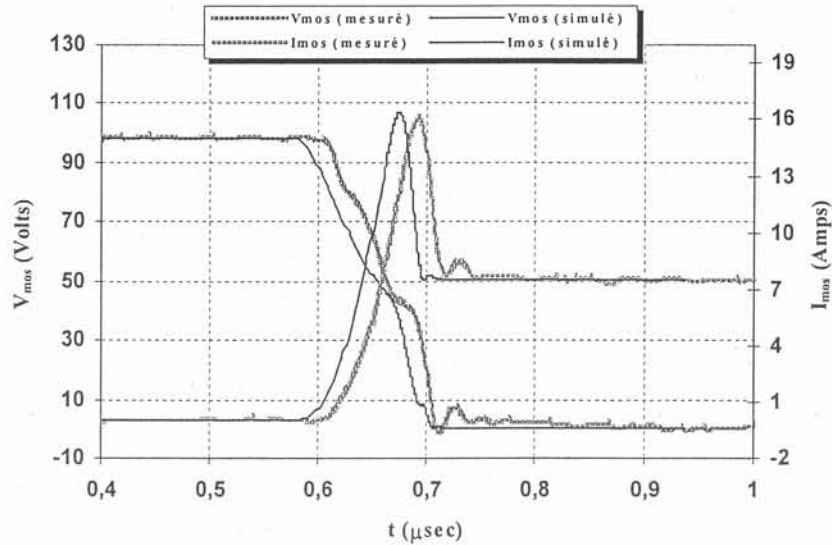


Fig. III-42: Signaux de puissance simulés par le modèle élaboré dans ce chapitre pour $R_g=18\ \Omega$.

III.9. Conclusion

Une étude bibliographique sur les différents modèles de MOSFET de puissance montre qu'une modélisation précise du comportement de celui-ci est bien possible avec un modèle constitué d'un cœur issu d'une étude statique (la source de courant qui décrit le

fonctionnement du MOSFET) et des éléments parasites. La précision du modèle dépend principalement de la précision de la caractérisation des paramètres et en particulier de la détermination des capacités non-linéaires. C'est pour cette raison que nous avons consacré une partie importante de notre travail à la détermination des capacités du MOSFET; malgré tout, il reste encore beaucoup de travail dans ce domaine.

De grandes variations de la capacité d'entrée et la capacité Miller au voisinage de la tension de seuil et de la tension conductrice sont à prendre en compte pour une simulation fine. Les simulations effectuées présentent un bon accord avec les mesures lorsqu'il s'agit de changement de la vitesse de commutation ce qui n'est pas le cas pour le modèle SPICE le plus précis (utilisant les modules PARTS). Ceci prouve qu'une caractérisation fine des capacités parasites du MOSFET et notamment les capacités d'entrée et Miller, peut rendre son modèle plus précis.

Chapitre IV

Modèle de la cellule de commutation Diode-MOSFET : Validation

IV.1. Introduction

IV.2. Mise en œuvre du modèle de la cellule de commutation

IV.3. Validation du modèle de la cellule de commutation

IV.4. Influence des capacités non-linéaires dans la simulation

IV.5. Conclusion

IV.1. Introduction

Dans ce chapitre, nous allons présenter le modèle complet de la cellule de commutation. L'essentiel de la modélisation a été décrite dans les trois chapitres précédents, ici nous allons expliquer la manière dont les informations s'échangent entre les différentes parties (ou modules) du modèle complet. Dans cette étape, la modélisation est en fait hybride; le modèle est d'ailleurs construit sur deux modules principaux: i) le module décrivant la dynamique des charges ii) le module des circuits environnants parmi lesquels le circuit équivalent du MOSFET. Puisque les paramètres des modèles de composants (diode, MOSFET) ne se trouvent pas dans les documentations des constructeurs, nous déduisons ces paramètres des mesures présentées dans le chapitre III pour le MOSFET et pour la diode nous utilisons des diodes spécifiquement conçues à des fins de recherche dont nous possédons les paramètres technologiques. Une fois le modèle complet programmé, il sera validé par des simulations et des mesures effectuées dans différentes conditions de fonctionnement.

IV.2. Mise en œuvre du modèle de la cellule de commutation

La figure IV-1 montre le schéma-bloc pour la mise en œuvre du modèle de la cellule de commutation. Ce schéma est constitué de deux principaux modules; le module de la diode et le module du circuit environnant la diode.

Le module de la diode se compose de deux blocs, le premier est consacré au modèle de la dynamique des charges dans la base de la diode. Nous avons expliqué les détails de ce modèle dans le deuxième chapitre. Les sorties de ce bloc sont alors utilisées pour déterminer la tension aux bornes de la diode. Pour ce faire, à chaque instant, nous avons besoin de la largeur de la zone de charge d'espace, $x_1(t)$, et de la distribution des concentrations des porteurs au long de la zone de stockage, $P(x,t)$, dans l'intervalle $[x_1(t), x_2(t)]$. Les formules analytiques de la tension de la diode sont données au chapitre II; il est à noter que, pour le calcul de la tension ohmique, nous avons utilisé l'intégration numérique par la méthode des trapézoïdes; le nombre minimum de points dans l'intervalle $[x_1(t), x_2(t)]$ pour un calcul assez précis (moins de 5% d'erreur) est de 10.

Le module du circuit environnant est en fait le modèle du reste de circuit, y compris le modèle du MOSFET (qui est constitué de composants électriques). La diode est donc considérée comme un élément non-linéaire et avec une dynamique particulière et pour déterminer la tension à ses bornes, nous avons besoin de connaître le courant qui la parcourt.

Le fait d'avoir des modules séparés offre la possibilité de construire facilement des modèles des autres composants ayant une dynamique de charges dans leurs bases larges tels que IGBT, GTO,... Mathématiquement, les équations différentielles concernant la diode et le reste du circuit sont traitées ensemble sous forme d'un système d'équations d'état.

L'initialisation des variables d'état s'effectue par une analyse statique préalable de l'ensemble du circuit.

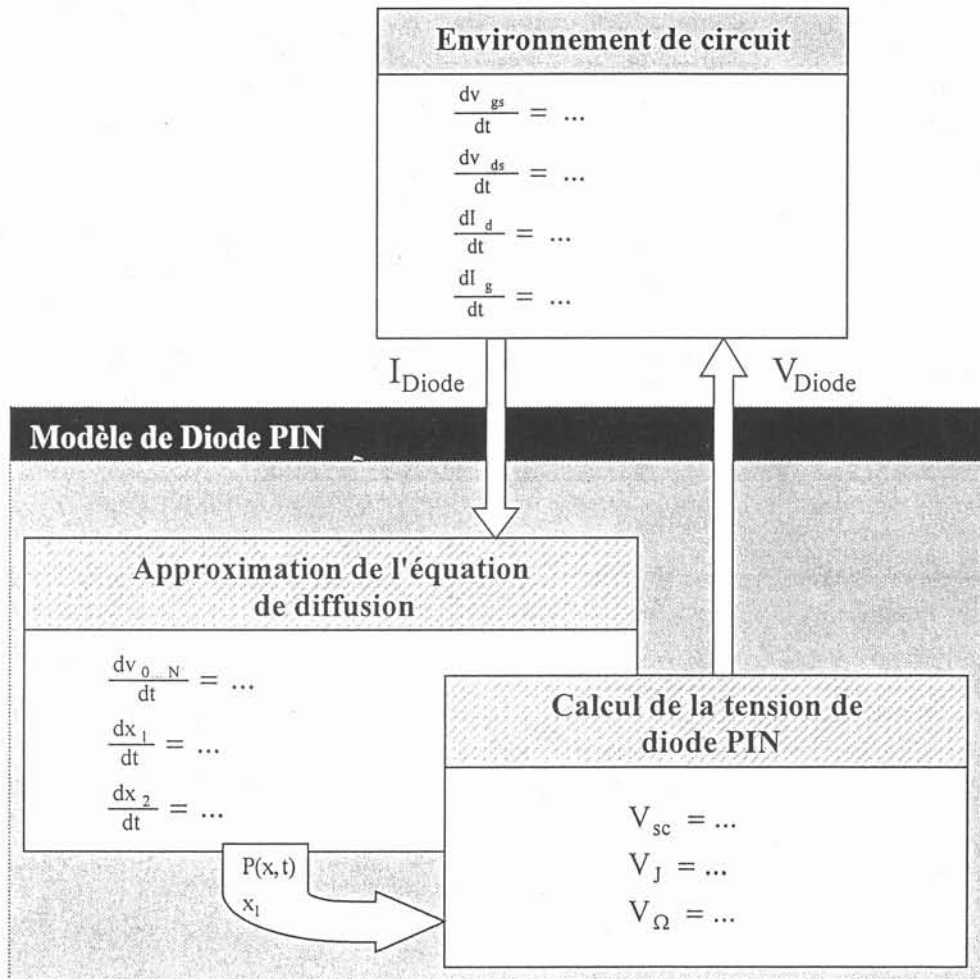


Fig. IV-1: Schéma-bloc pour la mise en œuvre du modèle complet de la cellule de commutation.

IV.3. Validation du modèle de la cellule de commutation

IV.3.1. Description de la maquette réalisée

Afin de valider le modèle de la cellule de commutation, la maquette d'un hacheur série a été réalisée sur circuit imprimé. La figure IV-2 montre les pistes du circuit imprimé ainsi que la disposition des composants. Différents éléments de cette maquette vont devoir être identifiés: la diode, le MOSFET, les inductances et les résistances du câblage, le signal issu de la carte de commande et enfin les résistances de grille (à la fermeture et à l'ouverture).

Sur cette maquette, la carte de commande est placée assez loin de la partie puissance pour que cette dernière ne perturbe pas la commande. La disposition du radiateur est telle qu'il n'influe pas sur les résultats du calcul d'inductance. Pour simplifier la modélisation nous avons utilisé un condensateur céramique dont le modèle est plus simple que celui d'un

condensateur électrochimique. Un modèle RLC série est largement suffisant pour représenter l'impédance d'une telle capacité dans une large bande de fréquence. Ce condensateur peut être remplacé par une source de tension parfaite, dans la mesure où son imperfection principale, l'inductance des pattes, est intégrée à l'inductance de maille de puissance.

Tous les paramètres inductifs et résistifs du câblage ont été évalués, une fois pour toute, par la méthode des inductances partielles implantée dans le logiciel InCa; les formulations analytiques employées sont exactes en continu, et on peut tenir compte de l'influence de la fréquence par subdivision des conducteurs [Clavel-96]. Cette méthode a été validée maintes fois sur des géométries du type de celle utilisée ici (Circuit Imprimé) et sur d'autres beaucoup plus complexes et les résultats obtenus ne peuvent pas être remis en cause à l'heure actuelle.

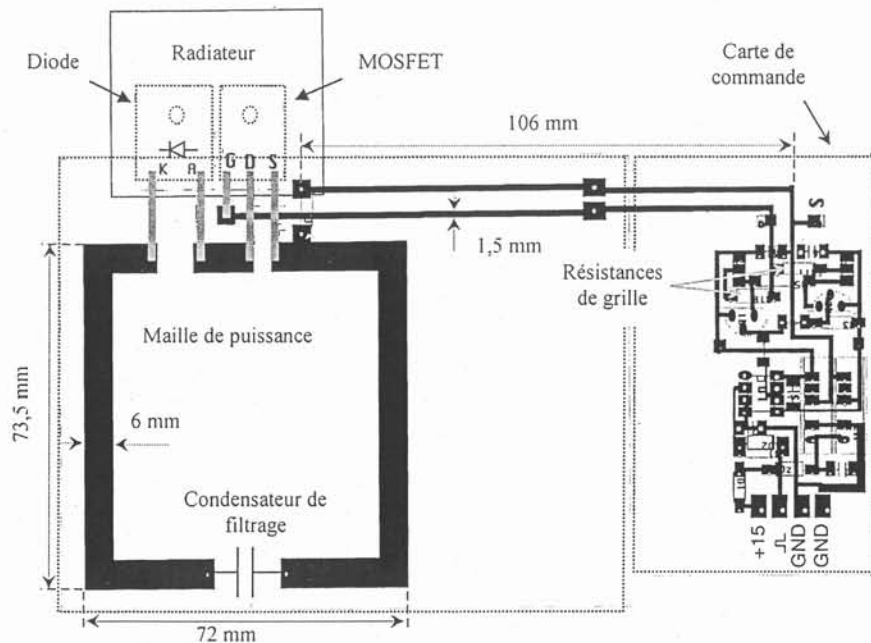


Fig. IV-2: Pistes du circuit imprimé et disposition des composants sur la maquette

IV.3.2. Détermination des paramètres

IV.3.2.1. Commande rapprochée

La figure IV-3 montre le schéma de la carte de commande. Cette commande comporte un étage qui fonctionne en push-pull (Q_3Q_4) chargeant et déchargeant la grille; cet étage est commandé par une paire de transistors MOS (Q_1Q_2); ces deux étages forment en fait deux inverseurs, le signal de sortie est alors en phase avec l'entrée. Les transistors Q_1 et Q_2 sont contrôlés par un optocoupleur (HCPL 2201/11) qui assure également l'isolation entre la commande et le transistor de puissance. Deux résistances R_{on} et R_{off} constituent les résistances de grille à l'ouverture et à la fermeture.

Cette carte fonctionne de 0 à 200 kHz en fonction de la capacité C_{gs} du transistor de puissance. La raideur des fronts de commande du transistor de puissance est liée à sa capacité C_{gs} et à R_{on} et R_{off} . Nous avons remplacé cette carte par une source de tension dont les fronts montant et descendant sont les formes d'ondes mesurées sur les drains des transistors Q_3 et Q_4 (les flèches sur la figure) à la fermeture de ces derniers, Fig. IV-4, car ces formes d'ondes sont indépendantes de la résistance de grille et de la capacité d'entrée du transistor de puissance.

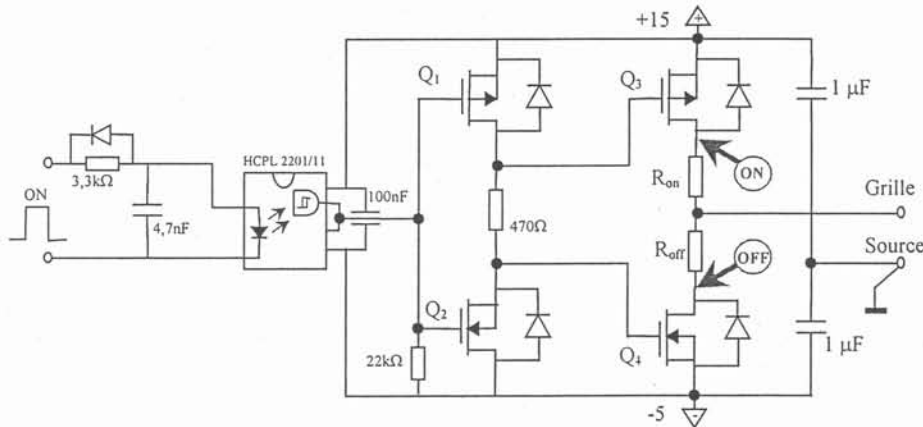
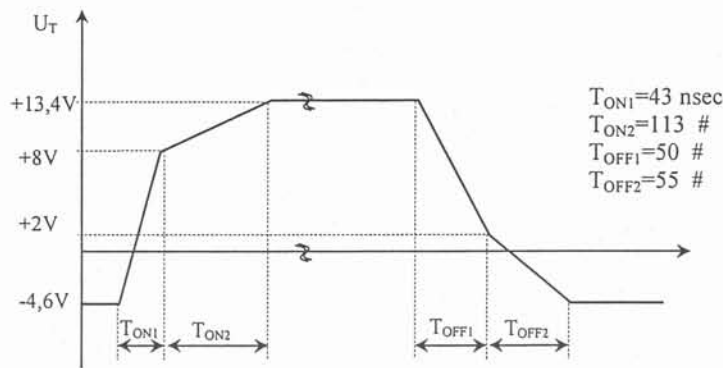


Fig. IV-3: Schéma de la carte de commande utilisée

Fig. IV-4: Signal mesuré aux drains des transistors Q_3 et Q_4 .

IV.3.2.2. Interconnexion

Les paramètres du modèle du câblage sont calculés par InCa. Pour ce faire, nous avons besoin des dimensions géométriques ainsi que la résistivité du matériau (ici cuivre $\rho=1/6,3 \times 10^7$). InCa donne comme résultat un réseau de résistances et d'inductances en série. Il est possible de les regrouper dans InCa, mais pour pouvoir comparer correctement les mesures et les simulations, nous conservons un nombre minimum d'éléments dans le circuit équivalent (Fig. IV-5).

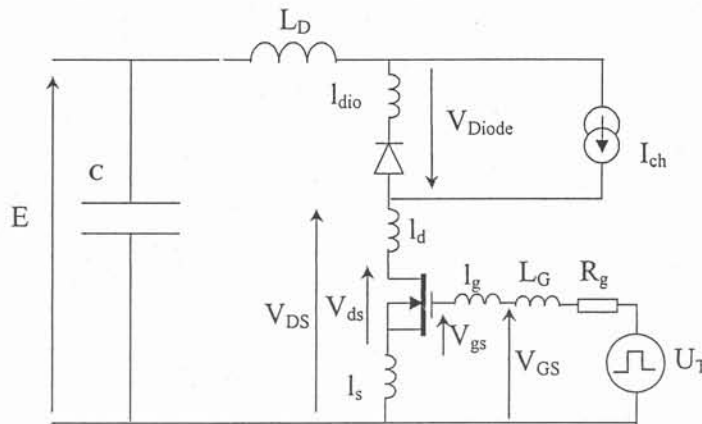


Fig. IV-5: Circuit équivalent des pistes du circuit imprimé

A cause de l'effet de peau et de proximité, les paramètres de l'interconnexion sont variables avec la fréquence (la résistance augmente et l'inductance diminue avec la fréquence); par ailleurs le spectre des signaux en électronique de puissance est assez large (étendu de 0 jusqu'à quelques dizaines de mégahertz); à première vue, il semble donc important de tenir compte de cette dépendance de la fréquence. Pour modéliser les éléments résistifs et inductifs variables avec la fréquence, il est de coutume d'utiliser des circuits composés de plusieurs cellules RL parallèles [Schellmanns-99]. Cette solution est coûteuse en terme de temps de simulation, et dans notre cas cela complique la mise en équation du modèle. Il est alors possible de choisir une fréquence qui représente un compromis entre basses et hautes fréquences, "*la fréquence équivalente de largeur de bande*"¹ [Zang-96]. Pour un signal trapézoïdal avec une fréquence fondamentale de 100 kHz et des fronts de 10 nsec, la fréquence équivalente calculée est de $f_{eq}=7$ MHz. Cette fréquence correspond à une épaisseur de peau équivalente de $\delta_{eq}=25$ μ m. Compte tenu de ce résultat, il apparaît que pour prendre en compte d'effet de fréquence sur les inductances et les résistances des pistes du circuit imprimé, la subdivision des pistes n'est nécessaire que dans la largeur (l'épaisseur des pistes est de 35 μ m). Il a été montré que pour une piste de largeur de 1 cm la subdivision de la piste en $N=16$ (voire $N=8$) conducteurs élémentaires donne des résultats satisfaisants [Teulings-97]. Il faut néanmoins noter que l'écart de l'inductance dans le pire cas (en basse fréquence) est moins de 7%, ce qui peut être négligé.

¹ Cette fréquence représente en fait une moyenne spectrale du signal étudié, connaissant les coefficients du développement de Fourier du signal, *la fréquence équivalente de largeur de bande* s'obtient par l'expression suivante:

$$f_{eq} = \frac{\sum_{n=1}^{\infty} n \cdot \rho_n}{\sum_{n=1}^{\infty} \rho_n} \cdot f_d \quad (1)$$

où ρ_n sont les coefficients de série de Fourier du signal et f_d est la fréquence du fondamental du signal.

En tous cas, si les inductances sont calculées à une fréquence donnée, nous commettons une erreur par rapport aux signaux qui varient soit plus lentement soit plus rapidement. En choisissant une fréquence intermédiaire, nous nous plaçons à la fréquence qui entraîne une erreur moins importante en fonction du contenu fréquentiel des signaux étudiées.

Les résultats du calcul d'inductance à la fréquence $f_{eq}=7$ MHz sont présentés dans le tableau IV-1.

Tableau IV-1: Matrice d'inductance de la maquette réalisée

[nH]	L_D	L_G	l_{dio}	l_d	l_s	l_g
L_D	140	-5.36	0.52	-0.10	0.35	0.09
L_G		124	-0.19	1.51	-1.99	0.76
l_{dio}			18.40	-0.67	0.46	-0.72
l_d				12.20	-4.76	3.24
l_s					12.20	-2.03
l_g						7.02

Compte tenu des résultats présentés dans le chapitre I concernant le regroupement des inductances, pour les boucles principales du circuit équivalent de la figure IV-5, la matrice 2×2 d'inductance représentant ce circuit est:

$$L = \begin{bmatrix} L_{\text{Drain}} & M_{\text{Drain-Grille}} \\ M_{\text{Grille-Drain}} & L_{\text{Grille}} \end{bmatrix} \quad (1)$$

où les éléments de cette matrice sont calculés comme suit:

$$L_{\text{Drain}} = L_D + M_{D-dio} + M_{D-d} + M_{D-s} + l_{dio} + M_{dio-D} + M_{dio-d} + M_{dio-s} + l_d + M_{d-D} + M_{d-dio} + M_{d-s} + l_s + M_{s-D} + M_{s-dio} + M_{s-d}$$

$$L_{\text{Grille}} = L_G + M_{G-s} + M_{G-g} + l_g + M_{g-G} + M_{g-s} + l_s + M_{s-G} + M_{s-g} \quad (2)$$

$$M_{\text{Drain-Grille}} = M_{\text{Grille-Drain}} = M_{D-G} + M_{D-s} + M_{D-g} + M_{dio-G} + M_{dio-g} + M_{dio-s} + M_{d-G} + M_{d-s} + M_{d-g} + l_s + M_{s-G} + M_{s-g}$$

En choisissant les grandeurs I_d , I_g , V_{gs} et V_{ds} comme variables d'état, comme cela a été évoqué au chapitre III, les deux équations (3) avec les deux autres données au chapitre III (Eq. 17) forment un système d'ordre 4 qui décrit la cellule de commutation. Notons ici

que la diode est considérée à part et comme un élément avec une entrée de courant et une sortie de tension.

$$\begin{bmatrix} \frac{dI_d}{dt} \\ \frac{dI_g}{dt} \end{bmatrix} = \frac{1}{L_{\text{Drain}} L_{\text{Grille}} - M_{\text{Drain-Grille}}^2} \begin{bmatrix} L_{\text{Grille}} & -M_{\text{Drain-Grille}} \\ -M_{\text{Drain-Grille}} & L_{\text{Drain}} \end{bmatrix} \begin{bmatrix} V_{\text{Diode}} - V_{\text{ds}} - R_{\text{DS(on)}} I_d \\ -V_{\text{gs}} - R_g I_g \end{bmatrix} + \begin{bmatrix} E \\ U_T \end{bmatrix} \quad (3)$$

IV.3.2.3. Diode

Concernant la diode, nous avons opté dans le cadre de la validation du modèle proposé pour la diode spécifique réalisée par SGS-Thomson pour le LAAS. De cette manière, de nombreux paramètres comme le profil de dopage sont disponibles, ce qui n'est pas le cas pour les diodes du commerce. Il va de soi qu'il faudra, dans le futur, proposer des méthodes de détermination des paramètres nécessaires au modèle de la diode (essentiellement la durée de vie des porteurs et le profil de dopage).

Le composant qui a servi de référence pour l'épreuve de validation provient d'un lot de diodes rapides. Les valeurs d'un certain nombre des paramètres du modèle ont pu être tirées de données de structure qui nous ont été communiquées aimablement par l'équipe de M. Ph. Leturcq du LAAS. Les paramètres de la diode utilisée sont alors:

- Calibre de la diode 600V/12A avec une base quasi-homogène
- Surface active de jonction : $S=4 \text{ mm}^2$
- Concentration moyenne d'or dans la base : $N_{\text{Au}}=9,2 \times 10^{14} \text{ cm}^{-3}$
- Le profil des impuretés dopantes dans la diode, défini pour une tenue en tension de 600V est donné par la figure IV-6. Il permet de déterminer le dopage de la base: $N_{\text{DB}}=1,5 \times 10^{14} \text{ cm}^{-3}$ et sa profondeur qui a été fixée à $W=40 \text{ }\mu\text{m}$ comme résultante de la différence entre l'épaisseur de l'épithaxie n^- (environ $60 \text{ }\mu\text{m}$) et celle de la diffusion p^+ (environ $20 \text{ }\mu\text{m}$). De ce choix découlent les valeurs des paramètres décrivant le profil de dopage au voisinage de la jonction nn^+ : $N_{\text{DJ}}=10^{18} \text{ cm}^{-3}$ et $L_D=0,56 \text{ }\mu\text{m}$.

La durée de vie ambipolaire des porteurs s'obtient par

$$\tau = \frac{5,4 \times 10^7}{N_{\text{Au}}} \left(\frac{T}{T_0} \right)^{2,5} \quad (4)$$

où T représente la température de jonction en °K et T_0 une température de référence prise égale à 300 °K. D'autres paramètres, comme les paramètres de recombinaison dans les émetteurs, h_n et h_p , et la mobilité des porteurs, μ_n et μ_p , ont des valeurs typiques:

$$\begin{aligned} h_p &= h_n = 1,5 \times 10^{-14} \text{ cm}^4 \cdot \text{s}^{-1}, \\ \mu_n &= 1430 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}, \\ \mu_p &= 495 \text{ cm}^2 \text{V}^{-1} \text{s}^{-1}. \end{aligned}$$

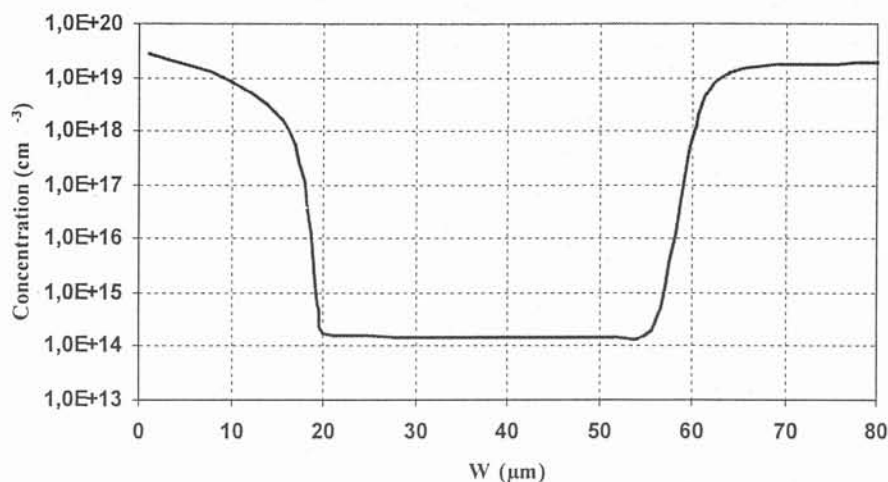


Fig. IV-6: Profil des impuretés dopantes pour la diode rapide étudiée

IV.3.2.4. MOSFET

Le modèle du MOSFET présenté au chapitre précédent nécessite la connaissance des trois capacités parasites non linéaires, des inductances des pattes, du gain g_m de la source de courant et de la tension de seuil V_{th} . Ces deux derniers paramètres peuvent être obtenus à l'aide d'un traceur (en prenant garde aux variations avec la température). Concernant les capacités parasites du MOSFET, les méthodologies, toutes spécifiques, présentées au chapitre III doivent être utilisées pour leur détermination. La Fig. IV-7 présente la caractéristique de transfert $I_{MOS}=f(V_{gs})$ du MOSFET IRFP450FI. On constate un écart important sur la tension de seuil entre la courbe mesurée par traceur et celle de l'abaque du constructeur (3,55 V mesuré par rapport à 3 V par l'abaque du constructeur).

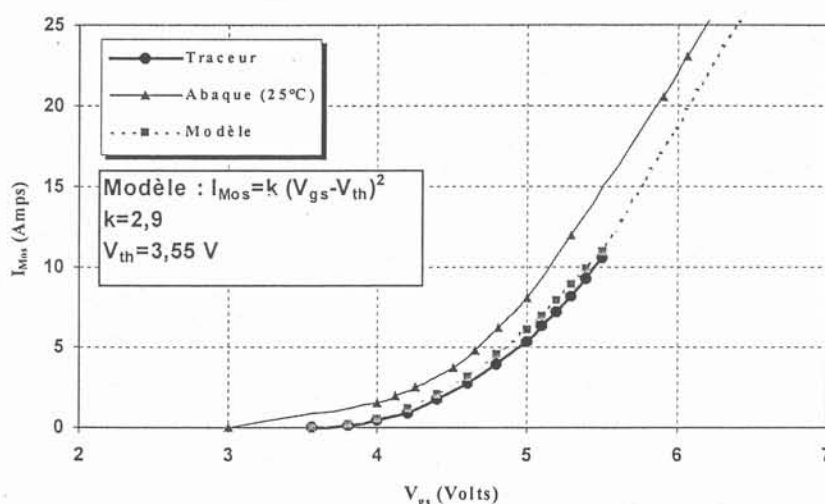


Fig. IV-7: Caractéristique de la source de courant du modèle de MOSFET

Les résultats des mesures des capacités parasites du MOSFET présentés au chapitre III vont alors être mis sous forme de tableaux de données. Ces tableaux contiennent les valeurs des capacités du MOSFET en fonctions de V_{ds} et V_{gs} . Deux vecteurs des tensions V_{gs} et V_{ds} indiquent l'appartenance des colonnes et des lignes à des tensions (Fig. IV-8).

Cette forme de mise en application des capacités non-linéaires nécessite un moteur de recherche performant (rapide) pour éviter des temps de calcul trop élevés. Il est également possible de trouver des fonctions analytiques pour les capacités, afin de diminuer le temps de recherche des bonnes valeurs de capacités, mais vues les transitions rapides des capacités dans certains cas, une évaluation précise des capacités par les fonctions analytiques semble difficilement réalisable.

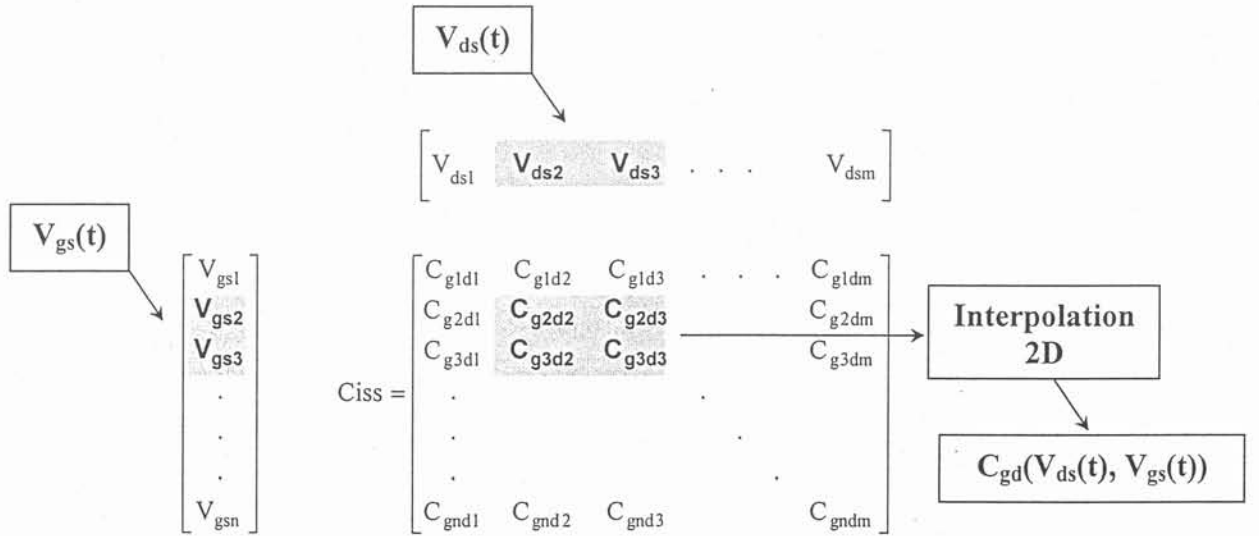


Fig. IV-8: Tableau de données des capacités non-linéaires et les vecteurs de tension correspondants

Comme nous l'avons évoqué au chapitre III, les valeurs des capacités du MOSFET au voisinage de la tension conductrice et de la tension de seuil sont décisives pour des simulations précise. Nous avons présenté des méthodes pour déterminer la capacité Miller et la capacité d'entrée mais la capacité de sortie reste à identifier. Par la suite nous allons choisir un point de fonctionnement de base, pour lequel cette capacité sera déterminée de façon à caler les formes d'ondes simulées et mesurées; ces valeurs ne seront plus changées pour les simulations suivantes. Ainsi, on étudiera la robustesse du modèle de la cellule de commutation par rapport au changement de point de fonctionnement. Trois grandeurs spécifiant le point de fonctionnement sont:

- 1) La vitesse de commutation (R_{g-on} et R_{g-off})
- 2) La tension d'alimentation
- 3) Le courant de charge

Puisque le MOSFET est un élément entièrement "contrôlé par la grille"¹, la vitesse de commutation est facilement déterminée par l'impédance de grille. Dans les simulations, différentes résistances de grille représentent donc différentes vitesses de commutation.

IV.3.3. Résultats des simulations pour le point de fonctionnement de base

Par la suite, nous allons présenter les résultats des simulations pour le point de fonctionnement choisi comme base. Les conditions du circuit sont alors:

- $R_{g(on)}=R_{g(off)}=75 \Omega$
- $E=90$ Volts
- $I_{ch}=8$ Amps

IV.3.3.1. Fermeture du MOSFET

Les formes d'ondes expérimentales et celles de la simulation à la fermeture du MOSFET sont présentées sur les figures de IV-10 à IV-13. Ces figures montrent un très bon accord global entre les formes d'ondes simulées et les formes d'ondes expérimentales, alors que la commutation est relativement rapide pour $R_{g(on)}=75 \Omega$. Afin de pouvoir mieux comparer les résultats de la simulation et de l'expérience, nous avons extrait certaines caractéristiques des signaux de puissance et de commande. Il s'agit des signatures importantes qui sont définies par la suite:

$I_{d(Max)}$: Ce courant est le courant maximum de la diode en recouvrement inverse; il est une des caractéristiques de la diode de puissance et varie avec le niveau de tension inverse, le niveau du courant commuté et la température.

$V_{Diode(Max)}$: C'est la surtension sur la diode, qui est une grandeur importante lors du dimensionnement du dispositif. Cette tension est fonction de la vitesse de commutation et détermine le temps de remontée du courant de diode à la fin du recouvrement.

dI_d/dt : C'est la pente de la montée du courant de drain. Cette caractéristique est en fait variable dans le temps (au long de la montée du courant de 0 à $I_{d(Max)}$) et on mesure une valeur moyenne aux alentours du courant de charge I_{ch} .

dV_{ds}/dt : C'est le taux de descente de tension V_{ds} là où il est imposé par les semiconducteurs (MOSFET+Diode).

T_c : C'est la durée de commutation qui se mesure à partir de la forme d'onde de tension de grille. C'est le temps entre l'instant où la tension atteint la tension de seuil, t_1 , et la fin de commutation où la partie plate de tension de grille se termine, t_3 (Fig. IV-9).

¹ Les composants sont soit "contrôlé par la grille" soit "contrôlé par le dispositif"; il se trouve que certains composants peuvent fonctionner dans les deux modes durant la commutation.

Q_g : C'est la charge de grille qui caractérise la capacité d'entrée du MOSFET. Cette charge est calculée par l'intégration du courant de grille dans l'intervalle $[t_0, t_3]$ (Fig. IV-9).

W_{MOSFET} : C'est de l'énergie perdue dans le MOSFET durant la commutation.

W_{Diode} : C'est de l'énergie perdue dans la diode durant la commutation.

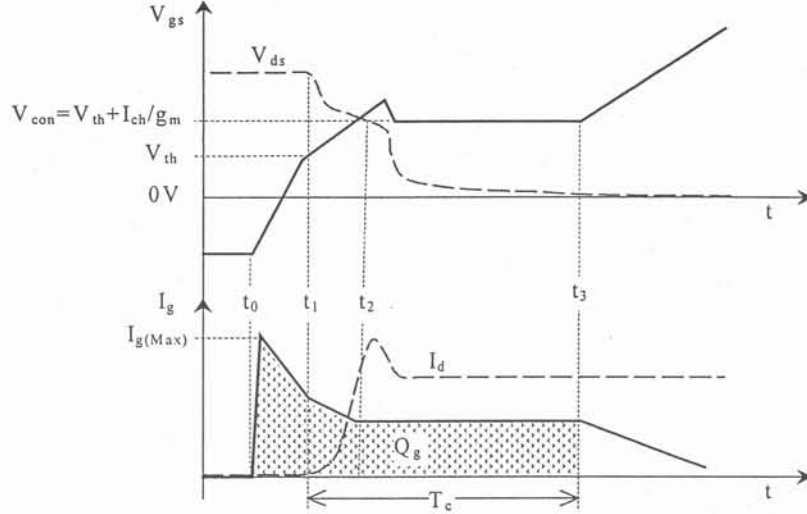


Fig. IV-9: Temps de commutation et la charge de grille durant la fermeture de MOSFET.

Les tableaux IV-2 et IV-3 résument ces grandeurs pour les formes d'ondes des figures de IV-10 à IV-13. En ce qui concerne la surintensité dans le MOSFET due au recouvrement inverse de la diode, elle a été bien simulée et comme indiqué dans le tableau IV-2, l'erreur est de moins de 1%. Les différences observées, en ce qui concerne la pente de la tension du MOSFET, peuvent provenir de la méconnaissance du profil de dopage, qui influe sur la forme d'onde de tension de la diode et par conséquent sur la descente de la tension du MOSFET; ceci explique aussi l'erreur de 10% sur la surtension de la diode.

Le fait qu'on n'ait pas pris en compte l'influence de la température sur la caractéristique de transfert du MOSFET peut expliquer l'erreur sur la pente du courant. De même, une mauvaise caractérisation de la capacité d'entrée peut engendrer de telles erreurs. Cette dernière influe aussi sur le temps de commutation via le circuit de grille.

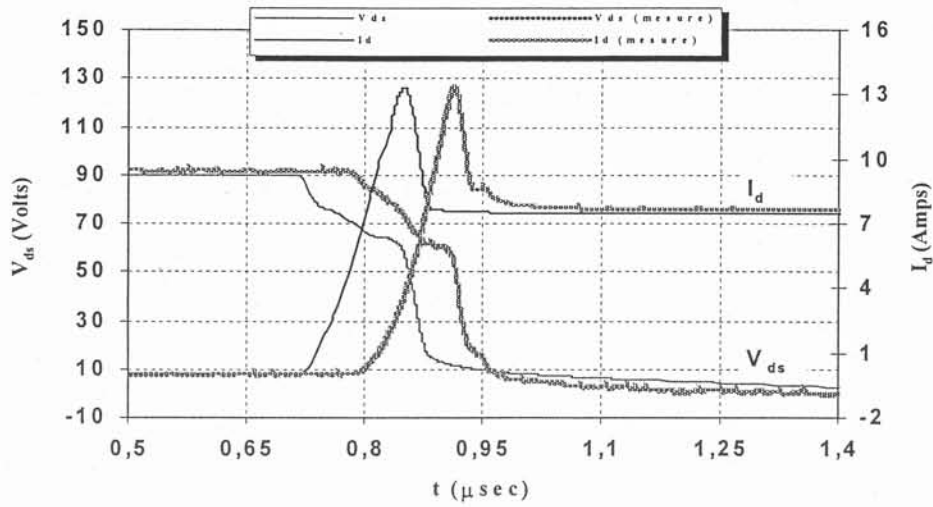


Fig. IV-10: Formes d'ondes du courant et de la tension du MOSFET durant la fermeture.

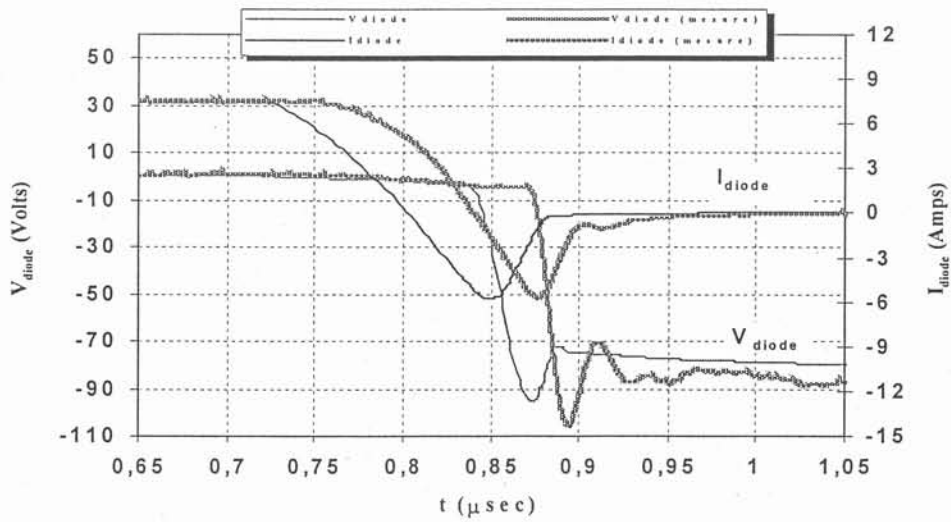


Fig. IV-11: Formes d'ondes du courant et de la tension de la diode durant la fermeture du MOSFET.

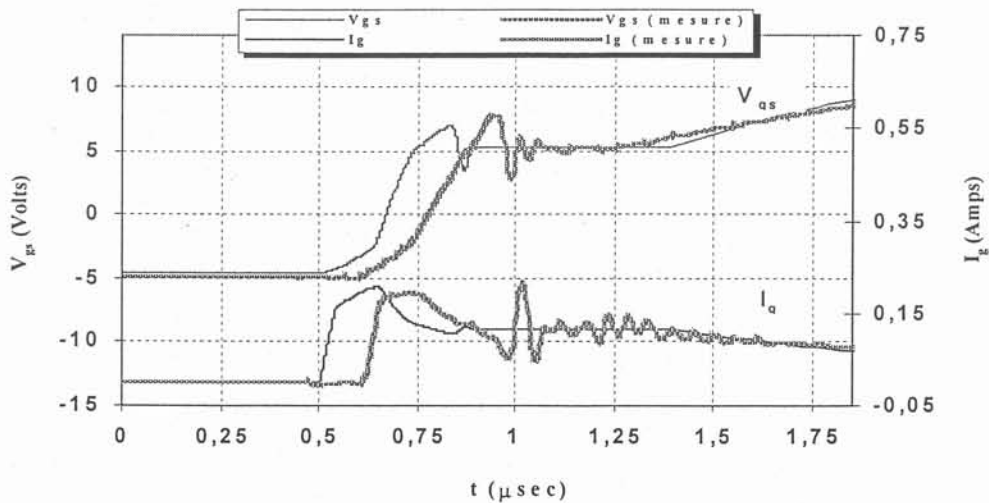


Fig. IV-12: Formes d'ondes du courant et de la tension de grille du MOSFET durant sa fermeture.

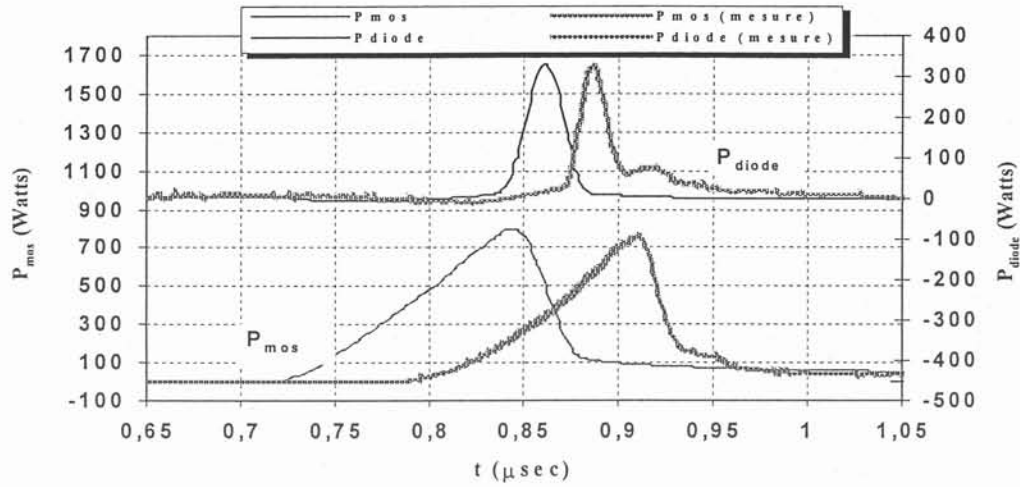


Fig. IV-13: Formes d'ondes des puissances instantanées du MOSFET et de la diode durant la fermeture du MOSFET.

Tableau IV-2: Comparaison simulation-expérience des signatures des signaux de puissance

	$I_{d(Max)}$ (Amps)	$V_{Diode(Max)}$ (Volts)	dI_d/dt (A/μs)	dV_{ds}/dt (kV/μs)
Expérience	13,4	-106,0	172	1,73
Simulation	13,3	-95,4	141	1,44
Erreur	0,74%	10%	18%	16,8%

Tableau IV-3: Comparaison simulation-expérience de la temps de commutation, la charge de grille et les énergies perdue + emmagasinée dans les composants de puissance

	T_c (μsec)	Q_g (nC)	W_{MOSFET} (μJ)	W_{Diode} (μJ)
Expérience	0,51	95	56,5	8,93
Simulation	0,63	102	65,3	8,35
Erreur	23,5%	6,9%	15,6%	6,5%

IV.3.3.2. Ouverture du MOSFET

Pour les mêmes conditions de circuit, les formes d'ondes expérimentales et simulées à l'ouverture du MOSFET sont présentées sur les figures de IV-15 à IV-18. Les grandeurs à comparer sont les mêmes que celles du paragraphe précédent, avec cette différence qu'à l'ouverture du MOSFET, la surtension apparaît sur le MOSFET. Les signatures des signaux à comparer sont alors:

$V_{ds(Max)}$: C'est la surtension sur le MOSFET due aux inductances parasites du circuit de puissance.

dI_d/dt : C'est la pente de la descente du courant de drain. Cette caractéristique est en fait variable dans le temps et on mesure une valeur moyenne aux alentours de $I_{ch}/2$.

dV_{ds}/dt : C'est la pente de la montée de tension V_{ds} .

T_c : C'est la durée de commutation qui se mesure à partir de la forme d'onde de tension de grille. C'est le temps entre l'instant où la tension atteint la tension de conduction ($V_{th} + I_{ch}/g_m$), t_1 , et la fin de l'ouverture, lorsque le courant de drain atteint le zéro, t_3 , (Fig. IV-14).

Q_g : C'est la charge de la grille qui caractérise la capacité d'entrée de MOSFET. Cette charge est calculée par l'intégration du courant de grille dans l'intervalle $[t_0, t_3]$ (Fig. IV-14).

W_{MOSFET} : C'est de l'énergie perdue dans le MOSFET durant l'ouverture.

W_{Diode} : C'est de l'énergie perdue dans la diode.

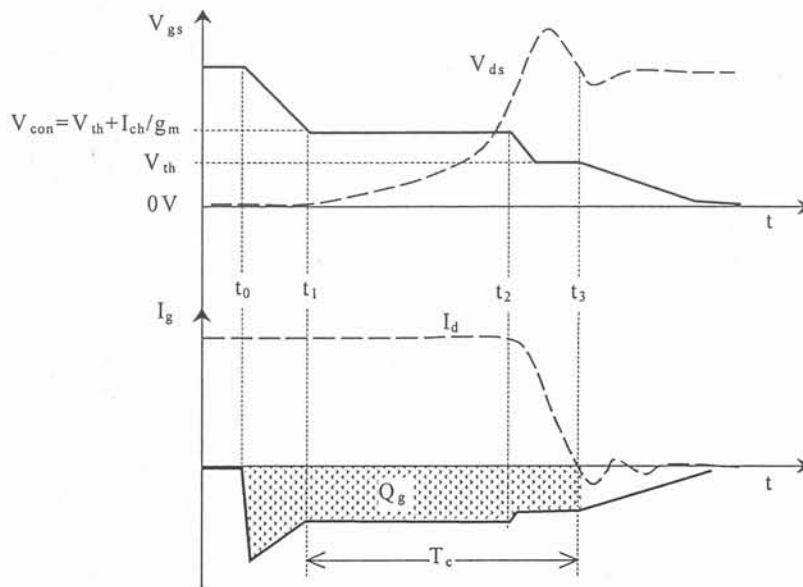


Fig. IV-12: Temps de commutation et la charge de grille à l'ouverture.

Encore une fois, comme à la fermeture, on voit un bon accord global en comparant les formes d'ondes simulées et mesurées. En ce qui concerne le traînage de la tension V_{ds} , Fig. IV-15, il n'a pas été bien simulé en raison de la méconnaissance de la capacité de sortie $C_{gd} + C_{ds}$ aux faibles tensions V_{ds} (cette tension est essentiellement déterminée par ces deux capacités). En revanche, en haute tension, la pente de la tension V_{ds} correspond mieux à la mesure ce qui conduit à prédire correctement la surtension sur le MOSFET. L'erreur est de moins de 2% (voir le tableau IV-4). La fréquence des petites oscillations sur la tension du MOSFET correspond bien aussi à la mesure. Le temps de commutation ainsi que la charge de grille sont surestimés comme à la fermeture; ceci provient d'une part, de la capacité d'entrée et notamment de ses valeurs au voisinage de la tension conductrice et d'autre part, de la mauvaise évaluation de la tension du MOSFET qui détermine une grande partie du temps de commutation.

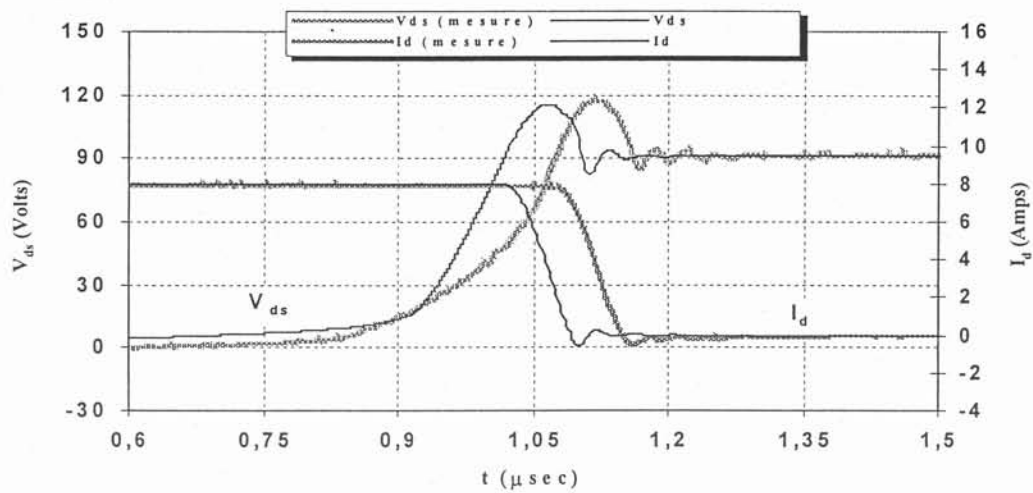


Fig. IV-15: Formes d'ondes expérimentales et simulées du MOSFET à l'ouverture.

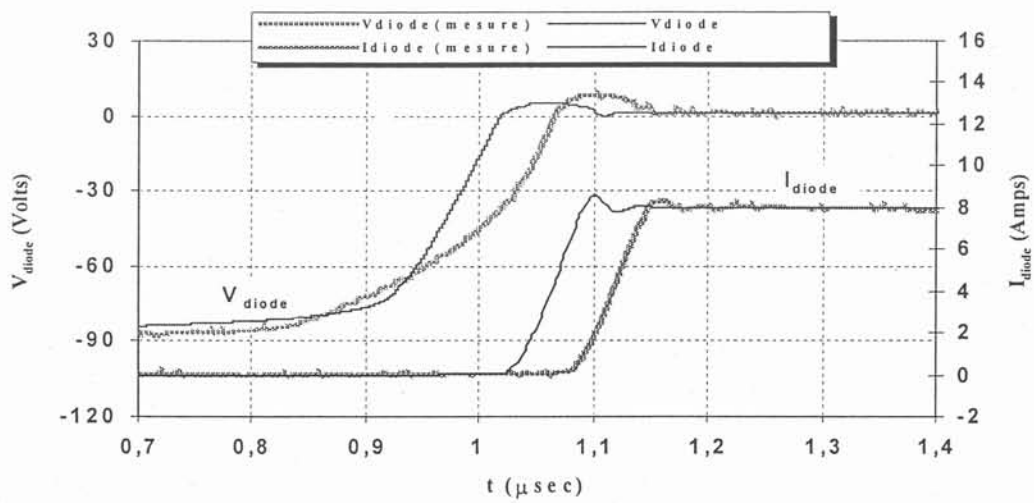


Fig. IV-16: Formes d'ondes expérimentales et simulées de la diode à l'ouverture du MOSFET.

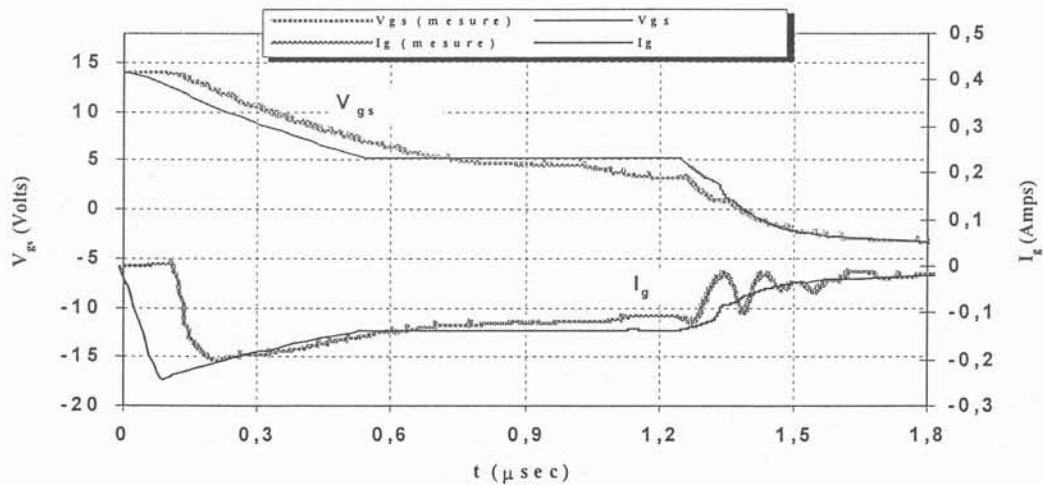


Fig. IV-17: Formes d'ondes expérimentales et simulées de la grille à l'ouverture du MOSFET

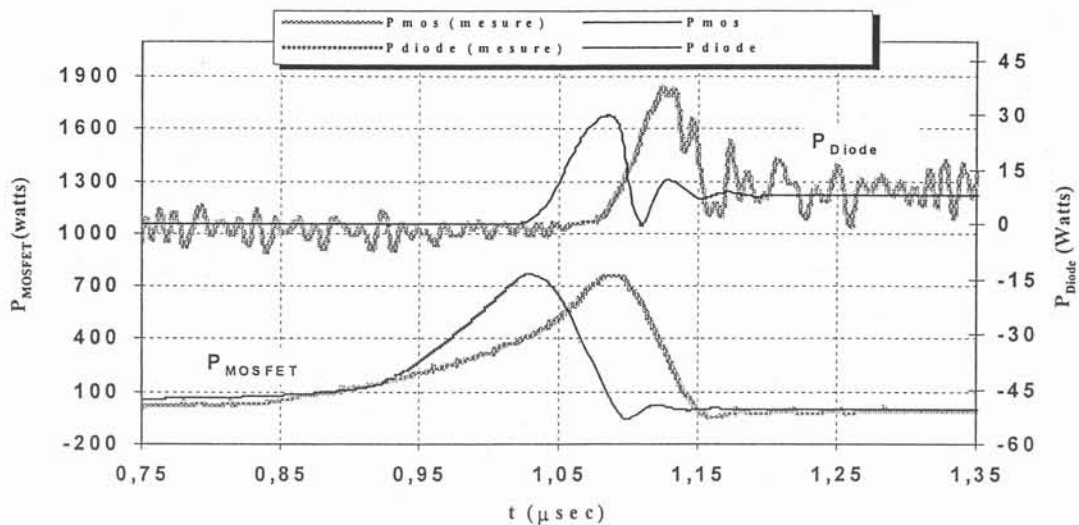


Fig. IV-18: Puissances instantanées du MOSFET et de la diode durant l'ouverture du MOSFET

Tableau IV-4: Comparaison simulation-expérience des signatures des signaux de puissance

	$V_{ds(Max)}$ (Volts)	dI_d/dt (A/ μ s)	dV_{ds}/dt (kV/ μ s)
Expérience	118	127	0,93
Simulation	116	145	0,82
Erreur	1,69%	14%	11,8%

Tableau IV-5: Comparaison simulation-expérience du temps de commutation, de la charge de grille et des énergies perdues dans les composants de puissance

	T_c (μ sec)	Q_g (nC)	W_{MOSFET} (μ J)	W_{Diode} (μ J)
Expérience	0,607	-167	93,7	1,75
Simulation	0,695	-211	82,4	1,72
Erreur	14,5%	26%	12%	1,82%

IV.3.4. Résultats des simulations pour les différents points de fonctionnement

IV.3.4.1. Changement de la vitesse de commutation

Pour une commutation plus rapide (par rapport au point de base), nous avons choisi une résistance de grille de 22 Ω ; le reste des paramètres est sensiblement identique au point de base: $E=98V$ et $I_{ch}=8A$. La comparaison des simulations et des mesures à la fermeture du MOSFET, Figs. IV-19, IV-20, IV-21 et IV-22, donne une bonne concordance en ce qui concerne les formes d'ondes de puissance. Les résultats chiffrés des tableaux IV-6 et IV-7, montrent aussi un bon accord simulation-expérience; les erreurs sur les caractéristiques des signaux de puissance sont toutes inférieures à 15%, alors qu'à cause de la surestimation de la

capacité d'entrée, nous avons un écart plus important sur le temps de commutation et la charge de grille (23% et 26%).

En revanche, à l'ouverture les erreurs sont plus grandes (Fig. de IV-23 à IV-26). L'origine de cette situation est la tension de grille; on constate, sur la tension V_{gs} mesurée durant la commutation, qu'il existe deux parties plates, la première est la tension conductrice $V_{th} + I_{ch}/g_m$ qui vaut environ 5V, Fig. IV-25, et la deuxième, dont l'origine nous est inconnue, apparaît juste après la première et son seuil est environ de 0V. En réalité, les valeurs des capacités du MOSFET à $V_{gs}=5V$ sont tout à fait différentes de celles mesurées à $V_{gs}=0V$. Une perturbation de la carte de commande n'est pas à exclure pour expliquer ce "plateau" à 0V...

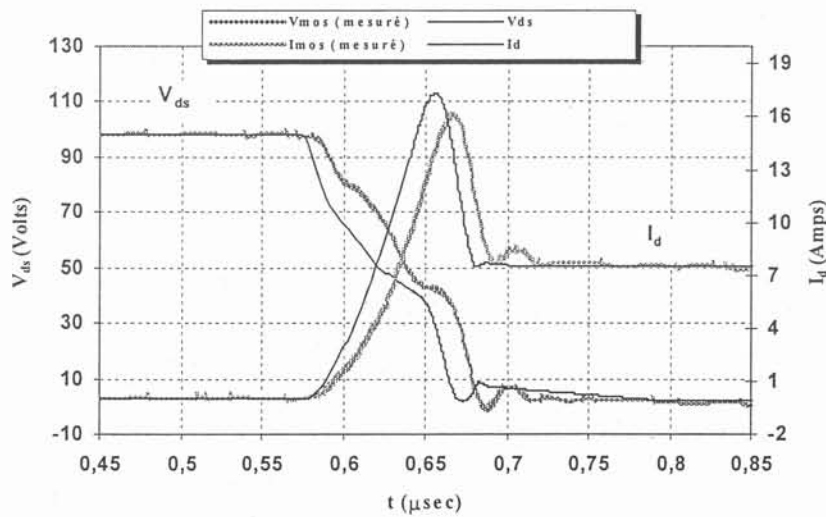


Fig. IV-19: Signaux du MOSFET à la fermeture pour $R_{g(on)}=22 \Omega$.

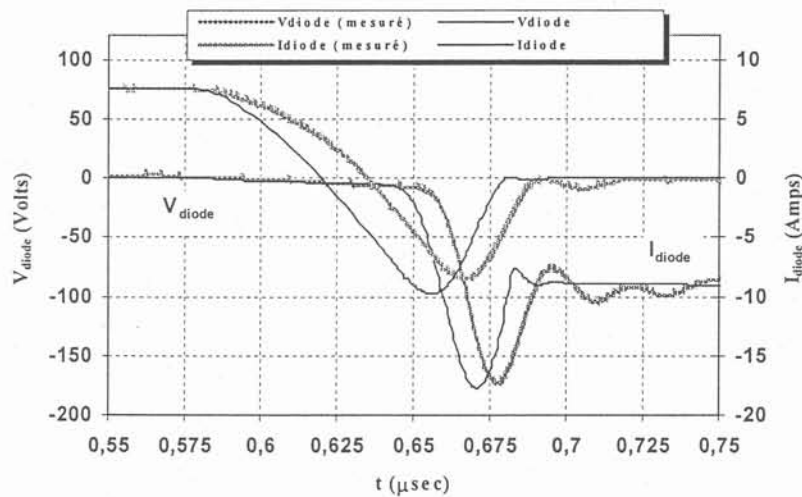


Fig. IV-20: Signaux de la diode à la fermeture du MOSFET pour $R_{g(on)}=22 \Omega$.

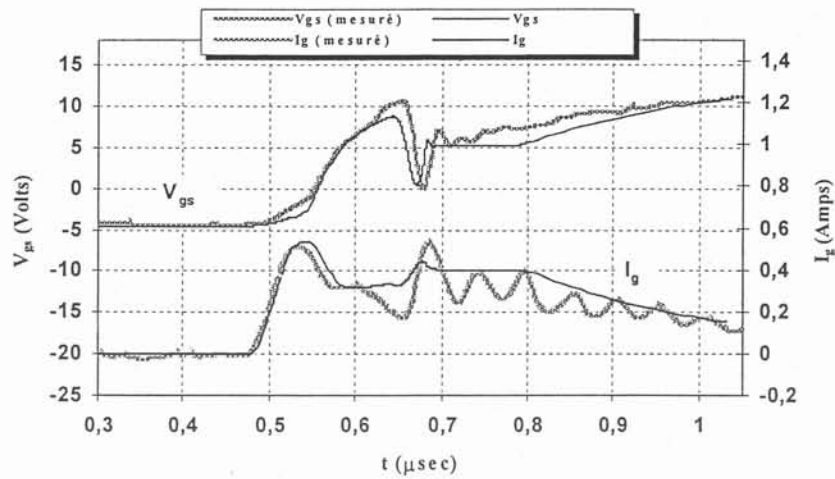
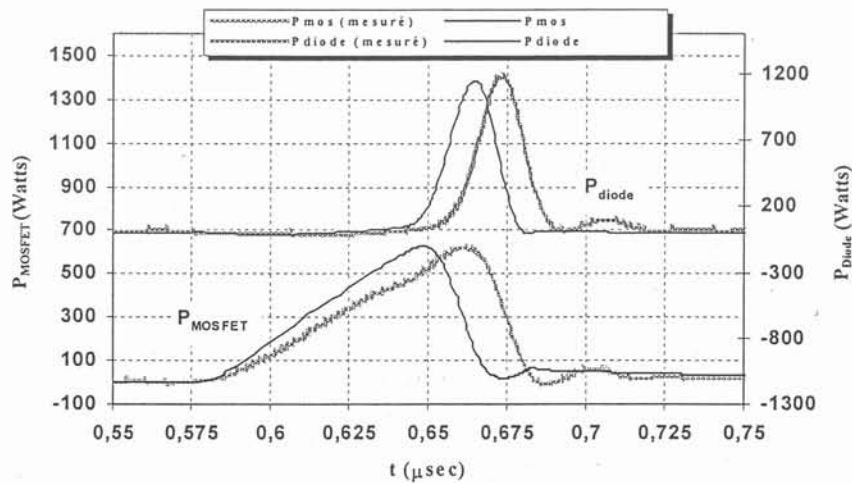
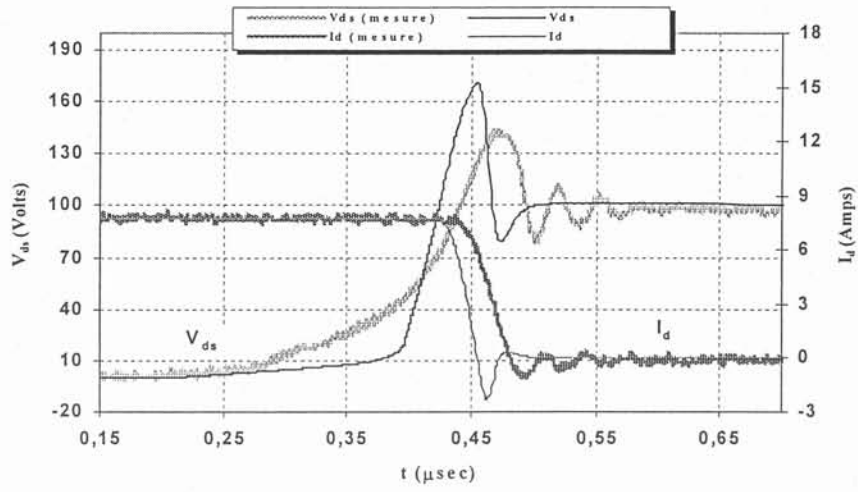
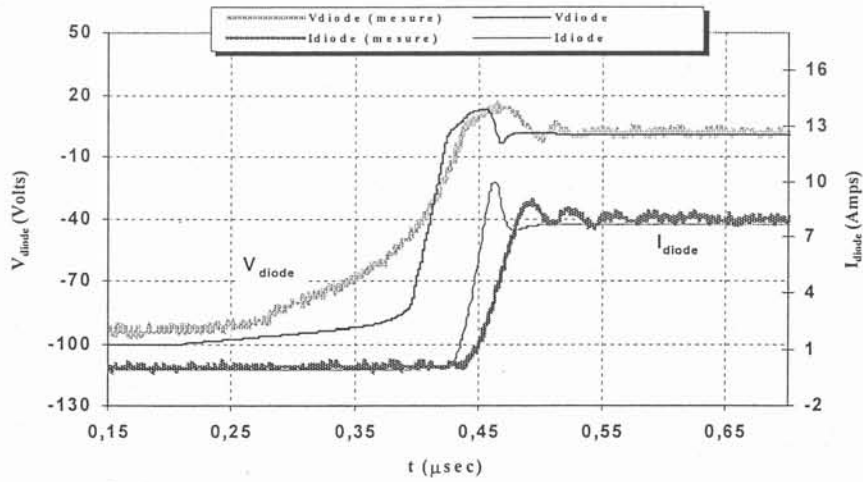
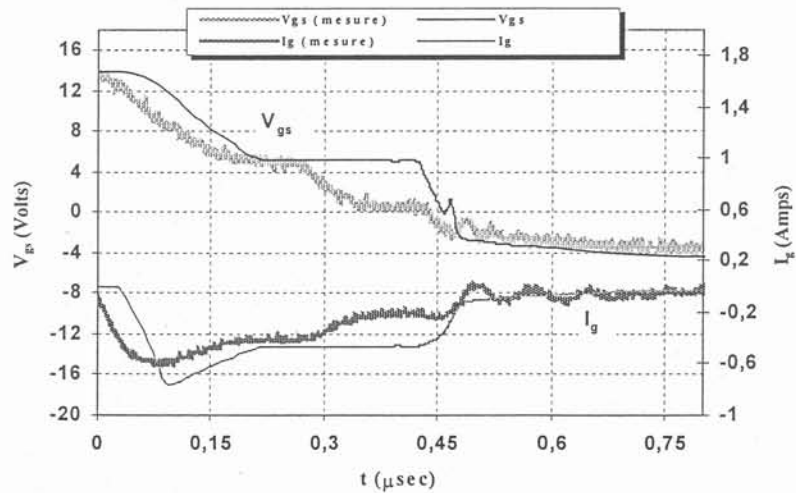

 Fig. IV-21: Signaux de commande à la fermeture pour $R_{g(on)}=22 \Omega$.

 Fig. IV-22: Puissances instantanées du MOSFET et de la diode à la fermeture pour $R_{g(on)}=22 \Omega$.

Tableau IV-6: Comparaison simulation-expérience des signatures des signaux de puissance

	$I_{d(Max)}$ (Amps)	$V_{Diode(Max)}$ (Volts)	dI_d/dt (A/ μ s)	dV_{ds}/dt (kV/ μ s)
Expérience	16,0	-173	246	2,00
Simulation	17,3	-177	274	2,33
Erreur	8,1%	2,3%	12%	14%

Tableau IV-7: Comparaison simulation-expérience du temps de commutation, de la charge de grille et des énergies perdues dans les composants de puissance

	T_c (μ sec)	Q_g (nC)	W_{MOSFET} (μ J)	W_{Diode} (μ J)
Expérience	0,176	-167	32,6	20,5
Simulation	0,216	-211	30,9	20,3
Erreur	23%	26%	5,3%	6,1%


 Fig. IV-23: Signaux du MOSFET à l'ouverture pour $R_{g(off)}=22 \Omega$.

 Fig. IV-24: Signaux de la diode l'ouverture du MOSFET pour $R_{g(off)}=22 \Omega$.

 Fig. IV-25: Signaux de commande à l'ouverture du MOSFET pour $R_{g(off)}=22 \Omega$.

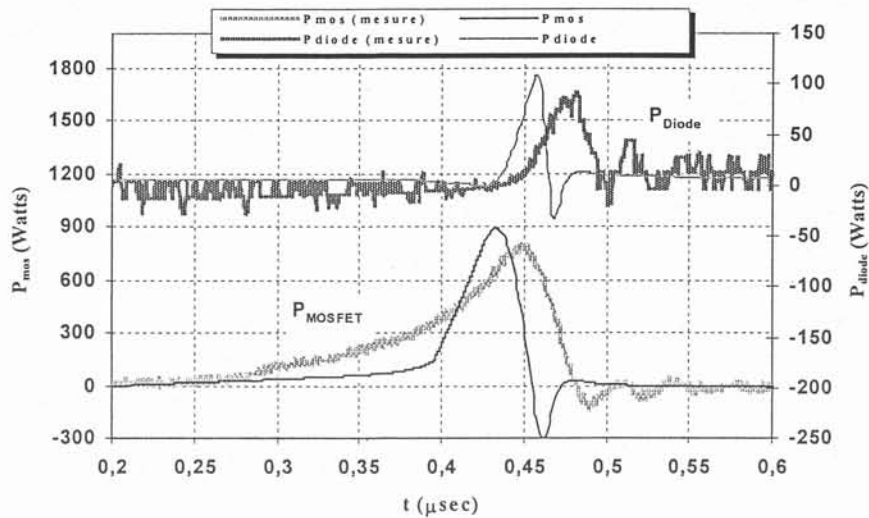


Fig. IV-26: Puissances instantanées du MOSFET et de la diode à l'ouverture pour $R_{g(off)}=22\ \Omega$.

Tableau IV-8: Comparaison simulation-expérience des signatures des signaux de puissance

	$V_{ds(Max)}$ (Volts)	dI_d/dt (A/ μ s)	dV_{ds}/dt (kV/ μ s)
Expérience	143	232	1,79
Simulation	171	348	2,97
Erreur	19,6%	50%	66%

Tableau IV-9: Comparaison simulation-expérience du temps de commutation, de la charge de grille et des énergies perdues dans les composants de puissance

	T_c (μ sec)	Q_g (nC)	W_{MOSFET} (μ J)	W_{Diode} (μ J)
Expérience	0,273	-174	64,8	2,42
Simulation	0,243	-214	37,9	1,76
Erreur	11%	23%	42%	27%

IV.3.4.2. Changement de la tension d'alimentation

Nous avons doublé le niveau de la tension d'alimentation, les conditions du point de fonctionnement sont alors $E=200V$, $I_{ch}=8A$ et $R_{g(on)}=R_{g(off)}=75\ \Omega$. A la fermeture, les résultats des simulations sont mieux adaptés aux mesures, Fig. IV-27 à IV-30, par rapport à la commutation rapide qu'on vient de voir. On peut pourtant améliorer la qualité des simulations en prenant en compte l'influence de la température sur les paramètres de la diode et du MOSFET. Le recouvrement de la diode ainsi que la tension de seuil du MOSFET sont fortement liés à la température. Par rapport au point désigné comme base nous avons des pertes plus importantes dans les deux composants de puissance d'où une augmentation de la

températures dans les dispositifs. Ceci peut en fait expliquer la différence entre les courants maximum mesurés et simulés. La différence sur le traînage de la tension du MOSFET est associée à la méconnaissance de la capacité de sortie du MOSFET lorsque la tension de grille est au plateau. La charge de grille est faussée à cause des perturbations qu'on voit sur le courant de grille.

A l'ouverture, Fig. IV-31 à IV-34, on voit aussi un bon accord global. La remarque sur le début de la tension du MOSFET fait penser toujours à la capacité de sortie du MOSFET.

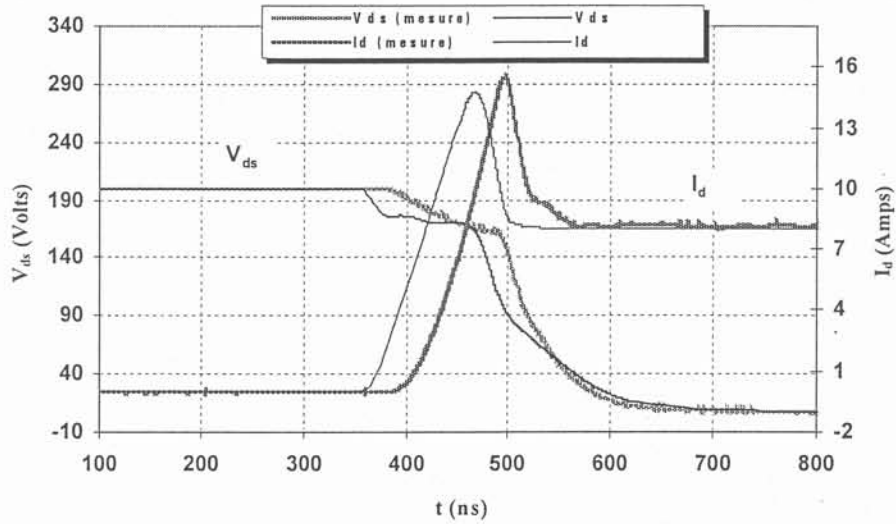


Fig. IV-27: Signaux du MOSFET à la fermeture pour $E=200V$.

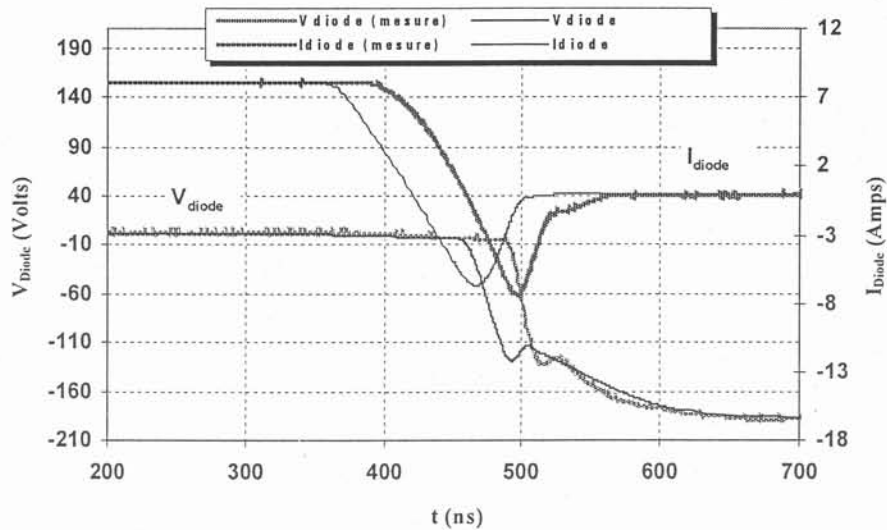


Fig. IV-28: Signaux de la diode à la fermeture du MOSFET pour $E=200V$.

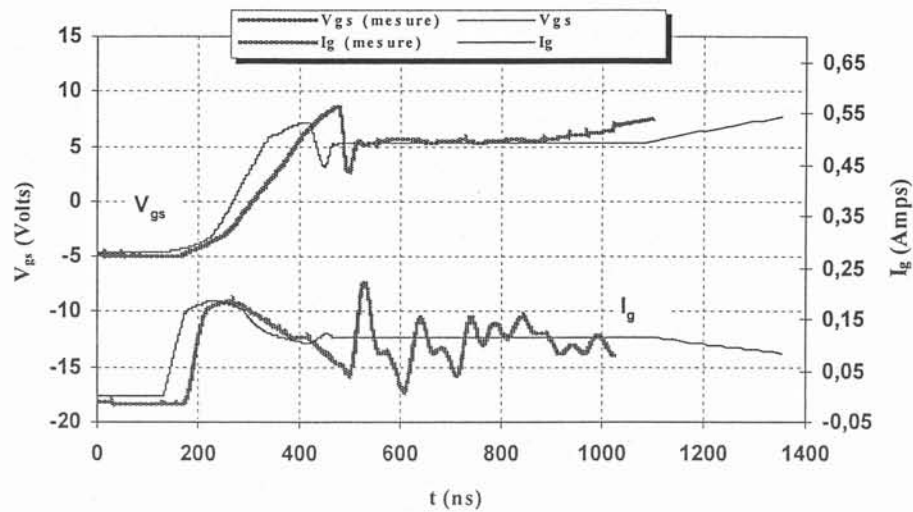


Fig. IV-29: Signaux de commande à la fermeture du MOSFET pour E=200V.

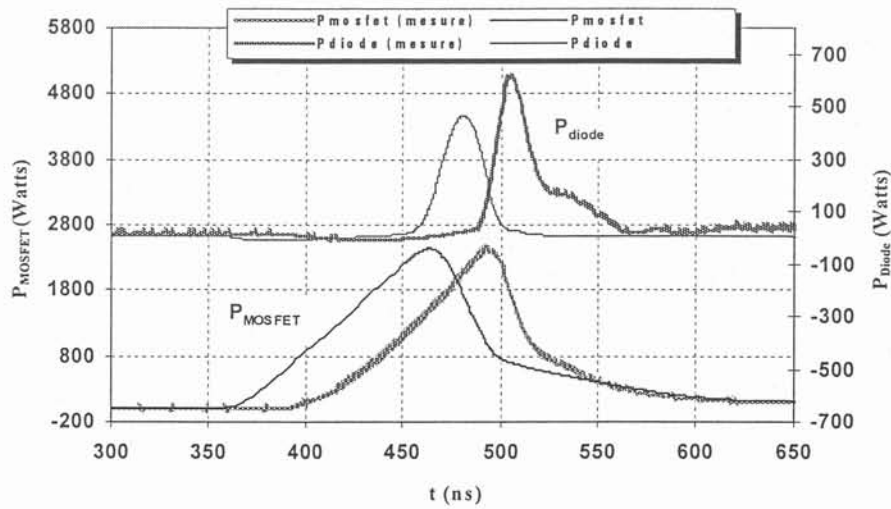


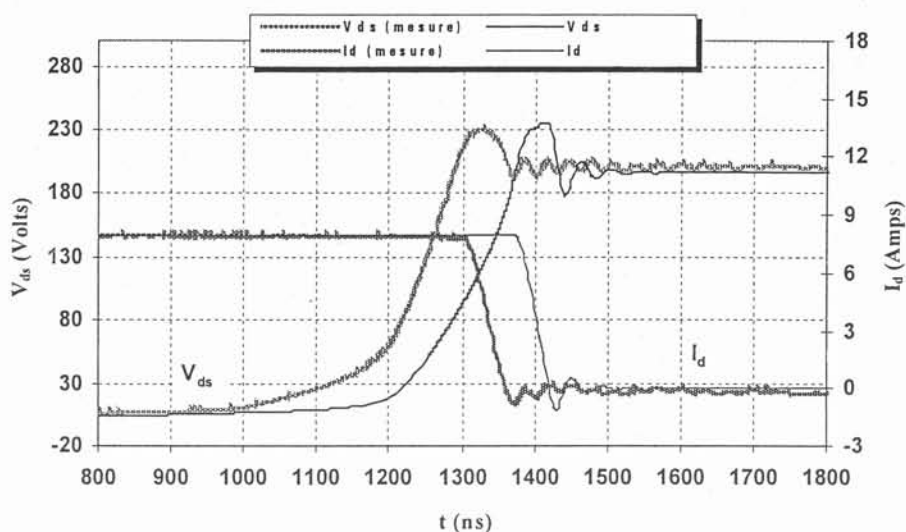
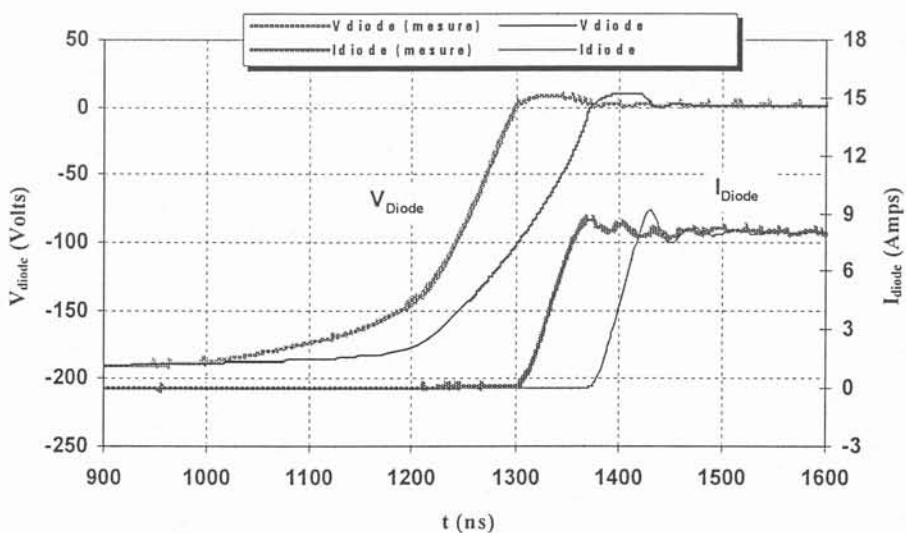
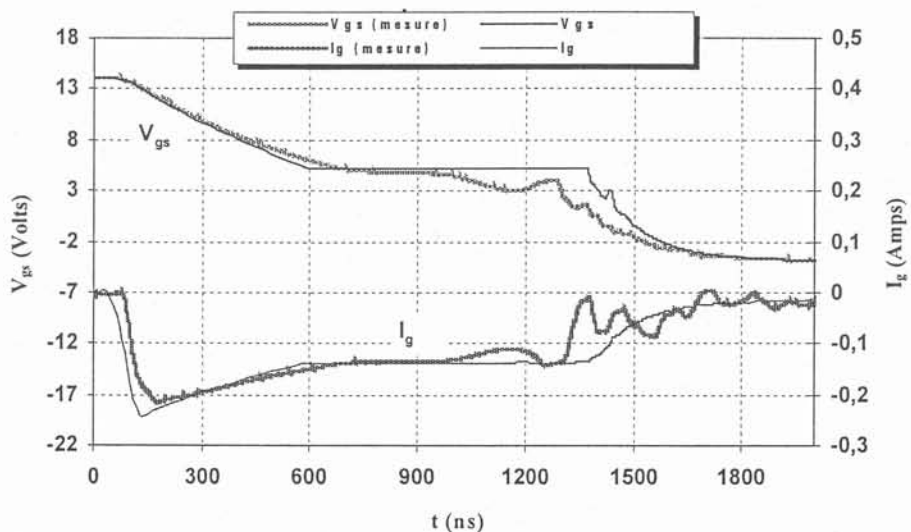
Fig. IV-30: Puissances instantanées du MOSFET et de la diode à la fermeture pour E=200V.

Tableau IV-10: Comparaison simulation-expérience des signatures des signaux de puissance

	$I_{d(Max)}$ (Amps)	$V_{Diode(Max)}$ (Volts)	dI_d/dt (A/ μ s)	dV_{ds}/dt (kV/ μ s)
Expérience	15,46	0	187	0,95
Simulation	14,73	0	149	1,21
Erreur	4,72%	0%	20%	27%

Tableau IV-11: Comparaison simulation-expérience des temps de commutation, de la charge de grille et des énergies perdues dans les composants de puissance

	T_c (μ sec)	Q_g (nC)	W_{MOSFET} (μ J)	W_{Diode} (μ J)
Expérience	0,769	92	176	17,5
Simulation	0,613	199	218	12,3
Erreur	20%	116%	23%	30%


 Fig. IV-31: Signaux du MOSFET à l'ouverture pour $E=200V$.

 Fig. IV-32: Signaux de la diode à l'ouverture du MOSFET pour $E=200V$.

 Fig. IV-33: Signaux de grille à l'ouverture du MOSFET pour $E=200V$.

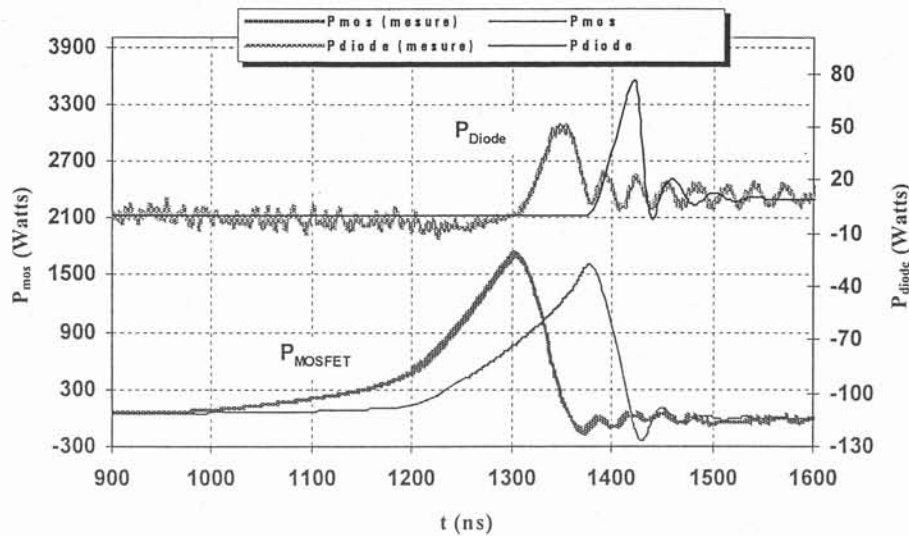

 Fig. IV-34: Puissances instantanées du MOSFET et de la diode à l'ouverture pour $E=200V$.

Tableau IV-12: Comparaison simulation-expérience des signatures des signaux de puissance

	$V_{ds(Max)}$ (Volts)	dI_d/dt (A/ μ s)	dV_{ds}/dt (kV/ μ s)
Expérience	235	157	1,69
Simulation	230	182	1,93
Erreur	2,1%	15%	14%

Tableau IV-13: Comparaison simulation-expérience des temps de commutation, de la charge de grille et des énergies perdues dans les composants de puissance

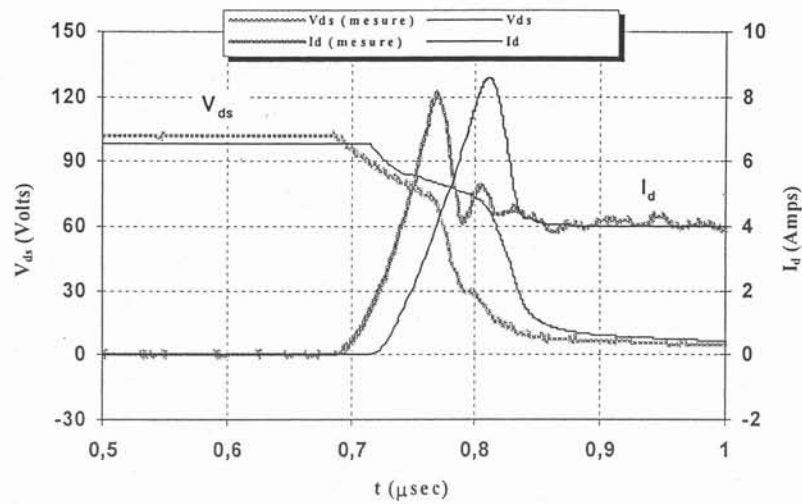
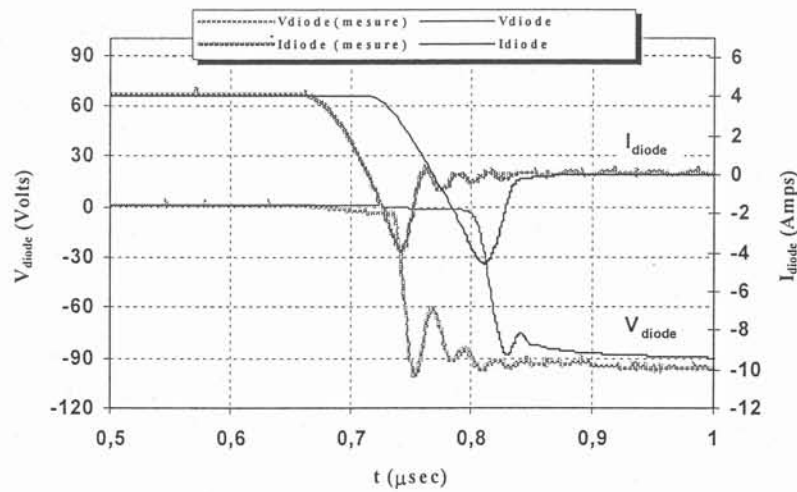
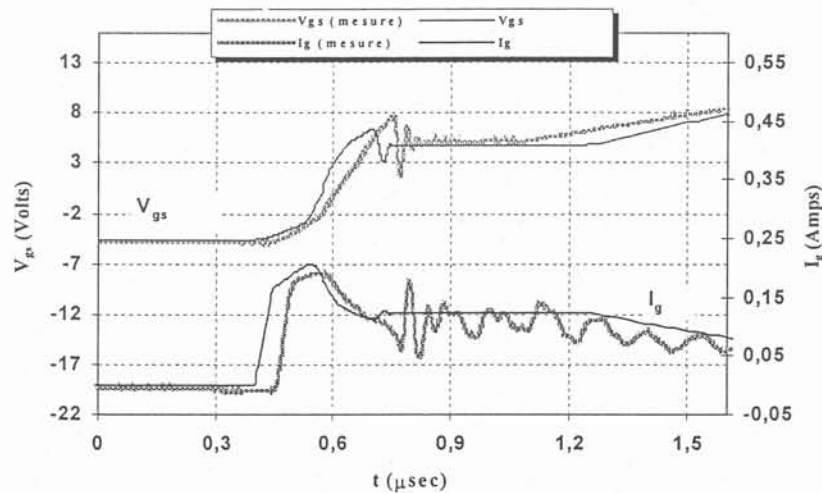
	T_c (μ sec)	Q_g (nC)	W_{MOSFET} (μ J)	W_{Diode} (μ J)
Expérience	0,72	-188	202	2,47
Simulation	0,84	-211	180	2,64
Erreur	16%	12%	10,7%	7,1%

IV.3.4.3. Variation du courant de charge

La modification du courant commuté change en fait le niveau de la tension de plateau (ou de la tension conductrice). Nous avons étudié les formes d'ondes en commutation pour un courant de charge de 4A (les autres conditions sont les mêmes que pour le point de base; $E=100V$ et $R_{g(on)}=R_{g(off)}=75\Omega$).

Une fois encore, les résultats de simulations à la fermeture du MOSFET en comparaison avec les mesures, Fig. IV-35 à IV-38, sont globalement satisfaisants. Il faut noter que le calcul des pertes est moins précis dans ces conditions, surtout sur la diode, en raison de son bas niveau de pertes. Les forme instantanées des puissances dans les dispositifs de puissance sont pourtant bien simulées, Fig. IV-38.

En ce qui concerne l'ouverture du MOSFET, Fig. IV-39 à IV-42, la surtension sur le MOSFET est bien prédite (une erreur de moins de 3%).


 Fig. IV-35: Formes d'ondes du MOSFET à la fermeture pour $I_{ch}=4A$.

 Fig. IV-36: Formes d'ondes de la diode à la fermeture du MOSFET pour $I_{ch}=4A$.

 Fig. IV-37: Formes d'ondes de commande du MOSFET à la fermeture pour $I_{ch}=4A$.

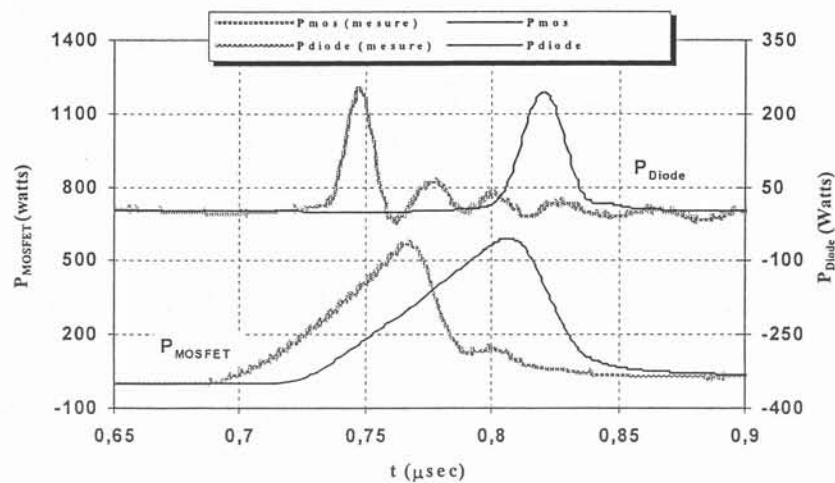


Fig. IV-38: Puissances instantanées du MOSFET et de la diode à la fermeture du MOSFET pour $I_{ch}=4A$.

Tableau IV-14: Comparaison simulation-expérience des signatures des signaux de puissance

	$I_{d(Max)}$ (Amps)	$V_{diode(Max)}$ (Volts)	dI_d/dt (A/ μs)	dV_{ds}/dt (kV/ μs)
Expérience	8,03	0	125	2,15
Simulation	8,57	0	106	1,71
Erreur	6,7%	0%	15%	20%

Tableau IV-15: Comparaison simulation-expérience des temps de commutation, de la charge de grille et des énergies perdues dans les composants de puissance

	T_c (μs)	Q_g (nC)	W_{MOSFET} (μJ)	W_{Diode} (μJ)
Expérience	0,55	-90	32	3,9
Simulation	0,63	-104	38	5,4
Erreur	14%	16%	18,6%	37,4%

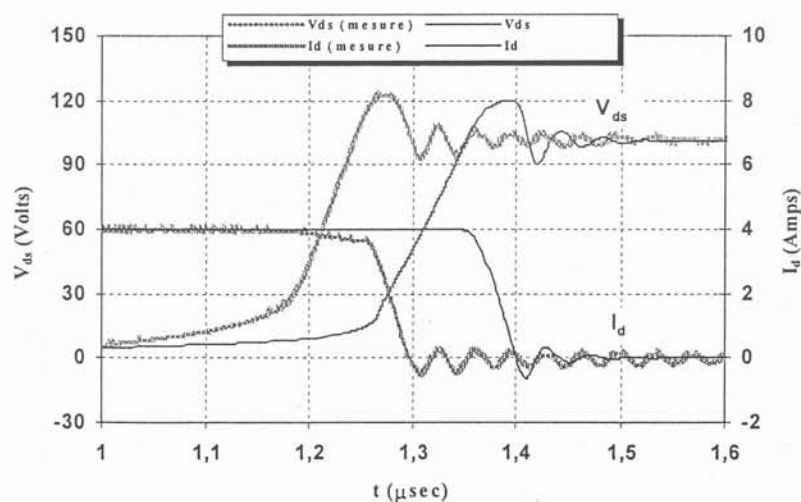


Fig. IV-39: Formes d'ondes du MOSFET à l'ouverture pour $I_{ch}=4A$.

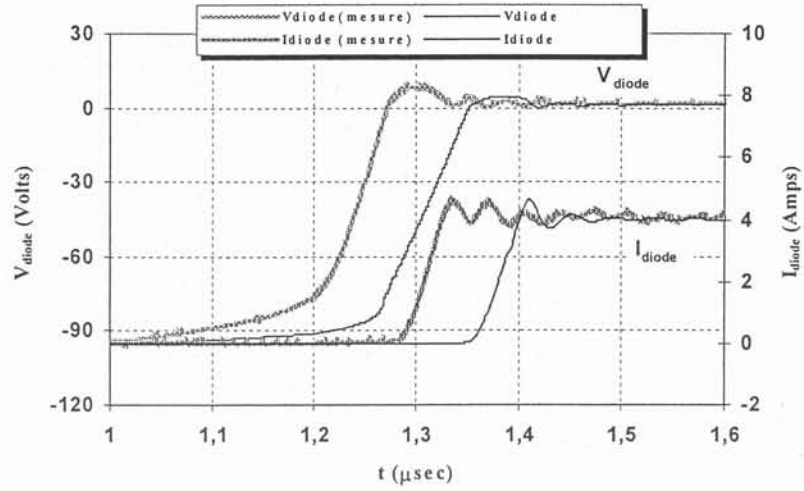


Fig. IV-40: Formes d'ondes de la diode à l'ouverture du MOSFET pour $I_{ch}=4A$.

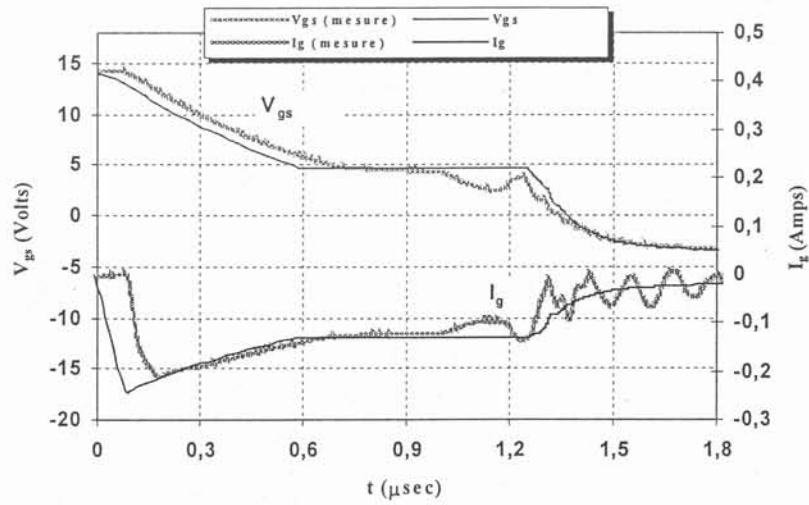


Fig. IV-41: Formes d'ondes de grille du MOSFET à l'ouverture pour $I_{ch}=4A$.

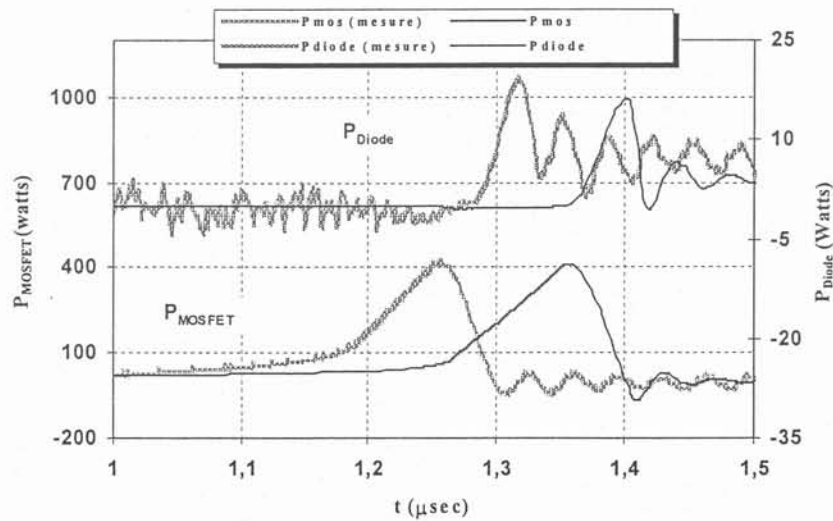


Fig. IV-42: Puissances instantanées du MOSFET et de la diode à l'ouverture pour $I_{ch}=4A$.

Tableau IV-16: Comparaison simulation-expérience des signatures des signaux de puissance

	$V_{ds(Max)}$ (Volts)	dI_d/dt (A/ μ s)	dV_{ds}/dt (kV/ μ s)
Expérience	123	136	1,43
Simulation	120	104	1,04
Erreur	2,4%	24%	27%

Tableau IV-17: Comparaison simulation-expérience des temps de commutation, de la charge de grille et des énergies perdues dans les composants de puissance

	T_c (μ sec)	Q_g (nC)	W_{MOSFET} (μ J)	W_{Diode} (μ J)
Expérience	0,68	-153	38,2	0,81
Simulation	0,72	-185	38,7	0,61
Erreur	6,2%	21%	1,5%	25%

IV.4. Influence des capacités non-linéaires dans la simulation

Dans la plupart des modèles qui prennent en compte la non-linéarité des capacités du MOSFET, l'influence de la tension de grille sur les variations des capacités de MOSFET est négligée, alors que nous avons vu que ces capacités, et notamment les deux capacités d'entrée et Miller, sont fortement non-linéaires en fonction des deux potentiels V_{gs} et V_{ds} . D'ailleurs, ces deux capacités influent sur les formes d'ondes durant la commutation de façon considérable.

A la fermeture, durant la commutation du courant, la capacité C_{gs} par l'intermédiaire de la source de courant (modèle du canal de MOSFET) joue sur la forme d'onde du courant et par conséquent sur les formes d'ondes de tension du MOSFET. Par contre à l'ouverture, pendant la commutation de tension, c'est la capacité Miller qui détermine l'évolution de tension par le biais du courant de décharge de la grille.

Le schéma de la figure II-43 montre le mécanisme par lequel la capacité d'entrée détermine les formes d'ondes à la fermeture. La valeur élevée de la capacité d'entrée, au voisinage de la tension conductrice sur la grille, entraîne une grande constante de temps du circuit grille (si on néglige l'influence de l'inductance de grille et de source), la tension de grille évolue alors selon cette constante de temps.

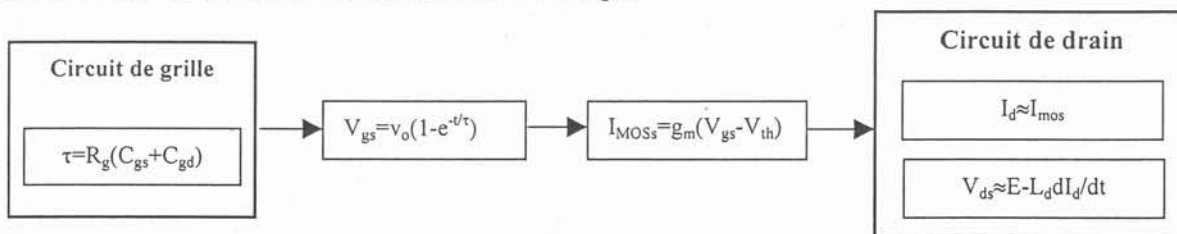


Fig. IV-43: Mécanisme de la détermination des formes d'ondes de puissance par la grille durant la fermeture du MOSFET

A la fermeture, durant l'accroissement du courant MOSFET, ce dernier est quasiment égal au courant I_{MOS} ; or le courant I_{MOS} est en fait une image de la tension grille ($I_{MOS}=g_m(V_{gs}-V_{th})$) et la chute de tension inductive sur le MOSFET est proportionnelle à la dérivée du courant; l'évolution des formes d'ondes de MOSFET est donc déterminée indirectement par le circuit de grille.

Au début de l'ouverture, lorsque la diode est bloquée, le courant de MOSFET est constant et égal au courant de charge; le courant de grille passe entièrement par la capacité Miller et la décharge, ce qui fait monter la tension de drain. En raison d'une grande valeur de la capacité Miller aux faibles tensions de drain et à la tension conductrice de grille, le courant de grille quasi constant fait évoluer la tension de drain par:

$$V_{ds} = V_{gs} - V_{gd} = \left(V_{th} + \frac{I_{ch}}{g_m} \right) - I_g \cdot \int_{t=t_0}^t \left(\frac{1}{C_{gd}} \right) \cdot dt \quad (4)$$

Bien évidemment, le terme déterminant de cette expression est l'intégrale et si l'on considère que la capacité C_{gd} est constante, on en déduit l'expression approximative de V_{ds} à la phase de montée en tension:

$$V_{ds} = \left(V_{th} + \frac{I_{ch}}{g_m} \right) - \frac{I_g}{C_{gd}} \cdot (t - t_0) \quad (5)$$

D'après cette expression, il est clair que la capacité Miller joue le rôle essentiel durant la phase de commutation de tension à l'ouverture. En résumé, le schéma de la figure IV-44 montre le mécanisme de l'évolution de la tension de drain via le circuit grille.

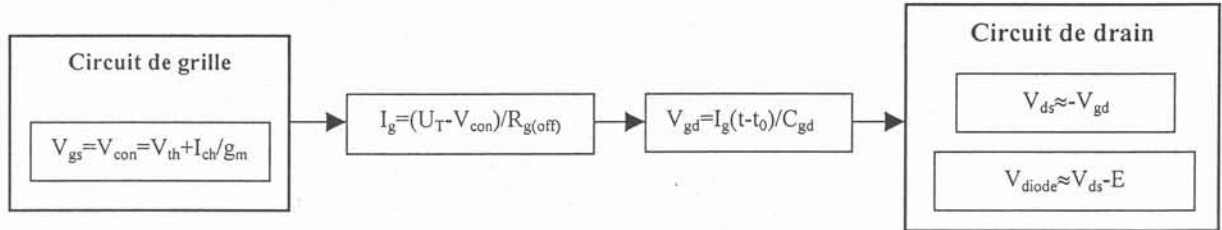


Fig. IV-44: Mécanisme de la détermination des formes d'ondes de puissance par la grille durant l'ouverture du MOSFET

Pour montrer l'influence de la prise en compte du deuxième potentiel V_{gs} , sur les formes d'ondes durant la commutation, nous avons présenté les formes d'ondes de puissance obtenues par des simulations lorsque les capacités ne dépendent que du seul potentiel V_{ds} . Les figures IV-45 et IV-46 présentent les résultats des simulations et des mesures pour $E=100V$, $I_{ch}=8$. Le tableau IV-18 compare certaines grandeurs, dans les trois cas de figures: les valeurs mesurées, les valeurs simulées lorsque $C=C(V_{gs}, V_{ds})$ et les valeurs simulées lorsque $C=C(V_{ds})$.

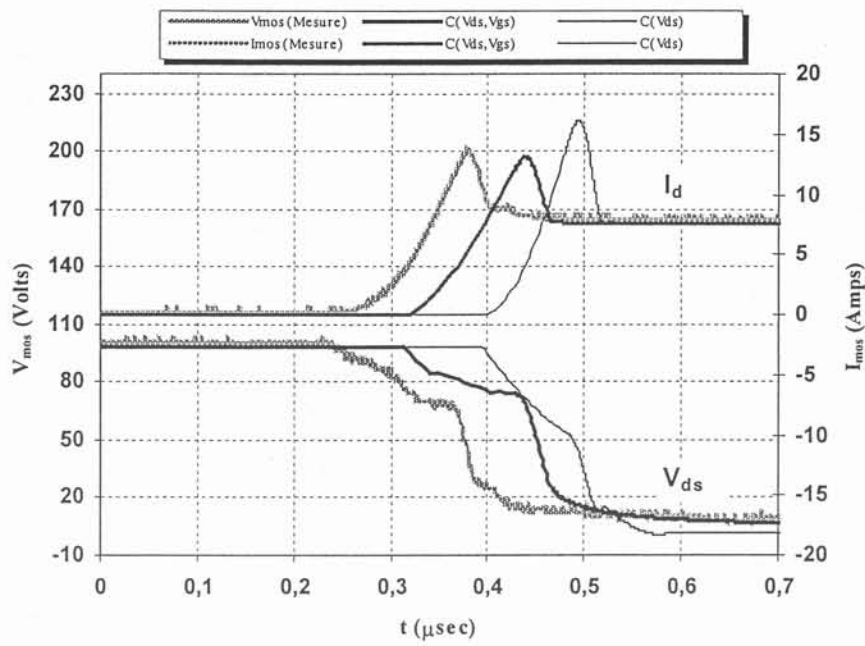


Fig. II-45: Influence de la non-linéarité des capacités de MOSFET en fonction de la tension de grille: sur les signaux de MOSFET à la fermeture.

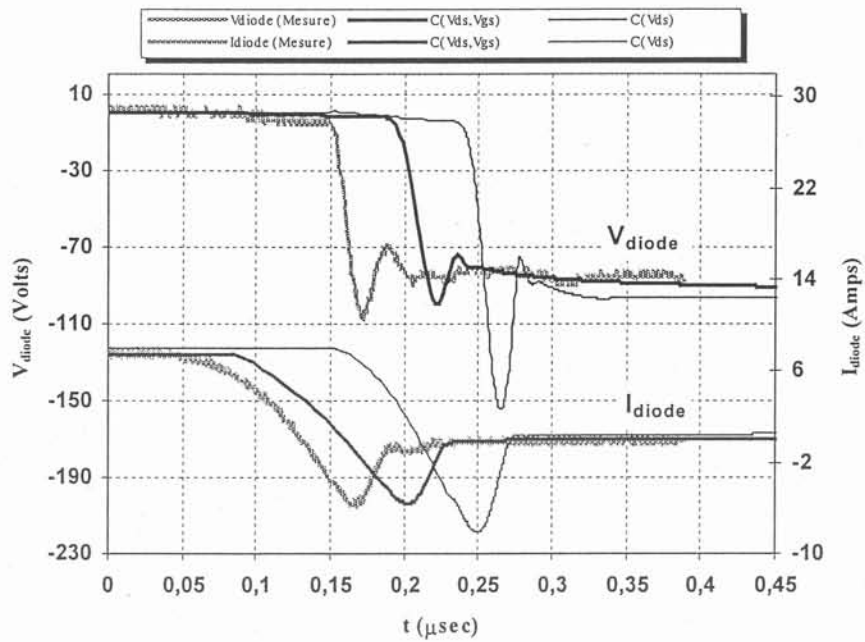


Fig. II-46: Influence de la non-linéarité des capacités de MOSFET en fonction de la tension de grille: sur les signaux de diode à la fermeture du MOSFET.

Tableau IV-19: Comparaison simulation-expérience des signatures des signaux de puissance

	$I_{d(\text{Max})}$ (A)	$V_{\text{diode}(\text{Max})}$ (V)	dI_d/dt (A/ μs)	dV_{ds}/dt (kV/ μs)
Expérience	13,6	-108	155	2,0
Siml. $C=C(V_{gs}, V_{ds})$	13,1	-100	137	1,84
Erreur	3,7%	7,4%	12%	8,2%
Siml. $C=C(V_{ds})$	16,1	-155	223	1,81
Erreur	18,4%	43,5%	44%	9,5%

Dans le deuxième cas, on constate que le courant maximum du MOSFET est surestimé de 18%, cette erreur provient d'une mauvaise valeur de capacité d'entrée qui influe la montée de courant par le biais du circuit de grille, Fig. IV-43. La surtension sur la diode est aussi mal simulée (une erreur de plus de 43%) puisque la tension inductive sur le MOSFET est surestimée (une tension inductive plus grande entraîne une tension plus grande à bloquer par la diode car $V_{\text{diode}} = V_{ds} + L dI_d/dt - E$).

A l'ouverture, Figs. IV-47 et IV-48, on remarque des écarts importants plutôt sur l'évolution de la tension au début de commutation et ensuite à la fin de la phase de commutation de tension, dV_{ds}/dt dans le tableau IV-20, et sur la surtension sur le MOSFET.

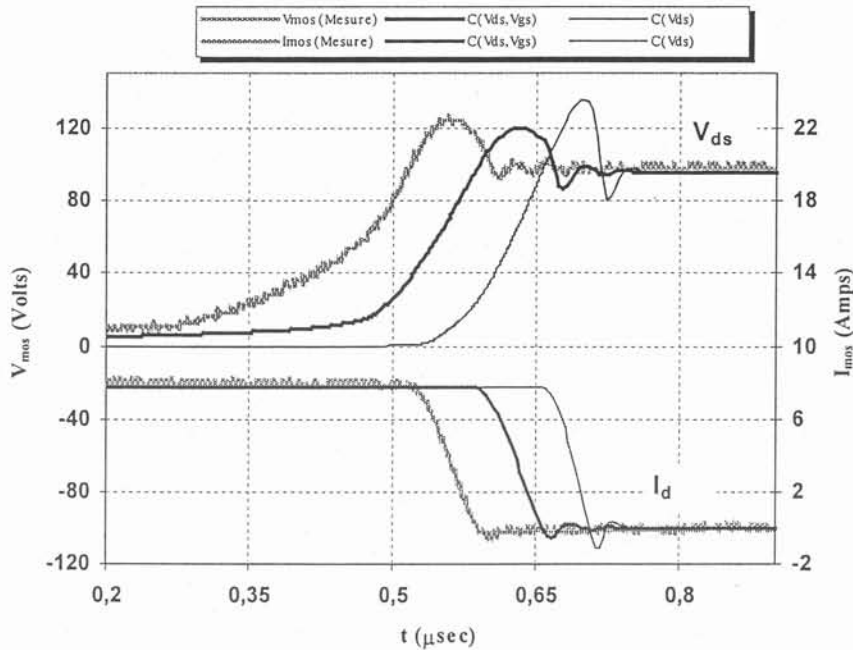


Fig. II-47: Influence de la non-linéarité des capacités du MOSFET en fonction de la tension de grille sur les signaux de MOSFET à l'ouverture.

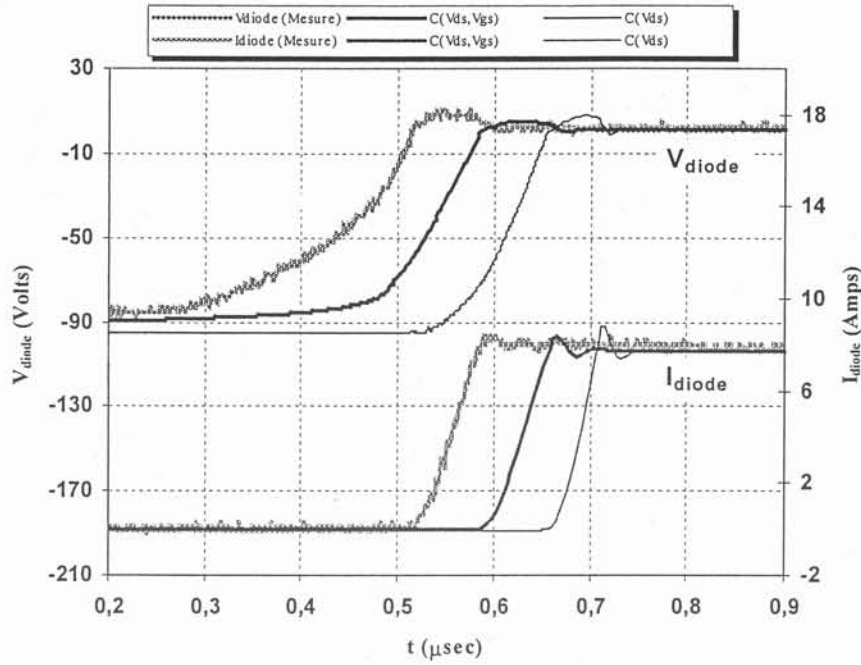


Fig. II-48: Influence de la non-linéarité des capacités du MOSFET en fonction de la tension de grille sur les signaux de la diode à l'ouverture du MOSFET.

Tableau IV-20: Comparaison simulation-expérience des signatures des signaux de puissance

	$V_{ds(Max)} (V)$	$dI_d/dt (A/\mu s)$	$dV_{ds}/dt (kV/\mu s)$
Expérience	126	143	1,02
Siml. $C=C(V_{gs}, V_{ds})$	120	137	0,96
Erreur	4,8%	3,8%	5,9%
Siml. $C=C(V_{ds})$	136	208	1,22
Erreur	7,9%	45%	19,1%

IV.5. Conclusion

Ce chapitre avait pour but de présenter d'abord la mise en œuvre du modèle complet de la cellule de commutation, regroupant la connectique et les composants semiconducteurs, puis de le valider dans différentes conditions de fonctionnement.

La comparaison des résultats de simulation et d'expérience est globalement satisfaisante. Cependant, il semble que la prise en compte de la forte non linéarité de la capacité d'entrée aux voisinage du seuil (MOSFET conducteur) résulte en une surestimation de la charge de grille ainsi que de la durée de commutation. Il faudra vraisemblablement poursuivre les investigations sur la caractérisation de ces capacités dans cette zone.

Les résultats chiffrés sont dispersés, on constate cependant que la fermeture du MOSFET est globalement mieux maîtrisée que l'ouverture. A noter que pour l'ouverture,

comme cela est systématiquement fait dans tous les modèles, une résistance supplémentaire amortissant les oscillations est obligatoire. En effet, la résistance de la base saturée de la diode ne suffit pas à cet amortissement. Là encore, des investigations sont à poursuivre (prise en compte des pertes dans les diélectriques, rayonnement...).

Chapitre V

Les Applications

V.1. Introduction

V.2. Une solution à l'interaction Puissance-Commande par l'impédance commune

V.3. Equilibrage dynamique du courant dans les MOSFETs en parallèle

V.4. Choix optimal de la résistance de grille: Minimiser les pertes de commutation et satisfaire les contraintes CEM

V.1.Introduction

Dans cette partie, nous avons voulu valider le modèle de la cellule de commutation sur les différents problèmes qui peuvent se poser lors de la conception d'un convertisseur statique. Nous avons abordé des problèmes non résolus à notre connaissance en Electronique de Puissance, jusqu'à aujourd'hui, en essayant de proposer des solutions concrètes. Des simulations fines effectuées, à priori, nous ont permis d'évaluer nos idées. Ensuite elles ont été vérifiées par des mesures sur des maquettes spécifiquement construites pour ces applications.

Les exemples traités correspondent essentiellement l'aspect dynamique rapide (commutation) du fonctionnement du convertisseur. Le modèle développé dans ce mémoire est d'ailleurs destiné à ce genre de cas.

V.2.Une solution à l'interaction Puissance-Commande par l'impédance commune

V.2.1. Introduction

Selon l'approche source-chemin-victime dans les études de l'interaction entre la partie de puissance d'un convertisseur et sa commande, on peut distinguer trois types de couplages différents [Merienne-96]. Un type de couplage concerne le cas où source et victime sont liées galvaniquement: c'est le couplage par impédance commune. Les deux autres types de couplage sont relatifs au cas où source et victime sont proches: ce sont les couplages par influence. On distingue le couplage inductif (par champs magnétique) et le couplage capacitif (par champ électrique).

Dans le couplage par impédance commune, deux boucles électriques partagent la même impédance, Fig. V-1. Ainsi, la tension aux bornes de cette impédance est due à la somme des courants des deux boucles et de leur dérivées.

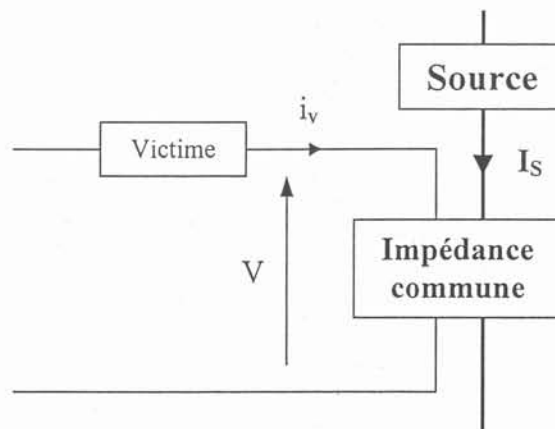


Fig. V-1: Principe du couplage par impédance commune

Considérons une boucle victime et une boucle source avec différents niveaux de signaux. Dans le circuit victime, des signaux de faibles amplitudes circulent tandis que dans la partie source les amplitudes sont grandes: elles sont les principales causes de la tension induite aux bornes de l'impédance commune. Cette tension se répercute au sein du circuit de commande et peut provoquer des perturbations si sa valeur est de l'ordre de grandeur des signaux de la partie victime.

Le problème de l'impédance commune se pose en fait dans le cas de l'inductance de source (patte source) dans une cellule de commutation constituée d'un interrupteur commandé en tension (MOSFET), Fig. V-2.

En effet, l'inductance de source L_s est commune au circuit de puissance et au circuit de commande. Lors de la commutation du transistor de puissance, le courant I_d traversant l'inductance de source L_s évolue entre le courant de charge et le courant nul et inversement.

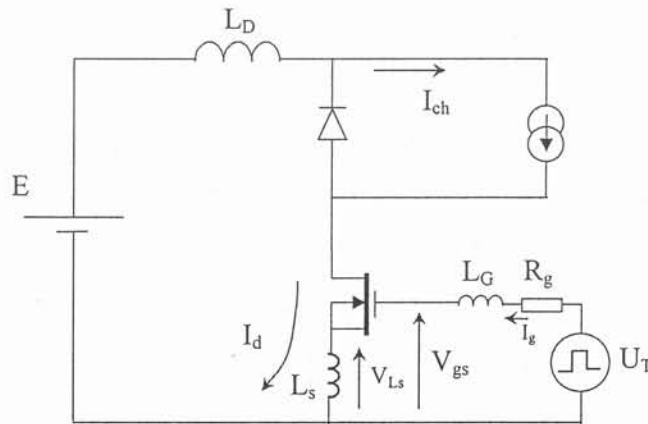


Fig. V-2: Couplage par impédance commune au sein de la cellule de commutation.

Un fort front de courant dI_d/dt est engendré par la commutation. Si on néglige l'influence du courant de grille devant le courant de puissance, la tension induite V_{Ls} aux bornes de l'inductance de source vaut:

$$V_{Ls} = L_s \frac{dI_d}{dt} \quad (1)$$

Cette tension va à l'encontre du courant de grille et peut troubler la commutation du transistor de puissance. Ce phénomène peut se produire aussi bien à l'ouverture qu'à la fermeture du transistor de puissance. A l'aide du modèle de la cellule de commutation développé dans ce mémoire une simulation a été effectuée en faisant varier l'inductance de source L_s entre 12 et 30 nH. L'augmentation de cette inductance provoque deux actions antagonistes au niveau de l'interaction puissance-commande. D'une part, elle a tendance à augmenter le couplage entre deux parties puissance et commande, mais d'autre part elle diminue le front du courant de puissance; cet effet, à priori séduisant pour réaliser le contrôle de la mise en conduction du transistor, peut se révéler dangereux dans le cas des commutations rapides (faibles résistances de grille) où de fortes oscillations de tension sur la commande peuvent provoquer le blocage et la mise en conduction successive du MOSFET.

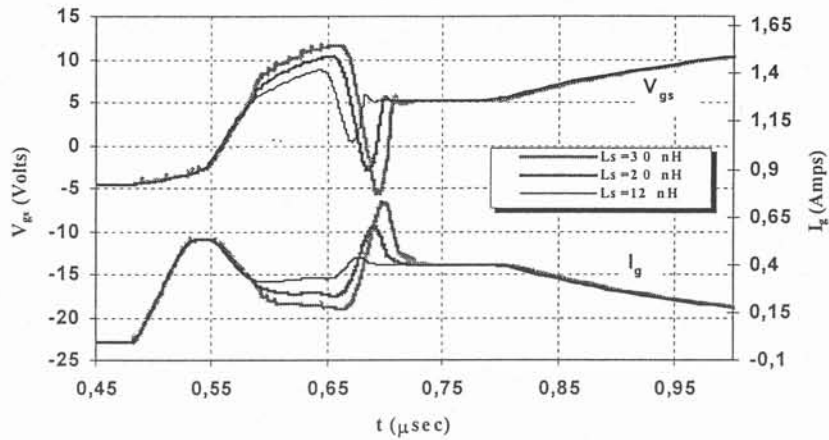


Fig. V-3: Influence de l'inductance de source L_s sur les signaux de commande à la fermeture.

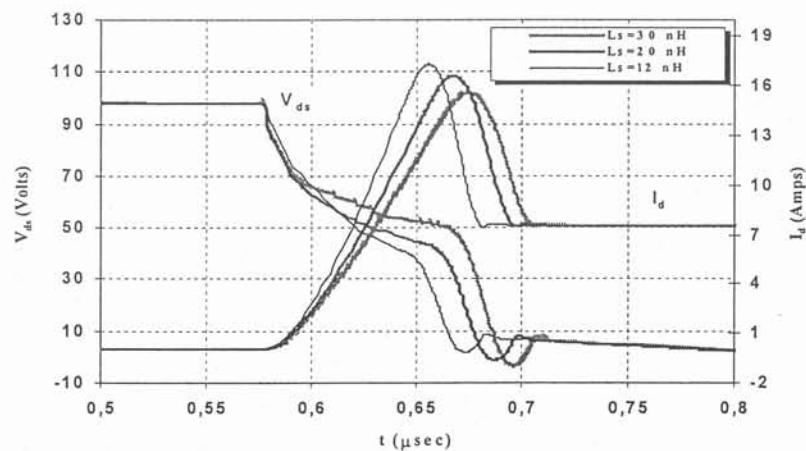


Fig. V-4: Influence de l'inductance de source L_s sur les signaux de puissance à la fermeture.

Une expérimentation a été effectuée par Mérienne [Mérienne-96/2] avec une résistance de grille très faible. Les formes d'ondes de la Fig. V-5 montrent une remise en conduction du MOSFET. Après une ouverture commandée, plusieurs commutations parasites apparaissent. Elles sont préjudiciables au bon fonctionnement du convertisseur, tant en terme de pertes que de performances CEM, et doivent être évitées.

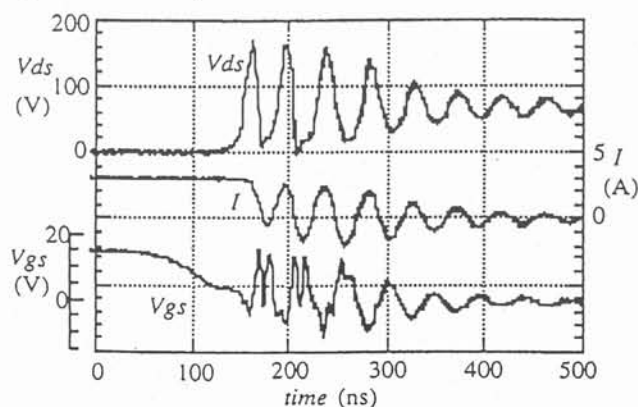


Fig. V-5: Perturbation d'un convertisseur statique par impédance commune lors de l'ouverture du MOSFET (Formes d'ondes expérimentales [Merienne-96/2]).

V.2.2. Solution proposée pour diminuer l'impédance commune [Akhbari-98/1]

Les constructeurs de composants de puissance ont tenté de résoudre le problème de l'inductance de source en fournissant une quatrième connexion connue sous nom de la connexion de "Kelvin", Fig. V-6. Ainsi le chemin du courant de puissance ne sera plus commun à celui de commande ou au moins les deux courants partageront le même chemin pour une très courte distance. En effet, il existe une distance minimale que l'on ne peut pas éviter. La diminution de l'inductance de source commune entre le circuit de puissance et celui de commande est donc physiquement limitée.

L'idée de base pour la solution que nous allons proposer était de créer un faux chemin pour le courant responsable des perturbations afin d'annuler son effet perturbateur. En d'autres termes, créer une tension qui va à l'encontre de la tension V_{Ls} et qui va annuler cette dernière, Fig. V-7 met en évidence cette idée. Mais, en pratique on rencontrera les mêmes contraintes physiques que dans le cas de la connexion "Kelvin".

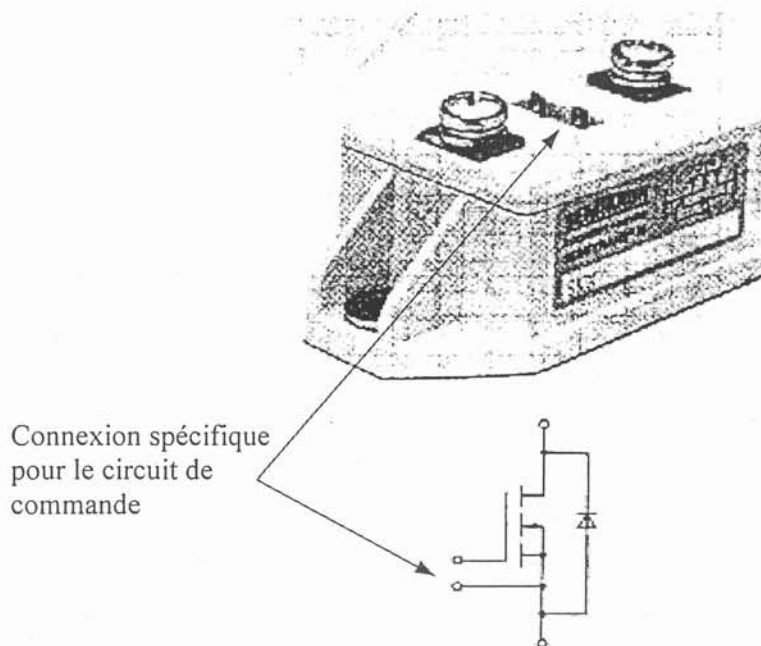


Fig. V-6: Connexion de "Kelvin" dans le cas d'un module du MOSFET

Nous avons donc pensé utiliser la mutuelle inductance qui permet de surmonter les limites géométriques car ce concept est défini par le champ magnétique entourant un circuit.

Prenons une structure simple rectangulaire constituée de deux boucles et avec un segment commun, le circuit équivalent de cette structure selon la méthode PEEC est celui de la figure V-8. Les résistances ne sont pas figurées car leur contribution au phénomène étudié est négligeable; les mutuelles entre les segments perpendiculaires sont nulles. Si l'on écrit les relations de l'inductance des boucles nous obtenons:

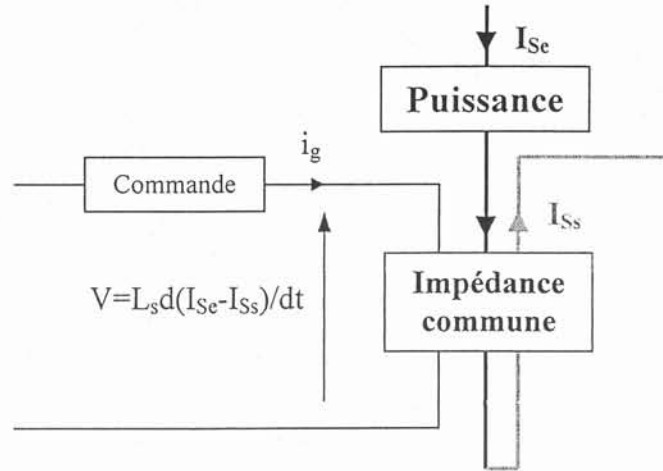


Fig. V-7: Création d'un faux chemin pour le courant perturbateur

$$\text{Boucle-1: } L_1 = L_{P1} + L_{P2} + L_{P3} + L_{P4} + 2M_{P24} + 2M_{P13} \quad (2)$$

$$\text{Boucle-2: } L_1 = L_{P4} + L_{P5} + L_{P6} + L_{P7} + 2M_{P46} + 2M_{P57}$$

$$\text{Mutuelle-1 \& 2: } M_{12} = M_{21} = L_{P4} + M_{P15} + M_{P17} + M_{P24} + M_{P26} + M_{P35} + M_{P37} + M_{P46}$$

La tension aux bornes de l'inductance L_{P4} peut être calculée; cette tension dépend des deux courants I_1 et I_2 .

$$V_{\text{Boucle-1}} = L_1 \frac{dI_1}{dt} + M_{12} \frac{dI_2}{dt} \quad (3)$$

Ceci est exactement le cas pour l'interaction puissance commande par impédance commune. Dans l'expression M_{12} , on constate qu'à part l'inductance commune L_{P4} , certaines mutuelles sont aussi responsables de l'impédance commune entre les deux boucles. Afin d'annuler le couplage par impédance commune, il est simplement nécessaire d'assurer $M_{12}=0$. Comme les mutuelles peuvent avoir des signes opposés cet objectif peut être atteint par une structure spécifique.

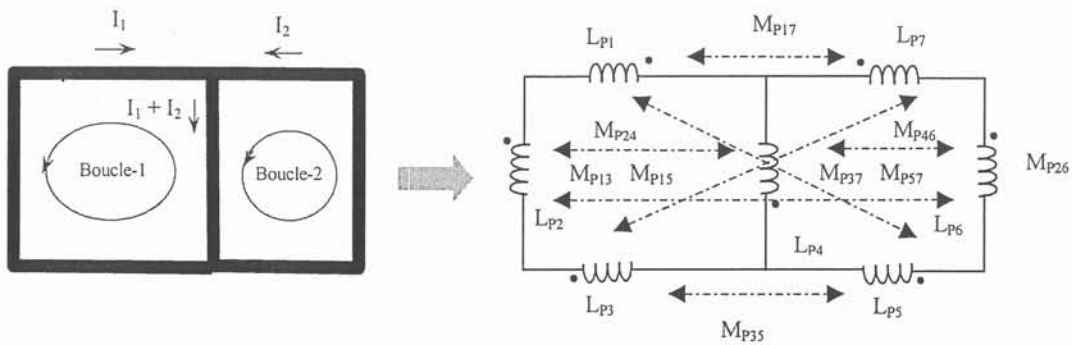


Fig. V-8: Représentation de deux boucles avec un segment commun par la méthode PEEC.

Si l'on remplace la structure de la figure V-8 par la structure réelle d'une cellule de commutation représentée sur la figure V-9, les inductances L_g et L_d représentent tous les segments de la structure qui ne sont pas communs aux deux circuits de drain et de grille. La relation (3) pour le schéma de la figure V-9 s'écrit comme suit:

$$V_{gs} = U_T - (L_g + L_s + 2M_{gs}) \frac{dI_g}{dt} - (L_s + M_{gd} + M_{gs} + M_{ds}) \frac{dI_d}{dt} \quad (4)$$

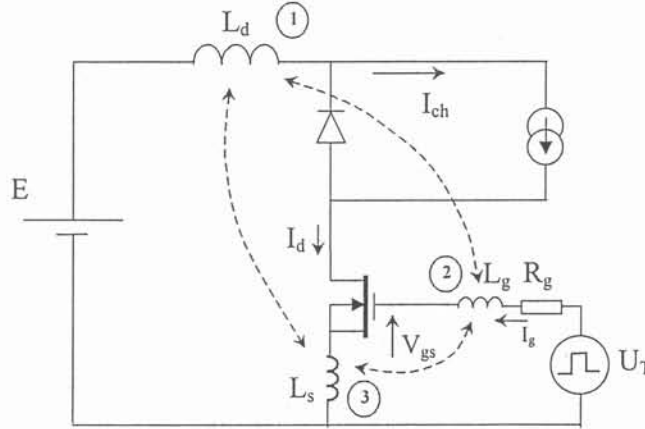


Fig. V-9: Représentation d'une cellule de commutation pour les études de l'interaction puissance-commande par impédance commune.

Le terme concernant dI_g/dt est simplement l'inductance du circuit de grille; le deuxième terme représente l'interaction entre le circuit de puissance et celui de commande. Ce terme doit être supprimé. Pour ce faire, il suffit d'assurer la relation suivante:

$$L_s + M_{gd} + M_{gs} + M_{ds} = 0 \quad (5)$$

Cet objectif peut être atteint avec une structure assurant de grandes mutuelles négatives qui peuvent supprimer l'influence de l'inductance de source L_s . Pour satisfaire la relation (5), nous avons besoin d'une structure spéciale qui présente des mutuelles importantes notamment entre le circuit de grille et celui de puissance. Ainsi nous avons proposé de rajouter une fausse boucle de courant qui sera parcourue par le courant de grille. Le sens du courant dans cette boucle doit être tel que le champ créé par le courant de grille soit opposé au champ créé par le courant de puissance [Akhbari-98/1]. Comme support nous avons choisi le circuit imprimé, l'idée de la boucle additionnelle est réalisée sur le "layout" comme le montre la figure V-10.

Les dimensions géométriques de cette boucle déterminent les mutuelles entre la commande et le circuit de puissance. Il faut noter que cette boucle supplémentaire va

augmenter l'inductance de grille ce qui peut être considéré comme un inconvénient car une grande inductance de grille cause des oscillations indésirables sur le circuit de grille. On se ramène donc à un problème d'optimisation: trouver les dimensions de la boucle telles que la relation (5) soit respectée et en même temps l'inductance de grille soit minimum [Akhbari-98/2].

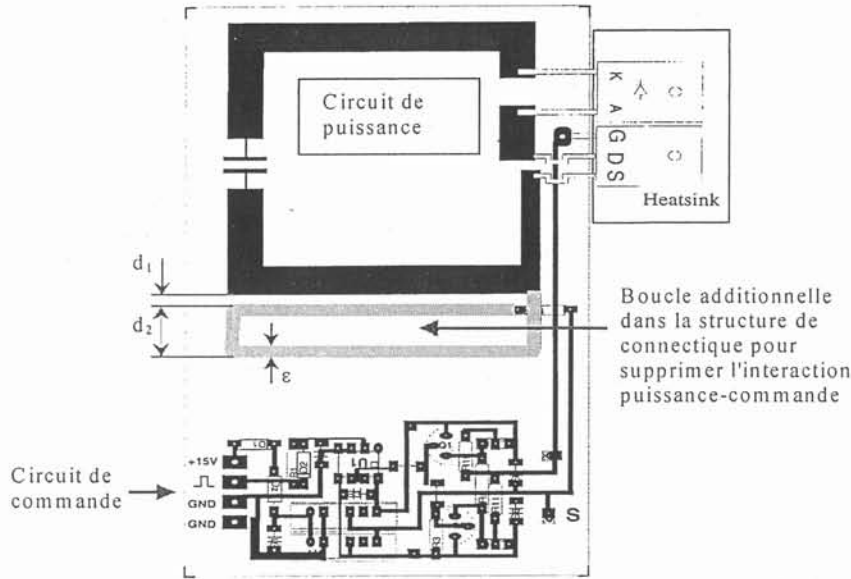


Fig. V-10: Représentation d'une cellule de commutation pour les études de l'interaction puissance-commande par impédance commune.

V.2.3. Validation: Simulation - Expérience

Nous avons essayé de trouver les bonnes dimensions géométriques de la boucle de circuit de grille en faisant une étude de sensibilité des paramètres géométriques. Trois paramètres sont les plus sensibles, la distance entre les deux boucles d_1 , la largeur de la boucle d_2 et la largeur ϵ des pistes de la boucle additionnelle, Fig. V-10.

Les résultats du calcul d'inductances par InCa dans les deux cas, c'est à dire en présence de la boucle additionnelle et en son absence sont donnés par deux matrices L_{mdi} et L_{ini} . Les éléments des matrices correspondent au schéma du circuit équivalent de la figure V-11.

$$L_{ini} = \begin{bmatrix} 99,9 & -3,300 & 0,395 & -0,238 & 1,220 & 0,042 \\ & 1670 & -0,026 & 0,284 & -10,40 & 0,199 \\ & & 17,40 & -0,651 & 0,397 & -1,03 \\ & & & 1220 & -4,14 & 3,37 \\ & & & & 25,70 & -2,04 \\ & & & & & 9,21 \end{bmatrix} \quad L_{mdi} = \begin{bmatrix} 99,9 & -14,60 & 0,315 & -0,238 & 1,220 & 0,042 \\ & 2680 & -0,059 & 0,624 & -10,0 & 0,429 \\ & & 17,40 & -0,651 & 0,397 & -1,03 \\ & & & 1220 & -4,14 & 3,37 \\ & & & & 25,70 & -2,04 \\ & & & & & 9,21 \end{bmatrix} \text{ nH}$$

En comparant ces deux matrices, on remarque une grande différence entre les éléments de la deuxième ligne qui correspondent au circuit de grille. Les formes réduites des

matrices L_{mdi} et L_{ini} qui donnent les éléments du circuit équivalent de la figure V-9 sont comme suit:

$$L_{ini} = \begin{bmatrix} 128 & -0,67 & -2,53 \\ & 176 & -12,40 \\ & & 25,70 \end{bmatrix} \quad L_{mdi} = \begin{bmatrix} 128 & -11,60 & -2,53 \\ & 278 & -12,10 \\ & & 25,70 \end{bmatrix} \quad \text{nH}$$

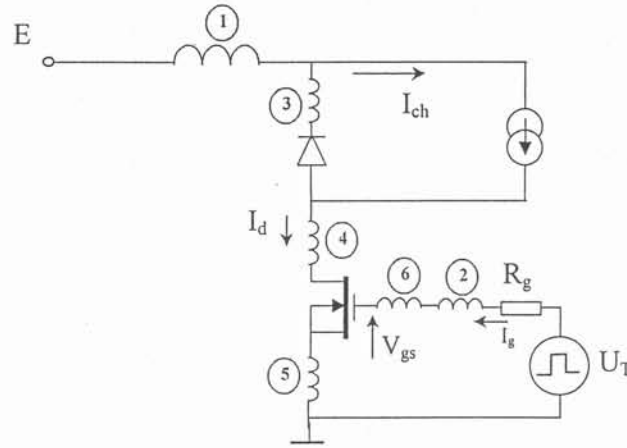


Fig. V-11: Représentation d'une cellule de commutation pour les études de l'interaction puissance-commande par impédance commune.

On voit que la mutuelle M_{gd} a considérablement augmenté, de -0,67 nH à -11,60 nH. La somme des trois mutuelles M_{gd} , M_{gs} et M_{ds} dans le cas de la structure avec la boucle supplémentaire donne -26,2 nH ce qui supprime totalement l'influence de l'inductance de source $L_s=25,7$ nH.

Une simulation a été réalisée avec ces valeurs d'inductance. Le MOSFET utilisé est un IRFP450FI et la diode est une BYT08PI400. Puisque le modèle de diode dans cette étude n'est pas critique, nous avons utilisé un modèle rudimentaire pour la diode [Farjah-94]. La résistance de grille est choisie à 10 Ω , la tension d'alimentation à $E=200$ V et nous avons un courant de charge $I_{ch}=4$ A.

Les formes d'ondes simulées sont présentées sur les figures V-12 et V-13. Sur la tension du MOSFET, dans le cas de la structure sans boucle supplémentaire sur la grille, Fig. V-12, on constate un début de dysfonctionnement du MOSFET. En fait, la tension de drain a tendance à remonter à l'instant $t=1$ μ sec. Pour une commutation plus rapide, cette remontée de tension peut continuer au-delà de la tension d'alimentation ce qui veut dire que la diode ne pourra pas se bloquer car la tension qu'elle voit à ses bornes sera positive. Par conséquent, le MOSFET ne se fermera pas. En revanche, dans le cas de la structure modifiée d'une part cette remontée de tension est supprimée et d'autre part la commutation est devenue plus rapide; les pertes dans le MOSFET sont diminuées de plus de 30%, (30 μ J devant 44 μ J), Fig. V-14.

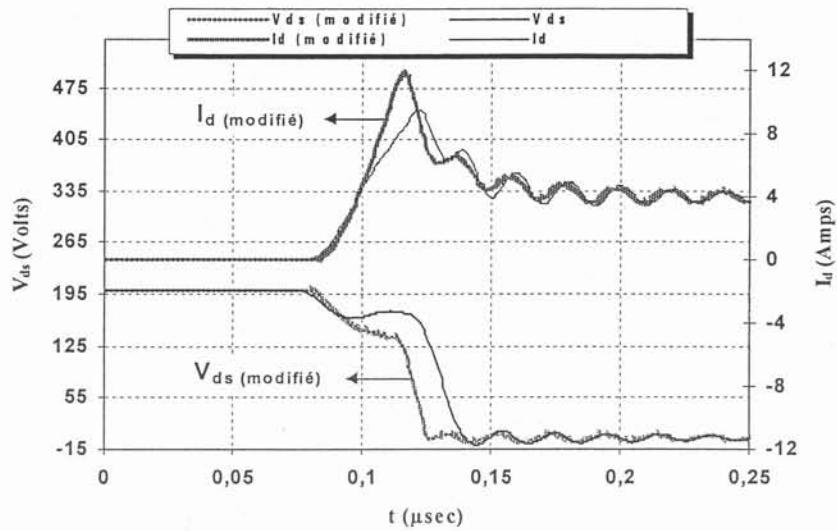


Fig. V-12: Formes d'ondes simulées du MOSFET durant la fermeture pour la structure avec (modifiée) et sans la boucle supprimant l'inductance commune de source

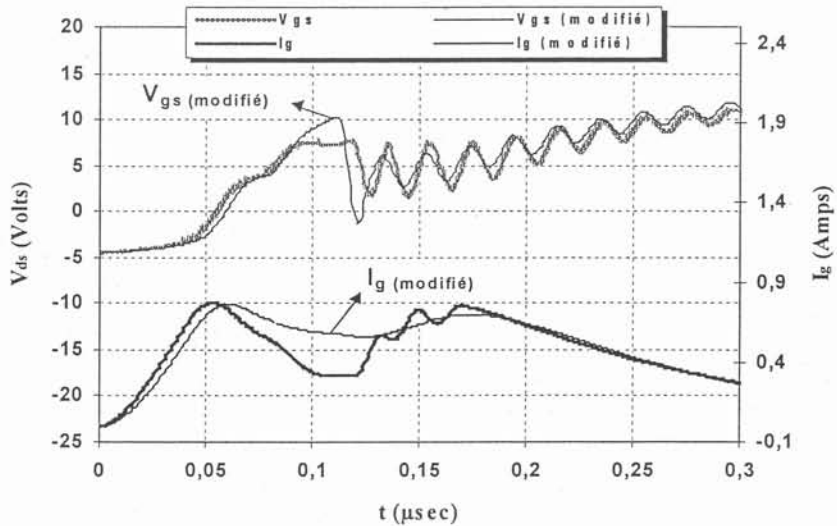


Fig. V-13: Formes d'ondes de grille simulées durant la fermeture pour la structure avec (modifiée) et sans la boucle supprimant l'inductance commune de source

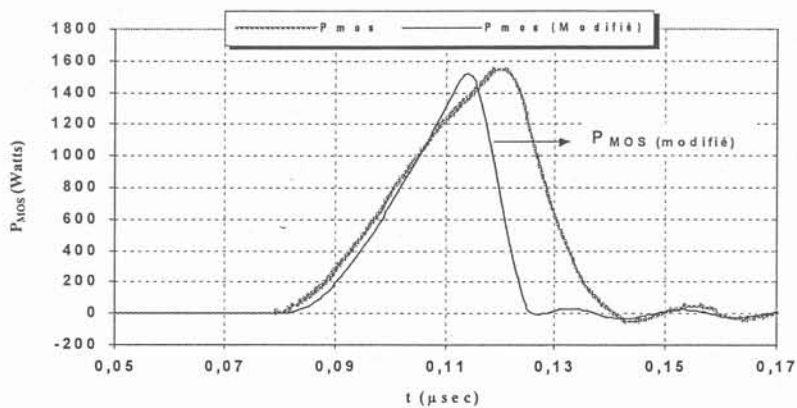


Fig. V-14: Puissances instantanée simulées dans les deux cas de la structure modifiée et la structure sans la boucle supplémentaire.

Les mesures sur la maquette réalisée donnent les résultats des figures V-15, V-16 et V-17. Les formes d'ondes des mesures confirment les simulations. On ajoute ici que les oscillations supplémentaires constatées sur la tension de grille sont dues à une inductance plus grande de grille, ce qui rend plus petit le facteur d'amortissement du circuit de grille. L'énergie perdue et emmagasinée dans le MOSFET est de $30 \mu\text{J}$ pour la structure modifiée devant $52 \mu\text{J}$ pour la structure sans boucle supplémentaire.

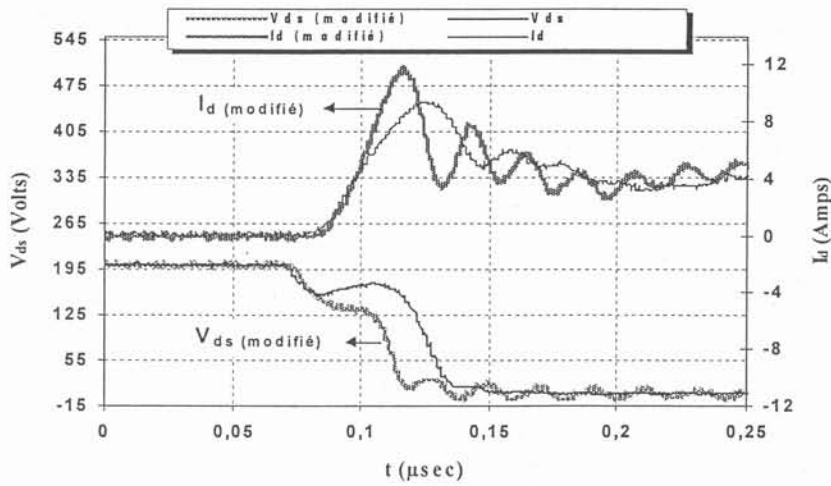


Fig. V-15: Formes d'ondes mesurées du MOSFET durant la fermeture pour la structure avec (modifiée) et sans la boucle supprimant l'inductance commune de source

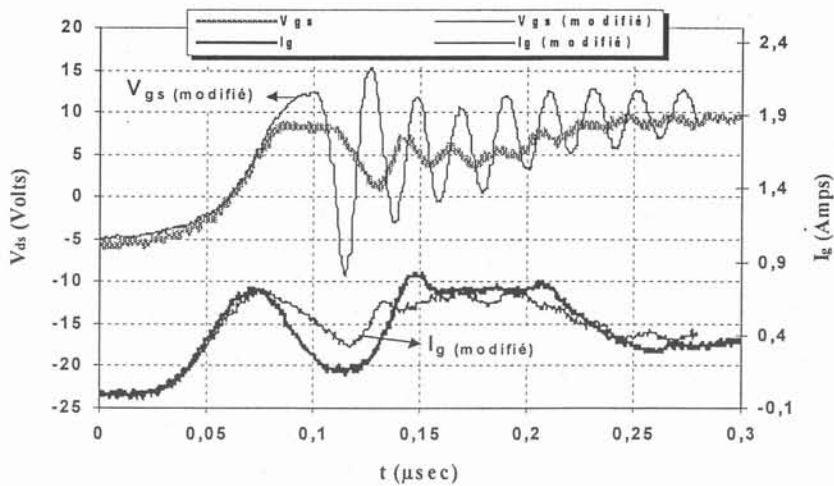


Fig. V-16: Formes d'ondes de grille mesurées durant la fermeture pour la structure avec (modifiée) et sans la boucle supprimant l'inductance commune de source

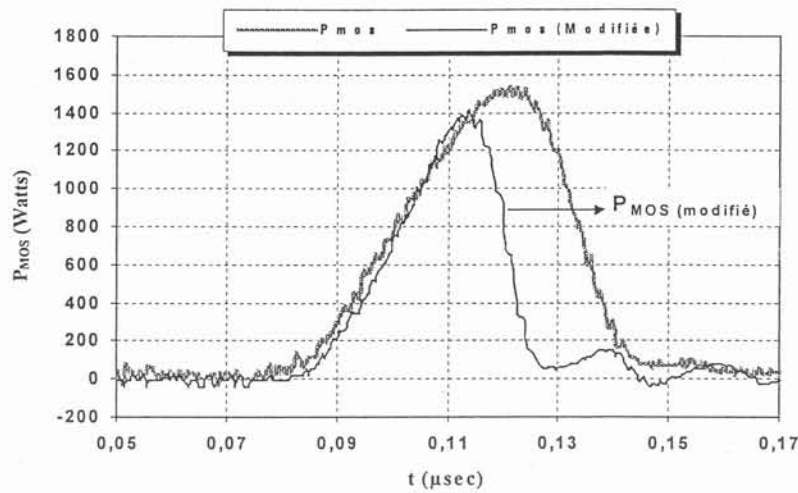


Fig. V-17: Puissances instantanées mesurées de la structure modifiée et de la structure sans la boucle supplémentaire.

V.2.4. Conclusion

Dans les commutations rapides des composants commandés en tension, la rétroaction due à la tension induite sur l'impédance commune peut provoquer des perturbations de la commande rapprochée du composant. En utilisant la notion de mutuelle inductance et la représentation des inductances partielles par la méthode PEEC, une solution pour réduire l'inductance de source dans le cas du MOSFET a été proposée. Les simulations fines des commutations ainsi que les mesures sur un prototype confirment la faisabilité de la solution proposée.

V.3.Équilibrage dynamique du courant dans les MOSFETs en parallèle

V.3.1. Introduction

L'association de plusieurs interrupteurs en parallèle est devenue inévitable dans les structures actuelles de l'électronique de puissance afin d'augmenter la capacité en courant des convertisseurs. On peut citer par exemple, la mise en parallèle de plusieurs puces de silicium au sein d'un même boîtier pour atteindre des courant de 1200 A. Cependant, ce niveau peut ne pas suffire, et en particulier dans le domaine des applications avec de forts courants comme les fours à arc, la traction ferroviaire ... D'autre part, vu le prix des composants discrets de moyenne puissance, il est parfois plus économique et en même temps plus fiable d'associer plusieurs composants discrets, avec un niveau de courant moyen que de construire des composants de forts niveaux de courant. On utilise alors l'association parallèle des composants. Lorsque les dispositifs semiconducteurs fonctionnent en parallèle, certaines considérations sont à prendre pour avoir un équilibrage aussi bien en dynamique qu'en statique. Cela assurera le fonctionnement de chaque composant dans ses limites définies a priori par le constructeur. Pour une association réussie des composants en parallèle, il faut être vigilant sur les aspects suivants:

- Circuit de "driver"
- Considérations sur le "layout" ou réalisation technologique
- Caractéristique des composants
- Aspect thermique

Concernant cette application de mise en parallèle, nous voulons montrer que la simulation peut fortement aider à la mise au point de dispositifs efficaces, sans avoir recours à de nombreux prototypes ou à des circuits extérieurs d'équilibrage. Hormis le côté thermique, qui n'a pour le moment pas été implanté dans les logiciels développés sous MATLAB, les trois autres aspects intervenant dans l'équilibrage dynamique de MOSFETs en parallèle peuvent être abordés grâce aux modèles évoqués au chapitre III. Nous avons décidé d'illustrer principalement le côté câblage.

Des travaux de thèse en cours (P-O. Jeannin) ayant trait à cette problématique montrent qu'en assurant certaines conditions spécifiques sur l'impédance du câblage (inductances, résistances et mutuelles) un équilibre parfait du courant entre les composants en parallèle est théoriquement réalisable [Jeannin-99]. Ces conditions ne mènent pas obligatoirement à une forme symétrique du "layout", forme qui n'est pas toujours possible. Notre but dans cette partie sera de prouver la validité de ces conditions de câblage, grâce à des simulations précises, faisant intervenir le modèle des MOSFETs.

En premier lieu, ces conditions de câblage seront brièvement évoquées, puis les simulations seront comparées à des mesures sur des maquettes utilisant deux modules de MOSFET en parallèle dans une structure de hacheur.

V.3.2. Conditions pour l'équilibre du courant

V.3.2.1. A la fermeture des interrupteurs

En premier lieu, on suppose que les deux interrupteurs sont en état de conduction. Le circuit équivalent de la figure V-18 est choisi pour analyser l'influence des inductances parasites du câblage sur le non équilibrage du courant. Dans cette figure les inductances L_1 et L_2 représentent les imperfections du câblage pour chaque composant, et L_0 correspond aux segments communs aux deux interrupteurs, toutes ces inductances sont couplées par les mutuelles M_{12} , M_{01} et M_{02} .

Le modèle du câblage est un modèle à large bande de fréquence avec seulement les éléments résistifs et inductifs de la structure. Le courant I_0 doit être partagé entre I_1 et I_2 de façon équilibrée; l'objectif est donc d'obtenir $I_1=I_2=I_0/2$ sur toute la bande de fréquence. Pour ce faire on étudie la fonction de transfert I_1/I_0 qui peut s'exprimer comme suit:

$$\frac{I_1}{I_0} = \frac{r_2 + (L_2 + M_{02} - M_{01} - M_{12}) \cdot p}{r_1 + r_2 + (L_1 + L_2 - 2 \cdot M_{12}) \cdot p} \quad (6)$$

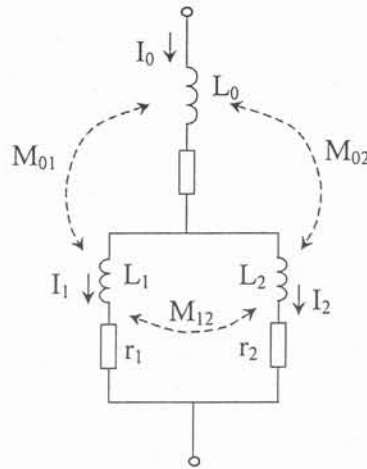


Fig. V-18: Modèle du câblage de deux interrupteurs en parallèle pour les études de l'équilibrage du courant.

Cette expression peut être réécrite sous la forme suivante:

$$\frac{I_1}{I_0} = \frac{1}{2} + \frac{\frac{r_2}{2} - \frac{r_1}{2} + \left(\frac{L_2}{2} - \frac{L_1}{2} + M_{02} - M_{01} \right) \cdot p}{r_1 + r_2 + (L_1 + L_2 - 2 \cdot M_{12}) \cdot p} \quad (7)$$

Pour avoir un équilibre du courant, le deuxième terme de l'expression (7) doit être nul. De l'expression (7) on déduit les conditions de câblage suivantes:

➤ Pour les basses fréquences, l'approximation de l'expression (7) donne:

$$\frac{I_1}{I_0} = \frac{r_2}{r_1 + r_2}$$

On aboutit alors à la condition classique suivante:

$$r_1 = r_2 \quad (8)$$

➤ Pour les hautes fréquences la relation (7) est approchée ainsi:

$$\frac{I_1}{I_0} = \frac{L_2 + M_{02} - M_{01} - M_{12}}{L_1 + L_2 - 2 \cdot M_{12}}$$

ce qui amène l'égalité suivante:

$$\frac{L_1 - L_2}{2} = M_{02} - M_{01} \quad (9)$$

En conséquence, pour l'équilibre du courant, il n'est pas nécessaire d'avoir une structure symétrique du câblage- ce qui n'est pas toujours possible- mais il suffit de satisfaire les deux conditions (8) et (9).

En respectant la condition (8), l'expression (7) peut être écrite sous la forme suivante:

$$\frac{I_1}{I_0} = \frac{1}{2} + \frac{\left(\frac{L_2 - L_1}{2} + M_{02} - M_{01} \right) \cdot p}{2 \cdot r_2 \cdot \left(1 + \frac{L_1 + L_2 - 2 \cdot M_{12}}{2 \cdot r_2} \cdot p \right)} \quad (10)$$

De cette expression, on voit clairement qu'en satisfaisant la condition (9), un équilibre du courant est garanti pour toutes les fréquences. Les conditions obtenues peuvent être testées par une structure complètement symétrique, c'est à dire $r_1=r_2$, $L_1=L_2$ et $M_{01}=M_{02}$. Dans ce cas, les conditions (8) et (9) sont respectées, c'est en fait le cas développé par un certain nombre de publications [Clavel-96] [Paice-75].

V.3.2.2. A l'ouverture des interrupteurs

Courant de circulation: Durant l'ouverture des semiconducteurs les tensions sur les composants peuvent se comporter différemment. Cette différence peut apparaître:

- soit à cause du décalage de l'ouverture d'un composant par rapport à l'autre en raison des caractéristiques différentes des commandes
- soit à cause de la différence de l'évolution des tensions dont l'origine est la différence dans les caractéristiques des composants (par exemple différentes capacités de Miller Crss).

Dans une structure de hacheur série, la diode est bloquée pendant une grande partie de l'évolution de la tension de l'interrupteur principal. Dans le cas de deux interrupteurs en parallèle, Fig. V-19, la différence entre V_1 et V_2 implique alors un courant de circulation

entre les deux branches parallèles. Ce courant circulant dans la boucle fermée de deux interrupteurs peut entraîner des surintensités sur l'un des deux interrupteurs.

Les formes d'ondes des courants des interrupteurs peuvent être étudiées dans trois phases successives:

- Durant la **phase 1** (de $t=0$ à $t=t_d$), le courant de circulation correspond seulement au retard entre les débuts d'ouverture des interrupteurs (retard dû aux drivers ou aux disparités des MOSFETs).
- Durant la **phase 2** (de $t=t_d$ à $t=t_1$, Fig. V-15), le courant de circulation provient d'une différence entre les dV/dt (comportement des MOSFETs).
- Durant la **phase 3** les deux MOSFETs commutent en courant; les dI/dt dépendent des caractéristiques des MOSFETs ainsi que des courants initiaux.

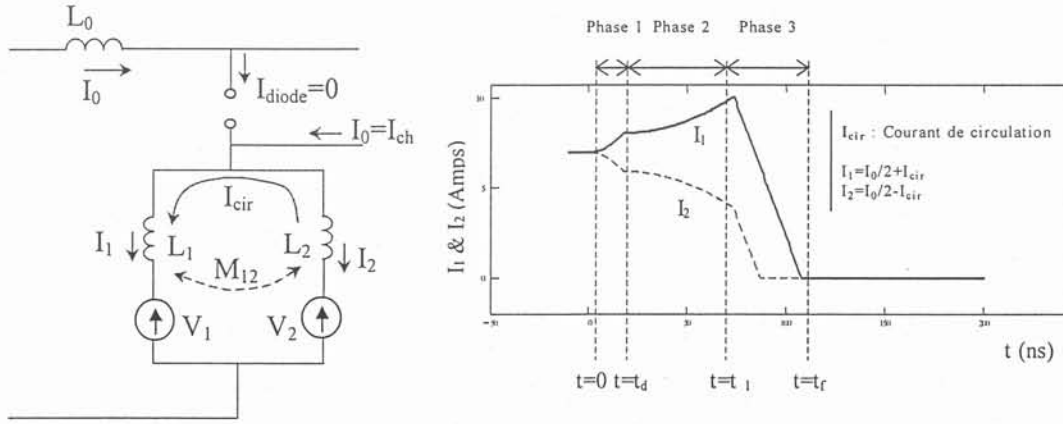


Fig. V-19: Description simplifiée du courant de circulation.

Les surintensités dues à la dissymétrie des drivers ou aux composants semiconducteurs sont à éviter. Elles apparaissent durant les périodes de commutation et causent des pertes. Pour équilibrer les courants, nous pouvons contrôler le temps de retard ou faire une conception appropriée du câblage.

Etude de surtension: En utilisant les notation de la figure V-20, les deux tensions sur les MOSFETs s'obtiennent par:

$$V_{ds1} = E + (L_0 + L_1 + 2 \cdot M_{01}) \frac{dI_1}{dt} + (L_0 + M_{01} + M_{02} + M_{12}) \frac{dI_2}{dt} \quad (11)$$

$$V_{ds2} = E + (L_0 + M_{01} + M_{02} + M_{12}) \frac{dI_1}{dt} + (L_0 + L_2 + 2 \cdot M_{02}) \frac{dI_2}{dt}$$

Pour équilibrer les surtensions nous montrons ici que la condition (9) est également bénéfique.

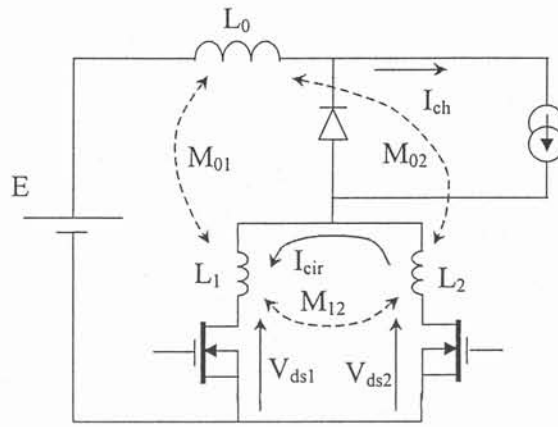


Fig. V-20: Hacheur série avec deux MOSFETs en parallèle.

En calculant la différence $\Delta V_{ds} = V_{ds1} - V_{ds2}$ et remplaçant dI_2/dt par:

$$\frac{dI_2}{dt} = \left(1 + \Delta \frac{dI}{dt} \right) \frac{dI_1}{dt}$$

L'expression suivante s'obtient:

$$\Delta V_{ds} = \left[(L_1 - L_2 + 2 \cdot M_{01} - 2 \cdot M_{02}) - (L_2 + M_{02} - M_{01} - M_{12}) \cdot \Delta \frac{dI}{dt} \right] \cdot \frac{dI_1}{dt} \quad (12)$$

Maintenant si la condition (5) est respectée, nous avons:

$$\Delta V_{ds} = \left(\frac{L_1 + L_2}{2} - M_{12} \right) \cdot \Delta \frac{dI}{dt} \cdot \frac{dI_1}{dt} \quad (13)$$

De cette expression, pour avoir les surtensions les plus équilibrées possibles, la condition (9) doit être satisfaite et les dI/dt pour les deux MOSFETs en parallèle doivent être les plus proches possibles ($\Delta dI/dt \rightarrow 0$).

V.3.3. Structure proposée

La structure de hacheur série proposée par P-O. Jeannin pour valider la règle (9) évoquée au cours du paragraphe précédent est illustrée par la Fig. V-23. Nous rappelons ici la manière dont elle a été obtenue.

Deux modules de MOSFETs IRFK2D450 sont choisis comme interrupteurs à mettre en parallèle. Le modèle du câblage y compris des "bondings" à l'intérieur des boîtiers est obtenu par InCa. Le modèle du câblage qui va servir à comparer les mesures et les simulations est celui de la figure V-21. En supposant que les deux modules de MOSFET choisis ont des caractéristiques statiques identiques, nous nous concentrons sur l'aspect du

câblage qui assure un équilibre dynamique des courants. Une structure de base est montrée sur la figure V-22. La matrice d'inductance de cette structure est calculée:

[nH]	L ₀	L ₁	L ₂
L ₀	110	0.5	2
L ₁		135	2
L ₂			166

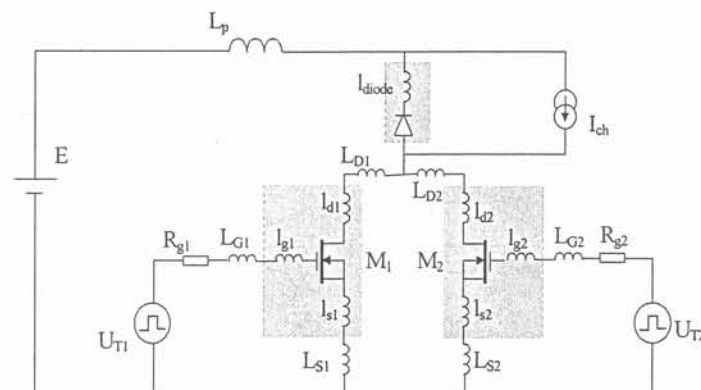


Fig. V-21: Modèle du câblage des modules de MOSFETs en parallèle dans une structure de hacheur série.

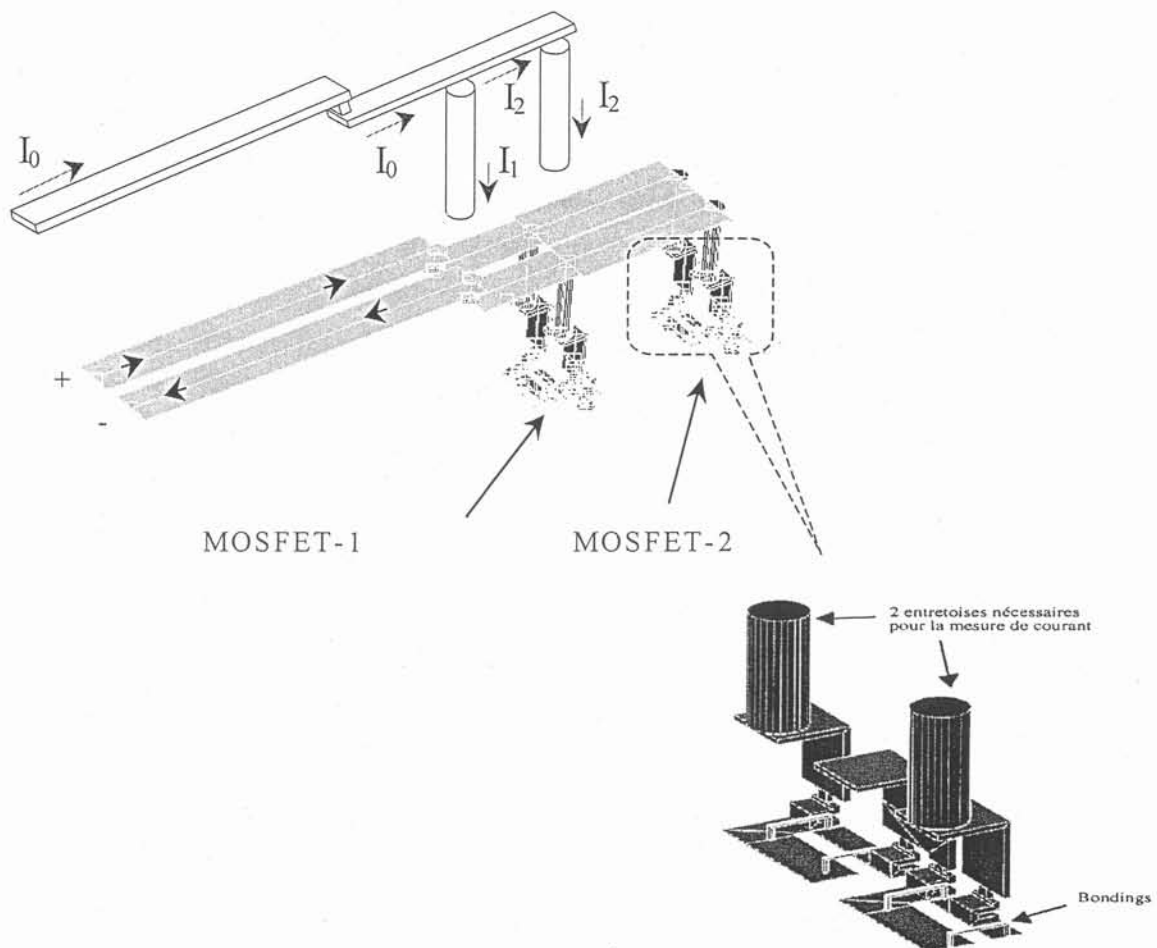


Fig. V-22: Structure non équilibrée de deux modules de MOSFETs en parallèle

Pour satisfaire la condition (9), nous avons à modifier l'arrangement des barres qui conduisent les courants aux modules de MOSFET de façon à créer, soit des inductances L_1 et L_2 plus proches, soit une grande mutuelle positive de M_{01} ou bien une grande mutuelle négative de M_{02} . En raison des contraintes géométriques, nous avons retenu la troisième solution. En pliant les barres de courant on crée ainsi des chemins I_0 et I_2 dont les champs magnétiques s'opposent, Fig. V-23. Ceci donnera comme résultat des mutuelles négatives entre les deux circuits I_0 et I_2 . En ajustant certains paramètres géométriques sensibles, comme la distance entre les deux modules, la distance des barres en parallèle et la largeur des barres on peut créer une mutuelle négative assez grande. Le calcul d'inductance pour cette nouvelle structure donne:

[nH]	L_0	L_1	L_2
L_0	85	-0.2	-16.2
L_1		135	2
L_2			166

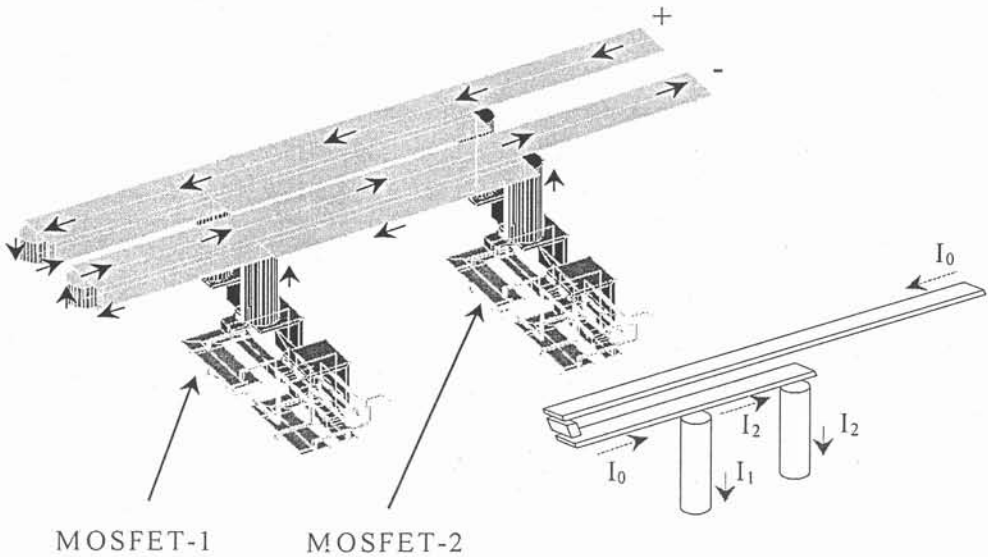


Fig. V-23: Structure satisfaisant la condition (9) pour une répartition équilibrée du courant

On constate dans cette matrice que la condition (9) est satisfaite avec une précision acceptable: nous avons $(L_1-L_2)/2 = -15,5 \text{ nH}$ devant $M_{02}-M_{01} = -16,4 \text{ nH}$.

V.3.4. Validation: Simulations fines et Expérience

Le modèle de la cellule de commutation a été adapté pour le cas des MOSFETs en parallèle. Les différentes phases durant la fermeture et l'ouverture des deux MOSFETs se multiplient par rapport à un seul MOSFET, à titre d'exemple la figure V-24 montre les différentes phases durant la fermeture des MOSFETs.

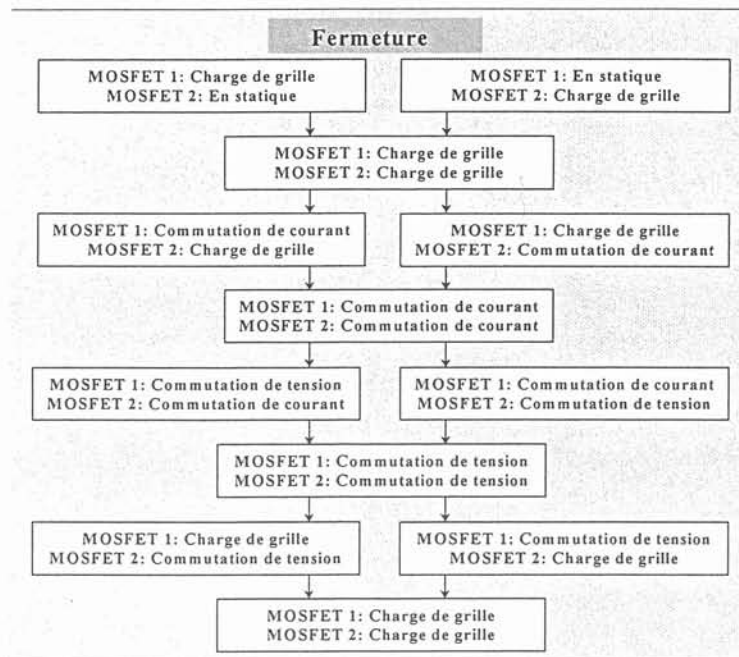


Fig. V-24: Différentes phases durant la fermeture d'une association parallèle des MOSFETs.

Les résultats des simulations sont donnés sur les figures V-25 et V-26. Dans le cas de la structure non équilibrée, on constate clairement que le courant n'est pas également réparti entre les modules. En revanche, dans le cas de la structure modifiée, les deux courants ont quasiment les mêmes tracés. On note, qu'afin d'avoir les niveaux de courant maximum égaux dans les deux modules, nous avons volontairement ajouté un retard sur la commande d'un des deux modules. Ainsi, on peut supprimer l'influence de la diode sur la répartition du courant de queue et étudier l'impact du câblage sur l'équilibrage du courant.

Les résultats de l'expérience sont donnés dans les figures V-27 et V-28. Sur ces figures, on constate également une nette amélioration de la répartition du courant dans la structure modifiée. A cause du retard volontaire du MOSFET-1, un courant de circulation apparaît. Ce courant passe dans le sens inverse par la diode de structure du MOSFET-1. Ce phénomène n'est pas observé dans les simulations car la diode de structure n'est pas modélisée.

Les simulations des figures V-29 et V-30 montrent deux cas de figures de courant de circulation, en fonction du retard d'un MOSFET par rapport à l'autre et des différences des vitesses de commutation.

Par les simulation fines, Fig. V-31 et V-32, on constate qu'en respectant la condition de câblage (9) les surtensions sur les modules à l'ouverture sont mieux équilibrées. Ce constat est vérifié par l'expérience, Fig. V-3" et V-3', on mesure une différence des surtensions de 8,4V avec la structure modifiée devant 23,6V avec la structure non équilibrée.

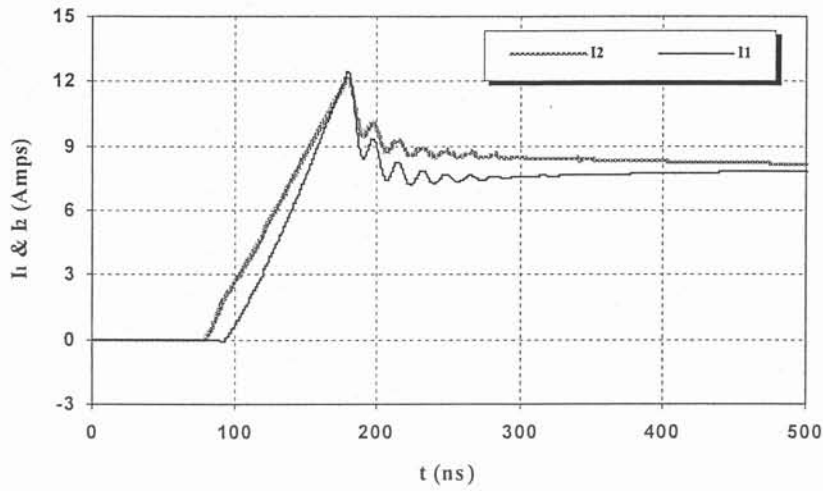


Fig. V-25: Répartition du courant dans le cas de la structure non équilibrée, Fig. V-23.

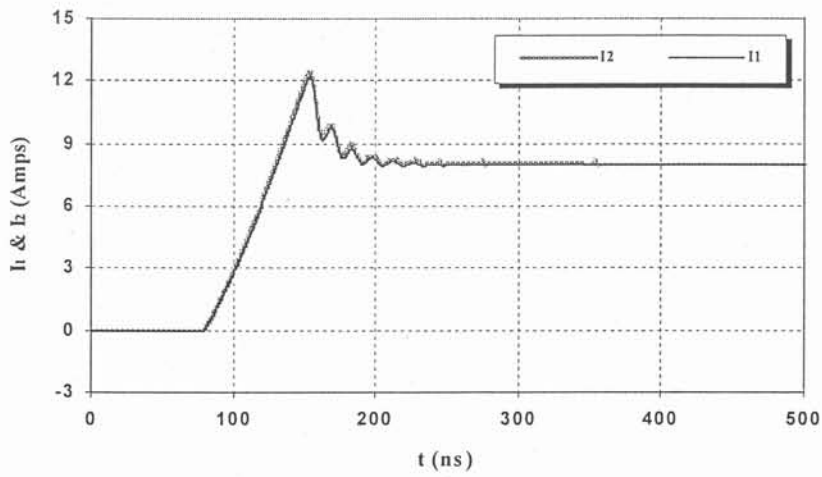


Fig. V-26: Répartition du courant dans le cas de la structure modifiée, Fig. V-24.

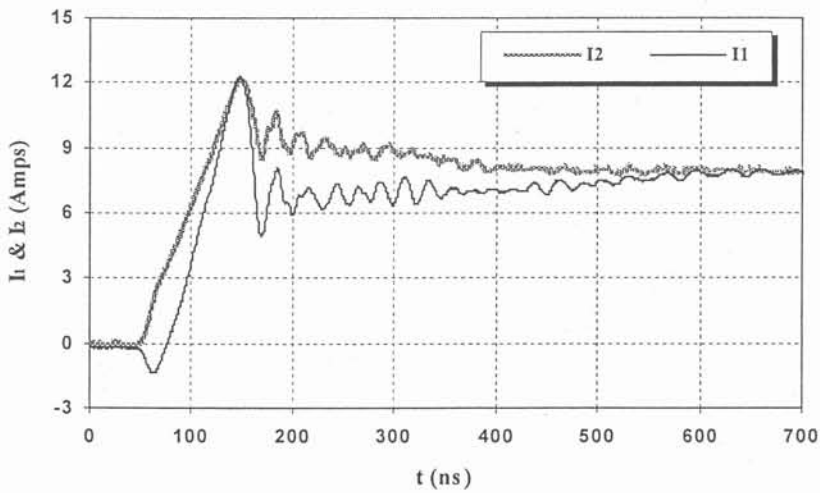


Fig. V-27: Formes d'onde mesurée des courants de MOSFETs dans le cas de la structure non équilibrée, Fig. V-23

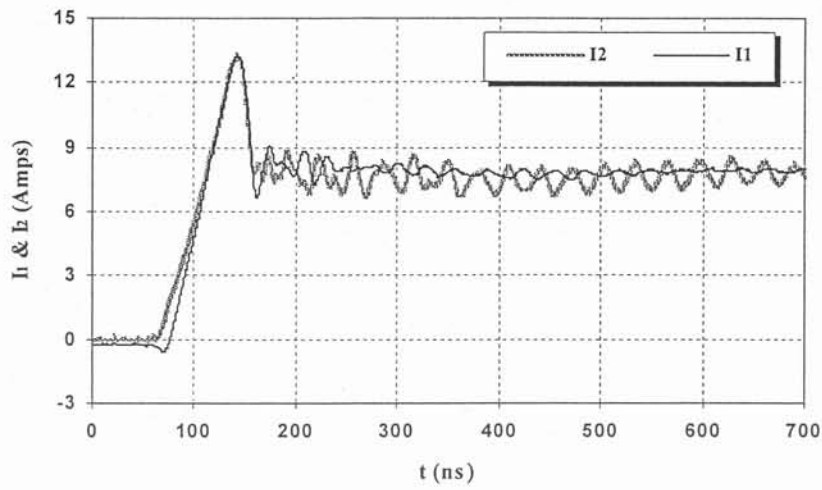


Fig. V-28: Formes d'ondes mesurée des courants de MOSFETs dans le cas de la structure modifiée, Fig. V-24

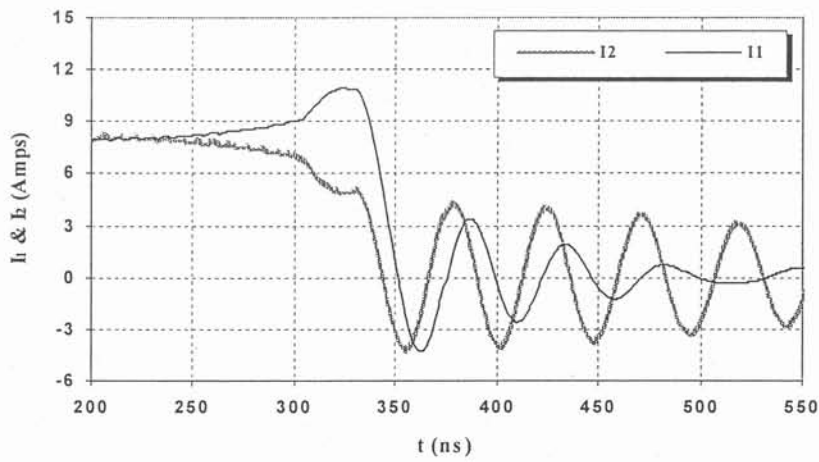


Fig. V-29: Formes d'ondes simulées à l'ouverture des MOSFETs pour $t_d > 0$ et $(dV_{ds1}/dt - dV_{ds2}/dt) > 0$.

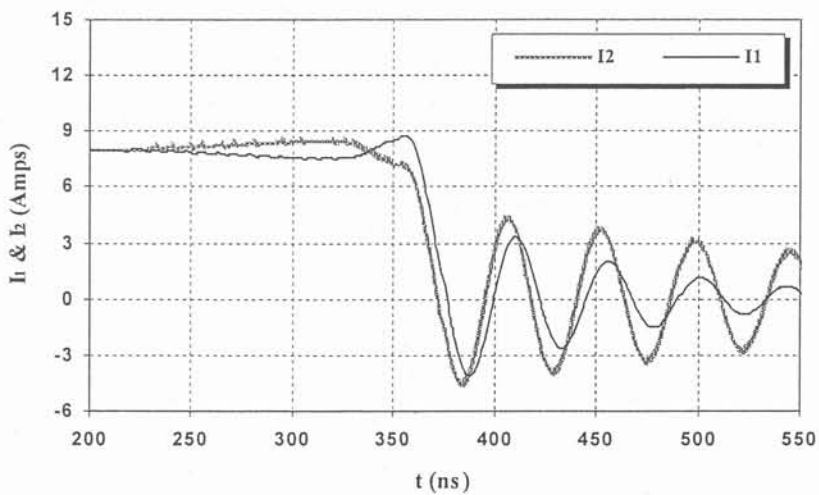


Fig. V-30: Formes d'ondes simulées à l'ouverture des MOSFETs pour $t_d < 0$ et $(dV_{ds1}/dt - dV_{ds2}/dt) > 0$.

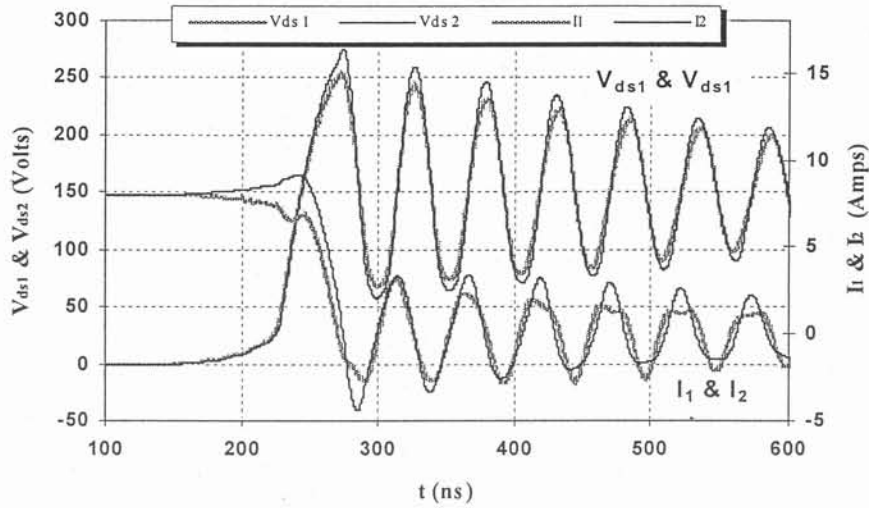


Fig. V-31: Formes d'ondes simulées à l'ouverture des MOSFETs avec la structure non équilibrée.

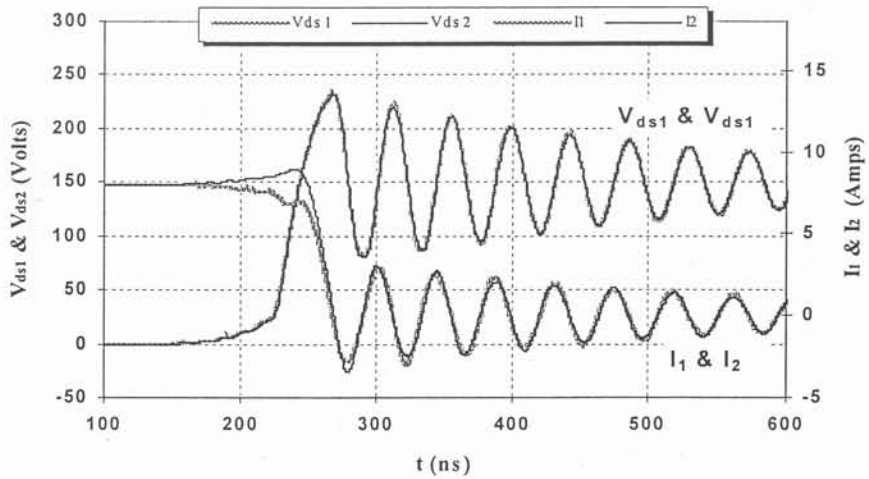


Fig. V-32: Formes d'ondes simulées à l'ouverture des MOSFETs avec la structure modifiée.

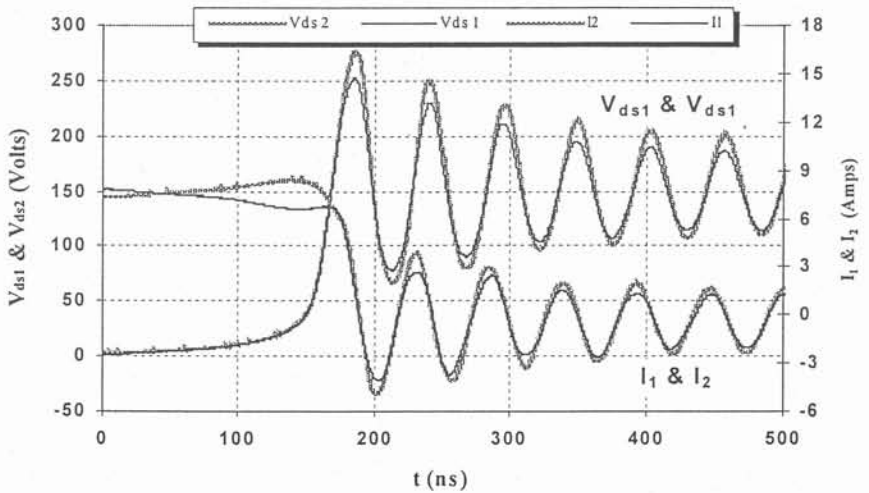


Fig. V-33: Formes d'ondes mesurées à l'ouverture des MOSFETs avec la structure non équilibrée.

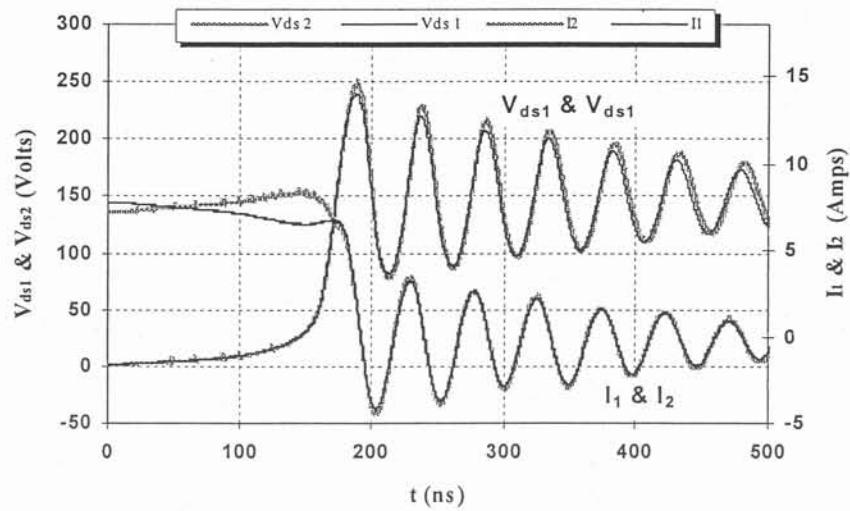


Fig. V-34: Formes d'ondes mesurées à l'ouverture des MOSFETs avec la structure modifiée.

V.3.5. Conclusion

Le modèle de la cellule de commutation adapté pour l'étude des MOSFETs en parallèle prédit correctement le comportement transitoire des modules durant les commutations. Les simulations effectuées ont ainsi permis de vérifier les observations effectuées sur le comportement de MOSFETs en parallèle, ainsi que de valider des schémas d'implantation proposés pour équilibrer les courants.

La prise en compte de la thermique dans ce modèle d'association de MOSFETs en parallèle permettrait de traiter complètement le problème et de proposer des solutions pour améliorer la répartition dynamique des contraintes électriques, en tenant compte de tous les phénomènes.

V.4.Choix optimal de la résistance de grille: Minimiser les pertes de commutation et satisfaire les contraintes CEM [Akhbari-99/3]

V.4.1. Introduction

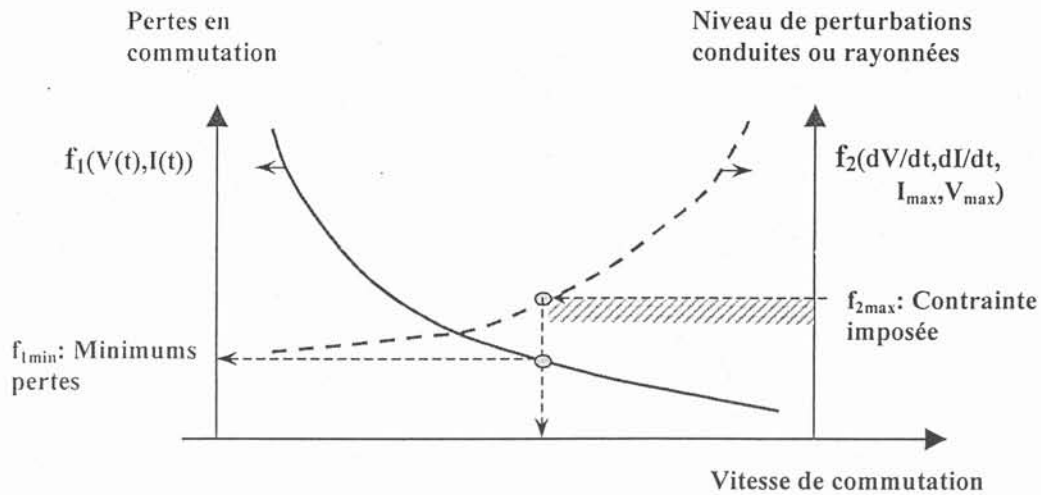
La conception des convertisseurs statiques repose principalement sur l'expérience des ingénieurs. Cette conception peut se décomposer en deux phases distinctes et pratiquement séquentielles l'une de l'autre en état actuel de connaissance [Schutz-99]:

- Conception fonctionnelle
- Conception technologique

Au cours de la première phase, on se préoccupe de choisir la structure eu égard à la puissance de l'application, le mode du découpage (commutation forcée ou résonance), de la technologie des interrupteurs qui est quasiment imposée par la fréquence et le niveau de tension défini par le cahier des charges. La deuxième phase, jusqu'à présent, est validée par la réalisation du prototype. Cependant, les difficultés rencontrées dans la mise au point du prototype peuvent remettre en cause les choix effectués lors la phase précédente. A ce stade, les contraintes peuvent être celles d'encombrement, de thermique ou bien de CEM qui mettent en jeu les relations du convertisseur avec son environnement. A ce sujet, le développement des outils d'analyse tel que FLUXCHIP et InCa au Laboratoire d'Electrotechnique de Grenoble est en fait un premier pas vers une conception technologique des convertisseurs d'électronique de puissance.

A titre d'exemple, prenons la procédure de conception décrite sur la figure V-35; il s'agit ici de choisir des paramètres ayant une influence sur la raideur des commutations (la vitesse de commutation) de façon à minimiser les pertes et en même temps à respecter les contraintes de CEM. Le problème n'est pas trivial: en effet, il n'est pas évident d'une part qu'une augmentation des vitesses de commutation minimise effectivement les pertes; en effet le recouvrement de la diode augmente de manière conjointe avec le di/dt ; il y aurait donc déjà là une possibilité d'optimum éventuel de la vitesse de commutation [Rivet-94]. Par ailleurs, une augmentation démesurée des vitesses de commutation n'est pas souhaitable, que ce soit vis à vis de critères de sûreté de fonctionnement (surtensions à l'ouverture) que des problèmes de CEM.

Puisque nous disposons d'un outil de simulation relativement précis et valide sur une large plage de fonctionnement, il est naturel d'essayer de l'utiliser pour répondre à ce problème.



Vitesse de commutation est une fonction de:

- Résistance de grille ($R_{g(on)}$ et $R_{g(off)}$)
- Paramètres de câblage (les inductance parasites de layout)
- Caractéristiques du composant actif

Fig. V-36: choix d'une vitesse de commutation: compromis pertes-CEM

Le critère fixé étant la minimisation des pertes en commutation, il reste à définir les paramètres à optimiser, ainsi que la définition des contraintes de CEM. Dans la mesure où il s'agit là d'une première approche, dont le but n'est que de montrer une faisabilité, nous avons retenu des contraintes simples et une liste de variables réduites. Les fronts de courant (pour le mode différentiel) et de tension (pour le mode commun) seront arbitrairement limités respectivement à $600A/\mu s$ et $10kV/\mu s$. Concernant les paramètres, nous nous sommes bornés au cas d'école du choix d'une résistance de grille pour une connectique et des composants fixés. Les composants considérés sont ceux qui auront servi de base à l'ensemble de la thèse, de même que leur implantation géométrique (donc les paramètres de la connectique).

L'ambition de cet exemple peut paraître limitée, et tenir plus de l'exercice de style que d'une réelle conception sous contraintes, mais il ne s'agit là que d'illustrer ce que sera à court terme l'application du modèle de cellule ainsi développé.

Il s'agira en effet d'optimiser *l'ensemble connectique-paramètres de commande* vis à vis des pertes en commutation. La gestion des contraintes CEM pourra se faire soit d'une manière disjointe de la simulation de la commutation, en utilisant une approche source-fonction de transfert [Scheich-93], soit d'une manière entièrement intégrée, en complétant le modèle de cellule de commutation par un environnement CEM complet, incluant le RSIL. Les violations des aspects CEM s'observeront alors directement sur les résistances de mesure du réseau fictif (RSIL). On saisit là toute l'importance de l'enjeu, dans la mesure où des éléments intégrés de filtrage pourraient faire également l'objet de l'optimisation, ce qui

permettrait une conception globale d'une cellule de commutation, vis à vis des doubles critères pertes et CEM.

Ce projet est tout à fait réaliste, dans la mesure où il ne s'agit "que" de compléter les équations des semiconducteurs par quelques équations électriques supplémentaires... Il conviendra en revanche d'accorder une attention toute particulière aux procédures d'optimisations et aux temps de calcul, car la multiplication des paramètres conduira à un coût naturellement important. MATLAB, plate forme rêvée pour la mise au point, sera alors peut-être une limite.

V.4.2. Dimensionnement optimal

Devant la simplicité (volontaire) du problème d'optimisation posé, il ne s'agit en fait que d'observer l'évolution des fonctions objectifs (pertes en commutation à l'ouverture et à la fermeture) ainsi que des contraintes (fronts de courant et de tension) en fonction du seul paramètre variable, la résistance de grille. Pour simplifier encore, notons qu'il est tout à fait possible de considérer des résistances différentes à la fermeture et à l'ouverture.

Les figures V-37 et V-38 montrent l'évolution des différentes énergies de commutation (donc des pertes à fréquence de découpage donnée) en fonction de R_g . On note qu'il n'y a pas d'optimum qui serait dû au comportement de la diode (courant de recouvrement augmentant avec le dI/dt).

Parallèlement, la figure V-39 montre l'évolution des contraintes (fronts) en fonction du même paramètre. Bien évidemment, les vitesses de commutation décroissent avec l'augmentation de la résistance de grille, mais il faut noter la possibilité d'obtenir les fronts de tension sur le MOSFET *et la diode*, chose impossible si les deux modèles des composants ne sont pas disponibles. A noter d'ailleurs que c'est la diode qui, ici, est la plus contraignante pour le blocage (dV_{diode}/dt (off)).

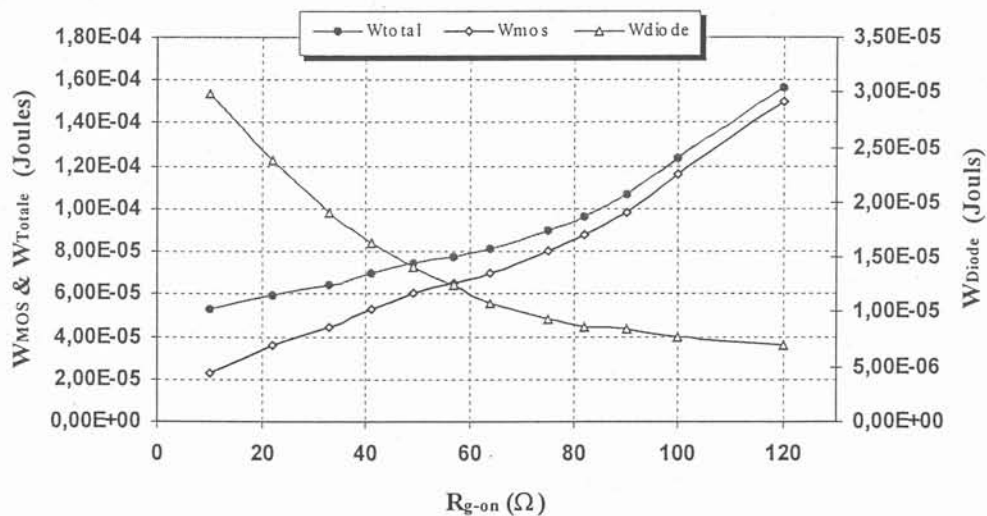


Fig. V-37: Evolution des pertes en fonction de la résistance de grille à la fermeture du MOSFET (objectif)

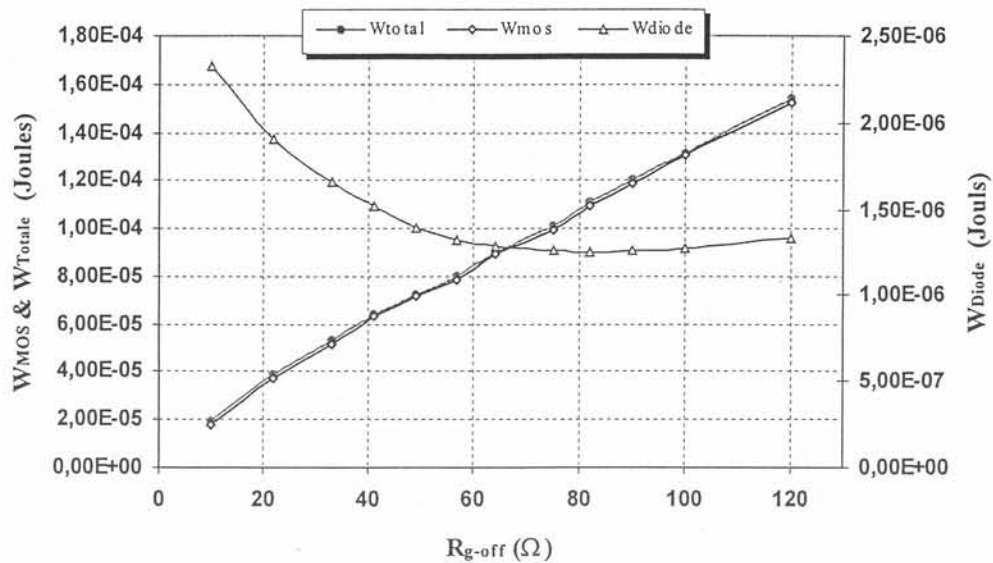


Fig. V-38: Evolution des pertes en fonction de la résistance de grille à l'ouverture du MOSFET.

En fonction de ces "abaques", il est ainsi aisé de définir les grandeurs désirées pour R_g , de manière à assurer le minimum de pertes sans violer les contraintes:

- $R_{g(on)} = 49 \Omega$
- $R_{g(off)} = 17 \Omega$

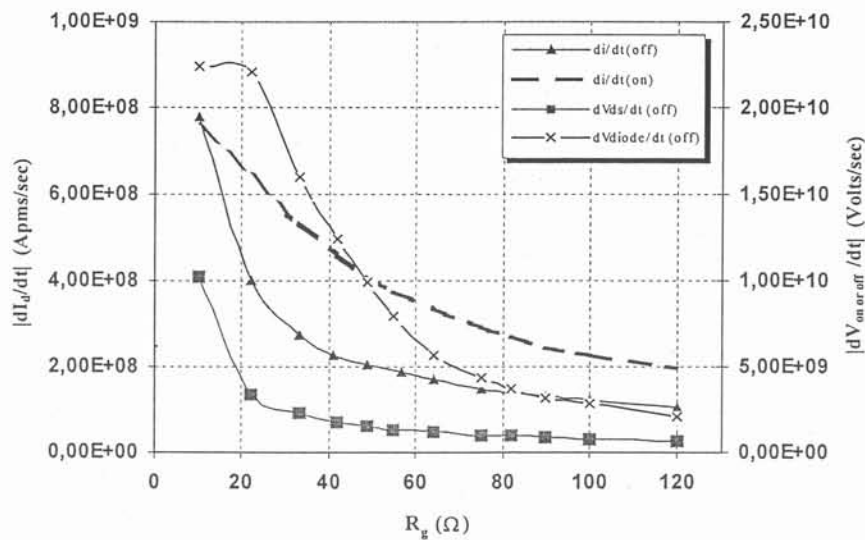


Fig. V-39: Evolution des fronts en fonction de la résistance de grille (contraintes)

V.4.3. Conclusion

Cette partie n'avait pas d'autre ambition que de montrer la possibilité d'un dimensionnement sous contraintes à l'aide de l'outil de simulation proposé. Dans un cas

simple, ceci se traduit, pour des composants et un routage donnés, par des valeurs précises de résistances de grille, à l'ouverture et à la fermeture.

Il a été montré que, dans ces conditions, aucun optimum n'a pu être trouvé sur cet exemple pour les pertes, contrairement à ce que laissait penser [Rivet-94]. Cette information est déjà un résultat à part entière: les pertes sur cet exemple diminuent bel et bien avec la résistance de grille (donc la rapidité de commutation), malgré l'augmentation du courant de recouvrement.

Le problème d'optimisation complet tiendrait bien évidemment compte des aspects CEM autrement que par une simple contrainte sur les fronts de courant et de tension, et pourrait introduire des éléments de filtrage.

Conclusion Générale

Conclusion Générale

Les convertisseurs statiques d'électronique de puissance ont subi une évolution technologique importante notamment dans le but d'augmenter leur rendement et leur compacité. Ces performances sont essentiellement dues à l'accroissement de la rapidité des composants semiconducteurs de puissance, qui permet une réduction des pertes de commutation, qui constituent malgré tout encore une grande partie des pertes dans les convertisseurs statiques. Cependant, l'implantation géométrique et le choix d'une technologie de réalisation de convertisseurs utilisant ces composants modernes ne va pas sans poser quelques problèmes de Compatibilité ElectroMagnétique (CEM). C'est pourquoi, après une phase de conception fonctionnelle, le concepteur de convertisseurs statiques effectue une phase de conception technologique pour le dimensionnement final du convertisseur.

Il est donc opportun d'utiliser des modèles précis permettant d'évaluer les pertes par commutation et de prédire les éventuels problèmes CEM.

Dans ce contexte de prédétermination des pertes en commutation et des performances CEM des convertisseurs statiques, le but de cette thèse était de présenter un modèle précis de la cellule de commutation, qui est la structure base des convertisseurs statiques fonctionnant en mode de commutation forcée.

Concernant la modélisation de l'environnement parasite des composants semiconducteurs, l'Equipe Electronique de Puissance du LEG a déjà beaucoup investi, ce qui a donné naissance au logiciel InCa de prédétermination des imperfections de la connectique.

- Cet outil est donc utilisé pour la caractérisation des interconnexions. Dans un but de conception, une représentation inductive avec trois inductances couplées, qui tient compte de la totalité des imperfections, est présentée comme le modèle base de notre étude. Cette représentation a l'avantage d'être réversible, permettant de revenir sur la structure géométrique de la cellule de commutation.

La cellule de commutation choisie est constituée de deux composants semiconducteurs un bipolaire (diode pin) l'autre unipolaire (MOSFET).

- Pour le premier, le modèle distribué du LAAS est adopté. Ce modèle a été déjà mis en œuvre: les équations différentielles modélisant la répartition des

concentrations des porteurs ont été analogiquement représentées dans un simulateur de circuit par des lignes RC et des source liées. Une nouvelle approche du modèle distribué est présentée dans le chapitre II. Un système d'équations d'état non-linéaire constitue le modèle de la dynamique des charges stockées. Malgré l'ordre élevé du système (pour une bonne précision l'ordre du système est de 12), le traitement numérique du courant de déplacement et des résidus causés par la troncature des équations a permis de conserver un temps de calcul raisonnable (quelques dizaines de minutes, sachant qu'il s'agit d'un script MATLAB, ce qui ralentit fortement l'exécution). La comparaison des résultats de simulation du recouvrement inverse de la diode montre que les deux approches concordent, dans le cas du recouvrement doux. En revanche, les résultats de simulations s'écartent au niveau de la fréquence des oscillations du courant de déplacement. Le traitement numérique des équations est très sensible dans cette phase, et la prise en compte de ces variations très rapides dans des simulateurs analogiques n'est pas évidente; des résistances additionnelles dans les asservissement analogiques de la version du LAAS sont d'ailleurs indispensables pour éviter des problèmes de divergence. Il est donc assez naturel que les résultats entre les approches analogique et algorithmique divergent quelque peu. Signalons tout de même que dans un environnement réaliste d'électronique de puissance, le courant de déplacement reste un phénomène somme toute d'importance assez faible...

- Pour le MOSFET de puissance, le modèle comportemental multi-phase du LEG est utilisé. Un effort particulier a été porté sur la caractérisation des capacités parasites du modèle. Ces capacités sont mesurées à l'aide d'un pont d'impédance. Des contraintes imposées par le pont d'impédance ne permettent pas d'effectuer des mesures de capacités en présence d'un courant élevé (MOSFET conducteur). De fait des formes d'ondes de commutation sont employées pour déterminer les valeurs de deux capacités d'entrée et Miller. D'importantes évolutions sont constatées sur la capacité d'entrée, ceci influe directement sur la durée de commutation lors de la simulation, et indirectement sur les forme d'ondes de puissance.

La validation du modèle complet de la cellule de commutation montre une bonne performance du modèle de la diode pin. Le modèle du MOSFET présente aussi des performances satisfaisantes lorsqu'il s'agit du changement de point de fonctionnement.

De nombreuses applications peuvent être envisagées pour le modèle de la cellule de commutation. Nous avons proposé trois études différentes, chacune faisant intervenir une

connaissance approfondie des phénomènes de commutation, que ce soit au niveau des semiconducteurs ou du câblage:

- L'interaction puissance-commande par impédance commune peut être fortement atténuée en utilisant une géométrie spécifique d'interconnexions. Un chemin auxiliaire, parcouru par l'un des deux courants interagissant, courant de puissance ou courant de commande, peut supprimer son propre impact perturbateur.
- Une répartition dynamiquement équilibrée peut être obtenue grâce aux inductances mutuelles des barres de courants d'une structure de deux semiconducteurs en parallèle.

Ces deux applications ont par ailleurs mis en évidence le rôle important des mutuelles partielles, quasiment toujours oubliées en électronique de puissance. Dans ces applications nous avons utilisé le modèle de la cellule de commutation, parfois adapté à l'application, afin de vérifier les solutions proposées. A chaque fois, les résultats de simulations fines ont été comparés avec ceux des expériences.

- Enfin, la dernière application, plus en forme de perspective, ouvre la voie à un dimensionnement complet d'une cellule de commutation, en se proposant de résoudre le fameux compromis "pertes-CEM".

Outre cet aspect, d'autres points seront à développer pour que l'outil proposé puisse enfin servir à de la conception en électronique de puissance:

- Influence de la température
- Identification des paramètres des modèles (MOSFET et surtout Diode)
- Utilisation du modèle de la dynamique des charges dans la modélisation des autres composants bipolaires (IGBT)

L'idée à terme, du point de vue de l'optimisation, est la suivante: pour un couple de composants MOSFET-Diode donné, optimiser l'ensemble des paramètres de la cellule (matrice inductance, résistances de grille, niveau de la tension de commande du driver...) vis à vis du compromis "pertes/CEM". Pour cela, dans un premier temps, on inclura un Réseau Stabilisateur d'Impédance de Ligne dans l'environnement des semiconducteurs (associé à une représentation des capacités de mode commun). Ensuite, il est tout à fait envisageable d'inclure en plus les éléments de filtrage, qui feront eux aussi partie de l'optimisation.

Il sera alors peut-être opportun de rechercher à accélérer le code de calcul, soit par des expressions analytiques pour les capacités du MOSFET, soit en codant dans un autre langage que MATLAB.

En tout état de cause, ce modèle semble être une référence à laquelle d'autres modèles beaucoup plus simples (et donc plus propices à optimisation) pourront être comparés.

Références Bibliographiques

Références Bibliographiques

- [Akhbari-98/1] M. Akhbari, J.L. Schanen, J. Roudet, J.P. Keradec,
"An original Design of MOSFET/IGBT Gate Circuit Layout to Suppress Power/Drive Interaction", Proceedings of the fifth European Space Power Conference (ESPC), Tarragon, Spain, 21-25 September 1998.
- [Akhbari-98/2] M. Akhbari, N. Piette, J.L. Schanen,
"Optimisation of Gate Circuit Layout to Suppress Power/Drive Interaction", IEEE-IAS'98, 12-15 October 1998, St Luis, Missouri, USA.
- [Akhbari-99/1] M. Akhbari, J.-L. Schanen, J. Roudet et R. Perret,
"Simulation d'une cellule de commutation TMOS-Diode: Analyse des résultats", Journée de GdR d'Intégration en Électronique de Puissance (GdR-1182), 25 Mars 1999, Montpellier.
- [Akhbari-99/2] M. Akhbari, J.L. Schanen, Ph. Leturcq, M.O. Berraies,
"Accurate Modelling of Commutation Cell for Loss Calculation and EMC Performance Prediction in Power Converters", EPE'99, September 1999, Lausanne, Switzerland.
- [Akhbari-99/3] M. Akhbari, J.L. Schanen, R. Perret,
"Switching cell design with EMC and commutation losses criterion", IEEE-IAS'99, Octobre 1999, Phoenix, Arizona, USA, submitted for Transaction.
- [Arnould-92] J. Arnould, P. Merle,
"Dispositifs de l'électronique de puissance", Volume II, Hermès, Paris, 1992.
- [Aubard-99] L. Aubard,
"Modélisation des Transistors MOS de Puissance pour l'Électronique de Puissance", Thèse de doctorat de l'INPG, Janvier 1999.
- [Barkhordarian] V. Barkhordarian,
"Power MOSFET Basics", International Rectifier, El Segundo, Ca, USA.
- [Batard-92] C. Batard,
"Interaction Composant-Circuits dans les Onduleurs de Tension: Caractérisation, Modélisation et Simulation", Thèse de doctorat, 1992, INPT, Toulouse.
- [Berraies-98] M.O. Berraies,
"Modèles de composants semiconducteurs pour la simulation en électronique de puissance", Thèse de doctorat de l'université Paul Sabatier de Toulouse, LAAS, Juillet 1998.

[Beydoun-93] B. Beydoun et al,
"Power MOSFET design and Modeling Tool for Power Electronics", EPE'93, Brighton,
1993, pp. 390-395.

[Beydoun-94] B. Beydoun,
"Simulation et Conception des Transistors MOS de Puissance", Thèse de Doctorat, Juillet
1994, LAAS, Toulouse.

[Blackburn-87] D.L. Blackburn,
"Turn-Off Failure of Power MOSFET's", IEEE Transactions on Power Electronics, vol. PE-
2, No. 2, April 1987, pp. 136-142.

[Budihardjo-94] I. Budihardjo et al,
"Performance Requirements for Power MOSFET Models", IEEE-PESC'94, June 1994,
Taiwan, pp. 69-76.

[Budihardjo-95] I. Budihardjo et al,
"Defining Standard Performance Levels for Power Semiconductor Devices", IEEE-IAS'95,
pp. 1084-1090.

[Chante-98] JP Chante et al,
"Les composants de puissance: état de l'art, les évolutions", Revue Internationale de Génie
Electrique, Vol 1-no 2/1998, pp 225 à 255.

[Clavel-96/1] E. Clavel, J.Roudet, J.L. Schanen,
"Influence of the Cabling Geometry on Paralleled Diodes in a High Power Rectifier", IEEE-
IAS 1996, San Diego, pp993-998.

[Clavel-96/2] E. Clavel,
"Vers un Outil de conception de cablage: Le Logiciel InCa", Thèse de doctorat de l'INPG,
Novembre 1996.

[Clavel-99] E. Clavel, J. Roudet, J.L. Schanen,
"A Multiconductor Transmission Line Method to Study Non-perfect Ground Planes", EMC
Zurich, February 1999.

[Cordonnier-89] C-E Cordonnier et al,
"Spice Model for TMOS Power MOSFETs", Motorola Application note AN1043, 1989.

[Debrie-96] J.-L. Debrie,
*"Modèle distribué de transistor IGBT pour simulation de circuits en électronique de
puissance"*, Thèse de doctorat de l'Institut National des Science Appliquée, No 388,
Toulouse 1996.

- [Deml-99] C. Deml,
"Input and Reverse Transfer Capacitance Measurement of MOS-Gated Power Transistors under High Current Flow", IEEE-IAS'99, Phoenix, USA.
- [Farjah-95] E. Farjah,
"Contribution aux caractérisation électrique et thermique des transistor de puissance à grille isolée", Thèse de doctorat de l'INPG, octobre 1994.
- [Gillet-95] P. Gillet,
"Modèle distribué de transistor bipolaire pour la CAO des circuits en électronique de puissance", Thèse de doctorat de l'Institut National des Sciences Appliquées, No 992, Toulouse 1995.
- [Harris-91] CF Wheatley, HR Ronan, GM Dolny,
"Spicing-up SPICE II Software for Power MOSFET Modeling", Application Notes, Databook of Harris Semiconductor, 1991.
- [Hefner-91] A.R. Hefner,
"An Investigation of the Drive Circuit Requirements for the Power Insulated Gate Bipolar Transistor (IGBT)", IEEE Transaction on Power Electronics, Vol. 6. No. 2, April 1991, pp. 208-219.
- [Hui-89] S.Y.R. Hui, C. Christopoulos,
"A Discrete Approach to the Modeling of Power Electronic Switching Networks", PESC'89, 1989.
- [IR-HEX-93] International Rectifier,
"HEXFET Designer's Manual: Volume I Power MOSFETs Applications and Reliability Data", USA, 1993.
- [IRWeb] International Rectifier,
"IR develops CoolMOS-equivalent technology", Website d'IR "<http://www.ir.com/whats-new/nr990403.htm>"
- [Jeannin-99] P.O. Jeannin, M. Akhabri, J.L. Schanen,
"Influence of Stray Inductances on Current Sharing during Switching Transitions in Paralleled semiconductors", EPE'99, October 1999, Lausanne, Switzerland.
- [Kallala-94] M.A. Kallala,
"Représentation distribuée de la dynamique des charges dans la base large des transistors GTO. Application à un modèle GTO pour la CAO des circuits", Thèse de doctorat de l'Institut National des Sciences Appliquées, No 317, Toulouse 1994.

[Kassakian-91] J.G. Kassakian, M.F. Schlecht, G.C. Verghese,
"Principles of Power Electronics", Addison-Wesley, 1992.

[Labouré-95] E. Labouré,
"Contribution à l'étude des perturbation conduites dans les alimentations continu-continu isolées", Thèse de doctorat, Octobre 1995, ENS de Cachan, LESIR Paris.

[Lai-99] J.S. Lai, A.R. Hefner et al,
"Characteristics and Utilization of a New Class of Low On-Resistance MOS-Gated Power Device", IEEE-IAS'99, Phoenix, USA, 1999.

[Lauritzen-91] P.O. Lauritzen, C.L. Ma,
"A Simple Diode Model with Reverse Recovery", IEEE Transactions on Power Electronics, Vol. 6, No. 2, April 1991, pp. 188-191.

[Lembeye-97/1] Y. Lembeye,
"Mértologie de la commutation de puissance rapide. Contribution à la caractérisation et à la recherche d'un modèle d'IGBT", Thèse de l'INPG, Janvier 1997.

[Lembeye-97/2] Y.Lembeye, J.L.Schanen, J.P.Keradec,
"Experimental characterization of insulated gate power components: capacitive aspects", IEEE-IAS'97, New Orleans, USA, 1997.

[Leturcq] Ph. Leturcq,
"Techniques de l'ingénieur: Composant semiconducteur de puissance"

[Leturcq-78] Ph. Leturcq, G. Rey,
"Physiques des composants actifs à semiconducteurs", Edition Dunod Université, Paris 1978.

[Leturcq-95] Ph. Leturcq et al,
"Bipolar semiconductor device models for computer aided design in power electronics", EPE'95, 1995.

[Leturcq-96] Ph. Leturcq, M.O. Berraies, J.-L. Massol,
"Implementation and validation of a new Diode Model for Circuit Simulation", IEEE-PESC'96, 1996.

[Liang-90] Y.-C. Liang, V.J. Gosbell,
"Diode Forward and Reverse Recovery Model for Power Electronic SPICE Simulations", IEEE Transaction on Power Electronics, Vol. 5, No. 4, July 1990, pp. 346-356.

- [Linvill-61] J.G. Linvill, J.F. Gibbons,
"Transistors and Active Circuits", New York, McGraw-Hill, 1961.
- [Lorenz-98] L. Lorenz, M. Maerz and G. Doboy,
"Improved MOSFET", PCIM Magazine, Sept. 1998, pp. 14-23.
- [Lorenz-99] L Lorenz,
"CoolMOS- A New Approach Toward an Idealized Power Switch", EPE'99, Laussane, Switzerland, 1999.
- [Ma-94] C.L. Ma, P.O. Lauritzen et al,
"A Systematic Approach to Modelling Power Semiconductor Devices Based on Charge Control Principles", IEEE-PESC'94, Taiwan, 1994, pp. 31-37.
- [Ma-97] C.L. Ma, P.O. Lauritzen,
"Modelling of Power Diodes with Lumped-charge Modelling Technique", IEEE Transaction on Power Electronics, Vol. 12, No. 3, May 1992, pp. 398-405.
- [Massol-93] J.-L. Massol,
"Représentation des phénomènes de diffusion, dans la modélisation des composants bipolaires de puissance, application à la simulation du recouvrement inverse de la diode", Thèse de doctorat de l'Institut National des Science Appliquée, No 251, Toulouse 1993.
- [Maxim-99] A. Maxim et al,
"Power pin diode electro-thermal SPICE macromodel with forward and reverse recovery", EPE'99, October 1999, Laussane, Switzerland.
- [Mérienne-96/1] F. Mérienne,
"Influence de l'interaction Puissance-commande sur le fonctionnement des convertisseurs d'Électronique de puissance: Simulation fine - Recherches des règles de conception", Thèse de doctorat de l'INPG, Janvier 1996.
- [Mérienne-96/2] F. Mérienne, J. Roudet, JL Schanen,
"Switching disturbance due to source inductance for a power MOSFET: Analysis and solution", IEEE-PESC'96, 1996, pp. 1743-1747.
- [Metzner-94] D. Metzner, T. Vogler, D. Schröder,
"A modular concept for the circuit simulation of bipolar power semiconductors", IEEE Transaction on Power Electronics, Vol. 9, No. 5, September 1994.
- [Mohan-95] N. Mohan, TM. Underland, WP. Robbins,
"Power Electronics, Converters, Applications and Design", Second Edition 1995, John Wiley & Sons.

- [Morel-94] H. Morel, S.H. Gamal, J.P. Chante,
"State Variable Modeling of the Power Pin Diode Using an Explicit Approximation of Semiconductor Device Equations: A novel Approach", IEEE Transactions on Power Electronics, Vol. 9, No. 1, January 1994, pp. 112-120.
- [Morel-94] H. Morel et al,
"Revue des principaux modèles de composant de puissance et de leur implantation dans les simulateurs de circuits", EPF'94, Cachan, France, 1994, pp. 283-288.
- [Nicollian-82] E.H. Nicollian, J.R. Brews,
"MOS (Metal Oxide Semiconductor) Physics and Technology", 1982.
- [Paice-75]. D.A. Paice,
"Multiple Paralleling of Power Diodes", IEEE Transactions on industrial electronics and control instrumentation, Vol. IECI-22, n°2, may 1975, pp151-158.
- [PSpice-97] *"PSPICE 8.0 Reference manual"*, Microsim Corporation, Octobre 1997.
- [Ravillon-95] Ch. Ravillon,
"Conception et réalisation des circuits imprimés destinés à des signaux de commutation", Projet de fin d'études, ENSERG, 1995.
- [Rivet-94] B. Rivet,
"New High Voltage Ultra-fast Diodes: The TurboswitchTM A and B séries", SGS-Thomson Microelectronics, Application Note, March 1994.
- [Roudet-98] J. Roudet, J.L. Schanen, E. Clavel,
"Importance des interconnexions en Electronique de Puissance: Modélisation et Caractérisation expérimentale", Revue internationale de Génie électrique, Vol. 2-N° 1/1998, Janvier 1998, pp. 55-82.
- [Ruehli-72] A.E. Ruehli,
"Inductance calculations in a complex Integrated circuit Environment", IBM Journal of Research and Development, September 1972, Vol. 16.
- [Schanen-94] J.-L. Schanen,
"Intégration de la Comptabilité Électromagnétique dans la conception de convertisseurs en Électronique de Puissance", Thèse de doctorat de l'INPG, Janvier 1994.
- [Scheich-93] R. Scheich,
"Caractérisation et Prédétermination des Perturbations Electromagnetiques Conduites dans les convertisseurs de l'électronique de puissance", Thèse de doctorat de l'INPG, octobre 1993.

- [Schellmanns-99] A. Schellmanns,
"Circuits équivalents pour transformateurs multi-enroulements. Application à la CEM conduite d'un convertisseur", Thèse de doctorat de l'INPG, Juillet 1999.
- [Schnur-98] L. Schnur et al,
"Low Inductance, Explosion Robust IGBT Modules in High Power Inverter Applications", IEEE-IAS'98, 1998.
- [Scott-98] S. Scott, *"Introduction to Diode Modelling"*, 1998, VI Engineering, USA.
- [Scott-91] R.S. Scott, G.A. Franz, J.L. Johnson,
"An Accurate Model for Power DMOSFET's Including Interelectrode Capacitances", IEEE Transactions on Power Electronics, Vol. 6. No. 2, April 1991, pp. 192-198.
- [Siemens-98] Siemens (Semiconductor Group),
"The Cool Breakthrough; CoolMOS crushes the limit line of Silicon", For the trade press, Munich, May 1998.
- [SiemWeb] Website de Siemens <http://www.siemens.de/semiconductor/coolmos>
- [Simas-89] M. Inês Castro SIMAS et al,
"Experimental Characterisation of Power VDMOS transistors in Commutation and a Derived Model for Computer-Aided Design", IEEE Transactions on Power Electronics, Vol. 4, No. 3, July 1989, pp. 371-378.
- [Simas-94] M. I. Castro Simas, J. Costa Freire,
"CAD Tools to Optimize Power MOSFET Performance Using Channel Reverse Conduction", IEEE Trans. on Power Electronics, vol. 9, No. 5, September 1994, pp. 522-531.
- [Strollo-94] A. Strollo,
"A New SPICE subcircuit Model of Power PIN Diode", IEEE Transactions on Power Electronics, Vol. 9, No. 6, Novembre 1994, pp. 553-559.
- [Strollo-97] A. Strollo,
"A new SPICE model of power PIN diode based on asymptotic waveform evaluation", IEEE Transaction on Power Electronics, Vol. 12, No. 1, January 1997.
- [Sze-85] S.M. Sze,
"Semiconductor Devices: Physics and Technology", 1985, John Wiley & Sons.

[Tatakis-89] E. Tatakis, J. Sanchez-Molero,
"Modelling Power MOSFET DC-DC Converters Using SPICE2 Program", EPE'89, Aachen, Germany, 1989, pp. 159-163.

[Teulings-97] W. Teulings,
"Prise en compte du câblage dans la conception et la simulation des convertisseurs de puissance: Performance CEM", Thèse de doctorat de l'INPG, Avril 1997.

[Unitrode-96] B. Andreycak,
"New Drive ICs Optimize High Speed Power MOSFET Switching Characteristics", Application Notes, UNITRODE 1995-96.

[Widlar-87] G. Widlar,
"Turn-off process in high voltage n-p-v-n switches", IEEE Transaction on Electron Devices, Vol. ED 34, No. 9, November 1987.

[Xu-88] CH Xu, D. Schroder,
"Modelling and Simulation of Power MOSFETs and Power Diodes", PESC'88, 1988, pp. 76-83.

[Xu-92] C.H. Xu, D. Shröder,
"A power bipolar junction transistor model describing static and dynamic behaviour", IEEE Transactions on Electron Devices, Vol. 7, No. 4, October 1992, pp. 734-740.

[Youssef-98] M. Youssef,
"Rayonnement dans les convertisseurs d'Electronique de Puissance", Thèse de doctorat de l'INPG, Décembre 1998.

[Zhang-96] M.T. Zhang, F.C. Lee, B. Watson, J. Roudet, J.L. Schanen, E. Clavel,
"Characterisation and analysis of electromagnetic interference in a high frequency AC-Bus system", IEEE-PESC'96 Conference Record, pp. 1956-1960.

Titre: Modèle de Cellule de Commutation pour les Etudes de Pertes et de Performances CEM

Résumé: Dans le contexte de la prédétermination des pertes par commutation et des performances CEM (Comptabilité ElectroMagnétique) des convertisseurs statiques d'Electronique de Puissance lors de la phase de conception technologique, cette thèse est consacrée à l'élaboration d'un modèle précis de la cellule de commutation MOSFET-Diode pin. Dans cette étude trois aspects ayant d'importantes influences sur les formes d'ondes temporelles des commutations aussi bien de la partie puissance que celle de commande sont traitées:

- i) Les interconnexions et des éléments parasites liées à l'implantation géométrique et au choix de la technologie de réalisation des convertisseurs statiques
- ii) La dynamique des charges dans la base large des composants bipolaires semiconducteurs (ici la diode pin) qui est de nature distribuée
- iii) Les capacités non-linéaires parasites de MOSFET et en particulier la capacité d'entrée et Miller intervenant lors de commutation

Le modèle de cellule de commutation est validé en comparant les simulations effectuées avec les mesures sur le prototype réalisé à cette fin. Il a été montré que le domaine de validité du modèle est beaucoup plus large par rapport aux modèles existants: le modèle est relativement robuste devant les changements des conditions de circuit environnant des composants semiconducteurs et les variations du point de fonctionnement.

Des applications réelles présentées au dernier chapitre ont pour but de montrer d'une part l'importance de l'environnement parasite des semiconducteurs dans la modélisation fine des convertisseurs statiques et d'autre part la possibilité de rendre compatible le modèle aux cas plus complexes (plusieurs interrupteurs en parallèle).

Mots-clés: Electronique de puissance, Convertisseurs statiques, Composants semiconducteurs, Modélisation, Cellule de commutation. Pertes par commutation, Comptabilité électromagnétique.

Title: Model of Switching Cell for Loss and EMC Performance Studies

Summary: In the context of the predetermination of switching losses and EMC (ElectroMagnetic Compatibility) performances of static converters during their technological design in Power Electronics, this thesis deals with accurate modelling of the switching cell MOSFET-PIN Diode. In this study three aspects having significant influences on the wave forms of commutations as well of the power part as that of command are treated:

- i) the interconnections and the parasitic elements related to the geometrical implementation and the choice of the technology of realisation of static inverter
- ii) the dynamics of charges in the central zone of bipolar semiconductors devices (here a pin diode) which is of distributed nature
- iii) the non-linear stray capacitances of MOSFET particularly the input and Miller capacitance being dominant during commutation

The model of switching cell is validated by comparing the simulations and measurements on the prototype built for this purpose. It was shown that the domain of validity of the model is much broader compared to the existing models: the model is relatively robust against the changes of the conditions of the circuit surrounding the semiconductor components and the variations of operating point.

The purpose of applications presented in the last chapter is to show at first the importance of the parasitic environment of the semiconductors in precise modelling of static converters and then the possibility of making compatible the switching cell model to the more complex cases (several switches in parallel). Related prototypes are realised for each application and measurement results are discussed.

Key words: Power electronics, Static converters, semiconductor components, Modelling, switching cell, commutation loss, Electromagnetic compatibility.