



Contribution à la Conception et Assistance au Prototypage de Systèmes Intégrés sur Silicium (CAPsis). Application à l'interrupteur automatique VD-MOSFET

Loïc Vincent

► To cite this version:

Loïc Vincent. Contribution à la Conception et Assistance au Prototypage de Systèmes Intégrés sur Silicium (CAPsis). Application à l'interrupteur automatique VD-MOSFET. Sciences de l'ingénieur [physics]. Institut National Polytechnique de Grenoble - INPG, 2010. Français. NNT: . tel-00559786

HAL Id: tel-00559786

<https://theses.hal.science/tel-00559786>

Submitted on 26 Jan 2011

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

UNIVERSITE DE GRENOBLE
INSTITUT POLYTECHNIQUE DE GRENOBLE

N° attribué par la bibliothèque

[illegible]

THESE

pour obtenir le grade de

**DOCTEUR DE L'Université de Grenoble
délivré par l'Institut polytechnique de Grenoble**

Spécialité : Génie électrique

préparée au laboratoire **G**renoble **G**énie **E**lectrique

dans le cadre de l'Ecole Doctorale « *Electronique, Electrotechnique,*

Automatique & Traitement du Signal »

présentée et soutenue publiquement

par

Loïc Vincent

le 17 Novembre 2010

TITRE

Contribution à la Conception et Assistance au Prototypage de Systèmes Intégrés sur Silicium (CAPsis).

Application à l'interrupteur automatique VD-MOSFET

DIRECTEUR DE THESE : Christian Schaeffer

CO-ENCADRANT(S) DE THESE EVENTUEL(S) : Jean-Christophe Cr  bier et Laurent Gerbaud

JURY

M. Bruno Allard,
M. Frédéric Richardeau,
M. Christian Schaeffer,
M. Jean-Christophe Crébier,
M. Laurent Gerbaud,
M. Abdelhakim Bourennane.

Rapporteur
Rapporteur
Directeur de thèse
Co-encadrant
Co-encadrant
Examineur

Préface

Lecteur sache qu'en lisant les lignes de l'ouvrage qui se tiens devant toi, ta vie ne sera plus jamais comme avant. Les portes de la folie s'entrouvriront devant toi te montrant une infime partie de la noirceur de ce monde. Sache qu'elles renferment des secrets occultes que l'humanité tente d'oublier. Seul personne ont voulu s'en souvenir. Je tiens à remercier ces hommes courageux qui m'ont fait l'honneur de cette lecture au péril de leur âme, M. Frédéric Richardeau, directeur de Recherche au CNRS LAPLACE à Toulouse et M. Bruno Allard, professeur à l'INSA Lyon. Je remercie aussi M. Abdelhakim Bourennane, maître de conférence de l'Université Paul Sabatier de Toulouse pour avoir pris part à mon jury en t'en qu'examinateur.

Mais les plus courageux ayant déjà sombré dans la folie sont peut être ceux qui m'ont aidé, guidé, conseillé, orienté,... dans ces travaux... Jean-Christophe qui, au court des années de divers stages et de ces mêmes travaux de thèse, m'a appris tant bien que mal des choses occultes et ésotériques... choses que lui même nomme physique du semi-conducteur... Ce domaine reste, pour moi, sombre et encore bien mal connu. De vieilles légendes racontent que des hommes se sont rendus fous en tentant de comprendre le fonctionnement de diodes, de transistors, de thyristors... Laurent avec lequel j'ai pu apprendre le langage des sorciers de la modélisation... dont le langage cryptique du VHDL-AMS et avec qui j'ai eu de grandes discussions pour l'écriture de ce mémoire, perdu que j'étais dans les méandres de la langue française. Christian le directeur de ces travaux et observateur des erreurs de directions.

Une autre personne courageuse a perdu l'esprit en lisant ce manuscrit. Même en suivant les conseils de Abdul al-Hazred dans le Necronomicon conseillant une lecture dans le désordre d'une oeuvre. La lecture de cet ouvrage a rendu folle la jeune Eva. Est-ce les connaissances contenues dans ces lignes ou bien par les erreurs typographiques ou orthographiques, je ne pourrais le dire. Ce qui est sûr et me terrifie c'est que depuis elle ère comme un zombie parmi les vivants... Merci à elle pour ce sacrifice qui permet une meilleur lecture de ce mémoire...

Ces travaux n'aurait pas vu le jour sans l'inconscience directe ou indirecte du personnel du laboratoire d'électrotechnique de Grenoble, le G2Elab. La compréhension de la direction du CIME Nanotech et de Polytech'Grenoble de m'avoir laissé terminer mes travaux en parallèle de ma prise de poste, même s'ils n'ont pas conscience des dangers de ceux-ci. Mais aussi le soutiens quotidiens de toutes les personnes qui passe au CIME Nanotech, qu'ils soit permanentants techniques, enseignants, chercheurs ou doctorants (G2Elab et TIMA principalement). Je tiens à remercier toutes ces personnes que j'ai pu côtoyer... Que nos discussions ou nos activités aie pu être professionnelles ou non...

Deux autres personnes sont les créateurs indirect de ces travaux. Sans eux tout cela n'aurait jamais vu le jour. Mes invocateurs, se présentant comme mes parents m'ont aidé tout au long de ma vie et ont fait de moi ce que je suis maintenant. Tout ce que j'ai pu entreprendre est grâce à eux et il ne faudra pas leur en tenir rigueur, les choix je les ai fait seul... Inconscient que je suis... Je ne serais encore les remercier pour tout ce qu'ils ont fait pour moi et mes trois frères et sœur... Ces derniers, ne sont pas non plus complètement innocents dans cette oeuvre, ainsi que toute ma famille d'ailleurs, je tiens à tous les en remercier. Une autre personne s'est ajoutée à ma vie depuis quelques années, ma Chérie, Laura, Chtiote peut importe comment on l'a nomme. L'important c'est qu'elle me supporte moi et mon peu de santé mental, moi et mon éternelle recherche de logique, moi et ma recherche de compréhension de ce monde. Merci à elle, est-ce de l'amour ou la preuve d'un esprit faible... Il n'y a pas de doute à avoir... Elle n'a point l'esprit faible bien au contraire... En espérant ne pas la corrompre dans ma folie...

Les dernières personnes que je dois remercier est une bande d'occultiste qui se réunissent régulièrement pour organiser des sabbats au clair de lune... De grandes réunions réalisées le soir venu ou par après-midi de mauvais temps, des gâteaux sont sacrifier et des cafés goulument engloutis autour d'un autel fait d'un bois des plus sombres que j'ai pu voir. Ces horribles et blasphématoires rituels sont réaliser pour honorer des dieux oubliés dans le but de donner la vie à leurs personnages... J'ai pu apprendre bien des choses, résoudre bien des mystères, voyager à travers l'espace et le temps et découvrir bien des contrées avec et grâces à eux... Je doit les en remercier...

J'espère que l'humanité me pardonnera... Et je vous dirais pour finir « avez vous vu le signe jaunes ? »

« Men of broader intellect know that there is no sharp distinction betwixt the real and the unreal, »

« Des hommes doués intellectuellement savent qu'il n'y a pas de différence nette entre le réel et l'irréel,... »

H.P. Lovecraft

« ...je vous le dit, le savoir est l'arme la plus puissante que nous possédons... »

Pr. J. Wayland

Sommaire

Notations constantes.....	9
Introduction générale.....	10
Chapitre 1 Positionnement et intérêt du sujet et de la démarche.....	14
1.1 Présentation du chapitre.....	14
1.2 L'interrupteur à commutation automatique.....	15
1.2.1 Introduction à la commutation automatique ?.....	16
1.2.2 Stratégie de mise en œuvre.....	18
1.2.3 Choix de l'interrupteur de puissance.....	18
1.2.4 Technologie.....	20
1.2.5 Cheminement technologique de réalisation.....	22
1.2.6 Composants intégrables.....	27
1.2.7 L'émulateur.....	29
1.2.7.1 Principe et schéma de la détection.....	29
1.2.7.2 Schématique complète retenue.....	34
1.3 La conception globale d'une fonction de puissance « complexe ».....	36
1.3.1 Introduction.....	36
1.3.2 La conception actuelle en électronique de puissance.....	36
1.3.2.1 Cahier des charges :.....	37
1.3.2.2 Étape 1 : dimensionnement et modélisation.....	38
1.3.2.3 Étape 2 : cheminement technologique.....	39
1.3.2.4 Étape 3 : conception du jeu de masques.....	40
1.3.2.5 Étape 4 : fabrication en salle blanche et caractérisation des prototypes et des témoins.....	40
1.3.3 La conception en micro-électronique (sur la base d'un procédé fixe, stabilisé et reproductible).....	41
1.4 Conclusion.....	46
Chapitre 2 Spécifications de la plateforme CAPsis.....	49
2.1 Introduction.....	49
2.2 Présentation générale.....	50
2.2.1 Principales tâches à réaliser.....	50
2.2.1.1 Processus simplifié.....	50
2.2.1.2 Conception.....	51
2.2.1.2.1 Entrées/sorties.....	51
2.2.1.2.2 Processus de conception.....	51
2.2.1.2.3 Simulation électrique temporelle d'un système "complexe".....	54
2.2.1.2.4 Création des masques	55
2.2.1.2.5 Technologie de fabrication.....	57
2.2.1.2.5.1 Mise au point d'un nouveau cheminement technologique.....	58
2.2.1.2.5.2 Reprise d'un cheminement technologique préexistant.....	59

2.2.1.2.6 Assemblage de projets de réalisation pour partager une fabrication.....	59
2.2.1.3 Prototypage / Salle Blanche.....	60
2.2.1.3.1 Procédé.....	60
2.2.1.3.2 Autres aspects liés à la salle blanche.....	61
2.2.2 Outils à mettre en place.....	61
2.2.2.1 Outils de créations des jeux de masques.....	62
2.2.2.2 Outils de cheminement technologique.....	63
2.2.2.3 Préparation des tranches.....	63
2.2.2.4 Réalisation des prototypes.....	64
2.2.2.5 Vérification de la technologie.....	64
2.2.2.6 Données partagées durant les étapes de conception.....	64
2.2.3 Architecture de la plateforme.....	65
2.3 Concepts étudiés dans ce projet.....	66
2.3.1 Introduction.....	66
2.3.2 Base de données.....	67
2.3.2.1 Technologie.....	68
2.3.2.2 BTFE.....	69
2.3.2.3 BTFA.....	69
2.3.2.4 Composant.....	69
2.3.2.5 Fonction.....	70
2.3.2.6 Pré-système.....	70
2.3.2.7 Système.....	70
2.3.3 Modélisation et simulation électrique temporelle.....	71
2.3.3.1 Hiérarchie des modèles.....	71
2.3.3.1.1 Création et appropriation des modèles.....	71
2.3.3.1.2 Utilisation de sous-modèles.....	72
2.3.3.1.3 Normalisation des modèles	72
2.3.3.1.4 Caractérisation des modèles.....	72
2.3.3.1.5 Vers une hiérarchisation des modèles.....	72
2.3.3.2 Modèle à multi-niveaux de finesse.....	75
2.3.3.2.1 Classement des blocs élémentaires.....	75
2.3.3.3 Calcul global de caractéristiques électriques de la technologie.....	76
2.3.4 Génération des masques.....	77
2.3.4.1 Paramètres des masques.....	78
2.3.4.2 Explications des contraintes.....	78
2.4 Conclusion.....	79
Chapitre 3 Développement et mise en œuvre.....	80
3.1 Introduction :	80
3.2 Modélisation.....	80

3.2.1 VD-MOSFET terrain de notre étude.....	80
3.2.1.1 Présentation.....	80
3.2.1.2 Source de courant.....	81
3.2.1.3 Résistance de la zone de tenue en tension.....	83
3.2.1.4 Capacités parasites.....	83
3.2.1.5 Transistor bipolaire parasite.....	84
3.2.1.6 Conclusion.....	86
3.2.2 Hiérarchie (découpage et connexions).....	87
3.2.2.1 Introduction	87
3.2.2.2 Solution en VHDL-AMS.....	88
3.2.2.2.1 BTFA.....	91
3.2.2.2.2 Composant.....	91
3.2.2.2.3 Interface du composant.....	91
3.2.2.3 Mise en application au VD-MOSFET.....	92
3.2.2.3.1 Choix du composant.....	92
3.2.2.3.2 Identification des BFTA.....	93
3.2.2.3.3 Identification des BTFE :.....	94
3.2.2.3.4 Normalisation des noms des paramètres.....	95
3.2.2.3.5 Définition des BTFE.....	97
3.2.2.3.6 Définitions des BFTA.....	98
3.2.2.3.7 Définition du composant.....	99
3.2.2.4 Conclusion.....	101
3.2.3 Niveau de finesse.....	101
3.2.3.1 Introduction :.....	101
3.2.3.2 Niveau des blocs du VD-MOSFET.....	102
3.2.3.3 Choix du modèle.....	103
3.2.4 Calcul global.....	105
3.2.4.1 Introduction.....	105
3.2.4.2 Mise en œuvre du CPS.....	105
3.2.4.2.1 Définition du modèle CPS.....	105
3.2.4.2.2 Connexions des modèles.....	107
3.2.4.3 Test.....	108
3.3 Génération/contrôle masque.....	110
3.3.1 Introduction.....	110
3.3.2 Technologie.....	111
3.3.3 Masques paramétrés.....	112
3.3.3.1 Création d'un pCell.....	112
3.3.3.1.1 Création manuelle.....	112
3.3.3.1.2 Création par programmation.....	113

3.3.3.2 pCell du VD-MOSFET.....	114
3.3.3.2.1 Hiérarchisation.....	115
3.3.3.2.2 Les BTFA.....	116
3.3.3.2.2.1 Périphérie.....	116
3.3.3.2.2.2 Plots de contacts.....	117
3.3.3.2.2.3 Amenée de courant.....	118
3.3.3.2.2.4 Cellule MOSFET.....	119
3.3.3.2.2.5 Composant.....	120
3.3.4 Récupération des données de la simulation.....	122
3.3.5 Gestion de la connexion des masques.....	123
3.3.6 Vérification.....	125
3.3.6.1 Fonctionnement du DRC.....	125
3.3.6.2 Contraintes de notre technologie.....	126
3.3.6.3 Définition des règles.....	126
3.3.6.4 Fichier Diva.....	127
3.3.7 Conclusion.....	127
Chapitre 4 Application.....	129
4.1 Introduction.....	129
4.2 Schématique / Simulation.....	129
4.2.1 Schématique retenue de l'émulateur	129
4.2.2 Schématique de la structure avec les valeurs d'inductances souhaitées.....	130
4.2.2.1 Présentation de la structure.....	130
4.2.2.2 Phases de fonctionnement.....	131
4.2.2.3 Simulations temporelles.....	136
4.2.2.4 Ajout de la partie parasite.....	139
4.2.2.5 Analyse des interactions.....	140
4.2.2.6 Solution proposée pour les problèmes induits par les interactions.....	143
4.2.2.7 Résultats après gestion des interactions.....	145
4.2.2.8 Intégration de la solution proposée pour les problèmes induits par les interactions.....	146
4.2.2.9 Analyse des simulations après intégration finale.....	148
4.3 Génération du layout.....	154
4.4 Jeu de masques final.....	158
4.5 Prototypes	160
4.5.1 Présentation.....	160
4.5.2 Résultat.....	161
4.6 Conclusion.....	162
Conclusion générale.....	164
Bibliographie.....	168
ANNEXES.....	170

Notations constantes

Constants physiques

q	charge électron	$1,60.10^{-19}$ C
k	constante de Boltzmann	$1,38.10^{-23}$ J.K ⁻¹
n _i	concentration intrinsèque	$1,42.10^{10}$ cm ³
ε ₀	permittivité du vide	$8,85.10^{-14}$ F.cm ⁻¹
Temp	température ambiante	300 K

Constantes du silicium

ε _{Si}	permittivité relative de Si	11,9
V _{sat}	vitesse de déplacement limite des électrons dans le silicium	10 ⁷ cm.s ⁻¹
E _{maxSi}	champ max dans le Si	3 MV.cm ⁻¹
E _{gSi}	bande de gap du Si	1,12
χ	affinité du silicium intrinsèque	4,05
μ _{P0}	mobilité des électrons maximal à E ₀ (T = 300 K)	480 cm ² .V ⁻¹ .cm ⁻¹
μ _{N0}	mobilité des trous max à E ₀ (T = 300 K)	1420 cm ² .V ⁻¹ .cm ⁻¹
μ _{Nsurf}	mobilité surfacique des électrons	600 cm ² .V ⁻¹ .cm ⁻¹

Constantes de l'oxyde de silicium

ε _{ox}	permittivité relative oxyde	3,9
E _{maxOx}	champ max dans l'oxyde	1.10 ⁸ V.cm ⁻¹
E _{gOx}	bande de gap de l'oxyde	9 eV

Constantes du polysilicium

φ _{ms}	travail de sortie entre polysilicium N+ et substrat de type P	-8,70.10 ⁻¹
-----------------	---	------------------------

Introduction générale

Afin de pouvoir utiliser l'énergie électrique dans divers domaines (stockage, conversion transfert et acheminement,...), nous avons souvent recours à des transformations de courants ou tensions, en continu/continu, continu/alternatif, alternatif/continu et alternatif/alternatif. Pour cela, depuis plusieurs décennies, de nombreux dispositifs de conversion ont été élaborés dans le domaine de l'électronique de puissance. L'étude de ces systèmes doit être réalisée sur plusieurs points : la structure, la commande, les composants.

Pour ces derniers, nous pouvons distinguer deux grandes familles de composants : les passifs et les actifs. Les composants passifs tels que les inductances et les condensateurs de filtrage « subissent » les grandeurs électriques à convertir. A l'opposée, les composants actifs tels, que les transistors et les diodes, contrôlent et modifient ces grandeurs électriques. Ce sont ces derniers qui permettront, à l'aide de commandes adéquates, de gérer toute transformation et transfert d'énergie.

Dans nos travaux, nous nous sommes intéressés à cette dernière famille de composants et à leur intégration.

Nous pouvons considérer plusieurs niveaux d'intégration de composants actifs.

Un premier niveau consiste à imaginer un composant seul sur une puce, comme par exemple un VD-MOSFET, un IGBT, une diode,... ceci constitue le cas généralement rencontré. Leur fabrication repose sur une technologie dédiée permettant une densité de puissance commutée importante et des niveaux de performances élevés.

A l'opposé, nous pouvons trouver l'approche consistant à mettre sur une même puce toutes les parties d'un convertisseur, par exemple les composants de puissance (MOSFET, diodes,...), leurs commandes, etc., afin que le dispositif soit le plus autonome possible. Ceci est communément nommé « SmartPower ». Leur problème principal à résoudre est la technologie de fabrication utilisée. Celle-ci est proche des filières de la micro-électronique et ne permet pas des tensions en tension et des courants importants et par ailleurs, la cohabitation de plusieurs fonctions de coupure est non envisageable. Ceci limite donc ce type de convertisseur aux structures simples et faibles puissances.

Entre ces deux approches, nous en trouvons une qui consistent en l'intégration fonctionnelle , au sein même de la puce du composant de puissance, d'une ou de plusieurs fonctions auxiliaires : auto-alimentation, commande, générateur de signaux de commutation,... Ce type de composant offre des facilités de mise en œuvre dans des structures de conversion. En effet, l'intégration d'une fonction avancée permet à l'utilisateur d'un tel composant, de ne pas avoir à dimensionner et à fabriquer cette fonction. De plus, la fonction sera optimisée au mieux pour le composant avec lequel elle est intégrée. Cette approche peut être,

elle aussi, scindée en deux approches : hybride ou monolithique.

Dans la première approche, le processus de la conception à la fabrication est conduit en parallèle pour les deux puces, mais celles-ci restent totalement distinctes au niveau de leur réalisation (généralement sur deux tranches différentes). Une des deux puces est dédiée à la partie puissance et est fabriquée avec la technologie ad hoc. L'autre puce, constituant la partie fonctionnelle, est fabriquée avec des technologies dérivées de la micro-électronique. Par la suite, elles sont placées et interconnectées dans un boîtier unique.

L'approche monolithique intègre sur une même puce : le composant de puissance et sa ou ses fonctions auxiliaires. Cette approche comporte des difficultés tant pour sa conception que pour sa fabrication.

La conception d'un composant monolithique est plus complexe que celle d'un composant de puissance simple. En effet, l'augmentation du nombre de composants et leur diversité augmentent le travail de conception. De plus, l'intégration de diverses fonctions au sein même d'un composant de puissance engendre des interactions qu'il est nécessaire de bien maîtriser. Une étude doit être menée afin de réduire, voire de supprimer celles-ci. De même, la fabrication de tels composants étant effectuée sur une même puce, la filière technologique devra permettre la réalisation des deux parties en même temps. Ceci n'est pas réalisé par un simple « mixage » de différentes technologies de fabrication. Par exemple, la structure d'un composant de puissance, dite verticale (le courant traverse l'épaisseur de la puce) est différente de celle d'un composant latéral (type micro-électronique) utilisé pour les fonctions auxiliaires (courant restant en surface). Les filières technologiques de fabrication doivent être compatibles ou alors adaptées (modification, ajout de masques,...) afin de garantir que les deux structures puissent être élaborées sur la base d'une filière technologique commune. De plus, des techniques d'isolation de la partie puissance et des fonctions auxiliaires doivent être réalisées afin d'éviter des interactions électriques des deux parties. Ces deux particularités s'ajoutent au travail de conception d'un tel composant, et le rendent donc plus complexe.

En effet, la création d'un composant de puissance seul demande un travail de conception important pour obtenir les meilleures performances. Ceci se traduit par un effort d'optimisation de la géométrie et des caractéristiques de la structure à l'aide d'outils mathématiques et numériques. Or, dans le domaine de l'électronique de puissance, les outils dédiés à cette étape sont rares, voire inexistants. A ceci, s'ajoutent les contraintes qu'imposent la structure et la salle blanche de fabrication, que le concepteur doit toujours prendre en compte pour son dimensionnement. Celui-ci est utilisé pour réaliser le jeu de masques (« plan » du dessus du composant) servant à la fabrication de dispositif sur silicium. Une fois encore, l'électronique de puissance ne dispose pas de logiciel dédié pour cette phase de la conception. Le dessin du jeu de masques doit être réalisé manuellement par le concepteur en s'assurant qu'il respecte les dimensions et les contraintes structurelles et de fabrication. Une fois le jeu de masques terminé, le concepteur doit rechercher manuellement toute erreur possible ; en effet, si des logiciels tels que Cadence ou Mentor Graphics possède les outils pour une vérification automatique, il faut encore adapter ceux-ci, à travers un design kit pour

pouvoir s'en servir en fonction des caractéristiques de la salle blanche et du procédé technologique. De fait, aucune automatisation de cette recherche n'existe au niveau commercial.

Ainsi, lors de l'intégration monolithique de fonctions auxiliaires au cœur d'un composant de puissance, le concepteur devra, en plus, prendre en compte l'influence du composant de puissance sur les fonctions auxiliaires et inversement. De plus, il devra utiliser et/ou mettre au point une filière technologique lui permettant de réaliser ces fonctions sans omettre les performances du composant de puissance. Étant donné que la filière technologique utilisée pour les parties auxiliaires est mutualisée avec celle du composant de puissance aucun outil n'est disponible pour la conception de ces fonctions. La conception de ces parties auxiliaires se fera donc dans les mêmes conditions que pour le composant de puissance.

Tout ceci montre la complexité de la conception d'un composant de puissance monolithiquement fonctionnalisé.

Partant de ce constat, nous avons fait le choix de travailler sur la mise en place d'une plateforme de conception et de prototypage de composants de puissance et plus largement de systèmes intégrés sur silicium que nous avons nommée : plateforme de **Conception et d'Assistance au Prototypage de Systèmes Intégrés sur Silicium (CAPsis)**.

Ce mémoire présente les réflexions que nous avons menées et les briques que nous avons mises en place. Pour cela, nous avons choisi d'appuyer nos analyses et nos choix autour de la conception d'un interrupteur de puissance (un VD-MOSFET) intégrant monolithiquement une fonction d'auto-commutation.

Dans le premier chapitre, nous commencerons par présenter l'interrupteur auto-commuté, et choisir les composants et la filière technologique de fabrication envisagée. Nous présenterons ensuite le processus de conception de composants de puissance actuellement utilisé dans le milieu universitaire. Ceci nous permettra de mieux comprendre les problèmes qui peuvent exister. Ensuite, nous présenterons comment la micro-électronique a réduit ces problématiques de conception à l'aide du prototypage virtuel qu'elle a mis en place depuis de nombreuses années. Enfin, nous ferons un parallèle entre les deux domaines, pour imaginer une transposition du prototypage virtuelle de la micro-électronique à l'électronique de puissance.

Dans le deuxième chapitre, nous présenterons d'abord les tâches auxquelles devra répondre la plateforme CAPsis, notamment ses différentes fonctionnalités. Puis, nous verrons l'architecture que nous avons imaginée et retenue, ainsi que les éléments indispensables pour son bon fonctionnement. Enfin, nous aborderons plus en détails les concepts associés à deux fonctionnalités de la plateforme CAPsis. La première consiste en l'amélioration de la capitalisation des modèles de composants par l'utilisation d'une méthode de modélisation par assemblage. La seconde est l'aide à la création de jeu de masques par génération automatique.

Le troisième chapitre explique comment nous avons mis en œuvre les concepts associés aux fonctionnalités présentées dans le chapitre précédent. Pour cela, en première partie de ce chapitre, nous présenterons le composant de puissance élémentaire VD-MOSFET que nous utiliserons pour réaliser le cœur de notre interrupteur auto-commuté. Puis, nous verrons comment réaliser une modélisation de ce composant par assemblage de modèles élémentaires, et une mutualisation des calculs. Après quoi, nous verrons comment réaliser automatiquement un jeu de masques avec passage de paramètres.

Dans le dernier chapitre, nous utiliserons les fonctionnalités de la plateforme CAPsis, présentées précédemment, sur notre interrupteur de puissance auto-commuté. Nous commencerons par expliquer la structure du convertisseur utilisé pour la mise au point du composant. Puis, nous utiliserons la plateforme CAPsis pour réaliser les simulations de mise au point de notre dispositif. Ensuite, grâce à ces simulations, nous verrons comment nous avons fait évoluer notre fonction auxiliaire initiale. Après quoi, nous verrons comment générer automatiquement puis réaliser simplement un placement et un routage des éléments de notre dispositif afin d'obtenir le jeu de masques final.

Enfin, nous concluons en donnant certaines perspectives à ces travaux.

Chapitre 1 Positionnement et intérêt du sujet et de la démarche

1.1 Présentation du chapitre

Notre projet de recherche trouve sa place dans le domaine de l'électronique de puissance et plus particulièrement au niveau de la conception des composants actifs servant à la conversion d'énergie. Ces composants, principalement des interrupteurs de puissance, sont réalisés en silicium. Nous pouvons distinguer deux grandes familles de composants : les composants classiques et "simples" et les composants intégrés issus de l'effort d'intégration monolithique fonctionnelle et pouvant regrouper de nombreuses fonctions. Les premiers ne sont composés que d'un seul type d'éléments actifs qui sont associés pour ne réaliser qu'une seule fonction, comme par exemple les transistors VD-MOSFET [IRF,NXP,ST] ou les thyristors [IRF,NXP,ST]... Les seconds consistent en l'intégration de deux ou plusieurs éléments actifs sous l'égide d'une fonctionnalisation accrue. Le composant de puissance dont la fonction est celle de l'interrupteur, est ainsi associé à une ou des fonctions, tel que la commande rapprochée [ST-VIPER], la protection en surtension [FISAL, CARAMEL], ou d'autres fonctions périphériques au composant de puissance... Ces fonctions peuvent être composées de un ou plusieurs éléments, tels que des transistors, résistances ou autre composants.

Dans l'effort d'intégration monolithique, la partie fonctionnelle additionnelle est intégrée au cœur de celle de la puissance. Ceci présente l'avantage de réduire les connexions et donc de réduire les problèmes qu'elles engendrent (couplages parasites, fiabilités, ...). Par ailleurs, cela peut se traduire par une simplification de la mise en œuvre du dispositif ainsi intégré. En revanche, la forte promiscuité liée au partage du substrat et au voisinage des fonctions impose une bonne connaissance, suivie d'une bonne gestion des interactions et influences positives ou négatives entre les deux parties.

Si, comme nous venons de le dire, ce type d'intégration présente plusieurs avantages tels que la facilité d'emploi des composants, la réduction des éléments parasites, l'inconvénient majeur de ce type de démarche réside dans le travail de conception important à faire en amont lors de la création du composant fonctionnel et cela sans support ni méthode de conception adaptée et encore moins fiabilisée. En effet, nous pouvons facilement imaginer que le travail de conception d'un composant de puissance seul, ne se révélera pas forcément aisé et rapide. Donc si nous ajoutons à cela une ou plusieurs fonctions, le travail se révélera encore plus complexe. Cela sera d'autant plus le cas, et cela semble logique, si les composants constituant les fonctions sont réalisés sur la base d'un procédé technologique partagé voir commun. En plus du travail de conception à faire sur chacun des éléments puis de chacune des fonctions, il faut identifier puis apprendre à gérer les interactions qui s'avèrent complexes lorsque le substrat de l'ensemble est à un potentiel variable. Ceci d'autant plus que ce dernier est de puissance. Pour ce faire, une étude spécifique doit être faite afin de vérifier que les deux parties - puissance et commande - cohabitent correctement. Pour cela, il est nécessaire de mettre au point des méthodes et des modèles qui nous permettront, à terme, de

définir des règles fonctionnelles ou des conditions permettant et garantissant l'isolation entre les deux parties.

La question suivante se pose donc naturellement : est-il possible de faciliter le travail du concepteur de composants "complexes" de puissance, que sa famille soit de type simple ou intégrée, de manière hybride (par report en surface par exemple) ou monolithique ?

Le domaine de la micro-électronique a su, aux cours des années, mettre en place des méthodes et des outils adaptés afin d'aider le concepteur dans sa démarche. Notre objectif, dans ce travail de thèse, consiste à analyser la démarche généralement adoptée dans le domaine de la micro-électronique et de comparer celle-ci aux besoins de l'électronique de puissance intégrée. Nous pourrions alors imaginer les conditions d'une transposition de certaines démarches ou approches dans le domaine de l'électronique de puissance. Pour cela, nous commencerons par une présentation de la démarche de conception utilisée dans le passé au G2ELab pour réaliser des interrupteurs fonctionnels de puissance de type VD-MOSFET [ALKAYAL, MITOVA]. Puis, nous présenterons la démarche générale de conception mise en place dans le domaine de la micro électronique. Ceci nous permettra d'identifier les principales solutions existantes, avec leurs limites et leurs différences. Cela sera conduit dans le but de déterminer si la démarche de la micro-électronique est directement transposable au domaine de l'électronique de puissance, et si, nous pouvons et nous devons réduire les frontières existantes entre ces deux domaines.

Cependant avant d'appréhender ce travail méthodologique et conceptuel, nous allons commencer ce premier chapitre par à la présentation d'un support d'étude et d'analyse concret et réaliste, choisi au niveau de notre communauté scientifique. Ce support sera par la suite, utilisé pour illustrer les différents aspects méthodologiques et conceptuels développés dans le rapport. Il permettra en particulier de mettre en relief les besoins mais aussi les limites inhérentes à l'électronique de puissance.

1.2 L'interrupteur à commutation automatique

Pour illustrer et mettre en évidence les besoins et les contraintes qui peuvent être rencontrées lors de la réalisation d'un composant de puissance complexe, nous avons fait le choix de nous appuyer sur l'étude d'un interrupteur de puissance à commutation automatique [ROUX, CAPY]. Celui-ci, nous permettra d'avoir un support concret pour illustrer notre réflexion et poser le cahier des charges de nos travaux. Plus précisément, cette fonction de commutation reposait jusqu'alors sur l'association d'un interrupteur de puissance à une fonction de commande automatique que l'on souhaite désormais intégrer monolithiquement. Ce projet s'inscrit dans le cadre d'une collaboration avec les laboratoires Laplace et LAAS au sein du GdR SEEDS et du pôle ISP3D. Il se nourrit des réflexions conduites depuis plusieurs années par l'équipe « convertisseur statique » de ce même laboratoire et par l'équipe ISGE du LAAS. Compte tenu des interactions et de la relative complexité du dispositif à mettre en œuvre, l'intégration d'une telle fonction ne peut se faire de manière fiable sans l'appui d'un processus de conception et d'assistance à la conception.

Cet exemple dépasse le cadre du simple démonstrateur car son intégration est aujourd'hui identifiée comme étant un besoin incontournable pour son développement. Si l'intérêt de la commutation automatique

est hors du cadre de cette thèse, l'intégration de la fonction commutation automatique est fort à propos de nos préoccupations. C'est une fonction encore assez simple. Elle ne repose que sur l'intégration de quelques éléments actifs. Cependant, sa mise au point, et son intégrabilité au sein même de la puce de puissance sont des défis que nous proposons de présenter puis de résoudre, à titre d'illustration de notre travail de conception méthodologique.

1.2.1 Introduction à la commutation automatique ?

La « commutation automatique » appliquée à un interrupteur de puissance consiste en l'ouverture et en la fermeture autonomes de l'interrupteur sous certaines conditions. Ainsi les transitions du composant sont engagées en fonction d'une sensibilité à des niveaux ou des variations de valeurs de courant et/ou de tension. Pour notre projet, nous avons fait le choix d'avoir un interrupteur fonctionnant comme suit [RICARDEAU, CAPY] :

- Fermeture autonome de l'interrupteur : lorsque la tension à ses bornes devient nulle ou négative (traduit le fait que le courant passe par la diode présente en antiparallèle du composant). Cette commutation est douce, puisque sous zéro de tension, elle est caractéristique d'un fonctionnement à thyristor dual.
- Ouverture autonome du composant : lorsque le courant qui le traverse devient supérieur à une certaine valeur, caractéristique d'une fonction de type protection contre les court-circuit

Nous avons donc un fonctionnement temporel comme présenté sur la figure suivante :

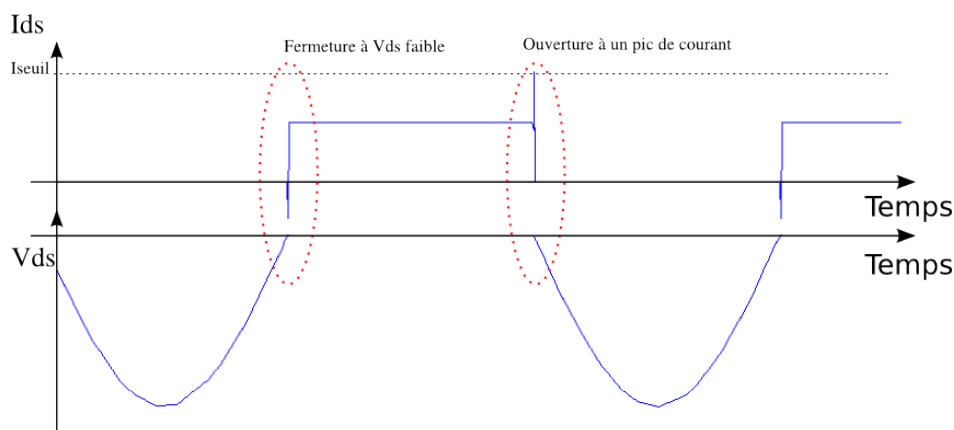


Figure 1-1: fonctionnement temporel de l'inter-automatique

Le composant se ferme lorsque la tension à ses bornes est faible et reste ainsi tant que le courant ne dépasse pas un certain seuil, dans ce cas le composant s'ouvre. Nous obtenons donc la caractéristique statique (le courant du composant en fonction de la tension) suivante :

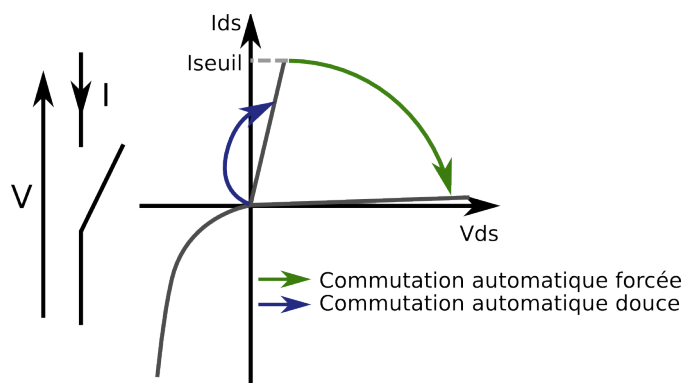


Figure 1-2: caractéristique statique de l'interrupteur à commutation automatique

La fermeture sera donc douce car le niveau de tension est faible, ceci permettant de réduire les pertes par commutation. À l'inverse, l'ouverture s'effectuera à plein courant et pleine tension ; par conséquent cette commutation produira des pertes par commutation.

Pour réaliser cette fonction, nous devons donc mettre en place un système permettant de détecter les seuils de commutation de manière adéquate. Ensuite, un traitement devra être effectué afin de convertir l'information et pouvoir piloter l'interrupteur de puissance en conséquence. Le schéma suivant présente les différents blocs que nous devons mettre en place.

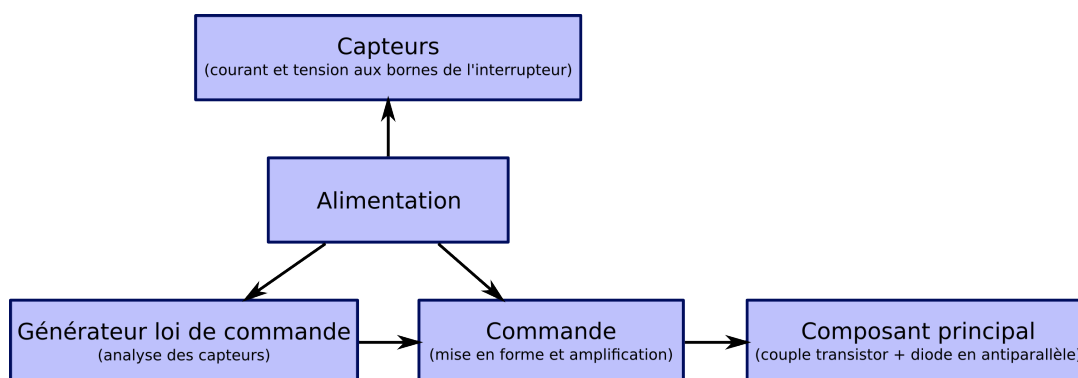


Figure 1-3: schématique fonctionnel de l'interrupteur automatique

Sur cette figure, les capteurs permettent de détecter les niveaux de tension et de courant pour lesquels le composant doit commuter. Les informations résultant de ces capteurs entrent dans un étage permettant le traitement de l'information et la création de la loi de commande. Celle-ci sera fournie à un étage d'amplification permettant d'accroître les dynamiques de la commande rapprochée du composant principal. Ce dernier est de type bidirectionnel en courant et unidirectionnel en tension. Il peut être conçu par l'association d'un interrupteur unidirectionnel en courant et en tension (comme l'IGBT) avec une diode en antiparallèle. Par ailleurs, cette structure est naturellement existante dans un transistor de type VD-MOSFET (diode body).

Ce type de composant peut être utilisé pour la conversion DC/AC ou AC/DC sur le réseau électrique

[RICHARDEAU, ROUX, CAPY-THESE]. Le redressement se fait à l'aide d'une alimentation à point milieu (créée par exemple par un transformateur à point milieu) et d'un interrupteur par bras, comme présenté sur la figure suivante.

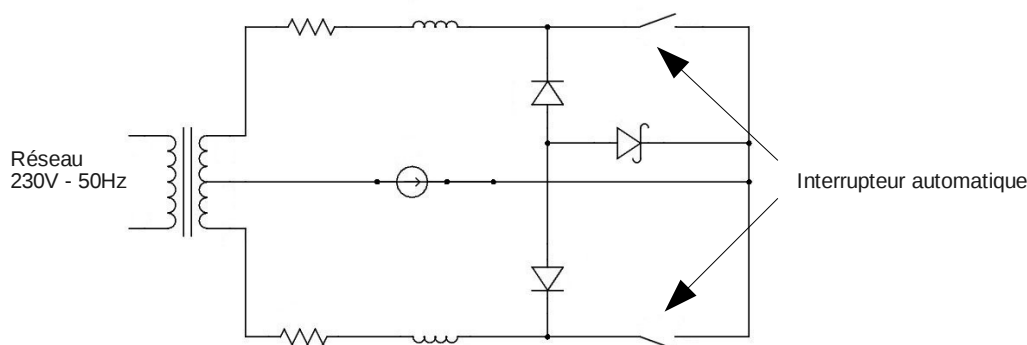


Figure 1-4: structure de mise en œuvre de l'interrupteur automatique

Dans cette mise en œuvre, la partie redresseur sera directement assurée par les diodes et le mode onduleur par nos interrupteurs automatiques. Cette structure sera détaillée et utilisée pour la conception de notre dispositif dans le chapitre 5.

La réalisation d'un interrupteur à commutation automatique peut être faite par divers moyens. Florence Capy [CAPY] a fait le choix de réaliser un interrupteur monolithique réversible en courant à auto-commutation par le biais d'une intégration fonctionnelle de deux architectures : une basée sur un thyristor-MOS et une basée sur un IGBT.

Nous avons fait le choix d'associer au composant de puissance une fonction de contrôle commande permettant l'émulation de la commutation automatique, ceci pouvant être mis en place par l'association de composants discrets d'électronique analogique. Cependant, il est possible que dans certains cas, le composant possède intrinsèquement un fonctionnement automatique, nous pouvons citer par exemple la diode ou le thyristor. Dans notre étude, nous aurons recours à un interrupteur de puissance associé à une fonction d'émulation de commutation automatique, l'idée consistant alors à intégrer l'ensemble pour créer une nouvelle gamme de composants "boîtes noires" à commutation automatique.

1.2.2 Stratégie de mise en œuvre

1.2.3 Choix de l'interrupteur de puissance

Comme expliqué précédemment, nous avons fait le choix de réaliser un interrupteur de puissance et d'y associer une électronique permettant d'émuler la fonction de commutation automatique. La structure redresseur bidirectionnel que nous souhaitons utiliser s'applique directement au secteur domestique

(240V/50Hz) et autorise une bonne utilisation des structures MOSFET (bidirectionnelle en courant) type VMOS ou Cool MOS. Nous avons fait le choix de travailler sur un cœur VD-MOSFET pour la simplicité de réalisation de ce type de composant, sachant que nous pensons que cette approche sera transférable, à terme sur un cœur Cool MOS voire même sur un IGBT intégrant une diode en antiparallèle.

La figure suivante représente le courant qui traverse le composant (courant drain/source, I_{ds}) en fonction de la tension à ses bornes (tension drain/source, V_{ds}) :

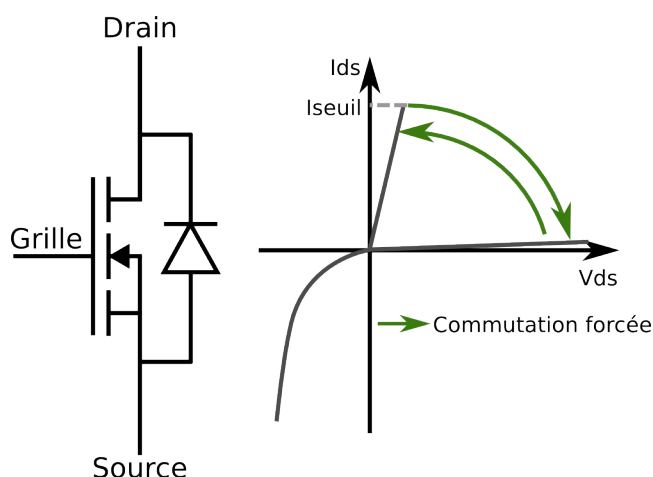


Figure 1-5: caractéristique de commutation d'un VD-MOSFET

Habituellement, l'interrupteur de puissance commute de l'état passant à l'état bloqué, et inversement, par une phase dite de commutation dure dont l'emplacement temporel est défini par la commande dite éloignée puis transféré et mis en forme par la commande dite rapprochée. Dans notre applicatif, la commande rapprochée sera conçue pour rendre le composant commutable de manière autonome à l'amorçage, uniquement lorsque la tension à ses bornes est nulle. De plus, le blocage commandé sera initié par une détection de court circuit en remplacement de l'ordre issu de la commande éloignée.

Pour synthétiser les capteurs et l'interprétation des informations issues de ceux-ci, nous allons devoir avoir recours à une « électronique fonctionnelle » permettant « d'automatiser » les deux commutations.

Nous souhaitons intégrer, c'est-à-dire insérer, l'électronique de commande au cœur même du composant de puissance. Cela permettra à terme d'avoir une seule puce. Comme cela fut déjà énoncé, cette démarche est entreprise pour la simplification de mise en œuvre et la fiabilisation du composant complet. Ces bénéfices rendraient l'approche fonctionnelle : la commutation automatique serait plus simple et plus fiable à mettre en œuvre. Cela tendrait à favoriser l'intérêt des industriels pour ce type d'approche, relativement innovant. En effet, une seule puce avec un nombre de connectiques réduit (seulement trois comme pour un transistor classique) est à mettre en œuvre, au lieu d'un composant de puissance associé à de nombreux composants d'électronique pour faire la synthèse de la commutation automatique. L'intégration de l'électronique de commande au cœur du composant permet de plus, de réduire ses connexions et interactions avec la partie puissance. Ceci permet de diminuer la valeur des éléments parasites et donc de réduire leurs influences sur le fonctionnement du système. Au final, cela entraîne donc une fiabilité accrue du dispositif et probablement

une réactivité et un niveau de performance plus élevés.

L'intégration monolithique, comme nous souhaitons la conduire [CREBIER-HDR], présente aussi l'avantage de tenter de réaliser les deux parties (fonctions annexes et puissance) sur la base d'un procédé technologique unique. Cette intégration permet de réduire les coûts de production des composants par une mutualisation du procédé de fabrication, une réduction des manipulations, une logistique commune,... Toutefois ceci n'est vrai que si la technologie de fabrication permettant la co-réalisation des deux parties ne devient pas trop complexe à mettre en œuvre et/ou trop « exotique ». En effet, l'intégration monolithique implique une gestion de l'assemblage et des interactions des différentes parties, fonctions annexes et de puissance, par exemple via un dispositif d'isolation efficace. Dans notre étude, nous avons fait le choix d'utiliser la technologie de fabrication la plus « simple » possible à mettre en œuvre afin que le coût et la difficulté de fabrication n'en soient pas affectés. Ce choix pourra conduire à une complication de l'effort de conception et d'intégration aux niveaux conceptuel et fonctionnel pour contrebalancer les limites inhérentes à des choix technologiques minimalistes. Ce cahier des charges correspond bien à notre besoin puisque de manière sous-jacente à cette application, nous voulons faire un effort autour des outils de conception et de prototypage virtuel de composants de puissance complexes.

Pour aller plus loin dans la présentation et la définition de l'applicatif il nous faut maintenant considérer, au moins partiellement, les choix technologiques qui nous sont offerts.

1.2.4 Technologie

Les choix technologiques à faire pour permettre l'intégration de l'ensemble de la fonction sont particulièrement importants. En fonction de ces derniers, les interactions entre fonctions seront plus ou moins importantes, les couplages au niveau des dimensionnements électriques et technologiques également. De nombreuses solutions technologiques couplant plus ou moins les procédés de réalisation des différentes fonctions et offrant des types et niveaux d'isolation plus ou moins performants peuvent être considérés [CARMEL, MARMOUGUET, CREBIER-HDR]. Il est donc important d'y consacrer un moment dès à présent, afin de canaliser les réflexions au niveau de l'applicatif. Dans le cadre des travaux conduits au G2ELab depuis maintenant une dizaine d'années, nous avons fait des choix technologiques en fonction de nos possibilités technologiques mais aussi et surtout compte tenu d'un angle de vue philosophique qui nous est propre. Dans le cadre de ce projet de recherche nous ne reviendrons pas sur ces choix qui sont plus largement abordés dans [NGUYEN-THESE, CREBIER-HDR], et nous avons fait le choix d'une technologie la plus élémentaire pour réaliser nos composants. Cette technologie est la technologie classique d'un composant de puissance, sans modification du procédé technologique. Dans ce cas, les composants de surface, intégrables via ce procédé, sont assez nombreux mais leur compatibilité électrique avec le composant de puissance n'est pas toujours acquise [MARMOUGUET, CREBIER-HDR]. Nos degrés de liberté sont fortement réduits par cette contrainte compte tenu du fait que le composant de puissance à structure verticale est basé sur la polarisation en face arrière du substrat. De fait, les composants de surface doivent naturellement présenter une isolation électrique vis-à-vis de ce substrat si nous voulons pouvoir les intégrer.

Pour illustrer ce point, nous pouvons observer les structures d'un transistor vertical type VD-MOSFET et le comparer avec les deux types de transistors habituellement utilisés en micro-électronique pour synthétiser des fonctions analogiques, logiques ou même numériques. Pour ce faire, nous allons brièvement rappeler le procédé technologique d'un composant de puissance de type VD-MOSFET pour ensuite souligner les possibles compatibilités technologiques puis électriques. Nous verrons alors quelles sont les conditions permettant de mettre en place une isolation électrique de type jonction polarisée en inverse, pour séparer électriquement le substrat de la partie puissance du reste des fonctions que l'on souhaite intégrer. Pour cela, revoyons rapidement la structure d'un composant de puissance puis celle des composants latéraux N et P MOSFET composant une cellule CMOS.

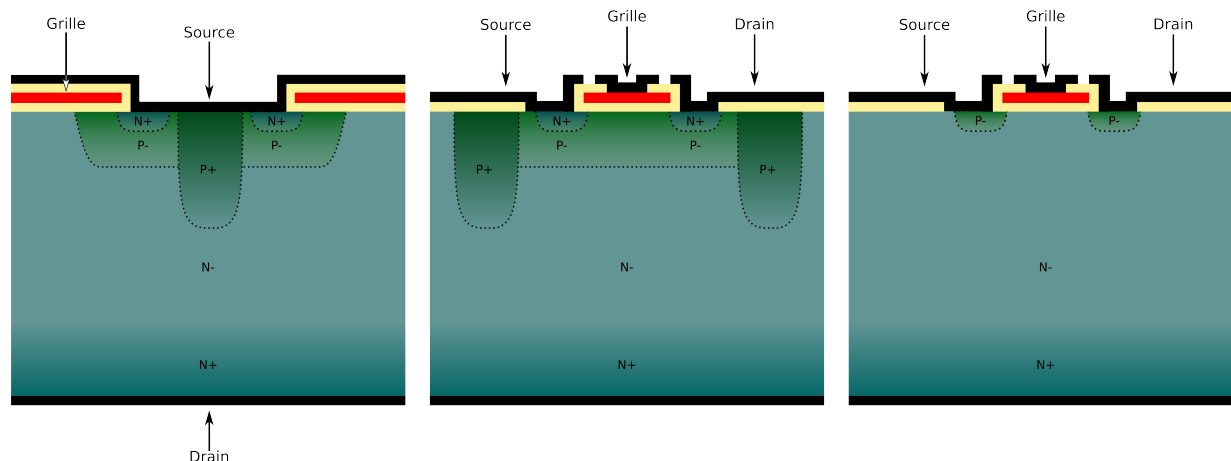


Figure 1-6: VD-MOSFET / LD-MOSFET N / LD-MOSFET P

Quand nous regardons les trois structures, celle du composant de puissance à structure verticale et celles des composants latéraux de type N et P, nous pouvons constater que technologiquement et physiquement, les trois composants semblent être réalisables sur la base d'un procédé technologique commun à 100%. En effet, ces composants sont construits comme l'indique le tableau suivant :

	Drain	Source	Porte canal	Grille	Contact
VD-MOSFET	Poche N (servant aussi de zone de tenue en tension)	Poche N	Poche P	Oxyde/polysilicium	Aluminium
LD-MOSFET N	Poche N	Poche N	Substrat P	Oxyde/polysilicium	Aluminium
LD-MOSFET P	Poche P	Poche P	Substrat N	Oxyde/polysilicium	Aluminium

Tableau 1.1: constitution des VD-MOSFET, LD-MOSFET N et P

Nous pouvons constater que l'empilage N/P/N du VD-MOSFET devrait permettre la création des LD-MOSFET N et P. Si pour diverses raisons, les caractéristiques physiques de telles ou telles régions s'avéraient incompatibles d'un composant à l'autre, il serait envisageable d'insérer un groupe d'étapes supplémentaires sans risque d'incompatibilité technologique.

En effet, il est important de noter que des régions présentent dans deux ou plus des composants ne jouent pas le même rôle. De fait, leurs caractéristiques pourraient devoir être différentes ce qui nécessiterait

un éventail de caissons plus important que ceux issus de la filière de base. A titre d'exemple, il est intéressant de noter que la zone de tenue en tension du composant de puissance devient le substrat du transistor P et de la même manière, les caissons P- porte canal du composant de puissance deviennent les caissons de drain et de source du P MOS. En revanche, notons aussi les similitudes qui apparaissent entre le composant de puissance de type N et son petit frère le N MOS latéral pour lequel, les régions importantes ont des fonctions identiques.

Avant d'aller plus loin dans cette analyse, passons en revue le procédé technologique de la filière de base pour mieux appréhender les enjeux et les contraintes liés à celle-ci.

1.2.5 Cheminement technologique de réalisation

1. Tranche de départ

La tranche utilisée pour la réalisation d'un composant VD-MOSFET vertical est constituée d'une zone faiblement dopée et d'une zone fortement dopée, comme présenté sur la figure suivant :

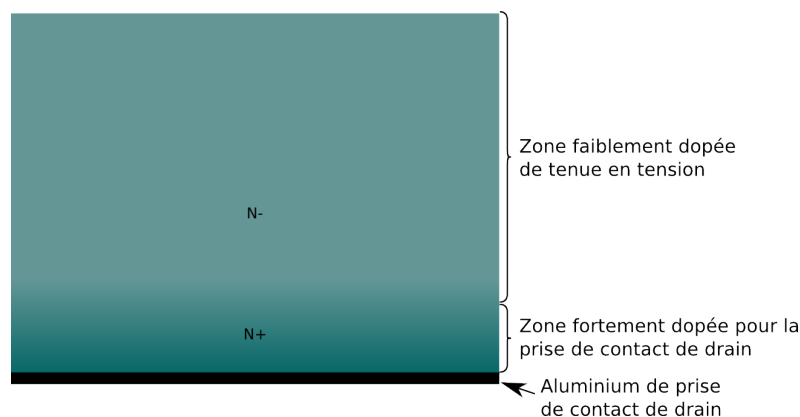


Figure 1-7: tranche vierge

La première zone est optimisée en profondeur et dopage pour la tenue en tension du composant. Cette zone représente le substrat actif du composant de puissance mais correspond également à la zone de drain de celui-ci. La seconde zone est utilisée pour la tenue mécanique et/ou la prise de contact en face arrière (drain). Elle est faiblement ohmique.

2. Croissance d'oxyde

Un oxyde est réalisé par croissance thermique sur toute la tranche afin d'assainir la surface de la zone active mais également de préparer les zones de réception des motifs de test et des motifs de centrage.

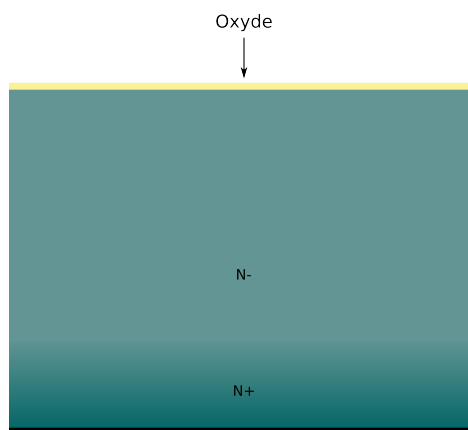


Figure 1-8: croissance d'oxyde d'assainissement

3. Ouverture de la zone active (Photolithographie + gravure de l'oxyde thermique 2)

Une étape de photolithographie est réalisée à la suite d'un dépôt de résine. Une attaque chimique est faite afin de graver l'oxyde précédent au niveau des zones actives et périphériques du composant de puissance (au sein duquel seront également intégrées les autres fonctions). Après cette étape, la tranche se trouve comme l'illustre la figure suivante :

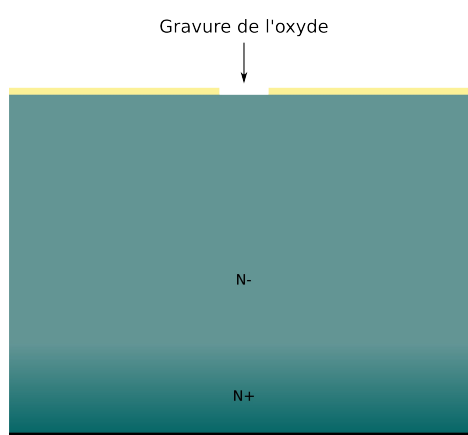


Figure 1-9: ouverture zone utile

4. Création des régions de court-circuit des caissons de source (Litho + Implantation P+ + diffusion)

Une fois l'oxyde gravé, l'étape suivante consiste en la réalisation des caissons P+ au centre des cellules du composant pour réaliser les courts-circuits source/porte-canal. Ce sont ces caissons fortement dopés qui permettent de maintenir le potentiel du porte canal proche de celui de la source. Ainsi, le potentiel du porte-canal est bien maîtrisé. Par ailleurs, la base du transistor bipolaire parasite est bien court-circuitée avec son émetteur ce qui réduit fortement ses chances d'auto-amorçage. Pour ce faire, une nouvelle étape de lithographie est conduite afin de délimiter les zones où seront implantées les régions P+ dopées en Bore. Pour créer des régions fortement dopées et assez profondes pour assurer un bon court-circuit, les paramètres d'implantation considérés requièrent une forte dose de dopant et une énergie d'implantation importante. Après ceci, une diffusion thermique est réalisée dans un four afin de favoriser l'insertion des

charges dans la structure cristalline du silicium et commencer à faire diffuser ces dernières dans la profondeur de la structure cristalline.

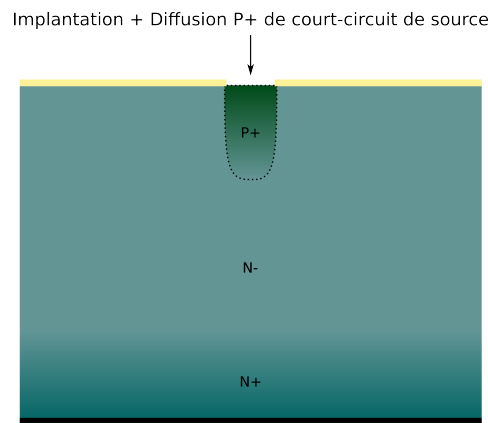


Figure 1-10: création poche P+

5. Création des grilles (Nettoyage + croissance thermique oxyde mince + dépôt Sipoly)

Après un nettoyage efficace permettant de réduire au maximum la présence de charges d'interface au niveau de la future grille du transistor, un oxyde thermique est créé par oxydation thermique sèche lente mais précise (permettant d'obtenir quelques dizaines de nm). En effet, l'épaisseur de l'oxyde de grille doit être contrôlée avec attention car elle intervient directement au niveau de la tension de seuil du composant de puissance mais également au niveau de la tension maximale que peut supporter la grille de celui-ci. Une fois l'oxyde créé, une couche de polysilicium est rapidement déposée pour de nouveau limiter la présence de charges dans le sandwich de la grille. En effet, la présence de ces charges pourrait faire plus ou moins fortement évoluer la tension de seuil des transistors pouvant altérer les caractéristiques de certaines fonctions ou composants. Cet oxyde ajouté au polysilicium constituent la grille de notre composant.

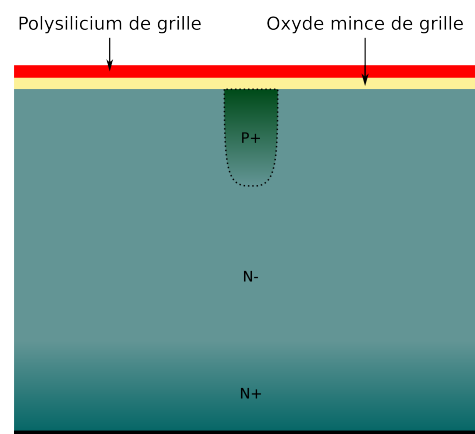


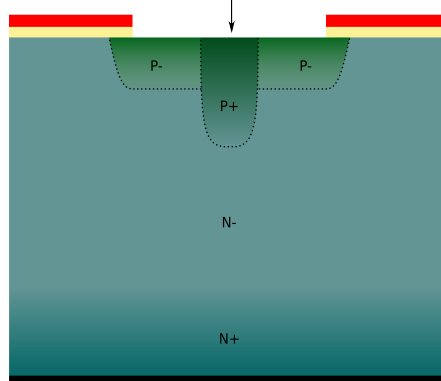
Figure 1-11: création grille

6. Création des cellules ou régions porte canal (Gravure Sipoly + implantation P- + Diffusion)

Une nouvelle étape de photolithographie nous permet de délimiter les régions de grilles de celles des cellules. Le polysilicium et l'oxyde de grille sont ensuite gravés pour rendre accessibles les futures régions

de porte canal. Ce sont alors directement les grilles qui nous servent de masque pour la réalisation de l'implantation ionique de nos poches P- qui constitueront notre porte canal. Cette technique est particulièrement intéressante car elle permet de garantir que quelque soit les erreurs d'alignement faites au cours des étapes de photolithographie, la création des régions porte canal coïncide en tout point de la tranche et dans toutes les directions avec les bords des régions de grille. L'implantation de Bore est faite avec des paramètres de doses et d'énergie importantes. En effet, comme son nom l'indique, la région P- ainsi créée sera à terme la région de canal. De fait, la concentration et le profil de dopage de cette région est particulièrement critique vis-à-vis de la tension de seuil recherchée. Ensuite, une nouvelle diffusion est conduite pour mettre en place les charges dans le silicium. Il est important de noter que durant cette nouvelle diffusion thermique, les charges implantées lors de la seconde étape diffusent également. De fait, il apparaît clairement que lors de la conception du diagramme de cheminement, les différentes phases de diffusions doivent tenir compte les unes des autres. De plus, toute modification ou ajout en cours ou en fin de process amèneront à remettre en cause les paramètres de toute la filière. Il est également particulièrement important de souligner que cette étape de diffusion est, elle aussi, critique car la diffusion des porteurs joue énormément sur le dopage et le profil des charges. Par ailleurs, il est important de noter que c'est grâce à cette étape de diffusion thermique que les charges P du porte canal, qui diffusent de manière isotrope, se propagent sous le bord de la grille du composant pour créer le porte canal sous celle-ci.

Gravure grille et implantation/diffusion P- de source

*Figure 1-12: gravure grille et création zone P-*

7. Création des régions de source (Photolithographie zone N+ + implantation + Diffusion)

Une nouvelle photolithographie est effectuée afin de réaliser l'implantation ionique des zones N+ de source. S'en suivra une légère diffusion thermique pour insérer les charges représentant la région de source N+ dopée Phosphore dans le réseau cristallin mais également pour faire diffuser légèrement celles-ci sous la région de grille. Il est à noter que ce procédé technologique, basé sur la double diffusion thermique et un masquage d'implantation unique au niveau des régions de canal, permet de garantir une parfaite homogénéité des caractéristiques physiques et donc électriques, du canal du transistor et cela pour toutes ses cellules (en considérant qu'à l'échelle d'une puce, peu ou pas de variations technologiques seront constatées).

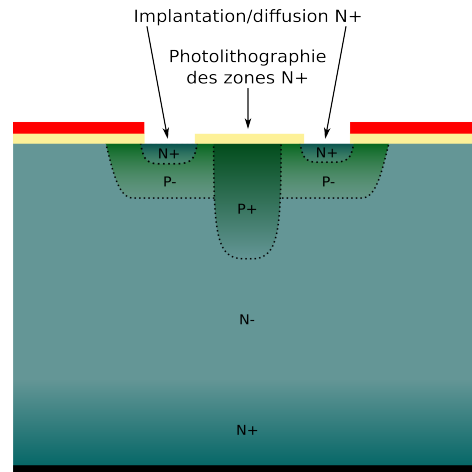


Figure 1-13: création poche N+ de source

8. Ouverture contact (dépôt LTO + photolithographie + gravure oxyde LTO)

Un oxyde de passivation recouvrant la marche formée par la grille du transistor est ensuite déposé afin de réaliser une isolation électrique entre la source et la grille du transistor de puissance. Après cela, une photolithographie suivie d'une gravure de cet oxyde sont effectuées afin de réaliser les ouvertures qui permettront, à terme, de créer les prises de contact métal silicium de source et de grille.

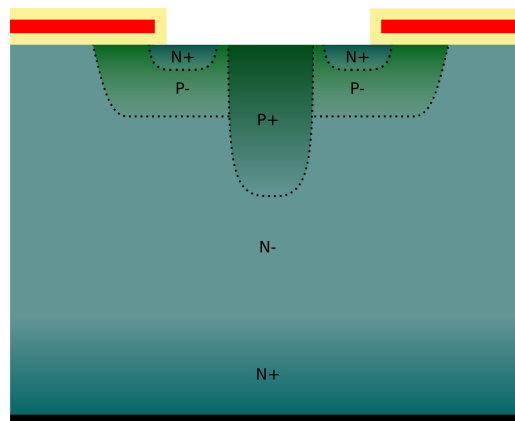


Figure 1-14: dépôt oxyde d'isolation grille/source

9. Métallisation (Dépôt d'aluminium + photolithographie + gravure de l'aluminium)

Une couche d'aluminium est déposée par évaporation ou pulvérisation cathodique sur toute la surface de la tranche. Ensuite, une étape de photolithographie suivie d'une gravure sont réalisées pour séparer les contacts électriques de grille et de source. Cette gravure n'est pas toujours visible au niveau de la cellule car nous pouvons faire le choix de réaliser des VD-MOSFET avec des grilles « enterrées ». La figure suivante présente ainsi les deux cas classiques, sans et avec gravure d'aluminium, et sans et avec ouverture du contact de grille.

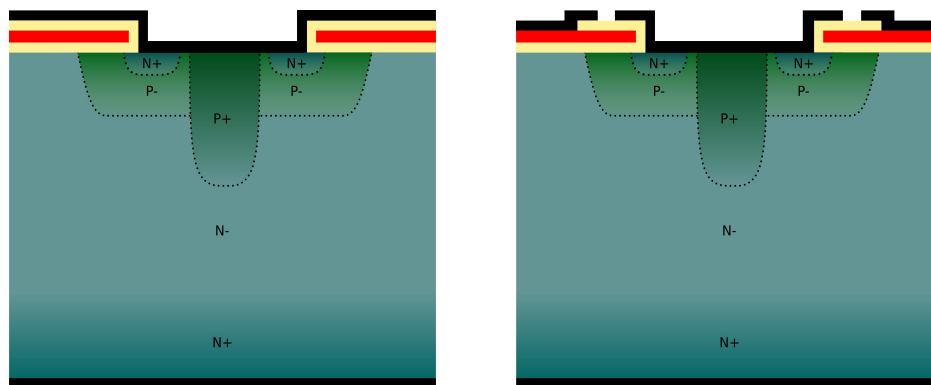


Figure 1-15: dépôt d'aluminium

10. Passivation en surface (Dépôt passivant et gravure)

Un matériau isolant est déposé sur la tranche puis une gravure est réalisée pour dégager la zone de prise de contact en surface du composant (l'emplacement des bondings). Au niveau des régions actives et des cellules, celles-ci se retrouvent entièrement recouvertes d'une couche de protection (non représentée dans une nouvelle figure).

Il est à noter, et nous aurons l'occasion d'y revenir en détail plus loin, que les paramètres physiques et technologiques qui interviennent dans ce procédé engendrent des contraintes et des règles de conception, de dimensionnement et de dessins. Dès que l'on modifie un paramètre de la structure physique, celui-ci peut faire évoluer un paramètre électrique mais aussi une contrainte ou une règle de dimensionnement. Ainsi, et à titre d'exemple, le dépôt de la couche de polysilicium est critique à plusieurs titres. Son épaisseur joue un rôle majeur dans le masquage des étapes d'implantation qui suivent, mais elle joue aussi un rôle sur l'épaisseur de LTO qu'il faudra déposer pour recouvrir les marches créées par la gravure des régions de grille. Or, l'épaisseur de celle-ci jouera à son tour sur les règles et marges de dessins.

Nous avons souligné dans la présentation de ce procédé technologique plusieurs phases critiques de dimensionnements et de conceptions technologiques. Nous pouvons remarquer qu'elles sont nombreuses et très couplées. C'est particulièrement le cas des diffusions thermiques. L'évolution de ce cheminement technologique par modification ou ajout d'étape a donc pour conséquence de bouleverser une partie importante des paramètres du diagramme de cheminement. Ainsi, au niveau technologique, nous pouvons voir que s'il est toujours possible de faire des modifications, celles-ci ne seront pas sans conséquence et sans surcoût. Ce point de vue a depuis longtemps été réglé au niveau des filières technologiques de micro-électronique avec des filières figées et fortement stabilisées. Nous pensons que c'est précisément en ce sens que la conception fonctionnelle et technologique en électronique de puissance doit aller pour avoir une chance de devenir viable et correctement soutenue. Pour ce faire, il sera essentiel de dégager des solutions fiables, performantes et limitant au maximum le couplage avec le volet technologique du composant.

1.2.6 Composants intégrables

Sur la base de cette structure physique verticale, nous pouvons constater que la région P-/P+ est

électriquement isolée de la région N-/N+ par une jonction PN polarisée en inverse. Cela sera toujours le cas si et seulement si le caisson P-/P+ est maintenu à un potentiel inférieur à celui du substrat ; c'est-à-dire lorsque le composant vertical est soumis à une tension V_{DS} ou V_{CE} strictement positive et lorsque les potentiels des régions P-/P+ seront toujours identiques à celui de la région de source du transistor vertical. A partir de ce constat, nous pouvons imaginer plusieurs composants qui seront logés dans les caissons P/P+ et qui pourront être totalement isolés les uns des autres, notamment vis-à-vis de la partie puissance et du substrat. Des études [BINH, ROUGER], portant sur l'intégration de fonctions dans la technologie originelle du composant de puissance, ont permis de constater que seuls les LD-MOSFET de type N et les diodes PN à anode au potentiel de référence sont intégrables au sein du VD-MOSFET via une auto-isolation par jonction et sans modification du procédé technologique. Comme précisé, dans ces cas, une isolation entre les deux composants est assurée par une jonction polarisée en inverse. Ceci implique que le porte canal du LD-MOSFET devra être porté au potentiel de source du composant de puissance. Bien sur, l'introduction d'autres techniques d'isolation permettrait de largement ouvrir le champ des possibilités et des comptabilités électriques mais cela alourdirait aussi fortement le procédé technologique sans pour autant garantir un maintien des performances du composant principal (de puissance).

Ainsi, nous allons nous servir de ce type de composant pour concevoir notre dispositif à commutation automatique. La figure suivante présente les correspondances entre les éléments technologiques du VD-MOSFET et du LD-MOSFET N et P :

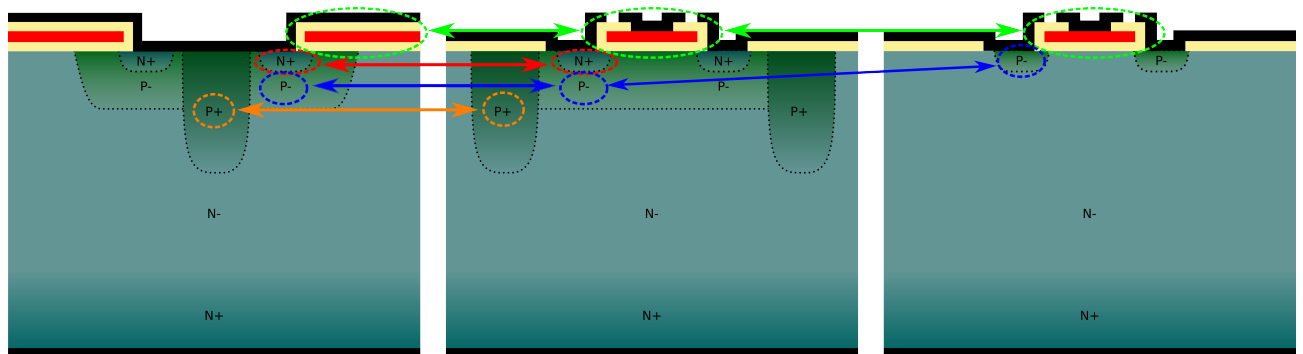


Figure 1-16: compatibilité technologique VD-MOSFET / LD-MOSFET N / LD-MOSFET P

Nous pouvons constater que les trois composants peuvent partager le même cheminement technologique. Le LD-MOSFET N est auto-isolé électriquement aussi longtemps que son potentiel de porte canal est inférieur à celui du substrat du composant de puissance. Par contre, nous pouvons voir que le court-circuit source/substrat du LD-MOSFET P implique la remontée du potentiel de drain du VD-MOSFET en face avant. Ceci interdit donc l'utilisation tel quel du LD-MOSFET P, un caisson d'isolation devra être mis en place.

Au delà de cette rapide présentation, c'est toute une démarche et une série de choix et de conséquences auxquels nous devons faire face. En effet, par ces choix, nous venons de définir et de fixer la structure physique de nos composants et donc d'imposer les degrés de liberté en terme de conception et de co-intégration. Et c'est précisément là que se situent la difficulté et l'intérêt de ce travail de recherche. En

limitant les degrés de liberté au niveau physique et électrique, nous faisons naître une problématique conceptuelle importante qui nécessite une attention particulière et une prise en compte complète de la structure et des parasites. C'est cela qui va faire la particularité de notre plateforme de conception. Mais avant de développer cette problématique [NGUYEN], revenons à notre applicatif et tentons de voir si, à partir des choix technologiques et conceptuels que nous venons de faire, il est possible d'intégrer la fonction de commutation automatique.

1.2.7 L'émulateur

1.2.7.1 Principe et schéma de la détection

Comme nous l'avons présenté précédemment, nous souhaitons réaliser un interrupteur de type VD-MOSFET auto-commandé qui devra se fermer lorsque la tension à ses bornes est faible et s'ouvrir si le courant le traversant dépasse un certain seuil. Pour son intégration, plusieurs solutions sont envisageables selon les choix technologiques que l'on fait. Nous pouvons citer les deux démarches qui ont été engagées dans le cadre du pôle ISP3D. Une approche de type intégration fonctionnelle est ainsi conduite par le LAAS, où la fonction de commutation automatique est émulée par l'ajout d'un nombre réduit de composants dont les caractéristiques électriques sont ajustées par des structures physiques spécifiques obtenues par des modifications et ajouts d'étapes technologiques. Cette approche repose sur une forte maîtrise technologique que nous ne pouvons et ne souhaitons pas engager sur notre plateforme technologique du CIME Nanotech. La topologie électrique de cette approche est présentée figure suivante. Elle s'avère relativement simple en nombre de composants et semble accessible. Les résultats de ces travaux n'étant pas encore disponibles, il est aujourd'hui difficile de conclure sur cette approche. La seconde approche consiste, comme nous venons de l'évoquer dans la partie précédente de ce premier chapitre, à tenter de synthétiser la fonction de commutation automatique via l'intégration, au sein même d'un cœur de puissance d'une circuiterie électronique incluant des capteurs, des conditionneurs de signaux et des étages de commande et d'alimentation de l'ensemble. Des travaux récents conduits dans les thèses Nguyen, Mitova, Alkayal et Rouger ont montré qu'il est possible, sur la base d'un procédé technologique minimal d'intégrer certains composants permettant de créer ces types de fonctions.

Concrètement, nous devons alimenter, puis capter, conditionner et enfin amplifier les ordres de commande. Nous allons introduire chacune des fonctions sur la base des composants disponibles via notre approche conceptuelle et technologique, à savoir : le N-MOS, la diode et le BJT verticaux, la diode latérale avec l'anode à la source du VD-MOSFET et les résistances en polysilicium.

En pratique, nous devons tout d'abord surveiller la tension entre drain et source. Ceci nous permettra de connaître le moment où nous devrons fermer l'interrupteur, mais cela permettra aussi de détecter un pic de courant pour commander son ouverture.

En effet, en se plaçant au point de fonctionnement nominal, lorsque le composant est fermé, le courant nominal traverse le transistor de puissance. Dans le cas du VD-MOSFET, ceci entraîne une chute de tension

proportionnelle à la valeur du courant. Ceci est dû au comportement ohmique du transistor lorsque sa grille est fortement polarisée et lorsque sa chute de tension en direct reste raisonnable. Donc, lorsque le courant augmentera, la tension aux bornes du composant fera de même. Aussi, lors d'un passage en court-circuit, cette variation de tension sera identifiable. Nous devons donc mettre en œuvre un dispositif permettant de détecter cette variation.

Inversement lorsque la tension aux bornes du composant est faible, voire négative, par exemple lorsque la diode en antiparallèle du MOS de puissance est conductrice ou que la source d'alimentation passe par zéro, nous devons donner l'ordre de fermeture du composant.

Nous pouvons donc détecter les deux conditions qui nous intéressent en surveillant la tension aux bornes de l'interrupteur. Nous avons fait le choix de réaliser ce capteur à l'aide d'une diode verticale connectée au drain du composant de puissance et d'une résistance en série, comme indiqué sur le schéma suivant. Il est à noter que la résistance sera également connectée à l'alimentation de la commande rapprochée.

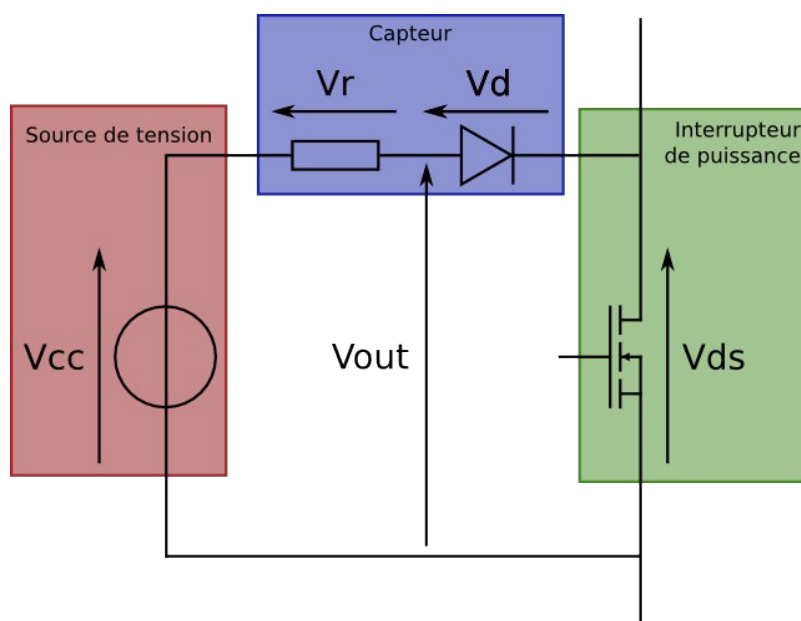


Figure 1-17: schéma du capteur de l'interrupteur automatique

Cette diode est intégrable sans difficulté car sa cathode est commune au substrat du composant de puissance. On bénéficie donc d'une structure verticale adéquate pour son intégration et son utilisation.

- **Détection d'une tension faible.**

Lorsque la tension aux bornes du composant devient faible (par exemple lorsque la tension d'alimentation devient faible ou que la diode anti-parallèle du VD-MOSFET se ferme), un courant provenant de l'alimentation de la commande rapprochée va se mettre à circuler, traversant la résistance puis la diode de notre capteur pour se reboucler via le composant principal. Nous pouvons donc écrire que :

$$V_{cc} = V_r + V_d + V_{ds} \quad (1)$$

La tension qui nous intéresse étant V_{out} :

$$V_{out} = V_{cc} - V_r = V_d + V_{ds} \quad (2)$$

La diode du capteur étant passante, la tension à ses bornes et aux bornes du composant principal sont faibles. Si la diode de roue libre est passante, V_t et V_d seront de signes opposés ce qui signifie que la tension V_{out} sera presque nulle. Ce niveau de tension plus proche de zéro devrait pouvoir être détecté spécifiquement pour permettre de donner l'ordre au composant principal de se fermer.

● Fonctionnement nominal

Lorsque l'interrupteur est fermé à son point de fonctionnement nominal, le courant nominal le traverse et une tension de déchet existe entre ses bornes. Celle-ci sera faible et permettra, comme précédemment, de faire circuler un courant à travers le capteur. Nous sommes donc dans le même cas que précédemment mais cette fois la tension V_{out} devrait être plus importante. Pour autant, il n'y aura pas de problème particulier si, par exemple, la charge devient faible et la chute de tension aux bornes du composant presque nulle. En effet, dans ce cas, les ordres de maintien ou de mise en conduction du composant de puissance sont identiques. Il faudra juste calibrer les tailles et caractéristiques du composant et du capteur pour que sous le régime nominal, il ne puisse pas apparaître un blocage prématuré et non désiré du composant de puissance.

● Détection du court-circuit

Lorsque le courant augmente dans l'interrupteur, la chute de tension du VD-MOSFET augmente. D'après l'équation [eq 2], si la tension V_{ds} augmente, la tension du capteur V_{out} augmentera. Éventuellement, celle-ci peut augmenter jusqu'à V_{cc} si la diode du capteur devient polarisée en inverse. La commande rapprochée devra donc pouvoir détecter un seuil au delà duquel la surintensité devra provoquer le blocage du composant de puissance.

● En résumé, nous avons les conditions suivantes de fonctionnement :

- Amorçage en thyristor dual : $V_{ds} < 0 \Rightarrow$ diodes en anti-parallèle passantes
- $V_{ds} < 0 \Rightarrow V_{out}$ faible $\Rightarrow$ commande de fermeture de l'interrupteur principal (IP)
- Interrupteur fermé $V_{ds} > 0$ et faible $\Rightarrow V_{out}$ toujours faible $\Rightarrow$ maintien de la commande de fermeture de l'IP
- I_{ds} augmente assez fortement lors d'un passage en court circuit $\Rightarrow V_{ds}$ augmente $\Rightarrow V_{out}$ augmente jusqu'à $V_{cc} \Rightarrow$ commande d'ouverture de l'IP
- V_{ds} non négligeable $\Rightarrow V_{out} = V_{cc} \Rightarrow$ maintien de la commande d'ouverture de l'IP

Il semble donc qu'il nous suffirait de comparer V_{out} à un seuil pour ensuite traiter et conditionner le signal de commande de l'interrupteur de puissance. Nous pourrions donc détecter les deux conditions de

commutation et avoir une stabilité de la commande le reste du temps.

Enfin, il reste nécessaire de travailler sur la fonction conditionnement du capteur. En effet, s'il est facile d'avoir une image du potentiel entre drain et source du transistor principal, il reste tout de même nécessaire d'ajouter des seuils de détection fiables et dont les paramètres technologiques sont réalisable. Pour cela, nous pouvons jouer sur les tensions de seuil des transistors latéraux en jouant sur leurs structures internes et en profitant des degrés de liberté offerts par la technologie considérée. En fait, par quelques astuces conceptuelles, nous pouvons facilement augmenter ou réduire la tension de seuil des transistors latéraux de type P pour créer des détections de seuils différents. Ces derniers permettront de détecter le passage par zéro de la tension V_{ds} via une tension de seuil, V_{th} , faible ou ils permettront de détecter un passage en court-circuit du transistor principal via un transistor à tension de seuil élevée.

Nous allons maintenant choisir l'étage d'amplification et de commande de notre système. Nous avons fait le choix d'intégrer notre système sur la même puce que notre composant principal de puissance sans faire varier la technologie de fabrication. Or, nous avons expliqué que la technologie que nous souhaitons utiliser impose l'utilisation exclusive de résistances, de diodes PN à anodes référencées et de LD-MOSFETs de type N à substrat référencé [CREBIER-HDR]. Nous avons donc fait le choix d'utiliser une commande rapprochée de type push-pull à N-MOS [NGUYEN-THESE, NGUYEN-PESC].

Cet étage est constitué d'un push-pull N-MOS et d'un bras inverseur comme présenté sur le schéma suivant.

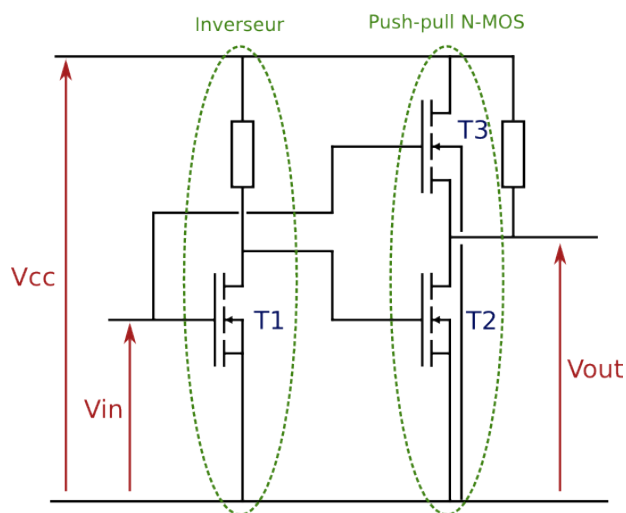


Figure 1-18: push-pull de la commande rapprochée

Cette commande est réalisée à l'aide d'un push-pull conçu en technologie N-MOS et présentant un niveau de consommation réduit. Les deux interrupteurs de l'étage de sortie qui permettent la réalisation de cette fonction sont de même type et de grosse taille pour assurer la dynamique de commutation de l'ensemble. Ils ne doivent en aucun cas être fermés au même moment pour éviter un court-circuit de la source. Aussi, pour émuler un fonctionnement comparable à celui d'une structure CMOS, les commandes entre le transistor du haut et le transistor du bas seront en opposition de phase. Pour réaliser ceci, il est mis

en place un étage inverseur en amont de la commande du transistor du bas. La commande est donc appliquée directement sur le transistor du haut alors que ce même signal est inversé pour le transistor du bas.

Le schéma ci-dessous présente les formes d'ondes du fonctionnement de ce type de fonction.

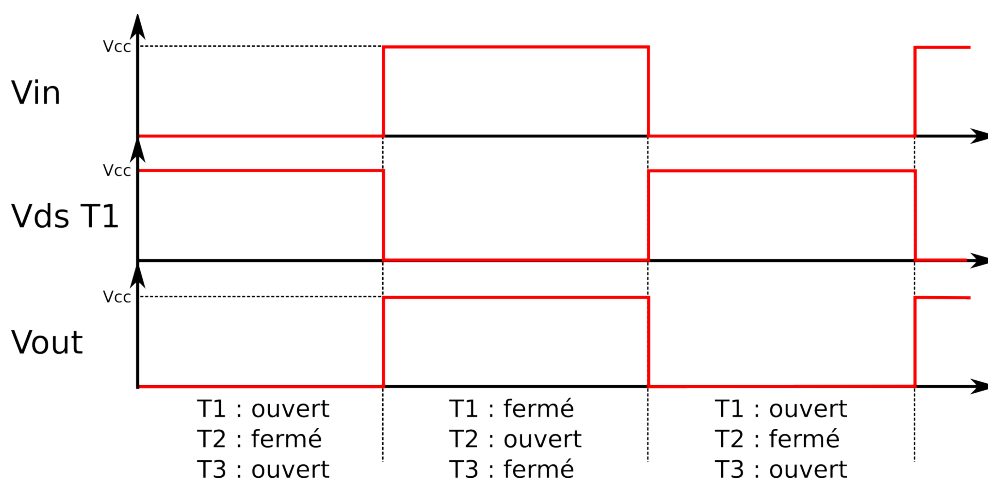


Figure 1-19: formes d'ondes de commutation du push-pull

Lorsque la tension V_{in} vaut zéro, T1 sera ouvert. Par conséquent la tension de grille de T2 vaudra V_{cc} et celle de T3 sera égale à zéro volt. Le transistor T2 sera donc fermé et T3 ouvert. La tension de sortie V_{out} vaudra donc zéro volt.

Dans le cas où V_{in} est supérieure à la tension de seuil de T1, celui-ci devient passant, ce qui implique que la tension de grille de T2 vaudra 0V et celle de T3 sera supérieure à sa tension de seuil. Le transistor T2 sera donc dans ce cas ouvert et T3 fermé. Par conséquent, la tension de sortie V_{out} vaudra V_{cc} . Toutefois, la présence d'un transistor N en haut de la structure push-pull ne peut conduire à un niveau de sortie proche ou égal de celui de la tension d'entrée. En effet, l'équation des mailles montre que la tension de sortie peut, au mieux, être égale à la tension d'alimentation moins la tension de seuil du transistor T3. Par ailleurs, un effet de substrat sur T3 vient augmenter le différentiel de tension entre V_{cc} et V_{out} par une augmentation de la tension de seuil. [NGUYEN-THESE]. Notons que cet effet provient du fait que le substrat porte-canal de T3 doit être relié au potentiel le plus bas du montage pour assurer une isolation par jonction. De ce fait, en fonction du potentiel de source de T3, une différence de potentiel peut apparaître entre la source et le porte-canal. Plus la différence de potentiel entre la source et le substrat porte-canal augmentera, plus la tension de seuil augmentera. La tension de sortie, V_{out} , sera donc toujours légèrement inférieure à V_{cc} .

Une tension d'alimentation (V_{cc}) doit être fournie pour faire fonctionner le système. Dans un premier temps, nous avons fait le choix d'utiliser une source de tension externe afin de simplifier la mise au point. Mais à terme, afin de rendre le système complètement autonome, nous pouvons imaginer l'utilisation d'une alimentation intégrée [ROUGER].

1.2.7.2 Schématique complète retenue

Nous venons de voir les différentes fonctions et principes de fonctionnement du système de commande automatique. Le schéma ci-dessous présente la commande d'émulation de la fonction interrupteur automatique :

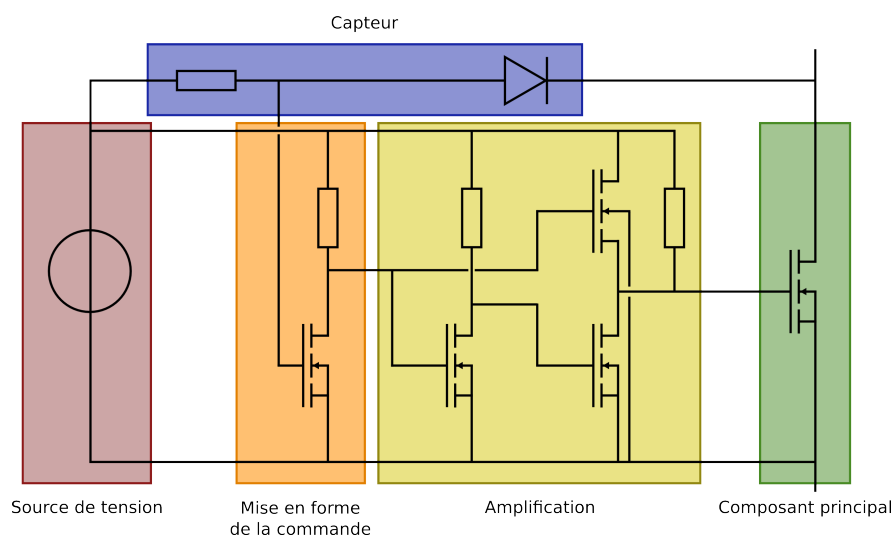


Figure 1-20: schématique complète de l'interrupteur automatique

Nous pouvons voir de gauche à droite l'alimentation de la commande, le bras de mise en forme de la commande, le push-pull de la commande rapprochée, le composant de puissance et au dessous la diode du capteur. Nous avons utilisés ce schéma comme interrupteur de puissance dans la structure du redresseur présentée (figure 1-4) précédemment afin de réaliser une simulation (simulateur Spectre), présentée sur la figure suivante :

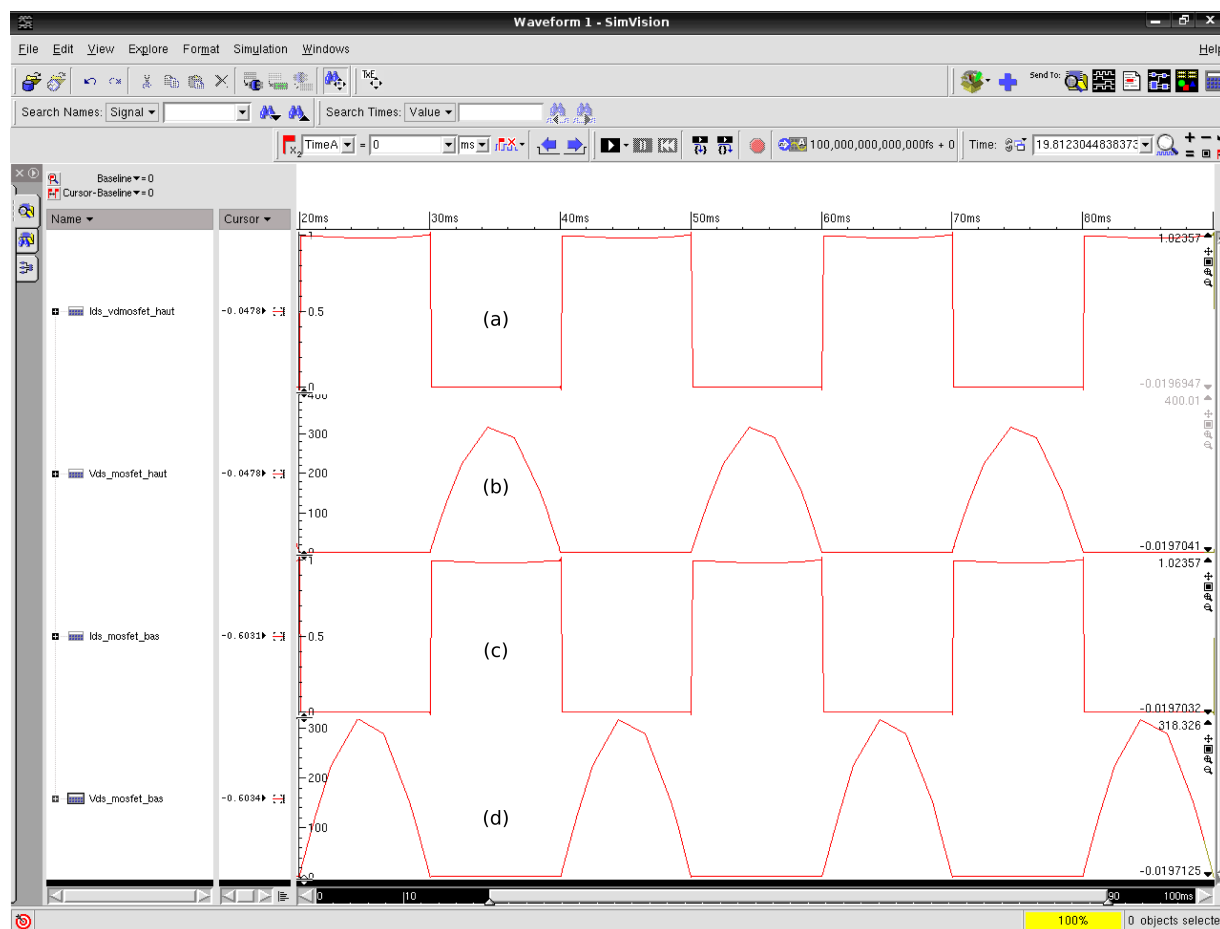


Figure 1-21: simulation Cadence d'un redresseur à inter-automatique réalisée avec Cadence

Nous pouvons voir sur la courbe (a) le courant qui traverse le premier composant de puissance et en (c) le courant du second interrupteur de puissance. Nous pouvons constater que le courant de la charge passe (1A) passe alternativement dans les deux interrupteurs. Ces derniers commutent automatiquement comme nous le souhaitons. Cette simulation présente uniquement le principe de notre émulateur, toutefois une étude plus complète sera réalisée dans le chapitre 4.

Nous pouvons constater que cette solution présente l'avantage d'être entièrement intégrable dans notre technologie de fabrication. De plus, elle reste suffisamment simple pour nous permettre une mise au point viable, mais nous aurons tout de même un système implémentant plusieurs composants de nature différentes interagissant entre eux et liés par un procédé technologique commun. Entre autres, nous aurons à caler des paramètres géométriques pour définir des tensions de seuil, nous aurons également à prendre en compte les couplages intentionnels et les phénomènes parasites entre les composants de commande et celui de puissance. Or tous ces paramètres dépendent du procédé qui est lui-même fonction du composant de puissance. Nous commençons à voir que si l'intégration fonctionnelle monolithique est envisageable sur le papier, sa concrétisation passe par un soutien à la conception des fonctions.

Afin de faire émerger puis réaliser ce dispositif, nous allons devoir passer par des phases de conception et de dimensionnement fonctionnels et technologiques. Pour tenter de concrétiser avec succès, nous avons

fait le choix de mettre en place une plateforme pour nous aider dans notre travail et dans de futur projet.

Afin de déterminer les étapes, les méthodes de conception et de réalisation que nous aurons à effectuer, nous allons présenter les approches de conception et de réalisation utilisées dans le passé en électronique de puissance et celles de la micro-électronique. Ceci nous permettra de connaître les possibilités qui nous sont offertes et qui répondent à nos besoins pour la mise en place de notre plateforme.

1.3 La conception globale d'une fonction de puissance « complexe »

1.3.1 Introduction

La réalisation d'un système intégré sur silicium repose sur deux grands ensembles. Le premier est représenté par la technologie et la définition du cheminement technologique aussi appelé diagramme technologique. Il permet de définir les paramètres physiques de la structure verticale du ou des composants sur silicium. Par analogie, nous pourrions parler de la partie géologique du composant. Le second est représenté par l'ensemble des masques et dessins correspondant au diagramme de cheminement. Il permet quant à lui de définir les périmètres et les surfaces des différentes régions qui subiront ou pas certaines étapes clés. De nouveau, par analogie nous pourrions parler de la géographie du composant. Nous comprenons bien qu'en fonction des différentes fonctions que nous souhaitons réaliser dans différentes régions de la puce les deux ensembles apparaissent fortement dépendant l'un de l'autre. En micro-électronique, un choix a été fait de longue date pour rendre cette dépendance unidirectionnelle. Le cheminement technologique et la structure géologique d'une filière sont définis et optimisés vis-à-vis de certains critères pour ne plus être modifiés. C'est donc la partie conception et dessin qui se nourrit des choix et paramètres ainsi figés pour créer les formes qui permettront de créer les fonctions nécessaires à un grand nombre de cahiers des charges. En électronique de puissance, l'optimisation des fonctions de conversion passe depuis toujours par une optimisation couplée au niveau du cheminement technologique et de la conception du jeu de masques. De fait, le processus de dimensionnement est beaucoup plus interactif entre technologie et dessins ce qui rend moins facile son assistance. Essayons de rentrer un peu plus dans les détails de ces deux approches pour voir comment converger vers un outil d'assistance et de prototypage virtuel pour l'électronique de puissance intégrée.

1.3.2 La conception actuelle en électronique de puissance

La conception de composants de puissance passe donc par la conception de masques d'un côté et la conception d'un diagramme de cheminement de l'autre. Nous allons présenter la démarche actuellement utilisée au sein du G2Elab.

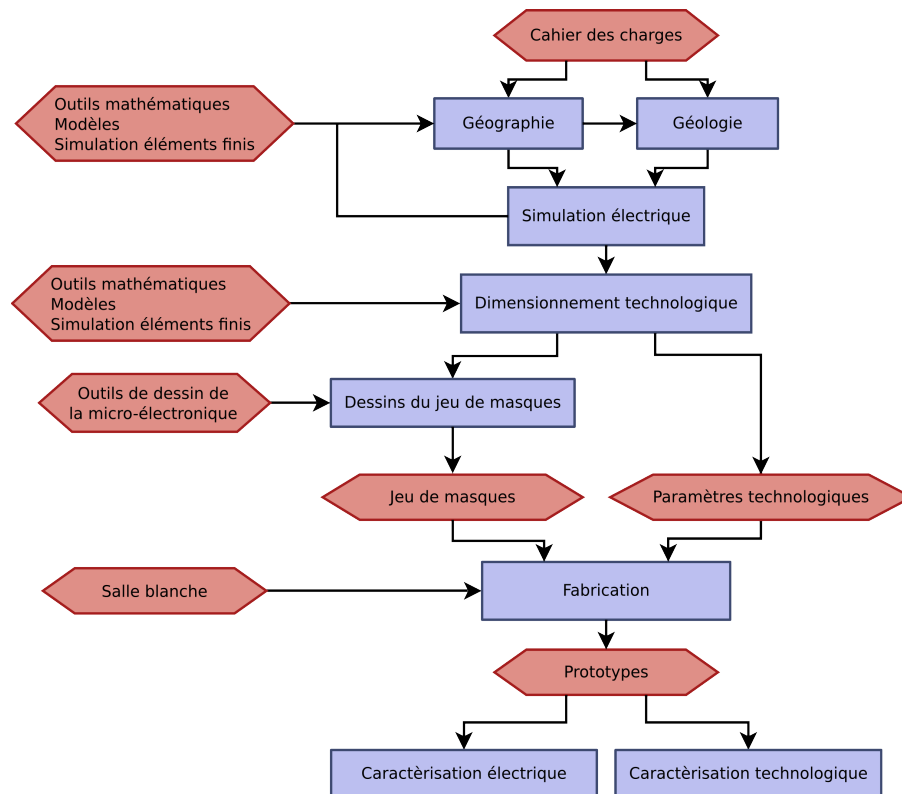


Figure 1-22: étapes de conception en électronique de puissance

1.3.2.1 Cahier des charges :

La première tâche à réaliser consiste en la définition la plus précise possible du cahier des charges du composant, comme par exemple :

- les gammes de tension de fonctionnement
- les courants minimaux/maximaux ou la taille de la puce
- le type de composant de puissance : MOSFET, IGBT, thyristor, ...
- l'architecture du composant (amenée de courant, type de terminaison en tension, disposition des plots de contact...)
- l'environnement physique et électronique (les prises de contact, la thermique associée, les matières de passivation électrique).

À terme mais sans que cela soit aujourd'hui souvent abordé, nous aurons aussi à définir dans le cahier des charges une autre gamme d'éléments importants que son les fonctions associées souhaitées :

- capteurs
- commande
- intelligence

- alimentation
- pads
- coupleurs
- ...

Ces paramètres nous permettent de faire des choix quant à notre composant, comme par exemple la structure, les contraintes d'isolation ; mais nous pouvons aussi définir dès lors les grandes lignes du cheminement technologique, à savoir les grandes étapes qui permettront de synthétiser la structure verticale du composant de puissance. En effet, la structure du composant de puissance choisi imposera une certaine succession d'étapes pour être réalisé. Toutefois, lors de la conception du système, nous avons la possibilité de faire varier les caractéristiques physiques de la technologie, comme par exemple les niveaux de dopages, les temps de diffusion, les épaisseurs des différentes couches. Ceci permet de modifier le comportement de notre composant et ainsi d'arriver au fonctionnement voulu par notre cahier des charges.

1.3.2.2 Étape 1 : dimensionnement et modélisation

Une fois le cahier des charges et les grandes lignes du cheminement technologique définis, nous passons au dimensionnement de notre système. Celui-ci est réalisé à l'aide de modèles et d'outils mathématiques tels que :

- des tableurs (OpenOffice, GNUmeric, Exel,...)
- des logiciels de calculs formels (Mathcad, Matlab, GNU Octave, Scilab, Maxima...)
- des logiciels de simulations numériques et électriques (Silvaco, Ansys, Simplorer,...)

Les modèles physiques utilisés pour le dimensionnement sont rarement disponibles ou capitalisés. Ils peuvent être décrits dans des documents mais nous les trouvons rarement sous une forme informatique exploitable et pérenne. Il faut dire que ces moyens intègrent un grand nombre de savoirs des fabricants rendant leur divulgation problématique. Cela implique donc pour le concepteur une part non négligeable de modélisation et de transcription des modèles, dans son travail. Il faut bien voir que pour chaque famille de composants de puissance, de nouveaux modèles spécifiques seront à mettre en place rendant cette phase de modélisation comportementale et physique particulièrement lourde et importante. Par ailleurs, on pourra noter que les modèles utilisés dans ces activités de modélisation, sont souvent sensibles aux méthodes de résolutions et de traitements informatiques qui leurs sont associés. Ceci est une difficulté supplémentaire à leur capitalisation.

Les outils mathématiques utilisés pour le dimensionnement sont de plusieurs types. Actuellement, pour la simulation des composants et leur dimensionnement, nous utilisons principalement des outils généraux qui ne sont donc pas toujours adaptés et orientés pour l'intégration en électronique de puissance, ce qui augmente la disparité des outils envisageables. Cependant, certains outils développés et utilisés en micro-électronique sont exploitables en électronique de puissance. Nous citerons des outils de simulations par

éléments finis permettant l'analyse des composants du point de vue caractéristiques statiques et procédés de fabrication. Cependant, ces outils reposant sur des méthodes numériques généralement de types éléments finis, leur utilisation est assez lourde et très coûteuse en temps de calcul. Par ailleurs, si ces outils permettent une étude et un dimensionnement de la partie active du composant de puissance, ils sont très mal adaptés à l'étude et au dimensionnement de l'ensemble du composant de puissance : les périphéries, les amenées de courant, etc. Cela devient encore plus problématique si l'on souhaite étudier et synthétiser un composant complexe reposant sur plusieurs fonctions et éléments différents. Dans ces cas, l'assistance d'un ensemble de modèles ou au moins de paramètres conceptuels plus ou moins empiriques devient nécessaire voir incontournable. A ce stade, très peu de moyens et de modèles sont disponibles et il devient particulièrement difficile de pérenniser et de garantir l'effort de fiabilisation de composants complexes pour l'électronique de puissance intégrée.

Pour conclure sur cet aspect, nous noterons que la plupart des outils de dimensionnement actuellement utilisés ne sont pas adaptés à une conception rapide en électronique de puissance intégrée et ne permettent que des études localisées et non globales d'un composant complexe et fonctionnalisé. Si les industriels ont probablement développé des outils et modèles en interne, quasiment aucun des outils accessibles ne permet une réelle optimisation d'une fonction, partielle ou globale (nous entendons par fonction un ensemble de composants et éléments intégrés au sein d'un composant de puissance et sur la base de son procédé technologique).

Aussi, la modélisation et la simulation de la structure du composant via une modélisation analytique ou encore via des simulations numériques permettent de définir les structures verticales et horizontales d'une cellule élémentaire de la zone active du composant de puissance. Sur la base de cette structure, le jeu de masques ainsi que les paramètres technologiques du diagramme de cheminement peuvent être définis. De même et en parallèle, le reste du jeu de masques du composant de puissance pourra être conçu. C'est à partir de maintenant que peut rentrer en compte le processus de conception des fonctions et composants annexes co-intégrés dans le composant de puissance.

De fait, les deux étapes suivantes sont étroitement liées.

1.3.2.3 Étape 2 : cheminement technologique

Les masques ainsi réalisés, le concepteur a connaissance de la structure qu'il souhaite, mais doit encore déterminer les paramètres des étapes du cheminement technologique. Ces derniers sont à fournir aux opérateurs de salle blanche pour la réalisation des dispositifs et l'obtention d'une structure verticale conforme aux attentes et définitions conduites dans les précédentes étapes. Pour cela, le concepteur a recourt principalement à des abaques et aux simulateurs par éléments finis de procédés technologiques. En lien avec des moyens de conception, il peut disposer de données expérimentales ou empiriques permettant de caler avec plus de précision les paramètres de son procédé technologique en fonctions des caractéristiques de sa salle blanche. En effet, ce type de conception du cheminement technologique implique que les abaques, les modèles et les paramètres de simulation soient très proches de ce qui peut

être fait en salle blanche. Or, ces éléments ne reflètent pas forcément le fonctionnement d'un bâti ou le résultat d'un traitement chimique. En général, les experts en technologie connaissent bien une ou quelques étapes et peuvent de manière fragmentaire offrir un travail technologique de qualité sur une partie du procédé. L'association de plusieurs travaux d'expertise fait intervenir les conséquences d'un procédé sur les étapes précédentes rendant plus complexe l'expertise globale. De fait, le nombre de paramètres entrant en compte pour ce genre de réalisation ne permet pas actuellement d'avoir des modélisations extrêmement précises ni une optimisation globale de l'ensemble.

A ce stade et une fois le cheminement technologique complètement élaboré et simulé, il est souvent intéressant de boucler de nouveau des simulations électriques sur la base de la structure physique obtenue via la simulation du procédé. On peut ainsi vérifier que les caractéristiques restent proches des attentes du cahier des charges. Le cas échéant, une optimisation locale ou globale peut intervenir à ce stade.

1.3.2.4 Étape 3 : conception du jeu de masques

Une fois toutes les paramètres géométriques et physiques de la cellule élémentaire définis par ces moyens de calcul, le concepteur passe à la réalisation du jeu de masques de son système complet pouvant intégrer ou non des fonctions annexes. Il pourra éventuellement s'appuyer sur une banque de composants et une librairie, si un effort de capitalisation a été engagé en ce sens dans les outils de description. Cependant, le concepteur devra dessiner et adapter tous les éléments qui constituent son système, tout en prenant en compte une liste de contraintes de réalisation. Ces contraintes seront imposées par les caractéristiques des étapes technologiques de fabrication du composant ainsi que par les méthodes et procédés utilisés en salle blanche. De fait cette étape de conception est conduite en lien avec l'établissement du diagramme de cheminement technologique. Après ceci, le concepteur réalisera des vérifications manuellement ou grâce aux outils disponibles, ci ceux-ci ont été configurés. Ceci permet d'éviter le lancement de masques erronés en production. Les difficultés de réalisation et de vérification des masques augmentent avec le nombre et la complexité des motifs utilisés. De plus, les procédés technologiques étant très changeant, l'automatisation de la phase de vérification des masques n'est pas simple à mettre en place ni à pérenniser.

1.3.2.5 Étape 4 : fabrication en salle blanche et caractérisation des prototypes et des témoins

Une fois le jeu de masques réalisé et le cheminement technologique déterminé, les prototypes peuvent être fabriqués. Durant la conduite du procédé technologique, le technologue a la possibilité d'introduire régulièrement des témoins de procédé technologique pour observer le déroulement du procédé et l'évolution de la structure physique ainsi réalisée. Le cas échéant, une adaptation en cours de procédé peut être envisagée.

Une fois que le procédé technologique est achevé, il faut alors évaluer les caractéristiques des composants de puissance et les fonctions associées. En lien avec ce travail de caractérisation électrique et fonctionnel, il est généralement possible d'avoir un retour complet sur le procédé technologique pour vérifier

si celui-ci est conforme aux attentes et définitions. En effet, le jeu de masques intègre généralement un ensemble de motifs de test permettant de déterminer avec plus ou moins de précision les divers paramètres de la structure verticale.

En fonction des différents retours de caractérisation, les prototypes sont jugés conformes ou non aux attentes du cahier des charges. Éventuellement un nouveau procédé peut être conduit si des étapes technologiques n'ont pas conduit à la structure verticale attendue. Sinon, il peut être nécessaire de reprendre le jeu de masque si des paramètres géométriques s'avèrent mal définis. Enfin, le cas échéant, il sera nécessaire de revoir le processus de conception complet ; mais dans ce cas et en considérant qu'aucune erreur ne fut conduite, cela signifie que les données d'entrée, à savoir les paramètres et les modèles utilisés, sont partiellement défaillantes.

Cette méthode de conception a été utilisée jusqu'à présent en électronique de puissance intégrée au sein du G2Elab pour la réalisation de composants de puissance « simples » [VERNAU, MITOVA, ALKAYAL]. Mais si nous voulons réaliser des composants fonctionnels tels que les interrupteurs à commutation automatique, le travail à réaliser deviendra plus important et plus complexe. Aussi les risques d'échec seront bien plus importants. Nous devons donc apporter une solution pour simplifier ce travail. Il est important de rappeler que ce travail s'insère dans une problématique de conception et de prototypage de nouveaux composants de puissance avec des modèles non calés et des productions rare et en petites quantités ce qui implique des procédés de fabrication non stabilisés.

Pour cela, il nous faut définir quels sont nos besoins, puis les grandes lignes de la future plateforme de prototypage en électronique de puissance intégrée. Nous venons de présenter la démarche de conception classique et élémentaire dans le domaine de l'électronique de puissance utilisée par les doctorants du G2Elab cette dernière décennie. Elle est assez représentative d'une absence partielle ou totale de moyens et d'outils de conception adaptés au niveau académique.

Pour définir la plateforme que nous souhaitons mettre en place, nous allons maintenant, nous intéresser à la manière dont la micro-électronique s'est organisée et s'est structurée afin de nous baser sur un processus établi non spéculé que nous pourrions peut être adapter à l'électronique de puissance.

1.3.3 La conception en micro-électronique (sur la base d'un procédé fixe, stabilisé et reproductible)

Depuis longtemps, la micro-électronique a mis en œuvre des moyens importants pour assister les ingénieurs et les concepteurs dans la conception et la réalisation des systèmes intégrés sur silicium. Ceux-ci, dédiés au domaine de la micro-électronique, sont développés depuis plusieurs décennies et ont permis de fournir des méthodes, des concepts, des banques de données, des modèles et des outils de conception, de calculs, de simulations en lien avec des procédés de réalisation particulièrement stabilisés et précis.

Si nous faisons un peu d'histoire de la micro-électronique, nous pourrions certainement remonter à une époque où les travaux de conception et les réalisations technologiques étaient conduites comme le sont encore actuellement ceux en électronique de puissance. La micro-électronique a subi une révolution

structurelle fondamentale qui lui a permis de se développer et de se structurer énormément. Petit à petit, deux grands chantiers sont apparus : les développements et procédés technologiques d'un côté et la modélisation et la conception de l'autre. Une rupture fondamentale est alors intervenue lorsque il est apparu que la conception et la réalisation de fonctions complexes en micro-électronique pouvaient largement bénéficier d'un découplage complet entre conception et technologie. A partir de ce moment, la micro-électronique s'est scindée en deux grand métiers assez indépendants et extrêmement complexes : les développements technologiques et la mise au point de cheminements technologiques stables, fiables et reproductibles, et les développements d'outils et de modèles pour la simulation et la conception de fonctions complexes. Les deux parties sont couplées par les modèles établis sur la base des composants réalisés par le procédé technologique. Le procédé étant le même tout le temps, les composants réalisés le sont aussi. De fait, le processus de conception peut être mis en place avec beaucoup plus de fiabilité et la notion de capitalisation coule alors de source.

Cette approche découplée est assez éloignée de celle conduite en électronique de puissance où l'optimisation d'un produit conduit à un couplage important entre conception et technologie de fabrication.

Sur la base de cette structuration, la micro-électronique a considérablement développé les outils d'assistance et de prototypage virtuel via des outils spécialisés et des bibliothèques caractéristiques des filières technologiques aussi appelés « design-kits ». Ces design-kits renferment un grand nombre d'informations relatives à ce qu'une filière technologique peut produire, aux caractéristiques électriques des composants fabriquables ainsi qu'aux règles de conception qui permettent de garantir la validité des modèles et de tenir compte des contraintes technologiques. Ces design-kits associés à des environnements dédiés de type Cadence ou Mentor offrent un panel d'outils, de routines de conception et de vérifications que nous pouvons observer figure 1-23 ci-après.

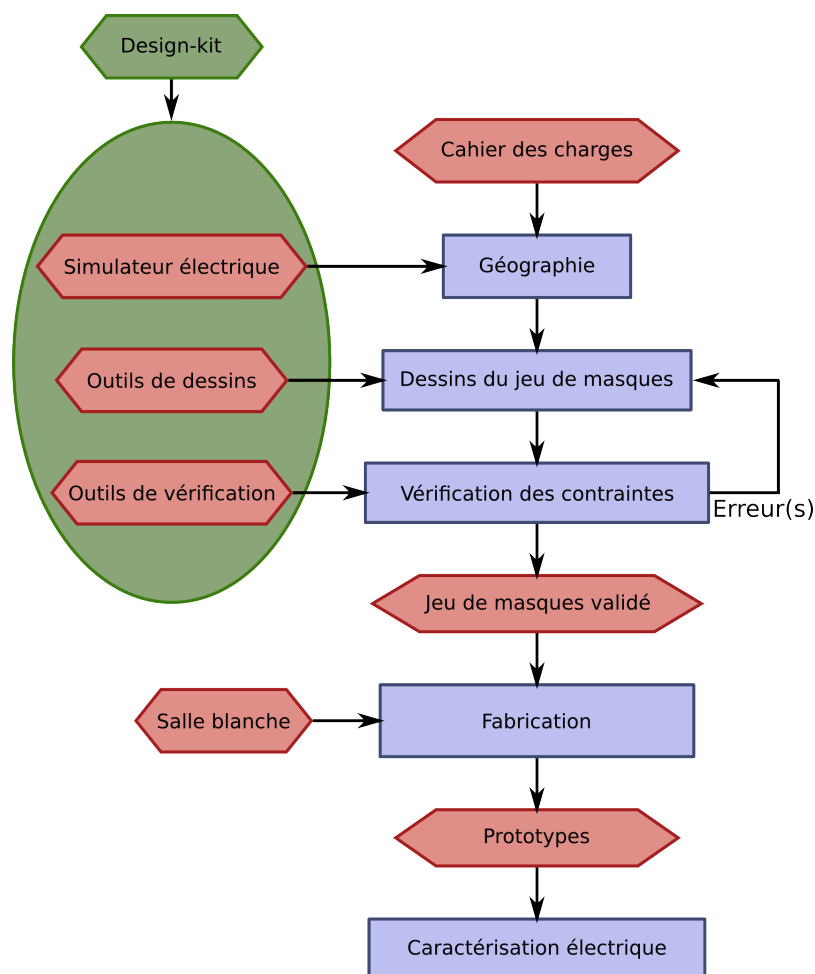


Figure 1-23: étape de conception en micro-électronique

Dans un premier temps, comme en électronique de puissance, le concepteur définit son cahier des charges : tension de fonctionnement, niveaux de courant, fonctions et complexité... Ceci lui permet de faire les premiers choix sur la base d'un "catalogue de moyens technologiques offerts", et de commencer à définir la structure de son système sur la base des moyens et des degrés de libertés offerts par ceux-ci. Cependant, les filières technologiques étant figées, la sélection ne peut se faire que sur un nombre discret de possibilités. De fait, une fois la filière technologique choisie en fonction de sa compatibilité directe ou partielle avec le cahier des charges, un certains nombres de paramètres sont mis à disposition à travers le design kit relatif à la technologie sélectionnée.

Après cette étape, il est donc possible de commencer à réaliser des schématiques électriques qui peuvent être simulées. Les modèles paramétrables disponibles dans les diverses librairies permettent alors de fiabiliser la phase de conception "fonctionnelle" compte tenu de la qualité des modèles calés sur les technologies. Ainsi, le concepteur peut valider le bon fonctionnement de son système. De plus, ces simulations lui permettent aussi de pouvoir définir certains paramètres géométriques de ses composants et de ses fonctions, comme par exemple, la largeur de grille d'un transistor MOSFET.

Lorsque le système est complètement défini par la schématique et qu'il est validé par des simulations, le

concepteur peut passer à la conception de son jeu de masques. Pour cela, il a recours à un outil logiciel lui permettant de générer un jeu de masques. Ceci passe par l'importation des masques correspondant aux éléments de la schématique en tenant compte des paramètres (par exemple une largeur de grille d'un transistor MOSFET) qui auront été déterminés lors des simulations. Ces éléments de dessins prêts à l'emploi sont fournis dans le design kit et sont conçus en lien avec les possibilités technologiques. De fait, une forte assistance particulièrement robuste est disponible durant cette phase de conception. Une fois tous ces éléments importés, le concepteur peut utiliser un outil de placement routage de masque afin de placer et de réaliser les connexions entre les masques des divers éléments. Pour cela, l'outil d'importation prend les connexions de la schématique pour indiquer au concepteur les liens à réaliser sur les masques.

Lors du placement et de l'interconnexion de ces éléments, le concepteur a en charge de respecter différentes contraintes imposées par la technologie de fabrication. Le design-kit offre, de nouveau, un jeu de paramètres important permettant de guider et d'assister le concepteur dans son travail de routage et de dessin. Lorsque le jeu de masques est considéré comme terminé, le concepteur peut vérifier que ces contraintes ne sont pas violées de manière automatique. Pour cela, il aura recours à différents outils de vérification. Ceux-ci permettent de mettre en avant les erreurs possibles que le concepteur doit corriger. Une fois les masques corrigés de toutes ces erreurs de contraintes technologiques, le concepteur peut lancer un outil d'extraction qui estime les éléments non fonctionnels issus de la conception du jeu de masque et donc non pris en compte lors de la simulation de la schématique. Cela permet de constituer un modèle complet de ce que représente le travail de conception et de dimensionnement conduit par le concepteur et de trouver les composants et « éléments » constituant réellement le jeu de masques qu'ils soient désirés (éléments de la schématique) ou non (éléments parasites). Par la suite, le concepteur a la possibilité de vérifier certaines règles électriques à partir de l'extraction réalisée, tels que des courts-circuits, des connections non effectuées... Il peut aussi évaluer l'évolution du comportement fonctionnel de son dispositif suite à l'introduction de certains parasites liés aux effets de proximités (généralement capacitifs) ou aux interconnexions. Les erreurs ainsi trouvées peuvent être corrigées avant la fabrication. La schématique des éléments extraits précédemment peut, à l'aide d'un outil de comparaison, être confrontée à la schématique rentrée par le concepteur, permettant ainsi de trouver des erreurs de connectique. De plus, l'influence du placement/routage peut être étudiée par la simulation à l'aide des éléments extraits précédemment, comportant les parasites. Enfin, la sensibilité aux variations et à la stabilité du procédé technologique peut être évaluée. En effet, si l'on peut dire que les filières technologiques sont stabilisées et reproductibles, cela n'est jamais réellement le cas. Les bains d'attaques évoluent dans le temps et ne sont pas changés en permanence, les températures des fours ne sont pas identiques en tous points et surtout, une dispersion est facilement observable à la surface d'une tranche selon la localisation de la puce. De fait, un travail de simulation statistique permet d'évaluer les variations fonctionnelles en fonction des dispersions observées à la suite de plusieurs procédés technologiques voulus identiques. Cette dernière phase de conception et de vérification permet de garantir à plus de 95% la viabilité et les caractéristiques des composants et fonctions ainsi créées.

Comme nous pouvons le voir, les outils d'assistance sont extrêmement pointus et efficaces. Il est

important de rappeler que cela est devenu possible grâce à la segmentation des métiers de la micro-électronique comme nous l'avons présenté plus haut dans ce paragraphe.

Des plateformes logicielles, telles que Cadence et Mentor, ont été développées spécifiquement pour réaliser l'enchaînement de toutes ces étapes et les rebouclages qui permettent d'assurer un excellent travail de conception pouvant garantir le bon fonctionnement du système après fabrication. De tels logiciels proposent tous les outils utiles aux étapes de conception, mais leur utilisation repose sur un ensemble de bibliothèques et de bases de données qui sont à la charge des fondeurs en micro-électronique sous la forme de "design kits". Ainsi, sans ces design kits, il devient très difficile de concevoir quoi que se soit et par ailleurs, si ceux-ci ne sont que partiellement développés, la fiabilité des travaux de conception s'en voit très fortement affectée.

Un design-kit est conçu par un fondeur pour une filière technologique donnée et il est fourni au concepteur. C'est ici que le premier contraste apparaît avec l'électronique de puissance, puisque dans le cas de la micro-électronique, la technologie est figée et parfaitement caractérisée alors que pour les composants de puissance, elle est continuellement adaptée pour chaque nouveau cahier des charges. Un design-kit contient entre autres :

- la technologie : définition de la technologie de fabrication du système
- une bibliothèque de composants : les modèles et masques associés, composants et fonctions intégrables
- les règles de vérification : configuration et liste des règles à vérifier pour chaque outil
- les règles d'extraction : permettant de retrouver les éléments constituant un jeu de masques
- des fichiers de configuration : permettant de configurer l'environnement de conception
- les paramètres statistiques relatifs aux dispersions de la technologie

Tous ces éléments reposent sur l'utilisation de technologies qui ne varient pas et qui ont été stabilisées. Le design-kit est donc développé pour une seule filière technologique et les modèles sont calés sur la base du comportement réel des composants issus des premiers process stabilisés.

Tout au long de son travail, le concepteur ne s'inquiète pas de la technologie de fabrication car celle-ci est entièrement gérée par les fondeurs fournissant les design-kits. Ces technologies sont mises au point et stabilisées par de nombreux tests/essais. Ceci permet la mise au point de modèles déduits puis calés par des prototypes, ce qui leurs assurent une bonne fiabilité prédictive. La technologie étant stabilisée et les modèles calés sur la technologie, les résultats de simulation sont donc quasiment identiques à ce que nous pouvons attendre des prototypes. Cet ensemble rend le travail du concepteur en micro-électronique tout à fait efficace via un soutien important et des moyens de prototypage virtuels très poussés.

Comme nous pouvons le voir, la démarche est structurée et elle a fait l'objet d'un investissement considérable. Par opposition, en électronique de puissance, les moyens de conception en sont à l'âge de pierre, ou presque. Essayons maintenant de dresser un bilan de ces constatations pour, au final définir au

mieux notre besoin.

1.4 Conclusion

Nous pouvons constater que de nombreuses différences existent entre la démarche de conception actuellement utilisée dans le domaine de l'électronique de puissance et celle de la micro-électronique. Dans cette dernière, la mise en place de concepts, de méthodes et d'outils ont permis l'accélération et la fiabilisation de la conception et de la fabrication de systèmes intégrés sur silicium. Cependant, pouvons-nous transposer tous ces éléments à la conception de systèmes d'électronique de puissance ?

La figure suivante présente, à gauche la démarche de conception utilisée en électronique de puissance et à droite, celle de la micro-électronique.

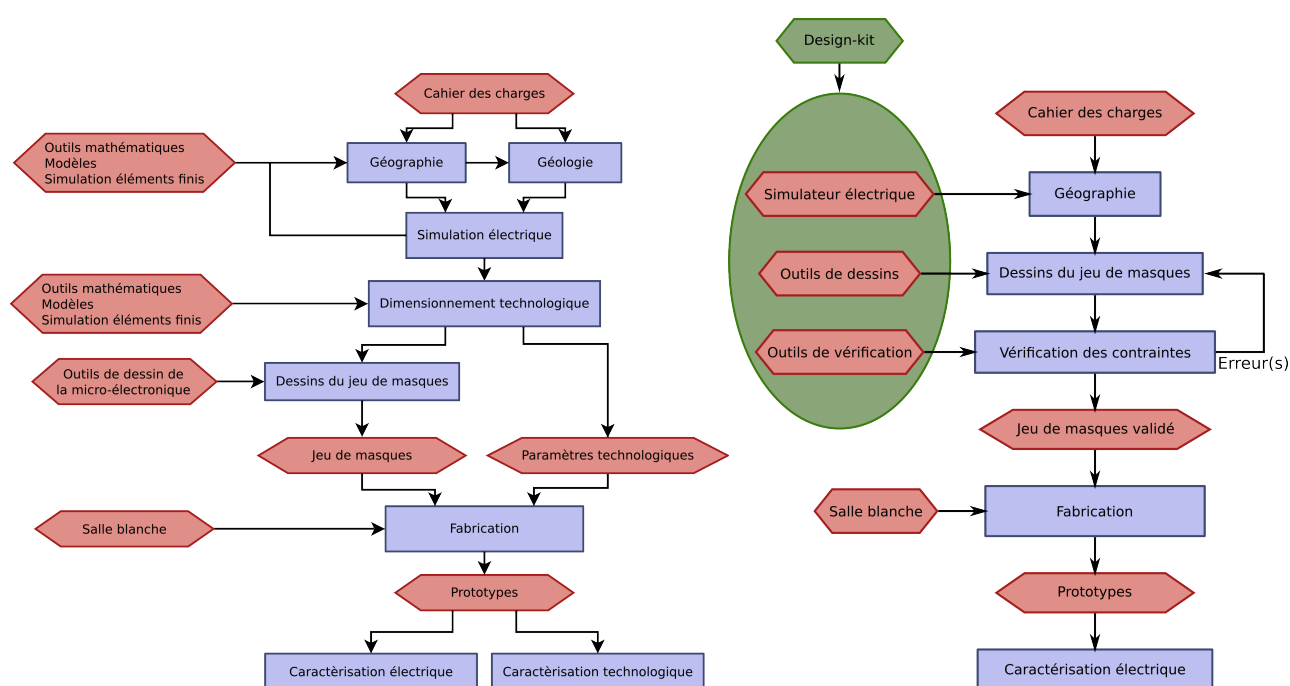


Figure 1-24: comparaison du déroulement de conception de l'électronique de puissance et de la micro-électronique

Nous pouvons immédiatement voir une différence qui nous permet de dire que la transposition ne pourra pas se faire directement et dans sa totalité. Cette différence réside dans la technologie de fabrication. En effet, nous avons vu précédemment que l'électronique de puissance s'appuie sur une technologie variable en fonction des caractéristiques du composant souhaité, au contraire de la micro-électronique qui utilise des technologies fixes et stabilisées. Alors, quels éléments pouvons nous transposer de la démarche de conception de la micro-électronique au domaine de l'électronique de puissance et plus largement à tout système intégré sur silicium à technologie de fabrication variable ? Par ailleurs, les outils développés en micro-électronique, peuvent-ils satisfaire nos besoins, doivent-ils être adaptés, comment tenter de les faire évoluer ou de les spécialiser ? Quels compléments devons nous mettre en place pour faciliter et assister durablement et efficacement la conception en électronique de puissance intégrée ?

Nous pouvons voir que la première étape consiste à établir les besoins et le cahier des charges. Ce travail indispensable reste identique pour le domaine de la micro-électronique et de l'électronique de puissance. De la bonne définition de cette partie dépend grandement les gains possibles dans la suite du problème. En effet, pour l'électronique de puissance, le cahier des charges permet de réduire considérablement le panel des filières technologiques si le choix du type de composant et l'ébauche de la filière peuvent être menés à bien. Par contre, le dimensionnement du système diffère aux niveaux des outils et des méthodes. L'électronique de puissance utilise des outils mathématiques et des simulateurs à éléments finis à chaque nouveau travail de conception ou presque, là où la micro-électronique utilise des simulateurs analytiques associés à des modèles adaptés, conçus et dédiés à une technologie mainte fois réutilisée car adaptée à un grand nombre d'applications.

Lorsque la partie conception est terminée, les masques peuvent alors être conçus. Alors que l'électronique de puissance nécessite un effort manuel régulier au niveau des dessins des masques par manque de design-kits accessibles, la micro-électronique utilise des outils de synthèses pouvant générer l'intégralité du masque (interconnexions comprises) de systèmes très complexes pouvant avoir plusieurs millions de transistors. Par un manque de travail en amont, une fois les masques terminés, le concepteur de composants de puissance peut être amené à faire des vérifications manuellement, là où la micro-électronique a défini les critères à renseigner pour utiliser les outils de vérification et d'extraction automatique. De plus, le concepteur de micro-électronique aura la possibilité de réaliser un rebouclage de vérification entre ses masques et sa conception alors que l'électronicien de puissance devra, à ce stade passer par une phase de prototypage concrète, coûteuse en temps et en argent.

Quels sont les éléments qui devront être mis en place pour que la frontière entre les deux démarches de conception se réduise ? Les éléments à mettre en place sont les suivants :

- la simulation des composants de puissance : ceci implique une modélisation adaptée et une prise en compte de la technologie avec constitution d'une banque de composants ou de cellules élémentaires
- la génération des masques : des masques devront être associés au modèle avec constitution d'une banque de données
- la vérification des contraintes technologiques : les variations de la technologie devront être prises en compte.

La mise en place de tous ces éléments va nous conduire à des adaptations et à la mise en place de concepts, de méthodes et d'outils spécifiques.

En effet, la technologie, point sensible de la réalisation des systèmes intégrés sur silicium, est variable dans le cas de l'électronique de puissance au contraire de la micro-électronique où elle est fixe. Nous devons définir dans quelles conditions et à quel coût nous pouvons rendre ces filières de puissance moins flexibles pour tenter par la suite la création de modèles plus génériques. Ne pouvant pas rendre la technologie totalement fixe ne serait-ce à cause des substrats qui diffèrent tous selon le critère en tension

précisé dans le cahier des charges, nous devons adapter ou mettre en place de nouvelles méthodes.

La partie fabrication des prototypes est partiellement différente entre le domaine de l'électronique de puissance et la micro-électronique en raison de la technologie utilisée qui doit pouvoir en certains points être "adaptable" et optimisable. Toutefois nous devons stabiliser et caractériser les étapes technologiques afin de pouvoir les modéliser au mieux. Ces modèles permettront, à l'aide d'outils spécifiques ou déjà existant, de concevoir des cheminements technologiques rapidement et fiables au maximum.

La mise en place de tous ces éléments aboutira à une plateforme de conception assistée et de prototypage de systèmes intégrés sur silicium (CAPsis) à technologie variable.

Chapitre 2 Spécifications de la plateforme CAPsis

2.1 Introduction

Dans le chapitre précédent, nous avons présenté la problématique associée à la conception d'un composant de puissance, de type VD-MOSFET, associée à une commande intelligente simulant une commande automatique que nous souhaitons prototyper. Nous avons fait le choix d'intégrer cette commande au sein du composant de puissance pour les avantages que cela peut procurer en terme de fiabilité et de simplicité de mise en œuvre. Toutefois, l'effort d'intégration à conduire est important et particulièrement risqué en l'état de nos moyens de conception et de prototypage. Pour comprendre la démarche de conception des composants intégrés sur silicium, nous avons présenté les méthodes de conception existantes en micro-électronique. De longues dates, l'intégration en micro-électronique s'appuie sur des filières technologiques figées, ce qui a permis la mise en place de méthodes, d'outils informatiques et de modèles fiables et représentatif de la réalité. Cet ensemble permet de réduire, simplifier et faciliter le travail du concepteur. Au contraire, en électronique de puissance intégrée, la conception d'un nouveau composant peut conduire à reprendre le procédé technologique ou tout au moins certains paramètres du cheminement technologiques pour optimiser les caractéristiques et les performances du composant. En effet, pour une même famille de composants, lorsque le cahier des charges varie, le cheminement technologique doit pouvoir être adapté pour optimiser les caractéristiques fonctionnelles du composant de puissance. Par conséquent, les outils existant en micro-électronique ne peuvent pas être exploités directement ou sont sous-exploités au vu des fonctionnalités qu'ils peuvent apporter. Dans le même sens, la conception en électronique de puissance intégrée reste de ce fait une affaire d'experts et aucune plateforme industrielle ou académique n'offre un support pour la conception et le prototypage qui soit accessible et fiable.

Afin d'avoir une chance de concevoir notre composant et de simplifier la réalisation des futurs composants de puissance intégrant ou non des fonctions annexes, nous avons décidé de travailler sur la mise en place d'une plateforme de conception et de prototypage des systèmes intégrés sur silicium principalement pour l'électronique de puissance mais qui pourra être également profitable à d'autres domaines où la technologie est également assez variable tels que les micro-systèmes. Afin d'aider le concepteur dans sa démarche et afin de répondre aux problématiques de notre domaine, nous allons devoir faire évoluer les méthodes de travail et mettre en place des concepts différents de ceux de la micro-électronique. Nous devons faire des choix d'outils et de moyens de conception que nous utiliserons dans notre plateforme. Ces choix devront tenter de rassembler au maximum les sensibilités de la discipline, par exemple au niveau des modèles, au niveau formel comme au niveau du langage de mise en œuvre. Nous devons vérifier si l'utilisation des logiciels de la micro-électronique est complètement ou partiellement possible. Afin de valoriser au mieux cette plateforme, à moyen terme, nous souhaitons pouvoir fournir aux personnes extérieures (universitaires, laboratoires, industriels,...) tous les éléments dont ils pourront avoir besoin pour la conception de leurs systèmes. Après quoi, nous leurs proposerons de fabriquer des prototypes de leurs systèmes, dans la mesure du possible et des spécifications clairement énoncées. Pour

ce faire un volet complet autour de la mise en place de la filière technologique devra être conduit. Si cela reste hors du cadre de cette thèse, il n'en reste pas moins qu'il faut dès à présent afficher cette ambition pour pleinement justifier le présent travail.

Pour cela, nous commencerons dans la suite de ce chapitre par présenter en détail : la démarche de conception et celle de prototypage que nous envisageons pour la plateforme CAPsis, puis le du cahier des charges du système sur silicium. Ceci nous permettra de présenter l'architecture globale retenue que nous devons mettre en place pour avoir une plateforme aboutie. Dans la suite, nous nous focaliserons particulièrement sur la modélisation, la génération de masque et leur capitalisation qui constituent ainsi les fondations de notre plateforme. L'objectif étant de grande ampleur, notre travail est donc ici une première étape dans la réalisation de la plateforme : spécification de la plateforme, mise en place d'une aide sur certains aspects.

2.2 Présentation générale

2.2.1 Principales tâches à réaliser

2.2.1.1 Processus simplifié

La plateforme que nous souhaitons mettre en place sera dédiée à la conception de systèmes intégrés sur silicium et à la réalisation de prototypes en salle blanche. Deux grands métiers se dégagent d'un nouvel effort de conception et de prototypage en électronique de puissance. Soit nous cherchons à concevoir un nouveau composant avec des performances spécifiques et nous travaillons sur son optimisation, soit le composant de puissance existe déjà et nous mettons l'accent sur les composants annexes à co-intégrer pour fonctionnaliser l'ensemble. Dans le premier cas, les modifications technologiques pourront être majeures alors que dans le second cas, elles resteront mineures. Dans un premier temps, nous nous proposons de délimiter ce type de contour afin de contenir les difficultés et de partitionner la problématique. Si nous travaillons sur un nouveau composant de puissance, nous n'intégrons pas de fonction annexe. Par opposition, une fois un composant de puissance optimisé, nous pouvons travailler sur l'intégration des fonctions annexes. Par ailleurs, nos travaux devront porter sur les deux volets essentiels qui sont les développements en lien avec la technologie et ceux en lien avec le travail de conception. La figure ci-dessous montre les deux volets qui constituent la plateforme avec leurs entrées et leurs sorties respectives :

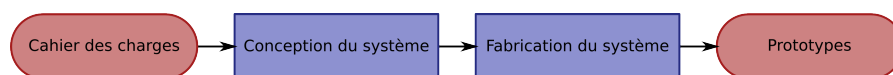


Figure 2-1: processus de conception simplifiés

Nous pouvons immédiatement constater que cette plateforme sera articulée en deux grands volets. Le premier regroupe tous les aspects liés à la conception. Le second volet utilise les résultats de l'effort de conception afin de réaliser des prototypes en salle blanche.

Ces deux volets, bien que séparés, seront fortement liés : les modifications dans l'un entraîneront des

changements dans l'autre. Par exemple, lors de la conception, il est important de considérer les contraintes de fabrication. Dans l'autre sens, la fabrication sera directement impactée par les paramètres technologiques définis durant le travail de conception.

2.2.1.2 Conception

2.2.1.2.1 Entrées/sorties

Un système intégré sur silicium est fabriqué en salle blanche par une succession d'étapes : photolithographie, gravure, dépôt, diffusion, implantation... Pour mener à bien leur réalisation, deux éléments essentiels doivent être conçus : le jeu de masques servant pour les étapes de photolithographie et le cheminement technologique décrivant l'enchaînement des étapes et leurs modes de réalisation. Le schéma ci-dessous présente les entrées et les sorties de chacune des parties avec les liens qui existent entre elles :

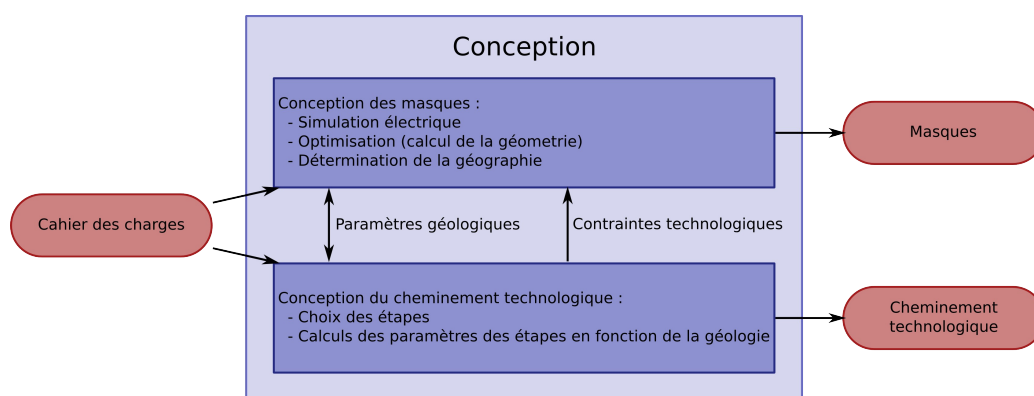


Figure 2-2: module de conception

Les étapes de conception consistent à réaliser un jeu de masques et à mettre au point le cheminement technologique. Pour cela, le concepteur devra adapter les dimensions des éléments qu'il aura choisi pour son système. Ces paramètres seront nommés « données géographiques » (car en surface). Mais il aura aussi la possibilité de faire varier les paramètres structuraux du système que nous qualifierons de « géologiques » (car dans la profondeur). Toutes ces modifications de paramètres permettront d'obtenir un système répondant à un cahier des charges particulier. Toutefois, ce travail ne peut être conduit séparément de celui consistant à paramétrer le diagramme de cheminement. En effet, le cheminement technologique imposera des contraintes à la conception des masques, tels que des alignements, des contraintes d'isolation,... alors que des paramètres physiques et donc technologiques seront à ajuster lors de la conception de la cellule élémentaire du composant de puissance. Par conséquent, nous pouvons dire que ces deux parties, bien que semblant délimitées, sont fortement liées.

2.2.1.2.2 Processus de conception

Nous pouvons identifier deux approches de conception de composant de puissance. La première

consiste à la mise au point d'un composant seul (VD-MOSFET, IGBT,...) sans fonction intégrée, et la seconde en l'ajout d'une fonction au cœur d'un composant de puissance.

Dans le premier cas, nous aurons toutes les libertés sur la technologie (nombre d'étapes, niveau de dopages, température de four,...) pour obtenir le composant de puissance qui répond le mieux au cahier des charges. Toutefois, les paramètres de technologie devront être bornés dans les limites imposées par la salle blanche à notre disposition ; il faudra peut être même imposer des paramètres permettant de rester à un point de fonctionnement connu. Par exemple, un four de recuit toujours utilisé à la même température par les opérateurs de salle blanche sera contraint à cette même température mais le temps sera allongé ou recuit. Ceci permettra une meilleure connaissance de la réponse du four.

Dans le deuxième cas, le concepteur choisira le composant de puissance qui sera le cœur de son composant fonctionnel et n'aura que les paramètres géométriques comme degré de liberté. Ceci imposera des contraintes sur la création de fonctions, par exemple, lors de l'intégration d'un LD-MOSFET de type N dans un VD-MOSFET. Dans ces conditions, la tension de calquage du LD-MOSFET est relativement faible. Pour s'affranchir de ce problème la tension de fonctionnement est abaissée et par conséquent la tension de seuil aussi. Pour cela l'épaisseur d'oxyde de grille est réduit [NGUYEN-THESE]. De plus, le choix de s'imposer un cheminement et d'adapter les fonction permettra de n'ajouter aucune étape technologique qui pourrait apporter une complexification de conception et de réalisation au cheminement.

La conception d'un système intégré sur silicium s'effectue par une succession d'étapes présentées sur le schéma suivant :

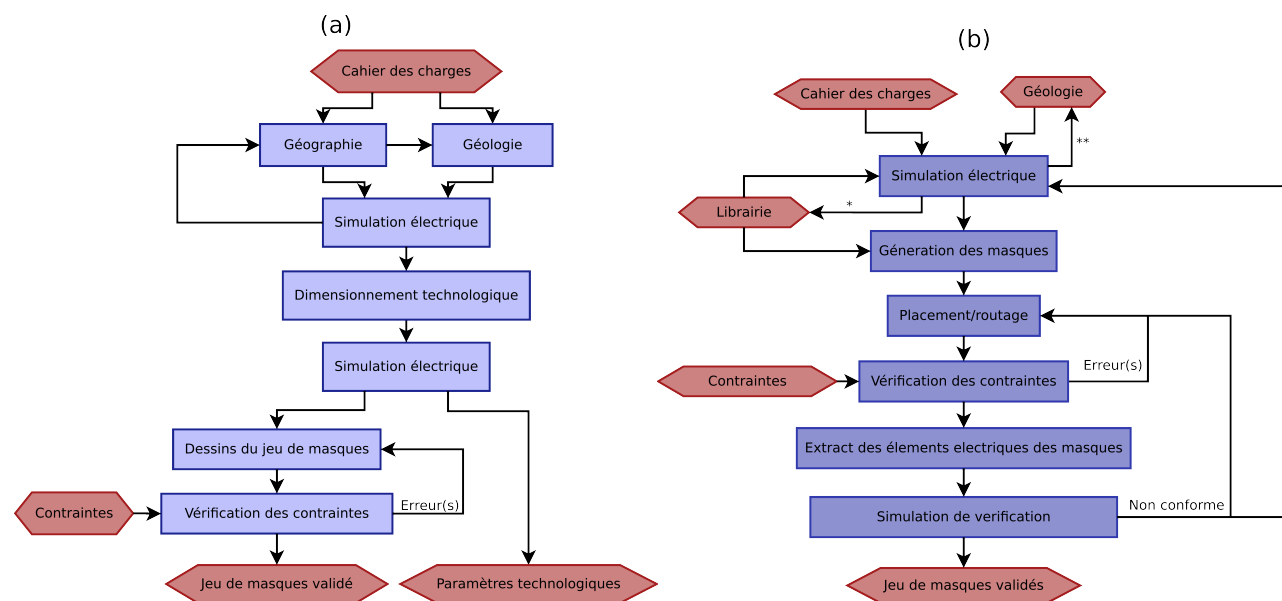


Figure 2-3: à gauche (a) étape de conception d'un composant de puissance. À droite (b) étape de conception d'un système intégré sur silicium

Un concepteur de composant de puissance seul (figure 2-3a) commencera par établir un cahier des charges le plus complet possible. Ceci lui permettra de définir la structure de son composant et par conséquent les étapes technologiques qui devront être réalisées pour arriver à ses fins. Par la suite, un

travail de dimensionnement de la géographie mais aussi l'établissement des caractéristiques de sa structure seront conduits à l'aide de logiciels de calculs et/ou d'optimisation. Puis, le concepteur utilisera des logiciels de simulation à éléments finis ou analytiques afin de valider les valeurs déterminées. Si la simulation met en avant un problème, le concepteur devra recalculer ses cotes. Une fois toutes les dimensions de son composant et les paramètres de sa structure connus, le concepteur calculera les paramètres des étapes technologiques à réaliser (température des fours, temps de diffusion, énergie d'implantation,...) à l'aide de modèles analytiques et d'abaques. Ces paramètres seront soumis à une simulation technologique afin de déterminer la structure « réelle » résultant de notre cheminement technologique. Si le résultat n'est pas satisfaisant, le calcul des paramètres devra être fait à nouveau. Une fois le cheminement validé et toutes les dimensions du composant connues, le concepteur pourra en réaliser les dessins. Par la suite, il utilisera les routines de vérification afin de s'assurer de ne pas avoir violé des règles de dessin. Un fois ceci validé, l'utilisation des outils d'extraction lui permettront de vérifier le bon fonctionnement de la géométrie choisie pour son composant. Si celle-ci ne répond pas aux attentes du concepteur, il aura la possibilité de modifier ses masques et de recommencer les étapes de vérification. Toutes ces vérifications validées permettront la mise en production des masques.

Afin de pouvoir concevoir un système de puissance intégré (figure 2-3b), le concepteur devra, dans un premier temps, définir son cahier des charges. Ces spécifications lui permettront de définir l'architecture fonctionnelle de son système, puis la schématique électrique associée. Il passera ensuite à la mise au point de son système ; pour cela il aura recours à des simulations temporelles. Lorsque celles-ci donneront un bon fonctionnement du dispositif vis-à-vis du cahier des charges, le concepteur pourra passer à la génération automatique des masques des composants de sa schématique. Toutefois, il aura à sa charge le placement et le routage des éléments constituant son dispositif. Une fois ce travail achevé, le concepteur utilisera des routines de vérification afin de s'assurer que les contraintes technologiques sont respectées. Si des erreurs apparaissent, il devra modifier ses masques jusqu'à la suppression de toutes les erreurs. Après quoi, le concepteur pourra extraire les éléments électriques (diodes, résistances, transistors,...) constituant ses masques. Cette schématique extraite prendra en compte le routage et pourra être comparée à la schématique saisie pour mettre en avant d'éventuelles erreurs lors du placement/routage. De plus, des simulations pourront être envisagées en prenant en compte des éléments parasites extraits afin d'étudier l'influence du placement/routage sur le fonctionnement du dispositif. Si cette étude révèle d'éventuels dysfonctionnements, le concepteur aura le choix de modifier soit sa schématique puis refaire toute la démarche de création des masques, soit le placement/routage des éléments de son jeu de masques. Dans les deux cas, il devra refaire les routines de vérification. Ce rebouclage sera effectué jusqu'à validation de toutes les étapes ; c'est seulement à cette condition que les masques pourront être mis en production.

Nous venons de présenter rapidement les différentes étapes de conception de composant simple ou fonctionnel ainsi que leur enchaînement. Comme nous pouvons le constater l'enchaînement de conception de composant simple est proche de celui que nous pourrions imaginer dans l'industrie de composant de puissance. Par contre le cheminement de conception de composant de puissance fonctionnel est semblable à celui conduit en micro-électronique. En effet, nous avons fait l'hypothèse que la filière technologique issue

de la conception et du prototypage du composant de puissance seul est maintenant connue et fiabilisée. De fait, les conditions de conception et les degrés de liberté sont maintenant proches de ceux de la micro-électronique. Nous allons maintenant faire une présentation plus détaillée de chacune d'elles afin de voir ce qu'il faut faire ou mettre en place pour que l'enchaînement soit complet.

2.2.1.2.3 Simulation électrique temporelle d'un système "complexe"

Pour concevoir la ou les fonctions intégrées au sein de son composant de puissance, le concepteur devra réaliser des simulations de la schématique qu'il aura définie, pour définir de manière adéquate les paramètres géométriques des composants et pour valider son fonctionnement. Ces simulations électriques pourront être réalisées à divers niveaux d'abstraction de la technologie de fabrication. Chaque composant est modélisé par son propre modèle analytique et électrique décrivant son comportement dans le domaine temporel. Comme en micro-électronique, le concepteur devra disposer de bibliothèques de modèles plus ou moins fins permettant d'aller jusqu'à la prise en compte des couplages parasites au sein de l'environnement de puissance.

Ainsi, dans un premier temps, le concepteur commencera par utiliser des modèles simples (décrivant la fonction de l'élément) afin de vérifier la faisabilité de son schéma et donc de son système. Par exemple, pour la simulation d'un transistor, le concepteur utilisera un modèle d'interrupteur tout-ou-rien ou une source de courant. Par la suite, il utilisera des modèles plus réalistes, incluant par exemple la prise en compte des effets parasites ; par exemple, les capacités dues aux métallisations ou celles inhérentes aux jonctions PN pour un transistor. Ceci permettra de vérifier que le système répondra aux attentes du concepteur après fabrication.

Enfin, le concepteur ajoutera à ses simulations la prise en compte des influences de l'intégration du système sur une même puce, pour vérifier si le fonctionnement souhaité est correct. En effet, l'intégration côte à côte de deux composants peut entraîner des interactions. Si nous imaginons un transistor latéral intégré avec un transistor vertical, le composant latéral se retrouve dans un environnement vertical, ce qui se traduit par l'apparition de composants parasites. Par exemple, l'intégration d'un LD-MOSFET de type N dans un VD-MOSFET de type N fait apparaître un transistor bipolaire NPN.

De plus, le concepteur peut, dans certains cas, avoir à réaliser des simulations prenant en compte plusieurs domaines physiques. Par exemple, en électronique de puissance, la prise en compte de la thermique permet de détecter des phénomènes de focalisation thermique. Ceci est défini au moyen du modèle analytique de chaque composant.

Ceci implique l'utilisation de modèles avec différents niveaux de finesse. Par conséquent, nous devons mettre en place un modèle pour chaque niveau de description de fonctions et de comportements physiques. Afin de réduire le nombre de modèles que le concepteur doit mettre en œuvre, nous devons proposer une mise en place de modèles ayant des niveaux de finesse configurables par l'utilisateur.

Dans cette phase d'analyse, le concepteur doit choisir de mettre au point son système dans une technologie figée et adaptée à ses besoins. Le cas échéant, il peut être amené à faire évoluer certains des

paramètres provenant des données de la structure technologique du système.

Au final, le concepteur connaîtra toutes les cotes des éléments de son système, nous les nommerons « données géographiques » et tous les paramètres technologiques de la vue en coupe que nous nommerons « données géologiques ».

Pour atteindre cet objectif, il manque à ce jour l'ensemble des modèles génériques comportementaux ainsi que la plupart des modèles d'éléments et phénomènes parasites. Certains sont simples à identifier d'autres le sont moins. Une chose importante apparaît : ces modèles doivent être évolutif en fonction du niveau de finesse attendu lors des simulations. Par ailleurs, il faut qu'ils puissent être paramétrés de manière plus ou moins fiable en fonction d'évolutions éventuellement nécessaires au niveau technologique. Par exemple, les résultats de simulation butent sur un optimum non satisfaisant nécessitant de faire évoluer un paramètre technologique. Le modèle peut alors être étendu, sous conditions et avec précaution, pour tenir compte d'une évolution technologique. Reste bien évidemment à voir comment partager cette paramétrisation technologique et comment la mettre en place dans les différents niveaux de modèles comportementaux.

2.2.1.2.4 Création des masques

Après avoir validé le fonctionnement de son système à l'aide des simulations électriques, le concepteur peut travailler sur la conception du jeu de masques. Cette étape consiste à transposer le dimensionnement électrique issu de la schématique et à dessiner la géographie des éléments du système avec les dimensions déterminées précédemment. L'automatisation de cette tâche permet une accélération, une simplification du processus de conception et une réduction des risques d'erreur notamment dans une démarche où le concepteur peut être conduit à modifier plusieurs fois des cotes de son système.

Pour cela, les masques de tous les éléments de la schématique électrique doivent être automatiquement instanciés dans la technologie choisie précédemment par le concepteur. Ces masques doivent prendre en compte les valeurs des paramètres déterminés lors des différentes simulations électriques. Par exemple, lors de ces simulations, le concepteur va déterminer la largeur du canal d'un MOSFET. Il faudra alors que la dimension du masque de polysilicium servant pour la grille du MOSFET soit de la taille déterminée par la simulation.

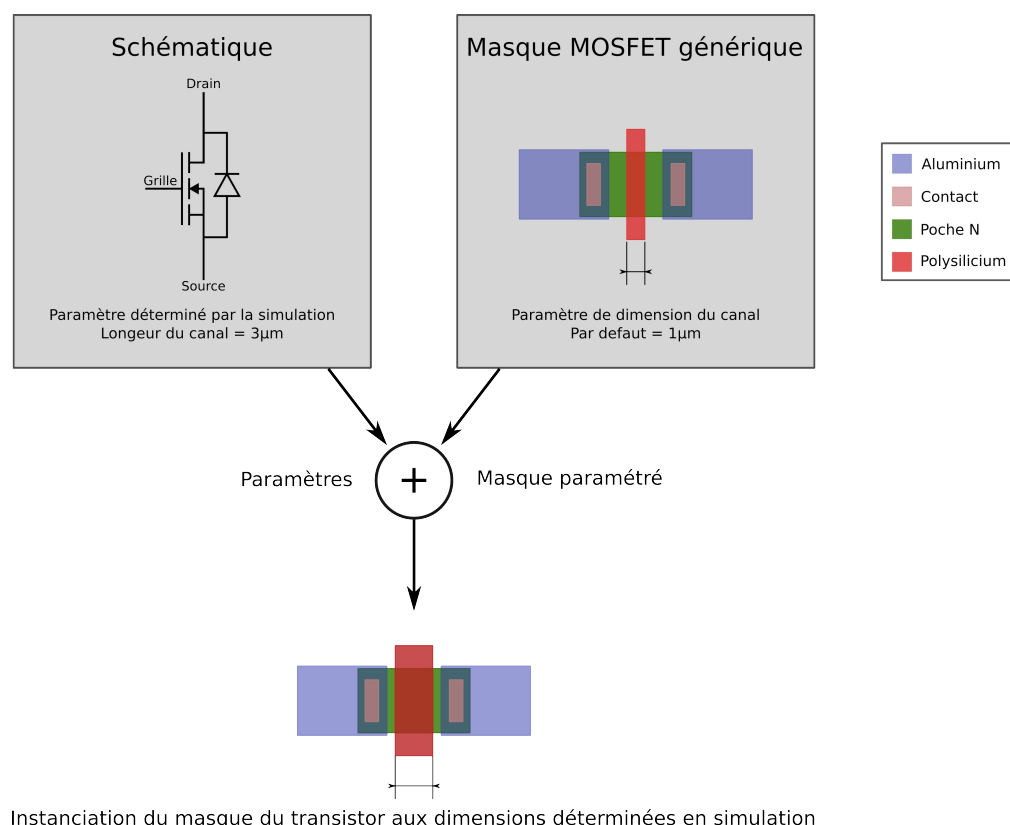


Figure 2-4: instantiation de masques paramétrés

Le concepteur a à sa charge le placement et le routage des éléments du système, tout en étant assisté par un outil de routage. Celui-ci indique sur les masques les connexions entre les éléments électriques existant sur le schéma électrique. Cette assistance est précieuse et réduit considérablement le risque d'erreur. Néanmoins, elle nécessite l'étape préalable de la schématique et l'instanciation des différents composants de la schématique. De fait, la librairie, si elle comporte peu d'éléments doit offrir toute l'arborescence nécessaire à la mise en place de la démarche de conception assistée par ordinateur comme cela est pratiqué en micro-électronique.

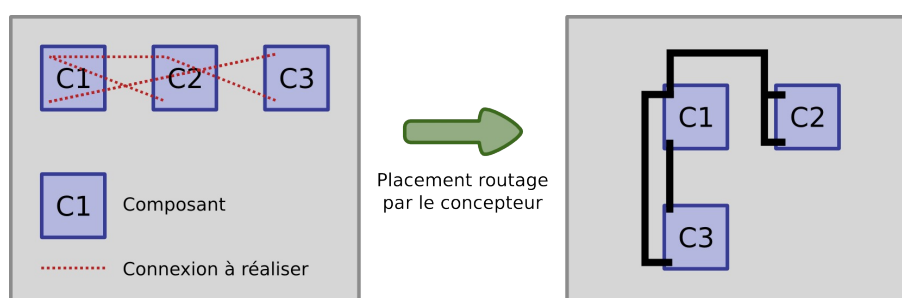


Figure 2-5: placement et routage

Une fois les masques terminés, le concepteur utilise les routines de vérification des contraintes technologiques afin de vérifier les erreurs possibles. Les tailles (largeurs et longueurs) minimum et maximum peuvent être vérifiées, de même que la distance ou l'intervalle entre deux régions ou deux composants.

Ensuite, la plateforme offre la possibilité d'extraire automatiquement les éléments (définis initialement et/ou parasites) qui constituent son jeu de masques. Ceci permet de vérifier si la schématique ainsi retrouvée est identique à celle entrée pour la simulation. De plus, la réalisation de simulations électriques avec ce nouveau schéma peut permettre de mettre en évidence un problème dû aux parasites (résistif et capacitif) créés par le placement/routage. Si des erreurs apparaissent, le concepteur doit modifier le jeu de masques. Puis, il effectue un rebouclage des étapes de vérification afin de converger vers un jeu de masques de son système en essayant de répondre au mieux (si possible en totalité) aux cahier des charges.

2.2.1.2.5 Technologie de fabrication

Le travail de conception du cheminement technologique dépend beaucoup du type de dimensionnement que nous avons à faire. Ainsi, dans le cas du dimensionnement d'un composant de puissance existant ou nouveau, nous pouvons être amenés à reprendre plus ou moins le cheminement technologique. D'un autre côté, si l'on souhaite intégrer des fonctions annexes au sein d'un cœur existant, les modifications technologiques doivent et seront mineures. De fait, on peut aborder la conception du diagramme de cheminement technologique avec une base plus ou moins solide si nous concevons :

Type de composant	Technologie
Un nouveau type de composant	La filière est à définir entièrement en fonction de la structure recherchée du nouveau composant et tous les paramètres doivent être calés
Un composant déjà réalisé mais avec un autre calibre en tension	La filière doit être adaptée au nouveau substrat
Un composant déjà réalisé avec le même niveau de tension mais avec un calibre en courant différent	Un simple ajustage de la filière technologique peut être nécessaire
Une ou des fonctions sont à intégrer sur la base exclusive de la filière de puissance déjà dimensionnée	Pas d'action prévue sur la filière sauf si nécessaire pour obtenir une convergence fonctionnelle (donc électrique).
Une ou des fonctions sont à intégrer sur la base d'une filière de puissance déjà dimensionnée mais avec ajouts technologiques	Une étude complète de la filière peut devoir être conduite.

Tableau 2.1: Choix technologique en fonction du type de composant

Dans le cas d'un nouveau composant, la seconde partie du travail de conception consiste à mettre au point le cheminement technologique en vue de la fabrication du système sur silicium en fonction des paramètres de la structure physique envisagée dans la précédente étape. Cette tâche consiste à définir précisément l'enchaînement et les caractéristiques des étapes technologiques et leur méthode de réalisation. Nous pouvons tout de suite distinguer deux cas de figures. Dans le premier, le concepteur souhaite mettre au point un nouveau cheminement technologique afin de mieux répondre à ses besoins ;

dans le deuxième, le concepteur s'appuie sur une technologie existante mise au point dans le passé. Ceci apparaît dans la plateforme de deux façons différentes avec des outils dédiés et un taux d'implication du concepteur variable.

2.2.1.2.5.1 Mise au point d'un nouveau cheminement technologique

Le schéma ci-dessous présente les étapes que le concepteur doit exécuter pour mettre au point un nouveau cheminement technologique. Nous définissons les entrées et les sorties pour chaque étape.

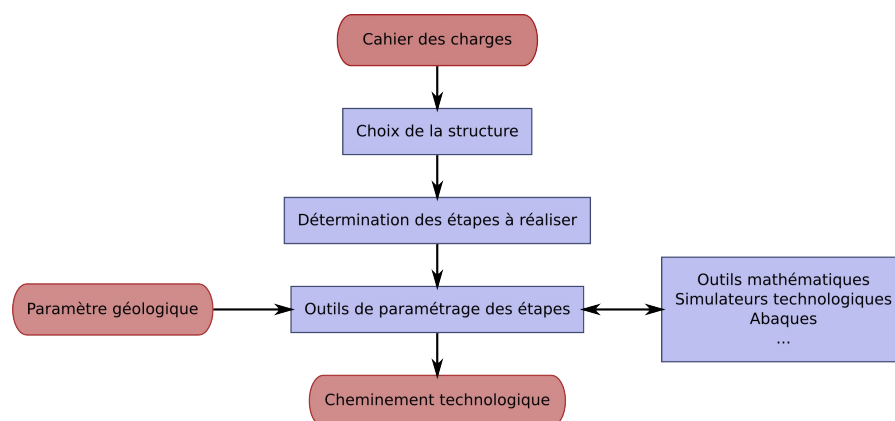


Figure 2-6: étude de la conception du cheminement technologique

Lorsque le concepteur fait le choix de créer son propre cheminement technologique, il commence par déterminer, à l'aide du cahier des charges, la structure géologique de son système. Par la suite, il détermine les étapes à réaliser et leur enchaînement pour arriver à la structure souhaitée (épaisseur d'oxyde ou de polysilicium, profil de dopage, types de dopants,...). Lorsqu'il a fait ces choix, il utilise les outils de dimensionnements technologiques de la plateforme pour calculer les paramètres de chacune des étapes de son cheminement. En effet, les caractéristiques géologiques sont fonction de paramètres technologiques (temps, température, concentration...) de chacune des étapes du cheminement technologique. La plateforme doit donc prendre en compte les valeurs de la géologie souhaitée par le concepteur et calculer les différents paramètres des étapes technologiques. Toutefois, les étapes interagissant entre elles, la plateforme doit prendre en compte la globalité du cheminement pour faire les calculs. Par exemple, cela peut arriver pour un composant comportant deux implantations diffusées. Pour les dimensionner correctement, il faut considérer que la première implantation subira les deux diffusions prévues dans le process. De fait, le paramétrage de la première diffusion devra tenir compte de ceux choisis pour la seconde diffusion.

En outre, le concepteur a en charge de déterminer les contraintes technologiques de sa structure : les alignements obligatoires ou interdits, les cotes critiques,... Ensuite, il pourra utiliser un outil de la plateforme afin de les combiner avec les contraintes imposées par la salle blanche afin de déterminer la liste des contraintes que le concepteur de masques devra suivre. De plus, l'outil doit fournir au logiciel de dessin des masques et les données utiles pour les routines de vérification.

L'outil de conception de cheminement technologique devra donc dans un premier temps demander les

étapes que le concepteur souhaite réaliser parmi une liste d'étapes offerte par la plateforme. Il indiquera l'enchaînement de ces étapes, les contraintes de la structure et les paramètres de celle-ci. Par la suite, l'outil devra être capable de démarrer les outils de calculs, de simulations et avoir recours à des abaques afin de déterminer les paramètres du cheminement à partir des paramètres de la structure. Par la suite, l'outil concaténera les contraintes de la structure et des étapes afin de générer les fichiers de vérification de masques. Enfin, l'outil créera un fichier décrivant le cheminement technologique utile pour les opérateurs de salle blanche.

2.2.1.2.5.2 Reprise d'un cheminement technologique préexistant

Un concepteur choisit de concevoir ses dispositifs dans une technologie préexistante dès le début de son projet. Ce choix lui permet d'avoir accès aux éléments présentés précédemment, utiles pour la simulation électrique et à la vérification de son système dans cette technologie. Toutefois, le concepteur aura toujours la possibilité de faire varier certaines données géologiques de son système afin que de répondre au mieux à son cahier des charges. Cependant, il ne pourra en aucun cas modifier les étapes technologiques ou leurs enchaînements, mais uniquement la structure finale.

Pour cela, la plateforme doit fournir au concepteur un outil de calcul des paramètres des étapes en fonction de la structure. Puis il doit formaliser ce cheminement technologique pour simplifier sa lecture par les opérateurs en salle blanche et de le capitaliser pour une futur utilisation.

2.2.1.2.6 Assemblage de projets de réalisation pour partager une fabrication

Après avoir réalisé les étapes précédentes, le concepteur de système fournit au service de prototypage de la plateforme les masques et le cheminement technologique des prototypes qu'il souhaite fabriquer. En fonction de la cohérence du cheminement technologique retenu avec d'autres projets, plusieurs projets peuvent être assemblés sur le même procédé technologique. C'est particulièrement le cas lorsque le composant de puissance est déjà existant et que son procédé technologique est figé. La figure suivante présente les étapes qui devront être réalisées pour cela :

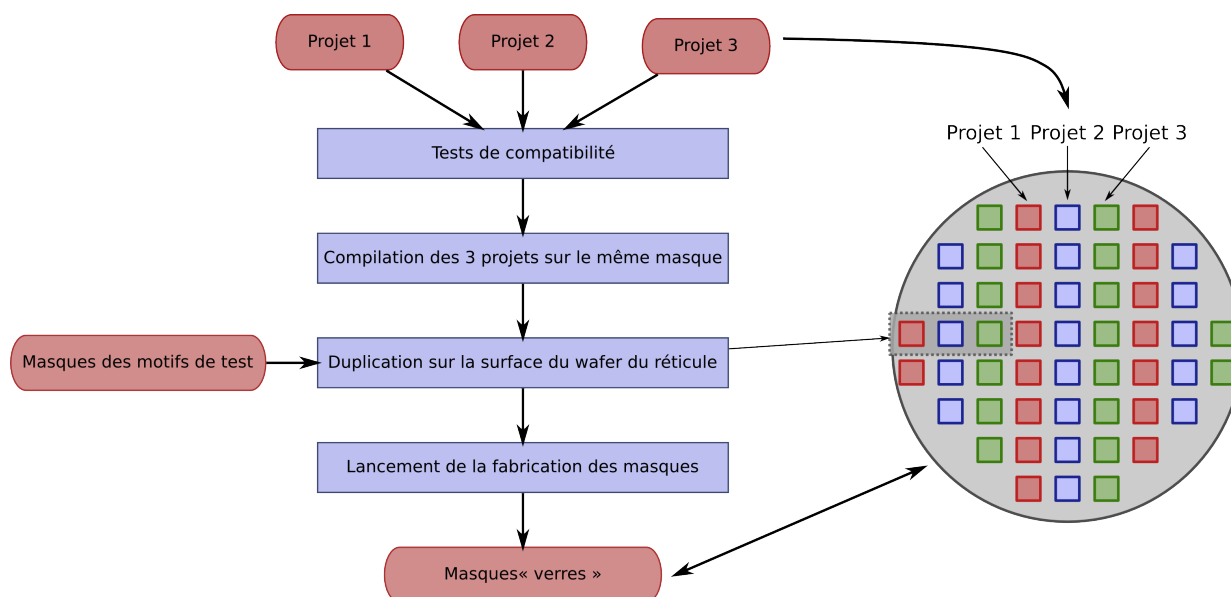


Figure 2-7: étapes pour réaliser les masques "verres"

Le service prototypage de la plateforme récupère les masques des différents projets et rassemble ceux compatibles technologiquement sur un même motif, nommé réticule. Ce dernier est dupliqué sur une surface correspondant à celle de la tranche, et des motifs de test sont ajoutés sur la tranche. Après cela, le jeu de masques peut être mis en production, ce qui permettra la mise en fabrication des prototypes en salle blanche.

2.2.1.3 Prototypage / Salle Blanche

2.2.1.3.1 Procédé

Une fois les étapes de conception réalisées et le jeu de masques de la tranche réalisé, le service de prototypage de la plateforme peut les transmettre aux opérateurs de la salle blanche. Ceux-ci auront en charge la réalisation pratique des différentes étapes décrites par le cheminement technologique. Le schéma ci-dessous présente les étapes et les éléments de ce volet de fabrication :

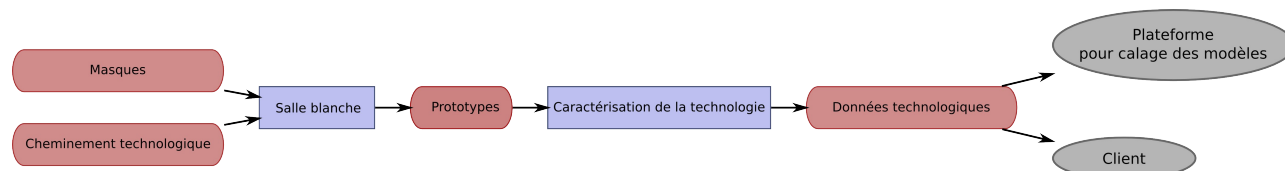


Figure 2-8: fabrication et caractérisation des prototypes

Les opérateurs de salle blanche réalisent les étapes décrites dans le cheminement technologique et prennent soin d'ajouter au cas par cas des tranches supplémentaires «témoins» du déroulement technologique afin de pouvoir vérifier le bon déroulement du procédé de fabrication via la caractérisation de certaines étapes en cours ou après le process. Une fois les tranches terminées, les différents prototypes

sont découpés et mis en boîtier. Les motifs de test sont ensuite caractérisés, afin de vérifier le bon fonctionnement des briques élémentaires (ex : jonction NP) ainsi que les caractéristiques de la structure physique ainsi réalisée. Ainsi ils permettent la reconstitution à posteriori de la structure géologique réalisée. De plus, la caractérisation électrique liée à la technologie devra être conduite, afin de déterminer par exemple, la tenue en tension maximale de la structure verticale, les tensions de seuil des structures MOSFET... Ceci sera réalisé à l'aide de motifs de test particuliers à chacune des valeurs à caractériser. Par exemple, une diode verticale standard sera mise en place pour le test de tenue en tension, ainsi que des MOSFET pour déterminer la tension de seuil. Ceci permettra un retour d'expériences sur les modèles de simulation afin que ces derniers soient le plus proche de ce qui se produira après fabrication. Toutes ces données de caractérisation sont fournies au client du projet afin qu'il puisse en tenir compte lors de la mise en œuvre et lors de la caractérisation de ses prototypes.

Cette partie pratique repose sur la mise en place d'étapes et de filières technologiques les plus stables possibles et les plus caractérisées. C'est un travail important de mise en œuvre d'équipement, de caractérisation et de maintenance qui repose sur une implication permanente et importante des opérateurs salle blanche.

2.2.1.3.2 Autres aspects liés à la salle blanche

Outre les points énoncés plus haut, les données déterminées par les caractérisations des tranches de tests servent à caler les différents modèles utiles pour les étapes de conception. Ceci permet que les simulations soient au plus proches de la réalité afin de garantir le processus de conception des prototypes.

Une autre mission du module salle blanche est de permettre la mise au point d'étapes technologiques. Ceci se fait en plusieurs phases. La première est l'étude de l'étape elle-même pour déterminer les conditions de son bon déroulement. La deuxième est de l'éprouver afin de pouvoir l'optimiser et la stabiliser (dans un souci de reproductibilité).

Enfin, une modélisation de la nouvelle étape permet de l'ajouter au choix proposé lors de la conception du cheminement technologique.

2.2.2 Outils à mettre en place

Dans la partie précédente, nous avons fait une présentation générale des différents volets de conception et de prototypage de la plateforme. Certains de ces éléments existent dans le domaine de la conception de systèmes en micro-électronique. Nous allons, dans cette partie, faire le choix des outils que nous utiliserons : les éléments réutilisables issus de la micro-électronique et les parties à mettre en place.

Nous pouvons distinguer quatre grandes parties dont deux en conception :

- la création du jeu de masques
- la mise au point du cheminement technologique
- la réalisation

- la caractérisation des prototypes

2.2.2.1 Outils de créations des jeux de masques

En micro-électronique, la définition et le dessin des jeux de masques se font à l'aide de logiciels informatiques. Les principaux logiciels utilisés sont constitués d'une partie simulateur pour la mise au point du système et d'une partie dessin pour la définition des masques en eux-mêmes. Ils reposent sur des bases de données couplées et regroupées dans des « design-kits ». Pour chaque technologie de fabrication, les fondeurs mettent au point et fournissent un design-kit dédié. Ces derniers sont constitués des différents modèles et des masques de chaque composant réalisable dans la technologie. Nous y trouvons aussi la définition de cette dernière, la liste des niveaux de masquage, la liste des contraintes liées à la technologie, les liens existant entre les différents niveaux de masques,...

Le concepteur utilise directement le design-kit de la technologie qu'il souhaite utiliser pour concevoir son système. Il n'a pas à se soucier de la technologie car celle-ci étant fixe, il n'intervient à aucun moment sur elle.

Actuellement Cadence et Mentor sont les deux plateformes logiciels principalement utilisées dans le domaine de la micro-électronique. Nous avons fait le choix d'utiliser Cadence disponible au CIME Nanotech, car nous l'avons pratiqué par le passé pour la réalisation d'un jeu de masques. Il nous a permis de ne pas avoir à redécouvrir un logiciel et de pouvoir réutiliser certaines parties réalisées dans le passé. L'outil Cadence nous fournit aussi les outils de simulation de systèmes analogiques, puis nous permet de générer, créer, modifier et vérifier des masques. Un rebouclage depuis la phase d'élaboration des masques vers la simulation électrique est possible à l'aide de routines faisant l'extraction des composants constituant le jeu de masques. Pour faire tout cela, à l'image du support offert par les fondeurs, nous avons besoin de mettre au point un design-kit. La spécificité de l'électronique de puissance réside dans le fait que nous sommes amenés à jouer sur les paramètres physiques et donc technologiques de la filière technologique en particulier lorsque l'on souhaite concevoir un nouveau composant de puissance induisant une filière spécifique. Par conséquent, nos design-kits doivent pouvoir s'adapter aux variations de la technologie qui seront imposées par la conception optimale de chaque composant de puissance. En effet, il faut bien sentir une chose : le composant de puissance est sensible à la structure physique et donc sa technologie doit être adaptée, au moins à minima, pour optimiser ses caractéristiques fonctionnelles et électriques. De fait, il existe un nombre non négligeable de filières technologiques mais surtout il existe un nombre important de jeux de paramètres technologiques liés à l'optimisation conduite pour chaque cahier des charges de puissance. De fait, si l'on ne veut pas avoir à construire un design kit pour chaque nouveau cahier des charges de puissance lorsque nous souhaiterons intégrer des composants et fonctions annexes au sein même du composant, il faut que nos design kit offrent la possibilité de tenir compte, à minima, de certains variations technologiques.

Il semble possible de faire progresser ce point sur l'identification des paramètres critiques puis sur la paramétrisation des modèles et sous éléments du design-kit pour pouvoir en tenir compte. Nous verrons

plus loin comment nous allons prendre cela en compte.

2.2.2.2 Outils de cheminement technologique

La mise au point du cheminement technologique est faite en plusieurs étapes. Une fois que le concepteur a choisi les étapes technologiques, leur enchaînement et les masques nécessaires à la réalisation de son dispositif, il utilise un outil de la plateforme CAPsis pour calculer les paramètres des étapes (durée de diffusion, température, dose, énergie, concentration en agents d'attaque...).

L'outil de conception technologique doit pouvoir assister le concepteur dans la paramétrisation du diagramme de cheminement en proposant une identification du chemin de conception critique et en offrant des mises en garde dans le travail de conception pour limiter les risques d'erreurs. Pour cela l'outil doit incorporer un ensemble de données relatives à chaque étape technologique et pouvoir les rendre interactives d'une étape à l'autre. A la suite de la définition de l'enchaînement des étapes, l'outil pourra alors assister avec fiabilité le concepteur dans la paramétrisation technologique du procédé en fonction du cahier des charges structurel attendu. Puis, le concepteur lancera les routines de calculs des paramètres. Pour cela, l'outil de conception technologique lance des calculs et des simulations en utilisant les logiciels adéquats, tels que Silvaco pour les simulations par éléments finis. Ensuite, il fournit un fichier décrivant le cheminement technologique complet et prêt à l'emploi. Cette approche sera fortement utile lors de la paramétrisation technologique d'une nouvelle filière.

Le concepteur de systèmes peut aussi vouloir choisir d'utiliser un cheminement technologique « prêt à l'emploi ». Ce type de cheminement définit un certain nombre d'étapes et leur enchaînement ; seul l'ajustement de certains paramètres doit être effectué en fonction des caractéristiques géologiques que le concepteur souhaite. Comme dans le cas précédent, l'outil de conception de cheminement technologique doit être en mesure de réaliser ce calcul.

De plus, une écriture « normalisée » du cheminement technologique permet une capitalisation efficace dans notre base de données. Cela permet une réutilisation rapide des cheminements déjà existants par une personne ne connaissant pas forcément la démarche de conception du cheminement de fabrication. Ceci permet au concepteur de systèmes de puissance complexes de travailler soit avec un cheminement technologique déjà existant, soit d'en créer un nouveau.

2.2.2.3 Préparation des tranches

Le concepteur fournit à la plateforme CAPsis sur son volet technologies de réalisation les jeux de masques des systèmes qu'il souhaite réaliser. Un outil doit permettre de réaliser automatiquement le réticule des projets, de même technologies, puis la duplication du motif sur toute la surface de la tranche. Cet outil permet un gain de temps et de réduire les erreurs possibles. De plus, lors de cette étape, l'outil doit ajouter sur le jeu de masques une série de motifs d'alignement qui servent de repères pour aligner les masques entre eux lors de la fabrication, ainsi que des motifs de test permettant la caractérisation de la technologie. Ces motifs devront être déterminés et générés pour chaque technologie afin de pouvoir retrouver toutes les

caractéristiques de la tranche et de savoir en cas de non conformité, quelles étapes posent problème et pourquoi.

2.2.2.4 Réalisation des prototypes

Une fois le jeu de masques conçu, il pourra être commandé auprès d'une entreprise de fabrication de masques. Après quoi, la réalisation des prototypes pourra être initiée. Durant ce processus, des tranches de tests seront ajoutées au lot à fabriquer, elles serviront à la vérification en cours de fabrication du bon déroulement des étapes. Nous devons donc déterminer les étapes qui seront absolument utiles de vérifier. Par exemple l'oxyde de grille qu'impose la tension de seuil du composant devra être testé, afin de garantir la tension souhaitée.

Mais ces tranches tests pourront être utiles pour qualifier la salle blanche. En effet, que l'étape soit réussie ou non, nous enrichirons nos connaissances sur les bâtis de la salle blanche. Ceci, nous permettra de caler les modèles et les abaques qui servent lors de la détermination des paramètres du cheminement technologique.

2.2.2.5 Vérification de la technologie

Une fois la fabrication achevée, la caractérisation de la technologie peut être lancée grâce aux motifs de test et à l'aide de divers appareils : traceur de caractéristiques statiques, Spreading Resistance Profiling (SRP)... Nous devons donc faire le choix des motifs de test à implanter en fonction du cheminement choisi. Quelques tests devront être mis en place pour vérifier rapidement les points critiques de la structure et pour vérifier la conformité de la technologie. Par exemple, un test vérifiant la zone de tenue en tension ou l'oxyde de grille permettra rapidement de savoir si le composant tiendra correctement de tension et si la grille a des chances de fonctionner.

Tous ces tests devront être « normalisés » et une méthodologie de caractérisation devra être mise en place, pour garantir les résultats obtenus et accélérer le processus de caractérisation.

Ceci permet au concepteur de systèmes sur silicium de connaître la technologie des systèmes finalement obtenus afin d'en tenir compte lors de ses essais. De plus, ces mesures issues des prototypes fabriqués permettent d'ajuster les modèles afin que les simulations concordent au mieux à la réalité.

2.2.2.6 Données partagées durant les étapes de conception

Nous avons pu constater qu'il existe des liens entre les trois étapes que sont la conception de masques, la conception du cheminement technologique et la réalisation des prototypes. Afin de réaliser ces étapes, nous devons mettre en commun un certain nombre de données, modèles, procédés technologiques... Pour cela, la création d'une base de données partagée au sein de la plateforme doit être envisagée. Pour mettre en place cette base de données, nous devons déterminer quelles sont les données que nous souhaitons échanger ou partager entre les différentes parties.

Ce partage de données sera un point clé de notre plateforme car elle centralisera les informations de

toutes les différentes parties. C'est pour cela qu'elle sera abordée plus en détails au cours des travaux présentés dans cette thèse. Nous aborderons aussi la mise en place de modèles et de masques paramétrés dans le but de remplir cette base de données et de mettre les bases de la plateforme en place.

2.2.3 Architecture de la plateforme

Précédemment, nous avons présenté les différents modules qui constituent la plateforme CAPsis. Le schéma ci-dessous présente l'architecture complète de la plateforme. Nous y trouvons les différents modules et les choix que nous avons fait précédemment, ainsi que les liens qui existent entre les modules.

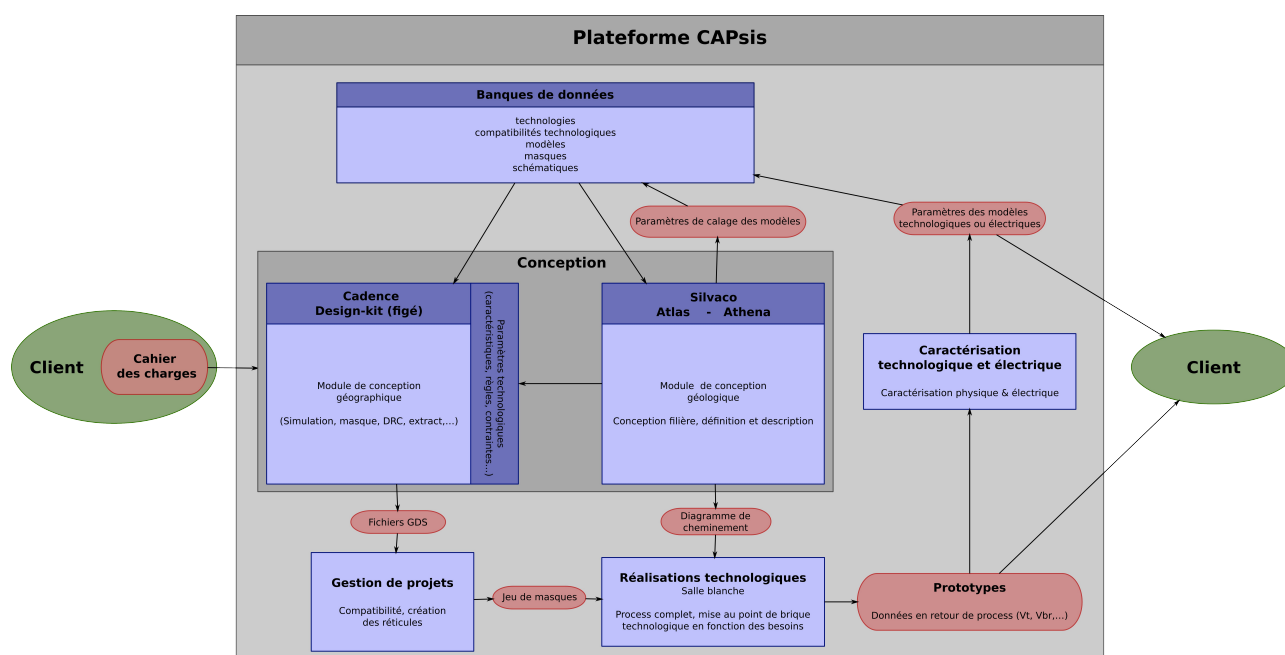


Figure 2-9: architecture de la plateforme CAPsis

La plateforme s'articule autour d'une base de données capitalisant toutes les informations utiles à la conception : modèles, masques, technologies,... Celle-ci est directement connectée aux modules de conception constitués d'une partie géographique et d'une partie géologique.

Le module de conception géographique servant à la mise au point du système et à la réalisation des masques est alimenté d'une part, par la banque de données, mais aussi par le cahier des charges du concepteur. Il donne en sortie les fichiers informatiques du jeu de masques du système. Cette partie s'appuie fortement sur les logiciels de conception de masques du domaine de la micro-électronique. Utilisant les moyens du CIME Nanotech, nous avons fait le choix d'utiliser uniquement la plateforme Cadence.

En entrée du module de conception géologique, nous trouvons le cahier des charges du concepteur, la base de données et des paramètres déterminés par le concepteur dans le module de conception géographique. En sortie de cette partie, nous obtenons le cheminement technologique utilisé directement par les opérateurs de salle blanche. Tout ce travail s'appuie principalement sur des logiciels de calculs et de simulations par éléments finis. Nous utiliserons dans un premier temps Silvaco.

Après la conception, nous trouvons un module de gestion de projets, qui consiste en la concaténation, après vérification de la compatibilité technologique, des systèmes issus de divers projets et des motifs de test sur une même tranche. Après quoi, le jeu de masques est mis en production.

Ces masques et le cheminement technologique sont fournis à la salle blanche afin de fabriquer les prototypes. Plusieurs lots d'un même jeu de masques seront réalisés en parallèle afin d'avoir une redondance de prototype pour en garantir la réussite. Au cours de cette fabrication, les opérateurs de salle blanche ajouteront des tranches témoins servant à la vérification du bon déroulement des diverses étapes et à leurs caractérisations. De plus, le module de réalisation technologique aura en charge la création, la stabilisation, la caractérisation et la modélisation de nouvelles étapes technologiques. Ceci afin d'offrir un large choix de possibilités aux utilisateurs.

Une fois les prototypes réalisés, le module de caractérisation est nécessaire pour retrouver, grâce aux motifs de test et aux tranches témoins, toutes les caractéristiques de la technologie : données géologiques, grandeurs électriques importantes ou critiques... Ces paramètres sont injectés dans la banque de données dans le but de la caler à la réalité et sont fournis, avec les prototypes, aux clients.

2.3 Concepts étudiés dans ce projet

2.3.1 Introduction

Nous venons de présenter les différents éléments qui constitueront CAPsis à terme. Toutefois à court terme, nous avons commencé par mettre en place les éléments essentiels pour la réalisation des masques. Pour cela, nous allons réfléchir plus particulièrement à la mise en place du module de conception géographique. Ceci implique la mise en place de la base de données servant à alimenter ce module. La figure ci-dessous met en avant (zone non grisée) les parties de l'architecture que nous allons étudier et mettre en place :

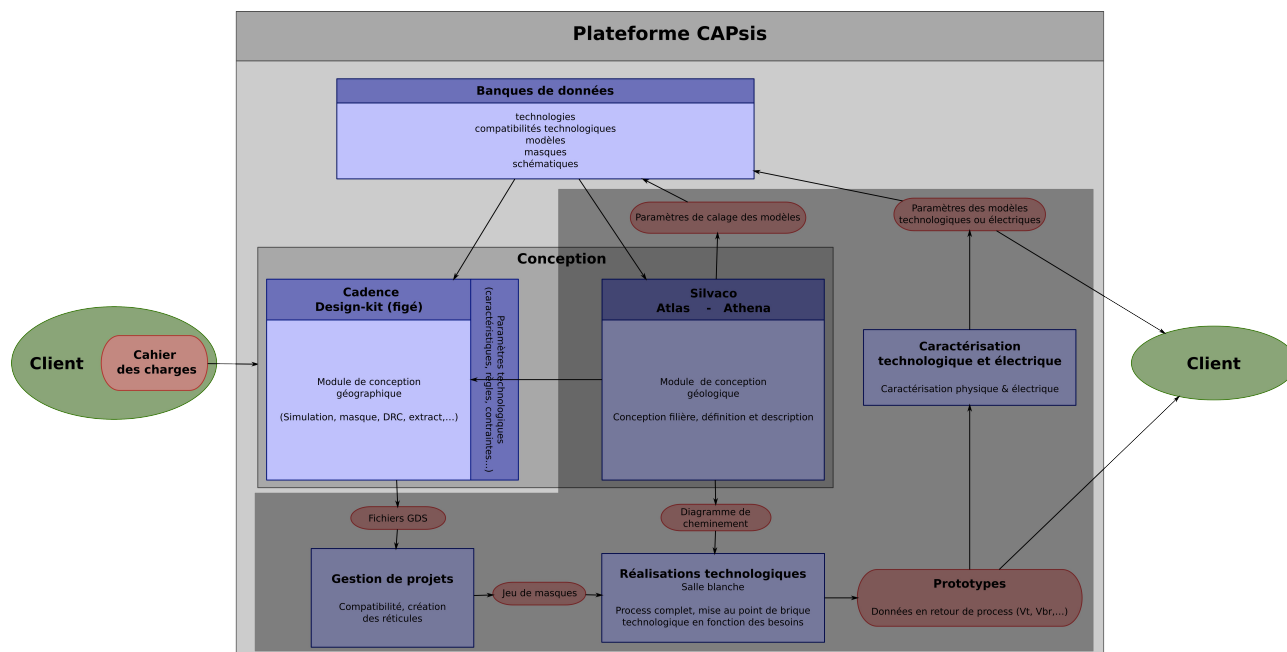


Figure 2-10: partie de l'architecture étudiée

2.3.2 Base de données

Afin de capitaliser tous les outils et toutes les informations utiles à la plateforme, nous allons mettre en place une base de données. Pour cela, nous allons définir les éléments qui vont la constituer et leurs interactions.

Pour illustrer ces aspects, nous allons considérer l'exemple d'un composant de puissance fonctionnel. Celui-ci peut être décomposé en deux parties : une partie composant de puissance et une partie fonction. Cette dernière est, la plupart du temps, réalisée par un assemblage de composants (de puissance ou de micro-électronique).

Les composants qu'ils soient de puissance ou de micro-électronique, peuvent être découpés en sous éléments que nous nommerons blocs technologiques fonctionnels avancés (BTFA) par opposition aux blocs technologiques fonctionnels élémentaires (BTFE) qui les constitueront. Ces derniers sont très proches de la structure physique élémentaire issue des étapes technologiques de fabrication qui permettent leur réalisation et constituent les blocs de base de la physique du semi-conducteur.

Nous aboutissons ainsi à sept niveaux de découpage de nos composants fonctionnels. Le tableau suivant présente des exemples pour les différents niveaux :

Niveau	Exemples
Systèmes	VD-MOSFET auto-commandé, IGBT avec protection en surtension
Pré-systèmes	Commande rapprochée, monitoring, protection en tension...
Fonctions	Circuit logique (NAND, NOR, multiplexer...), amplificateur de puissance, AOP, capteur...

Composant	VD-MOSFET/IGBT canal N ou P (terminaison en tension, cellule MOSFET, amenée de courant...), LD-MOSFET canal N ou P (cellule, drain de charge, via, amenée de courant...), diode PIN, transistor bipolaire...
BTFA	Terminaison en tension, cellule VD-MOSFET, cellule LD-MOSFET, amenée de courant, drain de charge...
BTFE	Jonction, structure MOS, contact ohmique, conducteur, isolant...
Étapes technologiques	Implantation, diffusion, gravure, dépôt...

Tableau 2.2: niveaux de hiérarchisation et exemples

Nous utilisons donc l'assemblage d'éléments d'un niveau pour constituer celui d'un niveau supérieur. De ce fait, chaque élément doit être associé à des données qui permettront, grâce à leur assemblage, de réaliser toutes les étapes de conception d'un système (simulation, création des masques, fabrication et caractérisations).

Nous avons identifié sept types de données qui peuvent être associées à un élément :

- les masques : décrit le motif des masques de l'élément
- les modèles : définit le modèle de simulation électrique
- la schématique : indique la schématique électrique de connexion des éléments constituant l'élément
- la technologie de fabrication utilisée : indique les possibilités technologiques utilisables pour la fabrication de l'élément
- les technologies compatibles : liste les technologies qui peuvent être associées avec l'élément ou les conditions dans laquelle l'élément peut l'être
- les paramètres : liste les paramètres géographiques et/ou géologiques de l'élément
- les contraintes technologiques : indique les contraintes que l'élément impose à la technologie de fabrication.

Les éléments de notre base de données ne possèdent pas forcément tous ces types de données. Afin de déterminer les types de données à associer avec un niveau de découpage, nous allons présenter plus en détail chacun de ces niveaux du plus élémentaire au plus complexe.

2.3.2.1 Technologie

Ce niveau constitue la base de tous les dispositifs que nous souhaitons réaliser, car il décrit toutes les étapes technologiques proposées par la plateforme permettant de synthétiser des fonctionnalités semi-conductrices élémentaires du type jonction, structure MIS, conducteur.... Ce niveau contient les modèles technologiques utiles lors de l'élaboration du cheminement technologique. De plus, il donne les contraintes technologiques de l'étape, qui peuvent être d'ordre géographique (dimension min/max), d'enchaînement (étape interdite avant ou après) ou physique (température min/max au cours du processus).

2.3.2.2 BTFE

Les blocs technologiques fonctionnels élémentaires constituent la base de la physique du semi-conducteur. À ce titre, nous pouvons associer à chaque BTFE : un modèles, les technologies compatibles et celles utilisables pour leur réalisation. Nous avons identifié cinq BTFE :

- la jonction P/N
- la structure MIS (métal, isolant, semi-conducteur)
- le contact métal/semi-conducteur
- le conducteur (métal ou semi-conducteur)
- l'isolant

Chacun de ces éléments possède un modèle et des sous-ensembles décrivant au mieux son fonctionnement électrique, thermique, mécanique,... lorsque cela est possible.

2.3.2.3 BTFA

Les blocs technologiques fonctionnels avancés sont soit un assemblage de BTFE, soit une création totale lorsque celle-ci apparaît plus facilement et logiquement. Ils réalisent des fonctions électriques. Ce niveau permet par exemple la réalisation des fonctions qui constituent le cœur d'un composant. De ce fait, nous leur associons un modèle qui permet la simulation temporelle de la fonction au cours des phases de conception. De plus, les masques de la fonction sont également associés aux BTFA afin de pouvoir réaliser les masques des composants. Lorsque le BTFA est réalisé par un assemblage de BTFE, ces derniers imposent une ou des technologies de fabrication. Mais, lorsqu'il s'agit d'une création totale, il faut associer les technologies compatibles et utilisables. Les BTFA intègrent également des conditions d'utilisation et d'association comme par exemple des règles de proximité liées au comportement électrique mais aussi à la compatibilité avec la technologie de réalisation (pour le respect des largeurs et inter-distances par exemple).

2.3.2.4 Composant

Ce niveau regroupe tous les composants réalisables avec la plateforme sur la base d'une filière donnée. Par conséquent, il constitue la base de l'électronique de puissance et de la micro-électronique. La création d'un élément de ce niveau est effectué par assemblage de BTFE et de BTFA. Un composant est utilisé pour la conception et la réalisation de dispositifs. De ce fait, à chaque composant, nous associons des modèles et des masques.

De plus, tous les composants n'étant pas tous réalisés dans des technologies identiques, il faut renseigner lesquels sont compatibles ou rendre leurs modèles adaptables aux variations ou modifications technologiques. Dans certaines conditions, il existe aussi des composants qui ne peuvent pas être intégrés avec d'autres pour des raisons d'isolation électrique : il faut donc indiquer les composants qui ne sont pas compatibles. En plus des modèles et layout, les composants offrent aussi un ensemble de conditions ou de

règles de bonne utilisation et de bon fonctionnement dont le concepteur pourra tenir compte dans son travail de conception.

2.3.2.5 Fonction

À ce niveau, nous regroupons l'ensemble des fonctions basiques issues du domaine de la micro-électronique et de l'électronique de puissance. Elles sont réalisées à l'aide des éléments du niveau « composants » de technologies compatibles. Elles sont principalement utilisées pour la réalisation de fonctions plus complexes permettant de réaliser la fonction globale souhaitée par le concepteur mais elles peuvent tout de même être utilisées seules.

Ces fonctions sont réalisées par un assemblage de composants.

En terme de modélisation, nous retrouvons cette notion d'assemblage et ainsi, aucun travail supplémentaire n'est à effectuer pour modéliser la fonction. Toutefois, afin de réaliser des simulations électriques pour les phases de conception, nous devons fournir directement la schématique de connexion qui est requise par le logiciel de simulation. L'implémentation d'une fonction dans un système intégré imposera d'associer un masque à la fonction pour réaliser l'assemblage des masques des composants qui la constitue.

2.3.2.6 Pré-système

À ce niveau, nous trouvons des macros fonctions directement implémentable dans un composant de puissance. Les éléments de ce niveau sont créés par un assemblage de fonctions et/ou de composants compatibles technologiquement. Comme le niveau précédent, aucun élément nouveau ne requiert une modélisation, ce qui nous permet de définir l'élément de simulation par sa schématique électrique. De plus, un jeu de masques devra être ajouté afin de définir la structure du pré-système.

2.3.2.7 Système

À ce niveau, nous positionnons le dispositif final que le concepteur souhaite réaliser. Il ne fait pas à proprement dit, partie de notre base de données, mais il est créé grâce à elle.

Le tableau ci-dessous récapitule les types de données pour chacun des niveaux.

Niveau	Exemples
Pré-systèmes	Schématique, masques, technologie utilisée et compatibilité technologique
Fonctions	Schématique, masques, technologie utilisée et compatibilité technologique
Composant	Modèle analytique, masques, technologie utilisée et compatibilité technologique
BTFA	Modèle analytique, masques, technologie utilisée et compatibilité technologique
BTFE	Modèle analytique, technologie utilisée et compatibilité technologique

Étapes technologiques	Modèle analytique, compatibilité technologique, paramètres et contraintes
-----------------------	---

Tableau 2.3: Type de données associées au niveau de hiérarchisation

La création d'un système est réalisée par un assemblage. L'assemblage de deux BTFE et/ou BTFA impose une compatibilité technologique ou une évolution du chemin de fabrication. A chaque ajout d'un élément (BTFE/BTFA) la compatibilité ou l'évolution de la technologie doit être éprouvée sauf si la compatibilité est acquise par définition. De ce fait, plus nous approcherons du système, plus le cheminement technologique est défini.

Nous venons de présenter la base de données que nous proposons de mettre en place afin de capitaliser et d'échanger des données à l'intérieur de notre plateforme. Maintenant nous allons exploiter ce découpage dans une méthode de modélisation par assemblage.

2.3.3 Modélisation et simulation électrique temporelle

2.3.3.1 Hiérarchie des modèles

Comme nous venons de le décrire, nous souhaitons mettre en place un découpage de l'information de la banque de données dans le but d'une capitalisation efficace. Nous devons mettre en place des modèles pour les niveaux : composant, BTFA, BTFE et étapes technologiques. Nous allons étudier les conséquences de cette hiérarchie ainsi que les choix fait pour sa mise en place. Nous verrons aussi son utilité pour la simulation à divers niveaux de finesse et la suppression de redondance qu'elle peut introduire.

2.3.3.1.1 Création et appropriation des modèles

Pour réaliser une simulation, nous avons besoin d'un outil de simulation mais aussi de modèles de notre système ou des éléments le constituant. En effet, si nous prenons l'exemple de l'électronique, nous utilisons les modèles de composants (résistances, sources de tension, capacités,...) que nous assemblons via une « netlist » pour réaliser la schématique électrique que nous souhaitons simuler. Les modèles de composants peuvent être disponibles ou inclus dans un simulateur ou bien fournis par les fabricants de composants. Or, la plateforme que nous souhaitons mettre en place vise à être principalement utilisée pour la conception et la réalisation de systèmes intégrés sur silicium. Ces systèmes n'étant pas encore créés, nous ne disposons pas, dans tous les cas, de tous leurs modèles. Pour cela, le concepteur pourra être amené à effectuer un travail de développement de son ou de ses propres modèles. Il aura souvent recours, dans un souci de simplicité, de réduction d'erreurs et de rapidité, aux bases de données de modèles préexistants. Mais le principal problème de ce type d'approche est l'appropriation du modèle. En effet, la plupart du temps, les modèles déjà existants ne correspondent pas exactement à l'attente du concepteur. Il doit donc, dans un premier temps, comprendre tout le modèle qu'il récupère puis le modifier, l'adapter suivant ses besoins (en le complexifiant ou en le simplifiant, en ajoutant ou supprimant certains phénomènes physiques,...). Ainsi, se pose le problème de savoir comment réaliser des modèles facilement réutilisables et adaptables afin d'aider le concepteur dans sa démarche de modélisation.

2.3.3.1.2 Utilisation de sous-modèles

Afin de résoudre ce problème, nous avons décidé de mettre en œuvre une méthode de modélisation par composition reposant sur le découpage des modèles en sous-modèles puis leur assemblage par connexions. Par exemple, avec des outils de type Saber, Simplorer et Portunus, l'électronicien ne modélise pas globalement son système mais développe les modèles des éléments qui lui sont utiles puis les assemblera pour créer son schéma global. La méthode que nous souhaitons mettre en place est à l'image de ceci : tous les éléments constituant un modèle ont leur propre modèle. Par exemple, un modèle de transistor MOSFET est constitué d'une source de courant contrôlée en tension et de capacités parasites non-linéaires ; nous ferons un modèle de chacun de ces éléments. Ceci permet au développeur la création rapide de nouveaux modèles de fonctions par un assemblage des sous-modèles existants.

2.3.3.1.3 Normalisation des modèles

De plus, dans un souci de portabilité d'un logiciel de simulation à un autre, de pérennité et d'appropriation, les modèles doivent être décrits dans un langage de programmation normalisé (non propriétaire). Dans le cadre de l'électronique de puissance, ces dernières années, la communauté se tourne vers le VHDL-AMS parmi différents choix possibles, incluant Verilog-AMS, Modelica,...[IBRAHIM,HERVE]. L'utilisation de ce type de langage est important pour éviter d'être lié à un outil logiciel dont la pérennité n'est pas forcément assurée et pour faciliter le passage d'un logiciel à un autre en fonction des partenaires qui participent à la conception du système intégrée. Cependant, il est important de rappeler qu'un langage normalisé est performant si les compilateurs, les outils de simulation et leurs moteurs de résolution parviennent à les traiter correctement.

2.3.3.1.4 Caractérisation des modèles

Un élément de modèle correspond à une fonction ou à un phénomène physique. Les éléments sont, par conséquent, liés à la technologie de fabrication. Il existe deux cas de figure lors de la conception d'un système.

Dans le premier cas, le concepteur utilise une technologie figée (le concepteur joue uniquement sur les paramètres de la géométrie du système), le modèle pourrait donc être développé pour chaque technologie.

Dans le deuxième cas de figure, la technologie, tout au moins ses paramètres, seront modifiés par le concepteur afin de répondre au cahier des charges. Dans ce cas, le modèle devra prendre en compte la technologie, ses variations et son évolution. Ceci est le point bloquant de la méthode de modélisation par assemblage, si nous désirons créer des modèles élémentaires les plus génériques possible.

2.3.3.1.5 Vers une hiérarchisation des modèles

Afin de prendre en compte la technologie dans les modèles tout en laissant la possibilité au concepteur d'agir dessus et de pouvoir s'adapter à son évolution, nous avons mis en place une hiérarchisation des modèles. Nous avons précédemment expliqué que la frontière entre la modélisation analytique et la

schématique électrique se faisait au niveau composant (cf 2.3.2). De ce fait, le niveau composant constitue le plus haut niveau de modélisation. Nous y trouverons la liste des caractéristiques du composant que le concepteur aura en charge de renseigner. De plus, ce niveau est lié à une filière technologique de fabrication, cette liaison sera dite dure, car la filière technologique sera fixe mais les paramètres technologiques (ou physiques selon le mode de description du modèle) restent variables. L'ensemble de l'enchaînement technologique (et non le détail des étapes) sera renseigné et elle sera imposée pour tout le composant.

Ce dernier est créé par un assemblage de BTFA qui sont des macro fonctions du composant. Nous y trouvons une liste des paramètres utiles au BTFA qui sont renseignés par le composant à l'aide d'une méthode d'association de données. La technologie ne sera plus en lien fort mais en liaison dite douce. En effet, nous trouvons seulement les paramètres de la filière technologique utiles à la fonction. Ce lien permet une réutilisation des fonctions dans divers composants de différentes filières technologiques par une réassociation des données de façon adéquate.

Les BTFA sont, soit des blocs indépendants, soit ils sont créés par un assemblage de BTFE et constituent des fonctions semi-conducteurs avancées au contraire des BTFE. En effet, ces derniers sont complètement indépendants et constituent des fonctions élémentaires de la physique du semi-conducteur. Dans ces deux niveaux, nous trouvons la liste des paramètres et la technologie qui seront renseignés par l'association des variables avec le niveau supérieur.

Les BTFE constituent les blocs élémentaires du domaine de la physique du semi-conducteur, ils s'appuient fortement sur les étapes technologiques de fabrication. Ces derniers constituent le niveau de plus bas de notre hiérarchie.

Lorsque le concepteur choisit une filière technologique prédéfinie pour réaliser son travail, seuls les composants lui sont utiles. Toutefois, il lui sera fourni uniquement ceux qui sont compatibles avec sa filière. Dans le cas où le concepteur souhaite définir sa propre filière, il pourra utiliser les divers niveaux définis précédemment tout en assurant les compatibilités entre les éléments ou en adaptant sa filière.

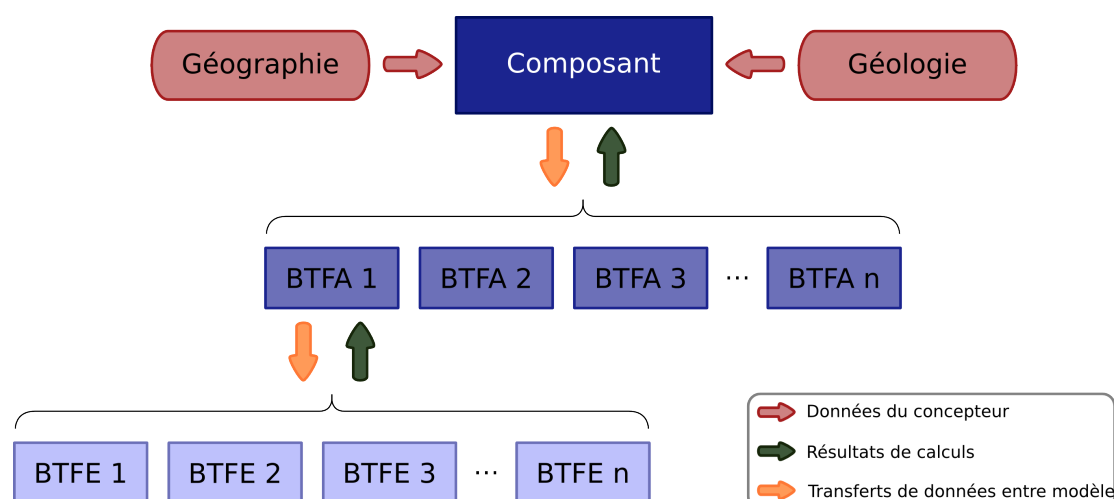


Figure 2-11: lien entre les niveaux de hiérarchie

Le schéma ci-dessus présente les différents niveaux de la hiérarchisation avec leurs entrées et les relations inter-niveaux. Nous pouvons remarquer que les paramètres géographiques et géologiques du concepteur entrent uniquement en jeu dans le modèle du niveau composant. Celui-ci aura en charge de propager les données dont les différents sous niveaux auront besoin, comme par exemple les BTFA. Ces derniers devront se charger de la propagation dans leurs sous modèles, par exemple des BTFE. Sinon l'utilisateur devra avoir recours à un câblage manuel des données à transmettre. Nous verrons plus loin (chapitre 4) la mise en œuvre de ces fonctionnalités de manière concrète.

Les modèles du niveau BTFE peuvent rapidement être réutilisés par un concepteur dans un nouveau modèle sans modification car ils sont constitués d'éléments de base. Le développement ou l'évolution d'un composant dans une nouvelle filière technologique se fait par la réécriture ou la modification du modèle au niveau composant uniquement, pour garantir la bonne association des données entrant dans le modèle et leur association avec les éléments du niveau BTFA. Ce dernier ne changera pas forcément.

Nous pouvons dire qu'avec cette structuration, nos modèles deviendront faciles à utiliser par un concepteur « lambda », et que leurs évolutions, leurs maintenances et leurs changements/variations vis-à-vis de la technologie pourront être effectués simplement.

De plus, si nous regardons les entrées de notre modèle, nous constatons que deux groupes de données sont indiqués : géographique et géologique. Les données géographiques seront spécifiques à chacun des composants, car celles-ci spécifient la géométrie du composant. Les données géologiques sont par contre identiques à tous les composants. En effet, tous les composants d'un même dispositif utiliseront la même technologie. Afin de faciliter d'avantage l'utilisation des modèles, nous devons trouver une solution qui centralise toutes ces données au même endroit. Ainsi la modification d'un paramètre unique sera transmise à tous les modèles. Si ceci n'est pas fait, le concepteur devra changer ce paramètre dans tous les composants de son schéma. Les outils de conception ne sont pas adaptés à ce genre de pratique : étant donnée que la technologie est fixe, l'utilisateur n'a pas la possibilité de la modifier.

2.3.3.2 Modèle à multi-niveaux de finesse

Nous avons expliqué précédemment que le concepteur devra être en mesure de choisir le niveau de finesse de sa simulation, et que par conséquent, un modèle devrait être mis en place pour chaque fonction et phénomène physique pris en compte. Ce travail étant lourd, nous proposons de mettre en place des modèles à niveaux de finesse configurables. Le concepteur choisira les fonctions et les phénomènes physiques à prendre en compte dans son modèle et en fonction de son besoin.

Nous pouvons donc constater que les modèles devront évoluer suivant les besoins du concepteur. Toutefois, la méthode de modélisation par assemblage, présentée précédemment, implique qu'une fois le modèle assemblé, il devient difficile pour l'utilisateur de le modifier. De plus, nous pouvons imaginer qu'un BTFA ou un BTFE puissent être modélisés de différentes manières, plus ou moins précisément. L'utilisateur devrait pouvoir choisir quel bloc sera pris en compte.

2.3.3.2.1 Classement des blocs élémentaires

Afin de répondre au mieux aux attentes d'un concepteur, nous pouvons classer les blocs élémentaires et fonctionnels d'un pré-système en trois familles :

- la partie fonctionnelle
- les parasites
- l'environnement du pré-système.

La catégorie fonctionnelle, comme son nom l'indique, représente la fonction de l'élément modélisé. Elle décrit le comportement macroscopique principal permettant de simuler un élément au niveau système. Ceci permet, par exemple, une validation d'un fonctionnement en début d'étude ou une simplification du modèle pour un gain de temps ou pour réduire l'impact de ce modèle sur le reste du système à simuler. Ainsi, pour le modèle d'un transistor, son niveau fonctionnel décrira un « interrupteur » par une source de courant commandée en tension et présentant une tension de seuil.

La deuxième catégorie englobe les parasites propres de l'élément modélisé. Ces éléments sont créés par la structure technologique du système/pré-système ou fonction. Cette finesse de modélisation n'est pas requise pour simuler le fonctionnement du composant. Le concepteur s'en servira s'il veut valider le fonctionnement dans une situation plus proche de la réalité. Il permet de se rapprocher des essais expérimentaux, comme montage électronique.

La dernière catégorie est l'environnement du composant. Celle-ci correspond à la prise en compte des interactions qui existent entre un élément et son environnement (voisin, substrat, température,...). En effet, la création d'un système intégré sur silicium se fait par assemblage de composants ; leurs proximités et leurs types d'isolation vont créer des influences entre eux qui peuvent se traduire, par exemple, par des courants de fuites, des effets capacitifs indésirables, la création de transistors bipolaires,... Cette catégorie englobera donc les éléments qui caractérisent ces phénomènes d'interactions.

Le mixage de ces trois catégories nous permet de définir quatre types de modèles :

- fonctionnel
- fonctionnel/parasite
- fonctionnel/environnement
- fonctionnel/parasite/environnement

Le mixage parasite/environnement est impossible, du fait que la catégorie fonctionnelle ne peut pas disparaître totalement car elle détermine la fonction même du système. De même, le mixage fonctionnel/environnement sans prise en compte des parasites n'est pas déterminante.

Nous avons dit précédemment qu'un même BTFE ou BTFA peut être modélisé selon plusieurs méthodes différentes. Le concepteur doit choisir les BTFE/BTFA qu'il souhaite. Pour faire cela, l'assemblage du modèle doit être « dynamique », c'est-à-dire que l'assemblage sera réalisé lorsque le concepteur lancera la simulation électrique, ceci afin de lui permettre de changer de configuration entre deux simulations.

2.3.3.3 Calcul global de caractéristiques électriques de la technologie

Nous avons présenté précédemment une méthode de modélisation par assemblage avec plusieurs niveaux d'abstraction de la filière technologique et une classification des blocs en trois catégories de finesse. Ceci nous a permis de structurer la modélisation en une capitalisation et du lien avec la technologie. Toutefois, cette méthode peut conduire à une redondance de calcul si un bloc élémentaire ou fonctionnel est implanté plusieurs fois.

Par exemple, une jonction PN polarisée en inverse, crée une zone de charge d'espace (ZCE), dont le modèle peut calculer son étendue en fonction de la tension inverse et de certains paramètres physiques, comme l'illustre la figure suivante :

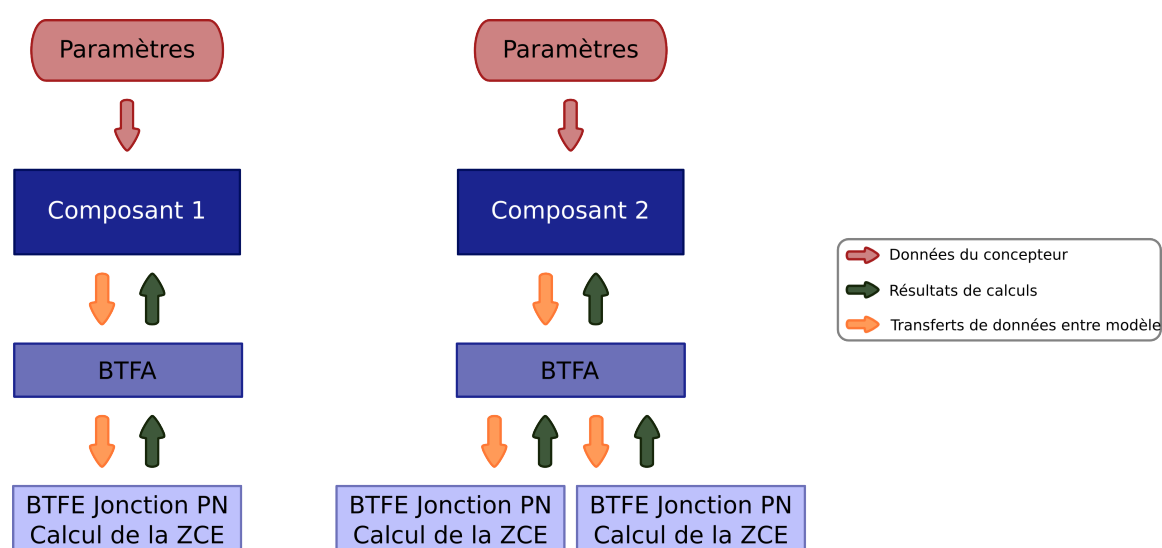


Figure 2-12: calcul redondant de la zone de charge espace (ZCE)

Par conséquent, si plusieurs jonctions PN sont disposées dans le système et qu'elles sont toutes polarisée en inverse de manière comparable à l'échelle du système, le calcul de cette zone de charge d'espace est fait autant de fois qu'il existe de blocs. Il y a donc une redondance du calcul et par conséquent une perte de temps lors de la simulation. Pour éliminer ces redondances, un maximum de calculs doivent être mutualisés comme le présente la figure suivante :

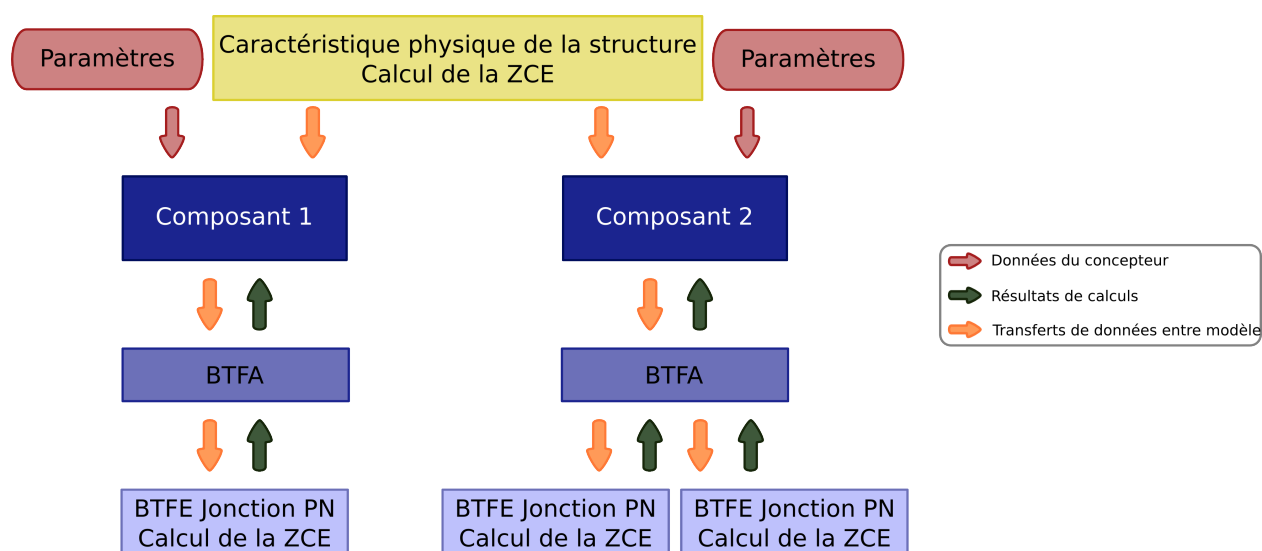


Figure 2-13: calcul mutualisé de la zone de charge espace (ZCE)

Tous les pré-systèmes étant construits dans la même technologie, cette dernière constitue donc le point commun à tous les niveaux structurels : BTFE, BTFA et composant. Les calculs qui sont liés à la technologie doivent donc être mutualisés. Nous proposons pour cela, de créer un modèle de caractérisation de la technologie pour chacune des technologies. Ce modèle intègre le maximum de calculs découlant de la technologie, par exemple le calcul de la zone de charge espace. Ensuite, il les transmet aux divers pré-systèmes de la simulation. Ces derniers ont en charge la distribution des valeurs vers leurs sous-éléments.

La mutualisation des calculs a pour avantage de réduire le temps de simulation, mais aussi de simplifier le travail de développement des modèles par la mutualisation d'une partie des calculs. Ainsi, le développeur dispose d'une liste de paramètres découlant de la technologie et prêts à l'emploi.

2.3.4 Génération des masques

Pour passer à la réalisation des composants, fonctions et systèmes, le jeu de masques doit maintenant être conçu par assemblage des divers masques créés ou issus de la librairie. Cette tâche se révèle, suivant les motifs à dessiner, relativement longue, et elle peut conduire à l'introduction d'erreurs. Ainsi, dans notre plateforme nous proposons d'automatiser au mieux cette étape, comme cela se fait en micro-électronique. Ceci passe par une génération du jeu de masques, c'est-à-dire la création automatique de ces derniers à l'aide d'un outil logiciel adapté.

2.3.4.1 Paramètres des masques

Nous proposons de découper le jeu de masques en plusieurs parties :

- les pré-systèmes
- les fonctions
- les composants.

Lorsque le concepteur génère le jeu de masques, tous les éléments du système sont générés et placés sur un même jeu de masques. Toutefois, leur placement correct et leurs connexions (routage) restent à la charge du concepteur. En effet, leur complexité ne permet pas actuellement un placement et un routage optimum par notre outil logiciel actuel.

À chaque partie (pré-système, fonctions, composants) est associé un jeu de masques dans la base de données. Chaque masque est paramétré selon sa géométrie, ce qui signifie qu'au lieu d'avoir des valeurs numériques figées pour certaines cotes, nous avons des paramètres qui pourront être modifiables en fonction des besoins de conception. Notamment, le masque du pré-système, doit posséder des paramètres en lien avec ceux de son modèle. Ce sont ces paramètres qui permettent, lors de la génération de masques complexe ou même du jeu de masques, d'adapter le dessin des diverses géométries aux valeurs choisies par le concepteur lors des simulations électriques. Une fois les pré-systèmes correctement générés, le concepteur a en charge de les placer de façon optimale et d'en faire les connexions.

2.3.4.2 Explications des contraintes

Lorsque le concepteur réalise un jeu de masques, il doit prendre en compte les contraintes technologiques. Celles-ci sont principalement dues au cheminement technologique et aux méthodes de réalisation des étapes en salle blanche. Elles se traduisent par des cotes de dessin minimales ou maximales ou encore par des alignements ou des chevauchements obligatoires, interdits, minimaux, maximaux,... Plusieurs facteurs peuvent créer ces contraintes, par exemple la tenue mécanique de la résine servant pour les étapes de photolithographie. Le nombre élevé de contraintes technologiques peut entraîner des erreurs lors du placement/routage du jeu de masques par le concepteur. Afin de supprimer ces erreurs, la mise en place de routines de vérification est souhaitable. Cela évite aussi la mise en production de systèmes erronés et non réalisables. Le logiciel de vérification indiquera au concepteur les erreurs, qu'il devra supprimer.

L'étape de vérification/correction des masques se fait donc en plusieurs itérations jusqu'à obtention d'un système valide.

Nous avons dit que les contraintes provenaient de deux sources, le cheminement de fabrication et les méthodes de réalisation des étapes en salle blanche. Les premières sont définies par le concepteur du cheminement et les secondes sont fournies au concepteur et sont liées à la salle blanche utilisée pour la réalisation des prototypes. Nous devons donc faire la synthèse de ces deux types de contraintes afin de les fournir au logiciel qui est chargé de la vérification.

2.4 Conclusion

Afin de réaliser des systèmes intégrés sur silicium, des composants d'électronique de puissance dans notre cas, nous avons fait le choix de mettre en place la plateforme CAPsis qui, à terme, doit permettre de supporter simplement la conception et la réalisation de prototypes dans divers domaines de l'intégration sur silicium.

Dans ce chapitre nous avons présenté l'architecture globale et décrit les différents volets de la plateforme CAPsis. Ceci fût conduit en expliquant les choix de logiciels, de méthodes et de concepts que nous avons faits. Après avoir fait tous ces choix, nous avons poussé plus loin notre réflexion sur deux points qui nous semblaient importants pour la mise en place des premières briques de la plateforme. Ces briques sont : la conception de systèmes par la simulation électrique et la réalisation des masques associés. La simulation électrique est effectuée à l'aide d'un logiciel et de modèles. Dans un souci de capitalisation, nous avons travaillé sur une structuration des modèles. Cette dernière s'appuie sur la mise en place d'un découpage par une hiérarchisation et un regroupement en familles des éléments constituant les modèles. Toutefois, cette méthode introduit un problème de redondance de calcul. Nous avons dû réduire ceci par la mutualisation des calculs. Enfin, nous avons mené une réflexion sur la méthode à employer pour la création des masques par génération automatique. Nous verrons dans le chapitre suivant la mise en œuvre de tous ces concepts sur la base des composants que nous souhaitons réaliser.

Chapitre 3 Développement et mise en œuvre

3.1 Introduction :

Nous avons vu précédemment divers concepts que nous souhaitons mettre en œuvre à travers l'utilisation de la plateforme CAPsis. Nous avons décidé de travailler principalement sur deux d'entre eux. Ce chapitre est consacré à leur mise en œuvre en l'illustrant autour d'un VD-MOSFET qui est le cœur du composant que nous souhaitons fabriquer. Pour cela, nous commencerons par la présentation du VD-MOSFET, de sa méthode de fabrication et de sa modélisation. Sur la base de celui-ci, nous mettrons en place notre hiérarchisation puis la configuration du niveau de finesse des différents blocs. Une fois le modèle prêt à l'emploi, nous présenterons une méthode de mutualisation des calculs redondants en présentant les conditions d'utilisation, les avantages et les inconvénients de notre solution. Par la suite, nous regarderons comment mettre en place la génération automatique du jeu de masques.

3.2 Modélisation

3.2.1 VD-MOSFET terrain de notre étude

3.2.1.1 Présentation

Le VD-MOSFET est un transistor MOSFET à structure verticale permettant de faire transiter des forts niveaux de courant tout en offrant une tenue en tension élevée. Ce type de composant est couramment utilisé en électronique de moyenne puissance. Il est composé d'une multitude de cellules élémentaires associées en parallèle, le tout au sein d'une région périphérique assurant la terminaison en tension du composant de puissance. La structure d'une cellule d'un tel composant est représentée sur la figure suivante :

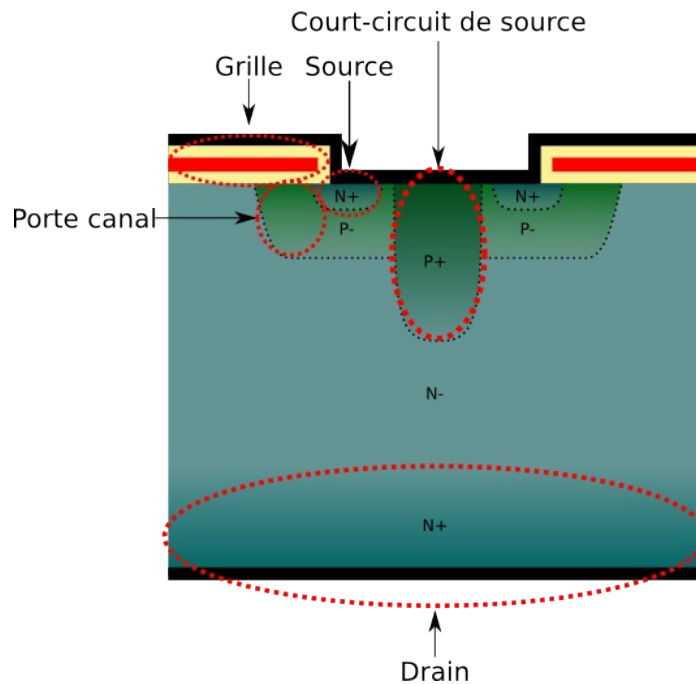


Figure 3-1: cellule VD-MOSFET

Nous pouvons voir sur cette figure les différents matériaux et régions qui constituent notre composant. Nous retrouvons :

- une grille : créée par une couche d'oxyde mince (diélectrique) et une couche de polysilicium (électrode "fortement" conductrice).
- une source : poches N+ contactée par un aluminium.
- drain : une grande région de type N contactée en face arrière à l'aide d'une partie plus fortement dopée.
- un porte canal de type P : située sous la grille.
- une poche P+ : contactée à l'aluminium de source et permettant le court-circuit source/porte canal.
- Une couche de SiO₂ isolante permettant de séparer électriquement les électrodes de sources et de grille

3.2.1.2 Source de courant

La modélisation comportementale électrique du VD-MOSFET se fait à l'aide d'un schéma équivalent. Au premier abord le canal peut être vu comme l'élément de contrôle du composant de puissance et à ce titre peut être assimilé à un interrupteur parfait (tout ou rien) :

- commande à 0 : l'interrupteur est ouvert, le courant est nul
- commande à 1 : l'interrupteur est fermé, le courant est imposé par la charge

Toutefois, cette modélisation reste rudimentaire et traduit nullement les fonctionnements statiques et dynamiques d'un transistor MOSFET. Il est plus classique de modéliser le canal par une source de courant régie par trois équations. Chacune d'elles décrit une région de la caractéristique statique (I_d en fonction de V_{ds} pour différents V_{gs}) du MOSFET (figure 3-2 ci-dessous). Il est à noter que la présente description ne considère pas le comportement de la diode de structure du composant qui devra être modélisée par la suite.

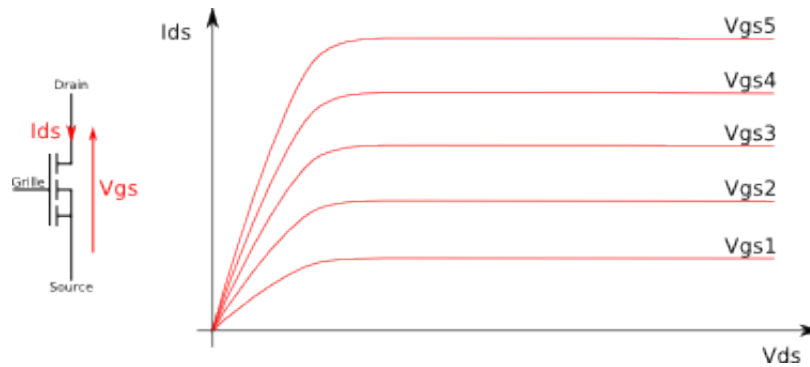


Figure 3-2: caractéristiques statiques d'un transistor MOSFET

La première région correspond au cas où le composant est ouvert. Ceci correspond à une différence de potentiel Grille/Source inférieure à V_{th} . L'équation est donc :

$$I_{ds} = 0.$$

La deuxième est la partie dite de plateau (saturée pour les micro-électroniciens). Même si cette région est rarement exploitée en électronique de puissance, c'est habituellement dans cette région que peut se trouver le composant lors de la commutation. Le composant passe dans cette zone lorsque la tension grille/source (V_{gs}) est supérieure à la tension de seuil (V_{th}) donnée par l'équation :

$$V_{th} = \varphi_{ms} + \frac{2,0 \cdot (k \cdot \text{Temp})}{q} \cdot \log\left(\frac{P_m}{n_i}\right) + \frac{\left(\sqrt{\frac{2,0 \cdot q \cdot P_m \cdot \varepsilon_{si} \cdot \varepsilon_0 \cdot 2,0 \cdot (k \cdot \text{Temp})}{q}} \cdot \log\left(\frac{P_m}{n_i}\right) \right)}{\left(\frac{\varepsilon_{si} \cdot \varepsilon_0}{h_{ox}} \right)} \quad (3)$$

et que la tension drain/source (V_{ds}) est supérieure à la tension $V_{gs} - V_{th}$. Dans ce cas, l'équation de la source de courant peut s'écrire :

$$I_{ds} = \frac{\left(\frac{Kp}{h_{ox}} \right) \cdot (V_{gs} - V_{th})^2}{2} \quad (4)$$

avec

$$Kp = \frac{(\mu_{Nsurf} \cdot w_{canal} \cdot \varepsilon_{si} \cdot \varepsilon_0)}{l_{canal}} \quad (5)$$

Et enfin, la dernière région correspond à la partie saturée ou ohmique (linéaire pour les micro-électroniciens) de la caractéristique statique, le cas généralement recherché lorsque le composant est fermé. Cette zone sera atteinte lorsque la tension V_{ds} sera inférieure à $V_{gs} - V_{th}$. L'équation de la source de courant dans ce cas peut s'écrire :

$$I_{ds} = \left(\frac{K_p}{h_{ox}} \right) \cdot \left((V_{gs} - V_{th}) \cdot V_{ds} - \frac{V_{ds}^2}{2} \right) \quad (6)$$

avec

$$K_p = \frac{(m \mu_{surf} \cdot w_{canal} \cdot \epsilon_{si} \cdot \epsilon_0)}{l_{canal}} \quad (7)$$

Ces trois équations permettent de décrire le comportement du canal en fonction des potentiels présents sur les trois électrodes du composant de puissance. Elles sont également largement utilisées pour les MOSFET de micro-électronique.

3.2.1.3 Résistance de la zone de tenue en tension

La principale différence entre les composants de micro-électronique et un VD-MOSFET est l'insertion de la zone N- pour améliorer la tenue en tension du composant. Cette zone influence la caractéristique du composant en particulier au niveau de la région ohmique. À l'état passant et pour les composants unipolaires comme le VD-MOSFET la région N de tenue en tension peut être considérée comme une résistance. En effet, nous pouvons définir une résistance dans le semi-conducteur par :

$$R = \frac{L}{(q \cdot \epsilon_0 \cdot \epsilon_{si} \cdot N \cdot \mu \cdot S)} \quad (8)$$

Toutefois, lorsqu'une tension est appliquée entre le drain et la source du composant, une zone de charge d'espace apparaît à la jonction P/N du porte canal et de la zone de tenue en tension. Par conséquent, la géométrie de la partie "ohmique" de la zone de tenue en tension varie. Ceci implique une modification de la valeur de la résistance série [PHILIBERT].

Nous possédons donc maintenant trois manières différentes pour modéliser la résistance de la zone de tenue en tension. Le premier consiste à considérer la résistance dont la valeur est donnée par le concepteur. Un second modèle consiste à prendre en compte des données géographiques et géologiques. Et un dernier modèle tiendra compte de la géographie, de la géologie et de la zone de charge espace, ceci créant une résistance variable en fonction de la tension aux bornes du composant.

3.2.1.4 Capacités parasites

Nous venons de présenter les éléments de base pour la simulation d'un VD-MOSFET qui traduisent le cheminement normal du courant à travers le canal et la zone de tenue en tension. Toutefois, en régimes

dynamiques, le courant peut passer par d'autres chemins. Ceci est dû à des composants dits parasites car non souhaités. D'après [AUBARD, LEFEBVRE, VERNEAU], ces capacités parasites sont au nombre de trois et sont situées comme illustré sur la figure suivante (avec six capacités car deux demi-cellules sont représentées) :

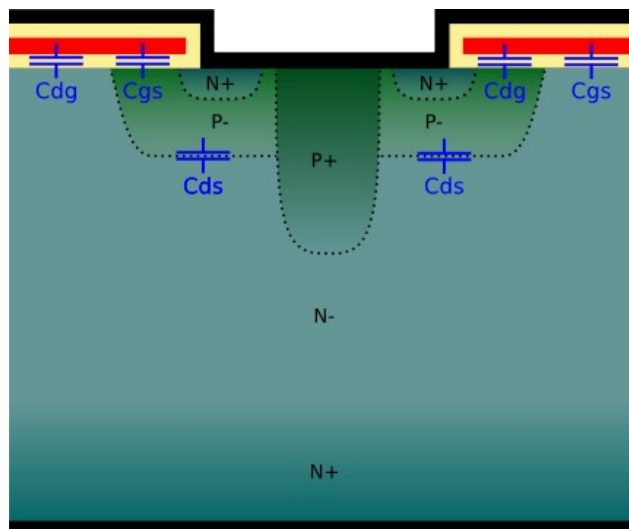


Figure 3-3: capacités parasites d'une cellule VD-MOSFET

Les trois capacités sont situées entre les trois électrodes du composant, la grille, le drain et la source. La capacité Drain/Source, C_{ds} , est due à la jonction N/P créée par les caissons de sources de type P introduits dans la région de la zone de tenue en tension de type N. La capacité Grille/Source, C_{gs} , est créée principalement par la structure Métal/Oxyde/Semi-conducteur de la grille. Enfin, la capacité Grille/Drain vient de l'empilement polysilicium/oxyde mince/zone de tenue en tension.

Une première approche est de considérer les valeurs de ces capacités fixes et données par des mesures ou des datasheets. Toutefois, d'après [AUBARD, VERNEAU], les trois capacités peuvent être décrites par la géographie et la géologie du composant.

3.2.1.5 Transistor bipolaire parasite

Nous avons dit précédemment que le porte canal était maintenu en court-circuit avec la région de source par une métallisation commune en surface du composant. Ceci est réalisé afin de relier et de court-circuiter du mieux possible la base et l'émetteur du bipolaire vertical parasite qui est créé par l'empilement des régions : de la zone de tenue en tension de type N, du porte canal de type P et de la poche de source de type N. Nous pouvons donc ajouter au modèle du VD-MOSFET un transistor bipolaire vertical [ALKAYAL] entre ces trois régions. En effet, le court-circuit assurant la non mise en conduction de ce transistor parasite n'est pas parfait. Par conséquent, un courant se mettant à transiter à travers la capacité Source/Drain en raison d'une variation brutale de la différence de potentiel entre le Drain et la Source, traversera le porte canal. Le comportement électrique de celui-ci, tout comme ce fut le cas pour la zone de tenue en tension, peut-être modélisé par une résistance (R_{pm}). Nous pouvons ajouter à cette résistance R_{pm} , celle de la prise

de contact semi-conducteur/aluminium du N+ (R_{nc}) et P+ (R_{pc}), celle de la région de court-circuit P+ (R_{pp}). Le schéma suivant présente l'emplacement des divers éléments :

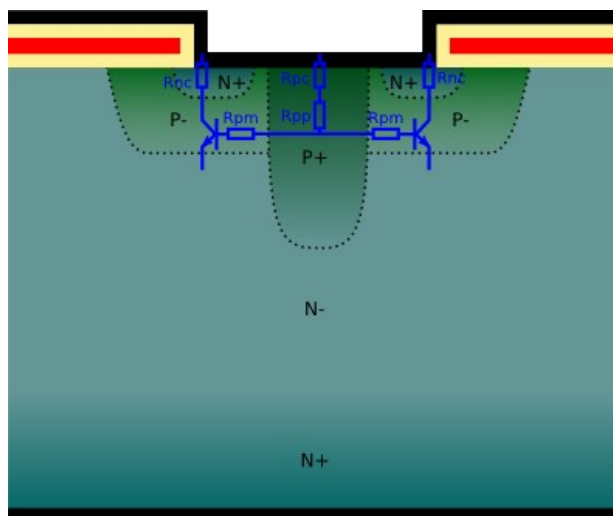


Figure 3-4: transistor bipolaire parasite d'une cellule VD-MOSFET

Nous pouvons donc dire que si un courant traverse les résistances, la tension totale à leurs bornes sera directement appliquée entre la borne base/émetteur du transistor bipolaire. Par conséquent, durant les phases de commutation, si la tension est trop importante, le transistor bipolaire se mettra en conduction et pourra perturber, et ralentir la commutation. Si cela est moins critique que dans une structure IGBT, nous devons néanmoins faire la modélisation de ces éléments afin d'assurer la non mise en conduction de ce transistor bipolaire. Ce travail de modélisation sera de toute façon tout à fait transférable à l'IGBT. Les résistances de contact (R_{nc} et R_{pc}) seront négligées de par le fait que les niveaux de dopage assurent un contact ohmique faible devant les résistances du semi-conducteur ; de plus leur surface est importante devant leur autre résistance. La résistance de la poche P+ (R_{pp}) est une résistance de matériau semi-conducteur. Par conséquent, elle est directement inversement proportionnelle au dopage. A la vue du rapport des dopants entre les zones P+ et P- et compte tenue de la géométrie des deux régions, seule la résistance de la région P- pincée (R_{pm}) sous la région de source pourra être prise en compte. Cette dernière sera donc régie par l'équation 8. Il faudra prendre soin que cette région P pincée présente un dopage non homogène, ce qui conduira à un calcul de résistance qui devra en tenir compte tout comme de l'effet du niveau de dopage sur la mobilité des porteurs. Il ne faut pas non plus négliger les "emprises" des zones de charges d'espace sur la région conductrice. En ce sens, nous savons que lorsque la tension varie entre les bornes drain et source, une zone de charge d'espace plus ou moins importante se crée aux jonctions P/N, porte canal/zone de tenue en tension et caisson de source/porte canal, voir figure suivante :

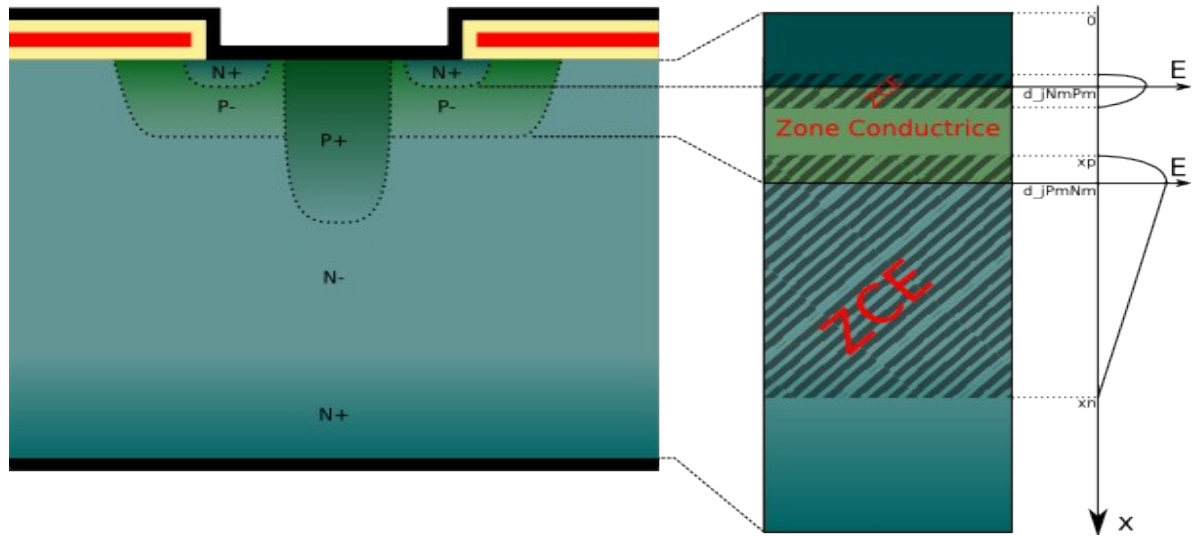


Figure 3-5: zones de charges d'espace

Nous constatons que les zones de charges espace vont réduire la zone de conduction du porte canal, ceci aura pour conséquence l'augmentation de la résistance lorsque la tension augmente. De plus, si nous considérons que le profil de concentration dans le porte canal de type gaussien et donc variable en fonction de la profondeur, l'équation 6 devient :

$$R = \frac{L}{\left(q \cdot \varepsilon_{si} \cdot \varepsilon_0 \cdot \mu \cdot S \cdot \int n(x) dx \right)} \quad (9)$$

De plus, la mobilité des porteurs étant aussi proportionnelle au dopage, l'équation devient :

$$R = \frac{L}{\left(q \cdot \varepsilon_{si} \cdot \varepsilon_0 \cdot S \cdot \int n(x) \cdot \mu(n(x)) dx \right)} \quad (10)$$

Avec l'équation de la mobilité [COYAUD] :

$$\mu(n) = 52,2 \cdot \exp\left(\frac{(0)}{n}\right) + \left(\frac{(1417 - 52,2)}{\left(1 + \left(\frac{n}{9,68e16}\right)^{0,68}\right)} \right) - \left(\frac{43,4}{\left(1 + \left(\frac{3,43e20}{n}\right)^2\right)} \right) \quad (11)$$

3.2.1.6 Conclusion

D'autres paramètres importants peuvent intervenir dans la modélisation comportementale du VD-MOSFET. Nous pouvons en particulier citer les effets liés à la température pour rester à l'échelle de la cellule. Nous pouvons aussi citer les effets induits par les amenées de courant et le profil de température à l'échelle d'une puce. Par manque de temps, nous n'avons pas poursuivi sur ces points qui restent importants pour garantir la bonne modélisation et plus tard le bon dimensionnement du composant de puissance.

Nous venons de présenter tous les éléments constituant notre modèle VD-MOSFET. Toutes les équations de ce modèle sont directement ou indirectement caractérisées par la géologie et la géographie de la structure. Par conséquent, le comportement du modèle sera dicté par les valeurs des paramètres de la géologie, ce qui implique que le concepteur aura à choisir ces valeurs du modèle afin de répondre à son cahier des charges. De plus, nous pouvons constater que nous avons modélisé le VD-MOSFET par des éléments équivalents d'électronique ayant un comportement proche du composant. Nous obtenons donc un schéma équivalent du VD-MOSFET :

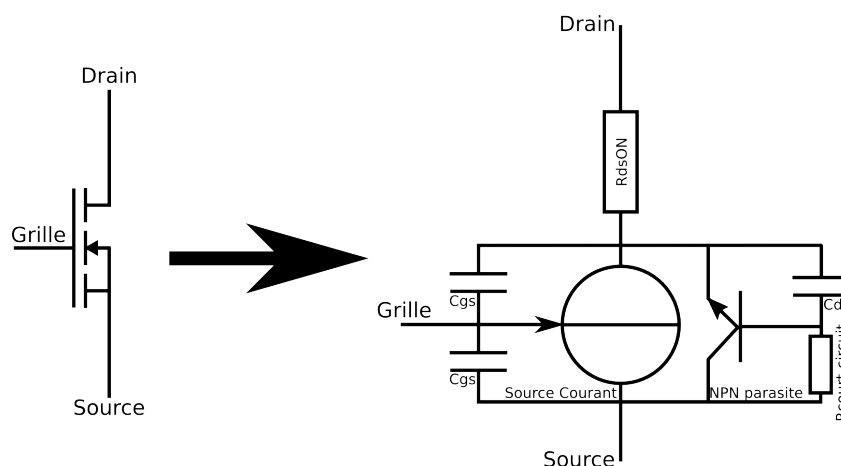


Figure 3-6: schéma équivalent d'une cellule VD-MOSFET

Nous avons donc fait un découpage, en éléments simples, des divers phénomènes qui peuvent apparaître dans un VD-MOSFET. Maintenant, nous allons présenter comment mettre en œuvre la méthode de hiérarchisation présentée dans le chapitre précédent ainsi que les niveaux de finesse des différents éléments. Il est important de souligner que notre objectif n'était pas de refaire un modèle de composant de puissance, ni même de tenter de l'améliorer mais beaucoup plus d'en présenter les grands contours qui vont ensuite nous servir dans notre démarche de conception.

3.2.2 Hiérarchie (découpage et connexions)

3.2.2.1 Introduction

Dans le chapitre précédent, nous avons présenté une méthode de création de modèles par assemblage. Nous allons mettre en œuvre celle-ci sur le modèle du VD-MOSFET en s'appuyant sur un langage de programmation normalisé, le VHDL-AMS. Afin de transcrire notre modèle à l'aide de ce langage en respectant la méthode "d'assemblage" que nous avons définie, nous devons respecter certaines contraintes :

- Un seul "bloc" modèle devra être manipulé par l'utilisateur du modèle
- Les connexions et les transferts des paramètres entre les sous modèles ne devront pas être à la charge de l'utilisateur.

- La technologie et son transfert entre les niveaux de complexité devront être pris en compte automatiquement.
- Les liaisons douces (passage des paramètres de la technologie, par exemple le dopage) et fortes (description de toute la technologie) devront être possibles.

Nous allons commencer par la présentation de la manière choisie pour réaliser l'assemblage de modèles tout en respectant les contraintes présentées ci-dessus. Ensuite, nous verrons l'influence sur la modélisation de chacun des niveaux. Puis, nous déterminerons les différents BTFE et BFTA du VD-MOSFET.

3.2.2.2 Solution en VHDL-AMS

Le langage VHDL-AMS nous propose une méthode d'assemblage de composants par instanciation qui devrait répondre à nos attentes. Cette méthode est la réalisation d'une schématique par programmation, en équivalence à ce que l'on ferait avec une netlist.

Comment fonctionne cette méthode ? Par exemple, nous souhaitons créer un modèle constitué de deux résistances en parallèle. Nous commencerons par définir le modèle de la résistance qui peut être représentée par la figure suivante :

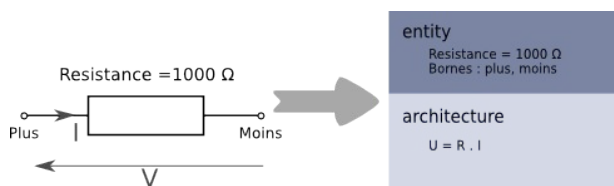


Figure 3-7: représentation de la résistance à modéliser

Nous trouverons donc :

- deux bornes : plus et moins
- la valeur de sa résistance : « resistance » par défaut 1000 Ω
- une équation de résolution : $U = \text{resistance} \cdot I$

En VHDL-AMS, le modèle est divisé en deux grandes parties. La première est l'entité (ENTITY) qui décrit ce dont l'utilisateur aura besoin ; elle pourra être définie comme la vue externe du modèle. Nous y trouverons les ports (PORT) d'entrées/sorties et des paramètres (GENERIC).

La deuxième partie est l'architecture (ARCHITECTURE), elle constitue la vue interne du modèle. Nous trouverons le calcul de constantes (CONSTANT), la déclaration des variables à calculer (les inconnues) (QUANTITY) ainsi que les équations du modèle. Dans le cas du modèle résistance, le modèle aura cette structure :

- **ENTITY:**
 - PORT : plus, moins

- GENERIC : resistance = 1000.0
- **ARCHITECTURE :**
 - CONSTANTE : aucune
 - QUANTITY : U traverser par I entre plus et moins
 - equation : $U == \text{resistance} * I$

Nous avons donc maintenant le modèle d'une résistance élémentaire. Nous souhaitons créer un modèle constitué de deux résistances en parallèle. Deux choix s'offrent à nous, soit nous écrivons un nouveau modèle, soit nous utilisons le modèle précédant en créant deux instances. C'est cette seconde solution que nous allons privilégier. Notre modèle ainsi créé peut être vu comme un seul modèle (voir la figure ci-dessous) :

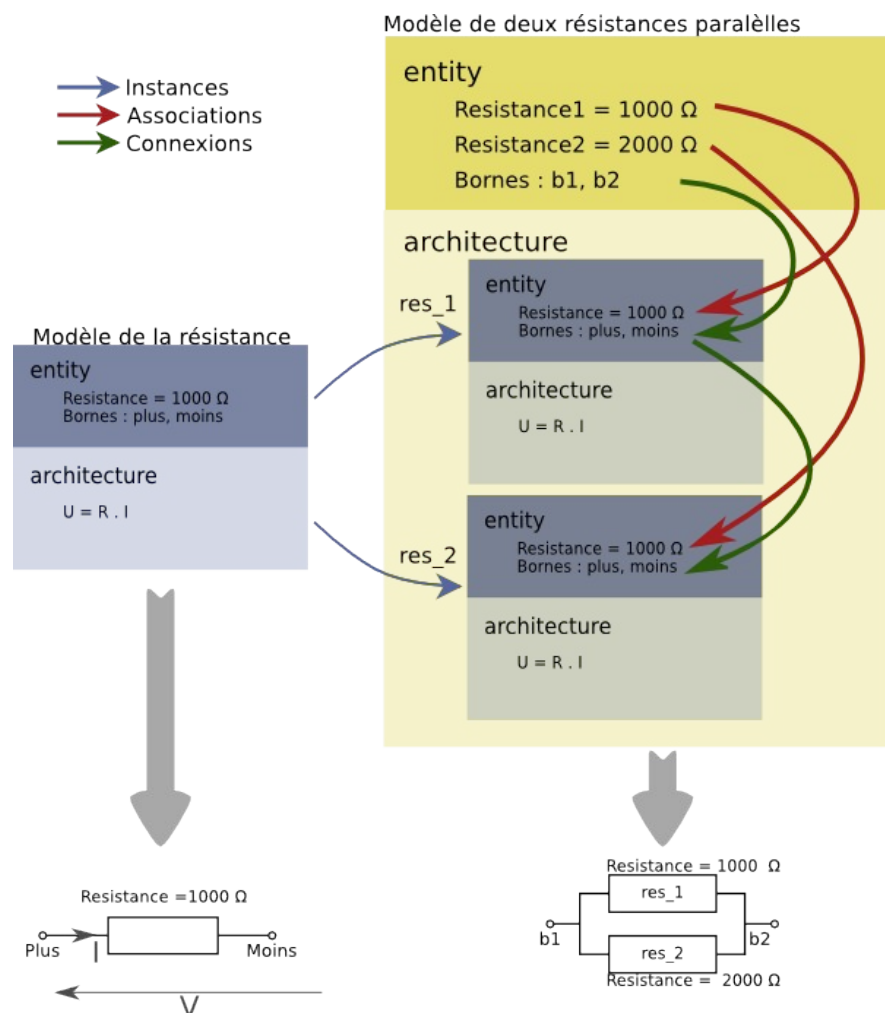


Figure 3-8: assemblage de modèles

Le modèle comportera :

- deux bornes : b1 et b2

- deux valeurs de résistances : Resitance1 et Resistance2
- deux instances de résistance : res_1 et res_2
- Aucune équation ne sera à écrire car elles se trouvent implicitement déjà dans le modèle de la résistance.

Afin d'instancier des modèles, nous devons dans un premier temps les déclarer. Ceci est réalisé dans l'architecture par la définition du prototype de l'entité de l'instance. L'instanciation, quant à elle, sera réalisée dans la boucle de résolution par l'instruction GENERATE. Lors de l'instantiation, nous devons associer des paramètres et définir les connexions. Cela correspond à donner les valeurs que prendront chaque paramètre et la manière dont sont connectées les bornes du modèle. Notre modèle possédera la structure suivante :

- ENTITY :
 - PORT : b1 et b2
 - GENERIC : resistance1 et resistance2
- ARCHITECTURE :
 - Définition prototype :
 - ENTITY:
 - PORT : plus, moins
 - GENERIC : resistance
 - Association des paramètres et des connexions :
 - res_1 :
 - PORT :
 - plus => b1
 - moins => b2
 - GENERIC : resistance => resistance1
 - res_2 :
 - PORT :
 - plus => b1
 - moins => b2
 - GENERIC : resistance => resistance2

res_1 aura sa borne « plus » connectée à b1 et sa borne « moins » à b2, le paramètre résistance sera associé au paramètre resistance1. Nous répéterons l'opération avec la deuxième résistance, res_2.

Nous remarquons que cette méthode répond à notre première attente. L'utilisateur interagira uniquement avec l'entity du modèle créée par l'assemblage. De plus, la liaison douce avec la filière technologique peut être réalisée par cette méthode. En effet, le passage des données de la technologie d'un niveau à l'autre peut être réalisé grâce aux diverses associations de paramètres. Par contre, la liaison forte ne sera pas faite par cette méthode mais par une technique de bus de données ; ceci sera expliqué plus en détail dans la partie traitant du calcul global.

Nous pouvons donc dire maintenant que les BTFE devront comporter dans leur entité seulement : les bornes (PORT) et les paramètres (GENERIC) géographiques et géologiques. Leurs architectures comporteront la déclaration des constantes utiles, des variables de résolution (QUANTITY) et du jeu d'équations.

3.2.2.2.1 BTFA

Un BTFA peut être soit un modèle, soit un assemblage de BTFE, ou un mélange des deux. Dans le premier cas, le BTFA aura les mêmes propriétés qu'un BTFE, c'est-à-dire que l'entité regroupera les bornes et les paramètres et l'architecture contiendra les constantes, les variables à calculer et leurs équations. Dans le deuxième cas, l'entité devra comprendre les paramètres et les bornes utiles directement ou permettant le calcul de ceux des BTFE « instanciés ». Ces derniers constituent l'architecture du bloc fonctionnel. Dans le dernier cas, l'entité contiendra toutes les informations utiles au modèle et aux BTFE utilisés.

3.2.2.2.2 Composant

Ce niveau est un assemblage de BTFE et de BTFA. Nous trouverons donc dans l'entité les paramètres utiles aux différents blocs ainsi que leurs bornes de connexion utiles du point de vue externe du modèle. En effet, l'architecture pourra comporter en plus des déclarations des composants et de leurs instances, des connexions internes entre les blocs instanciés mais non accessibles depuis l'extérieur du modèle. Nous ne devrions pas trouver d'équation à résoudre à ce niveau. Si tel est le cas, il faudra se demander si il est possible de créer un bloc élémentaire ou fonctionnel.

3.2.2.2.3 Interface du composant

Un niveau composant bis sera ajouté afin de réaliser les associations entre le composant et la filière technologique et ainsi passer d'une liaison douce à une liaison forte avec la filière technologique. En effet, afin de simplifier la mise en œuvre des composants, nous avons cherché un moyen de stocker les paramètres technologiques de tous les blocs de même technologie à un seul endroit. Afin de répondre à ceci, le VHDL-AMS nous fournit une structuration des données : le package. Celui-ci regroupe la déclaration de constantes et de fonctions qui, après un appel, peuvent être utilisées dans un modèle. Nous allons donc créer un package qui définira les paramètres de la filière technologique. L'utilisateur pourra changer les valeurs de ces paramètres (dans le cas d'une technologie variable) en éditant le package. La figure suivante présente le lien existant entre les niveaux et le nouveau niveau composant bis et le package.

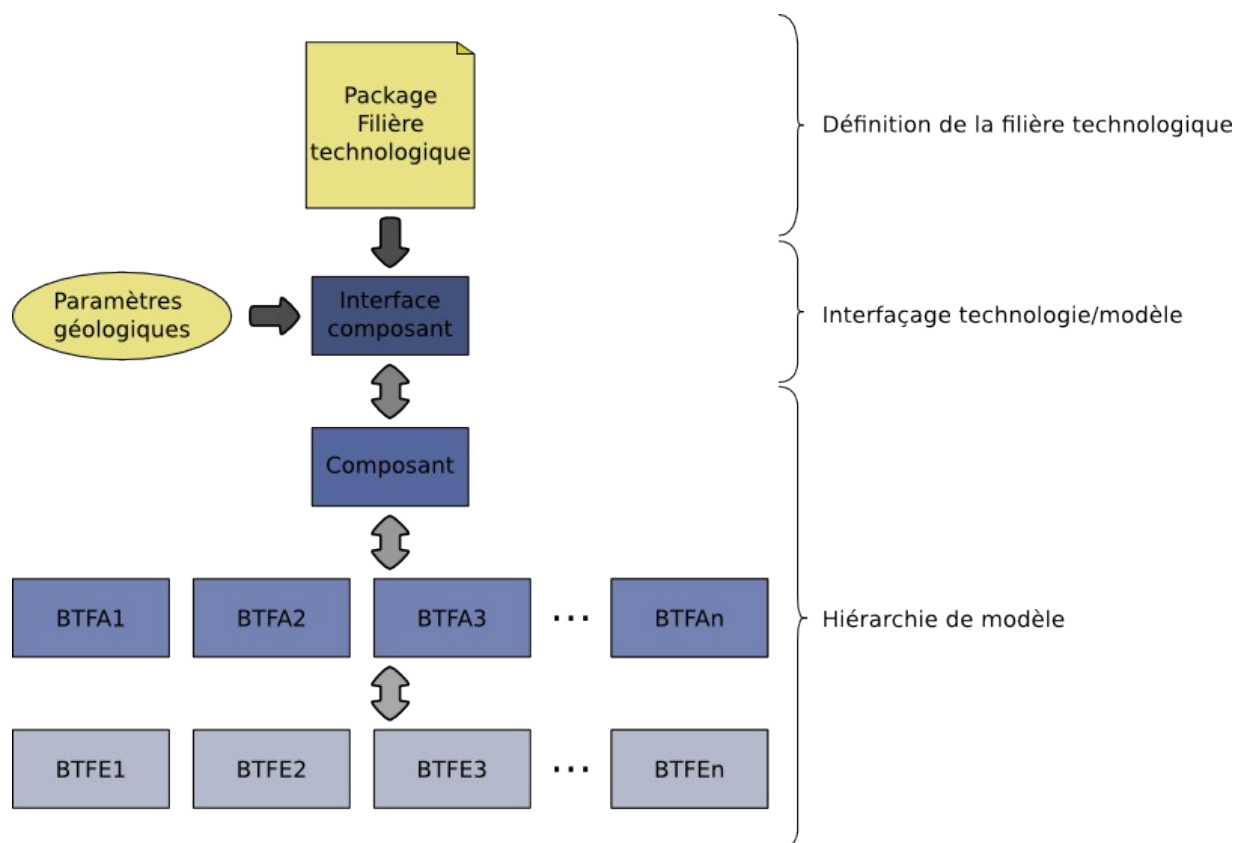


Figure 3-9: hiérarchie de modélisation

Dans un tel cas, les paramètres technologiques sont centralisés en un même point, une modification du package influencera tous les modèles de la simulation l'utilisant.

L'avantage de l'ajout de ce niveau et de ce package se trouve lors des changements de filière ou lors des modifications d'une filière existante. En effet, seul le package et le niveau composant bis doivent être modifiés ou créés.

Lors de la présentation du modèle du VD-MOSFET, nous avons pu constater que des constantes liées à la physique du semi-conducteur se retrouvent régulièrement dans les équations. Afin d'aider le développement de modèles à base de semi-conducteurs, nous avons créé un package nommé `physic_sc` contenant les constantes les plus utilisées liées à ce domaine. De plus, nous avons ajouté à `physic_sc` des fonctions telles que la répartition gaussienne des dopants dans le silicium en fonction de la profondeur de la prochaine jonction et des niveaux de dopant en surface du premier et le dopage à l'intersection (fichier source VHDL-AMS annexe A).

3.2.2.3 Mise en application au VD-MOSFET

3.2.2.3.1 Choix du composant

Nous venons de voir comment réaliser l'assemblage des différents éléments d'un modèle à l'aide du langage VHDL-AMS. Nous allons maintenant définir les contraintes auxquelles notre composant devra

répondre.

Le composant que nous souhaitons réaliser sera de type VD-MOSFET, il sera donc constitué de cellules élémentaires VD-MOSFET. Notre souhait est d'offrir un composant rapidement utilisable par un concepteur pour réaliser des composants fonctionnels monolithiques.

Par conséquent, nous allons laisser au concepteur le choix des dimensions de la puce et d'une taille de zone auxiliaire libre de tout élément permettant l'intégration de ses fonctions auxiliaires. Ce choix imposera une certaine géographie du composant et une cellule élémentaire VD-MOSFET complètement figée.

3.2.2.3.2 Identification des BFTA

Nous allons maintenant déterminer les différents BFTA qui constituent généralement un VD-MOSFET. L'image suivante présente deux VD-MOSFET différents :

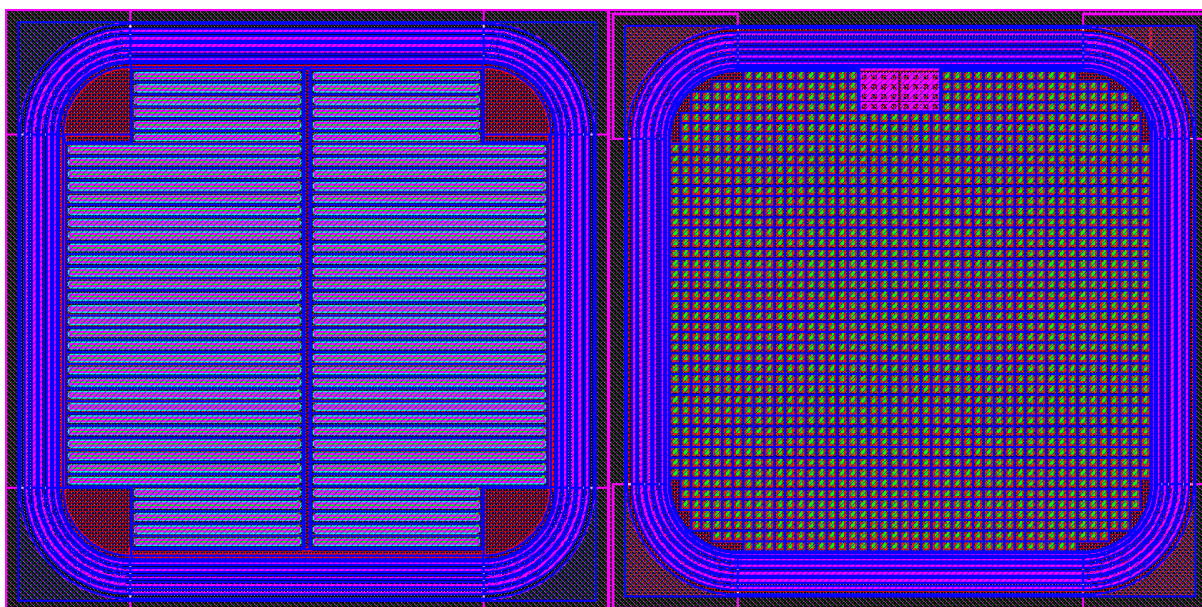


Figure 3-10: exemples de composants VD-MOSFET

Bien que les géométries des cellules élémentaires soient différentes entre ces composants, nous pouvons tout de même identifier des éléments effectuant des fonctions précises identiques dans chacun. Ainsi nous trouverons :

- des cellules élémentaires de VD-MOSFET.
- des plots de contact permettant la prise de contact de grille ou source.
- des amenés de courant, pour faire transiter le courant des plots de contacts aux diverses cellules.
- une périphérie en tension servant à éviter le claquage en tension en périphérie de la puce.

Le cœur du composant VD-MOSFET est la cellule élémentaire du transistor. Toutefois chacun de ces

éléments constitue une fonction permettant le fonctionnement du composant. Ils constitueront donc les BTFA de notre VD-MOSFET.

Maintenant, nous allons découper nos BTFA en BTFE dans le cas de la cellule VD-MOSFET de notre composant.

3.2.2.3.3 Identification des BTFE :

Nous allons donc déterminer les BTFE de la cellule VD-MOSFET de notre composant. L'étude réalisée peut être transposable aux autres BTFA du composant. Dans la partie précédente, nous avons vu que cette cellule pouvait être modélisée par un schéma équivalent (voir figure suivante) :

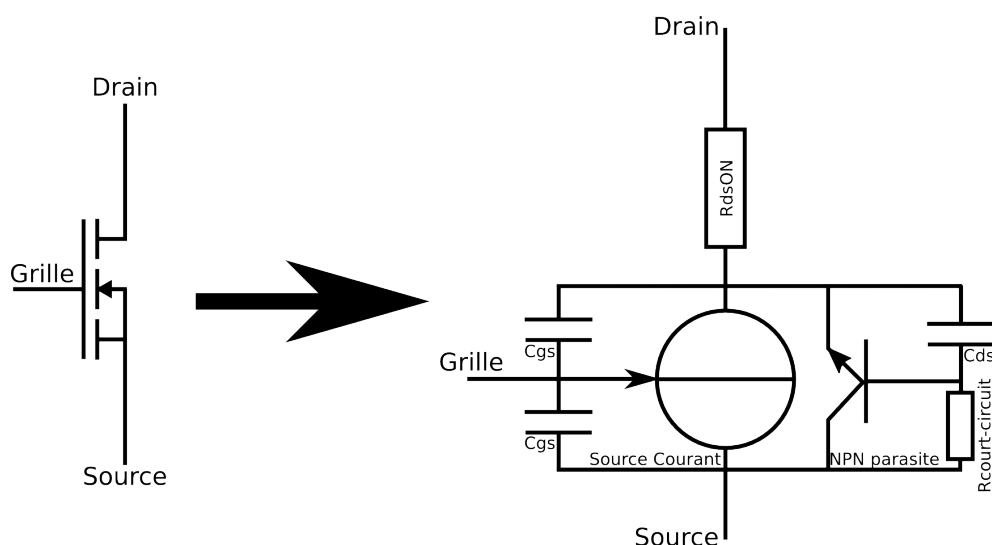


Figure 3-11: schéma équivalent de la cellule VD-MOSFET

Nous pouvons diviser ce modèle en trois grandes parties :

- le canal avec la zone de tenue en tension
- trois capacités parasites
- le bipolaire NPN parasite et le « court-circuit » base/émetteur
- Nous avons vu dans la partie 3.2.1 que chacune de ces parties peut être modélisée de plusieurs façons :
- le canal : source de courant ou tout ou rien
- la zone de tenue en tension : résistance à valeur fixe, fonction de la technologie ou fonction de la technologie et de l'état du transistor
- trois capacités parasites à valeur fixe, fonction de la technologie, ou fonction de la technologie et de l'état du transistor
- Le court-circuit base/émetteur du bipolaire : résistance à valeur fixe, fonction de la technologie,

ou fonction de la technologie et de l'état du transistor

Nous pouvons constater certaines redondances. En effet, le modèle résistance à valeur fixe utilisé pour la zone de tenue en tension et la partie porte canal sont du type $U = R \times I$ avec la valeur de R donnée par l'utilisateur. Par conséquent, le même modèle (fichier) sera utilisé pour ces éléments.

Il n'en est pas tout à fait de même pour les capacités. Regardons plus en détail ce bloc de trois capacités. Nous avons dit qu'il était possible de les modéliser de trois façons différentes : fixe, fonction de la technologie et enfin, fonction de la technologie et de l'état du composant. La solution fixe consiste en l'assemblage de trois capacités classiques directement dans le BFTA de la cellule VD-MOSFET. Dans le deuxième cas, les trois capacités sont fonction de la technologie du composant. Nous trouverons donc une capacité de jonction (Drain/Source) et deux capacités d'oxyde (Grille/Drain et Grille/Source). Nous ferons donc l'assemblage de ces capacités directement dans le BTFA de la cellule VD-MOSFET. Enfin, le troisième cas de figure qui détermine les trois capacités en fonction de la technologie et de l'état du composant, impose plus de contraintes. En effet, les relations [AUBARD,VERNEAU] entre celles-ci sont fortement liées, ce qui implique leur modélisation dans un même et unique modèle.

Nous pouvons donc maintenant lister les éléments que nous devrons modéliser :

- un interrupteur tout ou rien
- une source de courant du canal
- une résistance à valeur fixe
- une résistance à valeur fonction de la technologie
- une résistance à valeur fonction de la technologie et de l'état du transistor
- une capacité à valeur fixe
- une capacité structure MIS
- une capacité de jonction
- un bloc trois capacités parasites fonction de la technologie et de l'état du transistor
- un bipolaire NPN parasite

Ces éléments sont considérés comme des BTFE car ils ne sont constitués que d'un seul « composant » de base.

3.2.2.3.4 Normalisation des noms des paramètres

Afin de réaliser l'assemblage des modèles, nous avons vu que des associations de paramètres sont à réaliser. Afin de faciliter l'écriture et la lecture des modèles constituant CAPsis, nous avons fait le choix de définir une normalisation des paramètres des modèles.

Pour présenter ce travail, nous allons nous appuyer sur la cellule VD-MOSET (voir figure ci-dessous) :

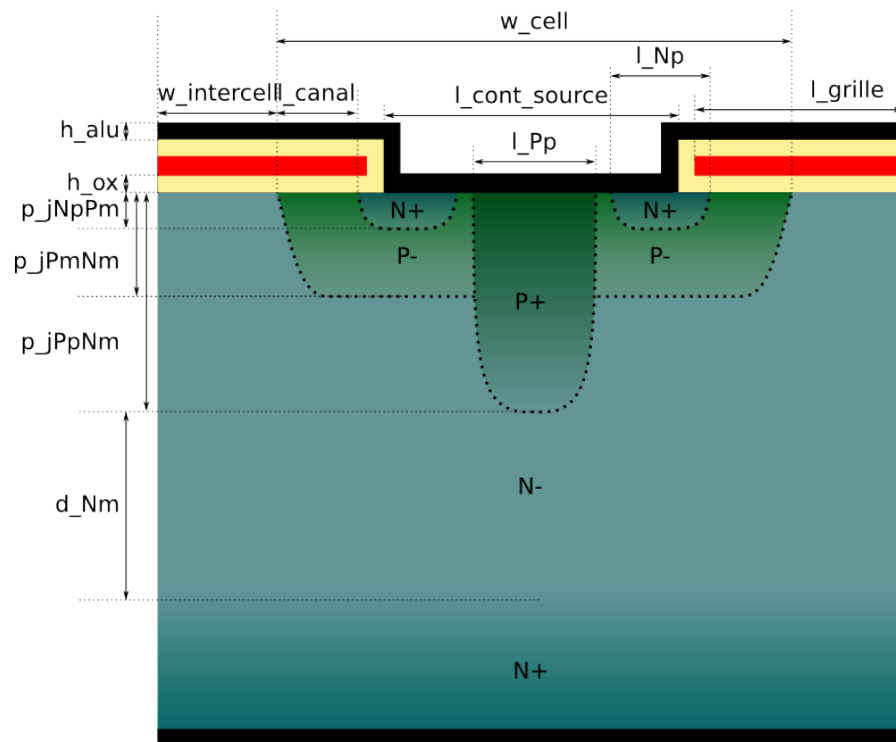


Figure 3-12: cotation de cellule VD-MOSFET

Cette représentation présente les diverses cotes utiles pour la modélisation et quelques-unes utiles pour la création des masques de cette cellule.

Nous pouvons trier ces dimensions en deux familles : géographique (horizontale) et géologique (verticale). De plus, des paramètres géologiques, tels que les dopages, doivent être ajoutés.

Nous pouvons trier les paramètres en diverses familles :

- épaisseur : détermine la hauteur d'un matériau en surface du silicium
- profondeur : définit les dimensions verticales dans le silicium
- largeur/longueur : définit les dimensions horizontales
- niveau de dopage

Nous avons fait le choix d'écrire les paramètres sous la forme : X_YYY

avec X : famille du paramètre et YYY nom du paramètre choisi par le concepteur.

Dans un souci de simplification d'écriture, nous avons associé une abréviation à chacune des familles :

- Épaisseur : h_
- Profondeur : d_
- Largeur : w_
- Longueur : l_

Le nom des jonctions suivra une normalisation particulière permettant leur identification plus rapide. Ainsi les jonctions seront notées sous la forme : d_jAbCd avec :

- d pour la famille profondeur
- j pour jonction
- A la polarité (N ou P) du 1^{er} dopant
- b pour différencier les zones de mêmes polarités
- C pour la polarité (N ou P) du 2^{ème} dopant
- d pour différencier les zones de mêmes polarités

Les dopages suivront la logique de notation des jonctions et seront donc indiqués par Ab comme pour les jonctions.

3.2.2.3.5 Définition des BTFE

Nous avons présenté précédemment les éléments des divers niveaux. Nous allons maintenant nous pencher sur leurs définitions. Toutefois, du fait de l'assemblage des modèles, nous devons commencer par définir les niveaux les plus bas. En effet, ce sera le besoin du niveau du dessous qui permettra la définition d'un niveau supérieur.

C'est pour cette raison que nous commencerons par définir tous les éléments du niveau BTFE identifiés au paragraphe 3.2.2.3.3.

Nous avons vu que les modèles VHDL-AMS sont définis en deux parties : l'entity et l'architecture. Afin d'écrire nos modèles, nous allons définir les éléments de chacune des parties.

Nous allons nous attarder sur la définition de l'entity car c'est elle qui permettra l'assemblage. Le tableau ci-dessous présente chaque BTFE avec ses paramètres et ses bornes.

BTFE	Paramètres	Bornes
Canal tout ou rien		A, B, commande
Canal source de courant	w_canal, I_canal, Pm, h_ox	Grille, drain, source
Résistance	Resistance	Plus, moins
Résistance série technologie	w_intercell, w_canal, Pm, Nm, d_Nm, p_jnppm	Drain, source, com
Résistance série technologie variable	w_intercell, w_canal, Pm, Nm, d_Nm, p_jnppm	Drain, source, com
Capacité fixe	Capacite	Plus, moins
Capacité jonction	I_capa, w_capa, Np, Pm	Plus, Moins

Transistor bipolaire parasite	Pm, Nm, Np, d_pm, d_np, l_base, surface	Base, Collecteur, Emetteur
3 Capacités variables	w_intercell, w_cell, w_canal, l_canal, Pm, Nm, d_Nm, h_ox, l_rec	Grille, Drain, Source, com
Résistance pincée variable	Np, Nm, Pm, p_jnppm, p_jpmnm, l_res, w_res	Plus, moins, Vsuperieur, Vinferieur

Tableau 3.1: Paramètres et bornes des BTFE de la cellule VD-MOSFET

3.2.2.3.6 Définitions des BTFA

Nous avons vu précédemment que notre composant était composé de divers BTFA. Toutefois nous allons nous attacher à réaliser le BTFA de la cellule VD-MOSFET. En effet, celle-ci constitue le cœur de notre composant et demande donc une réelle modélisation pour permettre le dimensionnement. Ce dernier permettra de garantir le fonctionnement du composant.

Possédant la définition de tous les BTFE utiles pour créer notre cellule VD-MOSFET, nous pouvons définir le niveau cell du VD-MOSFET qui servira à l'assemblage de ces blocs. Pour cela, comme nous l'avons fait pour les éléments du niveau BTFE, nous devons définir les paramètres et les bornes qui constituent le BTFA « cellule VD-MOSFET ».

Les paramètres qui caractérisent un BTFA sont utilisés directement ou indirectement (via des calculs intermédiaires) par les BTFE constituant le BTFA. Pour cela, nous allons déterminer l'emplacement réel dans la cellule de chaque BTFE. La liste des paramètres de chacun des BTFE associés à leur emplacement nous permettra de déterminer les paramètres qu'il sera utile de définir pour renseigner tous ceux des BTFE.

La figure ci-dessous présente les BTFE que nous avons définis dans la cellule VD-MOSFET.

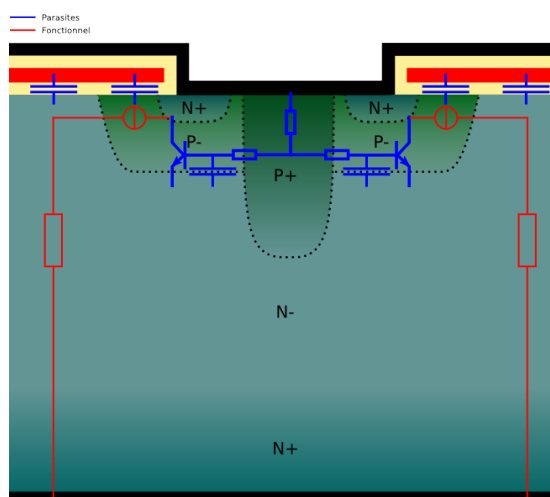


Figure 3-13: modélisation par découpage en BTFE de la cellule VD-MOSFET

Nous avons donc identifié les paramètres de la liste ci-dessous afin de pouvoir renseigner tous les paramètres des BTFE :

- w_intercell : Largeur intercellulaire (cm)

- w_{cell} : Largeur de cellule (cm)
- w_{canal} : longueur de la cellule (cm)
- l_{canal} : longueur de canal (cm)
- $nbre_{cell}$: nombre de cellule qui compose le VD-MOSFET. Ce paramètre servira principalement pour la réalisation du masque
- P_m : dopage P moins (cm^{-3})
- N_m : dopage N moins (cm^{-3})
- h_{ox} : épaisseur oxyde de grille (cm)
- d_{Nm} : épaisseur de la zone de tenue en tension (cm)
- p_{jnppm} : profondeur de la jonction Nplus Pmoins (cm)
- C_{gs_fixe} : valeur de la capacité grille source pour le modèle fixe (F)
- C_{ds_fixe} : valeur de la capacité drain source pour le modèle fixe (F)
- C_{gd_fixe} : valeur de la capacité grille drain pour le modèle fixe (F)
- r_{dson_fixe} : valeur de la résistance série pour le modèle fixe (Ω)

Nous possédons maintenant le modèle de la cellule VD-MOSFET, nous pouvons maintenant passer à la réalisation de notre composant.

3.2.2.3.7 Définition du composant

Afin de répondre aux contraintes énoncées précédemment, nous avons défini la géographie générale de notre composant comme l'illustre la figure suivante :

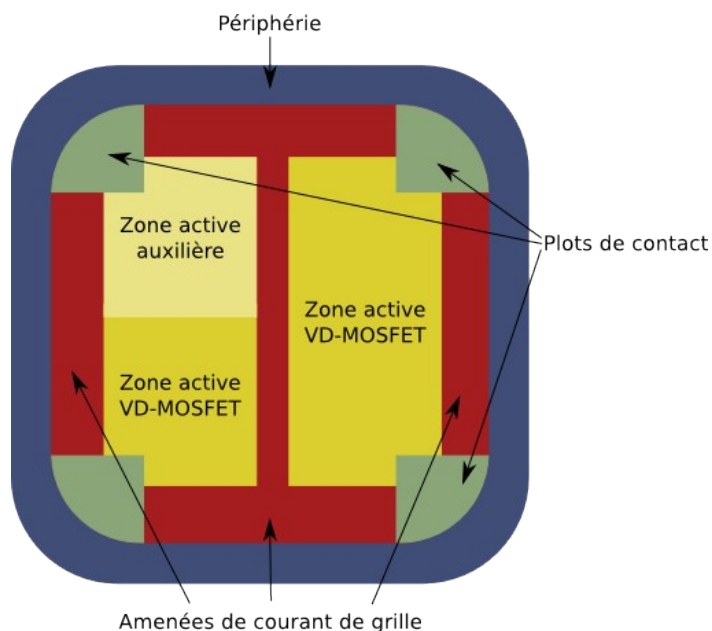


Figure 3-14: géographie générale du composant VD-MOSFET souhaité

Nous pouvons constater que ce composant est constitué de divers éléments, des cellules VD-MOSFET, des plots de contact des amenées de grille et d'une périphérie pour la tenue en tension. Chacun de ces éléments sera un BTFA à par entière.

Ce composant sera simplement défini par la taille de sa puce et la dimension allouée à la zone auxiliaire. Ce choix contraindra donc l'ensemble des autres dimensions des BTFA.

Les paramètres de notre composant sont donc :

- largeur_puce (cm)
- hauteur_puce (cm)
- hauteur_aux (cm)

De plus, nous avons vu précédemment que notre modèle comportera un assemblage d'éléments. Parmi eux, la résistance série de la zone de tenue en tension et les capacités parasites pourront être choisies fixes et définies par l'utilisateur. Nous pouvons donc ajouter les paramètres suivant à notre modèle :

- Cgs_fixe (F)
- Cds_fixe (F)
- Cgd_fixe (F)
- Rdson_fixe (Ω)

Ces paramètres apparaîtront dans la partie entity:generic de notre modèle VHDL-AMS. De plus, nous renseignerons, dans la partie entity:port, les trois bornes de connexion que sont : la grille, la source et le drain.

La partie architecture ne comportera aucune équation, mais seulement les instances des divers BTFA de notre modèle. Afin de pouvoir réaliser leur assemblage, il sera créé plusieurs bornes (terminaux) internes que l'utilisateur ne verra pas. Dans notre cas, seul le BTFA de la cellule du VD-MOSFET sera réalisé.

Nous avons fait le choix d'un nombre de paramètres réduit pour le composant VD-MOSFET par rapport au BTFA de la cellule VD-MOSFET. Toutefois, la géologie est complètement définie par la filière technologique via le package. De plus, les données géographiques seront pour la plupart choisies fixes, excepté la largeur du canal (`w_canal`) et le nombre de cellules (`nbre_cell`), afin de créer les zones actives. Nous devons donc déduire les valeurs de ces paramètres à l'aide de calculs. Pour cela, nous déduirons la surface de la zone active à remplir de cellules VD-MOSFET à l'aide des dimensions de la puce.

3.2.2.4 Conclusion

Nous avons donc vu comment découper un modèle en plusieurs niveaux afin de capitaliser les parties réutilisables. Puis, nous avons expliqué une méthode pour assembler et faire le lien entre les différents niveaux à l'aide du VHDL-AMS. Nous pouvons constater que pour le moment un concepteur utilisera des modèles en n'influant que sur les paramètres ; il ne pourra en aucun cas intervenir sur la structure ou la précision du dit modèle.

3.2.3 Niveau de finesse

3.2.3.1 Introduction :

Nous avons pu constater lors de la définition de notre modèle de VD-MOSFET qu'un même élément pouvait être défini par différents modèles. Or, la méthode de modélisation par assemblage, une fois réalisée, impose les éléments pris en compte. Ceci ne nous permet pas de choisir directement les éléments que nous souhaitons prendre en compte. De ce fait, il faudrait créer une cellule différente pour chacune des combinaisons. Nous allons voir dans cette partie comment mettre en œuvre, grâce au VHDL-AMS, un système configurable par l'utilisateur, des blocs à instancier.

Pour cela, nous allons utiliser la possibilité de conditionner l'instanciation des éléments. Nous ajouterons une condition à la fonction `GENERATE`, qui indiquera si elle doit instancier ou pas le ou les éléments qui la constitue. Pour ce faire, un paramètre sera ajouté, permettant au concepteur d'indiquer le niveau de finesse souhaité. Chaque élément du modèle sera attaché à un nom de paramètre qui indiquera quel niveau de finesse devra être pris en compte. De plus, ce paramètre permettra de compléter l'information sur les éléments et leur rôle dans le modèle.

En effet, si nous avons vu dans la partie 3.3.2.2 que les blocs pouvaient être classés en trois familles :

- fonctionnel
- parasite
- environnement.

Ainsi, les paramètres à ajouter seront de la forme :

- fonctionnel_nom_element
- parasite_nom_element
- environnement_nom_element.

nom_element indiquera le nom du bloc sur lequel le paramètre influera.

3.2.3.2 Niveau des blocs du VD-MOSFET

Nous avons vu qu'il était possible de modéliser certains de ces blocs par différentes méthodes. Nous allons maintenant déterminer une hiérarchie de ces modèles et les associer à une famille. Pour ce dernier point, nous ne devons pas oublier que les blocs fonctionnels sont obligatoires. Le tableau ci-dessous résume les éléments disponibles pour le modèle du VD-MOSFET avec leurs différents niveaux.

Élément	Famille	Niveau 0	Niveau 1	Niveau 2	Niveau 3
Canal	Fonctionnel	Tout-ou-rien	Équations réseau statique		
Résistance série	Fonctionnel	Valeur fixe	Fonction de la technologie	Fonction de la technologie	Fonction de la technologie et de l'état du composant
Diode en anti-parallèle	Parasite	Sans	Tout-ou-rien	Boltzmann	N/A
Capacités	Parasite	Sans	Valeur fixe	Fonction de la technologie	Fonction de la technologie et de l'état du composant
Transistor bipolaire NPN	Parasite	Sans	NPN + résistance pincée fixe	NPN + résistance pincée fonction de la technologie	NPN + résistance pincée fonction de la technologie et de l'état du composant
Résistance porte canal	Parasite	Sans	Fixe		

Tableau 3.2: Modèle des éléments utilisés en fonction du niveau de finesse

Nous trouverons dans la famille fonctionnelle : le canal et la résistance série. Ces deux éléments sont indispensables pour simuler le fonctionnement d'un interrupteur de type VD-MOSFET. C'est pour cela que même pour le niveau le plus bas (niveau 0), il existe un modèle. Au contraire, nous trouverons dans la famille des parasites : la diode anti-parallèle, les blocs de capacités, le bipolaire parasite et la résistance du porte canal, qui, dans ce cas, ne possèdent pas de modèle pour le niveau le plus bas (niveau 0). Il en serait de même pour la famille environnement. La diode anti-parallèle est considérée parasite car elle est imposée par le structure VD-MOSFET, il nous est impossible de créer une cellule MOSFET sans cette diode. Dans certaines conditions d'utilisation, elle sera mise à profit (diode de roue libre par exemple dans un hacheur

quatre quadrant). Toutefois, il existe des cas où cette diode est indésirable (par exemple, diode n'ayant pas des caractéristiques ou performance suffisante) ce qui oblige l'ajout d'une diode en série avec le MOSFET.

Chaque niveau de chacun des blocs peut être combiné avec les autres, ceci implique un nombre de combinaisons possibles relativement important.

3.2.3.3 Choix du modèle

Afin de réaliser l'assemblage des blocs (BTFE/BTFA), nous utiliserons l'instruction GENERATE proposée par le langage VHDL-AMS. Celle-ci nous donne la possibilité de réaliser un test afin de savoir si les éléments devant être instanciés par un GENERATE sont pris en compte.

Nous allons réaliser un test de type « si » (if) sur un paramètre que l'utilisateur renseignera. Pour chacune des valeurs du paramètre, un élément différent sera généré.

Par exemple, nous pouvons tester le paramètre, param ayant pour valeurs : 1, 2 et 3 puis générer les sous modèles VHDL-AMS : elem1, elem2 et elem3.

Si param = 1 générer elem1

Si param = 2 générer elem2

Si param = 3 générer elem3

Nous devons donc associer un paramètre de configuration à chaque bloc de notre VD-MOSFET et associer un type de modélisation à chaque valeur. Le paramètre que nous utiliserons, sera de type entier et nous pourrons ainsi tester facilement les valeurs possibles.

Le tableau suivant présente les différents blocs de notre modèle VD-MOSFET associés à un paramètre :

Élément du VD-MOSFET configurable	Nom du paramètre
Canal	fonctionnel_canal
Résistance série	fonctionnel_resistance_serie
Diode en anti-parallèle	parasite_diode
Capacités	parasite_capacites
Transistor bipolaire NPN, source/porte canal/ drain	parasite_NPN

Tableau 3.3: Nom du paramètre associé à l'élément de la cellule VD-MOSFET

Le nom du paramètre sera constitué de deux parties : la première permettra d'identifier la famille du bloc (fonctionnel, parasite et environnement) et la seconde le nom du bloc sur lequel il influe.

La valeur du paramètre donnera le niveau du modèle (voir Tableau 3.1) à prendre en compte, comme l'indique le tableau suivant :

Paramètre	Modèle
-----------	--------

0	Niveau 0
1	Niveau 1
2	Niveau 2
3	Niveau 3

Tableau 3.4: Correspondance de la valeur du paramètre et du niveau du modèle utilisé

Par exemple, si `fonctionnel_resistance_serie=1`, le modèle pris en compte sera une résistance « fonction de la technologie ». De plus, plus la valeur est élevée, plus la modélisation sera fine. Toutefois, la valeur zéro représente un cas particulier. En effet cette valeur indiquera que l'élément ou l'ensemble d'éléments ne sera pas pris en compte, excepté pour les blocs de la famille « fonctionnel ».

Appliquons tout ceci au bloc canal de notre VD-MOSFET. Nous avons vu qu'il était possible de le modéliser, soit comme un interrupteur tout ou rien, soit comme un jeu d'équations qui correspond au réseau de caractéristiques statiques. Le modèle tout-ou-rien étant rudimentaire, nous l'associerons à la valeur zéro du paramètre `fonctionnel_source_courant`. Dans l'architecture de la cellule du VD-MOSFET, nous testerons le paramètre `fonctionnel_source_courant`. Si la valeur vaut « 1 », le modèle statique sera généré.

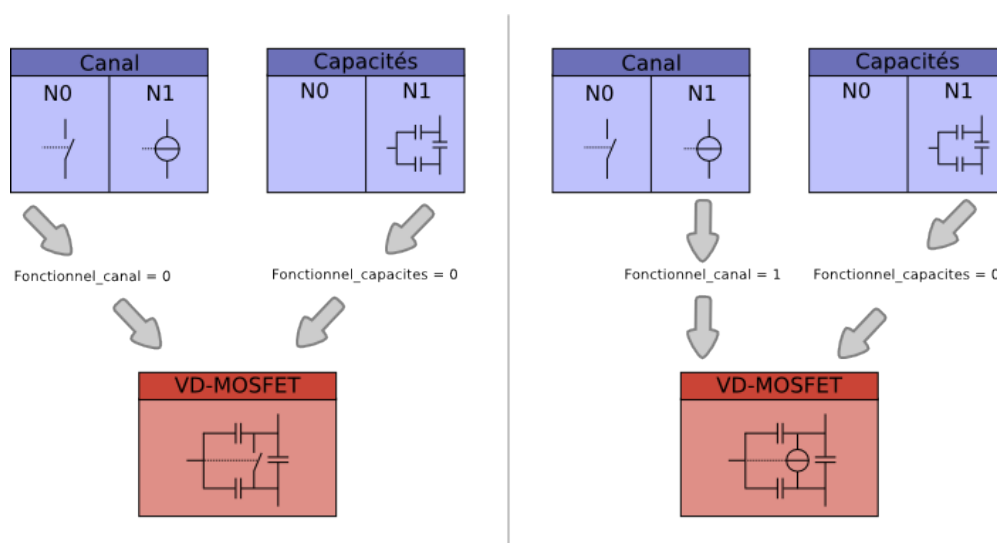


Figure 3-15: exemple de choix de modèle pris en compte

La figure précédente présente la génération du modèle du VD-MOSFET. A gauche, une source de courant, tout-ou-rien est instanciée. A droite, la source de courant est modélisée par le modèle du comportement statique. Le passage de l'un à l'autre est effectué par le changement de la valeur du paramètre `fonctionnel_source_courant`.

De ce fait, le concepteur possède un modèle flexible qui peut répondre à ses attentes. De plus, il lui est possible de créer un nouvel élément et de l'ajouter aux existants. Pour cela, il devra créer un nouveau BFTE ou BTFA et ajouter un nouveau test dans la cellule qui utilisera cet élément pour savoir quand il sera instancié.

3.2.4 Calcul global

3.2.4.1 Introduction

Nous avons présenté puis mis en œuvre une méthode de modélisation par assemblage. Dans le chapitre précédent, nous avons soulevé un problème associé à cette méthode. En effet, l'assemblage de blocs peut entraîner la duplication de calculs identiques ce qui se traduira par un surcoût important du temps de calcul. Pour cela, nous avons présenté un concept de calcul global consistant à créer un modèle de caractérisation physique de la structure en fonction de sollicitation électrique (CPS). Ce modèle calculera tous les paramètres physique découlant de la structure et les distribuera aux différents pré-systèmes, qui se chargeront de les transmettre aux divers éléments.

Nous devons trouver un moyen pour faire communiquer les données du modèle CPS aux composants et ensuite les faire transiter à travers la hiérarchie de composition. Pour cela, nous allons créer en VHDL-AMS des bornes de sorties (déclarées dans le port de l'entity) sur lesquelles transitent des valeurs (real) dans des variables (quantity). Après divers essais de cette solution, nous avons pu constater que Cadence (ncsim) ne gère pas ce type de lien entre les modèles VHDL-AMS. Ceci vient du fait que la netlist générée par Cadence est fait en verilog-ams et non en VHDL-AMS. Or, ce langage ne permet pas de connecter des sorties de type valeur (real) entre deux modèles [PECHEUX]. Pour contourner ce problème, nous avons créé des bornes électriques, les valeurs seront transmises sous forme de tensions. Nous mettrons en place ces bornes sur tous les niveaux de la hiérarchie.

Le niveau composant prendra toutes les valeurs de retour des modèles CPS. Les niveaux BTFA n'utiliseront probablement pas la totalité des valeurs entrant dans le niveau composant. De ce fait, les niveaux BTFA posséderont uniquement les bornes des valeurs qui leurs seront utiles et qui seront associés à celles du composant. Ceci permettra de garder la liaison douce avec la technologie et de connecter seulement les valeurs utiles. Il en sera de même pour les BTFE où seules les bornes qui leurs seront utiles, seront reliées aux bornes du niveau BTFA.

Nous avons fait le choix de mettre en place cette méthode uniquement pour le calcul des capacités du VD-MOSFET. Ceci nous a permis de tester la fonctionnalité, la cohérence et la viabilité de l'ensemble. Nous allons commencer par analyser le modèle « trois capacités » du VD-MOSFET présenté précédemment afin d'en ressortir les calculs liés à la structure.

3.2.4.2 Mise en œuvre du CPS

3.2.4.2.1 Définition du modèle CPS

Nous pouvons constater que le principal paramètre qui entre en jeu pour les calculs des capacités est la taille de la zone de charge d'espace. Or, celle-ci est directement liée aux paramètres de la structure et à la tension aux bornes du composant principal. Cette donnée est utile pour le calcul des capacités du VD-MOSFET mais elle pourrait être utile pour d'autres composants ou BTFA du système. En effet, ce paramètre

est dû à la structure même de l'empilement vertical du composant de puissance, elle apparaîtra donc dans tout ce qui est intégré au sein de celui-ci.

Pour calculer la zone de charge d'espace (ZCE) de la jonction N-/P+, nous allons partir de la tension tenue par celle-ci. La figure suivante présente la répartition de ZCE au jonction de notre structure NPN :

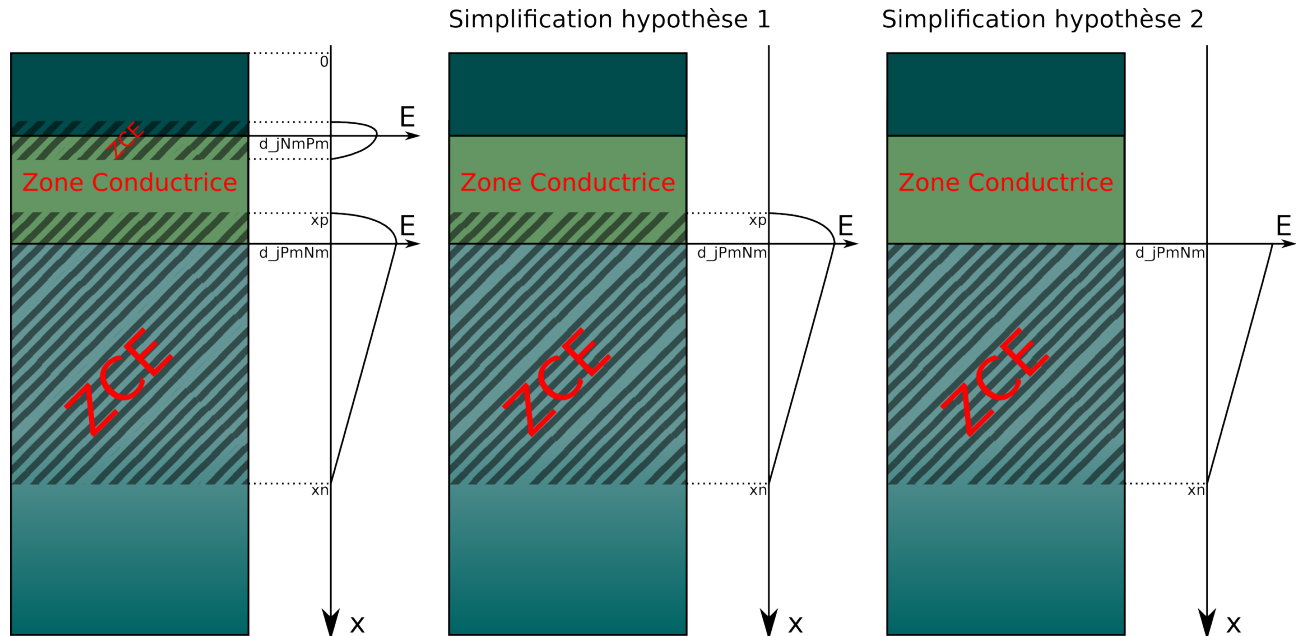


Figure 3-16: Hypothèse de répartition de la ZCE

La première figure représente la répartition entre les deux jonctions. Nous ferons la première hypothèse qui consiste à considérer que la tension aux bornes du composant est tenue uniquement par la jonction P+/N-. Ceci pouvant être émis de par le fait du rapport des concentration des régions considérées. Nous allons à partir de cette tension, déterminer le champ maximum de la ZCE qui se trouve à la jonction. Pour cela, nous ferons la deuxième hypothèse qui consista à dire que la totalité de la tension tenue du côté N-. Ceci nous permet de calculer la taille de la zone de charge d'espace du côté N- :

$$x_n = \sqrt{\frac{(V_{jpmnm} \cdot 2 \cdot \epsilon_{si} \cdot \epsilon_0)}{(q \cdot N_m)}} \quad (12)$$

puis de connaître le champ maximal à la jonction :

$$E_{max} = \frac{q}{\epsilon_{si} \cdot \epsilon_0} \cdot x_n \cdot N_m \quad (13)$$

À partir de la valeur du champ maximum, nous allons déterminer la taille de la zone de charge espace coté P+. Pour cela, nous écrivons :

$$E_{max} = q \cdot \varepsilon_{si} \cdot \varepsilon_0 \cdot dx \cdot \int_{P_{jPmNm}}^x p(x) dx \quad (14)$$

Pour réaliser les calculs, le modèle CPS a besoin de connaître tous les paramètres de la structure et la tension aux bornes de la jonction P/N. Nous allons utiliser le package créé dans la partie précédente pour que les paramètres de la structure soient automatiquement pris en compte par le modèle. Nous ajouterons aussi deux bornes au modèle, pour connaître la tension aux bornes de la jonction. Ce sera un des composants, le VD-MOSFET dans notre cas, qui renseignera au modèle CPS, la valeur de la tension. Les connexions entre les différents modèles seront à la charge du concepteur.

3.2.4.2.2 Connexions des modèles

Nous venons de définir le modèle CPS que nous allons mettre en place, nous devons maintenant déterminer comment le connecter au modèle composant bis puis comment sera transmise l'information aux autres niveaux.

Nous avons dit que nous devons créer une tension pour chacune des valeurs à transmettre. Or, notre modèle CPS en comporte six. Si, nous définissons une borne par tension plus une de référence, le concepteur devra relier sept bornes et ceci entre le modèle CPS et chaque composant bis. Afin de lui faciliter la tâche, nous allons mettre en place un « bus de donnée ». La figure suivante présente les connexions telles qu'elles pourraient être :

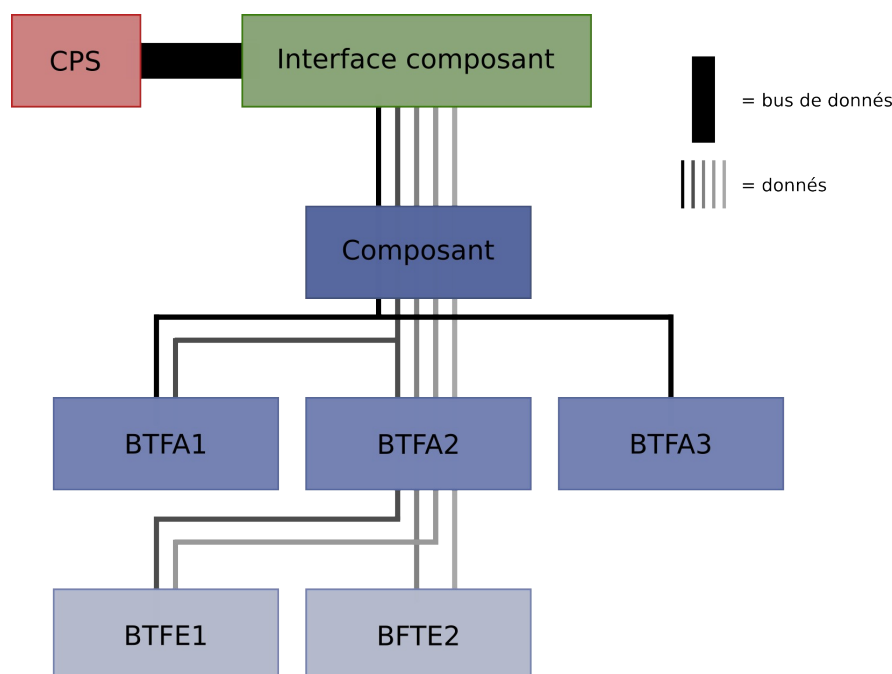


Figure 3-17: exemple de mise en œuvre des bus de données partagées

Un seul câblage sera mis en place entre le modèle CPS et l'interface composant, sur lequel transitera les six tensions. L'interface composant devra donc être obligatoirement de la même structure, sinon l'ordre ou le

nombre de valeurs pourrait varier, voir n'avoir aucun rapport. Par la suite, le niveau composant permettra de diviser le bus et de répartir les « données » entre les différents BTFA. Ces derniers se chargeront de la distribution des valeurs aux BFTE. Le niveau composant permettra la gestion du passage de liaison dure à douce avec la filière technologie. En effet, si la filière technologie change, seul le niveau composant bis devra être réécrit afin d'accepter le nouveau « bus de données » et de recréer l'association des valeurs avec le niveau composant.

Si nous appliquons ceci au niveau de l'interface composant de notre VD-MSOFET, nous ajouterons donc à nos trois bornes (grille, drain et source), une borne de référence et un bus de tension. Ce dernier est défini par un « vecteur » de tension en VHDL-AMS, ce qui se traduit par :

- `TERMINAL techno : ELECTRICAL_VECTOR (0 TO 4), techno_gnd`
- La connexion entre l'interface composant et le composant se faisant « fil à fil », ce dernier comportera autant de bornes que de valeurs qui lui seront utiles, cinq dans notre cas :
- `TERMINAL xp, xn, E_max, Vp, techno_gnd : ELECTRICAL`
- L'interface composant se chargera alors d'associer à chacune des bornes une tension du « bus de données ».
- `xp <- techno(0)`
- `xn <- techno(1)`
- `E_max <- techno(2)`
- `Vp <- techno(3)`

Nous ferons le même type de connexion entre le niveau composant et les BTFA. Nous ajouterons donc les bornes utiles au BTFA de la cellule VD-MOSFET :

- `TERMINAL xp, xn, E_max, Vp, techno_gnd : ELECTRICAL`

Ces bornes seront associées directement avec celles du composant VD-MOSFET. Les mêmes bornes seront ajoutées au BTFE des trois capacités.

Nous avons créé le modèle CPS et le BTFE des trois capacités du VD-MOSFET qui utilisent les valeurs du modèle CPS. Une fois ces modèles mis en place, nous avons utilisé et effectué avec ces modèles divers tests de rapidité de résolution afin de valider notre attente de gain de temps de calcul.

3.2.4.3 Test

Pour le test de rapidité, trois configurations ont été réalisées, celles-ci sont représentées sur la figure suivante :

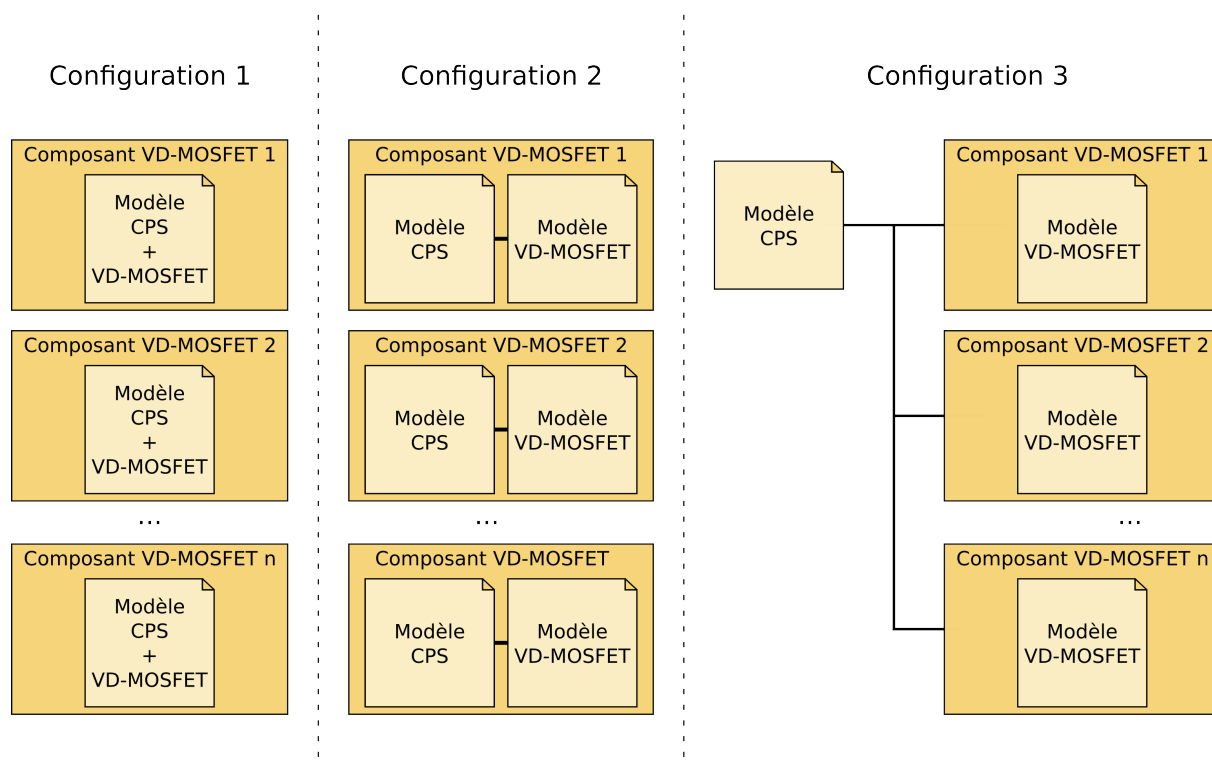


Figure 3-18: configurations de connexion du modèle CPS et des modèle VD-MOSFET

Dans la première configuration chaque modèle effectue tous les calculs qui lui seront utiles, dont ceux constituant le modèle CPS. Cette configuration sera notre référentiel car elle représente le cas généralement réalisé. Dans le deuxième cas, le modèle CPS est sorti du modèle, mais non centralisé, chaque modèle possède son propre modèle CPS. Cette configuration correspond à l'intermédiaire entre le cas général et la méthode que nous souhaitons tester. La dernière configuration met en œuvre notre méthode. Un seul modèle CPS est mis en œuvre pour tous les modèles.

Sur le graphique suivant, nous pouvons observer le temps de résolution du système pour différentes valeurs de N (le nombre d'éléments ayant des calculs identiques à faire) :

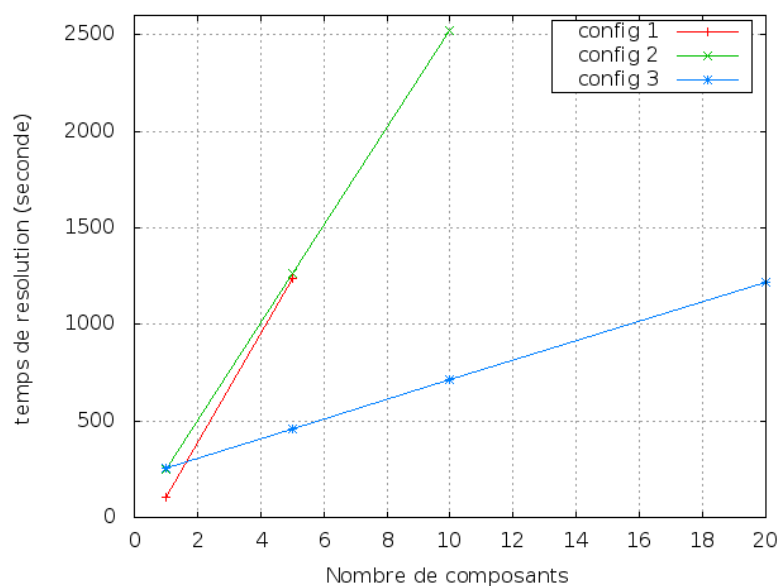


Figure 3-19: temps de résolution en fonction du nombre de composants VD-MOSFET

Nous pouvons constater que le temps de résolution est du même ordre entre la première et la deuxième configuration. Nous constatons aussi que la centralisation du code nous fait gagner du temps dès que nous avons deux modèles ayant besoin des valeurs du modèle CPS. Le gain de temps entre la première configuration et la troisième augmente de plus en plus. Nous pouvons donc dire que pour les systèmes relativement simples, le gain de temps sera faible. Mais lorsque le système deviendra plus complexe et que le nombre de modèles ayant besoin des valeurs CPS sera croissant, le gain sera loin d'être négligeable.

Au cours de nos tests, nous avons utilisé les pré-systèmes et le modèle CPS. Nous avons pu constater que le câblage des modèles devient complexe lorsqu'il y a plusieurs pré-systèmes. De plus, il devient difficile de faire la différence entre les parties servant à l'électronique et la partie structure. Toutefois, ceci permet de centraliser les calculs liés à la physique de la structure et de décharger le travail du développeur de modèles. De plus, nous pouvons, comme pour les autres modèles, imaginer des niveaux de finesse du modèle CPS.

3.3 Génération/contrôle masque

3.3.1 Introduction

Nous avons, dans le chapitre précédent, expliqué comment les jeux de masques avaient été réalisés dans le passé. Ce travail avait été effectué manuellement sans le soutien poussé d'outil informatique. Nous avons donc choisi de chercher une solution pour mettre en place un système d'aide au dessin de masques en nous appuyant sur les outils de la micro-électronique. Afin de simplifier le travail de réalisation des masques, nous allons chercher une méthode permettant l'instanciation automatique de tous les éléments constituant le système. Pour cela, nous allons avoir recours à l'utilisation de masques paramétrés.

Les masques paramétrés utiliseront des paramètres afin de réaliser leurs dessins et de dialoguer avec l'extérieur (utilisateur, développeur, logiciel tiers,...). Par exemple, lorsque nous dessinons un carré manuellement, nous fixons la valeur du côté du carré. Alors que pour un masque paramétré, nous l'associerons à un paramètre. Ainsi à chaque utilisation, nous pouvons définir une taille différente sans avoir à redessiner ou redéfinir le script entier du dessin.

Avant de pouvoir réaliser un masque quelconque, nous devons définir la technologie de fabrication de notre système puis l'implanter dans Cadence.

3.3.2 Technologie

Nous devons définir dans l'outil de création de masques, dans notre cas Cadence, la technologie de fabrication que nous utiliserons. Dans ce logiciel, cette définition est faite par la description des niveaux de masques, de leurs enchaînement, de leurs propriétés,... via un fichier nommé techfile. Avant de créer ce fichier, nous devons commencer par définir notre cheminement technologique afin de définir les étapes qui seront réalisées. Pour illustrer ceci, nous proposons de réaliser des VD-MOSFET. Pour cela, nous allons effectuer plusieurs étapes. La figure suivante présente ces étapes :

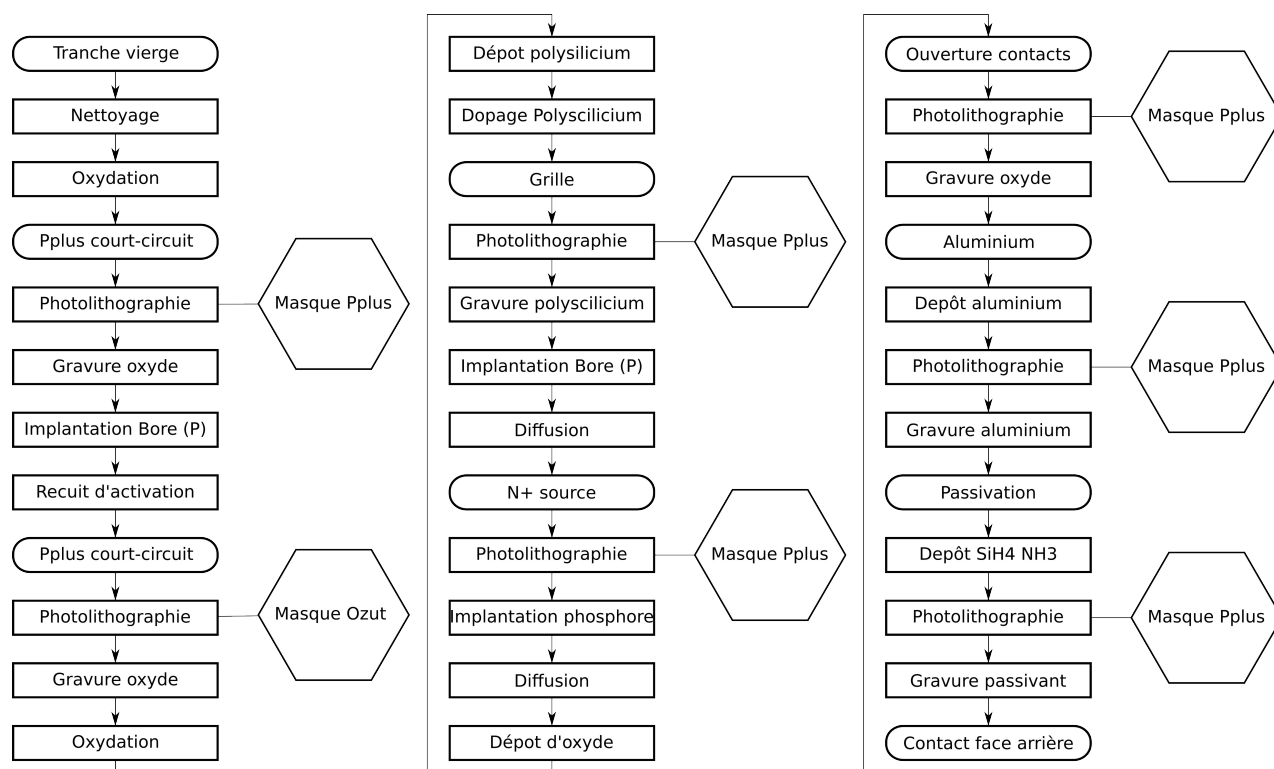


Figure 3-20: cheminement technologique souhaité

Nous pouvons voir que nous avons besoin de sept masques différents :

- **Pplus** : Pplus central et anneaux de garde
- **Ozut** : Ouverture zone utile

- **Poly** : Grille
- **Nplus** : Nplus source face avant et drain face arrière
- **Ocon** : Ouverture contacts
- **Galu** : Aluminium contact face avant
- **Osc** : Passivation+

Nous avons déterminé les masques qui constituent notre cheminement technologique, ce qui nous permet de définir un fichier technologique. Ce fichier est découpé en plusieurs sections nommées « classes ». Ces classes permettent dans un premier temps de définir la liste des niveaux de notre technologie. A chacun d'eux sera associé une « finalité ». En effet, un niveau peut avoir plusieurs utilités : dessins, tracé de connexions, affichage d'erreurs,... Puis, chacun des niveaux recevra des propriétés, telles que, la possibilité d'être visible, sélectionné,... Une classe permet d'indiquer quels niveaux sont connectés électriquement, ceci dans le but de créer des vias. Enfin, une dernière partie définit les éléments utiles pour la génération des GDS.

Une description plus complète des classes ainsi que leurs applications à notre technologie, est donnée en annexe B. Nous avons donc mis en place notre technologie dans Cadence via une techfile que nous nommerons : VD-MOSFET_1_1_7, signifiant VD-MOSFET, 1 métallisation, 1µm de précision et 7 niveaux de masques.

3.3.3 Masques paramétrés

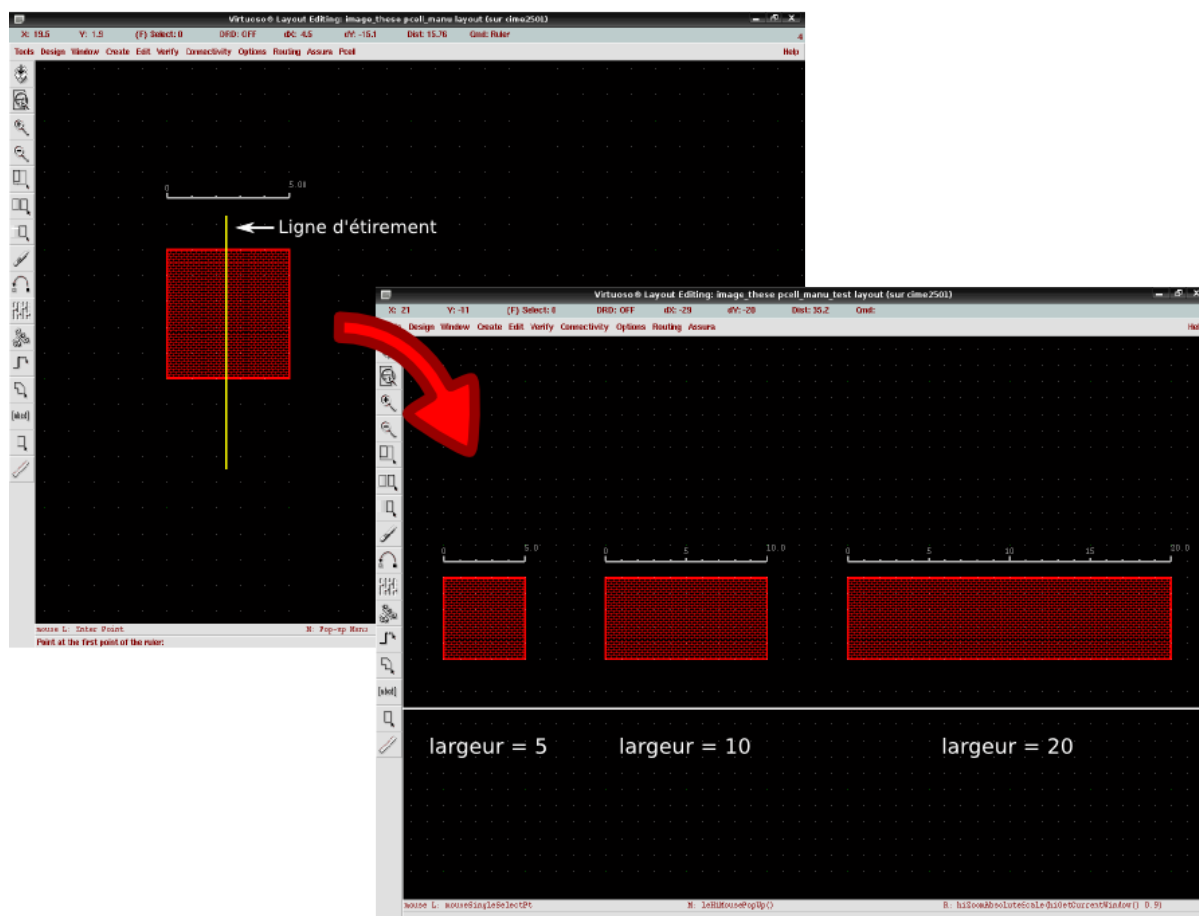
Nous avons fait le choix d'utiliser Cadence pour notre plateforme. Cet outil offre la possibilité de réaliser des masques paramétrés, ces derniers sont nommés pCell pour « parametrized cell ». Ceux-ci peuvent être réalisés de deux manières différentes : manuelle ou programmée.

3.3.3.1 Création d'un pCell

3.3.3.1.1 Création manuelle

La réalisation manuelle commence par la création d'un motif à l'aide de l'éditeur graphique de masques fourni par Cadence. Par la suite, ce même outil offre la possibilité d'ajouter diverses fonctions paramétrées par des variables que l'utilisateur final renseignera. Les fonctions qu'il est possible d'ajouter permettent de déformer, de dupliquer, d'inclure ou pas un motif, etc. La figure suivante présente des exemples d'instances d'un masque paramétré :

Masque avec un paramètre d'étirement nommé : largeur



Instances du masque paramétré avec diverses valeurs du paramètre largeur

Figure 3-21: exemple de pCell créé manuellement

Nous pouvons voir que pour un même masque paramétré en étirement, nous pouvons obtenir divers résultats. La création de ce masque paramétré est présentée plus en détail en annexe C.1.

3.3.3.1.2 Création par programmation

Cette méthode de réalisation de pCell s'appuie sur un langage de programmation nommé SKILL, qui est un dérivé du LISP pour la syntaxe. Le fichier de programmation commence par la description du pCell, son nom, sa librairie,... Après quoi, la liste des paramètres que l'utilisateur aura à renseigner est faite. Enfin, nous trouvons la description des éléments du jeu de masques, ceci se fait en indiquant la forme, l'emplacement et la dimension de chaque élément. L'emplacement et les dimensions peuvent être soit des valeurs fixes, soit un des paramètres, soit un calcul. Ceci nous permet de réaliser tout ce que nous souhaitons, mais cette méthode demande plus de temps et de compétences que la précédente méthode pour les pCell simples.

Toutefois, Cadence offre la possibilité de générer un code SKILL à partir d'un pCell réalisé manuellement, comme présenté plus haut. Un tel script est constitué de quatre grandes parties (voir annexe C.2 pour plus

de détail).

Nous pouvons donc faire une combinaison des deux méthodes pour faire un pCell, commencer par créer les géométries et les fonctions simples par la méthode graphique. Après quoi, nous compilons en fichier SKILL, que nous modifions afin d'ajouter les fonctions que nous souhaitons et qu'il n'est pas pratique de réaliser par la méthode graphique, comme par exemple des calculs mathématiques ou un algorithme permettant l'ajustement d'un motif, une duplication suivant une diagonale...

3.3.3.2 pCell du VD-MOSFET

Nous allons voir comment mettre en œuvre la réalisation de pCell à l'aide du composant VD-MOSFET que nous souhaitons réaliser. Nous avons défini, lors de la modélisation, une topologie de notre VD-MOSFET :

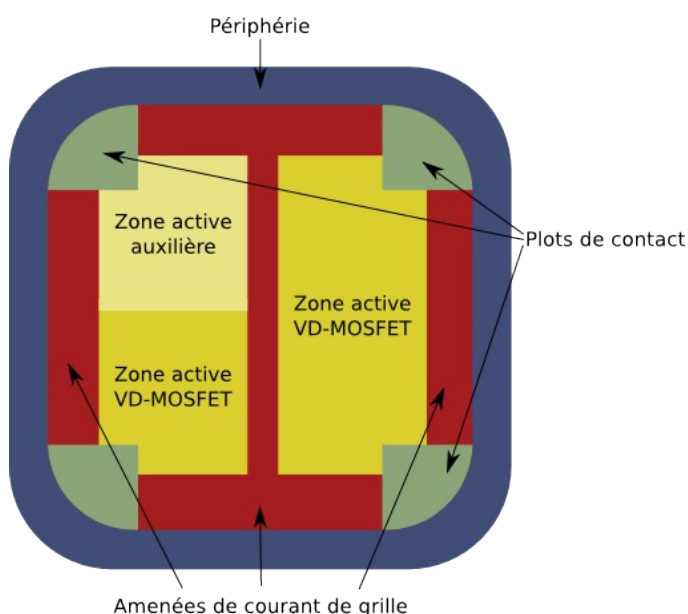


Figure 3-22: géographie générale du composant VD-MOSFET souhaité

Nous trouvons une périphérie, des amenées de courant de grille avec leurs plots de contact, des cellules VD-MOSFET et une zone auxiliaire. Nous avons précédemment défini trois paramètres géographiques qui sont :

- largeur_puce : définissant la largeur de la puce
- hauteur_puce : définissant la hauteur de la puce
- hauteur_aux : définissant la hauteur de la zone auxiliaire

Le concepteur aura donc à choisir la taille de la puce qu'il souhaite réaliser et la dimension de la zone auxiliaire.

3.3.3.2.1 Hiérarchisation

Lors de la présentation du schéma du masque, nous avons naturellement découpé notre composant selon les quatre zones présentées sur la figure 3-22.

Ce découpage est logique et devra être fait pour les masques. En effet, nous avons la possibilité de hiérarchiser le jeu de masques comme nous l'avons fait pour les modèles. Tous les éléments constituant le jeu de masques du composant VD-MOSFET seront des BTFA. Ils constitueront en eux-mêmes une fonction au cœur du composant qu'est le VD-MOSFET. De plus, ceci nous montre un réel parallèle entre le modèle et le masque des cellules de VD-MOSFET. À l'image de la modélisation, chaque élément est créé indépendamment des autres, puis l'assemblage des éléments est réalisé. Ceci permet une réutilisation et la duplication rapide des motifs déjà existants. Sans hiérarchisation, la duplication pourrait être réalisée par un copier/coller ; toutefois, l'utilisation de celle-ci permettra un gain de temps lors de modifications. En effet, imaginons que sur notre jeu de masques, nous disposions de dix cellules de VD-MOSFET, nous pouvons en créer une et la dupliquer par un copier/coller. Cependant, si après la duplication, nous trouvons une erreur, nous devons modifier une à une les cellules ou tout supprimer et redupliquer.

Cette hiérarchisation s'appuie sur une méthode d'instanciation. Un masque dit « maître » est créé de la façon souhaitée, par un script ou manuellement. Puis, il est instancié autant de fois qu'il sera utile dans le masque que nous souhaitons réaliser que nous nommerons masque « instance ».

Ainsi grâce à l'utilisation de la hiérarchie, nous pouvons créer, toujours pour le même exemple, le masque « maître » de notre masque : la cellule VD-MOSFET. Puis, nous pouvons réaliser plusieurs instances dans un masque « instance ». Ainsi, si une erreur est détectée dans la cellule, elle sera corrigée dans le masque « maître », ce qui modifiera implicitement toutes les instances dans les masques enfant où il est instancié.

De plus, si un masque « maître » est un pCell et qu'il possède des paramètres, ceux-ci pourront soit être renseignés lors de l'instanciation, soit être hérités. Dans le premier cas, le concepteur du masque « instance » renseignera toutes les valeurs des variables des paramètres du pCell « maître » lors de son instanciation. Ces valeurs seront alors figées et ne pourront plus être modifiées lors d'une possible instanciation du masque « instance ».

Dans le deuxième cas, le paramètre du pCell « maître » devient un paramètre du masque « instance ». Le concepteur du masque « instance » devra associer une nouvelle variable au paramètre du masque « maître ». Ainsi, un utilisateur renseignera les valeurs des variables des paramètres du masque « instance », ce qui adaptera l'instance du masque « maître » au besoin.

Dans le cas du VD-MOSFET, nous avons vu que nous souhaitons mettre seulement trois variables pour caractériser notre masque : largeur, hauteur de puce et taille de la zone auxiliaire ; alors que les BTFA le constituant, comporteront sûrement plus de paramètres. Par exemple, la cellule VD-MOSFET sera, à l'image de son modèle, associée à divers paramètres de géométrie.

3.3.3.2.2 Les BTFA

Nous allons maintenant présenter plus en détail les BTFA qui constitueront notre composant VD-MOSFET.

3.3.3.2.2.1 Périphérie

Elle est utile pour la tenue en tension du composant en surface, un claquage peut apparaître dû à une concentration de champs électriques devenant critique. Il existe plusieurs types de périphérie, poche, anneaux de garde, terminaison de puce MESA,... Nous avons fait le choix de réaliser des anneaux de garde. Ce type de périphérie consiste en la réalisation d'anneaux concentriques de poche P+ permettant la remontée progressive du champ électrique, comme nous le présente la figure 3-23.

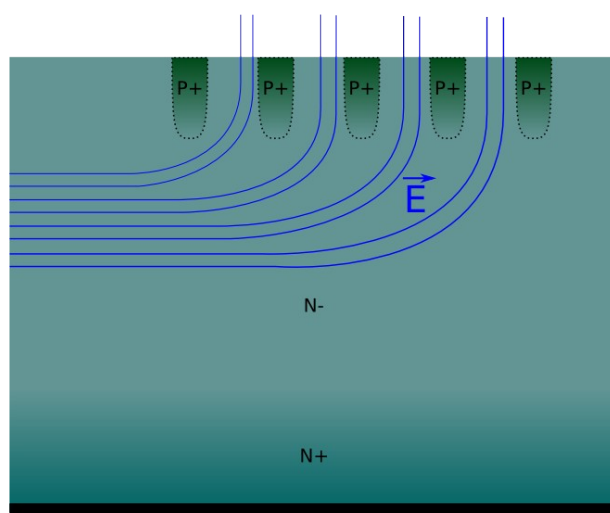


Figure 3-23: répartition du champ électrique dans la périphérie

Les distances entre les anneaux ainsi que leurs dimensions doivent être calculées pour chaque niveau de tension souhaité. Nous avons donc fait ce travail pour que notre périphérie tienne une tension de 600V. Mais on pourrait imaginer avoir une banque de BTFA de terminaisons en tension pour pouvoir adresser tous les types de cahier des charges en tension.

La périphérie en tension fait le tour du composant. Dans un souci de simplification, nous avons fait le choix de réaliser un quart de la géométrie puis de faire quatre instances correctement orientées de ce motif. La figure 3-24 présente le quart de la périphérie et la figure 3-25 l'assemblage de quatre instances du premier.

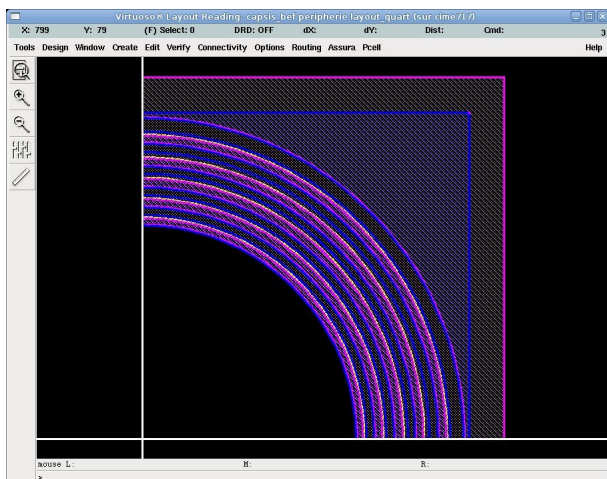


Figure 3-24: quart de périphérie

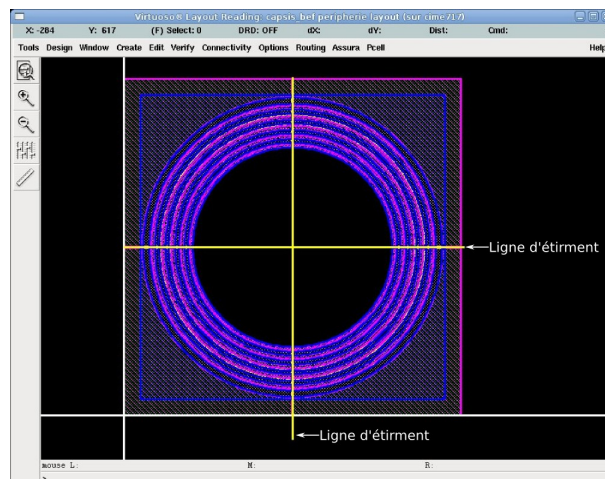


Figure 3-25: périphérie complète

Nous pouvons remarquer immédiatement sur la figure de droite deux lignes d'étirement. En effet, la périphérie possède deux paramètres permettant de faire varier sa largeur et sa hauteur. Nous avons maintenant une périphérie en tension possédant deux paramètres permettant de l'adapter à n'importe quelles dimensions de puce.

3.3.3.2.2 Plots de contacts

Ils permettent l'inter-connexion en surface de la puce. Dans notre cas, il n'existe pas de plot de contact de source ; en effet, c'est la surface active de la puce qui servira directement de plot de source. Par contre, nous devons mettre des plots de contact pour la grille. Nous avons fait le choix de mettre ces plots dans les «angles» de la périphérie. Ce choix se justifie par le fait qu'au vu de la courbure de la périphérie, il serait complexe de placer à cet endroit des cellules de VD-MOSFET car leurs dimensions devraient être variables afin de suivre la courbure (la courbure pouvant elle-même être variable en fonction des caractéristiques électriques du BTFA de terminaison en tension). La figure 3-26 présente donc le masque réalisé pour le plot de contact.

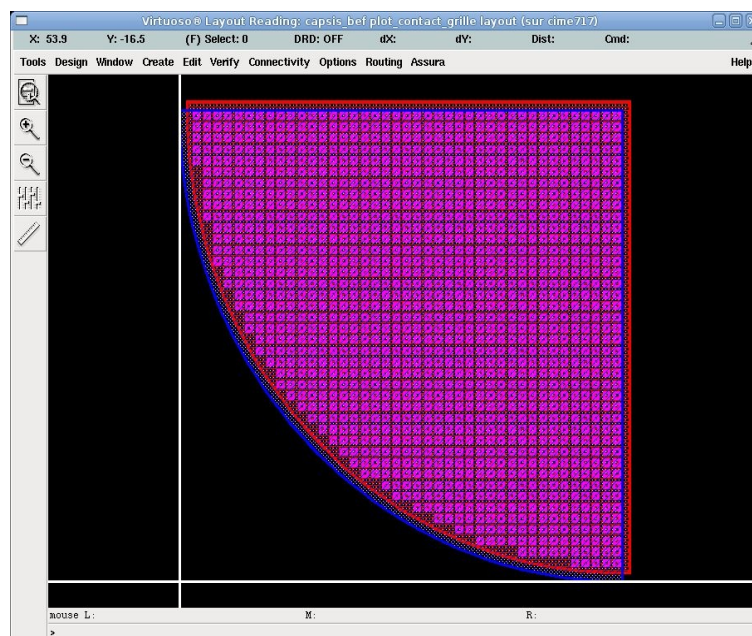


Figure 3-26: plot de contact

Cet élément ne comporte aucun paramètre, ceci vient du fait que sa géométrie ne variera pas avec la taille de la puce. Toutefois, la courbure étant donnée par la terminaison en tension, si celle-ci venait à varier, ce BTFA devra s'adapter et par conséquent, un ou des paramètres devront être ajoutés.

3.3.3.2.3 Amenée de courant

La connexion de la grille se faisant par un plot de contact, nous devons relier les plots de grilles aux doigts ou cellules actives pour faire transiter les charges. Nous avons fait le choix de réaliser une amenée de grille qui fait le tour du composant, permettant ainsi d'assurer une connexion entre les grilles des cellules. Pour réaliser cette amenée de grille, nous avons réalisé un quart de l'élément entourant le composant. Nous ferons quatre instances pour réaliser l'amenée de grille complète. La figure 3-27 présente le quart (élément de base) et figure 3-28 l'élément complet permettant la réalisation du tour.

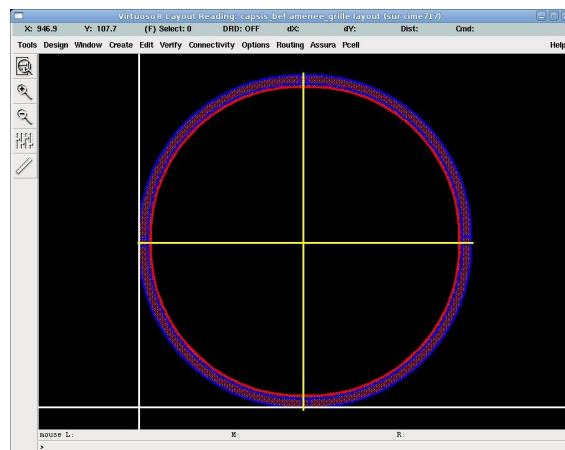
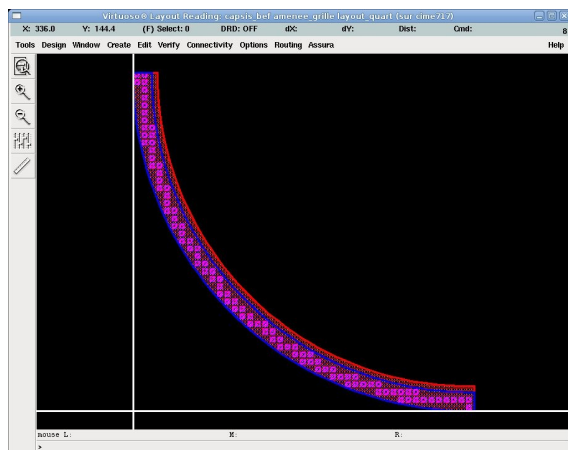


Figure 3-27: quart d'amenée de courant de grille Figure 3-28: amenée de courant de grille complète

Nous pouvons constater sur la figure 3-28 que l'élément faisant le tour comporte des lignes d'étirement paramétrées. Ainsi, nous pouvons réaliser un étirement de l'amenée de grille afin de l'adapter à la taille de la puce.

De plus, afin de réduire le chemin parcouru par le courant de grille, nous avons ajouté une barre verticale coupant le composant en deux parties. Nous pouvons voir sur la figure 3-29 la géométrie réalisée pour la barre verticale.

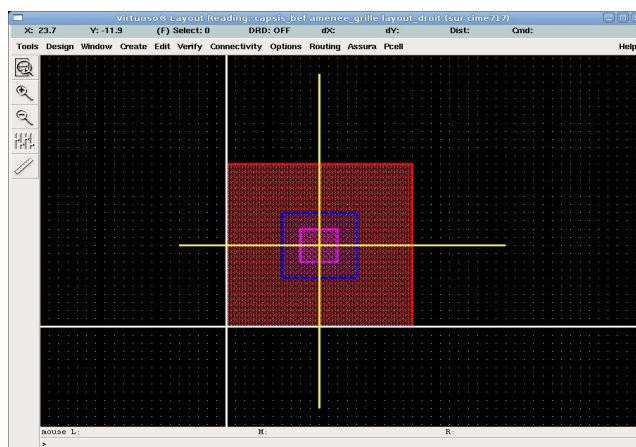


Figure 3-29: pCell de l'amenée de courant de grille droite

Nous pouvons constater que cet élément a été réduit le plus possible. Des lignes d'étirement, à l'aide de paramètres, nous permettent de définir la taille en hauteur et en largeur de notre barre.

3.3.3.2.4 Cellule MOSFET

Si les éléments que nous avons présentés jusqu'ici sont les éléments indispensables pour le fonctionnement des cellules de VD-MOSFET, la cellule MOSFET est la fonction première de notre pré-système. Il existe plusieurs types de cellules : carrées, en doigts interdigités, rectangulaires,... Nous avons fait le choix de réaliser des cellules de type rectangulaire. Ces cellules sont des cellules initialement carrées

que nous étirons. Toutefois, nous avons fait le choix d'arrondir les angles de nos cellules afin de réduire les effets 3D en bouts de doigts, ce qui nous permet de considérer localement nos cellules comme étant en deux dimensions. La figure suivante représente le pCell de la cellule que nous avons réalisées.

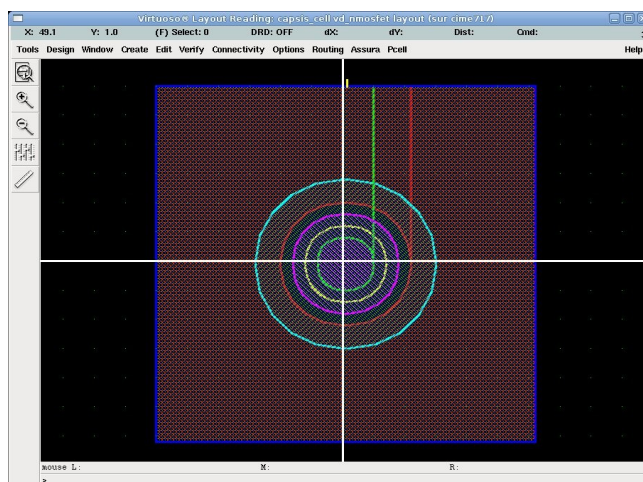


Figure 3-30: pCell de la cellule du VD-MOSFET

Nous avons associé à ce pCell, un étirement en largeur permettant de choisir la géométrie de notre cellule. La variable associée à ce paramètre est la largeur du canal : w_{canal} . La figure suivante présente des instances de notre cellule pour diverses valeurs d'étirement.

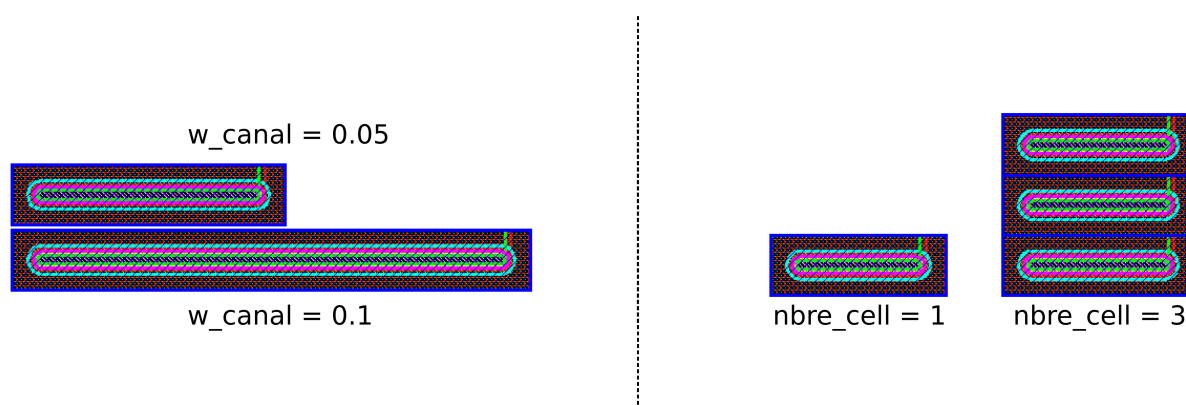


Figure 3-31: exemples d'instances du pCell de la cellule VD-MOSFET

De plus, nous avons ajouté un paramètre permettant la répétition de la cellule suivant la direction opposée à l'étirement. Le paramètre sera renseigné par la variable nommée nbre_cell , comme présenté sur la figure 3-31 à droite.

3.3.3.2.2.5 Composant

Nous avons donc défini tous les BTFA utiles à la création de notre composant VD-MOSFET. La figure suivante présente le composant final que nous avons réalisé.

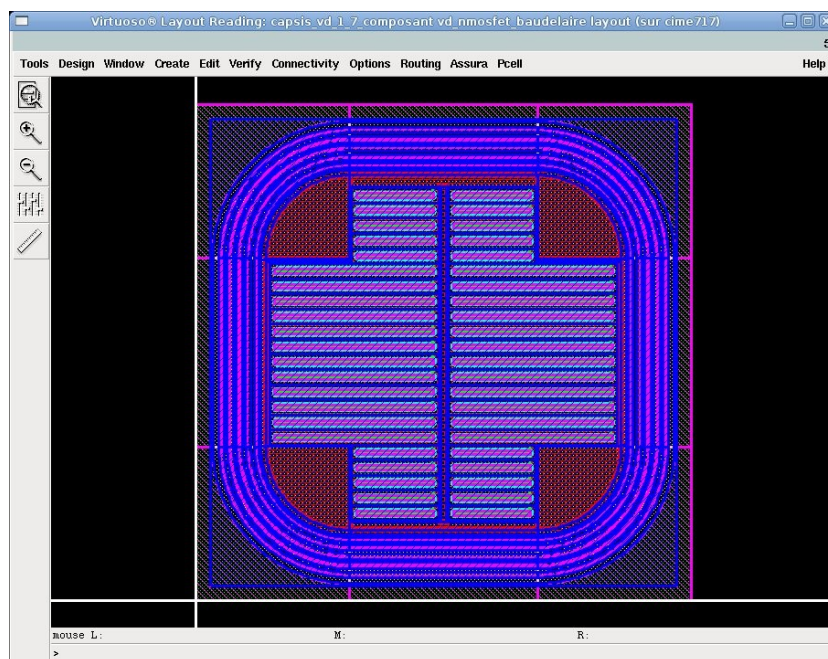


Figure 3-32: masque du composant VD-MOSFET

Celui-ci est constitué de tous les éléments que nous venons de présenter. Nous avons été obligé d'instancier plusieurs BTFA de cellule VD-MOSFET. De plus, ce composant comporte trois paramètres : `largeur_puce`, `hauteur_puce` et `hauteur_auxiliaire`. Par conséquent, nous avons dû, à partir de ces paramètres, déterminer tous les autres paramètres géométriques de chaque BTFA instancié.

La plupart des paramètres sont identiques entre les BTFA et le composant, cependant des calculs sont parfois nécessaires pour les adapter. Les cellules VD-MOSFET sont les éléments les plus complexes à mettre en œuvre. En effet, le nombre de cellules dépend de la taille de la zone active. Il peut arriver que le nombre de cellules à mettre ne soit pas entier. Dans ce cas, nous devons prévoir de mettre un nombre entier de cellules et de remplir par un autre moyen l'espace laissé vide. Nous avons fait le choix d'ajouter un morceau équivalent à une amenée de grille.

Il est important de noter que tous les BTFA ont été conçus pour pouvoir être associés tels quel avec d'autres BTFA. Ceci permet au concepteur de ne pas avoir à se poser de questions. Dans la même veine, les valeurs de paramètres ont été standardisées de façon à limiter au maximum les calculs de paramètres spécifiques. Nous allons avoir l'occasion de voir cela dans la partie qui suit.

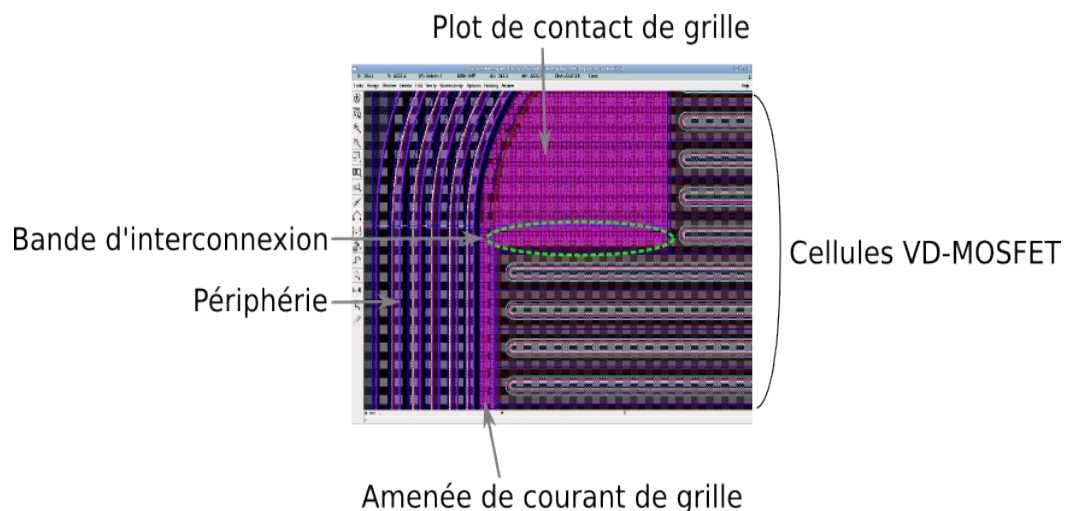


Figure 3-33: exemple d'ajustement de connexion d'éléments

Nous pouvons voir sur la figure des cellules VD-MOSFET, le plot de contact, l'amenée de grille et la périphérie en tension. Nous pouvons constater qu'une bande du même type que l'amenée de courant est ajoutée entre les cellules de VD-MOSFET et le plot de contact.

3.3.4 Récupération des données de la simulation

Nous avons vu que pour concevoir un système intégré sur silicium, nous devons réaliser des simulations afin de déterminer les dimensions de notre système. Après quoi, nous passons à la réalisation du jeu de masques. Nous avons vu comment réaliser la partie simulation et nous venons de décrire le composant qui nous servira pour notre dispositif. Nous devons trouver une méthode pour réaliser le lien entre ces deux parties. Pour cela, Cadence nous fournit un outil nommé « Layout XL ». Ce dernier permet, après avoir réalisé le schéma et les simulations, de créer un masque comprenant le masque des éléments de la schématique avec les valeurs de leurs paramètres. La figure suivante présente le fonctionnement général de layout XL.

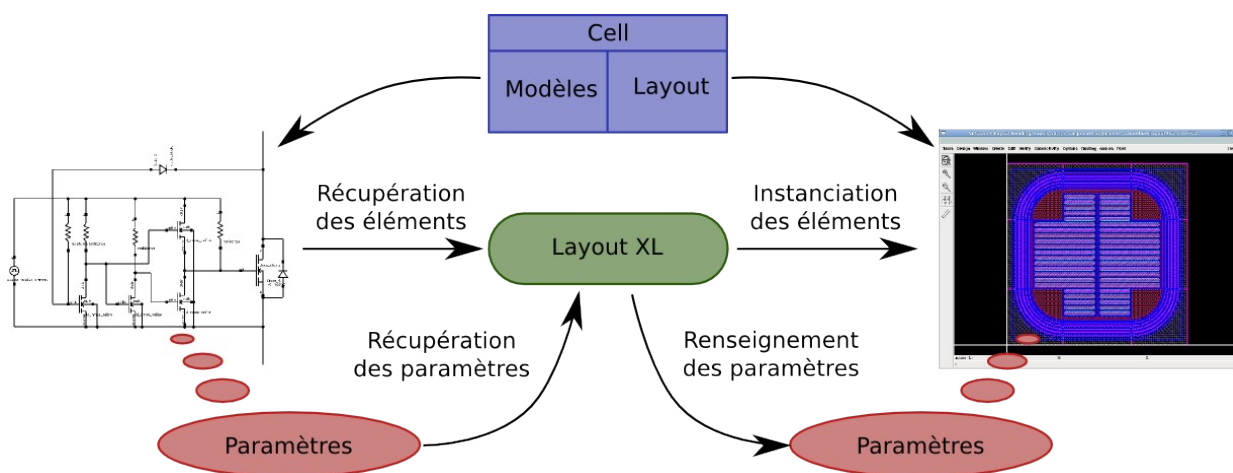


Figure 3-34: transferts de paramètres de la schématique vers les masques

Pour pouvoir utiliser layout XL, nous devons dans un premier temps associer le modèle avec le masque correspondant dans Cadence, c'est-à-dire mettre dans une même « cell » (au sens Cadence), une vue (« view ») avec notre modèle et une vue pour le layout. La deuxième chose que nous devons faire, est de définir des paramètres dans les masques identiques à ceux du modèle. Ainsi, Layout XLinstanciera le layout se trouvant dans la même « cell » que le modèle utilisé dans la schématique et prendra la valeur de chaque paramètre issu de la simulation et la placera dans la variable de même nom du masque.

Nous devons donc mettre en place tout ceci pour notre composant VD-MOSFET. Les paramètres géographiques du modèle étant identiques à ceux du masque, ceci ne pose aucun problème.

Un travail équivalent a été réalisé pour le MOSFET latéral diffusé : LD-MOSFET [NGUYEN-THESE]. Ceci nous a permis d'avoir à notre disposition deux composants afin de tester les fonctionnalités de génération de masques.

Nous avons pu constater que « Layout XL » avait la possibilité d'aider le concepteur dans le routage. En effet, la connectique de la schématique des divers éléments peut être affichée sur les masques. Pour cela, nous devons ajouter les bornes de connexions, (« pin »), à nos masques. Nous avons fait ceci en ajoutant à la technologie que nous avons précédemment définie, un niveau de masque ayant une correspondance « pin ». Puis, nous avons dessiné sur les masques, les emplacements des bornes de connexions à l'aide de ce niveau. Afin que « Layout XL » puisse faire le lien entre les bornes de la schématique et celles des masques, celles-ci devront porter le même nom que dans les modèles.

Nous avons donc maintenant la possibilité de réaliser la schématique d'un système puis de le simuler. Après quoi, nous pouvons générer les masques avec les valeurs des paramètres remplies dans la schématique, puis faire le placement des éléments, et ensuite les connecter, comme Cadence le recommande.

3.3.5 Gestion de la connexion des masques

Dans la partie précédente, nous avons défini différents BTFA. Leur assemblage permettra de réaliser notre jeu de masques de VD-MOSFET. Nous devons donc trouver une méthode permettant de garantir la connexion correcte entre ces différents BTFA. Pour cela, nous allons prévoir de faire les connectiques par la mise en contact de deux BTFA. Cette mise en contact garantira les connections entre les niveaux adéquats, c'est-à-dire tous les niveaux conducteurs servant à l'acheminement de charges. Par exemple, tous les éléments en Polysilicium du VD-MOSFET étant utilisés pour la mise en œuvre de la grille, tous les éléments de ce niveau devront être connectés, alors que le niveau d'aluminium ne devra pas forcément être connecté. En effet, nous trouverons en surface l'aluminium de grille et de source. De plus, la connectique des BTFA devra prendre en compte les contraintes technologiques afin que le concepteur n'ait pas à y prêter attention. Il lui suffira donc de faire toucher deux BTFA pour valider une connectique et ceci en respectant les contraintes technologiques. Par exemple, entre les deux zones en aluminium (une de grille et une de source), une distance minimale devra être respectée.

La figure ci-dessous présente le BTFA des cellules VD-MOSFET.

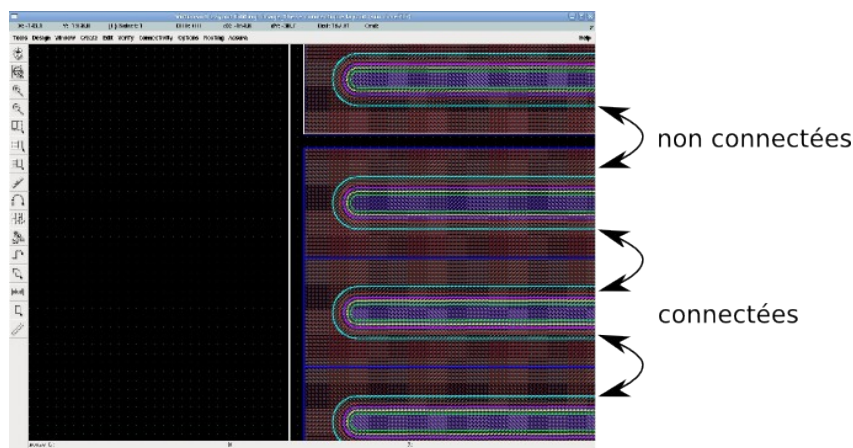


Figure 3-35: exemple de connexion de cellule VD-MOSFET

En haut figure 3-35, nous pouvons voir des cellules non connectées. Celles-ci sont indépendantes et aucun de leurs masques n'est connecté. En bas figure 3-35, nous pouvons voir que les cellules sont correctement connectées : les niveaux polysilicium de grille et aluminium de source sont connectés.

Les figures 3-36 et 3-37 présentent l'amenée de grille et les cellules de VD-MOSFET respectivement non-connectées et connectées.

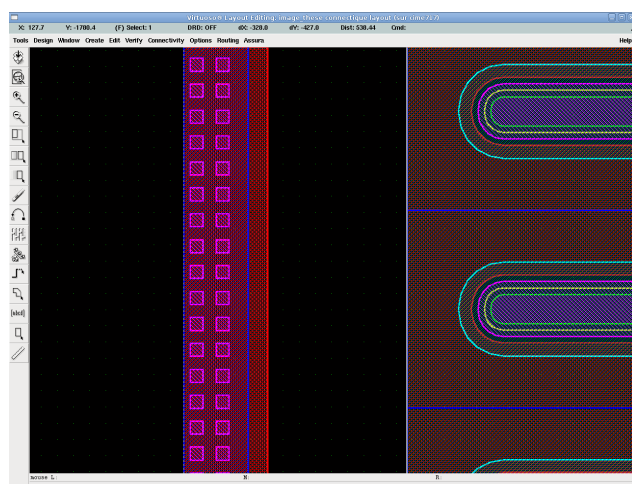


Figure 3-36: erreur de connexion d'une amenée de courant de grille et de cellule de VD-MOSFET

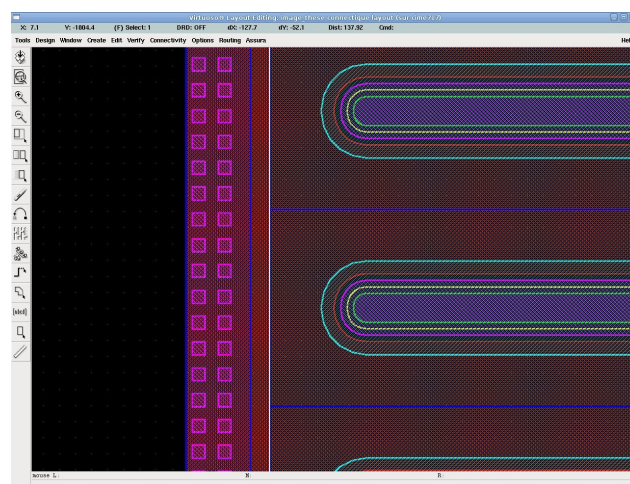


Figure 3-37: exemple de connexion d'une amenée de courant de grille et de cellule de VD-MOSFET

Sur la figure 3-36, la connectique n'est pas réalisée, alors que sur la figure 3-37, elle l'est. Cette fois, seul le Polysilicium devra être connecté car il constitue la grille. Par contre, les aluminiums ne seront pas connectés car l'un est pour la source alors que le second est pour la grille. Nous pouvons remarquer qu'une distance est respectée entre les deux aluminiums, afin d'assurer la contrainte technologique existant sur cette cote. Ceci montre le soin que nous avons apporté à la définition des BTFA pour en faciliter l'assemblage.

Nous pouvons donc voir que la connectique des éléments d'un jeu de masques peut être réalisée simplement. Cependant, celle-ci devra être pensée dès la conception de l'élément, afin de prendre en compte les contraintes technologiques et de faire en sorte que la connexion de deux éléments n'introduise pas d'erreur.

3.3.6 Vérification

Nous avons vu comment réaliser des masques paramétrés à l'aide des pCell de Cadence et comment affecter leurs paramètres à partir des valeurs que l'utilisateur utilisera dans ses modèles pour réaliser ses simulations. De plus, nous avons mis en place une connectique afin d'aider le concepteur lors du placement/routage de son système. Cependant, nous avons vu dans le chapitre précédant que la structure du composant et les appareils utilisés lors de la fabrication en salle blanche peuvent entraîner des contraintes. Ces dernières devront non seulement être prises en compte lors de la réalisation des masques, mais aussi être vérifiées avant la mise en fabrication des masques. Ceci permettra de ne pas avoir de problèmes avec des prototypes qui ne fonctionneraient pas à cause d'une erreur prévisible. Toutefois, le nombre de contraintes peut devenir rapidement important et les dessins à vérifier complexes et nombreux. Nous proposons donc de trouver une solution pour automatiser ce travail. Ainsi, nous allons maintenant expliquer ce que fournit Cadence à la micro-électronique pour réaliser ce travail.

Cadence propose dans son environnement un outil nommé « Diva », qui est destiné à la vérification complète du composant. Diva aide le concepteur à trouver les erreurs de conception et effectue une visualisation interactive de ses erreurs pour faciliter leur diagnostic et leur correction. Cet outil comprend un ensemble de produits de vérifications physique et électrique illustrés sur la figure 3-38.

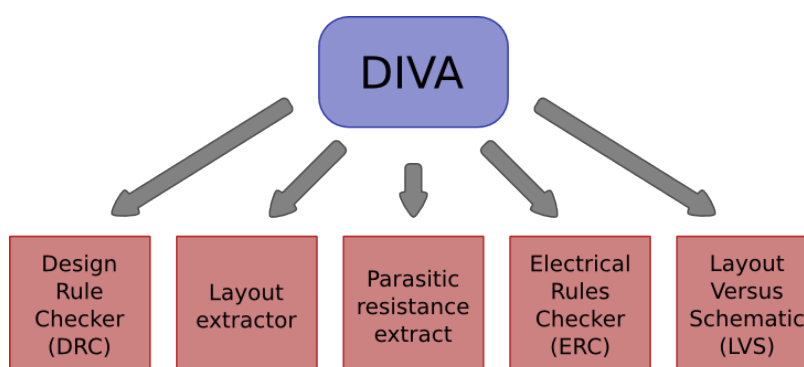


Figure 3-38: module de DIVA

Nous allons nous intéresser dans cette partie au module : Design Rule Checker (DRC). Ce dernier, comme son nom l'indique, permet de vérifier le design d'après des règles définies dans le design-kit.

3.3.6.1 Fonctionnement du DRC

Le DRC de Diva permet la vérification des dimensions des masques. Ceci est effectué à l'aide d'un fichier décrivant chacune des règles à vérifier. Ces règles peuvent être de différents types : aire d'une surface,

distance entre deux éléments, chevauchement,... (voir annexe D.1)

Pour chacun de ces types, il faudra indiquer le niveau et la valeur de la cote à vérifier. Nous remarquons que certains types permettent soit la vérification sur un niveau, soit entre deux niveaux. Le concepteur du fichier du DRC devra indiquer une règle par type à vérifier et ceci pour chacun des niveaux qu'il voudra tester. Ainsi, si l'aire d'un élément doit être vérifiée sur dix niveaux, il faudra créer dix règles distinctes.

3.3.6.2 Contraintes de notre technologie

Afin d'élaborer le fichier utilisé par Diva pour réaliser le DRC, nous devons dans un premier temps définir toutes les règles correspondant aux contraintes de notre structure et de la salle blanche que nous utiliserons. En général, la structure impose les contraintes qu'il faudra respecter mais leurs valeurs seront fournies suivant les moyens de la salle blanche. Pour illustrer ceci, considérons la figure suivante.

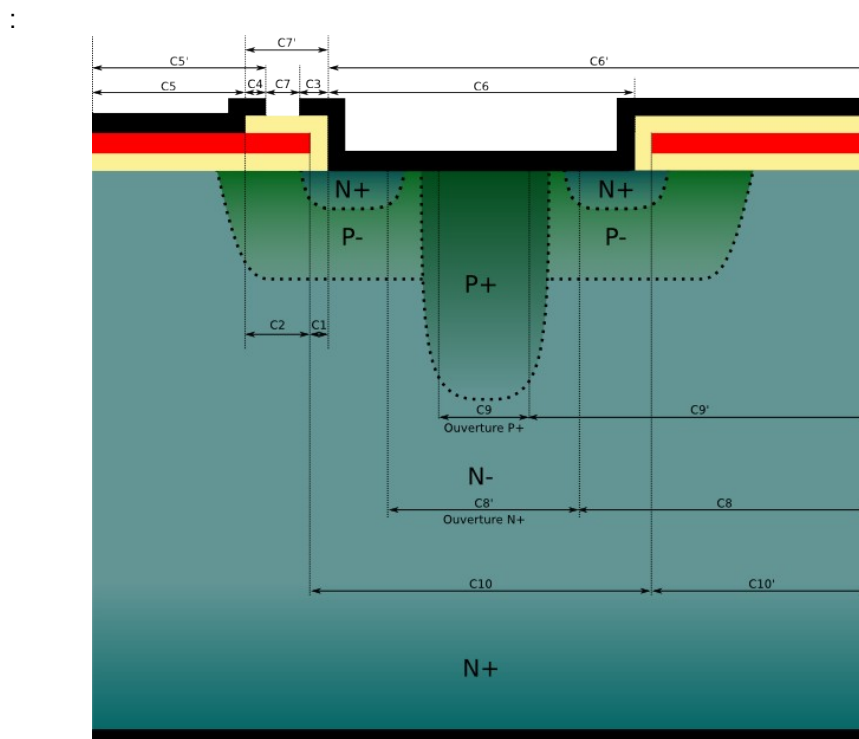


Figure 3-39: contraintes appliquées à la cellule du VD-MOSFET

Nous trouverons en annexe D.2, le détail, les explications et les côtes choisies des contraintes structurelles et de la salle blanche appliquée à notre VD-MOSFET

3.3.6.3 Définition des règles

Connaissant maintenant toutes les contraintes de notre structure et de notre technologie de fabrication, nous devons déterminer pour chacune d'elles le masque sur lequel elle s'applique. Ce travail est présenté dans l'annexe D.3. Puis nous devons déterminer le type de règles à appliquer, la distance entre éléments, les dimensions minimales ou maximales de l'élément,... que nous trouverons également détaillé en annexe D.3.

3.3.6.4 Fichier Diva

Nous avons maintenant toutes les informations pour réaliser le fichier Diva servant pour le DRC. Le fichier de vérification commence avec une instruction permettant d'identifier l'outil DIVA à utiliser, dans notre cas le DRC.

Puis, nous trouvons des niveaux dérivés. Ces derniers sont réalisés par des opérations logiques entre plusieurs masques. Ceci permet d'obtenir seulement certains éléments des masques. Ce sont sur ces masques que les règles seront appliquées.

Enfin, nous passons à la description des règles géométriques à vérifier et définies précédemment. Chaque type de règles à vérifier (distance entre éléments, taille d'un élément) est donné par une instruction spécifique qui est effectuée sur un ou plusieurs niveaux dérivés. Une chaîne de caractères à afficher en cas d'erreur est aussi ajoutée pour informer l'utilisateur sur le type d'erreur qui vient d'être détecté.

Une description plus complète de chacun des éléments utilisés pour la création de notre fichier de vérification se trouve dans l'annexe D.4.

3.3.7 Conclusion

Nous avons vu dans ce chapitre divers concepts indispensables à la mise en place de la plateforme CAPsis. Nous avons fait le choix d'en étudier certains, ces derniers permettant la mise en place de la base de CAPsis. Nous avons donc vu dans ce chapitre l'étude de la mise en place de notre méthode de modélisation et la génération des masques que nous proposons dans le chapitre précédent.

Nous avons commencé par une partie modélisation qui débute par la définition de notre modèle de VD-MOSFET. Par la suite, nous avons vu la mise en place de méthodes de modélisation par un assemblage combinatoire de modèles permettant une capitalisation des modèles. De plus, nous avons vu comment mettre en place une configuration du niveau de finesse de nos modèles, paramétrable par l'utilisateur de ces modèles. Toutefois, ces concepts ont fait apparaître un problème de redondance de calcul que nous avons solutionné par la mise en place d'un modèle générique du comportement électrique de certaines parties de la structure du composant et des fonctions intégrées. Celui-ci mutualise tous les calculs très sensibles à la technologie et redistribue les résultats à tous les modèles. Toutefois, le calcul de la totalité des valeurs à chaque itération reste lourd. Nous pouvons imaginer une solution basée sur l'interpolation d'un tableau pré calculé. Nous commencerions par une simulation à éléments finis de notre structure (NPN dans le cas d'un VD-MOSFET) pour déterminer toutes les caractéristiques structurelles pour une sollicitation électrique. Ces valeurs mises sous forme de tableau alimenteraient le modèle CPS, qui lirait directement ou par interpolation les valeurs utiles à une sollicitation donnée.

La seconde étude que nous avons réalisée traite de l'automatisation du dessin des masques. Nous avons commencé par la définition de notre filière technologique sur la base du logiciel Cadence. Après quoi, nous avons cherché une solution permettant la réalisation de masques paramétrés. Pour cela, nous nous sommes appuyés sur les fonctions disponibles dans le logiciel Cadence, les pCell, qui nous ont permis de réaliser les

éléments de nos composants et de les assembler. Puis nous avons réalisé le lien entre les masques et la partie schématique. De ce fait, nous avons la possibilité de transférer les valeurs des paramètres de la simulation au jeu de masques, et donc d'instancier tous les éléments de notre schématique sur notre jeu de masques et ceci avec les bonnes valeurs de paramètres. Nous avons porté une attention particulière à la gestion des connexions entre les divers éléments tout en prenant en compte les contraintes technologiques. Ces dernières ont fait l'objet de notre dernier point d'étude, en effet nous avons cherché les solutions de détection d'erreurs pouvant exister sur un jeu de masques.

Chapitre 4 Application

4.1 Introduction

Ce dernier chapitre est consacré à la mise en application du processus de conception dans un cas concret, très spécifique et non conventionnel. Le but de notre projet applicatif consiste en la conception et la réalisation d'un interrupteur de puissance auto-commuté dont les fonctions de commutation automatique seront intégrées directement in situ. Cela permet de simplifier la mise en œuvre de ce composant, en faisant le choix d'intégrer monolithiquement un interrupteur de puissance de type VD-MOSFET et une fonction permettant la commutation automatique. Dans le second chapitre, nous avons présenté une solution permettant l'émulation d'une telle fonction. Nous avons aussi montré que celle-ci était entièrement intégrable monolithiquement au sein d'un transistor VD-MOSFET sans avoir à en modifier la filière technologique. Notre fonction se base sur la surveillance de la tension aux bornes de l'interrupteur de puissance. Un capteur associé à une électronique simple permet de déterminer "l'état" du composant et ainsi de déterminer si l'ordre actuel devra être maintenu ou modifié.

La conception d'un interrupteur de puissance à commutation automatique se révèle plus complexe qu'un simple composant de puissance (VD-MOSFET, IGBT,...), au vu du nombre de composants intégrés de leurs interaction les uns avec les autres pour former une fonction "complexe". Aussi, ce projet est un choix intéressant permettant de vraiment évaluer les bénéfices offerts par la mise en place et l'utilisation de la plateforme CAPsis.

Ce chapitre présente l'utilisation des éléments que nous avons présentés et mis en œuvre dans les chapitres précédents. Nous commencerons par une présentation approfondie de la fonction à intégrer, son mode opératoire et les grandeurs électriques associées à son utilisation. Puis nous présenterons notre solution et son implémentation au sein de son convertisseur de test. Le travail d'analyse sera conduit en simulation électrique pour mettre au point notre interrupteur. Le choix de la solution sera motivé par les conditions d'intégration électrique et technologique. Par la suite, nous passerons à la création du jeu de masque de notre système. Enfin nous conclurons sur une présentation de nos prototypes avec une rapide caractérisation.

4.2 Schématique / Simulation

4.2.1 Schématique retenue de l'émulateur

Nous avons présenté dans les chapitres précédents le fonctionnement de notre interrupteur à commutation automatique, nous n'en ferons donc ici qu'un rapide rappel en commençant par une présentation de son schéma de principe, basé sur une technologie LD-MOSFET de type N compatible électriquement et technologiquement avec le composant de puissance, et décrit sur la figure suivante :

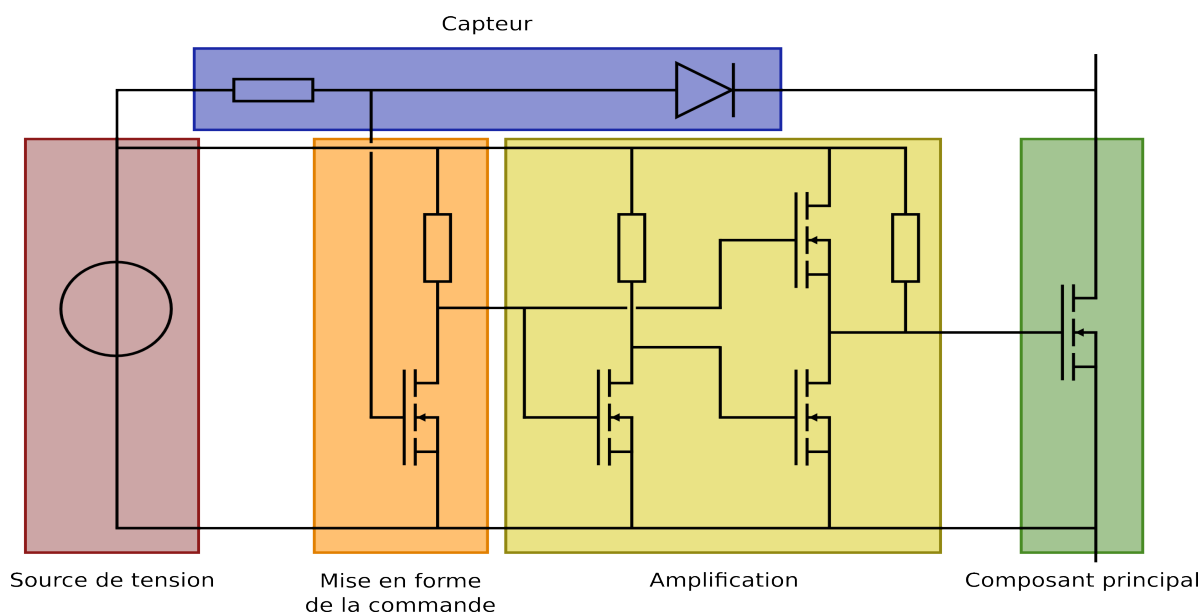


Figure 4-1: schématique de l'interrupteur automatique

Nous pouvons voir les différentes parties constituant notre interrupteur :

- le composant principal assurant la fonction interrupteur de puissance est représenté par un VD-MOSFET,
- un capteur réalisé par une source de tension (non intégrée), une diode et une résistance permettent de surveiller la tension aux bornes de l'interrupteur,
- la mise en forme du signal de commande est obtenue par la mise en place d'un inverseur à seuils à la sortie du capteur,
- un circuit servant à l'amplification des signaux de commande pour le pilotage de l'interrupteur principal est réalisé à l'aide d'un push-pull de type N MOSFET,
- une source de tension, référencée au potentiel de référence du composant de puissance et intégrable (non représentée sur la figure), alimente l'ensemble.

Le dimensionnement des LD-MOSFET de type N repose sur les travaux réalisés par Nguyen Dac Binh au cours de ses travaux de thèse (NGUYEN-THESE).

4.2.2 Schématique de la structure avec les valeurs d'inductances souhaitées

4.2.2.1 Présentation de la structure

Afin de mettre au point notre interrupteur à commutation automatique, nous allons avoir recours à des simulations via la plateforme CAPsis. Pour cela, nous devons choisir une structure de conversion permettant la conception, la mise au point et la vérification du bon fonctionnement de notre composant « intelligent ». En

effet, l'intégration de fonctions repose sur des compatibilités fonctionnelles, électriques et technologiques sachant que dans un second temps, la compatibilité thermique doit aussi être prise en considération. Nous avons fait le choix d'utiliser la solution redresseur réversible mise en œuvre au laboratoire Laplace sous l'impulsion du groupe de recherche animé par F. Richardeau [RICHARDEAU] pour l'analyse fonctionnelle et l'étude des composants à commande automatique. La figure suivante présente la structure du convertisseur, ainsi que les valeurs des éléments le constituant.

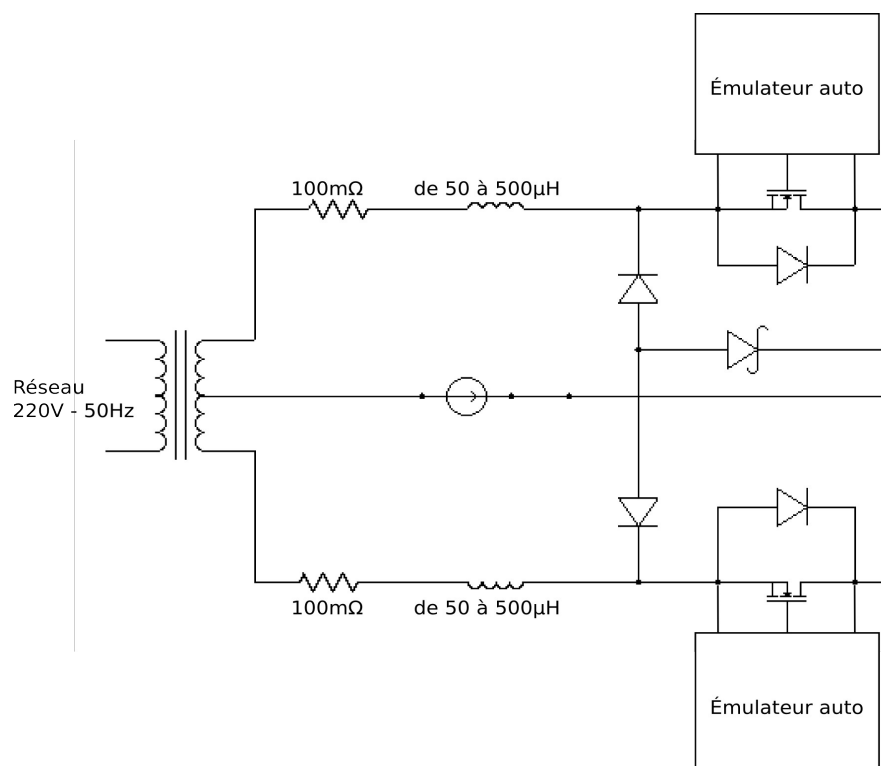


Figure 4-2: schématique de la structure du convertisseur de test

La charge est une source de courant continu mais réversible. Lorsque celle-ci absorbe de la puissance, le montage fonctionne en tant que redresseur via les diodes. À l'inverse, si la charge fournit de la puissance, le montage passe automatiquement en fonctionnement onduleur.

4.2.2.2 Phases de fonctionnement

Le fonctionnement de cette structure peut être découpée en cinq phases distinctes que nous allons détailler.

Phase 1 : fermeture de l'interrupteur du haut

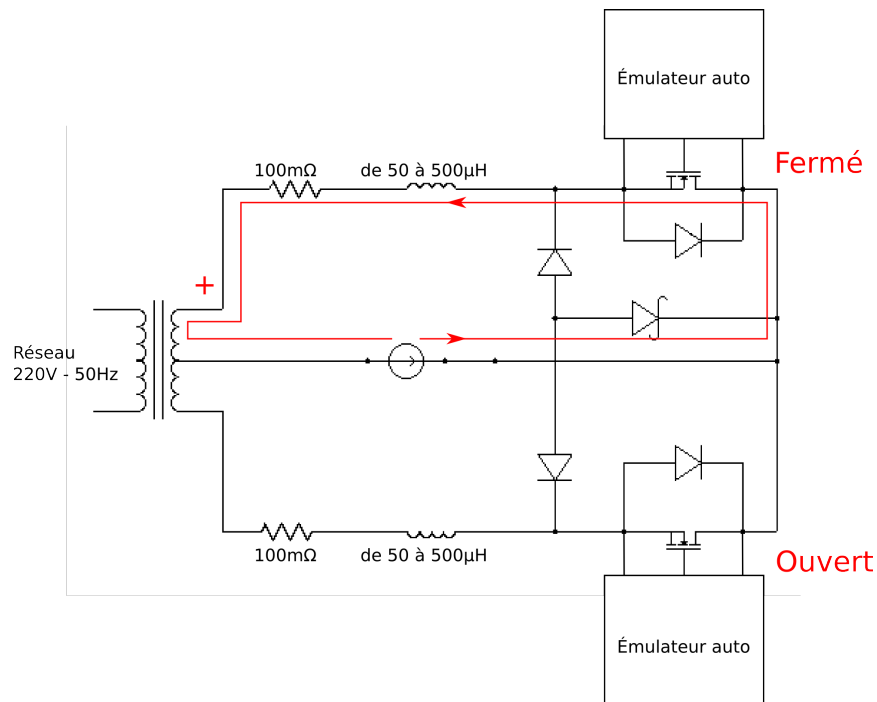


Figure 4-3: circulation du courant lors de la phase 1

On considère que la tension du réseau est faible (inférieure à 1 ou 2 volts) mais positive, que la tension aux bornes de l'interrupteur du haut est faible et que cela a rendu active la commande de fermeture de l'interrupteur du haut. Cet état sera maintenu tant que le courant dans l'interrupteur ne dépasse pas le seuil de déclenchement.

Phase 2 : activation de la commande de fermeture de l'interrupteur du bas

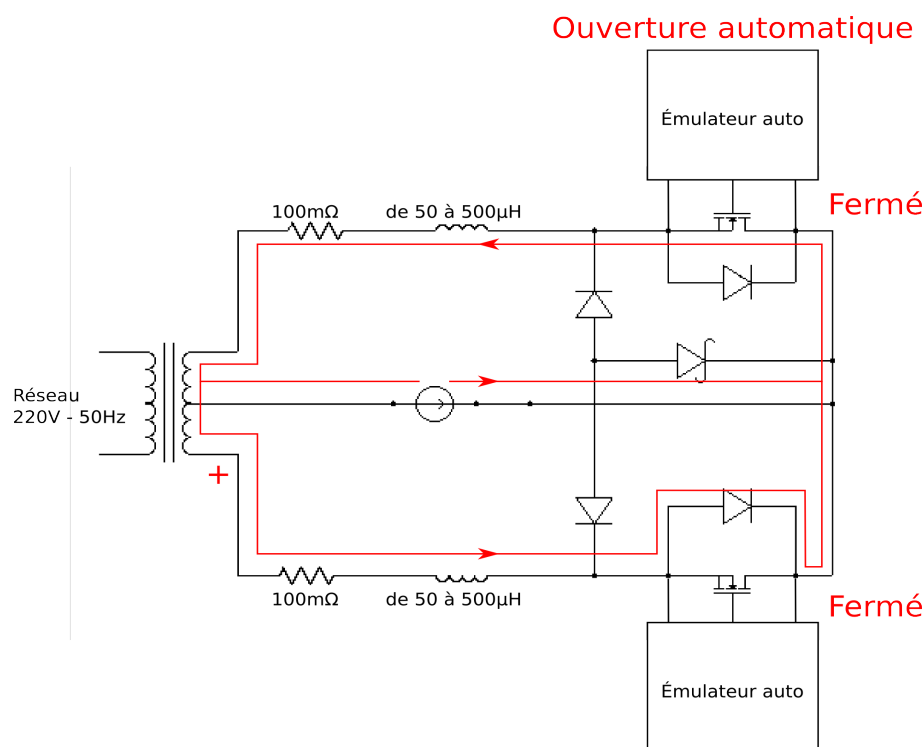


Figure 4-4: circulation du courant lors de la phase 2

Lorsque la demi période positive se termine, la tension du réseau s'inverse et donc l'interrupteur du haut reste fermé ; le courant de charge continue à le traverser. La tension du réseau aux bornes de l'interrupteur du bas étant faible, l'ordre de se fermer lui est donné. Toutefois, l'interrupteur du haut étant quant à lui déjà fermé, un courant de court-circuit de la source (entendre par là le réseau) apparaît, circulant via la diode de l'interrupteur du bas et l'interrupteur du haut. Le courant dans l'interrupteur du haut dépasse alors son seuil de déclenchement ce qui entraîne son ouverture et annule le courant de court-circuit. Comme l'interrupteur du bas était fermé, le courant issu de la source de courant peut circuler via ce chemin.

Phase 3 : fonctionnement avec l'interrupteur du bas fermé et celui du haut ouvert

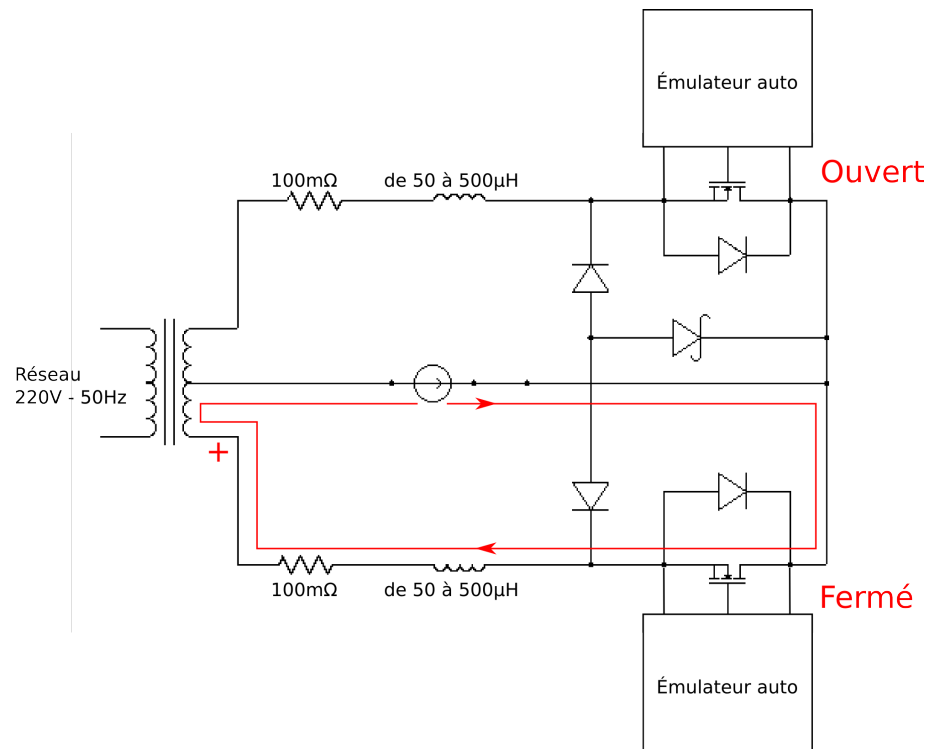


Figure 4-5: circulation du courant lors de la phase 3

Comme l'interrupteur du haut est maintenant ouvert et celui du bas fermé, le courant de charge s'établit dans ce dernier. Cet état est maintenu tant que le courant dans l'interrupteur du bas ne dépasse pas son seuil de déclenchement.

Phase 4 : activation de la commande de fermeture de l'interrupteur du haut

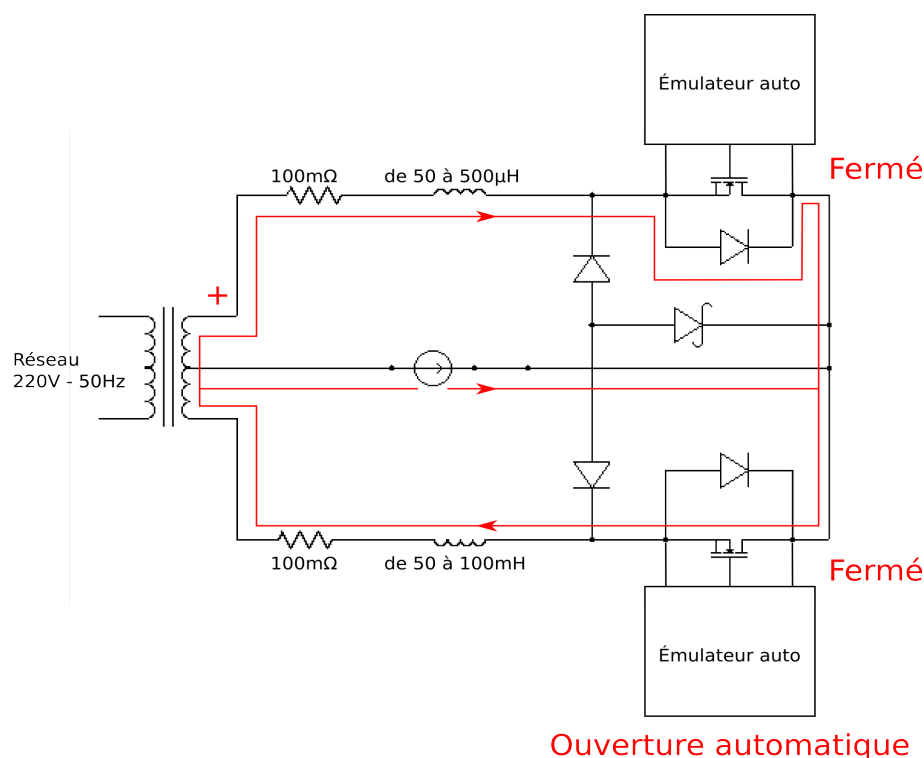


Figure 4-6: circulation du courant lors de la phase 4

À la fin de la demi période négative, la tension du réseau s'inverse et à l'image de la phase 3, l'interrupteur du bas reste fermé et un courant de court-circuit apparaît à travers la diode du haut. Le courant de charge passe via l'interrupteur du bas ainsi qu'un courant de court-circuit de la source (entendre par là le réseau AC). La somme de ces courants implique le déclenchement de l'interrupteur du bas. L'interrupteur du haut ayant été fermé lorsque sa diode en antiparallèle était passante, le courant de la source de courant peut trouver un passage au travers de ce composant.

Phase 5 : fonctionnement avec l'interrupteur du haut fermé et celui du bas ouvert

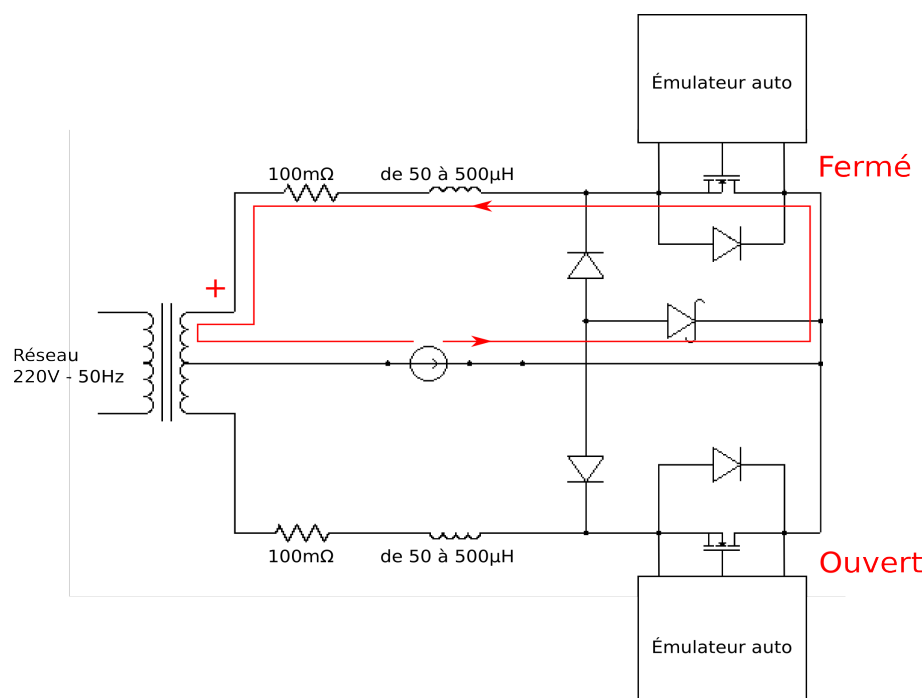


Figure 4-7: circulation du courant lors de la phase 5

L'interrupteur du haut est à nouveau fermé et est traversé par le courant de charge. Nous retrouvons ici la configuration de la phase 1.

4.2.2.3 Simulations temporelles

Afin de valider le fonctionnement de notre solution, nous avons commencé par faire des simulations de celle-ci avec uniquement les parties fonctionnelles des modèles. Ceci se traduit par la mise à la valeur « zéro » des variables avec le préfixe « parasite » et « environnement » (aucune dans notre cas). Par contre, les paramètres avec le préfixe « fonctionnel » ont été choisis à une valeur de « un » afin de refléter au plus juste leur comportement réel. Dans ces conditions, nous avons pu obtenir les formes d'ondes qualitatives présentées sur la figure 4-8.

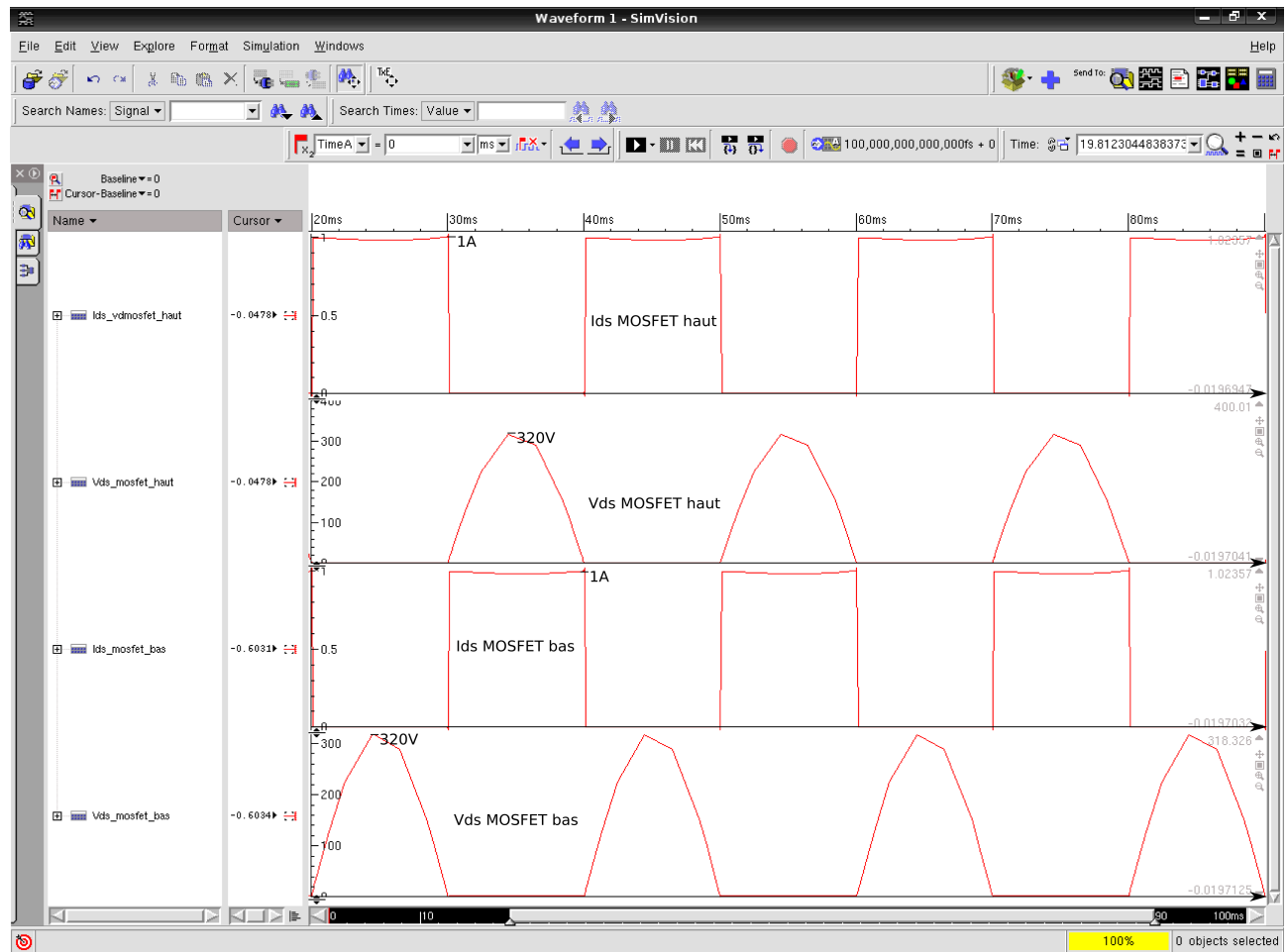


Figure 4-8: simulation de la partie fonctionnelle de l'émulateur

Sur cette figure, nous pouvons voir les courants et tensions des interrupteurs du haut et du bas. Nous constatons que la somme des deux courants est égale au courant de charge (la source de courant), constant à 1A, et qu'il y a alternance dans leur conduction. Les figures 4-9 et 4-10 présentent les zooms des commutations. Nous trouvons respectivement un zoom de la commutation de la fermeture du MOSFET du haut, puis un zoom de l'ouverture de ce même transistor.

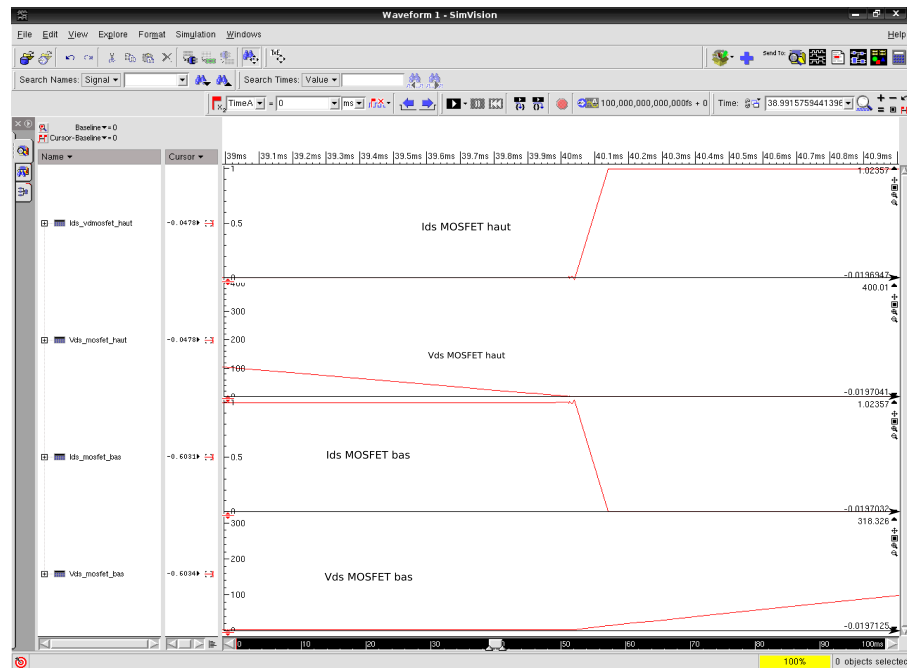


Figure 4-9: zoom sur la fermeture du MOSFET du haut

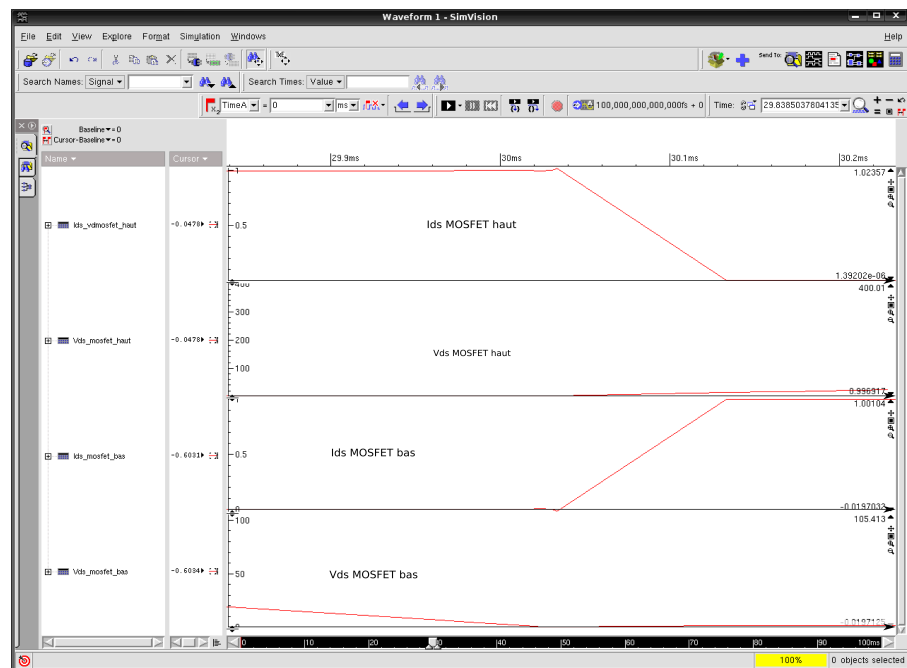


Figure 4-10: zoom sur l'ouverture du MOSFET du haut

Nous pouvons voir sur ces deux figures que le temps de commutation est de l'ordre de 100 μ s et qu'aucune oscillation ou dépassement n'apparaît.

Ainsi, nous pouvons dire que notre émulateur fonctionne correctement.

4.2.2.4 Ajout de la partie parasite

Nous pouvons donc ajouter la partie « parasite » des modèles, en mettant à la valeur « un » des paramètres avec le préfixe « parasite », à chacun de nos modèles. Dans ces conditions, nous avons rencontré des difficultés de fonctionnement du convertisseur comme nous le présente la figure 4-11.

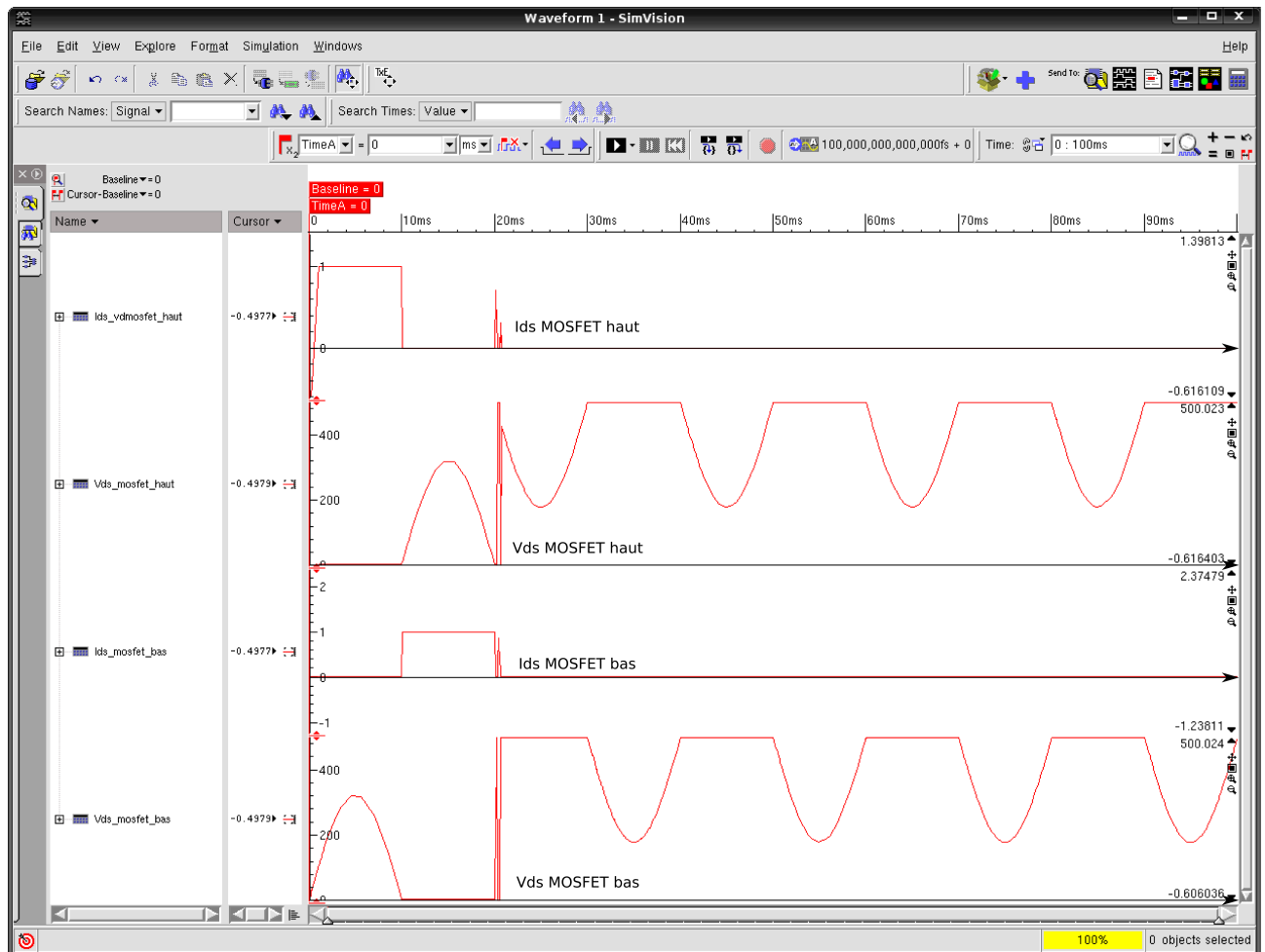


Figure 4-11: forme d'onde du convertisseur avec éléments parasites

Nous pouvons voir que l'émulateur s'arrête de fonctionner après la première période. La figure 4-12 présente un zoom sur 30 ms, correspondant normalement au deuxième réamorçage du MOSFET au haut.

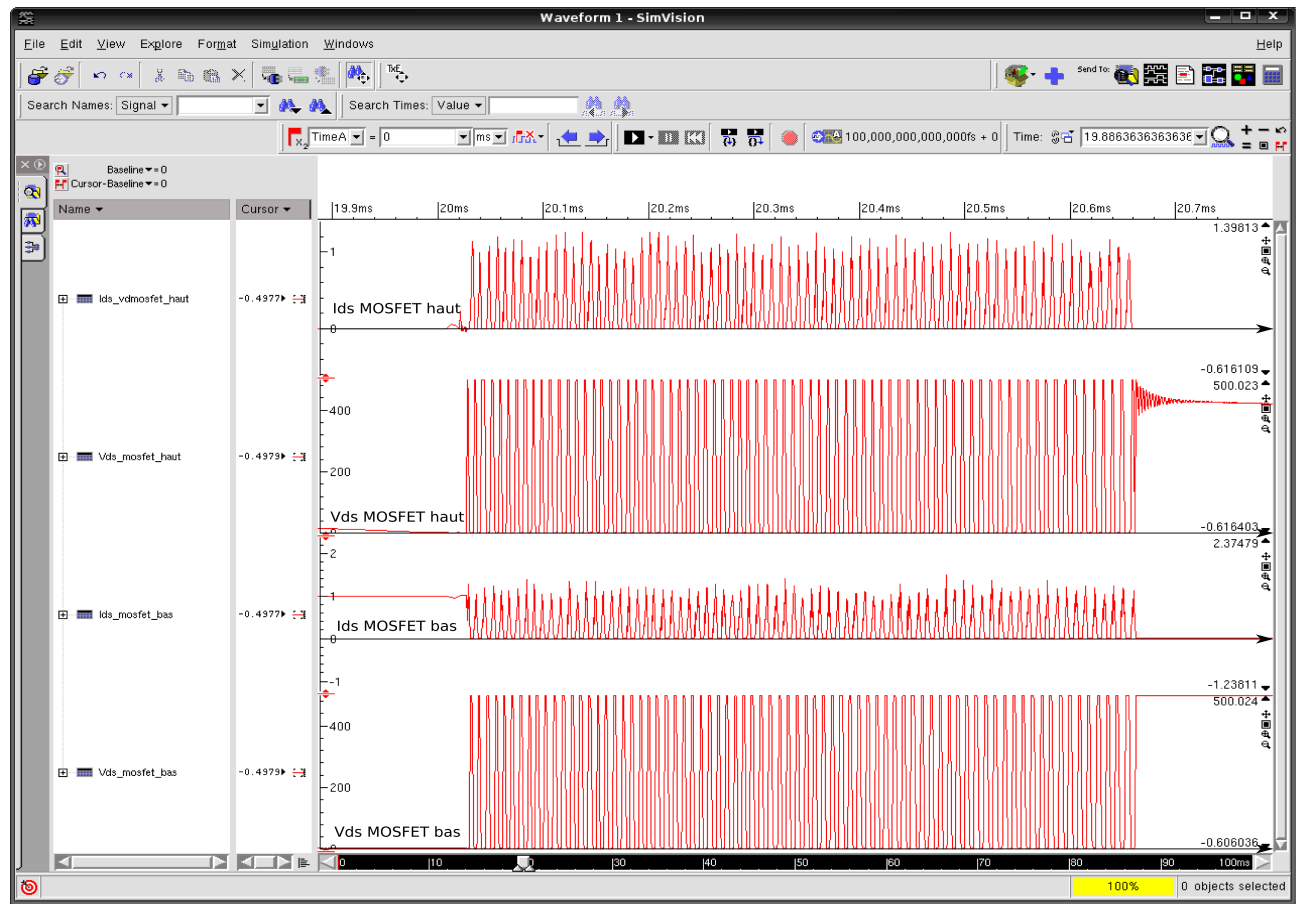


Figure 4-12: zoom lors de l'arrêt du fonctionnement du convertisseur

Nous pouvons constater un nombre important d'oscillations non atténuées.

4.2.2.5 Analyse des interactions

Nous avons pu contourner le problème d'arrêt de fonctionnement par la réduction de l'inductance de ligne, en la passant de $50\mu\text{H}$ à 50nH . Ceci nous a permis de constater un fonctionnement correct de notre solution, comme le présente les formes d'ondes de la figure 4-13.

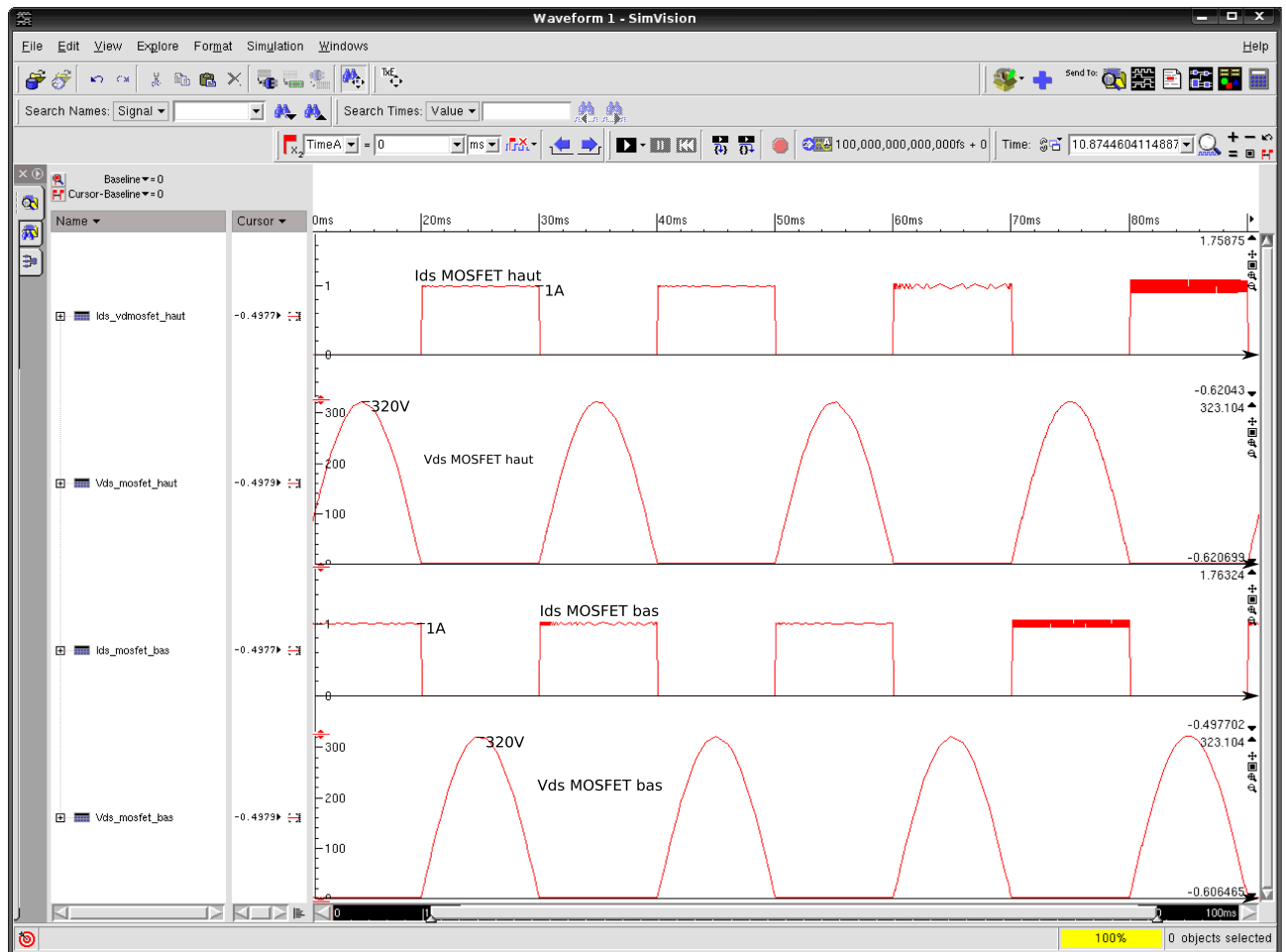


Figure 4-13: résultats de simulation de l'émulateur avec les parasites avec inductance de ligne faible

Comme pour les formes d'ondes précédentes, nous pouvons observer les courants et tensions des interrupteurs du haut et du bas. Nous pouvons aussi voir une commutation correcte des interrupteurs, par une bonne circulation du courant de charge.

Nous pouvons observer sur les figures 4-14 et 4-15 des zooms sur les commutations lors de la fermeture, puis lors de l'ouverture du MOSFET du haut.

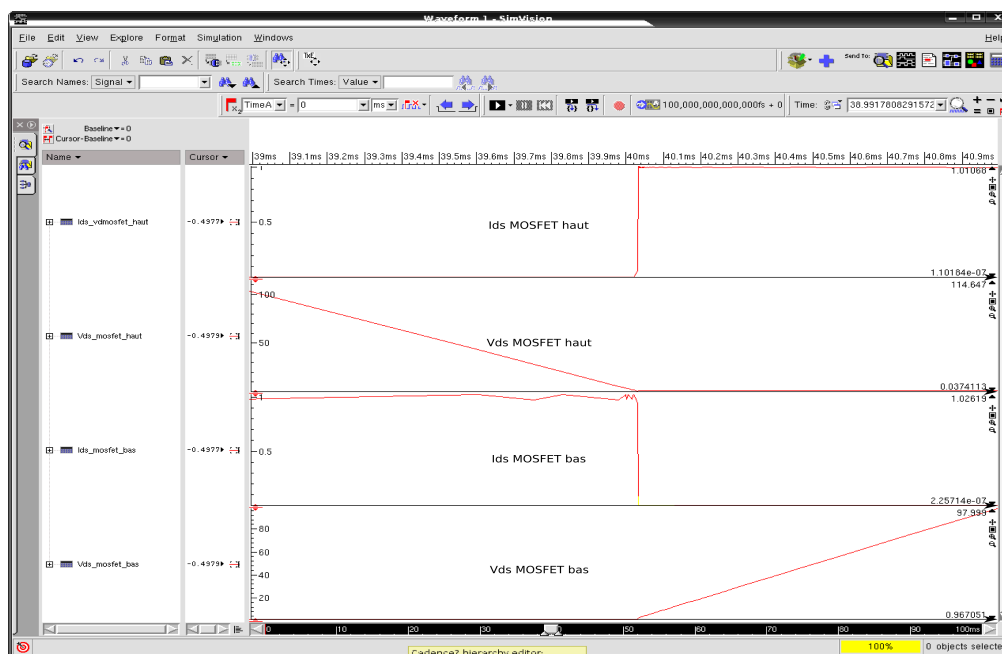


Figure 4-14: zoom sur la commutation lors de la fermeture du MOSFET du haut

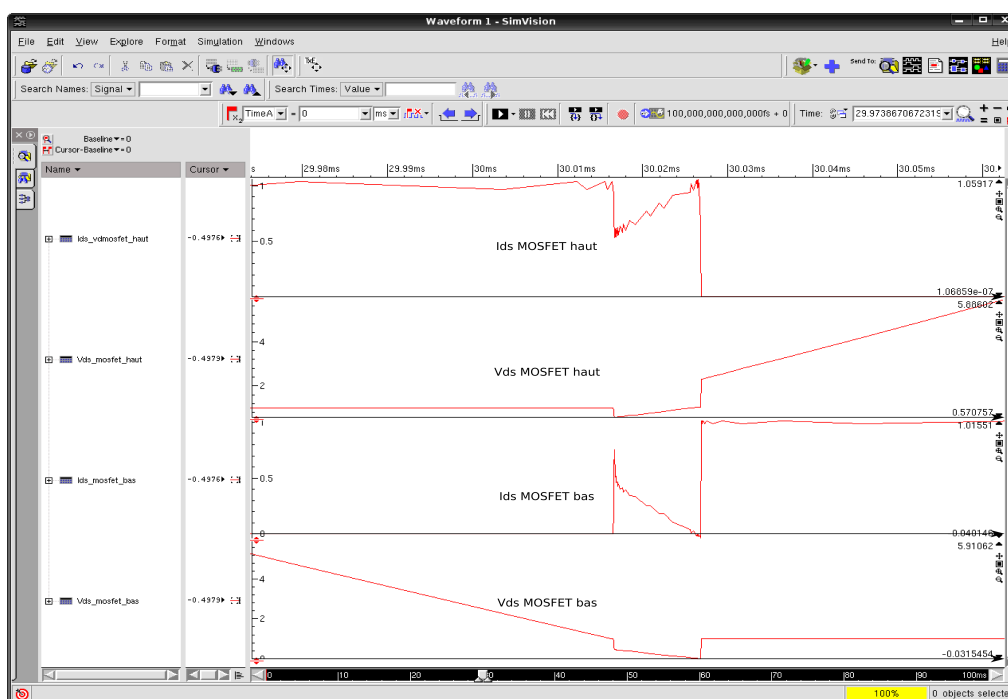


Figure 4-15: zoom sur la commutation lors de l'ouverture du MOSFET du haut

Nous pouvons donc dire que le problème d'arrêt de fonctionnement de convertisseur est dû à l'interaction entre les éléments parasites et l'inductance de ligne. En effet le convertisseur fonctionne soit lorsque nous supprimons les éléments parasites de la structure (première simulation), soit lorsque nous réduisons l'inductance de ligne (dernière simulation). Comme l'interaction de ces deux éléments créent des oscillations qui empêchent le bon fonctionnement du convertisseur ; nous devons trouver une solution permettant leur

suppression.

4.2.2.6 Solution proposée pour les problèmes induits par les interactions

A cette fin, nous avons fait le choix d'inhiber l'émulateur pendant un instant, lors des commutations, afin d'éviter d'entretenir le phénomène d'oscillation. Pour cela, une solution simple consisterait à créer une détection par cycle d'hystérésis. Pour ce faire, nous pourrions avoir recours à un montage de trigger de Schmitt. Le principal inconvénient de celui-ci est l'utilisation d'un amplificateur différentiel qui se révèle complexe à intégrer en technologie N-MOS, voire impossible sans changement de la filière technologique. Par contre, à l'aide du transistor LD-MOSFET N, nous avons la possibilité de réaliser des circuits logiques qui, associés à une détection à deux seuils de la tension du capteur, pourraient permettre la création d'un pseudo trigger de Schmitt.

Ceci implique un moyen de détection de deux seuils de tension ; or nous ne disposons d'aucun composant permettant ceci. Nous devons donc trouver une solution permettant de modifier la tension de seuil du transistor LD-MOSFET N, sans changer la structure géologique du composant de puissance, et en minimisant les modifications du procédé technologique. Donc d'après l'équation de la tension de seuil :

$$V_{th} = \varphi_{ms} + \frac{2,0 \cdot (k \cdot Temp)}{q} \cdot \log\left(\frac{P_m}{n_i}\right) + \frac{\left(\sqrt{\frac{2,0 \cdot q \cdot P_m \cdot \varepsilon_{si} \cdot \varepsilon_0 \cdot 2,0 \cdot (k \cdot Temp)}{q}} \cdot \log\left(\frac{P_m}{n_i}\right) \right)}{\left(\frac{\varepsilon_{si} \cdot \varepsilon_0}{h_{ox}} \right)} \quad (15)$$

Nous pouvons constater qu'il est possible de jouer sur peu de paramètres pour faire varier la tension de seuil :

- l'épaisseur d'oxyde (h_{ox}) : non envisageable car cela impliquerait une modification de tous les seuils ou l'ajout d'une étape supplémentaire.
- le dopage du porte canal (P_m).

En effet, si nous disposons de deux niveaux de dopage :

- le P- utilisé normalement en porte canal
- le P+ utilisé comme prise de contact et court-circuit de source pour les composants verticaux et latéraux.

Si nous faisons passer la poche P+ sous la grille (voir figure 4-16), le dopage du porte canal augmentera et par conséquent la tension de seuil aussi.

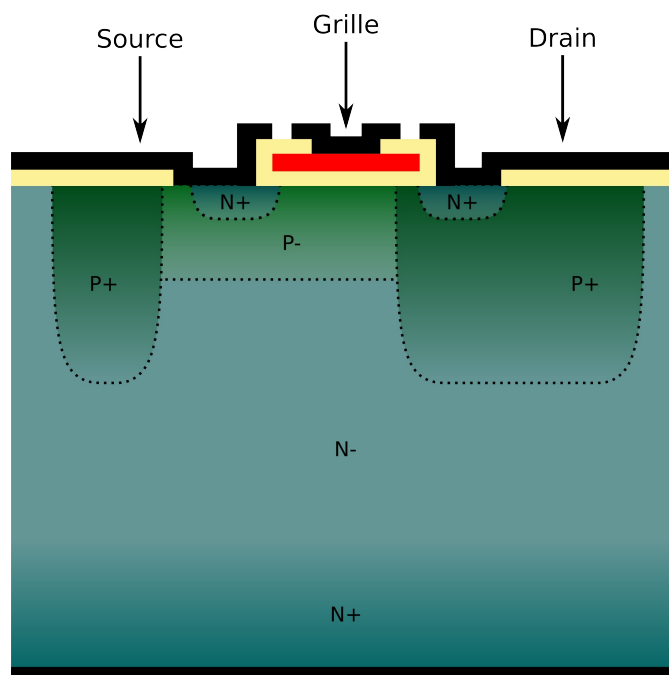


Figure 4-16: structure du LD-MOSFET à tension de seuil haut

Nous devons veiller à ce que cette augmentation de la tension de seuil n'altère pas les autres caractéristiques du composant latéral. En particulier, si les conditions d'auto-écrantage sont toujours satisfaites, il faut veiller à ce que la tenue en tension maximale du composant soit maintenue à une valeur satisfaisante. En effet, le dopage du porte canal joue un rôle important dans la tenue en tension du composant. De fait, en dopant principalement la région de source, on parvient à gérer localement l'inversion du canal sans que cela joue sur la jonction PN polarisée en inverse au niveau du drain.

Cette solution a pour avantage de ne pas modifier le cheminement technologique, tout en offrant des niveaux de tensions de seuil différents de ceux du composant de puissance et des transistors latéraux classiques, et ceci, uniquement en modifiant le niveau de masque P+. De plus, nous pouvons imaginer que le niveau de masque P+ du layout du LD-MOSFET N soit paramétré afin de pouvoir régler le seuil de commutation du composant.

Pour cela, il nous faut imaginer que nous faisons plus ou moins pénétrer la région P+ sous la grille. Nous pouvons alors profiter de la partie diffusée qui permet de régler, avec plus ou moins de précision, le dopage maximum présent sous la grille et à inverser pour rendre passant le composant latéral. Nous devons cependant nuancer ce degré de liberté car cette technique dépend fortement de la capacité à aligner les masques les uns par rapport aux autres. Avec les moyens de photolithographie proposés par le CIME Nanotech, nous sommes limités à plus ou moins $1\mu\text{m}$ d'erreur, cela induirait une incertitude assez importante au niveau de la concentration maximale effectivement présente sous la grille. De fait, l'approche peut servir en relatif par rapport à d'autres niveaux pour fixer par exemple un hystérésis, mais il faut que le positionnement de celui-ci soit assez souple. Cela peut être un problème dans notre application. De fait, dans le cadre des prototypes que nous avons conçus, nous avons imaginé plusieurs variantes de masquage

pour tenter d'obtenir les bonnes tensions de seuil.

En ajoutant, à la sortie du capteur, un inverseur avec un LD-MOSFET à tension de seuil plus élevée, nous pouvons obtenir deux formes d'ondes différentes. Lors du fonctionnement normal de l'interrupteur de puissance, la tension de sortie de notre capteur varie alternativement entre zéro volt et la tension d'alimentation de notre commande. De fait, la tension de sortie des inverseurs sera le complément de la tension de sortie du capteur. Toutefois, les deux inverseurs n'ayant pas les mêmes tensions de seuil, leurs instants de commutation différeront.

Lorsque la tension de capteur passe de zéro volt à la tension d'alimentation, les deux transistors des inverseurs se fermeront. Toutefois, celui avec la tension de seuil plus haute aura tendance à se fermer plus tard. A contrario, lorsque la tension du capteur passe de la valeur de l'alimentation à zéro volt, le transistor à tension de seuil élevée s'ouvrira plus tôt.

4.2.2.7 Résultats après gestion des interactions

Sur la figure 4-17, nous présentons les formes d'ondes de façon qualitative, afin de pouvoir déterminer la fonction que nous devons mettre en place pour obtenir l'ordre de commande correct pour le pilotage de l'interrupteur de puissance :

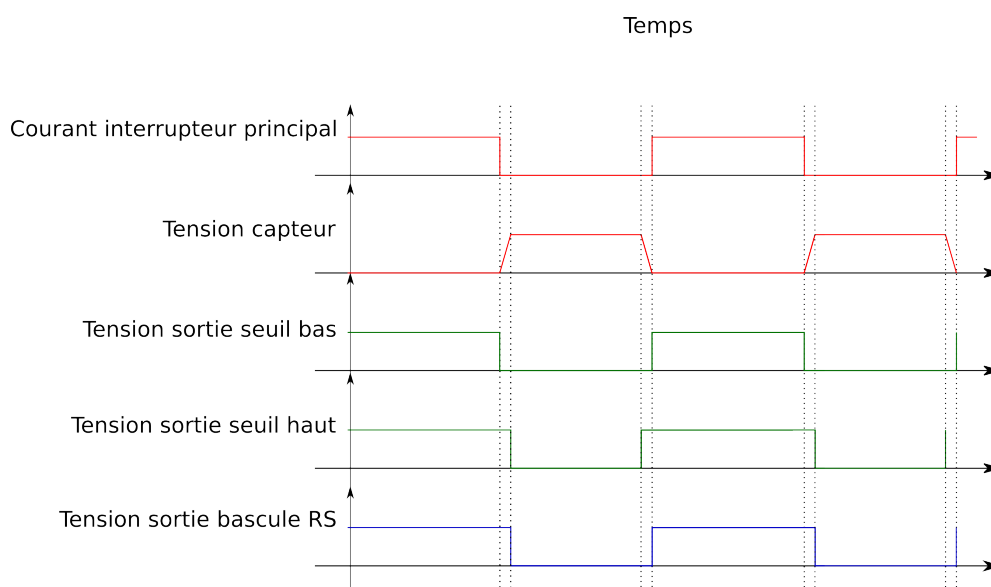


Figure 4-17: formes d'onde des signaux disponibles

Nous pouvons observer sur cette figure les formes d'ondes suivantes :

- le courant traversant l'interrupteur principal
- la tension de notre capteur
- les tensions des inverseurs avec leurs seuils respectifs
- le signal que nous souhaitons obtenir pour la commande de l'interrupteur.

Si nous réduisons ce chronogramme à une table de vérité logique, nous obtenons le Tableau 4.1

Ssb	Ssh	Vcmd
0	1	Qn
1	1	1
0	0	0
1	0	Indéfini

Tableau 4.1: Table de vérité de notre fonction

avec :

- Ssb : niveau de sortie du bras à seuil bas
- Ssh : niveau de sortie du bras à seuil haut
- VCmd : niveau de la commande du MOSFET de puissance

Si nous comparons maintenant cette table à la table de vérité d'une bascule RS (cf. Tableau 4.2), nous pouvons constater que les deux tables sont identiques si nous prenons le signal de sortie à seuil bas (Ssb) comme entrée Set (S) de la bascule et l'inverse du signal à seuil haut (Ssh) en tant que Rester (R) de la bascule.

S	R	Qn+1
0	0	Qn
1	0	1
0	1	0
1	1	Indéfini

Tableau 4.2: Table de vérité d'une bascule RS

4.2.2.8 Intégration de la solution proposée pour les problèmes induits par les interactions

Maintenant que nous connaissons la fonction que nous devons réaliser, intéressons nous à son intégration. Cette fonction peut être réalisée par deux portes inverseuses et deux portes NON-ET, comme le présente la figure 4-18.

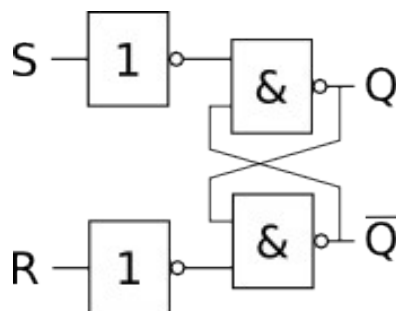


Figure 4-18: schéma logique de la bascule RS

Or, nous pouvons réaliser des inverseurs comme nous l'avons fait précédemment. La fonction NON-ET est réalisable par deux transistors LD-MOSFET de type N et une résistance, en les câblant comme présenté sur la figure 4-19.

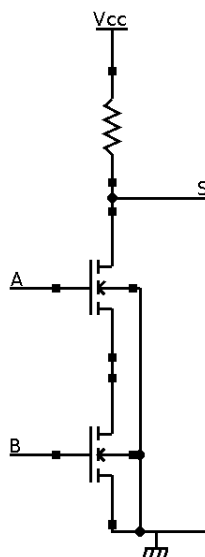


Figure 4-19: schéma de la fonction logique NON-ET

En effet, si l'un ou les deux transistors sont ouverts, la sortie sera égale à V_{cc} . Mais lorsque les deux transistors sont fermés, la sortie sera mise à la masse. Le tableau suivant présente les différentes combinaisons possibles pour les entrées A et B, l'état induit des transistors et enfin la tension de sortie résultante (cf. tableau 4.3).

A	B	T1	T2	S
0V	0V	Ouvert	Ouvert	V_{cc}
0V	V_{cc}	Ouvert	Fermé	V_{cc}
V_{cc}	0V	Fermé	Ouvert	V_{cc}
V_{cc}	V_{cc}	Fermé	Fermé	0V

Tableau 4.3: table de vérité de notre fonction NON-ET

Ce montage nous permet donc de réaliser notre fonction NON-ET. Nous avons maintenant toutes les fonctions nous permettant la réalisation de notre détection à deux seuils et à pseudo cycle d'hystérésis. Au final, nous obtenons le schéma logique présenté sur la figure 4-20.

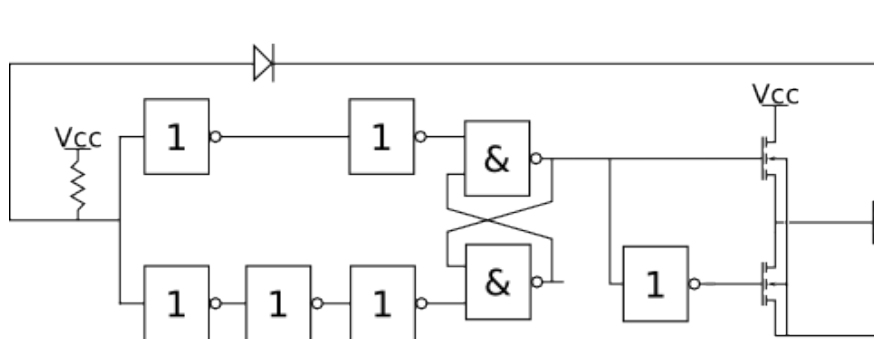


Figure 4-20: schématique complet du nouvel émulateur

Nous pouvons constater que la branche du bas, correspondant au Reset de la bascule, comporte une cascade de trois inverseurs. En toute logique, nous pouvons en supprimer deux. De plus, dans la précédente version de notre émulateur, nous avions un inverseur pour générer les deux commandes utiles au fonctionnement du push-pull. Toutefois, cet inverseur peut être supprimé, étant donné que la bascule RS possède la sortie et son complément (Q et /Q). Nous pouvons donc supprimer cet inverseur et utiliser la seconde sortie de la bascule RS. Ceci nous permet d'obtenir le schéma logique de la figure 4-21 pour notre émulateur.

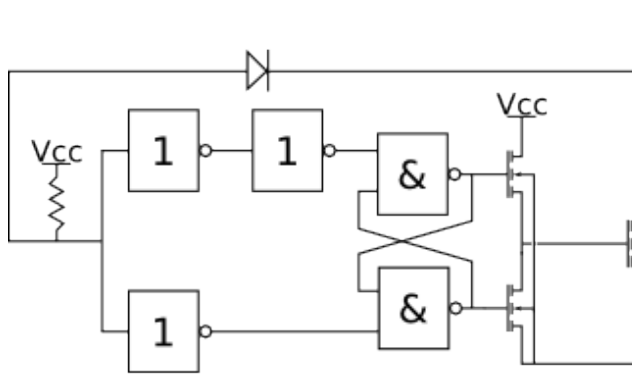


Figure 4-21: schématique réduit du nouvel émulateur

Nous pouvons constater que le nombre de fonctions se trouve réduit et que cette solution est totalement intégrable selon la technologie N-MOS, sans modification technologique majeure et en jouant uniquement sur la conception des fonctions de bases auxquelles sont ajoutés quelques concepts spécifiques.

4.2.2.9 Analyse des simulations après intégration finale

Nous avons effectué de nouvelles simulations. Cependant, comme précédemment, les parties parasites

ne sont pas prises en compte et une inductance de ligne valant $50\mu\text{H}$ a été considérée pour faciliter la convergence des simulations électriques. Ceci nous a permis de vérifier le bon fonctionnement de notre solution. La figure 4-22 nous présente les résultats de simulation dans ces conditions.

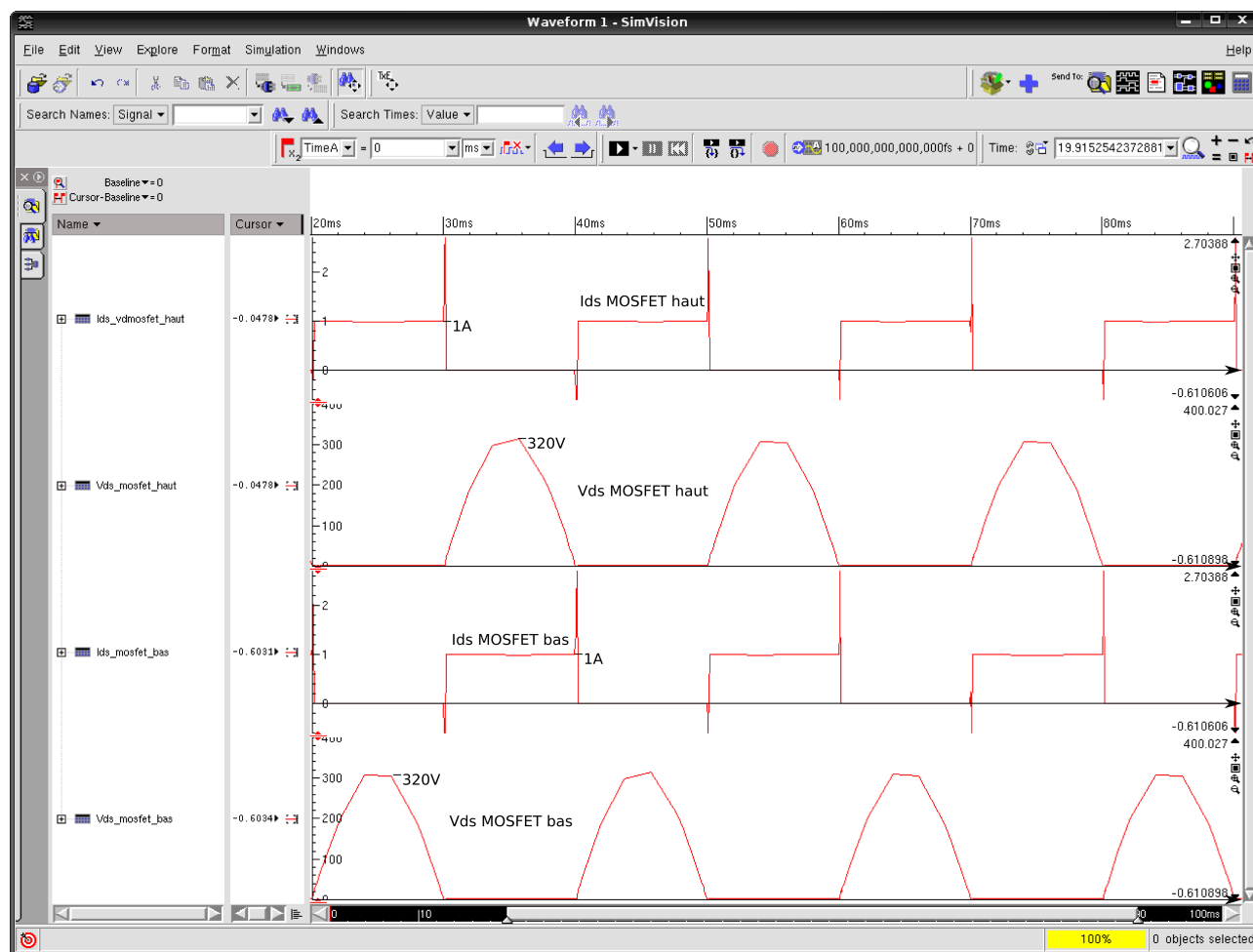


Figure 4-22: résultats de simulation de la partie fonctionnelle du nouvel émulateur

Nous pouvons observer sur ce tracé, le courant et la tension de l'interrupteur du haut de notre structure, et le courant et la tension de l'autre interrupteur. Nous pouvons constater que nous obtenons des formes d'ondes identiques de celles obtenu avec la version précédente. Comme lors des simulations de notre première version, regardons les deux phases de commutation, que nous présentons sur les figures 4-23 et 4-24.

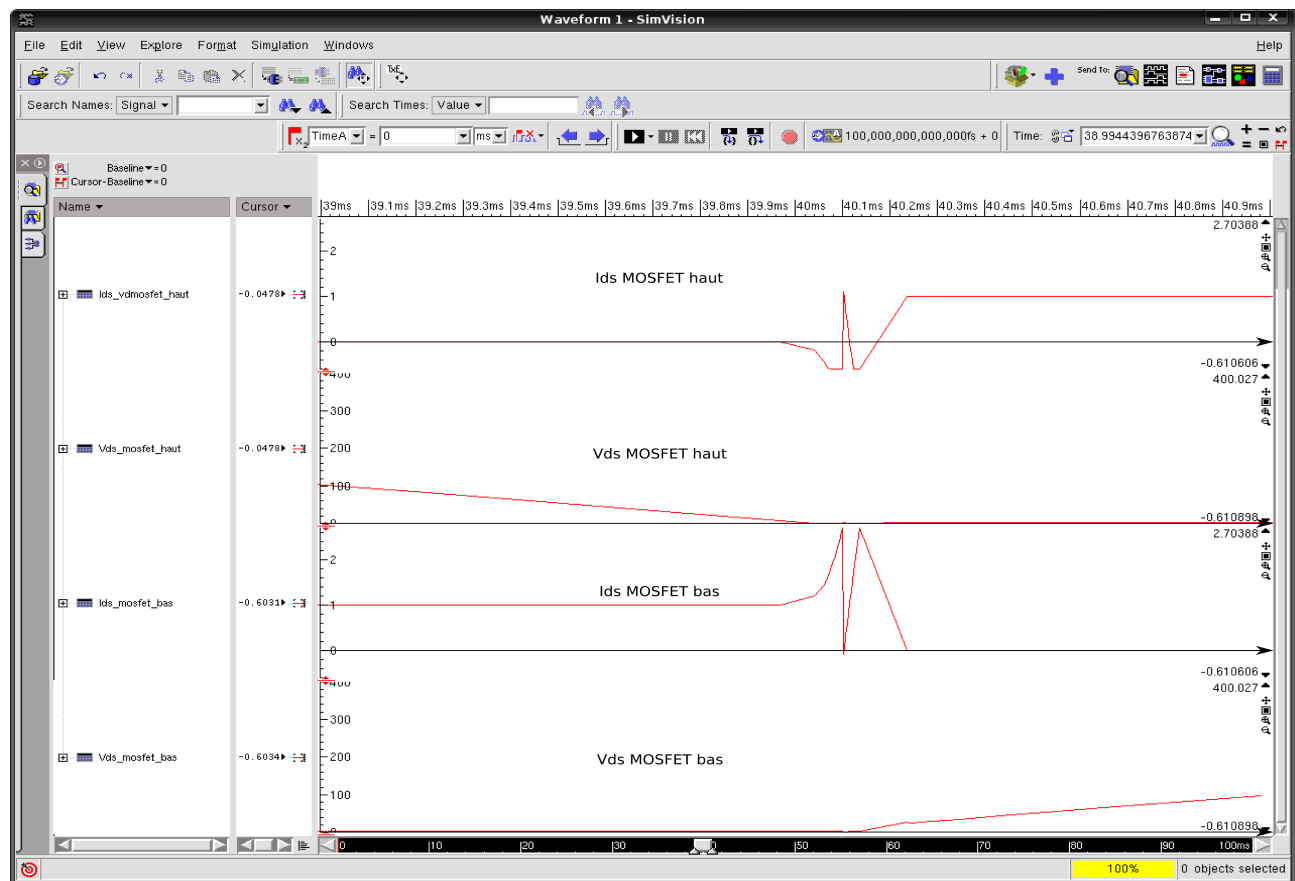


Figure 4-23: zoom lors de la fermeture du MOSFET du haut

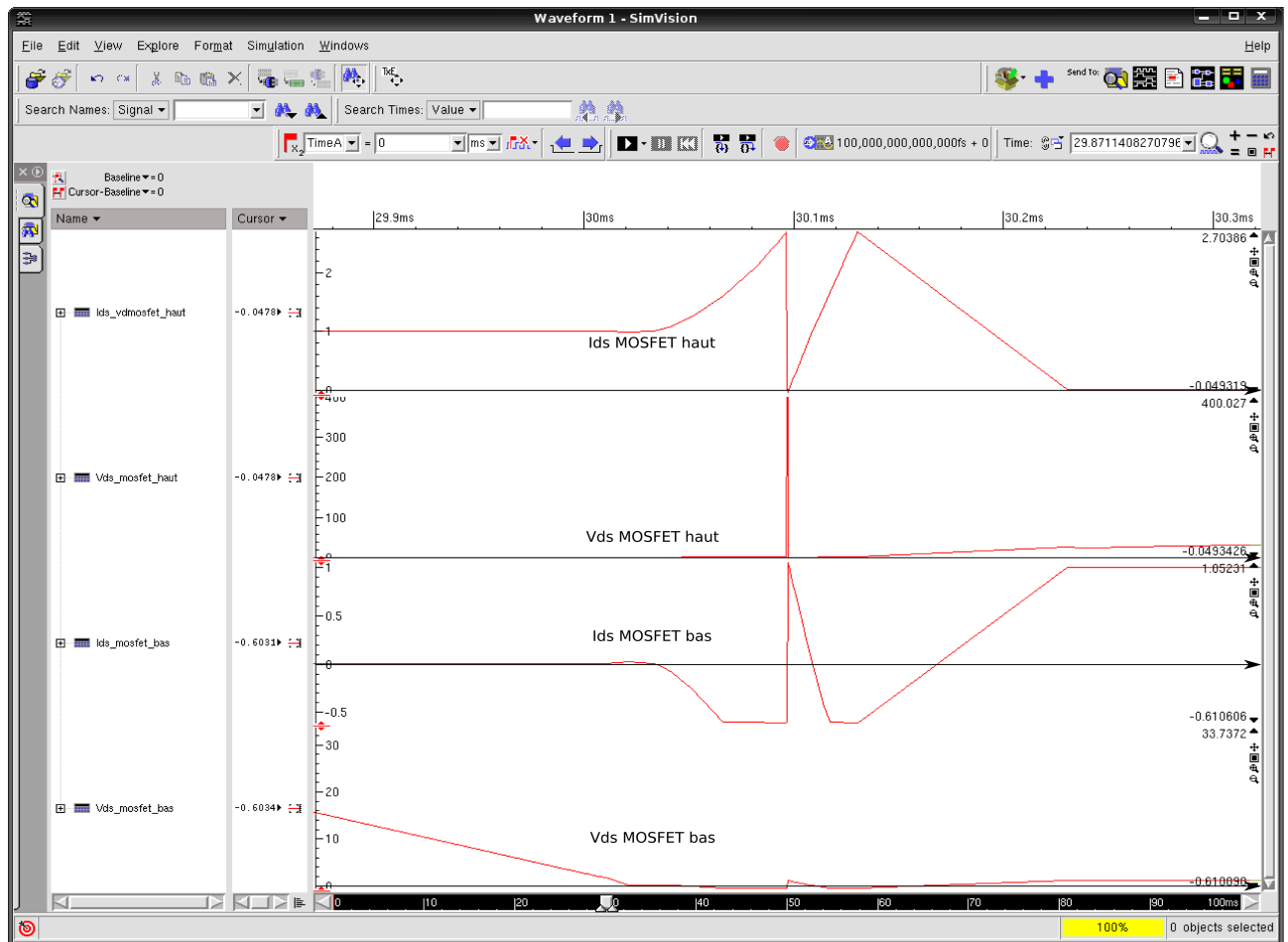


Figure 4-24: zoom lors de l'ouverture de l'interrupteur du haut

Cette fois-ci, nous pouvons constater que des oscillations apparaissent mais ne durent pas suffisamment pour empêcher le fonctionnement du système.

Toutefois, nous pouvons dire que cette version fonctionne correctement d'un point de vue global. Nous allons maintenant, vérifier que cela reste vrai avec les éléments parasites, la figure 4-25 présente les formes d'ondes des deux interrupteurs.

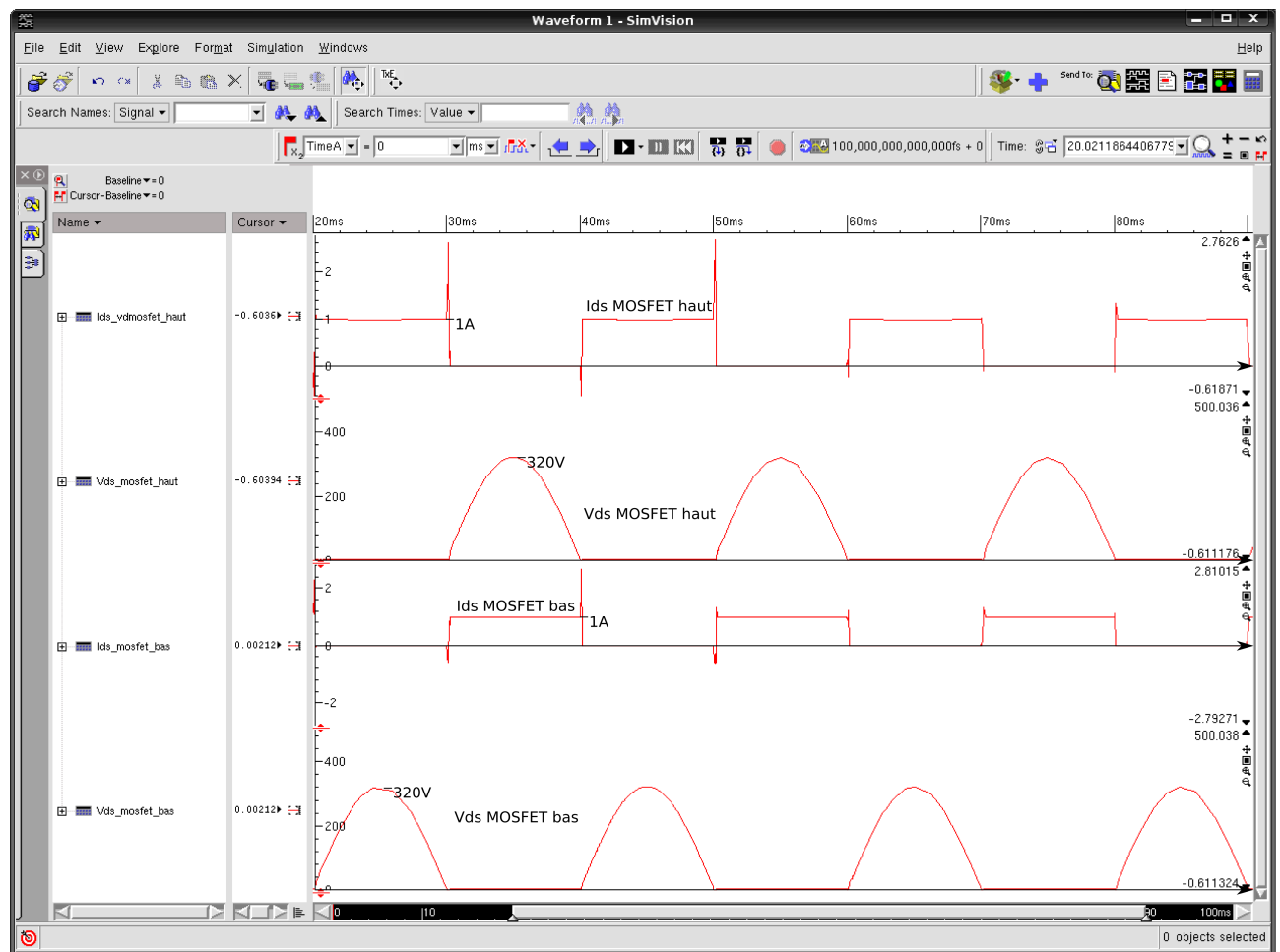


Figure 4-25: résultats de simulation du nouvel émulateur avec prise en compte des parasites

Lors des simulations de la version précédente avec les éléments parasites, nous avons constaté des problèmes de bon fonctionnement du système que nous avons pu éliminer en réduisant les deux inductances de ligne de notre structure. Avec notre nouvelle version, nous avons pu constater que ces problèmes ont disparu, même en présence d'inductances de 50 μ H. Toutefois, un zoom sur les commutations met en avant un problème d'oscillation, comme le présente la figure 4-26.

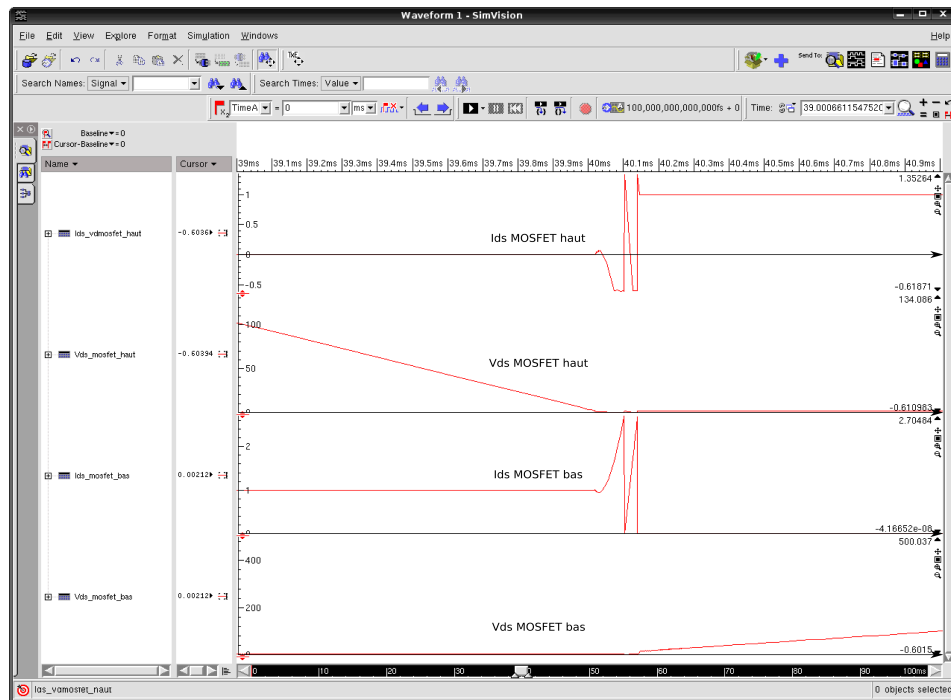


Figure 4-26: zoom lors de la fermeture du MOSFET du haut

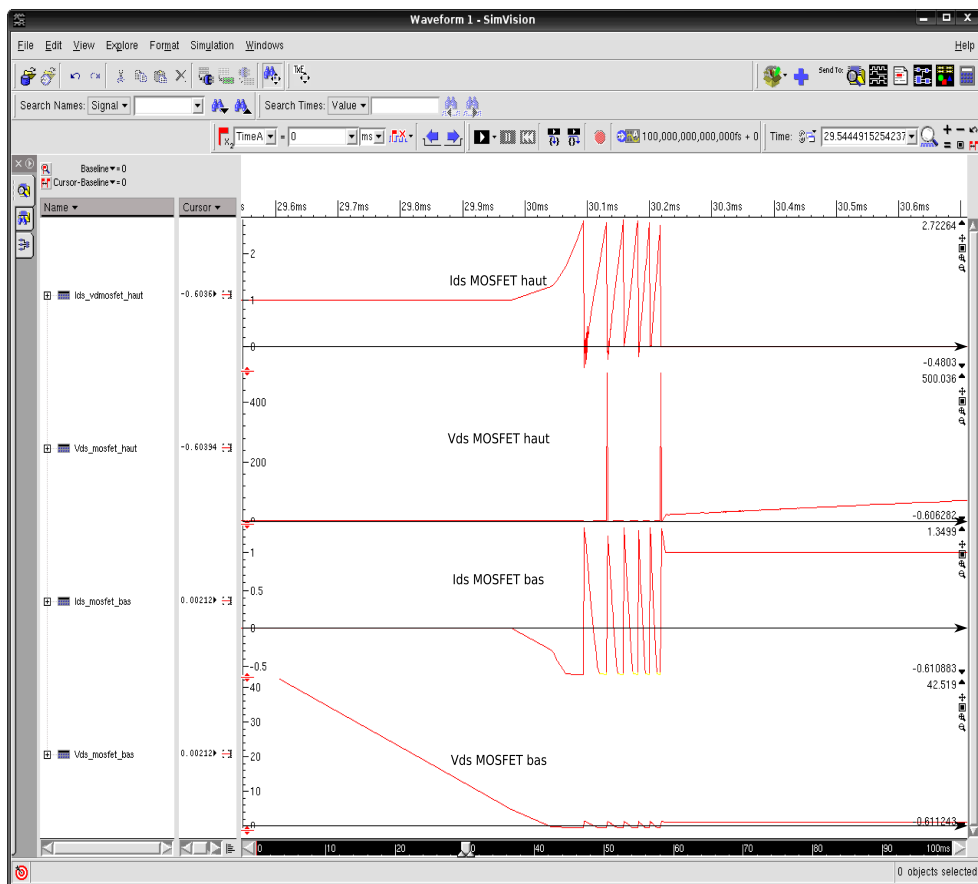


Figure 4-27: zoom lors de l'ouverture du MOSFET du haut

Cependant, ces oscillations se trouvent fortement réduites par rapport à l'ancienne version de l'émulateur. De plus, nous nous trouvons ici avec une valeur d'inductance de ligne relativement « forte » par rapport aux simulations de la précédente version. Nous pensons qu'il faudrait maintenant insérer une temporisation dans la gestion de la commutation automatique pour éliminer ces oscillations. Cela devra faire l'objet d'une nouvelle étude.

Au final, nous obtenons une solution « simple » et intégrable de l'émulateur de commutation automatique. Dans la suite, nous allons voir comment réaliser le jeu de masques de ce dispositif, à l'aide de la plateforme CAPsis.

4.3 Génération du layout

Pour créer le jeu de masques de notre dispositif, nous allons commencer par rappeler la schématique finalement retenue.

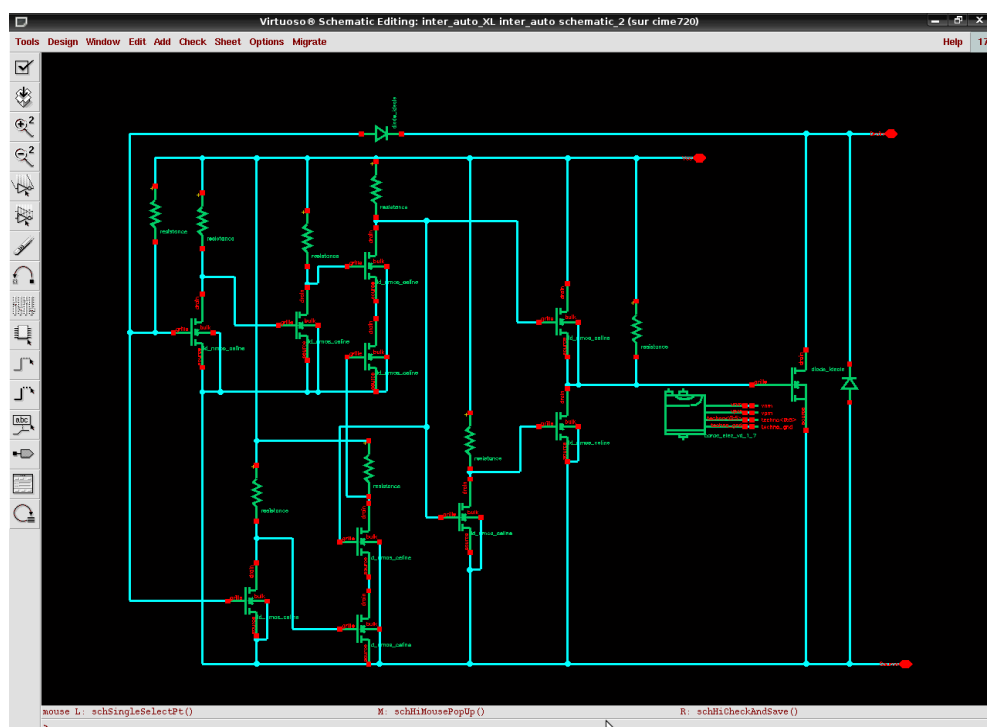


Figure 4-28: schématique saisie dans Cadence lors des simulations

La figure 4-28 présente la schématique au niveau « composant » de notre système, afin de pouvoir observer les différents éléments que nous devons intégrer. Nous aurons donc :

- huit résistances
- dix transistors LD-MOSFET de type N
- le transistor VD-MOSFET principal de type N
- la diode du capteur.

Nous utiliserons la diode dite « body » du VD-MOSFET afin de réaliser la diode mise en anti-parallèle sur le transistor principal servant lors des phases de redressage et de court-circuit de source pendant le fonctionnement onduleur.

Le schéma électrique présenté est celui saisi dans Cadence pour réaliser les simulations de la partie précédente. Nous allons maintenant utiliser les fonctions « Layout XL » de Cadence pour générer le jeu de masques de notre dispositif. Après utilisation de celles-ci, nous obtenons le jeu de masques présenté sur la figure 4-29.

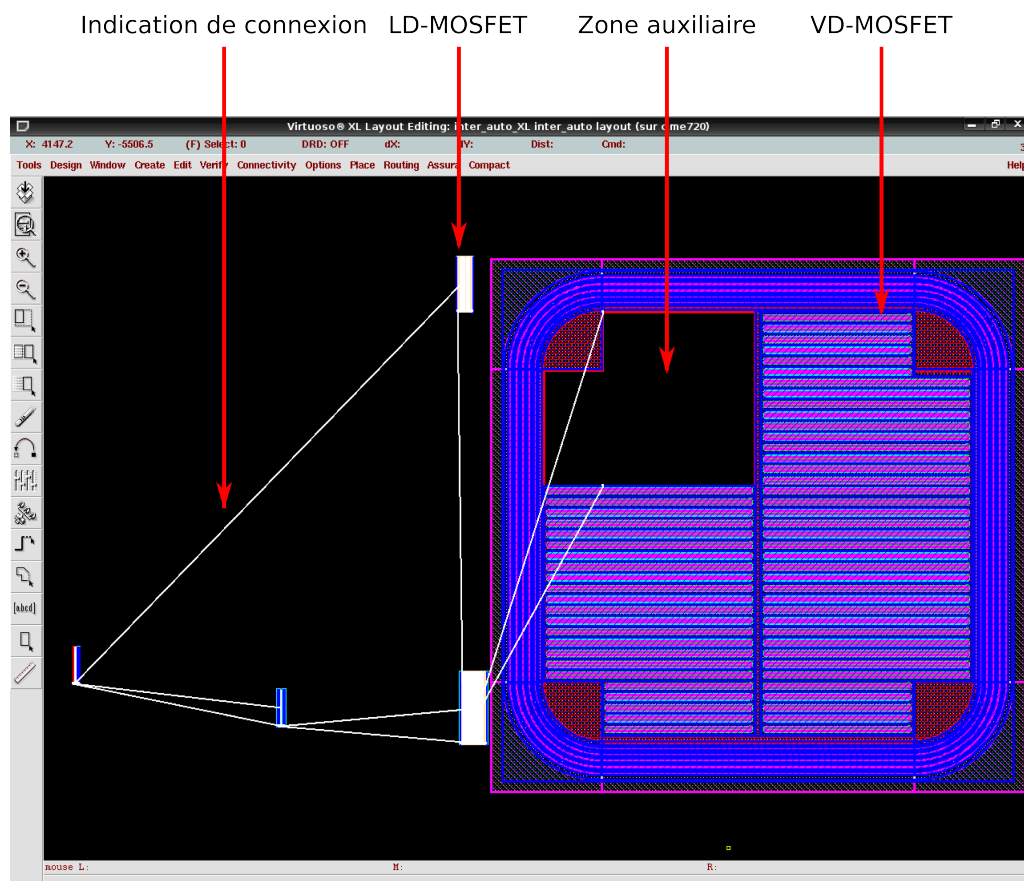


Figure 4-29: importation des composants avec l'outil « Layout XL » de Cadence

Nous pouvons constater que le nombre de composant est réduit. En effet, au moment de la rédaction de ce mémoire, seul les masques du VD-MOSFET et du LD-MOSFET sont disponibles. Ceci nous permet tout de même un gain de temps, car ce sont les composants comportant le plus de paramètres qui se trouvent automatiquement renseignés à l'aide de « Layout XL ».

Notons que l'automatisation de cette phase de transfert évite les erreurs de paramétrage mais aussi de connectique, ce qui est un plus lorsque les fonctions se complexifient.

Maintenant que nous avons les composants sur notre jeu de masques, nous pouvons les placer comme nous le souhaitons. Nous pouvons voir sur la figure 4-29 des traits blancs qui nous indiquent les connexions que nous devons réaliser. Ceci nous permet de faire un placement plus judicieux et un câblage plus sûr des

composants. La figure 4-30 présente le placement et le routage des transistors.

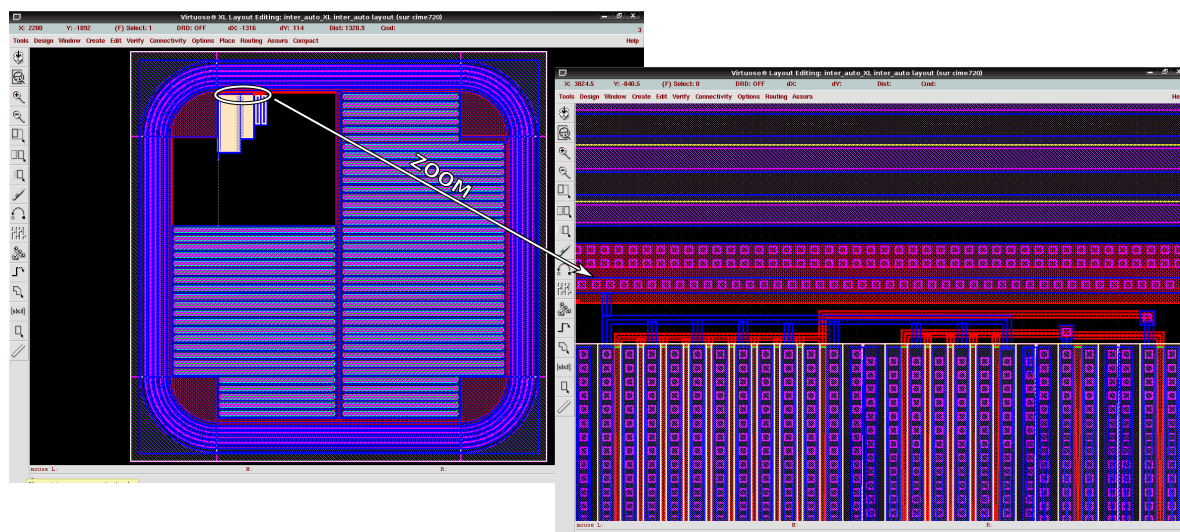


Figure 4-30: placement et routage des composants de l'émulateur

La figure de gauche présente le composant principal avec sa zone auxiliaire avec les divers LD-MOSFET placés et routés. La figure de droite présente une vue détaillée des inter-connexions entre les composants. Celles-ci sont possibles à l'aide de vias sur les pistes, réalisées à l'aide des niveaux de polysilicium et d'aluminium. En effet, nous avons eu recours à des vias (définies dans le fichier technologique « techfile »), constituées d'un carré de polysilicium, d'une ouverture contact et d'un carré d'aluminium. Ceci, nous permet de passer directement sous une connexion d'aluminium.

Les composants sont maintenant placés et routés. Toutefois, nous pouvons constater que la taille de la zone auxiliaire se révèle trop grande. Nous allons la réduire dans le masque pour qu'elle soit optimale via l'utilisation d'un paramètre du Pcell prévu à cet effet. Puis, nous réimporterons ce paramètre automatique vers la schématique, grâce à « Layout XL ». La réduction de la zone auxiliaire augmente celle de la zone active. De par ce fait, le masque adapte automatiquement le nombre de cellules. Nous obtenons donc un nombre supérieur de cellules. Etant donné que la largeur du canal est donnée par la taille d'une cellule et leur nombre ; la valeur du canal du VD-MOSFET changera. Ainsi, nous devons refaire des simulations, pour nous assurer que le système continue de fonctionner. Pour cela, nous réimportons ce paramètre à l'aide de « Layout XL » vers la schématique et nous refaisons des simulations pour vérifier le bon fonctionnement du système.

Après avoir effectué le placement et le routage de tous les composants constituant notre dispositif et avoir validé les paramètres pouvant avoir changé suite aux simulations, nous allons vérifier si des erreurs ont été faites. Pour cela nous avons recours à la fonction DRC (Design Rules Check) de Cadence. Par celle-ci, nous avons réalisé un fichier décrivant toutes les règles que nous devons respecter pour que les étapes de fabrication se déroulent correctement.

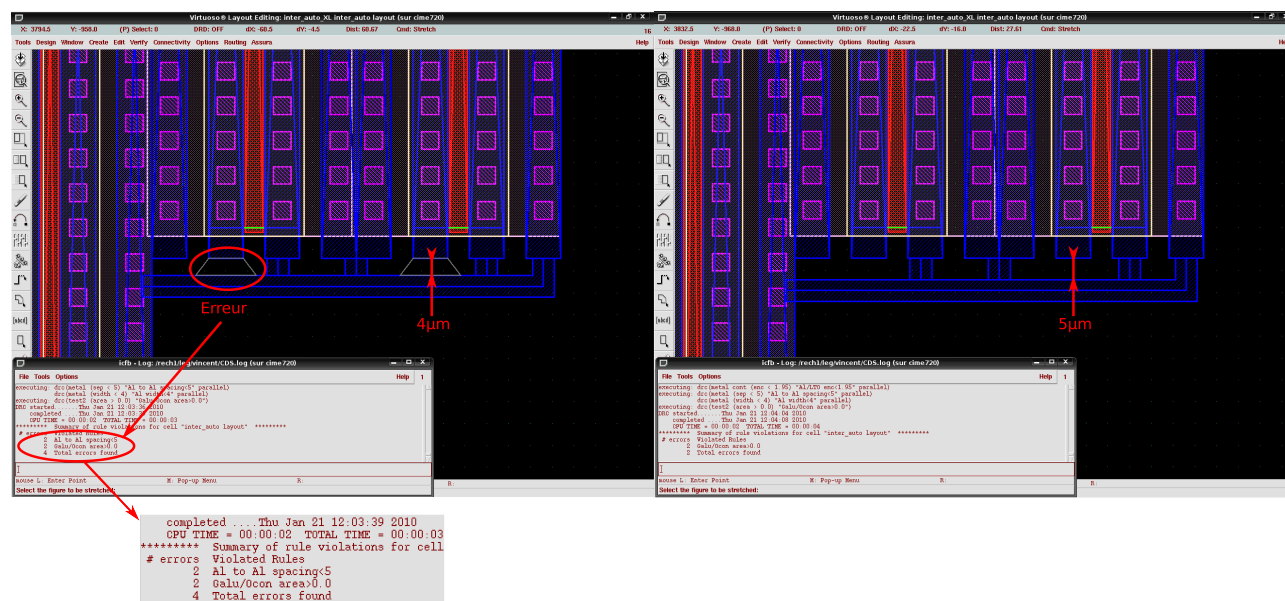


Figure 4-31: vérification du jeu de masques par la fonction DRC

Les deux figures 4-31 présentent les résultats obtenus après vérification par le DRC. Nous pouvons voir sur celle de gauche que nous avons des erreurs. Celles-ci sont dues à une distance trop petite (4µm) entre deux aluminiums, comme nous l'indique le retour d'erreur sur la console (Alu to Alu spacing < 5) via la fenêtre grise sur le masque (trapèze gris). Nous devons donc modifier notre routage pour éliminer cette erreur. Le nouveau masque est présenté sur la figure de droite. Nous pouvons voir que l'erreur n'apparaît plus (ni dans la console ni sur le masque), après modification de la distance de 4µm à 5µm. Cependant, dans la console, nous pouvons voir la présence d'autres erreurs. Celles-ci sont dues à un non recouvrement d'une ouverture contact par de l'aluminium. Or, afin de faciliter la découpe des composants, nous avons prévu des « chemins » de découpe qui consistent à mettre le silicium à nu. Donc, pour dégager systématiquement le silicium, nous devons faire une ouverture aluminium et une ouverture contact. Ceci nous crée une erreur, mais « maîtrisée », car nous en connaissons la cause. Nous pouvons noter que ce cas particulier pourrait être programmé dans les règles de vérification du DRC, à l'aide d'une combinaison de niveaux de masques et des niveaux dérivés.

Nous obtenons donc maintenant le jeu de masques complet de notre système, et celui-ci ne comporte plus d'erreur. Maintenant, nous devrions réaliser les étapes d'extraction des parasites et conduire les simulations en prenant en compte ces derniers, pour vérifier le bon fonctionnement de notre système une fois intégré. Toutefois, ceci n'est pas actuellement réalisable, car nous n'avons pas eu le temps de le mettre en place.

Nous passons donc à la génération du fichier GDS que nous enverrons pour le tirage des masques sur verre, permettant ainsi la fabrication des dispositifs.

4.4 Jeu de masques final

Nous venons de faire une présentation de l'utilisation de la plateforme CAPsis et plus particulièrement des parties que nous avons mises en place. Toutefois, diverses modifications ont été opérées sur les masques, principalement sur le cœur de notre composant, le transistor de puissance VD-MSOFET. À l'origine, nous avons employé des cellules en doigt. Par la suite, l'utilisation de cellules carrées nous a semblé plus judicieuse. Une nouvelle cellule a fait l'objet de travaux complémentaires [SIMONOT] ainsi que la géométrie du composant de puissance. La figure 4-32 présente la nouvelle géographie de notre composant de puissance.

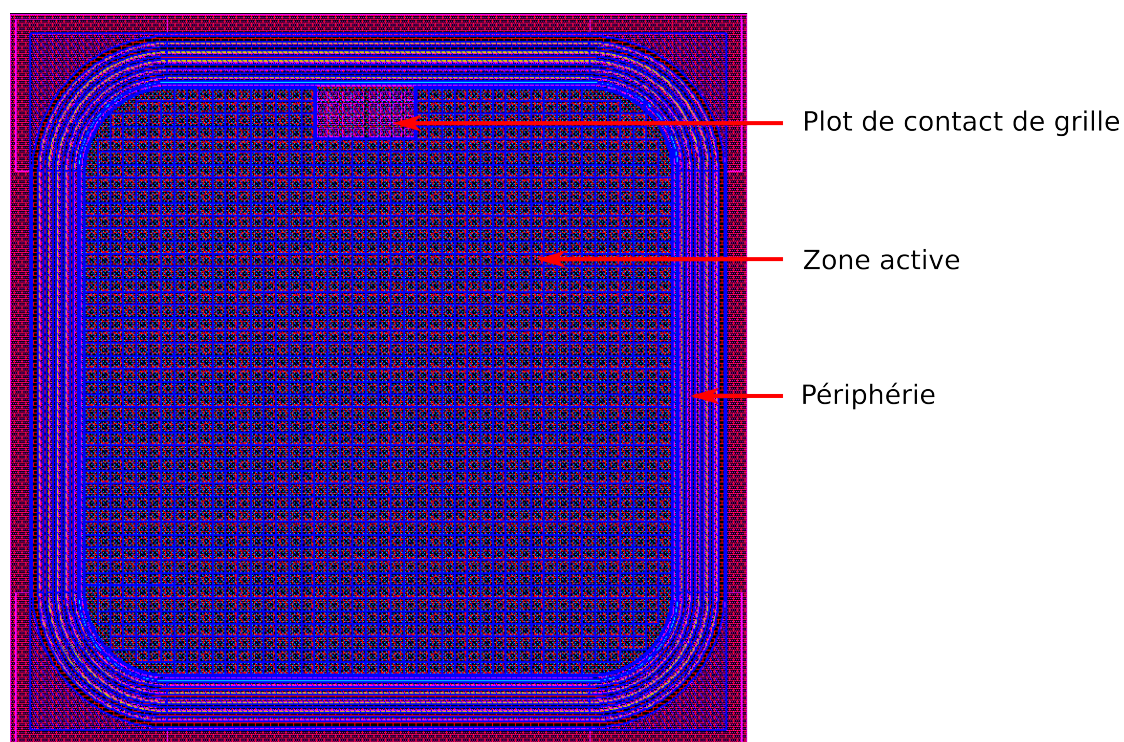


Figure 4-32: géographie du VD-MOSFET nouvelle version

Nous pouvons voir que la zone active est remplie au maximum de cellules carrées, y compris dans les « coins » où nous avons choisi dans un premier temps de mettre des plots de contact de grille. Dans cette nouvelle configuration, un seul plot de contact de grille est prévu. De même, l'amenée de grille centrale a été jugée inutile, nous avons donc choisi de la supprimer. Toutefois, la périphérie se trouve quant à elle, identique à la version précédente. Ce composant n'est actuellement pas un pCell, il ne comporte pas de zone auxiliaire. Celle-ci est réalisée manuellement par la suppression de cellules.

Nous avons donc utilisé cette version de transistor VD-MOSFET pour réaliser la version finale de notre interrupteur auto-commandé. La figure 4-33 présente l'émulateur de notre interrupteur automatique intégré au sein d'un VD-MOSFET.

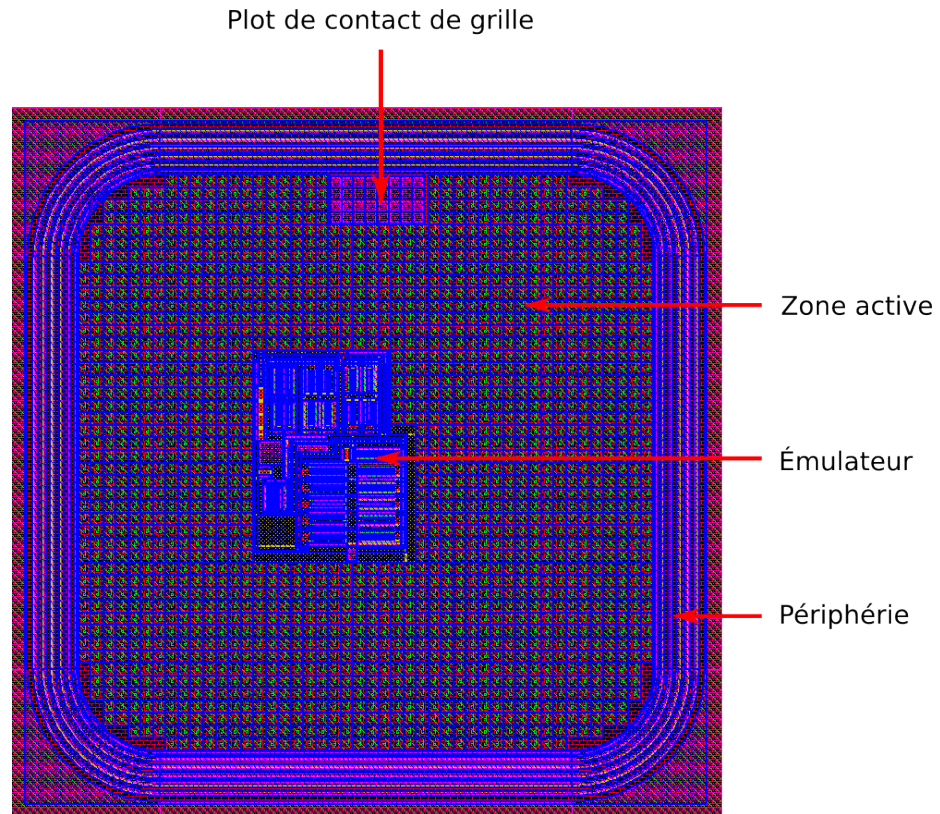


Figure 4-33: VD-MOSFET avec l'émulateur intégré

Au centre, nous pouvons voir l'émulateur de l'interrupteur automatique. La figure 4-34 le présente plus en détail.

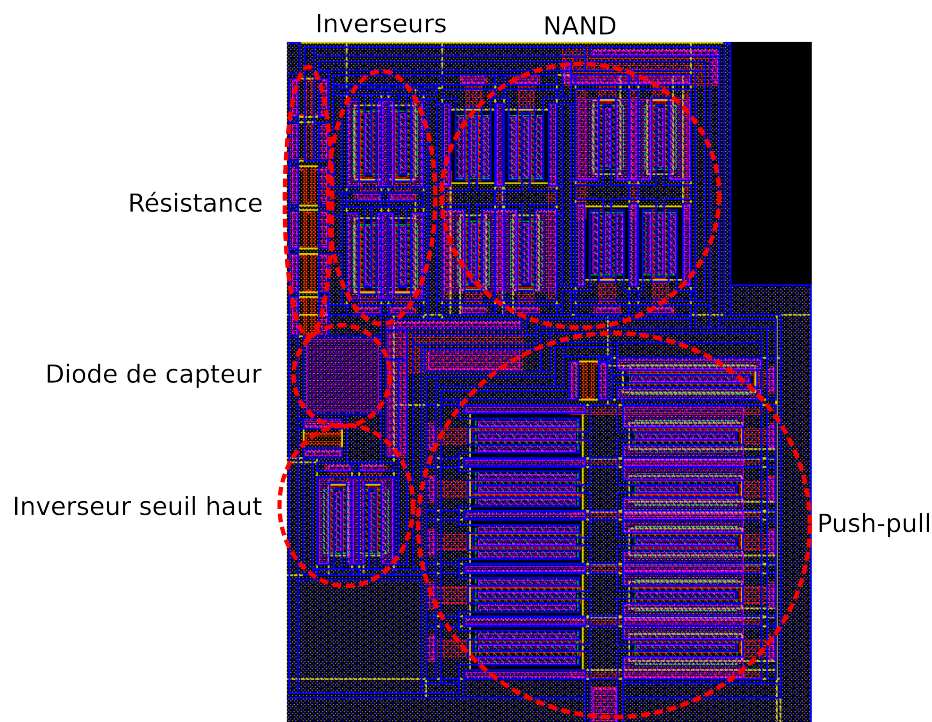


Figure 4-34: zoom de la fonction émulateur

Sur cette figure, nous avons précisé les différents éléments constituant notre émulateur.

4.5 Prototypes

4.5.1 Présentation

Nous avons réalisé plusieurs variantes de notre dispositif. En effet, nous n'avons pas eu le temps de faire une étude approfondie du LD-MOSFET de type N à tension de seuil élevée. Donc nous avons fait de choix de réaliser plusieurs variantes de ce dernier. Seule la distance entre la poche P+ et le Polisilicium varie d'une variante à l'autre. En effet, comme nous l'avons vu précédemment, c'est ce paramètre qui déterminera la longueur de pénétration des dopants issus du caisson P+ sous la grille et donc le niveau de dopage du porte canal, puis in fine, le niveau du seuil de commutation du transistor latéral utilisé pour la fonction capteur et détection de seuil. Le composant LD-MOSFET de type N est originalement conçu avec une distance entre le masque P+ et le polysilicium de grille de $4\mu\text{m}$, nous avons fait le choix de réaliser deux autres variantes à $3\mu\text{m}$ et $2\mu\text{m}$.

De ces variantes, nous avons fait le choix de réaliser deux tailles de VD-MOSFET différentes. Nous avons réalisé des composants de 3mm par 3mm et de 6mm par 6mm . Nous avons réalisé ces composants avec des calibres en courants différents, afin de pouvoir nous assurer que nous puissions passer le courant de court-circuit des phases de déclenchement.

En plus des diverses variantes des VD-MOSFET auto-commandés, nous avons ajouté des éléments seuls aux jeux de masques, tels que des portes NON-ET, des inverseurs, des résistances,... Afin de vérifier

leurs fonctionnements dans le cas où nous aurions des problèmes avec les versions intégrées.

4.5.2 Résultat

Lors de la fabrication de nos dispositifs, pendant l'implantation ionique du N⁺ de source, la résine de masquage a brûlé. Celle-ci n'ayant pu être retirée, nous n'avons pas pu continuer le process. Le manque de temps ne nous a pas permis de démarrer une nouvelle phase de fabrication.

La photo 4-3 présente une variante de notre composant de puissance, que nous avons obtenue après l'implantation ionique N⁺.

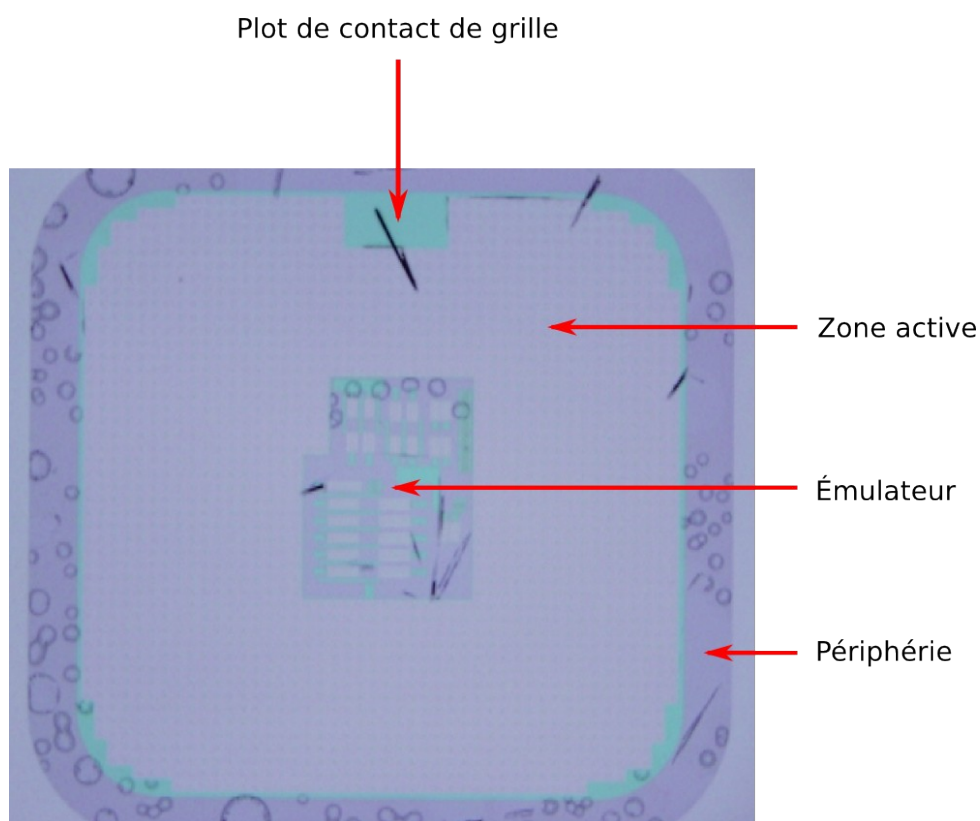


Figure 4-35: VD-MOSFET auto-commandé de 3x3mm

Sur cette image, nous pouvons voir le composant de puissance avec sa zone active, sa périphérie, son plot de contact de grille et la fonction d'émulation au centre. Nous pouvons voir des « taches » sur la surface du composant, qui sont dues à la résine brûlée.

La photo 4-2 présente un zoom de la fonction auxiliaire de notre composant.

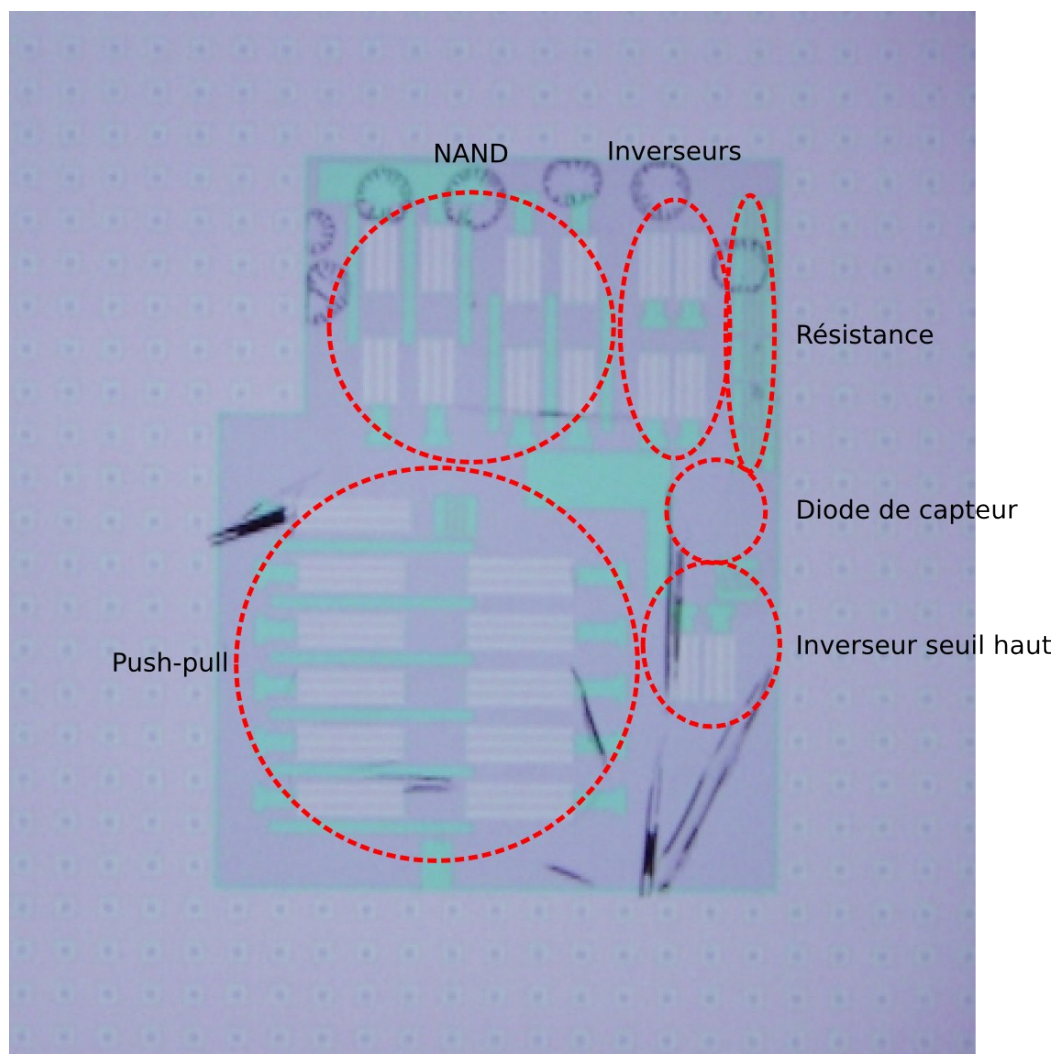


Figure 4-36: zoom de la fonction d'émulation de notre prototype

Cependant, à ce stade de fabrication, nous pouvons reconnaître les différentes parties de notre émulateur, comme nous l'avons précisé sur la figure 4-36.

Nous ne présenterons pas les autres variantes, car elles ne présentent que peu d'intérêt. En effet, la variation de la poche P+ n'est pas visible sur une simple prise de vue du composant, et la version 6x6mm ne présente qu'une différence au niveau de la taille de la zone active.

4.6 Conclusion

Dans ce chapitre, nous venons de présenter une utilisation des fonctions que nous avons mises en place dans la plateforme CAPsis. Pour cela, nous nous sommes appuyés sur la réalisation d'un composant de puissance VD-MOSFET intégrant une fonction d'émulation de commutation automatique.

Nous avons commencé par la présentation de la structure que nous avons utilisée pour les simulations utiles à la conception du composant de puissance intégré. Dans un premier temps, ces dernières nous ont permis de valider la partie fonctionnelle de notre solution. Toutefois, après l'ajout des éléments parasites liés

à la connectique du convertisseur dans son application, nous avons été confrontés à de sévères oscillations lors des travaux de simulation. Ces dernières étaient en particulier très dépendantes de l'inductance de ligne de notre structure.

Nous avons donc fait le choix de revoir la conception et la fonctionnalité de notre dispositif. Ceci nous a conduit à la mise en place d'un nouveau composant, LD-MOSFET de type N à tension de seuil élevée (par rapport au N MOS latéral à tension de seuil identique à celle du composant de puissance et déjà en place dans la plateforme CAPsis). Ensuite, nous avons associé à celui-ci une logique combinatoire, entièrement intégrable, afin de réaliser une détection à deux seuils. L'ajout de ce nouveau composant vient enrichir naturellement la librairie du design kit de puissance.

La simulation montre que cette nouvelle solution permet de réduire les oscillations lors des commutations, sans pour autant les supprimer totalement. Ainsi, nous avons pu réaliser des simulations satisfaisantes avec l'inductance de ligne initiale sans rencontrer des difficultés de convergence du simulateur. La littérature nous a également permis de mettre en évidence la présence quasi systématique de ce type d'oscillations dans des cas pratiques concrets.

Après la validation par la simulation électrique de notre fonction, nous sommes passés à la création du jeu de masques. Ce travail a été facilité par l'utilisation du générateur de masques offert par « Layout XL », associé aux éléments de la plateforme CAPsis. Par la suite, nous avons pu faire un placement et un routage des composants ainsi générés. Ensuite, nous avons réalisé une vérification du jeu de masques à l'aide du DRC de Cadence avec les règles définies dans CAPsis pour la filière technologique que nous avons utilisée.

Nous avons ensuite tenter une réalisation pratique de notre composant. Un problème lors d'une étape technologique ne nous a pas permis de mener à bien ce process. Toutefois, ceci nous montre qu'un travail sur la partie réalisation doit être mené dans le cadre de la plateforme CAPsis, en vue d'une fiabilisation de la fabrication.

Conclusion générale

Dans ce mémoire, nous avons vu les problématiques issues de la conception d'un composant de puissance monolithique fonctionnel tel qu'un interrupteur auto-commandé. Pour les traiter, nous avons proposé la mise en place d'une plateforme de Conception Assistée et de Prototypage de Systèmes Intégrés sur Silicium (CAPsis). Dans cet objectif, nous avons proposé et mis en place un certain nombre de fonctionnalités permettant la simplification et la fiabilisation des étapes de conception et de prototypage.

Dans le premier chapitre, nous avons commencé par définir le composant de puissance que nous souhaitons réaliser afin de présenter le type d'intégration que nous visions et aussi illustrer nos propos. Nous avons fait le choix de réaliser un interrupteur auto-commandé dont les spécifications nous ont été fournies par un partenaire universitaire. A partir de ceci, nous avons défini les éléments permettant de réaliser un tel composant. Nous avons choisi de baser notre composant sur un VD-MOSFET associé à une fonction d'émulation de l'auto-commande que nous souhaitons intégrer monolithiquement. Une fois tous les éléments de notre composant définis, nous avons présenté les étapes qu'il fallait réaliser pour concevoir un composant fonctionnel de puissance à structure verticale. Ceci, nous a permis de mettre en lumière des problèmes de conception tels que : des outils mathématiques non adaptés, des modèles non capitalisés... Puis, nous avons abordé la conception de composants intégrés dans le domaine de la micro-électronique. Ceci nous a permis de mettre en avant les principales différences par rapport à notre démarche de conception, en électronique de puissance, et de comprendre comment la micro-électronique avait résolu certains problèmes, notamment en figeant la technologie. Cette comparaison des deux domaines nous a aidé à mettre en avant les manques, d'explicitier les évolutions que l'électronique de puissance doit réaliser pour arriver à un niveau d'abstraction équivalent à celui de la conception en micro-électronique.

Dans le second chapitre, nous avons commencé par déterminer les fonctionnalités de notre plateforme de conception et de prototypage de systèmes intégrés sur silicium. Nous avons donc défini les entrées et les sorties de chaque module, ainsi que les interactions entre ces divers modules. Après quoi, nous avons pu déterminer l'architecture générale de notre plateforme CAPsis. Ceci, nous a permis de constater qu'une banque de données devrait être mise en place pour partager et capitaliser les informations des divers éléments de la plateforme. Nous avons donc défini les types de données que devra comporter cette base : des modèles, des masques, des schématiques et des informations sur la filière technologique. Ceci fait, nous nous sommes focalisés sur deux fonctionnalités de la plateforme: la modélisation servant aux simulations dynamiques et la génération de masques.

Nous avons donc commencé par définir une méthode de modélisation par assemblage de modèles. Celle-ci permet une meilleure capitalisation des travaux antérieurs, de mettre en place plusieurs niveaux de finesse de modélisation et par conséquent de simulation. Cependant, cette méthode d'assemblage

entraînant une redondance de calculs, nous proposons de réduire cette dernière en utilisant un modèle de caractérisation physique de la structure en fonction de sollicitations électriques (CPS).

Ensuite, nous avons présenté les éléments permettant la génération automatique de masques en partant de la schématique de simulation.

Dans le troisième chapitre, une fois l'architecture de la plateforme CAPsis définie, nous avons mis en œuvre les deux fonctionnalités présentées précédemment. Dans un premier temps, nous avons commencé par présenter le modèle du VD-MOSFET. Ensuite, nous avons expliqué comment assembler des modèles grâce au langage VHDL-AMS. Après quoi, nous avons défini la géométrie globale (périphérie, zone active, zone auxiliaire,...) de notre composant. Ceci fait, nous avons identifié puis défini le découpage du composant VD-MOSFET en blocs technologiques fonctionnels élémentaires (BTFE) et en blocs technologiques fonctionnels avancés (BTFA). Ensuite, nous avons transcrit ces blocs en langage VHDL-AMS. Nous avons associé des paramètres à une méthode de sélectivité des blocs du modèle, pour choisir le niveau de finesse du modèle du composant que l'utilisateur de CAPsis souhaite simuler. Ceci fait, nous avons mis en place un modèle CPS, puis réalisé des essais afin d'estimer les gains ou les pertes éventuelles de cette solution.

La deuxième partie de ce chapitre fut consacrée la génération assistée de masques autour de notre composant VD-MOSFET. Nous avons commencé par présenter un cheminement technologique afin d'identifier les masques de la filière technologique de notre interrupteur. Ceci nous a permis de définir le fichier décrivant notre technologie dans le logiciel Cadence. Par la suite, nous avons présenté la solution proposée par ce même logiciel pour réaliser des masques paramétrés permettant la modification de la géométrie d'un motif à l'aide d'un paramètre. Nous avons ensuite réalisé le jeu de masques des différents blocs (périphérie, plot de contact, cellule,...) de notre composant VD-MOSFET. Puis, nous avons montré comment Cadence permet la transmission des paramètres du schématique de simulation au jeu de masques généré. Le placement et le routage n'étant pas réalisés automatiquement, le concepteur devra le réaliser manuellement. Dans un souci de réduction d'erreurs et de simplification de conception, nous avons mis en place une solution « d'auto-connexion » des divers éléments du jeu de masques. Par la suite, nous avons présenté la solution que Cadence propose pour la vérification automatique de jeu de masques. Dans le but de la mettre en place, nous avons commencé par réaliser la liste des contraintes imposées par la structure de notre composant et la salle blanche du CIME Nanotech que nous utilisons. Ainsi, nous avons mis en place un jeu de règles à respecter que nous avons implémenté dans le Design Rules Check (DRC) de Cadence.

Dans un dernier chapitre, afin d'illustrer l'utilisation de notre plateforme CAPsis, nous avons présenté comment réaliser l'interrupteur auto-commandé. Nous avons commencé par présenter la structure en nous servant pour nos moyens de simulations mis en place. Ces dernières nous ont permis de mettre en avant des problèmes d'oscillation que nous avons pu réduire par l'ajout d'une « logique de commande à deux

seuils concevable et intégrable via l'utilisation de la filière et des outils développées dans la thèse ». Le système conçu et simulé dans son intégralité, nous avons pu en générer le jeu de masques. Bien que ce dernier ne soit pas constitué de tous les composants, celui-ci nous a tout de même permis de présenter le placement et le routage d'un système. Puis nous avons vu l'utilisation et le fonctionnement du DRC du point de vue de l'utilisateur de CAPSIS. Après quoi nous avons présenté le jeu de masques final de notre composant.

Maintenant, faisons le point sur l'architecture de la plateforme CAPsis que nous avons retenue (figure 5-1).

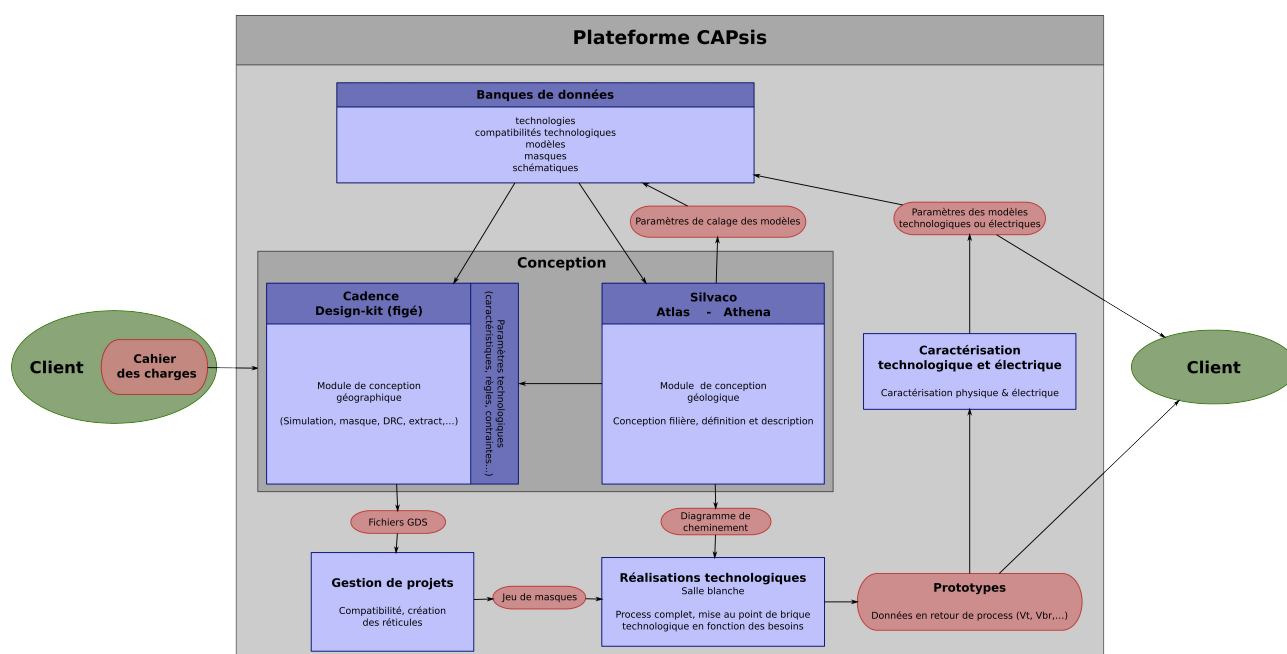


Figure 5-1: architecture de la plateforme CAPsis

Pour l'instant, seulement le module de conception géographique, intégrant les deux fonctionnalités « dimensionnement » et « génération de masques », est en place. Toutefois, ce module doit encore d'être amélioré. En effet, sur la partie conception, un travail de développement doit être mené pour proposer davantage de composants. De plus, nous avons vu qu'une solution plus élégante pour réduire la redondance de calcul est possible. Ceci peut être fait par le remplacement du modèle CPS, par un système de table calculée pour une structure donnée et doit être mise en œuvre.

Pour cela, un deuxième module de conception doit être mis en œuvre. Celui-ci permettra la conception des filières technologiques à l'aide de logiciels éléments finis, dont nous devrons faciliter l'utilisation. Notamment, il faudra faciliter l'injection des résultats de ces logiciels, dans des simulations sous Cadence, en utilisant par exemple, la génération de tables pour le modèle CPS.

Il faudra aussi approfondir la démarche de dimensionnement technologique des composants, en identifiant des modèles de conception technologique à partir de mesures, de simulations fines et de « datasheets ». Pour cela, des outils d'identification de modèles devront être mis en place. Il faudra aussi adapter les outils de simulation fines et de calcul analytique. Pour le dimensionnement, on pourra s'appuyer sur des méthodes et outils d'optimisation.

Ce module de conception géologique devra aussi permettre la création de nouvelles filières de fabrication. Pour cela, il faudra normaliser la description des étapes technologiques et des filières de fabrications afin de permettre une capitalisation des informations et une lecture rapide par les concepteurs ou les opérateurs de salle blanche. A ceci, il faudra ajouter un outil informatique permettant la création automatique d'une filière, ce qui impliquera la gestion des calculs des paramètres.

En complément, un travail sur la gestion des projets doit être mené afin de mettre en place des protocoles et des outils d'assemblage. Ceci permettra d'assurer automatiquement l'analyse des filières technologiques utilisées et d'en assurer la compatibilités. Ceci servira aussi à assembler les projets dont les filières technologiques sont compatibles, afin d'obtenir un jeu de masques unique.

De plus, des nombreux travaux doivent être conduits sur la technologie de fabrication. Du point de vue de la salle blanche, cela se traduira par :

- des développements et de la stabilisation d'étapes technologiques
- de la caractérisation de ces étapes,
- le calage des modèles technologiques de ces étapes avec les composants qui constituent notre banque de données.

Afin d'améliorer et d'assurer la réduction des erreurs de conception lors des divers rebouclages que propose la plateforme CAPsis, et afin de réaliser les mesures de façon rigoureuse et de garantir des résultats fiables ; des méthodologies de caractérisation et des normalisations des résultats devront être mis en place.

Bibliographie

[ALKAYAL] : Faisal ALKAYAL, « Contribution à l'intégration monolithique de protections contre les surtensions : application aux convertisseurs de puissance haute tension », thèse INPG, Grenoble, 2005.

[AUBARD] : Laurent Aubard, « Modélisation des transistors MOS de puissance pour l'électronique de puissance », thèse INPG, Grenoble, 1999

[CADENCE] : « <http://www.cadence.com> »

[CAPY] : Florence Capy, « New monolithically integrated power device for self-switching converters », European journal of electrical engineering, vol.12, NO.2/2009, pp.137-148.

[CAPY-THESE] : Florence CAPY, « Etude et conception d'un interrupteur de puissance monolithique à auto-commutation : le thyristor dual disjoncteur. », thèse Université Paul Sabatier Toulouse, 2009

[CAMEL] : Christian Caramel, « Nouvelles fonctions interrupteurs intégrées pour la conversion d'énergie », thèse Université Paul Sabatier Toulouse, 2007.

[COYAUD] : Martin Coyaud, « Caractérisation Fonctionnelle de COllposants en Carbone de Silicium », thèse UJF Grenoble, juin 2002.

[CREBIER-HDR] : Jean-Christophe Crebier, « Intégration monolithique et composants de puissance », HDR G2Elab, 2006

[HERVE] : Yannick HERVÉ, « Extension AMS du langage VHDL pour l'électronique de puissance », technique de l'ingénieur, 2005.

[IBRAHIM] : Their IBRAHIM, « Contribution au développement de modèles pour l'électronique de puissance en VHDL-AMS », thèse INSA Lyon, 2008.

[IMBERNON] : E. Imbernon, « Étude et optimisation d'une filière technologique flexible », thèse Université Paul Sabatier Toulouse, 2002.

[IRF] : <http://www.irf.com>

[LEFEBVRE] : Stéphane Lefebvre, Francis Miserey, « Composants à semi-conducteur pour l'électronique de puissance », édition Tec & Doc Lavoisier, 2004

[MARMOUGET] : Marc Marmouget, « Contribution au développement d'outils d'aide à la conception de dispositifs de puissance basés sur le mode d'intégration fonctionnelle », thèse INSA toulouse, 2000.

[MARTINI] : « Modélisation de composants orientés électronique de puissance en VHDL-AMS », Master 1 IUP Grenoble, 2007.

[MITOVA] : Radoslava Mitova, « Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant », thèse INPG, Grenoble, 2005

[NGUYEN-THESE] : Binh Nguyen Dac, « Intégration fonctionnelle autour des composants quatre

quadrants avec l'application à la conversion AC/AC », thèse INPG, Grenoble, 2008.

[NGUYEN-PESC] : Binh Nguyen Dac et al., « Modeling and analysis of lateral MOS integrated within power VDMOS for functional integration purposes », PESC Rhodes 2008.

[NXP] : <http://www.nxp.com>

[PECHEUX] : F. Pêcheux et al, « VHDL-AMS and Verilog-AMS as Alternative Hardware Description Languages for Efficient Modeling of Multi-Discipline Systems », IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 24, num. 2, 2005, p. 204-225.

[PHILIBERT] : Yann Philibert, « Intégration monolithique et modélisation », PFE ENSIEG Grenoble, 2007.

[RICARDEAU] : Frédéric Richardeau et al, « New Self-Switching Converters », Power Electronics, IEEE Transactions on, 2008.

[ROUGER] : Nicolas Rouger, « Intégration monolithique des fonctions d'interface au sein de composants de puissance à structure verticale », thèse INPG grenoble, 2008

[ROUX] : Nicolas Roux, « Nouveaux mécanismes de commutation exploitant les protections intégrées des semi-conducteurs de puissance. Application à la conception de convertisseurs statiques à commutation automatique », INP Toulouse, 2004.

[SIMONOT] : T. Simonot, N. Rouger, JC Crébier, « Conception, intégration 3D et caractérisation d'un circuit de commande CMOS pour transistors de puissance », EPF, 2010.

[ST] : <http://www.st.com>

[ST-VIPER] : <http://www.st.com/viper>

[VERNEAU] : Guillaume Verneau, « Optimisation géométrique de MOSFETs de puissance en vue d'intégrer l'alimentation de l'étage de commande » thèse INPG, Grenoble, 2003.

[VLADIMIROVA] : Kremena Vladimirova, « Outils de vérification et d'extraction pour la conception et l'intégration de puissance », PFE université technique de Sofia, 2007.

ANNEXES

Annexe A *Physic_sc*

```
----- VHDLAMS MODEL Physic_SC -----
LIBRARY IEEE;
USE IEEE.math_real.ALL;
USE IEEE.electrical_systems.ALL;

----- Package déclaration
PACKAGE physic_sc IS
----- Definition des constantes :
    CONSTANT q:real:=1.6e-19;           --charge électron (C)
    CONSTANT ni:real:=1.42e10;          --concentration intrinsèque (cm3)
    CONSTANT k:real:=1.38066e-23;        --constante de Boltzmann (J/K)
    CONSTANT Temp:real:=300.0;          --Température ambiante (K)
    CONSTANT Esi:real:=11.9;            --permittivité relative de Si
    CONSTANT E0:real:=8.85418e-14;       --permittivité du vide (F/cm)

    CONSTANT Vsat:real:=10.0e-7;         --vitesse de saturation (cm/s)
    CONSTANT Eox:real:=3.9;             --permittivité relative oxyde
    CONSTANT EmaxSI:real:=3.0e5;         --Champ max dans le Si (V/cm)
    CONSTANT EmsxOx:real:=10.0e7;        --Champ max dans l'oxyde (V/cm)
    CONSTANT EgSi:real:=1.12;           --bande de gap du Si
    CONSTANT EgOx:real:=9.0;            --Bande de gap de l'oxyde (eV)
    CONSTANT Phi_ms:real:=-0.87;        --Travail de sortie entre polysilicium N+
et substrat de type P
    CONSTANT Chi:real:=4.05;            --Affinité du silicium intrinsèque
    CONSTANT mu_p_0:real:=480.0;         --Mobilité des électrons max à E0 (T = 300
K) (cm2/V/cm)
    CONSTANT mu_n_0:real:=1420.0;        --Mobilité des trous max à E0 (T = 300 K)
(cm2/V/cm)
    CONSTANT mu_n_surf:real:=600.0;      --mobilité surfacique des électrons
(cm2/V/cm)

-- Declaration des fonctions :
FUNCTION mu_p(p:real) RETURN real;      -- Fonction mobilité
FUNCTION mu_n(n:real) RETURN real;      -- Fonction mobilité
FUNCTION Vd(p,n:real) RETURN real;      -- Fonction tension de diffusion
FUNCTION Charge_repart(x,dopN,dopP,Prof:real) RETURN real; -- Fonction de répartition des
charges
FUNCTION Phi_F(n:real) RETURN real;      -- Fonction de fermi

END physic_sc;

----- Corps du package
PACKAGE BODY physic_sc IS
----- Definition des fonctions :

-- Mobilité P
FUNCTION mu_p(p:real) return real IS
    VARIABLE result:real;
    BEGIN
        result:= 45.0*exp((-9.23e16)/p) + (470.0/(1.0+(p/2.23e17)**0.719)) - (29.0/
(1.0+(6.1e20/p)**2));
        RETURN result;
    END FUNCTION mu_p;

-- Mobilité N
FUNCTION mu_n(n:real) return real IS
    VARIABLE result:real;
```

```
BEGIN
    result:= 52.2*exp((0.0)/n) + ((1417.0-52.2)/(1.0+(n/9.68e16)**0.68)) -
(43.4/(1.0+(3.43e20/n)**2.0));
    RETURN result;
END FUNCTION mu_n;

-- Tension de diffusion
FUNCTION Vd(p,n:real) return real IS
    VARIABLE result:real;
    BEGIN
        result:=((k*Temp)/q)*log((p*n)/(ni**2.0));
        RETURN result;

    END FUNCTION Vd;

-- Fonction de répartition des charges
-- param profondeur chercher, dopage N, Dopage P profondeur de jonction
FUNCTION Charge_repart(x,dopN,dopP,Prof:real) RETURN real IS
    VARIABLE result:real;
    VARIABLE tdb:real;

    BEGIN
        tdb:=- (Prof**2)/(1.236e-12*log(dopN/dopP));
        result:=dopP*exp(-(x**2)/(1.236e-12*tdb));
        RETURN result;
    END FUNCTION Charge_repart;

-- niveau de fermi pour un dopage n
FUNCTION Phi_F(n:real) RETURN real IS
    VARIABLE Result:real:=0.0;

    BEGIN
        Result:=((k*Temp)/q)*log(n/ni);
        RETURN Result;
    END FUNCTION Phi_F;

END physic_sc;
```

Annexe B Définition de la techfile

B.1 Définition des niveaux

TechLayers : cette classe (instruction regroupent un ensemble de paramètres) permet la définition de la liste des masques. Nous trouverons le nom du masque et son abréviation. Chaque niveau de masque est associé à un numéro. Certains numéros sont des niveaux réservés par Cadence qu'il faudra aussi ajouter au fichier technologique.

```
techLayers(
; ( LayerName          Layer#      Abbreviation )
; ( -----          - - - - -    - - - - - - - - )
; User-Defined Layers:
; ( Pplus              1           Pplus          )
; ( Ozut               2           Ozut           )
; System-Reserved Layers
; ( Unrouted           200         Unroute        )
; ( Row                201         Row             )
```

B.2 Finalité du niveau

techPurposes : les niveaux de masque sont associés à un « purpose » qui définit son utilité. Les masques peuvent servir pour dessiner un masque, pour afficher des fils de connexion ou des erreurs, indiquer où se trouvent des entrées et/ou des sorties... Dans notre cas, nous souhaitons uniquement dessiner des masques. Donc, tous nos niveaux seront du type « purpose drawing ». Nous n'avons donc pas besoin de définir de nouveaux « purpose » donc cette classe ne sera pas remplie. Toutefois nous devons tout de même ajouter les « purposes » réservés par Cadence :

```
techPurposes(
; ( PurposeName           Purpose#   Abbreviation )
; ( -----             - - - - -   - - - - - )
; User-Defined Purposes:
; System-Reserved Purposes:
  ( label                237        lbl          )
  ( error                239        err          )
)
```

B.3 Propriétés du niveau

techLayerPurposePriorities : cette « classe » est utilisée pour faire l'association entre nos niveaux de masques et leur « purpose ». Tous les niveaux que nous avons définis sont utilisés pour le dessin (drawing).

```
techLayerPurposePriorities(
; ( LayerName           Purpose      )
; ( -----             - - - - -   )
  ( Pplus               drawing      )
  ( Ozut                drawing      )
)
```

B.4 Affichage du niveau

techDisplays : cette sous-classe définit les caractéristiques et le « paquet » d'affichage des niveaux, c'est-à-dire la définition de l'apparence et le comportement des niveaux. Pour cela, plusieurs paramètres sont à renseigner :

- Packet = liste un paquet qui est défini dans le fichier display.drf
- Vis = si le niveau est visible lors du dessin
- Sel = si le niveau peut être choisi lors du dessin
- ChgLay = si le niveau est inclus dans Diva
- DrgEnbl = si un objet est visible quand on le déplace
- Valid = si le niveau apparaît dans le LSW (Layout Selection Window)

```
techDisplays(
; ( LayerName   Purpose   Packet      Vis   Sel   ChgLay   DrgEnbl   Valid )
; ( -----   - - - - -   - - - - -   ---   ---   - - - - -   - - - - -   - - - - - )
  ( Pplus      drawing    Pplus      t     t     t         t         t         )
  ( Ozut       drawing    Ozut       t     t     t         t         t         )
)
```

Tous les paramètres sont mis à vrai (t = true) et ceci pour tous les niveaux.

Après avoir défini les niveaux, nous passons à la définition de différentes règles. C'est la classe

« layerRules » que nous devons spécifier.

B.5 Définition des niveaux de connexion

viaLayers : cette classe permet de définir quels niveaux seront utilisés pour la réalisation de connexions entre deux autres niveaux. Par exemple, dans notre cas, le niveau d'ouverture de contacts Ocon servira pour créer un contact entre l'aluminium et le polysilicium et entre l'aluminium et le silicium dopé. Sa définition est la suivante :

```
viaLayers(  
; ( layer1      viaLayer      layer2      )  
; ( -----      -----      -----      )  
  ( Poly        Ocon          Galu        )
```

B.6 Paramètre de génération de GDS II

streamLayers : cette classe permet de définir les paramètres permettant de réaliser une traduction automatique des données des niveaux en un fichier binaire, GDSII.

```
streamLayers(  
; ( layer      streamNumber  dataType      translate  )  
; ( -----      -----      -----      -----      )  
  ( Pplus        1            0            t            )  
  ( Ozut         2            0            t            )
```

Annexe C Création d'un masque

C.1 paramétré manuellement

Par exemple, la réalisation de motifs, présentés sur la figure suivante, pourront être obtenus par l'utilisation de pCell :

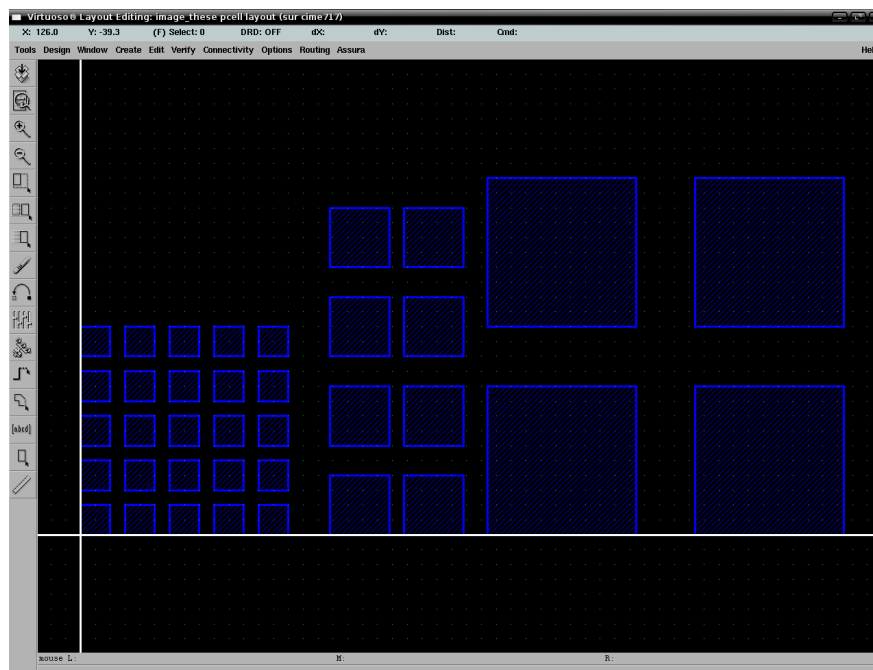


Figure C-1: Exemple de motifs réalisables par pCell

Pour cela, nous devons commencer par identifier le motif élémentaire permettant, à l'aide de divers fonctions, de réaliser ces motifs. Nous pouvons constater que le motif « récurant » est le carré. Suivant les dimensions des cotés de celui-ci, nous parvenons à réaliser tous les motifs. Puis une duplication de ce rectangle est effectuée dans les deux directions permettant ainsi d'aboutir aux motifs souhaités.

Nous commençons par dessiner le motif de base, un carré dans notre cas. Puis, nous devons ajouter à celui-ci deux paramètres, un pour indiquer la largeur du motif et l'autre pour la hauteur. Pour cela, nous aurons recours à l'utilisation de la fonction « stretch » proposée par Cadence. La figure ci-dessous présente notre motif associé à deux « stretch » :

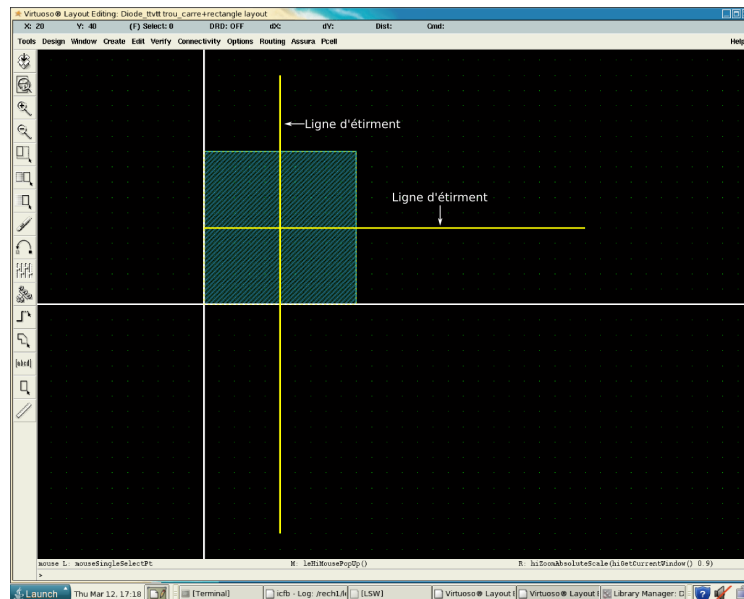


Figure C-2: Définition de notre pCell

La ligne verticale permet d'indiquer à quel endroit l'étirement en largeur sera réalisé. Celle-ci sera associée à un paramètre associé lui-même à la variable que nous nommerons « largeur ». La ligne horizontale définit l'étirement suivant la hauteur. Le paramètre de cette fonction sera attaché à la variable que nous nommerons « hauteur ».

Les deux étirements définis, nous pouvons créer des motifs rectangulaires de toutes tailles. Nous devons maintenant ajouter la fonction de duplication. Cadence nous propose une fonction permettant de définir quel motif nous souhaitons dupliquer et cela suivant les directions X et Y. Cette fonction est définie par plusieurs paramètres, que nous renseignons directement via une interface graphique : distance de duplication X et Y, nombre de duplications en X et Y. Nous avons fait le choix de ne figer aucun de ces paramètres et de laisser l'utilisateur leur affecter des valeurs via quatre variables respectivement : `distance_x`, `distance_y`, `nbre_x` et `nbre_y`.

C.2 Script SKILL d'un masque paramétré

Ci-dessous, le script du pCell précédant (certaines lignes ont été supprimées pour une meilleure lisibilité) avec le découpage et une explication brève des différentes parties :

<code>pcDefinePCell(list(ddGetObj("image_these") "pcell_manu" "layout"))</code>	Emplacement d'enregistrement du pCell lorsque le script sera lu
<code>((largeur float 9.8))</code>	Déclaration des variables associées aux paramètres
<code>let((largeur largeur0 largeur0offset pcMember pcStretchGroup</code>	Création de données

<pre> stretchOffsetX stretchOffsetY pcLib pcMaster pcInst pcTerm pcPin pcPinName pcNet pcTermNet pcNetName pcTermNetName pcMosaicInst pcParameters pcParamProp pcStep pcStepX pcStepY pcRepeat pcRepeatX pcRepeatY pcIndexX pcIndexY pcLayer pcPurpose pcLabelText pcLabelHeight pcPropText pcParamText pcCoords pcPathWidth pcPolygonMargin) (pcLib = (pcCellView->lib)) (pcParameters = ((pcCellView->parameters)->value)) (pcParamProp = car(exists(prop pcParameters ((prop->name) == "largeur")))) (largeur = (pcParamProp->value)) if(((pcParamProp->valueType) == "boolean") (largeur = (largeur == "TRUE")))) (largeur0 = largeur) (largeur0offset = (largeur0 - 9.800000000000001)) </pre>	intermédiaires.
<pre> dbReplaceProp(pcCellView "viewSubType" "string" "maskLayoutParamCell") dbReplaceProp(pcCellView "function" "string" "transistor") (pcLayer = 5) (pcPurpose = "drawing") (pcInst = dbCreateRect(pcCellView list(pcLayer pcPurpose) list((-4.6:-4.1) ((5.2 + largeur0offset):7.1)))) t)) </pre>	Dessin des motifs

Annexe D DRC

D.1 Fonctionnement du DRC

Le DRC de Diva permet la vérification des dimensions des masques. Ceci est effectué à l'aide d'un fichier décrivant chacune des règles à vérifier. Ces règles peuvent être de différents types :

- area : vérifie la surface d'une forme à un seul niveau
- enc : mesure les distances d'enclosure d'un élément d'un niveau par rapport à un élément d'un autre niveau
- notch: vérifie la dimension d'une encoche d'un niveau
- ovlp: mesure le chevauchement d'un élément d'un niveau par rapport à l'élément d'un autre niveau
- sep: vérifie la distance entre des formes sur un même niveau ou sur des niveaux différents

- width: vérifie la largeur des éléments sur un seul niveau

Pour chacun de ces types, il faudra indiquer le niveau et la valeur de la cote à vérifier. Nous remarquons que certains types permettent soit la vérification sur un niveau, soit entre deux niveaux. Le concepteur du fichier du DRC devra indiquer une règle par type à vérifier et ceci pour chacun des niveaux qu'il voudra tester. Ainsi, si l'aire d'un élément doit être vérifiée sur dix niveaux, il faudra créer dix règles distinctes.

D.2 Contraintes de notre technologie

Afin d'élaborer le fichier qui sera utilisé par Diva pour réaliser le DRC, nous devons, dans un premier temps, définir toutes les règles correspondant aux contraintes de notre structure et de la salle blanche que nous utiliserons. En général, la structure impose les contraintes qu'il faudra respecter mais leurs valeurs seront fournies suivant les moyens de la salle blanche. Pour illustrer ceci, considérons la figure suivante.

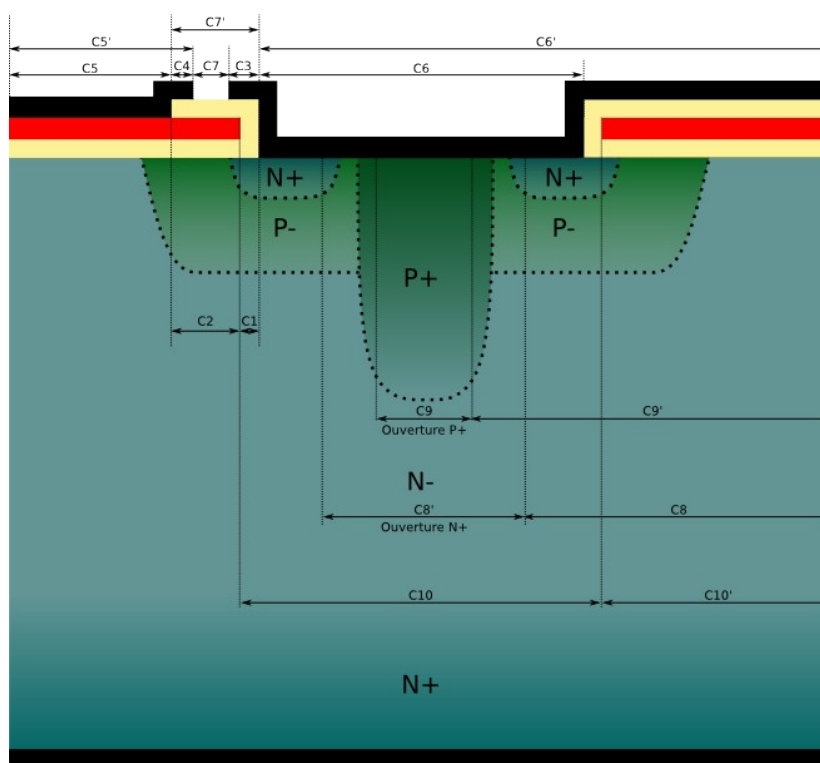


Figure C-3: Contraintes appliquées à la cellule du VD-MOSFET

La liste des contraintes structurelles et de la salle blanche appliquée à notre VD-MOSFET s'énonce ainsi :

- C_1 et C_2 : dimensions minimales du LTO.
- C_3 et C_4 : dimensions du recouvrement de l'aluminium sur le LTO.
- C_5 et C_6 : dimensions de gravure du LTO.
- C_7 : dimension de gravure de l'aluminium.

- C_5' et C_6' : dimensions de l'aluminium
- C_7' : dimension du LTO
- C_8 , C_9' et C_{10} : dimensions de la résine d'ouverture.
- C_8' , C_9 et C_{10}' : dimensions minimales d'ouverture de la résine.

Nous pouvons voir que le LTO permet l'isolation entre la source et la grille, nous devons donc garantir son existence par la contraintes C1 et C2. Si ces cotes sont trop petites, il pourrait apparaître en cas d'erreur d'alignement, une court-circuit entre la grille et la source. De plus, l'aluminium devra recouvrir légèrement le LTO afin d'assurer la prise de contact sur toute la largeur de l'ouverture du contact afin de ne pas laisser de silicium à « nu ». La valeur sera donnée par la précision de l'alignement.

De plus, il existe des contraintes lors de certaines étapes de la réalisation en salle blanche, ainsi nous pouvons lister :

- les dimensions minimales de gravure du LTO : $3\mu\text{m}$
- les dimensions minimales de gravure de l'aluminium : $6\mu\text{m}$
- les dimensions minimales du motif de la résine : $3\mu\text{m}$
- les dimensions minimales d'ouverture de la résine : $3\mu\text{m}$

Les dimensions minimales de gravure sont imposées par la méthode de gravure mais aussi en fonction des épaisseurs des couches. En effet, en cas de gravure humide, si le motif est trop étroit, le produit ne peut pas entrer dans le motif. Par conséquent, la gravure ne se fera pas correctement. Les dimensions minimales du motif de résine permettent de garantir la tenue mécanique de la résine sur la tranche sous entendu son adhérence. La dimension minimale d'ouverture de la résine vient de la photolithographie et du bain de développement. Nous pouvons ajouter l'erreur d'alignement qui est estimée à $2\mu\text{m}$, par conséquent :

- les dimensions minimales du motif de LTO : $2\mu\text{m}$
- les dimensions minimales de recouvrement de l'aluminium sur le LTO : $2\mu\text{m}$

D.3 Définition des règles

Pour réaliser le fichier de définition des règles à tester, nous devons déterminer sur quel masque s'applique chaque contrainte. Ci-dessous, nous listons l'association des dimensions à leur masque :

- C_9 et C_9' : définissent les dimensions de la poche P+ : masque Pplus
- C_{10} et C_{10}' : définissent les dimensions du polysilicium : masque Poly
- C_8' et C_8 : définissent les dimensions de la poche N+ : masque Nplus
- C_5 , C_6 et C_7' : définissent les dimensions des ouvertures dans le LTO : masque Ocon
- C_5' , C_6' et C_7 : définissent les dimensions de l'aluminium : masque Galu

- C_1, C_2 : définissent les contraintes entre le polysilicium et le LTO : masque Poly/Ocon
- C_3, C_4 : définissent les contraintes entre le LTO et de l'aluminium : masque Ocon/Galu

Nous connaissons maintenant sur quel masque chaque contrainte devra être testée. Avant de pouvoir définir les règles, nous devons choisir comment seront dessinés les masques, positifs ou négatifs.

Pour les deux masques servant aux d'implantations, Pplus et Nplus, nous dessinerons les endroits qui seront implantés. Quant au masque Poly ainsi que pour le masque Galu, nous dessinerons les endroits restant après gravure. Par contre le masque Ocon sera dessiné au endroit de la gravure.

Afin de créer le fichier de vérification de Diva, nous devons définir les types de test à réaliser, puis les masques sur lesquels les appliquer. Ci-dessous, la liste des contraintes et leur type :

- C_1 : minSpacing : distance minimale de séparation entre l'Ocon et le Poly
- C_2 : minEnclosure : distance minimale d'enclos de l'Ocon par le Poly
- C_3 : minEnclosure : distance minimale d'enclos de l'Ocon par le Galu
- C_4 : minEnclosure : distance minimale d'enclos de l'Ocon par le Galu
- C_5 : minWidth : largeur minimale de l'Ocon
- C_5' : minWidth : largeur minimale du Galu
- C_6 : minWidth : largeur minimale de l'Ocon
- C_6' : minWidth : largeur minimale du Galu
- C_7 : minSpacing : distance minimale de séparation du Galu
- C_7' : minSpacing : distance minimale de séparation de l'Ocon
- C_8 : minSpacing : largeur minimale où on doit laisser de la résine pendant l'implantation de Phosphore
- C_8' : minWidth : largeur minimale d'ouverture, du à la résine
- C_9 : minWidth : largeur minimale d'ouverture, du à la résine
- C_9' : minSpacing : largeur minimale dues à la résine
- C_{10} : minSpacing : largeur minimale dues à la résine
- C_{10}' : minWidth : largeur minimale d'ouverture de la résine - c'est là où on va enlever la résine pour effectuer le dépôt de polysilicium

Nous pouvons remarquer certaines redondances de contrainte.

D.4 Fichier Diva

Nous avons maintenant toutes les informations pour réaliser le fichier Diva servant pour le DRC. Le

fichier de vérification commence avec la définition du nom « switch » permettant de choisir l'outil Diva à utiliser. Dans notre cas, nous allons utiliser le module DRC ; pour cela nous utiliserons l'instruction :

```
switch("drc?")
```

Puis, nous trouvons des niveaux dérivés, ces niveaux sont réalisés par des opérations logiques entre plusieurs masques. Ceci permet d'obtenir seulement certains éléments des masques. Ce sont sur ces masques que les règles seront appliquées. Dans notre cas, les règles s'appliquent sur tous les motifs d'un niveau ou sur une combinaison de niveaux. Toutefois, l'application des règles se faisant uniquement sur des niveaux dérivés, nous allons définir des masques dérivés comme étant une combinaison de type « Ou » sur un masque avec lui-même. Ceci est réalisé à l'aide de l'instruction `geomOr` avec un seul masque en paramètre :

```
ocon = geomOr( "Ocon" )
galu = geomOr( "Galu" )
...
```

Ceci est réalisé pour tous les niveaux de masque. Ensuite, nous passons à la définition des règles spécifiques à vérifier. Comme nous l'avons déjà remarqué, après la transformation des contraintes en règles de vérification, certaines d'entre elles sont redondantes (C5 et C'5, C6 et C'6, C3 et C4 dans notre exemple). Nous en définirons seulement une sur les deux. De plus, si nous avons deux contraintes sur le même masque qui sont définies par le même type, mais ayant des valeurs différentes ; le logiciel de vérification prendra en compte celles qui possèdent la valeur la plus petite. Ci-dessous, une partie du fichier montrant la méthode de définition des règles est présentée.

```
drc( ocon sep<4 "LT0 spacing<4" parallel)
drc( poly ocon enc<2 "Enclosure LT0/Poly enc<2" parallel)
drc( ocon width<4 "LT0 width<4" parallel)
drc( ocon poly sep<1.95 "Spacing LT0/Poly sep<1.95" parallel)
```

Nous avons pu constater lors de nos essais que la règle de vérification de recouvrement des ouvertures via le masque « Ocon » par l'aluminium avec la règle `enc` n'était pas suffisante. En effet, celle-ci vérifie la distance entre deux géométries mais ne permet pas de savoir si une géométrie recouvre complètement l'autre. La figure suivante présente les distances mesurées par la règle `enc` :

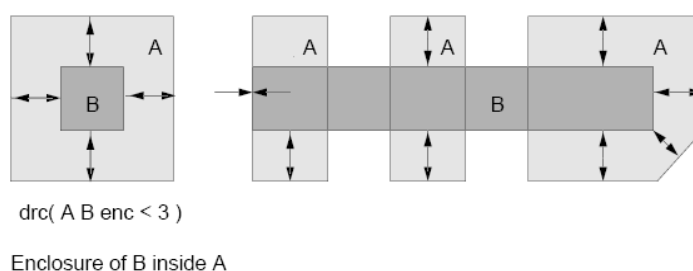


Figure C-4: Zone mesurée par la règle "enc" [CADENCE]

Nous pouvons voir que les zones B non recouvertes par la zone A ne sont à aucun moment mesurées. Nous ne pouvons pas vérifier si le recouvrement des ouvertures du masque « Ocon » par l'Alu est total par cette méthode. Le niveau Ocon est dessiné aux endroits où le contact d'aluminium est réalisé. Nous devons être sûrs que les ouvertures d'oxyde sont recouvertes d'aluminium afin de ne pas avoir de silicium à nu.

La figure suivante représente deux niveaux de masquage « Ocon » et "Galu" quelconque, nous servant pour l'étude.

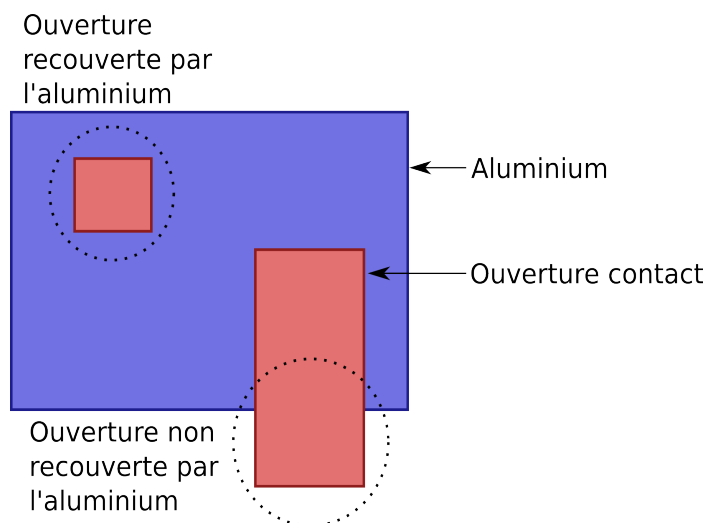


Figure C-5: exemple de masque à vérifier

Nous devons réussir à détecter l'erreur que présente l'empilement de ces masques. Pour cela, nous allons définir un nouveau niveau dérivé faisant apparaître seulement le morceau incriminé. Nous allons donc utiliser diverses combinaisons de fonctions logiques.

Nous commencerons par réaliser une fonction OU exclusif entre les deux niveaux de masque, Ocon et Galu. Nous obtenons le dessin du haut de la figure suivante :

Niveau OCON OU exclusif ALU

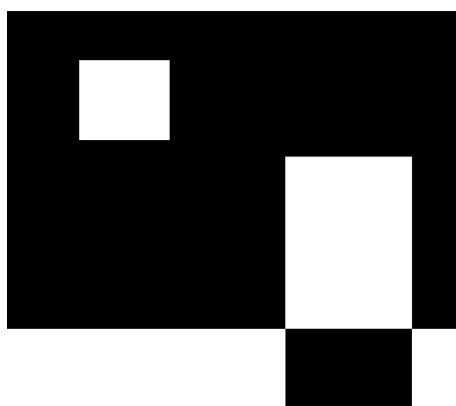
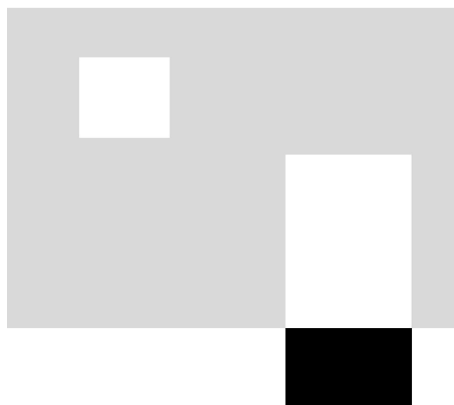


Figure C-6: masque dérivé

Après quoi nous réalisons une fonction « Et » entre ce nouveau niveau et le masque Ocon, nous obtenons le résultat suivant :

Niveau précédent ET OCON

*Figure C-7: Masque dérivé final*

Ceci nous permet de faire apparaître seulement la partie du masque « Ocon » non recouverte par de l'aluminium, représenté par la zone noire, la zone plus claire est présentée pour une meilleure compréhension de la zone restante et n'existe donc pas.

Une règle de type « area », sur ce masque dérivé permet de détecter une aire supérieure à zéro, ce qui signifie une erreur de recouvrement d'une ouverture dans le masque "Ocon".

Ci-dessous, nous donnons l'ajout que nous avons fait dans notre fichier Diva :

```
Oconxorgalu = geomXor("Galu" "Ocon")  
Oconnu = geomAnd(Oconxorgalu "Ocon")  
drc(Oconnu area>0.0 "Ocon non recouvert d'aluminium")
```

Contribution à la Conception et Assistance au Prototypage de Systèmes Intégrés sur Silicium (CAPsis). Application à l'interrupteur automatique VD-MOSFET

L'intégration monolithique de fonctions auxiliaires au cœur d'un interrupteur de puissance permet de simplifier sa mise en œuvre, de réduire la connectique et donc de fiabiliser ce composant. La conception de tels composants de puissance passe par divers étapes: modélisation, dimensionnement, création de masques, fabrication et test. Dans le milieu académique, ces étapes sont actuellement effectuées par le concepteur, sans aucune assistance. Or, celles-ci peuvent être critiques et induire des erreurs ne permettant pas le fonctionnement du dispositif. Nous proposons d'étudier la mise en place d'une plateforme de Conception et d'Assistance au Prototypage de Systèmes Intégrés sur Silicium (CAPsis). Nous commençons par définir l'architecture de cette plateforme. Puis nous verrons comment assister le concepteur lors des étapes de modélisation lui servant pour ses simulations lors du dimensionnement. Puis nous présentons la méthode choisie pour l'assistance à la génération des masques d'un dispositif. Enfin nous développons la mise en œuvre de tout ceci avec la création d'un interrupteur à commutation automatique à cœur VD-MOSFET.

Mots clés: intégration monolithique, intégration sur silicium, conception, assistance, salle-blanche, VD-MOSFET, LD-MOSFET, prototypage, modélisation, jeu de masques, pCell.

Contribution to the Design and Prototyping Assistance of Silicon Integrated Systems (CAPsis). Application to the automatic switch VD-MOSFET

The monolithic integration of auxiliary functions within a power silicon switch can simplify its implementation, suppress connections and therefore reliability this component. The design of such power components is carried out through various stages: modeling, sizing, creation masks, manufacturing and testing. In academia context, these steps are often currently performed without assistance for the designer. So they can be critical and lead to errors not allowing the operating of the device. We propose to study the establishment of a platform for the Design and Prototyping Assistance of Silicon Integrated System (CAPsis). We begin by defining what the architecture platform is. Then we present how to assist the designer during the modeling steps used for its simulation during design. Then we present the method chosen to aid the designer to create the masks of a device. Finally we illustrate the implementation of all this with the creation of an automatic switch VD-MOSFET.

Keywords : monolithic integration, silicon integration, conception, assistance, design, clean room, VD-MOSFET, LD-MOSFET, prototyping, modeling, layout, pCell.