



HAL
open science

Test aux ions lourds de VLSI programmables

A. Provost-Grellier

► **To cite this version:**

A. Provost-Grellier. Test aux ions lourds de VLSI programmables. Modélisation et simulation. Institut National Polytechnique de Grenoble - INPG, 1989. Français. NNT: . tel-00334460

HAL Id: tel-00334460

<https://theses.hal.science/tel-00334460>

Submitted on 27 Oct 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

TH 3545

THESE

présentée par

Antoine PROVOST-GRELLIER

pour obtenir le titre de DOCTEUR

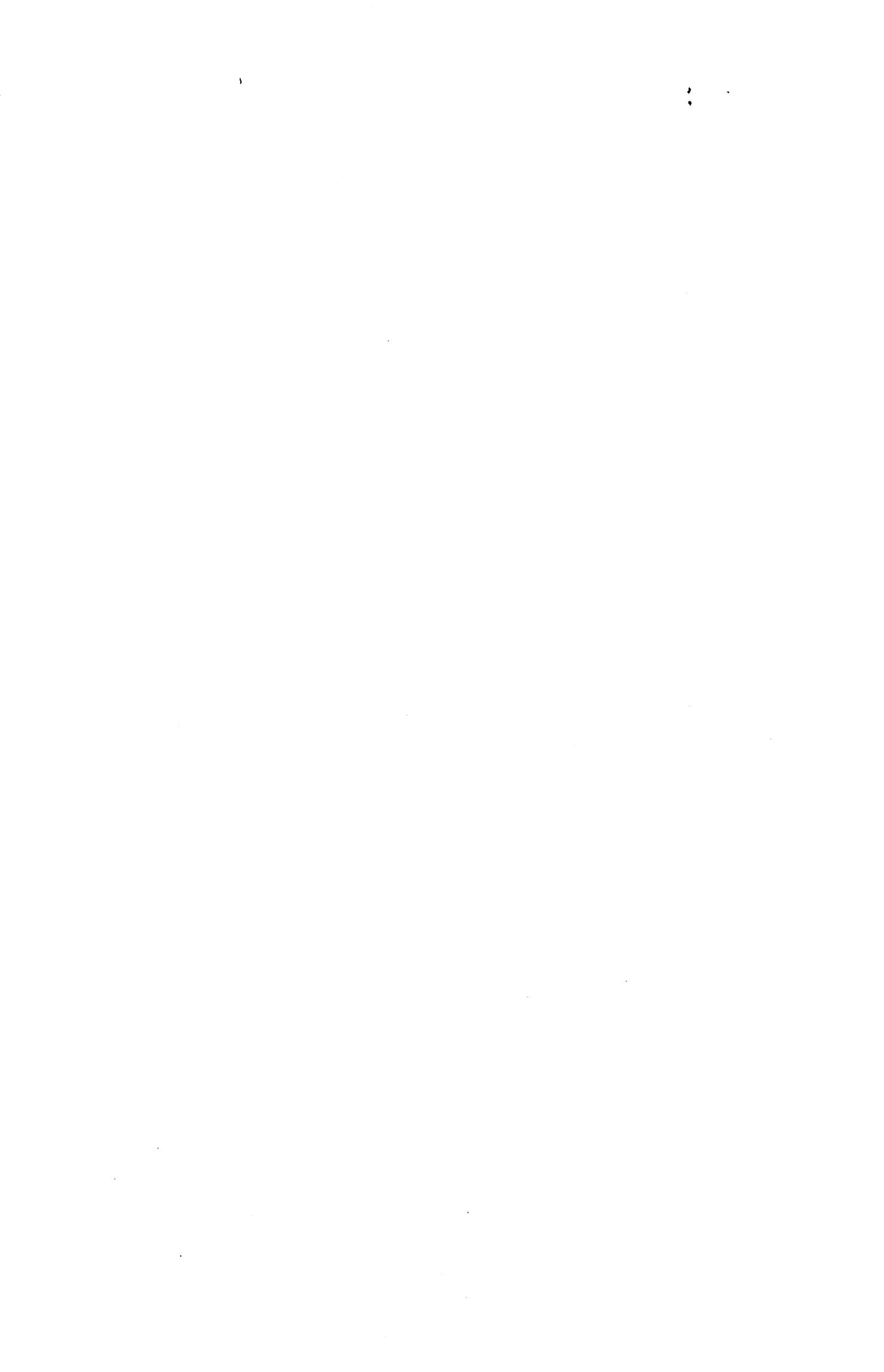
de l'INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

<p>TEST AUX IONS LOURDS DE VLSI PROGRAMMABLES</p>
--

date de soutenance : 17 Novembre 1989

Composition du jury :	Guy MAZARE	(Président)
	Jean GASLOT	(Rapporteur)
	Jacques BOURRIEU	(Rapporteur)
	Raoul VELAZCO	(Directeur de thèse)

Thèse préparée au sein du Laboratoire de Génie Informatique (Unité Génie Matériel)



INSTITUT NATIONAL POLYTECHNIQUE GRENOBLE

46 avenue F. Viallet - 38031 GRENOBLE Cedex -

Tél : 76.57.45.00

ANNEE UNIVERSITAIRE 1989

Président de l'Institut
Monsieur Georges LESPINARD

PROFESSEURS DES UNIVERSITES

ENSERG	BARIBAUD	Michel	ENSPG	JOST	Rémy
ENSIEG	BARRAUD	Alain	ENSPG	JOUBERT	Jean-Cl
ENSPG	BAUDELET	Bernard	ENSIEG	JOURDAIN	Geneviève
INPG	BEAUFILS	Jean-Pierre	ENSIEG	LACOUME	Jean-Lou
ENSERG	BLIMAN	Samuel	ENSIEG	LADET	Pierre
ENSHMG	BOIS	Philippe	ENSHMG	LESIEUR	Marcel
ENSEEG	BONNETAIN	Lucien	ENSHMG	LESPINARD	Georges
ENSPG	BONNET	Guy	ENSPG	LONGUEUE	Jean-Pier
ENSIEG	BRISSONNEAU	Pierre	ENSHMG	LORET	Benjamin
IUFA	BRUNET	Yves	ENSEEG	LOUCHET	François
ENSHMG	CAILLERI E	Denis	ENSEEG	LUCAZEAU	Guy
ENSPG	CAVAIGNAC	Jean-François	ENSIEG	MASSE	Philippe
ENSPG	CHARTIER	Germain	ENSIEG	MASSELOT	Christian
ENSERG	CHENEVIER	Pierre	ENSIMAG	MAZARE	Guy
UFR PGP	CHERADAME	Hervé	ENSIMAG	MOHR	Roger
ENSIEG	CHERUY	Arlette	ENSHMG	MOREAU	René
ENSERG	CHOVET	Alain	ENSIEG	MORET	Roger
ENSERG	COHEN	Joseph	ENSIMAG	MOSSIÈRE	Jacques
ENSEEG	COLINET	Catherine	ENSHMG	OBLED	Charles
ENSIEG	CORNUT	Bruno	ENSEEG	OZIL	Patrick
ENSIEG	COULOMB	Jean-Louis	ENSEEG	PAULEAU	Yves
ENSERG	COUMES	André	ENSIEG	PERRET	Robert
ENSIMAG	CROWLEY	James	ENSHMG	PIAU	Jean-Mic
ENSHMG	DARVE	Félix	ENSERG	PIC	Etienne
ENSIMAG	DELLA DORA	Jean-François	ENSIMAG	PLATEAU	Brigitte
ENSERG	DEPEY	Maurice	ENSERG	POUPOT	Christian
ENSPG	DEPORTES	Jacques	ENSEEG	RAMEAU	Jean-Jac
ENSEEG	DEROO	Daniel	ENSPG	REINISCH	Raymond
ENSEEG	DESRE	Pierre	UFR PGP	RENAUD	Maurice
ENSERG	DOLMAZON	Jean-Marc	UFR PGP	ROBERT	André
ENSEEG	DURAND	Francis	ENSIMAG	ROBERT	François
ENSPG	DURAND	Jean-Louis	ENSIEG	SABONNADIÈRE	Jean-Cl
ENSHMG	FAUTRELLE	Yves	ENSIMAG	SAUCIER	Gabriele
ENSIEG	FOGGIA	Albert	ENSPG	SCHLENKER	Claire
ENSIMAG	FONLUPT	Jean	ENSPG	SCHLENKER	Michel
ENSIEG	FOULARD	Claude	ENSERG	SERMET	Pierre
UFR PGP	GANDINI	Alessandro	UFR PGP	SILVY	Jacques
ENSPG	GAUBERT	Claude	ENSHMG	SIRIEYS	Pierre
ENSERG	GENTIL	Pierre	ENSEEG	SOHM	Jean-Cl
ENSIEG	GENTIL	Sylviane	ENSIMAG	SOLER	Jean-Lo
IUFA	GREVEN	Hélène	ENSEEG	SOUQUET	Jean-lo
ENSIEG	GUEGUEN	Claude	ENSHMG	TROMPETTE	Philippe
ENSERG	GUERIN	Bernard	ENSPG	VINCENT	Henri
ENSEEG	GUYO T	Pierre	ENSERG	ZADWORN	François
ENSIEG	IVANES	Marcel			
ENSIEG	JAUSSAUD	Pierre			

SITUATION PARTICULIERE

PROFESSEURS D'UNIVERSITE

DETACHEMENT

ENSIMAG	LATOMBE	J.Claude	Détachement.....	21/10/1989
ENSHMG	PIERRARD	J.Marie	Détachement.....	30/04/1989
ENSIMAG	VEILLON	Gérard	Détachement.....	30/09/1990
ENSIMAG	VERJUS	J.Pierre	Détachement.....	30/09/1989
ENSPG	BLOCH	Daniel	Récteur à c/.....	21/12/1988

SURNOMBRE

INPG	CHIAVERINA	Jean	30/09/1989
ENSHMG	BOUVARD	Maurice.. ..	30/09/1991
ENSEEG	PARIAUD	J.Charles	30/09/1991

**PERSONNES AYANT OBTENU LE DIPLOME
d'habilitation à diriger des recherches**

BECKER	M.	DANES	F.	GHIBAUDO	G.	MULLER	J.
BINDER	Z.	DEROO	D.	HAMAR	S.	NGUYEN TRONG	B.
CHASSERY	J.M.	DIARD	J.P.	HAMAR	R.	NIEZ	J.J.
CHOLLET	J.P.	DION	J.M.	LACHENAL	D.	PASTUREL	A.
COEY	J.	DUGARD	L.	LADET	P.	PLA	F.
COLINET	C.	DURAND	M.	LATOMBE	C.	ROGNON	J.P.
COMMAULT	C.	DURAND	R.	LE HUY	H.	ROUGER	J.
CORNUEJOLS	G.	GALERIE	A.	LE GORREC	B.	TCHUENTE	M.
COULOMB	J.L.	GAUTHIER	J.P.	MADAR	R.	VINCENT	H.
COURNIL	M.	GENTIL	S.	MEUNIER	G.	YAVARI	A.R.
DALARD	F.						

CHERCHEURS DU C.N.R.S.

DIRECTEURS DE RECHERCHE CLASSE 0

LANDAU	Ioan
NAYROLLES	Bernard

DIRECTEURS DE RECHERCHE 1ère CLASSE

ANSARA	Ibrahim	KRAKOWIAK	Sacha
CARRE	René	LEPROVOST	Christian
FRUCHARD	Robert	VACHAUD	Georges
HOPFINGER	Emile	VERJUS	Jean-Pierre
JORRAND	Philippe		

DIRECTEURS DE RECHERCHE 2ème CLASSE

ALEMANY	Antoine	JOUD	Jean-Charles
ALLIBERT	Colette	KAMARINOS	Georges
ALLIBERT	Michel	KLEITZ	Michel
ARMAND	Michel	KOFMAN	Walter
AUDIER	Marc	LEJEUNE	Gérard
BERNARD	Claude	MADAR	Roland
BINDER	Gilbert	MERMET	Jean
BONNET	Roland	MICHEL	Jean-Marie
BORNARD	Guy	MEUNIER	Jacques
CAILLER	Marcel	PEUZIN	Jean-Claude
CALMET	Jacques	PIAU	Monique
CHATILLON	Christian	RENOUARD	Dominique
CLERMONT	Jean-Robert	SENATEUR	Jean-Pierre
COURTOIS	Bernard	SIFAKIS	Joseph
DAVID	René	SIMON	Jean-Paul
DION	Jean-Michel	SUERY	Michel
DRIOLE	Jean	TEODOSIU	Christian
DURAND	Robert	VAUCLIN	Michel
ESCUDIER	Pierre	VENNEREAU	Pierre
EUSTATHOPOULOS	Nicolas	WACK	Bernard
GARNIER	Marcel	YONNET	Jean-Paul
GUELIN	Pierre		

.../...

PERSONNALITES AGREES A TITRE PERMANENT A DIRIGER DES TRAVAUX DE RECHERCHE
(DECISION DU CONSEIL SCIENTIFIQUE)

<u>ENSEEG</u>	HAMMOU MARTIN-GARIN SARRAZIN SIMON	Abdelkader Régina Pierre Jean-Paul
<u>ENSERG</u>	BOREL	Joseph
<u>ENSIEG</u>	DESCHIZEAUX GLANGEAUD PERARD REINISCH	Pierre François Jacques Raymond
<u>ENSHMG</u>	ROWE	Alain
<u>ENSIMAG</u>	COURTIN	Jacques
<u>C.E.N.G</u>	CADET COEURE DELHAYE DUPUY JOUVE NICOLAU NIFENECKER PERROUD PEUZIN TAIEB VINCENDON	Jean Philippe Jean-Marc Michel Hubert Yvan Hervé Paul Jean-Claude Maurice Marc
	Laboratoire extérieurs :	
<u>C.N.E.T.</u>	DEVINE GERBER MERCKEL PAULEAU	Rodericq Roland Gérard Yves

XXXXXXXXXXXXXXXXXXXX





Je tiens à exprimer toute ma reconnaissance à Monsieur Raoul VELAZCO, chargé de recherche au CNRS, pour avoir encadré mon travail, et m'avoir fait partager son enthousiasme pour la recherche.

Je tiens à remercier Monsieur Guy MAZARE, professeur à l'ENSIMAG, de m'avoir fait l'honneur de présider le jury de cette thèse.

Je suis très reconnaissant envers Messieurs Jean GASIOT, professeur à l'Université de Montpellier, et Jacques BOURRIEAU, ingénieur de recherche à l'ONERA-CERT-DERTS, d'avoir accepté d'être rapporteurs de cette thèse.

Je tiens à remercier tout particulièrement Monsieur Thierry CHAPUIS, ingénieur au CNES, pour la collaboration agréable que nous avons pu établir tout au long de cette étude.

Que soient également remerciés ici :

- Messieurs SERPAGGI et COLLOVATI, du service électronique de l'ENSIMAG, pour leur assistance technique lors de la conception des cartes de test.

- Monsieur Pierre FONTANILLE, qui m'a aidé à implanter sur IBM PC le logiciel GAGE.

- Monsieur Gérard BAILLE, pour mon initiation à la "bête" d'HP.

- Monsieur Mazen MAHROUS, collègue de l'UGM, pour avoir participé à l'élaboration des cartes d'interface.

- *Tous mes collègues et amis de l'équipe "Unité Génie Matériel" pour l'ambiance chaleureuse qu'ils ont su maintenir pendant toutes ces dernières années.*

- *Toutes les personnes qui ont assuré la réalisation technique de ce mémoire, Madame Solange ROCHE pour la frappe ainsi que l'équipe de reprographie et Monsieur D. IGLESIAS pour le tirage.*

J'aimerais aussi associer à la réussite de cette thèse tous mes amis de Grenoble, qui ont su m'adopter, me faire apprécier cette région, et créer une ambiance que je n'oublierai pas de sitôt :

- *Les amis de la toute première heure, qui m'ont aidés à m'installer lors de mon arrivée à Grenoble (quelle était dure cette montée vers Claix !).*

- *Le "Tonio's Fan Club", qui ont toujours pu (ou presque) "amadouer mon sale caractère".*

- *Emmanuel JOSPIN, qui a effectué avec moi les premiers pas dans ce projet.*

- *Enfin, la "Battini's Connection", qui a su éveiller mon côté ludique.*

Résumé

L'environnement radiatif spatial provoque des anomalies dans les systèmes informatiques embarqués. Il est donc primordial de définir des stratégies de qualification permettant le choix du circuit le moins vulnérable.

Le phénomène dit "d'upset" est l'un des effets du rayonnement le plus critique pour les circuits intégrés. Les différentes stratégies de test d'upset sont passées en revue, dans le cas des circuits intégrés programmables. Un équipement expérimental de test a été développé et une méthode de test a été appliquée à des circuits candidats à des applications spatiales. Les tests aux ions lourds ont été réalisés à l'aide de différents simulateurs d'ions lourds (source de Californium, cyclotron, synchrotron), validant ainsi le matériel et l'approche développés et donnant des indications sur l'efficacité de ces simulateurs.

Mots clés

Environnement spatial, Ions lourds, Upset, Test d'upset, Circuits intégrés programmables.

Abstract

The natural radiative environment in space has been shown to induce anomalies in satellite borne microelectronics. It becomes then mandatory to define qualification strategies allowing to choose the less vulnerable circuits.

The upset phenomenon is one of the most critical radiative effects on integrated circuits. Different test strategies are shown for programmable integrated circuits. An experimental test equipment has been developed and a test methodology have been applied to different circuits devoted to space applications. The approach has been validated by performing experiments using different heavy ion simulators (Californium source, cyclotron, synchrotron).

Key words

Space environment, Heavy ions, Single Event Upset, SEU test, Programmable integrated circuits.

à ma mère,

à Didier

"Il n'espérait rien de ce qu'il écrirait. Rien d'autre que le mince soulagement de l'avoir écrit."

SAN-ANTONIO

(Déconages épars)







TABLE DES MATIERES

INTRODUCTION	25
PREMIERE PARTIE : L'ENVIRONNEMENT SPATIAL ET SES CONSEQUENCES SUR L'ELECTRONIQUE EMBARQUEE	31
<u>I - DESCRIPTION DU RAYONNEMENT DANS L'ESPACE TERRESTRE</u>	33
I - 1. LES PARTICULES LEGERES	34
I - 1.1. Les particules d'origine solaire	34
I - 1.2. Les zones de piégeage de la magnétosphère	36
I - 2. LES PARTICULES LOURDES	39
I - 2.1. Les particules lourdes galactiques et extragalactiques Rayonnement cosmique	39
I - 2.2. Les ions lourds provenant des éruptions solaires	42
<u>II - EFFETS DU RAYONNEMENT DANS LA MATIERE</u>	43
<u>III - EFFETS DU RAYONNEMENT SUR LES CIRCUITS INTEGRES</u>	47
III - 1. PRESENTATION	47
III - 2. EFFETS DES DOSES CUMULEES	48
III - 3. EFFETS INDUITS PAR LES IONS LOURDS	50
III - 3.1. Notions de LET - notion de parcours	50
III - 3.2. Effets transitoires dus aux ions lourds	51
III - 3.3. Mécanisme de base	52
III - 3.4. Description du phénomène de Latch-up	53
III - 3.5. Description du phénomène d'upset	55
III - 3.6. Notion de LET seuil et de section efficace	59

III - 2. PRESENTATION DU TESTEUR FUTE-8	99
III - 2.1. Architecture de FUTE-8	99
III - 2.2. Fonctionnement du testeur	101
III - 2.3. Développement des cartes esclaves	102
IV - <u>SEQUENCES DE TEST D'UPSET</u>	106
IV - 1. TEST FONCTIONNEL	106
IV - 2. TEST D'UPSET	107
IV - 2.1. Cas des mémoires	108
IV - 2.2. Cas des CIP	108
IV - 2.3. Taux de couverture	113
IV - 2.4. Conséquences sur la prédiction du taux d'upset.....	114
IV - 4. PRESENTATION D'UNE METHODE DE TEST D'UPSETS POUR CIP ...	115
IV - 5. CONCLUSION ET PERSPECTIVES	116
TROISIEME PARTIE : RESULTATS EXPERIMENTAUX.....	119
I - <u>INTRODUCTION</u>	121
II - <u>PRESENTATION DES RESULTATS DE TEST</u>	122
II - 1. CIRCUITS TESTES	122
II - 2. RESULTATS OBTENUS AU CALIFORNIUM	123
II - 3. RESULTATS AUX PROTONS	126
II - 4. RESULTATS OBTENUS AVEC LE CYCLOTRON DE BERKELEY	127

III - <u>ETUDE DE LA VARIATION DE LA SENSIBILITE AUX SEU EN FONCTION DE PARAMETRES DE TEST</u>	133
III - 1. INFLUENCE DE LA SEQUENCE DE TEST	133
III - 2. INFLUENCE DE LA VITESSE DE FONCTIONNEMENT DU DUT	136
III - 3. INFLUENCE DE LA DOSE RECUE	136
III - 4. SENS DE BASCULEMENT	137
IV - <u>COMPARAISON ENTRE LES ESSAIS AU CALIFORNIUM ET AU CYCLOTRON</u>	139
CONCLUSION ET PERSPECTIVES	141
BIBLIOGRAPHIE	145
ANNEXES	157
<u>ANNEXE 1</u> : Flux d'ions lourds émis par la source de Californium du DERTS en fonction de la distance source - circuit sous test à la date d'octobre 1988	159
<u>ANNEXE 2</u> : Documentation technique des circuits testés	161
<u>ANNEXE 3</u> : Cartes d'interface FUTE-8 / circuits cibles	169
<u>ANNEXE 4</u> : Interface IBM PC - FUTE-8	183

INTRODUCTION

L'utilisation de plus en plus importante de circuits intégrés complexes dans des applications spatiales pose le problème de leur fiabilité. En effet, l'accroissement des ambitions des réalisations spatiales s'accompagne d'une utilisation de circuits tels que des microprocesseurs dans les fonctions fondamentales des systèmes embarqués. Une simple défaillance de ces circuits peut provoquer la perte de l'engin spatial. Etant donné les enjeux économiques et/ou en vies humaines, à la veille des vols habités européens, il est impératif de mettre en place des recherches ayant pour but d'évaluer le comportement des circuits intégrés dans des conditions proches de l'environnement spatial.

Parmi les anomalies induites par l'environnement radiatif spatial, le phénomène dit "d'upset" est peut être le plus critique. En effet, ce phénomène se traduit par une modification transitoire d'une information binaire stockée dans un point mémoire. L'instant d'occurrence et la localisation dans le circuit sont par définition aléatoires. De plus, l'emploi de technologies très intégrées augmente la sensibilité au phénomène d'upset des circuits.

Les circuits les plus difficiles à évaluer face à ce type d'anomalies sont les circuits programmables, dus essentiellement au grand nombre et à la diversité de fonctions de leurs points mémoire.

L'objectif principal de cette thèse est la définition d'une méthodologie de test d'upset applicable aux circuits intégrés programmables. Cette étude est apparue comme une nécessité du fait de la conjoncture actuelle de l'industrie et la recherche spatiales européennes. En effet, ces circuits sont des candidats certains aux équipements informatiques embarqués des missions spatiales futures.

L'évaluation de la vulnérabilité aux radiations spatiales d'un circuit intégré peut se faire par modélisation et simulation. Toutefois, ce moyen d'évaluation

demande de bien connaître la structure du circuit, la technologie employée et même la dimension des transistors. Ces informations ne sont pas disponibles à l'utilisateur, ce qui l'oblige à avoir recours à des moyens plus lourds et plus coûteux : le test en environnement radiatif. Ces tests permettent d'avoir une bonne connaissance du comportement des circuits intégrés en environnement spatial et constituent donc une étape importante dans la qualification d'un composant candidat à des applications spatiales.

Pour mettre en oeuvre un test de sensibilité aux radiations d'un composant électronique, il est nécessaire de disposer de divers moyens résumés ci-dessous :

- Un simulateur d'environnement : suivant l'étude menée, le composant subira un flux d'électrons ou de rayonnement gamma (test de doses), ou un flux d'ions lourds (tests d'upset ou de latch-up). Dans ce dernier cas, le simulateur devra fournir un flux compatible en énergie et en type de particules avec l'environnement spatial.
- Un environnement électronique pour activer le composant durant le test. Il peut être constitué d'une simple alimentation et de quelques instruments de mesure (ampèremètre, voltmètre) pour le test de transistors de puissance ; sa complexité croît avec celle du circuit étudié : par exemple pour des circuits VLSI complexes tels que des microprocesseurs un environnement de type testeur fonctionnel sera nécessaire.
- Dans ce dernier cas, la mise en oeuvre devra comprendre une étape supplémentaire importante : la définition d'une stratégie de test et son application sous forme de programme. En effet, ces circuits disposent d'un jeu d'instructions ou de commandes et leur comportement est évalué à travers l'exécution d'une suite d'instructions ou de commandes.

Dans la première partie de cette thèse, les caractéristiques de l'environnement spatial sont présentées, ainsi que les mécanismes des phénomènes induits par cet environnement sur les circuits intégrés.

L'objet de la deuxième partie est de montrer différentes applications dans la mise en oeuvre d'un test de circuits intégrés programmables pour la mesure de la sensibilité aux upsets.

Les moyens de simulation de l'environnement spatial utilisés lors de différentes expériences de test sont présentés et leurs caractéristiques comparées.

Une classification des différents moyens de test appropriés aux circuits programmables est exposée. En fonction de celle-ci, nous présentons les caractéristiques du testeur utilisé lors d'une collaboration LGI/CNES pour le test aux ions lourds de circuits représentatifs :

- microprocesseurs et microcontrôleurs : MHS 80C31
- microprocesseurs en tranche : AMD 2901 et 2910
- périphériques de microprocesseurs : Harris 82C54, TS 6821, TS 6850

Les résultats de telles expériences sont présentés dans la troisième partie.

PREMIERE PARTIE

**L'ENVIRONNEMENT SPATIAL ET SES
CONSEQUENCES SUR L'ELECTRONIQUE
EMBARQUEE**

I - DESCRIPTION DU RAYONNEMENT DANS L'ESPACE TERRESTRE

Il est considéré que l'espace terrestre est irradié par trois sources principales de rayonnement (figure 1) :

- le soleil,
- les zones de piégeage de la magnétosphère,
- les rayons cosmiques.

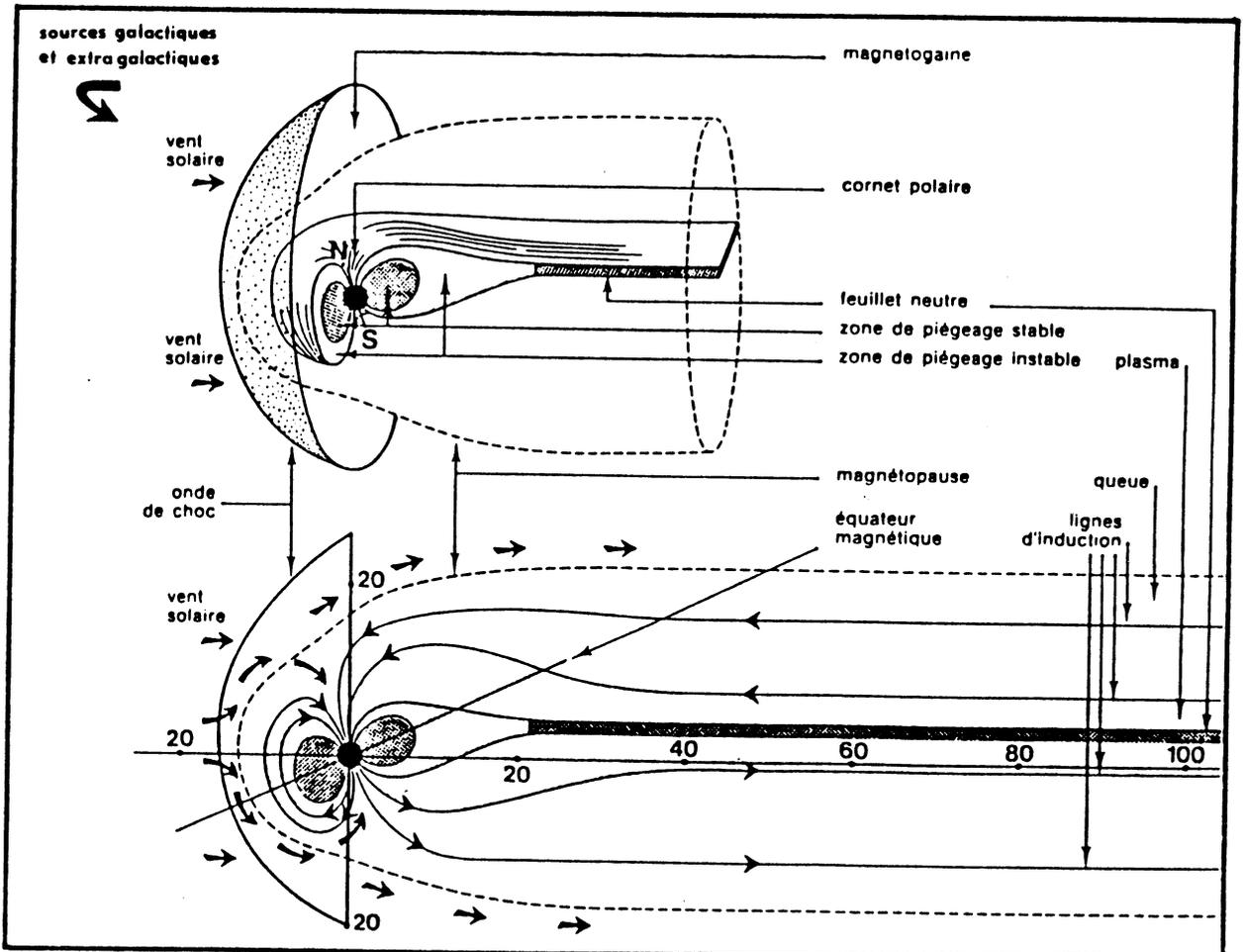


Figure 1 :

Représentation de la magnétosphère qui forme une cavité naturelle, due à l'interaction du vent solaire et des lignes du champs magnétique terrestre.

Pour caractériser leur spectre d'émission en origine, composition, flux, nous distinguerons deux grandes catégories de particules : les particules lourdes et les particules légères.

I - 1. LES PARTICULES LEGERES

Cette catégorie est essentiellement composée de protons, électrons, neutrons, particules α et de rayonnement γ . Les principales sources d'émission de ces radiations sont le soleil et les zones piégeages de la magnétosphère.

I - 1.1. Les particules d'origine solaire

L'influence du soleil en direction de la terre s'exerce par une activité continue, le vent solaire, et par des périodes d'éruptions solaires.

a) Activité normale - vent solaire

La couronne solaire portée à très haute température s'évapore dans tout l'espace interplanétaire sous la forme d'un plasma : le vent solaire.

- Les particules entrant dans la composition de ce plasma sont des protons et des électrons en quantité équivalente ainsi que des particules α (He^{++}) en nombre moindre ($\approx 5\%$).
- La zone d'interaction est limitée par la magnétopause à treize rayons terrestres de la terre côté soleil et à quelques centaines de rayons terrestres côté nuit (figure 1).
- Par soleil calme, le flux moyen est d'environ 2×10^8 particules/cm².s, avec un spectre s'étendant jusqu'à quelques keV, qui se déplacent à une vitesse moyenne de 300 km/s.
- Le vent solaire souffle en permanence, mais son flux et sa vitesse sont fonction de l'activité solaire. En période calme des variations de flux de l'ordre de 50 % peuvent se produire, dues à des perturbations locales dans le plasma.

b) Les éruptions solaires

Le cycle solaire de onze ans comprend deux périodes d'activité, l'une maximum pendant sept ans, l'autre minimum.

Les éruptions solaires se produisent en période d'activité maximum et leur apparition est aléatoire.

Une éruption solaire est caractérisée par une puissante émission de rayons X et ultraviolets suivie par un flux de particules rapides et un nuage de plasma.

Dans le domaine des particules légères ce sont essentiellement des protons. On relève également la présence d'électrons et des particules α . Le rapport entre le flux de protons et des autres particules peut varier de 1 à 50 suivant l'importance de l'éruption.

Elles pénètrent dans l'atmosphère essentiellement par les régions polaires. Leurs spectres en énergie, variables d'une éruption à l'autre peuvent s'étendre jusqu'à plusieurs centaines de MeV. Une éruption solaire peut durer de quelques heures à quelques jours.

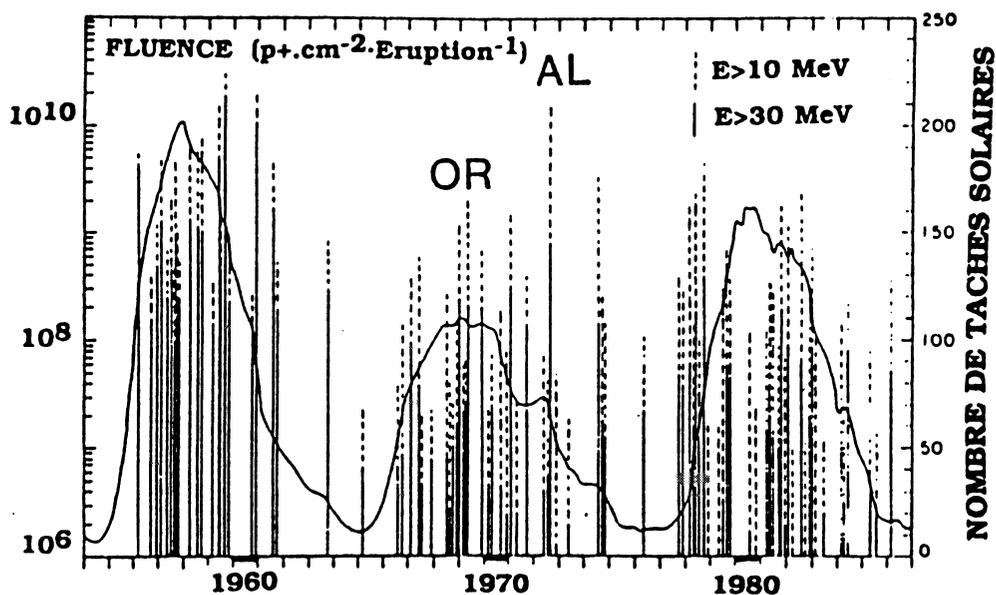


Figure 2 :

Les éruptions solaires à protons [Dal88].

AL : éruption majeure (Août 72), de une à trois par cycle.

OR : éruption mineure, moins de dix par an.

I - 1.2. Les zones de piégeages de la magnétosphère

Le champ magnétique terrestre dévie les trajectoires des particules chargées en mouvement. Ceci a pour conséquence de protéger l'atmosphère terrestre contre les éruptions solaires et le flux cosmique, de piéger des particules essentiellement légères (électrons et protons) de plus faibles énergies.

Le mouvement des particules ainsi modifié peut être décomposé en trois éléments :

- la giration : composante du mouvement perpendiculaire aux lignes de force donnant une rotation rapide de celle-ci ;
- l'oscillation : le champ magnétique croît le long d'une ligne de force lorsqu'on se rapproche de la Terre ; il en résulte une diminution puis une inversion de la vitesse parallèle au champ, qui conduit à une oscillation de la particule entre deux points miroir Nord et Sud. La position de ce point de rebroussement dépend de l'énergie et de l'angle d'incidence de la particule ;
- la dérive : rotation lente autour du globe de l'ensemble des particules due à l'effet du gradient radial de champ sur le rayon de giration. Cette dérive se fait vers l'Est pour les électrons, vers l'Ouest pour les protons.

Une particule engagée sur une telle trajectoire se trouve piégée et des accumulations se forment ainsi dans certaines zones favorables de la magnétosphère.

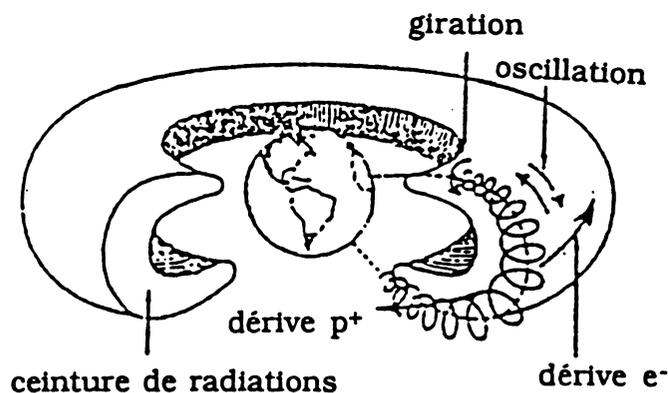


Figure 3:

Mouvement des particules piégées [Bou88].

Les ceintures de Van Hallen ne sont des configurations stables ni dans le temps ni dans l'espace. Elles subissent les irrégularités locales du champ magnétique terrestre, les effets diurnes de la rotation de la terre, et les perturbations dues à la compression de la magnétosphère par le vent solaire selon les états de l'activité du soleil.

En ce qui concerne les électrons, on remarque deux zones préférentielles de piégeage, l'une proche de la terre centrée environ à 1,5 rayon terrestre, l'autre externe, enveloppant la première, présentant des cornes polaires et centrée à 5 rayons terrestres. Leurs énergies se situent entre quelques centaines keV et quelques MeV.

La structure de la zone de piégeage des protons est plus simple et les énergies vont du MeV à quelques centaines de MeV.

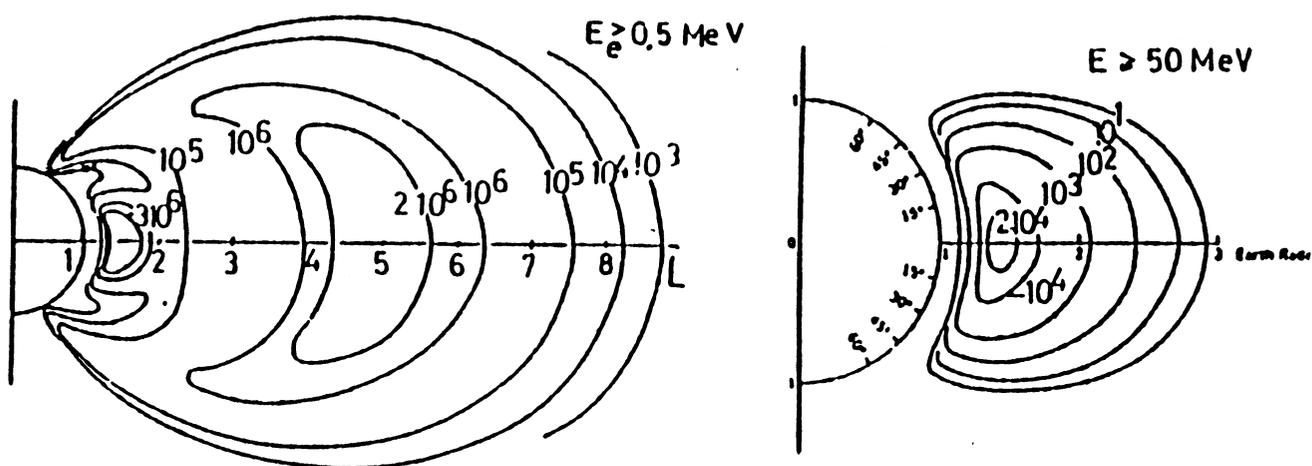


Figure 4 :

Ceintures d'électrons et de protons (isoflux - coupe polaire).

Les divers mouvements, giration, oscillation et dérive, des particules chargées dans la magnétosphère, permettent de considérer les flux comme omnidirectionnels isotropes.

De très nombreuses mesures faites à bord de différents satellites ont permis de connaître les flux et les énergies des électrons et protons piégés dans les différentes parties de la magnétosphère. Différents établissements, mais principalement le "National Space Science Data Center" de la NASA, à la suite d'une vaste compilation des mesures disponibles, ont établi des fichiers de données, des modèles de ces particules piégées, permettant de procéder à un calcul détaillé des flux rencontrés sur une orbite donnée.

Du fait d'une évolution permanente des niveaux de piégeage due à la dérive séculaire du champ magnétique, d'une amélioration constante des mesures en vol et de leur exploitation, ces modèles d'estimation sont périodiquement remplacés. Les plus récents, développés par la NASA, sont AE8 (min-max) et AP8 (mic-mac), respectivement pour les électrons et les protons en minimum et maximum d'activité solaire.

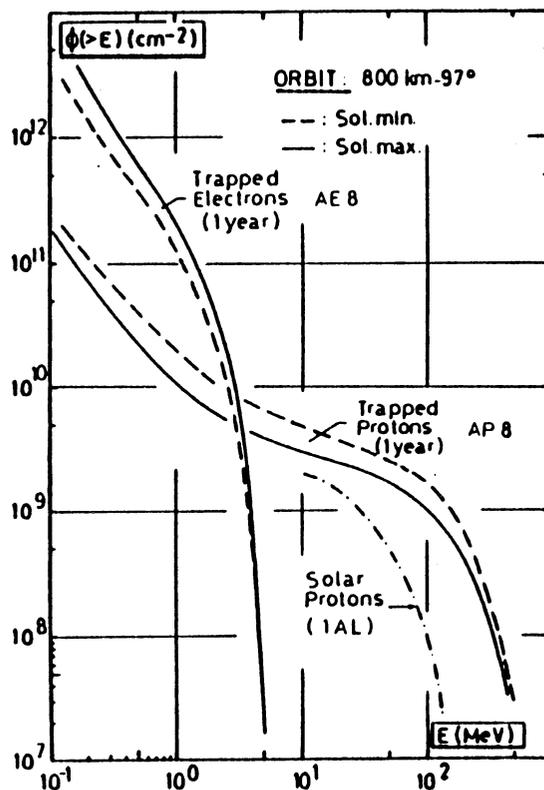


Figure 5 :

*Spectres intégrés d'électrons et protons en orbite basse
(modèles AE8 et AP8) [Bou88].*

I - 2. LES PARTICULES LOURDES

Elles sont composées de noyaux d'atomes de très haute énergie (jusqu'à plus de 10^8 MeV) et de numéro atomique supérieur à 2.

Ces particules proviennent des étoiles et des éruptions solaires.

I - 2.1. Les particules lourdes galactiques et extragalactiques

Rayonnement cosmique

Elles proviennent de l'évolution des étoiles ou des poussières interstellaires. Au niveau de l'orbite terrestre, en première approximation, le rayonnement cosmique est isotrope. Sur orbite basse, le flux de particules évolue en fonction de la latitude géographique (blindage magnétosphérique). Compte tenu de la multitude des types de particules composant les rayons cosmiques, la représentation du flux s'effectue en dissociant les spectres des différents groupes selon le numéro de masse atomique. Les particules d'origine cosmique possèdent de très hautes énergies (de 1 à 10^8 MeV) si on les compare à l'énergie des électrons et protons (électrons jusqu'à 7 MeV, protons jusqu'à quelques centaines de MeV) piégés dans la magnétosphère.

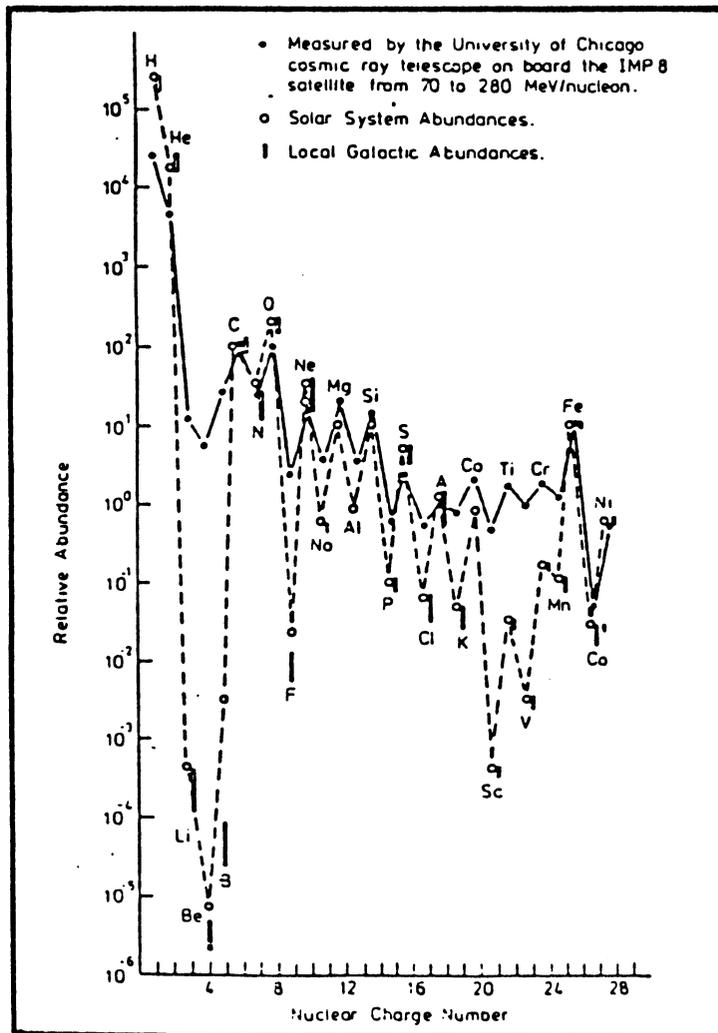


Figure 6 :

Abondance relative des ions lourds.

En période d'activité solaire maximum, le flux de particules diminue dans sa partie basse énergie comme le montre la figure 7. Cette décroissance (facteur 3) est due à la modification de la concentration de particules et du champ magnétique dans le système interplanétaire.

On notera également, lors d'une éruption solaire une diminution brutale du flux de l'ordre de 30 % de toutes les particules, y compris les plus énergétiques (décroissance de Forbush). Ce phénomène est attribué à un effet d'écran du nuage de plasma émis lors de l'éruption solaire.

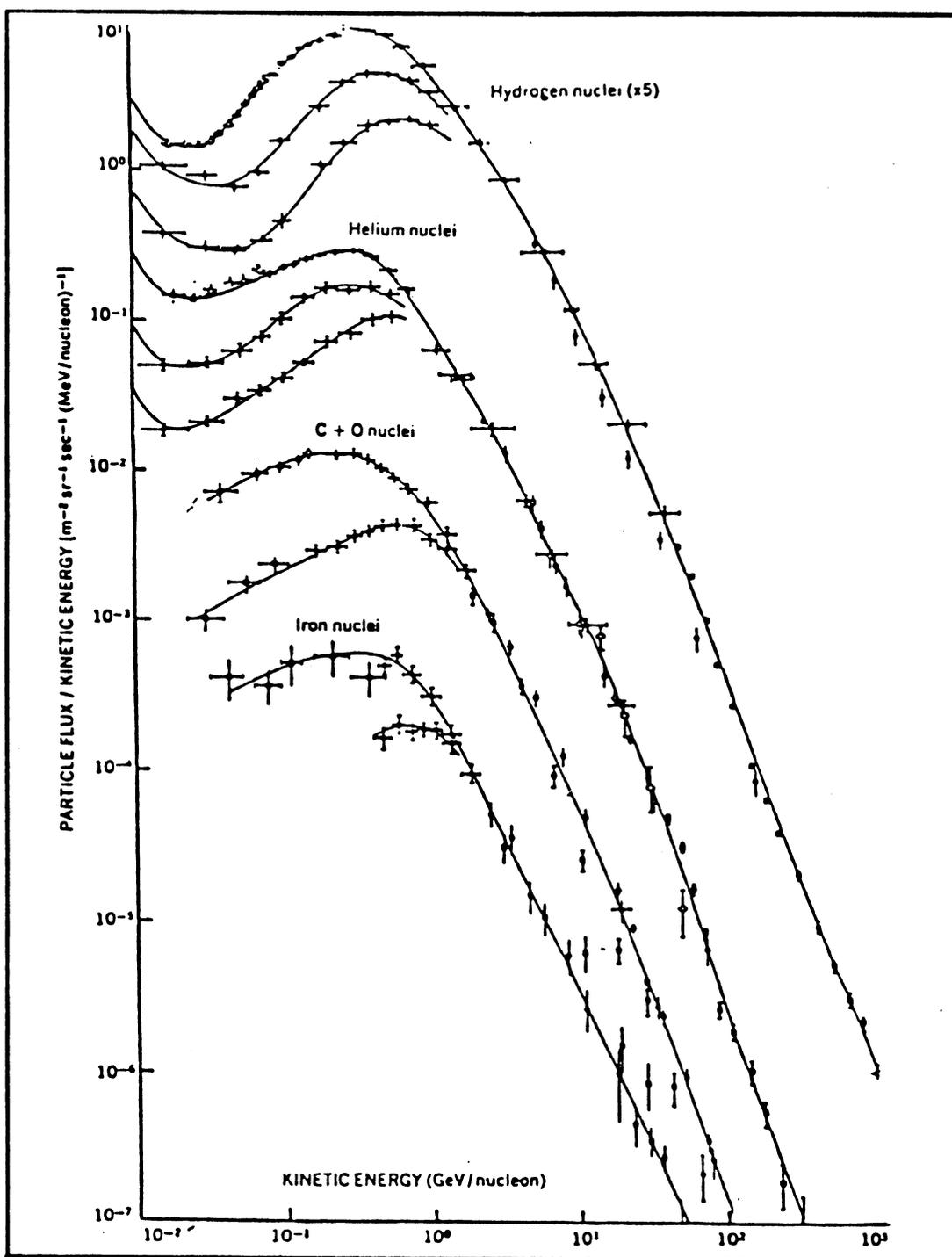


Figure 7:

Spectre des rayons cosmiques. Le spectre dépend de l'activité solaire (les courbes inférieures représentent le spectre sous une forte activité solaire) [Mey74].

I - 2.2. Les ions lourds provenant des éruptions solaires

En plus des émissions des rayons X, des électrons et protons, les éruptions solaires provoquent l'émission de noyaux de masse atomique moyenne (C,N,O).

Ils diffèrent des ions lourds galactiques par leur composition, leur spectre d'énergie et la variation de leur flux dans le temps [Che84].

La figure 8 donne le spectre d'énergie pour le carbone, l'oxygène et le fer lors de l'éruption solaire du 24 septembre 1977. On constate un accroissement du flux pouvant atteindre un facteur 10^3 aux énergies moyennes (quelques dizaines de MeV/nucléon). Au-delà de 500 à 1000 MeV, les rayons cosmiques (galactiques) sont prépondérants.

Pour les éruptions solaires importantes, ces émissions durent de l'ordre de 1 à 2 jours. Après un accroissement brutal du flux, celui-ci décroît exponentiellement.

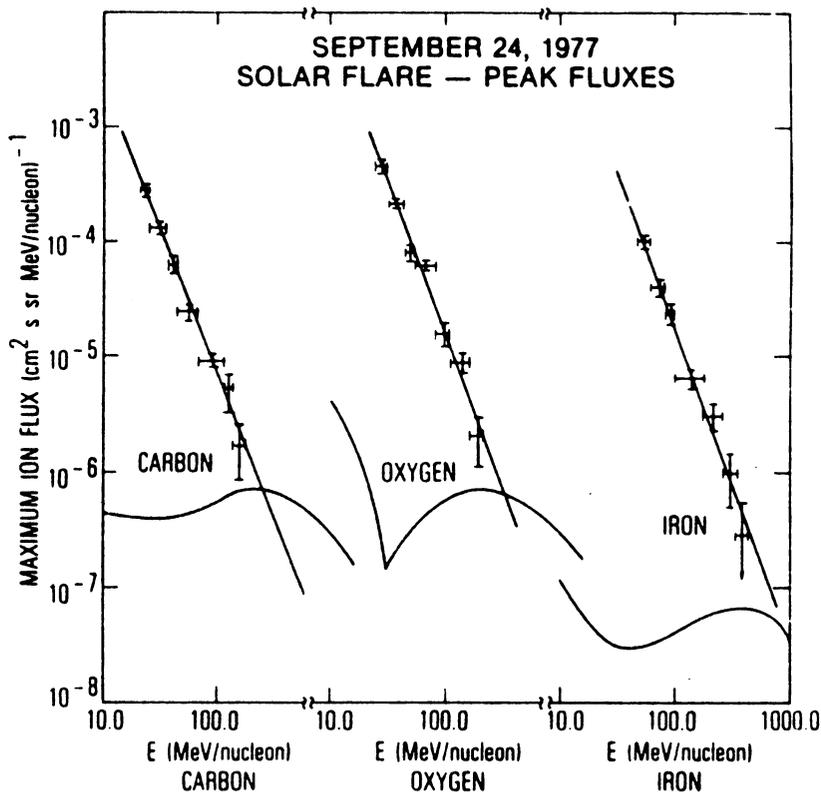


Figure 8 :

Spectre d'énergie des ions lourds d'éruption solaire [Che84].

II - EFFETS DU RAYONNEMENT DANS LA MATIERE [Bou88]

Dans un matériau les radiations de haute énergie interagissent avec les constituants de la matière, atomes complets, électrons périphériques et noyaux.

Les forces mises en jeu lors des collisions sont coulombiennes, (particules chargées et rayonnements électromagnétiques) ou nucléaires (particules chargées et neutrons). La principale caractéristique des forces nucléaires est leur courte portée à laquelle correspond en général une faible probabilité d'interaction.

Ces collisions entraînent :

- le ralentissement, la diffusion et finalement l'absorption des flux primaires,
- une création de rayonnements secondaires immédiats ou retardés,
- et, au niveau des matériaux, des ionisations, excitations et déplacements d'atomes, des ruptures de liaisons chimiques, une augmentation de température.

a) Ionisation

L'ionisation est un arrachement d'un électron périphérique. Cet arrachement induit également l'émission de rayonnements secondaires (rayons γ , rayons X,...).

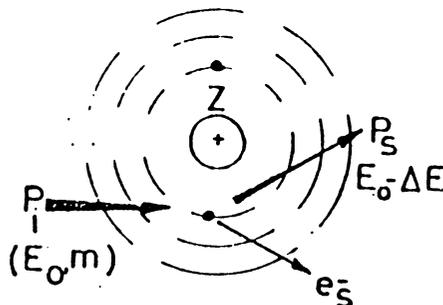


Figure 9 :

Arrachement d'un électron par une particule incidente (électron ou ion).

Dans le cas des particules chargées l'interaction est une collision élastique avec l'électron périphérique conduisant à l'émission de l'électron secondaire avec

une énergie égale à la différence entre la perte d'énergie ΔE de la particule incidente et l'énergie de liaison E_1 de l'électron.

Dans le cas du rayonnement électromagnétique trois interactions peuvent se produire :

- l'effet photoélectrique au cours duquel le photon transfère toute son énergie E_γ à l'électron qui est émis avec une énergie cinétique $E_\gamma - E_1$;
- l'effet compton dans lequel le photon incident d'énergie E_γ est converti en diffusé compton moins énergétique (E_C). L'électron compton est émis avec une énergie cinétique $E_\gamma - E_C - E_1$.
- l'effet de matérialisation qui correspond à l'émission d'un électron et un positon d'énergie $(E_\gamma - 0.51)/2$, ce qui implique que l'énergie initiale du photon doit être supérieure à 1.02 MeV.

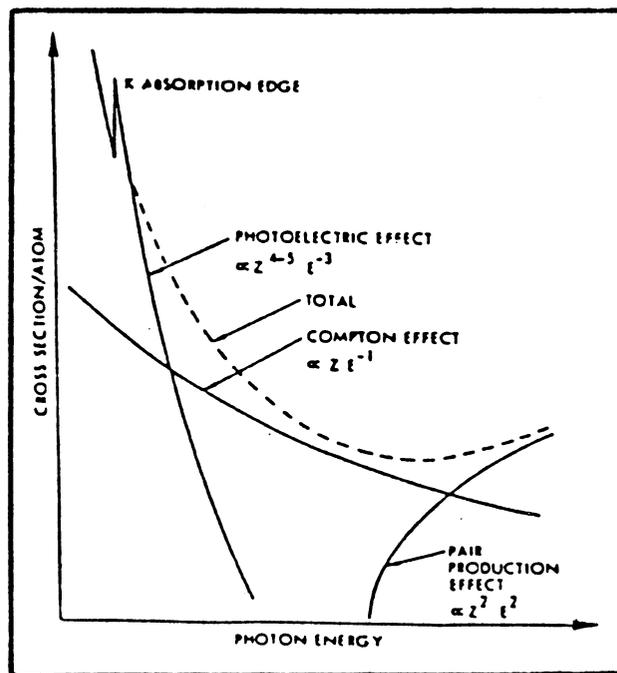


Figure 10 :

Représentation des coefficients d'absorption d'un rayonnement électromagnétique.

b) *Rayonnement de freinage (effet dit de "Bremsstrahlung")*

Lorsqu'une charge en mouvement subit une accélération γ elle rayonne de l'énergie proportionnelle au carré de γ . Cette énergie de rayonnement est d'autant plus grande que :

- la particule est de masse faible,
- le numéro atomique du milieu diffusant est élevé.

Donc le rayonnement de freinage est principalement généré par des électrons pénétrants des matériaux lourds (Z élevé).

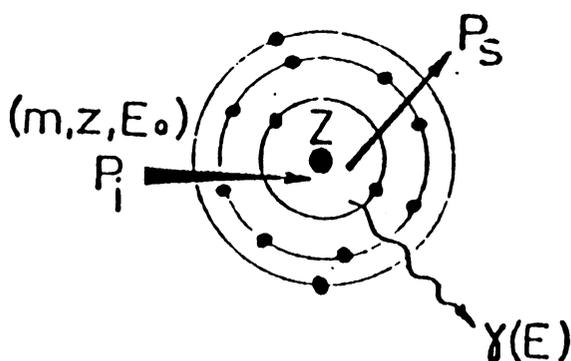


Figure 11 :

Rayonnement de freinage : émission d'un rayonnement électromagnétique .

c) *Déplacement d'atomes*

La collision d'une particule induite, de faible énergie, avec un électron périphérique peut provoquer le déplacement global de l'atome.

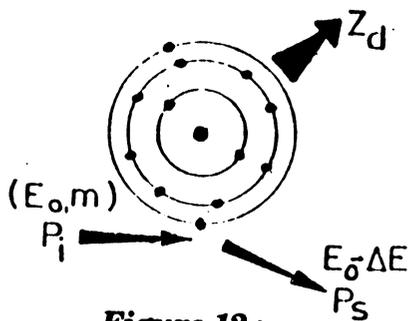


Figure 12 :

Déplacement d'un atome lors d'une collision élastique de faible énergie.

De même, la collision élastique d'une particule rapide avec un noyau se traduit par un recul du noyau cible. Le mécanisme de déplacement atomique est relativement rare.

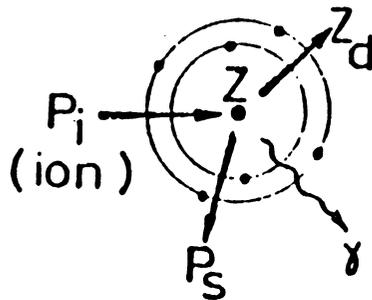


Figure 13 :

Collision d'un noyau avec déplacement de l'atome cible.

d) Réactions nucléaires

L'absorption totale de la masse et de l'énergie d'une particule par le noyau heurté, peut provoquer une réaction nucléaire, si l'énergie absorbée dépasse la barrière de potentiel du noyau.

La réaction qui s'ensuit, peut provoquer l'émission de radiation de type γ de neutrons, de protons ou encore de noyaux plus lourds.

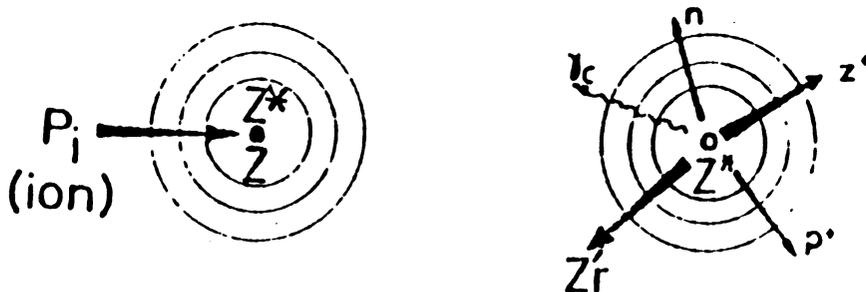


Figure 14 :

Interactions nucléaires avec une particule chargée.

III - EFFETS DU RAYONNEMENT SUR LES CIRCUITS INTEGRES

III - 1. PRESENTATION

Dans le chapitre précédent, ont été décrits les différents effets du rayonnement sur la matière :

- ionisation,
- déplacements,
- rupture liaisons chimiques,
- émission d'électrons,
- émission de photon γ , X,
- chaleur.

Les effets peuvent provoquer des défaillances dans l'électronique embarquée [Bou88] :

- Des bruits de fond proportionnels aux flux de particules peuvent être induits dans les détecteurs de photons ou dans l'électronique par ionisation ou par l'intermédiaire des rayons X et γ .
- Les émissions d'électrons sont un facteur important dans les problèmes de charges et claquages électrostatiques.
- Les défauts induits par ionisation, déplacements, rupture des liaisons chimiques sont à l'origine des dégradations transitoires ou permanentes des matériaux et composants.

Parmi les composants électroniques embarqués les circuits intégrés présentent aussi des défaillances induites par le rayonnement dans l'espace terrestre.

Ces phénomènes sont de trois types :

- dérive des paramètres électriques et électroniques dues à la dose cumulée,

- basculement aléatoire d'un bistable (nous appellerons par la suite ce phénomène par son vocable anglais "upset"),
- mise en conduction d'un thyristor parasite (de même nous appellerons ce phénomène "latch-up").

Les mécanismes de ces phénomènes diffèrent par la nature des particules qui les génèrent. On considère que les effets de dose sont dus principalement aux particules légères. Les phénomènes d'upset et latch-up sont provoqués par un dépôt d'énergie local dû à l'ionisation tout au long du parcours d'un ion lourd.

III - 2. EFFETS DES DOSES CUMULEES

a) Notion de dose

On appelle dose, l'énergie déposée dans le matériau par unité de masse. Les unités de dose couramment employées sont le Rad ou le Gray :

$$1 \text{ Rad} = 10^{-5} \text{ J/g}$$

$$1 \text{ Gray} = 1 \text{ J/kg} = 100 \text{ Rads}$$

b) Phénomène physique de base

L'ionisation provoquée par un flux de particules conduit à la création d'un plasma d'électron-trou (voir paragraphe II a). Pour une dose absorbée d'un Rad dans le silicium, il y a création de $4 \cdot 10^{13}$ paires d'électron-trou par cm^3 . La diffusion de ces charges supplémentaires conduit, suivant la région d'ionisation, à la diminution de la mobilité des porteurs (zone dopée) ou à la création d'un champ électrique parasite (piégeage dans une zone d'oxyde de grille).

c) Effets sur le composant

On constate pour les technologies bipolaires (structures PNP et NPN) une diminution de la durée de vie des porteurs de charge (gain β des transistors affecté)

et pour les technologies unipolaires (MOS) un décalage des tensions de seuil. Dans ces deux cas, la présence d'oxyde de protection entraîne l'apparition de charges superficielles dans l'interface oxyde silicium dopé et modifie donc les propriétés des jonctions d'isolement (courant de fuite). Il faut cependant retenir, que l'ampleur de ces dégradations varie beaucoup avec la densité d'intégration, l'épaisseur des oxydes, le dopage des bases, l'isolement entre cellules (jonction, oxyde, îlot).

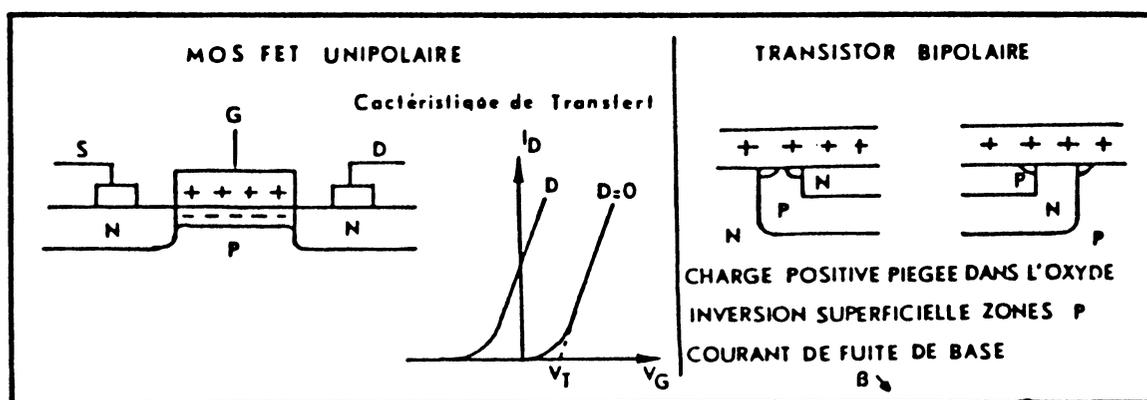


Figure 15 :

Effets de doses sur un transistor MOS et un transistor bipolaire.

L'effet de doses est un effet permanent qui peut conduire à une perte de fonctionnalité du composant.

La tenue aux effets de dose déterminera la durée de vie du composant et du système embarqué en général.

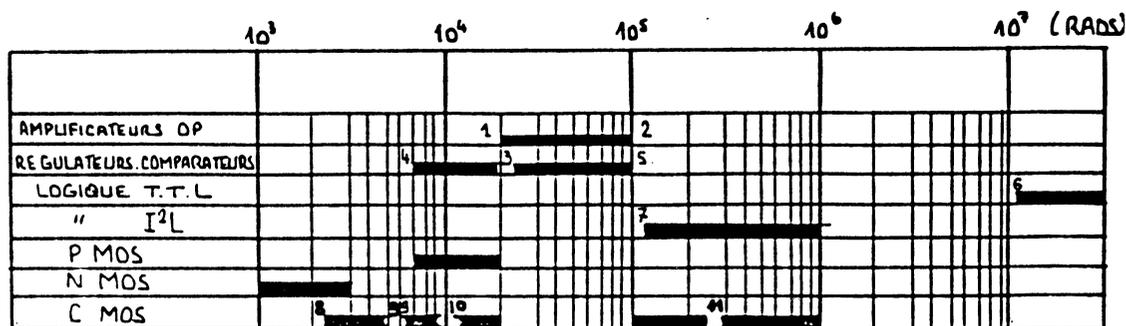


Figure 16 :

Gammes de sensibilité à des doses cumulées.

III - 3. EFFETS INDUITS PAR LES IONS LOURDS

On appellera "ion lourd" tous les noyaux d'atomes de numéro atomique $Z > 2$.

Ces éléments comprennent :

- les ions d'origine cosmique,
- les ions lourds d'éruptions solaires,
- les ions lourds issus d'une réaction nucléaire provoqué par un proton (voir paragraphe II d).

III - 3.1. Notions de LET - notion de parcours

Le pouvoir d'arrêt ou LET (Linear Energy Transfer) est la perte d'énergie subie par une particule par unité de longueur de trajectoire (dE / dX).

Le LET dépend de la nature de l'ion incident, de la matière diffusante et de l'énergie de la particule (figure 17). La perte d'énergie essentiellement par ionisation est d'autant plus grande que les numéros atomiques des ions incidents et des atomes cibles sont plus grandes.

Le LET s'exprime le plus couramment en $\text{MeV}/(\text{mg}/\text{cm}^2)$, il peut être exprimé aussi en $\text{MeV}/\mu\text{m}$ ou en $\text{pC}/\mu\text{m}$ (notion de dépôt de charge).

Les équivalences entre ces différentes unités sont :

$$1 \text{ MeV}/\mu\text{m} \approx 4,31 \text{ MeV}/\text{mg}/\text{cm}^2 \approx 1/22.5 \text{ pC}/\mu\text{m}$$

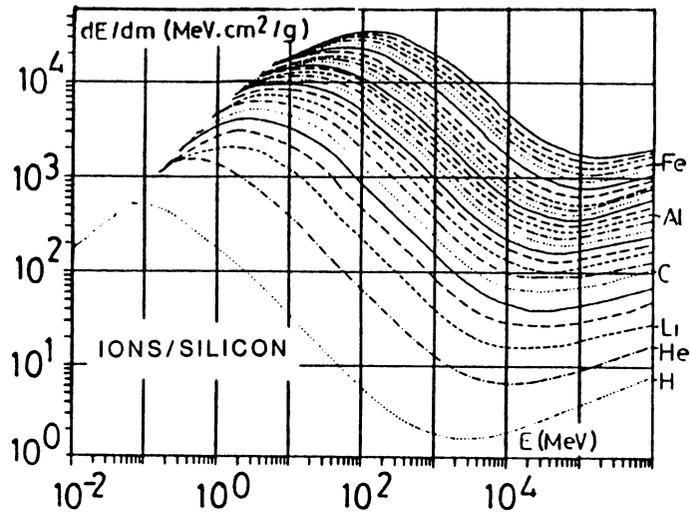


Figure 17 :

Pouvoir d'arrêt des ions lourds dans le silicium [Bou86].

A cette notion de dépôt d'énergie s'attache celle de parcours (longueur de trajectoires dans le matériau). La figure 18 montre l'évolution du parcours des ions dans le silicium en fonction de l'énergie.

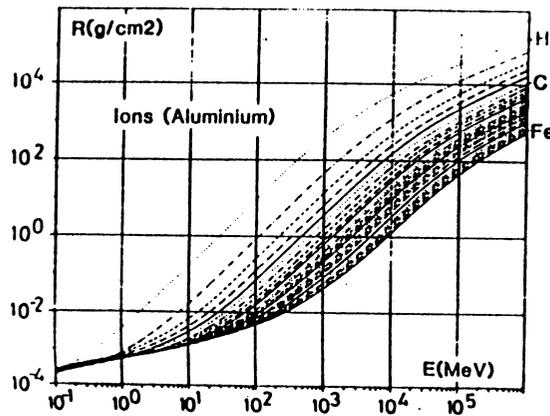


Figure 18 :

Parcours des ions dans le silicium [Bou88].

III - 3.2. Effets transitoires dus aux ions lourds

Les effets sont apparus avec l'avènement des circuits intégrés LSI et VLSI dans les systèmes embarqués.

L'effet d'ionisation créé par un ion à haut pouvoir d'arrêt conduit à un dépôt de charge important dans un volume faible. Cette charge induit un microcourant au niveau du transistor d'un composant, provoquant soit un changement d'état d'une cellule mémoire, soit un verrouillage de l'alimentation.

III - 3.3. Mécanisme de base

Un ion lourd dépose de l'énergie (perte d'énergie) tout au long de son parcours dans la matière. Par ionisation directe, ce dépôt d'énergie conduit à la création de paires électron-trous (3,6 eV crée une paire électron-trou).

Cette quantité de charge va être collectée au niveau d'une jonction PN bloquée suivant trois modes (figure 19) [Ven87] :

- **Charges directement collectées au niveau de la zone de déplétion**

Le champ électrique intense contribue à la séparation des paires électrons-trous créées par ionisation et contribue à une impulsion de courant Q_D .

- **Charges collectées par effet 'Funneling'**

L'ion lourd poursuivant son parcours contribue à élargir la zone de déplétion. Les charges collectées dans cette région contribuent à la création d'une impulsion de courant Q_F .

- **Charges collectées par diffusion**

Les porteurs minoritaires diffusant du substrat vers la zone de déplétion sont collectés et contribuent à la fourniture d'une impulsion du courant Q_{diff} .

Les deux premiers modes de collection des charges entraînent une impulsion de courant immédiate, par contre, les charges collectées par diffusion ont un effet retardé.

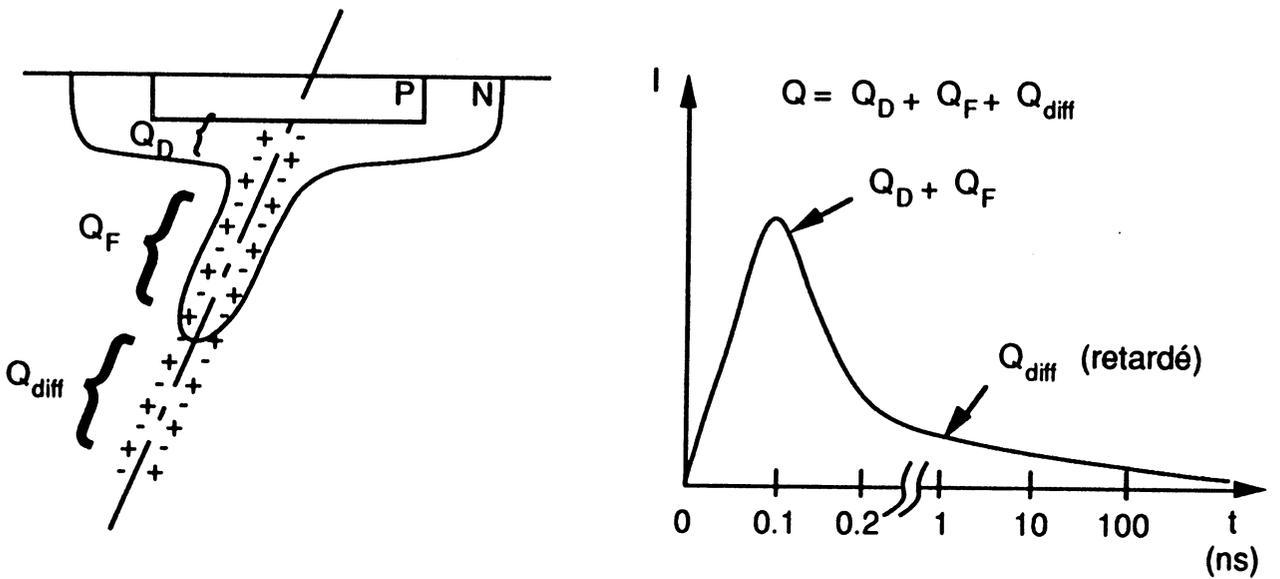


Figure 19 :

Création d'une impulsion de courant au niveau d'une jonction PN bloquée.

III - 3.4. Description du phénomène de latch-up

On appelle latch-up (en anglais) ou verrouillage de l'alimentation, la mise en conduction d'une structure PNP (thyristor parasite).

Cette structure existe dans tous les circuits intégrés de technologie CMOS.

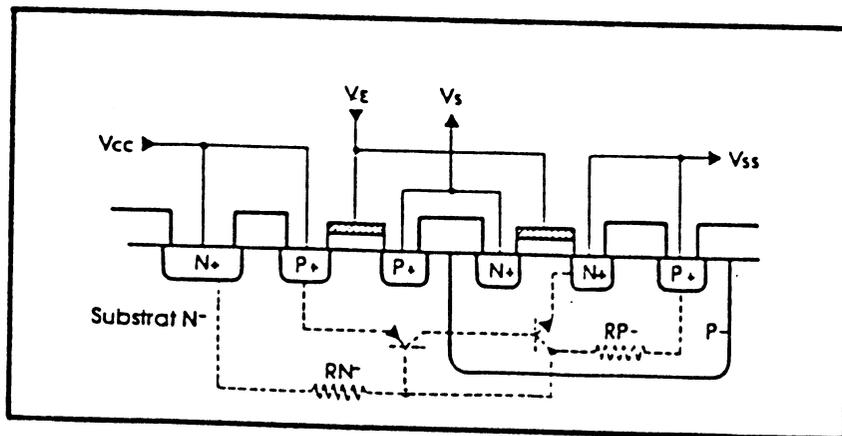


Figure 20 :

*Structure d'un inverseur CMOS sur silicium
Mise en évidence de la structure parasite PNP.*

En figure 21, sont donnés la courbe caractéristique de la fonction $I(V)$ d'une structure PNPN et un schéma électrique de cette structure.

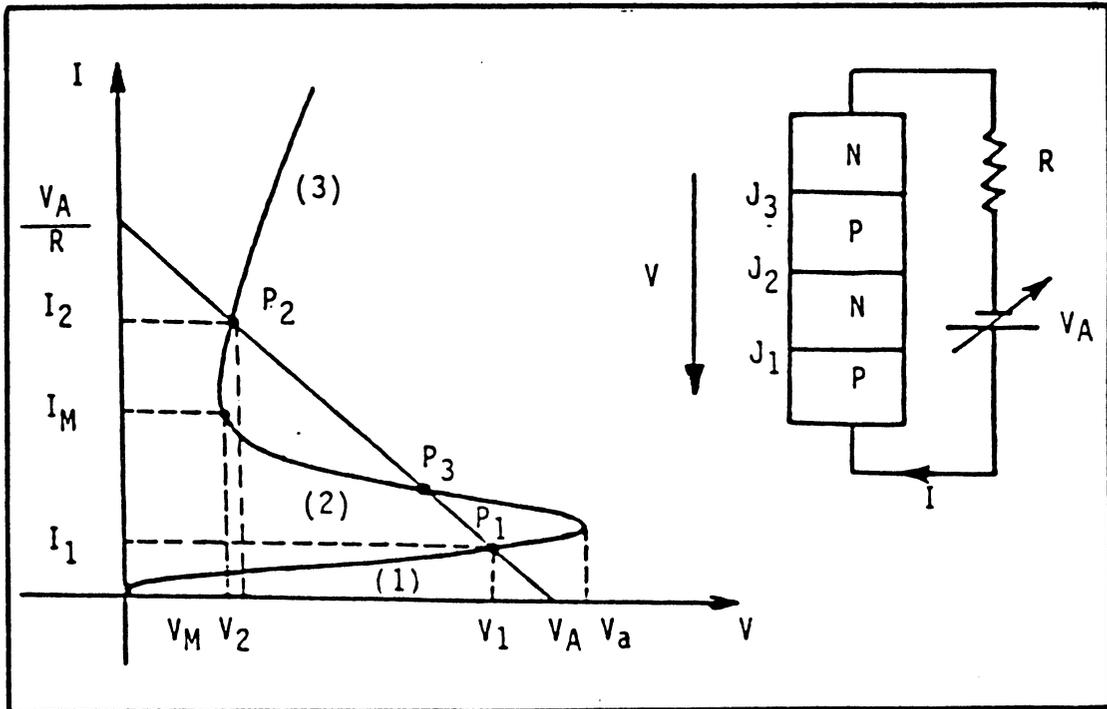


Figure 21 :

Schéma électrique et caractéristique statique $I(V)$ d'une structure PNPN.

En fonctionnement normal (région (1) de la courbe), les jonctions J_1 et J_3 sont polarisées en direct et J_2 en inverse. Le courant circulant dans la structure est équivalent à un courant de fuite.

Lorsque V augmente, J_2 atteint sa tension de claquage ($V = V_a$). Le fonctionnement de la structure est caractérisé par les régions (2) et (3) si le courant d'alimentation permet de dépasser le courant de variateur I_M . La structure est donc traversée par un fort courant : c'est un cas de latch-up.

Le latch-up provoque un échauffement important du composant, celui-ci pouvant même être détruit. Pour rétablir la structure dans l'état (1), il est nécessaire de couper l'alimentation du circuit.

En pratique, la tension de borne du thyristor est inférieure à la tension de claquage de la jonction J_2 . De plus, en fonctionnement normal, les jonctions J_1 et J_3 sont en court-circuit ; la structure n'est donc pas polarisée correctement pour permettre sa mise en condition.

Toutefois, sous irradiation ionisante une faible chute de tension latérale peut apparaître dans le substrat N ou le caisson P. Cette différence de potentiel peut être suffisante pour polariser correctement la structure PNPN et permettre ainsi, sous certaines conditions, sa mise en conduction.

Les conditions sont :

- le produit $\beta_p \beta_n$ des gains de courant du transistor bipolaire PNP et NPN parasites, supérieur à 1 (voir annexe),
- le courant disponible à l'alimentation supérieur au courant I_M de maintien de la structure.

III - 3.5. Description du phénomène d'upset [Pic83 - Pet83]

On appelle "upset" ou basculement aléatoire du point mémoire, la modification de l'information contenue dans le point mémoire en son inverse. Ce phénomène est encore noté dans la littérature anglaise S.E.U. (Single Event Upset) ou "soft error". Il est non destructif et réversible : le point mémoire pourra être corrigé par le processus normal d'écriture.

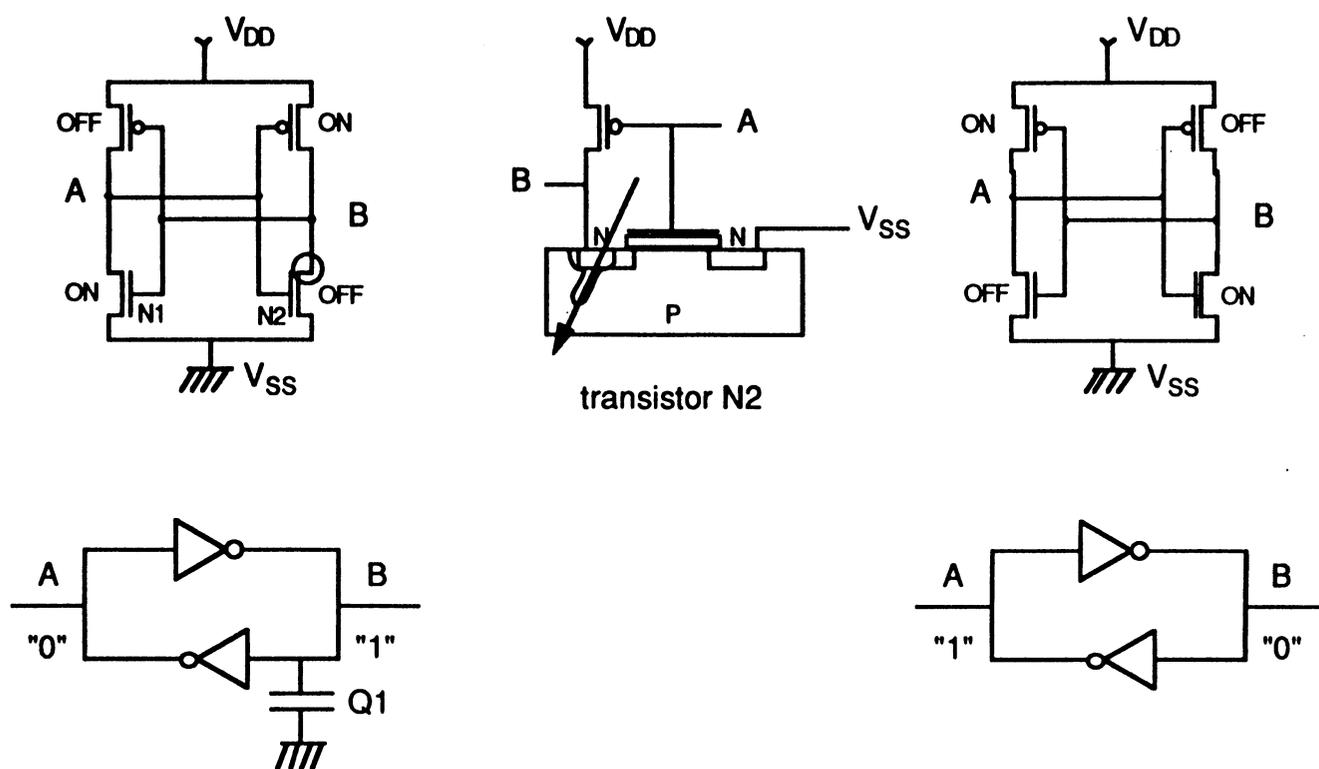


Figure 22 :

Mécanisme d'upset pour une cellule mémoire CMOS.

Considérons un point mémoire contenant une information donnée. Cette information est caractérisée par la présence ou l'absence de charge en des noeuds particuliers du point (ex : capacité de grille de transistor MOS). L'apport de charge induite par un ion lourd, peut provoquer un upset si :

- les charges sont collectées au niveau d'un volume sensible : jonction PN bloquée,
- la charge induite est au moins égale à la charge critique Q_c . Q_c est la charge minimale pour que le point bascule (on dit encore que Q_c représente la différence de charge entre "1" et "0"),
- l'impulsion de courant créée par la charge induite est suffisamment longue pour que l'effet de mémorisation intervienne.

Dans l'exemple donné en figure 22, les zones sensibles sont les jonctions bloquées PN des transistors P1 et N1. Supposons qu'un ion traverse la zone sensible en N2, la charge déposée crée un canal au niveau du transistor N2, par lequel va

s'écouler la charge Q_1 . Dans ces conditions, les transistors P1 et N1 basculent, enclenchant la mémorisation de l'état inverse de l'état initial.

D'autres exemples de basculement de point mémoire de technologies différentes sont décrits en [Pic83].

Tout composant électronique possédant des points de mémorisation est sensible au phénomène d'upset (mémoire dynamique ou statique, microprocesseur et périphérique de microprocesseur, bascules, latch ..).

L'évolution technologique en matière d'intégration des circuits a entraîné une diminution de la charge critique des points mémoire (figure 23). De quelques picocoulombs la charge minimale de basculement peut atteindre actuellement jusqu'à 0.01 pC.

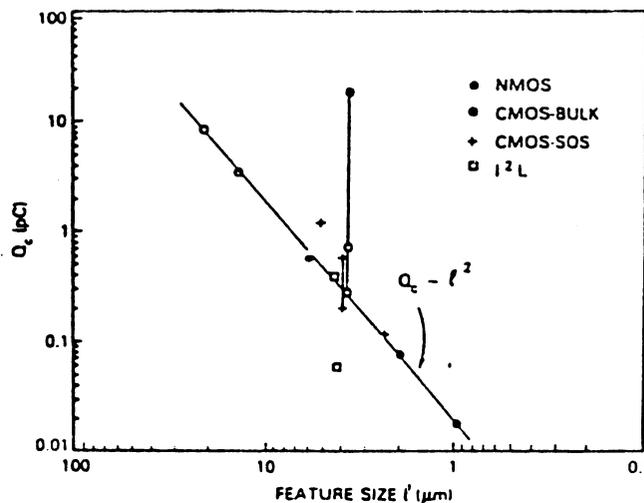


Figure 23 :

Charge critique en fonction de l'intégration, Q_c est proportionnelle à l^2 (l : dimension de l'intégration) [Pet82].

De ce fait, une proportion plus importante d'ions lourds, sont susceptibles par ionisation directe de provoquer des upsets (de la famille du Fer à la famille du Carbone) [Pet82].

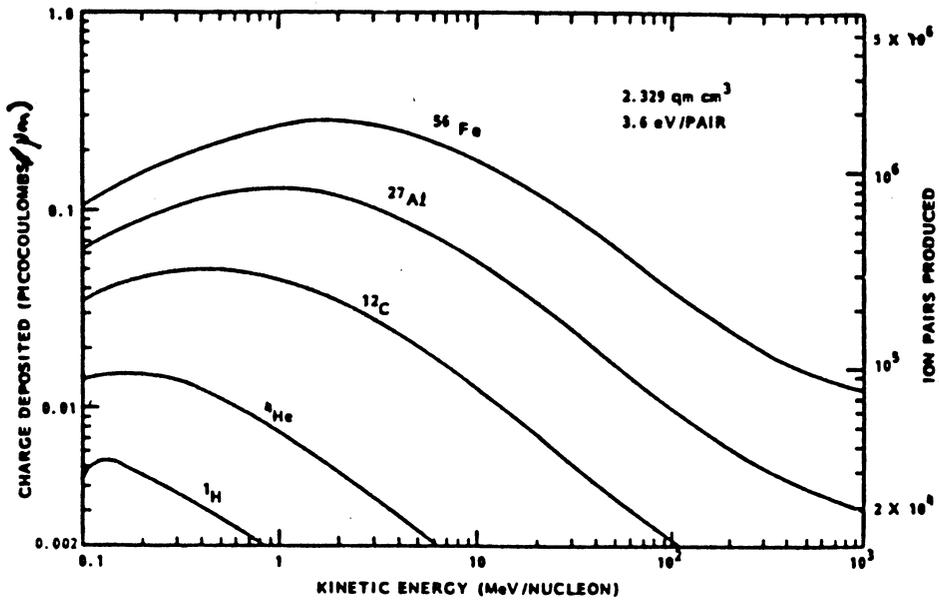


Figure 24 :

Dépôt de charge dans $1\mu\text{m}$ de Silicium [Cun84].

Cependant la sensibilité du phénomène d'upset dépend aussi de la dimension de la zone sensible. Le volume sensible est une caractéristique de la technologie et de l'intégration choisie.

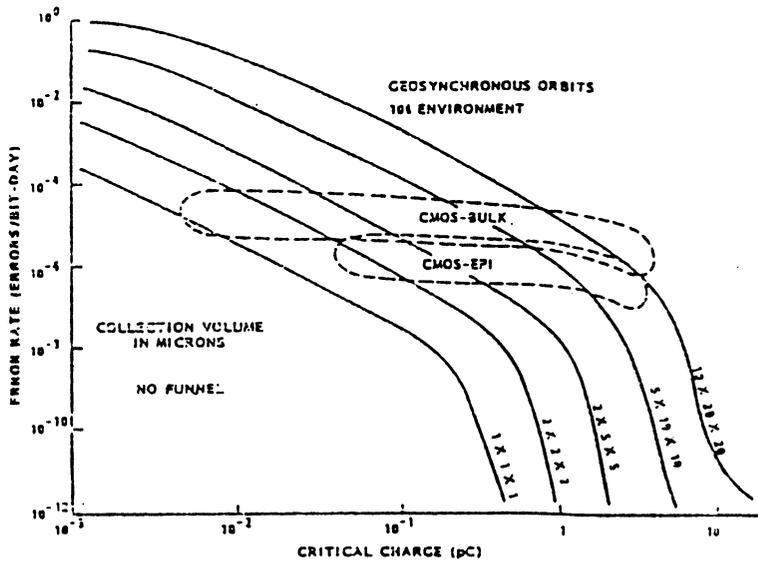


Figure 25 :

Variation du taux d'upset selon le volume sensible [Cun84].

Les zones spécifiées en figure 25, représentent les ordres de grandeur de sensibilité des technologies CMOS-bulk et CMOS-epi, dans un environnement radiatif proche des conditions rencontrées en orbite géostationnaire. La technologie bipolaire y figurerait avec un taux d'upset supérieur, alors que la technologie CMOS/SOS assurerait un taux inférieur à la technologie CMOS-epi.

III - 3. 6. Notion de LET seuil et de section efficace

Dans les paragraphes précédents ont été décrits les phénomènes transitoires créés par un ion lourd à haute énergie.

Par apport d'une quantité d'énergie suffisante, un ion lourd est capable de déclencher un upset ou un latch-up. Pour caractériser quantitativement la sensibilité d'un composant électronique aux ions lourds, on définit deux grandeurs, faisant intervenir l'énergie apportée par un ion et les dimensionnements d'un point mémoire du composant : ces paramètres sont appelés le LET seuil et la section efficace [Bou86].

a) Définition du LET seuil

Les deux phénomènes latch-up et upset ne peuvent se produire que si le dépôt d'énergie est supérieur à l'énergie qui provoque le changement d'état (E_c).

La figure 26 reprend la jonction PN bombardée par un flux d'ions d'énergie E_i suivant une trajectoire d'angle θ_i par rapport à la normale à la surface.

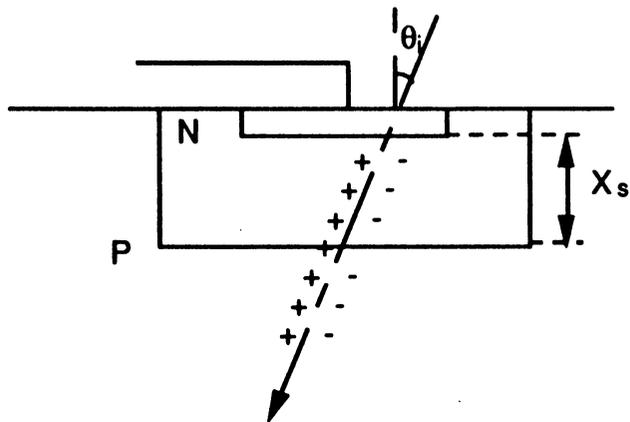


Figure 26 :

Coupe d'une jonction PN traversée par un faisceau d'ions lourds.

Le dépôt d'énergie ΔE va s'exprimer par :

$$\Delta E = \left(\frac{dE}{dx} \right) E_i \cdot \frac{X_s}{\cos \theta_i}$$

Soit E_c l'énergie critique permettant le passage en upset ou latch-up.

$$E_c \leq \left(\frac{dE}{dx} \right) E_i \cdot \frac{X_s}{\cos \theta_i}$$

$$L_s = \frac{E_c}{X_s}$$

L_s est appelé LET seuil.

Le LET seuil, exprimé en MeV/ μm ou MeV/mg/cm², représente le pouvoir d'arrêt minimum capable de provoquer un événement. Il peut être évalué théoriquement (notamment dans le cas de l'upset, où le LET seuil est fonction de Q_c la charge critique), mais est obtenu la plupart du temps par expérimentation. On admet que le LET seuil est atteint dès que le phénomène étudié ne se produit plus.

b) Définition de la section efficace

Considérons un flux d'ions lourds Φ_i d'ions Z_i et d'énergie E_i , de LET $L_i = f(Z_i, E_i)$, en incidence normale. L'interaction de ce flux avec un composant provoque un

nombre N d'événements de type upset ou latch-up. $N(L_i)$ représente le rendement du flux d'ions lourds, de même qu'il caractérise la sensibilité du composant.

On définit la section efficace par le rapport :

$$\sigma(L_i) = \frac{N(L_i)}{\phi_i \cdot t} = \frac{\text{Nbre d'événements}}{\text{Nbre d'ions incidents/cm}^2}$$

Si l'incidence du flux par rapport à la normal fait un angle θ , on définit de manière générale :

$$\sigma(L'_i) = \frac{N(L'_i)}{\phi_i \cdot t \cdot \cos \theta}$$

avec

$$L'_i = L_{\text{et effectif}} = L_i / \cos \theta$$

La section efficace est proportionnelle à une surface et est exprimée en cm^2 . Dans la littérature on trouvera des sections efficaces par composant et parfois des sections efficaces par bit.

IV - MOYENS DE PREVENTION

Historiquement, la théorie des phénomènes d'upset, puis de latch-up induits par le rayonnement cosmique a été introduite après l'observation d'anomalies dans le comportement des engins spatiaux [Wal62 - Bin75 - Kol 79].

Depuis les années 70, on observe de nombreuses manifestations des SEUs, sur les sondes spatiales et les satellites.

SATELLITE	SYSTEME	COMPOSANT	TAUX SEU	ACTIONS
Landsat	GPS receiv	HR 6508	60/an.	Arret R/PA exp.
A	Sequenc.	HR 6508	n/j	recharge.
TDRS 1	Alt. contr.	93L 422	>100/an	"
Intelsat 3-4		TTL Flip Flop		
TIROS N		HR6508	> 10/an	recharge.
DMSP		Mem. nmos		
GPS		"		
SMM		93L 422	10/an/comp	
LES 8-9		TTL Flip Flop		
GOES 4-5-6	CTU	93L 422	60-3/an	recharge. modif. logiciel
Pioner Ven		pmos regis RAM TTL		
Voyager		Mem. CMOS		
Syst.A-GEO		93L 422	70/an	
" B-LEO		93L 422	300/an	
X GEO		RAM nmos	15/an/comp	
SDS		RAM TTL		
GALILEO	Cont. attit	2901B...	180/an 1/j	
SPOT		2901B-2909A	> 10/an/comp	
TDF 1		2901 B	>100/an/c.	

Figure 27 :

Tableau des anomalies observées en vol, et prévisions attendues [Bou86].

Les conséquences de ces anomalies peuvent être très préjudiciables au bon déroulement de la mission de l'engin spatial touché, et peuvent même conduire à la perte de l'engin.

Lancé en 1983, le satellite américain TDRS illustre les problèmes rencontrés lorsque le système embarqué n'est pas protégé contre les SEUs. Le système de contrôle d'attitude possède des éléments de RAM (93L422) qui se sont avérés très sensibles aux SEUs. La fréquence moyenne d'anomalies observées depuis le lancement est de 10 upsets par mois (figure 28). La mémoire du système de contrôle contient des valeurs de paramètres vitaux, comme la vitesse de rotation des roues à inerties assurant le contrôle d'attitude du satellite. La modification par upset d'une de ces valeurs peut entraîner rapidement la perte du satellite. N'ayant pas de moyens de protections, le satellite reçoit régulièrement des ordres de réinitialisation de la RAM et de redémarrage du système depuis la Terre, pour garantir le bon fonctionnement du système de contrôle.

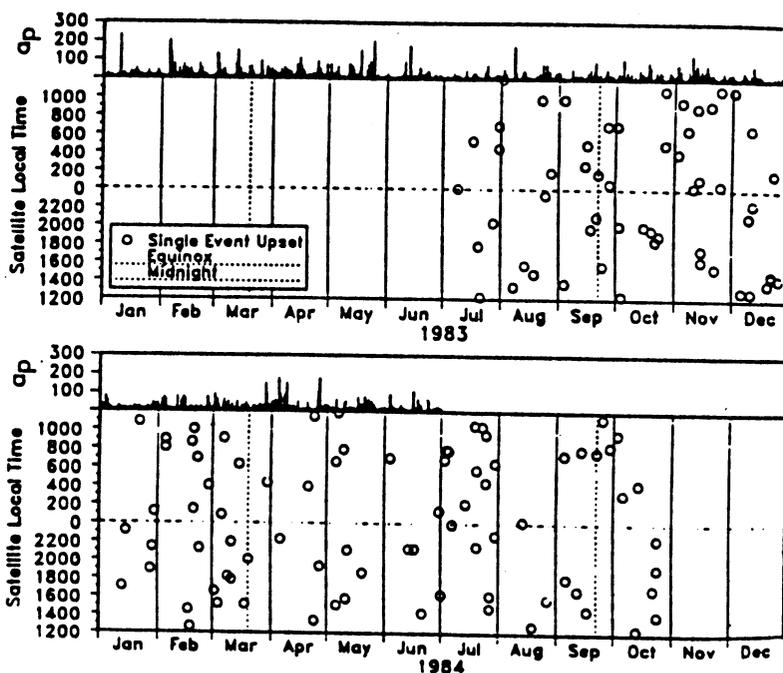


Figure 28 :

Enregistrements des anomalies observées sur TDRS [All85].

Compte tenu de la gravité des effets des ions lourds sur l'électronique, les équipementiers en satellite ont été amenés à doter les systèmes embarqués de moyens de protections contre ces effets. Parallèlement, des efforts ont été fait dans la conception et l'architecture de circuit. De nouveaux circuits sont apparus, "durcis" conceptuellement ou technologiquement, et ayant une meilleure tenue aux radiations.

Dans ce chapitre, nous allons présenter les modifications apportées aux composants VLSI, tendant à diminuer leur sensibilité aux upsets, ou à supprimer l'effet de latch-up. De même, seront présentées quelques architectures de système proposées pour minimiser le risque de propagation d'une erreur induite par upset.

IV - 1. EFFET DU BLINDAGE SUR LE RAYONNEMENT

La première mesure pour protéger les composants du rayonnement serait naturellement d'arrêter ou tout au moins de fortement réduire le flux cosmique par blindage.

Des blindages en aluminium ou tantale sont souvent utilisés de manière efficace contre les effets causés par les électrons. Dans ce cas, un blindage de quelques mm d'épaisseur réduit considérablement le flux incident des électrons et protons les moins énergétiques [Bou88].

Malheureusement, les ions lourds d'origine cosmique possèdent des énergies beaucoup plus importantes, supérieur au GeV. La figure 29 montre la réduction du flux en fonction du LET dans le silicium et de l'épaisseur de blindage en aluminium.

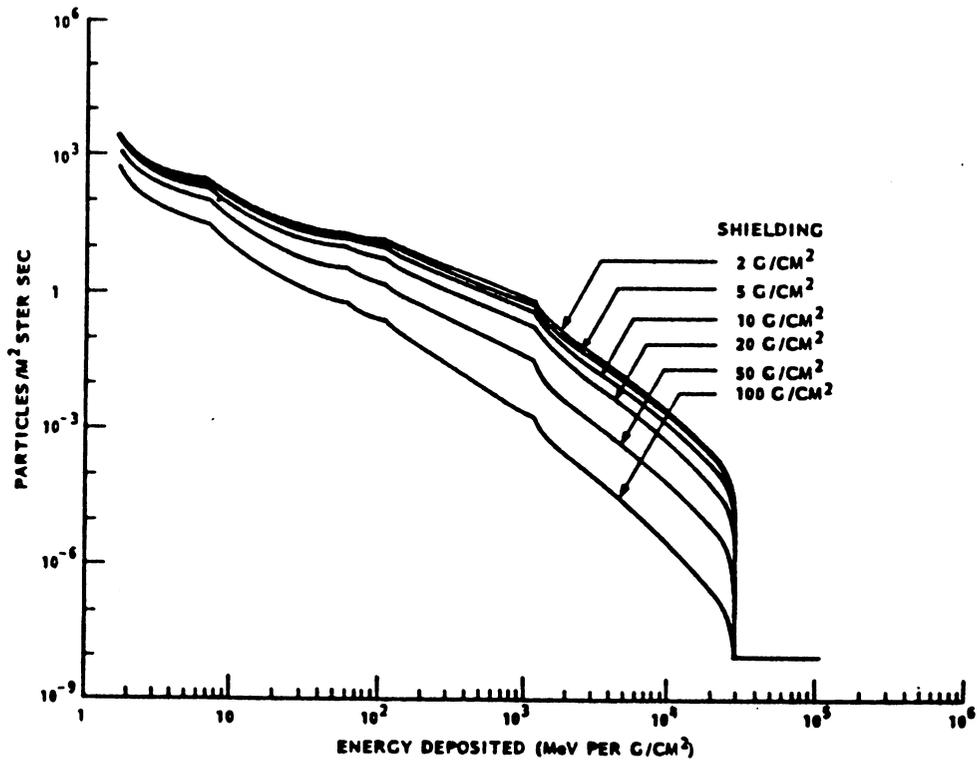


Figure 29 :

Flux du rayonnement cosmique en fonction du blindage [Cun84].

D'après la figure 29, on constate que la diminution du flux en fonction du LET n'est pas proportionnelle à l'épaisseur de blindage et que le spectre de LET est sensiblement modifié. Toutefois une diminution d'un facteur 10 des effets induits par le rayonnement cosmique (ce qui n'est pas considérable compte-tenu de la durée d'une mission) nécessite un blindage de 20 g/cm² (6 cm d'aluminium) alors que la protection par le corps du satellite, du boîtier de l'équipement et le capot du composant est souvent inférieure à 5 g/cm². L'accroissement de poids et de volume introduit par un tel blindage ne peut être une solution raisonnable.

IV - 2. PREVENTIONS AU NIVEAU DU COMPOSANT

La fiabilité d'un système dépend fortement de la sensibilité des circuits qui le composent. C'est pourquoi, depuis ces 10 dernières années, des travaux ont été menés pour améliorer la tenue aux ions lourds des circuits VLSI [Ven87].

Les efforts de durcissement ont portés principalement sur deux axes :

- Fabrication de circuit en technologie CMOS sans structure parasite PNP, supprimant ainsi l'effet de latch-up.
- Conception de circuits intégrés ayant une charge critique augmentée, et donc une sensibilité aux upsets plus faible.

IV - 2.1. Préventions par choix technologique

Les circuits intégrés en technologie CMOS possèdent de nombreux avantages pour une exploitation dans le spatial:

- faible consommation,
- vitesse de basculement d'un transistor MOS élevé,
- fabrication maîtrisée et intégration élevée,
- choix important de circuits.

Cependant, leur sensibilité au latch-up induit par ions lourds rend préjudiciable leur utilisation dans l'espace. L'utilisation de circuits intégrés en technologie CMOS/SOS et CMOS épitaxié apporte des solutions au problème de latch-up.

a) CMOS/SOS

La technologie CMOS/SOS consiste en une implantation d'un transistor CMOS sur substrat isolant (SOS = Silicon On Sapphire). Comme on le constate sur la figure 30, cette technologie supprime la structure PNP et par conséquent le risque de latch-up.

A cause du substrat isolant, les effets de funneling et de diffusion sont considérablement réduits, entraînant ainsi une meilleure tenue aux upsets. En plus des propriétés de durcissement, la technologie CMOS/SOS présente une faible consommation, une vitesse élevée de basculement du transistor et la possibilité d'utilisation en tension élevée. Cependant la technologie n'est pas bien maîtrisée au niveau de la fabrication. Le rendement étant faible le coût d'un tel circuit est élevé, et finalement il existe peu de circuits produits en cette technologie.

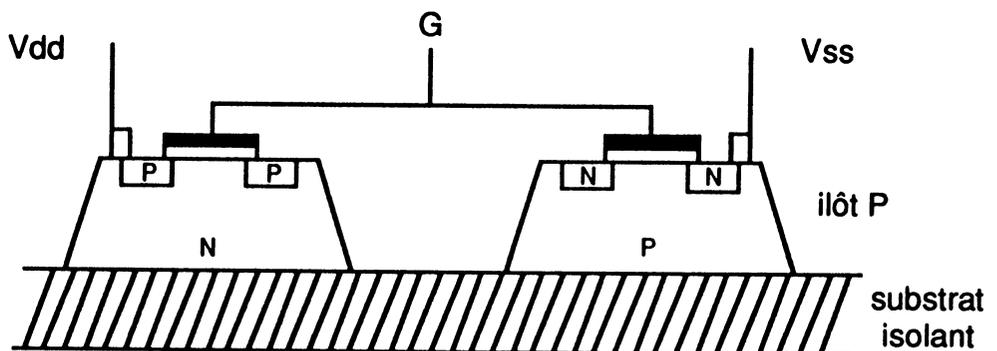


Figure 30 :

Inverseur MOS sur SOS.

b) CMOS épitaxié

Au lieu de diffuser les transistors MOS sur le substrat de base fortement dopé et donc de faible résistivité, on dispose les transistors sur une couche épitaxiale plus résistive, superposée au substrat de base (fig. 31).

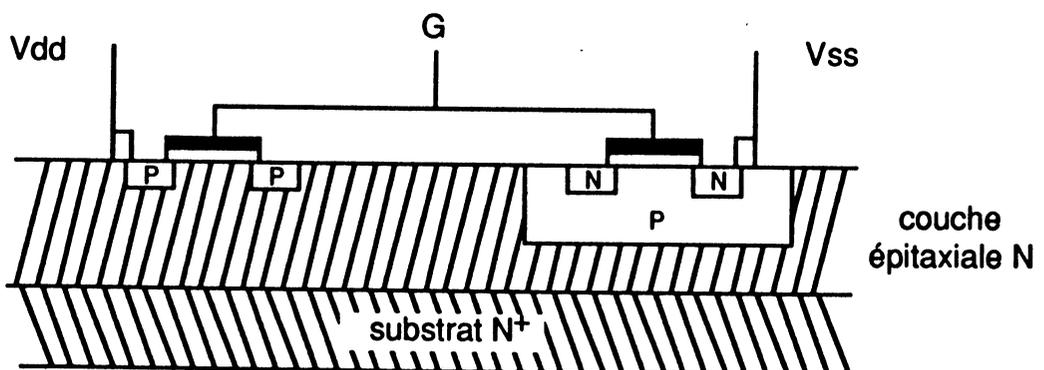


Figure 31 :

Inverseur MOS épitaxié.

Sur le plan fonctionnel, cette technologie présente des performances et une fiabilité meilleures que la technologie CMOS traditionnelle.

D'un point de vue durcissement, bien que la structure PNPN existe toujours, les résistances parasites sont faibles à cause de l'épaisseur réduite de la couche épitaxiale. La probabilité de latch-up est fortement réduite, de même les effets de funneling et de diffusion sont diminués. La sensibilité aux upsets sera plus faible.

Dans cette technologie, l'effet de latch-up n'est pas éliminé et la sensibilité du composant dépendra fortement de l'épaisseur de la couche épitaxiale. Ceci a été observé lors de simulation aux ions lourds [Nic86].

c) Autres technologies

Il existe d'autres technologies connues pour leur propriété de durcissement aux rayonnements, qui sont toutefois beaucoup moins répandues que les deux précédentes. Nous citerons la technologie CMOS/SOI où le substrat de base est remplacé par un substrat d'isolant. Les caractéristiques de durcissement sont équivalentes à celles rencontrés en technologie CMOS/SOS (chemin PNPN inexistant, et meilleure tenue aux upsets).

Depuis quelques années, des recherches ont été menées dans l'utilisation de l'Arséniure de Gallium (AsGa) pour la conception de circuits intégrés[Zul84]. Ces recherches ont montrées que l'AsGa possède des propriétés de durcissement supérieure au Silicium, tant pour les effets de doses cumulées que pour les effets liés aux ions lourds (latch-up inexistant).

Bien que le niveau d'intégration obtenu ne représente encore que quelques milliers de transistors bipolaires, l'AsGa représente certainement le matériau de l'avenir pour les applications spatiales.

IV - 2.2. Approche conceptuelle

La sensibilité aux upsets d'un composant est fortement liée à la grandeur de la charge critique Q_c d'un bistable de ce composant (voir § III - 3.5.). L'accroissement de Q_c conduit à un durcissement de l'élément mémoire au phénomène d'upset.

L'augmentation de Q_c passe par l'adoption de règles de conception telles que [Die83 - Bue86]:

- oxyde de grille plus épais,
- longueur de canal de conduction plus grande,
- augmentation de la surface de grille,
- augmentation de la largeur du canal de conduction.

Ces différentes règles correspondent à un accroissement des dimensions des cellules. Ce qui est à l'inverse de la tendance actuelle de l'augmentation d'intégration.

Cependant, des actions de durcissement sont possibles au niveau de la conception du circuit par ajout de capacité parasite ou de résistance de contre réaction. Ces dispositifs ont pour principe d'augmenter la charge critique sans modifier les dimensions des cellules mémoire.

a) Capacité parasite [Die83]

Il s'agit de rendre le circuit moins sensible aux SEUs en diffusant aux noeuds sensibles des capacités (fig. 32). Les inconvénients de cette méthode sont des performances dynamiques réduites du point mémoire et une augmentation considérable de la surface d'une cellule élémentaire. Cette méthode est essentiellement réservée au point mémoire dynamique.

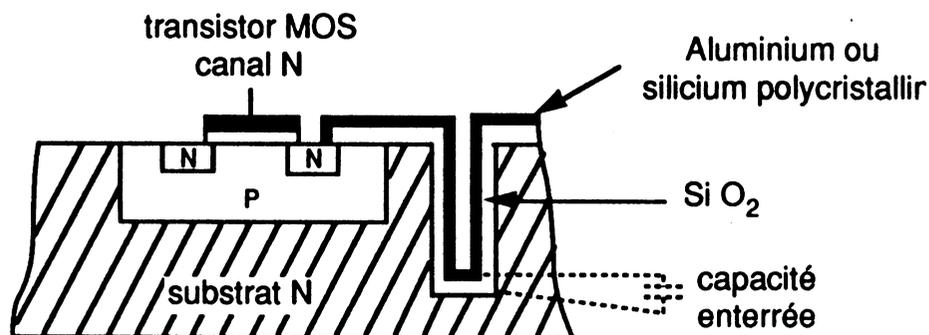


Figure 32 :

Diffusion volumique d'une capacité.

b) Résistance de contre-réaction [Die83]

Dans cette méthode, sont introduites des résistances de contre-réaction entre les deux moitiés du bistable au niveau des zones sensibles (fig. 33).

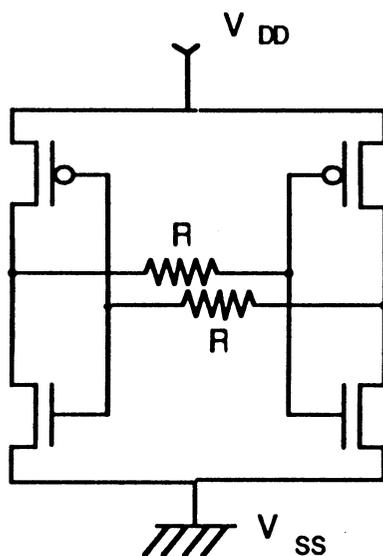


Figure 33 :

Cellule mémoire statique CMOS avec des résistances de contre-réaction.

De la valeur des résistances dépend l'immunité aux SEUs. Le schéma suivant présente la sensibilité d'une mémoire conçue avec des valeurs de résistances allant de 0 à 120 k Ω .

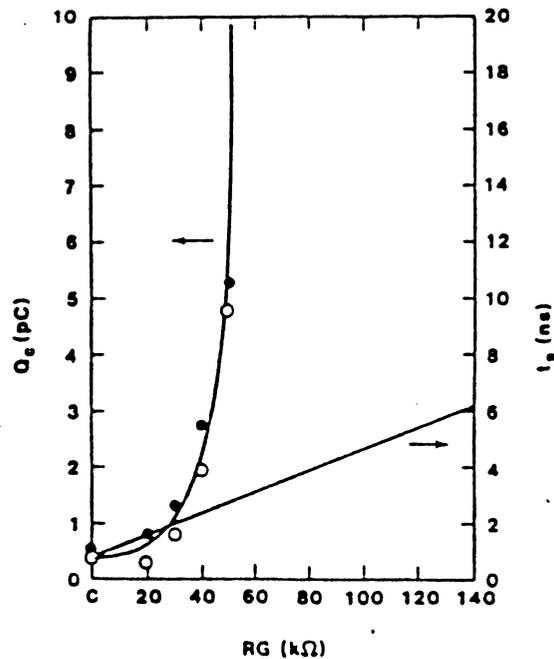


Figure 34:

Effet de la valeur de la résistance sur la charge critique.

Cette méthode est particulièrement employée par le "Sandia National Laboratories" pour le durcissement de leur composants destinés à des applications spatiales.

IV - 3. PREDICTION DU TAUX D'UPSET

Connaître la sensibilité aux ions lourds des composants est primordial pour la sûreté de fonctionnement du système embarqué.

L'évaluation du taux d'upset d'un circuit intégré se fait à partir de résultats de tests effectués à l'aide de simulateurs de l'environnement spatial (test aux ions lourds) et à partir d'un modèle d'environnement fourni par des programmes de modélisation, tel que CREME [Ada86].

Un calcul du taux de latch-up peut être obtenu de la même manière, et par la suite le vocable "événement" sera utilisé pour désigner indifféremment les phénomènes d'upset ou de latch-up.

IV - 3.1. Test aux ions lourds

Le principe du test aux ions lourds est de pouvoir déterminer par expérience la sensibilité de circuits intégrés. A l'aide d'un accélérateur de particules, le circuit est irradié pendant qu'il est stimulé par un environnement de test adéquat (figure 35).

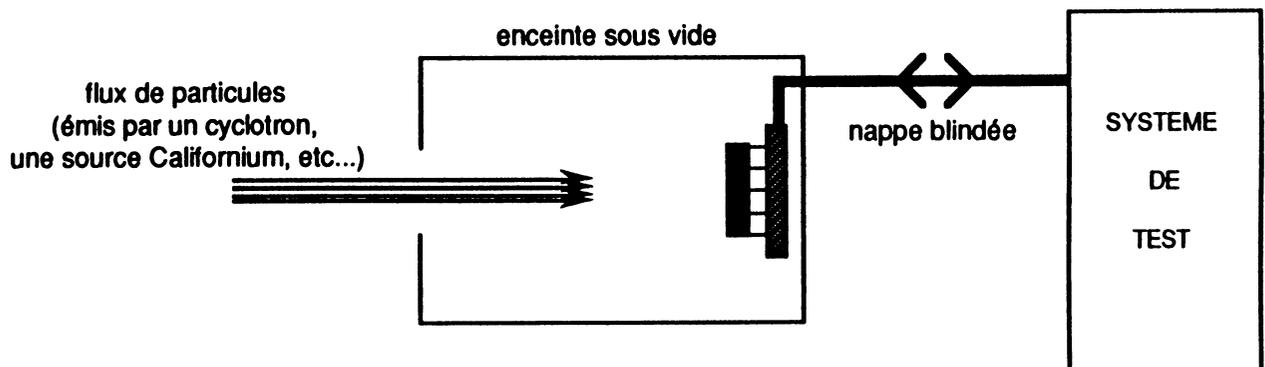


Figure 35 :

Dispositif de test en vue de l'évaluation de la sensibilité d'un composant aux phénomènes induits par ions lourds.

Les moyens d'essais utilisés ne peuvent pas fournir des flux de particules d'énergies proches de celles rencontrés dans l'environnement spatial. Mais en irradiant directement la puce (le circuit décapoté est placé dans une enceinte sous vide), il est possible de reproduire les phénomènes induits par ions lourds dans l'espace.

A chaque valeur du LET, est comptabilisé le nombre d'événements, permettant de décrire la courbe $\sigma = f(\text{LET})$ (figure 36), qui servira au calcul de prédiction.

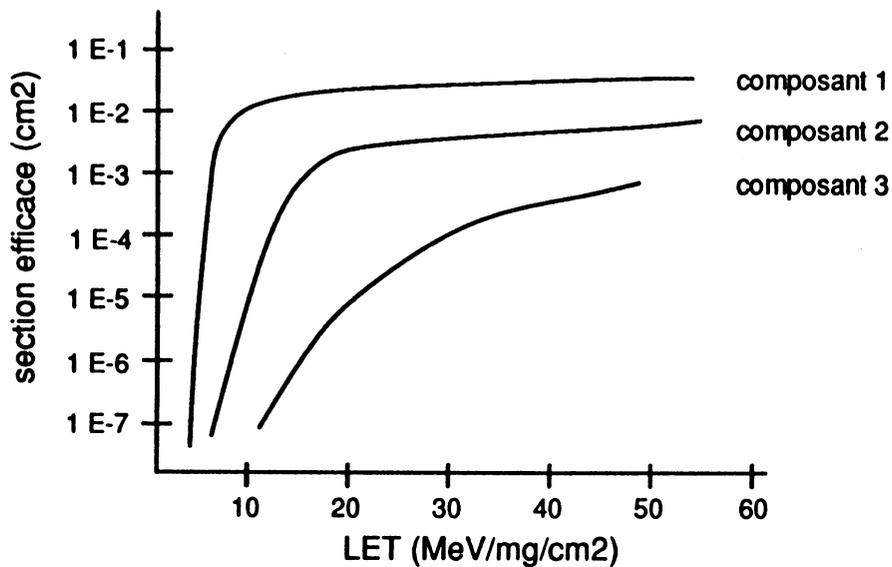


Figure 36 :

Exemples de courbes de caractérisation.

Grâce à la simulation au sol, une meilleure compréhension des phénomènes liés aux ions lourds peut être acquise, et de nombreux travaux sur le durcissement rapportés dans la littérature [Zul84 - Die83 - Ler86] utilisent ce moyen pour valider une technologie donnée.

IV - 3.2. Calcul de prédiction

Pour qualifier un composant pour une application spatiale, il est essentiel de connaître sa vulnérabilité aux phénomènes d'upset et latch-up dans l'environnement final (en orbite). Celle-ci peut être évaluée par calcul à partir des données de test (courbe $\sigma = f(\text{LET})$). Il existe plusieurs approches dans le calcul du taux d'événements, différenciées essentiellement par la méthode d'obtention du taux d'événement en fonction du LET. Seul, le principe du calcul est présenté.

Le calcul du taux d'événement se fait en plusieurs étapes [Ven87], intégrant les paramètres de vol (orbite, blindage, date de lancement), et les résultats expérimentaux de simulation.

La première étape consiste à déterminer la courbe de spectre de LET (figure 37). Cette courbe caractérise le nombre de particules par unité de temps et de surface dont le LET est supérieur à LET_0 . Elle est obtenue par programme à partir de modèles d'environnement .

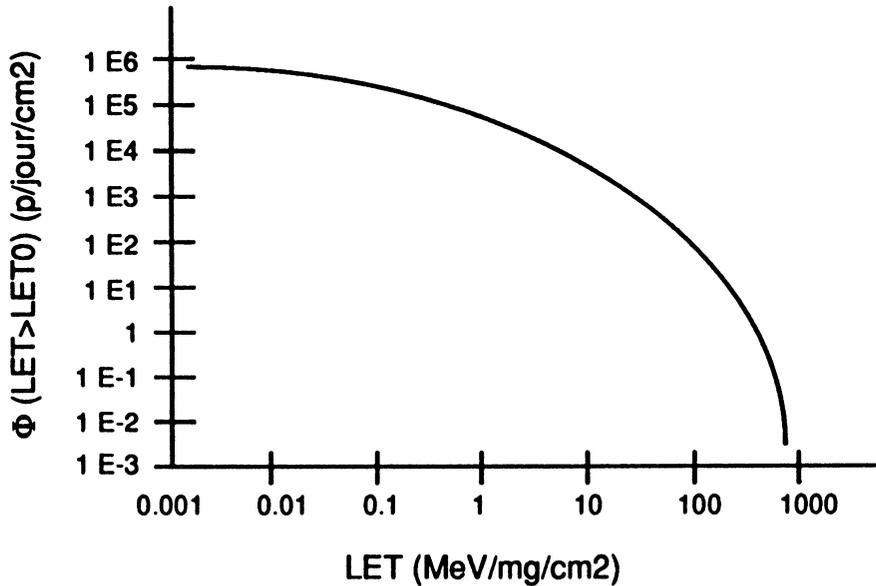


Figure 37 :

Spectre intégral de LET.

Dans la seconde étape, est générée une abaque donnant en fonction du LET le taux de défauts (figure 38). Pour un volume sensible, est considérée la charge déposée par un ion traversant ce volume. Un événement est comptabilisé si cette charge est supérieure à la charge critique donnée. En répétant ce calcul pour tous les ions appartenant au spectre de LET défini à la première étape, un taux d'événement associé à une charge critique est obtenu. En faisant varier la valeur de la charge critique, on obtient l'abaque. Par une relation simple, il est possible de déterminer le taux de défaut en fonction du LET.

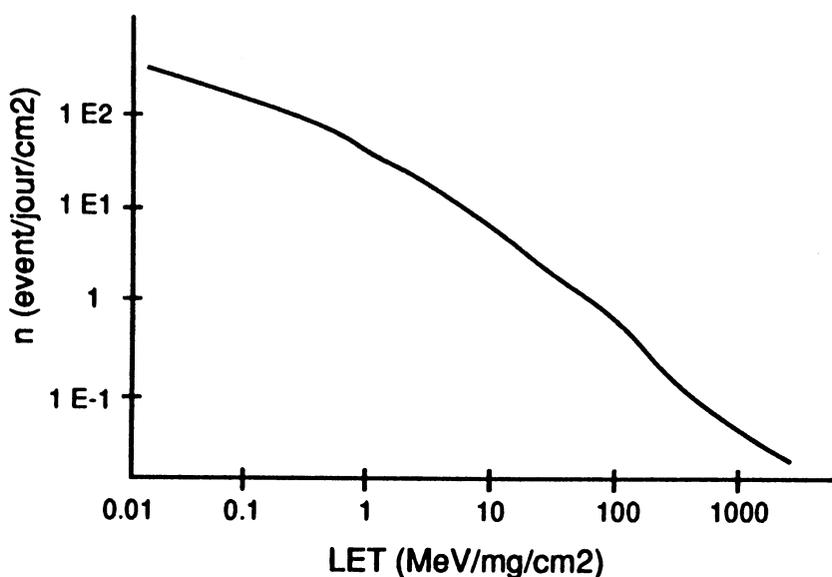


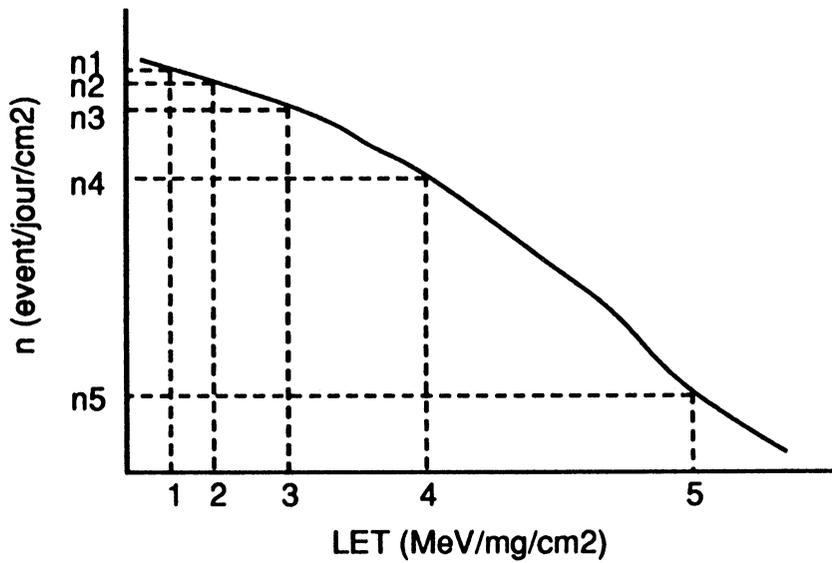
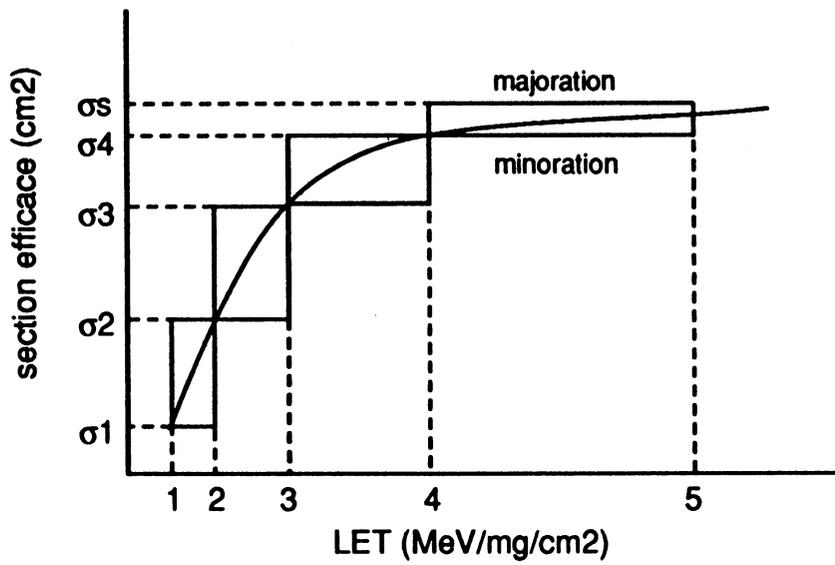
Figure 38:

Courbe du taux de défauts en fonction du LET.

Enfin, le taux d'événement pour un composant est obtenu en intégrant suivant le LET, le produit $\sigma(L).n(L)$, où $\sigma(L)$ est la section efficace du composant pour le LET L (déterminée à l'aide de la courbe expérimentale $\sigma = f(LET)$) et $n(L)$ le taux de défauts pour le LET L (déterminé par l'abaque taux de défauts en fonction du LET) :

$$N_{al} = \int_L \sigma(L).n(L) dL$$

En fait la courbe $\sigma = f(LET)$ n'est pas intégralement définie par expérience, mais seulement par quelques points. En général, le calcul du taux d'événements pour un composant est ramené à une somme discrète aux points déterminés par expérimentation (figure 39).



$$N_{\text{upset}} = \sum_{i=1}^{p-1} \sigma_i (n_i - n_{i+1}) + \sigma_p n_p \quad \text{minoration}$$

$$N_{\text{upset}} = \sum_{i=1}^{p-2} \sigma_{i+1} (n_i - n_{i+1}) + \sigma_p n_{p-1} \quad \text{majoration}$$

$$N_{\text{upset}} = \sum_{i=1}^{p-1} \frac{\sigma_i + \sigma_{i+1}}{2} (n_i - n_{i+1}) + \sigma_p n_p \quad \text{moyenne}$$

Figure 39 :

Calcul du taux d'événements pour un composant à une orbite donnée.

IV - 4. PROTECTION AU NIVEAU SYSTEME

Malgré les efforts de durcissement, les circuits intégrés restent vulnérables aux upsets. De même, le blindage ne permet pas de prémunir un système embarqué contre les effets induits par ions lourds. Etant données les conséquences possibles d'une erreur induite par upset, le concepteur du système doit impérativement protéger les sous-systèmes vitaux du satellite, et rendre tolérant aux erreurs les autres parties du système.

Il existe plusieurs méthodes appliquant les techniques de sûreté de fonctionnement, qui peuvent être implantées sur un système embarqué.

a) Détection et correction d'erreur

Cette technique est basée sur l'ajout à un mot de bits codés, permettant la détection et la correction d'erreurs. Le code le plus connu est le code de Hamming, qui permet, par exemple, la détection de deux erreurs et la correction de l'une d'elles, en ajoutant 6 bits supplémentaires pour des données de 16 bits. Cette méthode implique un élargissement des données (par ex., 22 bits au lieu de 16) et l'exécution régulière d'un programme de correction d'erreur. En fait, cette technique est très adaptée au problème des upsets, pour un minimum de développement matériel supplémentaire (il existe des boîtiers mémoire intégrant le code de Hamming), et pour une surcharge de travail du processeur acceptable (quelques exécutions du programme de correction par minute, permet d'écarter tout risque d'erreur, pour un taux moyen d'un upset par jour).

b) Redondance matérielle

Par vote majoritaire, la redondance massive processeur + mémoire assure la tolérance aux erreurs induites par upset et aux pannes permanentes. En cas d'une erreur sur un système, le résultat des autres systèmes est pris en compte. Toutefois,

ce principe est pénalisant (accroissements de poids, consommation, prix), et le système de voteur doit être rendu insensible aux upsets.

c) Redondance logicielle

Cette forme particulière de redondance consiste à exécuter plusieurs fois une même tâche, soit à l'aide d'un même programme ou de plusieurs programmes, puis à comparer les résultats et voter en cas de désaccord. Ce principe n'affecte pas le matériel et permet la détection des erreurs transitoires (upset) et permanentes. Cependant, la surcharge logicielle pénalise la vitesse globale d'exécution d'une tâche.

DEUXIEME PARTIE

MISE EN OEUVRE DE TEST AUX IONS LOURDS

I - INTRODUCTION

L'étude du comportement de circuits intégrés programmables face aux ions lourds fait l'objet de cette deuxième partie.

Evaluer leur comportement sous ambiance radiative soulève trois problèmes importants [Vel88] :

- Simulation de l'environnement spatial, pour le test des circuits sous un rayonnement de particules (ions lourds, électrons, protons, ...) proche du rayonnement spatial.
- Définition d'un environnement informatique/électronique, pour l'application de stimuli et l'évaluation des résultats.
- Développement d'une stratégie de test, pour mesurer la sensibilité des circuits sous test.

Trois moyens de simulation d'ions lourds ont été employés : cyclotron, source de Californium, synchrotron, afin de corréler les résultats (exposés en 3^e partie).

Un testeur spécifique a été conçu et développé en collaboration avec le CNES. Cet équipement facilite les tests d'upset de tout circuit programmable, et a été utilisé pour évaluer le comportement aux ions lourds de circuits représentatifs.

II - LES EQUIPEMENTS DE SIMULATION DU FLUX D'IONS LOURDS

Pour répondre aux demandes des équipementiers, ainsi que pour des raisons d'indépendance nationale, le CNES s'est muni de moyens de simulation d'environnement radiatif.

Ces ressources, principalement regroupées à Toulouse (au Département de Technologie Spatiale, Centre d'Etudes et de Recherches de Toulouse - CERT/DERTS), comprennent des enceintes contenant des sources de Strontium (rayonnement d'électrons), une enceinte avec une source de Californium (rayonnement d'ions lourds), une cellule Gamma (rayonnement γ) à fort débit de dose (10 krads/h) et une chambre gamma à faible débit de dose (0.1 à 100 rads/h). D'autre part, dans le but d'obtenir une caractérisation complète aux ions lourds, des expériences ont été menées sur des accélérateurs tel que le cyclotron de Berkeley ou encore le Tandem Van de Graaff d'Harwell.

Dans le cadre des tests d'upsets menés par le LGI, les installations suivantes ont été utilisées :

- source de Californium du DERTS,
- cyclotron du Lawrence Berkeley Laboratory (LBL) à Berkeley
- synchrotron Saturne du Centre Energie Atomique (CEA) d'Orsay.

Ces équipements représentent chacun une famille de simulateurs d'ions lourds. Une description de ces simulateurs sera donnée ainsi qu'une comparaison de leur caractéristiques de flux.

II - 1. ACCELERATEURS DE PARTICULES LOURDES : LE CYCLOTRON DU LAWRENCE BERKELEY LABORATORY [Cl86]

Implanté dans le site de l'Université de Californie à Berkeley, le cyclotron du Lawrence Berkeley Laboratory est en activité depuis 1962.

Il est capable de fournir une grande variété de flux d'ions lourds ou légers nécessaires à la recherche dans les domaines de la science nucléaire et de la physique du solide.

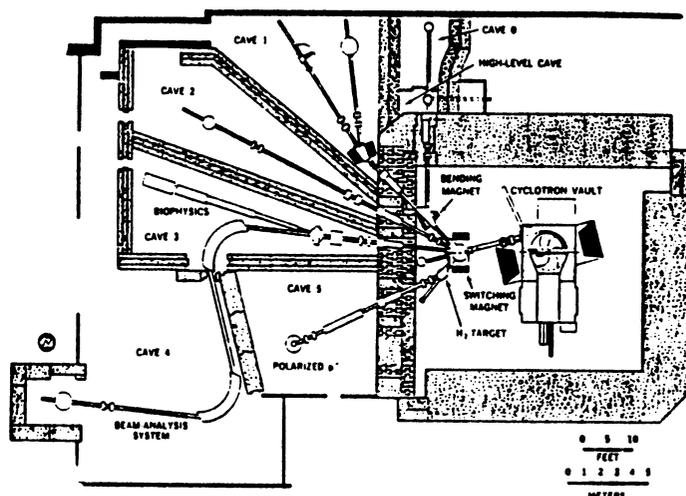


Figure 37:

Le cyclotron LBL et les caves expérimentales.

Le principe d'un cyclotron est basé sur l'accélération d'une particule chargée dans un champ magnétique. La capacité d'accélération d'une particule est directement liée à sa masse et à sa charge. Ainsi, les protons sont accélérés jusqu'à atteindre une énergie de 55 MeV, les deutons jusqu'à 65 MeV, les particules α atteignent une énergie de 130 MeV. Pour les ions plus lourds, l'énergie finale est définie par la formule $E = KQ^2/A$ où K représente la constante d'énergie du cyclotron, Q et A sont la charge et la masse de la particule accélérée.

A l'aide de ce cyclotron, des tests aux ions lourds ont été réalisés par différentes équipes de chercheurs, et de nombreux résultats sur ces travaux ont été publiés depuis 1974 (cf. IEEE TNS n° 6).

Le cyclotron du LBL est capable de fournir des particules avec un LET effectif de l'ordre de quelques $\text{MeV}/\text{mg}/\text{cm}^2$ jusqu'à environ $120 \text{ MeV}/\text{mg}/\text{cm}^2$ (Xe à 60°). La figure 38 illustre par quelques exemples la variété de LET disponible. Du fait de cette

caractéristique, il est possible de déterminer intégralement la courbe $\sigma = f(\text{LET})$ d'un circuit donné.

Ion	Masse	Energie (MeV)	LET (MeV/mg/cm ²)	Parcours dans Si (μm)
Xe	129	575	60	51
Kr	84	360	40	48
Cu	63	290	30	48
Ar	40	180	15	50
Ne	20	90	5,5	54
N	15	60	3	60

Figure 38 :

Ions émis par le cyclotron [Cha89].

Etant régulièrement utilisé par des chercheurs de deux grands laboratoires américains concernés par la recherche spatiale (l'Aerospace et le Jet Propulsion Laboratory - JPL) pour des campagnes de tests aux ions lourds, cet outil a été rendu très adapté pour ce genre de test :

- rapide changement de particule (environ 30 sec.),
- variation de flux importante (de 10^3 à 10^6 ions/sec),
- possibilité d'inclinaison automatique du circuit par rapport à la direction du flux (augmentation du LET effectif),
- possibilité de changement automatique de composant par translation de la carte support (jusqu'à 5 composants).

Malgré ces améliorations, qui font du cyclotron de Berkeley une machine très performante pour le test aux ions lourds, celui-ci ne reste par moins un outil très

lourd d'emploi. Comme tout équipement sophistiqué, cet accélérateur nécessite une équipe à temps complet pour son maintien en fonctionnement.

Son coût horaire d'utilisation élevé implique que lors d'une campagne d'essais au cyclotron, on privilégiera la quantité de test à effectuer (nombreux composants à tester) plutôt que la quantité d'informations à collecter (nombre réduit d'événements par ion).

II - 2. EQUIPEMENT AVEC UNE SOURCE DE CALIFORNIUM [Bou88]

Le Californium 252 (Cf^{252}) est un élément artificiel radioactif, émettant naturellement des ions (fission spontanée), accompagnés de particules alpha (97 % du flux total), de neutrons et gamma.



Les fragments X ont une masse moyenne de l'ordre 100 et une énergie moyenne d'environ 100 MeV. Les fragments Y sont plus lourds (masse ~ 140) et moins énergétiques (~ 80 MeV) figure 39.

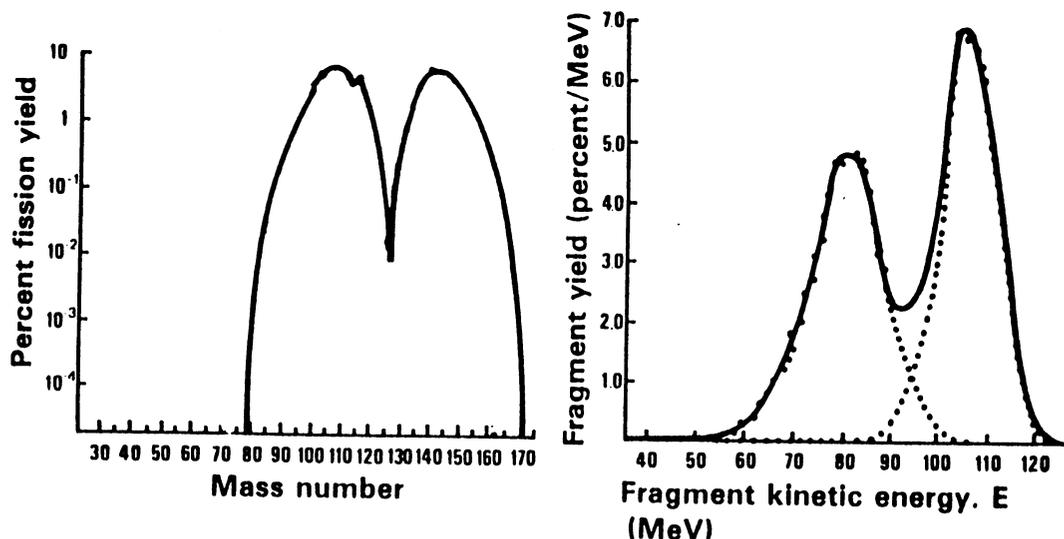


Figure 39 :

Spectre de masse et d'énergie des ions émis par fission du Cf^{252} [Bla85].

Ces caractéristiques des noyaux de recul correspondent à un spectre de LET centré sur $43 \text{ MeV}/(\text{mg}/\text{cm}^2)$ soit $10 \text{ MeV}/\mu\text{m}$ avec une largeur à mi-hauteur de $3 \text{ MeV}/(\text{mg}/\text{cm}^2)$.

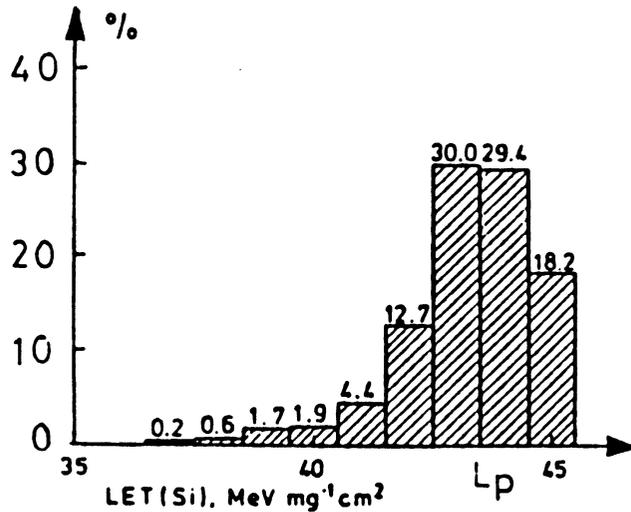


Figure 40 :

Spectre de LET [Bla85].

Les énergies des particules se situant en dessous du maximum du pouvoir d'arrêt, on peut envisager de ralentir ces ions pour obtenir des valeurs de LET allant de 0 à $43 \text{ MeV}/\text{mg}/\text{cm}^2$.

L'utilisation de fines feuilles d'aluminium ou la variation de la densité de l'air dans l'enceinte contenant la source de Cf^{252} sont des procédés couramment utilisés pour ralentir les ions émis [Map85 - Bro89].

Cependant, du fait que la fission du Cf^{252} produit des particules de masse et d'énergie différentes, leur ralentissement conduit à l'élargissement du spectre de LET qui devient inexploitable.

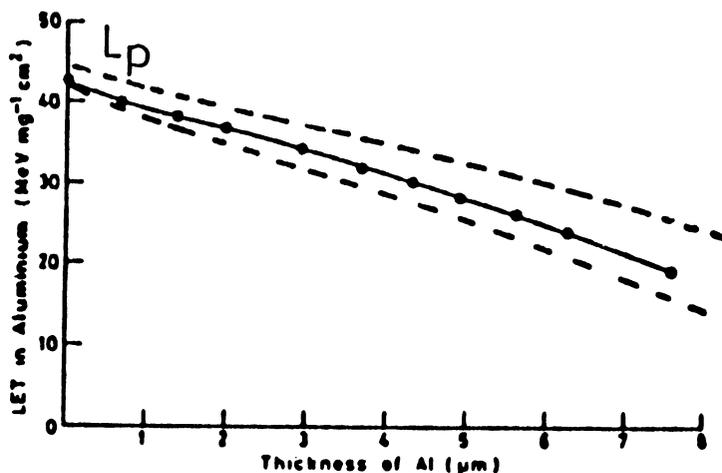


Figure 41 :

Effet sur le spectre de LET d'un filtre d'aluminium [Map85].

De même, les particules pénétrant dans le silicium auront des pertes d'énergie différentes entraînant une variation de LET non négligeable dont il faudra tenir compte dans les estimations des sections efficaces.

La pénétration des ions émis par le Cf^{252} est faible ($\leq 13 \mu\text{m}$). Une zone sensible profonde peut ne pas être affectée par ces particules alors que les ions cosmiques, plus énergétiques (donc plus pénétrants), pourront provoquer un événement.

Compte tenu de ces restrictions, les équipements avec une source de Cf^{252} ne sont pas suffisants pour caractériser un composant. Cependant ils peuvent être considérés comme moyen de tri de composants candidats à des applications spatiales qui pour être complètement caractérisés devront obligatoirement être testés à l'aide d'un accélérateur.

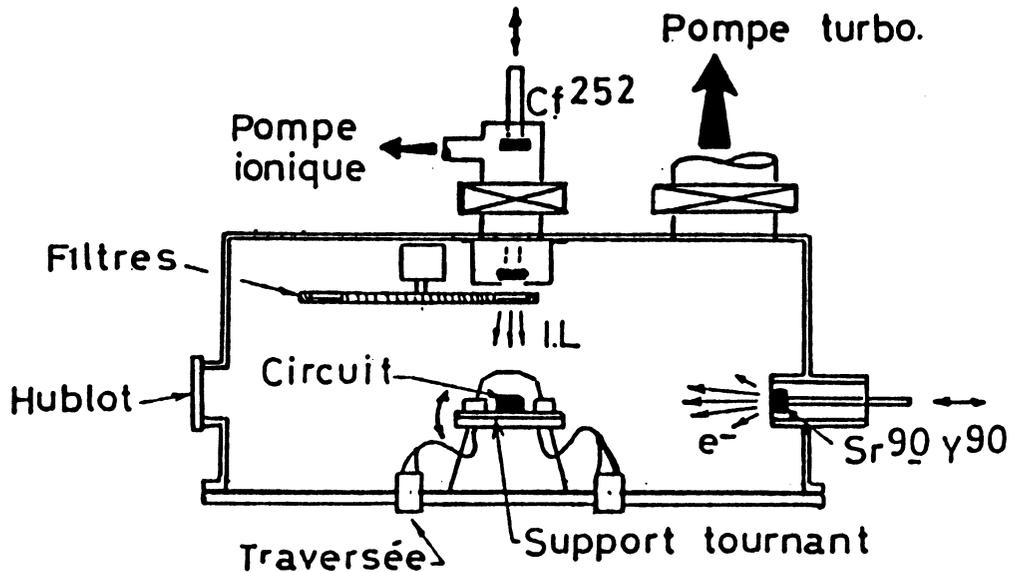


Figure 42 :

Equipement "CIRIL" [Bou86].

La figure 42 représente le dispositif de simulation développé par le DERTS. Il comprend une chambre sous vide, une source de Californium et un dispositif de filtres. Le composant décapoté est placé sur un plateau tournant, où des connections permettent de relier le circuit à l'environnement informatique de test.

Une deuxième source émettant des électrons permet l'étude des effets simultanés des SEU et des doses cumulées.

La source de Cf^{252} (4,5 μCi) à un débit de 1 à 100 ions/sec. Ce débit est fonction de la distance source-circuit. La table donnant les correspondances distance/débit est présentée en annexe.

La durée d'un test sera variable suivant la sensibilité du composant (de quelques minutes à plusieurs heures). La mise en place d'une automatisation de la phase de test et de contrôle de l'expérience est souvent nécessaire.

II - 3. ACCELERATEURS DE PROTONS : SATURNE

Installé sur le Centre d'Etudes Nucléaires de Saclay, le synchrotron SATURNE est essentiellement utilisé pour la recherche dans le domaine de la Physique des Energies Intermédiaires.

Totalement rénové depuis 1979, le synchrotron SATURNE permet l'accélération de trois grands types de particules :

- des ions légers (protons, deutons, noyaux d'Hélium)
- des ions lourds (plus lourds que l'Hélium)
- des ions polarisés (protons et deutons)

Les énergies cinétiques finales peuvent être choisies dans les plages suivantes :

- de 100 MeV à 2,9 GeV pour des protons,
- de 50 MeV à 1,15 GeV par nucléon pour les autres ions.

Le nombre de particules accélérées varie par seconde de quelques 10^8 particules pour des ions lourds à 10^{11} pour des protons. Du fait du principe de fonctionnement du synchrotron, les particules sont envoyées vers la cible par paquets d'une durée de 600 ms. La période d'envoi des paquets dépend de l'énergie à atteindre (les particules doivent parcourir un certain nombre de tours) et varie de 1.3 à 3.6 secondes.

Des travaux récents [Bui89] ont étudié la faisabilité de la mise en oeuvre de test aux protons et deutons à l'aide du synchrotron SATURNE. Lors d'essais aux deutons, des upsets ont été observés sur des RAM (2Kx8 et 32Kx8) à des énergies de 1.8 GeV et 2 GeV. Ces essais qualitatifs ont permis d'apprécier la qualité du faisceau fourni par SATURNE ainsi que la facilité de mise en oeuvre des expériences (étant donnée l'énergie des protons, il est possible d'irradier dans l'air

un circuit fermé sans risque de trop dégrader l'énergie du faisceau au niveau de la puce). Toutefois, des expériences complémentaires doivent être menées pour améliorer les conditions d'utilisation de cet équipement et obtenir une caractérisation complète d'un circuit pour le phénomène d'upset induit par proton (détermination d'une énergie seuil et de la section efficace de saturation par variation de l'énergie du faisceau à l'aide d'un dispositif externe au synchrotron).

III - EQUIPEMENTS DE TEST

Après le simulateur d'ions lourds, l'équipement de test est la seconde pièce importante dans la mise en oeuvre d'un essai aux ions lourds. Les contraintes dues aux conditions de test et la diversité des circuits à étudier rendent souvent difficile le choix ou la réalisation d'un équipement de test :

- Les composants candidats aux applications spatiales sont nombreux et très variés quant à leur fonctionnalité. Cette variété s'étend de la simple bascule aux dernières versions de microprocesseurs 16/32 bits, en passant par des mémoires, des périphériques de microprocesseur, ou même des ASIC.
- Les essais aux ions lourds se déroulent dans le site même du simulateur impliquant une certaine transportabilité de l'équipement de test et une certaine immunité aux rayonnements électromagnétiques HF, toujours présents au voisinage d'un accélérateur.
- Le circuit, lors de l'essai, doit être déporté de son environnement pour subir le flux de particules. Les testeurs fonctionnels/paramétriques disponibles sur le marché sembleraient ne pouvoir fonctionner qu'avec le circuit placé sur la tête de test, pour des raisons de calibration des signaux.

Cette thèse a pour objectif de montrer les problèmes rencontrés dans la définition d'un équipement dans le cadre du test de qualification aux ions lourds de circuits intégrés programmables (CIP).

Peu abordé, le problème de la définition d'un environnement de test pour ce type de composants est pourtant primordial, du fait de la complexité structurelle et fonctionnelle de ces circuits.

Un circuit est dit programmable s'il est capable d'exécuter un jeu d'instructions ou un jeu de commandes. Cette catégorie de composants est principalement composée de circuits de la famille des microprocesseurs :

- microprocesseurs 8 / 16 / 32 bits
- microprocesseurs en tranche (Amd 2900,29000)
- microcontrôleurs
- périphériques de microprocesseur (interface, série, parallèle, timer, DMA)
- coprocesseurs.

III - 1. DEFINITION D'UN ENVIRONNEMENT DE TEST [Vel82]

L'environnement de test à pour fonction l'application des stimuli définis selon une philosophie (ici détection d'upset) et l'observation des réponses du circuit sous test (Device Under Test - DUT) (fig. 43).

Une solution, généralement appelée "autotest", consiste à utiliser la propre application pour stimuler le circuit étudié et en observer les résultats. Cette technique, bien que nécessitant peu (ou aucun) matériel supplémentaire pour superviser les opérations de test, est controversée à cause principalement des limitations de contrôlabilité et d'observabilité du circuit sous test.

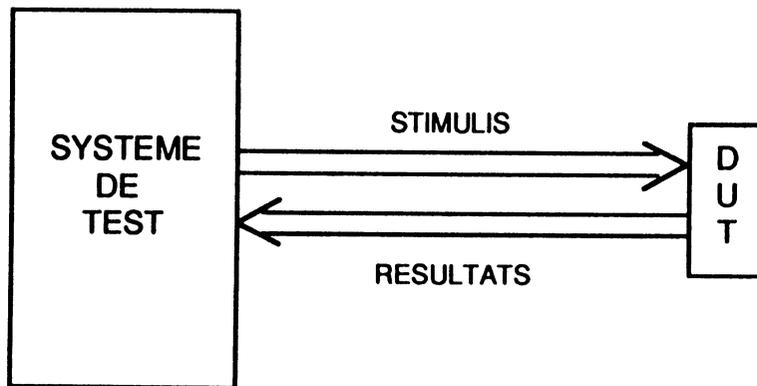


Figure 43 :

Fonctions d'un système de test - stimuler et observer le circuit sous test.

En général, des environnements spécifiques (testeurs) sont utilisés afin de mettre en oeuvre des stratégies de test complexes. Les différences entre catégories de testeurs résident principalement dans les deux tâches de base à accomplir : la stimulation du DUT et l'observation des résultats.

III - 1.1. Application des stimuli

On distingue deux méthodes qui se différencient par le rôle du DUT dans l'environnement de test :

- DUT actif
- DUT passif

a) DUT actif

Le DUT exécute un programme rangé en mémoire à laquelle il accède par des cycles normaux de lecture et écriture (figure 44).

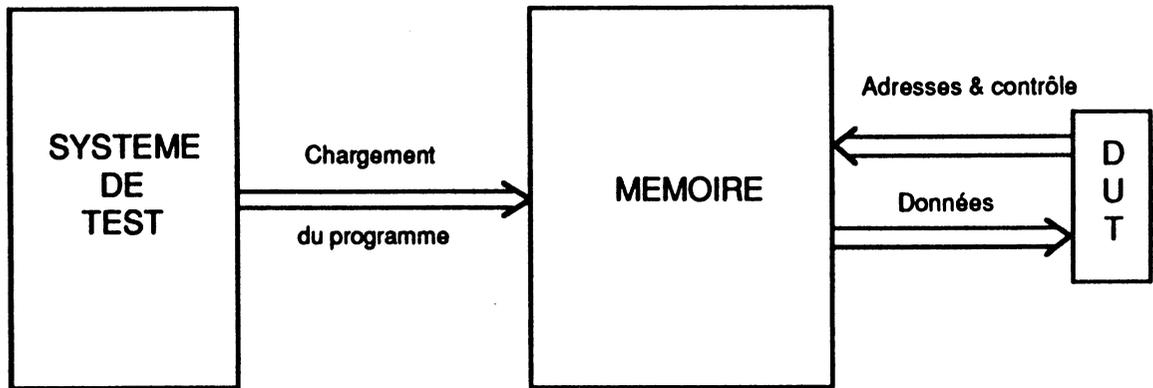


Figure 44 :

Système de test avec DUT actif.

Le séquençement du programme de test est assuré par les fonctions de contrôle du DUT.

La figure 44 illustre une telle configuration où le DUT est du type microprocesseur. Dans les autres cas (périphériques), le DUT est un circuit esclave qui répond à des commandes d'un circuit maître. Toutefois, la configuration décrite en figure 45, pourra être considérée comme "DUT actif", du fait que le DUT sera dans un environnement semi-naturel, et commandé par un microprocesseur.

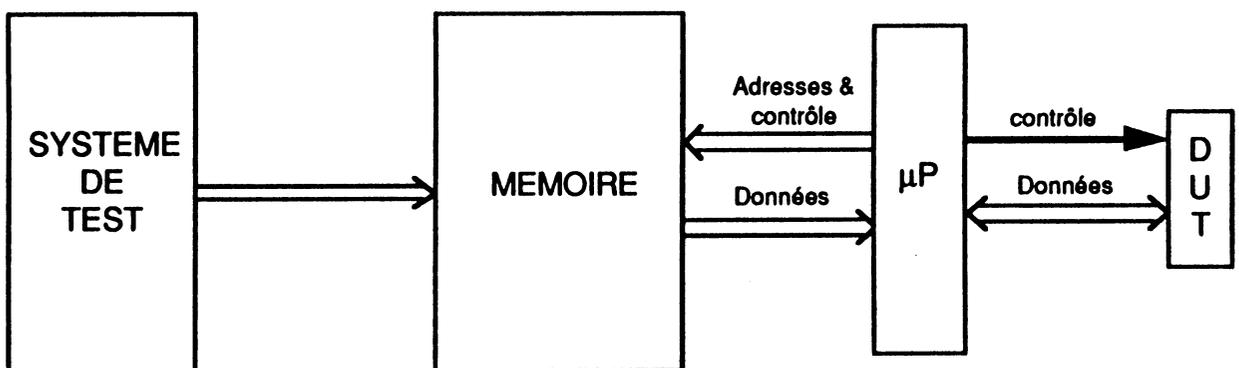


Figure 45 :

DUT actif dans le cas d'un périphérique.

La principale caractéristique de cette méthode est que le DUT (ou microprocesseur maître) assure le séquençement d'un programme de test chargé

en mémoire par le testeur. Ceci présente l'avantage de décrire les stimuli de test sous forme d'instructions écrites en assembleur (description haut niveau) structurées sous forme d'un programme complet :

- phase d'initialisation après reset,
- corps de programme (instructions + données),
- phase de terminaison (déclenchement d'un signal de fin).

b) DUT passif

Dans ce type de systèmes le DUT est soumis à un flot de valeurs sur ses entrées (figure 46) totalement contrôlé par le testeur, les signaux de contrôle émis par le DUT sont ignorés.

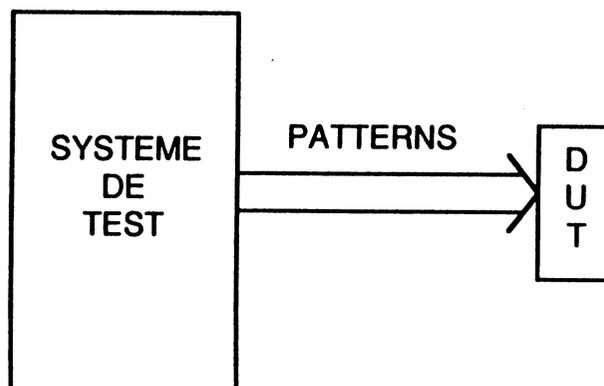


Figure 46 :

Système de test avec DUT passif.

Le séquençement du programme de test est assuré par le testeur.

Les vecteurs de tests sont décrits sous forme de valeurs binaires, correspondant au niveau électrique de chaque entrée à chaque cycle machine.

Le testeur interprète et traduit les vecteurs de test en signaux électriques. Le séquençement est assuré par le système de test, quelque soit le type de circuit : capable ou non d'exécuter un programme.

c) Avantages et inconvénients des deux philosophies

Dans ce paragraphe, sont présentées les caractéristiques de chaque méthode en fonction de critères importants dans la mise en oeuvre d'un test (fig. 47).

	DUT actif	DUT passif
Type de circuit	Circuits Intégrés Programmables	Tous circuits
Développement matériel	Variable selon le type de circuit	Limité à l'interconnexion du bus du testeur au circuit
Développement logiciel	Description sous forme de programme écrit en assembleur	Description des vecteurs sous forme binaire et cycle par cycle
Fréquence de fonctionnement	Limitée par la vitesse d'accès de la mémoire (< quelques Mhz)	Peut atteindre plusieurs dizaines de Mhz
Contrôlabilité	Réduite	Excellente

Figure 47 :

Tableau comparatif des deux philosophies de test (DUT actif, DUT passif).

Remarques :

- La complexité des cartes d'interface demandée pour un circuit du type microprocesseur ou périphériques est faible. Seuls, les cas des circuits en tranches (partie opérative et séquenceur de ROM) nécessitent un développement matériel conséquent (émulation d'un microprocesseur).
- Le développement logiciel dans le cas du DUT passif, nécessite une bonne connaissance du circuit et l'écriture du programme sous forme binaire est

l'une des difficultés. La durée de développement d'un programme de test dans ce cas est à prendre en compte. Ce temps pourra être réduit si le système possède un traducteur de code assembleur en valeurs binaire par cycle.

- Comme le circuit de test est déporté de son environnement pour subir un flux de particules, la fréquence de fonctionnement est un paramètre critique et est limitée par les problèmes de propagation des signaux.
- Dans le cas d'un DUT actif, la contrôlabilité peut être améliorée par des dispositifs spécifiques permettant la détection d'un déséquencement provoqué par upset.

III - 1.2. Observation des résultats

La fonction d'observation comprend, la saisie des réponses du DUT aux stimuli et leur comparaison à une référence.

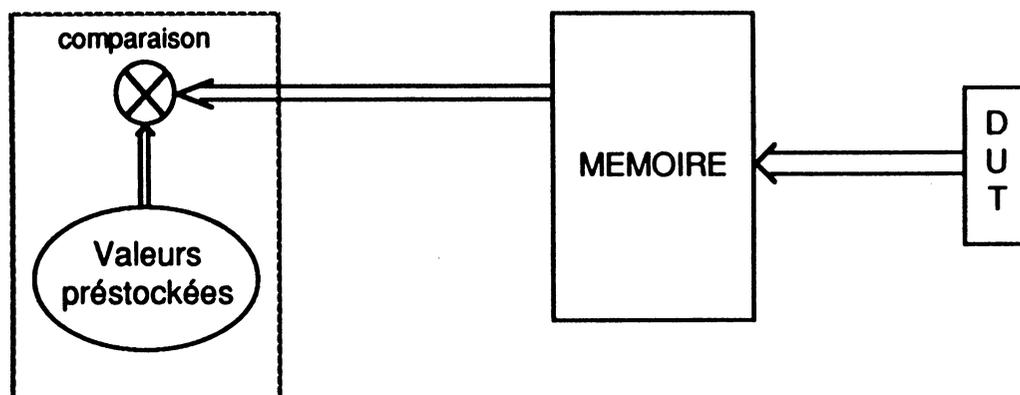
Comme précédemment, il existe plusieurs types d'observation, suivant la nature des références :

- valeurs prédéterminées
- circuit étalon (Golden chip).

a) Valeurs prédéterminées

Les résultats du DUT sont stockés en mémoire puis comparés aux valeurs établies auparavant par émulation ou calcul (figure 48).

SYSTEME DE TEST

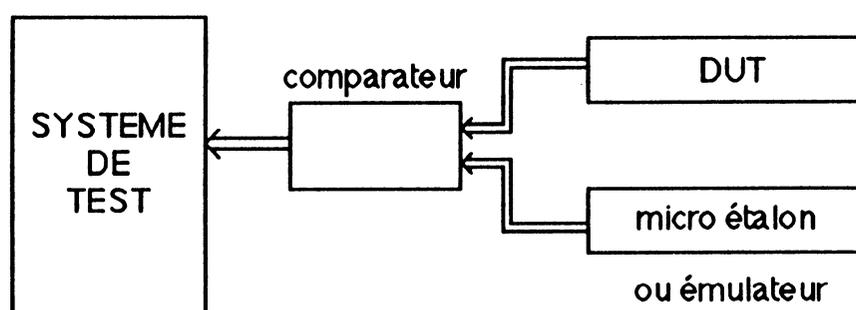
**Figure 48 :**

Evaluation des résultats du test par comparaison avec des valeurs prédéterminées.

Les résultats se présentent sous forme d'image mémoire et sont traités mot par mot. Cette représentation permet une analyse haut niveau des résultats. Toutefois, par cette méthode, certains signaux d'accès à la mémoire (bus adresse, bus contrôle mémoire par exemple) sont observés indirectement, ce qui rend difficile la localisation des erreurs.

b) Circuit étalon

Les signaux de sortie du DUT sont comparés à des signaux de références générés par un circuit de référence ou un émulateur.

**Figure 49 :**

Evaluation par comparaison directe avec un étalon ou un émulateur.

Les stimuli sont appliqués de manière synchrone au DUT et à sa référence. Les résultats sont présentés sous forme de vecteurs binaires donnant les valeurs des signaux cycle par cycle.

Cette méthode permet d'avoir une observabilité directe de l'ensemble des signaux. Cependant, la réalisation d'un comparateur n'est pas simple du fait du synchronisme difficile à réaliser entre les deux circuits (tolérance de validation des signaux). Enfin les résultats présentés sous forme binaire perdent en lisibilité.

III - 2. PRESENTATION DU TESTEUR FUTE-8

Développé au Laboratoire LGI-UGM pour valider une nouvelle approche du test fonctionnel de microprocesseurs, cet outil a été adapté pour le test aux ions lourds. Le testeur appartient à la catégorie des équipements où le DUT est actif avec comparaison des résultats avec des valeurs pré-stockées.

III - 2.1. Architecture de FUTE-8 [Vel82]

L'architecture de ce testeur se décompose en 3 parties fonctionnelles (figure 50).

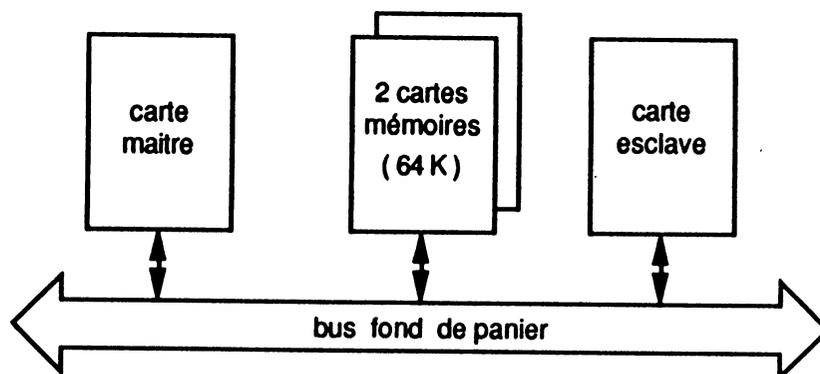


Figure 50 :

Schéma de principe du testeur FUTE-8.

- carte support du circuit à tester

Cette carte contient un environnement typique du circuit à tester. Dans le cas d'un microprocesseur, elle comprend un système d'horloge, des périphériques et des buffers pour relier le microprocesseur à la mémoire.

- mémoire partagée de 64 Koctets (2 cartes)

Elle contient le programme de test à exécuter par le circuit sous test et recueille les résultats de celui-ci après exécution.

- carte maître

Cette carte, bâtie autour d'un microprocesseur (Z80), réalise l'interface utilisateur (moniteur).

Les fonctions de base du moniteur concernent le séquençement des opérations nécessaires au test d'un circuit :

- chargement d'un module du programme
- lancement de l'exécution
- récupération des résultats.

Le testeur est couplé à un micro-ordinateur compatible IBM-PC. Cet ordinateur est utilisé comme mémoire de masse (stockage de programme de test, des résultats et des valeurs de référence) et comme interface ergonomique testeur/utilisateur (présentation sous forme de menus). En plus du logiciel d'interface, a été implanté sur l'IBM-PC un logiciel permettant le développement rapide d'assembleurs croisés (logiciel GAGE [Bek81]). Quelque soit le microprocesseur, ce système permet le développement des programmes de test associés, en langage assembleur.

III - 2.2. Fonctionnement du testeur

Le déroulement d'un test se fait en plusieurs phases, basées sur le partage du contrôle de la mémoire de test (figure 51).

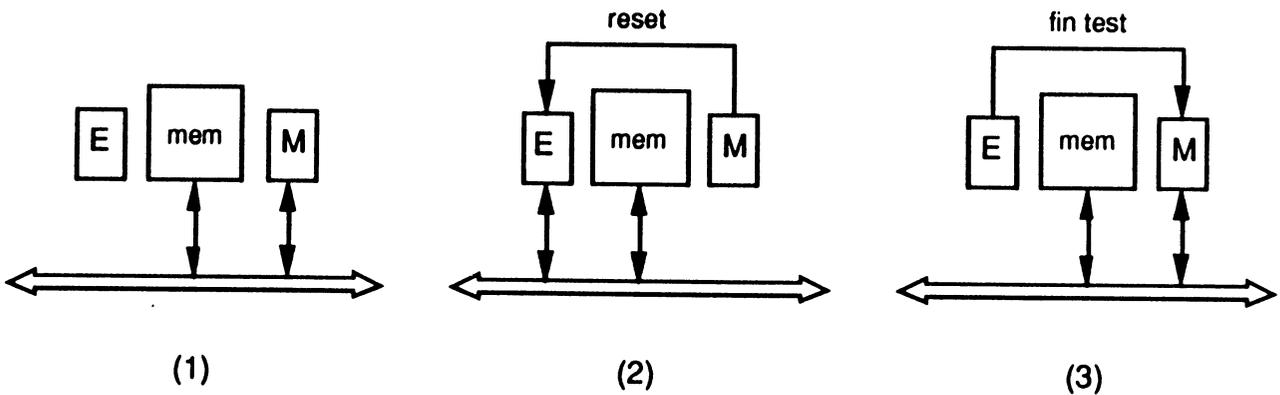


Figure 51:

Séquencement des différentes phases du test.

(1) Chargement du programme.

(2) Exécution du programme par le DUT.

(3) Récupération des résultats.

- Chargement d'un programme de test en mémoire à l'adresse prédéfinie au moment de l'assemblage. Le programme sélectionné est envoyé par le micro-ordinateur hôte via une ligne série (RS232), vers la carte maître, qui interprète le code de chargement en format S.
- Déclenchement de l'exécution du programme par le DUT à l'aide d'un signal de type reset. L'accès mémoire/maître est dévalidé et le contrôle du bus mémoire est donné à la carte esclave.
- Exécution du programme par le DUT. Au cours de l'exécution, les résultats sont stockés en mémoire de test à des adresses prédéfinies par programme.

- Fin de test. L'exécution se termine par le déclenchement d'un signal qui réveillera le processeur maître, lui redonnant le contrôle de la mémoire.
- Observation et comparaison. Les résultats de test sont transférés vers l'hôte via la ligne série. Ils sont ensuite analysés et stockés.

III -2.3. Développement des cartes esclaves

La flexibilité du testeur FUTE-8 est réalisée par le développement d'une carte interface personnalisée DUT/testeur.

Ces cartes d'interface doivent réaliser un environnement minimal qui permet au DUT d'avoir une autonomie de fonctionnement (philosophie DUT actif). La complexité de ces cartes dépend de la fonction du circuit à tester, et de la méthode d'observation.

Voici des exemples de carte d'interface pour des CIP représentatifs.

a) Microprocesseurs - Microcontrôleurs

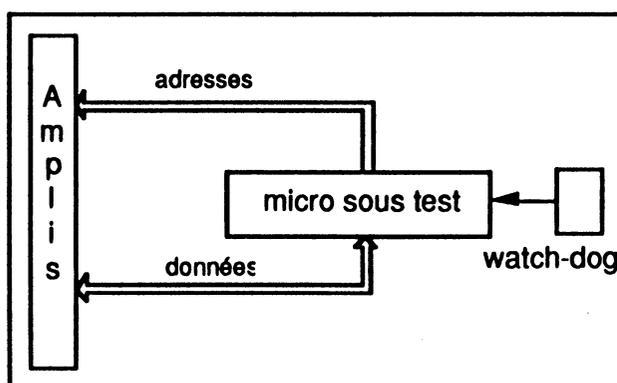


Figure 52 :

Carte de test pour microprocesseurs.

La mémoire de test est un environnement suffisant pour le fonctionnement d'un microprocesseur. Pour les besoins du test d'upsets il est nécessaire d'ajouter un dispositif de contrôle de séquençement, au minimum un watch-dog. Celui-ci est

régulièrement armé par le microprocesseur sous test. En cas de déséquencement, le watch-dog n'est plus réarmé et déclenche la réinitialisation du microprocesseur.

Compte tenu de l'architecture du testeur, le développement d'une carte d'interface microprocesseur est le cas le plus simple et donc rapide de mise en oeuvre.

b) Périphériques de microprocesseur

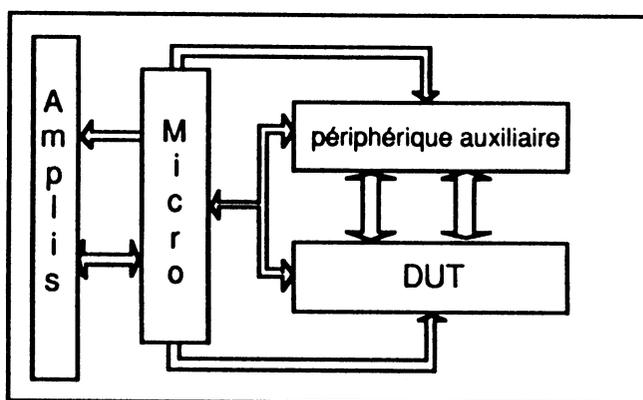


Figure 53 :

Carte de test pour périphérique de microprocesseur.

Les périphériques de microprocesseur sont des circuits esclaves qui déchargent le microprocesseur de tâches spécifiques, par exemple, les communications parallèle ou série. Ces composants ont différents modes de fonctionnement définis par commandes. Un environnement minimal pour ces circuits peut être la solution proposée.

- Un microprocesseur de la même famille qui contrôle et analyse les réponses du périphériques sous test.

- Dans le cas d'un périphérique de communication, un circuit identique câblé tête-bêche avec le DUT pour pouvoir stimuler les interfaces de communication.

Cette solution originale est de mise en oeuvre rapide et permet l'utilisation de la définition haut niveau du programme de test (contrôle du périphérique par un microprocesseur).

c) Circuits en tranches

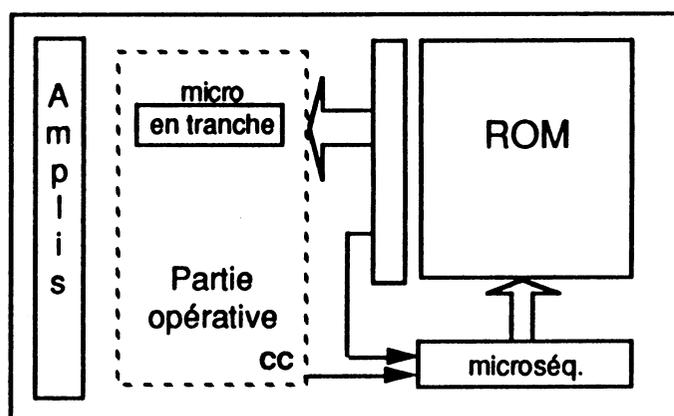


Figure 54 :

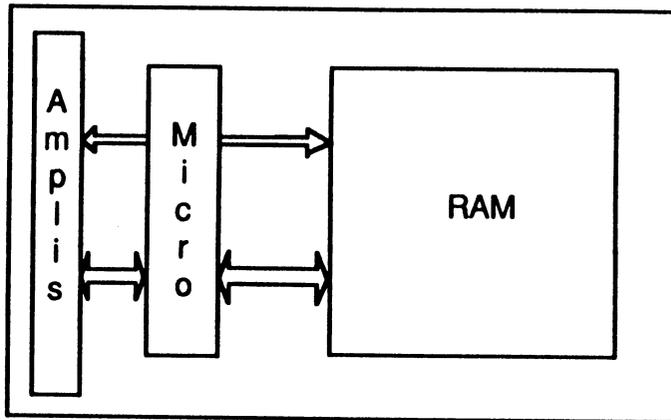
Carte de test pour microprocesseur en tranche.

On désigne par circuits en "tranche", des circuits qui composent une partie d'un microprocesseur. On distingue d'une part des éléments appartenant à la partie opérative (ALU, registres) et d'autre part des éléments de la partie contrôle (séquenceur de microprogramme).

A l'aide de ces circuits, il est possible de construire un microprocesseur dédié à une application typique et de taille extensible par l'ajout de nouvelles tranches. Pour ces circuits, la famille Amd 2900 est devenue une référence.

L'architecture de la carte d'interface proposée, exploite la capacité de ces circuits à émuler un microprocesseur et ainsi s'adapte pleinement au testeur.

Toutefois, le développement d'un microprogramme de test pour le séquenceur de ROM, et d'un jeu microprogrammé d'instructions pour le test de la partie opérative, ajoutent un degré supplémentaire à la complexité de mise en oeuvre de cette carte d'interface.

d) Mémoire*Figure 55 :**Carte de test pour circuit de type RAM.*

Le système FUTE-8 permet aussi de tester des circuits qui n'appartiennent pas à la catégorie des CIP (RAM, buffers, latches, registres, piles, ...). Ces circuits représentent une grande partie des circuits candidats à des applications spatiales. Nous montrons figure 55 la carte esclave pour ces composants.

IV - SEQUENCES DE TEST D'UPSET

Le phénomène d'upset se manifeste par le basculement logique d'un point mémoire du circuit. Ce phénomène est non destructif, n'affectant pas les nouvelles opérations de lecture/écriture.

Un upset se traduira donc par une erreur fonctionnelle (d'où le vocable anglais "soft error"), à l'inverse du phénomène de latch-up qui se traduit par une surconsommation de courant, pouvant provoquer la destruction du circuit.

Pour détecter un upset, il est nécessaire de construire un test fonctionnel.

IV - 1. TEST FONCTIONNEL

On appelle test fonctionnel d'un circuit la vérification des fonctions réalisées par ce circuit, en faisant abstraction de la structure même du circuit. A partir d'une description utilisateur du circuit, on peut définir deux méthodologies de test [Vel82].

a) Test fonctionnel par distinction

Cette méthode tente d'étendre au test fonctionnel, les approches du test structurel :

- description du fonctionnement juste du circuit,
- liste de pannes considérées,
- description des fonctionnements du circuit en présence de panne,
- recherche d'une séquence de test ou séquence de distinction permettant de distinguer le circuit juste du circuit faux.

Avec une telle méthode, la cardinalité de l'ensemble des erreurs possibles peut être très importante. Une solution consiste à se donner un ensemble d'erreurs possibles (modèle d'erreurs) de cardinalité maîtrisable et qui conduise à des

séquences de distinction faciles à établir. Un exemple de l'approche par distinction est celle proposée en [Tha80].

Ces méthodes sont attirantes de par leur formalisme qui permet d'établir une mesure de leur efficacité (taux de couverture d'erreur).

b) Test fonctionnel par identification

Le but de ce test est de vérifier que le circuit est capable de réaliser les fonctions pour lesquelles il a été prévu, sans hypothèse sur la nature des erreurs qui peuvent apparaître. L'état du circuit est représenté par l'ensemble des registres connus du programmeur et les changements d'états sont provoqués par l'exécution d'une instruction.

Le test consiste à appliquer à chacun des états l'ensemble des instructions et à vérifier l'état atteint par observation des registres (test comportemental "exhaustif"). Dans le cas d'un microprocesseur, ces tests peuvent être difficiles à réaliser, du fait du nombre important d'instructions et de registres. On se limite alors à un ensemble de fonctions représentatives. Une telle stratégie a été développée par le LGI-UGM [Bel85].

IV - 2. TEST D'UPSET

Pour le cas du test d'upsets, la méthode par distinction est la plus appropriée. En effet, le basculement logique d'un élément mémoire (E.M.) est l'hypothèse de panne unique à vérifier.

Toutefois, la complexité de la construction d'une séquence de distinction (comparaison du contenu de chaque EM avec sa valeur initiale), s'accroît avec celle du composant à évaluer.

IV - 2.1. Cas des mémoires

Considérons un composant de type mémoire (RAM, buffer, latch). Les EM contenues dans ces composants ont tous la même fonction : mémorisation d'une valeur logique. Cette valeur est sans conséquence sur le comportement du circuit, elle n'est pas exploitée à l'intérieur du circuit. On dira que l'utilisation des EM est "statique". Le programme de test d'upset qui résulte de ce type d'implication est simple. Le schéma figure 56 décrit l'organigramme d'un programme de test statique.

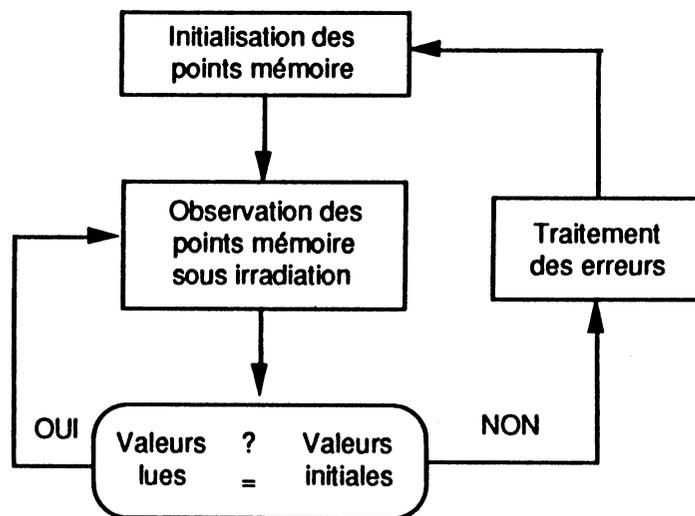


Figure 56 :

Programme de test d'upset.

IV - 2.2. Cas des CIP

La diversité de fonctionnalité des EM est l'une des caractéristiques des circuits intégrés programmables. A l'inverse du cas précédent, les informations détenues dans certains EM déterminent le comportement du composant tout entier.

L'élaboration de la séquence de test aux upsets nécessite donc une analyse de chacun des points sensibles (registres, latches, bascules, ...) afin de déterminer les moyens de les initialiser avec une valeur donnée et d'en observer leur contenu. Dans la figure 57 sont classifiés les différents points mémoire selon leur fonctionnalité et l'effet d'un upset sur ceux-ci [Pro87].

	Type de circuit	accès		effet d'un upset en environnement typique	détection	correction
		lecture	écriture			
R. généraux: donnée adresse	μ P, périphérique μ P, périphérique, contrôleurs	directe (par com. ou instr.)	directe	modification de la donnée ; écrasement de mot en mémoire	comparaison à la valeur initiale	rechargement de la valeur initiale
Registre d'état (RE)	μ P, périphérique	directe	directe ou après opé- ration (UAL, transfert)	code condition incorrect ; déroulement du pro- gramme modifié	comparaison directe	rechargement
Registre de contrôle	périphérique	directe ou par observation du RE du périph. communicant	directe	mode transfert incom- patible avec le circuit périphérique communicant	comparaison directe ou par analyse du RE périph. communicant	réinitialisation du circuit
Registre d'instruction	μ P	décodage	fetch	mauvaise sélection de l'instruction (paramètres, code inconnu)	comparaison avec un circuit de référence	reset (erreur grave)
Compteur ordinal	μ P	fetch, sauvegar de	saut, retour de sauvegarde, reset	déséquence- ment : branche- ment vers une instruction ou une demi-instruction	comparaison avec un circuit de référence	reset (erreur grave)

Figure 57 :

Classement des points mémoire selon leur fonctionnalité.

La localisation des points mémoire modifiés peut être réalisée par une simple comparaison entre la valeur attendue et celle observée dans les cas où une observation directe est possible (cas d'un registre général d'un microprocesseur par exemple). Pour des circuits tels que des périphériques ou un microprocesseur, l'obtention des séquences doit tenir compte de chaque cas particulier et peut aboutir à une impossibilité de localisation [Pro87 - Pro87bis].

Par exemple, dans le cas d'une interface série/parallèle, la modification du registre de contrôle (changement de protocole) entraîne des modifications en cascade sur les autres registres.

La difficulté de mise en oeuvre d'un test d'upset pour un CIP est due donc :

- à l'accès indirect d'éléments mémoire tant pour leur initialisation que pour leur observation
- à la modification du comportement du CIP dans le cas d'un upset sur un point mémoire appartenant à un élément de contrôle.

a) Accès indirect

Ce problème qui n'existe pas pour les circuits de type mémoire, entraîne une étude approfondie des différents éléments mémoire du circuit. Cette étude doit conduire à la détermination d'un moyen d'accès pour chaque élément mémoire.

Les cas "difficiles" entraînent des modifications dans l'organigramme de test donné en figure 56, mais aussi imposent des contraintes pour l'environnement matériel. Nous présentons des exemples dans des cas typiques d'accès indirect :

- le registre d'état du microprocesseur 6800 peut être initialisé et observé par transfert de données à travers l'accumulateur.
- le registre de transmission de l'ACIA 6850 est lu à travers l'observation du registre réception du circuit avec lequel il communique. Inversement le registre de

réception de l'ACIA 6850 sera initialisé à travers la transmission d'une donnée avec le circuit communiquant.

- le compteur ordinal d'un microprocesseur est observable seulement à travers le séquençement du programme de test.

- les registres de contrôle d'un périphérique et le registre d'instruction d'un microprocesseur ne sont pas observables, même à travers un autre registre. Cependant, la valeur contenue dans ces registres détermine une fonction, un comportement du circuit. L'observation de l'état du circuit donnera des informations permettant d'évaluer la valeur contenue dans ces registres. Mais, il est évident que si plusieurs commandes ou instructions aboutissent au même état à partir d'un état initial, il sera impossible de déterminer la valeur contenue dans ces registres. En pratique, ces dernières seront considérées comme bonnes si l'état final attendu du circuit est atteint à la fin du programme de test.

Le programme de test résultant de ces modifications active partiellement le circuit sous test. A part quelques registres qui sont en permanence activés (RI, PC), les autres éléments mémoires ne sont plus modifiés après initialisation. On dira que le circuit est dans un état "semi-statique".

b) Conséquence d'un SEU

Selon la nature du point de mémoire modifié par SEU, les conséquences peuvent être difficilement maîtrisables dans le cas d'un DUT actif.

En effet, un basculement d'un bit dans les registres PC et RI entraîne une perte de contrôle du séquençement du programme de test. De même, une modification des registres d'adresse ou du pointeur de pile induit des écritures non prévues dans des zones mémoires pouvant entraîner l'écrasement du code programme [Cus85]. Pour

minimiser les effets dans le séquençement du programme, il est nécessaire d'introduire des mécanismes de contrôle de l'accès mémoire.

Un ensemble de mécanismes de détections de déséquençement est proposé par Li et al. [Li84] :

- "SAFE ROM" :

une ROM d'un bit de large implantée à la même adresse que le programme indique si l'octet adressé est un code opération valide (début d'une instruction) ;

- "Invalid write address" :

Interdire l'écriture dans la RAM, à part dans une zone contenant les données ;

- "Invalid read address" :

Vérifier que la lecture d'une variable est bien faite dans une zone de données ;

- "Loop detector" :

Un programme d'upsets est souvent composé de boucles. On associe à chaque boucle un indicateur pour éviter les sauts d'une boucle à l'autre ;

- "Invalid opcode" :

Détection par le microprocesseur sous test d'un code opération illégal.

Sont évaluées ensuite les efficacités de chacun de ces mécanismes et de leur combinaison. L'ensemble de ces cinq solutions permettent de détecter 96 % des perturbations du séquençement. Restent les cas de l'exécution d'un "halt" et les sauts illégaux dans une même boucle.

Toutefois, l'étude présentée a été faite à l'aide d'un simulateur logiciel d'un microprocesseur. Les mécanismes de détection ont également été introduits sous forme logiciel. Or, dans un cas réel la plupart de ces mécanismes de détection sont difficilement implantables de manière matérielle.

Les méthodes "invalid opcode" et "loop detector" imposent la présence de dispositifs internes au microprocesseur test. Les autres méthodes concernent les accès mémoire, et compliquent la structure de celle-ci (un bit de large supplémentaire, accès limitatif en écriture et en lecture).

IV - 2.3. Taux de couverture

Le test d'upset d'un composant se situe dans le cadre d'une demande utilisateur. A ce titre, le niveau de connaissance sur le composant-cible est celui de la documentation technique utilisateur, qui ne permet pas d'avoir accès à l'architecture complète. Or, en plus des registres connus de l'utilisateur, il existe d'autres éléments mémoire "cachés", qui sont aussi vulnérables aux upsets. Si l'implantation et l'accès à ces EM ne sont pas connus, il est évident qu'en limitant le fonctionnement du CIP à un mode semi-statique, la vulnérabilité aux upsets des EM cachés n'est pas intégrée dans la sensibilité du circuit ainsi obtenue. C'est pourquoi, en plus de l'étude du CIP en mode semi-statique, en [Kog85] est préconisée une étude du CIP en mode dynamique. Le programme de test contient des modules où est activée une partie fonctionnelle. Par exemple, par observation du résultat d'une opération à travers l'unité arithmétique et logique (ALU), les EM appartenant aux différents registres tampon placés "autour" de l'ALU sont testés.

Toutefois, les résultats obtenus de cette manière n'apportent que quelques corrections mineures à la courbe $\sigma = f(LET)$.

Cependant, l'évaluation de la sensibilité de ces EM cachés est loin d'être négligeable. En effet, selon le circuit, la proportion des EM connus de l'utilisateur peut être très important (50% pour un timer 82C54 et seulement 10% pour un microprocesseur 80C86). Le manque d'informations ne permet pas de faire un test efficace des EM cachés pour des circuits aussi complexes. On peut penser qu'à l'avenir, l'utilisation de circuits ASIC conduira à une meilleure connaissance sur la topologie du circuit et permettra donc le développement de nouvelles méthodes de test aux ions lourds.

IV - 2.4. Conséquences sur la prédiction du taux d'upset.

La section efficace mesurée dépend du test entrepris. En plus du taux de couverture, le taux de réécriture d'un EM est un facteur important du programme de test. Ainsi, pour un circuit donné, deux séquences de test de même taux de couverture, peuvent aboutir à des sections efficaces présentant des différences significatives. Les résultats exposés dans la 3^e partie révèlent des rapports entre 1.5 et 10.

Si l'influence du programme de test sur la valeur de la section efficace est assez facile à appréhender, il est par contre difficile d'intégrer ce paramètre dans le calcul de prédiction du taux d'upset. Conscients des erreurs induites par le programme de test, [Kog85 - Eld88] les auteurs ont introduit une approche différente du calcul du taux d'upset, dans laquelle ils définissent une courbe $\sigma = f(LET)$ pour chaque EM. Puis, est déterminé un taux d'occupation de l'EM. Ce taux est définie comme le rapport de la durée entre l'initialisation et l'observation de l'EM sur la durée totale de la boucle programme. La section efficace corrigée du circuit est obtenue par la formule $\sigma_T = \sum \sigma_i f_i$, où f_i est le taux d'occupation ("duty factor"). L'évaluation théorique obtenue de la section efficace a été corrélée avec un bon résultat à la section efficace mesurée.

Cette méthode aurait toute son efficacité s'il était possible de déterminer le taux d'occupation des EM dans le cadre du programme d'application. Mais de tels programmes peuvent comporter de nombreuses combinaisons de primitives de séquençement (boucles, sauts conditionnels, ...) rendant inextricable une analyse du taux d'occupation.

IV - 4. PRESENTATION D'UNE METHODE DE TEST D'UPSETS POUR CIP

Nous avons développé une méthode de test d'upsets de CIP, comportant les phases suivantes :

- **Analyse de l'ensemble des points utilisateurs.**

Cette étude permet de déterminer les moyens d'initialiser et d'observer les EM. Cette phase d'analyse est fondamentale et a des influences sur l'architecture de la carte d'interface ainsi que sur la stratégie de test.

- **Application d'une stratégie de détection / localisation.**

La contrainte de localisation implique une activation semi-statique. A chaque EM sera associée une valeur d'initialisation choisie pour faciliter la localisation (valeurs différentes pour chaque registre pour distinguer les erreurs de sélection). Le programme de test peut contenir plusieurs modules, séparant ainsi les EM à accès direct de ceux à accès indirect qui, suite à un upset, peuvent entraîner un écrasement des valeurs de test et donc une perte de détection.

- **Détermination d'une "cartographie" des sensibilités par EM**

Du fait de l'effort de localisation, il est possible d'établir le nombre d'upsets pour chaque EM. Cette capacité permet de mettre en évidence les éléments mémoire les plus sensibles, information qui peut être exploitée par le concepteur ou même le programmeur. A condition, de connaître la structure et le nombre des points mémoire, une estimation plus complète de la section efficace du circuit peut être obtenue en associant à chaque type d'EM, la moyenne des sections efficaces pour les EM de même structure.

Cette méthodologie possède la lacune de ne pas appliquer une stratégie plus "dynamique". La faible capacité du testeur à détecter les déséquences pénalise une activation dynamique d'un CIP du type microprocesseur. Cependant, la méthode semi-statique proposée, qui est un mode de fonctionnement dégradé pour des CIP, a l'avantage de pouvoir s'appliquer à tous types de circuits programmables, minimisant l'influence du programme de test dans le résultat final. De ce fait, des corrélations de résultats entre des circuits équivalents sont possibles.

IV - 5. CONCLUSION ET PERSPECTIVES

Nous avons procédé à l'inventaire des moyens de test pour des circuits intégrés programmables, ainsi qu'à la présentation des différentes approches du test d'upsets. L'équipement de test adopté (testeur FUTE-8) et la méthodologie de test appliquée ont permis d'atteindre la plupart des objectifs définis dans l'introduction :

- **Adaptabilité** : Une grande variété de CIP peuvent s'interfacer au testeur par l'intermédiaire d'une carte personnalisée. La méthode de test s'adapte à l'ensemble des CIP, du fait de sa simplicité.
- **Efficacité** : Le développement matériel se limite à créer un environnement minimal comprenant l'accès à une mémoire de test. La durée de développement, variable suivant la complexité de la carte, n'atteint toutefois pas le trimestre. La capacité de définir les séquences de test en langage assembleur et les outils d'aide au développement d'assembleurs croisés permettent la concentration de l'effort sur le développement des différentes stratégies de test, sans avoir une longue étape de mise en oeuvre.

- **Convivialité** : La conception des cartes d'interface n'implique pas des connaissances spécifiques (interfaçage avec un bus mémoire). L'opérateur accède aux commandes par l'intermédiaire d'un logiciel de communication incluant des écrans menu.
- **Transportabilité** : Le testeur FUTE-8 est de faible dimension et le logiciel de communication a été implanté sur PC, matériel très largement diffusé.

Cependant, le testeur FUTE-8 possède plusieurs limitations :

- champ d'application limité à des circuits à chemin de données 8 bits,
- faible contrôlabilité du DUT,
- matériel prototypique unique.

C'est pourquoi, nous avons développé un second testeur, appelé FUTE-16. Ce testeur conserve la même philosophie :

- DUT actif
- Définition haut niveau des programmes de test
- Carte d'interface avec un bus mémoire.

L'architecture de FUTE-16 est donnée figure 58.

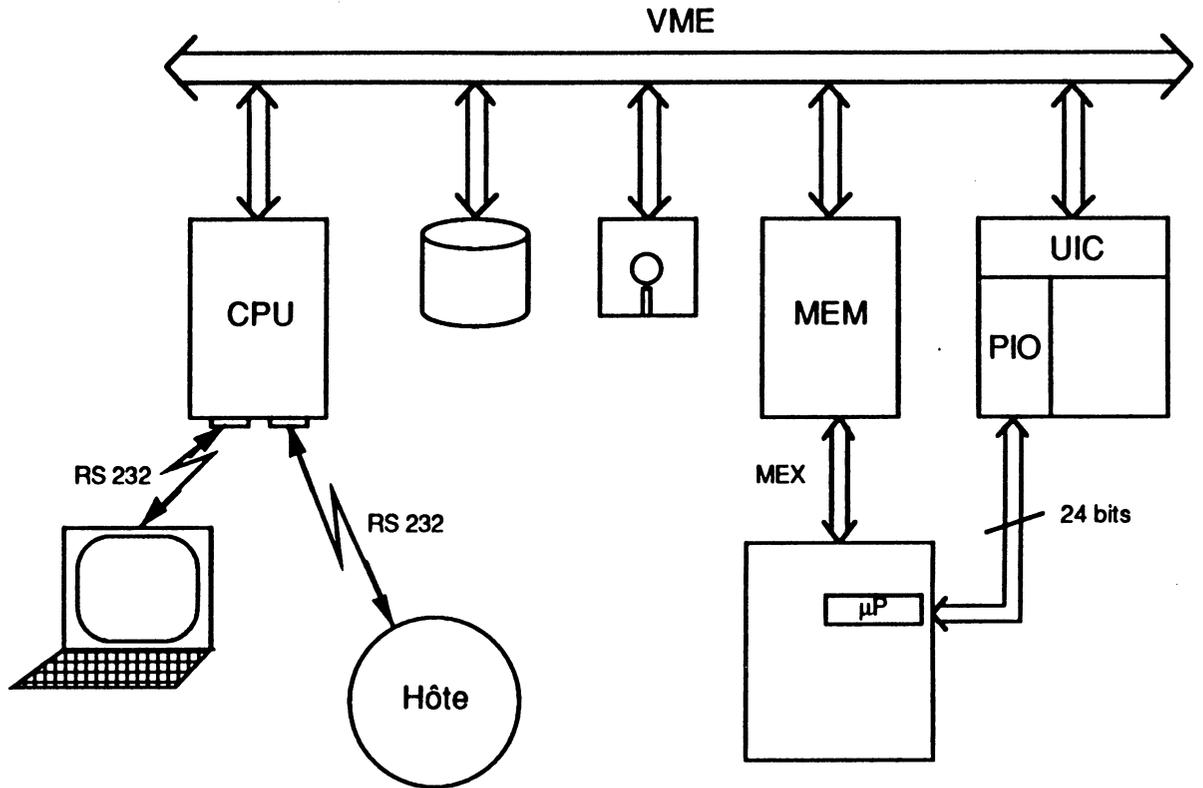


Figure 58 :

Architecture du testeur FUTE-16.

La capacité de test s'étend à des composants à chemin de données 16 et 32 bits. La contrôlabilité du DUT, mieux assurée à travers 24 lignes parallèles, sera renforcée par un comparateur d'adresses implanté sur la carte mémoire. Cet équipement, déjà fonctionnel, sera utilisé pour le test aux ions lourds du microprocesseur PACE 1750 en Décembre 1989.

TROISIEME PARTIE

RESULTATS EXPERIMENTAUX

I - INTRODUCTION

Dans cette troisième partie, sont exposés les résultats expérimentaux concernant trois aspects de recherche de cette thèse :

- Validation de l'approche :

A l'aide de circuits représentatifs de la famille des circuits intégrés programmables, des essais ont été menés avec l'équipement de test FUTE-8. Les résultats obtenus sont comparés à des résultats disponibles dans la littérature

- Influence de paramètres de test :

Pour une meilleure compréhension du phénomène d'upset, nous nous sommes attachés à déterminer des corrélations éventuelles entre la sensibilité mesurée et les paramètres suivants :

- la nature de la stratégie de test,
- la fréquence de fonctionnement du DUT,
- la dose reçue par le DUT.

- Comparaison des simulateurs aux ions lourds :

Dans la 2^e partie, ont été exposés les avantages et inconvénients des deux simulateurs d'ions lourds : le Californium et le cyclotron de Berkeley. Si le cyclotron est certainement l'outil le plus efficace pour obtenir une caractérisation complète d'un composant au phénomène d'upset, des travaux ont été menés pour rendre plus efficace les équipements avec une source de Californium [Ste84 - Map85]. A partir des différents résultats d'essais au cyclotron et au Cf^{252} , des éléments de discussion seront exposés concernant l'utilisation du Cf^{252} comme simulateur d'ions lourds.

II - PRESENTATION DES RESULTATS DE TEST

II - 1. CIRCUITS TESTES

Ces circuits appartiennent à la famille des CIP. Le choix a été motivé par :

- la demande du CNES, certains de ces circuits sont des circuits candidats à des applications spatiales (80C31, 82C54) ;
- l'absence dans la littérature d'informations sur la sensibilité aux upsets de certains circuits, tel le contrôleur de ROM 2910 qui appartient à la famille des microprocesseurs en tranche 2900 ;
- le nombre important de résultats disponibles, à l'inverse du cas précédent, le 2901 est certainement l'un des circuits étalon dans le domaine des SEU. C'est donc un bon exemple pour la corrélation des différentes méthodes de test ;
- la variété technologique, plusieurs technologies ont été testés : TTL, NMOS, CMOS.

La figure 59 présente les circuits retenus. Une description plus complète des ces composants est disponible en annexe.

circuit	type	techno.	datecode	fabr.	nombre de bit utilisateur
Am2901B	P.O. en tranche de 4 bits	LS/TTL	-	AMD	68
Am2901C		ECL	8650	"	"
TS2901BMC		LS/TTL	8734	TS	"
TS2901CMC		ECL	8734	"	"
Am2910DC	μ séquenceur de ROM	TTL	8606	AMD	87
TS2910		TTL	8546	TS	"
EF6821CM	interface parallèle interface série	NMOS	8733	TS	48
EF6850CM		NMOS	-	"	32
82C54	timer 3x16 bits	CMOS bulk	8733	HARRIS	192
		CMOS épi	8735		
80C31	μ contrôleur	CMOS épi	-	MHS	153

AMD : Advanced Micro Devices

MHS : Matra Harris Semiconductors

TS : Thomson Semiconductors

Figure 59 :

Liste des composants testés.

II - 2. RESULTATS OBTENUS AU CALIFORNIUM

Les conditions et séquences de test, ainsi que les résultats détaillés ont fait l'objet de plusieurs rapports d'essais [Pro87bis - Pro87ter - Pro88]. La synthèse de ces résultats est présentée sur la figure 60 sous la forme employée dans les publications IEEE Transactions on Nuclear Science. Les valeurs de section efficace sont les moyennes des sections efficaces mesurées à travers plusieurs échantillons (en général, les tests ont été fait avec 2 ou 3 échantillons d'un même circuit). La section efficace par bit est le rapport de la section efficace globale par le nombre de bit testés.

circuits	techno.	fabricant	nombre de bits testés	section efficace par circuit (en cm ²)	section efficace par bit (10 ⁻⁸ cm ²)
1 TS2901BMC	LS/TTL	TS	68	1.8 10 ⁻³	2700
2 Am2901B	"	AMD	68	2.1 10 ⁻³	3000
3 TS2901CMC	ECL	TS	68	1.6 10 ⁻³	2400
4 Am2901C	"	AMD	68	1.5 10 ⁻³	2200
5 Am2910DC	TTL	AMD	87	7.0 10 ⁻⁴	800
6 TS2910	"	TS	87	7.0 10 ⁻⁴	800
7 EF6821CM	NMOS	TS	48	1.9 10 ⁻⁴	240
8 EF6850CM	"	TS	32	1.2 10 ⁻⁴	370
9 82C54	CMOS épi	HARRIS	172	1.2 10 ⁻⁴	40
10	CMOS bulk	"	172	0.7 10 ⁻⁴	70
11 80C31	CMOS épi	MHS	153	1.7 10 ⁻⁴	110
			1024	1.2 10 ⁻³	120

Figure 60 :

Sections efficaces mesurées à l'aide de la source de Californium du DERTS.

Remarques :

- Pour les composants provenant de différents fondeurs, il n'existe pas ou peu de différence dans la sensibilité aux SEU.
- Les circuits d'une même famille ont des sensibilités par bit équivalentes. Dans le cas du 2910, le rapprochement doit plutôt se faire avec le 2909 (section efficace donnée en figure 61), qui est aussi un micro-séquenceur.
- Deux valeurs de section efficace du microcontrôleur 80C31 sont données. L'une concerne la sensibilité des registres internes (SFR), l'autre la RAM interne de 128x8 bits. On constate une sensibilité par bit égale.

Dans le but de corréliser ces résultats, la figure 61 présente l'ensemble des résultats publiés sur les mêmes circuits ou des circuits de même famille. Ces

résultats ont été obtenus, soit par Cf^{252} , soit par un accélérateur (dans ce cas, les sections efficaces indiquées sont celles qui ont été mesurées à des LET supérieurs à 20 MeV/mg/cm²).

	circuits	fabricant	bits	organisme	moyen de test	section efficace par circuit (en cm ²)	section efficace par bit (10 ⁻⁸ m ²)
a	Am2901B	AMD	64	(1)	Tandem	3.6 10 ⁻³	5600
b	"	"	"	(2)	Cf252	2.7 10 ⁻³	4200
c	"	"	"	(3)	Cyclo.	3.0 10 ⁻³	4600
d	Am2901C	AMD	"	(1)	Tandem	1.6 10 ⁻³	2500
e	"	"	"	(3)	Cyclo.	4.0 10 ⁻³	6200
f	TS2901CMC	TS	"	(2)	Cf252	2.3 10 ⁻³	3600
g	2909	AMD	46	(2)	"	3.7 10 ⁻⁴	800
h	TS2909	TS	"	(2)	"	3.8 10 ⁻⁴	820
i	6800	Motorola	70	(4)	Cyclo.	2.5 10 ⁻⁴	350
j	80C31	MHS	-	(5)	Cf252	1.3 10 ⁻⁴	
k	(CMOS épi) 80C86	HARRIS	600	(3)	Cyclo.	4.0 10 ⁻³	600
l	(CMOS épi)		"	(2)	Cf252	-	400
m	82C59A (CMOS épi)	"	30	(2)	"	2.5 10 ⁻⁵	80

(1) CEA/DAM [Ler86]

(3) JPL [Nic85]

(5) MHS [Cor88]

(2) ESTEC [Har88]

(4) AEROSPACE [Kog85]

Figure 61 :

Liste des sections efficaces publiées dans la revue IEEE TNS.

Les résultats obtenus sont cohérents avec ceux déjà publiés. Cependant, plusieurs remarques peuvent être faites :

- L'écart entre (2 - b) et (3 - f) est constant d'un facteur 1.5. Ceci peut s'expliquer par le fait que la source DERTS ne dispose pas d'un décompte en temps réel du flux d'ions émis. Une approximation est donnée à partir de la

caractéristique de la source à sa fabrication, corrigée par la courbe de vieillissement du Cf^{252} , et de la variation de l'angle solide (voir annexe : flux en fonction de la distance source-circuit).

- Si la famille 6800 semble homogène (7 - 8 - i), il existe une grande différence de sensibilité entre le microprocesseur 80C86 (k - l) et ses périphériques (9 - 10 - m). Une interpolation de la sensibilité d'un circuit à partir de la sensibilité connue d'un circuit de même famille peut conduire à une estimation erronée, si la structure interne des deux circuits n'est pas topologiquement équivalente.
- Les valeurs de section efficace obtenues à l'aide d'un accélérateur sont supérieures à celles obtenues avec une source de Cf^{252} .

II - 3. RESULTATS AUX PROTONS

Ces tests avaient pour but d'étudier la faisabilité du test d'upsets induits par un flux de protons produit par l'accélérateur SATURNE [Bui89]. C'est pourquoi, nous présentons uniquement à titre indicatif les valeurs obtenues pour le 80C31. D'autres résultats sont disponibles en [Bui89].

En fait, le flux produit par SATURNE au moment des essais était un flux de deutons (1 proton + 1 neutron) d'énergie 2 GeV, avec une fluence de 10^8 deutons par cm^2 .

technologie		section efficace (10^8cm^2)	section efficace par bit (10^{-10}cm^2)
CMOS épi 8 μm	lot 1	0.88	8.6
	lot 2	0.4	3.9
CMOS épi 10 μm	lot1	0.64	6.25
	lot2	1.14	11.15

Figure 62 :

Résultats de test aux deutons de deux lots de 80C31.

II - 4. RESULTATS OBTENUS AVEC LE CYCLOTRON DE BERKELEY

Parmi les circuits testés au Cf252, quatre ont été complètement caractérisés à l'aide du cyclotron 88" du LBL à Berkeley. Ces circuits sont donnés en figure 63.

circuit	fabricant	date code	masque	technologie
Am 2910 DC	AMD	8530	3710 C	TTL
EF 6821 CM	TS	8705	-	NMOS
82C54	HARRIS	8733	1862	CMOS épi
80C31	MHS	-	2301	CMOS épi

Figure 63 :

Liste des circuits caractérisés au cyclotron.

Différents types d'ions étaient disponibles :

- N (azote) 60 MeV
- Ne (neon) 90 MeV
- Ar (argon) 180 MeV
- Kr (krypton) 360 MeV

Les valeurs de LET effectif induits par ces ions vont de 3 à 80 MeV/mg/cm².

Pour chaque circuit, les figures 64 à 67 donnent la table des sections efficaces et la courbe $\sigma = f(\text{LET})$ correspondante. Ces résultats ont fait l'objet de deux publications [Vel89 - Vel89bis], et deux rapports les décrivent plus en détail [Pro89 - Cha89].

LET effectif (Mev/mg/cm ²)	3	4.5	5.5	8.25	15	22.5	37
σ efficace (cm ²)	3.4 E-7	7.5 E-4	1.3 E-3	1.8 E-3	2.6 E-3	2.6 E-3	4.2 E-3

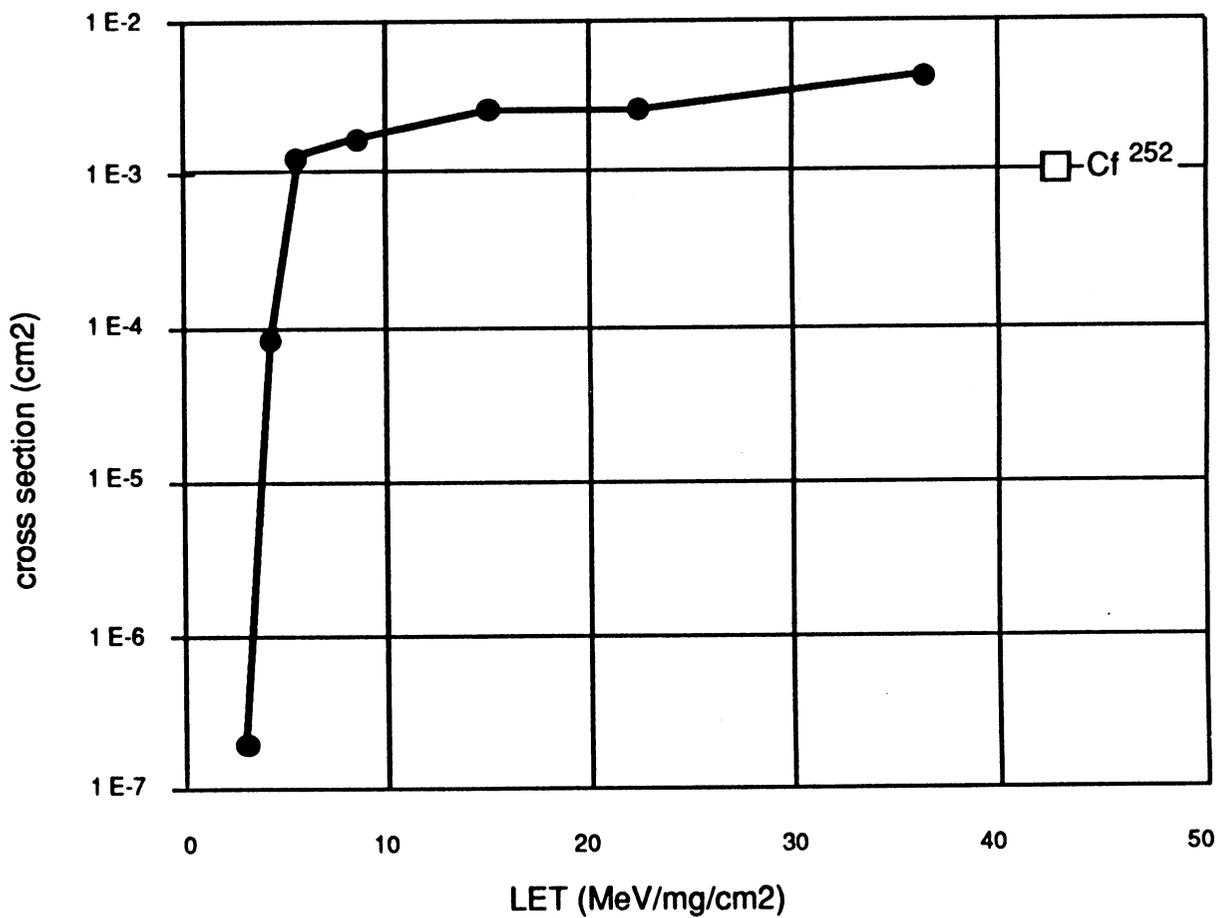


Figure 64 :

Présentation des résultats du 2910.

LET effectif (MeV/mg/cm ²)	3	5.5	6	8.25	11	15	30	37
σ efficace (cm ²)	<4 E-6	9 E-6	1.4 E-5	2.2 E-4	2.5 E-4	5.9 E-4	1.5 E-3	1.6 E-3

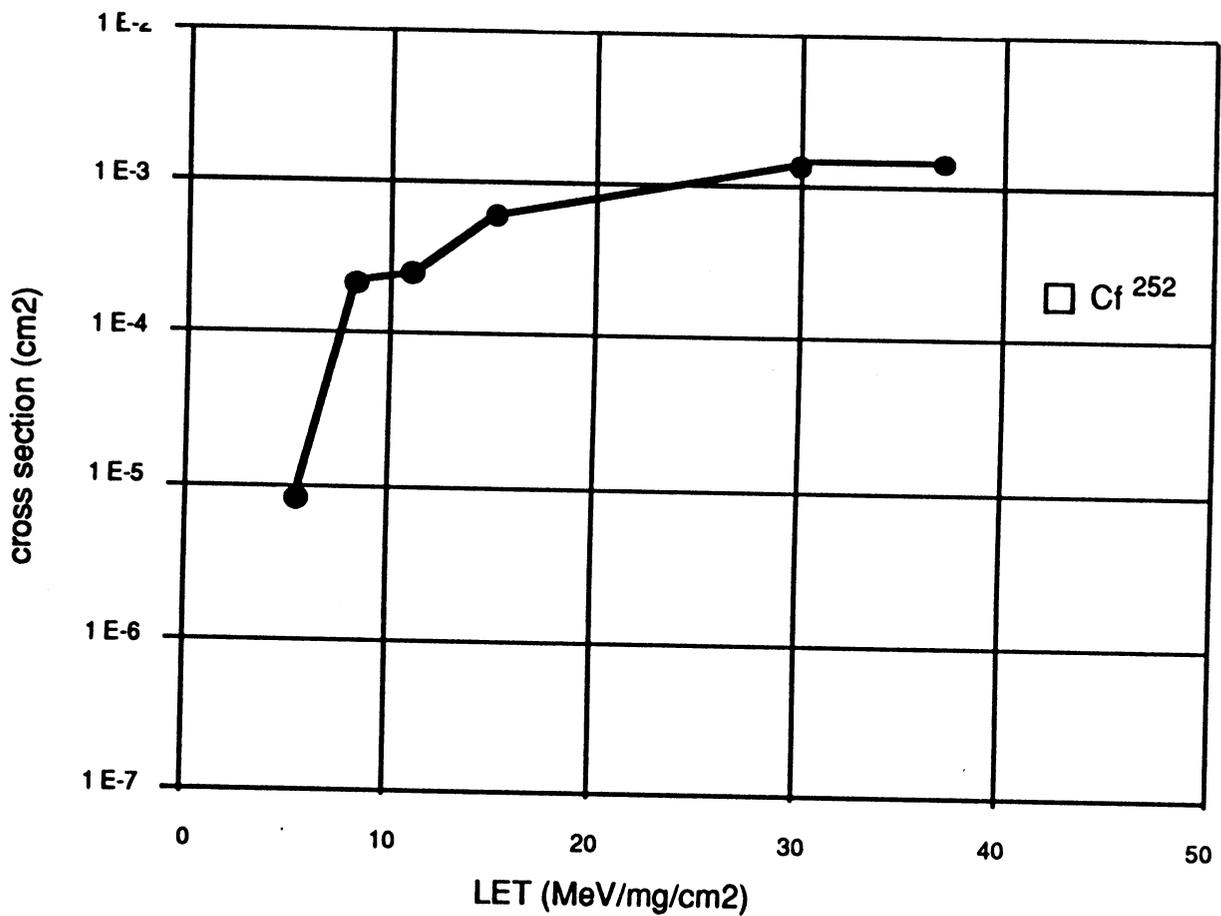


Figure 65 :
Présentation des résultats du 6821.

LET effectif (MeV/mg/cm ²)	5.5	8.25	11	15	30	37	74
σ efficace (cm ²)	<1.7 E-7	<2.6 E-7	4.3 E-7	2.3 E-5	2.5 E-4	3.9 E-4	9 E-4

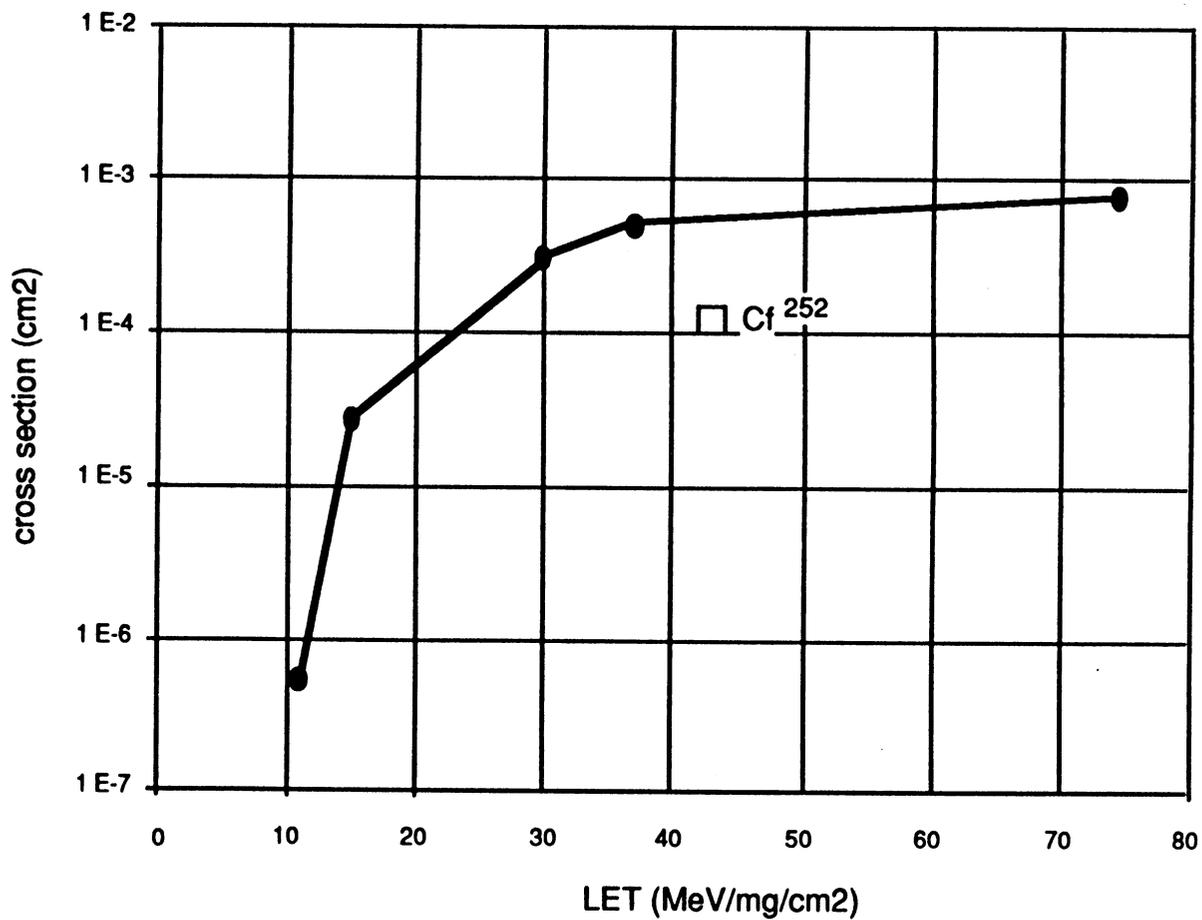


Figure 66:

Présentation des résultats du 82C54.

LET effectif (Mev/mg/cm ²)	3	4.5	5.5	8.25	37
σ efficace (cm ²)	9 E-8	3 E-7	1.3 E-4	5 E-4	1.7 E-3

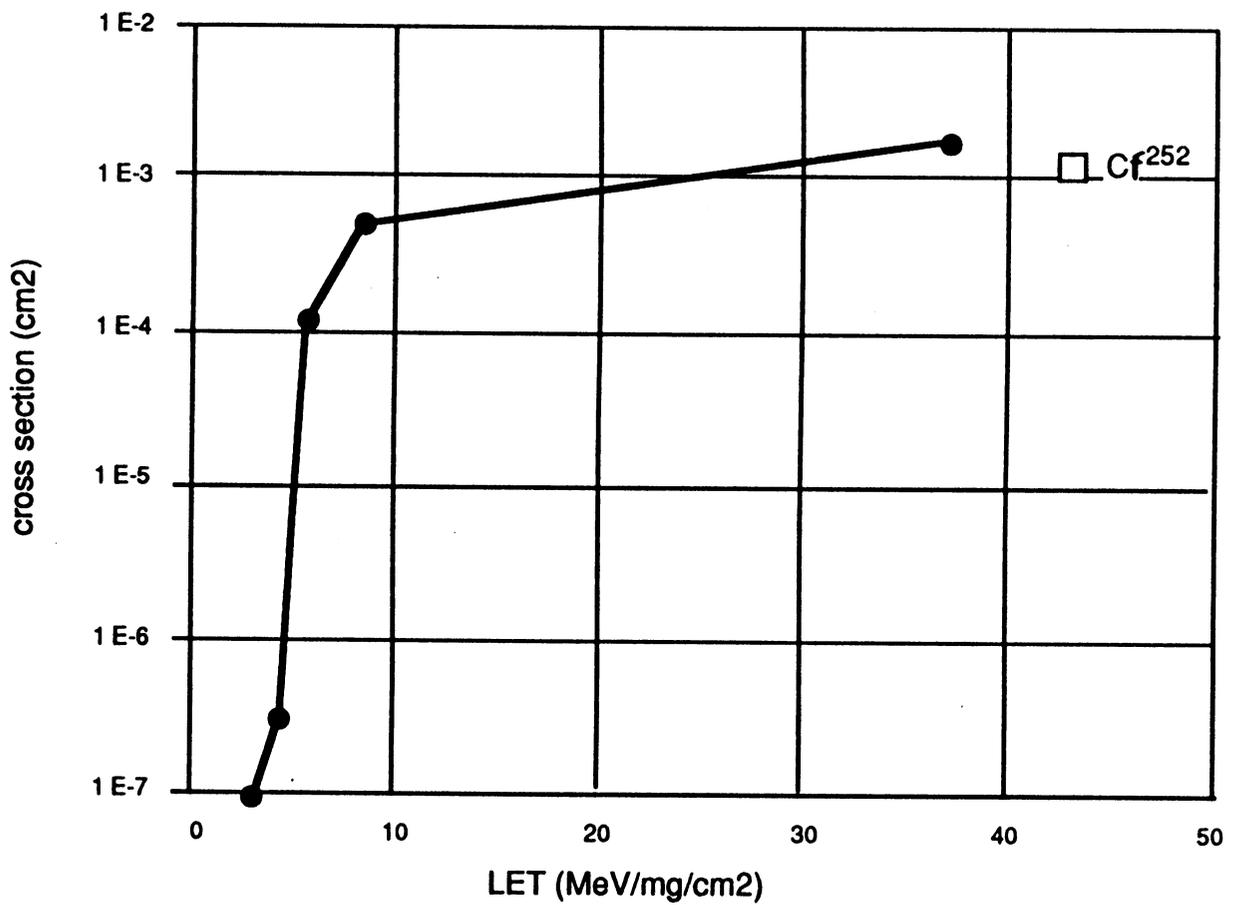


Figure 67:

Présentation des résultats du 80C31.

Remarque :

Pour de forts LET ($\geq 60 \text{ MeV/mg/cm}^2$), le 82C54 s'est avéré sensible au latch-up. Le courant de latch-up mesuré est de 230 mA (courant nominal 5 mA). Ceci confirme la sensibilité au latch-up de la technologie Harris CMOS épi 12 μm [Nic86].

A partir des courbes $\sigma = f(\text{LET})$, il est possible de faire des prédictions de taux d'événements en orbite spatiale. La figure 68 présente les estimations faites à partir des sections efficaces mesurées pour trois types d'orbite :

- orbite géostationnaire (36000 km)
- orbite polaire (800 km)
- orbite des vols habités (500 km)

circuit		Période d'apparition d'un upset (jour)			
		2910	6821	82C54	80C31 (RAM)
36000 km	Max	26	225	9 ans	166
	Moy	17.5	155	4 ans	73
	Min	13	119	2.5 ans	47
800 km 97°	Max	113	1152	71 ans	782
	Moy	71	770	26 ans	335
	Min	52	578	16 ans	213
500 km 28°	Max	1103	32 ans	906 ans	22 ans
	Min	717	22 ans	311 ans	9 ans
	Moy	531	8.5 ans	187 ans	6 ans

Figure 68 :

Estimations du taux de SEU pour les orbites géostationnaire, polaire, et vols habités.

Ce calcul ne tient compte que des événements induits par les ions lourds du rayonnement cosmique. Pour les orbites basses, les protons piégés induisent aussi

par effet indirect des upsets, ce qui suppose d'autres tests (tests aux protons avec Saturne) ou calcul [Bio89].

III - ETUDE DE LA VARIATION DE LA SENSIBILITE AUX SEU EN FONCTION DE PARAMETRES DE TEST

Cette étude a pour objet de montrer les influences de paramètres de test sur la valeur de section efficace mesurée. Les paramètres concernent :

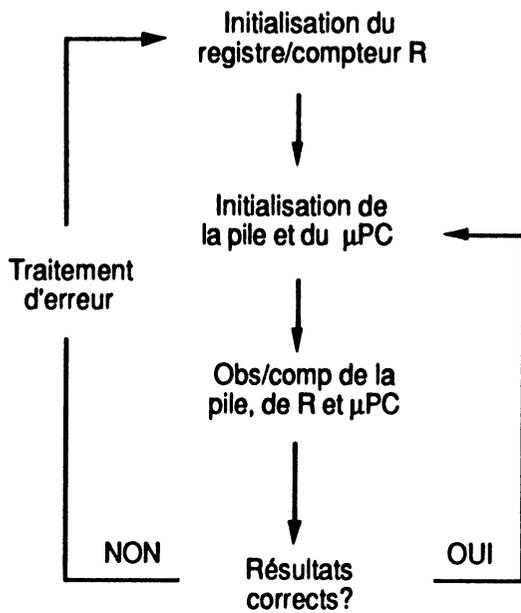
- les séquences de test,
- la fréquence de fonctionnement du DUT,
- la dose reçue par le DUT,
- le sens de basculement.

III - 1. INFLUENCE DE LA SEQUENCE DE TEST

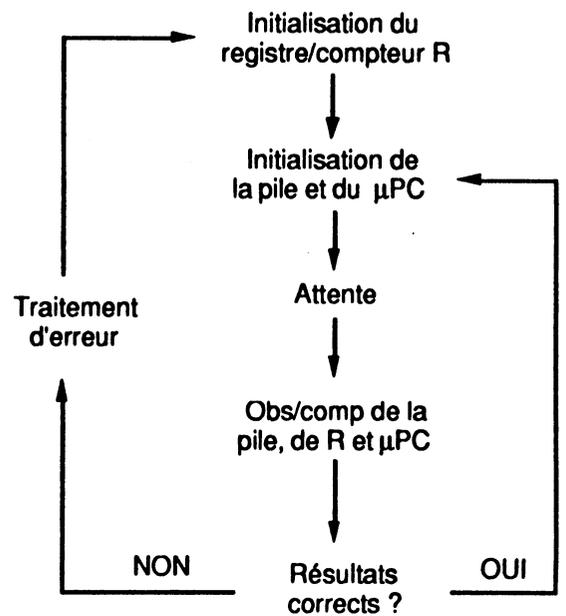
Pour illustrer les propos de la 2^e partie concernant l'influence de la séquence de test sur les résultats, deux exemples sont présentés ci-après :

a) le 2910

Les figures 69 et 70 donnent les organigrammes des tests appliqués. Les valeurs d'initialisation sont identiques.

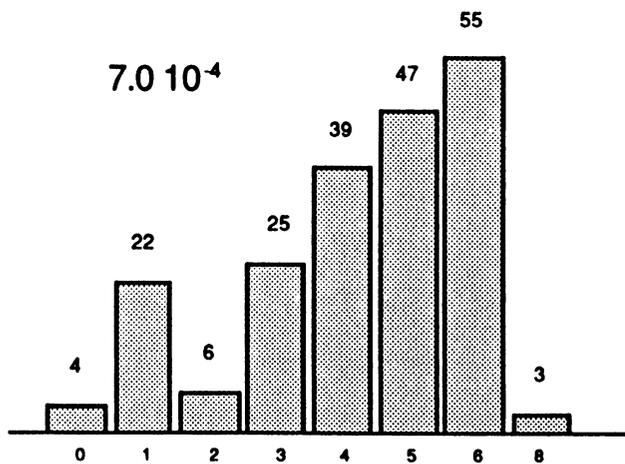
**Figure 69 :**

séquence de test V1 du 2910.

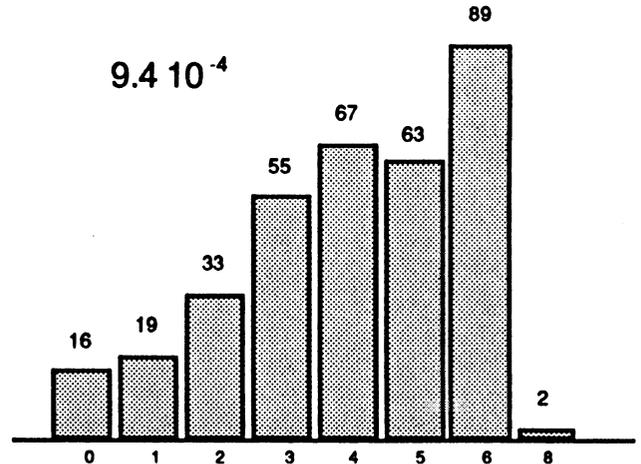
**Figure 70 :**

*séquence de test V2 du 2910
avec une boucle d'attente.*

Les figures 71 et 72 donnent sous forme d'histogrammes, le nombre d'upsets par registre pour les séquences V1 et V2. On constate une variation d'un facteur 1,3 ; cet écart est peu important du fait de l'attente relativement courte (16 cycles machine sur 37 pour la boucle totale).

**Figure 71 :**

*Histogramme des résultats obtenus
avec la séquence de test V1.*

**Figure 72 :**

*Histogramme des résultats obtenus
avec la séquence de test V2.*

b) le 2901

Les organigrammes, donnés en figure 73 et 74, diffèrent par la réécriture systématique des registres.

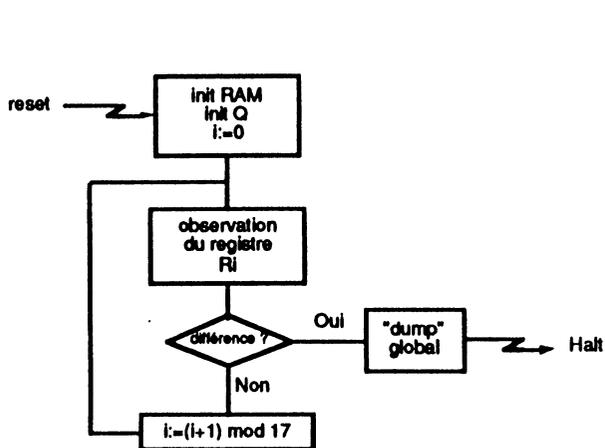


Figure 73 :

séquence de test V1 du 2901.

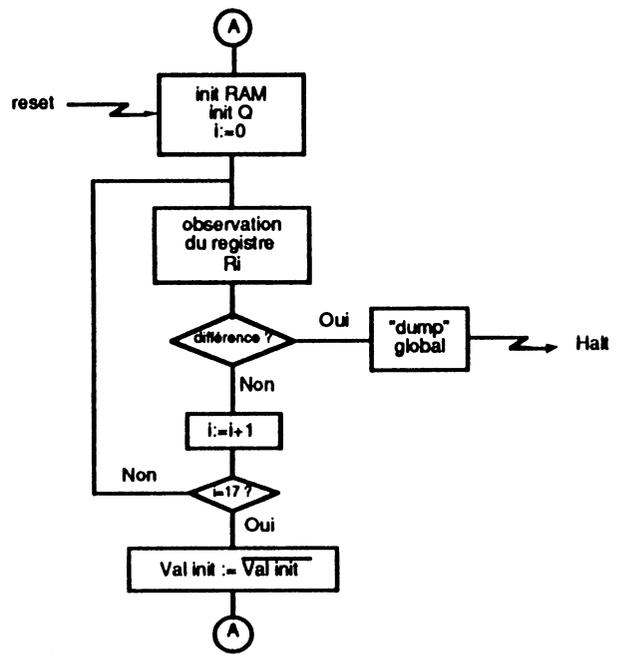


Figure 74 :

séquence de test V2 du 2901.

Comme le montre la figure 75, la section efficace obtenue pour V2 est deux fois inférieure à celle obtenue par V1.

séquence de test	nombre d'upsets	section efficace (10^{-3}cm^2)
V1	206	1.8
V2	101	0.9

Figure 75 :

Sections efficaces du 2901 obtenues par les séquences V1 et V2.

III - 2. INFLUENCE DE LA VITESSE DE FONCTIONNEMENT DU DUT

Cette étude a été faite sur le 2901. Bien que la gamme des fréquences utilisables soit dans l'expérience limitée par l'éloignement du circuit de son environnement de test, la sensibilité aux SEU paraît indépendante de ce paramètre (figure 76).

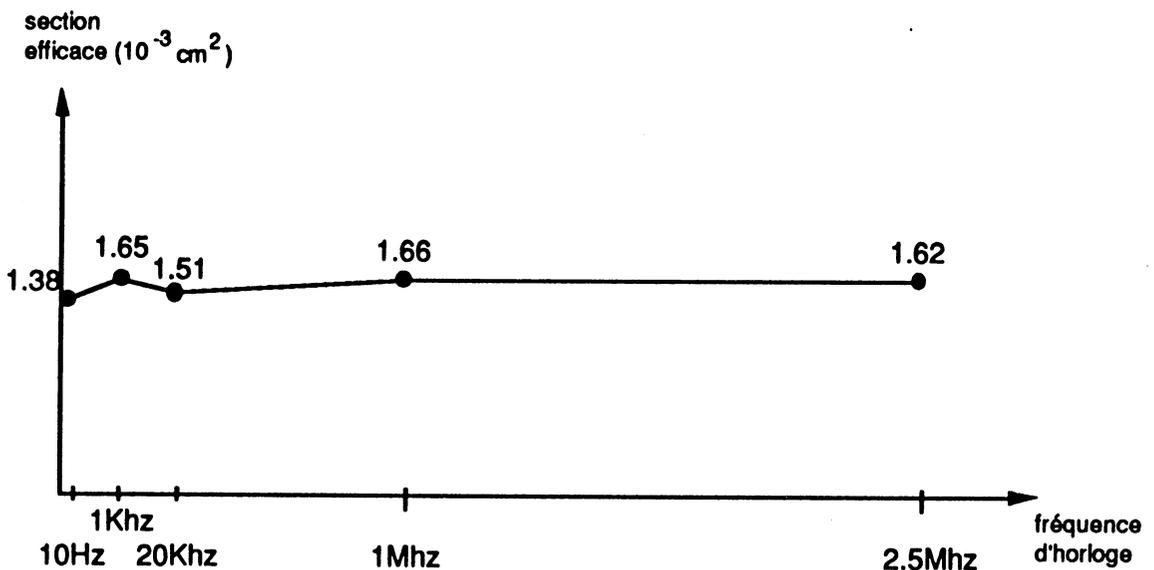


Figure 76 :

Variation de la section efficace en fonction de la fréquence de travail du DUT (2901).

A partir de ce résultat, le critère portant sur la fréquence de travail du DUT devient secondaire dans le choix de la philosophie de test "DUT actif / DUT passif" (voir 2^e partie III - 1.1.c).

III - 3. INFLUENCE DE LA DOSE RECUE

Etant donnée la composition du flux cosmique, l'étude de l'influence de la dose reçue sur la sensibilité aux SEU permet d'établir une éventuelle corrélation entre les phénomènes de doses cumulées et d'upset. L'étude a été menée sur le 2910, avec

des doses de 5, 11.5 et 33.5 krad. A chaque étape, le circuit est testé avec trois séquences appelées V1, V2, V3.

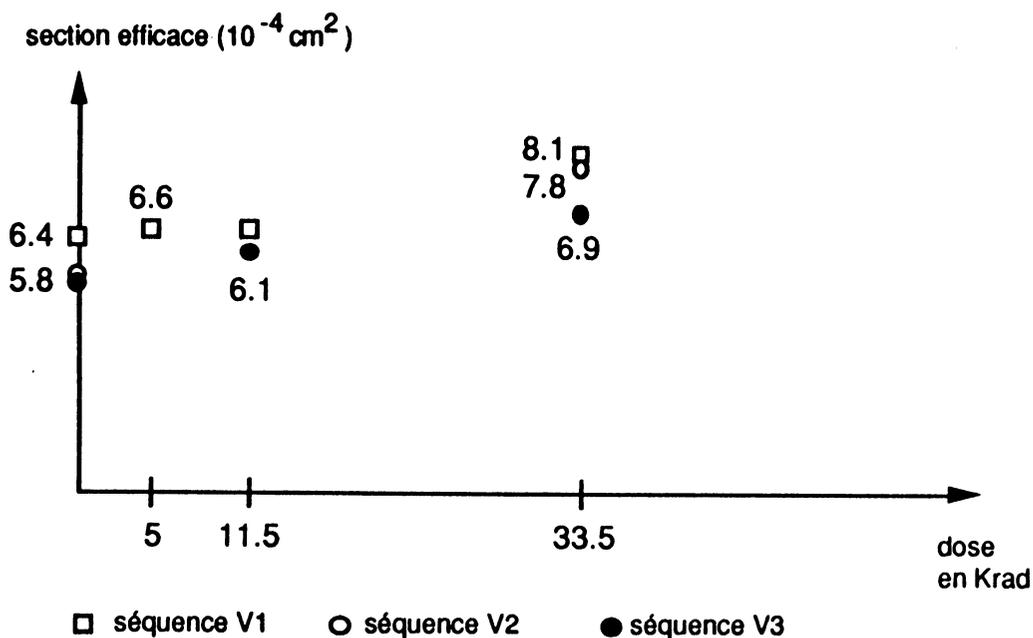


Figure 77:

Courbe de sensibilité aux SEU du 2910 à différentes doses.

On observe une faible augmentation de la section efficace pour une dose de 33.5 Krad. Une étude similaire [San87] menée sur des RAM statiques 4Kx1 CMOS conclue à une stabilité de la section efficace pour des doses de 0 à 11 krad. Toutefois, des écarts peuvent intervenir dans le cas où l'évaluation est effectuée à un LET proche du LET seuil [Knu83 - Cam84], ce qui n'est pas le cas de l'exemple (LET seuil $< 3 \text{ MeV/mg/cm}^2$ et $\text{LET Cf}^{252} \sim 43 \text{ MeV/mg/cm}^2$).

III - 4. SENS DE BASCULEMENT

S'inscrivant dans la recherche d'une meilleure connaissance du phénomène d'upset, des statistiques concernant le sens de basculement des éléments mémoire testés ont été établies pour l'ensemble des circuits testés. Cette information permet

de connaitre l'influence de la programmation sur la sensibilité du circuit, en cas de déséquilibre en faveur d'un sens de basculement.

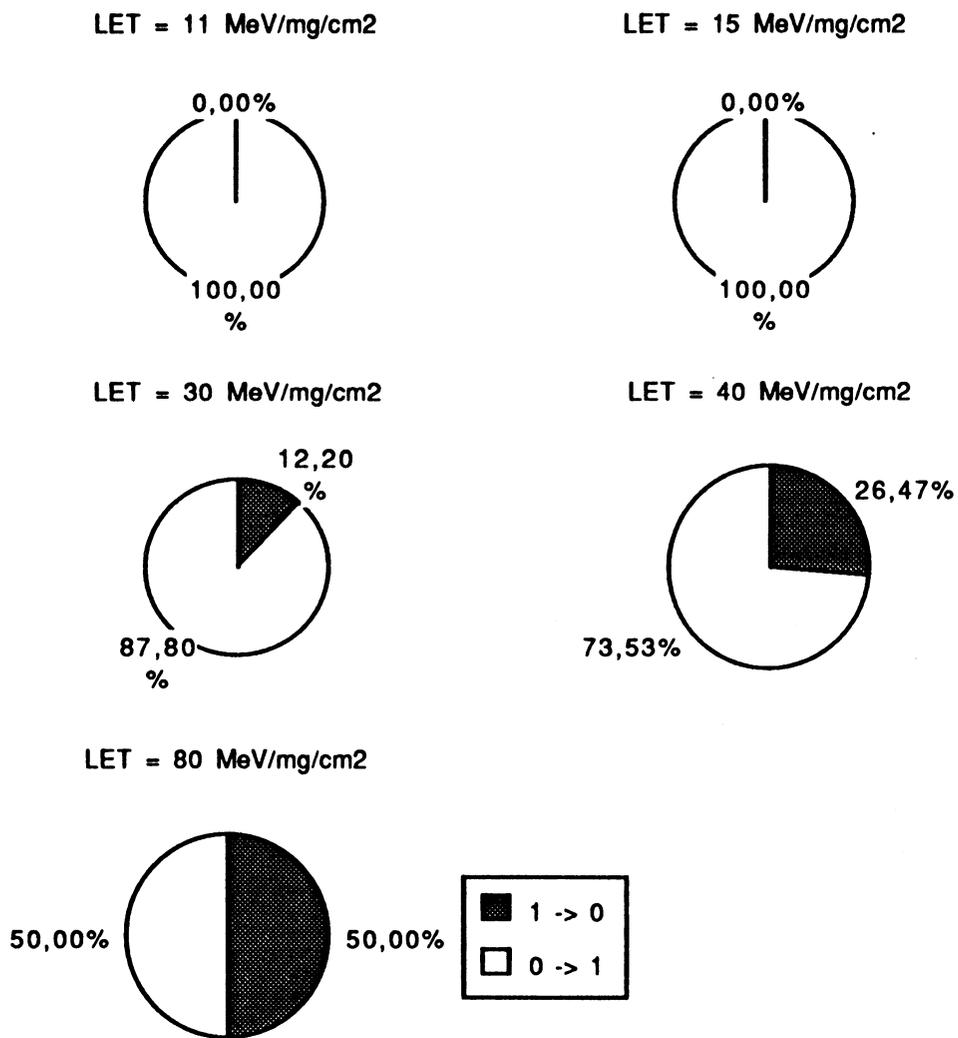


Figure 78 :

Variation du sens de basculement en fonction du LET (82C54). A l'initialisation, il y a équirépartition des "0" et "1".

IV - COMPARAISON ENTRE LES ESSAIS AU CALIFORNIUM ET AU CYCLOTRON [Vel89]

Depuis les 5 dernières années, les équipements utilisant une source de Cf^{252} sont proposés comme alternative aux accélérateurs de particules dans l'évaluation de la sensibilité aux ions lourds de composants électroniques [Bla85 - Ste84]. L'utilisation du Cf^{252} pour l'évaluation de circuit aux SEU ou SEL nécessite quelques précautions concernant la variation de LET envisageable à partir du LET moyen de 43 MeV/mg/cm^2 [Bla85]. Le LET minimal préconisé est de 20 MeV/mg/cm^2 , et 45 MeV/mg/cm^2 pour le LET maximal. De ce fait, un composant pourra être complètement caractérisé si le LET seuil est compris entre ces deux valeurs et la section efficace de saturation est atteinte avec l'une de ces valeurs.

Des résultats sur des mémoires ont montrés une bonne corrélation entre des essais à l'accélérateur et au Californium [Bro89]. Mais, ces résultats sont discutables car l'ion utilisé à l'accélérateur est le Br 140 MeV qui possède une faible pénétration dans le Silicium, tout comme les ions émis par le Cf^{252} .

A partir des résultats obtenues avec l'équipement du DERTS et avec le cyclotron 88" du LBL, une comparaison quantitative sur quatre circuits a pu être effectuée. En figure 79, sont rappelées les valeurs des sections efficaces obtenues à l'aide des deux équipements. Les conditions de test lors des deux campagnes d'essais ont été identiques :

- circuits appartenant au même lot,
- même équipement de test (FUTE-8),
- même séquence de test appliquée.

circuit	σ Cf252 (cm ²)	ion	LET (MeV/mg/cm ²)	σ (cm ²)	ratio
AMD 2910	1 10 ⁻³	Kr 360 MeV	37	4.2 10 ⁻³	4.2
TSC 6821	1.9 10 ⁻⁴	Kr 360 MeV	37	1.6 10 ⁻³	8.4
MHS 80C31	1.2 10 ⁻³	Kr 360 MeV	37	1.7 10 ⁻³	1.4
HAR 82C54	1.2 10 ⁻⁴	Kr 360 MeV	37	0.9 10 ⁻³	7.5

Figure 79 :

Tableau des sections efficaces mesurées au Californium et au cyclotron (LET = 37 MeV/mg/cm²) pour les circuits 2910, 6821, 82C54, 80C31.

Ces résultats montrent que la section efficace de saturation n'est pas atteinte avec le Cf²⁵². Ceci remet en cause la validité du Cf²⁵² comme source de particule à haut LET et s'oppose à la corrélation établie entre le système CASE et le Tandem [Ste84]. Les différences observées (facteur 1.4 à 8.4) peuvent s'expliquer par la faible pénétration des ions émis par le Cf²⁵². Un calcul de dépôt d'énergie dans les différentes couches du circuit 80C31 a été entrepris en [Vel89]. Ce calcul révèle qu'un tiers de l'énergie initiale des ions émis par le Cf²⁵² est déposé dans les couches supérieures (3.6 μ m d'épaisseur). Etant donné l'importance de cette perte d'énergie, le Cf²⁵² est d'autant moins efficace que les zones sensibles sont profondes.

De plus, la limitation de la profondeur de pénétration empêche l'étude sérieuse du phénomène d'aspiration de charges (funneling). L'activité limitée de la source de Californium permet difficilement de mesurer des sections efficaces inférieures à 10⁻⁶ cm² (durée de test trop importante).

CONCLUSION ET PERSPECTIVES

Le test aux ions lourds de circuits intégrés programmables soulève plusieurs problèmes, d'une part le choix d'un simulateur des flux rencontrés dans l'espace et d'un environnement de test et d'autre part le développement et l'application d'une stratégie de test.

Pour chacun de ces problèmes, nous avons montrés les avantages et inconvénients des solutions généralement proposées.

- Au niveau du simulateur de l'environnement spatial, on notera essentiellement que l'utilisation d'une source de Californium pour déterminer la sensibilité aux ions lourds d'un composant est limitée du fait de la faible pénétration des ions émis (caractérisation incomplète de la courbe $\sigma = f(\text{LET})$, détermination difficile, voire impossible du LET seuil, section efficace des saturation pas toujours atteinte).

A l'aide d'un accélérateur de particules, le circuit testé est complètement caractérisé, mais le coût d'utilisation des ces équipements entraîne une limitation de leur emploi.

A l'inverse, le faible coût d'utilisation du Californium permet d'obtenir une plus grande masse d'informations et d'établir de meilleures statistiques. Ce qui en fait un bon moyen de tri de composants avant une caractérisation complète à l'aide d'un accélérateur.

- Au niveau de l'environnement de test, on doit retenir qu'un testeur dans lequel le circuit étudié est "passif", permet une totale contrôlabilité du test, mais entraîne un temps de développement important d'une séquence d'essai.

Par contre dans le cas où le circuit évalué est "actif", l'écriture de séquences de test est aisée, des développements matériels (carte d'interface testeur-circuit étudié) sont nécessaires et des dispositifs spécifiques de détection et contrôle dans le cas de déséquencement du circuit sous test doivent être prévus.

- Au niveau de la séquence de test des stratégies différentes donnent des résultats de section efficaces différentes (jusqu'à un facteur 10). Celles que nous avons proposées intègrent la possibilité de localisation du point mémoire affecté, afin d'affiner le calcul de la section efficace globale du circuit.

Une méthode et un équipement de test ont été définis permettant l'évaluation sous flux d'ions lourds d'une grande variété de circuits intégrés, avec un minimum de développement matériel, et une grande souplesse dans le changement de stratégie de test.

La réalisation d'une version industrielle de cet équipement, actuellement en cours de validation, permettra de répondre aux demandes concernant les nouveaux composants 16 et 32 bits (68000, 80286, norme ISA 1750), dans un délai raisonnable (2 ou 3 mois).

Toutefois, une étude complémentaire doit être menée dans le cas des circuits de conception ASIC. Ceux-ci, déjà demandés pour des applications spatiales, sont des cas particuliers de circuits programmables, regroupant parfois plusieurs centaines de fonctions sur une même puce. Les ASIC posent des problèmes d'interface (boîtiers pouvant atteindre plusieurs centaines de broches). Cependant, une meilleure connaissance de la structure interne de ces circuits, permettra une meilleure adaptabilité des séquences de test à la structure du circuit.

BIBLIOGRAPHIE

- [Ada86] J.H. Adams
"Cosmic rays effects on microelectronics : part IV"
NASA Research Lab., rapport 5901, Dec. 1986
- [All85] J.H. Allen
"NGDL spacecraft anomaly data base and solar terrestrial activity"
Spacecraft anomaly workshop, Boulder, Oct. 1985
- [Bel85] C. Bellon, E. Kolokithas, R Velazco
"Le systeme GAPT : une chaîne de test pour microprocesseurs"
L'Onde Electrique, Vol65 no6, Nov.1985
- [Bek81] Y. Bekkers
"Le système GAGE : un générateur d'assembleurs croisés pour microprocesseurs"
Doc. GIS Mini-micro, Grenoble, 1981
- [Bio89] T. Bion
"Modélisation des effets singuliers induits dans les composants électroniques par les protons rapides de l'environnement spatial"
Thèse de Docteur de l'ENSAE, Toulouse, Oct 1989.
- [Bin75] D. Binder, E.C. Smith, A.B. Holman
"Satellite anomalies from galactic cosmic rays"
IEEE NS-22, no6, Dec. 1975, p 2675
- [Bla85] J.T. Blandford, J.C. Pickel
"Use of Cf252 to determine parameters for SEU rate calculation"
IEEE NS-32, no6, Dec 1985, p 4282

- [Bou86] J. Bourrieau
"Irradiations - Doses Cumulées - Ions Lourds"
Cours de technologie spatiale, CNES, Mars 86, p 569
- [Bou88] J. Bourrieau
"Irradiations - Doses Cumulées - Ions Lourds"
Cours de technologie spatiale, CNES, Mars 88, p 597
- [Bro89] J.S. Browning
"Single event correlation between heavy ions and Cf252 fission fragments"
NSRE Conference, Marco Island, Juil.1989 (à paraître dans IEEE NS Dec. 1989)
- [Bue86] M.G. Buehler, R.A. Allen
"Analytical method for predicting CMOS SRAM upset with application to asymmetrical memory cells"
IEEE NS-33, no6, Dec. 1986
- [Bui89] J. Buisson
"Tests de mémoire sur les faisceaux du synchrotron SATURNE expériences sur les protons et les deutons"
RADECS, Sept. 1989
- [Cam84] A.B. Campbell, W.J. Stapor
"The total dose dependance of the single event upset sensitivity of IDT static RAMs"
IEEE NS-31, no6, Dec. 1984, p 1175

- [Cha89] T. Chapuis
CNES, rapport CT-DAP-QA-CE-89-088, Fev. 89
- [Cha89bis] T. Chapuis
CNES, rapport CT-DAP-QA-CE-89-295, Juil. 1989
- [Che84] D.L. Chenette, W.F. Dietrich
"The solar flare ion in environment for single event upsets - A summary of observations over the last solar cycle 1973-1983"
IEEE NS-31, no6, Dec. 1984, p 1217
- [Cla86] D.J. Clark
"The LBL 88-inch cyclotron operating with an ECR source"
10th National Conference On Particle Accelerators, Dubna USSR,
Oct. 1986
- [Cor88] T. Corbière
"80C31 radiation test results"
rapport MHS, Nantes, Doc. 14, Sept. 1988
- [Cun84] S.S. Cunningham
"Cosmic rays, single event upsets and things that go bump in the night"
The Annual Rocky Mountain Guidance and Control Conference,
Keystone, Fev. 1984, p 433
- [Cus85] J. Cusick, R. Koga, W.A. Kolasinski, C. King
"SEU vulnerability of the Zilog Z80 and NSC microprocessor"
IEEE NS-30, no6, Dec. 1983, p 4206

- [Dal88] E. Daly
"The evaluation of space radiation environment for ESA projects"
ESA journal, Vol. 12, 1988, p 229
- [Die83] S.E. Diehl, J.E. Vinson
"Considerations for single event immune VLSI logic"
IEEE NS-30, no6, Dec. 1983
- [Eld88] J.H. Elder, J. Osborn, W.A. Kolasinski, R. Koga
"A method for characterizing a microprocessor's vulnerability to SEU"
IEEE NS-35, no6, Dec. 1988, p 1678
- [Har88] R.L. Harboe-Sorensen, L. Adams, T.K. Sanderson
"A summary of SEU test results using Californium 252"
IEEE NS-35, no6, Dec. 1988, p 1622
- [Knu83] A.R. Knudson, A.B. Campbell, E.C. Hammond
"Dose dependance of single event upset rate in MOS DRAMs"
IEEE NS-30, no6, Dec. 1983, p 4508
- [Kog85] R. Koga, W.A. Kolasinski, M.T. Marra, WA. Hanna
"Techniques of microprocessor testing and SEU rate prediction"
IEEE NS-32, no6, Dec. 1985
- [Kol79] W.A. Kolasinski, J.B. Blake, J.K. Anthony, W.E. Price, E.C. Smith
"Simulation of cosmic ray-induced soft errors and latch-up in integrated-circuit computer memories"
IEEE NS-26, no6, Dec. 1979

- [Ler86] J.L. Leroy, O. Musseau, Y. Patin
"Vulnerabilité et modes de défaillances des technologies CMOS sur saphir ou sur isolant en ambiance nucléaire ou spatiale"
5è colloque international de fiabilité et de maintenabilité, 1986, p 692
- [Li84] K.W. Li, R. Armstrong, J.G. Tront
"A HDL simulation of the effects of single event upsets on microprocessor program flow"
IEEE NS-31, no6, Dec. 1984
- [Map85] D. Mapper, T.K. Sanderson, J.H. Stephen, J. Farren, L. Adams, R. Harboe-Sorensen
"An experimental study of the effect of absorbers on the LET of the fission particles emitted by Cf252"
IEEE NS-32, no6, Dec. 1985, p 4276
- [Mey74] P.M. Meyer, R. Ramaty, W.R. Webber
"Cosmic rays - Astronomy with energetic particles"
Physic Today, Oct. 1974, p 23
- [Nic85] D.K. Nichols, W.E. Price, R. Koga, W.A. Kolasinski, J.C. Pickel, J.T. Blandford, A.E. Waskiewicz
"Trends in parts susceptibility to single event upset from heavy ions"
IEEE NS-32, no6, Dec. 1985, p 4189
- [Nic86] D.K. Nichols et al
"Discovery of heavy ions induced latch-up in CMOS epi devices"
IEEE NS-33, no6, Dec. 1986

- [Pet82] E.L. Petersen
"Calculation of cosmic rays induced soft upsets and scaling in VLSI devices"
IEEE NS-29, no6, Dec. 1982
- [Pet83] E.L. Petersen
"Single event upset in space : basic concepts"
Tutorial short course, IEEE 1983 NSRE Conference, Juil. 1983
- [Pic83] J.C. Pickel
"Single event upsets mechanism and predictions"
Tutorial short course, IEEE 1983 NSRE Conference, Juil. 1983
- [Pro87] A. Provost-Grellier, R. Velazco
"Stratégie de validation de circuits intégrés "intelligents" destinés à des applications spatiales"
3è colloque international, La qualité des composants électroniques,
Bordeaux, Mars 1987, p 232
- [Pro87bis] A. Provost-Grellier, R. Velazco
Rapport de contrat, Mai 1987
- [Pro87ter] A. Provost-Grellier, M. Mahrous, R. Velazco
"Etude du test aux ions lourds des circuits 2901 et 2910 et mise en oeuvre du test de circuits périphériques du microprocesseur 68000"
Rapport de contrat, Sept. 1987

- [Pro88] A. Provost-Grellier, R. Velazco
"Rapport des essais aux ions lourds de circuits périphériques 82C52 et 82C54"
Mai 1988
- [Pro89] A. Provost-Grellier, R. Velazco
"Rapport des essais au cyclotron de Berkeley des circuits 80C31, 2910, 6821 et 82C54"
Janv. 1989
- [San87] T.K. Sanderson, D. Mapper, J.H. Stephen, J. Farren, L. Adams, R. Harboe-Sorensen
"SEU measurements using Cf252 fission particles on CMOS static RAMs, subjected to a continuous period of low dose rate Co60 irradiation"
IEEE NS-34, no6, Dec. 1987
- [Ste84] J.H. Stephen, T.K. Sanderson, D. Mapper, J. Farren, R. Harboe-Sorensen, L. Adams
"A comparison of heavy ion sources used in cosmic ray simulation studies of VLSI circuits"
IEEE NS-31, no6, Dec. 1984, p 1069
- [Vel82] R. Velazco
"Test comportemental de microprocesseurs"
Thèse de Docteur-Ingénieur, INPG Grenoble, Mars 1982

- [Vel88] R. Velazco, A. Provost-Grellier
"Techniques de test aux ions lourds de VLSI programmables"
Cours de technologie spatiale, CNES, Mars 88, p 689
- [Vel89] R. Velazco, A. Provost-Grellier, T. Chapuis, M. Labrunee,
D. Falguère, R. Koga
"Comparison between Californium and cyclotron SEU tests"
27th NSRE Conference, Marco Island, Juil. 1989 (à paraître IEEE NS-
36, Dec. 1989)
- [Vel89bis] R. Velazco, A. Provost-Grellier
*"Comparaison entre les tests d'ions lourds sous Californium et au
cyclotron"*
RADECS, Sept. 1989
- [Ven87] J.L. Venturin
"Comportement des composants VLSI soumis aux ions lourds"
CNES, Avril 1987
- [Tha80] S.M. Thatte, J.A. Abraham
"Test generation for microprocessors"
IEEE C-29, no6, Juin 1980
- [Wal62] J.T. Wallmark, S.M. Marcus
*"Minimum size and maximum packing density of non-redundant
semiconductor devices"*
Proceedings of the IRE, 1962, p 286

[Zul84]

R. Zuleeg, J.K. Notthof, D.K. Nichols

"SEU of complementary GaAs static RAM due to heavy ions"

IEEE NS-31, no6, Dec. 1984

ANNEXES

ANNEXE 1

Flux d'ions lourds émis par la source de Californium du DERTS en fonction de la distance source - circuit sous test à la date d'octobre 1988.

D (cm)	ions/cm ² /s	ions/cm ² /h	D (cm)	ions/cm ² /s	ions/cm ² /h
4.00	25.72	92610	12.00	2.86	10290
4.25	22.79	82035	12.25	2.74	9874
4.50	20.33	73173	12.50	2.63	9483
4.75	18.24	65674	12.75	2.53	9115
5.00	16.46	59270	13.00	2.44	8768
5.25	14.93	53760	13.25	2.34	8440
5.50	13.61	48984	13.50	2.26	8130
5.75	12.45	44817	13.75	2.18	7837
6.00	11.43	41160	14.00	2.10	7560
6.25	10.54	37933	14.25	2.03	7297
6.50	9.74	35071	14.50	1.96	7048
6.75	9.03	32521	14.75	1.89	6811
7.00	8.40	30240	15.00	1.83	6586
7.25	7.83	28190	15.25	1.77	6371
7.50	7.32	26342	15.50	1.71	6168
7.75	6.85	24670	15.75	1.66	5973
8.00	6.43	23153	16.00	1.61	5788
8.25	6.05	21771	16.25	1.56	5611
8.50	5.70	20509	16.50	1.51	5443
8.75	5.38	19354	16.75	1.47	5281
9.00	5.08	18293	17.00	1.42	5127
9.25	4.81	17318	17.25	1.38	4980
9.50	4.56	16418	17.50	1.34	4838
9.75	4.33	15587	17.75	1.31	4703
10.00	4.12	14818	18.00	1.27	4573
10.25	3.92	14104	18.25	1.24	4449
10.50	3.73	13440	18.50	1.20	4329
10.75	3.56	12822	18.75	1.17	4215
11.00	3.40	12246	19.00	1.14	4105
11.25	3.25	11708	19.25	1.11	3999
11.50	3.11	11204	19.50	1.08	3897
11.75	2.98	10733	19.75	1.06	3799

ANNEXE 2

documentation technique des circuits testés.

- **le microprocesseur en tranche de 4 bits 2901 ;**
- **le microséquenceur de ROM (4K mots) 2910 ;**
- **l'interface parallèle PIA 6821 ;**
- **l'interface série/parallèle ACIA 6850 ;**
- **le timer 82C54 ;**
- **le microcontrôleur 80C31.**

Am2901 • Am2901A • Am2901B

Four-Bit Bipolar Microprocessor Slice

DISTINCTIVE CHARACTERISTICS

- Two-address architecture – Independent simultaneous access to two working registers saves machine cycles.
- Eight-function ALU – Performs addition, two subtraction operations, and five logic functions on two source operands.
- Flexible data source selection – ALU data is selected from five source ports for a total of 203 source operand pairs for every ALU function.
- Left/right shift independent of ALU – Add and shift operations take only one cycle.
- Four status flags – Carry, overflow, zero, and negative.
- Expandable – Connect any number of Am2901's together for longer word lengths.
- Microprogrammable – Three groups of three bits each for source operand, ALU function, and destination control.
- Fast – Am2901B is up to 27% faster than Am2901A, up to 50% faster than Am2901. The Am2901B meets or exceeds all of the specifications for the Am2901 and Am2901A.

TABLE OF CONTENTS

Block Diagrams	6-11
Function Tables	6-12
Order Codes	6-14
Connection Diagram	6-15
Pin Definitions	6-15
Metallization Pattern	6-15
DC Characteristics	6-17
Switching Characteristics	6-18
Speed Calculations	6-21
I/O Interface Conditions	6-23
Test Circuits	6-24
Burn-In Circuit	6-25
Applications	6-26

For applications information see the last part of this data sheet and chapters III and IV of *Bit Slice Microprocessor Design*, Mick & Brick, McGraw Hill Publications.

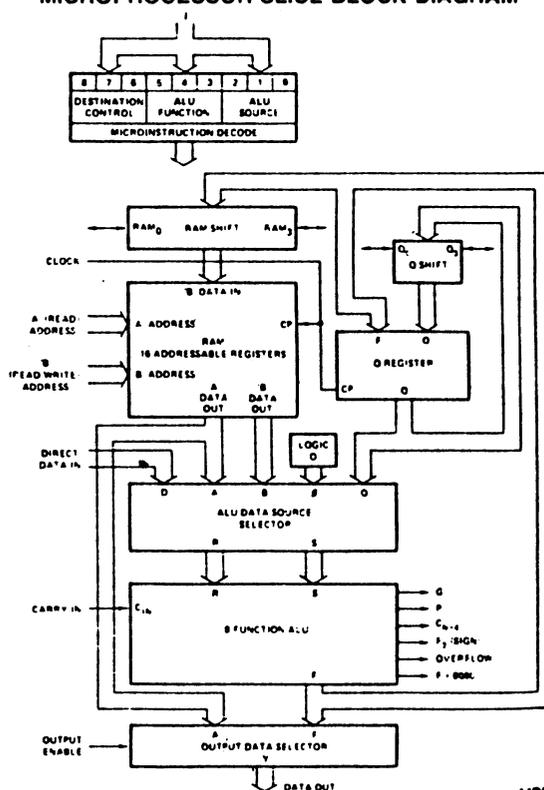
GENERAL DESCRIPTION

The four-bit bipolar microprocessor slice is designed as a high-speed cascadable element intended for use in CPU's, peripheral controllers, programmable microprocessors and numerous other applications. The microinstruction flexibility of the Am2901 will allow efficient emulation of almost any digital computing machine.

The device, as shown in the block diagram below, consists of a 16-word by 4-bit two-port RAM, a high-speed ALU, and the associated shifting, decoding and multiplexing circuitry. The nine-bit microinstruction word is organized into three groups of three bits each and selects the ALU source operands, the ALU function, and the ALU destination register. The microprocessor is cascadable with full look-ahead or with ripple carry, has three-state outputs, and provides various status flag outputs from the ALU. Advanced low-power Schottky processing is used to fabricate this 40-lead LSI chip.

The Am2901B is a plug-in replacement for the Am2901 or Am2901A, but is 25% faster than the Am2901A and 50% faster than the Am2901.

MICROPROCESSOR SLICE BLOCK DIAGRAM



Am2910

Microprogram Controller

DISTINCTIVE CHARACTERISTICS

- **Twelve Bits Wide**
Address up to 4096 words of microcode with one chip. All internal elements are a full 12 bits wide.
- **Internal Loop Counter**
Pre-settable 12-bit down-counter for repeating instructions and counting loop iterations.
- **Four Address Sources**
Microprogram Address may be selected from microprogram counter, branch address bus, 5-level push/pop stack, or internal holding register.
- **Sixteen Powerful Microinstructions**
Executes 16 sequence control instructions, most of which are conditional on external condition input, state of internal loop counter, or both.
- **Output Enable Controls for Three Branch Address Sources**
Built-in decoder function to enable external devices onto branch address bus. Eliminates external decoder.
- **All Registers Positive Edge-triggered**
Simplifies timing problems. Eliminates long set-up times.
- **Fast Control from Condition Input**
Delay from condition code input to address output only 21ns typical.

GENERAL DESCRIPTION

The Am2910 Microprogram controller is an address sequencer intended for controlling the sequence of execution of microinstructions stored in microprogram memory. Besides the capability of sequential access, it provides conditional branch to any microinstruction within its 4096-microword range. Last-in, first-out stack provides microsubroutine return links and looping capability; there are five levels of nesting of microsubroutines. Microinstruction loop count control is provided with a count capacity of 4096.

During each microinstruction, the Microprogram controller provides a 12-bit address from one of four sources: 1) the microprogram address register (μ PC), which usually contains an address one greater than the previous address; 2) an external (direct) input (D); 3) a register/counter (R) retaining data loaded during a previous microinstruction; or 4) a five-deep last-in, first-out stack (F).

For a detailed discussion of this architectural approach to microprogram control units, refer to "The Microprogramming Handbook", an AMD applications publication.

Am2910 BLOCK DIAGRAM

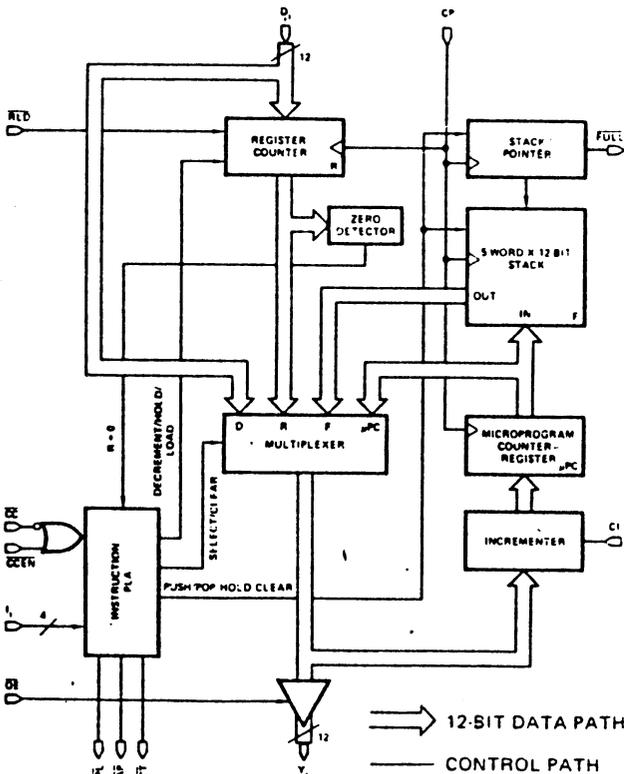


Figure 1.

MPR-106

TABLE OF CONTENTS

Block Diagram	6-15
Ordering Information	6-15
Pin Connections	6-15
Instruction Codes	6-15
DC Characteristics	6-16
AC Characteristics	6-16
Test Circuits	6-16
Microcomputer Architecture	6-16
Instruction Explanations	6-16
Alternative System Architecture	6-16

For applications information, see Chapter II of *Bit Slice Microprocessor Design*, Mick & Brick, McGraw Hill Publications.

EFCIS



Circuits Intégrés MOS THOMSON-EFCIS

mosmos

mosmos

mosmos

EF6821

(1 MHz)

EF68A21

(1,5 MHz)

EF68B21

(2 MHz)

INTERFACE ADAPTATEUR POUR PERIPHERIQUES

Le circuit EF6821 fournit un moyen universel d'interface des appareils périphériques avec un microprocesseur EF6800. Ce circuit interface le MPU avec les périphériques par deux bus de données 8 bits bidirectionnels et quatre lignes de contrôle. Aucune logique externe n'est nécessaire pour interfacier la plupart des périphériques.

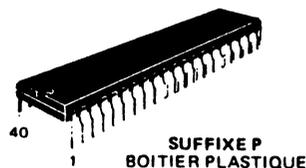
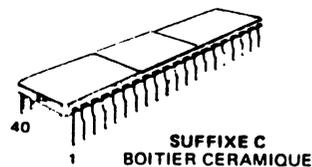
La configuration fonctionnelle du PIA est programmée par le MPU pendant l'initialisation du système. Chacune des lignes de données vers la périphérie peut être programmée pour être utilisée soit en entrée, soit en sortie, et chacune des quatre lignes de contrôle/interruption peut être programmée pour un des modes de fonctionnement possibles. Ceci permet une grande souplesse dans l'utilisation du PIA.

- Bus de données bidirectionnel vers le MPU
- 2 bus de données bidirectionnels vers la périphérie
- 2 registres de contrôle programmables
- 2 registres de sens de transfert des données
- 4 lignes d'entrées d'interruption contrôlables individuellement, dont deux utilisables comme sorties pour le contrôle de la périphérie
- Lignes 3 états (haute impédance) et commande de transistors
- Interruptions contrôlées par programme et possibilité de masquage des interruptions
- Possibilité de contrôler des circuits CMOS sur la partie A des lignes vers la périphérie
- Possibilité de commander 2 charges TTL en sortie sur les parties A et B
- Compatible TTL
- Fonctionnement statique.

MOS

GRILLE SILICIUM - CANAL N
INTERFACE ADAPTATEUR
POUR PERIPHERIQUES
(PIA)

BOITIER CB-182



Différentes versions : voir dernière page.

BROCHAGE

1	O	CA1	40
2	VSS	CA2	39
3	PA0	IRQA	38
4	PA1	IRQB	37
5	PA2	RS0	36
6	PA3	RS1	35
7	PA4	Reset	34
8	PA5	D0	33
9	PA6	D1	32
10	PA7	D2	31
11	PB0	D3	30
12	PB1	D4	29
13	PB2	D5	28
14	PB3	D6	27
15	PB4	D7	26
16	PB5	E	25
17	PB6	CS1	24
18	PB7	CS2	23
19	CS1	CS0	22
20	VCC	R/W	21

Vitesse	Circuit	Gamme de température
1.0 MHz	EF6821 C, P	0 à + 70°C
	EF6821 CV, PV	- 40 à + 85°C
Equ. MIL-STD-883B Equ. MIL-STD-883C	EF6821CMB	- 55 à + 125°C
	EF6821CMP	- 55 à + 125°C
1.5 MHz	EF68A21 C, P	0 à + 70°C
	EF68A21 CV, PV	- 40 à + 85°C
2.0 MHz	EF68B21 C, P	0 à + 70°C

EFCIS

Circuits Intégrés MOS THOMSON-EFCIS

mosmos

mosmos

mosmos

EF6850
1,0 MHz
EF68A50
1,5 MHz
EF68B50
2,0 MHz

ADAPTATEUR POUR COMMUNICATIONS ASYNCHRONES

L'ACIA EF6850 est un circuit d'interface entre le microprocesseur EF6800 et un périphérique travaillant en mode série asynchrone. Il réalise la mise au format des données et le contrôle de la transmission.

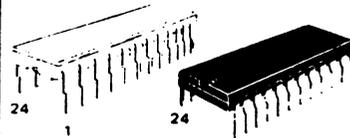
L'ACIA est relié au système par des entrées de sélection, d'horloge, la ligne de lecture/écriture, une ligne d'interruption et un bus données 8 bits bidirectionnel. La donnée parallèle est transmise et reçue en série par l'interface asynchrone avec mise au format et contrôle d'erreur. La configuration fonctionnelle de l'ACIA est programmée à travers le bus données pendant l'initialisation du système. Un registre de contrôle programmable permet de définir la longueur des mots transmis, le rapport de division des horloges, de contrôler les transmissions, les réceptions et les interruptions. Trois lignes permettent la commande d'un périphérique ou d'un modem.

- Transmission de huit ou neuf bits
- Bit de parité ou d'imparité optionnel
- Contrôles de parités, de surcharge et d'erreur de format en réception
- Registre de contrôle programmable
- Rapports de division d'horloge : 1,16 et 64
- Vitesse maximale de transmission 500 kbps
- Suppression des bits de départ intempestifs
- Fonctions de contrôle périphérique/modem
- Deux étages de registres
- Fonctionnement avec un ou deux bits d'arrêt

MOS

(CANAL N, GRILLE SI)

**ADAPTATEUR POUR
COMMUNICATIONS ASYNCHRONES
(ACIA)**

BOITIER CB-68

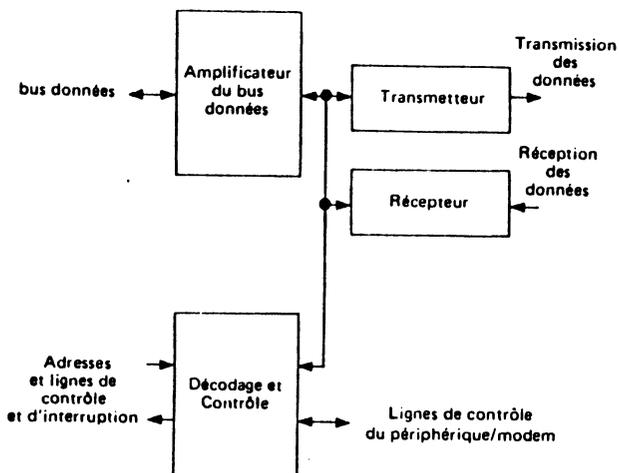
SUFFIXE C

BOITIER CERAMIQUE SUFFIXE P

BOITIER PLASTIQUE

POUR COMMANDER

Vitesse	Circuit	Gamme de température
1,0 MHz	EF6850 P	0 à +70° C
	EF6850CV PV	-40 à +85° C
	EF6850CMB	-55 à +125° C
Equ MIL STD 883B	EF6850CMB	-55 à +125° C
Equ MIL STD 883C	EF6850CMP	
1,5 MHz	EF68A50C P	0 à +70° C
	EF68A50CV PV	-40 à +85° C
2,0 MHz	EF68B50C P	0 à +70° C

SCHEMA FONCTIONNEL DE L'ACIA EF6850**BROCHAGE**

VSS	1	24	CTS
Rx Donnée	2	23	DCD
Rx Clk	3	22	D0
Tx Clk	4	21	D1
RTS	5	20	D2
Tx Donnée	6	19	D3
IRQ	7	18	D4
CS0	8	17	D5
CS2	9	16	D6
CS1	10	15	D7
RS	11	14	E
VDD	12	13	R/W



82C54

CMOS Programmable Interval Timer

Features

- Compatible with NMOS 8254
 - ▶ Enhanced Version of NMOS 8253
- 8MHz Clock Input Frequency
- Three Independent 16 Bit Counters
- Six Programmable Counter Modes
- Status Read Back Command
- Binary or BCD Counting
- Fully TTL Compatible
- Scaled SAJI IV CMOS Process
- Low Power
 - ▶ ICCSB = 10 μ A
 - ▶ ICCOP = 10mA
- Single 5V Power Supply
- Wide Operating Temperature Ranges:
 - ▶ 82C54.....0 $^{\circ}$ C to 70 $^{\circ}$ C
 - ▶ 182C54.....-40 $^{\circ}$ C to +85 $^{\circ}$ C
 - ▶ M82C54.....-55 $^{\circ}$ C to +125 $^{\circ}$ C

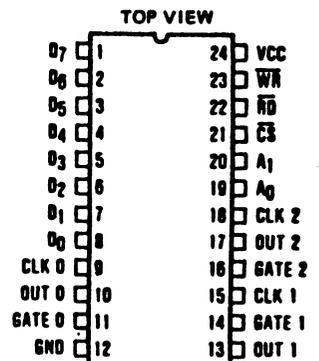
Description

The Harris 82C54 is a high performance CMOS Programmable Interval Timer manufactured using a self-aligned silicon gate CMOS process (Scaled SAJIV). The 82C54 has three independently programmable and functional 16 bit counters, each capable of handling clock input frequencies of up to 8MHz. The high speed and industry standard configuration of the 82C54 make it compatible with the Harris 80C86 and 80C88 CMOS microprocessors along with many other industry standard processors.

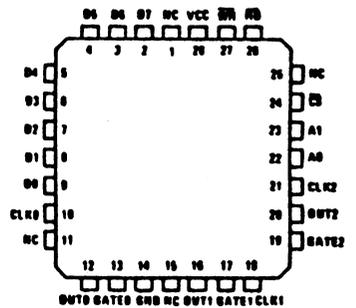
Six programmable timer modes allow the 82C54 to be used as an event counter, elapsed time indicator, programmable one-shot along with many other applications.

Static CMOS circuit design insures low operation power Harris advanced SAJI process results in a significant reduction in power with performance equal to or greater than existing equivalent products.

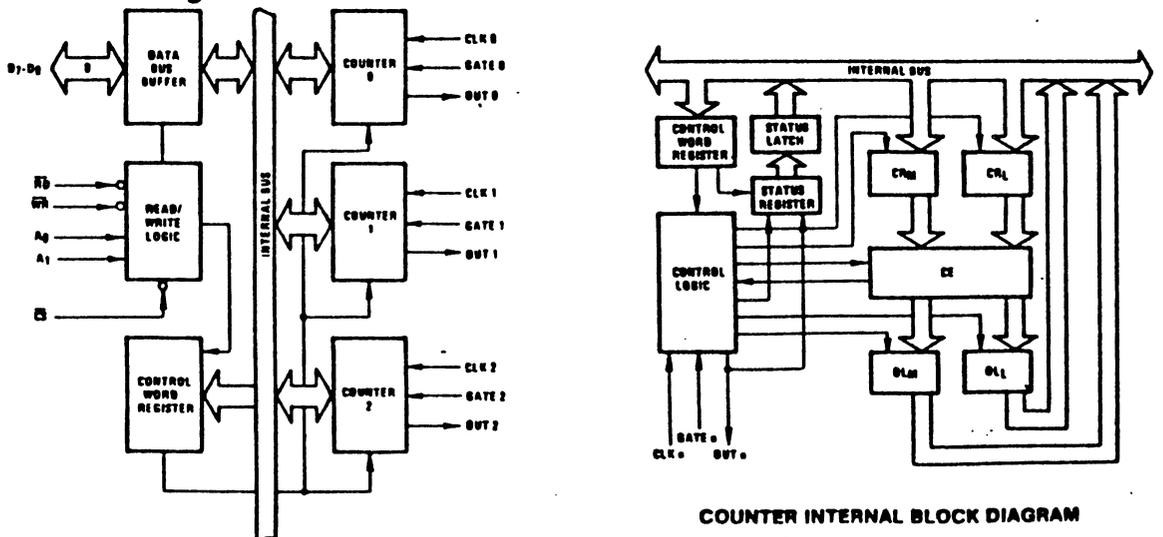
Pinouts



LCC/PLCC TOP VIEW



Functional Diagram



DATA SHEET

80C51-L / 80C31-L

CMOS SINGLE-CHIP 8 BIT 3V-MICROCONTROLLER

- 80C51-L - CMOS SINGLE-CHIP 8-BIT MICROCONTROLLER with factory mask-programmable ROM
- 80C31-L - CMOS SINGLE-CHIP 8-BIT CONTROL-ORIENTED CPU with RAM and I/O
- 80C51-L/C31-L: 0 TO 6 MHz, VCC = 2.7V TO 6V

FEATURES

- POWER CONTROL MODES
- 128 x 8 BIT RAM
- 32 PROGRAMMABLE I/O LINES
- TWO 16-BIT TIMER/COUNTERS
- 64K PROGRAM MEMORY SPACE
- FULLY STATIC DESIGN
- HIGH PERFORMANCE SAJI VI CMOS PROCESS
- BOOLEAN PROCESSOR
- 5 INTERRUPT SOURCES
- PROGRAMMABLE SERIAL PORT
- 64K DATA MEMORY SPACE
- TEMPERATURE RANGE: 0 TO 70°C

DESCRIPTION

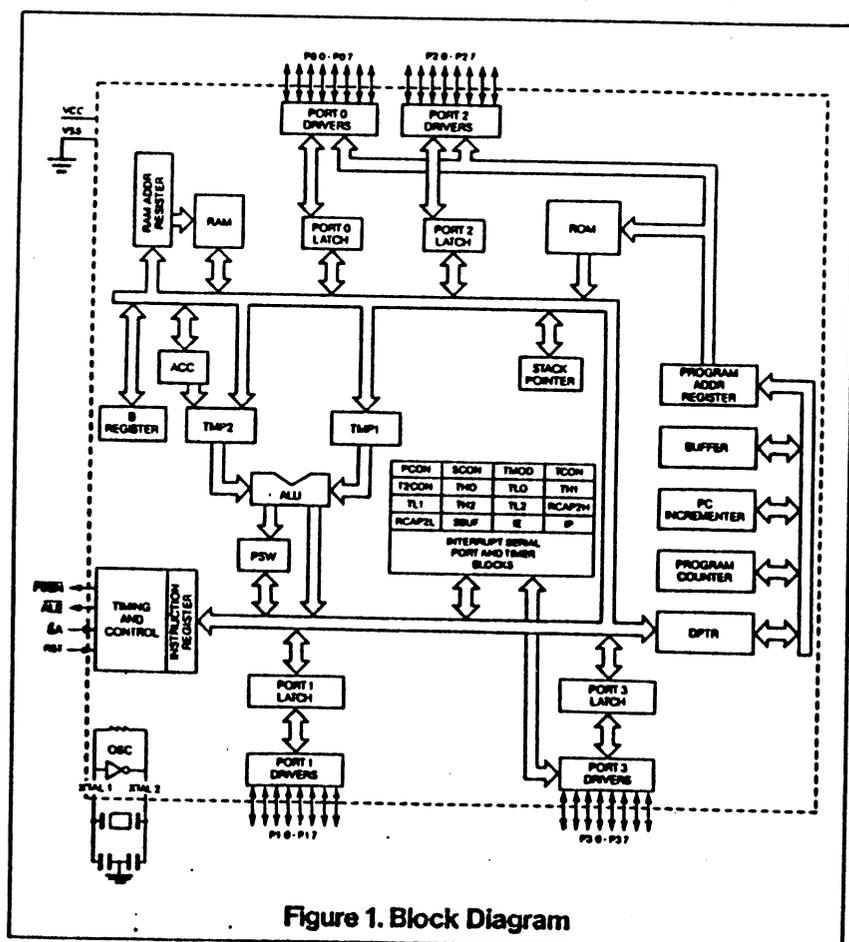


Figure 1. Block Diagram

MHS's 80C51 and 80C31 are high performance CMOS versions of the 8051/8031 NMOS single chip 8 bit μ C and is manufactured using a self-aligned silicon gate CMOS process (SAJI VI).

The fully static design of the MHS 80C51/80C31 allows to reduce system power consumption by bringing the clock frequency down to any value, even DC, without loss of data.

The 80C51 retains all the features of the 8051: 4K bytes of ROM; 128 bytes of RAM; 32 I/O lines; two 16 bit timers; a 5-source 2-level interrupt structure; a full duplex serial port; and on-chip oscillator and clock circuits.

In addition, the 80C51 has two software-selectable modes of reduced activity for further reduction in power consumption. In the Idle Mode the CPU is frozen while the RAM, the timers, the serial port, and the interrupt system continue to function. In the Power Down Mode the RAM is saved and all other functions are inoperative.

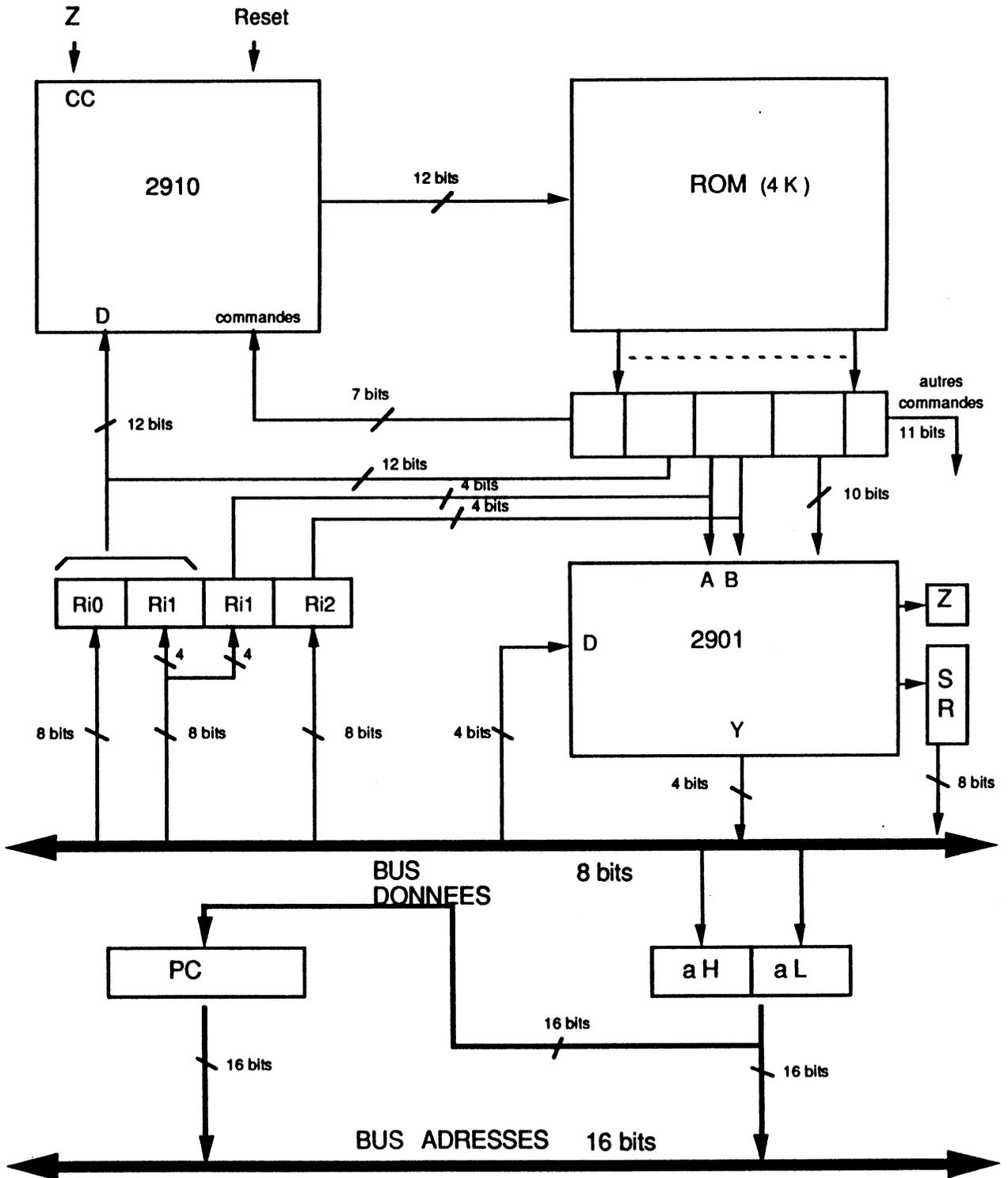
The 80C31 is identical to the 80C51 except that it has no on-chip ROM.

ANNEXE 3

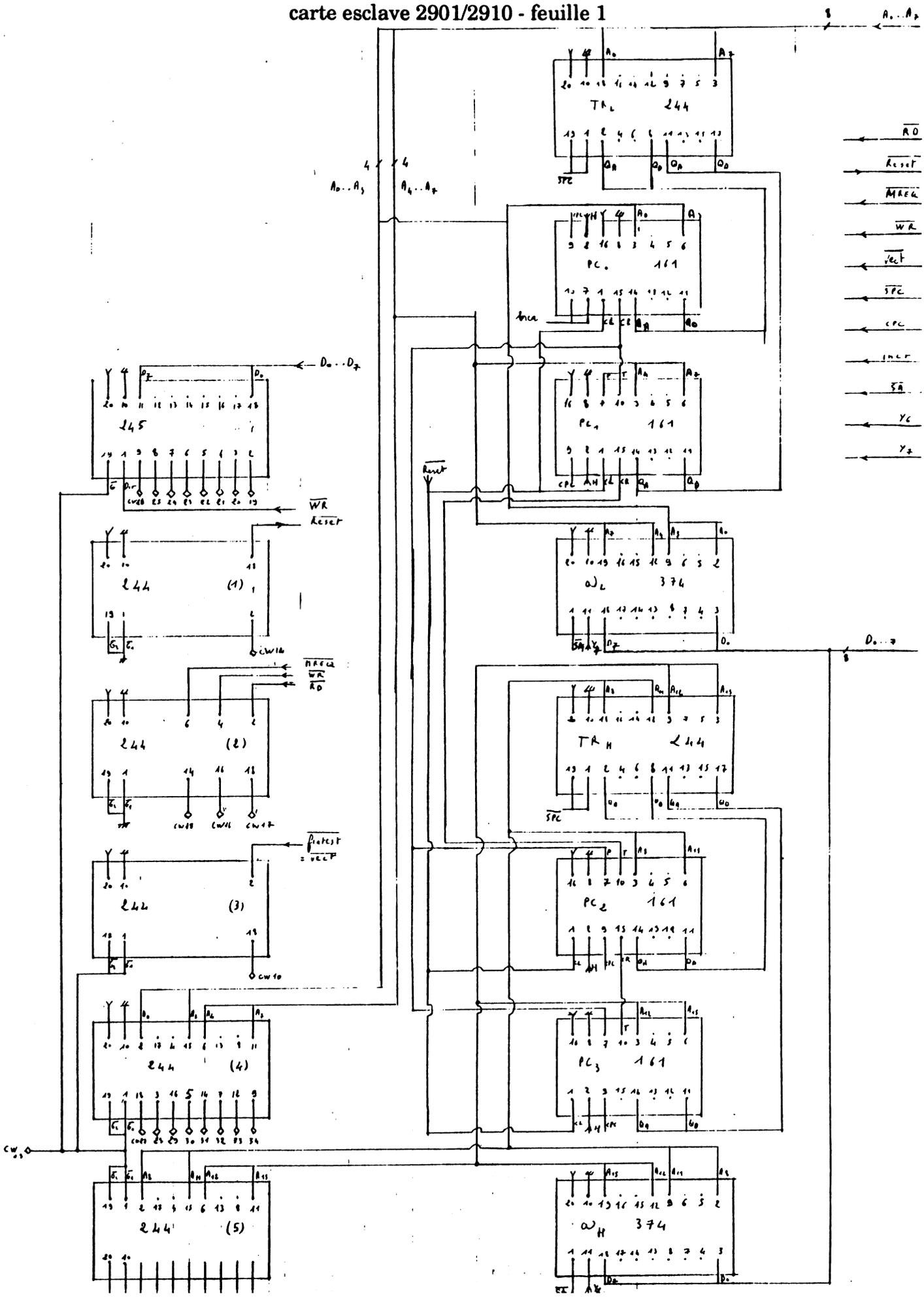
Cartes d'interface FUTE-8 / circuits cibles.

- **carte d'interface des circuits 2901 et 2910 ;**
- **carte d'interface des circuits 6821 et 6850 ;**
- **carte d'interface du 82C54 ;**
- **carte d'interface du 80C31.**

Schéma block de la carte esclave des 2901 et 2910.



carte esclave 2901/2910 - feuille 1



carte esclave 2901/2910 - feuille 3

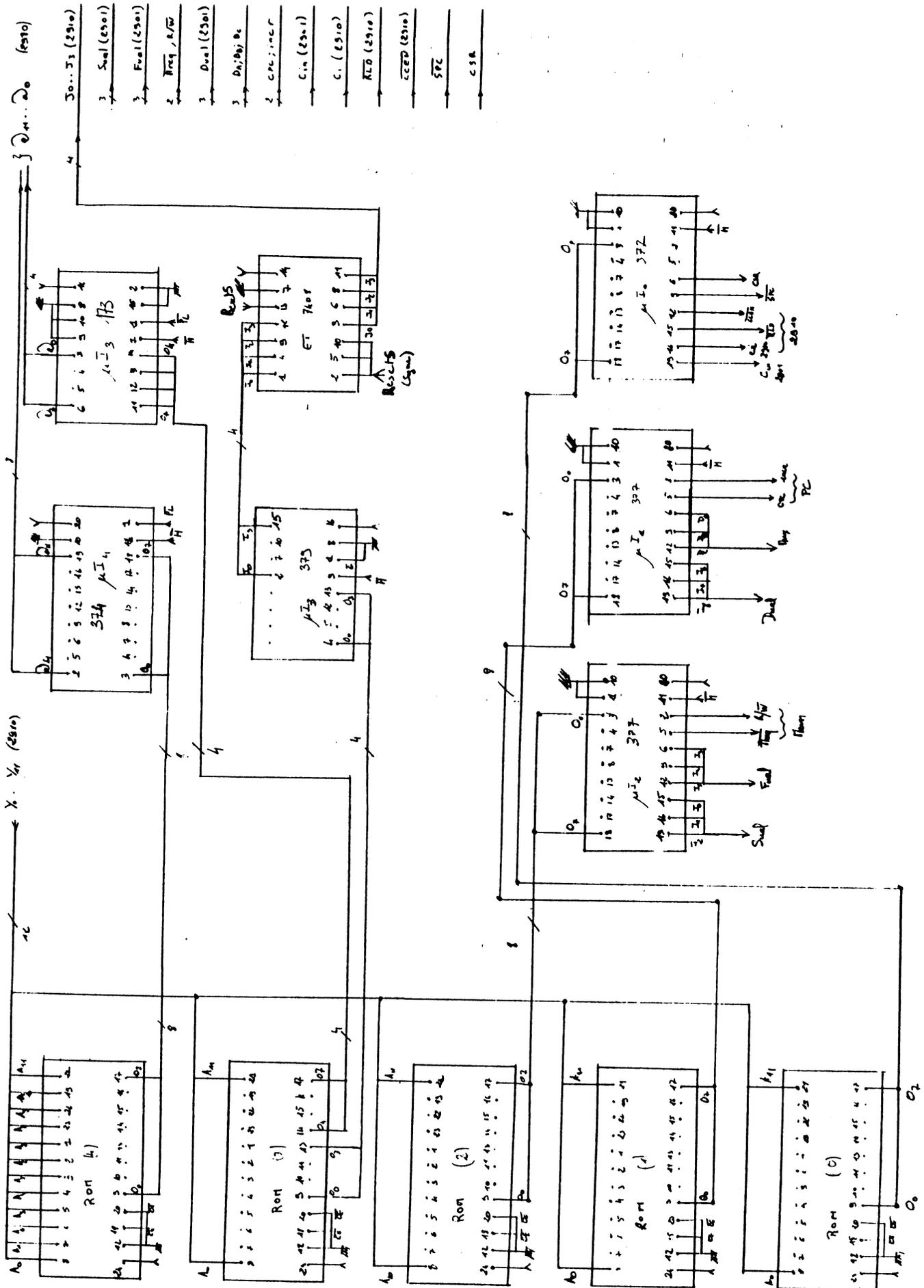
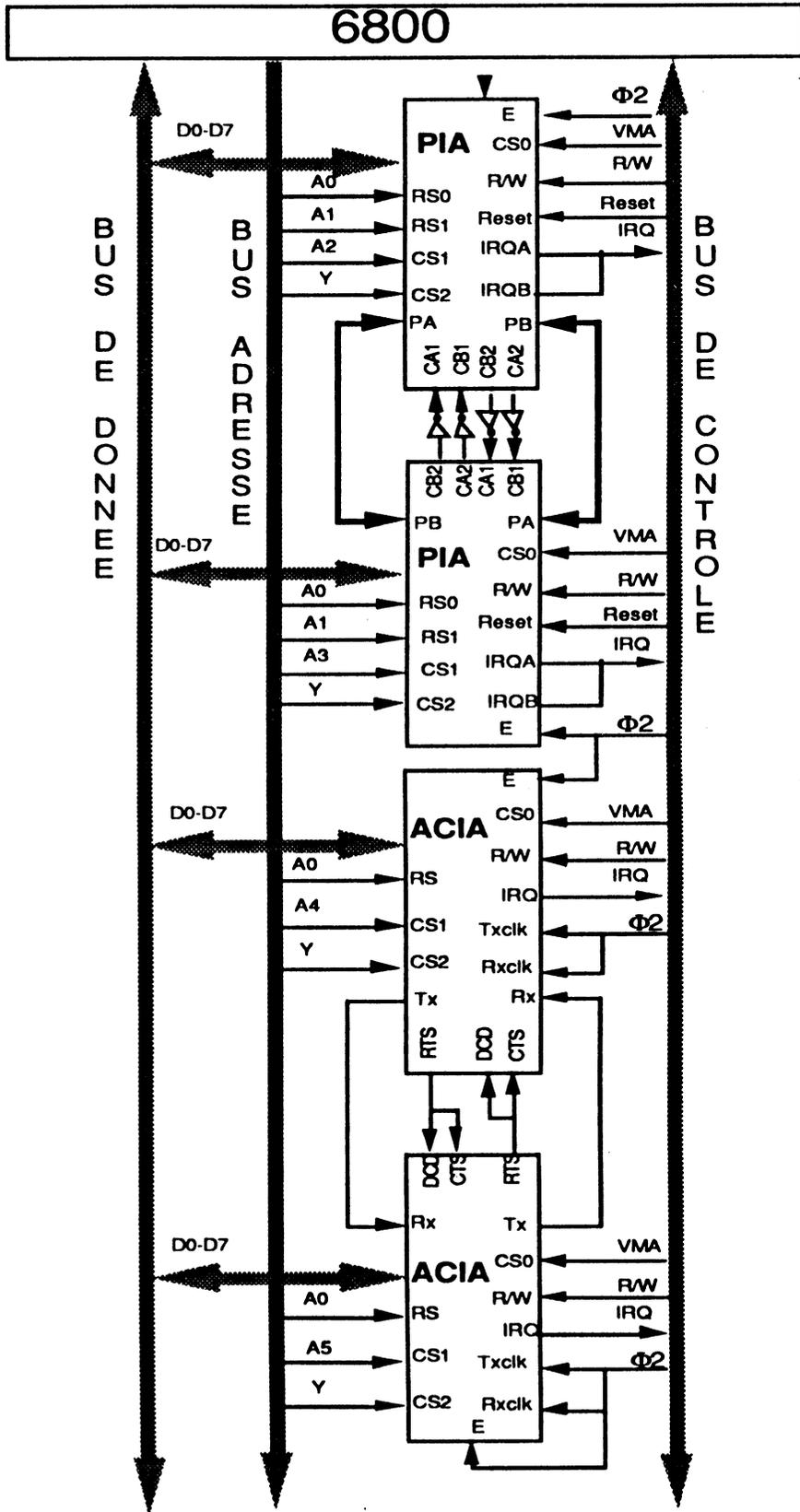


Schéma block de la carte esclave des 6821 et 6850



$Y = A_{15} A_{14} A_{13} A_{12} A_{11} A_{10} A_9 A_8$

carte esclave 6821/6850

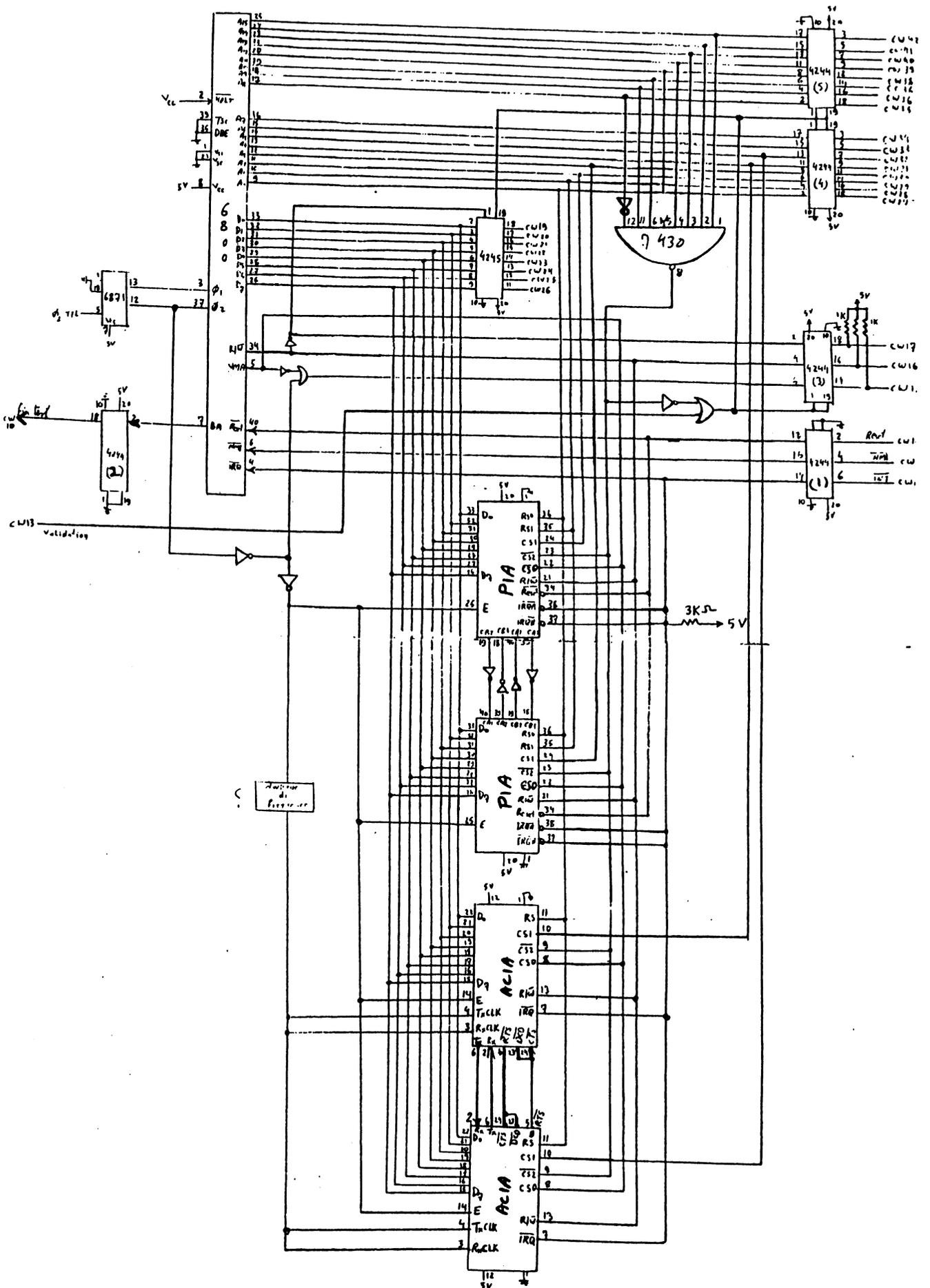
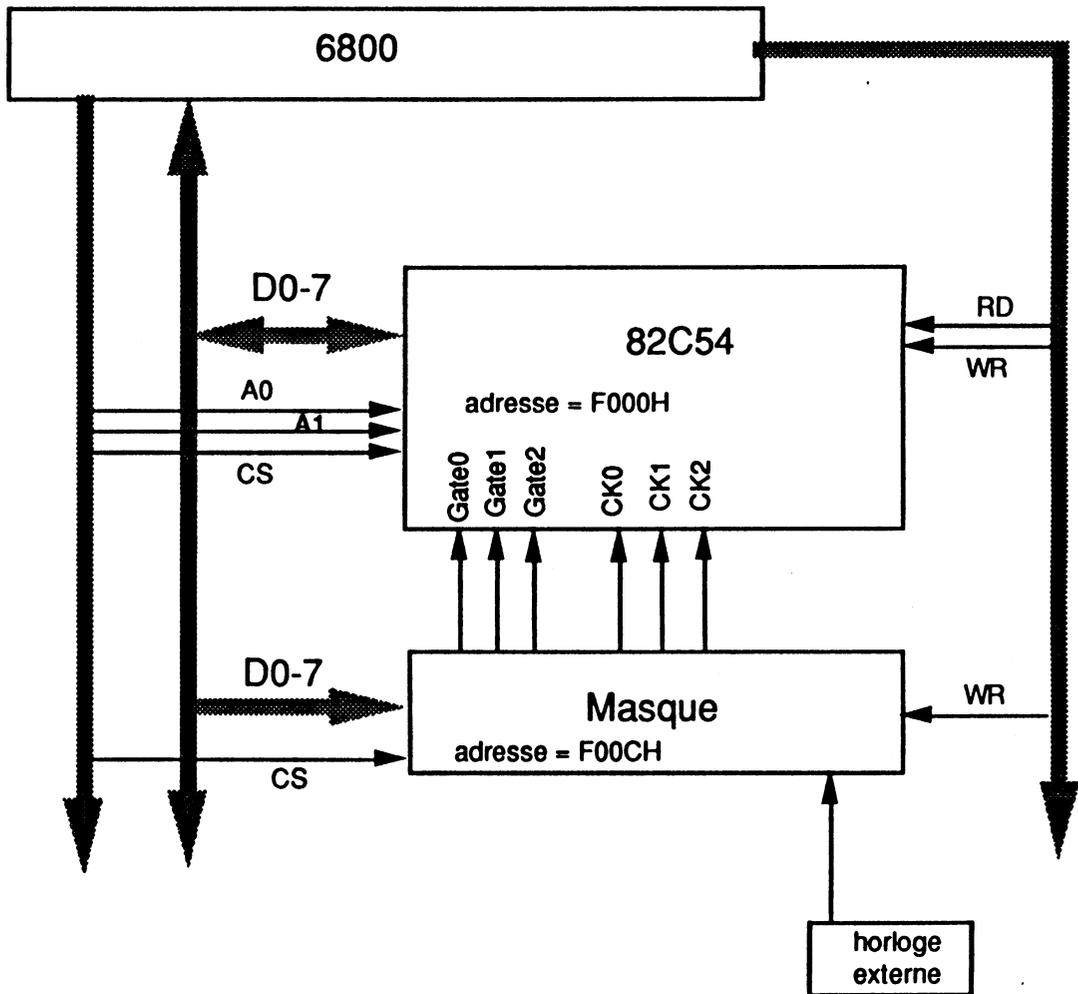
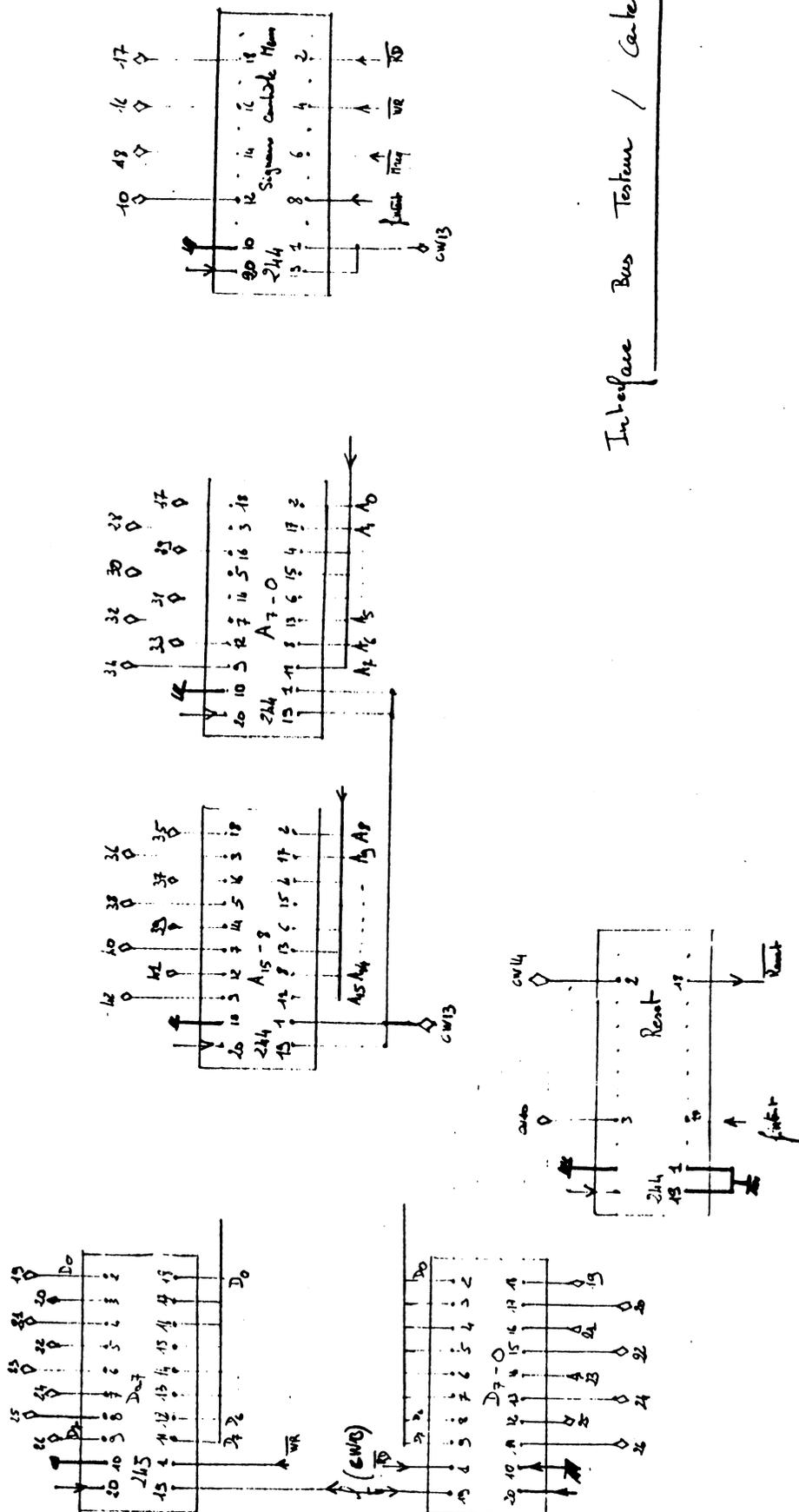


Schéma block de la carte esclave du 82C54



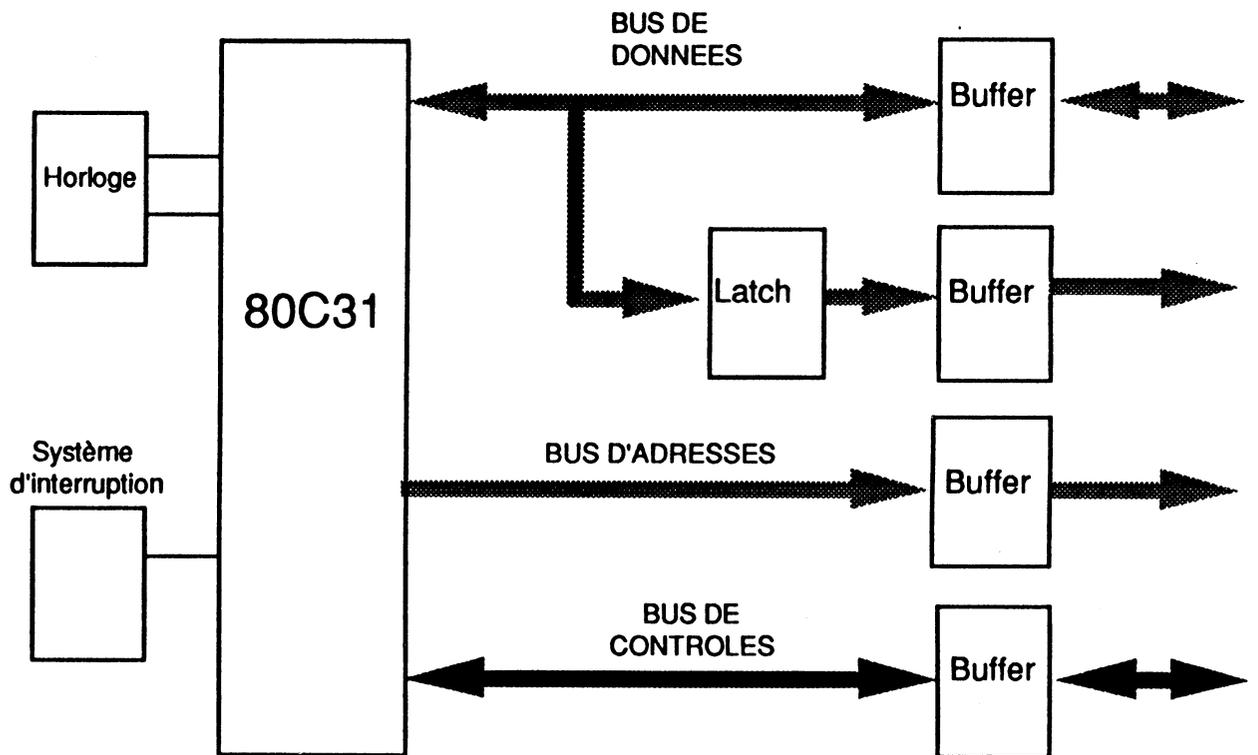
carte esclave 82C54 - feuille 1



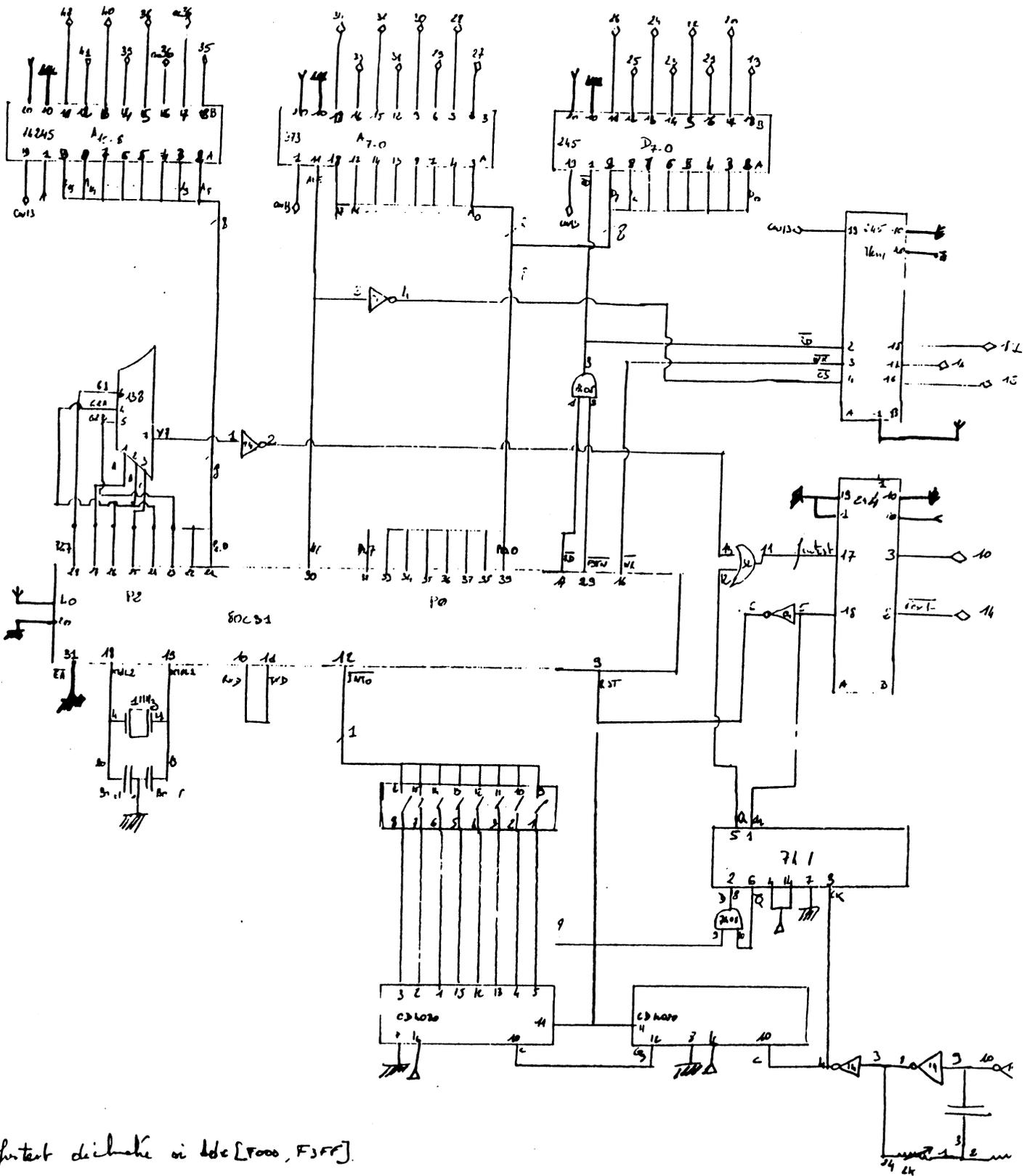
Interface Bus Testeur / Carte Esclave

pour pages

Schéma block de la carte esclave du 80C31



carte esclave 80C31



fontest dechise in hdc [F000, F3FF].

ANNEXE 4**Interface IBM PC - FUTE-8**

A partir du moniteur de test implanté sur la carte maitre, un programme, écrit en "Turbo Pascal", permet le dialogue entre un micro-ordinateur de type IBM-PC et FUTE-8.

I. LE MONITEUR FUTE-8

Le moniteur de la carte maitre comprend les commandes de base nécessaire au séquençement des différentes phases d'un test :

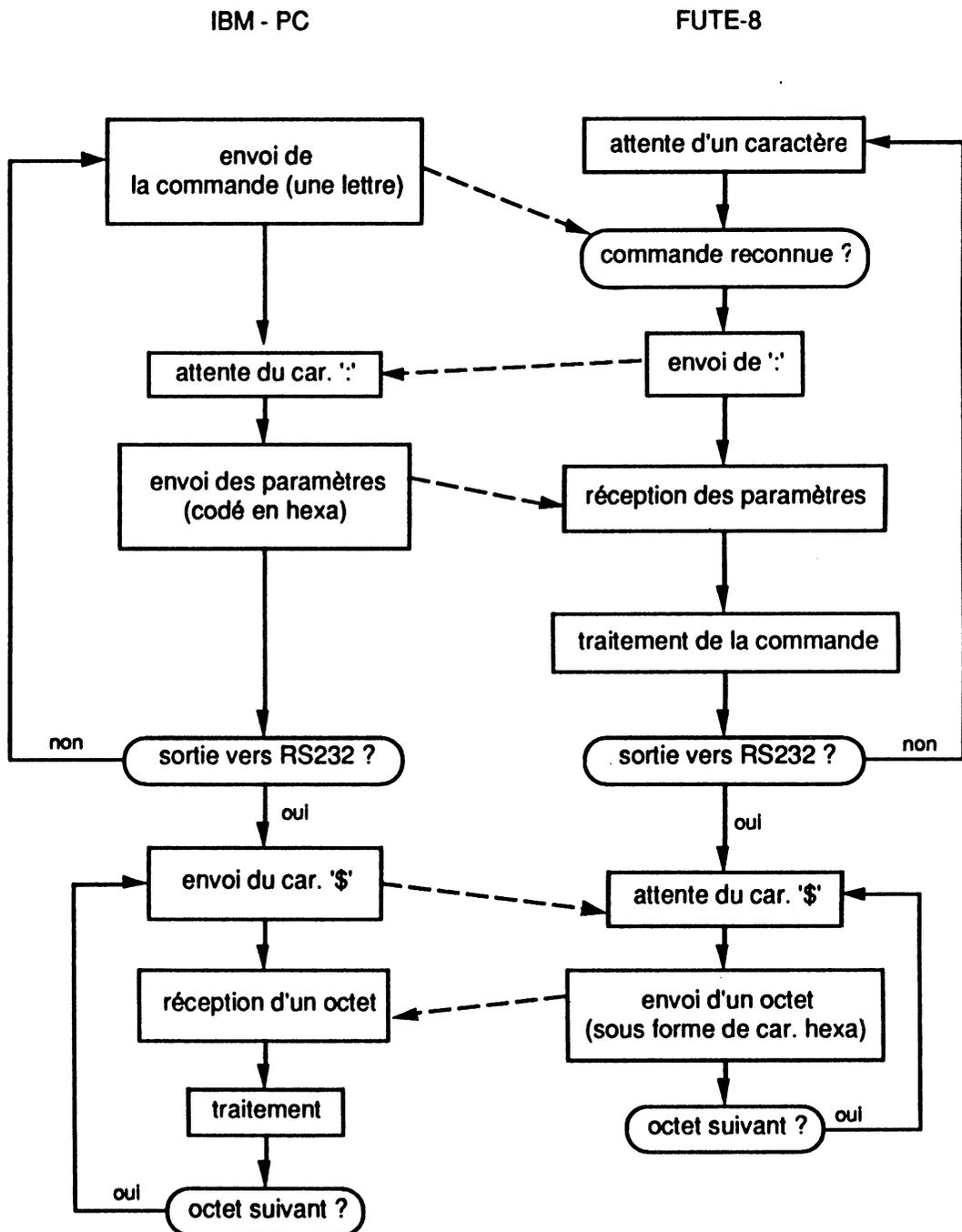
- transfert des programmes et données en format S Motorola (commandes LOAD et SAVE). Les transferts s'effectuent via une ligne série RS232 ;
- accès à la mémoire de test (commandes DISPLAY et MODIFY). Les octets contenus ou modifiés en mémoire sont transmis à travers la ligne série ;
- lancement de l'exécution d'un test (commande GO). Le processeur maitre envoie un signal "reset" vers le DUT, via le bus interne du testeur.

Ces commandes de base ont été enrichies d'une commande spécifique pour le séquençement d'un test d'upset :

- lancement d'un test d'upset et récupération d'un message d'erreur (commande UPSET). Après le transfert du message via la ligne RS232, le processeur relance le test et est en attente du prochain message.

II. PROTOCOLE DE COMMUNICATION

Le programme d'interface sur micro-ordinateur communique avec le testeur à travers la ligne série RS232, suivant un protocole décrit ci-dessous :

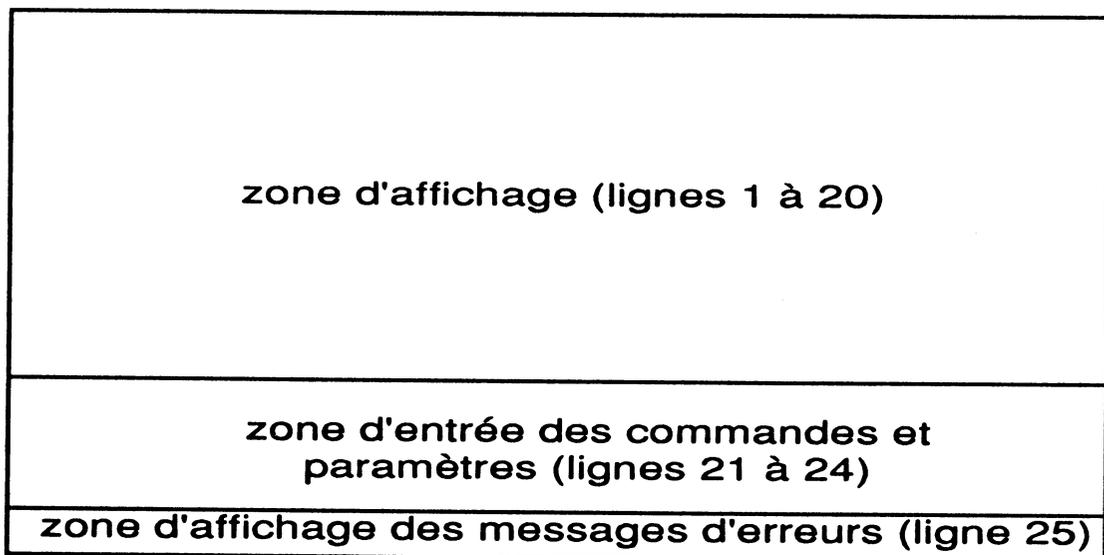


On constate que pour tous transferts, le testeur est en attente de l'IBM qui a une charge supérieure.

III. INTERFACE HOMME / MACHINE

L'interface est réalisé par menus où sont regroupés les commandes de même nature. Chaque commande est décrite en quelques mots et est appelée en tapant la lettre associée. Ensuite, les différents paramètres nécessaires à l'exécution de la commande sont demandés.

Les schémas suivants montrent les différents menus disponibles, ainsi que les écrans résultats d'une exécution de commande.



Fenêtrage de l'écran IBM.

M E N U

D : Display de la mémoire
M : Modification de la mémoire
Z : Remplissage de la mémoire
G : Go ; lancement du test avec time_out
V : Vas-y ; lancement sans limite de temps
U : Upset ; lancement d'un test sans time_out
L : Load ; chargement de la mémoire à partir d'un fichier
S : Sauvegarde d'une partie de la mémoire
C : Comparaison données mémoires vs données préstockées
E : Exec_com ; définition, lancement d'un exec_com
H : dicHotomie (programme GAPT 6800)

Q : Quit ; fin du programme

Votre commande :

Menu principal.

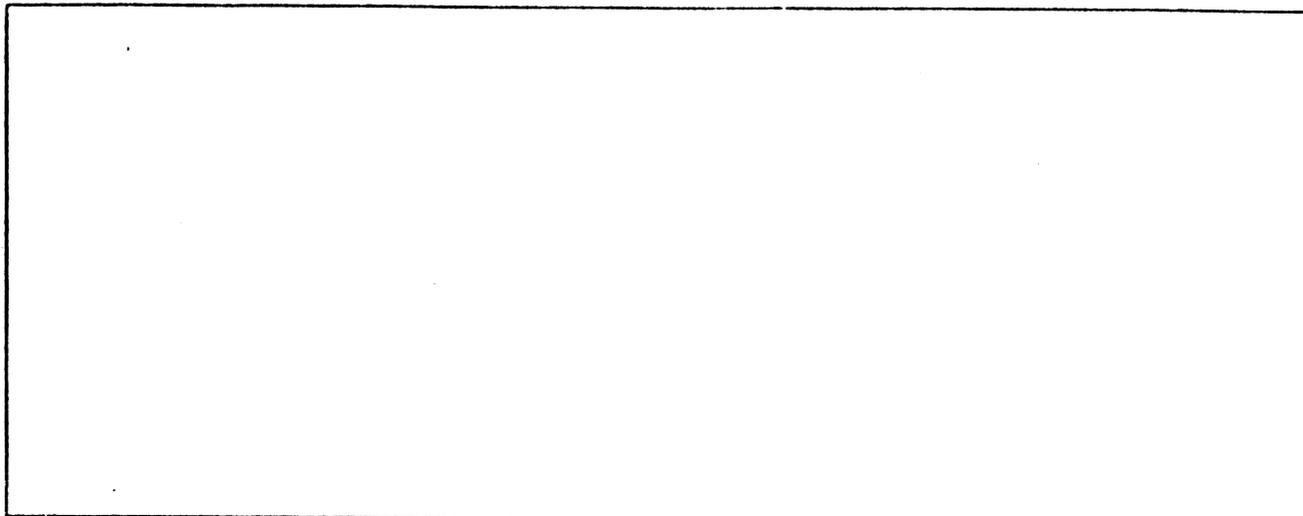
E X E C - C O M

C : Chargement d'un exec_com
D : Définir un exec_com
E : Execution de l'exec_com
S : Screen : appel de l'éditeur
R : Retour au menu précédent

Votre commande :

Menu pour l'exec-com.

date 00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F



Adresse des messages	: 2000	Mode archive	
Longueur d'un message	: 10	Fichier de stockage	: run1.UPS
Mot d'arrêt d'un message	: FF	Référence du test	: TEST1
		Circuit sous test	: 82C54
Nombre d'événements	:	Référence du circuit	: 1234413

Ecran d'affichage des messages d'upsets.

00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F

0030		00 11 22 33 44 55 66 77 88 99 AA BB
0040	CC DD EE	
FF00	BE FF 30 CE FF 20 A6 00 B7 FF 22 A6 01 B7 FF 23	
FF10	3E	

Votre commande : D
 première adresse : FF00
 deuxième adresse : FF10

DFF00 FF10

Ecran d'affichage d'une zone mémoire.

	00	01	02	03	04	05	06	07	08	09	0A	0B	0C	0D	0E	0F
0100	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00	00
0110	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11	11
0120	12	22	22	22	22	22	22	22	22	22	22	22	22	22	22	22
0130	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33
0140	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44
0150	55	55	55	55	55	55	55	55	55	55	55	55	55	55	55	55
0160	66	66	66	66	66	66	66	66	66	66	66	66	66	66	66	66
0170	77	77	77	77	77	77	77	77	77	77	77	77	77	77	77	77
0180	77	77	77	77	77	77	77	77	77	77	77	77	77	77	77	77
0190	66	66	66	66	66	66	66	66	66	66	66	66	66	66	66	66
01A0	55	55	55	55	55	55	55	55	55	55	55	55	55	55	55	55
01B0	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44	44
01C0	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33	33
01D0	22	22	22	22	22	22	22	22	22	22	22	22	22	22	22	22

Votre commande : M
adresse :100

D0100 01DF
Déplacement à l'aide des flèches ; taper <retour> pour valider

Ecran de modification d'une zone mémoire.

IV. STRUCTURE DU PROGRAMME D'INTERFACE

Ecrit en Pascal, le programme a bénéficié de l'environnement et des facilités offert par le compilateur Turbo Pascal version 5.0 :

- écriture modulaire d'un logiciel Pascal,
- utilitaires de gestion d'un écran PC,
- utilitaires d'accès aux ressources matérielles (port série),
- "debugger".

Le logiciel se compose de 13 modules, regroupant les fonctions traitant de la même application, ou gérant une même ressource.

Volume dans unité C est HARD DISK
Répertoire de C:\ANTOINE\FUTE_8\INTERFAC.V2

COMM	PAS	2586	25/01/89	13:59
COMPARAI	PAS	6025	5/07/89	9:42
DICHO	PAS	10000	8/07/89	11:30
EXECOM	PAS	6041	5/07/89	9:43
FENETRES	PAS	3178	7/07/89	9:13
GLOBAL	PAS	2508	5/07/89	9:43
MENU	PAS	1956	7/07/89	12:59
OTHERS	PAS	2171	7/07/89	9:05
PORTES	PAS	7416	25/01/89	14:00
PRIMAIR	PAS	8491	5/07/89	9:43
TRANSFIC	PAS	6297	8/07/89	9:43
UPSET	PAS	10496	5/07/89	9:42
UTILITY	PAS	8855	8/07/89	9:36

13 Fichier(s)

1021952 octets disponibles

Liste des modules.

- *comm.pas* : c'est le programme principal qui contient une initialisation des variables internes, puis le lancement du programme d'interprétation des commandes. La commande 'FIN' termine la session.
- *comparai.pas* : ce module traite la comparaison entre une zone mémoire et un fichier de type S.
- *dicho.pas* : ce module contient les procédures nécessaires à la recherche par dichotomie d'un module élémentaire, qui fera apparaître la première occurrence dans un programme de test global l'erreur que l'on cherche à diagnostiquer. Cette recherche dichotomique n'est valable que pour un programme de test du μ P 6800, généré par GAPT.
- *execom.pas* : ce module gère l'enchaînement de plusieurs commandes, regroupées dans un fichier "toto.exc". Ce fichier contient la première lettre de la commande à exécuter et les paramètres nécessaires (adresses, nom de fichier, etc...).

- *fenetres.pas* : ce module a pour objet la gestion de l'écran IBM (définition de zone d'écran, encadrement, etc...).
- *global.pas*, *others.pas* : ces deux modules contiennent les procédures de reconnaissance d'une commande, de traitement d'erreurs en cas de commande inconnue, d'entrée des paramètres si nécessaires, et enfin d'appel aux procédures de traitement. Les commandes sont hiérarchisées, et seules les commandes traitées dans *global.pas* sont accessibles à tous les niveaux.
- *menu.pas* : ce module contient la définition des différents menus et les procédures d'affichage correspondantes.
- *portes.pas* : ce module traite la gestion du port d'entrée/sortie de la ligne série RS232 de l'IBM (réception et transmission de caractère).
- *primair.pas* : ce module contient le traitement des commandes les plus simples (visualisation et modification d'une zone mémoire, lancement d'un test, initialisation du testeur, etc...).
- *transfic.pas* : ce module traite le transfert de données codées sous format S. Les transferts se font via la ligne série, et les fichiers source et cible sont disponibles dans le répertoire courant.
- *upset.pas* : la gestion de la commande UPSET fait l'objet de ce module. Les principales procédures traitent de la récupération, de l'affichage, du stockage sur disque des messages d'erreur.

- *utility.pas* : les procédures générales telles que les conversions, la lecture et écriture d'une donnée, l'attente d'une intervention de l'utilisateur par clavier sont contenues dans ce module.

Des développements complémentaires sont prévus à ce logiciel, ayant pour objet la mise en place de fonctions complexes telle que la dichotomie. Elles seront liées à l'utilisation de GAPT pour la génération de programmes de test.

V. PROGRAMMES DE TRAITEMENT STATISTIQUE

Un des buts du développement de l'interface IBM/FUTE-8, a été l'implantation de la commande UPSET et la possibilité d'utiliser les données stockées sur disque dur pour un traitement statistique.

En plus du logiciel d'interface, ont été réalisés des programmes permettant, l'obtention d'histogrammes et tableau de synthèse des fichiers résultats de test d'upset. Deux types de programmes ont été développés, l'un concerne la mise en forme des résultats bruts, le second le calcul et le tracé des histogrammes ou tableaux, à partir d'un fichier de données formatées.

date registre no xx bit no xx sens haut ;[registre no xx bit no xx sens bas ;]* <RC>

Format d'une ligne pour le traitement statistique.

Les messages d'erreur de type "upset" varient suivant le composant testé et la stratégie de test employée. Il est possible d'avoir des messages contenant déjà l'information du numéro de registre et de bit modifiés. Dans ce cas, seul le sens de basculement est à calculer d'après la valeur initiale. Dans un autre cas, le numéro de bit n'est pas directement donné, mais uniquement la valeur du registre modifié. Dans un autre encore, les registres ne sont pas identifiés, les messages contiennent une suite de valeurs qui sont celles contenues dans les registres à un instant donné. Pour obtenir l'information pour le traitement, il faut tout d'abord reconnaître les messages présentant une erreur, puis déterminer le bit modifié et le sens de basculement. Il est clair que pour un type de message donné, il est nécessaire de développer un programme qui transforme les résultats bruts dans le format présenté ci-dessus.

Tous ces cas ont été traités dans des programmes appelés *formxxx.pas*, qui, à partir d'un fichier brut, donne un fichier au format acceptable par le programme de traitement statistique.

Le programme de statistiques *histo.pas* permet de tracer une table de synthèse, un histogramme général incluant tous les registres, et pour chaque registre, un histogramme de tous les bits.

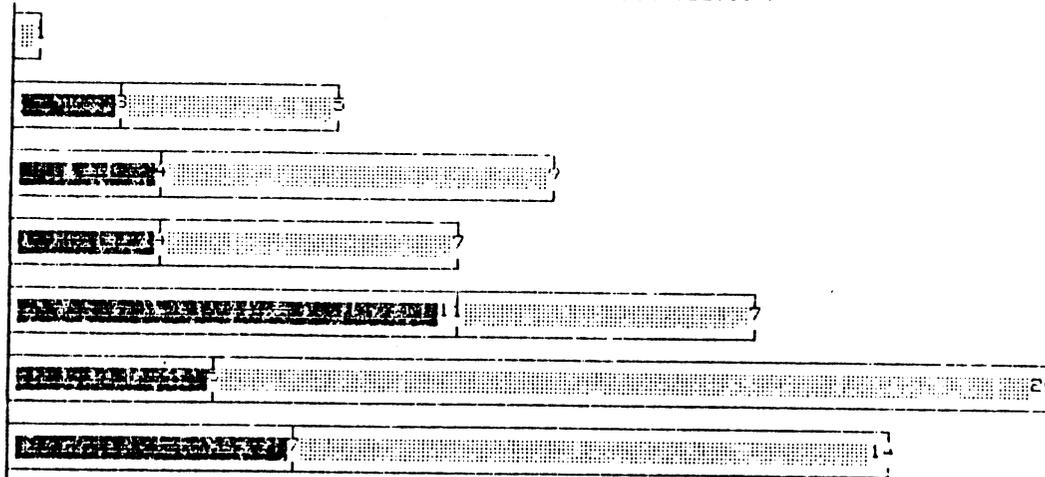
test V2 TABLE DE SYNTHÈSE circuit testé TS2910 /

No Bits No Registres	0	1	2	3	4	5	6	7	8	9	10	11	
0	0 0	0 0	0 1	0 0	0 0	0 0	0 1						
1	0 0	0 0	0 0	0 0	1 0	0 0	0 2	0 0	0 1	0 1	0 1	2 0	3 5
2	0 1	0 0	0 0	1 0	0 1	0 1	0 3	0 3	0 0	1 0	2 0	0 0	4 9
3	0 2	0 1	1 0	0 0	2 0	0 0	0 0	0 0	1 0	0 2	0 0	0 2	4 7
4	0 2	0 0	3 0	0 0	2 0	0 2	0 3	3 0	0 0	1 0	1 0	1 0	11 7
5	0 1	0 3	0 4	0 4	0 2	1 0	0 2	1 0	2 0	0 2	1 0	0 2	5 20
6	0 3	0 3	0 3	1 0	0 3	0 0	2 0	0 0	0 2	4 0	0 0	0 0	7 14
	0 9	0 7	4 7	2 4	5 6	1 3	2 10	4 3	3 4	6 5	4 1	3 4	

Total des basculements 0_1 : 63 63
 Total des basculements 1_0 : 24 34
 Total des basculements : 97 97

Exemple de table de synthèse.

test V2 HISTOGRAMME DES BASCULEMENTS SUR L'ENSEMBLE DES REGISTRES circuit testé TS2910 /



Exemple d'histogramme.



A U T O R I S A T I O N de S O U T E N A N C E

VU les dispositions de l'Arrêté du 23 novembre 1988 relatif aux Etudes doctorales

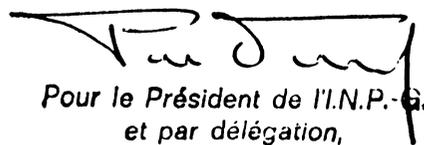
VU les rapports de présentation de

- Monsieur Jean GASIOT
- Monsieur Jacques BOURRIEU

Monsieur PROVOST-GRELLIER Antoine

est autorisé(e) à présenter une thèse en soutenance en vue de l'obtention du diplôme de DOCTEUR de L'INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE, spécialité "Informatique"

Fait à Grenoble, le 31 Octobre 1989


Pour le Président de l'I.N.P.-G.
et par délégation,
le Vice-Président
P. VENNEREAU

