



**HAL**  
open science

# Portes logiques à base de CNTFETs – dispersion des caractéristiques et tolérance aux défauts

T. Dang

► **To cite this version:**

T. Dang. Portes logiques à base de CNTFETs – dispersion des caractéristiques et tolérance aux défauts. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2008. Français. NNT : . tel-00326225

**HAL Id: tel-00326225**

**<https://theses.hal.science/tel-00326225>**

Submitted on 2 Oct 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.





## Remerciements

Cette thèse a été réalisée au sein du groupe « Architectures de Systèmes Intégrés Robustes et complexes » (Architectures for **R**obust and complex **I**ntegrated Systems -**ARIS**) du Laboratoire Techniques de l'Informatique et de la Microélectronique pour l'Architecture des systèmes intégrés (**TIMA**). Je tiens à remercier Madame Dominique BORRIONE, Directrice du laboratoire TIMA et Monsieur Bernard COURTOIS, ancien directeur du TIMA, pour m'avoir accueilli et donné les moyens d'accomplir mon travail de recherche.

J'adresse mes remerciements à Monsieur Michael NICOLAIDIS, directeur de recherche au CNRS à TIMA, pour avoir bien voulu me faire l'honneur de présider le jury de cette thèse. J'adresse aussi mes remerciements à Messieurs Patrick GIRARD, directeur de recherche au CNRS au LIRMM, et Abbas DANDACHE, professeur à l'Université de Metz, les rapporteurs de cette thèse. Je tiens à les remercier pour l'intérêt qu'ils ont porté à mes travaux et pour leurs remarques judicieuses. Je voudrais également remercier Monsieur Fabien PREGALDINY, maître de conférence à l'Ecole Nationale Supérieure de Strasbourg, qui a accepté d'être examinateur de cette thèse.

Je tiens à exprimer ma plus grande gratitude à Monsieur Régis LEVEUGLE, professeur à l'Institut Polytechnique de Grenoble et directeur adjoint de TIMA, pour m'avoir proposé ce sujet, pour l'encadrement de mon travail, pour ses conseils, pour sa patience, ses critiques et ainsi que pour sa disponibilité. Je tiens aussi à remercier Madame Lorena ANGHEL, maître de conférence à l'Institut Polytechnique de Grenoble, pour avoir accepté d'être co-directeur de thèse, pour l'encadrement de mon travail, pour ses conseils, ses critiques et ses encouragements.

Je veux aussi remercier Monsieur Alexandre CHAGOYA, responsable technique au CIME, pour son aide dans le traitement des problèmes techniques et pour son enthousiasme.

Je remercie tous les membres de TIMA, pour leur aide qui m'a permis de m'intégrer et pour leurs encouragements dans les moments difficiles.

Je voudrais, enfin, remercier Jacques, mon meilleur ami, qui m'a aidé à surmonter tous les soucis du déroulement de cette thèse et dans la vie également.

Je dédie cette thèse à ma mère.



2.1.3.1. Consommation statique des portes logiques .....	46
2.1.3.2. Consommation dynamique des portes logiques .....	47
<b>2.2. Les caractéristiques statiques et dynamiques des différentes structures logiques...</b>	<b>47</b>
<b>2.2.1. Structures logiques à charge résistive à base de NFET et de PFET .....</b>	<b>48</b>
2.2.1.1. Les valeurs de la résistance de charge.....	49
2.2.1.2. Les caractéristiques statiques et dynamiques .....	49
<b>2.2.2. Structures logiques complémentaires (similaires au CMOS) .....</b>	<b>53</b>
<b>2.2.3. Structures logiques domino .....</b>	<b>55</b>
<b>2.2.4. Structures logiques de transfert.....</b>	<b>59</b>
<b>2.3. Comparaison des différentes structures logiques.....</b>	<b>61</b>
<b>2.5. Conclusion .....</b>	<b>66</b>
<b>CHAPITRE 3 : ETUDE DE L'INFLUENCE DES VARIATIONS PARAMETRIQUES SUR LES CARACTERISTIQUES DES PORTES COMPLEMENTAIRES.....</b>	<b>67</b>
<b>3.1. Outil automatique d'analyse des dispersions des caractéristiques des portes logiques .....</b>	<b>68</b>
<b>3.2. Influence des variations paramétriques des dispositifs CNTFETs.....</b>	<b>69</b>
3.2.1. Influence de la variation du diamètre .....	71
3.2.2. Influence de la variation de la résistance de contact.....	72
3.2.3. Influence de la variation de la température d'opération.....	74
3.2.4. Tableau résumé .....	76
<b>3.3. Influence des variations paramétriques et d'environnement sur le comportement des portes logiques.....</b>	<b>76</b>
3.3.1. Influence de la variation du diamètre du nanotube .....	77
3.3.1.1. Portes logiques homogènes .....	77
3.3.1.2. Portes logiques hétérogènes et demi hétérogènes .....	81
3.3.2. Influence de la variation de la résistance de contact .....	89
3.3.2.1. Variation de la résistance de contact .....	89
3.3.2.2. La variation de la température.....	90
3.3.3. Tableau de résumé .....	91
<b>3.4. Conclusion .....</b>	<b>92</b>
<b>CHAPITRE 4 : PROPOSITION DE STRUCTURES ROBUSTES POUR CIRCUITS LOGIQUES .....</b>	<b>93</b>
<b>4.1. Défauts et fautes des circuits à base de CNTFETs.....</b>	<b>94</b>
<b>4.1.1. Défauts de fabrication - défauts fonctionnels et défauts paramétriques.....</b>	<b>94</b>
4.1.1.1. Défauts, fautes et modèles de fautes traditionnels .....	94
4.1.1.2. Défauts fonctionnels au niveau du dispositif CNTFET .....	96
4.1.1.3. Modèles de fautes au niveau logique (ou porte logique) .....	98
<b>4.1.2. Effets non désirés dans le fonctionnement des CNTFETs.....</b>	<b>100</b>
<b>4.2. Structures redondantes pour circuits à base de CNTFETs .....</b>	<b>101</b>
4.2.1. Structures existantes tolérantes aux défauts fonctionnels et aux fautes.....	101
4.2.2. Structure redondante proposée au niveau d'un dispositif CNTFET .....	104
4.2.3. Portes logiques à base de structures redondantes .....	108
4.2.4. Utilisation des portes redondantes.....	113
4.2.5. Comparaison avec d'autres structures redondantes.....	113

<b>4.3. Conclusion .....</b>	<b>115</b>
<b>CONCLUSION ET PERSPECTIVES .....</b>	<b>116</b>
<b>REFERENCES .....</b>	<b>119</b>
<b>PUBLICATIONS SUR LES TRAVAUX DE CETTE THESE.....</b>	<b>124</b>

## INTRODUCTION

La réduction progressive des dimensions des transistors à base de silicium (MOSFET) selon la loi de Moore constitue le principal stimulant à l'intégration de circuits de plus en plus complexes; en effet, les dimensions étant réduites, la vitesse de fonctionnement d'un circuit augmente ainsi que la densité d'intégration. Mais la miniaturisation des MOSFETs rend les procédés de fabrication de plus en plus complexes et de moins en moins fiables. Les imperfections des processus de fabrication engendrent des défauts de fabrication et il est de plus en plus difficile de fabriquer un circuit avec des niveaux de défauts acceptables. Or, la production de circuits sans défauts est d'une importance capitale dans le domaine des semi-conducteurs.

Alors que le développement des technologies CMOS au-delà du nœud 45nm se poursuit, certains phénomènes physiques qui auparavant étaient négligeables deviennent prépondérants. On peut citer notamment la variation des paramètres des transistors (dimensions, dopages), la variation de la tension d'alimentation et de la température ou encore les courants de fuite, l'effet quantique, l'effet de canal court. Les variations paramétriques sont l'un des phénomènes bloquants de la miniaturisation. A cause de ces phénomènes physiques et des limitations de dimensions, la technologie à base de silicium va probablement atteindre ses limites ultimes en 2020, lorsque la longueur de canal du MOSFET sera inférieure à 10nm.

Depuis une décennie, la recherche de nouveaux matériaux semi-conducteurs et de nouveaux dispositifs logiques (pour remplacer le silicium et le MOSFET) pourrait conduire d'ici à 2020 à une nouvelle révolution au sein des industries électroniques. Cette évolution pourrait prendre différentes formes, parmi lesquelles on peut citer des approches aussi diverses que l'utilisation de molécules ou l'implantation de « bits quantiques » à base de matériaux supra-conducteurs. L'intérêt global suscité par la nanoélectronique est démontré par l'ensemble des initiatives prises au niveau mondial, parmi lesquelles on peut citer une initiative européenne récente (ENIAC – European Nanoelectronics Initiative Advisory Council), qui a pour but de mettre en place des recommandations dans un rapport intitulé « Vision 2020 : nanoelectronics at the center of change ». Au niveau français, un soutien important est accordé à cette problématique par le Ministère de la Recherche. Parmi les différents projets ayant été financés, on peut citer notamment l'action concertée incitative (ACI) Nanosys, qui faisait partie du programme ACI Nanosciences. Une partie du travail présenté dans cette thèse a été réalisée dans le cadre de cette ACI.

Plusieurs dispositifs nouveaux sont actuellement étudiés, tels que les RTD (Resonant Tunneling Diode), SET (Single Electron Transistor), SPINFET (spin transistor), QCA (Quantum Cellular Automata) ou CNTFET (Carbon NanoTube Field Effect Transistor). Parmi

ces dispositifs, les transistors basés sur les nanotubes de carbone (CNT) font partie des candidats les plus prometteurs. Les nanotubes de carbone, découverts en 1991 par Iijima Sumio, sont des feuilles de graphite roulées pour former un tube. Ils ont un diamètre de l'ordre du nanomètre et une longueur jusqu'à plusieurs microns. Les CNTFETs sont intrinsèquement de taille nanométrique ; les circuits basés sur des CNTFETs auraient donc une extrême intégration des transistors sur un centimètre carré du substrat. Les CNTs peuvent avoir des propriétés métalliques ou semi-conductrices avec une largeur de la bande d'énergies interdites (bandgap) variable ( $E_G \sim 0,9/d$  eV où  $d$  est le diamètre du nanotube), selon la manière dont la feuille de graphite est pliée (armchair, zig-zag, chiral). Pour les applications électroniques, il est essentiel d'avoir un bandgap assez grand (correspondant à un diamètre assez petit) pour éliminer la production excessive de porteurs thermiques. Cependant, un plus petit bandgap (correspondant à un grand diamètre) permet un courant plus élevé. Pour les applications électroniques, il est essentiel d'avoir des dimensions de nanotube autour de 1 nm pour avoir des caractéristiques intéressantes. Cependant, le CNT métallique peut être exploité comme interconnexion avec une résistance faible.

La nanoélectronique basée sur les CNTs pourrait utiliser des propriétés spécifiques du nanotube (par exemple la caractéristique ambipolaire des CNTFETs). En même temps, elle doit affronter les inconvénients inhérents à ces dispositifs. En particulier, ces circuits peuvent avoir une probabilité élevée de défauts lors de la fabrication, une assez grande dispersion des caractéristiques et une fiabilité relativement faible par rapport aux dispositifs CMOS utilisés aujourd'hui. Malgré des propriétés prometteuses du dispositif CNTFET expérimenté dans les laboratoires et malgré des caractéristiques des portes logiques rivalisant avec leurs homologues au silicium, nous manquons encore de méthodes viables de fabrication de circuits sur une large échelle.

Actuellement, plusieurs groupes de recherche dans le monde (par exemple l'Université de Purdue, de Stanford, ou de Floride, Intel, la NASA, IBM, HP et également plusieurs sites en France), étudient des méthodes de fabrication de dispositifs de CNTFETs et de portes logiques basées sur les CNTFETs ainsi que leur caractérisation.

Plusieurs autres groupes de recherche travaillent parallèlement sur des modèles numériques de CNTFET, utilisés pour étudier les caractéristiques physiques essentielles d'un CNTFET. Mais ces modèles ne peuvent pas être utilisés pour la simulation des circuits logiques à base de CNTFET à cause du temps de simulation trop long et à cause de la complexité des équations. Quelques modèles compacts ont été récemment proposés. Ces modèles permettent aux concepteurs de simuler des portes logiques et des circuits plus complexes à base de CNTFETs mais aussi d'analyser leur robustesse vis à vis des variations du diamètre ou de la tension ou d'autres paramètres. Mais ces modèles sont encore simples et basés sur très peu de paramètres (essentiellement le diamètre du nanotube, la résistance de

contact et la température). Ces modèles devraient donc être encore améliorés dans le futur proche.

Le diamètre du nanotube est un paramètre critique pour toutes les applications basées sur des CNTFETs. Les variations du diamètre ou de la résistance de contact ou de la tension d'alimentation peuvent entraîner des variations importantes des caractéristiques statiques et dynamiques des portes logiques. On peut donc se demander pour quelles structures logiques cette dispersion des caractéristiques est minimum. A notre connaissance, aucune étude de la dispersion des caractéristiques logiques des portes à base de CNTFETs n'avait été réalisée avant le travail présenté dans cette thèse.

Dans ce contexte, l'objectif de cette thèse a été d'analyser les structures permettant de construire efficacement des circuits logiques à partir de dispositifs CNTFET. Ensuite, nous avons proposé des structures robustes contre les fautes et les défauts permanents, dans une double optique d'amélioration du rendement de fabrication (DFM – Design For Manufacturing), et d'amélioration de la fiabilité dans l'application. Cette thèse adresse essentiellement le niveau des cellules logiques de base (NOT, NAND2 et NOR2).

En utilisant les modèles compacts disponibles, nous avons analysé l'influence des variations de diamètre et des résistances de contact sur les caractéristiques du dispositif CNTFET et au niveau de certaines portes logiques. Nous avons trouvé que le diamètre du nanotube influence à la fois le niveau du courant ON ( $I_{on}$ ) et la tension de seuil ( $V_{th}$ ) du transistor. La résistance de contact n'influence que le niveau du courant ON.

En partant de l'idée qu'un CNTFET fonctionne comme un MOSFET, toutes les structures logiques de la technologie au silicium peuvent être extrapolées à la technologie à base de CNT, par exemple la structure à charge résistive, la structure complémentaire, la structure domino et la structure de transfert. Par simulation, nous avons pu évaluer les caractéristiques statiques et dynamiques des portes logiques de base avec ces différentes structures. Les comparaisons montrent l'intérêt particulier de la structure logique complémentaire.

Partant de cette constatation, nous nous sommes concentré sur l'étude des portes logiques en structure complémentaire. Nous avons analysé la dispersion des caractéristiques de ces portes due aux variations paramétriques des CNTFETs, à la variation de la tension d'alimentation ( $V_{DD}$ ) et à la variation de la température.

Enfin, sur la base d'une modélisation des défauts et des fautes spécifiques aux CNTFETs, nous avons proposé des structures robustes, redondantes aux niveaux transistors ou logiques, pour les portes logiques complémentaires afin de tolérer les dispersions paramétriques et les défauts de fabrication. Ces structures ont été évaluées.

## **Ce manuscrit est organisé en quatre chapitres.**

Le chapitre 1 est consacré à une étude bibliographique introduisant plus en détail la nanoélectronique à base de nanotubes de carbone (état de l'art de la fabrication de dispositifs CNTFETs et de portes logiques, modélisation des dispositifs et simulation des circuits construits avec des CNTFETs).

Dans le chapitre 2, nous étudions et analysons les caractéristiques statiques et dynamiques des portes logiques (NOT, NAND2 et NOR2) avec plusieurs structures (logique à charge résistive, logique complémentaire, logique domino et logique de transfert) afin d'identifier la structure la plus prometteuse pour construire des circuits complexes ayant de bonnes caractéristiques.

La structure complémentaire étant identifiée comme la plus intéressante, le chapitre 3 étudie la dispersion des caractéristiques principales due aux variations paramétriques dans ces portes.

Dans le chapitre 4, nous étudions et modélisons les défauts et les fautes spécifiques aux circuits à base de CNTFETs, puis nous proposons et nous évaluons des structures robustes de portes logiques complémentaires.

## CHAPITRE 1 : NANOTECHNOLOGIE A BASE DE NANOTUBES DE CARBONE

Depuis la découverte du nanotube de carbone (CNT) en 1991 par Iijima, les techniques de synthèse du CNT ainsi que l'étude de ses propriétés électriques, mécaniques et chimiques ont énormément progressé. Un CNT est une feuille de graphite roulée en forme de tube. Le diamètre d'un CNT varie typiquement entre 0,4 nm et 3,0 nm et sa longueur peut dépasser plusieurs micromètres [Toma02][Daen03][Reed03]. Les propriétés électroniques du CNT dépendent de sa structure géométrique. Le CNT est un nouveau nano-matériau, intéressant pour les applications logiques, et un semi-conducteur prometteur pour remplacer l'actuel silicium.

Le manque de méthodes de synthèse et de purification, exploitables commercialement à grande échelle, explique cependant que l'utilisation des CNT n'est toujours pas largement répandue actuellement. Les transistors à base de CNT (CNTFET) individuels peuvent être réalisés facilement, mais les circuits intégrés fabriqués avec des CNTFETs sont encore loin de la réalisation réelle. Pour produire de grandes quantités de transistors interconnectés pour construire des circuits complexes, il faudrait des techniques pouvant placer les CNT plus précisément sur le substrat et créer des électrodes plus petites [Toma02]. Nous verrons qu'il faudrait, de plus, des structures de dispositifs de base permettant de tolérer les fluctuations des processus de fabrication, les fautes permanentes liées aux défauts de fabrication et les fautes transitoires liées à l'environnement.

Ce chapitre retrace le long chemin du nanotube jusqu'aux circuits logiques. Il présente des structures géométriques et des structures électroniques de transistors à nanotube, puis les méthodes existantes de synthèse de CNTs et de fabrication de CNTFETs ainsi que les défis de ces méthodes. Il résume également les portes logiques basées sur des CNTFETs élaborées avec succès jusqu'à aujourd'hui. L'objectif est de mettre en évidence les limitations de l'état de l'art et de donner les bases utiles à la justification et à la compréhension des études présentées dans les chapitres suivants.

### **1.1. Du nanotube (CNT) au transistor à nanotube (CNTFET) : synthèse et fabrication**

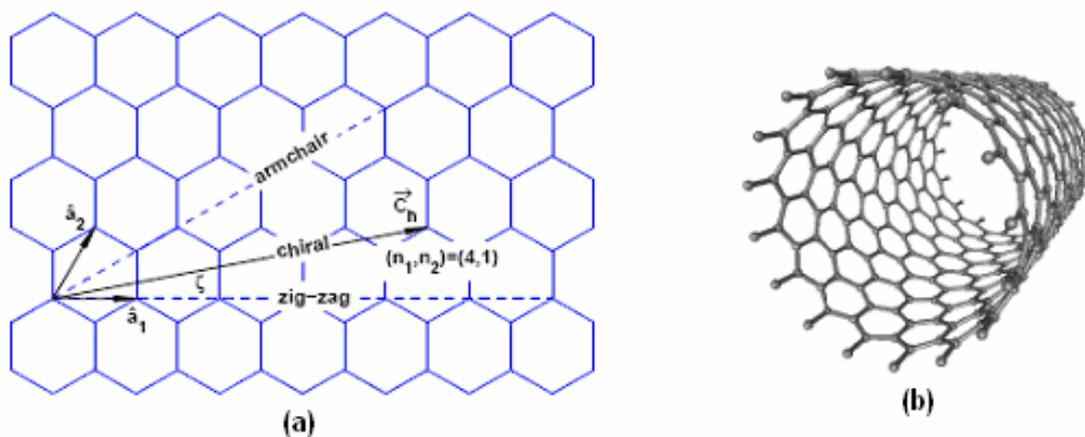
#### **1.1.1. Structure cristalline et méthodes de synthèse du CNT**

Le nanotube est une feuille graphène de carbone roulée en forme tubulaire. Le nanotube peut prendre différentes structures (armchair, zig-zag, chiral), chaque structure ayant des propriétés électroniques différentes. Il y a deux types de nanotubes : métallique et semi-conducteur. Les deux types sont séduisants pour des applications nanoélectroniques d'avenir, soit comme élément actif, soit comme interconnexion. De plus, le nanotube de type semi-conducteur présente deux structures différentes : mono-paroi (single-wall - SWCNT) ou multi-paroi (multi-wall - MWCNT). Le SWCNT, ayant un diamètre moyen de 0,4 nm à

3,0 nm et une longueur de quelques microns, montre des propriétés électroniques intéressantes pour construire des transistors à effet de champ (CNTFET – Carbon NanoTube Field Effect Transistor) [Toma02][Reed03].

La structure cylindrique du nanotube, dérivée de la structure bidimensionnelle du graphène, lui donne la possibilité de passer d'un état semi-conducteur à gap modulable à un état métallique en ajustant seulement le diamètre. Ceci reste jusqu'à aujourd'hui une propriété unique des nanotubes de carbone. Dans cette partie, nous présentons la structure géométrique et les propriétés électroniques du nanotube parfait, puis les techniques de synthèse du nanotube.

### 1.1.1.1 Structure cristalline et propriétés électriques du CNT



**Figure 1.1 : Représentation d'une feuille graphène (a) et d'un nanotube (b) construit en roulant une feuille graphène «treillis» avec le vecteur chiral de (16,0) [Liu06]**

Une feuille graphène de carbone est un système bidimensionnel (2D) composé de cycles hexagonaux de carbones hybridés  $sp^2$  comme illustré en figure 1.1a. Un nanotube est une feuille graphène roulée en forme tubulaire comme illustré en figure 1.1b. Quelques paramètres importants de la feuille graphène et du nanotube sont indiqués ci-dessous :

+ La distance carbone-carbone (acc) dans une couche est de 1,42 Å, tandis que la distance inter-couche est de 3,35 Å (pour le cas du nanotube multi-parois : les couches de graphène reliées par des liaisons de type Van der Waals). Les liaisons chimiques sont séparées par un angle de 120°.

+ On définit le réseau réel du graphène par les vecteurs  $[\hat{a}_1, \hat{a}_2]$ . Les vecteurs  $\hat{a}_1$  et  $\hat{a}_2$  sont les vecteurs des unités de base du treillis et sont séparés par un angle de 60° (voir figure 1.1a). Ainsi, le vecteur chiral du nanotube est  $\vec{C}_h$ ,  $\vec{C}_h = n_1 \hat{a}_1 + n_2 \hat{a}_2$  ; les index  $(n_1, n_2)$  sont des nombres entiers positifs et  $0 \leq n_2 \leq n_1$ . A partir des index  $(n_1, n_2)$ , nous avons :

- Trois groupes de nanotubes : armchair ( $n_1=n_2$ , angle= $30^\circ$ ); zig-zag ( $n_2=0$ , angle= $0^\circ$ ); chiral (autres cas). Si  $(n_1-n_2)$  est un multiple de 3, le nanotube est métallique, sinon le nanotube est semi-conducteur.
- Le rayon du nanotube est  $R_t = |Ch|/2\pi = \frac{a_{cc}}{2\pi} \sqrt{3(n_1^2 + n_2^2 + n_1n_2)}$ , ainsi le diamètre du nanotube est  $d = 2 \cdot R_t$ .
- Il faut que l'énergie totale du système de forme tubulaire soit plus petite que celle du système graphène équivalent. Alors, le rayon le plus petit du nanotube est d'environ  $2\text{\AA}$  ; la limite supérieure du rayon du nanotube atteint quelques nanomètres.
- La densité des atomes par nanomètre d'un nanotube est donnée par la formule :  $N_{\text{atomes}} = 240 \cdot R_t$ .
- La bande d'énergie interdite (bandgap) du nanotube semi-conducteur est  $E_g = |t|a_{cc}/2R_t \sim 0.9/d$ .

Par exemple, pour un nanotube avec des index  $(n_1, n_2)$  de  $(17, 0)$ , nous pouvons décrire la structure cristalline et les paramètres comme suit :

- Le nanotube est en forme de zig-zag.
- Le rayon du nanotube étant de  $R_t = 0,7 \text{ nm}$ , son diamètre est de  $d = 1,4 \text{ nm}$ .
- La densité des atomes du nanotube est de  $168 \text{ nm}^{-1}$ .
- Le bandgap du nanotube est de  $E_g = 0,64 \text{ eV}$ .

### 1.1.1.2. Techniques de synthèse d'un CNT

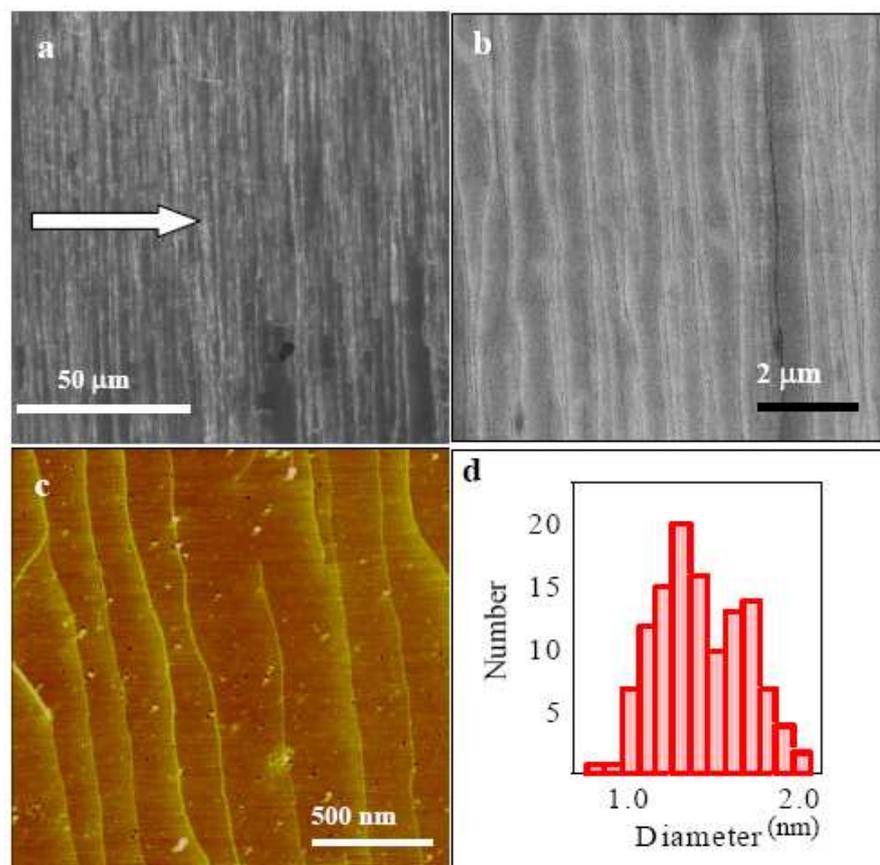
Il y a aujourd'hui plusieurs techniques de synthèse des CNTs, tels que : « arc électrique », « ablation laser », « chemical vapor deposition » (CVD), illustrée en figure 1.2, et « synthèse flamme ». Un gros problème est que les CNTs après synthèse contiennent souvent beaucoup d'impuretés (feuille graphite, amorphe de carbone, catalyseurs métalliques, petits fullerènes). De plus, les CNTs sont en général déposés sur le substrat au hasard. Enfin, les CNTs produits sont régulièrement un mélange des deux types, métalliques et semi-conducteurs [Toma02][Daen03][Liu06]. Le tableau 1.1 résume trois de ces techniques.

Au vu du tableau 1.1, outre les défauts dus à la fabrication mentionnés ci-dessus, un autre problème est la variation du diamètre du nanotube. En fait, il est difficile de produire une masse de CNTs homogènes sauf par la méthode « laser ablation », mais celle-ci est très coûteuse.

Les applications électroniques ont besoin de nanotubes à la fois alignés et homogènes, car l'homogénéité des nanotubes permet des dispositifs ayant des caractéristiques stables

[Zhou00]. Donc, beaucoup d'efforts sont consacrés à développer de nouvelles méthodes permettant de bien maîtriser à la fois le dépôt des nanotubes sur le substrat et l'homogénéité du diamètre du nanotube. Des SWCNTs ayant un diamètre de  $1,7 \pm 0,6$  nm peuvent être fabriqués avec succès, comme indiqué en [Han05] (voir le détail en figure 1.2). Des SWCNTs ayant un diamètre moyen de  $1,34 \pm 0,30$  nm peuvent aussi être fabriqués avec succès, comme indiqué en [Fumi05]. Des SWCNTs ayant un diamètre nominal de 1,3 nm sont indiqués en [Helixweb].

Dans le travail de cette thèse, la variation du diamètre du nanotube sera étudiée entre 1,0 nm et 2,0 nm, car cet intervalle couvre toutes les technologies mentionnées ci-dessus et encadre les valeurs généralement jugées les plus intéressantes pour les applications logiques.



**Figure 1.2 : Les SWCNT sur un substrat a-plane de saphir, synthèse par la technique CVD ; images SEM à faible agrandissement (a) et à fort agrandissement (b) : la flèche montre la direction du flux de gaz de carbone ; (c) l'image AFM des SWCNT alignés et (d) la distribution des diamètres des SWCNT fabriqués [Han05][Liu06]**

**Tableau 1.1 : Trois techniques fréquentes de synthèse de CNTs**

Arc discharge	<p>Une vapeur est créée par un arc électrique entre deux électrodes de carbone avec ou sans catalyse. Les nanotubes s’auto-assemblent à partir de la vapeur de carbone. Cette méthode produit le plus souvent une grande quantité de matériaux impurs.</p> <p><b>Type de CNT</b> : Nanotubes courts.</p> <p><b>Variation du diamètre</b> : 0,6 – 1,4 nm.</p>
Laser ablation	<p>Un faisceau laser à grande puissance agit sur un gaz contenant du carbone (méthane ou carbone monoxyde). L’ablation laser produit une petite quantité de nanotubes propres.</p> <p><b>Type de CNT</b> : Nanotubes longs.</p> <p><b>Variation du diamètre</b> : 1,0 – 2,0 nm.</p>
CVD	<p>La technique de CVD produit des MWCNT ou des SWCNT de basse qualité. Les SWCNT fabriqués par CVD présentent une grande variété de diamètres qui peuvent être difficilement contrôlés. Mais d’un autre côté, cette méthode est très facile à développer, ce qui facilite la production commerciale.</p> <p><b>Type de CNT</b> : Nanotubes longs.</p> <p><b>Variation du diamètre</b> : 0,4 – 4,0 nm.</p>

### 1.1.2. Fabrication de transistors à nanotube (CNTFET)

Un nanotube de carbone mono-paroi semi-conducteur individuel peut être utilisé comme canal d’un transistor à effet de champ (CNTFET). Depuis les premières démonstrations expérimentales en 1998 [Tans98], les performances de ces composants n’ont cessé de s’améliorer. Aujourd’hui, le niveau de performance atteint (à basse fréquence) peut être favorablement comparé aux meilleurs transistors en silicium [Javey02a]. De plus, la fabrication de nanotubes a montré que les transistors à base de nanotubes peuvent être fabriqués avec des technologies compatibles avec celles de la microélectronique actuelle [Avou02]. Ainsi, les transistors à nanotube semblent être parmi les nano-dispositifs les mieux positionnés pour succéder au transistor MOSFET dans les applications nano-électroniques du futur.

Le SWCNT semi-conducteur possède une bande d'énergie interdite (bandgap) variant en fonction du diamètre ( $E_G \sim 0,9/d$  eV où  $d$  est le diamètre du nanotube [Toma02]). Pour les applications électroniques, il est essentiel d'avoir un bandgap assez grand (correspondant à un diamètre assez petit) pour éliminer la production excessive de porteurs thermiques. Cependant, un plus petit bandgap (correspondant à un grand diamètre) permet un courant plus élevé. Il est donc important de choisir un diamètre convenable avec un bandgap ni trop petit, ni trop grand. Par exemple, la valeur du bandgap des quelques semi-conducteurs conventionnels est : 1,12eV pour Si ; 0,67eV pour Ge ; 1,43eV pour GaAs (à la température de 300K). Nous avons donc choisi dans les études présentées dans cette thèse un diamètre nominal de 1,42 nm, c'est-à-dire  $E_G \sim 0,64$ eV et un vecteur de chiralité  $(n_1, n_2) = (19, 0)$  correspondant à un CNT du type zigzag. En effet, les portes logiques construites avec des CNTFETs de ce diamètre présentent les meilleures caractéristiques.

#### **1.1.2.1. Fabrication des CNTFET type N et type P par dopage de CNT**

Pour construire des CNTFETs type P et type N, il faut réaliser le dopage du CNT (dopage  $n+$  ou  $p+$ ).

Les techniques de dopage de CNT [Toma02][Liu06] sont les suivantes. Les SWCNTs formés ont naturellement un comportement de semi-conducteurs du type P. En d'autres termes, les porteurs induits dans le nanotube sont des charges positives (les trous). Ceci est expliqué par plusieurs théories. La théorie la plus communément admise établit que le comportement de type P est causé par le transfert de charge du nanotube vers l'électrode avec un niveau de Fermi relativement bas. Une autre explication est que les nanotubes sont dopés par des atomes étrangers pendant la synthèse ou la purification ou l'absorption de gaz. Mais l'absorption de l'oxygène n'est pas réellement un dopage pour plusieurs raisons.

Les CNTs peuvent être dopés de plusieurs manières pour devenir des semi-conducteurs de type N. Les nanotubes du type P peuvent être exposés sur un composé qui donne des électrons, par exemple des métaux alcalins, pour former des nanotubes de carbone de type N. Le moyen le plus facile de réaliser la transformation est de chauffer le nanotube de type P (voir figure 1.3a). Cependant, le dopage des CNTs par le potassium et l'adsorption d'oxygène induit plusieurs comportements. Par exemple, en figure 1.3b, une partie du CNT type P est couverte par PMMA (Polyméthyl méthacrylate) et une autre partie du CNT est ouverte ; après un bombardement des électrons de potassium, la partie du CNT ouverte devient de type N, et la partie couverte reste de type P [Dery01].

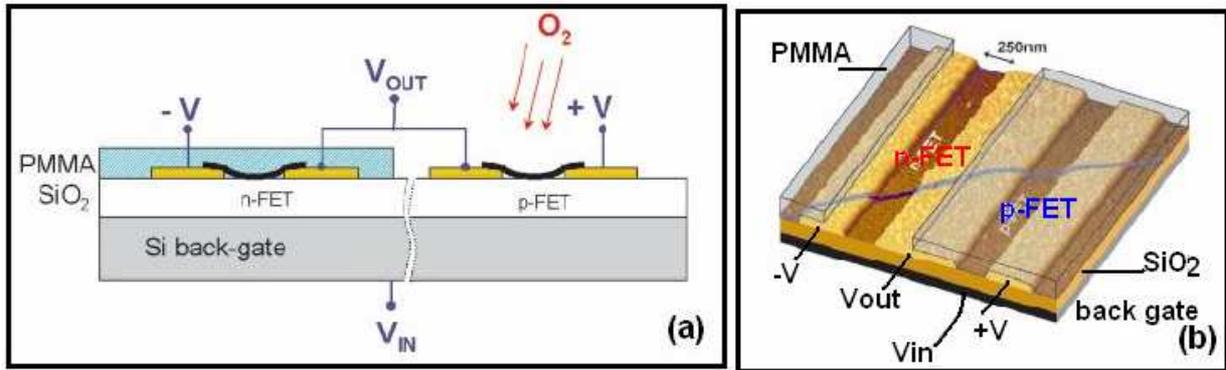


Figure 1.3 : Dopage d'un CNTFET type P pour créer un CNTFET type N [Dery01] : (a) par le recuit et le dopage avec oxygène; (b) par le dopage avec le potassium.

### 1.1.2.2. Deux structures de CNTFET en fonction du mécanisme de commutation

Il y a deux mécanismes différents de commutation du CNTFET correspondant aux deux structures différentes du CNTFET :

- Dans un premier cas, le CNTFET peut être principalement basé sur les barrières Schottky présentes à la jonction métal/CNT. La commutation se produit par modulation de la résistance de contact plutôt que par altération de la résistivité du canal. La barrière de Schottky empêche les charges de traverser la jonction à basse tension de grille. Quand la tension de la grille augmente, la barrière diminue, donc la charge peut traverser par un effet de tunnel thermique et le transistor devient conducteur [Javey02a][Wind02][Appen03][Lin04][Knoch05][Lin05]. Ce type de CNTFET s'appelle CNTFET à barrière Schottky (SB-CNTFET). Un SB-CNTFET montre **une caractéristique ambipolaire** très forte (voir figure 1.4).
- Dans un second cas, le mécanisme de commutation du CNTFET étant basé sur la modulation de la hauteur des barrières d'énergie du CNT, lorsqu'une tension de la grille est appliquée, la barrière Schottky est éliminée. Ce CNTFET montre **une caractéristique unipolaire** et possède une caractéristique I-V (le courant selon la tension de grille) similaire au MOSFET conventionnel. Ce CNTFET est donc aussi nommé C-CNTFET. La structure du C-CNTFET se compose d'un nanotube intrinsèque avec deux extrémités dopées n+ ou p+ [Lin05][Javey05][Appen04b] (voir figure 1.5).

Le C-CNTFET a été développé pour surmonter les limitations du CNTFET type barrière Schottky. Il montre un courant de fuite réduit, un courant ON élevé (dû à l'absence de la barrière Schottky). Il permet de miniaturiser la taille du transistor C-CNTFET, plus fiable que SB-CNTFET. Cependant, le processus de dopage du C-CNTFET est difficile parce que les dopants remplaçant les atomes de carbone peuvent détruire la structure du nanotube. Or, les techniques pour implanter des ions traditionnels ne peuvent pas être utilisées.

Le C-CNTFET est très prometteur, parce qu'il montre, d'une part un courant ON (Ion) assez grand à travers le nanotube et un petit courant OFF (Ioff), et d'autre part un caractère unipolaire. De plus, les CNTFET type N et type P sont fabriqués simplement en dopant les électrodes à n+ ou p+. Ainsi, toutes les structures logiques de la technologie CMOS peuvent être adaptées à la technologie à base de CNT.

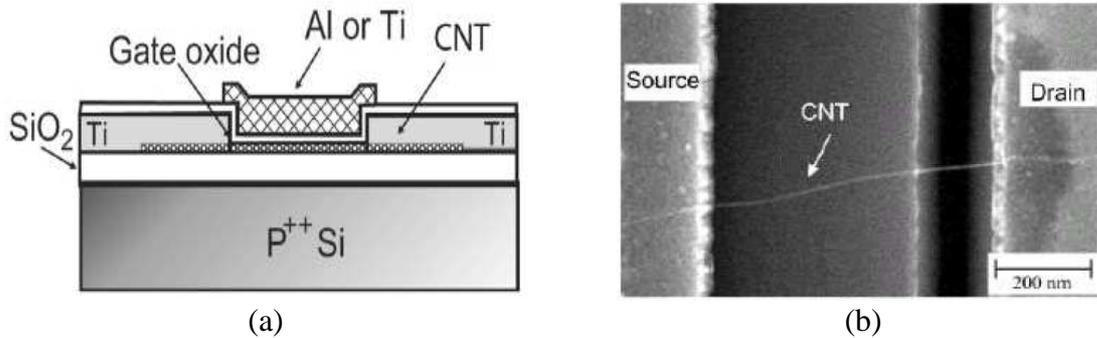


Figure 1.4 : (a) un schéma d'un SB-CNTFET "top-gate" [Wind02], (b) une image du SB-CNTFET par SEM [Lin04].

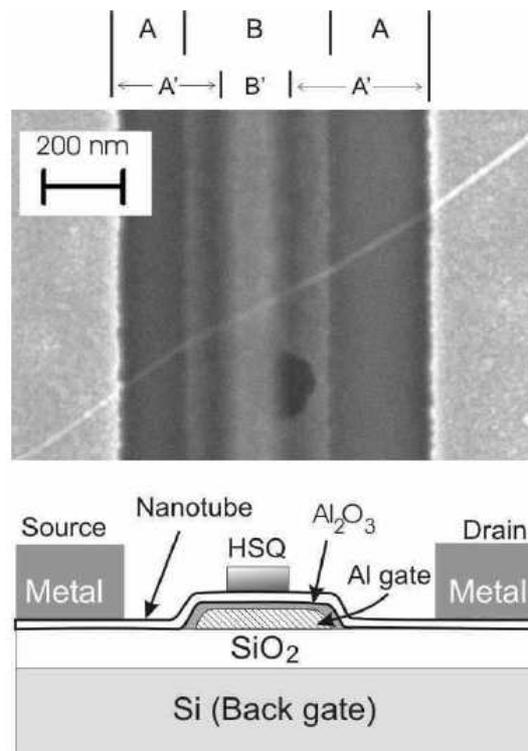


Figure 1.5 : L'image ci-dessus est la coupe transversale d'un C-CNTFET double grille avec une couche de résine HSB (épaisseur de 100-nm) gravée sur le sommet (top) du nanotube et sur la grille Al ; elle est notée « région B ». La couche HSQ est utilisée ici afin d'obtenir un profil de dopage chimique le long du nanotube respectant les régions A' et B' [Lin05].

Le tableau 1.2 montre la comparaison entre les deux types de CNTFETs mentionnés ci-dessus. Toutes les données pour les CNTFETs ont été mesurées sur des transistors SWCNT et les dimensions du transistor ont été normalisées à 2d (d : diamètre du nanotube).

**Tableau 1.2 : Comparaison des deux structures de CNTFET**

	SB-CNTFET [Wind02]	C-CNTFET [Javey05]
Diamètre	~1,4nm	~1,6nm
Position de la grille	top	top
t <sub>ox</sub> (nm)	15	8
Diélectrique	ZnO <sub>2</sub>	HfO <sub>2</sub>
Métal du S/D	Ti	Pd
Longueur du CNT	260nm	80nm
V <sub>ds</sub>   (V)	0,5	0,5
I <sub>ON</sub> (μA/μm)	535	2500
I <sub>on</sub> /I <sub>off</sub>	10 <sup>4</sup>	10 <sup>6</sup>
S (mV/dec)	Type N : 312 Type P : 130	Type N : 80 Type P : 70
g <sub>m</sub> (S/μm)	Type P : 1160	Type N : 6250 Type P : 3125
V <sub>th</sub> (V)	Type N : 0.3 Type P : -0.5	Type N : ~ -0.6 Type P : ~ 0.5

### 1.1.2.3. La résistance de contact du type C-CNTFET

Pour le C-CNTFET dopé à la source et au drain, la résistance de contact aux deux électrodes (la source et le drain) joue un rôle très important pour déterminer la caractéristique du transistor. Le C-CNTFET fonctionne sur le « mode enhancement » ayant une haute performance comme illustré en [Javey04][Javey05]. Le CNTFET a un courant de drain « ON » (I<sub>on</sub>) élevé et un courant de drain « OFF » (I<sub>off</sub>) très petit ; la conductivité ambipolaire, conduisant à un courant de fuite fort, est supprimée. En [Zhou05], un CNTFET dopé à la source et au drain, avec un diamètre du nanotube de 4,0 nm, est fabriqué et étudié. Il a une résistance de contact de 28kΩ et la résistance intrinsèque du nanotube est de 30kΩ. Il faut essayer de réduire et d'optimiser cette résistance afin qu'elle soit aussi petite que possible.

## 1.2. Circuits logiques basés sur les CNTFETs

De nombreuses démonstrations de faisabilité ont prouvé que les transistors à bas de nanotubes peuvent servir à la fabrication de diverses fonctions électroniques (mémoires non volatiles [Ruec00][Fuhr02][Rado02] [Wang05], portes logiques [Bach01][Dery01][Mart02] [Avou02][Gojman04][Hur05][Sordan06][Chen06]). En général, ces utilisations ne tirent pas

réellement parti de la spécificité des nanotubes par rapport aux autres semi-conducteurs. Il s'agit plus d'une adaptation des structures CMOS à un nouveau matériau. Cependant, les propriétés des CNTFETs permettent d'élaborer des circuits et donc des architectures inaccessibles aux transistors MOSFET. Les circuits logiques à nanotube se placent en effet dans deux catégories :

- En considérant que le CNTFET remplace le MOSFET, toutes les fonctions logiques peuvent rester les mêmes. Dans cette approche, les structures (par exemple la logique complémentaire, la logique de charge résistive) et les caractéristiques sont fondamentalement les mêmes. Donc, **nous pouvons effectuer une comparaison quantitative entre des architectures différentes (complémentaire, charge résistive, transfert, domino) à base de CNTFET**. Cette comparaison est justement l'un des objectifs de cette thèse (chapitre 2).
- L'exploitation des propriétés spécifiques du CNTFET permet de le différencier par rapport aux MOSFETs par les fonctions logiques réalisables, en particulier en utilisant le caractère ambipolaire. Quelques voies sont : (1) **logique multi-valuée** [Ray05]: exploitation du contrôle du diamètre pour contrôler le gap énergétique et obtenir ainsi des dispositifs ayant des caractéristiques finement accordables; (2) **structure re-configurable** [Connor07]: exploitation des CNTFETs ambipolaires double grille ; (3) **SET à base de CNT** (transistor à électron unique [Post01]: pour l'implantation d'éléments logiques de calcul permettant de tolérer des problèmes inhérents aux dispositifs nanoélectroniques de type SET (fluctuation des caractéristiques des dispositifs, charges d'offset, défauts de fabrication) ; (4) **l'exploitation des CNTFETs dont le nanotube est multi-parois**.

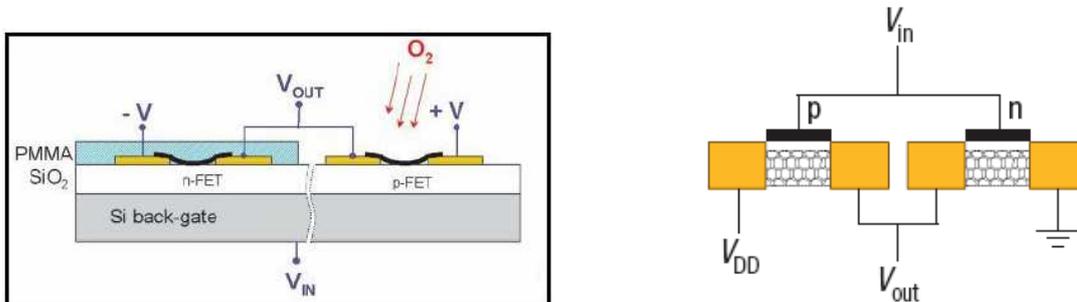
### 1.2.1. Portes logiques basées sur le CNTFET unipolaire

Les études concernant le CNTFET individuel, résumées ci-dessus, ont démontré qu'il a d'excellentes propriétés électriques, telles qu'une mobilité élevée des électrons et une grande trans-conductance. Mais il n'est pas assez sûr pour permettre des applications nanoélectroniques sur une grande échelle. La validité de l'électronique à base de CNTFET dépend du comportement des portes logiques qui sont composées de multiples CNTFETs. Cette partie présente quelques portes logiques à nanotube expérimentées avec succès en laboratoire (et individuellement) jusqu'à aujourd'hui et leurs caractéristiques principales.

#### 1.2.1.1. Deux types de portes logiques : hétérogène et homogène

*Les portes logiques hétérogènes ou inter-moléculaires [Dery01][Hur05]*

Ces portes logiques sont construites sur plusieurs nanotubes séparés. Les chercheurs du groupe IBM ont fabriqué en 2001 une porte inverseur en utilisant deux CNTFET séparés. Deux SWCNTs sont employés pour réaliser un inverseur CNTFET complémentaire similaire à un inverseur CMOS (figure 1.6).



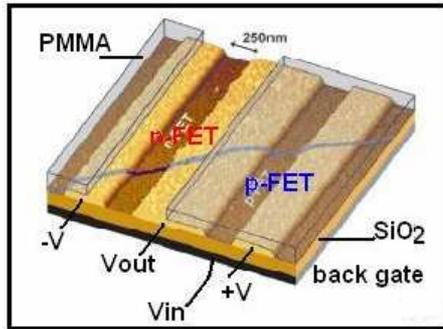
**Figure 1.6 : Porte inverseur hétérogène ou inter-moléculaire - les deux nanotubes des deux transistors type N et type P sont séparés [Dery01] [Javey02a]**

Comme indiqué en section 1.1.2, sans traitement spécial, le CNT obtenu est toujours de type P. Ainsi, afin de fabriquer un CNTFET de type N, ils ont recuit sous vide un CNTFET de type P protégé, PMMA à 200°C pendant 10h. Le PMMA est utilisé comme un matériau de protection parce qu'il est facile à lithographier. Cette protection est assez dense pour empêcher la pénétration des gaz à température ambiante, mais assez perméable à haute température pour permettre la sortie des gaz à travers la protection.

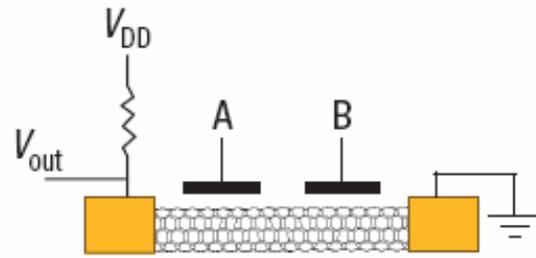
On construit un inverseur en attachant ensemble un CNTFET de type N avec un CNTFET de type P. La porte inverseur opère exactement de la même manière que celle des CMOS traditionnels.

#### *Les portes logiques homogènes ou intra-moléculaires [Dery01][Gojman04][Chen06]*

L'intégration ultime des CNTFETs devrait être basée sur des portes logiques construites en utilisant le même nanotube. C'est à dire en construisant des portes logiques intra-moléculaires. V. Derycke et al. ont construit un inverseur intra-moléculaire dont une partie du nanotube agit comme un CNTFET de type P et l'autre partie comme un CNTFET de type N. Le dispositif complet a été préparé comme montré en figure 1.7. Le dispositif s'est très bien comporté, ayant un gain de tension de plus de 1. Ceci permet donc d'intégrer de multiples portes pour créer des circuits plus compliqués.



(a) la porte inverseur



(b) la porte OR

**Figure 1.7 : Porte inverseur homogène ou intra-moléculaire (a) : deux transistors type N et type P sont construits le long d'un seul nanotube [Dery01]. La porte OR [Javey02a] (b) contient deux transistors type P et une résistance entre la sortie et  $V_{DD}$ .**

Pour créer un CNTFET de type N, ils ont utilisé la méthode de dopage au potassium (donneur d'électron). Le dispositif entier est d'abord couvert par le PMMA et ensuite une fenêtre est ouverte en employant la lithographie EB. Le potassium est utilisé pour doper une moitié du CNT à travers la fenêtre, tandis que l'autre moitié reste de type P. Le dopage est ajusté de façon à ce que la tension de seuil du CNTFET de type N et celle du CNTFET de type P coïncident. La capacité à ajuster la position relative des deux tensions de seuil en choisissant une dose appropriée de dopage permet une transition beaucoup plus précise de l'état logique haut vers l'état logique bas.

### 1.2.1.2. Dessin des masques des portes logiques complémentaires

Du point de vue des concepteurs, toutes les architectures logiques de technologie MOSFET, complémentaires (CMOS) ou non, peuvent être transférées vers la technologie à nanotube, parce que des types de transistors à nanotube type N et type P peuvent être fabriqués. Mais il faut faire très attention, car la physique des transistors à nanotube est très différente de celle des transistors au silicium. Un outil de CAO (Conception Assistée par Ordinateur) permettant de concevoir des circuits à nanotube en s'inspirant des outils CAO de la technologie CMOS, a été présenté pour la première fois dans l'article [Zhang05]. Avec cet outil, les masques des portes inverseur, NAND2 et NOR2 sont dessinés en utilisant des règles de dessin arbitraires (voir figure 1.8). Cet outil peut générer des masques pour toutes les autres portes logiques complémentaires et des circuits plus complexes. Dans le futur, de tels outils de CAO spécifiques seront nécessaires.

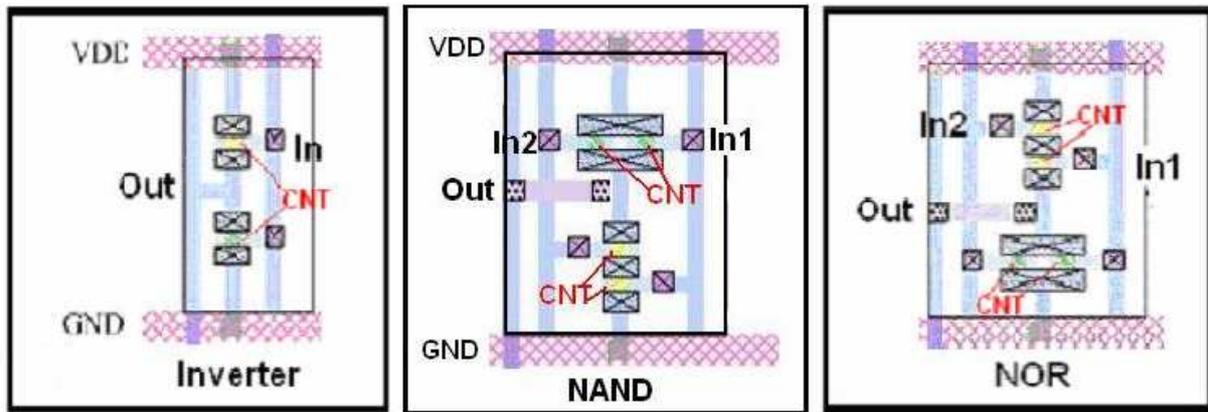


Figure 1.8 : Masques des portes logiques complémentaires (inverseur, NAND2 et NOR2) en utilisant des règles de dessin arbitraires [Zhang05]

### 1.2.1.3. Défis d'intégration des CNTFETs sur substrats

La production des circuits intégrés à nanotube est très différente de celle des circuits intégrés traditionnels au silicium. Les processus de fabrication des circuits intégrés au silicium sont plutôt des processus de lithographie, les couches étant déposées sur le substrat, puis gravées pour construire des transistors MOSFET. Mais les nanotubes de carbone ne sont pas une couche. Les transistors à nanotube sont créés par des processus de synthèse de CNT et de placement de CNT en bonne position entre deux électrodes (la source et le drain) sur le substrat. Les circuits à nanotube ne peuvent donc pas être produits par des technologies conventionnelles.

Du point de vue technologique, la fabrication d'un circuit à base de nanotubes comporte trois processus principaux : (i) la synthèse des CNTs, (ii) le dépôt et dessin des électrodes du transistor et (iii) les interconnexions. Au début, chaque transistor à nanotube était créé en plaçant un nanotube sur le substrat de silicium en utilisant une sonde (tip) du microscope à force atomique (AFM). Cette technique ne peut sûrement pas être exploitée pour produire des circuits sur une grande échelle, voire même des petits circuits avec quelques transistors. Jusqu'à maintenant, il y a trois approches différentes pour fabriquer des circuits à base de nanotubes sur une grande échelle ; ce sont le CVD, la « diélectrophorèse » et la « conduite par DNA ». Le tableau 1.3 résume ces trois approches.

Pour l'approche « conduite par DNA », une technique biologique est utilisée pour placer des nanotubes issus de la solution sur le substrat. Ensuite, une paire de mèches complémentaires (strands) de DNA est attachée au nanotube, puis disposée sur des électrodes déjà créées sur le substrat. Après une réaction chimique (en présence d'anticorps), le CNT est auto-placé entre des électrodes en paire [Dwyer04a].

Pour l'approche « diélectrophorèse », la technique de l'« ablation laser » est utilisée pour fabriquer le CNT. Dans cette technique on utilise deux champs électriques AC et DC :

on peut changer l'amplitude de ces champs électriques pour maîtriser et optimiser la position et l'alignement du nanotube sur le substrat. Cette approche sépare bien CNTs métalliques et CNTs semi-conducteurs, et surtout les processus sont réalisés à température ambiante.

Pour l'approche CVD, le CNT individuel peut être synthétisé à la place désirée sur le substrat ; elle est donc prometteuse pour fabriquer des circuits sur une grande échelle [Li04].

**Tableau 1.3 : Trois approches de fabrication des circuits logiques à base de nanotubes**

	<b>Conduite par DNA</b> [Dwyer04]	<b>Dielectrophorèse</b> [Dery01][Bach01]	<b>CVD</b> [Li04]
<b>CNT</b>	Auto-assemblage	Ablation laser	CVD
<b>Electrodes (Source, drain)</b>	Technique traditionnelle	Lithographie par faisceau d'électron	Technique « lift-off »
<b>Interconnexion</b>	Technique traditionnelle	Lithographie par faisceau d'électron	CVD
<b>Avantages</b>	-Sur grande échelle. -Dépôt précis du CNT à sa place. -Fonctionnement à la température ambiante.	-Permet l'intégration multiple des CNTFETs sur un substrat.	-Le dépôt du CNT sur le substrat est bien contrôlable.
<b>Inconvénients</b>	Imprécision et incertitude inhérentes au processus d'auto-assemblage.	Pas d'utilisation pour les systèmes intégrés à cause des résistances extérieures dans la structure.	Processus à haute température : la structure du nanotube peut être détruite.

### 1.2.2. Circuits logiques basés sur le CNTFET ambipolaire : circuit re-configurable

Dans l'article [Lin05], l'auteur propose une structure de CNTFET ambipolaire à double grilles : « grille arrière » et « grille top ». Selon la polarisation de la « grille arrière », le CNTFET peut fonctionner en type P ou type N. Ian O'Connor et J. Liu du laboratoire INL [Connor07] ont proposé une structure logique pour exploiter cette structure, qu'ils ont appelé « structure logique re-configurable ». Pourquoi re-configurable ? Parce que cette structure logique peut être configurée pour réaliser plusieurs fonctions logiques en fonction de la configuration des « grilles arrière » du réseau de CNTFETs. Cette structure logique ne peut pas être réalisée avec des MOSFETs simple grille (ce serait envisageable avec des MOSFETs double grille asymétriques).

### 1.2.2.1. Structure d'une porte logique ayant 8 fonctions re-configurables dynamiquement

Cette porte logique, appelée CNT-DR8F, est illustrée en figure 1.9. Elle a 7 entrées (A, B,  $V_{bgA}$ ,  $V_{bgB}$  and  $V_{bgC}$ ,  $pc_1$ ,  $pc_2$ ,  $ev_1$ ,  $ev_2$ ) et 1 sortie (Y) :

- (i) A, B : les deux entrées binaires (les niveaux logiques « 0 » et « 1 » correspondent aux tensions 0V et 1,0V).
- (ii)  $V_{bgA}$ ,  $V_{bgB}$  and  $V_{bgC}$  : les trois entrées de commande configurant la fonction logique de base de la porte, comme défini dans le tableau 1.4. Il faut noter que si la « grille arrière » est à  $V_{ss}$  (ou -1,0V), le CNTFET fonctionne comme un transistor de type P et quand la « grille arrière » est à  $V_{DD}$  (+1,0V), le CNTFET fonctionne comme un transistor de type N.
- (iii)  $pc_1$  et  $pc_2$  : deux entrées commandant l'état de précharge des deux nœuds C et Y respectivement ;  $ev_1$ ,  $ev_2$  sont deux entrées d'évaluation qui sont activées pour valider la sortie de la porte.
- (iv) Y est la sortie.

Cette porte composée de 7 CNTFETs double-grilles est organisée en deux étages : un étage «fonction logique» qui réalise les 8 fonctions logiques ( $\overline{A+B}$ ,  $A+B$ ,  $A \cdot B$ ,  $\overline{A \cdot B}$ ,  $\overline{AB}$ ,  $A+\overline{B}$ ,  $A\overline{B}$ ,  $B+\overline{A}$ ) et un étage «suiveur» qui est inverseur. Les polarisations des CNTFETs  $T_{C1}$ ,  $T_{C2}$  et  $T_{C3}$  sont commandées par les tensions de grille arrière  $V_{bgA}$ ,  $V_{bgB}$  et  $V_{bgC}$ .

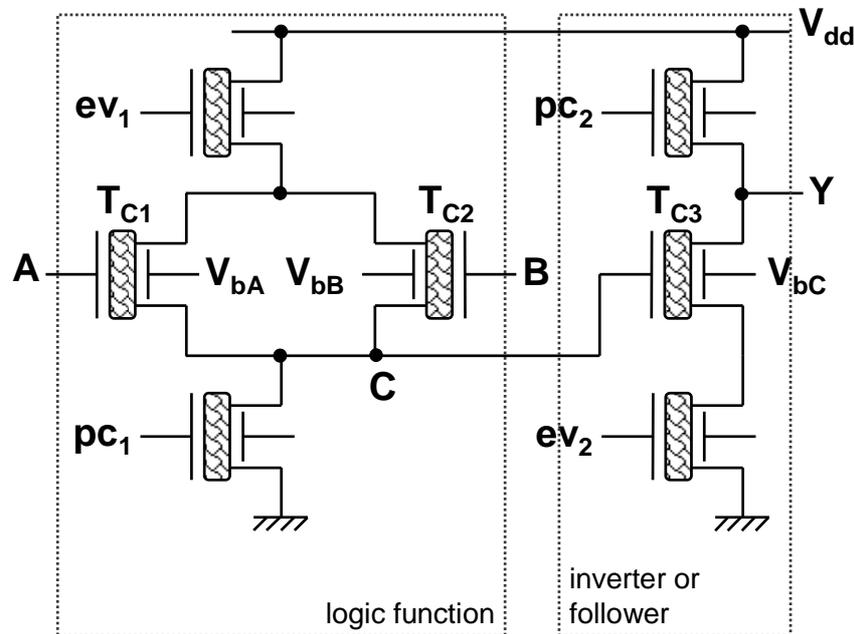


Figure 1.9 : Schéma de la porte logique à 8 fonctions re-configurable dynamiquement [Connor07]

**Tableau 1.4 : Les huit fonctions logiques de base d'une porte logique re-configurable à trois entrées CNT-DR8F**

$V_{bA}$	$V_{bB}$	$V_{bC}$	$Y$
+V	+V	+V	$\overline{A+B}$
+V	+V	-V	$A+B$
-V	-V	+V	$A \cdot B$
-V	-V	-V	$\overline{A \cdot B}$
+V	-V	+V	$\overline{AB}$
+V	-V	-V	$A + \overline{B}$
-V	+V	+V	$\overline{A}B$
-V	+V	-V	$B + \overline{A}$

### 1.2.2.2. Explication du fonctionnement de cette porte logique

Pour illustrer le fonctionnement, nous expliquons ici comment la porte réalise la fonction NOR (voir la première ligne du tableau 1.4) quand les transistors sont polarisés par  $V_{bA}=V_{bB}=V_{bC}=1,0V$  :

- (1) Quand  $V_{bA}=V_{bB}=V_{bC}=1,0V$  ; les CNTFET  $T_{C1}$ ,  $T_{C2}$  et  $T_{C3}$  (voir la figure 1.9) fonctionnent comme des transistors de type N.
- (2) Quand le signal pc1 est au niveau 1,  $V_C$  est à 0V ; quand pc2 est au niveau 1, la sortie Y est à  $V_{DD}$  (1,0V).
- (3) Quand ev1 est au niveau 1, si **une des deux entrées A et B est** au niveau 1, le transistor CNTFET correspondant à cette entrée est passant et le nœud C est à  $V_{DD}$  (1,0V). De plus, ce nœud C étant l'entrée du transistor  $T_{C3}$  de type N,  $T_{C3}$  est passant.
- (4) Quand ev2 est au niveau 1, la sortie Y est déchargée à travers le transistor commandé par ev2 et donc la **sortie Y est à 0V, correspondant** au niveau 0.

La figure 1.10 montre le dessin des masques de la porte CNT-DR8F en utilisant des règles de dessin arbitraires. Ce dessin exploite une approche similaire à celle utilisée pour dessiner des circuits logiques complémentaires et les MOSFETs à silicium sont remplacés par des nanotubes. De plus, ce dessin est basé sur l'idée de portes « intra moléculaires » ou « homogènes » (voir partie 1.2.1.1), pour lesquelles plusieurs CNTFETs sont construits le long d'un seul nanotube. Par exemple, ici les transistors de ev1,  $T_{C1}$ , pc1 sont construits sur un nanotube et les transistors pc2,  $T_{C3}$ , ev2 sont construits sur un autre nanotube.

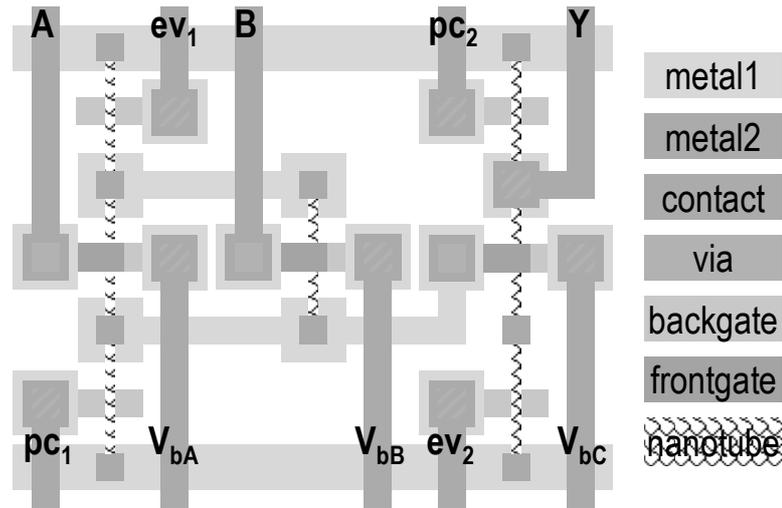


Figure 1.10 : Dessin des masques de CNT-DR8F en utilisant des règles de dessin arbitraires

### 1.3. Modélisation et simulation des CNTFETs

Des travaux théoriques et expérimentaux récents ont permis de mieux comprendre le mode de fonctionnement des transistors à base de nanotube [Yamada03][Rahman03][Guo04a][John04][Guo04b][Neop04][Rond05][Hasan05][Castro06][Guo06]. Il faut construire des théories et des modèles fiables, puissants qui peuvent expliquer le rôle des barrières Schottky formées à l'interface métal-nanotube pour les SB-CNTFETs, et expliquer le changement de hauteur des barrières des bandes d'énergie pour les C-CNTFETs. Selon la fonction, il faut avoir des modèles du transistor unipolaire et du transistor ambipolaire. Ceci n'est toutefois pas exploitable pour la conception de circuits, compte tenu des temps de simulation requis.

Des modèles compacts écrits dans des langages comme VHDL-AMS ou VerilogA ont donc été déduits des modélisations analytiques, des résultats d'analyse rigoureuse ou des mesures pour pouvoir utiliser les plates-formes classiques de la conception microélectronique [Ray04][Maneux06][Prég06]. Ces modèles doivent pouvoir être utilisés pour simuler et étudier des circuits complexes à base de CNTFET, qui n'ont pu être encore fabriqués en raison des limitations actuelles de la technologie.

Un des objectifs de cette partie est de valider l'un de ces modèles par comparaison des résultats issus de simulation avec des résultats expérimentaux. Nous rappelons tout d'abord quelques éléments physiques sur lesquels la modélisation est basée.

### 1.3.1. Physique du transistor à base de nanotube

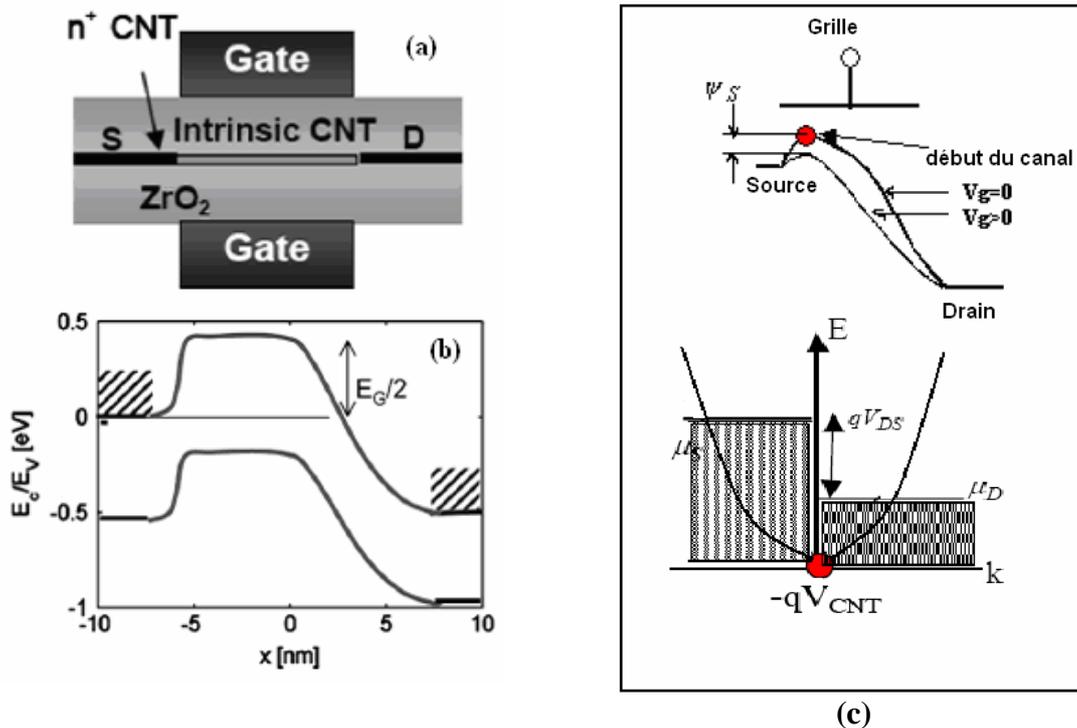
#### 1.3.1.1. Transport balistique des porteurs traversant le CNT

Des études expérimentales et des simulations ont montré que le transport des porteurs traversant le nanotube court peut être considéré comme balistique, pour une polarisation drain-source faible et une longueur du nanotube inférieure à 150 nm ; ce phénomène signifie que les dispersions de porteurs sont quasi-supprimées dans le nanotube intrinsèque [Zhou00] [Reed02][Avou02][Rahman03].

Un nanotube multi-parois a montré une capacité de délivrer un fort courant, de plus de  $10^9 \text{ A/cm}^2$ , sans dégradation après plusieurs semaines d'opération à température ambiante [Wei01]. Cette caractéristique prometteuse permet d'élaborer un transistor à nanotube d'un diamètre de 1nm avec une densité de courant de drain d'au moins  $10^8 \text{ A/cm}^2$ .

#### 1.3.1.2. Physique et principe de la commutation du C-CNTFET

La structure d'un C-CNTFET type N avec le matériau diélectrique  $\text{ZrO}_2$  (high- $\kappa$ ) est illustré en figure 1.11.a. La figure 1.11.b montre la structure de bandes d'énergie: les régions ombrées sont la source et le drain; la hauteur de la barrière à la jonction source/canal est de  $E_G/2$ . Nous voyons qu'il n'y a pas de barrière tunnel dans ce transistor. Le mécanisme de commutation du CNTFET est basé sur la modulation de la hauteur des barrières d'énergie du CNT (voir figure 1.11.c), lorsqu'une tension de grille est appliquée. Ce CNTFET montre **une caractéristique unipolaire**.



**Figure 1.11 :** (a) structure d'un C-CNTFET type N avec le matériau diélectrique ZrO<sub>2</sub> (high-κ) ; (b) structure de bandes d'énergie : les régions ombrées sont la source et le drain; la hauteur de la barrière à la jonction source/canal est de E<sub>G</sub>/2 ; il n'y a pas de barrière tunnel ; (c) schéma du wave-number (E-k) du nanotube : μ<sub>S</sub> et μ<sub>D</sub> sont les niveaux de Fermi de la source et du drain

Pour s'assurer que le C-CNTFET fonctionne en régime balistique, il faut satisfaire les trois hypothèses suivantes :

- (i) Les dispersions des porteurs sont supprimées dans le nanotube intrinsèque jouant le rôle du canal du transistor. Les porteurs qui traversent le canal du drain à la source ne reviennent donc pas en arrière vers la source (cela signifie que la réflexion des porteurs au drain est négligée).
- (ii) Le courant du drain devant rester constant le long du canal, il est calculé au début du canal avec le potentiel V<sub>CNT</sub>. Au début du canal, les électrons venant de la source remplissent des états « +k » et les électrons venant du drain remplissent des états « -k » (voir figure 1.11.c). Le courant ON est limité par la somme des charges introduites dans le canal par la grille. De plus, le courant du drain est exprimé par les paramètres physiques du CNTFET (par exemple, la longueur et le diamètre du nanotube, correspondant à la longueur et à la largeur du canal du transistor traditionnel). Le courant du drain n'est pas dépendant de la mobilité des porteurs.
- (iii) Le potentiel V<sub>CNT</sub> est défini par quatre capacités C<sub>D</sub>, C<sub>S</sub>, C<sub>Q</sub> (capacité quantique – qui n'est pas montrée dans la figure 1.12) et en particulier C<sub>G</sub>. Car la capacité total de la grille du CNTFET (C<sub>T</sub>) compose de deux C<sub>Q</sub> et C<sub>G</sub> intrinsèque en série, ce

$C_T$  est donc calculée :  $1/C_T = 1/C_G + 1/C_Q$ . En effet,  $C_G$  étant beaucoup plus grande que les trois autres capacités, la capacité totale  $C_T$  du CNTFET est inférieure à (ou limitée supérieurement à) la capacité quantique  $C_Q$ , particulièrement en cas d'utilisation d'un matériau diélectrique de grille « high- $\kappa$  » [Liu06].

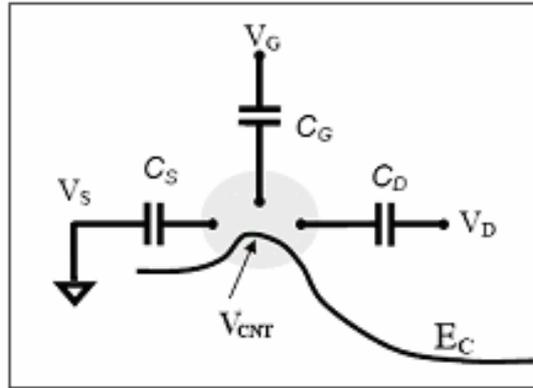


Figure 1.12 : Trois capacités contribuent à définir le potentiel  $V_{CNT}$  :  $E_C$  est le niveau de Fermi de la bande de conduction,  $V_S$  et  $V_D$  sont la tension à la source et au drain.

### 1.3.1.3. Paramètres physiques du CNTFET

Pour un transistor MOSFET traditionnel, les paramètres physiques principaux sont les dimensions du canal de silicium (longueur, largeur) et la capacité de la grille qui est déterminée aussi par l'épaisseur d'oxyde. Pour un transistor CNTFET, nous avons :

- les dimensions du canal du transistor CNTFET: en fait, ce sont les dimensions du nanotube (diamètre, longueur).
- la capacité de la grille ( $C_G$ ) : cette capacité MIC (Métal – Isolateur – CNT) dépend de deux géométries différentes – planaire ou coaxiale, comme illustré en figure 1.13.

Le CNTFET avec la grille planaire constitue la majorité des transistors à base de nanotube fabriqués jusqu'à aujourd'hui, en raison de leur simplicité et de leur compatibilité avec les technologies existantes [Tans98][Bach01][Wind02]. Dans le cas de la capacité MIC planaire (figure 1.13a), le  $C_G$  est calculé ainsi :

$$C_G = \frac{2\pi\epsilon_0\epsilon_r}{\cosh^{-1}(t_{ins}/r)}$$

où  $r$  est le rayon du nanotube,  $t_{ins}$  est l'épaisseur d'oxyde,  $\epsilon_r$  est la constante diélectrique.

Le CNTFET avec la grille coaxiale est une forme idéale ; il est spécialement intéressant parce que sa géométrie permet une électrostatique meilleure que son homologue planaire [Castro06]. Dans le cas de la capacité MIC coaxiale (figure 1.13b), le  $C_G$  est calculé comme suit :

$$C_G = \frac{2\pi\epsilon_0\epsilon_r L}{\ln[2(t_{ins} + r) / r]}$$

où  $r$  est le rayon du nanotube,  $t_{ins}$  est l'épaisseur d'oxyde,  $\epsilon_r$  est la constante diélectrique,  $L$  est la longueur de la grille.

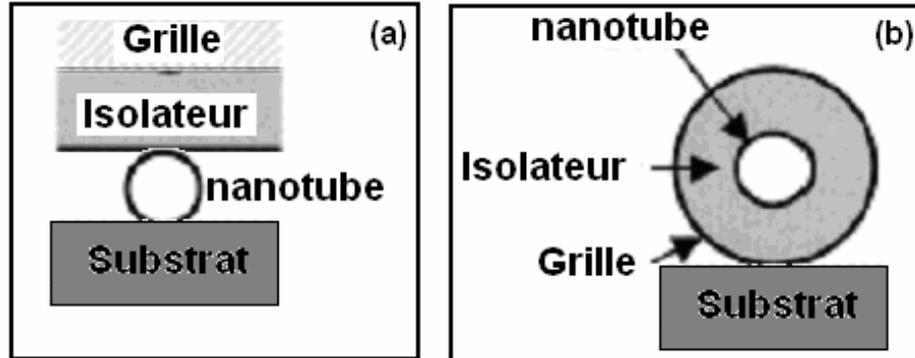


Figure 1.13 : Deux géométries définissant la capacité de grille MIC (Métal – Isolateur – CNT) : (a) capacité MIC planaire ; (b) capacité MIC coaxiale

### 1.3.2. Modélisation des dispositifs CNTFET

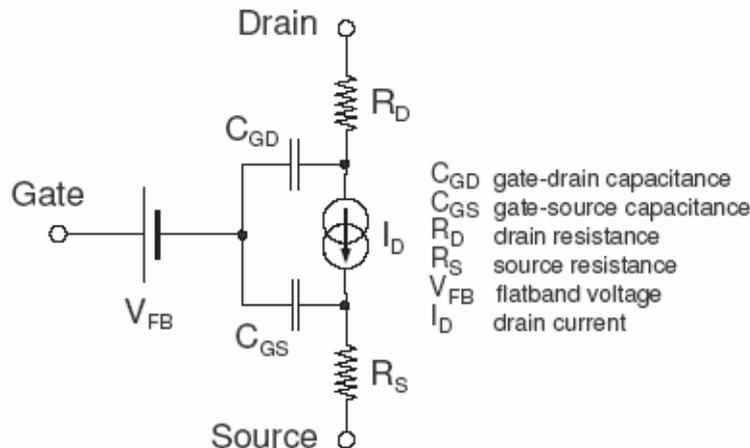


Figure 1.14 : Schéma du modèle compact de C-CNTFET unipolaire présenté dans [Prég06].

Trois types de modèles peuvent être employés pour les composants de type CNTFET :

- (i) Les modèles numériques [Rahman03][Guo04a][Castro06] sont utilisés de façon fréquente dans le cadre des études sur la physique, les caractéristiques électroniques élémentaires et le mécanisme fonctionnement du transistor à nanotube. Ces modèles utilisent des outils mathématiques pour établir l'auto cohérence (self-consistence) entre l'équation de Schrödinger et la formule NEGF (Non-équilibre Green's Function) [Hohn04]. Cependant, ces modèles

numériques ne peuvent être utilisés qu'au niveau du transistor individuel car la simulation prendrait beaucoup trop de temps au niveau des circuits.

- (ii) Le modèle semi empirique [Dwyer04b] est un modèle paramétrique et composable. Ce modèle peut être paramétré pour s'adapter à la technologie de fabrication du CNTFET désiré. Le premier modèle semi empirique a été réalisé selon les caractéristiques I-V du CNTFET fabriqué par Rosenblatt et présenté dans [Rosen02]. Ce modèle a été écrit pour le simulateur SPICE et peut être utilisé pour évaluer la performance de circuits à base de nanotubes.
- (iii) Les modèles compacts [Ray04][Maneux06][Prég06] sont basés sur une abstraction du comportement physique du dispositif plutôt que sur des caractéristiques mesurées. Plusieurs modèles compacts sont disponibles actuellement, pour modéliser à la fois le CNTFET ambipolaire et le CNTFET unipolaire. Ces modèles ont été écrits en langages VHDL-AMS [Prég06] et VerilogA [Maneux06]. Dans ces modèles, le canal du CNTFET est supposé être un nanotube intrinsèque, les deux régions d'accès au drain et à la source étant dopées fortement n+ ou p+. Donc, deux résistances de contact  $R_S$  et  $R_D$  sont ajoutées pour prendre en compte ces deux régions d'accès mais aussi la résistance due à l'imperfection du drain et de la source. Le transport dans le nanotube est considéré comme balistique à la polarisation haute et à la polarisation basse (voir figure 1.14). Les modèles compacts peuvent être utilisés pour étudier des circuits complexes car ils sont construits pour permettre des simulations rapides. Ils sont toutefois simplifiés et n'incluent pas tous les paramètres du CNTFET, tels que la structure de la grille (coaxiale ou planaire), la longueur du nanotube, etc. Il faut noter que la longueur du nanotube n'a pas d'influence tant que l'on suppose un régime balistique. L'un de ces modèles, utilisé dans le cadre de cette thèse, va être davantage détaillé.

### 1.3.3. Modèles compacts et simulation de CNTFET

#### 1.3.3.1. Modèle compact développé à l'InESS

Le modèle compact de CNTFET principalement utilisé dans cette thèse est celui développé par Fabien Prégaldiny et al. à l'Institut d'Électronique du Solide et des Systèmes (InESS) [Prég06]. Il est écrit en langage VHDL-AMS. Il est très proche de celui développé par Cristell Maneux et al. à l'IMS de Bordeaux et ces deux modèles sont décrits dans [Connor07].

Ce modèle est basé sur « *le potentiel de surface* »  $-V_{CNT}$  et le point début du canal est contrôlé par ce potentiel de surface comme mentionné dans la partie 1.3.1. Il faut noter que le modèle de CNTFET type P est l'inverse symétrique du CNTFET type N ; certaines différences entre les deux types de transistors sont négligées (par exemple la différence de

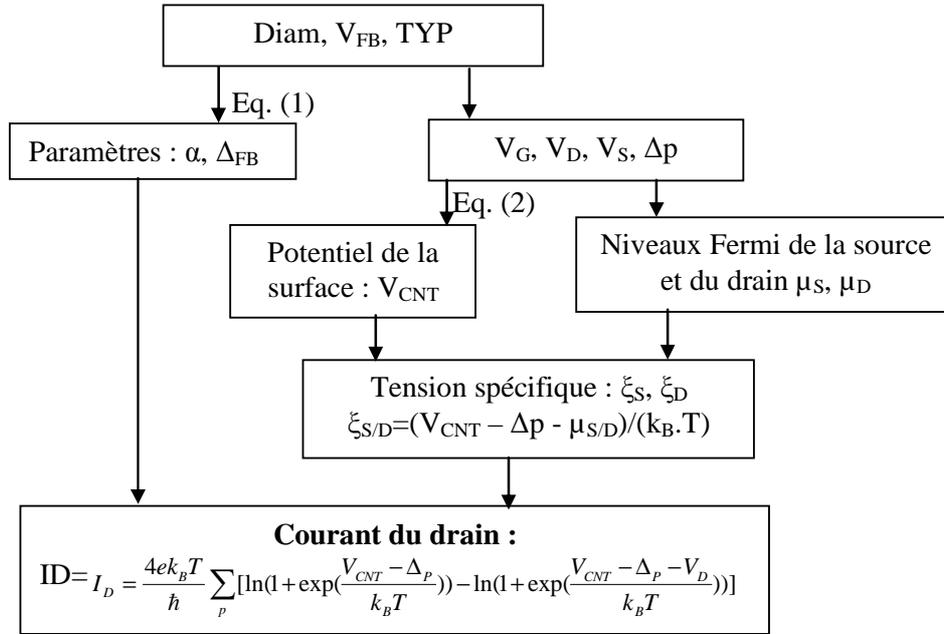
tension de seuil). Ce modèle ignore les capacités parasites. Il est valide pour un intervalle du diamètre du nanotube situé entre 0,8 nm et 3,0 nm. Le procédé de calcul du courant du drain, lorsqu'une tension est appliquée sur la grille, est présenté en figure 1.15 [Maneux06]. L'interface du modèle de CNTFET est présentée en figure 1.16. Les réseaux de caractéristiques sont présentés en figure 1.17. Le courant est défini par la relation :

$$\alpha = \alpha_0 + \alpha_1 V_D + \alpha_2 V_D^2; \quad (1.1)$$

$\Delta_p = \Delta[6p-3-(-1)^p]/4$ ; ( $\Delta = 0,45/d$  avec  $d$ : diamètre du nanotube – le minimum de la bande de conduction pour la première sous-bande);

$$V_{CNT} = V_G - 0.5\alpha(V_G - \Delta) - 0.5\sqrt{\alpha^2(V_G - \Delta)^2 + 4 * smooth^2} \quad (1.2)$$

$$I_D = \frac{4ek_B T}{\hbar} \sum_p [\ln(1 + \exp(\frac{V_{CNT} - \Delta_p}{k_B T})) - \ln(1 + \exp(\frac{V_{CNT} - \Delta_p - V_D}{k_B T}))] \quad (1.3)$$



**Figure 1.15 : Modèle compact d'un CNTFET - procédé de calcul du courant de drain lorsqu'une tension de grille est appliquée.  $V_G$  et  $V_D$  sont les tensions à la grille et au drain ;  $V_{CNT}$  est le potentiel au début du canal (nanotube);  $V_{FB}$  est la tension de « flat band » ; TYP est le type du transistor («1» : type P, «-1» : type N)**

entity CNTFET is

```

generic (diam : real := 2.05e+00 ;      -- Nanotube diameter in nm
        TYP   : real := 1.0;           -- 1.0 for n-type and -1.0 for p-type
        p     : positive := 1;         -- Number of subbands to be considered
        VFB   : real := 0.0 ;          -- Flatband voltage
        Rds   : real := 1.0e12;        -- Parastic drain-source resistance
        Rseries: real := 5.00e+01 *1.0e+3);-- Drain-source series resistance
Port (terminal g,d,s : electrical);
end;
```

Figure 1.16 : Interface du modèle compact de CNTFET employé

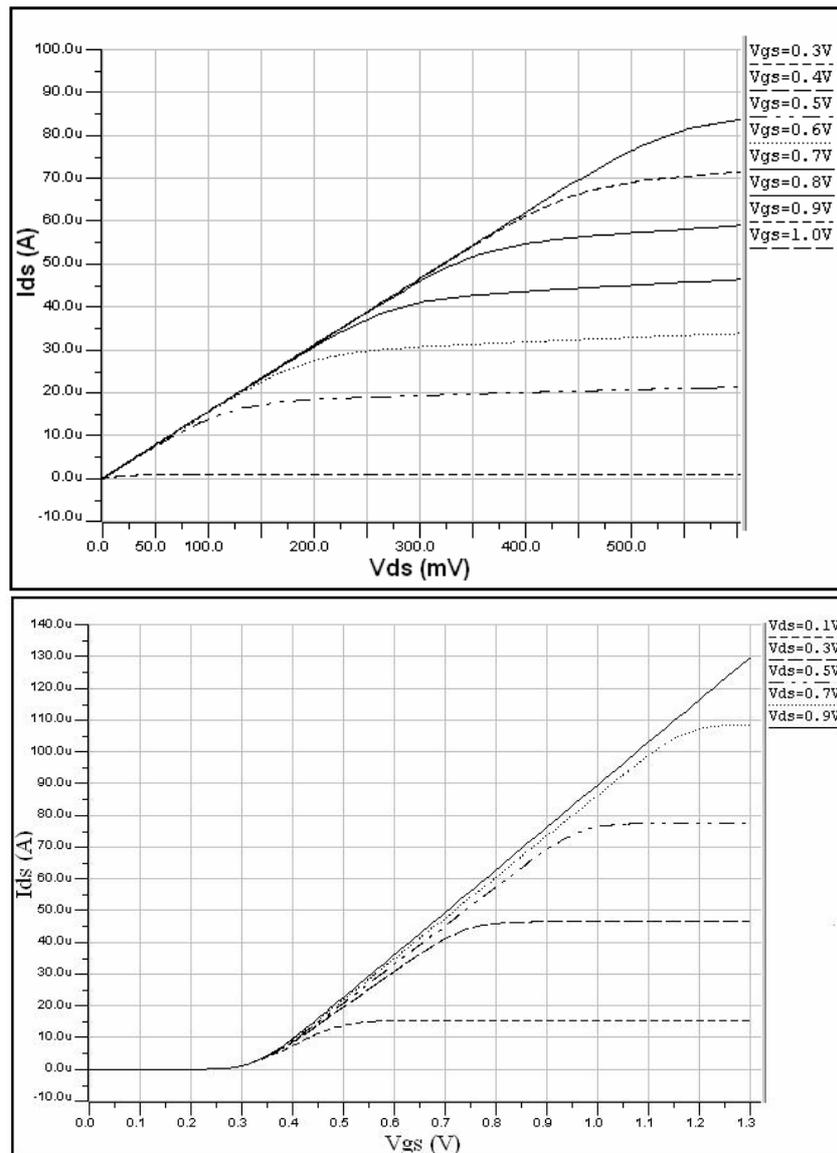
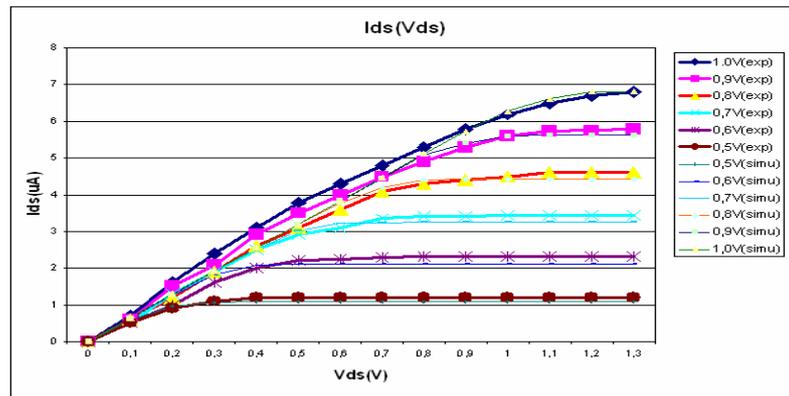


Figure 1.17 : courbes  $I_{DS}(V_{GS})$  et  $I_{DS}(V_{DS})$  du CNTFET type N, telles que fournies par le modèle compact

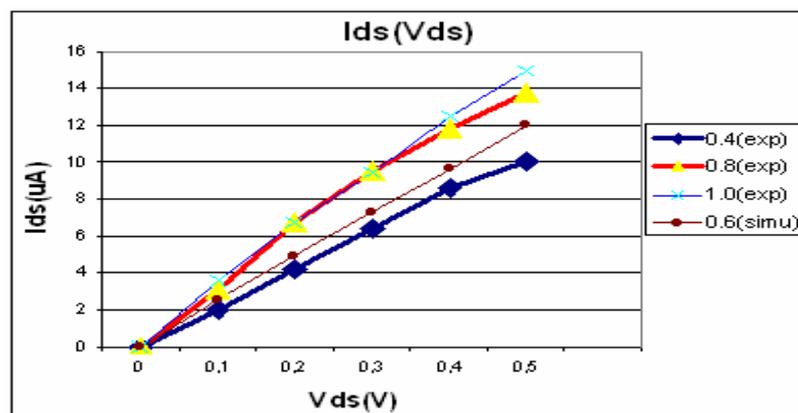
### 1.3.3.2. Comparaison des courbes I-V issues du modèle compact et de l'expérimentation

Nous allons utiliser le modèle compact du CNTFET fourni par l'InESS pour toutes les simulations dans les chapitres suivants. Ce modèle a été validé de plusieurs façons et nous allons montrer ici la comparaison des résultats de simulation avec des résultats expérimentaux, à savoir les courbes I-V présentées dans [Javey02a][Lin05].

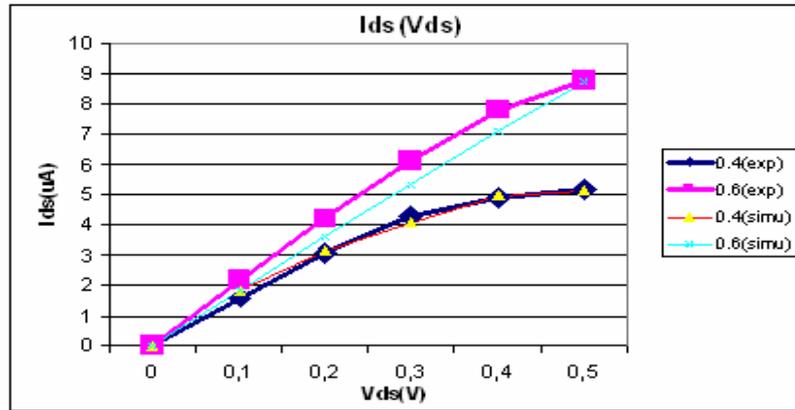
Les figures 1.18, 1.19 et 1.20 illustrent la bonne adéquation des résultats de simulation pour des CNTFETs avec un diamètre identique à celui de l'expérimentation, avec la même tension d'alimentation ( $V_{DD}$ ) et la même tension de la grille.



**Figure 1.18 : Comparaison des courbes  $I_{DS}(V_{DS})$  provenant des résultats expérimentaux présentés en [Javey02a] et des résultats issus de la simulation en utilisant le modèle InESS ( $d=1,0\text{nm}$ ,  $R_{S,D}=75\text{k}\Omega$ ,  $T=300\text{K}$ )**



**Figure 1.19 : Comparaison des courbes  $I_{DS}(V_{DS})$  provenant des résultats expérimentaux présentés en [Lin05] (fort dopage à la source et au drain) et des résultats issus de la simulation en utilisant le modèle InESS ( $d=1,65\text{nm}$ ,  $R_{S,D}=15\text{k}\Omega$ ,  $T=300\text{K}$ )**



**Figure 1.20 : Comparaison des courbes  $I_{DS}(V_{DS})$  provenant des résultats expérimentaux présentés en [Lin05] (dopage modéré à la source et au drain) et des résultats issus de la simulation en utilisant le modèle InESS ( $d=1,65\text{nm}$ ,  $R_{S,D}=20\text{k}\Omega$ ,  $T=300\text{K}$ )**

Sur la base des figures 1.18, 1.19 et 1.20 nous pouvons dire que :

- (i) Il y a un bon accord global entre les résultats issus du modèle compact et les résultats issus de l'expérimentation, spécialement dans la zone saturée de la courbe  $I_{DS}(V_{DS})$  ; le niveau du courant  $I_{DS}$  est similaire dans les deux cas.
- (ii) L'erreur sur les résultats de simulation par rapport aux résultats expérimentaux est d'environ 7,5% .
- (iii) Dans la zone ohmique, le niveau du courant issu de la simulation est plus petit que celui de l'expérimentation. Quand  $V_{DS}$  augmente, le courant  $I_{DS}$  issu de la simulation augmente moins vite que celui de la courbe expérimentale. Ceci peut être expliqué par l'absence de prise en compte dans le modèle compact d'InESS des charges induites vers le nanotube, ajouté à un calcul du courant  $I_{DS}$  qui ne considère que trois sous-bandes de conduction.

## 1.4. Conclusion

Dans ce chapitre, nous avons présenté les fondamentaux de la nanoélectronique basée sur le nanotube de carbone. Nous avons résumé la bibliographie sur les différentes structures des transistors à nanotube et sur l'exploitation des caractéristiques du nanotube pour construire des architectures logiques.

Il y a deux types de mécanismes de commutation pour les transistors à nanotube : (1) le SB-CNTFET possède une caractéristique ambipolaire et (2) le C-CNTFET possède une caractéristique unipolaire. Dans la suite de ce document, nous considérerons des éléments de type C-CNTFET. Il y a aussi deux types de structures de portes logiques à base de CNTFET : (1) homogène et (2) hétérogène.

Quelques autres points importants qui seront retenus pour la suite de cette thèse sont :

- La variation du diamètre des nanotubes est classiquement entre 1,0nm et 2,0 nm pour les différentes techniques de fabrication. C'est donc l'intervalle qui sera considéré pour toutes les études dans les chapitres 3 et 4.
- Le diamètre nominal du nanotube sera supposé égal à 1,42 nm car nous avons montré que cela correspond au meilleur compromis au niveau des caractéristiques du CNTFET.
- Le modèle compact, développé au laboratoire InESS, sera utilisé dans les chapitres suivants pour simuler les effets de la dispersion paramétrique et analyser les structures logiques robustes proposées. Ce modèle compact, statique et dynamique, représente le C-CNTFET ayant un caractère unipolaire.

Après cette étude bibliographique, nous allons analyser plus en détail dans le chapitre suivant les caractéristiques pouvant être attendues pour plusieurs types de structures logiques. Une fois la meilleure structure identifiée, nous pourrons analyser l'effet de la dispersion des caractéristiques et proposer des structures plus robustes, tolérant certains défauts et dispersions.

## CHAPITRE 2 : CARACTERISTIQUES STATIQUES ET DYNAMIQUES POUR DIFFERENTES STRUCTURES DE PORTES LOGIQUES ELEMENTAIRES

Le fonctionnement du CNTFET unipolaire est similaire à celui du MOSFET à base de silicium. Avec le succès récent de la réalisation de CNTFETs de type N et de type P, nous pouvons extrapoler toutes les structures logiques à base de MOSFETs en remplaçant ceux-ci par des CNTFETs. Cette extrapolation doit cependant prendre en compte la physique du CNTFET qui est très différente de celle du MOSFET, comme expliqué dans le chapitre précédent.

Jusqu'à ce jour, les portes logiques à charge résistive comme celle illustrée en figure 2.1a ont été les plus étudiées dans la littérature [Bach01][Mart02][Avou02]. Des portes logiques complémentaires (similaires au CMOS) comme celle illustrée en figure 2.1b ont été plus récemment montrées [Javey02b]. Ces portes logiques sont construites sur plusieurs nanotubes et chaque nanotube joue le rôle du canal d'un transistor CNTFET (ces portes sont donc de type hétérogène, selon la définition donnée dans le chapitre précédent). D'autres types de structures logiques à base de transistors CNTFETs peuvent exister mais à notre connaissance n'ont pas encore été élaborées.

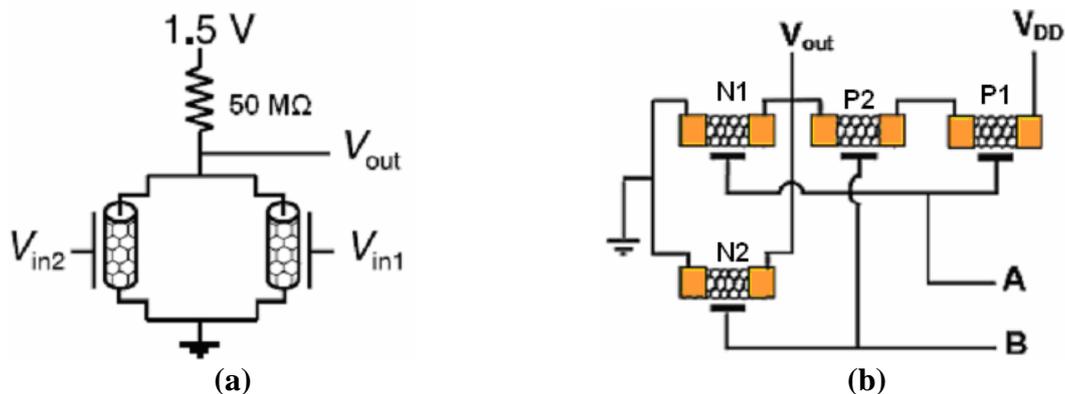


Figure 2.1 : Porte NOR 2 entrées (a) à charge résistive NFET [Javey02b] et (b) à structure complémentaire [Bach01]

Dans ce chapitre, nous allons étudier par simulation les caractéristiques des principales portes logiques élémentaires. Les structures logiques suivantes seront comparées : structures à charge résistive à base de NFET et de PFET, structure complémentaire (similaire au CMOS), structure domino et logique de transfert. En comparant les caractéristiques statiques et dynamiques de ces structures pour les fonctions logiques de base, nous analyserons leur intérêt en fonction des contraintes du concepteur : performances élevées, faible consommation, ... Ceci nous amènera à conclure sur la structure la plus prometteuse et la plus intéressante pour des applications logiques futures à base de nanotubes. Cette structure sera

étudiée de façon plus détaillée dans les chapitres suivants vis-à-vis des défauts et des dispersions paramétriques.

Dans la partie 2.1, nous rappelons les principales définitions des caractéristiques statiques et dynamiques des portes logiques. Ceci sera utilisé dans la partie 2.2 pour caractériser les différentes structures de portes sur la base de résultats de simulation employant le modèle compact de CNTFET présenté dans le chapitre précédent. Dans la partie 2.3, nous comparerons ces caractéristiques afin d'identifier les structures les plus intéressantes.

## 2.1. Caractéristiques statiques et dynamiques des portes logiques

### 2.1.1. Courbe de transfert et caractéristiques statiques

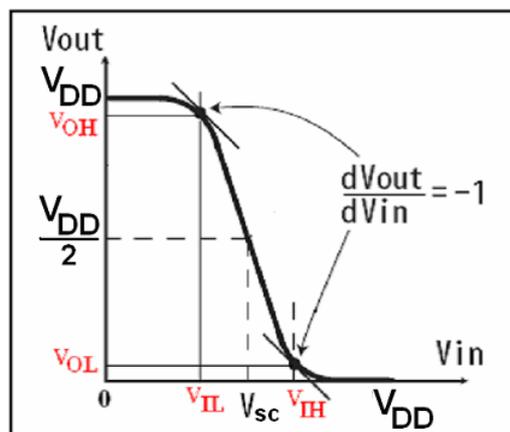


Figure 2.2: Courbe de transfert et caractéristiques statiques : niveaux logiques ( $V_{OH}$ ,  $V_{IH}$ ,  $V_{OL}$ ,  $V_{IL}$ ) et tension de seuil de commutation logique ( $V_{sc}$ )

La courbe de transfert d'une porte logique est une relation entre la sortie et les entrées de la porte, comme illustré dans la figure 2.2.

Pour un inverseur, il y a une seule entrée et une seule sortie. Donc, il est facile d'obtenir la caractéristique de transfert en faisant varier la tension d'entrée de  $V_{SS}$  à  $V_{DD}$  et en mesurant la tension de sortie. Pour les portes NAND2 et NOR2, il y a deux entrées. Dans ce cas, la caractéristique de transfert s'obtient en fixant une entrée à  $V_{DD}$  (logique 1) pour la NAND2 ou à  $V_{SS}$  (logique 0) pour la NOR2 et en faisant varier l'autre entrée de  $V_{SS}$  à  $V_{DD}$ . A partir de cette courbe, nous pouvons déduire les caractéristiques statiques importantes des portes logiques telles que les niveaux logiques, la tension de seuil de commutation logique ou les marges de bruit.

#### 2.1.1.1. Niveaux logiques

Dans les technologies silicium, il est convenu de considérer quatre niveaux logiques importants : deux niveaux de tension d'entrée -  $V_{IH}$ ,  $V_{IL}$  - et deux niveaux de tension de sortie -  $V_{OH}$ ,  $V_{OL}$  - (voir figure 2.2) :

- $V_{IL}$  : tension d'entrée maximum reconnue comme un « 0 » logique en entrée. Une tension supérieure risque d'être mal interprétée par l'étage d'entrée.
- $V_{IH}$  : tension d'entrée minimum reconnue comme un « 1 » logique en entrée. Une tension inférieure risque d'être mal interprétée par l'étage d'entrée.
- $V_{OL}$  : tension de sortie maximum garantie pour un « 0 » logique en sortie.
- $V_{OH}$  : tension de sortie minimum garantie pour un « 1 » logique en sortie.

A partir de la caractéristique de transfert, nous pouvons calculer ces niveaux logiques comme indiqué dans la figure 2.2. Tout d'abord, il faut chercher les deux points d'opération sur la courbe de transfert pour lesquels un différentiel de la tension de sortie  $V_{out}$  en fonction de la tension d'entrée  $V_{in}$  ( $dV_{out}/dV_{in}$ ) est égal à « -1 ». Les tensions aux deux points indiqués correspondent à  $V_{OH}$ ,  $V_{IH}$ ,  $V_{OL}$ ,  $V_{IL}$ .

### 2.1.1.2. Marges de bruit

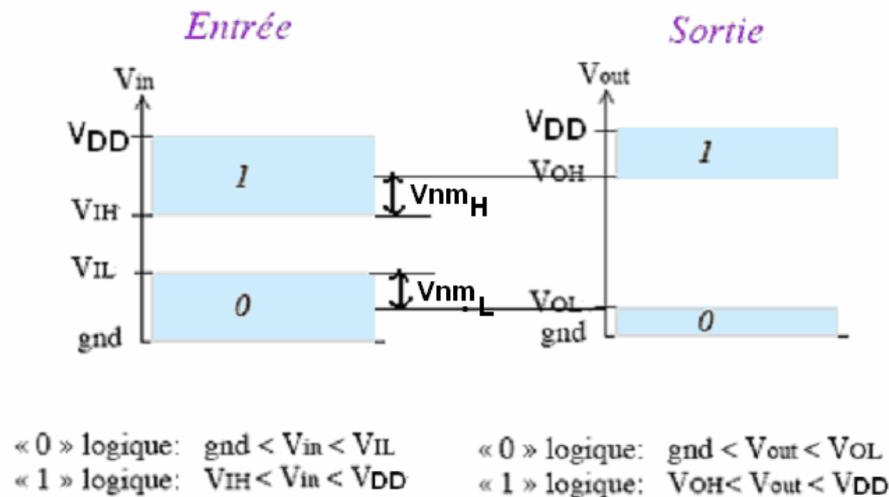


Figure 2.3 : Niveaux logiques ( $V_{OH}$ ,  $V_{IH}$ ,  $V_{OL}$ ,  $V_{IL}$ ) et marges de bruit ( $V_{nmH}$  et  $V_{nmL}$ )

Le bruit est une variation aléatoire d'une grandeur physique autour de la valeur déterminée (permanente, attendue ou nominale). Cette variation aléatoire peut venir notamment de (1) la variation de la tension d'alimentation, (2) la dérive des paramètres des transistors (par exemple, la tension de seuil) à température élevée d'opération et (3) des impulsions électriques sur les lignes de signaux par une brusque montée du courant traversant la ligne d'alimentation voisine (par couplage résistif et couplage capacitif), etc.

La marge de bruit est la marge de sécurité dont on dispose pour que du bruit ne provoque pas un changement d'état logique non désiré. La marge de bruit est donc l'amplitude minimale du signal parasite à superposer au signal d'entrée pour provoquer un changement d'état en sortie.

Comme la sortie d'une porte est connectée à l'entrée d'une autre porte, la marge de bruit doit être assez grande pour assurer la transmission entre deux portes, sans subir d'erreur logique. La marge de bruit est souvent calculée comme la plus petite des deux valeurs suivantes :

- Marge de bruit pour le niveau haut :  $V_{nmH} = |V_{OH} - V_{IH}|$ .
- Marge de bruit pour le niveau bas :  $V_{nmL} = |V_{IL} - V_{OL}|$ .

Il faut noter que d'autres définitions sont possibles. En CMOS, notamment, la marge de bruit est calculée en général par rapport aux points de fonctionnement statiques (donc  $V_{DD}$  et  $V_{SS}$ ) plutôt que par rapport aux niveaux logiques définis ici. Prendre les définitions présentées ici revient à être pessimiste sur les caractéristiques de la structure complémentaire ; nous verrons que cela n'a pas d'impact sur les conclusions.

Les marges de bruit sont, bien sûr, dépendantes de la tension d'alimentation, de la structure logique et de la façon de définir les niveaux logiques ( $V_{OH}$ ,  $V_{IH}$ ,  $V_{OL}$ ,  $V_{IL}$ ).

### 2.1.1.3. Seuil de commutation logique

Le seuil de commutation logique ( $V_{sc}$ ) d'une porte logique correspond à la tension d'entrée pour laquelle la sortie change d'état. En général, le seuil est la tension d'entrée conduisant à une tension de sortie égale à  $V_{DD}/2$ , comme illustré dans la figure 2.2. Le seuil de commutation logique idéal est de  $V_{DD}/2$  car c'est celui qui conduit à la plus grande marge de bruit.

### 2.1.1.4. Entrance et sortance

L'entrance et la sortance d'une porte logique sont, au sens électronique, les caractéristiques définissant le nombre de portes logiques d'un type donné pouvant être connectées en sortie d'une porte similaire tout en garantissant un bon fonctionnement électrique et logique.

Ces caractéristiques peuvent être définies comme suit :

- **Entrance (*Fan-in*)** : courant débité ou absorbé par une entrée de la porte selon son état logique. Pour les structures de portes ayant un courant d'entrée négligeable (comme par exemple en CMOS), la valeur du courant est remplacée par une autre caractéristique électrique pertinente. Dans le cas du CMOS, l'entrance correspond à la capacité équivalente d'entrée. Il

faut noter que dans le domaine informatique (notamment en CAO) le terme d'entrance a souvent une signification complètement différente et correspond au nombre d'entrées de la porte.

- **Sortance (*Fan-out*)** : nombre maximum de portes similaires pouvant être connectées sur la sortie de la porte. En fonction de la définition d'entrance, la sortance correspondra donc à une valeur maximum de courant débité ou absorbé par la sortie sans perturber son fonctionnement, ou à une valeur maximale de capacité de charge acceptable pour une qualité donnée du signal transmis (notamment, temps de montée ou de descente maximal).

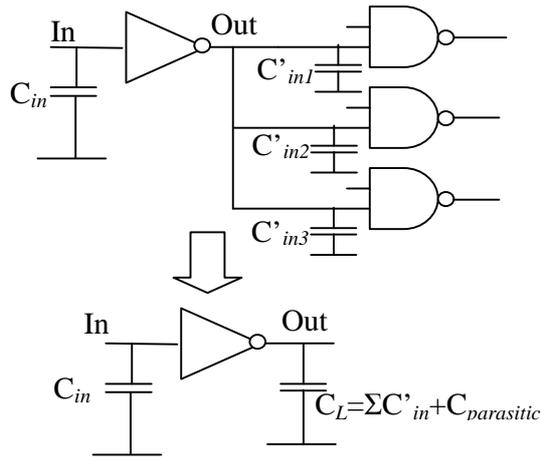
Quelque soit la référence électrique pour le calcul, lorsqu'il est indiqué qu'une porte logique a une sortance de 10, cela signifie qu'elle peut piloter 10 entrées de portes logiques similaires. Au delà de ce nombre, il n'est pas assuré que les niveaux logiques de la sortie seront convenables ou que le signal transmis sera de bonne qualité.

Nous ne pourrons pas calculer l'entrance pour des portes logiques à nanotube sur la base d'un courant, pour les deux raisons suivantes : le modèle compact de CNTFET utilisé n'inclut pas la résistance de la grille et il y a des problèmes de non convergence pendant la simulation dans certains cas. En ce qui concerne la sortance, il a été choisi de l'évaluer comme dans le cas du CMOS, c'est-à-dire en évaluant une capacité de charge maximale acceptable.

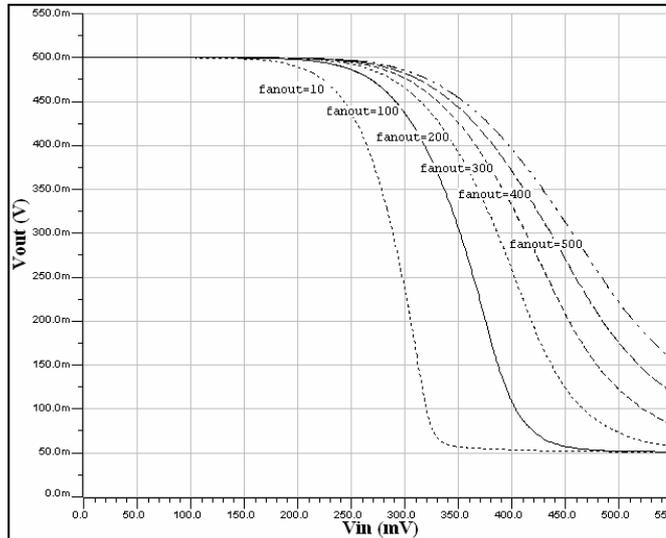
La capacité de charge  $C_L$  à la sortie d'une porte logique est la somme de toutes les capacités liées à la sortie de la porte, incluant les capacités parasites et les capacités d'entrée des portes connectées en aval. Par exemple, pour l'inverseur présenté en figure 2.4, chaque porte logique connectée à la sortie de l'inverseur ajoute à la capacité de charge  $C_L$  une capacité  $C_{in}$ .

Quand la capacité de charge augmente, les temps de charge et de décharge à la sortie de la porte sont modifiés. En conséquence, l'augmentation de  $C_L$  dégrade la courbe de transfert ainsi que les caractéristiques statiques de la porte. Un exemple de la dégradation de la courbe de transfert d'un inverseur à charge résistive NFET est montré dans la figure 2.5.

Dans cette thèse, pour calculer la sortance d'une porte logique à nanotubes, nous augmentons le nombre de portes connectées à la sortie de la porte jusqu'à ce que le niveau logique d'entrée maximal ( $V_{IH}$ ) soit détérioré jusqu'au niveau de la tension d'alimentation ( $V_{DD}$ ):  $V_{IH}=V_{DD}$ .



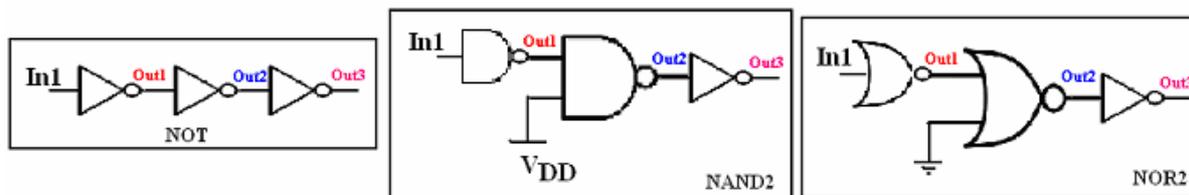
**Figure 2.4 : Modèle de «capacité de charge ( $C_L$ ) à la sortie » d'un inverseur. Si  $N$  portes NAND sont connectées à la sortie de cet inverseur et si chaque entrée d'un NAND a une capacité d'entrée égale à  $C'in$ , on peut déduire un schéma plus simple d'un inverseur avec une capacité de sortie :  $C_L = \Sigma C'in + C_{parasitic}$**



**Figure 2.5 : L'augmentation de la capacité de sortie dégrade la courbe de transfert, ainsi que les caractéristiques statiques de la porte inverseur – illustration sur un inverseur à charge résistive NFET, simulé avec le modèle compact d'InESS,  $R_{S,D}=25k\Omega$ , un diamètre du nanotube égal à 1,42nm et  $V_{DD}=0,5V$**

### 2.1.2. Caractéristiques dynamiques

Lorsque l'état de la sortie d'une porte logique change du niveau haut au niveau bas ou inversement, ce changement n'est pas instantané. Il faut considérer un temps de montée  $T_m$  (passage du niveau logique « 0 » au niveau logique « 1 ») ou un temps de descente  $T_d$  (passage du niveau logique « 1 » au niveau logique « 0 »). La propagation du signal n'est pas immédiate. Il existe un temps de propagation  $T_p$ .

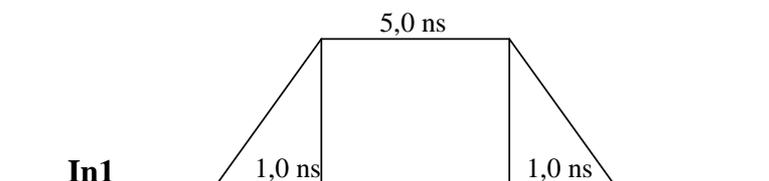


**Figure 2.6 : Schéma des circuits pour mesurer les caractéristiques dynamiques des portes logiques NOT, NAND2 et NOR2.**

En général, pour évaluer les caractéristiques dynamiques d'une porte logique, nous ajoutons une porte de même fonction logique avant et une porte inverseur après, comme indiqué dans la figure 2.6. Ceci permet de tenir compte de l'allure non idéale du signal d'entrée et d'une charge minimum en sortie.

- Avec ce principe, l'itinéraire du signal est : In1 -> Out1 -> Out2 -> Out3. Les caractéristiques dynamiques ( $T_m$ ,  $T_d$ ,  $T_p$ ) sont mesurées entre Out1 et Out2.
- La première porte agit comme un étage d'entrée et comme une charge d'entrée de la porte que nous voulons caractériser. La première porte peut être remplacée par un inverseur de même famille logique.

Ce schéma sera utilisé pour les chapitres 3 et 4, mais n'a pas pu l'être pour les caractérisations présentées dans ce chapitre. En effet, nous avons rencontré, pour la structure logique de transfert et la structure domino, un problème de « non convergence » nous empêchant de comparer les cinq structures logiques choisies. Pour les comparer dans les mêmes conditions, nous avons donc plus simplement évalué les caractéristiques dynamiques sur un seul étage logique. Nous avons cependant appliqué à l'entrée In1 un signal qui n'est pas idéal. Les paramètres de cette entrée sont : le temps de montée et de descente de 1,0 ns et la largeur d'entrée de 5ns (voir figure 2.7). Ces paramètres ont été choisis car (1) si le temps de montée et de descente est inférieur à 1,0 ns, nous rencontrons pendant la simulation un problème de « non convergence », liée à un changement du niveau bas au niveau haut qui est trop abrupt et provoque une discontinuité du signal d'entrée et (2) dans la réalité, du fait des capacités parasites, les signaux ne sont jamais idéaux.



**Figure 2.7 : Entrée utilisée pour évaluer les caractéristiques dynamiques des portes logiques NOT, NAND2 et NOR2.**

Nous avons écrit un script en VHDL-AMS pour la simulation et l'évaluation des temps de propagation comme suit :

```

LIBRARY IEEE;
USE IEEE.math_real.all;
LIBRARY IEEE_PROPOSED;
USE IEEE_PROPOSED.electrical_systems.all;
Entity In1 is
    generic (VLOW : real := 0.0;VHIGH: real := 1.0;
            TRISE: real := 1.0;TFALL: real := 1.0;
            IDELAY: real := 1.0;PWIDTH: real := 5.0);
    port (terminal p,n : electrical);
End;
Architecture behavioral of In1 is
quantity v across i through p to n;
quantity t : real:=0.0;
    pure function trapezium(t : real) return real is
    variable vol : real := 0.0;
    Begin
    If (t <= IDELAY) then vol := VLOW;
    Elsif (t > IDELAY) AND (t <= (IDELAY+TRISE)) then vol := ((t-IDELAY)/TRISE)*VHIGH;
    Elsif (t > (IDELAY+TRISE)) AND (t <= (IDELAY+TRISE+PWIDTH)) then vol := VHIGH;
    Elsif (t > (IDELAY+TRISE+PWIDTH)) AND (t <= (IDELAY+TRISE+PWIDTH+TFALL))
        then vol := VHIGH - ((t-IDELAY-TRISE-PWIDTH)/TFALL)*VHIGH;
    Else vol := VLOW;
    End if;
    return vol;
    End;
Begin
    t==1.0*NOW*1.0e+9;
    v==trapezium(t);
End;

```

Les conditions d'évaluation des caractéristiques dynamiques sont les suivantes :

- **Tm** : temps de montée mesuré entre 10% et 90% du front montant de la tension de la sortie de la porte (figure 2.8).
- **Td** : temps de descente mesuré entre 10% et 90% du front descendant de la tension de la sortie de la porte (figure 2.8).

Le temps de propagation est défini comme le temps écoulé entre un changement d'état de l'entrée et le changement d'état de la sortie en prenant pour référence les instants de passage des différents signaux à mi-chemin de la tension d'alimentation  $V_{DD}$ , comme représenté sur la figure 2.8. Une porte logique à plusieurs entrées n'est pas caractérisée par un unique temps de propagation. Prenons l'exemple d'un NAND à 2 entrées A et B. Nous pouvons distinguer par exemple :

- Le temps de propagation de A vers la sortie pour une transition montante de la sortie ( $tp_{mA}$ )
- Le temps de propagation de B vers la sortie pour une transition montante de la sortie ( $tp_{mB}$ )
- Le temps de propagation de A vers la sortie pour une transition descendante de la sortie ( $tp_{dA}$ )
- Le temps de propagation de B vers la sortie pour une transition descendante de la sortie ( $tp_{dB}$ )

Pour des raisons de simplification, nous considérerons le pire cas en appelant temps de propagation de la porte la valeur maximum parmi ces différentes données :  
 $T_p = \max(t_{pm_A}, t_{pm_B}, t_{pd_A}, t_{pd_B})$ .

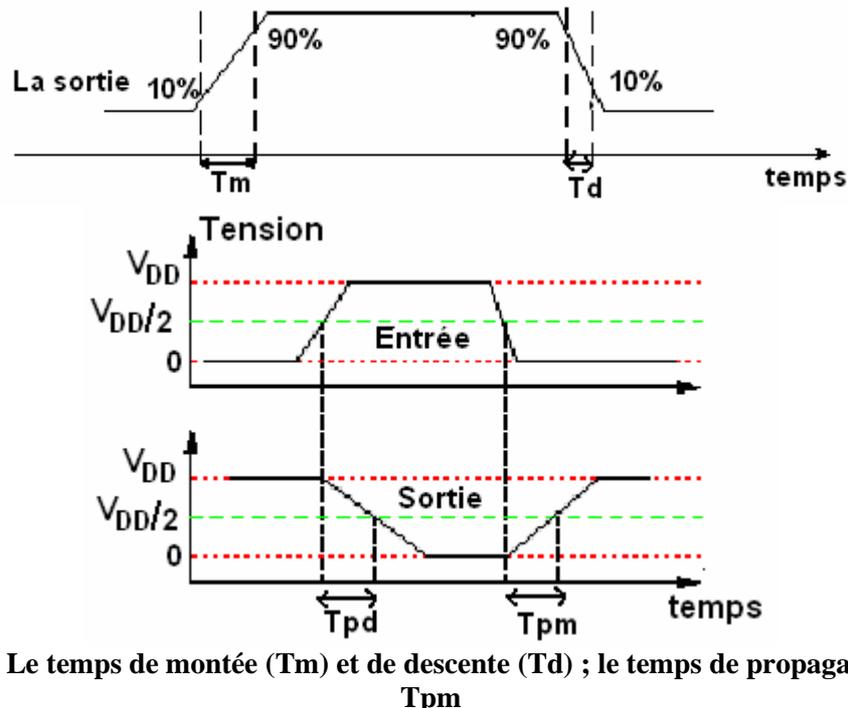


Figure 2.8 : Le temps de montée ( $T_m$ ) et de descente ( $T_d$ ) ; le temps de propagation :  $T_{pd}$  et  $T_{pm}$

### 2.1.3. Consommation statique et dynamique

#### 2.1.3.1. Consommation statique des portes logiques

La consommation statique des portes logiques est l'énergie consommée quand les entrées ne changent pas d'état. La consommation statique est provoquée par les courants de fuite et par des courants permanents pouvant exister dans certaines structures logiques. Il y a quatre types de courants statiques différents possibles outre les courants de fuite :

- Courant d'entrée niveau haut :  $I_{IH}$  est le courant traversant l'entrée lorsqu'une tension de niveau haut est appliquée.
- Courant d'entrée niveau bas :  $I_{IL}$  est le courant traversant l'entrée lorsqu'une tension de niveau bas est appliquée.
- Courant de sortie niveau haut :  $I_{OH}$  est le courant traversant la sortie lorsqu'une tension de niveau haut est fournie par la sortie.
- Courant d'entrée niveau bas :  $I_{OL}$  est le courant traversant la sortie lorsqu'une tension de niveau bas est fournie par la sortie.

Comme le modèle compact du CNTFET n'inclut pas la résistance de la grille, les courants d'entrée sont supposés nuls :  $I_{IH}=I_{IL}=0A$ . Pour les portes logiques complémentaires à

nanotube, tous les courants statiques sont donc presque nuls et il ne nous était pas possible d'évaluer des valeurs de courants de fuite. Dans le cas des portes à charge résistive, le courant statique  $I_{OH}$  ou  $I_{OL}$  existe. Par exemple, si un inverseur se compose d'une résistance de charge ( $R_L$ ) et d'un CNTFET type N : quand la tension d'entrée est basse, le CNTFET est bloqué et il n'y a pas de courant traversant la sortie, donc  $I_{OL}=0A$ . Mais lorsque la tension d'entrée est au niveau haut, le CNTFET est passant et il y a un courant traversant la sortie, donc  $I_{OH} \neq 0A$ .

En fonction des deux courants statiques  $I_{OL}$  et  $I_{OH}$  mentionnés ci-dessus, nous avons calculé la consommation statique à la sortie comme suit :

- Lorsque la sortie est au niveau haut ( $V_{OH}$ ), le courant  $I_{OH}$  est le courant traversant la sortie : la consommation statique ( $P_H$ ) est égale à  $V_{DD} * I_{OH}$ .
- Lorsque la sortie est au niveau bas ( $V_{OL}$ ), le courant  $I_{OL}$  est le courant traversant la sortie : la consommation statique ( $P_L$ ) est égale à  $V_{DD} * I_{OL}$ .
- La consommation statique moyenne ( $P_S$ ) est calculée comme la moyenne des deux valeurs  $P_H$  et  $P_L$  :  $P_S = V_{DD} * (I_{OH} + I_{OL}) / 2$ .

### 2.1.3.2. Consommation dynamique des portes logiques

La consommation dynamique d'une porte logique est la consommation pendant la transition des entrées et de la sortie. La consommation dynamique est importante pour quelques familles logiques. Par exemple, pour les portes complémentaires, la consommation statique étant supposée nulle compte tenu des modèles disponibles, l'énergie totale consommée est égale à la consommation dynamique. La consommation dynamique dépend de la tension d'alimentation ( $V_{DD}$ ), de la capacité de charge  $C_L$  et de la fréquence de fonctionnement de la porte logique.

Dans cette thèse, nous avons calculé la consommation dynamique pour les deux transitions à la sortie : transition montante (de logique « 0 » à logique « 1 ») et transition descendant (de logique « 1 » à logique « 0 »). Nous avons évalué le courant traversant la porte ou plus exactement traversant la sortie,  $I_T$  (T : transition), puis la consommation dynamique  $P_D$  est :  $P_D = V_{DD} * I_T$  (ou  $P_D = \int V_{DD} * I_T dt$ ).

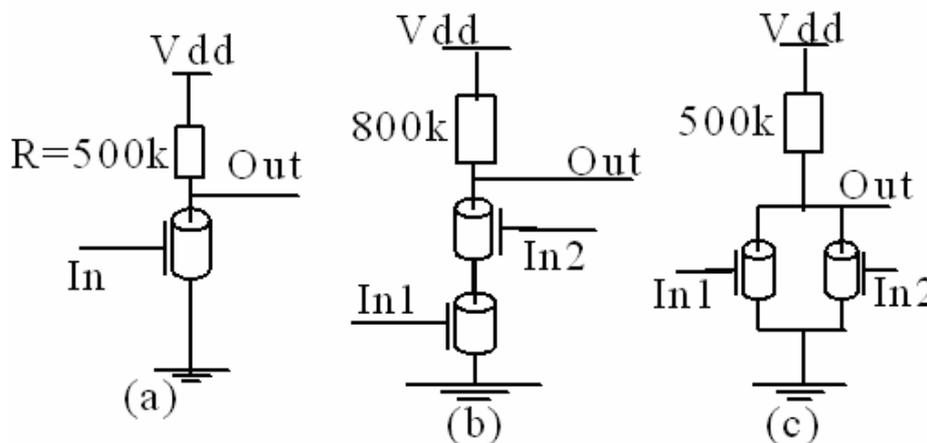
## 2.2. Les caractéristiques statiques et dynamiques des différentes structures logiques

Les cinq types de structures logiques étudiés sont : (1) structures logiques à charge résistive à base de NFET, (2) structures logiques à charge résistive à base de PFET, (3) structures logiques complémentaires, (4) structures logiques domino et (5) structures logiques de transfert.

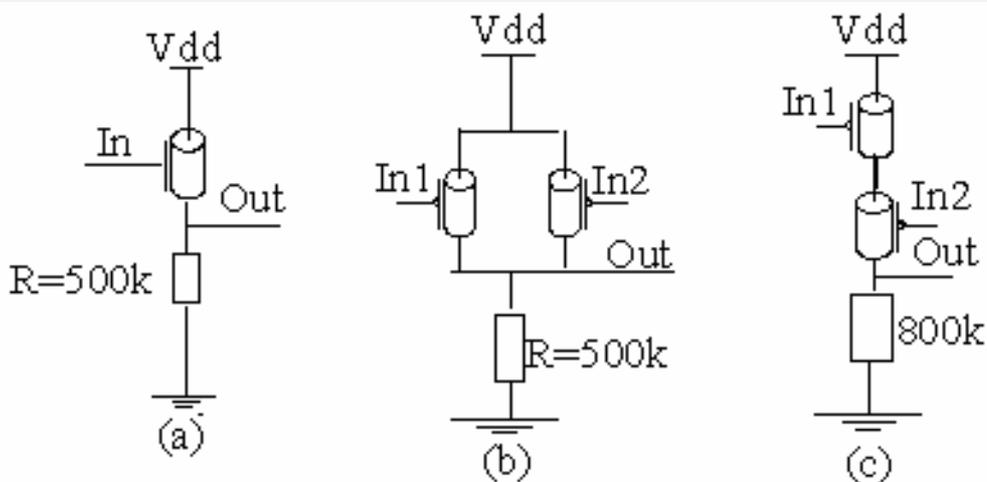
Comme conséquences des conclusions du chapitre 1, dans le présent chapitre, nous simulons des portes logiques à nanotube dans les conditions suivantes :

- Nous utilisons le modèle compact de CNTFET du groupe InESS présenté dans la partie 1.3.3. Ce modèle est écrit en langage VHDL-AMS. Les testbenchs sont aussi écrits en VHDL-AMS.
- Nous utilisons le simulateur **ADVance MS v4.3**.
- La tension d'alimentation des portes logiques est de 0,5V car (1) le modèle CNTFET d'InESS est validé pour une polarisation faible (moins de 1,0V) et (2) selon la « roadmap » ITRS2006, il sera préférable de construire des circuits logiques avec une tension d'alimentation de moins de 0,6V.
- Le diamètre du nanotube est de 1,42nm pour les raisons invoquées au chapitre 1 ;
- La résistance de contact ( $R_D$  au drain et  $R_S$  à la source) est de 25k $\Omega$ , cette valeur de résistance étant obtenue pendant la fabrication.
- Les valeurs logiques sont considérées en logique positive : un niveau logique bas est  $\sim 0V$  ; un niveau logique haut est  $\sim V_{DD}$  (0,5V).

### 2.2.1. Structures logiques à charge résistive à base de NFET et de PFET



**Figure 2.9 : Structures logiques à charge résistive à base de NFET – un réseau de transistors CNTFET type N est connecté avec VDD par une résistance de charge (R) : (a) inverseur; (b) NAND2 et (c) NOR2**



**Figure 2.10: Structures logiques à charge résistive à base de PFET – un réseau de transistors CNTFET type P est connecté avec GND par une résistance de charge (R): (a) inverseur; (b) NAND2 et (c) NOR2**

La structure logique à charge résistive NFET ou PFET est une structure simple. Nous utilisons une résistance de charge (R) comme un « pull-down » ou un « pull-up » et un réseau de transistors type N ou type P, comme illustré dans les figures 2.9 et 2.10. Ces portes sont faciles à fabriquer et prennent peu de place donc elles permettent une forte intégration. Par exemple, par rapport aux portes logiques complémentaires, les portes à charge résistive utilisent moitié moins de transistors CNTFET.

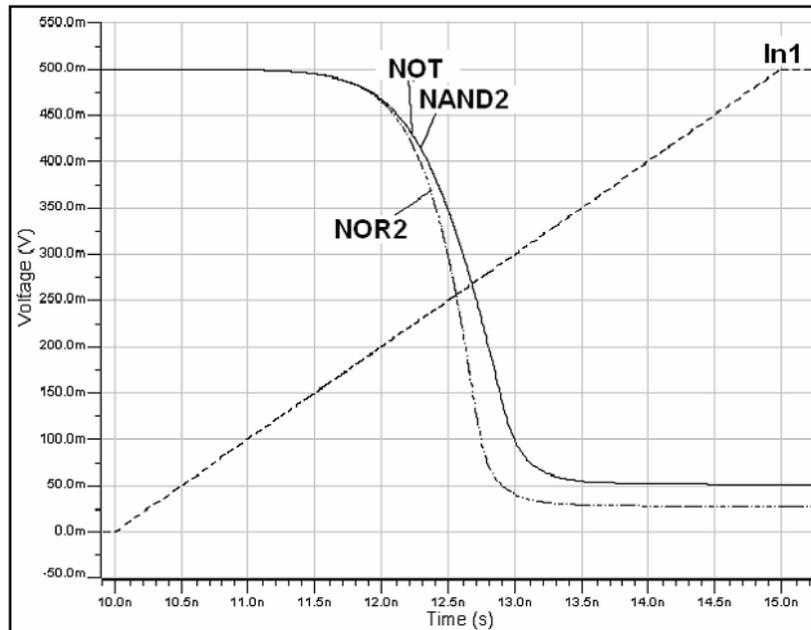
Mais ces portes logiques ont deux inconvénients : (1) elles consomment beaucoup d'énergie statique parce qu'un état (bloqué ou passant) consomme du courant en permanence en traversant la résistance résistive et (2) elles ont un comportement dynamique asymétrique [Weste97]. De plus, l'excursion de tension en sortie et le gain sont réduits. En conséquence, les portes logiques à charge résistive sont sensibles au bruit [Weste97].

### 2.2.1.1. Les valeurs de la résistance de charge

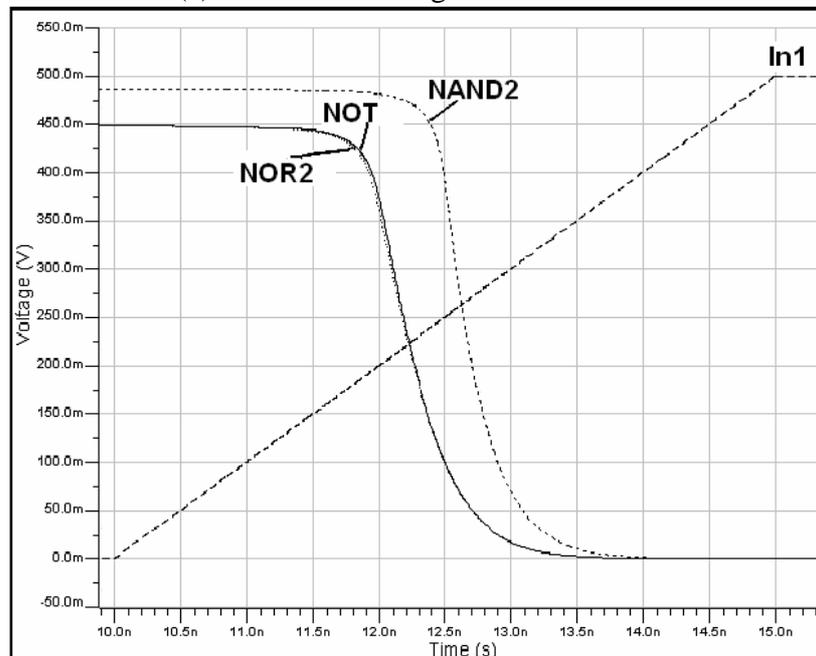
Les valeurs de la résistance de charge (R) pour les portes logique à charge résistive ont été choisies afin d'obtenir des portes logiques ayant les meilleures caractéristiques. Pour chaque porte logique, la valeur de cette résistance peut donc être différente. Par exemple, la résistance de charge de la porte NAND2 à base de NFET et de la porte NOR2 à base de PFET a été choisie égale à 800kΩ. Pour toutes les autres portes, nous avons choisi une résistance de charge de 500kΩ pour produire des niveaux logiques  $V_{OL}$  et  $V_{OH}$  aussi bons que possible et obtenir une marge de bruit élevée.

### 2.2.1.2. Les caractéristiques statiques et dynamiques

La figure 2.11 montre les courbes de transfert et la figure 2.12 montre les réponses dynamiques pour les six portes logiques à charge résistive NFET et PFET. Le tableau 2.1 résume les caractéristiques statiques des portes NOT, NAND2 et NOR2 pour les deux structures à charge résistive NFET et PFET. Ces caractéristiques statiques sont calculées et déduites des courbes de transfert. Le tableau 2.2 résume les caractéristiques dynamiques de ces portes.

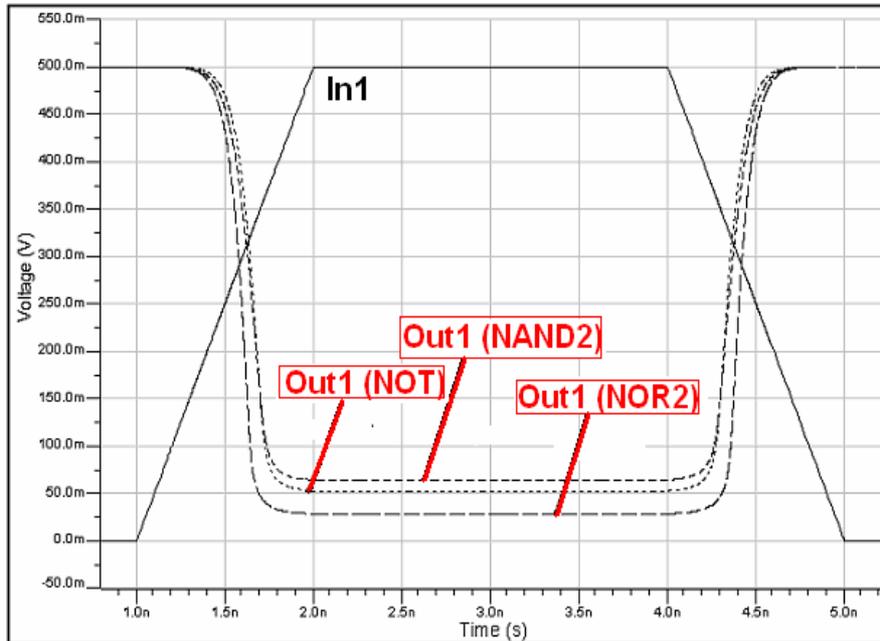


(a) structures à charge résistive NFET

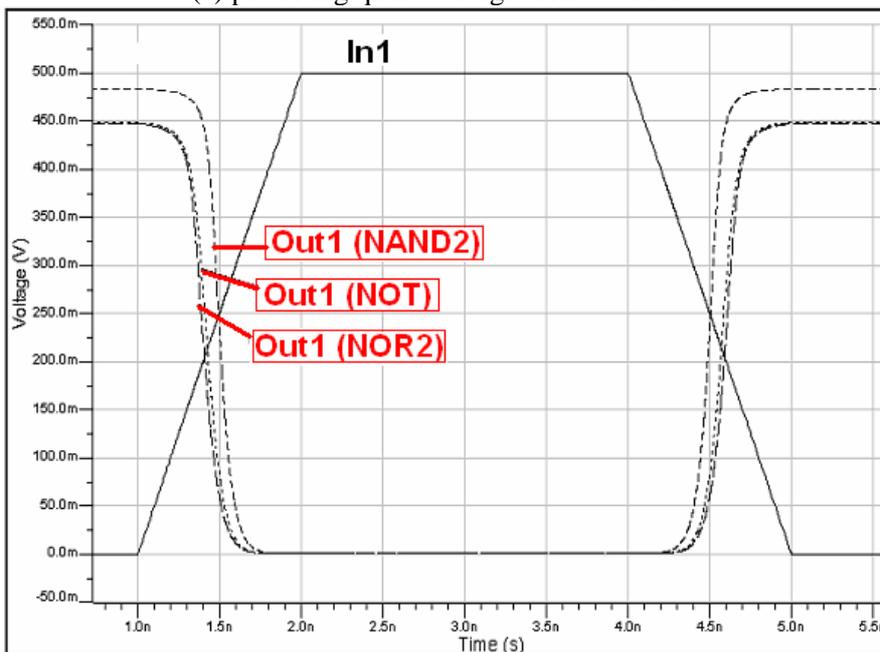


(b) structures à charge résistive PFET

**Figure 2.11 : Les courbes de transfert des portes logiques à charge résistive NFET (a) et PFET (b) : le diamètre du nanotube est de 1,42nm,  $R_{S,D}=25k\Omega$ ,  $V_{DD}=0,5V$  (en utilisant le modèle CNTFET d'InESS)**



(a) portes logiques à charge résistive NFET



(b) portes logiques à charge résistive PFET

**Figure 2.12 : Les réponses dynamiques des portes logiques NOT, NAND2 et NOR2 pour deux structures à charge résistive NFET (a) et PFET (b). In1 augmente de 0V à  $V_{DD}$  et In2 est fixé au niveau haut pour le NAND2 et au niveau bas pour le NOR2. Toutes les portes logiques sont simulées avec un nanotube de 1,42nm du diamètre,  $R_{S,D}=25k\Omega$ ,  $V_{DD}=0,5V$  (en utilisant le modèle d'InESS)**

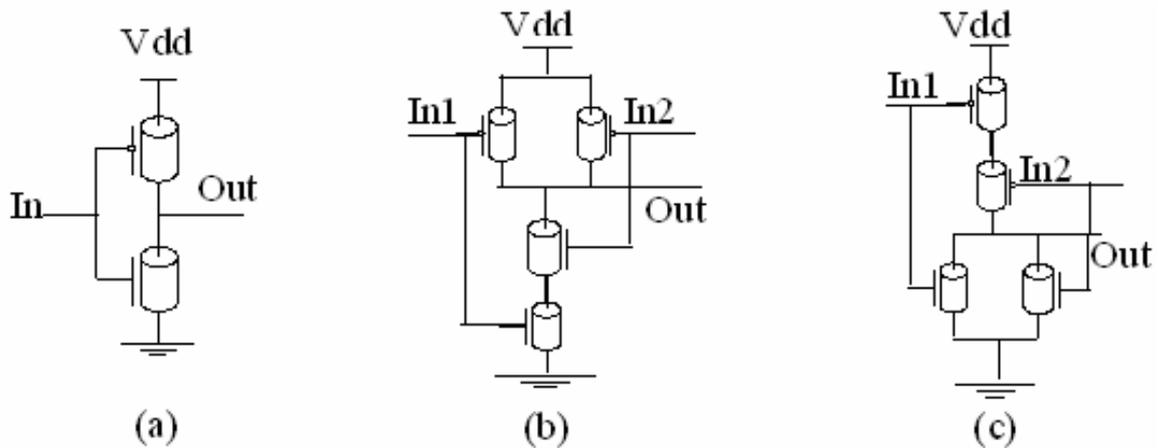
**Tableau 2.1 : Les caractéristiques statiques des portes logiques NOT, NAND2 et NOR2 avec les structures à charge résistive NFET et PFET**

	NOT		NAND2		NOR2	
	NFET	PFET	NFET	PFET	NFET	PFET
$V_{OL}(V)$	0,07	0,11	0,07	0,03	0,03	0,03
$V_{OH}(V)$	0,47	0,47	0,47	0,43	0,45	0,39
$V_{IL}(V)$	0,21	0,22	0,21	0,18	0,21	0,14
$V_{IH}(V)$	0,32	0,36	0,32	0,29	0,31	0,27
<b>Seuil de commutation logique</b>	<b>0,28</b>	<b>0,32</b>	<b>0,28</b>	<b>0,22</b>	<b>0,241</b>	<b>0,18</b>
Marge de bruit $NM_H$ (V)	0,15	0,11	0,15	0,14	0,15	0,12
Marge de bruit $NM_L$ (V)	0,14	0,11	0,14	0,15	0,18	0,11
<b>Marge de bruit (V) = min (<math>NM_L, NM_H</math>)</b>	<b>0,14</b>	<b>0,11</b>	<b>0,14</b>	<b>0,14</b>	<b>0,15</b>	<b>0,11</b>
Courant statique - $I_{OH}$ (nA)	55,2	62,9	860,3	908,0	55,0	770,9
Courant statique - $I_{OL}$ (nA)	859,8	772,8	55,1	53,7	859,1	60,4
Consommation statique $P_H$ (nW)	27,60	27,50	31,45	430,15	454,00	385,45
Consommation statique $P_L$ (nW)	429,9	429,55	386,4	27,55	26,85	30,20
Consommation statique moyenne (nW)	228,7	228,53	208,93	228,85	240,43	207,83
Courant dynamique - $I_T$ (nA)	-	-	-	-	-	-
Consommation dynamique (nW)	-	-	-	-	-	-
<b>Consommation totale (nW)</b>	<b>228,75</b>	<b>228,53</b>	<b>208,93</b>	<b>228,85</b>	<b>240,43</b>	<b>207,83</b>
<b>Sortance</b>	<b>~200</b>	<b>~200</b>	<b>~200</b>	<b>~200</b>	<b>~200</b>	<b>~200</b>

**Tableau 2.2 : Les caractéristiques dynamiques des portes logiques NOT, NAND2 et NOR2 avec les structures à charge résistive NFET et PFET**

	NOT		NAND2		NOR2	
	NFET	PFET	NFET	PFET	NFET	PFET
<b>Td (Out1) (ps)</b>	<b>210</b>	<b>232</b>	<b>227</b>	<b>201</b>	<b>210</b>	<b>311</b>
<b>Tm (Out1) (ps)</b>	<b>210</b>	<b>232</b>	<b>227</b>	<b>201</b>	<b>210</b>	<b>311</b>
Tpm (ps) (In1 -> Out1)	94	58	153	58	94	111
Tpd (ps) (In1 -> Out1)	94	58	153	58	94	111
<b>Tp (ps) (In1 -&gt; Out1)</b>	<b>94</b>	<b>58</b>	<b>153</b>	<b>58</b>	<b>94</b>	<b>111</b>

### 2.2.2. Structures logiques complémentaires (similaires au CMOS)

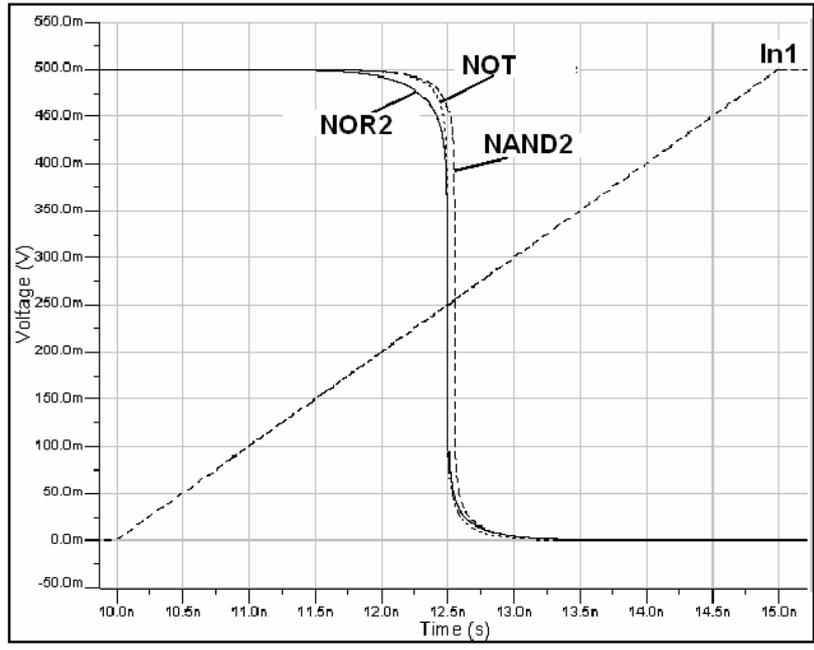


**Figure 2.13 : Structures des portes logiques complémentaires : (a) inverseur (b) NAND2 et (c) NOR2**

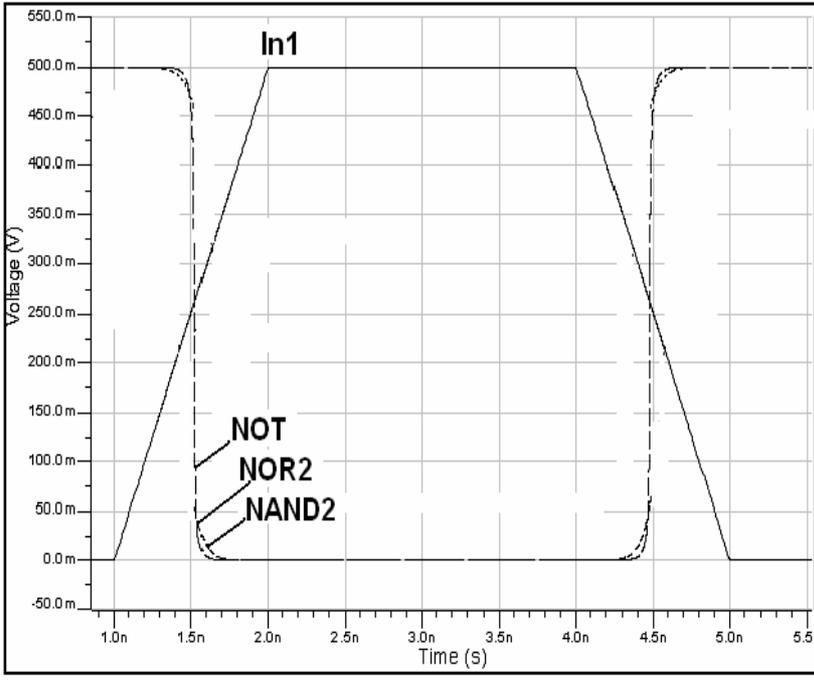
Pour la structure complémentaire, la porte NOT est composée de deux transistors type P et type N en série. On réalise de la même manière toutes les autres portes : NAND2 avec deux transistors type P en parallèle et deux transistors type N en série, NOR2 avec deux transistors type P en série et deux transistors type N en parallèle. En raison de la symétrie de la structure, les portes complémentaires ont des caractéristiques de transfert symétriques [Weste97].

En fonctionnement statique, il n'y a aucun chemin entre  $V_{DD}$  et  $V_{SS}$ . De ce fait, la consommation statique est quasi nulle en régime établi, si on néglige les courants de fuite. Cependant, durant les transitions entre états, les deux réseaux de transistors sont simultanément conducteurs pendant un court laps de temps, ce qui entraîne une consommation dynamique d'énergie. Il y a par ailleurs les courants de charge et de décharge des capacités de sortie.

La figure 2.14 montre les courbes de transfert et les réponses dynamiques des portes complémentaires NOT, NAND2 et NOR2. Le tableau 2.3 résume les caractéristiques statiques et le tableau 2.4 résume les caractéristiques dynamiques de ces portes.



(a)



(b)

**Figure 2.14 : (a) Les courbes de transfert et (b) Les réponses dynamiques des portes logiques complémentaires NOT, NAND2 et NOR2. Pour le NOT : In1 est son entrée ; pour les NOR2 et NAND2 : In1 est l'entrée In1 présentée dans la figure 2.10, In2 est fixé au niveau haut pour le NAND2 et au niveau bas pour le NOR2. In1 augmente de 0V à  $V_{DD}$ . Toutes les portes logiques sont construites avec un nanotube de 1,42nm du diamètre,  $R_{S,D}=25k\Omega$ ,  $V_{DD}=0,5V$  (en utilisant le modèle CNTFET d'InESS).**

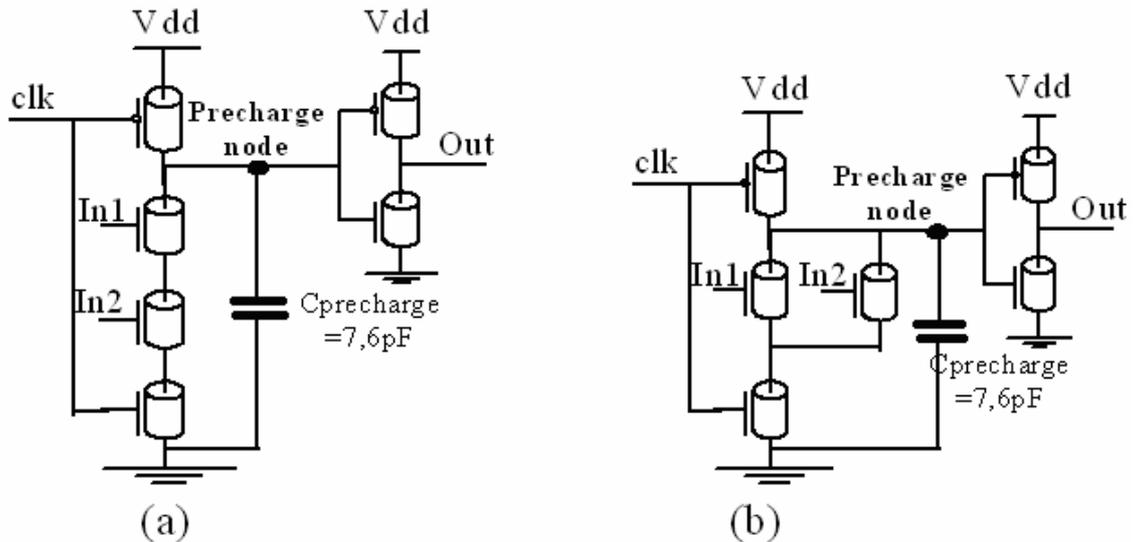
**Tableau 2.3 : Les caractéristiques statiques des portes logiques de la structure complémentaire**

	NOT	NAND2	NOR2
$V_{OL}(V)$	0,023	0,019	0,013
$V_{OH}(V)$	0,477	0,476	0,477
$V_{IL}(V)$	0,239	0,244	0,234
$V_{IH}(V)$	0,260	0,270	0,268
<b>Seuil de commutation logique</b>	<b>0,250</b>	<b>0,255</b>	<b>0,250</b>
Marge de bruit $NM_H$ (V)	0,217	0,206	0,209
Marge de bruit $NM_L$ (V)	0,216	0,225	0,221
<b>Marge de bruit (V) = <math>\min(NM_L, NM_H)</math></b>	<b>0,216</b>	<b>0,206</b>	<b>0,209</b>
Courant statique - $I_{OH}$ (nA)	0,0	0,0	0,0
Courant statique - $I_{OL}$ (nA)	0,0	0,0	0,0
Consommation statique $P_H$ (nW)	0,0	0,0	0,0
Consommation statique $P_L$ (nW)	0,0	0,0	0,0
Consommation statique moyenne (nW)	0,0	0,0	0,0
Courant dynamique - $I_T$ (nA)	143,1	131,0	119,9
Consommation dynamique (nW)	71,55	65,5	59,95
<b>Consommation totale (nW)</b>	<b>71,55</b>	<b>65,5</b>	<b>59,95</b>
<b>Sortance</b>	<b>~100</b>	<b>~100</b>	<b>~100</b>

**Tableau 2.4 : Les caractéristiques dynamiques des portes complémentaires NOT, NAND2 et NOR2**

	NOT	NAND2	NOR2
<b>Td (Out1) (ps)</b>	<b>28</b>	<b>31</b>	<b>32</b>
<b>Tm (Out1) (ps)</b>	<b>28</b>	<b>31</b>	<b>32</b>
Tpd (ps) (In1 -> Out1)	24	30	26
Tpm (ps) (In1 -> Out1)	24	30	26
<b>Tp (ps) (In1 -&gt; Out1)</b>	<b>24</b>	<b>31</b>	<b>26</b>

### 2.2.3. Structures logiques domino



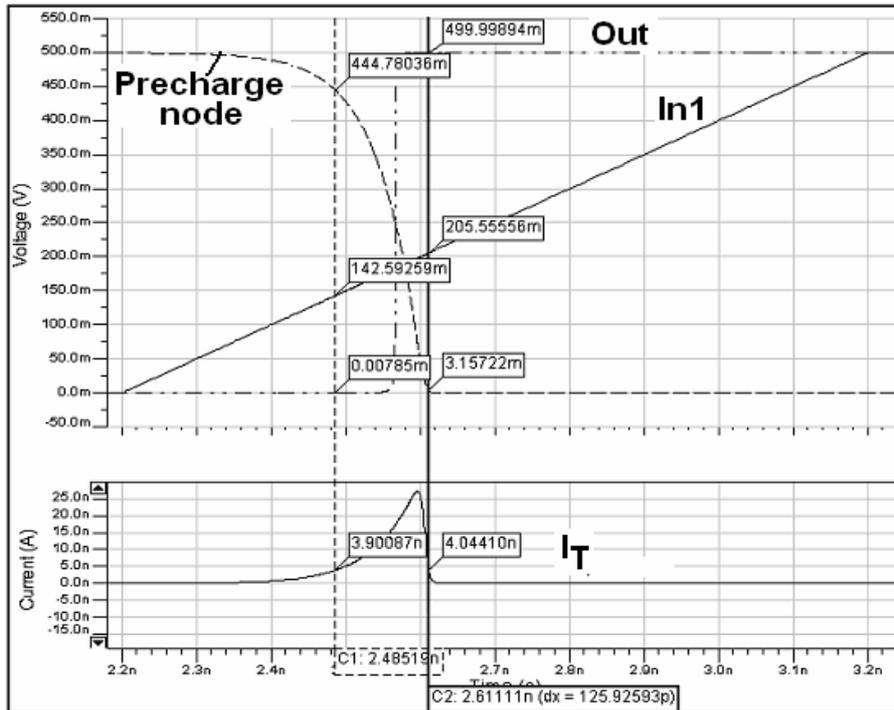
**Figure 2.15 : Structures des portes domino: (a) AND et (b) OR**

La logique domino est une famille logique basée sur l'usage de portes dynamiques dont la sortie est munie d'un inverseur (figure 2.15). Une porte domino fait intervenir un signal de précharge. Il y a deux phases de fonctionnement : (1) **la phase de précharge** pendant laquelle la capacité de précharge est chargée à  $V_{DD}$  et la sortie est au niveau bas, puis (2) **la phase d'évaluation** pendant laquelle la sortie prend sa valeur fonctionnelle. Le cycle d'évaluation doit être suffisamment long pour permettre aux données valides de se propager à travers tout le réseau logique.

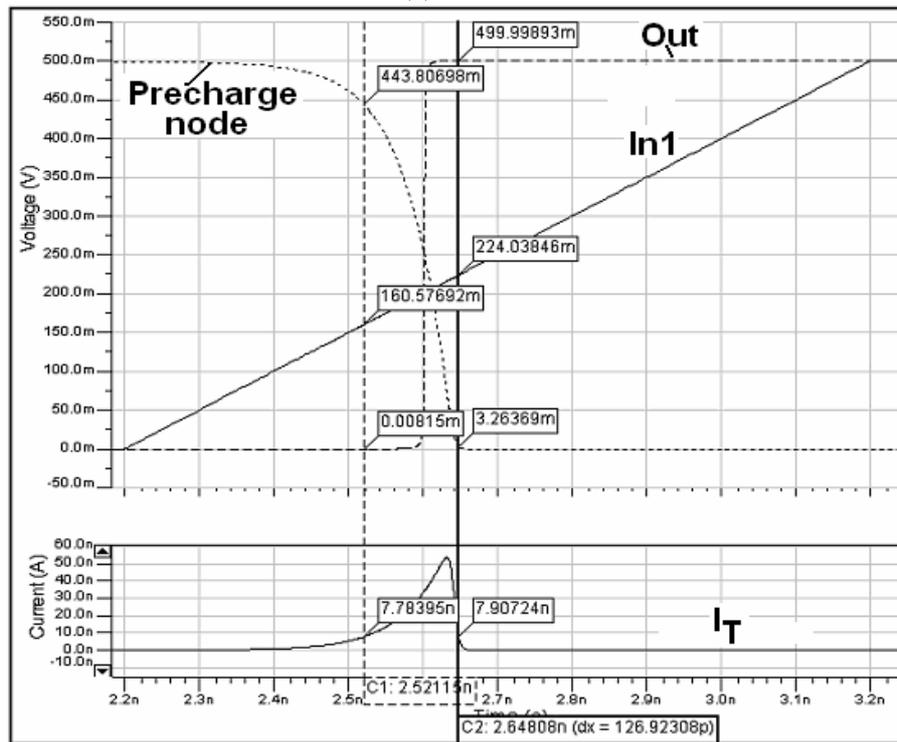
La figure 2.15 montre les schémas de deux portes logiques de base pour la structure domino: AND2 et OR2. Les deux portes comportent deux étages :

- *Premier étage* : il réalise une fonction logique, par exemple la fonction NAND pour la porte AND et la fonction NOR pour la porte OR. La sortie de cet étage est le nœud de précharge. Pour l'étude réalisée, ce nœud a été connecté à la masse par une capacité de précharge de 7,6pF/cm. En effet, la capacité de précharge est la somme de la capacité d'entrée du deuxième étage (la porte NOT) et de toutes les capacités parasites produites à la sortie du premier étage. Dans nos simulations, nous ignorons toutes les capacités parasites. La porte NOT étant une porte complémentaire, sa capacité d'entrée est simplement la somme de la capacité de grille du transistor type P ( $C_{GP}$ ) et de la capacité de grille du transistor type N ( $C_{GN}$ ). Les deux transistors type N et type P ont la même capacité de grille :  $C_{GP} = C_{GN} = 3,6\text{pF/cm}$  (valeur utilisée dans le modèle compact du CNTFET d'InESS), donc la capacité de précharge est de 7,6pF/cm.
- *Deuxième étage* : un inverseur en structure complémentaire. Cette porte amplifie le signal et permet de garantir un bon fonctionnement des portes suivantes (suppression des risques de décharge parasite).

Dans la structure domino, le nœud de précharge est très sensible au bruit. Nous avons donc analysé en détail les caractéristiques de ce nœud. La figure 2.16 montre les courbes de transfert en ce point pour les deux portes domino AND2 et OR2. La figure 2.17 montre les réponses dynamiques aux nœuds de précharge et à la sortie de ces portes domino. Le tableau 2.5 résume les caractéristiques statiques et le tableau 2.6 résume les caractéristiques dynamiques.

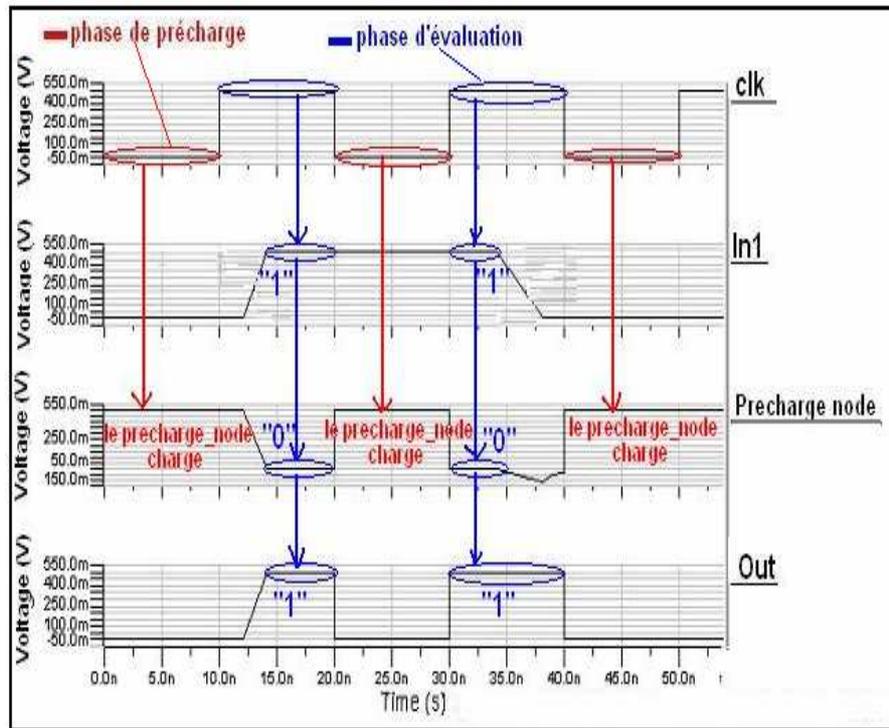


(a) AND2

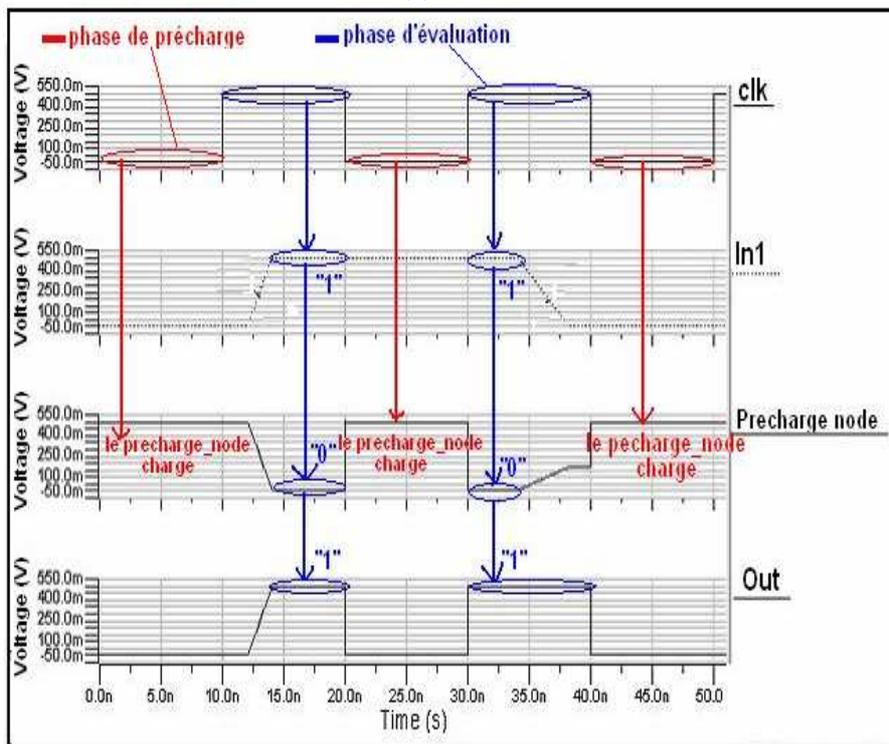


(b) OR2

Figure 2.16 : Les courbes de transfert des portes domino : (a) AND2 (In2 : Haut, In1 : augmente de 0V à  $V_{DD}$ ) et (b) OR2 (In2 : Bas, In1 : augmente de 0V à  $V_{DD}$ ) : deux marqueurs correspondent aux deux points d'opération :  $dV_{out}/dV_{in}|_{precharge\_node} = -1$  (le diamètre du nanotube est de 1,42nm,  $R_{S,D}=25k$   $V_{DD}=0,5V$ , en utilisant le modèle CNTFET d'InESS)



(a) AND



(b) OR

Figure 2.17 : Les réponses dynamiques des portes domino AND2 (a) et OR2 (b) : In2 est fixé au niveau haut pour le AND2 et au niveau bas pour le OR2. Toutes les portes logiques sont construites avec un nanotube de 1,42nm de diamètre,  $R_{S,D}=25k\Omega$ ,  $V_{DD}=0,5V$  (en utilisant le modèle CNTFET d'InESS)

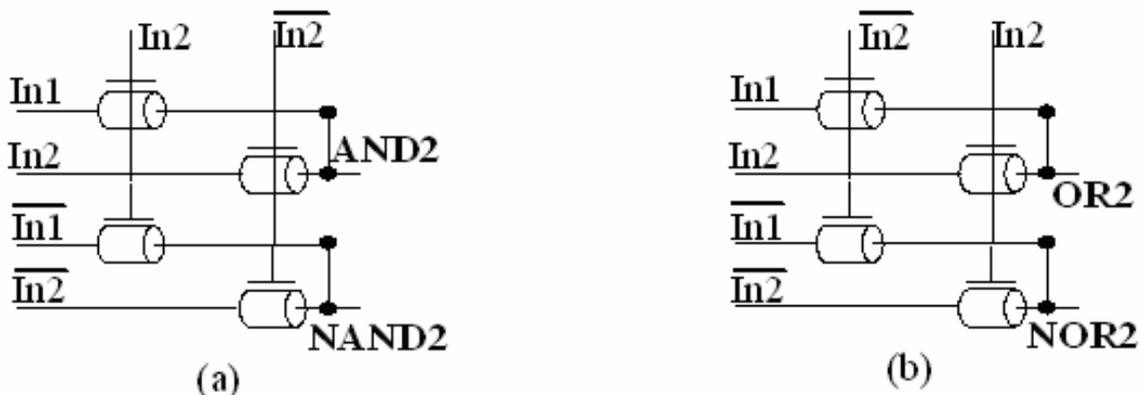
**Tableau 2.5 : Les caractéristiques statiques des portes logiques AND2 et OR2 en structure domino**

	AND2		OR2	
	Precharge node	Out	Precharge node	Out
$V_{OL}(V)$	0,03	0,0	0,03	0,00
$V_{OH}(V)$	0,44	0,5	0,44	0,50
$V_{IL}(V)$	0,14	0,17	0,16	0,19
$V_{IH}(V)$	0,20	0,19	0,22	0,21
<b>Seuil de commutation logique</b>	<b>0,18</b>	<b>0,18</b>	<b>0,20</b>	<b>0,20</b>
Marge de bruit $NM_H$ (V)	0,24	0,31	0,22	0,29
Marge de bruit $NM_L$ (V)	0,11	0,17	0,13	0,19
<b>Marge de bruit (V) = min (<math>NM_L, NM_H</math>)</b>	<b>0,11</b>	<b>0,17</b>	<b>0,13</b>	<b>0,19</b>
Courant statique - $I_{OH}$ (nA)	-	140	-	140
Courant statique - $I_{OL}$ (nA)	-	143,1	-	143,1
Consommation statique $P_H$ (nW)	-	66,78	-	66,78
Consommation statique $P_L$ (nW)	-	0,0	-	0,0
Consommation statique moyenne (nW)	-	0,0	-	0,0
Courant dynamique (inverseur) - $I_T$ (nA)	-	147,1	-	150,88
Consommation dynamique (inverseur) (nW)	-	73,55	-	75,44
<b>Consommation totale (nW)</b>	-	<b>73,55</b>	-	<b>75,44</b>
<b>Sortance</b>	-	<b>~100</b>	-	<b>~100</b>

**Tableau 2.6 : Les caractéristiques dynamiques des portes domino AND2 et OR2**

	AND2	OR2
<b>Td (Out1) (ps)</b>	<b>4</b>	<b>4</b>
<b>Tm (Out1) (ps)</b>	<b>4</b>	<b>4</b>
Tpd (ps) (In1-> Out1)	52	52
Tpm (ps) (In1-> Out1)	52	52
<b>Tp (ps) (In1 -&gt; Out1)</b>	<b>52</b>	<b>52</b>

### 2.2.4. Structures logiques de transfert

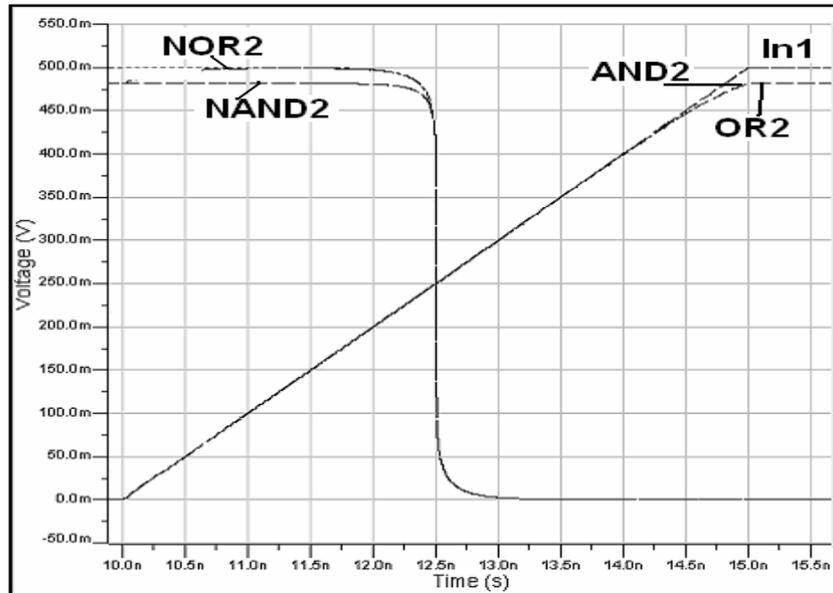


**Figure 2.18 : Structure logique de transfert: (a) AND2/NAND2 et (b) OR2/NOR2**

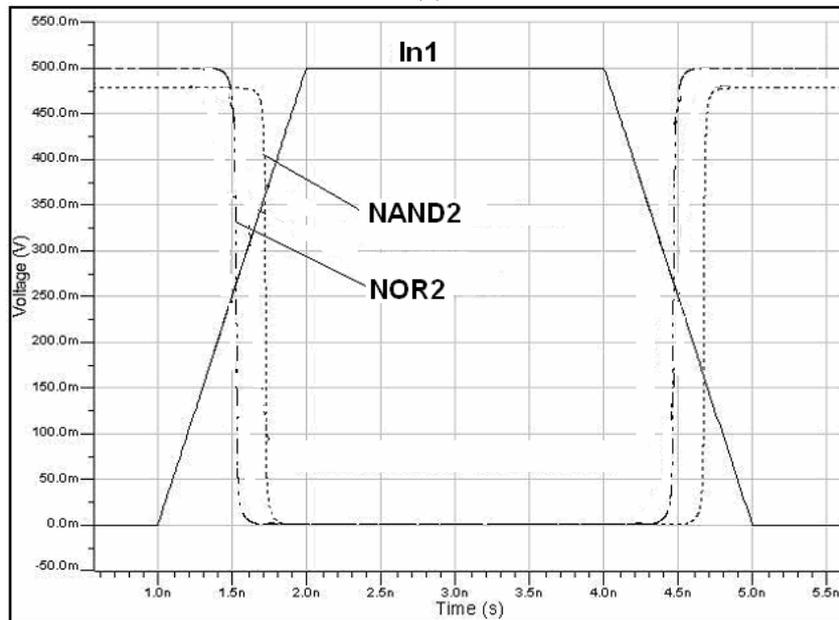
Les portes logiques étudiées ici utilisent les deux entrées In1, In2 et leurs compléments. Ces portes logiques sont en structure de transfert complémentaire, ou CPL (Complementary Pass-Transistor Logic). Naturellement, il serait possible de ne considérer

que l'une des deux fonctions complémentaires comme dans le cas des autres structures logiques.

La figure 2.19 montre les courbes de transfert et les réponses dynamiques des portes de transfert AND2/NAND2 et OR2/NOR2. Le tableau 2.7 résume les caractéristiques statiques et le tableau 2.8 résume les caractéristiques dynamiques de ces portes.



(a)



(b)

**Figure 2.19 : (a) Les courbes de transfert et (b) les réponses dynamiques des portes logiques de transfert AND2/NAND2 et OR2/NOR2 : In2 est fixé au niveau haut pour le NAND2 ou au niveau bas pour le NOR2 et In1 augmente de 0V à  $V_{DD}$ . Toutes les portes logiques sont construites avec un nanotube de 1,42nm de diamètre,  $R_{S,D}=25k\Omega$ ,  $V_{DD}=0,5V$  (en utilisant le modèle CNTFET d'InESS).**

**Tableau 2.7 : Les caractéristiques statiques des portes logiques de transfert : NAND2 et NOR2**

	<b>NAND2</b>	<b>NOR2</b>
$V_{OL}(V)$	0,02	0,01
$V_{OH}(V)$	0,47	0,48
$V_{IL}(V)$	0,24	0,24
$V_{IH}(V)$	0,26	0,27
<b>Seuil de commutation logique</b>	<b>0,25</b>	<b>0,25</b>
Marge de bruit $NM_H$ (V)	0,20	0,21
Marge de bruit $NM_L$ (V)	0,22	0,23
<b>Marge de bruit (V) = min (<math>NM_L, NM_H</math>)</b>	<b>0,20</b>	<b>0,21</b>
Courant statique - $I_{OH}$ (nA)	16,54	2,00
Courant statique - $I_{OL}$ (nA)	8,00	9,70
Consommation statique $P_H$ (nW)	8,27	1,00
Consommation statique $P_L$ (nW)	4,00	4,85
Consommation statique moyenne (nW)	6,14	2,93
Courant dynamique - $I_T$ (nA)	286,20	286,20
Consommation dynamique (nW)	143,10	143,10
<b>Consommation totale (nW)</b>	<b>149,24</b>	<b>146,03</b>
<b>Sortance</b>	<b>~200</b>	<b>~200</b>

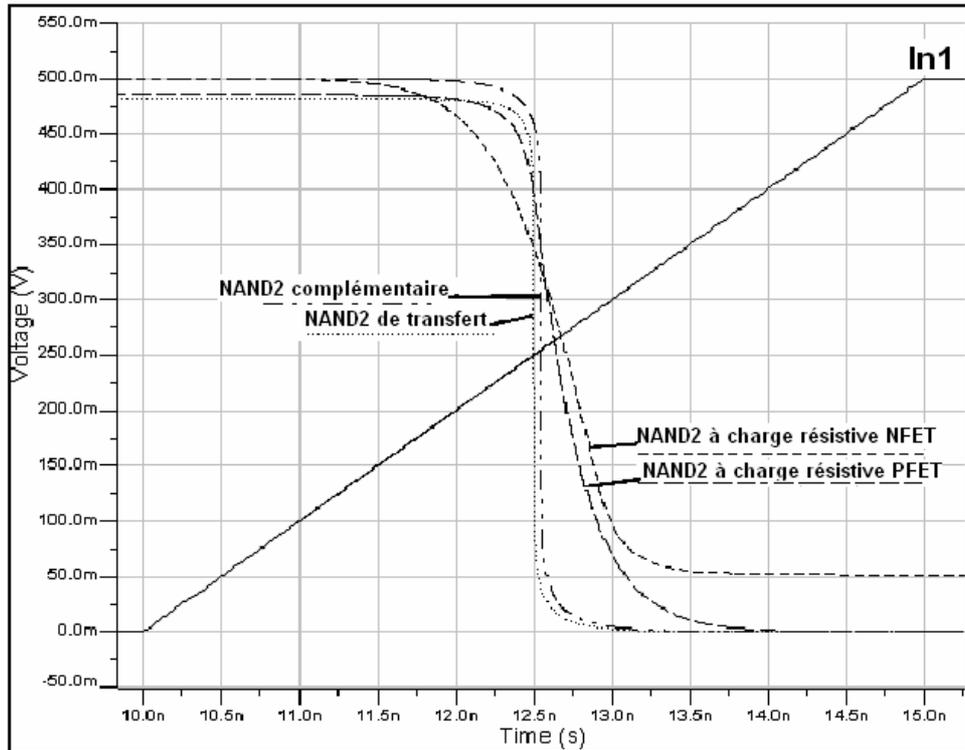
**Tableau 2.8 : Les caractéristiques dynamiques des portes de transfert : NAND2 et NOR2**

	<b>NAND2</b>	<b>NOR2</b>
<b>Td (Out1) (ps)</b>	<b>30</b>	<b>28</b>
<b>Tm (Out1) (ps)</b>	<b>30</b>	<b>28</b>
$T_{pd}$ (ps) (In1 -> Out1)	223	204
$T_{pm}$ (ps) (In1-> Out1)	223	204
<b><math>T_p</math> (ps) (In1 -&gt; Out1)</b>	<b>223</b>	<b>204</b>

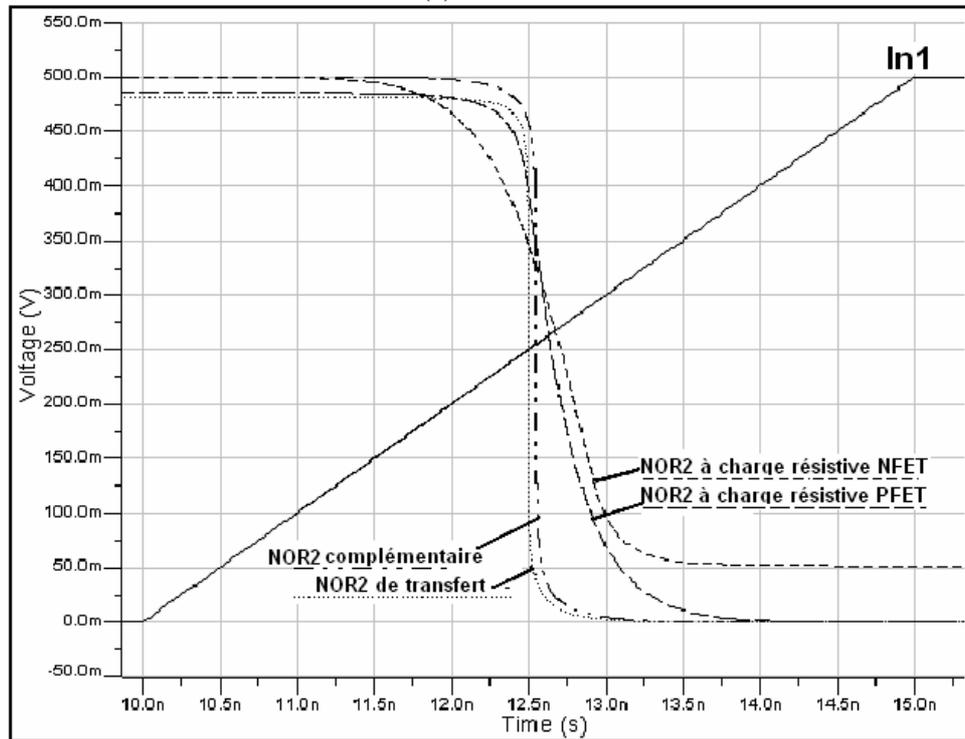
### 2.3. Comparaison des différentes structures logiques

Nous résumons dans cette partie les performances des 5 structures différentes : structures logiques à charge résistive à base de NFET, structures logiques à charge résistive à base de PFET, structures logiques complémentaires (similaires au CMOS), structures logiques domino et structures logiques de transfert. Chaque structure a été simulée et caractérisée dans la partie précédente, sur la base de simulations qui ont été réalisées dans les mêmes conditions : diamètre du nanotube de 1,42nm, tension d'alimentation  $V_{DD}$  de 0,5V.

La figure 2.20 montre les courbes de transfert des portes logiques NAND2 et NOR2 de quatre structures différentes : structure à charge résistive NFET et PFET, complémentaire et de transfert. La structure domino n'est pas considérée dans cette figure parce que les portes sont de type AND2 et OR2. Le tableau 2.9 montre un résumé des caractéristiques statiques principales (seuil de commutation logique, marge de bruit, consommation moyenne, sortance) des portes logiques avec toutes les structures étudiées.



(a) NAND2



(b) NOR2

Figure 2.20 : Les courbes de transfert des portes NAND2 (a) et NOR2 (b) avec quatre structures différentes : structure à charge résistive NFET, structure à charge résistive PFET, complémentaire et structure de transfert pour un diamètre du nanotube de 1,42nm,  $R_{S,D}=25k$ ,  $V_{DD}=0,5V$  (en utilisant le modèle CNTFET d'InESS)

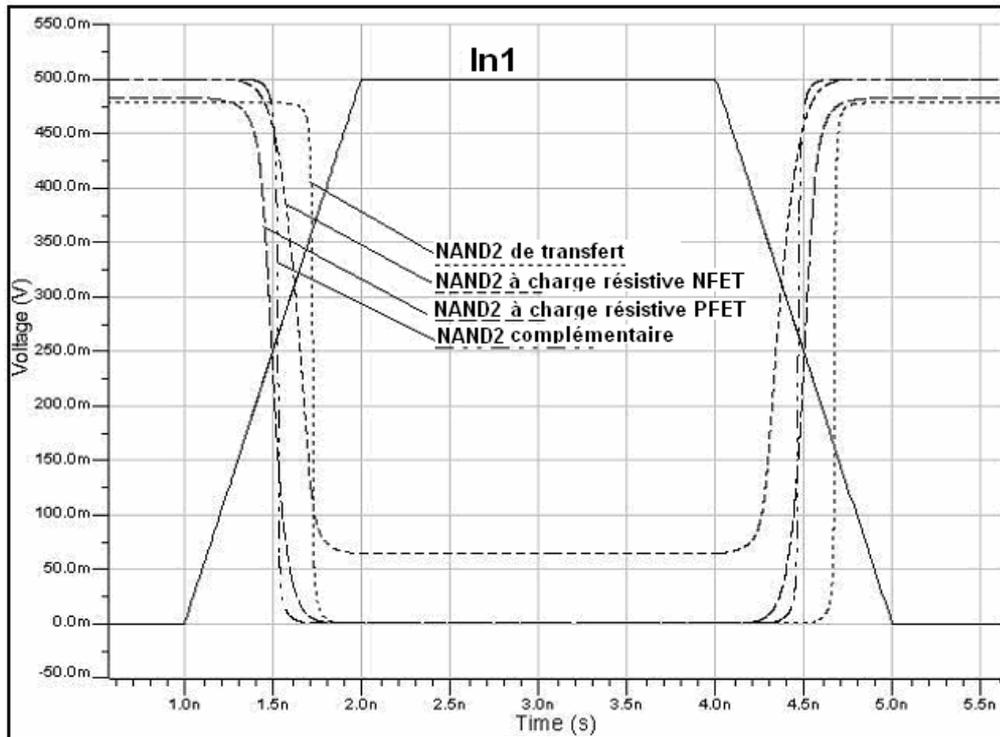
**Tableau 2.9 : Comparaison des principales caractéristiques statiques des portes logiques avec les structures à charge résistive NFET et PFET, complémentaire, domino, de transfert**

	A charge résistive						Complémentaire			Domino		De transfert	
	NFET			PFET			NOT	NAND2	NOR2	AND2	OR2	NAND2	NOR2
	NOT	NAND2	NOR2	NOT	NAND2	NOR2							
<b>Seuil de commutation logique (V)</b>	0,28	0,32	0,28	0,22	0,24	0,18	0,25	0,26	0,25	0,18	0,20	0,25	0,25
<b>Marge de bruit (V)</b>	0,14	0,11	0,14	0,14	0,15	0,11	0,22	0,21	0,21	0,11	0,13	0,20	0,21
<b>Consommation (nW)</b>	228,75	208,93	228,53	228,85	240,43	207,83	71,55	65,50	59,95	73,55	75,44	149,24	146,03
<b>Sortance</b>	~200	~200	~200	~200	~200	~200	~100	~100	~100	~100	~100	~200	~200

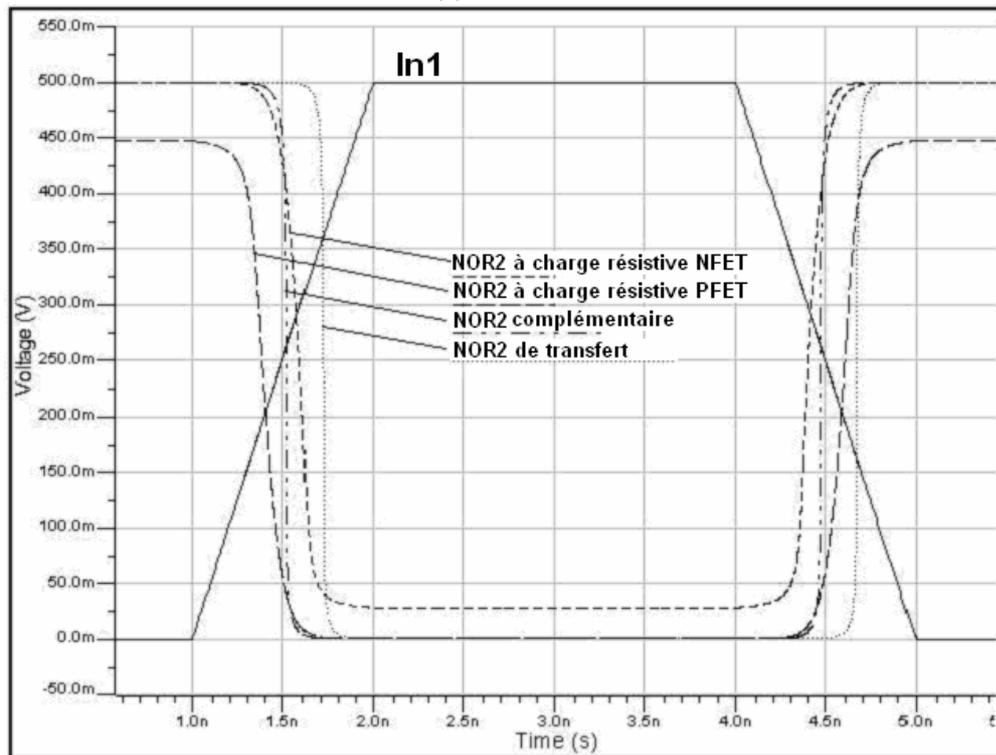
A partir des résultats obtenus, nous avons conclu que la structure complémentaire et la structure de transfert produisent les meilleures caractéristiques statiques pour des circuits intégrés, en termes de niveaux logiques, de seuil de commutation logique (presque de la valeur idéale  $V_{DD}/2 = 0,25V$ ) et de marge de bruit.

- La structure complémentaire et la structure de transfert produisent une marge de bruit meilleure que les autres structures. Les portes NOT, NAND2, NOR2 complémentaires et de transfert ont une marge de bruit d'environ 0,21V, alors que cette marge n'est que de l'ordre de 0,14V pour les autres structures. Mais la structure de transfert peut utiliser plus de transistors ; par exemple, pour construire une porte NAND2 ou NOR2 en logique de transfert, il faut six transistors au lieu de quatre en structure complémentaire.
- Le seuil de commutation logique des structures de transfert et complémentaire est de 0,25V, alors qu'il est de 0,18V ou 0,20V pour la structure domino et la structure à charge résistive PFET. Le seuil de commutation de la structure à résistive NFET est de 0,28V.
- Les structures complémentaire et domino consomment très peu d'énergie statique (quasiment nulle avec les hypothèses utilisées). Ces structures sont donc intéressantes pour les applications à basse consommation dans le futur.

La figure 2.21 montre les réponses dynamiques des portes logiques NAND2 et NOR2 des quatre structures à charge résistive NFET ou PFET, complémentaire et de transfert. Le tableau 2.10 montre un résumé des caractéristiques dynamiques principales (temps de montée, temps de descente et temps de propagation) des différentes structures.



(a) NAND2



(b) NOR2

**Figure 2.21 : Les courbes de transfert des portes NAND2 (a) et NOR2 (b) avec quatre structures différentes : structure à charge résistive NFET, structure à charge résistive PFET, complémentaire et domino pour un diamètre du nanotube de 1,42nm,  $R_{S,D}=25k$ ,  $V_{DD}=0,5V$  (en utilisant le modèle CNTFET d'InESS)**

**Tableau 2.10 : Les caractéristiques dynamiques des portes logiques avec les structures à charge résistive NFET et PFET, complémentaire, domino, de transfert**

	A charge résistive						Complémentaire			Domino		De transfert	
	NFET			PFET			NOT	NAND2	NOR2	AND2	OR2	NAND2	NOR2
	NOT	NAND2	NOR2	NOT	NAND2	NOR2							
Td (ps)	210	227	210	232	201	311	28	31	32	4	4	30	28
Tm (out1) (ps)	210	227	210	232	201	311	28	31	32	4	4	30	28
<b>Tpropagation (ps)</b>	<b>94</b>	<b>153</b>	<b>94</b>	<b>58</b>	<b>58</b>	<b>111</b>	<b>24</b>	<b>30</b>	<b>26</b>	<b>52</b>	<b>53</b>	<b>223</b>	<b>204</b>

Le temps de propagation de la structure complémentaire est plus faible que celui des autres structures, la rendant la plus intéressante pour les applications à haute fréquence. Ensuite, les portes domino se classent globalement en deuxième position. Les temps de montée et de descente pour les portes domino sont plus petits que ceux des autres portes. Mais le temps de propagation est pénalisé par l'inverseur de sortie. La prise en compte des réductions des capacités d'entrée devrait pouvoir améliorer cette caractéristique au sein d'un réseau de portes.

## 2.5. Conclusion

Un CNTFET fonctionnant comme un MOSFET, toutes les structures logiques de la technologie au silicium peuvent être transférées à la technologie CNT. Nous avons réalisé beaucoup de simulations pour évaluer les caractéristiques principales statiques et dynamiques des portes logiques de base (NOT, NAND2 et NOR2) avec cinq structures différentes. Les comparaisons montrent l'intérêt particulier de la structure logique complémentaire, même si la littérature traitant des portes logiques à base de CNTFET s'était jusqu'ici beaucoup concentrée sur les structures à charge résistive.

Partant de cette constatation, nous nous concentrerons dans la suite de ce document sur l'étude des portes logiques en structure complémentaire. Nous allons analyser dans le chapitre 3 la dispersion des caractéristiques de ces portes due aux variations paramétriques du CNTFET et à la variation de température. Nous allons aussi proposer dans le chapitre 4 des structures robustes pour tolérer certaines fautes et défauts dans ces portes logiques complémentaires.

### CHAPITRE 3 : ETUDE DE L'INFLUENCE DES VARIATIONS PARAMETRIQUES SUR LES CARACTERISTIQUES DES PORTES COMPLEMENTAIRES

Pour le C-CNTFET dopé à la source et au drain, les paramètres physiques principaux sont les dimensions du canal – ce sont les dimensions du nanotube (diamètre, longueur) - la capacité de grille ( $C_G$ ) et la résistance de contact entre le nanotube de carbone et les deux électrodes (la source et le drain). Parmi ces paramètres, le diamètre du nanotube est le paramètre le plus critique pour les circuits logiques à base de CNTFETs [Zhou00][Javey02a]. La résistance de contact aux deux électrodes joue aussi un rôle important pour déterminer les caractéristiques du transistor CNTFET, ainsi que celles des circuits logiques [Guo04][Four05].

Dans ce chapitre, nous présentons tout d'abord un outil automatique développé pour analyser la dispersion des caractéristiques des portes logiques complémentaires (NOT, NAND2 et NOR2) induite par les variations de différents paramètres des transistors CNTFETs. En utilisant cet outil, nous analysons la dispersion des caractéristiques électriques principales du transistor CNTFET (tension de seuil et rapport  $I_{ON}/I_{OFF}$ ) par rapport à la variation du diamètre du nanotube et de la résistance de contact. Ensuite, au niveau des portes logiques, nous évaluons la dispersion des caractéristiques statiques et dynamiques induite par les variations du diamètre du nanotube, de la résistance de contact et de la température. Pour les portes logiques, les caractéristiques principales étudiées sont la tension de seuil de commutation logique, la marge de bruit, le temps de descente, le temps de montée et le temps de propagation.

Cette étude est focalisée sur les portes logiques à structure complémentaire. Nous considérons les deux cas présentés en section 1.2.1.1, à savoir les portes logiques homogènes et hétérogènes. Ces portes logiques sont supposées construites avec des nanotubes de diamètre nominal 1,42nm. La variation du diamètre des nanotubes est étudiée entre 1,0nm et 2,0nm, car cet intervalle couvre toutes les technologies actuelles (voir 1.1.2.1).

### 3.1. Outil automatique d'analyse des dispersions des caractéristiques des portes logiques

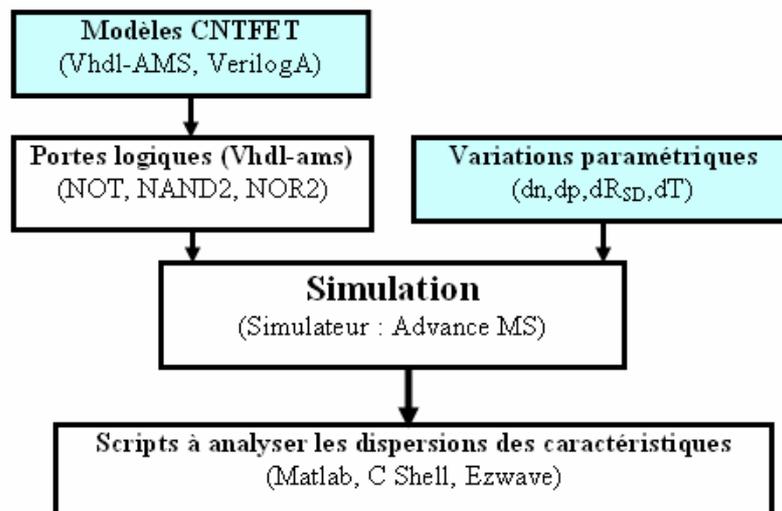


Figure 3.1 : Flot de simulation de l'outil automatique proposé

La figure 3.1 montre le flot de simulation de l'outil automatique proposé pour simuler des circuits logiques à base de CNTFETs et analyser la dispersion de leurs caractéristiques statiques et dynamiques suite aux variations paramétriques des transistors (notamment, diamètre du nanotube  $dn$ ,  $dp$  et résistance de contact  $dR_{SD}$ ) ou des conditions environnementales (variation de la température  $dT$ ). Les valeurs des paramètres à faire varier sont générées automatiquement pendant la simulation. Cet outil comporte trois parties principales :

- Les entrées de l'outil sont (1) un modèle compact du CNTFET (en langage VHDL-AMS ou VerilogA) et (2) la liste des paramètres à faire varier et leurs intervalles de variation. Lorsque des circuits logiques sont analysés, le modèle compact du CNTFET est appelé hiérarchiquement à partir du schéma du circuit étudié (dans notre cas, les portes logiques élémentaires).
- Un simulateur VHDL-AMS ou VerilogA du commerce sert de cœur de simulation ; Advance MS de Mentor Graphics a été choisi pour nos études.
- Des scripts traitent et analysent les résultats issus de la simulation. Nous avons créé des scripts en Matlab ou en Shell C nous permettant d'extraire les informations utiles à partir des fichiers en format texte (.txt) et en format "waveform database" (.wdb).

Un gros avantage de cet outil est que nous pouvons remplacer facilement une version du modèle de CNTFET par une autre, sans modifier le flot global de simulation.

Dans le cas où les simulations se déroulent normalement, une analyse complète peut être effectuée de manière complètement automatique. Toutefois, comme indiqué au chapitre

1, quelques problèmes peuvent apparaître pendant la simulation, nécessitant une intervention manuelle. Nous avons rencontré deux problèmes principaux :

- *Problème de singularité* (« *singularity* ») : cela se produit quand une équation du système n'a aucune solution ou a plusieurs solutions. Quand le simulateur détecte ce problème, il s'arrête. Ce problème provient du modèle du CNTFET. Par exemple, le modèle CNTFET d'InESS utilise des équations non linéaires pour calculer le courant  $I_{DS}$ . Ces équations conduisent dans certains cas au problème cité ; pour éviter cela, il faudrait encore améliorer le lissage des courbes dans le modèle du CNTFET.
- *Problème de non convergence* : cela provient du choix des paramètres pour faire fonctionner le simulateur. Le simulateur Advance MS utilise la méthode d'intégration trapézoïde analogique avec deux paramètres principaux du solveur analogique : le taux de précision ( $\epsilon=10^{-8}$ ) et le pas minimal de linéarisation ( $h_{min}=10^{-10}$ ). Pour surmonter le problème de non convergence, il faut de temps en temps réduire le taux de précision, par exemple à  $\epsilon=10^{-7}$ . Le problème de non convergence est plus fréquent et plus important lorsque le circuit étudié se compose de plusieurs transistors.

### 3.2. Influence des variations paramétriques des dispositifs CNTFETs

La variabilité paramétrique d'un CNTFET peut venir des imperfections du procédé de fabrication. Nous pouvons classer ces imperfections en deux groupes : (1) *Perturbation du processus* : c'est la variation des paramètres du processus de fabrication tels que la température, le temps du processus de dopage, etc. Ces perturbations provoquent des défauts de qualité des matériaux (nanotube, substrat, diélectrique, etc.). (2) *Perturbation du layout* : c'est la dégradation des dimensions de l'interconnexion et de la forme/dimension du contact, etc. Ces perturbations proviennent du mauvais alignement du masque ou des limitations de la technologie de lithographie pour créer les électrodes.

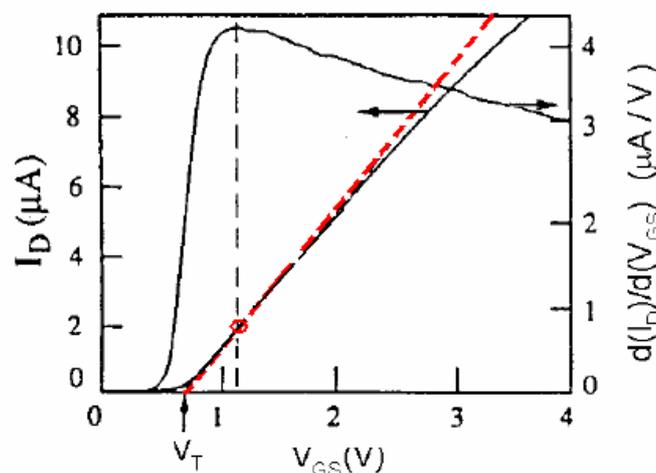
Les transistors CNTFETs sont très sensibles aux variations géométriques (diamètre du nanotube, dimension du contact, précision du contact entre le CNT et les électrodes, qualité du matériau diélectrique et épaisseur de celui-ci) [Four05]. Ces variations peuvent impacter plusieurs paramètres de fonctionnement électrique du transistor CNTFET.

Dans cette partie, nous analysons deux caractéristiques électriques importants d'un CNTFET : la tension de seuil et le rapport de courant  $I_{ON}/I_{OFF}$ . La tension de seuil influence les caractéristiques électriques (marge de bruit, tension de seuil de commutation) des portes logiques composées de plusieurs CNTFETs et le rapport de courant permet le contraste entre les deux modes « bloqué » et « passant », donc entre les deux niveaux logiques obtenus. Ce rapport doit être le plus élevé possible. Les valeurs absolues de  $I_{ON}$  et  $I_{OFF}$  ne sont pas étudiées car le modèle compact de CNTFET utilisé ne prend pas en compte tous les éléments du CNTFET, comme par exemple les résistances et capacités parasites, donc la valeur des

courants ne correspond probablement pas exactement à celle des CNTFETs fabriqués. Mais la valeur du rapport  $I_{ON}/I_{OFF}$  donne une idée réaliste de l'écart relatif, ce qui est le plus important pour des applications logiques.

Les deux caractéristiques étudiées sont extraites à partir de la caractéristique  $I_{DS}(V_{GS})$  (courant entre la source et le drain en fonction de la tension de grille) comme suit :

- *La tension de seuil ( $V_{th}$  – threshold voltage en anglais)* est définie comme étant la tension  $V_{GS}$  (entre la grille et la source) pour laquelle le transistor passe du mode bloqué au mode passant (c'est-à-dire la tension de création du canal de conduction entre le drain et la source). Lorsque la tension  $V_{GS}$  est inférieure à la tension de seuil, il n'y a pas de courant entre le drain et la source. On utilise ici la méthode d'extrapolation linéaire [Yan91][Liou97][Liou98] : à partir de la courbe  $I_{DS}(V_{GS})$ , nous calculons la dérivée de  $I_{DS}$  en fonction de  $V_{GS}$  (transconductance  $dI_{DS}/dV_{GS}$ ) et nous trouvons le point maximum de cette courbe. Ensuite, la tension de seuil est la tension  $V_{GS}$  au point d'intersection entre l'axe des abscisses et l'extrapolation linéaire de la courbe  $I_{DS}(V_{GS})$  au point maximal de la dérivée (voir figure 3.2).
- *Le rapport  $I_{ON}/I_{OFF}$*  : le courant  $I_{OFF}$  est le courant de fuite lorsque le transistor est bloqué ; il est mesuré lorsque  $V_{GS}$  est égal à  $V_{th}/2$ . Le courant  $I_{ON}$  est le courant traversant le transistor lorsque le transistor est passant. Par exemple, pour le CNTFET type N, le courant  $I_{ON}$  est mesuré lorsque  $V_{GS}=V_{DD}=0,5V$ .



**Figure 3.2 : Caractéristique  $I_{DS}(V_{GS})$  d'un CNTFET type N et sa dérivée  $dI_{DS}/dV_{GS}$  (transconductance) : la tension de seuil  $V_{th}$  est la tension  $V_{GS}$  au point d'intersection entre l'axe des abscisses et l'extrapolation linéaire de la courbe  $I_{DS}(V_{GS})$  (en pointillés) au point maximal de la dérivée  $dI_{DS}/dV_{GS}$**

Les paramètres physiques du CNT considérés comme paramètres variables sont le diamètre et la résistance de contact. Les autres paramètres, comme la mobilité des porteurs, le « swing subthreshold » etc., ne sont pas analysés parce qu'ils n'apparaissent pas dans le modèle compact de CNTFET utilisé aujourd'hui. Il faut noter que certains paramètres comme la longueur du nanotube ou la mobilité n'ont pas d'influence tant que l'on suppose un régime

ballistique. Si cette hypothèse n'est plus faite, il peut être nécessaire de changer radicalement de modèle. Dans le futur, si certains paramètres sont ajoutés dans le modèle de CNTFET, ou si le modèle est remplacé par un autre, l'influence des nouveaux paramètres sur les caractéristiques des portes logiques pourra être analysée de la même façon en utilisant l'outil automatique présenté dans la partie 3.1.

### 3.2.1. Influence de la variation du diamètre

Pour un transistor CNTFET, la longueur et le diamètre du nanotube sont les caractéristiques du canal et sont donc critiques pour définir les caractéristiques du CNTFET. Seul le diamètre sera considéré ici, la longueur n'étant pas un paramètre du modèle de CNTFET utilisé.

La figure 3.3 montre l'évolution des caractéristiques électriques d'un CNTFET type N pour une variation du diamètre entre 1,0nm et 2,0nm. Le tableau 3.1 résume la dispersion de  $V_{th}$  et du rapport  $I_{ON}/I_{OFF}$  à cause de la variation du diamètre du nanotube.

La figure 3.3.a montre que lorsque le diamètre augmente, le rapport  $I_{ON}/I_{OFF}$  diminue fortement ce qui n'est pas souhaitable. Par exemple, pour le diamètre nominal de 1,42nm, le rapport  $I_{ON}/I_{OFF}$  est d'environ  $2,6 \times 10^5$ . Une variation du diamètre entre -23,1% et 43,9% (1,0nm-2,0nm) provoque une dispersion du rapport  $I_{ON}/I_{OFF}$  de 1067,4% à -95,2%.

*Cause et conséquence de cette dispersion ?* Comme le bandgap du nanotube est d'environ  $0,9/d$  ( $d$  : diamètre du nanotube), quand le diamètre du nanotube augmente, le bandgap diminue. Selon l'équation (1.3) (dans le chapitre 1), le courant traversant le nanotube ( $I_{ON}$ ) augmente et le courant de fuite ( $I_{OFF}$ ) augmente en même temps de manière encore plus importante. Par conséquent, le rapport  $I_{ON}/I_{OFF}$  diminue fortement. Du point de vue de la consommation, comme du point de vue d'une utilisation en logique, une augmentation du diamètre n'est donc pas souhaitable.

La figure 3.3.b montre que la tension de seuil du CNTFET diminue lorsque le diamètre du nanotube augmente, car la structure de bande d'énergie du nanotube est dépendante du diamètre de celui-ci. Une variation du diamètre entraîne une dispersion du même ordre de grandeur de la tension de seuil, plus marquée lorsque le diamètre diminue par rapport à la valeur nominale. Par exemple, quand le diamètre du nanotube varie entre 1,0nm et 2,0nm (-23,1% -> 43,9%), la dispersion de la tension de seuil est entre 48,1% et -46,3%.

Pour construire des circuits complexes basés sur des CNTFETs, il faudra donc bien maîtriser la variation du diamètre du nanotube pendant la synthèse du CNT.

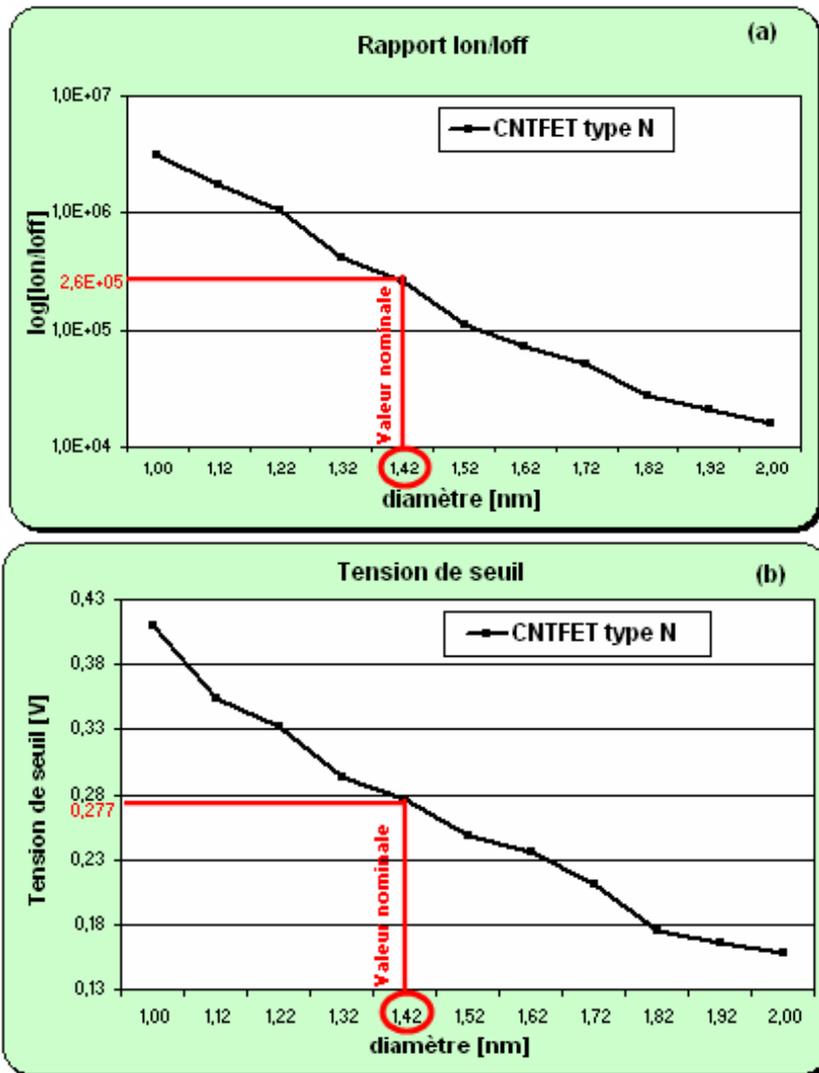


Figure 3.3 : Evolution du rapport  $I_{ON}/I_{OFF}$  et de la tension de seuil du CNTFET en fonction du diamètre du nanotube, en utilisant le modèle InESS ( $V_{DS}=0,5V$ ;  $R_{S,D}=25k\Omega$  ;  $T=300K$ )

Tableau 3.1: Dispersion du rapport  $I_{ON}/I_{OFF}$  et de la tension de seuil du CNTFET en fonction du diamètre du nanotube ( $V_{DS}=0,5V$ ;  $R_{S,D}=25k\Omega$  ;  $T=300K$ )

Variation du diamètre	1,0nm -> 2,0nm -23,1% -> 43,9%
Dispersion du rapport Ion/Ioff	1067,4%->-95,2%
Dispersion de la tension de seuil	48,1% -> -46,3%

### 3.2.2. Influence de la variation de la résistance de contact

Nous avons analysé aussi l'influence de la résistance de contact ( $R_{SD}$ ) au drain et à la source sur les deux mêmes paramètres électriques ( $V_{th}$  et le rapport  $I_{ON}/I_{OFF}$ ) d'un transistor CNTFET. Comme indiqué dans la partie 1.1.2.3, nous avons choisi  $25k\Omega$  comme valeur nominale de la résistance de contact. La figure 3.4 montre l'évolution du  $V_{th}$  et du rapport

$I_{ON}/I_{OFF}$  en fonction de la résistance de contact quand la tension d'alimentation  $V_{DS}$  est de 0,5V, le diamètre du nanotube étant de 1,42nm. Le tableau 3.2 résume la dispersion observée.

Le niveau  $I_{DS}$  ON est plus grand lorsque la résistance de contact aux deux électrodes (source et drain) diminue car cela entraîne une baisse de la hauteur de la barrière d'énergie entre les électrodes et le CNT. Quand la hauteur de la barrière d'énergie diminue, le courant  $I_{DS}$  ON traversant le CNT est plus important.

Nous avons évalué l'évolution du rapport  $I_{ON}/I_{OFF}$ , présentée dans la figure 3.4a, et nous voyons que la dispersion du rapport  $I_{ON}/I_{OFF}$  en fonction des variations de la résistance de contact est relativement faible. Par exemple, quand la résistance de contact augmente de 300% par rapport à la valeur nominale de 25k $\Omega$ , le rapport  $I_{ON}/I_{OFF}$  diminue d'environ - 53,3%.

Nous avons également analysé la dispersion du  $V_{th}$  en fonction de la résistance (voir figure 3.4.b). Nous observons que la résistance de contact n'influence guère le  $V_{th}$  du transistor CNTFET. Par exemple, quand la résistance de contact augmente de 300% (~100k $\Omega$ ), la tension de seuil du CNTFET augmente seulement de 10%. La raison est que lorsque la résistance de contact augmente, la hauteur de la barrière entre le nanotube et la source du drain augmente aussi. Il faut donc une tension de grille  $V_{GS}$  plus grande pour que le transistor CNTFET commute du mode bloquant au mode passant.

De ces résultats, il apparaît que les variations de résistance de contact sont beaucoup moins critiques que les variations de diamètre des nanotubes.

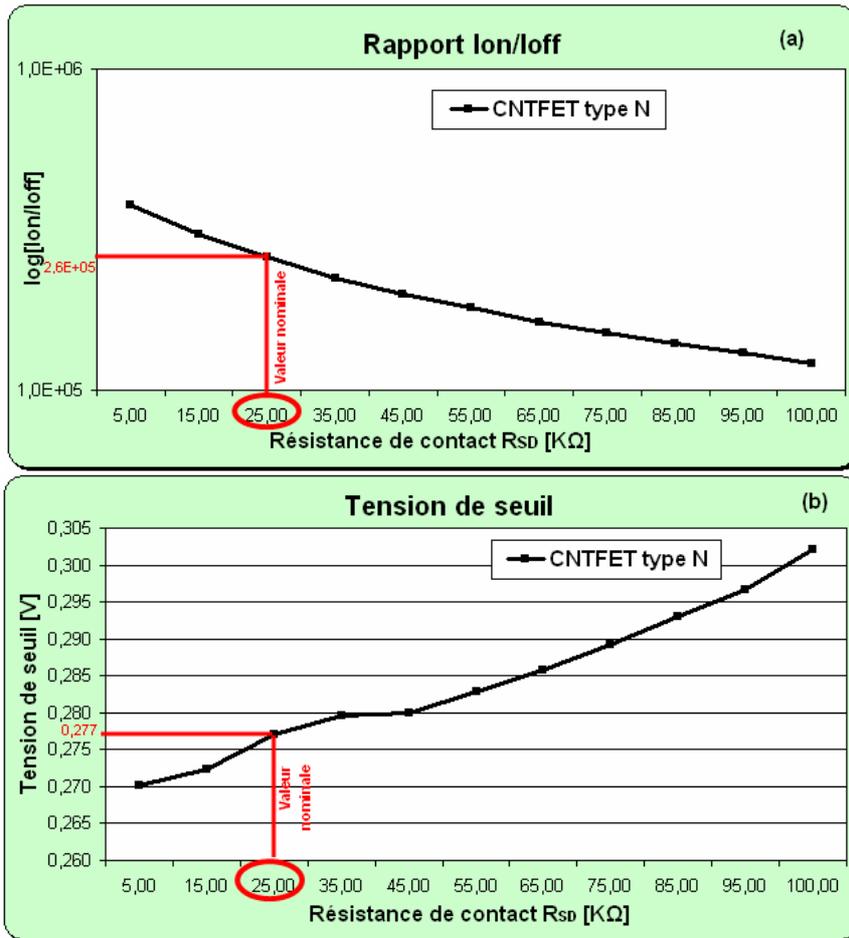


Figure 3.4 : Evolution du rapport  $I_{ON}/I_{OFF}$  et de la tension de seuil du CNTFET en fonction de la résistance de contact  $R_{SD}$ , en utilisant le modèle InESS ( $V_{DS}=0,5V$ ;  $d=1,42nm$  ;  $T=300K$ )

Tableau 3.2: Dispersion du rapport  $I_{ON}/I_{OFF}$  et de la tension de seuil du CNTFET en fonction de la résistance de contact ( $V_{DS}=0,5V$ ;  $d=1,42nm$  ;  $T=300K$ )

Variation de la résistance de contact	5kΩ -> 100kΩ -80% -> 300%
Dispersion du rapport Ion/Ioff	45,0% -> -53,3%
Dispersion de la tension de seuil	-2,5% -> 10,1%

### 3.2.3. Influence de la variation de la température d'opération

Le mécanisme d'établissement du canal du CNTFET et l'intensité du courant  $I_{DS}$  traversant ce canal sont différents de ceux du MOSFET. Le courant  $I_{DS}$  d'un CNTFET est dépendant de la température, comme suit (voir 1.3.3.1) :

$$I_D = \frac{4ek_B T}{h} \sum_p \left[ \ln\left(1 + \exp\left(\frac{V_{CNT} - \Delta_P}{k_B T}\right)\right) - \ln\left(1 + \exp\left(\frac{V_{CNT} - \Delta_P - V_D}{k_B T}\right)\right) \right]$$

Pour un CNTFET, la température joue donc un rôle dans la variation de la tension de seuil. L'évolution de  $V_{th}$  et du rapport  $I_{ON}/I_{OFF}$  du CNTFET en fonction de la température est présentée dans la figure 3.5 et le tableau 3.3 résume les dispersions observées. Ici, nous considérons la température ambiante de 300K (27°C) comme la valeur nominale et nous cherchons à évaluer l'influence d'une augmentation de la température en cours d'opération.

Lorsque la température augmente, le courant  $I_{DS ON}$  augmente et le courant  $I_{DS OFF}$  augmente également mais dans une proportion plus importante que  $I_{DS ON}$ . C'est pourquoi le rapport  $I_{ON}/I_{OFF}$  diminue (voir la figure 3.5a). La diminution du rapport  $I_{ON}/I_{OFF}$  est environ de 94% lorsque la température augmente jusqu'à 100°C. On voit donc que la température a un impact très important sur ce paramètre.

En terme de tension de seuil, quand la température augmente, le mécanisme de commutation du CNTFET est facilité. C'est-à-dire que la création du canal de conduction entre le drain et la source du CNTFET se fait sous une tension de grille  $V_{GS}$  plus petite. C'est pourquoi la tension de seuil du CNTFET diminue quand la température augmente. Par exemple, quand la température est de 100°C (373K), le  $V_{th}$  du CNTFET diminue de 11,1% par rapport au  $V_{th}$  à température ambiante (300K) (voir figure 3.5.b).

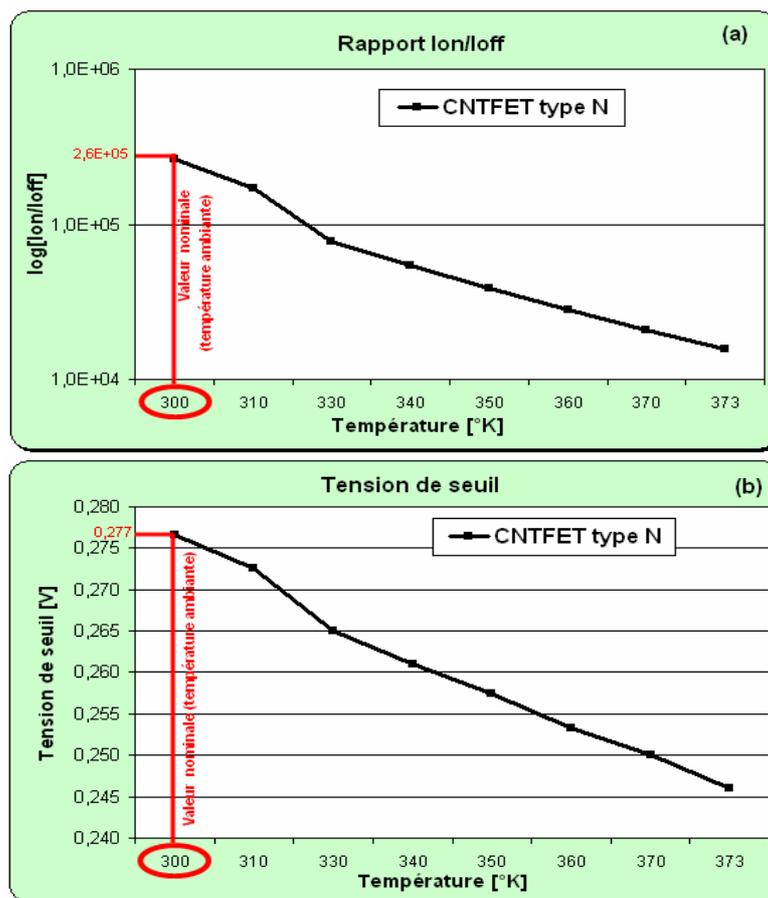


Figure 3.5 : Evolution du rapport  $I_{ON}/I_{OFF}$  et de la tension de seuil du CNTFET en fonction de la température, en utilisant le modèle InESS ( $V_{DS}=0,5V$ ;  $d=1,42nm$ ;  $R_{s,D}=25k\Omega$ )

**Tableau 3.3: Dispersion du rapport  $I_{ON}/I_{OFF}$  et de la tension de seuil du CNTFET en fonction de la température d'opération ( $V_{DS}=0,5V$ ;  $d=1,42nm$  ;  $R_{S,D}=25k\Omega$ )**

<b>Variation de la température</b>	<b>27°C -&gt; 100°C [300K -&gt; 373K 0,0% -&gt; +24,3%]</b>
<b>Dispersion du rapport Ion/Ioff</b>	0,0% -> -94,1%
<b>Dispersion de la tension de seuil</b>	0,0% -> -11,1%

### 3.2.4. Tableau résumé

Le tableau 3.4 résume le degré d'influence des variations paramétriques (diamètre du nanotube, résistance de contact et température) sur les deux caractéristiques électriques du CNTFET : la tension de seuil et le rapport  $I_{ON}/I_{OFF}$ . La variation du diamètre du nanotube influence fortement ou assez fortement ces deux caractéristiques du CNTFET. C'est pourquoi, le concepteur doit prendre en compte les possibles variations du diamètre des nanotubes pendant la conception pour obtenir des circuits logiques avec de bonnes performances. La résistance de contact a globalement moins d'impact. La température a quant à elle un impact très différent sur les deux caractéristiques. Afin d'optimiser le rapport des courants, il est nécessaire de bien la maîtriser mais cela influe davantage sur les conditions opérationnelles que sur la conception des cellules logiques (du moins, avec les modèles de CNTFET actuellement disponibles).

**Tableau 3.4 : Degré d'influence des variations de paramètres sur des caractéristiques électriques du CNTFET : la tension de seuil et le rapport  $I_{ON}/I_{OFF}$**

	<b>Dispersion de la tension de seuil</b>	<b>Dispersion du rapport <math>I_{ON}/I_{OFF}</math></b>
<b>Variation du diamètre</b>	<b>moyenne</b>	<b>forte</b>
<b>Variation de la résistance de contact</b>	<b>faible</b>	<b>moyenne</b>
<b>Variation de la température</b>	<b>faible</b>	<b>forte</b>

Une question importante se pose maintenant : comment les variations du diamètre du nanotube, de la résistance de contact et de la température influencent-elles les caractéristiques statiques et dynamiques des portes logiques à base de CNTFETs ? Nous analyserons ces effets dans la partie suivante.

### 3.3. Influence des variations paramétriques et d'environnement sur le comportement des portes logiques

Dans cette partie, nous analysons les variations des caractéristiques des portes logiques complémentaires (NOT, NAND2 et NOR2) suite aux variations paramétriques de leurs composants et aux variations de température. Compte tenu des conclusions précédentes, nous

nous sommes surtout concentré sur les variations induites par les variations de diamètre des nanotubes.

Comme indiqué dans la partie 1.2.1.1, il y a deux types de portes à base de nanotubes : les portes hétérogènes et les portes homogènes. Une porte complémentaire complètement homogène a tous les transistors construits sur un seul nanotube, alors qu'une porte complètement hétérogène est construite sur un nanotube par transistor. Les portes logiques homogènes réduisent les variations relatives de caractéristiques entre les transistors. Jusqu'à ce jour, des portes homogènes avec un maximum de 15 transistors ont pu être construites.

Nous avons simulé et nous présenterons également le cas intermédiaire de portes NAND2 et NOR2 hétérogènes qui comporteraient deux nanotubes séparés : un nanotube de type N - pour construire des transistors CNTFETs type N - et un nanotube de type P - pour construire des transistors type P. Nous analyserons la dispersion des caractéristiques statiques et dynamiques des portes logiques en faisant varier le diamètre de ces deux nanotubes. Nous pouvons appeler ces portes logiques *demi hétérogènes*.

Dans le cas des portes hétérogènes (NAND2 et NOR2), chacune de ces portes comporte quatre transistors (2 CNTFET type P et 2 CNTFET type N). Les analyses de comportement face aux dispersions comportent des variations simultanées des paramètres de ces quatre transistors.

Nous allons étudier dans cette partie les deux caractéristiques statiques les plus importantes des portes logiques complémentaires : la tension de seuil de commutation ( $V_{sc}$ ) et la marge de bruit ( $V_{nm}$ ). Concernant la marge de bruit, il faut que cette marge soit la plus grande possible. Concernant la tension de seuil de commutation, elle doit être la plus proche possible de l'idéal  $V_{DD}/2$ . Nous avons aussi mesuré les caractéristiques dynamiques principales : temps de montée ( $T_m$ ), temps de descente ( $T_p$ ) et temps de propagation ( $T_p$ ).

### **3.3.1. Influence de la variation du diamètre du nanotube**

#### **3.3.1.1. Portes logiques homogènes**

##### ***Influence du diamètre sur les caractéristiques statiques***

La figure 3.6 montre la variation de  $V_{sc}$  et  $V_{nm}$  des portes complémentaires NOT, NAND2 et NOR2 en fonction de la variation de diamètre. Ces courbes indiquent que :

- si le diamètre augmente,  $V_{sc}$  augmente pour le NAND2 et diminue pour le NOR2, ce qui a bien sûr un impact négatif sur la marge de bruit et les autres caractéristiques des portes. Par exemple, pour un diamètre d'environ 2,0nm (augmentation de 43,9% par

rapport à la valeur nominale de 1,42nm), le  $V_{sc}$  du NAND2 augmente d'environ 11,6% et le  $V_{sc}$  du NOR2 diminue d'environ 5,6%. En revanche, le seuil de commutation de la porte NOT est quasi constant (figure 3.6.a).

- en conséquence, si le diamètre augmente,  $V_{nm}$  diminue brutalement pour les deux portes NAND2 et NOR2 (figure 3.6.b). Par exemple, pour un diamètre d'environ 2,0nm, le  $V_{nm}$  du NAND2 diminue de 24,65% et le  $V_{nm}$  du NOR2 diminue de 22,94%.
- si le diamètre est plus faible que la valeur nominale, l'impact sur les caractéristiques reste beaucoup plus limité, surtout pour  $V_{sc}$ .

Ces résultats indiquent globalement une variation linéaire (en première approximation) de  $V_{sc}$  et  $V_{nm}$  avec le diamètre. Sur cette base, le seuil de commutation logique peut être ainsi évalué :

$$1,0 \text{ nm} \leq d(\text{nm}) \leq 2,0 \text{ nm}$$

$$\text{NOT} \quad : V_{sc}(\text{V}) = -5\text{E-}05d + 0,2506$$

$$\text{NAND2} \quad : V_{sc}(\text{V}) = 0,0037d + 0,2412$$

$$\text{NOR2} \quad : V_{sc}(\text{V}) = -0,0016d + 0,2543$$

La marge de bruit peut être ainsi évaluée :

$$1,0 \text{ nm} \leq d(\text{nm}) \leq 2,0 \text{ nm}$$

$$\text{NOT} \quad : V_{nm}(\text{V}) = -0,0012d + 0,2222$$

$$\text{NAND2} \quad : V_{nm}(\text{V}) = -0,0057d + 0,2341$$

$$\text{NOR2} \quad : V_{nm}(\text{V}) = -0,0055d + 0,2387$$

Les coefficients indiqués dans les équations sont dépendants de la technologie et leur précision est limitée par la précision du modèle ; il s'agit donc d'indiquer une tendance, plus que d'un calcul des valeurs absolues des caractéristiques. Ceci restera vrai dans la suite du travail.

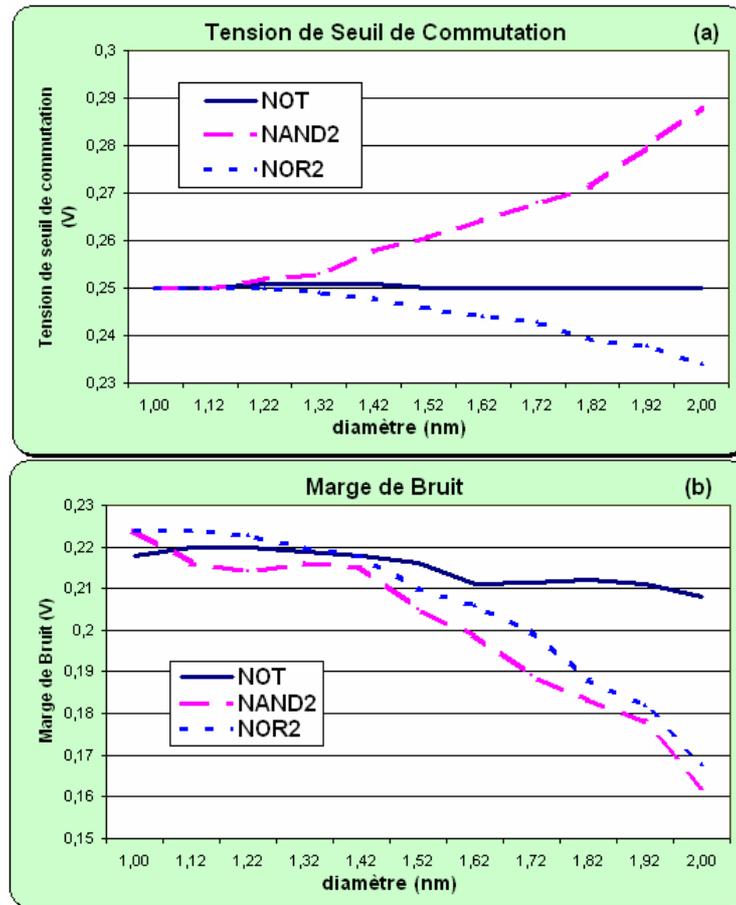


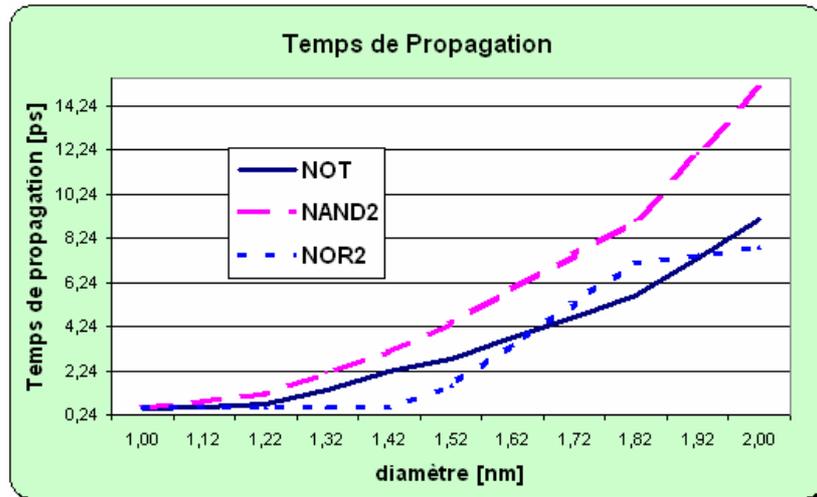
Figure 3.6 : Tensions de seuil de commutation et marges de bruit des portes homogènes NOT, NAND2 et NOR2 en fonction du diamètre du nanotube, en utilisant le modèle InESS ( $R_{S,D}=25k\Omega$  ;  $V_{DD}=0,5V$  ;  $T=300K$ )

### *Influence du diamètre sur les caractéristiques dynamiques*

Les caractéristiques dynamiques telles que le temps de montée, le temps de descente et le temps de propagation sont mesurées en utilisant le schéma et le principe présentés dans la figure 2.6. Deux inverseurs sont ajoutés avant et après la porte à mesurer. Ces deux inverseurs complémentaires jouent le rôle d'une charge en entrée et d'une charge en sortie.

L'influence de la variation du diamètre du nanotube sur le temps de montée ( $T_m$ ) et sur le temps de descente ( $T_d$ ) reste faible. Mais l'influence sur le temps de propagation ( $T_p$ ) est plus grande et elle est montrée dans la figure 3.7. Quand le diamètre augmente, le temps de propagation augmente aussi car il est déterminé par les deux capacités  $C_{GS}$  et  $C_{GD}$  (voir figure 1.14), qui augmentent avec le diamètre et augmentent en conséquence les temps de charge et de décharge.

Mais nous voyons très bien que l'augmentation de  $T_p$  n'est pas linéaire avec le diamètre. La relation entre  $T_p$  et le diamètre est plutôt polynomiale d'ordre 2.



**Figure 3.7 : Temps de propagation des portes homogènes NOT, NAND2 et NOR2 en fonction du diamètre du nanotube, en utilisant le modèle InESS ( $R_{S,D}=25k\Omega$  ;  $V_{DD}=0,5V$  ;  $T=300K$ ).**

Ce temps de propagation peut être évalué comme suit :

$$1,0 \text{ nm} \leq d(\text{nm}) \leq 2,0 \text{ nm}$$

$$\text{NOT} \quad : \quad T_p(\text{ps}) = 0,0798*d^2 - 0,1133*d + 0,5404$$

$$\text{NAND2} \quad : \quad T_p(\text{ps}) = 0,1375*d^2 - 0,2537*d + 0,8258$$

$$\text{NOR2} \quad : \quad T_p(\text{ps}) = 0,0924*d^2 - 0,241*d + 0,4502$$

Ces équations sont à nouveau dépendantes de la technologie et du modèle utilisé. Elles peuvent cependant être utilisées pour analyser le temps de propagation dans des circuits plus complexes, composés d'un réseau de portes logiques élémentaires.

### ***Influence globale du diamètre***

Le tableau 3.5 résume la dispersion globale de  $V_{sc}$ ,  $V_{nm}$  et  $T_p$  pour les portes complémentaires homogènes étudiées, suite à la variation du diamètre du nanotube. Nous voyons que la dispersion de  $V_{sc}$  reste petite donc acceptable. Quand le diamètre varie de -23,1% à 43,9%, la dispersion de  $V_{sc}$  est seulement de -5,6% à 11,6%. La dispersion de  $V_{nm}$  est plus importante, lorsque le diamètre est plus grand qu'attendu : la variation va de -24,6% à 0,92%. Mais la caractéristique de loin la plus sensible à une variation du diamètre est le temps de propagation dans les cellules.

**Tableau 3.5: Dispersion de Vsc, Vnm et Tp pour les portes complémentaires homogènes en fonction de la variation du diamètre du nanotube**

Variation du diamètre	Entre [1,0nm ; 2,0nm] [-23,1% ; 43,9%]
<b>Dispersion de Vsc</b>	<b>-Entre [-5,6% ; 11,63%]</b> -Diminution maximale : -5,6% (NOR2) à d=2,0nm -Augmentation maximale : 731,8% (NAND2) à d=2,0nm
<b>Dispersion de Vnm</b>	<b>-Entre [-24,6% ; 0,92%]</b> -Diminution maximale : -24,6% (NAND2) à d=2,0nm
<b>Dispersion de Tp</b>	<b>-Entre [-80,6% ; 178%]</b> -Diminution maximale : -80,6% (NAND2) à d=1,0nm -Augmentation maximale : 178% (NAND2) à d=2,0nm

### 3.3.1.2. Portes logiques hétérogènes et demi hétérogènes

Les portes complémentaires hétérogènes se composent de nanotubes différents pour construire les transistors type N et type P. Puisque la porte NOT comporte deux transistors CNTFET (un type P et un type N), il y a deux nanotubes pour construire cette porte. Pour les portes hétérogènes NAND2 et NOR2 comportant quatre transistors, il y a quatre nanotubes (portes complètement hétérogènes) ou deux nanotubes (portes demi hétérogènes). Dans ces différents cas, il est possible de considérer la variation simultanée des paramètres de tous les nanotubes simultanément quand nous analyserons la dispersion des caractéristiques statiques et dynamiques.

En utilisant l'outil automatique présenté dans la partie 3.1, nous avons étudié trois cas pour la variation du diamètre :

- 1) *Les portes NOT, NAND2 et NOR2 demi hétérogènes avec une seule variation* : un seul nanotube type N ou type P subit une variation du diamètre, l'autre nanotube restant au diamètre nominal.
- 2) *Les portes NOT, NAND2 et NOR2 demi hétérogènes avec deux variations* : les deux nanotubes type N et type P subissent une variation du diamètre.
- 3) *Les portes NOT, NAND2 et NOR2 complètement hétérogènes* : ces portes peuvent subir une variation du diamètre de tous les nanotubes simultanément et arbitrairement.

#### A. Portes demi hétérogènes avec une seule variation

##### *Dispersion des caractéristiques statiques*

La figure 3.8 montre la dispersion de Vsc et Vnm pour deux cas : (1) le diamètre du nanotube type N (dn) varie entre 1,0nm et 2,0nm alors que celui du nanotube type P (dp) reste à la valeur nominale de 1,42nm ; (2) dp varie entre 1,0nm et 2,0nm alors que dn reste à la

valeur nominale de 1,42nm. L'évolution de  $V_{sc}$  et  $V_{nm}$  en fonction du diamètre des nanotubes est résumée dans le tableau 3.6.

A partir de la figure 3.8 et du tableau 3.6, nous concluons que :

- Quand  $d_p=d_n=1,42\text{nm}$  (valeurs nominales), le  $V_{sc}$  des trois portes est d'environ 0,25V ( $\sim V_{DD}/2$ ) et le  $V_{nm}$  des trois portes est d'environ 0,22V.
- Les effets de la variation du diamètre du nanotube type P ( $d_p$ ) et du nanotube type N ( $d_n$ ) sur le  $V_{sc}$  sont inverses (voir figure 3.8.a et 3.8.b). Quand  $d_p$  augmente,  $V_{sc}$  augmente aussi. Quand  $d_n$  augmente,  $V_{sc}$  diminue. En résumé, quand  $d_p$  et  $d_n$  varient dans l'intervalle [-23,1% ; +43,6%] (1,0nm – 2,0nm), la dispersion de  $V_{sc}$  est d'environ [-26,3% ; +17,6%] et [+27,4% ; -19,4%] respectivement pour l'ensemble des trois portes NOT, NAND2 et NOR2, principalement à cause de la variation de la tension de seuil des CNTFETs avec le diamètre (présentée dans la partie précédente).
- Les effets de la variation du diamètre  $d_p$  et  $d_n$  sur  $V_{nm}$  sont présentés en figures 3.8.c et 3.8.d. Que ce soit  $d_p$  ou  $d_n$  qui varie,  $V_{nm}$  diminue. En résumé, quand  $d_n$  ou  $d_p$  varie dans l'intervalle [-23,1% ; +43,6%] (1,0nm – 2,0nm), la dispersion de  $V_{nm}$  est d'environ [-27,1% ; -27,9%] et [-33,0% ; -27,1%] respectivement pour l'ensemble des trois portes NOT, NAND2 et NOR2.

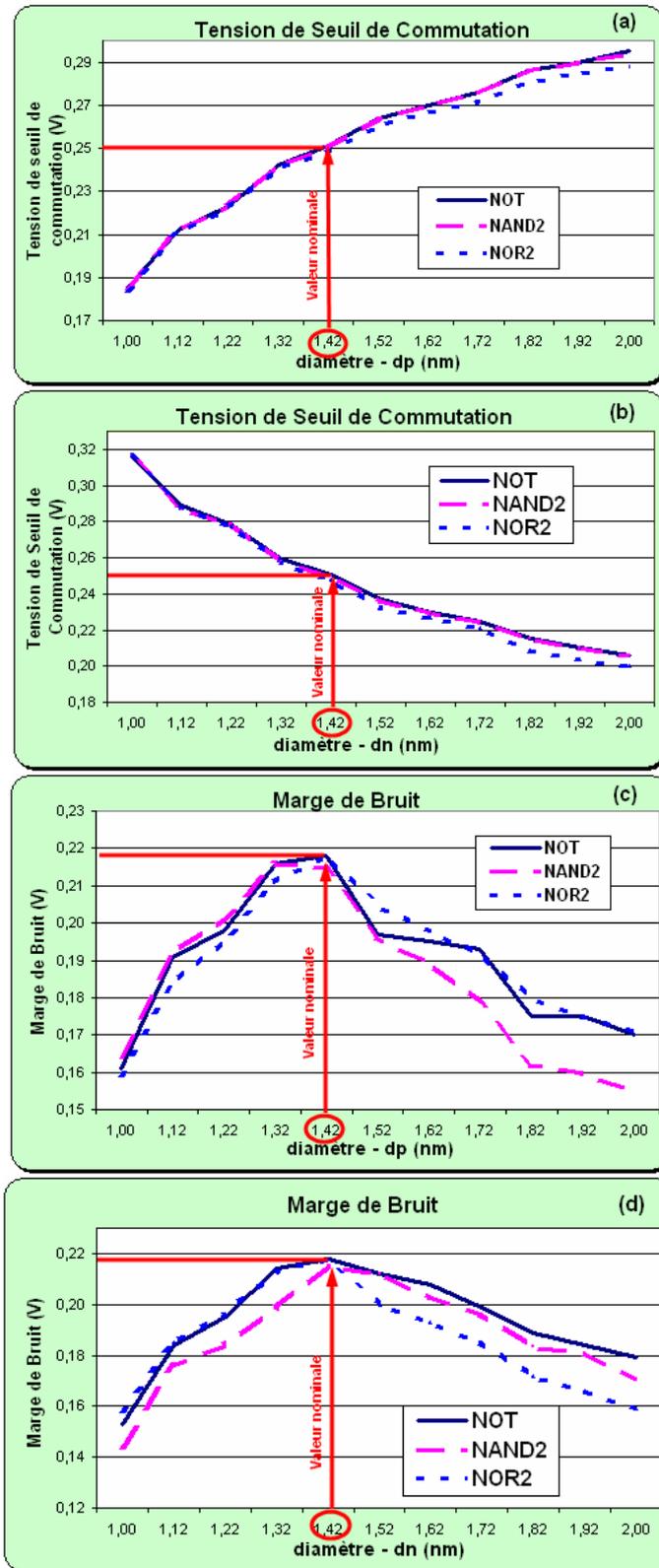


Figure 3.8 : Dispersion de  $V_{sc}$  et  $V_{nm}$  des portes complémentaires demi hétérogènes NOT, NAND2 et NOR2 en fonction du diamètre de nanotube pour deux cas : (1)  $d_p$  – le diamètre du nanotube type P – varie entre 1,0nm -> 2,0nm quand  $d_n$  – le diamètre du nanotube type N - est fixé à la valeur nominale de 1,42nm (a,c); (2)  $d_n$  varie entre 1,0nm -> 2,0nm quand  $d_p$  est fixé à la valeur nominale de 1,42nm (b,d) , en utilisant le modèle InESS ( $R_{s,D}=25k\Omega$  ;  $V_{DD}=0,5V$  ;  $T=300K$ )

**Tableau 3.6 : Résumé de la dispersion de Vnm et Vsc des portes complémentaires demi hétérogènes pour la variation d'un seul diamètre**

Variation du diamètre	diamètre du type P 1,0nm -> 2,0nm [-23,1% -> 43,9%]	diamètre du type N 1,0nm -> 2,0nm [-23,1% -> 43,9%]
Dispersion de Vsc	-26,3% -> 17,6%	27,4% -> -19,4%
Dispersion de Vnm	-27,1% -> -27,9%	-33,0% -> -27,1%

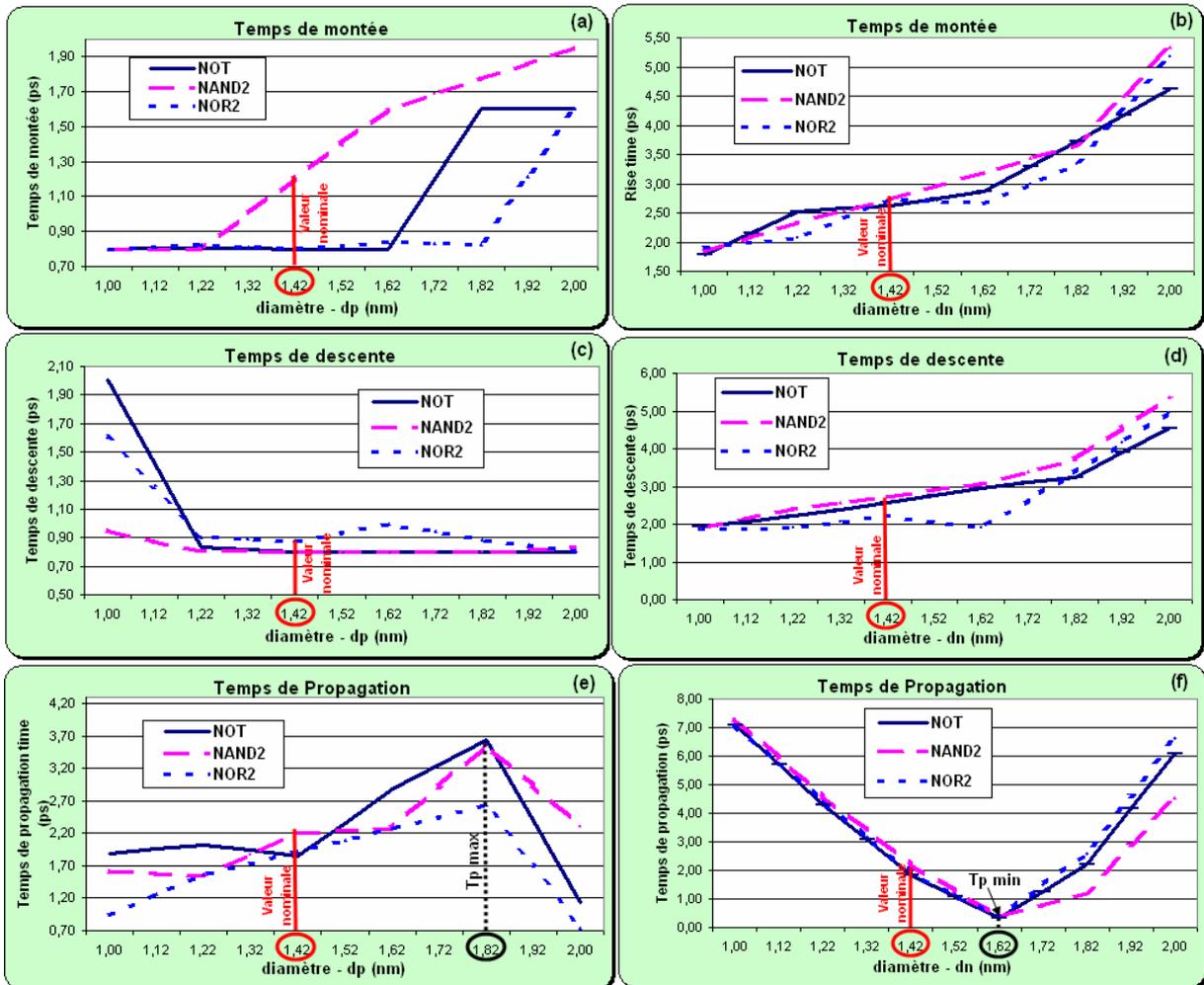
### *Dispersion des caractéristiques dynamiques*

La figure 3.9 présente les  $T_m$ ,  $T_d$  et  $T_p$  en fonction du diamètre du nanotube pour les portes complémentaires demi hétérogènes NOT, NAND2 et NOR2 lorsqu'un seul nanotube subit une variation du diamètre, le diamètre de l'autre nanotube étant fixé à la valeur nominale de 1,42nm. La relation entre les caractéristiques dynamiques et le diamètre du nanotube est résumée dans le tableau 3.7.

A partir de la figure 3.9 et du tableau 3.7, nous concluons que:

- Quand  $d_p=d_n=1,42\text{nm}$  (valeur nominale), les caractéristiques dynamiques principales pour le porte inverseur sont :  $T_m=0,8\text{ps}$ ,  $T_d=0,8\text{ps}$  et  $T_p= 1,85\text{ps}$ ; pour NAND2 :  $T_m=1,2\text{ps}$ ,  $T_d=0,8\text{ps}$  et  $T_p=2,20\text{ps}$  ; pour NOR2 :  $T_m=0,8\text{ps}$ ,  $T_d=0,88\text{ps}$  et  $T_p= 1,92\text{ps}$ .
- L'augmentation du diamètre  $d_p$  ou  $d_n$  augmente le temps de montée  $T_m$  (voir 3.9.a et 3.9.b). Quand  $d_p$  et  $d_n$  varient dans l'intervalle [-23,1% ; 43,6%] (1,0nm – 2,0nm), la variation de  $T_m$  est d'environ [0,1% ; 99,9%] et [-32,8% ;94,5%] respectivement pour l'ensemble des trois portes NOT, NAND2 et NOR2. Notons que la dispersion de  $T_m$  est quasi nulle (0,1%) lorsque le diamètre  $d_p$  est entre 1,0nm et 1,22nm.
- Les effets de la variation du diamètre  $d_p$  et  $d_n$  sur le temps de descente ( $T_d$ ) sont inverses (voir figure 3.9.c et 3.9.d). Quand  $d_p$  augmente,  $T_d$  diminue. Mais quand  $d_n$  augmente,  $T_d$  augmente aussi. Quand  $d_p$  et  $d_n$  varient dans l'intervalle [-23,1% ; 43,6%] (1,0nm – 2,0nm), la variation de  $T_d$  est d'environ [150,5% ; 0,5%] et [-29,7% ;121,5%] respectivement pour l'ensemble des trois portes NOT, NAND2 et NOR2. Lorsque  $d_p$  est entre 1,25nm et 2,0nm, la dispersion de  $T_d$  est quasi nulle (0,5%).
- Les effets de la variation du diamètre  $d_n$  et  $d_p$  sur le temps de propagation ( $T_p$ ) sont présentés en figures 3.9.e et 3.9.f et le tableau 3.7 résume la dispersion de  $T_p$  en fonction du diamètre du nanotube. La figure 3.9.e montre pour toutes les portes une augmentation de  $T_p$  (en moyenne) lorsque  $d_p$  augmente jusqu'à 1,82nm, puis une diminution lorsque le diamètre augmente jusqu'à 2,0nm. Il y a une valeur maximum

de  $T_p$  autour du diamètre de 1,82nm. Au contraire, la figure 3.9.f montre une valeur minimum de  $T_p$  autour du diamètre de 1,62nm pour l'autre nanotube. Une variation du diamètre du nanotube entraîne des variations des deux capacités dynamiques  $C_{GS}$  et  $C_{GD}$  (présentées dans la partie 1.3.1.1). Ces deux capacités dynamiques sont dérivées du potentiel de surface et leurs variations ne sont pas linéaires. En résumé, quand  $d_n$  ou  $d_p$  varie dans l'intervalle [-23,1% ; 43,6%] (1,0nm – 2,0nm), la dispersion de  $T_p$  est dans l'intervalle [283,8% ; -82,7%] pour l'ensemble des trois portes NOT, NAND2 et NOR2.



**Figure 3.9 : Evolution du temps de montée, de descente et de propagation des portes complémentaires demi hétérogènes NOT, NAND2 et NOR2 en fonction du diamètre du nanotube pour deux cas : (1)  $d_n$  – le diamètre du nanotube type N – varie entre 1,0nm -> 2,0nm quand  $d_p$  – le diamètre du nanotube type P – est fixé à la valeur nominale de 1,42nm (a,c,e); (2)  $d_p$  varie entre 1,0nm -> 2,0nm quand  $d_n$  est fixé à la valeur nominale de 1,42nm (b,d,f) , en utilisant le modèle InESS ( $R_{s,D}=25k\Omega$  ;  $V_{DD}=0,5V$  ;  $T=300K$ )**

**Tableau 3.7 : Dispersion des caractéristiques dynamiques Tm, Td et Tp en fonction du diamètre du nanotube pour les portes complémentaires demi hétérogènes**

Variation du diamètre	Diamètre type P	Diamètre type N
Dispersion de Tm	1,00nm -> 1,22nm: 0,1% (faible) 1,22nm -> 2,00nm: 0,1% -> 99,9%	1,0nm -> 2,0nm: -32,8% -> 94,5%
Dispersion de Td	1,00nm -> 1,22nm: 150,5% -> 0,5% 1,22nm -> 2,00nm: 0,5% (faible)	1,0nm -> 2,0nm: -29,7% -> 121,5%
Dispersion de Tp	1,00nm -> 1,82nm: -50,7% -> 96,8% 1,82nm -> 2,00nm: 96,8% -> -61,2%	1,00nm -> 1,62nm: 283,8% -> -82,7% 1,62nm -> 2,00nm: -82,7% -> 229,7%

## B. Portes demi hétérogènes avec deux variations simultanées

### *Dispersion des caractéristiques statiques*

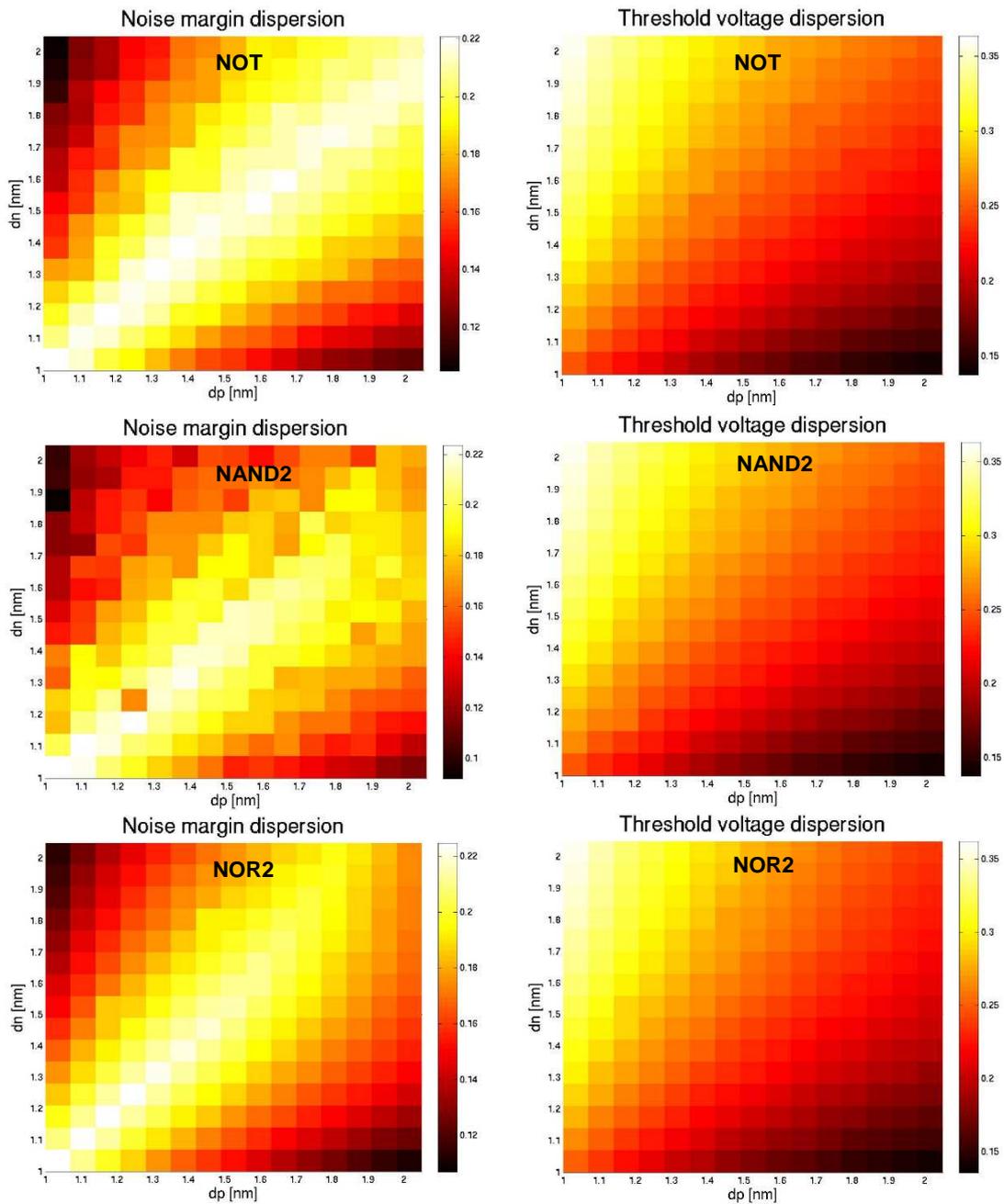
La figure 3.10 montre la variation de Vsc et Vnm en faisant varier les diamètres des nanotubes type P (dp) et type N (dn) simultanément. Le tableau 3.8 résume les dispersions et les pires cas pour l'ensemble des trois portes complémentaires hétérogènes NOT, NAND2 et NOR2. L'intervalle de variation des diamètres se situe entre 1,0nm et 2,0nm.

Le tableau 3.8 montre que la dispersion de Vsc et Vnm est encore plus importante que lorsque le diamètre d'un seul nanotube varie :

- le Vsc des portes avec une seule variation de diamètre subit une diminution maximum de -26,3% et une augmentation maximum de 27,4% par rapport aux valeurs nominales (voir le tableau 3.6). Mais pour les portes avec deux variations simultanées aléatoires du diamètre, le Vsc subit une diminution maximum de -45,4% et une augmentation maximum de 46,0%, soit près du double. Les effets sont donc cumulatifs.
- le Vnm des portes avec une seule variation de diamètre subit une diminution maximum de -33,0% (voir le tableau 3.6). Mais pour les portes avec deux variations simultanées aléatoires du diamètre, le Vsc subit une diminution maximum de -57,2%, soit près du double aussi.

Plus précisément, nous pouvons noter en regardant la figure 3.10 que :

- en terme de marge de bruit : les deux coins gauche-en-haut ( $dn \geq 1,42nm$ ,  $dp \leq 1,42nm$ ) et droit-en-bas ( $dn \leq 1,42nm$ ,  $dp \geq 1,42nm$ ) sont mauvais parce que la valeur de la marge de bruit est très réduite. Au contraire, la diagonale ( $dn=dp$ ) est bonne. En conséquence, les portes homogènes sont meilleures que les portes hétérogènes face aux problèmes de bruit.
- en terme de tension de seuil de commutation : les deux coins gauche-en-haut ( $dn \geq 1,42nm$ ,  $dp \leq 1,42nm$ ) et droit-en-bas ( $dn \leq 1,42nm$ ,  $dp \geq 1,42nm$ ) sont aussi mauvais. La tension de seuil de commutation est à nouveau la plus proche de la valeur idéale ( $V_{DD}/2$ ) lorsque  $dn=dp$ .



**Figure 3.10 : Dispersion de la tension de seuil de commutation et de la marge de bruit des portes demi hétérogènes NOT, NAND2 et NOR2 en fonction des deux diamètres de nanotubes :  $d_n$  - le diamètre du nanotube type N - et  $d_p$  - le diamètre du nanotube type P -, en utilisant le modèle InESS ( $R_{S,D}=25k\Omega$  ;  $V_{DD}=0,5V$  ;  $T=300K$ )**

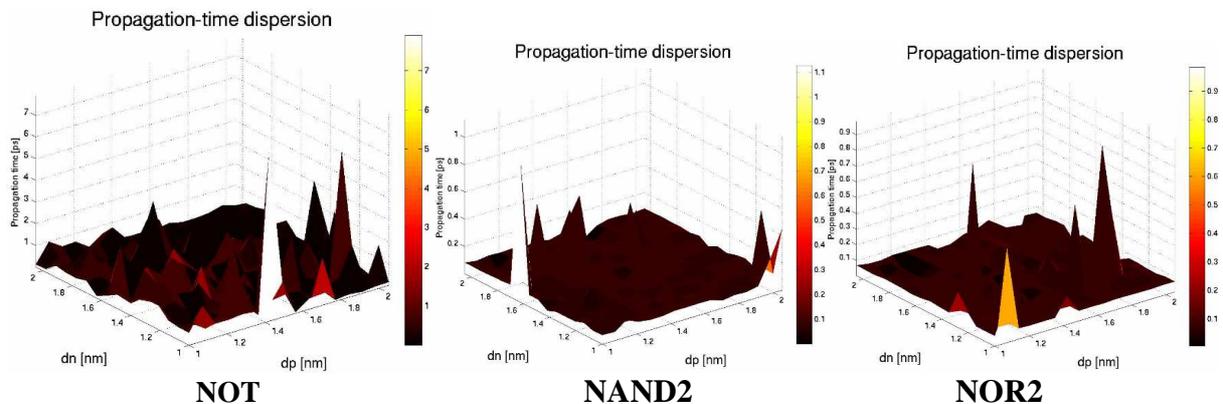
**Tableau 3.8: Dispersion et pires cas de la tension de seuil de commutation et de la marge de bruit des trois portes complémentaires hétérogènes NOT, NAND2 et NOR2 lorsque dp et dn varient simultanément**

Variation du diamètre	dp et dn varient simultanément entre [1,0nm ; 2,0nm]
Dispersion de Vsc	-Entre [-45,4% ; 46,0%] -Diminution maximale: -45,4% à (dn=2,0nm ; dn=1,0nm) -Augmentation maximale: 46,0% à (dp=1,0nm ; dn=2,0nm)
Dispersion de Vnm	-Entre [-57,2% ; 4,2%] -Diminution maximale: -57,2% à (dp=2,0nm ; dn=1,0nm)

### Dispersion des caractéristiques dynamiques

Nous avons aussi étudié l'influence de la variation du diamètre des nanotubes sur le temps de montée  $T_m$ , le temps de descente  $T_d$  et le temps de propagation  $T_p$  (figure 3.11). Le tableau 3.9 résume les dispersions et les pires cas pour les trois portes complémentaires demi hétérogènes NOT, NAND2 et NOR2 quand les diamètres des nanotubes (dp et dn) varient simultanément entre 1,0nm et 2,0nm.

Le tableau 3.9 montre que la dispersion des  $T_m$ ,  $T_d$  et  $T_p$  est également beaucoup plus importante que celle observée avec une seule variation de diamètre. Par exemple, dans le pire cas,  $T_p$  peut augmenter de 407,2% par rapport à la valeur nominale.



**Figure 3.11 : Dispersion du temps de propagation des portes NOT, NAND2 et NOR2 demi hétérogènes en fonction des diamètres des deux nanotubes : dn - le diamètre du nanotube type N - et dp - le diamètre du nanotube type P -, en utilisant le modèle InESS ( $R_{S,D}=25k\Omega$  ;  $V_{DD}=0,5V$  ;  $T=300K$ ).**

**Tableau 3.9: Dispersion et pires cas des Tm, Td et Tp des trois portes complémentaires demi hétérogènes NOT, NAND2 et NOR2 lorsque dp et dn varient simultanément**

Variation du diamètre	dp et dn varient simultanément entre [1,0nm ; 2,0nm]
Dispersion de Tm	-Entre [-50,5% ; 731,8%] -Diminution maximale: -50,5% à (dn=1,0nm ; dn=1,0nm) -Augmentation maximale: 731,8% à (dp=2,0nm ; dn=2,0nm)
Dispersion de Td	-Entre [-41,2% ; 980,9%] -Diminution maximale: -41,2% à (dn=1,0nm ; dn=1,0nm) -Augmentation maximale: 980,9% à (dp=2,0nm ; dn=2,0nm)
Dispersion de Tp	-Entre [-83,0% ; 407,2%] -Diminution maximale: -83,0% à (dn=1,82nm ; dn=1,82nm) -Augmentation maximale: 407,2% à (dp=1,82nm ; dn=1,0nm)

### C. Portes complètement hétérogènes

Nous avons fait plusieurs simulations pour évaluer la dispersion des caractéristiques statiques et dynamiques dans le cas de variations de diamètres dans les portes complètement hétérogènes. Le tableau 3.10 résume les dispersions obtenues. La diminution maximale de Vsc atteint -54,5% (pour la porte NAND2) lorsque les diamètres de trois transistors (1 de type P, 2 de type N) sont 2,0nm et le diamètre du dernier est 1,0nm. L'augmentation maximale de Vsc est de 55,2% (pour la porte NOR2) lorsque les diamètres de trois transistors (2 de type P, 1 de type N) sont 2,0nm et le diamètre du dernier est 1,0nm. En terme de marge de bruit, la diminution maximale est d'environ -68,6% (pour la porte NOR2) lorsque les diamètres de trois transistors (2 de type P, 1 de type N) sont 2,0nm et le diamètre du dernier est 1,0nm.

**Tableau 3.10 : dispersion des caractéristiques statiques et dynamiques des trois portes complémentaires complètement hétérogènes NOT, NAND2 et NOR2 lorsque les diamètres des quatre transistors des portes varient simultanément**

Variation des diamètres	Les diamètres des quatre transistors des portes varient simultanément entre [1,0nm ; 2,0nm]
Dispersion de Vsc	Entre [-54,5% ; 55,2%]
Dispersion de Vnm	Entre [-68,6% ; 5,0%]
Dispersion de Tm	Entre [-60,6% ; 878,2%]
Dispersion de Td	Entre [-49,4% ; 1177,1%]
Dispersion de Tp	Entre [-99,6% ; 488,6%]

### 3.3.2. Influence de la variation de la résistance de contact et de la température

#### 3.3.2.1. Variation de la résistance de contact

Au niveau du transistor CNTFET unique, nous avons conclu que l'influence de la résistance de contact s'exerce seulement sur le niveau du courant de la source au drain ( $I_{DS}$ )

ON), mais pas sur la tension de seuil. Dans cette partie, nous analysons l'influence de cette résistance sur les portes logiques complémentaires NOT, NAND2 et NOR2. Nous avons analysé l'effet sur les caractéristiques statiques et dynamiques. La valeur nominale de la résistance de contact est de 25kΩ. Le tableau 3.11 résume les dispersions obtenues.

Contrairement à l'effet de la variation du diamètre des nanotubes, l'effet de la variation de la résistance de contact sur les caractéristiques statiques est faible. Par exemple, quand la résistance de contact est réduite de 80% (~5kΩ) ou augmente de 300% (~100kΩ), la tension de seuil de commutation et la marge de bruit restent à peu près les mêmes. Mais l'influence de la variation de la résistance de contact sur les caractéristiques dynamiques est beaucoup plus importante, surtout sur le temps de propagation (voir tableau 3.11).

**Tableau 3.11 : Dispersion des caractéristiques statiques des portes complémentaires en fonction de la résistance de contact (diamètres nominaux)**

Variation de la résistance de contact	5kΩ -> 100kΩ -80% -> 300%
Dispersion de Vsc	0,2% -> -0,8%
Dispersion de Vnm	0,1% -> -2,8%
Dispersion de Tm	-50,1% -> 3,8%
Dispersion de Td	-8,7% -> 52,3%
Dispersion de Tp	80,9% -> -61,6%

### 3.3.2.2. La variation de la température

Comme nous l'avons montré précédemment, le courant  $I_{DS}$  du CNTFET dépend fortement de la température d'opération. Nous avons donc fait plusieurs simulations pour évaluer l'impact de la température sur les caractéristiques statiques et dynamiques des portes logiques. La température varie entre 27°C et 100°C. Le tableau 3.12 montre les dispersions obtenues. Nous concluons que :

- la température n'a pas beaucoup d'impact sur la tension de seuil de commutation (Vsc) et un peu plus sur la marge de bruit.
- mais la variation de température a beaucoup plus d'impact sur les caractéristiques dynamiques.

**Tableau 3.12 : Dispersion des caractéristiques statiques et dynamiques des portes complémentaires en fonction de la température**

Variation de la température	27°C -> 100°C [300K -> 373K]
Dispersion de Vsc	0,0% -> -2,6%
Dispersion de Vnm	0,0% -> -14,9%
Dispersion de Tm	0,0% -> -49,2%
Dispersion de Td	0,0% -> 298,8%
Dispersion de Tp	0,0% -> 78,8%

### 3.3.3. Tableau de résumé

Dans cette partie 3.3, nous avons étudié la dispersion des caractéristiques des portes complémentaires à la fois homogènes et hétérogènes à cause de variations des paramètres du transistor CNTFET, telles que la variation du diamètre du nanotube, la variation de la résistance de contact et la température.

Le tableau 3.13 résume le degré d'influence des variations paramétriques sur les caractéristiques statiques et dynamiques des portes logiques complémentaires (considérant le pire cas, donc des portes complètement hétérogènes). Dans ce tableau, nous mettons en évidence que l'influence de la variation du diamètre du nanotube est la plus critique. Il est donc indispensable de prendre en compte la variation du diamètre des nanotubes dès la conception des portes pour obtenir des circuits logiques fonctionnant correctement. Par ailleurs, il faut noter que tous les types de variations paramétriques peuvent avoir un impact très important sur la vitesse de commutation des portes et donc sur les performances des applications. Les caractéristiques statiques sont globalement moins sensibles aux variations que les caractéristiques dynamiques.

**Tableau 3.13 : Degré d'influence des variations paramétriques sur les caractéristiques statiques et dynamiques des portes complémentaires**

Dispersion de :	Vsc	Vnm	Tm	Td	Tp
Variation du diamètre	forte	forte	forte	forte	forte
Variation de la résistance de contact	faible	faible	moyenne	moyenne	forte
Variation de la température	faible	moyenne	moyenne	forte	forte

### 3.4. Conclusion

Ce chapitre présente un outil automatique et un flot de simulation permettant d'évaluer les dispersions des caractéristiques des portes logiques complémentaires dues aux variations des paramètres des transistors CNTFET (diamètre du nanotube et résistance de contact) ou à l'influence de l'environnement (variation de la température d'opération).

Notre étude concerne deux types de portes complémentaires : homogènes et hétérogènes. Nous avons conclu que :

- la variation du diamètre du nanotube entraîne de grandes dispersions des caractéristiques statiques et dynamiques des portes logiques. Il faut bien maîtriser la technique de synthèse du nanotube pour obtenir des circuits logiques fonctionnant correctement.
- la dispersion des caractéristiques des portes logiques homogènes est moins importante que celle des portes hétérogènes pour une gamme donnée de variation des caractéristiques des nanotubes employés.
- les caractéristiques statiques sont globalement moins sensibles aux variations que les caractéristiques dynamiques. Ces dernières peuvent montrer des variations extrêmement importantes (500% à plus de 1000% dans certains cas, pour une variation de 44% des diamètres).

Ces résultats et ces conclusions sont un premier pas vers des études plus complètes des dispersions pour la nanoélectronique à base de nanotubes. Il y aurait encore beaucoup d'autres paramètres à analyser, comme la capacité de grille, la longueur des nanotubes, etc. Ceci est possible avec l'environnement développé lorsque des modèles seront disponibles avec ces paramètres.

Nous avons montré la criticité des diamètres des nanotubes pour obtenir des fonctionnements logiques corrects et performants. Les évolutions prévues à moyen terme pour les technologies de fabrication des nanotubes ne laissent pas espérer un contrôle parfait de ces diamètres. En conséquence, il est nécessaire de développer des approches permettant de tolérer ces variations, en plus de défauts plus francs ou de fautes survenant dans l'environnement opérationnel. Ce sera l'objet du chapitre 4.

## **CHAPITRE 4 : PROPOSITION DE STRUCTURES ROBUSTES POUR CIRCUITS LOGIQUES**

Comme discuté dans le chapitre 1, parmi les dispositifs étudiés dans le cadre des évolutions vers la nanoélectronique, les nanotubes de carbone et les CNTFETs font partie des prétendants les plus prometteurs. Cependant, la fabrication de ces dispositifs est considérée devoir générer un grand nombre de défauts (aux alentours de 10% de composants non fonctionnels pour des CNTFETs individuels selon l'ITRS 2007, ce qui peut laisser penser à une proportion encore plus élevée dans le cas de circuits nécessitant la fabrication simultanée de nombreux CNTFETs, sauf progrès très importants des procédés mis en oeuvre). Par conséquent, une structure tolérant les défauts et/ou les phénomènes transitoires, outre les variations dont nous avons parlé dans le chapitre précédent, est indispensable afin d'obtenir des circuits logiques fonctionnels et fiables à base de CNTFETs.

Dans ce chapitre, nous étudions tout d'abord les défauts pouvant survenir dans les CNTFETs et nous en déduisons les modèles de fautes les plus significatifs. Ensuite, nous présentons plusieurs approches permettant de tolérer des défauts. L'une de ces approches est choisie et nous proposons sur cette base des structures de portes logiques robustes.

Afin de tolérer de nombreux défauts de fabrication et des dispersions paramétriques, les structures robustes proposées utilisent une redondance au niveau transistor, puis au niveau porte logique. Ces structures ont pour objectif d'améliorer le rendement de fabrication, mais aussi la fiabilité des circuits en phase d'exploitation.

Des résultats sont présentés vis-à-vis de la tolérance aux défauts de fabrication et vis-à-vis de la tolérance aux dispersions paramétriques, notamment pour la dispersion des diamètres, qui a été précédemment identifiée comme la plus critique.

#### 4.1. Défauts et fautes des circuits à base de CNTFETs

Les dispositifs CNTFETs et les structures logiques les utilisant sont anticipés avec des probabilités élevées de défauts de fabrication, pouvant se répartir en deux catégories :

- (1) *les défauts fonctionnels*, qui produisent un dysfonctionnement franc des dispositifs, comme par exemple une rupture du CNT, un mélange de CNTs métalliques et de CNTs semi-conducteurs, ou un court-circuit source/drain.
- (2) *les défauts paramétriques*, qui affectent les caractéristiques du circuit, comme par exemple la variation de diamètre des CNTs.

Les défauts paramétriques ont été étudiés partiellement dans le chapitre 3. Cette partie se concentre sur l'analyse des causes principales des défauts de fabrication et sur la manière dont ces défauts se manifestent au niveau du transistor CNTFET, puis au niveau des portes logiques à base de CNTFETs. La méthodologie employée pour l'étude des manifestations des défauts aux différents niveaux d'abstraction est présentée dans la figure 4.1. Nous étudions les principaux défauts et effets parasites au niveau du CNT et de ses électrodes ; ensuite, les effets de ces défauts sur les transistors CNTFETs sont identifiés, puis les effets sur les portes logiques utilisant ces CNTFETs.

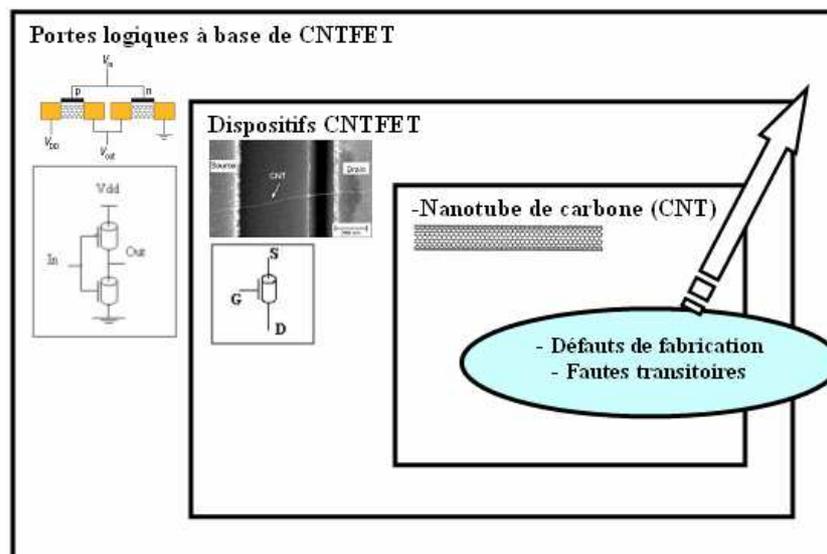


Figure 4.1 : La méthodologie d'étude des manifestations des défauts de fabrication aux différents niveaux d'abstraction : du CNT aux portes logiques à base de CNTFETs

##### 4.1.1. Défauts de fabrication - défauts fonctionnels et défauts paramétriques

###### 4.1.1.1. Défauts, fautes et modèles de fautes traditionnels

Tout d'abord, nous rappelons les définitions des défauts et des fautes, utilisées habituellement pour les circuits logiques :

- **Défauts** : ce sont des imperfections franches du circuit. On peut classer les défauts par l'origine : *défauts du matériau* – impuretés, défauts des cristaux ; *défauts du procédé*

*de fabrication* – qui surviennent lors d’une étape de fabrication (mauvais dopages, désalignements) ; *défauts de mise en boîtier (packaging)* – contacts, soudures. On peut aussi classer les défauts selon leurs effets : *défauts fonctionnels* : court-circuits, circuits ouverts, etc. et *défauts paramétriques* : déviations des paramètres en dehors des spécifications. On peut enfin classer les défauts selon leur moment d’apparition et leur rémanence : *défauts permanents* : défauts toujours présents et *défauts temporaires ou intermittents* : défauts présents dans certaines conditions (température, tension, etc.) [Crou98].

- **Fautes** : ce sont des imperfections d’une fonction du circuit (il s’agit en effet d’une abstraction fonctionnelle ou paramétrique du défaut physique). Il y a trois types de fautes : (1) *transitoire* : se produit de manière isolée ; (2) *intermittente* : se reproduit sporadiquement (effet transitoire mais se reproduisant sous certaines conditions, généralement difficiles à bien identifier) ; (3) *permanente* : persiste indéfiniment (jusqu’à réparation éventuelle) après son occurrence. Les fautes sont des représentations des défauts au niveau électrique, logique ou comportemental et il existe plusieurs *modèles de fautes* [Crou98] permettant d’affiner la précision de la modélisation en fonction du niveau de description du circuit. Plusieurs types de défauts peuvent se manifester de la même façon au niveau logique ou comportemental, ce qui équivaut à un nombre beaucoup plus faible de fautes à traiter par rapport à la complexité du circuit. L’étude de l’effet des fautes (simulation de fautes) ou la génération de vecteurs de test se trouvent ainsi réduites. Un point important est que les modèles de fautes devraient être indépendants de la technologie utilisée, mais ce n’est pas toujours le cas. Nous allons essayer dans la mesure du possible de réutiliser, dans le cas des technologies à base de nanotubes de carbone, les modèles de fautes établis pour les technologies silicium.

Plusieurs modèles de fautes existent, mais les trois modèles de fautes suivants sont les plus utilisés pour les circuits logiques en technologies silicium :

- *Collage simple à 0 ou à 1 (stuck\_at\_0/1)* : dans ce modèle, on suppose que le défaut physique se traduit par le collage d’un nœud du circuit, soit à 0 ( $V_{SS}$ ), soit à 1 ( $V_{DD}$ ). Par exemple, pour une porte NAND2 qui possède 2 entrées A, B et une sortie Y, il y aura avec ce modèle 6 fautes possibles (3 collages à 0 pour A, B et Y ; 3 collages à 1 pour A, B et Y). On note  $\mathbf{X@0}$  le collage à 0 du signal (ou nœud) X et  $\mathbf{X@1}$  l’autre collage du même signal. Le modèle des collages est généralement utilisé pour modéliser des fautes permanentes. Un avantage du modèle des collages est qu’il est très facile à utiliser car simple et conduisant à un nombre de fautes possibles relativement faible. Pourtant, il a été montré que ce modèle représente correctement plus de la moitié des défauts de fabrication en technologie CMOS [Crou98].

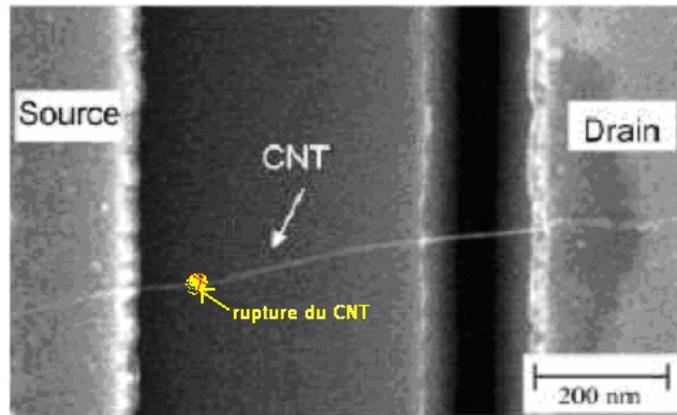
- *Court-circuit* : ce modèle peut être vu comme une généralisation du modèle des collages simples. Ici on suppose que le défaut physique affecte deux nœuds quelconques du circuit, en créant un court circuit entre eux. Si l'un des deux nœuds est une alimentation, on retrouve un collage.
- *Fautes de retard (ou de délai)* : dans ce modèle, le défaut physique se traduit par un allongement du temps de réponse du circuit. Les deux modèles les plus utilisés pour les fautes de délai sont le modèle des fautes de transition de portes (ceci correspond au niveau d'une porte à une modification du temps de propagation, de montée ou de descente) et le modèle des fautes de délai sur les chemins (path delay fault model) [Crou98].

A ces trois modèles s'ajoutent les modèles des transistors toujours passants (stuck-on) ou toujours bloqués (stuck-open). Dans la pratique, ces modèles sont peu utilisés en technologies silicium car ils induisent une forte complexité du processus de génération de vecteurs de test. D'une part, ces modèles peuvent conduire à un comportement séquentiel, par mémorisation dynamique sur la sortie. Ceci nécessite des paires de vecteurs de test pour garantir une détection. D'autre part, il faut disposer de la structure niveau transistor pour pouvoir prendre en compte un tel modèle ; ceci n'est souvent pas le cas pour une conception à base de bibliothèque de cellules standard. Toutefois, nous prendrons aussi en compte ces modèles de fautes dans ce qui suit, puisque notre étude est réalisée en partie au niveau transistors.

En fonction de ce qu'il était possible d'analyser, nous avons pu voir au chapitre 3 que les défauts paramétriques conduisent principalement à une dispersion des caractéristiques statiques du CNTFET, à des fautes de délai pour les portes à base de CNTFETs et à une consommation de puissance plus importante. Pour analyser les autres paramètres (longueur du nanotube et épaisseur de l'oxyde de grille) le modèle compact du CNTFET devrait permettre une variation de ces paramètres, ce qui n'était pas le cas dans nos études. Nous allons donc maintenant nous focaliser sur l'effet des défauts fonctionnels.

#### **4.1.1.2. Défauts fonctionnels au niveau du dispositif CNTFET**

Trois éléments constituent la structure du CNTFET : le canal, la source/drain et la grille. Les défauts considérés sont dus soit à des défauts permanents, créés lors du processus de fabrication, soit à des défauts temporaires. Les défauts fonctionnels provoquent généralement des fautes catastrophiques.



**Figure 4.2 : Exemple d'un défaut fonctionnel : rupture du CNT d'un CNTFET [Lin04]**

La première catégorie de défauts peut survenir au niveau du canal. L'un des défauts les plus sérieux est la rupture du CNT (figure 4.2). Ce défaut peut apparaître pendant la formation du CNT ou pendant la lithographie des zones de source et drain, par exemple. Dans ce cas, les électrodes de la source et du drain seront déconnectées et le CNTFET se comporte comme un CNTFET toujours bloqué, c'est-à-dire comme un interrupteur en mode « ouvert ».

Un autre défaut typique du canal d'un CNTFET est dû à un mélange de CNTs métalliques et de CNTs semi-conducteurs. En effet, lorsque les CNTs sont formés, ils peuvent être soit métalliques, soit semi-conducteurs. Il y a ensuite un processus de suppression des CNTs métalliques, mais ce processus n'est pas parfait et souvent il demeure un certain pourcentage de CNTs métalliques. Dans ce cas, le canal du CNTFET agit comme un fil métallique et la source et le drain sont toujours connectés. Le CNTFET se comporte alors comme un CNTFET toujours passant, avec une résistance faible pour toute tension appliquée sur la grille.

Un troisième type de défauts est le manque de contact entre les électrodes de source ou drain et le CNT. Si ce défaut apparaît, les porteurs ne peuvent plus être injectés dans le canal. Ce cas correspond à un comportement de type CNTFET toujours bloqué.

Enfin, les électrodes de source, drain ou grille peuvent aussi présenter des défauts, survenant à cause du processus de formation des électrodes. Ceci peut conduire à un court-circuit entre électrodes, qui conduit à un comportement de type **CNTFET toujours passant ou toujours bloqué** en fonction du type de CNTFET et des conditions de polarisation. Par exemple, quand un CNTFET de type N subit un court-circuit source/grille, si la source est connectée à  $V_{SS}$ , le CNTFET est **bloqué**. Mais si la source est connectée à  $V_{DD}$ , le CNTFET est **passant**.

Le tableau 4.1 résume les causes et les effets des défauts de fabrication pour un CNTFET.

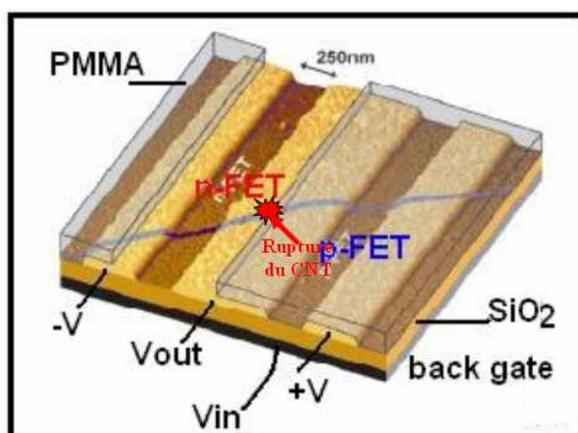
**Tableau 4.1: Modèles de faute du transistor CNTFET**

	<b>Causes et mécanisme (défauts de fabrication)</b>	<b>Modèles de fautes au niveau transistor</b>
Défauts du canal CNT	-rupture du CNT -mélange de CNTs métalliques et semi-conducteurs	-CNTFET bloqué -CNTFET passant
Défauts de contact : CNT/électrodes	-non contact	-CNTFET bloqué
Court-circuits	- source-drain - source-grille et drain-grille  -grille déconnectée	-CNTFET passant -CNTFET bloqué/passant dépendant du type de CNTFET et des conditions de polarisation -CNTFET bloqué

Dans les parties suivantes, nous considérerons donc qu'un transistor CNTFET avec un défaut fonctionnel est soit toujours bloqué, soit toujours passant.

#### 4.1.1.3. Modèles de fautes au niveau logique (ou porte logique)

Comme nous l'avons vu, il existe deux types de portes logiques à base de nanotubes de carbone : homogènes et hétérogènes. Etant donné que tous les transistors CNTFETs du même type sont construits sur un seul nanotube, les portes homogènes sont plus vulnérables aux défauts permanents que les portes hétérogènes. Avec une moindre dispersion des caractéristiques ( $V_{sc}$ ,  $V_{nm}$ ,  $T_p$ ) (voir 3.3.2 dans le chapitre 3), les portes hétérogènes sont plus résistantes aux défauts paramétriques. Par contre, en cas d'un défaut sur le CNT servant de canal (figure 4.3), la fonction de la porte homogène est plus facilement détruite.



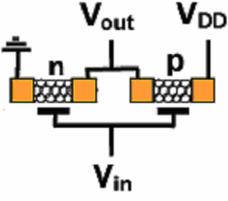
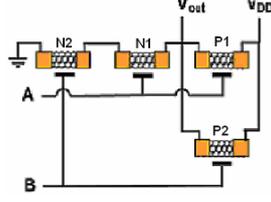
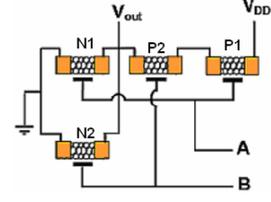
**Figure 4.3 : Un exemple de défaut fonctionnel : rupture du CNT d'un inverseur homogène [Dery01]**

Dans le cas d'un inverseur de type homogène (figure 4.3), on peut avoir les situations suivantes :

- *La sortie est court-circuitée à +V ou à -V pendant la formation des électrodes* : ce cas peut être interprété comme une faute de collage à 1 ou à 0 de la sortie (sortie@1 ou sortie@0).
- *En cas de défaut d'alimentation du canal de CNT* (déconnexion entre -V ou +V et le nanotube, ou pour un cas de rupture du CNT), la sortie est en haute impédance sur l'un des deux états. Donc la valeur de  $V_{out}$  n'est pas stable sur cet état et peut devenir indéfinie.
- *Si certains CNTs sont de type métallique*, les portes les utilisant voient la sortie et les alimentations connectées entre elles, ce qui provoque un court circuit d'alimentations et une tension de sortie qui s'établit autour de  $V_{DD}/2$ , c'est à dire au niveau intermédiaire entre le 0 et le 1, dans la zone indéfinie sur le plan logique.
- D'autres défauts particuliers peuvent se manifester. Ces défauts peuvent provenir du processus de fabrication qui convertit le CNTFET de type P en type N. Une partie du CNT étant couverte par PMMA (Polymethyl methacrylate), une fenêtre est ouverte par lithographie EB (Electron Beam ou faisceau d'électron) pour exposer cette partie. Le potassium est ensuite évaporé à travers la fenêtre pour produire le CNTFET de type N. Mais si pour une quelconque raison, la fenêtre est mal placée, le CNTFET de type P restera de ce type, au lieu de se transformer en type N. Dans ce cas, la porte inverseur inclut deux CNTFET de type P en série. Cette structure d'inverseur ne peut donc pas assurer la fonction NOT, donc on assiste à la transformation de la porte inverseur en une autre fonction logique.

Dans le cas des portes hétérogènes, l'effet des défauts niveau transistor sur la sortie de la porte est résumé dans le tableau 4.2, pour les trois portes logiques de base NOT, NAND2 et NOR2 avec un seul transistor CNTFET défectueux (de type P ou de type N). Nous n'analysons pas ici le cas de transistors multiples défectueux. Les effets sont à la base les mêmes que ceux possibles pour une porte homogène : collage de la sortie à 0 ou à 1 (non représenté dans le tableau), sortie en haute impédance ou sortie court-circuitée et dont la valeur logique est indéterminée.

**Tableau 4.2: Modèles de fautes au niveau des portes logiques (portes hétérogènes)**

Schéma des portes	Modèles de fautes au niveau portes logiques : état de la sortie selon le défaut au niveau transistor																																																																					
	<table border="1" data-bbox="549 376 1385 555"> <thead> <tr> <th colspan="2"></th> <th>Correct</th> <th>P bloqué</th> <th>P passant</th> <th>N bloqué</th> <th>N passant</th> </tr> <tr> <th>Vin</th> <th>Vout</th> <th>Vout</th> <th>Vout</th> <th>Vout</th> <th>Vout</th> <th>Vout</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> <td>Haute impédance</td> <td>1</td> <td>1</td> <td>1</td> <td>Valeur indéfinie</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Valeur indéfinie</td> <td>Haute impédance</td> <td>0</td> <td>0</td> </tr> </tbody> </table>												Correct	P bloqué	P passant	N bloqué	N passant	Vin	Vout	Vout	Vout	Vout	Vout	Vout	0	1	Haute impédance	1	1	1	Valeur indéfinie	1	0	0	Valeur indéfinie	Haute impédance	0	0																																
		Correct	P bloqué	P passant	N bloqué	N passant																																																																
Vin	Vout	Vout	Vout	Vout	Vout	Vout																																																																
0	1	Haute impédance	1	1	1	Valeur indéfinie																																																																
1	0	0	Valeur indéfinie	Haute impédance	0	0																																																																
	<table border="1" data-bbox="549 633 1385 862"> <thead> <tr> <th colspan="2"></th> <th>Correct</th> <th>P1 bloqué</th> <th>P2 bloqué</th> <th>P1 ou P2 passant</th> <th>N1 bloqué</th> <th>N2 bloqué</th> <th>N1 passant</th> <th>N2 passant</th> </tr> <tr> <th>A</th> <th>B</th> <th>Out</th> <th>Vout</th> <th>Vout</th> <th>Vout</th> <th>Vout</th> <th>Vout</th> <th>Vout</th> <th>Vout</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>Haute impédance</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>Valeur indéfinie</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1</td> <td>Haute impédance</td> <td>1</td> <td>1</td> <td>1</td> <td>1</td> <td>Valeur indéfinie</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>Valeur indéfinie</td> <td>Haute impédance</td> <td>Haute impédance</td> <td>0</td> <td>0</td> </tr> </tbody> </table>												Correct	P1 bloqué	P2 bloqué	P1 ou P2 passant	N1 bloqué	N2 bloqué	N1 passant	N2 passant	A	B	Out	Vout	Vout	Vout	Vout	Vout	Vout	Vout	0	0	1	1	1	1	1	1	1	1	0	1	1	Haute impédance	1	1	1	1	Valeur indéfinie	1	1	0	1	1	Haute impédance	1	1	1	1	Valeur indéfinie	1	1	0	0	0	Valeur indéfinie	Haute impédance	Haute impédance	0	0
		Correct	P1 bloqué	P2 bloqué	P1 ou P2 passant	N1 bloqué	N2 bloqué	N1 passant	N2 passant																																																													
A	B	Out	Vout	Vout	Vout	Vout	Vout	Vout	Vout																																																													
0	0	1	1	1	1	1	1	1	1																																																													
0	1	1	Haute impédance	1	1	1	1	Valeur indéfinie	1																																																													
1	0	1	1	Haute impédance	1	1	1	1	Valeur indéfinie																																																													
1	1	0	0	0	Valeur indéfinie	Haute impédance	Haute impédance	0	0																																																													
	<table border="1" data-bbox="549 947 1385 1169"> <thead> <tr> <th colspan="2"></th> <th>Correct</th> <th>N1 bloqué</th> <th>N2 bloqué</th> <th>N1 ou N2 passant</th> <th>P1 bloqué</th> <th>P2 bloqué</th> <th>P1 passant</th> <th>P2 passant</th> </tr> <tr> <th>A</th> <th>B</th> <th>Out</th> <th>Vout</th> <th>Vout</th> <th>Vout</th> <th>Vout</th> <th>Vout</th> <th>Vout</th> <th>Vout</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1</td> <td>1</td> <td>Valeur indéfinie</td> <td>Haute impédance</td> <td>Haute impédance</td> <td>1</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>0</td> <td>Haute impédance</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>Valeur indéfinie</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>Haute impédance</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>Valeur indéfinie</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> <td>0</td> </tr> </tbody> </table>												Correct	N1 bloqué	N2 bloqué	N1 ou N2 passant	P1 bloqué	P2 bloqué	P1 passant	P2 passant	A	B	Out	Vout	Vout	Vout	Vout	Vout	Vout	Vout	0	0	1	1	1	Valeur indéfinie	Haute impédance	Haute impédance	1	1	0	1	0	0	Haute impédance	0	0	0	0	Valeur indéfinie	1	0	0	Haute impédance	0	0	0	0	Valeur indéfinie	0	1	1	0	0	0	0	0	0	0	0
		Correct	N1 bloqué	N2 bloqué	N1 ou N2 passant	P1 bloqué	P2 bloqué	P1 passant	P2 passant																																																													
A	B	Out	Vout	Vout	Vout	Vout	Vout	Vout	Vout																																																													
0	0	1	1	1	Valeur indéfinie	Haute impédance	Haute impédance	1	1																																																													
0	1	0	0	Haute impédance	0	0	0	0	Valeur indéfinie																																																													
1	0	0	Haute impédance	0	0	0	0	Valeur indéfinie	0																																																													
1	1	0	0	0	0	0	0	0	0																																																													

#### 4.1.2. Effets non désirés dans le fonctionnement des CNTFETs

Nous avons pu analyser dans le chapitre 3 la dérive de certains paramètres des CNTFETs avec la température. En plus de la température, plusieurs autres effets peuvent apparaître pendant le fonctionnement de ces transistors.

*Effet ambipolaire*: sous certaines conditions de polarisation, des électrons et des trous peuvent être injectés simultanément aux extrémités opposées du canal CNT, créant un comportement de transistor N et P en même temps. Cela augmente ainsi le courant de fuite.

*Vieillessement du CNTFET et dégradation du CNT* [Daen03]: plusieurs processus différents peuvent conduire à la dégradation du film CNT, incluant la chaleur des résistances, le bombardement par des molécules de gaz, les décharges électrostatiques, le stress mécanique, etc. Un phénomène de dégradation chimique peut aussi survenir, tel que l'absorption et la désorption des molécules sur la surface de l'émetteur. Les tests de laboratoire ont montré que la dégradation des SWCNT est beaucoup plus rapide que pour les MWCNT. Dans ce cas, le courant en traversant le nanotube diminue fortement et le contraste mode passant - mode bloqué (ou ratio  $I_{ON}/I_{OFF}$ ) devient plus faible.

D'autres phénomènes pouvant conduire à des fautes transitoires et/ou intermittentes sont actuellement à l'étude. Toutefois, dans cette thèse, les structures robustes proposées seront analysées uniquement par rapport aux défauts précédemment cités, qui sont aujourd'hui bien identifiés.

## **4.2. Structures redondantes pour circuits à base de CNTFETs**

Dans cette partie, nous présentons tout d'abord quelques structures traditionnelles tolérantes aux défauts. Nous présentons ensuite une nouvelle implantation redondante pour des circuits à base de CNTFETs. Cette implantation est étudiée et présentée au niveau du transistor et au niveau des portes logiques.

### **4.2.1. Structures existantes tolérantes aux défauts fonctionnels et aux fautes**

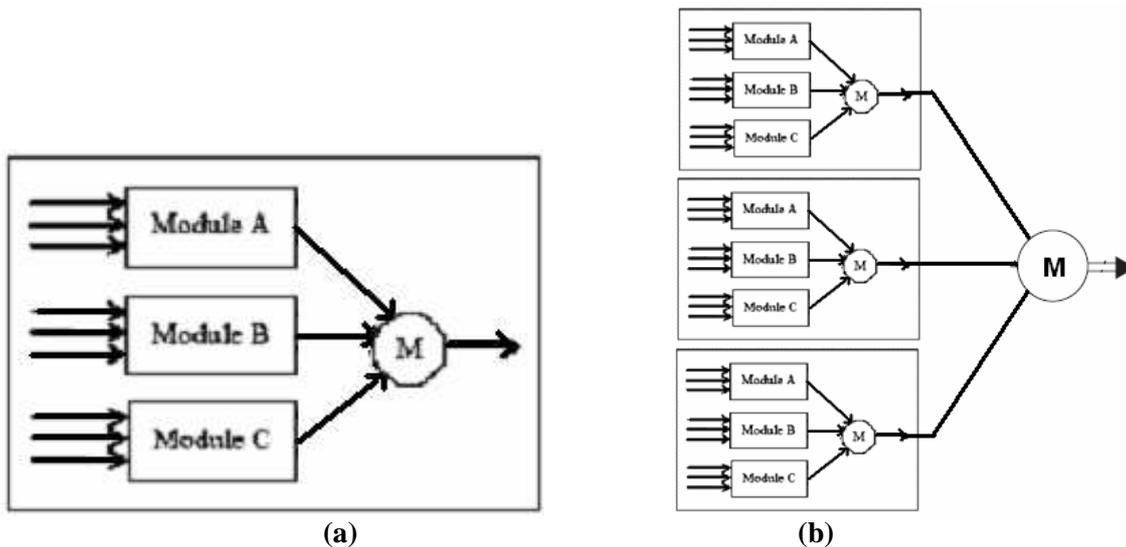
Le concept de tolérance aux fautes se réfère à une méthode de conception d'un système ou d'un circuit permettant à celui-ci de continuer à fonctionner même lorsque l'un ou plusieurs de ses composants ne fonctionnent plus correctement.

Du point de vue de la technologie, il y a plusieurs structures de tolérance aux fautes. Elles utilisent toutes le concept de la redondance. Les structures les plus classiques sont la redondance N-modulaire, la redondance avec reconfiguration et le multiplexage NAND [Neuman56] [Han03a] [Han03b] [Han04] [Dang05]. Ces structures, implantées généralement au niveau système, ont été proposées dans les années 1960 pour les systèmes à base de composants discrets à forte probabilité de défaillance.

*La redondance modulaire* [Neuman56][Han05] consiste à utiliser plusieurs composants identiques et un circuit de vote majoritaire sur leur sorties pour masquer les effets des fautes. Par exemple, une redondance triple modulaire (Triple Modular Redundancy - TMR) consiste en trois composants identiques et un voteur majoritaire ; les résultats sont comparés et une faute unique temporaire ou permanente sera masquée (figure 4.4a), sauf si elle survient dans certains éléments du circuit de vote. Pour masquer plusieurs fautes ou défauts survenant dans des composants différents, il faut étendre la capacité de masquage en utilisant une redondance plus élevée : approche NMR (N-tuple Modular Redundancy,  $N > 3$ ).

Dans cette structure, le voteur majoritaire doit être très fiable. Cette structure est utilisée principalement pour tolérer les fautes transitoires, le composant dont les sorties ne sont pas en accord avec le vote majoritaire pouvant alors être resynchronisé avec les autres pour retrouver la capacité initiale de tolérance du système. L'approche peut être utilisée au niveau du dispositif, au niveau des circuits logiques de base, et à des niveaux plus élevés du système.

Une extension de la structure TMR est le CTMR (Cascaded Triple Modular Redundancy) (figure 4.4.b). Dans cette structure, trois unités TMR sont groupées avec un autre voteur majoritaire pour former une unité TMR hiérarchique, ayant une fiabilité plus élevée. Cette structure n'est pas très efficace si le module se compose d'un petit nombre de dispositifs, mais devient intéressante quand le module de base augmente en complexité [Han04].



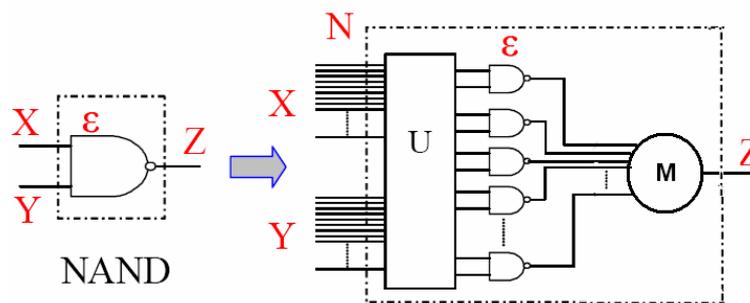
**Figure 4.4 : (a) Redondance modulaire triple : 3 modules A, B et C identiques, dont les sorties passent par un voteur majoritaire (M) qui choisit la valeur de la sortie finale ; (b) un CTMR**

*Une structure redondante avec reconfiguration* peut être basée par exemple sur une redondance modulaire avec une activation des composants redondants lorsqu'un défaut est détecté. Toutefois, la plupart des approches correspondent à des architectures qui peuvent être configurées ou programmées après la fabrication pour réaliser les fonctions désirées en présence de défauts. Les composants défectueux sont détectés pendant le test et exclus pendant la reconfiguration. L'exemple le plus connu d'architecture reconfigurable est le système Teramac construit à partir de dispositifs défectueux multiples [Gold03]. Cette structure peut être utilisée contre les fautes permanentes dues à la fabrication. Mais elle est moins efficace contre les fautes transitoires [Heath97] [Han02] [Gold03] [Chen05].

*Le multiplexage NAND* de Von Neuman [Neuman56] est basé sur l'implantation de multiples portes NAND physiques pour réaliser une seule fonction logique NAND correcte avec une grande probabilité malgré une très forte densité de défauts des portes individuelles (figure 4.5). En effet, nous pouvons implémenter tous les circuits logiques complexes ou même un ordinateur en utilisant seulement des portes NAND. Chaque entrée de la porte NAND redondante est remplacée par un ensemble de N lignes. Dans la structure physique de la porte redondante, il y a trois composants : (1) l'unité U qui effectue une permutation au hasard des N entrées A et B de la porte ; (2) les N portes NAND et (3) un voteur majoritaire à

la sortie. L'unité rectangulaire U a pour rôle d'apparier aléatoirement chaque exemplaire du signal d'entrée A à un exemplaire du signal d'entrée B. Les paires ainsi constituées deviennent les entrées des N portes NAND physiques.

Cette structure de multiplexage NAND permet à un circuit de fonctionner correctement malgré un taux de défectuosité des dispositifs individuels d'environ 1% [Han04]. L'inconvénient de cette structure est principalement la grande redondance (N est classiquement plus grand que  $10^3$ ) et l'utilisation de deux circuits U et M qui doivent être très fiables.



**Figure 4.5 : Structure à base de multiplexage NAND : N - niveau de redondance ; U - permutation aléatoire ; M - voteur majoritaire ;  $\epsilon$  - probabilité de défaut de la porte NAND individuelle [Han04]**

La comparaison entre les trois structures citées (NMR, multiplexage NAND et reconfiguration) montre que la structure à base de reconfiguration est la plus efficace, car elle peut tolérer un taux de défauts dans l'intervalle 1% – 10%. Mais cette technique demande une redondance énorme, de l'ordre de  $10^3 - 10^5$  [Niko02]. De plus, cette technique a besoin de beaucoup de temps pour localiser et exclure les dispositifs défectueux. Le niveau de redondance d'un multiplexage NAND est également extrêmement élevé et la réalisation de permutations aléatoires pose différents problèmes. L'approche NMR peut être la moins coûteuse, mais tolère alors un nombre plus faible de composants défectueux et nécessite de prendre des précautions pour l'implantation du voteur.

Pour que ces structures traditionnelles tolérantes aux défauts et aux fautes transitoires puissent être appliquées aux circuits nanoélectroniques, il faut les ré-évaluer et les modifier pour les adapter aux types de défauts attendus. Plusieurs recherches sur les structures robustes et tolérantes aux fautes pour la nanoélectronique sont ainsi en cours. On peut citer quelques voies importantes :

Une combinaison de multiplexage et de reconfiguration est proposée pour tolérer les fautes transitoires et les défauts de fabrication dans [Han04]. Si le taux des dispositifs de base non fonctionnels est d'environ 1%, les circuits utilisant cette architecture fonctionnent correctement.

Une combinaison de multiplexage et de structure redondante modulaire est proposée par Jie Han et al. sous les appellations NIR (N-tuple Interwoven Redundancy) et TIR

(Tripllicated Interwoven Redundancy) [Han04]. L'utilisation d'une architecture 5-NIR (5-tuple Interwoven Redundancy) peut utiliser un niveau de redondance 10 fois plus faible qu'une architecture reconfigurable. Le NIR et le TIR sont en particulier proposés pour les circuits moléculaires.

[Han04] propose également une architecture basée sur le multiplexage NAND pour tolérer le problème des « charges de fond » (random background charge) des circuits à base de SET (transistor à un électron).

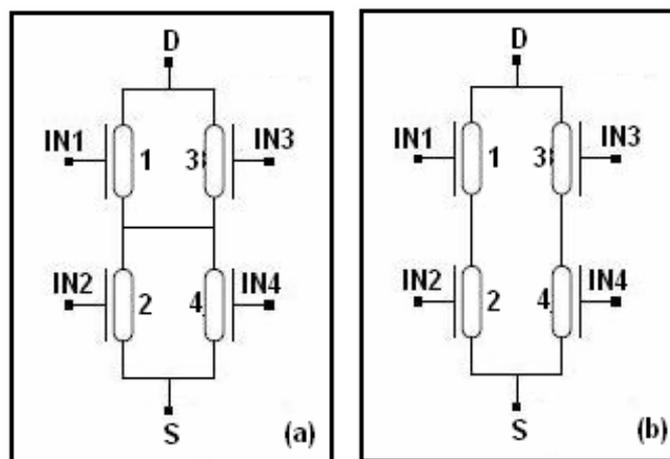
[Mary06] étudie les portes NOT tolérantes aux fautes à base de QCA.

Jusqu'à aujourd'hui, il n'y a à notre connaissance aucune étude sur les circuits robustes tolérants aux fautes à base de CNTFETs.

La structure redondante doit être envisagée et validée le plus tôt possible dans le cycle de conception. Souvent, des techniques de redondance complémentaires doivent être considérées à plusieurs niveaux d'abstraction. Dans le cas des portes logiques à base de transistors CNTFETs, au vu de la forte densité de défauts annoncée, nous proposons ainsi d'appliquer des méthodes conjointes au niveau transistor et au niveau porte logique. Ces méthodes vont maintenant être détaillées.

#### 4.2.2. Structure redondante proposée au niveau d'un dispositif CNTFET

Dans cette partie, nous présentons une structure redondante au niveau transistor pour les CNTFETs. Cette structure est basée sur la proposition faite dans [Anghel07].



**Figure 4.6 : Structure redondante au niveau transistor : (a) schéma 1 pour type P : deux paires de CNTFETs en parallèle, ces deux paires étant connectées en série ; (b) schéma 2 pour type N : deux paires de CNTFETs en série, ces deux paires étant connectées en parallèle.**

Dans la structure étudiée, un CNTFET redondant (de type P ou N) est composé de quatre transistors de même type, numérotés de 1 à 4 comme illustré dans la figure 4.6. Il y a deux schémas différents. Le schéma 1 comporte deux paires de CNTFETs en parallèle qui sont connectées par la suite en série (figure 4.6.a) et s'utilisera pour implanter un transistor de

type P. Le schéma 2 comporte deux paires de CNTFETs en série qui sont ensuite connectées en parallèle (figure 4.6.b) et s'utilisera pour implanter un transistor de type N. Les entrées IN1, IN2, IN3, IN4 doivent être identiques pour une opération correcte.

Il est facile de vérifier que si un transistor CNTFET est défectueux du point de vue fonctionnel (**bloqué** ou **passant**) ou si une seule entrée (IN1, IN2, IN3 ou IN4) présente des différences par rapport aux autres, le CNTFET redondant continue à fonctionner correctement. Cette structure possède donc un taux de couverture de 100% des fautes simples, internes ou sur les entrées.

Par contre, lorsqu'il y a deux CNTFETs défectueux, le taux de couverture est dépendant du type de défaut fonctionnel et du type de transistor redondant. Ainsi, pour le schéma 1 qui doit implanter un transistor de type P :

Si les entrées sont correctes et égales à 0, le transistor doit être conducteur donc tout défaut correspondant à des CNTFETs élémentaires passants n'a pas d'effet. En présence d'entrées correctes égales à 1, dans le cas de deux CNTFETs passants correspondant aux paires (1,3) ou (2,4) le transistor redondant reste bloqué et donc le défaut double est toléré. En revanche, si les deux défauts correspondent aux paires (1,2), (1,4), (3,2) ou (3,4), la structure redondante est globalement passante, donc nous assistons à un comportement erroné par rapport aux spécifications. Le taux de masquage de défauts doubles de type transistor toujours passant est donc de 66,6% (6 paires de défauts possibles, 2 valeurs d'entrée possibles, 8 cas parmi 12 où les défauts doubles sont masqués).

Le même raisonnement peut se faire dans le cas de paires de transistors bloqués. Aucun effet fonctionnel ne survient si les entrées sont correctes et au niveau 1. Pour des entrées au niveau 0, le CNTFET redondant fonctionne correctement dans tous les cas sauf si les deux CNTFETs bloqués correspondent aux paires (1,3) ou (2,4). Le taux de masquage pour ce type de défaut double est donc 83,3% (12-2/12).

Dans le cas d'un défaut double avec un CNTFET passant et un CNTFET bloqué, la structure redondante fonctionne correctement dans tous les cas. Le taux de masquage est donc de 100%.

Le même type de raisonnement peut être appliqué pour des entrées erronées (une entrée erronée étant équivalente dans l'analyse à un transistor toujours bloqué ou toujours passant).

Globalement, le taux de masquage des défauts doubles au niveau des transistors élémentaires (2 passants, 2 bloqués ou 1 passant et 1 bloqué) est donc de 87,5% (24 paires de défauts possibles, 2 valeurs d'entrée possibles, 6 cas parmi 48 où les défauts doubles ne sont pas tolérés). Dans le cas de la structure 2, pour un transistor de type N, une analyse similaire conduit au même résultat final, mais les paires de défauts non tolérées sont duales par rapport

à celles de la structure 1 (2 cas de transistors simultanément passants et 4 cas de transistors simultanément bloqués). Ces analyses ont été confirmées également par simulation de fautes.

Certains cas de fautes triples sont masqués, mais le taux de masquage est bien plus faible.

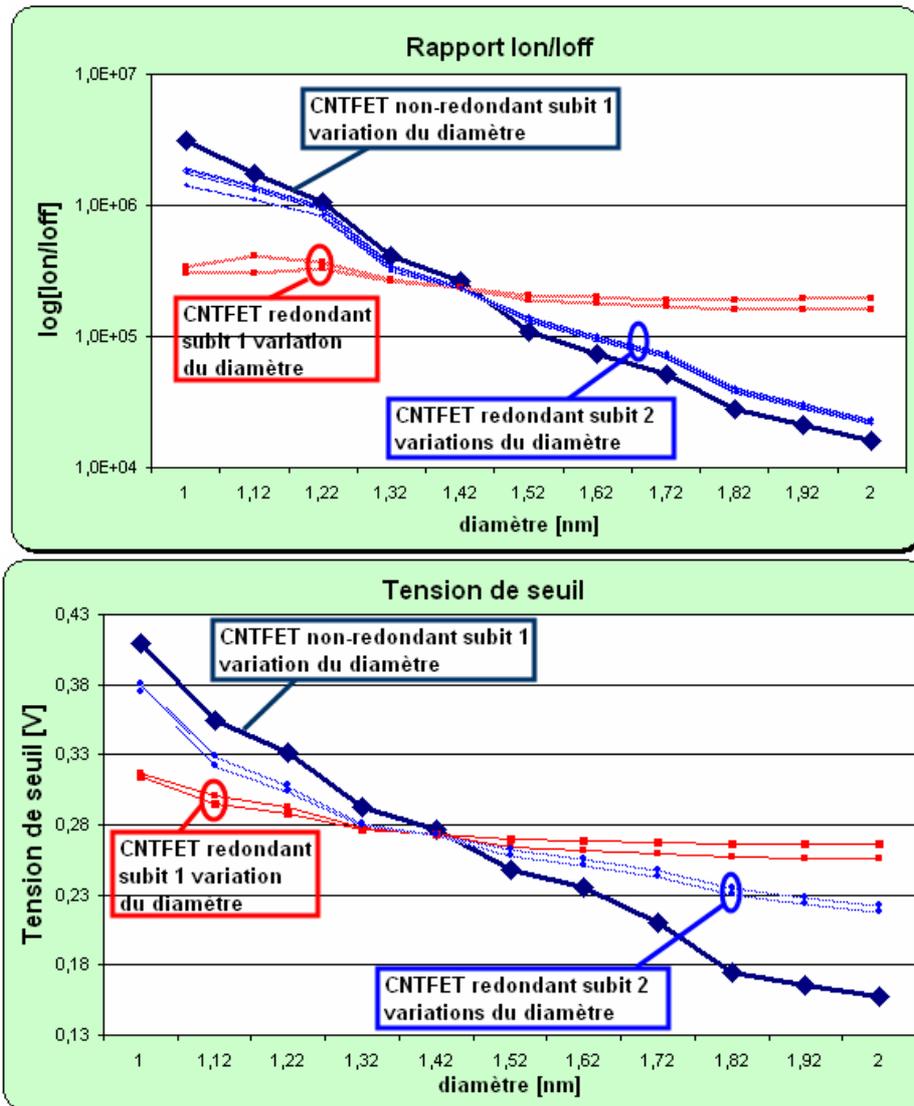


Figure 4.7 : Tension de seuil et rapport  $I_{ON}/I_{OFF}$  en fonction du diamètre des nanotubes (résistance de contact de  $25k\Omega$ ,  $V_{DD}=0,5V$  et  $T=300K$ )

Nous avons également évalué la capacité de ces structures redondantes à tolérer des variations de diamètre des nanotubes. Pour cela, des simulations ont été réalisées avec le même modèle compact que dans le chapitre 3. Les simulations présentées ici ont été faites pour un diamètre nominal de  $1,42nm$  et une tension d'alimentation  $V_{DD}$  de  $0,5V$ . La figure 4.7 montre la variation de la tension de seuil  $V_{th}$  et du rapport  $I_{ON}/I_{OFF}$  d'un CNTFET redondant et d'un CNTFET non redondant de type N en fonction des variations de diamètre.

Pour le CNTFET redondant, deux cas ont été considérés, en partant de l'hypothèse d'une structure hétérogène (indépendance des diamètres pour les 4 dispositifs élémentaires formant la structure redondante) :

- (1) *Un seul CNTFET de la structure redondante subit une variation du diamètre*, les trois autres CNTFETs conservant leur diamètre nominal de 1,42nm.
- (2) *Deux CNTFETs de la structure redondante subissent une variation identique du diamètre simultanément*, les deux autres CNTFETs conservant leur diamètre nominal de 1,42nm.

La figure 4.7 montre que les dispersions de  $V_{th}$  pour une structure redondante sont beaucoup moins grandes que celles obtenues pour un CNTFET non redondant. En résumé, quand le diamètre varie dans l'intervalle -23,1%  $\rightarrow$  43,6% (1,0nm  $\rightarrow$  2,0nm), la variation de  $V_{th}$  est dans l'intervalle :

48,1%  $\rightarrow$  - 46,3%    pour un CNTFET non redondant

14,3%  $\rightarrow$  -7,6%    pour la structure redondante avec une seule variation de diamètre

37,7%  $\rightarrow$  -9,8%    pour la structure redondante avec deux variations simultanées

La tension de seuil  $V_{th}$  de la structure redondante est donc beaucoup plus stable que celle du CNTFET élémentaire lorsque des variations de diamètre non uniformes surviennent, c'est-à-dire lorsque seule une partie des nanotubes parmi ceux constituant la structure voient leur diamètre modifié par rapport à la valeur nominale. Par exemple, la diminution maximale de la tension de seuil avec 1 seul diamètre modifié est de -7,6%, c'est-à-dire presque 6 fois plus faible que la variation obtenue pour le dispositif élémentaire isolé.

Au niveau du rapport  $I_{ON}/I_{OFF}$ , lorsque le diamètre est plus grand que la valeur nominale 1,42nm, le rapport  $I_{ON}/I_{OFF}$  est nettement meilleur dans le cas des structures redondantes (surtout avec une seule variation du diamètre). En résumé, quand le diamètre varie dans l'intervalle -23,1%  $\rightarrow$  43,6% (1,0nm  $\rightarrow$  2,0nm), la variation de  $I_{ON}/I_{OFF}$  est dans l'intervalle :

1067,4%  $\rightarrow$  -95,2%    pour un CNTFET non redondant

29,3%  $\rightarrow$  -38,6%    pour la structure redondante avec une seule variation de diamètre

570,7%  $\rightarrow$  -52,9%    pour la structure redondante avec deux variations simultanées

La figure 4.7 illustre bien une nette stabilisation du rapport  $I_{ON}/I_{OFF}$  dans le cas de la structure redondante avec un seul diamètre s'éloignant de la valeur nominale.

### 4.2.3. Portes logiques à base de structures redondantes

Pour construire des portes logiques complémentaires à partir de ces CNTFETs redondants, chaque transistor N ou P est remplacé dans la structure de la porte logique par un transistor redondant du même type. Le résultat est illustré dans la figure 4.8 pour les portes de base INV, NAND2 et NOR2. Chaque entrée de la porte d'origine est remplacée par un groupe de 4 entrées redondantes, devant avoir la même valeur en l'absence de faute ou de défaut. L'entrée de la porte INV est donc remplacée par quatre entrées IN1->IN4. Les deux entrées des portes NAND2 et NOR2 sont respectivement remplacées par les deux groupes IN1->IN4 et IN5->IN8.

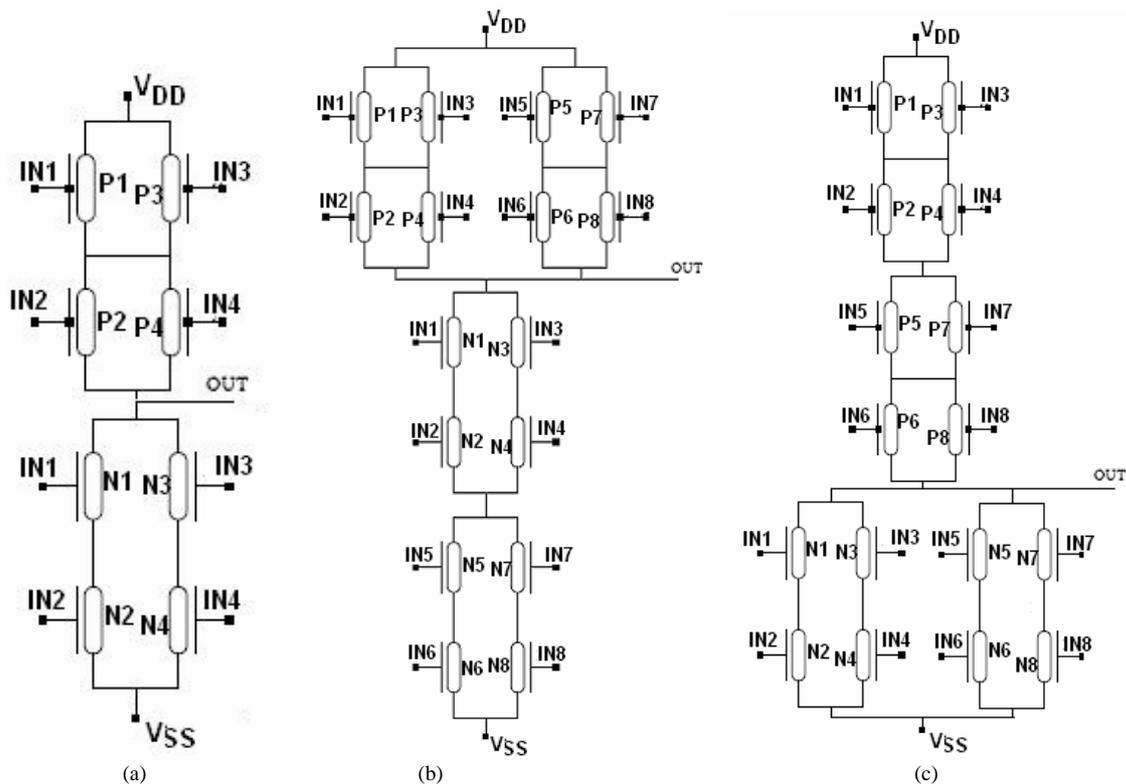


Figure 4.8 : Structure redondante pour INV (a), NAND2 (b) et NOR2 (c).

### Tolérance aux défauts fonctionnels

La capacité de tolérance des structures redondantes au niveau transistor garantit que les portes logiques redondantes ainsi construites possèdent un taux de masquage de 100% des défauts simples du type **CNTFET bloqué** ou **passant** et fonctionnent également correctement si l'une des entrées (IN1 -> IN8) est erronée.

Toutefois, même si la fonction reste correcte, certaines caractéristiques statiques et dynamiques peuvent être affectées. Nous n'avons pas pu évaluer les dispersions des caractéristiques dynamiques sur les structures à base de transistors CNTFETs à cause d'un problème de non convergence du modèle compact du CNTFET pendant la simulation. Notons

que les analyses effectuées sur des portes similaires à base de transistors MOSFET ont montré un impact sur le délai de commutation de l'ordre de 5 à 10%. Compte tenu de ce problème de simulation, nous avons limité nos analyses à l'impact des défauts sur deux caractéristiques statiques : la tension de seuil de commutation ( $V_{sc}$ ) et la marge de bruit ( $V_{nm}$ ). Ceci a été réalisé pour les trois portes redondantes INV, NAND2 et NOR2 en présence d'un seul CNTFET défectueux.

Les simulations ont confirmé que  $V_{sc}$  et  $V_{nm}$  sont influencés de façon plus importante dans le cas de la porte redondante INV que pour les portes NAND2 et NOR2. Ceci est lié au nombre total de dispositifs élémentaires dans la structure.

La figure 4.9 montre la variation des deux caractéristiques étudiées pour un inverseur redondant ayant un seul transistor CNTFET défectueux (**passant** ou **bloqué**). Le nom du CNTFET défectueux, tel qu'indiqué en figure 4.8.a, est reporté sur l'axe des abscisses. Nous constatons que l'influence d'un CNTFET bloqué est différente de celle d'un CNTFET passant. Pour un **CNTFET passant**,  $V_{sc}$  diminue ( $\sim -3\%$ ) par rapport au  $V_{sc}$  sans défaut ( $\sim V_{DD}/2$ ) et il en est de même pour  $V_{nm}$  ( $\sim -3\%$ ). Quand il y a un **CNTFET bloqué**,  $V_{sc}$  augmente un peu ( $\sim 3\%$ ) et  $V_{nm}$  diminue de façon nettement plus importante ( $\sim -12\%$ ).

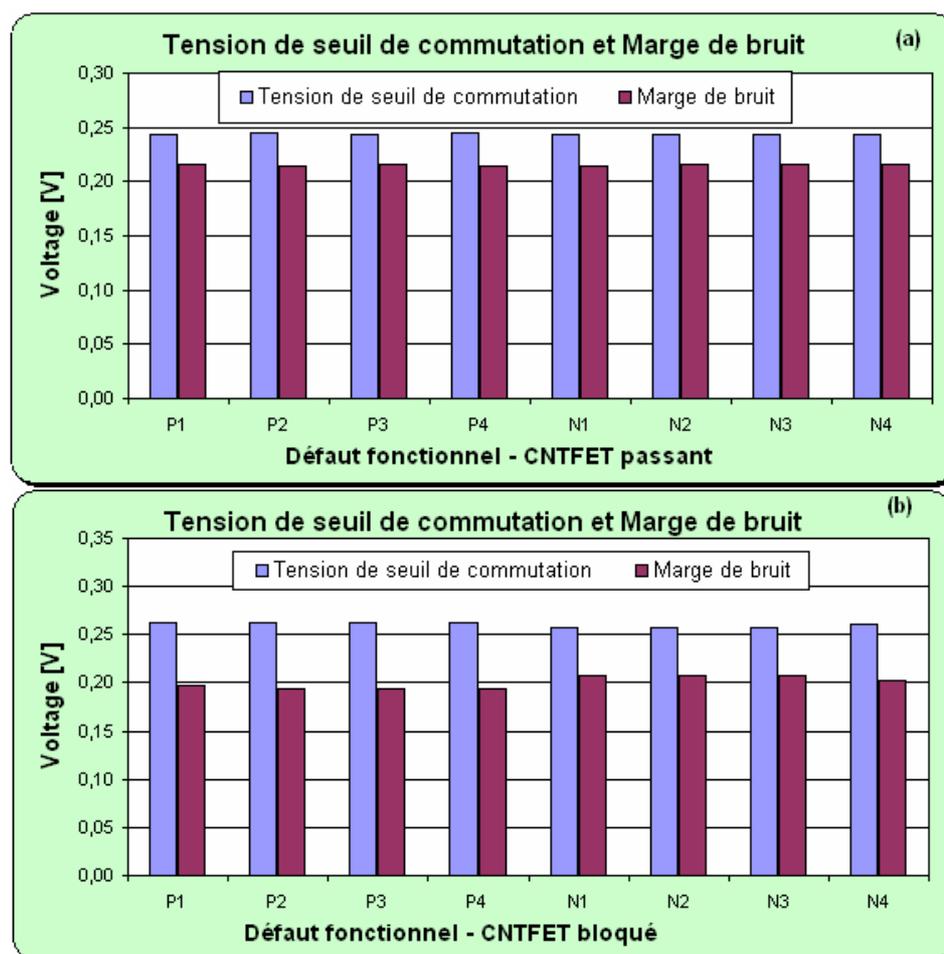


Figure 4.9 : Tension de seuil de commutation et marge de bruit d'un inverseur redondant ayant un CNTFET passant (a) ou un CNTFET bloqué (b)

Pour calculer le taux de couverture pour les défauts fonctionnels doubles, nous considérons les mêmes catégories que précédemment : (1) 2 CNTFETs passants, (2) 2 CNTFET bloqués et (3) 1 CNTFET passant + 1 CNTFET bloqué.

(1) Défauts fonctionnels doubles de type **CNTFETs passants**.

Pour la porte INV, il y a au total 28 cas différents de paires de transistors CNTFETs mais il y a seulement 6 cas de paires de transistors **CNTFETs passants** entraînant un disfonctionnement de la porte : (P1,P2), (P1,P4), (P2,P3), (P3,P4), (N1,N2), (N3,N4). Le taux de masquage est donc de  $(28-6)/28 \sim 78,6\%$ . Nous observons une plus forte vulnérabilité du réseau P aux défauts de type CNTFET passant.

Les portes NAND2 et NOR2 s'analysent de la même façon et le taux de masquage est de  $(120-12)/120 \sim 90,0\%$ .

(2) Défauts fonctionnels doubles de type **CNTFETs bloqués**.

Pour la porte INV, sur les 28 paires de transistors possibles, 6 cas de paires de transistors **CNTFETs bloqués** entraînent un disfonctionnement de la porte : (P1,P3), (P2,P4), (N1,N3), (N1,N4), (N2,N3), (N2,N4). Le taux de masquage est donc de 78,6% comme dans le cas précédent. Nous observons une plus forte vulnérabilité du réseau N aux défauts de type CNTFET bloqué.

Les portes NAND2 et NOR2 s'analysent de la même façon et le taux de masquage est à nouveau de  $(120-12)/120 \sim 90,0\%$ .

(3) Défauts fonctionnels doubles de type - **1 CNTFET passant et 1 CNTFET bloqué**.

Les portes redondantes NOT, NAND2 et NOR2 fonctionnent correctement pour tous les cas, le taux de masquage est donc de 100%.

Connaissant la densité des défauts fonctionnels, il est possible d'évaluer la probabilité qu'une porte logique soit fonctionnelle (malgré des caractéristiques statiques et dynamiques dégradées).

Si la probabilité de défaut d'un transistor CNTFET est de  $Dt$  et si cette probabilité est distribuée également entre les deux sortes de défauts (bloqué ou passant), nous avons alors une probabilité pour chaque type de défaut égale à  $Dh=Dt/2$ . Considérons par exemple la porte NAND2 redondante, se composant de 16 transistors CNTFETs. Cette porte fonctionne correctement quand les 16 transistors sont bons, ce qui survient avec une probabilité  $[(1-Dt)^{16}]$ , ou si seulement l'un de ces 16 transistors est défectueux, cas ayant une probabilité  $[16*Dt*(1-Dt)^{15}]$ , ou encore s'il y a un transistor CNTFET passant et un transistor CNTFET bloqué simultanément, ce qui correspond à une probabilité  $[C_{16}^2*Dh^2*(1-Dt)^{14}]$ . Considérant de façon pessimiste que 3 transistors défectueux ou plus provoquent systématiquement la défaillance de la NAND2, la probabilité de défaillance pour la structure redondante est :

$$P_{PTNAND2} = 1 - [(1-Dt)^{16} + 16*Dt*(1-Dt)^{15} + C_{16}^2*Dh^2*(1-Dt)^{14}]$$

Si on suppose de manière optimiste que la technologie de fabrication des CNTFETs pourra atteindre une probabilité de défaillance  $Dt = 0,01$ , la formule ci-dessus donne une probabilité de défaillance de la porte NAND2 redondante égale à  $P_{PTNAND2}=0,008$ . La probabilité de défaillance de la porte NAND2 non redondante est  $P_{NAND2}= 0,04$  donc 5 fois plus élevée.

### **Tolérance aux défauts paramétriques**

Comme dans le cas des transistors individuels, nous avons effectué des simulations pour évaluer la capacité de tolérance des portes redondantes aux variations de diamètre des nanotubes. Comme dans le cas des défauts fonctionnels, l'impact des dispersions sur  $V_{sc}$  et  $V_{nm}$  est plus important pour la porte INV redondante que pour les portes NAND2 et NOR2 redondantes. La figure 4.10 montre la dispersion de ces caractéristiques pour un inverseur redondant et un inverseur non redondant en fonction de la variation du diamètre. Cette figure présente la valeur des caractéristiques pour l'inverseur redondant sans variation de diamètre (valeur nominale 1,42nm pour tous les nanotubes) et la dispersion pour trois cas :

- (1) inverseur redondant avec 1 seul CNTFET arbitraire qui subit une variation de diamètre, les autres CNTFETs de l'inverseur conservant leur diamètre nominal.
- (2) inverseur redondant avec 2 CNTFETs arbitraires qui subissent des variations de diamètres simultanément.
- (3) inverseur non redondant avec une variation de diamètre soit du CNTFET de type N soit du CNTFET de type P.

La figure 4.10 montre que les dispersions de  $V_{sc}$  et de la marge de bruit pour un inverseur redondant sont beaucoup moins importantes que celles observées pour l'inverseur non redondant, surtout si un seul diamètre varie (environ 5 fois moins que celle de l'inverseur non redondant). Mais la dispersion de  $V_{nm}$  et  $V_{sc}$  de l'inverseur redondant approche celle de l'inverseur non redondant dans le cas où deux diamètres varient. Lorsque le diamètre varie dans l'intervalle  $-23,1\% \rightarrow 43,6\%$  (1,0nm  $\rightarrow$  2,0nm) :

la variation de  $V_{nm}$  est dans l'intervalle :

-29,4%  $\rightarrow$  -22,9% pour l'inverseur non redondant

-5,2%  $\rightarrow$  -3,8% pour l'inverseur redondant avec un seul CNTFET de diamètre variable

-22,2%  $\rightarrow$  -19,8% pour l'inverseur redondant avec deux CNTFET de diamètre variable

et la variation de  $V_{sc}$  est dans l'intervalle :

-26,3%  $\rightarrow$  25,9% pour l'inverseur non redondant

-3,0%  $\rightarrow$  4,0% pour l'inverseur redondant avec un seul CNTFET de diamètre variable

-22,8% -> 22,3% pour l'inverseur redondant avec deux CNTFET de diamètre variable

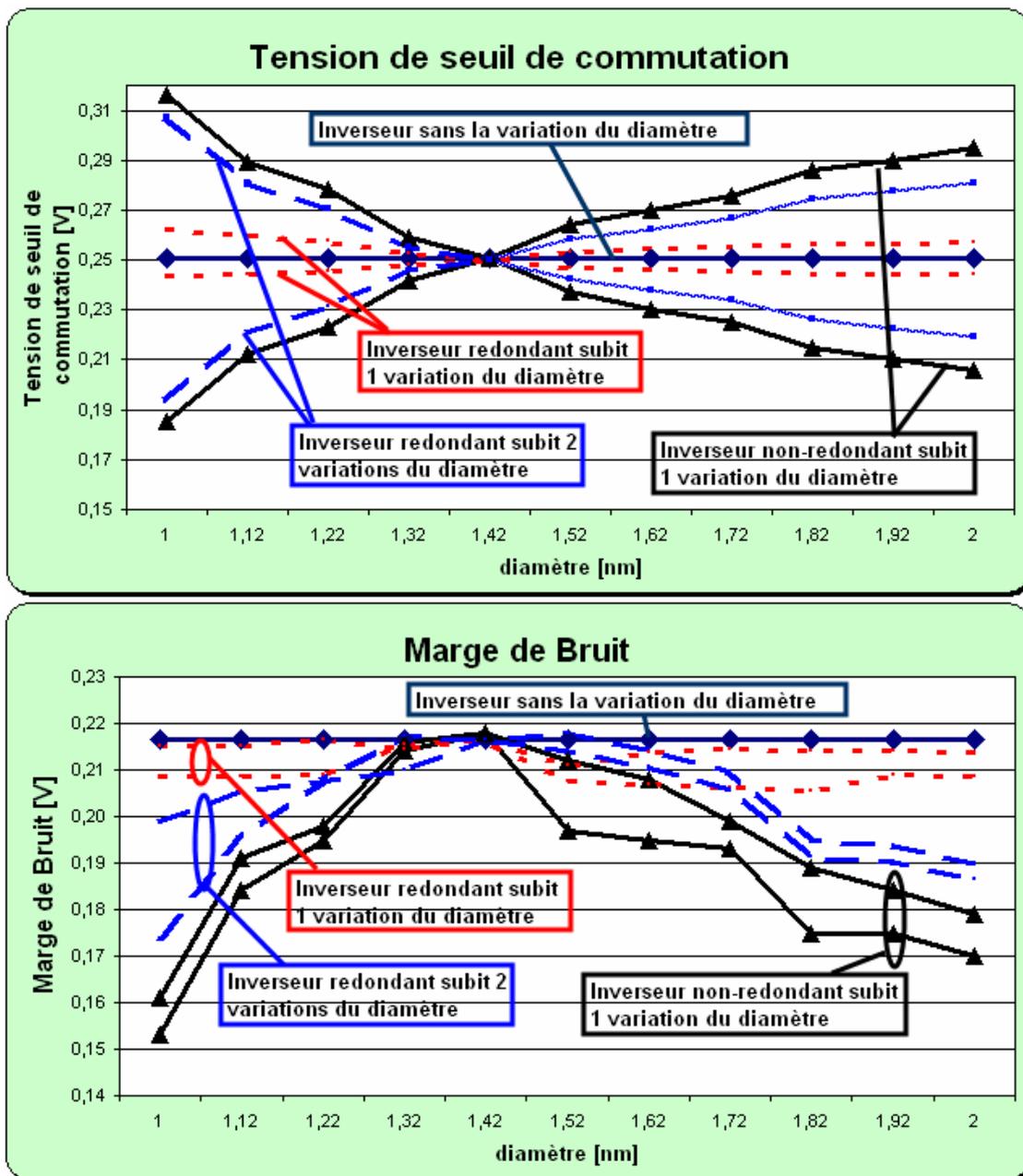


Figure 4.10 : Marge de bruit et tension de seuil de commutation des inverseurs redondant et non redondant en fonction du diamètre (résistance de contact de 25kΩ, V<sub>DD</sub>=0,5V, T=300K) pour un diamètre variable et pour deux diamètres variables

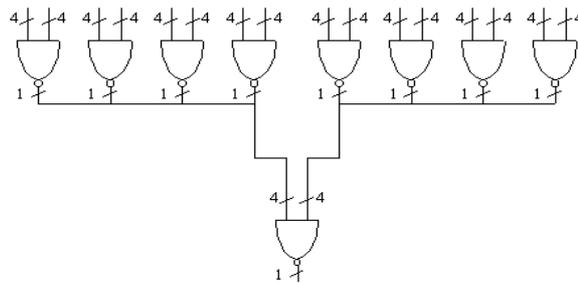
Nous avons aussi évalué l'influence de la température et de la résistance de contact sur la structure redondante de la porte inverseur. Les résultats sont présentés dans le tableau 4.3. et montrent que la température et la résistance de contact influencent peu les caractéristiques V<sub>sc</sub> et V<sub>nm</sub>.

**Tableau 4.3 : Dispersion des caractéristiques statiques de la porte inverseur redondante en fonction de la résistance de contact et de la température**

Variation de la résistance de contact ou de la température	5kΩ -> 100kΩ -80% -> 300%	27°C -> 100°C 300k -> 373K
Dispersion de Vsc	0,1% -> -2,0%	0,0% -> -3,1%
Dispersion de Vnm	0,5% -> -4,35%	0,0% -> -5,5%

#### 4.2.4. Utilisation des portes redondantes

Pour construire des circuits logiques plus complexes que les portes élémentaires analysées dans cette thèse, chaque porte logique de base (INV, NAND, NOR, ...) est remplacée par une porte redondante et la structure est répliquée pour tenir compte des quatre entrées des portes redondantes. A titre d'exemple, la figure 4.11 montre un multiplexeur 2 (MUX-2) tolérant aux fautes utilisant des structures de portes NAND redondantes.



**Figure 4.11 : MUX-2 tolérant les défauts multiples**

Avec la méthode précédemment utilisée pour calculer la probabilité de défaut pour les portes redondantes, et pour une probabilité de défaillance des transistors  $Dt = 0,01$ , la probabilité de défaillance du multiplexeur de la figure 4.11 peut être évaluée égale à  $P_{FTMUX} = 0,004$  alors qu'elle est de 0,11 en version non tolérante aux défauts [Anghel07].

#### 4.2.5. Comparaison avec d'autres structures redondantes

La technique proposée ne peut être comparée qu'avec des techniques existantes s'appliquant au même niveau d'abstraction. Il n'est pas possible actuellement de faire des comparaisons avec des techniques visant une protection globale au niveau d'un bloc complexe, voire d'une architecture ou d'un système. Nous nous limitons donc ici aux deux techniques de référence que sont la TMR et le multiplexage NAND, précédemment présentées dans ce chapitre. Par ailleurs, cette thèse s'intéresse essentiellement aux éléments de base (INV, NAND2, NOR2). Pour ces éléments, les structures redondantes proposées sont en fait plus efficaces que les deux approches de référence dans le cas de deux défauts. Le cas d'un nombre de défauts supérieur à 2 correspondrait à des probabilités de défaillance réellement

inacceptables tant que l'on s'intéresse à des portes logiques élémentaires telles que celles étudiées ici. L'étude des probabilités sur des circuits de plus grande taille sort par ailleurs du cadre de cette thèse.

Pour illustrer la meilleure efficacité des structures redondantes proposées, rappelons qu'il a été montré que le taux de masquage de deux défauts pour les portes NAND2 ou NOR2 redondantes est de 90% (voire 100% pour deux défauts différents). Ces structures nécessitent 16 transistors alors qu'une implantation TMR au niveau de la porte nécessiterait  $3 \times 4 = 12$  transistors, plus le voteur. Naturellement, le coût du voteur peut devenir négligeable pour des circuits plus complexes, mais il devient prohibitif à ce niveau d'abstraction. Hormis ce coût en complexité, un défaut simple dans le voteur peut conduire à une défaillance de la porte. Protéger le voteur est coûteux, et serait inadapté au niveau de la porte élémentaire. Même en supposant que le voteur n'est pas touché par les défauts, il y a 66 paires de transistors possibles parmi les 12 transistors des 3 modules NAND2. Si l'on considère par exemple deux transistors bloqués parmi les 12, il y a 18 cas pour lesquels deux modules vont être simultanément avec une sortie haute impédance, ce qui ne garantit pas un masquage efficace par le voteur (le masquage va dépendre de la valeur précédente de la sortie des modules). Le taux de masquage garanti de deux défauts de type transistor bloqué est donc de  $(66-18)/66=72\%$ , donc plus faible que pour l'implantation proposée. Si l'on considère un défaut de type transistor bloqué combiné avec un défaut de type transistor passant, il y a également des cas où le masquage n'est pas garanti et le taux est donc moins bon que pour la structure proposée.

### 4.3. Conclusion

Le manque de méthodes de synthèse et de purification réellement efficaces, exploitables commercialement, explique pourquoi l'utilisation des nanotubes de carbone n'est pas encore largement répandue et pourquoi des densités de défauts très élevées doivent actuellement être envisagées, même à moyen terme. Afin d'envisager la production de circuits complexes, il est donc nécessaire de développer des techniques permettant de tolérer certains défauts, et de limiter l'impact des fluctuations des processus de fabrication, et des fautes transitoires liées à l'environnement.

Dans ce chapitre, nous avons analysé plus particulièrement les défauts de fabrication (rupture du CNT, collages imprévus des électrodes ou non contact de CNT-électrode, etc.) pouvant survenir dans les circuits logiques à base de CNTFETs. Le point le plus important dans ce chapitre est que nous avons présenté une implantation redondante au niveau du transistor CNTFET et au niveau des portes logiques pour la tolérance des défauts de fabrication. Cette approche permet également de réduire la dispersion des caractéristiques des portes logiques. Des simulations utilisant le modèle CNTFET compact d'InESS ont clairement montré les améliorations obtenues. Naturellement, la redondance permettant cette meilleure robustesse a un coût en complexité, en énergie consommée et au niveau des temps de propagation à travers les portes.

Ce travail est une première étape vers une étude de structures robustes vis à vis des variations paramétriques et des défauts pour les circuits logiques basés sur des CNTFETs.

## CONCLUSION ET PERSPECTIVES

La recherche de nouveaux matériaux semi-conducteurs et de nouveaux dispositifs (pour remplacer le silicium et le MOSFET) doit conduire d'ici à 2020 à une nouvelle révolution au sein des industries électroniques. Plusieurs nano-dispositifs font actuellement l'objet d'études, tels que les RTD (Resonant Tunneling Diode), SET (Single Electron Transistor), SPINFET (Spin Field Effect Transistor), QCA (Quantum Cellular Automata) et CNTFET (Carbon NanoTube Field Effect Transistor). Parmi ces dispositifs, les transistors basés sur les CNTs font partie des candidats les plus prometteurs.

En raison des dimensions nanométriques et d'une réduction des niveaux d'alimentation, nous pouvons nous attendre à une plus grande sensibilité des circuits à base de CNTFETs aux diverses sources de perturbation (défauts de fabrication, variations paramétriques, fautes transitoires dues à l'environnement). Le seul moyen permettant d'atteindre des performances acceptables pour des circuits à base de CNTFETs est donc de s'intéresser à des structures logiques robustes permettant aux circuits de fonctionner normalement malgré une certaine densité de défauts.

Dans cette thèse, le travail a été focalisé sur l'analyse des transistors CNTFET et des portes logiques de base (NOT, NAND2 et NOR2) construites à partir de ces transistors. Les quatre contributions importantes sont présentées dans les quatre chapitres du manuscrit :

1. Dans le chapitre 1, nous avons comparé les résultats de simulation issus du modèle compact CNTFET développé à l'InESS avec des résultats expérimentaux publiés. De bonnes corrélations ont été montrées. Ce modèle compact est donc un très bon moyen pour étudier le comportement d'une structure logique construite à partir de plusieurs CNTFETs. Ces résultats ont été présentés dans deux publications internationales.
2. Dans le chapitre 2, nous avons étudié par simulation les caractéristiques statiques et dynamiques principales des portes NOT, NAND2 et NOR2 avec cinq structures différentes (logique à charge résistive à base de NFET, logique à charge résistive à base de PFET, logique complémentaire, logique domino et logique de transfert). Les résultats montrent l'intérêt de la structure logique complémentaire, même si la littérature traitant des portes logiques à base de CNTFET s'était jusqu'ici beaucoup concentrée sur les structures à charge résistive. Ces résultats ont également été présentés dans deux publications internationales.
3. Dans le chapitre 3, nous avons ensuite analysé l'influence des variations paramétriques (diamètre du nanotube, résistance de contact) et de la température d'opération au niveau des dispositifs CNTFET et au niveau des portes logiques à structure complémentaire. Nous avons montré que la variation du diamètre du nanotube entraîne de grandes dispersions des caractéristiques statiques et dynamiques

des portes logiques. Il faut donc bien maîtriser la technique de synthèse des nanotubes pour pouvoir obtenir des circuits logiques avec de bonnes caractéristiques. Ces résultats ont été présentés dans une publication internationale.

4. Enfin, dans le chapitre 4, nous avons tout d'abord analysé les défauts de fabrication et les fautes transitoires pouvant plus particulièrement survenir dans des circuits à base de nanotubes (rupture du CNT, collages imprévus des électrodes ou absence de contact CNT-électrode, effet tunnel activé thermiquement, ...). Nous avons ensuite étudié, au niveau du transistor CNTFET puis au niveau des portes logiques, des structures redondantes permettant de tolérer certains défauts de fabrication et de réduire la dispersion des caractéristiques des portes logiques. Ces résultats ont été jusqu'ici présentés dans une publication nationale.

Notons au passage que l'analyse des dispersions des caractéristiques des portes logiques a été rendue possible par un outil automatique de simulation créé spécifiquement, et qui a été présenté dans le chapitre 3.

Un certain nombre de perspectives se dégagent de cette thèse. En particulier, nous pouvons identifier quatre grandes directions pour compléter et poursuivre le travail réalisé.

1. Des améliorations du modèle compact de CNTFET seraient encore utiles pour résoudre les problèmes observés de non convergence et de singularités pendant la simulation. De plus, il serait intéressant que ce nouveau modèle puisse inclure des paramètres supplémentaires comme la longueur du nanotube et la capacité de la grille. En utilisant notre outil automatique, il serait tout à fait possible alors d'analyser l'impact de ces paramètres supplémentaires sur les dispositifs CNTFET et sur les circuits logiques utilisant ces dispositifs.
2. Les études réalisées ont été concentrées sur des fonctions logiques de base, que ce soit pour l'analyse de la dispersion des caractéristiques ou pour l'implantation redondante. Une suite logique serait bien sûr d'étendre ce travail à des portes logiques plus complexes, voire des sous-systèmes.
3. La structure redondante étudiée offre, dans une certaine mesure, une meilleure efficacité que la redondance traditionnelle (par exemple TMR) pour résister aux défauts et aux variations. Mais cette implantation redondante consomme plus l'énergie et augmente le temps de propagation à travers les circuits. Il faudra donc analyser les compromis intéressants et notamment évaluer au niveau système jusqu'à quel pourcentage de redondance il est possible d'aller pour ne pas perdre les avantages espérés pour les nouvelles technologies. En d'autres termes, une redondance trop

importante pourrait conduire à des circuits moins efficaces, selon certains critères, que ceux pouvant être réalisés avec la technologie CMOS.

4. L'exploitation des propriétés spécifiques du CNTFET, notamment le caractère ambipolaire, permet de le différencier du MOSFET et d'implanter des fonctions logiques nouvelles. Les voies les plus citées dans la littérature sont: (1) l'implantation de logique multi-valuée : exploitation du contrôle du diamètre pour contrôler le gap énergétique et obtenir ainsi des dispositifs ayant des caractéristiques finement accordables; (2) les structures re-configurables : exploitation des CNTFETs ambivalents double grille ; (3) la création de SETs (transistors à électron unique) à base de CNTs : implantation d'éléments logiques de calcul permettant de tolérer des problèmes inhérents aux dispositifs nanoélectroniques (fluctuation des caractéristiques des dispositifs, charges d'offset, défauts de fabrication) ; (4) l'exploitation des CNTFETs dont le nanotube est multi-parois. Ces aspects n'ont pas été abordés dans le cadre de cette thèse et constituent donc autant de perspectives.

## REFERENCES

- [Anghel07] Anghel L. and Nicolaidis M.: “Defects Tolerant Logic Gates for Unreliable Future Nanotechnologies”, Computational and Ambient Intelligence, 9th International Work-Conference on Artificial Neural Networks - IWANN, pp.422-429, 2007.
- [Appen03] Appenzeller J., Knoch J. and Ph. Avouris: “Carbon nanotube field-effect transistors - an example of an ultra-thin body Schottky barrier device”, 61th Device Research Conference, pp.167-170, 2003.
- [Appen04a] Appenzeller J., Knoch J., Radosavljevic M. and Ph. Avouris: “Multimode transport in Schottky barrier carbon nanotube field-effect transistors”, Phys. Rev. Lett., Vol.92, No.22, pp.226802.1-4, 2004.
- [Appen04b] Appenzeller J., Lin Y.M., Knoch J. and Ph. Avouris: “Band-to-band tunneling in carbon nanotube field-effect transistors”, Phys. Rev. Lett., Vol.93, No.19, pp.196805.1-4, 2004.
- [Avou02] Avouris Ph.: “Molecular Electronics with Carbon Nanotubes”, Accounts of Chemical Research, Vol.35, No.12, pp.1026-1034, 2002.
- [Avou04] Avouris P. and Appenzeller J.: “Electronics and optoelectronics with carbon nanotube”, The Industrial Physicist, Vol.10, No.18, 2004.
- [Bach01] Bachtold A. et al.: “Logic Circuits with Carbon Nanotube Transistors”, Science, Vol.294, pp.1317-1320, 2001.
- [Basc86] Baschiera D. : “modélisation de panes et méthodes de test de circuits intégrés CMOS”, thèse de doctorat, Institut National Polytechnique de Grenoble, France, 1986.
- [Bhan07] Bhanduri D.: “Design and analysis of defect- and fault-tolerant nano-computing systems”, thèse de doctorat, Blacksburg University, USA, 2007.
- [Castro06] Castro L.: “Modeling of Carbon Nanotube Field-Effect Transistors”, thèse de doctorat, university of British Columbia, 2006.
- [Chen05] Chen H., et al.: “A Reconfiguration-Based Defect-Tolerant Design Paradigm for Nanotechnologies”, IEEE Design & Test of computers, Vol.22, No.4, pp.316-326, 2005.
- [Chen06] Chen Z.H. et al.: “An integrated logic circuit assembled on a single carbon nanotube”, Science, Vol.311, No.5768, pp.1735–1735, 2006
- [Connor07] O'Connor I., Liu J., Gaffiot F., Pregaldiny F., Lallement C., Maneux C., Goguet J., Fregonese S., Zimmer T., Anghel L., Dang T. and Leveugle R.: “CNTFET Modeling and Reconfigurable Logic-Circuit Design”, IEEE Trans. on Circuits and Systems I, Vol.54, No.11, pp.2365-2379, 2007.
- [Crou98] Crouch A.: “Semiconductor IC Test and Design-for-Test Fundamentals”, available at website: [http://www.inovys.com/docs/Sites/1/IC\\_Test\\_DFT\\_Fundamentals.pdf](http://www.inovys.com/docs/Sites/1/IC_Test_DFT_Fundamentals.pdf), 1998.
- [Daen03] Daenen M. et al.: “The Wondrous world of carbon nanotubes”, Eindhoven University of Technology, 2003.
- [Dang05] Dang T.: “Nanotubes de carbone, SET et QCA en logique : modélisation de fautes”, mémoire de master, Université Joseph Fourier, 2005.
- [Dery01] Derycke V. et al.: "Carbon nanotube inter- and intramolecular logic gates", Nano Letters, Vol.1, No.9 pp.453-456, 2001.
- [Dwyer04a] Dwyer C. et al.: “Design tools for a DNA-guided self-assembling carbon nanotube technology”, Nanotechnology, Vol.15, pp.1240-1245, 2004.

- [Dwyer04b] Dwyer C., Cheung M. and Sorin D J.: “Semi-empirical SPICE Models for Carbon Nanotube FET Logic”, IEEE Nano Letters, Vol.4, pp.35-39, 2004.
- [Four05] Fourfath M. et al.: “The effect of device geometry on the static a dynamic response of Carbon nanotube field effect transistors”, IEEE conf. on Nanotechnology, 2005.
- [Fuhr02] Fuhrer M.S. et al.: “High-Mobility Nanotube Transistor Memory”, Nano Letters, Vol.2, No.7, pp.755-759, 2002.
- [Fumi05] Fumiyuki N.: “Possibility and Fabrication of Carbon-Nanotube Transistors”, International Workshop for Carbon Nanotube and its applications; Stanford University; September 12 and 13, 2005.
- [Gojman04] Gojman B., Hsin H., Liang J., Nezhdanova N. and Saini J.: “Y-Junction carbon nanotube implementation of intramolecular electronic NAND gate”, available at: [www.cs.caltech.edu/cbsss/finalreport/yjunction\\_group.pdf](http://www.cs.caltech.edu/cbsss/finalreport/yjunction_group.pdf), 2004.
- [Gold03] Goldstein S. et al.: “Reconfigurable computing and electronic nanotechnology”, Proc. IEEE ASAP’03, pp.132-143, 2003.
- [Guo04a] Guo J. et al.: “A numerical study of scaling issues for schottky barriers carbon nanotube transistors”, IEEE trans. on electron devices, Vol.51, No.2, pp.172-177, 2004.
- [Guo04b] Guo J. et al.: “Performance Analysis and Design Optimization of near ballistic carbon nanotube field-effect transistors”, IEDM technical Digest, pp.703-706, 2004.
- [Guo06] Guo J. et al.: “Towards Multi-Scale Modeling of Carbon Nanotube Transistors”, available at <http://www.nanohub.org/1818/>, 2006.
- [Han02] Han J., Jonker D.: “A System Architecture Solution for Unreliable Nanoelectronic Devices”; IEEE Transactions on Nanotechnology, Vol.1, No.4, pp.201-208, 2002.
- [Han03a] Han J. and Jonen P.: “A system architecture solution for unreliable nanoelectronic devices”, Nanotechnology, Vol.14, No.2, pp.224-230, 2003.
- [Han03b] Han J. and Jonker P.: “A defect- and fault-tolerant architecture for nanocomputers”; Nanotechnology, Vol.14, pp.224-230, 2003.
- [Han04] Han J.: “Thesis “Fault-tolerant architectures for nanoelectronic and quantum devices”, thèse de doctorat, Delft University of Technology, Netherlands, 2004.
- [Han05] Han J., Jonker P.: “Toward hardware redundant, fault tolerant logic for Nanoelectronics”, IEEE Design & Test of computer, Vol.22, No.4, pp.328-339, 2005.
- [Han05] Han S. et al.: “Synthesis and Device Applications of Aligned Single-Walled Carbon Nanotubes on Sapphire”, International Workshop for Carbon Nanotube and its applications; Stanford University; September 12 and 13, 2005.
- [Hasan05] Hasan S., Guo J. et al.: “Monte-Carlo Simulation of Carbon Nanotube Devices”, Journal of computational electronics, Vol.3, No.3-4, pp.333-336, 2005.
- [Heath98] Heath J.R., et al.: “A defect-tolerant architecture for nanotechnology”; Science, Vol.280, pp.1716–1731, 1998.
- [Helixweb] <http://www.helixmaterial.com/>
- [Hur05] Hur S.H.: “Printed thin-film transistors and complementary logic gates that use polymer-coated single-walled carbon nanotube networks”, Journal of applied physics, Vol.98, pp.114302.1-6, 2005.
- [Javey02a] Javey A., et al.: “High-k dielectrics for advanced carbon nanotube transistors and logic”, Nature Materials, Vol.1, No.4, pp.241-246, 2002.

- [Javey02b] Javey A., Wang Q. et al.: “Carbon Nanotube Transistor Arrays for Multistage Complementary Logic and Ring Oscillators”, *Nano letter*, Vol.2, No.9, pp.929-932, 2002.
- [Javey02c] Javey A. et al.: “Electrical properties and devices of large-diameter single-walled carbon nanotubes”, *Appl. Phys. Lett.*, Vol.80, No.6, pp.1064-1066, 2002.
- [Javey04] Javey A. et al.: “Carbon Nanotube Field-Effect Transistors with Integrated Ohmic Contacts and High-K Gate Dielectrics”, *Nano Letters*, Vol.4, No.3, pp.447-450, 2004.
- [Javey05] Javey A. et al.: “High Performance n-Type Carbon Nanotube Field-Effect Transistors with Chemically Doped Contacts”, *Nano letters*, Vol.5, No.2, pp.345-348, 2005.
- [John04] John D.L. et al.: “A Schrodinger Poisson Solver for modeling Carbon nanotube FETs”, *Proc. NSTI Nanotech*, Vol.3, pp.65-68, 2004.
- [Knoch05] Knoch J., Mantl S. and Appenzeller J.: “Comparison of transport in carbon nanotube field-effect transistors with Schottky contacts and doped source/drain contacts”, *Solid State Electronics* 49, pp.73-76, 2005.
- [Li04] Li S. et al.: “Silicon nitride gate dielectric for top-gated carbon nanotube field effect transistors”, *J. Vac. Sci. Technol. B*, Vol.22, No.6, pp.3112-3114, 2004.
- [Lin04] Lin Y.M, Appenzeller J. and Ph. Avouris: “Novel structures enabling bulk switching in carbon nanotube FETs”, *62th Device Research Conference Digest. IEEE*, pp.133-134, 2004.
- [Lin05] Lin Y.M. et al.: “High-Performance Carbon Nanotube Field-Effect Transistor With Tunable Polarities”, *IEEE Trans. on nanotech*, Vol.4, No.5, pp.481-489, 2005.
- [Liou94] Liou J.J.: “Advanced Semiconductor Device Physics and Modeling”, Boston: Artech House Publishers, 1994.
- [Liou97] Liou J.J., Ortiz-conde A. and GARCÍA SÁNCHEZ F.J.: “Extraction of the threshold voltage of MOSFETs: an overview”, *IEEE Proc. of Hong Kong Electron Device Meeting, Hong Kong*, pp.31-38, 1997.
- [Liou98] Liou J.J., Ortiz-conde A. and GARCÍA SÁNCHEZ F.J.: “Analysis and design of MOSFETs: Modeling, Simulation and Parameter Extraction”, New York: Kluwer Academic Publishers, 1998.
- [Liu06] Liu X.: “Synthesis Devices and Applications of Carbon Nanotubes”, these de Doctorat, University of Southern California, 2006.
- [Maneux06] Maneux C. et al.: “Analysis of CNTFET physical compact model”, *IEEE Int. Conf. on Design & Test of Integrated Systems in Nanoscale Technology (DTIS)*, Tunis, Tunisia, September 5-7, 2006.
- [Mart02] Martel R. et al.: “Carbon Nanotube Field-Effect Transistors and Logic Circuits”, *DAC*, Vol.7.4, pp.94-98, 2002.
- [Mary06] Mary J. B., “Design and simulation of fault-tolerant quantum-dot cellular automata (QCA) NOT gates”; Thesis, Wachita State University, 2006
- [Neop04] Neophytou N. et al.: “Electrostatics of 3D Carbon Nanotube Field-Effect Transistors”, *Computational Electronics*, pp.175-176, 2004.
- [Neuman56] Neuman J.V.: “Probabilistic logics and the synthesis of reliable organisms from unreliable components”, Princeton University Press, Princeton N.J, pp.43-98, 1956
- [Niko02] Nikolic K., Sadek A. and Forshaw M.: “Fault-tolerant techniques for nanocomputers”, *Nanotechnology*, Vol.13, No.3, pp.357-362, 2002.
- [Peper04] Peper F. et al.: “Fault-tolerance in nanocomputers: a cellular array approach”, *IEEE Trans. on nanotechnology*, Vol.3, No.1, pp.187-201, 2004.

- [Post01] Postma H. W. C., Teepen T., Yao Z., Grifoni M. and C. Dekker: "Carbon nanotube single-electron transistors at room temperature" *Science*, Vol.293, No.5527, pp.76-79, 2001.
- [Prég06] Prégaldiny F., Lallement C., Kammerer J.B.: "Design-oriented compact models for CNTFETs", *IEEE Int. Conf. on Design & Test of Integrated Systems in Nanoscale Technology (DTIS)*, Tunis, Tunisia, September 5-7, 2006.
- [Rado02] Radosavljevic M. et al.: "Nonvolatile Molecular Memory Elements Based on Ambipolar Nanotube Field Effect Transistors", *Nano Letters*, Vol.2, No; 7, pp.761-764, 2002.
- [Rahman03] Rahman A. et al: "Theory of Ballistic Nano-transistors", *IEEE trans. on electron devices*, Vol.50, No.9, pp.1853-1864, 2003.
- [Ray04] Raychowdhury A. et al.: "A Circuit-Compatible Model of Ballistic Carbon Nanotube Field-Effect Transistors", *IEEE trans. on computer-aided design of integrated circuits and systems*, Vol.23, No.10, pp.1411-1420, 2004.
- [Ray05] Raychowdhury A. and Roy K.: "Carbon-Nanotube-Based Voltage-Mode Multiple-Valued Logic Design", *IEEE Trans. Nanotechnology*, Vol.4, No.2, pp.168-179, 2005.
- [Reed03] Reed M.A. and Lee T. (edited): "Molecular Nanoelectronics", American Scientific Publishers, 2003.
- [Rond05] Rondoni D. and Hoekstra J.: "Toward models for CNT devices", In *Proceedings of 16th Annual Workshop on Circuits, Systems and Signal Processing ProRISC'05*, pp.272-278, 2005.
- [Rosen02] Rosenblatt S. et al.: "High performance electrolyte gated carbon nanotube transistors", *Nano Letters*, Vol.2, n-8, pp.869--872, 2002.
- [Ruec00] Rueckes T. et al.: "Carbon nanotube-based nonvolatile random access memory for molecular computing", *Science*, Vol.289, No.5476, pp.94-97, 2000.
- [Schro90] Schroeder D.K.: "Semiconductor Material and Device Characterization", 3rd ed., New York: John Wiley and Sons Publisher, 1990.
- [Sordan06] Sordan R., Balasubramanian K., Burghard M. and Kern K.: "Exclusive-OR gate with a single carbon nanotube", *Appl. Phys. Lett.*, Vol.88, pp.053119.1-3, 2006.
- [Tans98] Tans S.J., Verschueren A.R.M. and C. Dekker: "Room-temperature transistor based on a single carbon nanotube", *Nature*, Vol.393, pp.49-52, 1998.
- [Toma02] Tomanek D. and Enbody R.J. (edited): "Science and Application of Nanotubes", *Fundamental Materials Research*, 2002.
- [Wang05] Wang S. et al.: "Nonvolatile memory from single-walled carbon nanotube based field effect transistors", *Current Nanoscience*, Vol.1, No.1, pp.43-46, 2005.
- [Wei01] Wei B. Q., Vajtai R. and Ajayan P. M.: "Reliability and current carrying capacity of carbon nanotubes", *Appl. Phys. Lett.*, Vol.79, No.8, pp.117.1-4, 2001.
- [Weste97] Weste N. H.E and Eshraghian K.: "Principles of CMOS VLSI design", Second edition, Oxford University Press, 1997.
- [Wind02] Wind S.J., et al: "Vertical scaling of carbon nanotube field-effect transistors using top gate electrodes", *Appl. Phys. Lett.*, Vol.80, No.20, pp.3817-3819, 2002.
- [Yamada03] Yamada T.: "Modeling of carbon nanotube Schottky barrier reduction for holes in air", *Nanotechnology*, Vol.1, pp.244-247, 2003.
- [Yan91] Yan Z.X. and Deen M.J.: "Physically-based method for measuring the threshold voltage of MOSFETs", *IEEE Proc. Cir. Dev. and Sys.*, Vol.138, pp.351-357, 1991.

- [Zhang05] Zhang W. and Jha N.K.: "ALLCN: An Automatic Logic-to-Layout Tool for Carbon Nanotube Based Nanotechnology", Computer Design: VLSI in Computers and Processors - ICCD 2005 proceedings, pp.281-288, 2005.
- [Zhou00] Zhou C., Kong J. and Daia H.: "Electrical measurements of individual semiconducting single-walled carbon nanotubes of various diameters", Appl. Phys. Lett., Vol.76, No.12, pp.1597-1599, 2000.
- [Zhou05] Zhou X. et al.: "Band Structure, Photon Scattering, and the Performance Limit of Single-Walled Carbon Nanotube Transistors", Phys. Rev. Lett., Vol.95, pp.146805.1-4, 2005.

## **PUBLICATIONS SUR LES TRAVAUX DE CETTE THESE**

### **Revue internationale**

[1]. O'Connor I., Liu J., Gaffiot F., Pregaldiny F., Lallement C., Maneux C., Goguet J., Fregonese S., Zimmer T., Anghel L., Dang T. and Leveugle R. : “CNTFET Modeling and Reconfigurable Logic-Circuit Design”, IEEE Trans. on Circuits and Systems I, Vol.54, No.11, pp.2365-2379, 2007.

### **Conférence et colloques internationaux**

[2]. T. Dang, L. Anghel and R. Leveugle: “CNTFET Basics and Simulation”, Design and Test of Integrated Systems in Nanoscale Technology (DTIS'06), Tunis, Tunisia, September 5-7, 2006.

[3]. T. Dang, L. Anghel and R. Leveugle: “CNTFET-based Logic Gates and Simulation”, International Design and Test Workshop (IDT'06), Dubai, United Arab Emirates (UAE), November 19-20, 2006.

[4]. T. Dang, L. Anghel and R. Leveugle: “CNTFET-based Logic Gates and Characteristics”, Silicon Nanoelectronics Workshop, Kyoto, Japan, June 10-11, 2007.

[5]. T. Dang, L. Anghel and R. Leveugle: “CNTFET-based Logic Gates and Dispersion of Characteristics”, International Design and Test Workshop (IDT'07), Cairo, Egypt, December 16-18, 2007.

### **Conférences et colloques nationaux**

[6]. T.Dang, L. Anghel and R. Leveugle : “Structures robustes pour circuits logiques à base de CNTFET”, Journées nationales du réseau doctoral en microélectronique 2008 (jnrdm08), Bordeaux, France, May 14-16, 2008.

## **TITRE EN FRANCAIS**

Portes logiques à base de CNTFETs - dispersion des caractéristiques et tolérance aux défauts

## **RESUME EN FRANCAIS**

Parmi les nouveaux nano-dispositifs, les CNTFETs sont des candidats prometteurs. Mais les circuits à base de nanotubes auront une probabilité élevée de défautuosité lors de la fabrication et une assez grande dispersion des caractéristiques. Dans ce contexte, cette thèse étudie l'implantation de portes logiques élémentaires à base de CNTFETs. Une comparaison précise de plusieurs structures logiques montre les avantages de la structure complémentaire pour les applications futures. L'influence des variations paramétriques sur les caractéristiques des CNTFETs et des portes logiques complémentaires est ensuite analysée. Une étude synthétique des défauts et fautes transitoires spécifiques aux circuits à base de CNTFETs est présentée. Enfin, une structure logique redondante est proposée pour réduire l'effet des dispersions paramétriques et pour améliorer le rendement de fabrication en tolérant certains défauts.

## **MOT CLES :**

Transistor à base de nanotube de carbone (CNTFET), portes logiques, dispersion des caractéristiques, structure redondante

---

## **TITRE EN ANGLAIS**

CNTFET-based logic gates - characteristic dispersions and defect tolerance

## **ABSTRACT**

Amongst novel nanodevices, CNTFETs are promising candidates. But circuits based on CNTFETs will have a high probability of manufacturing defects and large characteristic dispersions. In this context, this thesis studies the implementation of CNTFET-based elementary logic gates. A precise comparison of several logic structures shows the advantages of the complementary structure for future applications. The influence of parametric variations on the CNTFET and complementary logic gate characteristics is then analyzed. A synthetic study is presented on the specific defects and transient faults in CNTFET-based circuits. Finally, a redundant logic structure is proposed to reduce the effect of parametric dispersions and to improve the manufacturing yield by tolerating some defects.

## **KEY WORDS:**

Carbon nanotube field effect transistors (CNTFET), logic gates, characteristic dispersions, redundant structure

---

## **INTITULE ET ADRESSE DU LABORATOIRE**

Laboratoire TIMA (Techniques de l'Informatique et de la Microélectronique pour l'Architecture des systèmes intégrés)

46, avenue Félix Viallet

38 031 GRENOBLE Cedex – France

ISBN : 978-2-84813-121-4

ISBNE : .....