



HAL
open science

Contribution à l'étude des organisations des mémoires à bulles magnétiques

Mokhtar Boshra Riad

► **To cite this version:**

Mokhtar Boshra Riad. Contribution à l'étude des organisations des mémoires à bulles magnétiques. Modélisation et simulation. Institut National Polytechnique de Grenoble - INPG, 1979. Français. NNT: . tel-00289603

HAL Id: tel-00289603

<https://theses.hal.science/tel-00289603>

Submitted on 23 Jun 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE

présentée à

Institut National Polytechnique de Grenoble

pour obtenir le grade de
DOCTEUR INGENIEUR

par

Mokhtar BOSHRA RIAD



CONTRIBUTION A L'ETUDE DES ORGANISATIONS DES
MEMOIRES A BULLES MAGNETIQUES.



Thèse soutenue le 30 Juin 1979 devant la commission d'examen.

L. BOLLIET	Président
F. ANCEAU	Examineurs
M. BENNETT	
C. BOKSENBAUM	
Ph. COEURE	

INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

Année universitaire 1977-1978

Président : M. Philippe TRAYNARD

Vice-présidents : M. René PAUTHENET

M. Georges LESPINARD

PROFESSEURS TITULAIRES

MM. BENOIT Jean	Electronique - automatique
BESSON Jean	Chimie minérale
BLOCH Daniel	Physique du solide - cristallographie
BONNETAIN Lucien	Génie chimique
BONNIER Etienne	Métallurgie
* BOUDOURIS Georges	Electronique - automatique
BRISSONNEAU Pierre	Physique du solide - cristallographie
BUYLE-BODIN Maurice	Electronique - automatique
COUMES André	Electronique - automatique
DURAND Francis	Métallurgie
FELICI Noël	Electronique - automatique
FOULARD Claude	Electronique - automatique
LANCIA Roland	Electronique - automatique
LONGEQUEUE Jean-Pierre	Physique nucléaire corpusculaire
LESPINARD Georges	Mécanique
MOREAU René	Mécanique
PARIAUD Jean-Charles	Chimie - physique
PAUTHENET René	Electronique - automatique
PERRET René	Electronique - automatique
POLOUJADOFF Michel	Electronique - automatique
TRAYNARD Philippe	Chimie - physique
VEILLON Gérard	Informatique fondamentale et appliquée
* en congé pour études	

PROFESSEURS SANS CHAIRE

MM. BLIMAN Samuël	Electronique - automatique
BOUVARD Maurice	Génie mécanique
COHEN Joseph	Electronique - automatique
GUYOT Pierre	Métallurgie physique
LACOUME Jean-Louis	Electronique - automatique
JOUBERT Jean-Claude	Physique du solide - cristallographie

.../...

MM.	ROBERT André	Chimie appliquée et des matériaux
	ROBERT François	Analyse numérique
	ZADWORNY François	Electronique - automatique

MAITRES DE CONFERENCES

MM.	ANCEAU François	Informatique fondamentale et appliquée
	CHARTIER Germain	Electronique - automatique
	CHIAVERINA Jean	Biologie, biochimie, agronomie
	IVANES Marcel	Electronique - automatique
	LESIEUR Marcel	Mécanique
	MORET Roger	Physique nucléaire - corpusculaire
	PIAU Jean-Michel	Mécanique
	PIERRARD Jean-Marie	Mécanique
	SABONNADIÈRE Jean-Claude	Informatique fondamentale et appliquée
Mme	SAUCIER Gabrielle	Informatique fondamentale et appliquée
M.	SOHM Jean-Claude	Chimie Physique

CHERCHEURS DU C.N.R.S. (Directeur et Maîtres de Recherche)

M.	FRUCHART Robert	Directeur de Recherche
MM.	ANSARA Ibrahim	Maître de Recherche
	BRONOEL Guy	Maître de Recherche
	CARRE René	Maître de Recherche
	DAVID René	Maître de Recherche
	DRIOLE Jean	Maître de Recherche
	KLEITZ Michel	Maître de Recherche
	LANDAU Ioan-Doré	Maître de Recherche
	MATHIEU Jean-Claude	Maître de Recherche
	MERMET Jean	Maître de Recherche
	MUNIER Jacques	Maître de Recherche

Personnalités habilitées à diriger des travaux de recherche (décision du Conseil Scientifique) E.N.S.E.E.G.

MM.	BISCONDI Michel	Ecole des Mines St. Etienne (dépt. Métallurgie)
	BOOS Jean-Yves	Ecole des Mines St. Etienne (Métallurgie)
	DRIVER Julian	Ecole des Mines St. Etienne (Métallurgie)

.../...

MM. KOBYLANSKI André	Ecole des Mines St. Etienne (Métallurgie)
LE COZE Jean	Ecole des Mines St. Etienne (Métallurgie)
LESBATS Pierre	Ecole des Mines St. Etienne (Métallurgie)
LEVY Jacques	Ecole des Mines St. Etienne (Métallurgie)
RIEU Jean	Ecole des Mines St. Etienne (Métallurgie)
SAINFORT	C.E.N. Grenoble (Métallurgie)
SOUQUET	U.S.M.G.
CAILLET Marcel	Ecole des Mines St. Etienne (Chim. Min. Ph.)
COULON Michel	Ecole des Mines St. Etienne (Chim. Min. Ph.)
GUILHOT Bernard	Ecole des Mines St. Etienne (Chim. Min. Ph.)
LALAUZE René	Ecole des Mines St. Etienne (Chim. Min. Ph.)
LANCELOT Francis	Ecole des Mines St. Etienne (Chim. Min. Ph.)
SARRAZIN Pierre	Ecole des Mines St. Etienne (Chim. Min. Ph.)
SOUSTELLE Michel	Ecole des Mines St. Etienne (Chim. Min. Ph.)
THEVENOT François	Ecole des Mines St. Etienne (Chim. Min. Ph.)
THOMAS Gérard	Ecole des Mines St. Etienne (Chim. Min. Ph.)
TOUZAIN Philippe	Ecole des Mines St. Etienne (Chim. Min. Ph.)
TRAN MINH Canh	Ecole des Mines St. Etienne (Chim. Min. Ph.)

E.N.S.E.R.G.

MM. BOREL	Centre d'études nucléaires de Grenoble
KAMARINOS	Centre national recherche scientifique

E.N.S.E.G.P.

M. BORNARD	Centre national recherche scientifique
Mme CHERUY	Centre national recherche scientifique
MM. DAVID	Centre national recherche scientifique
DESCHIZEAUX	Centre national recherche scientifique

à la mémoire de ma mère,

à mon père,

à ma femme Anah,

à mon fils Samy.

Je tiens à remercier:

Monsieur le Professeur Louis BOLLINET, Directeur du Département Informatique de l'Institut Universitaire de Technologie, qui m'a toujours encouragé dans mon travail et qui m'a fait l'honneur de présider le jury de cette thèse ;

Monsieur Claude BOKSENBAUM, Maître de Conférence à l'Institut Universitaire de Technologie de Montpellier, qui a été à l'origine de mon travail et qui a suivi avec le plus grand intérêt son développement jusqu'à la réalisation de cette thèse ; ses conseils et ses critiques m'ont permis d'améliorer ce travail et je lui exprime ici toute ma gratitude ;

Monsieur François ANCEAU, Maître de Conférence à l'Institut National Polytechnique de Grenoble, pour ses remarques positives et ses critiques constructives qui ont beaucoup contribué à améliorer mon travail ; je le remercie d'avoir bien voulu faire partie du jury ;

Monsieur Philippe COEURE, responsable de la Division Electro-Magnétisme du Laboratoire Nouveaux Composants Electroniques du LETI au Centre d'Etudes Nucléaires de Grenoble, d'avoir accepté d'examiner mon travail et de faire partie du jury ; ses remarques sur la technologie des mémoires à bulles et ses conseils m'ont été très utiles ;

Monsieur Malcolm BENNETT, ingénieur de recherches au Centre Scientifique CII Honeywell Bull de Grenoble, qui s'est intéressé à mon travail et avec qui j'ai eu de nombreuses discussions utiles ;

Monsieur Denis RANDET, Chef du Laboratoire NCE du LETI au CENG, qui m'a permis de visiter son laboratoire et de voir de près les travaux effectués sur les mémoires à bulles ;

Monsieur Daniel MAUDUIT, responsable de l'Equipe de Tests et Perspectives des Mémoires à Bulles au laboratoire NCE du LETI au CENG, pour les fructueuses discussions que j'ai eues avec lui ; son expérience dans le domaine des mémoires à bulles m'a beaucoup aidé à mener à bien ce travail ;

Je remercie mes collègues Michel VERAN, Serge ROUYEYROL, Mohamed MOALLA et Paul BERARD pour l'aide qu'ils m'ont apportée, soit par des discussions, soit par de la documentation ;

Je remercie vivement Madame Clotilde CHALAND qui, par sa sympathie, son goût du travail et sa patience, a assuré la pénible tâche de frappe de cette thèse ; ainsi que Mme DUFFOURD et Mme MARCON qui ont réalisé la frappe d'une partie de la thèse.

Je remercie Monsieur IGLESIAS et toute son équipe, qui ont réalisé avec soin le tirage de cette thèse.

RÉSUMÉ DE L'ÉTUDE

Ce travail a été entrepris pour tenter de répondre à la question essentielle qui se pose lors de la conception des mémoires à bulles magnétiques et qui peut se résumer de la façon suivante:

Comment organiser la mémoire à bulles pour qu'elle soit à la fois performante (temps d'accès minimal et débit maximal) et aussi peu coûteuse que possible ?

L'approche que nous avons suivie est basée sur le désir d'exploiter au maximum les possibilités offertes par les bulles magnétiques. Jusqu'à présent, seules les organisations classiques (organisation série, organisation en registres mineurs/registre majeur, et organisation série-parallèle) ont fait l'objet de réalisations. Elles sont basées sur la technique d'accès par champ magnétique tournant. Ces mémoires conviennent à de nombreuses applications, mais pas à celles qui nécessitent un temps d'accès rapide et un débit élevé (remplacement des mémoires centrales par exemple).

La technique d'accès par courant permet une exploitation rapide des mémoires à bulles (1 MHz et plus), mais elle a été abandonnée parce qu'elle nécessite généralement des configurations compliquées de conducteurs de courant connectés en série, dont la largeur est inférieure au diamètre d'une bulle. Cette technique d'accès par courant a été remplacée par l'accès par champ qui utilise une structure beaucoup plus simple.

Nous avons essayé de combiner ces deux techniques afin d'obtenir des organisations nouvelles de mémoires à bulles qui seraient beaucoup plus performantes et dans lesquelles les inconvénients des organisations classiques seraient écartés. La solution que nous proposons combine des registres de stockage basés sur l'accès par champ et des chemins d'accès basés sur l'accès par courant. Ceux-ci sont incorporés, partiellement ou complètement, dans les registres de stockage, ce qui évite l'utilisation des portes de transfert de bulles entre les registres de stockage et les chemins d'accès.

Cette solution combine une structure simple pour le stockage des bulles (accès par champ) avec des chemins d'accès rapides (accès par courant). Les possibilités de l'arrêt/marche des bulles et la bidirectionnalité de décalage ont été exploitées dans cette nouvelle organisation. De plus, la géométrie de la combinaison (registres de stockage et chemins d'accès) a permis l'utilisation de plusieurs stations d'accès (lecture/écriture) dans la puce, sans risque d'encombrement. Toutes ces options ont contribué à obtenir un accès multiple sur des chemins d'accès rapides, ce qui diminuera le temps moyen d'accès à la mémoire et augmentera le débit.

Nous avons choisi de présenter nos travaux selon le plan suivant:

1. Généralités sur les mémoires à bulles (chapitres 1 à 3):

- le chapitre 1 présente une introduction générale sur les mémoires et passe en revue les mémoires 'rivaux' de la mémoire à bulles ;
- le chapitre 2 décrit les bulles magnétiques, leur origine, leurs caractéristiques et leurs fonctions logiques ;
- le chapitre 3 énumère les caractéristiques qui militent en faveur des mémoires à bulles, les réalisations envisagées et les différents domaines d'application possibles.

2. Présentation des résultats obtenus (chapitres 4 et 5):

- le chapitre 4 décrit et critique les organisations classiques de la mémoire à bulles et propose de nouvelles organisations ;
- le chapitre 5, ainsi que l'annexe, tentent d'établir une comparaison entre les performances de toutes les organisations présentées.

TABLE DES MATIÈRES

-0-0-

CHAPITRE 1 - INTRODUCTION SUR LES MÉMOIRES

1.1. Généralités	1
1.2. Classification des mémoires	3
1.3. Les technologies qui suppléent au défaut d'une catégorie de mémoires	7
1.3.1. La mémoire accessible par rayons d'électrons (EBAM)	7
1.3.2. La mémoire à couplage de charges (CCD)	9
1.3.2.1. Les appareils à transfert de charges (CTD)	9
1.3.2.2. Historique et état actuel des mémoires à couplage de charges	10
1.3.3. Mémoires à bulles magnétiques (MBM) et à propagation de domaines	13
1.3.3.1. La mémoire à bulles	13
1.3.3.2. La mémoire à propagation de domaines (DOT)	14
1.4. Conclusion	15

CHAPITRE 2 - LES BULLES MAGNÉTIQUES ET LEURS FONCTIONS LOGIQUES

2.1. Introduction	16
2.2. Les matériaux à bulles	17
2.3. Les bulles magnétiques et leurs paramètres	20
2.4. Manipulation des bulles magnétiques	22
2.5. Principales fonctions logiques	24
2.5.1. Propagation des bulles magnétiques	24
2.5.1.1. Propagation par courant	24
2.5.1.2. Propagation d'ange de mer "angel-fish propagation"	26
2.5.1.3. Propagation par champ magnétique tournant	26
2.5.2. Génération et duplication des bulles (écriture)	29
2.5.3. Détection des bulles (lecture)	33
2.5.3.1. Induction électromagnétique	33
2.5.3.2. Effet Hall	33
2.5.3.3. Détection optique directe	33
2.5.3.4. Magnétorésistance	34

2.5.4. Annihilation des bulles (effacement)	36
2.5.4.1. Effacement total du module mémoire	36
2.5.4.1. Effacement bit par bit	36
2.5.5. Transfert et aiguillage des bulles	37
2.5.5.1. Porte de transfert simple	37
2.5.5.2. Porte de transfert par duplication	37
2.6. Fonctions logiques supplémentaires	41
2.7. Conclusion	46
CHAPITRE 3 - RÉALISATIONS ET APPLICATIONS DES MÉMOIRES À BULLES MAGNÉTIQUES	
3.1. Caractéristiques qui militent en faveur de l'utilisation des mémoires à bulles	47
3.2. Réalisations et applications annoncées pour les mémoires à bulles magnétiques (MBM)	49
3.2.1. Bell Laboratories	49
3.2.2. Texas Instruments (TI)	50
3.2.3. Rockwell International	51
3.2.4. La NASA	52
3.2.5. Laboratoire d'Electronique et de Technologie de l'Informatique (LETI du CEN Grenoble)	53
3.2.6. Plessey Memories	54
3.2.7. Hitachi	54
3.2.8. Nippon Telegraph and Telephone	54
3.2.9. IBM	55
3.2.10. Autres approches	57
3.3. Applications envisageables des mémoires à bulles magnétiques	58
3.3.1. Applications dans un domaine où la fiabilité est très importante	58
3.3.2. Domaine qui nécessite des grandes mémoires peu coûteuses, sûres et toujours disponibles	59
3.3.3. Domaine où une petite mémoire secondaire est suffisante	60
3.3.4. Les mémoires à bulles dans les grands systèmes informatiques	61
3.3.5. Nouveaux domaines d'application	62

3.4. La mémoire à bulles et les autres mémoires	63
3.5. Comparaisons prix au bit et capacité de stockage	66
3.6. Conclusion	70
CHAPITRE 4 - LES ORGANISATIONS DE LA MÉMOIRE À BULLES MAGNÉTIQUES	
4.1. Introduction	73
4.2. Evolution des circuits d'accès par courant	76
4.3. Critères de choix d'une organisation de la mémoire à bulles	77
4.4. Les organisations classiques	78
4.4.1. Organisation en registre bouclé simple (organisation série)	78
4.4.2. Organisation en registres mineurs/registre majeur	80
4.4.3. Organisation série parallèle	84
4.4.4. Organisation en registres multiples	87
4.5. Techniques pour augmenter les performances et les possibilités d'exploitation de la mémoire à bulles	91
4.5.1. Technique de réarrangement dynamique des données	91
4.5.2. L'échelle de bulles "bubble ladder"	94
4.6. Les nouvelles organisations	95
4.6.1. Notations	95
4.6.2. Organisation avec pont d'accès	97
4.6.2.1. Objectifs	97
4.6.2.2. Description de l'organisation	97
4.6.3. Organisation en blocs jumeaux	103
4.6.3.1. Description	103
4.6.3.2. Avantages de l'organisation	107
4.6.3.3. Organisation du module mémoire	111
4.6.4. Organisation avec contours d'accès incorporés en haut et en bas	115
4.6.4.1. Description	115
4.6.4.2. Permutation fautive	120
4.6.5. Organisation avec contours multiples d'accès incorporés à l'intérieur de la classe	122
4.7. Logique d'accès à la mémoire à bulles	124
4.7.1. Logique d'accès dans les organisations avec contours d'accès incorporés	124

4.7.1.1. L'accès sur les contours d'accès	124
4.7.1.2. Règles de chargement de la mémoire	129
4.7.1.3. Règles d'accès à la mémoire en lecture et en écriture	130
4.7.2. Dispositif indicateur d'ordonnée privilégiées	132
4.8. Complexité du contrôleur de la mémoire à bulles	138
4.9. Réalité technologique des mémoires à bulles	139
4.10. Conclusion	141
CHAPITRE 5 - COMPARAISON DES PERFORMANCES DES DIFFÉRENTES ORGANISATIONS DE MÉMOIRES À BULLES MAGNÉTIQUES	
5.1. Introduction	143
5.2. Mesures de performance des mémoires à bulles	143
5.3. Paramètres des différentes organisations de mémoires à bulles	146
5.4. Formules de calcul du décalage moyen par référence à la mémoire	147
5.5. Avantages en performance et en coût des organisations avec contours d'accès incorporés	151
5.6. Anomalies de performances des organisations 7 et 8	153
5.6.1. Sources et influences des anomalies	153
5.6.2. Organisation 7	154
5.6.3. Organisation 8	156
5.7. Influences des différents paramètres sur la performance des organisations de mémoires à bulles	158
5.7.1. Décalage transversal moyen (DTM) contre capacité de la page privilégiée (B)	165
5.7.2. Influences de B, L et C sur les DLM et DTM dans les organisations 7 et 8	165
5.7.3. Influence du nombre de contours d'accès (NCA) sur DLM et DTM pour l'organisation 8	168
5.7.4. Influence des valeurs de B et W sur le DTM	174
5.8. Accès aux blocs	176
5.8.1. Accès aléatoires aux blocs (bloc=page)	176
5.8.2. Accès séquentiels aux blocs (bloc=page)	176
5.8.3. Accès aléatoires aux blocs plus petits que la page privilégiée	177

5.9. Les mémoires à bulles en tant que mémoires centrales	180
5.10. Conclusion	181
CONCLUSION GÉNÉRALE	182
ANNEXE	184
BIBLIOGRAPHIE	208

CHAPITRE 1

INTRODUCTION SUR LES MÉMOIRES

1.1. GÉNÉRALITÉS

Le problème du stockage de l'information dans les ordinateurs joue un rôle fondamental dans les systèmes informatiques. Les efforts pour améliorer les moyens de stockage et pour trouver de nouveaux moyens n'ont pas cessé depuis le début de l'ère des ordinateurs et ne cesseront jamais.

Historiquement, il y a eu une croissance des besoins en mémoire, à la fois du côté utilisateur (programmes plus importants, travail sur des banques de données plus vastes, ..) et du côté système d'exploitation (prise en charge par les systèmes d'exploitation de nombreuses tâches: techniques de multi-programmation, d'exploitation en temps partagé, de gestion des réseaux d'ordinateurs, ..).

Les concepteurs d'ordinateurs ont toujours réclamé une forme de mémoire qui soit suffisamment rapide et suffisamment bon marché pour satisfaire tous les besoins des utilisateurs et du système. Le premier ordinateur, l'ENIAC, était achevé en 1946 [F 18] et sa mémoire était composée de lampes, où chaque lampe représentait un bit. Sa fiabilité était désastreuse, et surtout la notion de système n'existait pas. Aujourd'hui, plus de 30 ans après, demandons-nous si le souhait des concepteurs a été réalisé ? La réponse reste encore 'non' et on continue les recherches pour trouver un type de mémoire qui pourrait servir tous les besoins.

Normalement, le système informatique utilise une hiérarchie de mémoires, mais nous ne savons pas comment dépenser l'argent sur les différents types de mémoires impliquées dans le système. Aucune forme unique de mémoire n'a été trouvée pour satisfaire toutes les tâches confiées à la mémoire de l'ordinateur. Pour choisir une mémoire convenable pour une application donnée et un système donné, il faut distinguer plusieurs critères.

Ces critères sont les suivants:

a. critères relatifs aux caractéristiques technologiques:

- pour chaque type de mémoire:

- . temps d'accès,
- . capacité par module,
- . capacité totale,
- . vitesse de transfert de l'information,
- . prix du point mémoire (bit) ;

b. critères relatifs aux caractéristiques d'intégration dans le système:

- pour chaque type de mémoire:

- . conservation de l'information (non-volatilité),
- . amovibilité,
- . versatilité du format des données et souplesse de l'organisation,
- . mode d'accès,
- . fiabilité,
- . volume final de la mise en oeuvre,
- . consommation d'énergie,
- . coût de l'électronique associée,
- . coût de l'environnement nécessaire,
- . simplicité d'interconnexion dans le système,
- . transportabilité,

- pour l'ensemble du système:

- . facilité d'emploi dans la hiérarchie choisie,
- . coût du logiciel associé.

1.2. CLASSIFICATION DES MÉMOIRES

La classification la plus courante consiste à distinguer deux types de mémoires:

- a. La mémoire centrale, dite aussi mémoire de travail, ou mémoire interne ; c'est là que se trouvent les informations donnant lieu à l'exécution immédiate des programmes.
Cette classe comprend les différents types de mémoires à semi-conducteurs ou à tores magnétiques (toujours vivants) ; ces mémoires sont rapides, mais chères ;
- b. La mémoire de masse, dite aussi mémoire secondaire ou mémoire périphérique ; c'est là que se trouve l'ensemble des informations confiées au système informatique, normalement sous la forme d'une hiérarchie de plusieurs niveaux de temps d'accès, en général croissants. Cette classe contient les disques (à bras mobiles ou têtes fixes), les bandes magnétiques et les autres types de mémoire de masse. Les mémoires de cette classe sont lentes et bon marché.

L'examen des temps d'accès de ces deux classes révèle les deux faits suivants:

- a. un écart très grand (rapport de 10^4 à 10^7) entre les temps d'accès à la mémoire centrale et ceux aux mémoires de masse de type rotatif ;
- b. une très mauvaise utilisation de la mémoire centrale par l'unité centrale, due à sa capacité limitée et à la différence de temps d'accès entre les deux classes de mémoire, ce qui allonge le temps nécessaire au transfert des informations.

Il y a donc un fossé ("gap") de prix et de performances entre les deux classes de mémoire.

Des recherches actives sont en cours depuis longtemps, qui ont pour but d'essayer de réduire les différences de prix et de vitesse entre les mémoires centrales et les mémoires de masse. Les techniques de multiprogrammation, mémoire virtuelle, "pipe-line" et structures parallèles, entre autres, ont été inventées pour réduire l'effet de l'énorme différence en vitesse entre les deux classes de mémoire.

Plusieurs technologies nouvelles sont destinées à combler le fossé de mémoires, comme:

- . la mémoire accessible par rayons d'électrons ("Electron Beam Accessed Memory" - EBAM),
- . la mémoire à couplage de charges ("Charge Coupled Devices" - CCD),
- . et la mémoire à bulles magnétiques ("Magnetic Bubble Memory" - MBM).

Les figures 1.1 et 1.2 (tirées de [F 18]) illustrent le fossé existant entre les mémoires centrales rapides et chères et les mémoires secondaires lentes et moins chères. Les mémoires demandées pour combler ce fossé devraient être capables de se situer dans les gammes suivantes de performance (temps d'accès), de capacité et de prix:

temps d'accès:	1 μ sec - 30 m sec	
capacité:	10^6 - 10^8 bits	£ = cent = centième de dollar = ,01 \$
prix au bit:	0,1 £ - 0,01 £	

La gamme de temps d'accès est bornée d'un côté par 1 μ sec qui est le temps de cycle typique d'une mémoire centrale, et de l'autre côté par 30 m sec, temps d'accès typique d'un disque.

La capacité est bornée par une capacité raisonnable d'une mémoire centrale et par la limite inférieure de capacité d'un disque.

Quant au prix, il est déterminé par les technologies existantes, c'est-à-dire, 0,1 £ par bit pour les RAM et 0,01 £ par bit pour les petits disques.

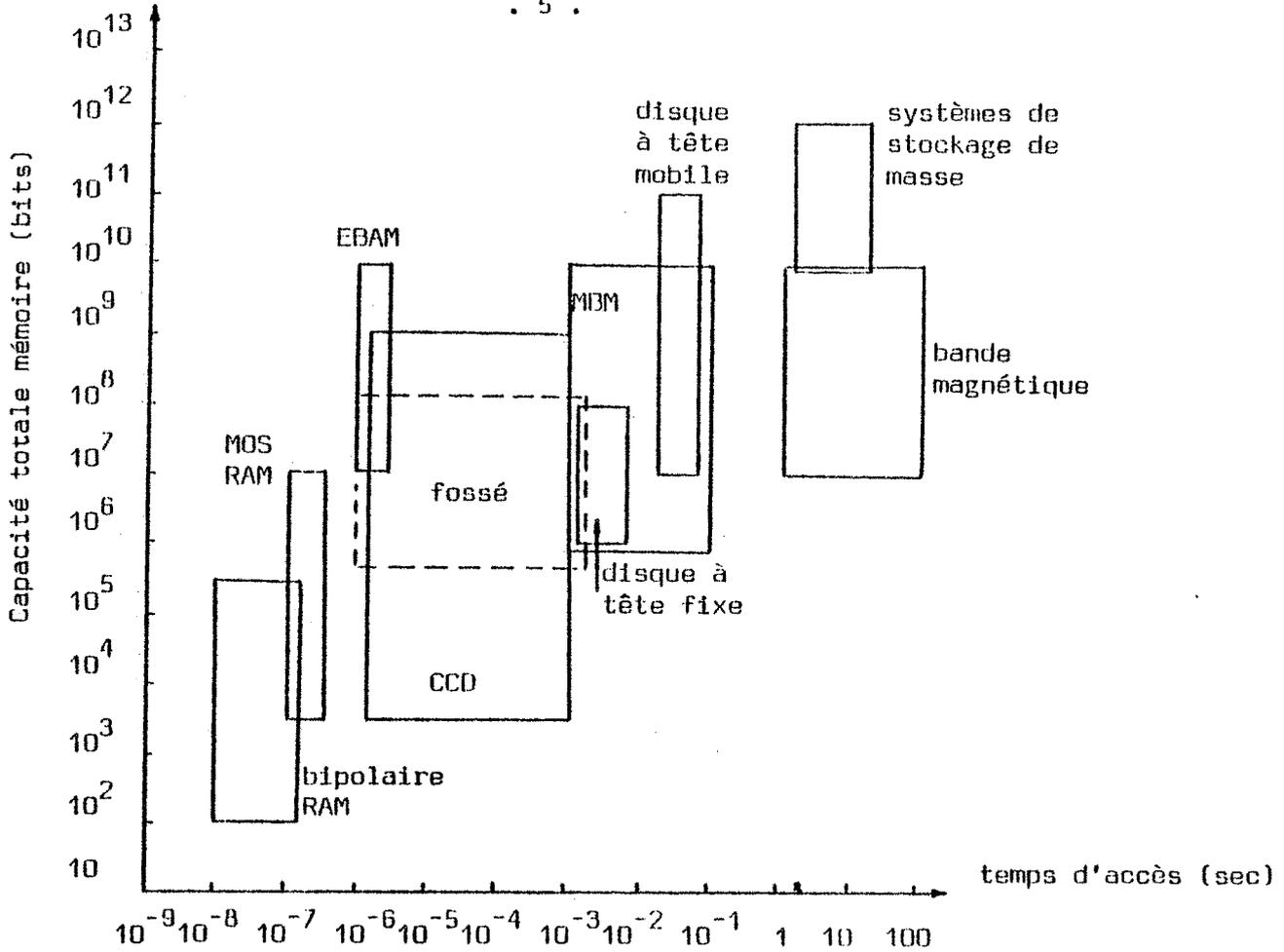


Figure 1.1 - Temps d'accès et capacité des mémoires

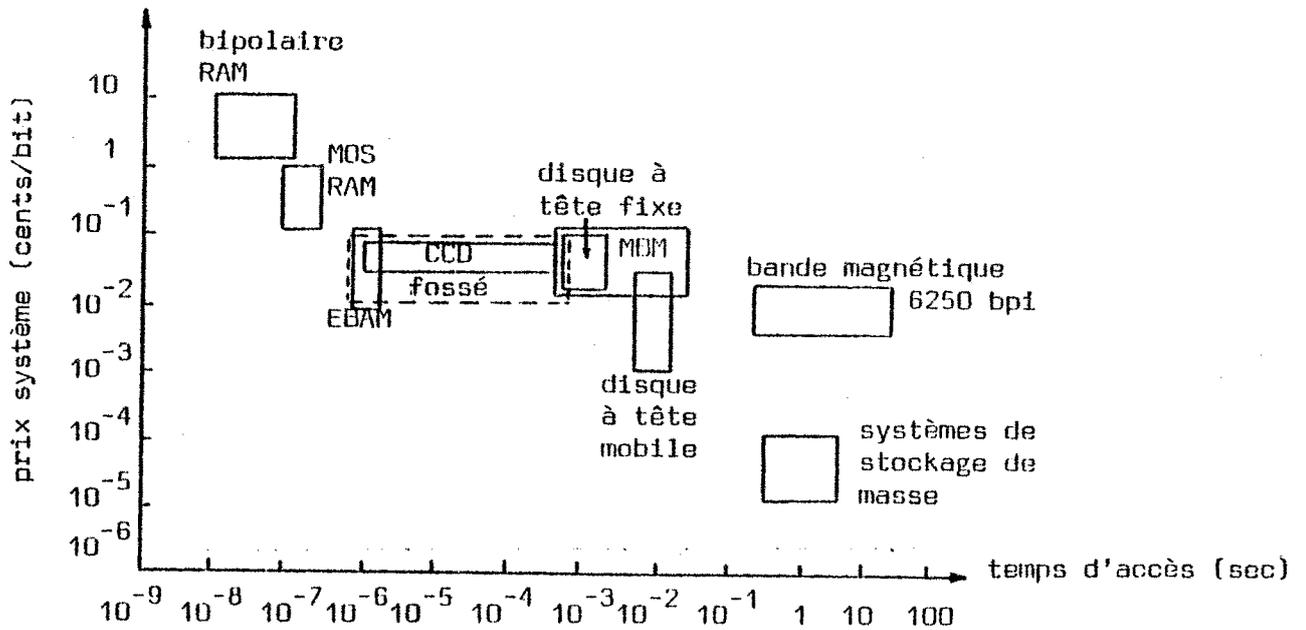


Figure 1.2 - Temps d'accès et prix système par bit mémoire

Malheureusement, les technologies éprouvées de mémoires actuelles (c'est-à-dire commercialisées et intégrées dans de nombreux systèmes), existent en dehors du fossé et celles qui pourraient combler ce fossé sont soit nouvelles (CCD et MBM), soit non disponibles (EBAM).

Tandis que les nouveaux produits sont en train d'être éprouvés et introduits sur le marché (relativement lentement bien sûr), les produits existants continuent leur amélioration en performances et en prix, ce qui tend à resserrer le fossé. Pourtant, il ne semble pas que le fossé puisse être comblé dans un avenir proche par les technologies éprouvées.

Pour ce qui est des accès lents, bas prix et grande capacité, la compétition est dure pour les nouveaux produits, de la part des disques à tête-par-piste: tout nouveau concurrent devra être au moins aussi bon que les disques en fiabilité, en taux d'erreur et en coût de maintenance. Une autre considération importante à ne pas négliger, est que tout nouveau sous-système devra être nécessairement développé à la fois en matériel, en logiciel et en interface avec les autres sous-systèmes. Cette condition garantit que le produit sera capable d'entrer dans les environnements existants sans que les utilisateurs (et les constructeurs) aient à faire d'autres changements.

En conséquence de toutes ces réalités, les nouvelles technologies de mémoire vont d'abord se pencher sur les applications spécialisées et les futurs systèmes. Elles ne seront probablement pas prêtes pour la génération actuelle d'ordinateurs.

Cette thèse est consacrée à l'étude de la mémoire à bulles magnétiques, mais pour pouvoir la situer par rapport aux autres technologies concurrentes, il nous faut les présenter brièvement, c'est ce que nous faisons dans les sections suivantes.

1.3. LES TECHNOLOGIES QUI SUPPLÉENT AU DÉFAUT D'UNE CATÉGORIE DE MÉMOIRES

1.3.1. La mémoire accessible par rayons d'électrons (EBAM)

Cette nouvelle mémoire électronique est mise au point pour les applications qui demandent un accès rapide (de quelques dizaines de microsecondes) dans les domaines militaires et commerciaux. Elle est basée sur une combinaison d'un nouveau plan, non structuré, de stockage à semi-conducteurs MOS et un élément optique d'adressage par électrons appelé objectif matriciel ("matrix lens"). Elle est "non structurée" en ce sens qu'elle n'a pas besoin d'une lithographie de motifs au niveau du bit, comme dans le cas des mémoires MOS RAM et des bulles magnétiques.

L'information est écrite par un rayon d'électrons. Le MOS stocke l'information comme une charge positive. La détection est réalisée par un rayon d'électrons moins puissant qui interroge le point mémoire. Un haut courant à la sortie signifie "information 1", tandis qu'un courant bas signifie "0". Actuellement, aucune mémoire EBAM n'a été introduite sur le marché: les unités réalisées sont toujours dans les laboratoires.

Les caractéristiques importantes de cette mémoire sont: un temps d'accès de 30 μ s [F 10], un taux de transfert de 10 M bits/seconde (ce qui est compatible avec les taux des canaux des gros ordinateurs), une capacité de 32 M bits par module et la non-volatilité de l'information. Les développements futurs prévoient une capacité allant jusqu'à 100 M bits par module avec un prix système de 0,1 cents/bit [F 10].

D'autres caractéristiques comme la basse consommation d'énergie, l'opération de la mémoire dans un vaste domaine de températures, la solidité de la mémoire aux chocs et aux vibrations et l'insensibilité aux radiations, sont attirante pour les applications militaires.

Plusieurs modules de la mémoire pourraient partager les mêmes circuits électroniques périphériques et aussi opérer en parallèle pour augmenter le taux de transfert et avoir un temps d'accès rapide (de l'ordre de 10 à 20 μ sec).

En ce qui concerne le prix de la mémoire EBAM, elle nécessite un coût initial élevé pour construire les circuits de déflexion de rayons, les sources d'énergie et les circuits de contrôle de l'utilisation. Par contre, la structure simple de la zone de stockage par rapport à la structure des semi-conducteurs, rend le coût de fabrication relativement bas [F 10]. De ce fait, il est probable que cette mémoire sera un concurrent économique dans les grands systèmes qui ont besoin d'une très grande mémoire, de l'ordre de $3,2 \times 10^7$ bits/module [D 29].

KELLY [D 28] prévoit qu'aucune mémoire à semi-conducteurs, y-compris les CCD, les MBM, ou des tambours et disques, n'arrivera à combiner toutes les qualités désirables d'une mémoire: grande capacité de bits avec une faculté améliorée d'être utilisée en accès aléatoire, temps d'accès rapide, taux de transfert élevé, bas prix au bit, grande versatilité des formats de données, basse consommation d'énergie, petit volume, haute fiabilité et simplicité d'interconnexion. Il pense que seule la mémoire EBAM réunit toutes ces qualités. Cependant, malgré ses avantages fondamentaux, les partisans de la technologie EBAM pensent que ses chances sur le marché sont relativement faibles pour les années à venir [D 32] et qu'elle n'est pas encore assez mûre [F 18].

Deux Compagnies Américaines travaillent activement au développement de l'EBAM: la General Electric et la Microbit Corporation, ainsi que le Stanford Research Institute qui a développé un module expérimental de la mémoire EBAM [D 28].

1.3.2. La mémoire à couplage de charges (CCD)

1.3.2.1. Les appareils à transfert de charges (CTD)

Les appareils à transfert de charges ("Charge Transfer Devices" - CTD), sont parmi les technologies d'intégration à haute échelle qui ont avancé très rapidement ces dernières années. Il existe trois technologies différentes basées sur le transfert de charges: les appareils à couplage de charges ("Charge Coupled Devices" - CCD), les chaînes à seaux ("Bucket Brigade Devices" - BBD) et les appareils à injection de charges ("Charge Injection Devices" - CID).

Dans l'article [D 16], GAREN décrit et compare ces trois technologies, qui conviennent à de vastes applications dans les domaines de l'industrie électronique, comme: la logique et la mémoire digitale [D 17], le traitement des signaux analogiques et la détection des images optiques [D 18].

La mémoire à couplage de charges fonctionne comme un registre à décalage dans lequel l'information est représentée par des charges. Les charges sont stockées dans un tableau linéaire de "puits potentiels". Le potentiel de chaque puits est contrôlé par une tension appliquée sur une capacité isolée de semi-conducteur à oxyde de métal (MOS) au-dessus du puits. En appliquant une "onde" de tension sur le tableau linéaire de capacités, toute charge est poussée d'un puits à un autre. Pour la mémoire digitale, le puits potentiel est soit non-chargé pour représenter le "0", soit complètement chargé pour représenter le "1".

Pour réaliser une mémoire analogique, la charge varie linéairement en fonction de la tension d'entrée. Donc, les mémoires digitales ainsi que les lignes à retard analogiques, sont réalisables avec la technologie à couplage de charges.

Le principe des appareils à chaînes à seaux (BBD), diffère de celui des appareils à couplage de charges. Les CCD sont plus rapides et transfèrent presque tous les électrons d'une cellule à l'autre, tandis que les BBD peuvent perdre une petite fraction des électrons présents, de l'ordre de 0,1 %. Les BBD transfèrent les charges d'une capacité à une autre par une séquence d'aiguillages qui séparent les capacités. Les lignes à retard à BBD ont trouvé une vaste utilisation dans le traitement analogique (accoustique en particulier).

Le troisième mécanisme à transfert de charges, l'injection de charges, est appliqué aux appareils de détection d'images. Dans les appareils à injection de charges (CID), la charge est stockée dans un tableau adressable X - Y de puits potentiels. La détection est effectuée par l'injection de charges.

1.3.2.2. Historique et état actuel des mémoires à couplage de charges

Les mémoires digitales à couplage de charge sont disponibles depuis plusieurs années. Les premières réalisations (FAIRCHILD 9 K-bit CCD 450, 16 K CCD 460, INTEL 16 K 2416 [D 12]) ont eu une utilisation relativement limitée. Ayant une organisation sérielle, elles sont des alternatives évidentes pour les disques et les tambours. Ces premiers appareils à CCD étaient économiques pour les besoins de moins de 8 M bits ; pour cette petite capacité, le coût élevé des parties mécaniques rend le disque plus cher. Au-dessus de 8 M bits, même le disque à tête fixe est plus économique. La performance des CCD quant à elle, était plus attirante: un temps d'accès de 250 à 1000 μ sec pour le CCD, comparé aux 8 à 10 msec pour le disque à tête fixe ou le tambour, favorise la mémoire à CCD pour des applications comme la mémoire de va-et-vient ("swapping") dans les systèmes en temps partagé. De plus, la fiabilité et le taux d'erreur des CCD étaient meilleurs.

L'année 1976 a vu des progrès significatifs dans la technologie à CCD. Fairchild et Texas Instruments ont présenté des mémoires à couplage de charges de 64 K bits [D 15], [D 17]. Ces 'puces' étaient beaucoup plus économiques que les précédentes. La puce Fairchild CCD 464 et la puce Texas Instruments TMS 3064 64 K bits, avaient la même structure du point de vue utilisateur. Elles étaient organisées en 16 registres à décalage adressables, chacun de 4 K bits. Les conditions d'opération étaient: une fréquence de décalage de 1 à 5 MHz, ce qui permet un temps d'accès moyen d'environ 400 μ s (registre de 4096 décalé à 5 MHz) et une marge de température entre 0 et 55 ° C.

Les mémoires à CCD de 64 K bits n'étaient pas uniquement proposées pour remplacer les mémoires rotatives, mais aussi pour être utilisées comme mémoires centrales. Actuellement les mémoires centrales des grands systèmes et des mini-ordinateurs représentent à peu près un tiers du marché total des semi-conducteurs [D 17].

Les partisans des CCD croient qu'une hiérarchie des mémoires pourrait diminuer le coût de la mémoire dans un gros ordinateur. Cette hiérarchie pourrait contenir une petite mémoire rapide MOS ou bipolaire comme "cache", une mémoire MOS plus grande ayant une vitesse moyenne comme tampon, et une très grande mémoire à CCD comme mémoire centrale.

Pour attaquer ce marché, les concepteurs de CCD suivent une règle grossière: la règle du "tiers", qui dit que si le prix du bit des CCD est à peu près le tiers de celui des RAM, alors les CCD (ou tout nouveau produit de remplacement) gagneront. Les puces de 64 K CCD ont presque la même taille que les puces 16 K RAM d'INTEL et de Texas Instruments. Les concepteurs de CCD souhaitent garder un prix de puce compétitif avec celui des 16 K RAM.

Les prévisions de prix pour les 64 K CCD données par GAREN [D 17] sont les suivantes:

Année	64 K CCD prix/puce (dollars)	prix/bit (millicents)
1977	65	100
1978	20	30
1979	10	15
1980	7	10

Mais IVERSEN mentionne dans un récent article [D 26], que depuis l'annonce de la production (dans un an) des mémoires dynamiques RAM de 64 K bits, les 64 K bits CCD ont un futur incertain. Conserver la règle du "tiers" est devenu difficile et à peine arrive-t-on à la moitié du prix du bit de RAM.

Le prix du bit de CCD Fairchild était de 50 millicents environ en 1978 et on s'attend à ce qu'il baisse à 10 millicents en 1980. Quant au prix du bit des RAM, il serait de 50 millicents environ en 1979 [D 27], ce qui rendra encore plus difficile l'avenir des CCD.

Quelques erreurs dûes aux particules alpha ont été annoncées dans les puces CCD de 64 K bits [D 26], mais elles ont été résolues par une amélioration de la technologie des boîtiers.

Plusieurs sociétés ont annulé ou reporté leurs plans de fabrication des mémoires CCD de 64 K bits. Seules Texas Instruments et Fairchild ont conservé leurs plans et prétendent qu'il y aura une forte demande en mémoires de 64 K bits. De plus, elles développent actuellement la version 256 K bits.

1.3.3. Mémoires à bulles magnétiques (MBM) et à propagation de domaines

Les plus récentes mémoires intégrées sont les mémoires à bulles magnétiques, dont le principe repose sur la propagation de formations magnétiques en structure verticale. Leur organisation est basée sur les registres à décalage. Leur densité d'intégration est très supérieure à celle de toutes les autres mémoires intégrées et leur prix au bit est le plus bas. Par contre, leur vitesse de travail reste médiocre. Autre avantage sur les mémoires intégrées classiques RAM: les MBM sont non volatiles.

On distingue les mémoires à propagation de domaines (les domaines magnétiques sont en structure parallèle à la couche et se déplacent en surface) et les mémoires à propagation de bulles.

1.3.3.1. La mémoire à bulles

Soit une couche magnétique mince déposée sur un substrat non magnétique, généralement un grenat de gadolinium-gallium (GGG). Cette couche peut être aimantée dans le sens de l'aimantation facile, perpendiculaire à la surface ; on peut aussi créer ponctuellement dans cette couche des zones cylindriques dont le sens de l'aimantation est inverse. Un tel cylindre est appelé "bulle magnétique" ; sa présence ou son absence en un point donné témoignent d'une information binaire. Le diamètre de la bulle est compris entre 2 et 20 microns. La taille de la bulle est déterminée par les caractéristiques et l'épaisseur de la couche magnétique. Les bulles de 5 μm permettent une densité de 2×10^5 bits/cm² et avec des bulles de 2 μm , la densité atteindrait un million de bits par centimètre carré [D 31].

Les bulles sont déplacées par création de champs magnétiques, soit par des conducteurs activables par courant, soit par une structure de motifs de permallay dont la polarité est changée par un champ magnétique tournant dans le plan de la couche magnétique. Plusieurs techniques existent pour générer, annihiler, dupliquer et détecter les bulles. La fréquence du champ tournant reste actuellement comprise entre 100 et 300 KHz. Le temps d'accès dépend de l'organisation de la mémoire et de la fréquence de champ ; actuellement il se situe entre 1 et 10 ms.

Les principes, les organisations et les domaines d'application de la mémoire à bulles, seront présentés en détail dans les chapitres suivants.

1.3.3.2. La mémoire à propagation de domaines (DOT)

La mémoire à propagation de domaines ("Domain Tip" - DOT) fait partie d'une famille de mémoires fondée sur un principe proche de celui des mémoires à bulles. La zone d'aimantation inverse est un domaine allongé de plus grandes dimensions [D 31].

Cette mémoire est réalisée par dépôt d'une couche mince ferromagnétique sur un substrat non magnétique, généralement du verre. L'information est stockée sous forme de domaines dans lesquels l'aimantation est opposée au sens d'aimantation aisée de la couche (qui est parallèle à la couche). Ces domaines mesurent de $5 \times 20 \mu\text{m}$ à $20 \times 100 \mu\text{m}$ [D 31]. Les bulles sont plus petites, ce qui par conséquent autorise des densités plus importantes. Le déplacement des domaines est commandé par leur expansion puis contraction sous l'effet d'impulsions de courant envoyées dans des conducteurs plans situés sur le substrat.

La société française CROUZET produit des mémoires à propagation de domaines. Des modules de 260 K bits ont été livrés pour des applications militaires en 1977.

Quelques unes des caractéristiques obtenues sont les suivantes: temps d'accès de l'ordre de 500 μ s à 10 ms, débit de 100 K bits/s à plusieurs mégabits/s, densité de 100 à 3000 bits/cm² [D 31].

La mémoire à propagation de domaines est plus rapide que celle à bulles magnétiques [D 32]. Le niveau d'intégration n'est pas arrivé à celui des bulles, mais la fabrication de substrats est moins problématique (polycristallins au lieu de monocristallins pour les bulles) et donc moins chère.

1.4. CONCLUSION

Ce chapitre a présenté un aperçu des nouvelles technologies de mémoires qui sont susceptibles de combler le fossé des mémoires (temps d'accès, prix). L'utilisation de ces mémoires dans les futures hiérarchies, ou en tant que mémoires de masse, est influencée par plusieurs facteurs, en particulier: le prix, la performance, l'applicabilité et la compatibilité.

Une importante question se pose: ces nouvelles mémoires seront-elles utiles dans les systèmes informatiques ? Nous essayons de répondre à cette question dans les chapitres qui suivent, plus particulièrement en ce qui concerne les mémoires à bulles magnétiques. Nous examinons plus spécialement en détail tous les aspects de la mémoire à bulles qui est encore loin d'être connue comme il le faudrait par les informaticiens.

CHAPITRE 2

LES BULLES MAGNÉTIQUES ET LEURS FONCTIONS LOGIQUES

2.1. INTRODUCTION

Le présent chapitre est consacré aux bulles magnétiques. Mais, que sont ces bulles ? comment et où sont-elles générées ? comment vont-elles stocker l'information ? comment l'information sera-t-elle accédée ? C'est à ces questions et à d'autres aussi, que nous allons tenter de répondre.

Nous allons présenter l'origine des bulles magnétiques et les principales caractéristiques qui les ont introduites comme un nouveau candidat dans le domaine des mémoires électroniques. Nous étudierons ensuite les fonctions logiques réalisables sur les appareils à bulles, ces fonctions étant d'une grande importance pour le fonctionnement de ces appareils.

Cependant nous n'entrerons pas dans des détails théoriques sur le comportement des bulles ni sur les matériaux magnétiques porteurs de bulles: ces détails intéressent plus les physiciens que les informaticiens.

2.2. LES MATÉRIAUX À BULLES

Pour comprendre les implications des bulles magnétiques dans le monde des mémoires électroniques, nous allons d'abord tirer de l'article de BOBECK [A 4] quelques idées fondamentales sur les matériaux magnétiques.

Les électrons dans un cristal d'un matériau magnétique et en particulier ceux dont le spin et le moment orbital contribuent au magnétisme, sont organisés dans des tableaux réguliers. A cause d'un champ intérieur, appelé champ moléculaire, les électrons voisins sont contraints à avoir à peu près des axes parallèles de spin. Ce phénomène s'appelle le couplage d'échanges ("exchange coupling") et il est à la base du magnétisme. L'aimantation, ou le moment magnétique, est la manifestation directe de ces électrons alignés. Les matériaux magnétiques qui nous intéressent sont ceux qui ont un axe unique d'aimantation. Dans ces matériaux, le spin des électrons s'aligne avec un axe cristallin spécifique, ce qui minimise l'énergie cristalline. Il existe des régions où le spin pointe dans une direction et d'autres régions où le spin pointe dans la direction opposée. Les zones de transition entre ces régions s'appellent les parois de domaines. L'aimantation renverse sa direction, graduellement, dans la paroi des domaines (figure 2.1.C). La stabilité de ces parois et la facilité avec laquelle elles peuvent être déplacées, rendent possible une grande variété d'appareils à bulles.

Un grand nombre de matériaux magnétiques ont un axe unique d'aimantation et sont utilisés dans les appareils à bulles, comme [A 7] :

- . les ferrites,
- . les orthoferrites qui sont des terres rares ("rare earth") oxydes de fer de la formule chimique $RFeO_3$ où R est soit un élément de terre rare, soit le yttrium ; les orthoferrites sont une classe spéciale des ferrites [A 8];
- . les grenats dont la formule chimique la plus simple est $R_3Fe_5O_{12}$.

Si on prépare une couche très mince de l'un de ces matériaux, de telle sorte que l'axe facile d'aimantation soit perpendiculaire à la surface de la couche, on obtient un dispositif où les zones de magnétisation ont la forme de bandes (figure 2.1.E). Cette observation est rendue possible par une interaction entre une lumière polarisée qui passe à travers le matériau et la direction dans laquelle les électrons sont alignés. En l'absence de tout champ magnétique extérieur, on a une telle disposition en bandes. Il existe souvent des bandes isolées, ou "îles magnétiques", chacune bornée par une seule paroi fermée de domaine. Si un champ magnétique extérieur de polarisation est appliqué dans la direction opposée à l'état d'aimantation dans une île, l'île se resserrera avec l'augmentation du champ. A une valeur critique du champ, l'île deviendra un domaine cylindrique avec une section presque circulaire. Ces domaines cylindriques, souvent appelés bulles, représentent des groupes de spins magnétiques stables, sous les influences combinées du champ appliqué, de l'énergie de paroi de domaine et de l'énergie magnéto-statique. On note ici que le champ de polarisation doit toujours être appliqué pour maintenir une forme stable aux bulles. Pratiquement, ce champ est réalisé avec un aimant permanent de forme appropriée. Chaque bulle agit comme un tout petit aimant flottant dans une mer de champ magnétique de polarité opposée.

Le matériau magnétique à bulles doit être monocristallin, avec une anisotropie magnétique uni-axiale (c'est-à-dire que la magnétisation dans une seule direction est beaucoup plus facile que dans les autres directions (figure 2.1.A)) et avec l'axe privilégié d'aimantation perpendiculaire à la surface du matériau. Enfin, le matériau doit être facile à obtenir et d'une bonne stabilité mécanique, chimique et thermique [A 24].

Les bulles magnétiques peuvent être utilisées pour stocker l'information et pour remplir certaines fonctions logiques élémentaires nécessaires pour l'accès

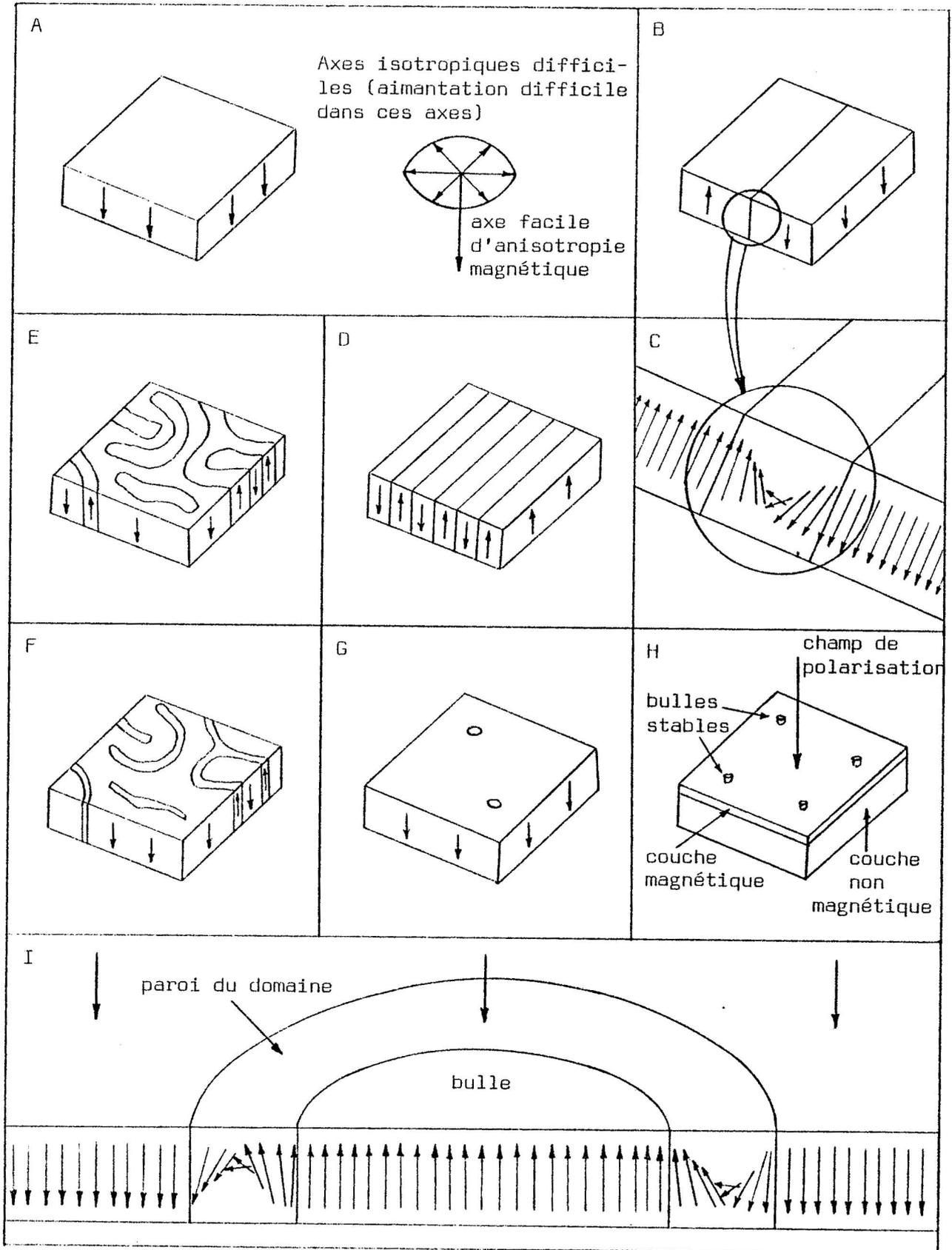


Figure 2.1 - Evolution des domaines magnétiques par rapport à l'augmentation du champ magnétique appliqué

2.3. LES BULLES MAGNÉTIQUES ET LEURS PARAMÈTRES

La figure 2.1 montre en détails l'évolution des domaines magnétiques en réponse à l'augmentation du champ magnétique de polarisation.

Dans une couche mince de matériau magnétique, mono-cristalline et ayant une anisotropie uniaxiale, l'axe facile de magnétisation est perpendiculaire à la surface de la couche (A). Cette configuration avec un seul domaine (aimantation vers le bas) représente un état de haute énergie magnétostatique. Par la division de l'aimantation complète en des secteurs alternés, magnétisés vers le haut et vers le bas (B, D, E), l'énergie magnétostatique peut être considérablement réduite. Les parois de domaines définissent l'interface entre ces secteurs (C). La paroi de domaine est une zone de transition à travers laquelle l'aimantation renverse sa direction. Bien que la configuration (D) soit stable, celle de (E) est beaucoup plus probable (à noter les deux îles: domaines avec une seule paroi fermée pour chacun). L'application d'un champ de polarisation dans la direction du bas (opposée à l'aimantation dans les îles), rend les bandes plus étroites (F). A une valeur critique du champ, les bandes isolées deviendront cylindriques (bulles) (G). La couche magnétique est supportée par une autre couche plus épaisse d'un matériau non magnétique (H). Les parois de domaine sont schématisées par (I). La taille de la bulle est contrôlée par l'intensité du champ appliqué et l'épaisseur du matériau magnétique.

Pour qu'un matériau soit utilisable dans les mémoires à bulles, il doit supporter les bulles ayant le diamètre convenable. Mais quel est le meilleur diamètre ? L'avantage principal de l'utilisation des bulles pour stocker et manipuler l'information, par rapport aux autres moyens conventionnels (mémoires à tores et semi-conducteurs), est que le volume nécessaire au stockage de l'information peut être très réduit. Cet avantage serait maximum si les dimensions de la bulle étaient très petites. Mais d'un autre côté, les valeurs doivent être suffisantes pour maintenir la stabilité des bulles et pour pouvoir les manipuler et les détecter.

Des bulles de 4 à 6 μm de diamètre ont été réalisées en 1975 [E 5]. La technologie future permettra d'obtenir des bulles sub-microniques, ayant un diamètre de 0,5 μm .

A haute densité d'enregistrement, les bulles devraient garder une distance entre elles d'au moins trois fois leur diamètre pour éviter les interactions. Pour une configuration idéale, l'épaisseur de la couche magnétique doit être à peu près la moitié du diamètre de la bulle [A 25].

Les bulles sont stables sur une étendue de un à trois en diamètre. Elles ne peuvent pas exister au-dessous d'un diamètre critique minimum. Mais, au-dessus du diamètre maximum, les bulles deviendront elliptiques et non stables, ensuite elles deviendront des domaines en forme de bandes, qui sont beaucoup plus stables [A 4].

A propos du champ magnétique appliqué, BOBECK [A 3] a montré par l'expérimentation, que au-dessus d'un champ critique (champ d'écroulement), les bulles s'écroulent spontanément et disparaissent. Au-dessous d'un autre champ critique (champ de transition en bandes), elles prennent la forme de bandes.

2.4. MANIPULATION DES BULLES MAGNÉTIQUES

On peut utiliser les bulles pour coder de l'information: la présence d'une bulle représente le "1" et son absence représente le "0" dans un système binaire. Cependant, il ne suffit pas de stocker les informations, il faut aussi les manipuler, c'est-à-dire les lire, les annuler, les modifier, .. On note qu'il n'y a pas de fil attaché à chaque position (bit) pour détecter l'existence de la bulle, la générer ou l'annuler, comme c'est le cas dans les mémoires à accès aléatoire (tores magnétiques et semi-conducteurs). En effet, ceci représente un avantage économique de la mémoire à bulles sur ces mémoires conventionnelles. L'accès consiste simplement à déplacer les bulles (dans la couche magnétique) jusqu'aux stations d'accès (entrée-sortie) Il faut les déplacer par pas discrets et à des instants spécifiques.

Les techniques d'accès aux informations dans la mémoire à bulles, exigent la création de champs magnétiques. Deux méthodes sont généralement disponibles: la première utilise des conducteurs dans lesquels le passage d'un courant électrique génère le champ demandé ; cette méthode s'appelle *accès par conducteur*, ou *accès par courant*. Dans la seconde méthode, appelée *accès par champ*, la couche magnétique est entièrement plongée dans un champ magnétique tournant (champ moteur). Ce champ agit sur les bulles à l'aide de motifs soigneusement placés sur la surface de la couche. Ces motifs sont faits d'un matériau magnétique qui concentre le champ, comme le permalloy qui est un alliage de fer-nickel facile à magnétiser et à démagnétiser.

Les bulles magnétiques utilisent une technologie originale: tandis que l'énergie nécessaire pour la propagation des bulles est donnée par un champ magnétique tournant ou par un courant circulant dans un conducteur, l'interaction des bulles avec elles-mêmes, avec les motifs de permalloy et avec les conducteurs de courant, permet la réalisation de fonctions logiques variées.

Les moyens utilisés pour engendrer, déplacer ou détecter les bulles, ainsi que les autres fonctions logiques indispensables pour le bon fonctionnement des appareils à bulles, seront étudiés en détail dans les sections qui suivent.

Le fait de déplacer les bulles pour y accéder, allonge le temps d'accès. Mais on peut améliorer le temps d'accès, soit en augmentant la vitesse de décalage des bulles, soit en jouant sur l'organisation de la mémoire. On notera que les propriétés bien particulières des bulles, qui les distinguent nettement par exemple des mémoires à disques et des CCD, rendent possible une grande variété d'organisations des mémoires [A 14] :

- . la forme et la longueur des chemins de propagation ne sont pas imposées,
- . ces chemins peuvent communiquer entre eux,
- . les bulles peuvent se mouvoir dans les deux sens et s'arrêter sans disparaître.

Nous reviendrons au chapitre 4 sur les différentes organisations de la mémoire.

On peut ajouter ici que la recherche dans le domaine des matériaux à bulles se poursuit avec deux objectifs principaux: le matériau devrait permettre la génération de *bulles très petites* (pour atteindre une haute densité d'enregistrement) qui pourraient être *déplacées à très grande vitesse* (pour donner un temps d'accès très court).

2.5. PRINCIPALES FONCTIONS LOGIQUES

2.5.1. Propagation des bulles magnétiques

La bulle est un petit volume cylindrique ayant une aimantation inverse de celle de la couche magnétique, et bornée par une paroi. La bulle se déplacera si on exerce une force non équilibrée sur sa paroi. Le mouvement est libre dans le plan de la couche. La bulle a plusieurs des propriétés d'une particule chargée, mais elle n'a pas de masse. Il existe plusieurs techniques pour obtenir un mouvement contrôlé des bulles. Par la variation de l'intensité du champ de polarisation, un gradient est créé à travers la bulle et celle-ci se déplace vers la région du champ magnétique le plus petit. Les trois techniques suivantes sont utilisées pour propager les bulles:

2.5.1.1. Propagation par courant [A 8, B 30]

Le principe de l'accès par courant est basé sur le passage d'un courant dans un conducteur pour diminuer le champ de polarisation dans la région du conducteur. Ceci produira une force d'attraction sur la bulle qui se trouve dans la région du gradient de champ. La bulle se déplacera vers la région où le champ est le plus petit. La figure 2.2. illustre ce principe et montre le gradient qui entraîne la bulle du point a vers le point b.

Si on pose plusieurs boucles conductrices sur la couche magnétique (par photo-lithographie) et si on les active en série, on obtient un déplacement de la bulle d'une boucle à la suivante dans un registre à décalage (figure 2.3). La taille de chaque boucle est à peu près égale au diamètre de la bulle.

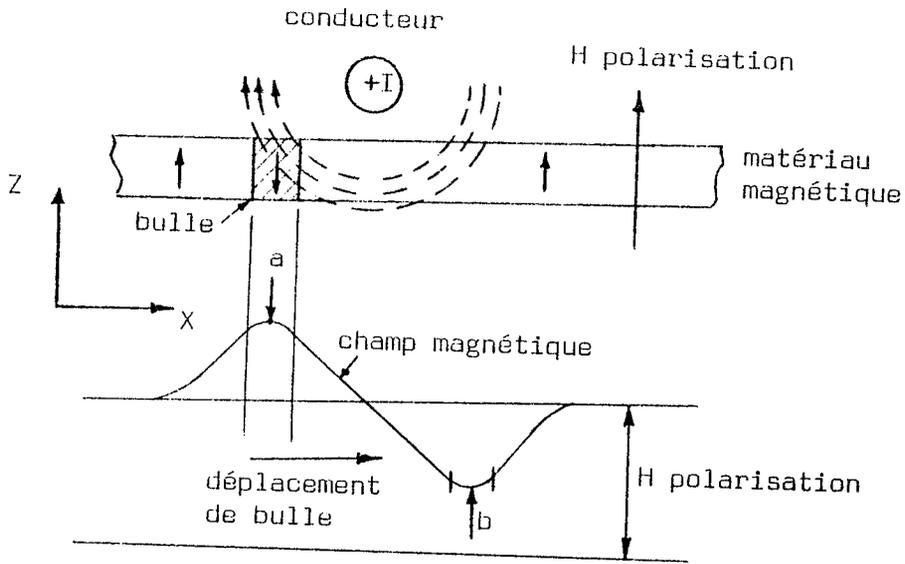


Figure 2.2 - Principe de propagation par courant électrique

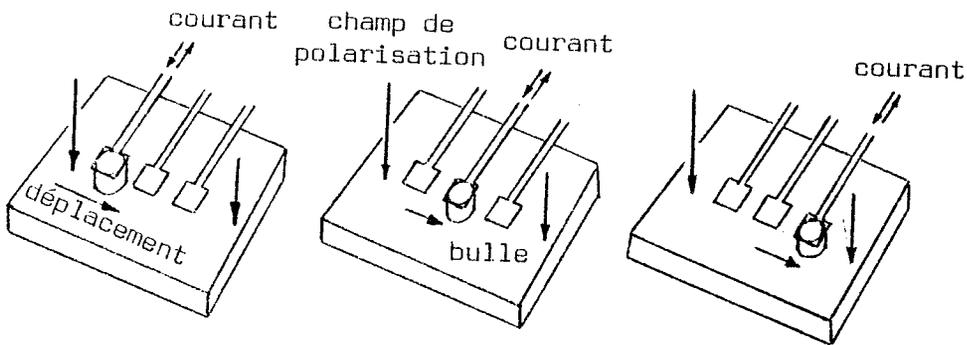


Figure 2.3 - Propagation par courant d'une bulle dans un registre à décalage

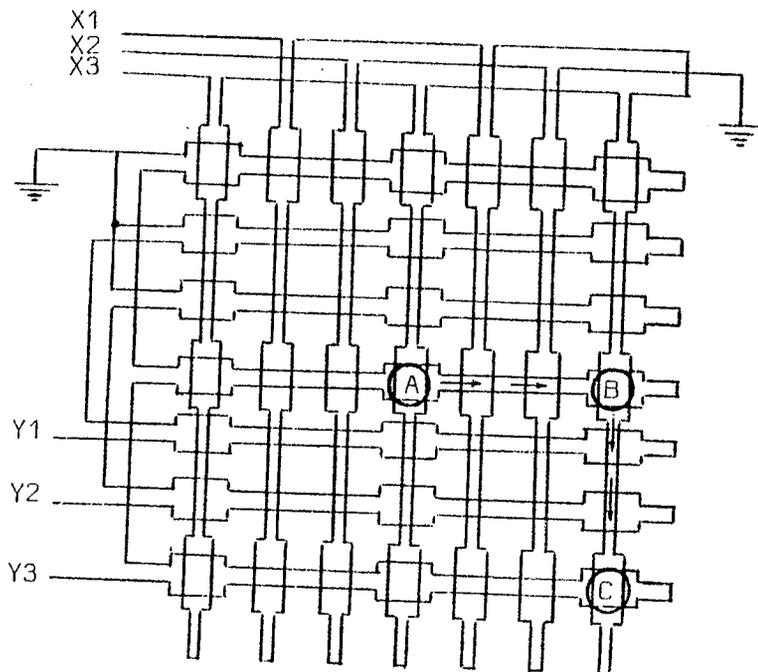


Figure 2.4 - Propagation par courant en deux dimensions

L'activation des boucles $X1$, $X2$, $X3$ déplace la bulle de A à B et l'activation de $Y1$, $Y2$, $Y3$ la déplacera de B à C .

On pourra aussi déplacer les bulles suivant deux dimensions par une matrice de boucles de conducteurs. Le schéma de la figure 2.4 montre le déplacement des bulles dans une surface bi-dimensionnelle, suivant des angles droits. La bulle pourra se trouver sous une boucle et elle pourra se déplacer dans une des deux directions d'un seul pas à la fois. Dans cet exemple, trois circuits de courant sont utilisés dans chaque direction (X1, X2, X3, et Y1, Y2, Y3) pour assurer la propagation des bulles dans la direction voulue.

2.5.1.2. Propagation d'ange de mer "angel-fish propagation"

Cette méthode est basée sur l'expansion et la contraction de la bulle. La taille de la bulle varie par la modulation de la grandeur du champ de polarisation. Le mouvement résulte de l'interaction entre la bulle, dilatée ou contractée, et une succession de guides énergiques assymétriques (figure 2.5). Ces guides sont constitués de matériaux magnétiques doux, comme le permalloy.

La vitesse atteinte avec cette méthode est de l'ordre de 15 KHz avec les orthoferrites [A 7], mais ses inconvénients sont:

- . les marges opérationnelles sont étroites,
- . la vitesse est lente,
- . il est difficile d'accomplir les fonctions auxiliaires nécessaires, comme la détection avec le même format.

2.5.1.3. Propagation par champ magnétique tournant

Le parcours des bulles dans le matériau magnétique est défini par des guides magnétiques (de permalloy) en forme de T, I, V, X, Y et d'autres, alternés et déposés sur la couche d'enregistrement. Un champ magnétique tournant, parallèle à la couche, fait varier périodiquement l'aimantation de ces guides (et par conséquent crée des gradients locaux à travers les bulles), ce qui assure la propagation des bulles qui avancent d'un pas à chaque période,

Figure 2.5 - Propagation
d' "ange de mer"

Section d'un registre à
décalage uni-directionnel
à 32 pas, ayant la forme
d'un anneau

a, c: champs de polarisation
= 38 Oe

b, d: champs de polarisation
= 44 Oe

d'après [A 7, p. 159]

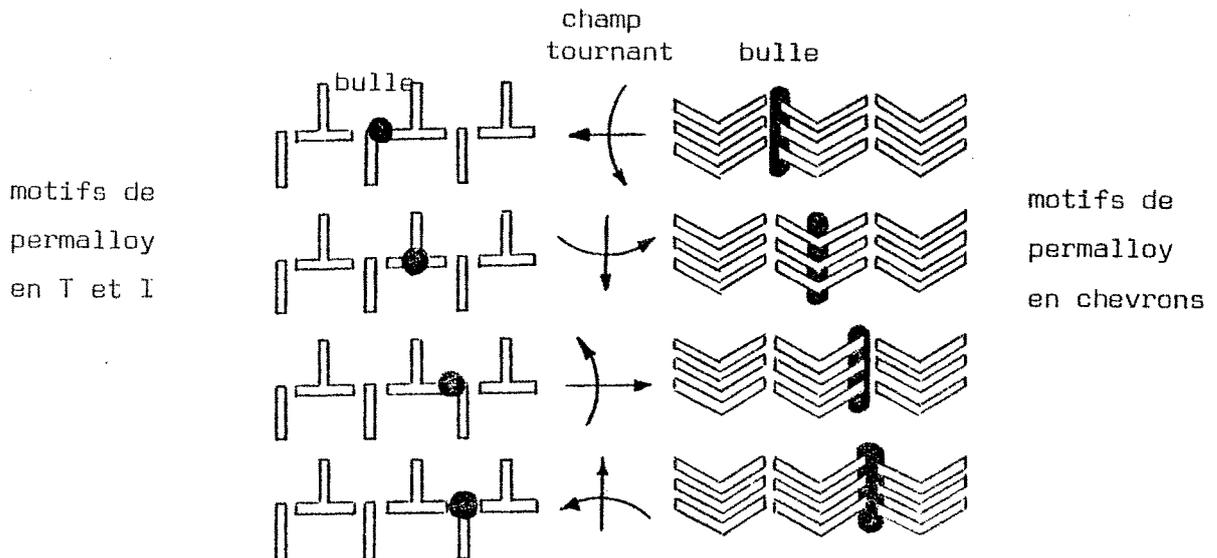
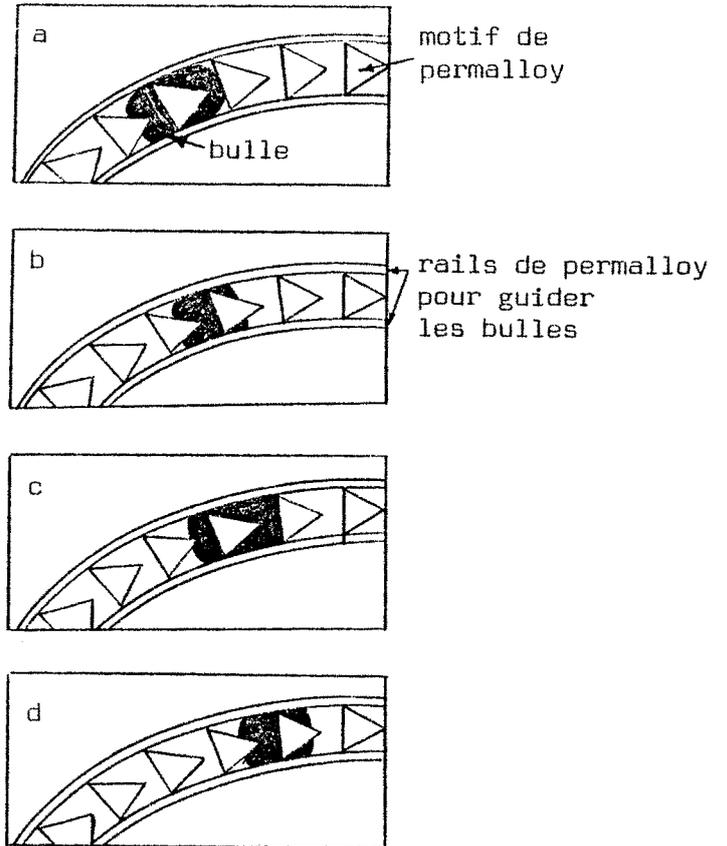


Figure 2.6 - Propagation des bulles par champ magnétique tournant
dans le plan de la couche magnétique.

La figure 2.6 montre deux chemins différents de propagation des bulles par champ magnétique tournant. Un petit espacement (trou) est laissé entre les guides de permalloy pour définir les pôles magnétiques nécessaires au mouvement des bulles. La largeur du guide est égale à la moitié du diamètre de la bulle et l'espacement est environ du tiers du diamètre [F 3].

Dans cette méthode, les guides de permalloy reçoivent leur énergie du champ tournant. Ceci est un avantage important sur les circuits électroniques conventionnels où l'énergie est donnée par des conducteurs, et dans lesquels l'accès n'est possible que par ces conducteurs. Deux bobines sont nécessaires pour obtenir le champ tournant [A 14]. Quand on arrête le champ tournant, les bulles restent en place.

Parmi les méthodes de propagation des bulles, la méthode utilisant le champ tournant est celle qui convient le mieux aux applications digitales [C 2], et ce pour les raisons suivantes:

- . élimination du besoin d'utiliser des conducteurs trop fins pour le courant,
- . facilité relative avec laquelle les champs tournants pourront être générés avec une énergie minimale (ce n'est pas le cas pour la propagation "d'angle de mer" par exemple),
- . capacité logique associée à ce type de propagation.

2.5.2. Génération et duplication des bulles (écriture)

Pour écrire l'information dans la mémoire, on utilise un générateur de bulles qui envoie une bulle dans le registre à décalage à chaque tour du champ magnétique tournant. Pour écrire "1" on laisse passer la bulle et pour écrire "0" on l'arrête à l'aide d'un courant circulant dans un conducteur. Il existe deux méthodes principales pour générer les bulles:

- 1) la génération par duplication,
- 2) la génération par nucléation.

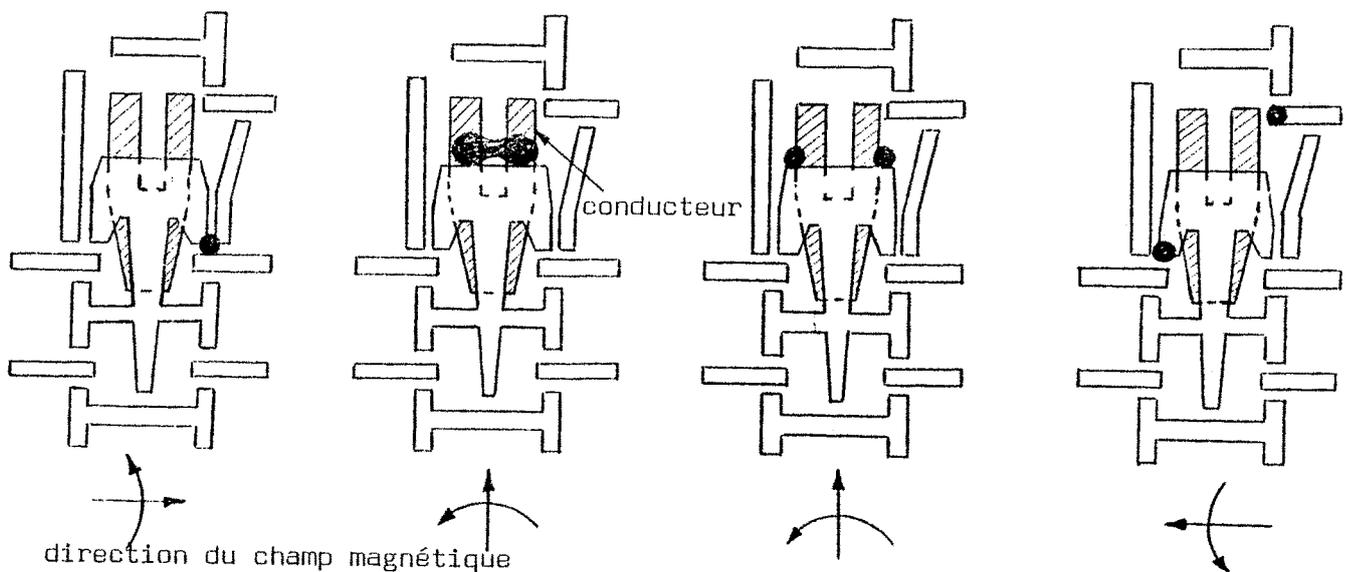
La première méthode produit les bulles à partir d'une bulle-mère (source) piégée. Cette bulle source tourne autour de la périphérie d'un disque en matériau magnétique doux. Quand cette bulle est exposée à un champ localisé de courant circulant dans un conducteur bien positionné, elle est dédoublée. Une section est dirigée loin du générateur et l'autre section continue sa rotation [A 1]. Un problème délicat se pose lors de la génération à partir d'une bulle-mère ; si celle-ci disparaît par suite d'une variation imprévue du champ magnétique: il est très difficile de la recréer, car les puces sont inaccessibles à l'intérieur du module [A 14].

A cette occasion, on peut parler de l'opération de duplication d'une chaîne existante de bulles. Cette opération est quelques fois nécessaires pour les opérations de lecture et de transfert. A titre d'exemple, KUIJPERS [A 23] décrit un duplicateur pour copier une chaîne de données. Ce duplicateur utilise des motifs en chevrons qui, en combinaison avec le champ tournant, forment des pôles négatifs forts. Ces pôles divisent la bulle déjà allongée en forme de bande. Puis les deux bulles de sortie se dirigent vers deux chemins différents.

Un autre duplicateur est décrit en [A 20] pour la duplication et le transfert de bulles d'un chemin de propagation à un autre. Il est constitué d'une combinaison de motifs de permalloy et de conducteurs. Il a la forme d'une fourchette (figure 2.7). La duplication se produit par l'allongement de la bulle, puis par sa division en deux.

La méthode de génération de bulles par nucléation est préférable du point de vue de la sécurité. Son fonctionnement peut s'expliquer par les deux exemples suivants:

- a) les Laboratoires BELL utilisent actuellement un générateur constitué simplement d'un conducteur mis à l'extrémité d'un chemin de propagation [A 20] (figure 2.8). Une impulsion de courant appliquée dans le conducteur, réduit le champ local de polarisation. Ceci crée une nouvelle bulle qui se déplace vers le chemin de propagation sous l'effet du champ tournant.
- b) le Laboratoire LETI du CEN de Grenoble, utilise le générateur à nucléation montré dans la figure 2.9 [A 14]. Le film magnétique à bulles étant mono-domaine dans la partie située au voisinage du conducteur, on fait passer dans celui-ci un courant de l'ordre de 150 mA qui crée un champ de sens contraire au champ de polarisation. Ce champ local intense, engendre un domaine dont les dimensions sont imposées par le circuit de permalloy à chevrons. La bulle est ensuite dirigée vers les registres à T-barres où elle reprendra automatiquement une forme circulaire.



1. La bulle entre
2. La bulle s'allonge
3. Le courant appliqué coupe la bulle en deux
4. Les deux bulles se déplacent sur deux chemins différents

Figure 2.7 - Duplicateur de bulle (BELL)

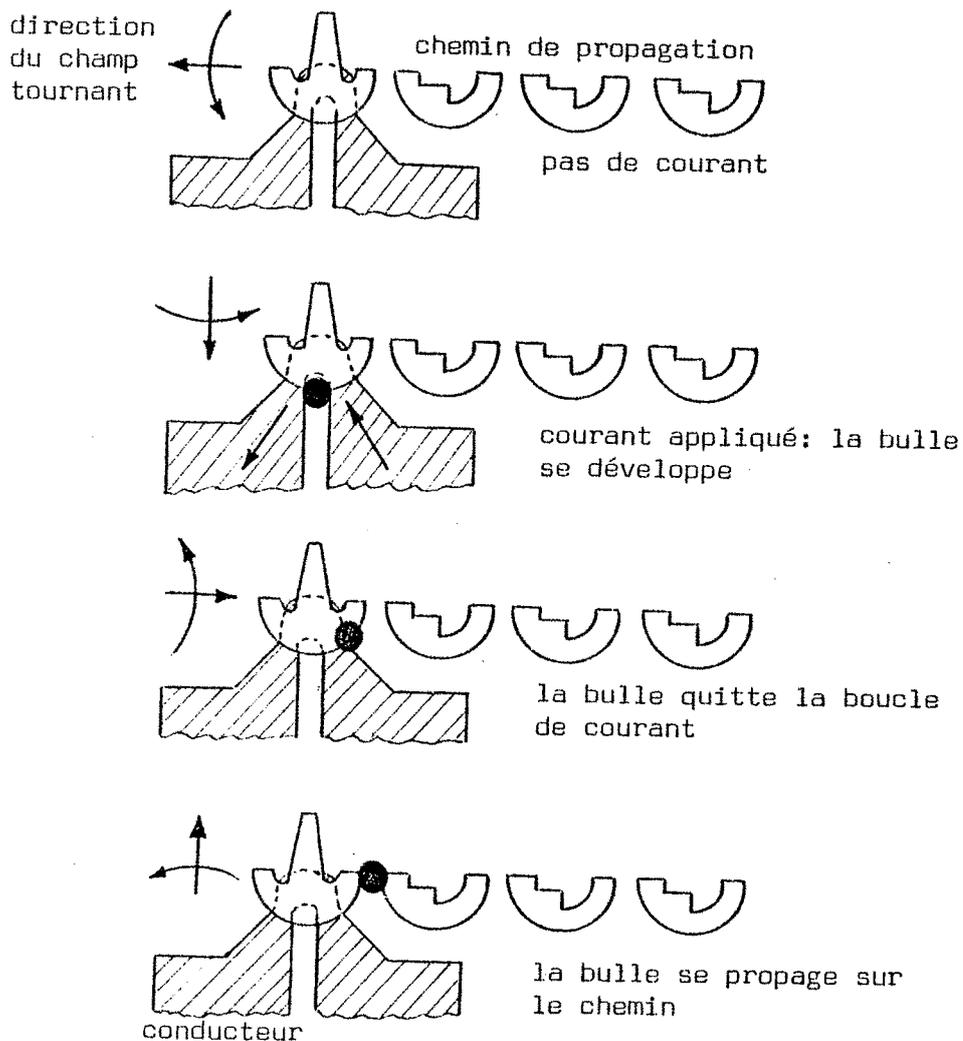


Figure 2.8 - Générateur de bulles par nucléation (BELL)

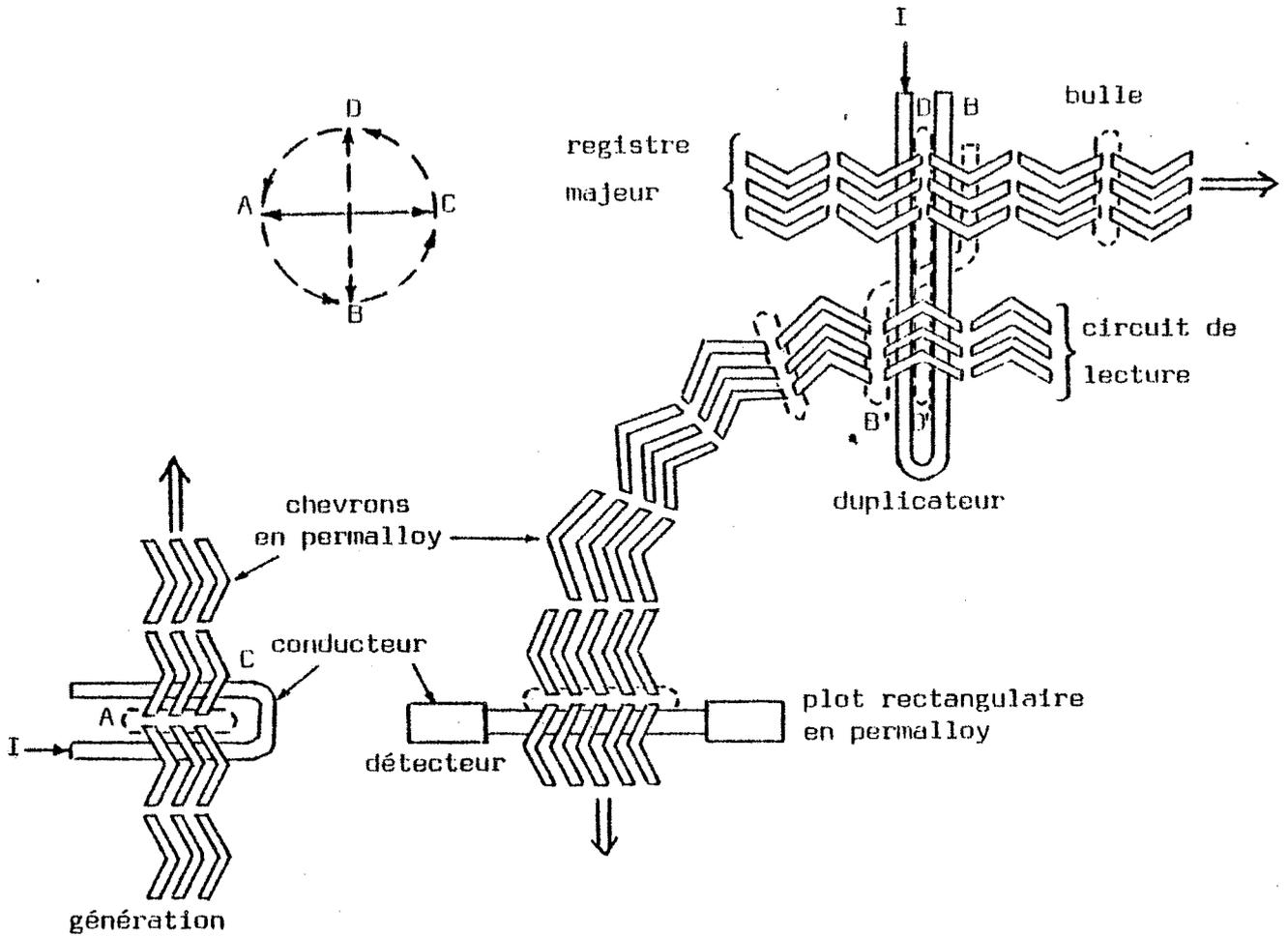


Figure 2.9 - Génération, duplication et détection (ref. LETI/CENG)

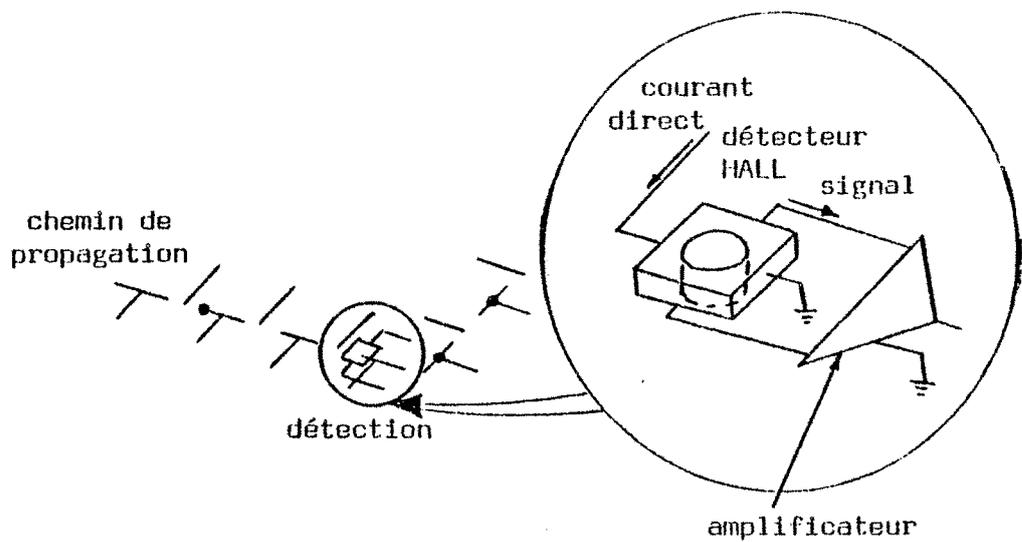


Figure 2.10 - Détection des bulles par l'effet HALL

2.5.3. Détection des bulles (lecture)

Pour lire l'information dans une mémoire à bulles, il faut détecter la présence ou l'absence des bulles. La lecture peut être soit destructive, soit non-destructive, suivant que le détecteur annihile les bulles au cours de la lecture, ou qu'il les échantillonne sans les détruire.

Les méthodes non-destructives sont basées sur plusieurs principes physiques comme l'induction électromagnétique, l'effet Hall, la détection optique directe et la magnéto-résistance [A 8].

2.5.3.1. Induction électromagnétique

Dans la méthode d'induction électromagnétique, la bulle est utilisée comme un tout petit "dipole" magnétique en marche, qui induit un courant électrique faible dans un circuit de détection.

2.5.3.2. Effet Hall

Par l'effet Hall, une tension apparaît à travers une toute petite plaque de semi-conducteur portant un courant direct quand le champ magnétique de la bulle agit dans la direction perpendiculaire à la plaque (c'est-à-dire perpendiculaire au courant) (figure 2.10). Les circuits détectent donc la présence d'une bulle par l'influence du champ magnétique sur un courant électrique [A 4].

2.5.3.3. Détection optique directe

La détection optique directe est basée sur la technique qui rend les domaines visibles sous un microscope à polarisation. Le détecteur réagit à tout changement dans l'intensité de lumière causé par le passage de la bulle. Les détecteurs optiques sont des outils très utiles pour étudier le mouvement des bulles.

2.5.3.4. Magnétorésistance

Cette méthode apparaît comme la plus compatible avec les appareils à l'état solide, ultra-miniaturisés, qui sont devenus possibles avec la technologie des circuits intégrés? Dans cette méthode, des matériaux magnétorésistants (permalloy par exemple), dont la résistance électrique varie avec l'état de magnétisation, sont utilisés. Les exemples suivants illustrent cette méthode:

- a. La figure 2.11 montre un détecteur constitué d'une jonction de permalloy dont la résistance à la circulation d'un courant direct varie sinusoidalement en réponse au champ magnétique tournant qui déplace les bulles. Le passage d'une bulle sous la jonction réduit la résistance et réduit donc la tension entre les deux pôles de la jonction. Ceci donne un signal de sortie qui pourrait être détecté [A 8]. La bulle continue sa propagation après avoir signalé son existence.
- b. GEUSIC [A 20], décrit un autre détecteur basé sur le principe de la magnétorésistance: un tel détecteur (figure 2.12) dilate la bulle (dans la direction perpendiculaire à celle de la propagation) jusqu'à la forme d'une bande ayant une longueur de quelques centaines de fois le diamètre normal de la bulle. Ceci est une forme d'amplification magnétique avant la détection. Avec le passage d'un courant de quelques milliampères dans un conducteur de permalloy, le changement de résistance produit par le champ magnétique de la bulle dilatée, est suffisant pour produire une impulsion de 10 millivolts à peu près. Celle-ci pourrait être amplifiée et convertie en signal électronique digital.
- c. Au LETI/CENG, la lecture non-destructive est réalisée par le détecteur à chevrons dessiné sur la figure 2.9 [A 14]. L'information défile devant un duplicateur qui renvoie un double de chaque bulle dans un circuit de lecture. La bulle allongée circule sur un circuit à chevrons. Quand elle arrive en D, on envoie dans le conducteur un courant qui crée localement un champ opposé au champ de polarisation. La bulle s'allonge et son extrémité D' est piégée par le circuit de lecture. Une demi-période plus tard,

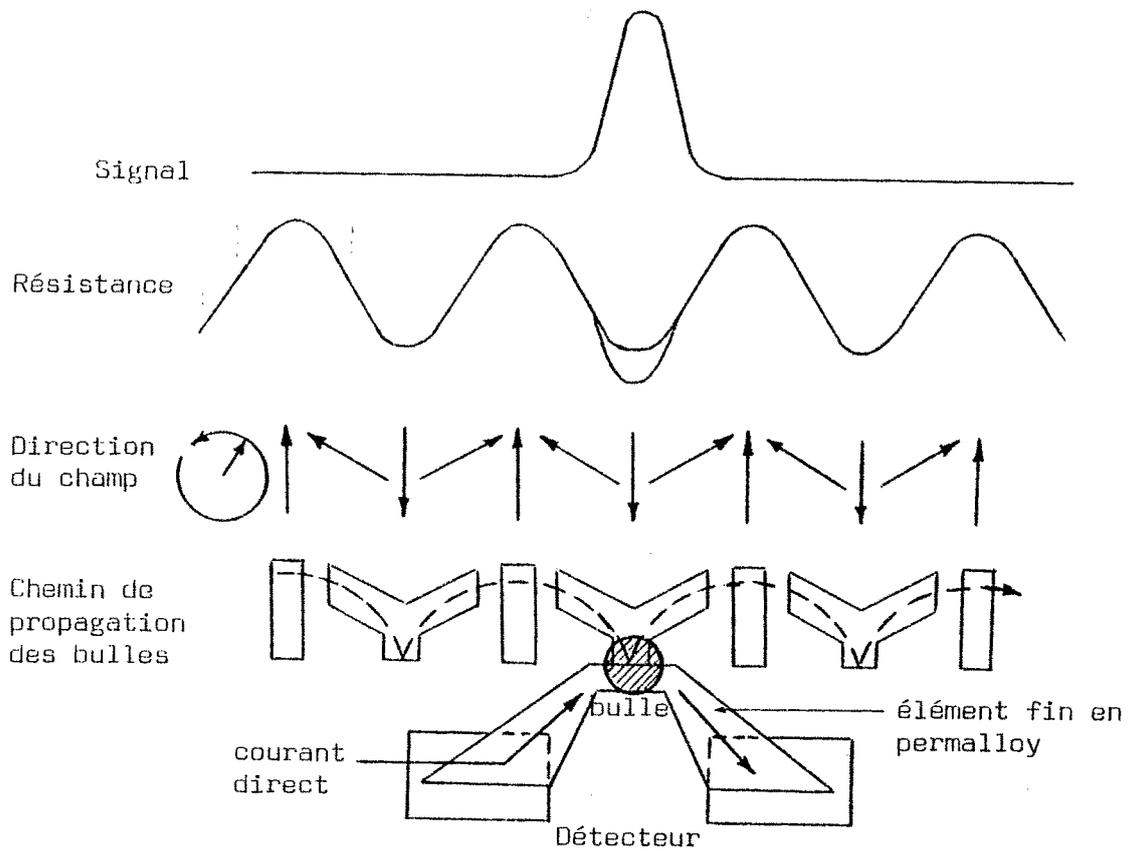


Figure 2.11 - La détection des bulles par le principe de magnétorésistance

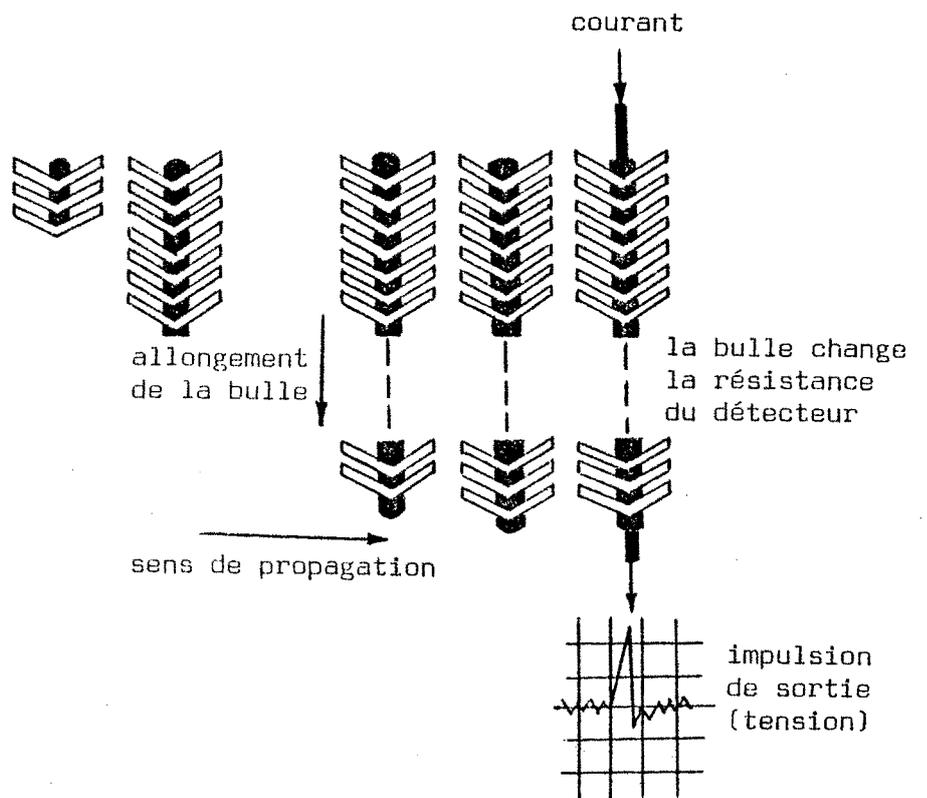


Figure 2.12 - Détecteur de bulles basé sur le principe de magnétorésistance

la bulle a avancé d'un demi-pas et occupe la position BB'. On envoie alors dans le conducteur un courant de sens opposé au précédent qui coupe le domaine BB' en deux parties égales. Le détecteur est formé d'un plot rectangulaire d'un alliage magnétorésistant (par exemple du permalloy), situé sous le passage d'une bulle allongée. En l'absence de bulle, le plot a une résistance R. Quand la bulle passe sous le plot, celui-ci s'aimante sous l'action du champ de fuite de la bulle et sa résistance diminue d'environ 2 %. On peut ainsi obtenir un signal de l'ordre du millivolt, avec un courant de 5 mA.

2.5.4. Annihilation des bulles (effacement)

C'est l'opération d'annulation ou d'effacement de l'information dans la mémoire à bulles:

2.5.4.1. Effacement total du module mémoire

Il est facilement obtenu en augmentant le champ de polarisation au-delà de sa valeur limite (champ de collapse).

2.5.4.2. Effacement bit par bit

Il se fait dans un "consommateur de bulles" ("bubble eater") qui est une région de haute polarisation magnétique où la bulle se rétrécit jusqu'à un diamètre plus petit que le diamètre minimal de stabilité. au LETI/CENG, on se sert du duplicateur décrit dans la figure 2.9. Quand la bulle arrive au point D, on envoie dans le conducteur un courant créant un champ qui s'ajoute au champ de polarisation, afin de dépasser le champ de collapse à cet endroit [A 14].

2.5.5. Transfert et aiguillage des bulles

Nous verrons au chapitre 4 comment l'organisation de la mémoire à bulles joue un rôle important pour rendre plus performant le fonctionnement de la mémoire. La plupart de ces organisations sont basées sur le stockage de l'information dans des registres à décalage d'une longueur minimale pour que le temps d'accès soit court. D'autres registres supplémentaires, sur lesquels se trouvent les stations d'accès, serviront pour l'accès. Ainsi, la communication entre les registres de stockage et les registres d'accès est une fonction indispensable pour le fonctionnement de la mémoire à bulles. Ces registres peuvent communiquer entre eux par le transfert des bulles. Le transfert est une sorte d'aiguillage de bulles entre deux chemins alternatifs. Normalement, le transfert est réalisé par l'impulsion d'une ligne conductrice bien placée entre les registres. Les gradients de champ qui en résultent, causent le transfert des bulles. Ce transfert doit être contrôlé entre les registres et dans les deux sens (bi-directionnel). Les portes de transfert ont été présentées dans plusieurs articles [A 7, A 19, A 32, C 2, C 29, ...]. On peut en distinguer deux types:

2.5.5.1. Porte de transfert simple

Elle transfère la bulle entre deux registres et laisse la place vide sur le registre émetteur. Cette porte de transfert est utilisée dans l'organisation classique en registres mineurs et registre majeur. Dans ce cas, le transfert en sens inverse (registre majeur vers registres mineurs) est nécessaire pour restaurer l'information dans les registres de stockage, après l'accès.

2.5.5.2. Porte de transfert par duplication

Cette porte renvoie un double de chaque bulle dans le registre d'accès. Elle est intéressante dans le cas où l'accès à l'information est la plupart du temps en lecture. Par conséquent, on évite la ré-écriture inutile de l'information dans les registres de stockage.

Nous décrivons ci-après quelques unes de ces portes de transfert:

a) La porte de transfert en signe de dollar ("dollar sign")[A7, A32] (BELL)

L'approche utilisée pour réaliser cette porte de transfert est la suivante: le champ créé par un courant circulant dans un conducteur modifie le gradient de champ dû à l'interaction entre les motifs de permalloy et le champ moteur tournant. Ceci détourne la bulle du chemin normal de propagation vers le deuxième chemin souhaité. Comme seul le gradient devrait être altéré, un choix judicieux des éléments de propagation et du conducteur pourrait aboutir à la consommation d'un courant faible pour le transfert. Le champ produit par le courant crée un gradient de champ entre les deux chemins de propagation et en même temps diminue le gradient dans le chemin normal. La bulle est détournée vers un élément de couplage en permalloy ayant la forme du symbole du dollar, d'où son nom de "dollar sign". Ensuite, la bulle est propagée vers le deuxième chemin de propagation sous l'effet du champ tournant.

Avec la porte de transfert en signe de dollar, le transfert dans les deux directions n'exige qu'un seul conducteur et des impulsions de courant unipolaire. La bi-directionnalité est effectuée par le rapport entre la pulsation du courant de transfert et le champ tournant. Le figure 2.13 présente cette porte. Pour transférer la bulle, elle doit être bougée par le courant, du chemin normal à l'élément de couplage proche du nouveau chemin. Ensuite, la bulle se propage dans le nouveau chemin par la rotation du champ tournant. Pour transférer une bulle du registre majeur vers un registre mineur, elle suit le chemin 23412, puis elle est bloquée par le courant et détournée en bas vers 3. Ensuite la bulle est capturée par le registre mineur. Pour le transfert inverse (registre mineur vers registre majeur), la bulle qui entre dans la région de transfert via les positions 1, 2, 3, est aussi bloquée et détournée en haut vers 4, d'où elle bougera sur le registre majeur.

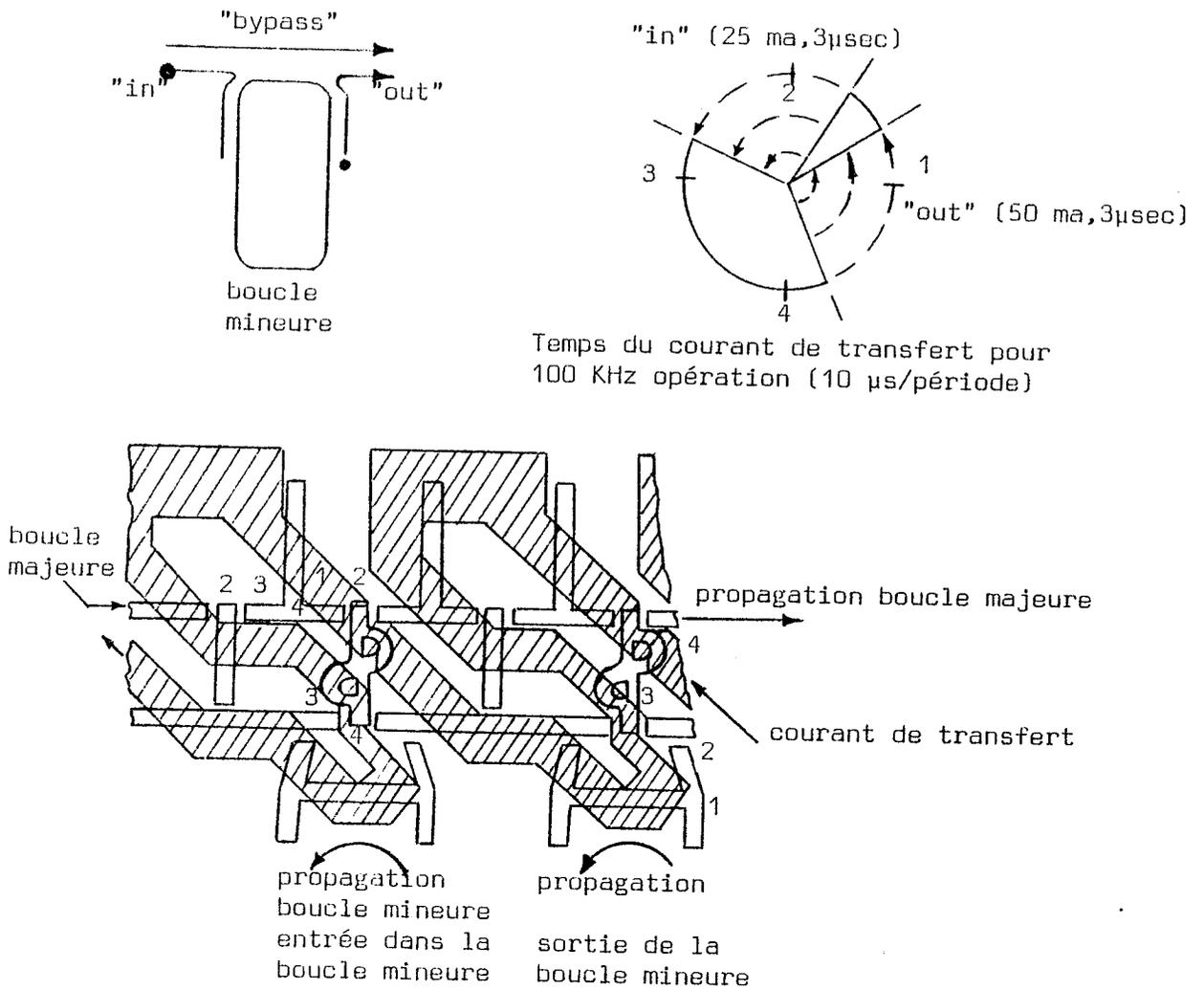


Figure 2.13 - Porte de transfert en "signe de dollar": transfert de bulles entre boucle majeure et boucles mineures

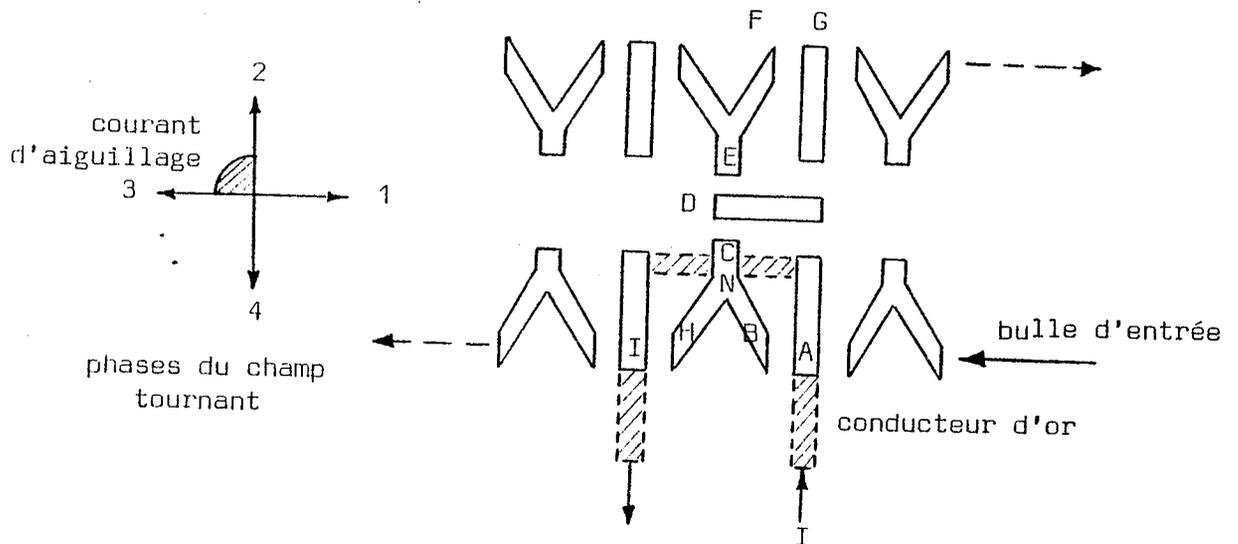


Figure 2.14 - Aiguillage "Y-barre"

b) L'aiguillage Y-barre [A 15, A 16] (IBM)

C'est un élément d'aiguillage de bulles entre deux chemins de propagation. Il est basé sur les motifs Y-barre. Le choix du chemin est contrôlé par la présence ou l'absence d'un courant dans un conducteur convenablement positionné (figure 2.14). Avec la rotation du champ moteur dans le sens inverse des aiguilles d'une montre, l'absence de courant provoque la propagation de la bulle dans le sens A, B, C, D, E, F, G. La bulle suit le chemin A, B, C, N, H, I en présence de courant d'aiguillage. Le courant circule dans le conducteur nuancé. Pour un aiguillage correct, le courant est appliqué entre les phases 2 et 3. Cet aiguillage peut être utilisé avec des bulles dont le diamètre peut aller jusqu'à 0,9 μm . Pour les bulles d'un diamètre inférieur à 0,9 μm , on rencontre quelques difficultés dues à l'insuffisance du conducteur (devenu trop petit) pour permettre la circulation du courant nécessaire.

c) Porte compacte de transfert/duplication [A 19] (ROCKWELL)

Cette porte est utilisée pour l'organisation en registres mineurs/registre majeur. Elle est capable d'accomplir les fonctions suivantes: le transfert dans les deux sens, la duplication dans les deux sens et l'annihilation des bulles dans les registres mineurs. Cette porte a été réalisée avec des chevrons, et les chemins de propagation avec les motifs T, I.

2.6. FONCTIONS LOGIQUES SUPPLÉMENTAIRES

Dans les sections précédentes nous avons vu les possibilités des appareils à bulles: le stockage de l'information (par rémanence magnétique), la transmission (par la propagation et le transfert des bulles), l'écriture (par la génération des bulles), la lecture (par effet magnétorésistant) et l'effacement (par annihilation des bulles).

Dans la présente section, nous allons présenter d'autres fonctions logiques réalisables avec les bulles magnétiques. Ces fonctions sont des opérations qui contribuent au bon fonctionnement de la mémoire à bulles par l'introduction de nouvelles possibilités de manipulation des bulles. Elles sont basées sur l'interaction entre des flots de bulles d'entrée pour avoir à la sortie une autre forme des flots. On peut voir ces fonctions comme des boîtes noires qui exercent des opérations spécifiques sur les bulles.

Nous présentons d'abord l'aiguillage proposé par TUNG [B 8, B 16] pour organiser la circulation des bulles (figure 2.15). C'est un aiguillage binaire, avec deux entrées A, C et deux sorties B, D. Il peut laisser passer les deux flots d'entrée en deux modes distincts:

- 1) éviter la rencontre ou l'intersection des flots ("avoidance state or bypass"). C'est l'action d'éteindre ("OFF"). Les bulles qui se trouvent sur le chemin A se dirigent vers le chemin B et celles de C vers D.
- 2) croisement des flots ("cross-over"). C'est l'action d'allumer ("ON"). Les bulles qui se trouvent sur le chemin A se dirigent vers le chemin D et celles de C vers B.

Particulièrement, c'est un aiguillage sans délai et il ne stocke pas l'information. Il a été réalisé avec des motifs de permalloy (T-barres). Un courant qui passe dans l'un des deux conducteurs contrôle l'état de l'aiguillage [B 16].

Cet aiguillage est très intéressant parce qu'il est à la base de l'organisation généralement appelée "échelle de bulles" ("bubble ladder") [B8, B 16] (figure 2.16). Dans cette organisation, une séquence de N boucles de stockage sont connectées linéairement avec des aiguillages binaires. Chaque boucle est capable de stocker une unité d'information (bloc ou enregistrement, par exemple). Avec les deux états de l'aiguillage, on peut obtenir un arrangement dynamique efficace des données. Avec cette organisation, deux applications sont possibles:

- 1) consolider l'ensemble de travail ("working set") du programme pendant son exécution ; les unités d'information sont rangées par ordre d'accès ;
- 2) implémenter une pile, ou une file d'attente. Ceci est souvent demandé dans les applications informatiques.

La figure 2.17 montre les quatre opérations de base utilisées dans cette organisation d'échelle de bulles: décalage global, décalage détaché, échange et échange delta.

Une autre alternative de cet aiguillage binaire est donnée en [B 8] : les deux états sont réalisés sans aucun croisement de flots d'information. Pour éviter le croisement, il est conçu sur deux modes orthogonaux: écoulement horizontal et écoulement vertical (figure 2.18).

Une technique de réallocation dynamique a été proposée par BEAUSOLEIL [B 2], elle utilise seulement deux opérations de base: le décalage global et le décalage détaché inverse (figure 2.19). Les détails de cette technique seront présentés au chapitre 4.

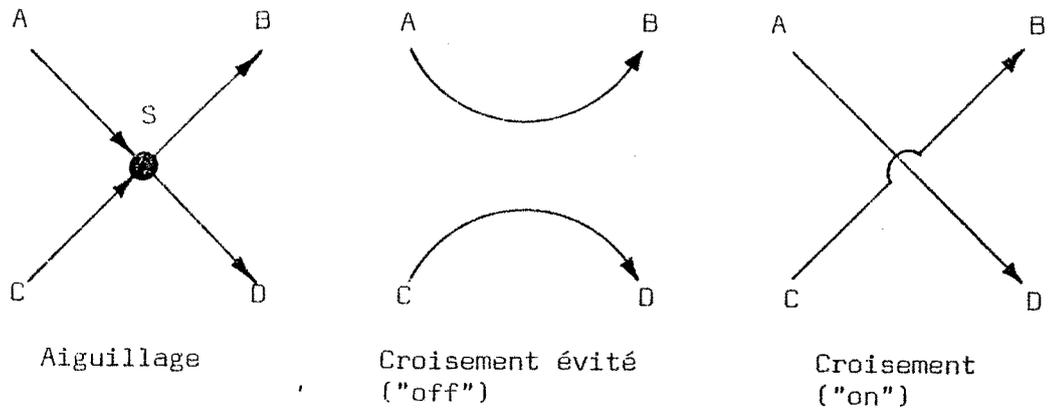


Figure 2.15 - Aiguillage binaire pour gouverner la circulation des bulles

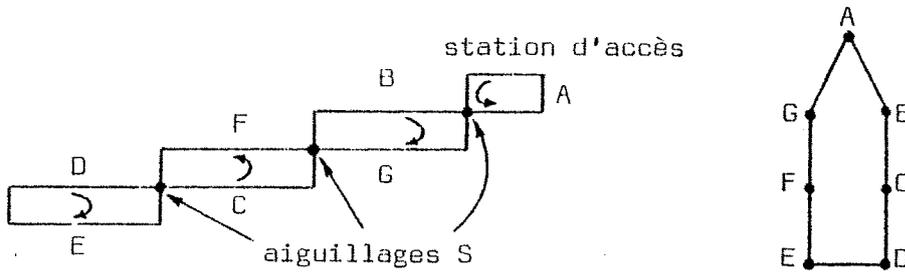


Figure 2.16 - Schéma d'une échelle de bulles (7 unités d'information)

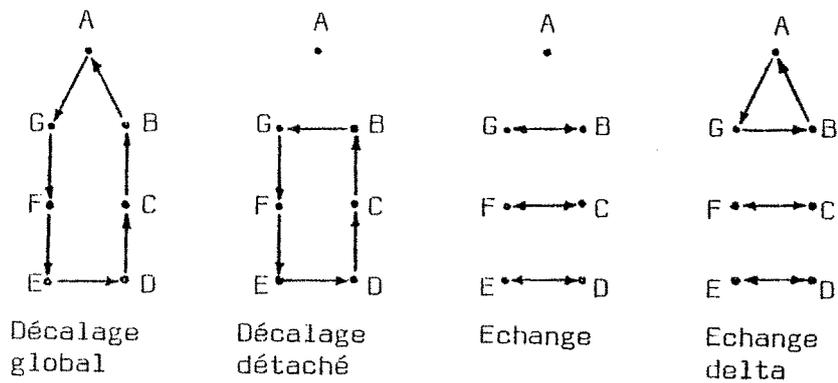


Figure 2.17 - Les quatre opérations de base de l'organisation d'une échelle de bulles

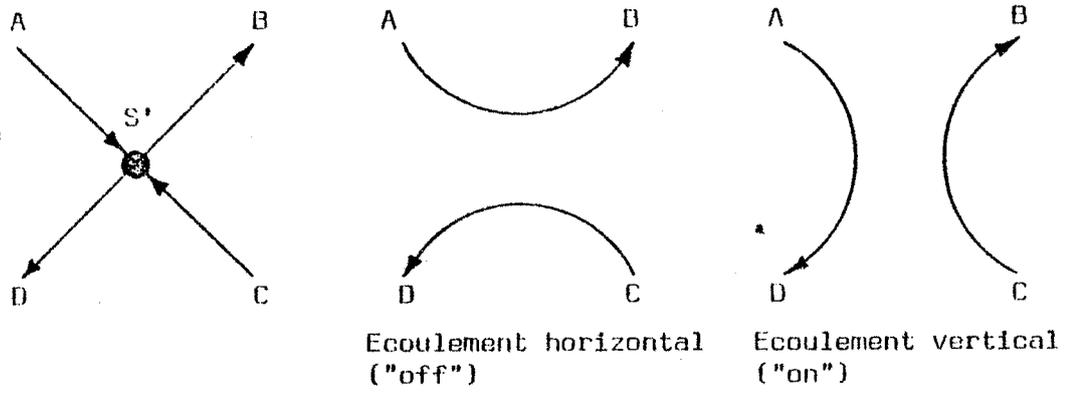


Figure 2.18 - Autre conception de l'aiguillage binaire (on utilise deux modes orthogonaux pour éviter le croisement des flots)

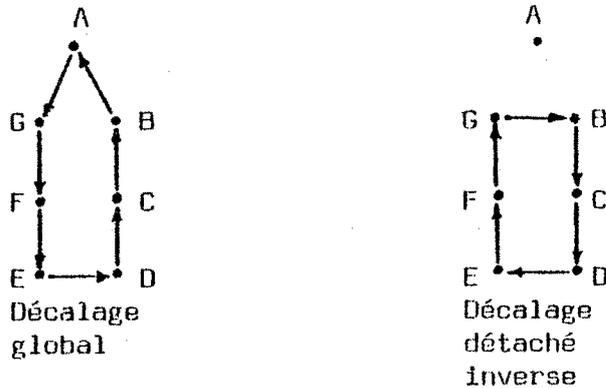


Figure 2.19 - Les deux opérations de base utilisées pour la réallocation dynamique des données

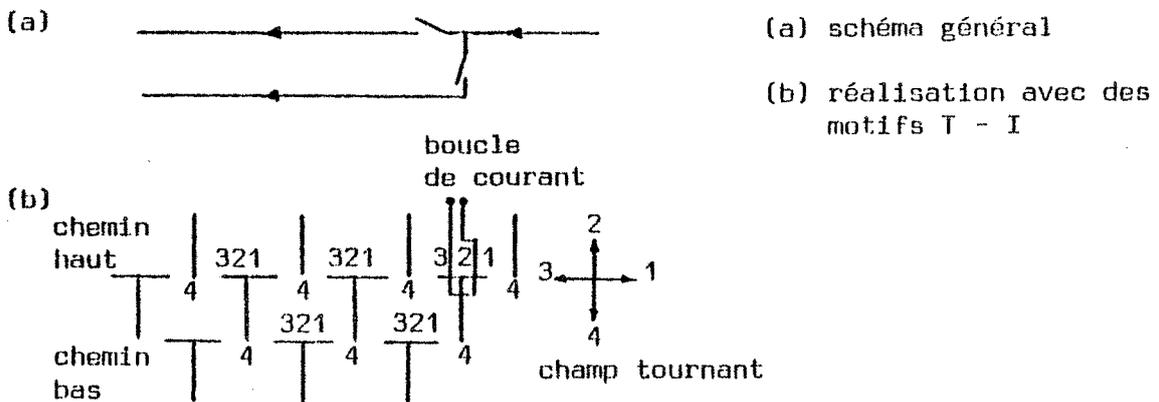


Figure 2.20 - Aiguillage des bulles magnétiques

Un autre aiguillage [A 11], dirige les bulles propagées sur un chemin vers l'un des deux chemins alternatifs. La figure 2.20 présente cet aiguillage, réalisé avec des motifs de permalloy en forme de T et de I. Une boucle de courant contrôle l'état de l'aiguillage. La bulle est propagée sur le chemin en haut en l'absence du courant et sur le chemin en bas en présence du courant. La bulle est propagée vers le centre du motif T durant la phase 2 du champ tournant. Si la boucle de courant est activée, elle maintient la bulle dans la position 2 durant la phase 3. Puis à la phase 4, la bulle est propagée le long de la barre verticale vers le chemin du bas.

Cet aiguillage sert à réaliser des décodeurs à bulles qui pourront être utilisés avec la mémoire à bulles pour fournir une lecture sélective ou une écriture sélective [A 11, B 7].

D'autres fonctions et opérations logiques sont faciles à réaliser par l'interaction à distance entre les bulles qui se repoussent naturellement l'une l'autre et réagissent l'une sur l'autre [A 8].

2.7. CONCLUSION

Dans ce chapitre, nous avons fait un tour d'horizon des bulles magnétiques pour connaître leur origine et cerner leurs vastes possibilités dans le domaine des mémoires. Il est possible, avec la même technologie à bulles, de réaliser des modules mémoire complets avec toutes les fonctions d'accès et la logique nécessaires.

On remarque qu'un bon nombre de phénomènes physiques, de structures d'appareils à bulles et des opérations diverses, sont disponibles pour augmenter la capacité fonctionnelle et étendre la capacité de stockage économique des mémoires à bulles.

La réalisation des appareils à bulles est possible avec des motifs de permalloy (accès par champ) et/ou avec des boucles conductrices (accès par courant). La combinaison de ces deux techniques d'accès sera exploitée dans les organisations que nous présenterons au chapitre 4.

Enfin, on note que des recherches actives sont en cours pour créer des chemins naturels (non structurés) de propagation de bulles [C 23] qui seraient bien préférables à la propagation suivant une structure synthétique de guides de permalloy que l'on connaît aujourd'hui. Si ces recherches aboutissaient, les mémoires à bulles pourraient être moins chères et les bulles pourraient être déplacées beaucoup plus facilement.

CHAPITRE 3

RÉALISATIONS ET APPLICATIONS DES MÉMOIRES À BULLES MAGNÉTIQUES

3.1. CARACTÉRISTIQUES QUI MILITENT EN FAVEUR DE L'UTILISATION DES MÉMOIRES À BULLES

Les mémoires à bulles magnétiques ont des caractéristiques très intéressantes pour de nombreuses applications. Avant d'entrer dans le détail des applications possibles, il est utile de les énumérer :

1. La facilité relative de fabrication des mémoires à bulles constitue un avantage important par rapport aux autres technologies. Les appareils à bulles nécessitent peu d'étapes de fabrication [A6, A 33, C 12, D 21, F 3]. Ils demandent de un à trois procédés de transfert de module ("pattern transfer processes") pour la fabrication de cellules de stockage, alors que les mémoires à semi-conducteur demandent entre quatre et huit procédés séquentiels [F 8]. L'équipement standard de fabrication des circuits intégrés est utilisé pour fabriquer les appareils à bulles. A ce sujet, DOYLE (Sperry Univac) a dit que la simplicité de fabrication des appareils à bulles est "effrayante" [A 34]. Tout ceci contribue bien évidemment à en diminuer le prix.
2. La densité d'enregistrement est très supérieure à celle de toutes les autres mémoires intégrées. Elle atteint actuellement (1970) 5×10^5 bit/cm². La technique de "electron beam processing" permettra d'obtenir des bulles beaucoup plus petites, ce qui augmentera la densité d'enregistrement et diminuera le prix du bit. On prévoit une densité de 5×10^7 bits/cm² en 1980 et de 4×10^8 bits/cm² en 1985 [D 21].
3. Les mémoires à bulles sont constituées de registres à décalage sur lesquels il est possible de décaler les bulles dans les deux sens et également de les aiguiller entre les registres par l'action d'une commande extérieure.

4. La nature non volatile des mémoires à bulles entraîne une faible consommation d'énergie et devrait permettre l'amovibilité (mais à un coût très élevé [C 13, C 14]).
5. N'étant pas mécaniques, les mémoires à bulles n'ont besoin ni d'alignement de tête d'accès ni de nettoyage, et donnent au concepteur la liberté de choisir la forme physique de son produit.
6. Les mémoires à bulles ont les mêmes caractéristiques favorables que les mémoires à semi-conducteur: fiabilité, petit volume, temps rapide d'accès (par rapport aux mémoires électro-mécaniques), bas prix et possibilité d'augmenter leur capacité par petites quantités.
7. Du point de vue du système, la modularité des mémoires à bulles présente les avantages suivants:
 - a) une meilleure souplesse de conception (il sera possible d'augmenter la capacité du système de façon incrémentale),
 - b) une meilleure sécurité des données (les données résidentes sur les modules qui fonctionnent bien ne seront pas affectées par un module qui fonctionne mal et l'addition de quelques modules pour corriger les erreurs permettra la sauvegarde des données du module défaillant),
 - c) une meilleure disponibilité du système (la panne d'un ou plusieurs petits modules ne bloque qu'une partie du système),
 - d) du point de vue du constructeur, les structures répétitives présentent un intérêt économique évident en minimisant le coût de développement et de fabrication du système. L'utilisation d'une mémoire à bulles avec un microprocesseur offre la possibilité de faire résider les deux unités sur la même carte de circuit imprimé. Ceci élimine le câblage et utilise les mêmes sources d'énergie.

8. Les performances des mémoires à bulles actuellement produites, approchent celles des disques à tête fixe et on s'attend prochainement à des produits beaucoup plus performants en profitant au maximum des facultés disponibles: arrêt/marche, bi-directionnalité de décalage, combinaison de deux techniques d'accès (par courant et par champ), modularité.

3.2. RÉALISATIONS ET APPLICATIONS ANNONCÉES POUR LES MÉMOIRES À BULLES MAGNÉTIQUES (MBM)

Les MBM sont encore au stade de l'étude ou de la réalisation de prototypes dans les Laboratoires de recherche et développement, bien que quelques premiers produits apparaissent sur le marché. Les experts en technologie prévoient une arrivée en masse de ces nouvelles mémoires sur le marché dans les années 1980. Les MBM subissent un développement intensif partout dans le monde. Dans la suite de cette section nous allons citer des réalisations, classées par constructeurs (pour l'organisation de ces mémoires, on se reportera au chapitre 4).

3.2.1. Bell Laboratories

En 1975, Bell (le pionnier en technologie à bulles) a réalisé un prototype de 500 K bits, composé de 28 puces de 16 K bits organisées en registres mineurs et registre majeur [F 3]. Les bulles avaient un diamètre de 6 μm et la fréquence de décalage était de 100 KHz. L'objectif de Bell était le remplacement des disques à tête fixe utilisés dans les centraux téléphoniques électroniques, par des mémoires à bulles magnétiques [F 14].

En Février 1977, Bell a annoncé la production d'une mémoire à bulles pour enregistrer la voix (enregistreur de messages) [C 23]. Bell avait installé un système basé sur la mémoire à bulles dans le bureau d'aiguillage téléphonique à Détroit (Michigan) pour un essai de six mois. La capacité de la mémoire était de 272 K bits, organisée en 4 puces, chacune composée d'un registre série de 68 K bits [A 34, C 14]. Elle avait ainsi remplacé les systèmes utilisant des petits enregistreurs à tambour magnétique qui interviennent automatiquement sur une ligne téléphonique lorsqu'on compose un "faux" numéro, en indiquant quel est le type de l'erreur et ce qu'il convient de faire.

A la Conférence Internationale sur le Magnétisme en Juin 1977, Bell a indiqué qu'elle avait mis en démonstration dans ses filiales 20 mémoires à bulles sérielles de 272 K bits [A 27].

3.2.2. Texas Instruments (TI)

Le premier appareil à bulles commercialisé était produit par TI. Cet appareil (1e TIB-0103) [A 27, C 8, C 14], stocke 92304 bits sur une seule puce organisée en 157 registres mineurs (dont 13 pourront être défectueux) de 641 bits chacun et l'accès se fait via un registre majeur de 640 bits. Le décalage à 100 KHz donne un temps d'accès maximum de 10,4 ms et un temps d'accès moyen de 5,2 ms. Les registres défectueux sont déterminés lors du test final. Un plan de correspondance est donné à l'utilisateur, où les registres défectueux sont masqués.

Texas Instruments a annoncé récemment que cette mémoire était fabriquée en grande quantité à un prix de 100 dollars (prix pour 100 unités) [C 17, C 27], l'interface et les circuits de contrôle étant également disponibles.

De plus, TI a annoncé la réalisation en pré-série, d'une nouvelle mémoire à bulles de 250 K bits (la TIB 0303) au prix de 500 dollars [C 17]. La puce contient 252 registres mineurs de 1137 bits, dont 224 registres sont utilisables, ce qui donne une capacité de 254608 bits. Le temps d'accès moyen au premier bit de la page de 224 bits est égal à 7,3 ms à une fréquence de 100 KHz.

Afin d'évaluer les mémoires à bulles dans diverses applications, TI avait fourni des mémoires à différents utilisateurs extérieurs. Un des premiers produits commercialisés de TI a été le terminal portatif (le Silent 765), muni d'une mémoire à bulles de 20 à 80 K octets, sorti en 1977 [C 8, C 18]. La mémoire à bulles de ce terminal est plus qu'un simple remplacement de la bande à cassette utilisée sur les autres terminaux Silent 700. Le contrôle complet du fichier est devenu faisable grâce à la plus grande vitesse de la mémoire à bulles. Le terminal comprend un petit système d'exploitation pour la mémoire. Ces terminaux portatifs sont principalement destinés aux applications comme la saisie de données sur place. L'opérateur introduit et met à jour les données pour les stocker dans la mémoire à bulles. Ensuite, il les transmet à grande vitesse à un ordinateur distant pour le traitement. Le terminal comprend deux microprocesseurs: l'un pour contrôler la mémoire et l'autre pour contrôler le clavier et l'imprimante. Les processeurs sont programmés pour permettre à l'utilisateur de créer, éditer, consulter et annuler facilement les fichiers de données.

3.2.3. Rockwell International

A la Conférence Internationale sur le Magnétisme de Juin 1977, Rockwell International avait annoncé le développement d'une mémoire à bulles de 1 M bits, organisée en 512 registres mineurs de 2 K bits chacun [A 27, C 14]. Cette Société avait également annoncé l'introduction à l'exposition Electronica de Munich fin 1978, d'une mémoire à bulles de 256 K bits sur une seule puce [C 20], opérant sous le système 65 (micro-ordinateur). On attend une forte compétition entre cette mémoire et les mémoires rotatives.

3.2.4. La NASA

Les domaines où la fiabilité a une importance extrême représentent une application très intéressante pour les mémoires à bulles. Prenons l'exemple des vols spatiaux qui coûtent très cher et pendant lesquels d'énormes quantités d'informations précieuses sont collectées. La NASA (organisme américain de recherches spatiales) a révélé que sur les 160 enregistreurs mécaniques à bande magnétique utilisés entre 1962 et 1971, 35 sont tombés en panne pendant les vols: 70 % de ces pannes étaient mécaniques [A 27].

Depuis quelques années, les experts de la NASA ont pensé éliminer complètement les enregistreurs mécaniques pour les remplacer par des enregistreurs à état solide. La technologie à bulles magnétiques a été préférée à la technologie à couplage de charges en raison de sa non volatilité, de sa haute densité de stockage et de sa résistance aux radiations. En 1977, la Société Rockwell International a réalisé pour la NASA un prototype de 24 M bits, en utilisant des puces de 102 K bits chacune. Un autre enregistreur de 100 M bits est en cours de réalisation et devrait être fourni courant 1978. La conception de cet enregistreur est donnée dans les articles [C 10, C 11]. Elle comprend la puce mémoire, le système et tout l'équipement nécessaire.

Le coût total de l'enregistreur spatial était de 187 370 dollars pour les 100, 633, 296 bits, soit 0,186 cents/bit. Ce coût comprenait les pièces, la fabrication et les tests [C 11]. Ce coût est comparable à celui de l'enregistreur à bande, mais on peut espérer un coût plus bas dans le futur.

3.2.5. Laboratoire d'Electronique et de Technologie de l'Informatique (LETI du CEN Grenoble)

Une étude a été menée par le LETI/CENG pour démontrer la faisabilité d'un module de base d'une mémoire à bulles magnétiques pour les applications spatiales [C 5, C 6]. Ces travaux ont plus particulièrement porté sur les aspects technologiques suivants:

- a) mise au point d'un grenat permettant le fonctionnement de la mémoire à des températures allant de - 25° C à + 60° C et capable de supporter des bulles dont le diamètre peut aller de 6 à 2,5 microns ;
- b) réalisation de puces mémoire de 1 K bits et de 4 K bits ;
- c) démonstrations du fonctionnement du module à une fréquence de champ tournant de 100 KHz, du fonctionnement en arrêt/marche et de la non volatilité de l'information ;
- d) prospective: proposition d'un "packaging" utilisant un boîtier de 4 puces, qui aurait une capacité comprise entre 256 K bits (4 puces de 64 K) et 1 Méga bits (4 puces de 256 K).

Les travaux du LETI dans le domaine des mémoires à bulles portent plus particulièrement sur les points suivants: élaboration de matériaux à bulles, mise au point de la technologie des mémoires, organisation et utilisation des mémoires et enfin conception et réalisation d'appareils de tests de puces [A 12, A 13].

3.2.6. Plessey Memories

La Société Anglaise Plessey a produit de nombreuses mémoires à bulles, d'une capacité de 16 à 256 K bits, organisées en registres simples et en registres mineurs/registre majeur. Elles sont destinées principalement aux microprocesseurs et mini-ordinateurs [C 19]. Elle a également fabriqué des puces de 64 K bits à bas prix et à performance améliorée [D 4].

3.2.7. Hitachi

En Octobre 1975, la Société Japonaise Hitachi avait annoncé la production de mémoires à bulles pour la première moitié de 1976 [C 9]. La capacité de ces mémoires est de 256 K bits et elles utilisent des puces de 16 K bits organisées sériellement. Le prix annoncé était 667 dollars (prix du système complet) soit environ 0,25 cents/bit [D 29]. Le plus mauvais temps d'accès est de 160 ms et le taux de transfert est de 800 K bits/seconde.

3.2.8. Nippon Telegraph and Telephone

Cette Société Japonaise a installé une mémoire expérimentale à bulles de 2 M bits, composée de 32 puces de 64 K bits. Elle a été utilisée comme une mémoire de fichiers dans les systèmes d'aiguillage téléphonique. Elle a prouvé sa fiabilité pendant plus d'un an [C 14]. Cette mémoire devrait probablement être utilisée régulièrement dans les auto-commutateurs téléphoniques au Japon vers 1980.

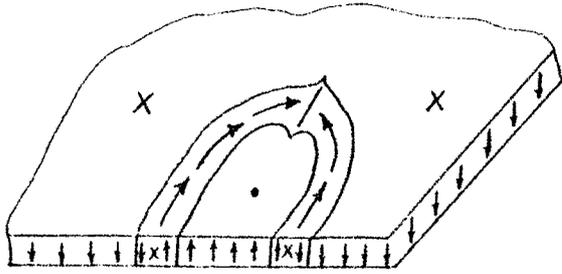
3.2.9. IBM

Bien que notre attention dans cette thèse se soit plus particulièrement portée sur l'approche des mémoires à bulles basée sur les motifs de permalloy ("permalloy bar file" - PBF), il nous a paru intéressant de passer en revue les deux nouvelles approches présentées par IBM: les appareils à disques contigus ("contiguous disk file" - CDF) et le réseau de bulles ("bubble lattice file" - BLF) [B 12, C 14, F 3, F5, F 8] qui visent à atteindre une haute densité d'enregistrement.

Dans la mémoire CDF, les bulles ne se propagent pas dans des motifs relativement étroits et séparés de fossés fins, mais dans une structure sans fossé formée de disques gros par rapport à la bulle et qui nécessitent une lithographie plus facile. La bulle se propage à la périphérie des disques (cercles) adjacents sous l'effet d'un champ tournant, de la même façon que dans le PBF. Pour éviter les interactions involontaires entre les bulles, le diamètre des disques est égal à quatre fois le diamètre des bulles.

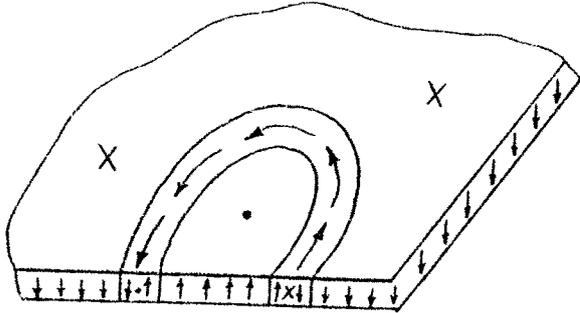
Dans le BLF, on a une mémoire non structurée. Cette approche supprime les guides de permalloy pour tracer les cellules mémoire. Les bulles sont tassées ensemble étroitement et les états binaires (0 et 1) sont déterminés par des changements d'aimantation dans la paroi de la bulle, et non pas par la présence ou l'absence de bulles (figure 3.1). Contrairement aux PBF et CDF, on n'a pas dans le BLF l'obligation d'avoir entre les bulles un espacement égal à quatre fois le diamètre de la bulle pour éviter les interactions involontaires, aussi cela permettra-t-il d'augmenter la densité d'enregistrement. Si on réussit à développer les mémoires à BLF, on pourra surmonter les limites imposées par les techniques de définition des guides et augmenter de 10 fois la densité d'enregistrement par rapport aux appareils conventionnels à bulles [C 14].

La figure 3.2. compare l'aire par cellule dans les trois approches.



. Etat "0":

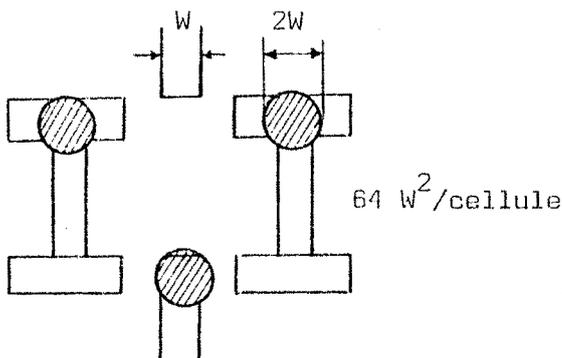
l'aimantation change brusquement de sens deux fois au cours du trajet de 360° autour de la paroi.



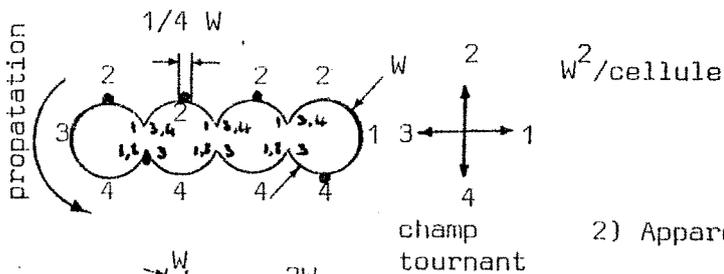
. Etat "1":

l'aimantation garde le même sens au cours du trajet de 360° autour de la paroi.

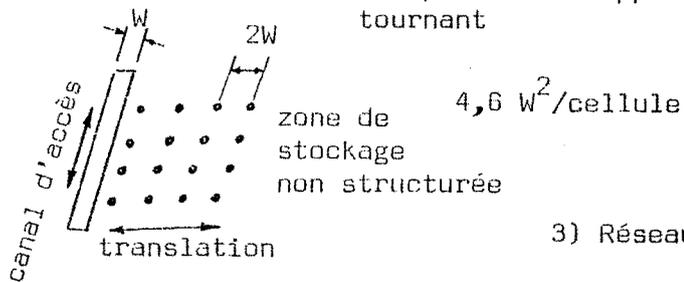
Figure 3.1 - Schéma des états de stockage dans le BLF



1) Appareil T-bar (PBF)



2) Appareil à disques contigus (CDF)



3) Réseau de bulles (BLF)

Figure 3.2 - Comparaison des aires/cellule dans les trois approches des mémoires à bulles

Le PBF pourra être fabriqué avec un seul niveau de masquage [A 6, F 3], tandis que les CDF et BLF nécessiteront plusieurs niveaux de masquage (7 pour le BLF [F 5]).

Les technologies CDF et BLF sont assez nouvelles et encore mal explorées, aussi ne porterons nous pas de jugement à leur sujet.

3.2.10. Autres approches

En plus des Sociétés énumérées ci-dessus, d'autres Sociétés se penchent sur l'étude des bulles magnétiques. On peut citer :

. Burroughs, Hewlett Packard, Finlex et Sperry Univac aux Etats Unis:

Finlex a développé un micro-ordinateur portatif avec mémoire à bulles de 256 K bits comme mémoire de masse [C 7], organisée en registres mineurs/ registre majeur [C 12].

. Philips et Siemens en Europe,

. Fujitsu au Japon.

L'objectif à long terme de toutes ces Sociétés est la fabrication des mémoires à bulles à faible coût et grande capacité.

3.3. APPLICATIONS ENVISAGEABLES DES MÉMOIRES À BULLES MAGNÉTIQUE:

Dans un premier temps, les applications fondamentales des mémoires à bulles sont orientées vers les micro et mini-ordinateurs et plus particulièrement ceux utilisés dans les systèmes spécialisés. Ce sont ces domaines d'application que nous présentons ici. En ce qui concerne l'introduction des mémoires à bulles dans les gros systèmes, les concepteurs se montrent assez prudents et préfèrent la différer au moment où les grands modules seront largement disponibles à bas prix.

3.3.1. Applications dans un domaine où la fiabilité est très importante

Etant non-volatiles, fiables, solides et sérielles, les mémoires à bulles peuvent être utilisées pour enregistrer le déroulement des vols d'avions, pour enregistrer les événements qui surviennent au cours d'expériences de physique (atomique par exemple) et enfin dans un domaine qui offre de vastes possibilités d'application, celui des communications téléphoniques. En effet, grâce aux bulles magnétiques on peut assurer:

- . l'enregistrement de la voix,
- . le remplacement des machines à canal unique utilisées dans les centraux téléphoniques: le gain d'espace ainsi obtenu serait un facteur de 4 à 8 [A 27];
- . le remplacement des disques à tête par piste utilisés pour stocker les tables de connexion des autocommutateurs téléphoniques. La Compagnie Bell développe actuellement ces systèmes [A 34];
- . la mémoire à bulles est un tampon idéal dans les systèmes de communication.

3.3.2. Domaine qui nécessite des grandes mémoires peu coûteuses, sûres et toujours disponibles

Le contrôle automatique des processus industriels est un domaine qui paraît particulièrement bien adapté à l'application des mémoires à bulles magnétiques. En effet, les performances, la simplicité d'adressage, la fiabilité, le faible coût d'utilisation et la modularité de ces mémoires, sont des raisons qui militent en faveur de leur utilisation. Les conditions difficiles des processus industriels (vibrations, variations de température, poussières, ..) rendent l'utilisation d'une mémoire à état solide sans pièces mobiles efficace et avantageuse. Ainsi pourrait-on envisager d'utiliser ces mémoires à bulles pour la mémorisation de l'information du contrôle de processus industriel de la façon suivante:

- a) programmes de régulation de processus industriel,
- b) programmes exécutés à la demande de l'opérateur (consultation de l'état du processus) ou d'un équipement,
- c) séquences d'opérations exceptionnelles (mise en route et arrêt du processus),
- d) séquences d'alarme en cas de panne ou d'anomalie et procédures d'enregistrement de paramètres décrivant une situation que l'on pourra analyser ultérieurement, afin d'assurer un dépannage efficace ;
- e) programmes d'évaluation de la commande du processus industriel et d'évaluation de l'installation ;
- f) programmes de gestion des consommations de matériaux et d'énergie, d'analyse statistique, ...

3.3.3. Domaine où une petite mémoire secondaire est suffisante

L'utilisation des mémoires à bulles dans les petits systèmes à microprocesseurs est prometteuse dans un avenir proche. Les terminaux intelligents ou le système de traitement de texte qui permet à l'utilisateur d'éditer ses programmes et ses données chez lui ou au bureau, en sont les meilleurs exemples. On pourrait avoir une mémoire centrale à bulles et un microprocesseur qui contrôlerait le système. La sortie pourrait avoir lieu soit sur une cassette, soit sur la mémoire à bulles elle-même si on peut réaliser à moindre coût l'amovibilité. En effet, elle est réalisable grâce à la non volatilité des mémoires à bulles, mais elle coûte encore très cher [C 13]. Les réalisations citées précédemment, comme le terminal portatif Silent 765 et l'enregistreur de messages de Bell, en sont de bons exemples.

En outre, la mémoire à bulles pourrait servir de mémoire de référence pour stocker les informations qui sont modifiées de temps en temps. On pourrait ainsi les utiliser pour les mises à jour de listes de prix dans les points de vente, de quantités de stock dans les dépôts, de tarifs dans les unités de service public, .. La capacité de mémoire demandée par de telles applications n'est pas très grande et la mémoire à bulles offre un équipement compact et peu cher. De plus, la fiabilité des mémoires à bulles permet une réduction des frais de maintenance.

GONZALEZ [F 6] appelle "mémoire intelligente" une mémoire capable de faire du traitement. Les exemples que nous avons cités utilisent des mémoires intelligentes puisque ces applications spécialisées ont besoin d'un traitement informatique pour être exécutées.

3.3.4. Les mémoires à bulles dans les grands systèmes informatiques

A partir des caractéristiques des mémoires à bulles, on peut imaginer de les introduire dans les différentes parties de la hiérarchie des mémoires d'un grand système. On peut ainsi envisager soit de les utiliser en remplacement de telle ou telle mémoire, soit de les ajouter aux mémoires de la hiérarchie pour améliorer la performance globale du système.

Le développement des nouvelles technologies de mémoire (bulles et couplage de charges) pourrait aboutir à une baisse du prix du bit pour les grandes capacités, ce qui aurait comme résultat la possibilité de remplacer des ensembles significatifs de mémoires électro-mécaniques par des mémoires à état solide.

Les mémoires à bulles pourraient être utilisées dans les systèmes en temps partagé: leur rapidité d'accès, le taux élevé de transfert, la simplicité de l'adressage et la modularité, permettent un vidage rapide du programme utilisateur provisoirement mis au repos, pour charger le programme d'un autre utilisateur qui demande un traitement ("swapping"). Ceci augmenterait la rapidité de réponse et la performance du système.

Les mémoires à bulles pourraient remplacer le tambour sur lequel résident les programmes du système. Elles pourraient être utilisées pour stocker les microprogrammes qui sont transférés par blocs, à la demande, vers la mémoire de contrôle (ROM / RMM). Dans ce cas, seule une mémoire de contrôle d'une capacité limitée (16 K octets par exemple) sera nécessaire et une grande mémoire à bulles (128 K octets) servira de résidence aux microprogrammes [D 1]. La non volatilité exigée pour assurer la disponibilité des microprogrammes dès que le système est mis en marche, exclut l'utilisation de la mémoire à couplage de charges dans cette application.

On pourrait également utiliser les mémoires à bulles comme tampons dans les mémoires électro-magnétiques qui ne peuvent communiquer directement entre elles en raison du manque de synchronisme ou des différences de débit. Normalement, le transfert de données entre une bande et un disque se fait par l'intermédiaire de la mémoire centrale. Une mémoire peu chère, capable de stocker les données d'une piste ou d'un cylindre de disque, pourrait être efficace dans les transferts: elle assurerait le transfert des données sans passer par la mémoire centrale.

3.3.5. Nouveaux domaines d'application

La disponibilité de mémoires à bulles fiables, compactes, non volatiles et bon marché, va ouvrir de nouveaux modes d'opération aux systèmes qui ne disposent pas actuellement de mémoire ou qui utilisent une mémoire volatile. L'introduction d'une mémoire à bulles augmenterait les capacités du système. Les calculateurs de bureau, les terminaux et les écrans de visualisation de toutes sortes, sont des candidats possibles.

L'introduction des mémoires à bulles dans les équipements automatiques de mesure et de test est prévisible. Citons par exemple, les commandes numériques de machines outils, les systèmes de gestion de stock, de suivis de fabrication ou d'ordonnancement, d'enseignement programmé ou de réservation de places.

Bref, les applications possibles ne sont limitées que par notre imagination.

3.4. LA MÉMOIRE À BULLES ET LES AUTRES MÉMOIRES

La technologie à bulles fera concurrence d'une part aux technologies éprouvées: comme les MOS RAM, les disques à tête fixe, les disques à tête mobile et les disquettes, et d'autre part aux technologies nouvelles comme les mémoires à couplage de charge (CCD) ou celles accessibles par rayons d'électrons (EBAM).

Pour pouvoir supporter la concurrence du marché, il faut que les mémoires à bulles magnétiques (MBM) aient des caractéristiques séduisantes que les autres technologies ne présentent pas. Nous explorons ci-après les avantages et les inconvénients des MBM par rapport aux technologies concurrentes. Les tableaux 3.1 à 3.4 résument cette comparaison.

Tableau 3.1. - Les Mémoires à Bulles Magnétiques et les CCD

Avantages :	Similarités :	Inconvénients :
<ul style="list-style-type: none"> • non volatilité: moins de consommation d'énergie ; • plus haute densité d'enregistrement: 2 à 4 fois le nombre de bits/puce [C 12, D 4], ce qui laisse prévoir un prix avantageux au bit ; • fabrication plus simple ; • facultés d'arrêt/marche et de décalage bidirectionnel. 	<ul style="list-style-type: none"> • actuellement, à peu près même prix ; • organisation en registres à décalage ; • adressage possible au niveau du bit, de l'octet, du mot, ou du bloc ; • modularité ; • petit volume physique ; • fiabilité. 	<ul style="list-style-type: none"> • temps d'accès plus long ; • taux de transfert plus lent.

Tableau 3.2. - Les Mémoires à Bulles Magnétiques et les disquettes

Avantages :	Inconvénient :
<ul style="list-style-type: none"> • volume physique plus petit ; • meilleure fiabilité (pas de pièces mobiles) ; • temps d'accès plus faible ; • interface plus simple ; • faible coût initial. 	<ul style="list-style-type: none"> • amovibilité très coûteuse. • coût supérieur.

Tableau 3.3. - Les Mémoires à Bulles Magnétiques et les disques à tête mobile

Avantages:	Inconvénients:
<ul style="list-style-type: none"> • volume physique plus petit ; • meilleure fiabilité (pas de pièces mobiles) ; • temps d'accès plus faible ; • interface plus simple [C 12] ; • faible coût initial. 	<ul style="list-style-type: none"> • prix au bit plus grand (actuellement) ; • taux de transfert plus lent ; • amovibilité trop coûteuse.

Tableau 3.4. - Les Mémoires à Bulles Magnétiques et les MOS RAM

Avantages:	Inconvénients:
<ul style="list-style-type: none"> • non volatilité ; • prix au bit bas ; • plus haute densité d'enregistrement [C 12]. 	<ul style="list-style-type: none"> • temps d'accès plus long et accès sérial ; • interface plus complexe ; • taux de transfert plus lent.

3.5. COMPARAISONS PRIX AU BIT ET CAPACITÉ DE STOCKAGE

On comprend mieux où se situe la mémoire à bulles par rapport aux autres mémoires en se reportant à la figure 3.3. ci-après qui illustre la relation entre le prix au bit et la capacité de stockage. Les prix comprennent le coût des contrôleurs et l'interface. Les prix des MBM, CCD et EBAM sont des prévisions et ils comprennent le coût d'interface [C 13].

On remarque que le prix au bit des mémoires MOS RAM, CCD et MBM ne dépend pas de la capacité totale de la mémoire. Par ailleurs, le prix au bit des mémoires magnétiques rotatives dépend fortement de la capacité mémoire et décroît rapidement lorsque celle-ci s'accroît. Le coût initial des disques magnétiques est relativement élevé ce qui donne une fonction ayant une courbe dont la pente est élevée en valeur absolue entre le prix système au bit et la capacité totale du système, alors que dans le cas de la mémoire à bulles il n'y a qu'un faible coût initial.

Pour les applications qui ne demandent qu'une faible capacité (1 à 5 M bits, par exemple), les mémoires à bulles conviennent bien et sont bon marché. Cette gamme de capacité est normalement utilisée pour les terminaux et les systèmes basés sur les microprocesseurs. Pour une capacité inférieure à 2 M bits, la mémoire à bulles est la mémoire non-volatile la plus compacte et dont le prix est le plus bas [C 13]. La technologie à bulles magnétiques trouve donc sa place d'abord dans les systèmes qui exigent une mémoire de masse simple et peu chère. La gamme 10 - 100 M bits est principalement utilisée avec les mini ordinateurs. Quant aux gros systèmes, ils utilisent généralement plus de 100 M bits de mémoire.

La figure 3.4. ci-après (tirée de [D 10]), illustre la montée des mémoires à bulles attendue vers le milieu des années 1980 pour remplacer les disques à tête mobile et à tête fixe. Actuellement, les mémoires à bulles remplacent effectivement en ce qui concerne leur coût, les disques à tête mobile d'une capacité un peu plus grande que 1 M bits et les disques à tête fixe d'une capacité un peu plus petite que 9 M bits.

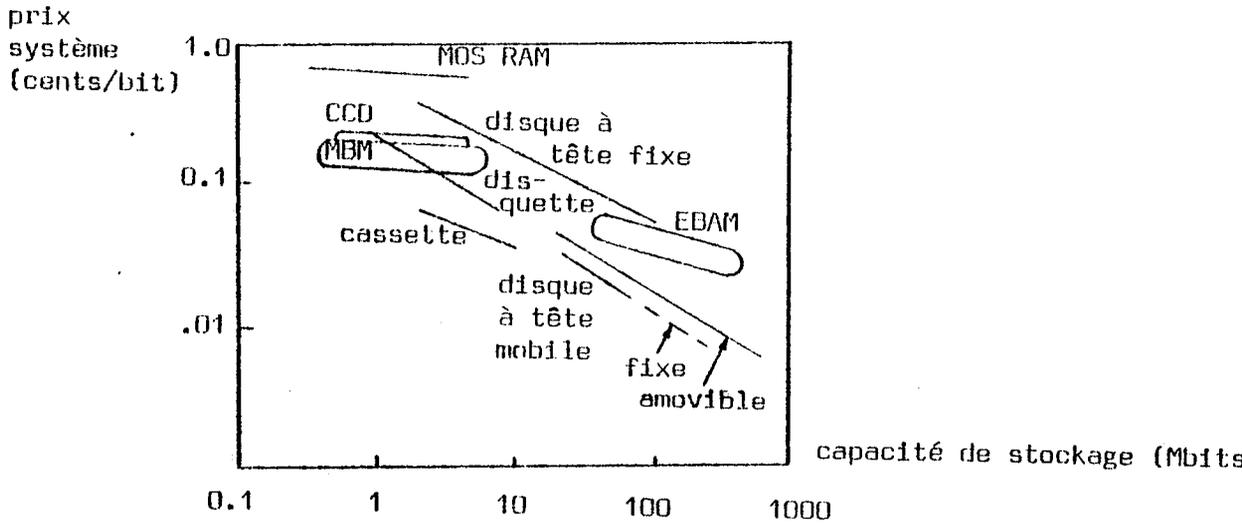


Figure 3.3 - Capacités et prix du bit mémoire (1976)

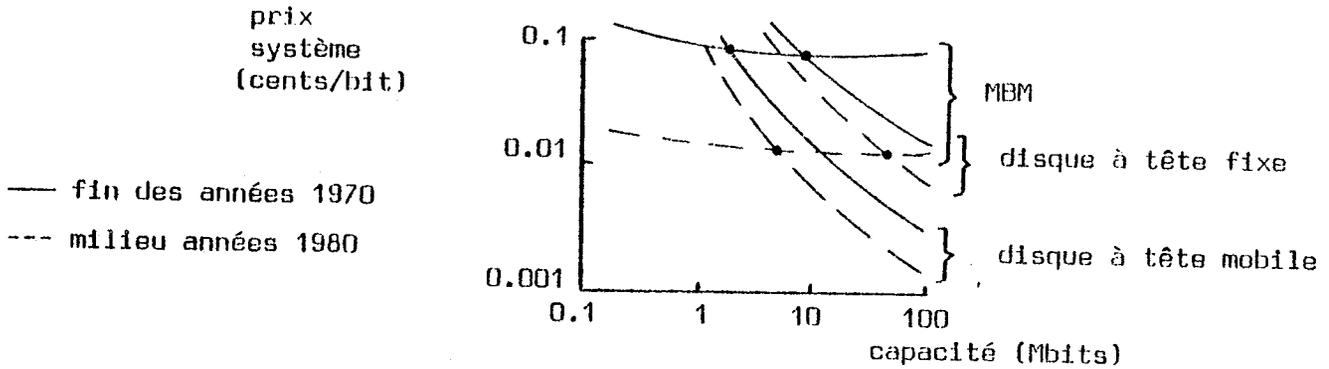


Figure 3.4 - Les mémoires à bulles remplaceront progressivement les disques

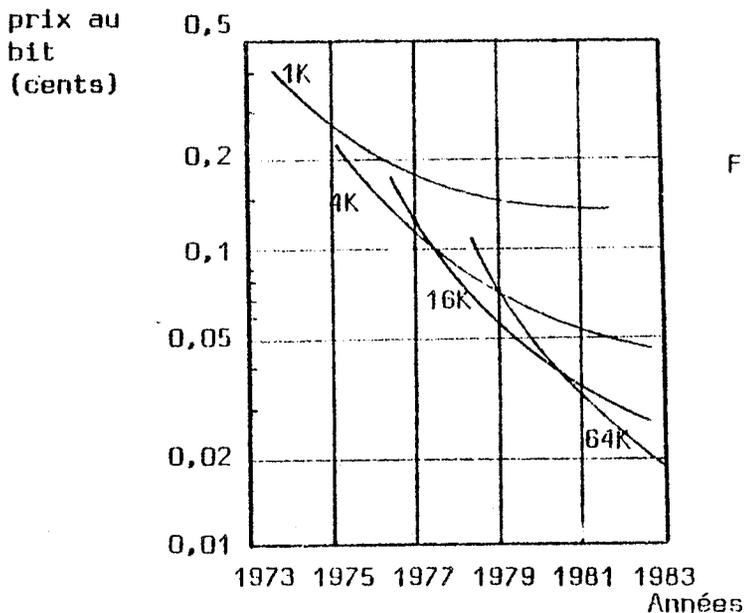


Figure 3.5 - Impact du développement de la technologie LSI sur les mémoires à semi-conducteurs (MOS)

La mémoire à bulles magnétiques est une nouvelle technologie à semi-conducteur, dont on attend une forte réduction du prix système au bit. Cette réduction sera plus forte que celle attendue pour les disques. Les mémoires à bulles devraient donc remplacer de façon appréciable vers le milieu des années 1980, les disques à tête mobile d'une capacité de 4 M bits et les disques à tête fixe d'une capacité de 40 M bits [D 10].

Dans ce qui suit nous jetons un rapide coup d'oeil sur l'état de la mémoire à semi-conducteur.

Le développement rapide des techniques d'intégration à haute échelle (LSI) a eu des effets considérables sur les mémoires à semi-conducteurs. La densité d'enregistrement est en augmentation, ce qui réduit considérablement le prix au bit. On peut compter que tous les deux ou trois ans, la capacité de la puce augmente quatre fois (quadruple), c'est à dire qu'elle passe de 1 K bit à 4 K bits: elle est actuellement de 16 K bits et elle sera prochainement de 64 K bits. La Société Texas Instruments a annoncé une mémoire dynamique RAM de 64 K bits (TMS 4164) disponible depuis fin 1978 [D 38]. Il est raisonnable de dire que la réduction de prix est de 3:1 pour une augmentation de 1:4 en capacité de puce mémoire. La figure 3.5. ci après (tirée de [F 11]) illustre l'effet du développement de la technologie LSI sur la mémoire MOS RAM. Le tableau 3.5. ci-après (tiré de [D 10]), illustre les tendances de capacité et de prix de cette mémoire. Mais ce qui est beaucoup plus significatif, c'est que la complexité de la puce (beaucoup plus de bits) ne va pas altérer les paramètres de performance de la mémoire. La gamme de temps d'accès reste aux environs de 150 à 300 ns, sans tenir compte de l'augmentation régulière de la complexité de la puce [F 4].

Dans un rapport publié par la "Venture Development Corporation" aux USA [C 24] celle-ci estime que les ventes annuelles des systèmes à mémoires à bulles pourront atteindre 231 millions de dollars en 1983. Si les prix peuvent être concurrentiels vis à vis des disques à tête mobile, le marché atteindra plus d'un milliard de dollars au milieu des années 1980.

Tableau 3.5. - Tendances de capacité et de prix pour la mémoire à semi-conducteurs - 1:4 gain en capacité pour 3:1 réduction de prix

Capacité de puce (bits)	Année de disponibilité prévue du produit	Nombre relatif de bits per dollar
16 K	1978	1
65 K	1981	3
262 K	1984	9
1 Méga	1987	27

3.6. CONCLUSION

Les prévisions des experts sur l'avenir de la technologie des mémoires à bulles ont été longuement décrites dans de nombreux articles. Nous avons, dans ce chapitre, indiqué les réalisations possibles envisagées avec les mémoires à bulles. Nous essayons à présent d'en tirer des conclusions.

Bien que la mémoire à bulles soit devenue une réalité commerciale, il est encore trop tôt pour confirmer la validité des prévisions faites quant à la place qu'elle occupera parmi les différents types de mémoires. Le compromis entre le coût, la capacité et la performance de cette technologie n'est pas encore bien défini. Même le remplacement des mémoires rotatives (tambours et disques) par les mémoires à bulles ou à couplage de charge reste incertain, malgré les avantages incontestables de ces techniques en matière de performances, fiabilité et compétitivité de prix. Malgré les travaux de recherche et de développement qui se poursuivent avec optimisme, MALLMANN [D 32] ne voit pas d'alternatives réelles pour les disques magnétiques qui resteront des moyens de stockage sûrs et bon marché. En effet, des programmes de recherche et de développement sont en cours pour maintenir les disques magnétiques comme des unités d'accès aléatoires plus rapides et plus économiques.

Le premier disque amovible (apparu en 1962) était d'une capacité de 7,5 M octets par paquet de disques, avec une densité d'enregistrement de 3,9 bits/mm [D 32]. Quelques années plus tard, les disques avaient beaucoup évolué. La technologie des disques IBM 2314 apparue vers 1965, comptait jusqu'à 100 M octets par paquet, 157,48 bits/mm et 7,87 pistes/mm. La technologie IBM 3330 apparue vers 1970, représentait un grand progrès en performances et en capacité, elle atteignait jusqu'à 300 M octets, 236,22 bits/mm et 15,75 pistes/mm [D 8]. Vers 1970, la technologie de disques "Winchester" dépassait les limites maximum des caractéristiques des disques 3330. Notamment, l'intégration du mécanisme de lecture/écriture améliorait le temps d'accès et la fiabilité. En revanche, l'amovibilité des disques "Winchester" nécessitait

l'assemblage du paquet de disques, des têtes d'accès et du mécanisme de positionnement dans un emballage cher et bien clos. BRECHTLEIN [D 8] estimait que, c'était un pas en arrière en matière de commodité et de souplesse d'utilisation, bien qu'il reconnaissait les autres avantages des disques "Winchester" tels qu'une meilleure performance, l'élimination des problèmes d'écrasement des têtes, une faible consommation d'énergie et une meilleure fiabilité par rapport aux technologies classiques des disques IBM 2314, 3330 et 3350.

Nous pensons quant à nous que l'opinion de MALLMANN est "conservatrice" et nous l'interprétons comme une résistance à l'originalité des technologies nouvelles. Ces technologies demandent plusieurs années pour convaincre les concepteurs de systèmes, les constructeurs et les usagers de leurs réels avantages. En effet, ces nouvelles mémoires exigent de nombreux changements dans l'architecture, le matériel et le logiciel des ordinateurs, alors qu'elles apportent de nettes améliorations en coût et en temps d'accès. Rappelons ici l'exemple de la mémoire à tores magnétiques qui a tenté de lutter contre l'apparition des mémoires à état-solide (les semi-conducteurs), et finalement a succombé quelques années plus tard au profit de "l'état-solide".

Nous pensons que l'avenir de l'informatique n'est pas dans les gros ordinateurs, mais dans les petits ordinateurs mono-programmés. Il est indéniable que d'ici 10 ans, l'utilisateur aura son ordinateur sur son bureau: un petit boîtier contenant le processeur et une très grande mémoire économique, non volatile, qui pourra même contenir des banques de données. La mémoire à bulles est particulièrement bien adaptée à de tels systèmes.

C'est dans le but de convaincre les futurs utilisateurs, que nous avons cité les réalisations effectives et possibles avec des mémoires à bulles, et afin que notre thèse soit une bonne documentation sur l'état actuel de ces mémoires

Lorsqu'on aura analysé en profondeur les implications actuelles et futures de l'utilisation des mémoires à bulles dans les systèmes informatiques, on pourra porter un jugement sur leur rôle. L'évaluation des systèmes donnera une idée précise des performances, du coût, de la disponibilité des produits, des besoins et des applications adéquates des mémoires à bulles. Cependant, il faut bien retenir qu'une nouvelle technologie ne peut avoir du succès que si elle permet d'abaisser les coûts. Et nous pensons qu'il sera possible de minimiser le coût si on choisit une mémoire dont la vitesse et la capacité sont bien adaptées à l'application concernée. Comme nous le verrons dans les chapitres qui suivent, la vitesse de la mémoire à bulles dépend, entre autres, de son organisation.

CHAPITRE 4

LES ORGANISATIONS DE LA MÉMOIRE À BULLES MAGNÉTIQUES

4.1. INTRODUCTION

Toutes les organisations de la mémoire à bulles sont basées sur les registres à décalage. Les bulles, qui représentent les informations, se propagent soit en continu, soit sur commande le long de ces registres qui sont bouclés. De telles organisations sont caractérisées par un temps d'accès relativement long, qui dépend d'une part de la longueur du registre que les bulles doivent parcourir pour arriver à la station d'accès, et d'autre part de la vitesse de propagation des bulles.

Augmenter la performance de la mémoire à bulles et maintenir un prix au bit qui soit bas, sont les buts des recherches actuelles. Ces recherches s'orientent vers les axes suivants:

- 1) s'efforcer d'atteindre de hautes densités d'enregistrement par la diminution du diamètre des bulles. Le fait de reproduire les prototypes actuellement réalisés, à une échelle plus petite n'est pas seulement limité par les problèmes de lithographie et de fabrication, mais aussi par des problèmes de matériaux magnétiques.
- 2) S'efforcer d'augmenter la vitesse de fonctionnement de la mémoire. En premier lieu, on cherche à augmenter la vitesse de propagation des bulles. Un progrès considérable a été accompli pour développer des matériaux à bulles qui supportent la propagation des bulles à haute vitesse [F3]. Ce progrès est basé sur la compréhension du comportement dynamique des bulles et des changements complexes qui arrivent dans la structure de la paroi de bulles. En second lieu, on cherche de nouvelles organisations pour la mémoire qui exploitent au maximum les possibilités des bulles, afin d'obtenir des temps d'accès et de cycle aussi petits que possible et au débit aussi élevé que possible.

Ce chapitre sera consacré aux organisations de la mémoire à bulles. Dans le chapitre 2, nous avons analysé les deux techniques d'accès utilisées dans les mémoires à bulles: l'accès par champ et l'accès par courant. Toutes les mémoires à bulles existantes à ce jour, sont basées sur la propagation par champ pour les raisons citées au § 2.5.1.3 et aussi pour les raisons suivantes:

- 1) la propagation par courant est accompagnée d'une production de chaleur qu'il faut dissiper,
- 2) de nombreuses recherches ont été faites sur la propagation par champ et elles ont contribué à résoudre bon nombre de problèmes techniques et à faciliter leur réalisation.

Toutes ces raisons ont conduit à négliger les circuits d'accès par courant qui ont été abandonnés pendant longtemps. Pourtant, par rapport aux circuits d'accès par champ, ces circuits ont l'avantage de n'être limités ni par la fréquence des circuits moteurs, ni par la vitesse maximale des bulles. Peu d'articles ont été publiés sur les circuits d'accès par courant [A1], [A17], [A18], [B7], cependant ils ont démontré la possibilité de réaliser des mémoires à bulles soit par la technique d'accès par champ, soit par la technique d'accès par courant, soit par la combinaison des deux techniques.

Dans notre travail, nous avons tenté d'obtenir un bon compromis en proposant des nouvelles organisations qui utilisent une combinaison des deux techniques d'accès: des registres de stockage basés sur la propagation par champ et des registres d'accès basés sur la propagation par courant. Les registres d'accès sont incorporés aux registres de stockage, ce qui élimine la nécessité de dupliquer ou de transférer des bulles entre les registres. Les avantages ainsi apportés sont:

- 1) la dissipation de chaleur sera minimisée en limitant la taille et la durée d'activation des circuits à courant ;

- 2) la propagation des bulles à haute fréquence dans les circuits à courant contribuera à améliorer la performance de la mémoire. Tant qu'on dispose des matériaux magnétiques qui supportent la propagation des bulles à haute vitesse, on pourra obtenir un taux de propagation par courant de 1 MHz et plus, tandis qu'on est pratiquement limité à 300 KHz pour la propagation par champ ;
- 3) l'utilisation de stations d'accès à haute fréquence avec les circuits rapides à courant, augmentera le débit de l'information.

4.2. ÉVOLUTION DES CIRCUITS D'ACCÈS PAR COURANT

Vue l'importance de l'accès par courant pour les organisations que nous proposons, nous rendons compte ici de l'état actuel de cette technique.

La technique d'accès par courant permet la manipulation des bulles à de très hautes vitesses, mais il faut trouver des matériaux magnétiques qui supportent les bulles propagées à de telles vitesses. COPELAND a signalé la disponibilité de matériaux à bulles permettant la propagation des bulles à une vitesse supérieure à 1 MHz [A17]. AHAMED a indiqué l'existence des matériaux magnétiques autorisant des vitesses de bulles supérieures à 2 ou 3 MHz [A1]. BOBECK a parlé de la possibilité d'atteindre une vitesse de propagation de 10 MHz avec la technique d'accès par courant [A7 p. 162]. Il faut donc absolument exploiter ces capacités de circuits d'accès par courant, si nous voulons augmenter les domaines d'utilisation des mémoires à bulles.

Le seul article qui ait réellement évoqué la possibilité de réaliser une combinaison des circuits d'accès par champ et par courant, est celui de DEKKER & al. [A 18]. Deux organisations en registres mineurs/registre majeur ont été proposées, avec des chemins et des portes à conducteurs pour accès rapide. Ces structures à courant ont montré leur capacité de propager des bulles de 7 μm à une vitesse de 1 MHz, ce qui a réduit considérablement les temps d'accès et de cycle. Dans cet article, ont également été examinées les structures de propagation par courant, leurs caractéristiques et leurs performances.

4.3. CRITÈRES DE CHOIX D'UNE ORGANISATION DE LA MÉMOIRE À BULLES

On peut résumer ces critères de la manière suivante:

- 1) le type d'application pour laquelle la mémoire sera utilisée, implique le choix de la meilleure façon de ranger les pages, les mots ou les bits dans la mémoire pour obtenir une meilleure performance: par exemple minimiser le temps pour retrouver l'unité d'information demandée. De même, la manière d'accéder à l'information dépend de l'application et de l'organisation: par exemple, les mots d'une page pourront être accédés soit d'une façon aléatoire, soit d'une façon séquentielle.
- 2) Les besoins des accès simultanés impliquent l'utilisation soit de plusieurs modules mémoire contrôlables indépendamment, soit d'un module qui dispose de plusieurs stations d'accès permettant plusieurs accès en parallèle.
- 3) La nécessité de ne pas perdre d'information en cas de grave défaut d'une puce ou d'un registre d'une puce, implique de choisir une organisation basée sur l'utilisation de puces redondantes, de registres redondants ou de codes correcteurs d'erreurs pour faire face à une telle situation.

4.4. LES ORGANISATIONS CLASSIQUES

4.4.1. Organisation en registre bouclé simple (organisation série)

La puce mémoire est composée d'un seul registre à décalage bouclé et très long (figure 4.1). Ce registre est muni d'une seule station d'accès capable d'accéder à un seul bit à la fois. Cette organisation, très simple, entraîne un temps d'accès moyen très long. Si C est la longueur du registre en bits et également la capacité de la puce, et si W est la longueur du mot en bits, alors le temps d'accès à un mot aléatoire sera (voir annexe): $\frac{C}{2} + \frac{W}{2}$ pas pour un décalage unidirectionnel et $\frac{C}{4} + \frac{W}{2}$ pas pour un décalage bidirectionnel.

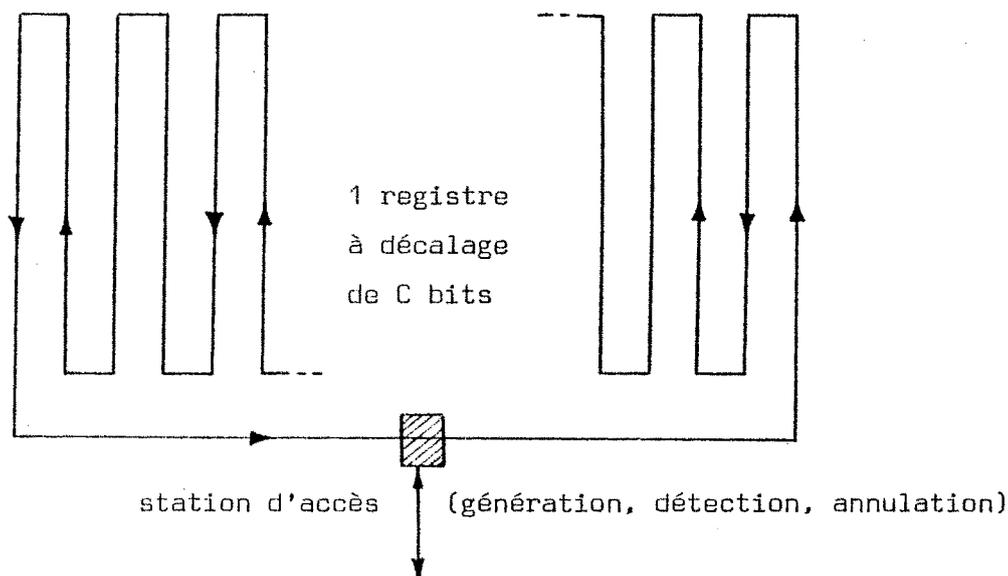


Figure 4.1. - Organisation en registre bouclé simple

Cette organisation ne permet pas un accès aléatoire, mais par contre elle présente un grand intérêt dans le cas d'une utilisation séquentielle du type enregistreur. Dans ce cas, il est préférable d'assembler un grand nombre de puces (24 à 48 par exemple) dans un même boîtier (module) pour utiliser un seul champ tournant. Chaque puce représente une piste. Il est possible d'utiliser toutes les pistes du module en série ou en parallèle. Le temps de sélection entre les pistes est très court (quelques microsecondes).

L'arrangement en série des bulles dans un long registre à décalage nécessite une fabrication parfaite. Tout défaut pourrait produire une coupure dans la chaîne de bulles qui représentent les données. Des organisations basées sur des registres de stockage plus courts sont donc préférables, puisqu'elles permettront quelques défauts dans la puce et de plus elles auront une performance meilleure que celle de l'organisation en registre bouclé simple.

Chacune des organisations que nous allons analyser dans la suite, utilise plusieurs registres à décalage beaucoup plus courts. Les fines géométries utilisées dans la mémoire rendent difficile la fabrication de puces parfaites et en particulier avec les bulles très petites qui sont nécessaires pour augmenter la densité d'enregistrement et réduire le prix au bit. Pour obtenir un coût de fabrication raisonnable, on prévoit quelques registres supplémentaires, ce qui permet à quelques registres défectueux d'exister dans la puce. Les registres à éliminer sont déterminés par un test fait lors de la fabrication, et sont ensuite masqués pour assurer une complète sécurité d'opération. Un plan de correspondance sera inclus dans les circuits qui contrôlent le décalage des bulles pour éviter d'utiliser des registres défectueux. Ce plan est normalement stocké dans une mémoire de type ROM. En cours d'opération, le plan est lu à partir de la mémoire ROM et sera utilisé pour interdire le transfert des données quand ceci est nécessaire, pour empêcher les bits exclus d'arriver au tampon du contrôleur d'entrée/sortie. Il est aussi possible de stocker le plan dans la mémoire à bulles elle-même, il sera alors lu dans la mémoire centrale pendant l'initialisation du système.

4.4.2. Organisation en registres mineurs/registre majeur

Proposée par les Laboratoires Bell [A7], [A8], cette organisation est très connue et a fait l'objet de plusieurs réalisations. La puce mémoire contient un ensemble de boucles courtes, appelées registres mineurs, pour stocker les informations (figure 4.2). Une autre boucle, appelée registre majeur, comporte la station d'accès. Le registre majeur est commun à tous les registres mineurs, car les données peuvent être transférées vers ou depuis les registres mineurs à travers des portes de transfert bidirectionnelles (dans la figure 4.2 deux bits sont transférés entre le registre majeur et chaque registre mineur, afin de diminuer le nombre de portes de transfert et faciliter la réalisation). Les bulles circulent, soit en continu, soit sur commande, dans les registres mineurs et le registre majeur (décalage unidirectionnel). Le registre majeur tourne en synchronisme avec les registres mineurs.

L'appareil de stockage est donc organisé en page ou bloc. La taille naturelle d'une page est égale au nombre de registres mineurs. Pour un accès en lecture, la page contenant les informations adressées est décalée sur les registres mineurs jusqu'à ce qu'elle soit en face du registre majeur sur lequel est sera transférée. Ensuite, les bulles seront décalées le long du registre majeur jusqu'au détecteur, puis elles seront de nouveau stockées à leur place d'origine sur les registres mineurs. La présence d'une bulle pendant une certaine période (5 μ s pour une fréquence de 200 KHz par exemple), constitue la valeur logique 1 et réciproquement l'absence d'une bulle pendant la même période représente la valeur logique 0.

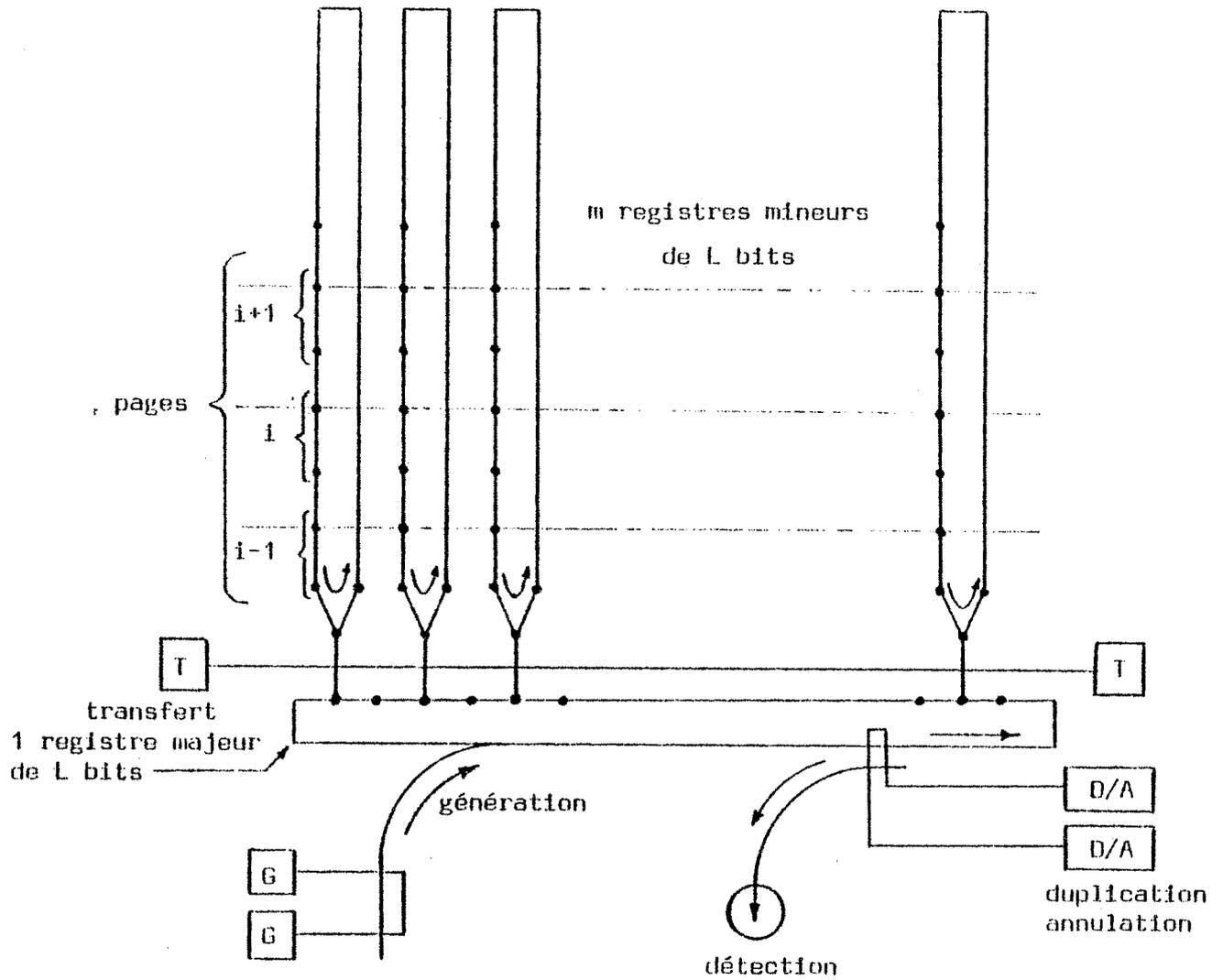


Figure 4.2. - Organisation en registres mineurs/registre majeur

Pour avoir une puce carrée, il faut que $2m = \frac{L}{2}$
 et ainsi pour une puce de C bits, $L = 2\sqrt{C}$ et $m = \frac{L}{4} = \frac{\sqrt{C}}{2}$

Exemple: $C = 64\text{Kbits} \Rightarrow m = 128$ registres mineurs de $L = 512$ bits.

Temps d'accès et de cycle de la puce mémoire [C6]

Temps d'accès (t_a):

c'est la somme du temps de sélection (en moyenne $L/2$ décalages, L étant la longueur en bits d'un registre mineur ou du registre majeur) et du temps de décalage sur le registre majeur jusqu'à la fonction d'accès choisie (prenons par exemple $1/4$ du registre majeur, soit $L/4$ décalages). Donc si F est la fréquence de décalage, on a $t_a = \frac{3L}{4F}$. Pour une puce de forme carrée, de capacité C bits et ayant m registres mineurs avec une distance de 2 bits entre deux portes de transfert, il faudra que $2m = \frac{L}{2}$, mais comme $m \times L = C$, donc $L = 2\sqrt{C}$, $m = \frac{\sqrt{C}}{2}$ et $t_a = \frac{3\sqrt{C}}{2F}$.

Temps de cycle (t_c):

c'est la somme du temps de sélection + un tour de registre majeur pour venir réinscrire la page dans les registres mineurs ($\frac{L}{2} + L = \frac{3L}{2}$ décalages), alors $t_c = \frac{3L}{2F} = \frac{3\sqrt{C}}{F}$.

Exemple:

Si $C = 64\text{Kbits}$ et $F = 200\text{ KHz}$, $m = 128$ registres mineurs et $L = 512$ bits, alors $t_a \approx 2\text{ ms}$ et $t_c \approx 4\text{ ms}$.

Inconvénients de l'organisation

L'organisation en registres mineurs/registre majeur améliore considérablement la performance par rapport à l'organisation en registres simples.

Cependant elle présente les inconvénients suivants:

- 1) le temps d'accès à un bit peut être très long lorsque le bit doit traverser le registre mineur tout entier (d'une longueur non négligeable) et le registre majeur jusqu'à la station d'accès.

- 2) La lecture nécessite le retour de la page lue dans le registre majeur vers les registres mineurs, avant de répondre à toute autre requête d'accès à la mémoire. Ceci augmente le temps de lecture.
- 3) L'accès simultané à plusieurs bits dans la puce n'est pas possible avec un seul registre majeur.
- 4) Cette organisation impose une capacité fixe de pages.

On peut pallier au premier inconvénient en adoptant un décalage bidirectionnel dans les registres mineurs, avec la possibilité d'arrêter les bulles. Lorsque la page demandée est positionnée devant le registre majeur, on arrête le décalage. Le transfert vers le registre majeur et le décalage pour l'accès seront provoqués par une commande extérieure (accès par courant par exemple). Le phénomène de localité des références [E12], [E13], [E14], [E15], [E27] dans le programme permet de penser que le décalage pour amener la nouvelle page adressée devant le registre majeur sera faible.

Le deuxième inconvénient peut être éliminé par la duplication de la page à lire au lieu de son transfert. Normalement, 90 % environ des accès mémoire sont faits en lecture, ceci évite donc la ré-écriture et diminue le temps de cycle.

Pour le troisième inconvénient, on peut utiliser un autre registre majeur, à l'autre bout des registres mineurs, ce qui permet un accès simultané à deux bits dans la puce (mais pas plus).

Quant au quatrième inconvénient, il est possible de choisir un nombre de puces adressables en parallèle pour augmenter la capacité de la page et assurer le débit demandé.

Nous avons exploité ces différents palliatifs dans les organisations que nous avons proposées et qui seront décrites par la suite (§ 4.6).

4.4.3. Organisation série parallèle

Cette organisation (réalisée au LETI-CENG), est une variante de la précédente. Les différences essentielles sont les suivantes [B14], [C5], [C6], (figure 4.3):

- 1) la lecture est non destructive. Elle se fait par duplication de l'information des registres mineurs vers le registre majeur. Il n'est alors plus nécessaire de ré-écrire l'information qui vient d'être lue et le temps de cycle est diminué.
- 2) Le registre majeur n'est plus une boucle fermée tournant en synchronisme avec les registres mineurs. Il est ouvert et débite directement dans le détecteur (registre de lecture).
- 3) L'écriture dans les registres mineurs est assurée par des portes de transfert ou de duplication situés à l'opposé des portes de lecture (les anciens bits sur les registres mineurs étant déjà effacés à travers les portes de lecture). On peut aussi utiliser des portes d'échange ("swap gates") qui permettent un échange de place entre les anciens et les nouveaux bits. Les anciens bits se dirigent ensuite vers un annulateur
- 4) Le plan mémoire est décomposé en deux parties, l'une affectée aux bits pairs, l'autre aux bits impairs. La page d'information est écrite en série, simultanément sur les deux registres d'écriture. Le registre affecté au demi plan impair ayant un pas de moins, les bits impairs et pairs se présentent simultanément en face des portes de transfert vers les registres de stockage. La page est représentée par une seule ligne, mais les bits pairs (0, 2, 4, ..) et impairs (1, 3, 5, ..) sont maintenant dans deux demi-plans distincts.

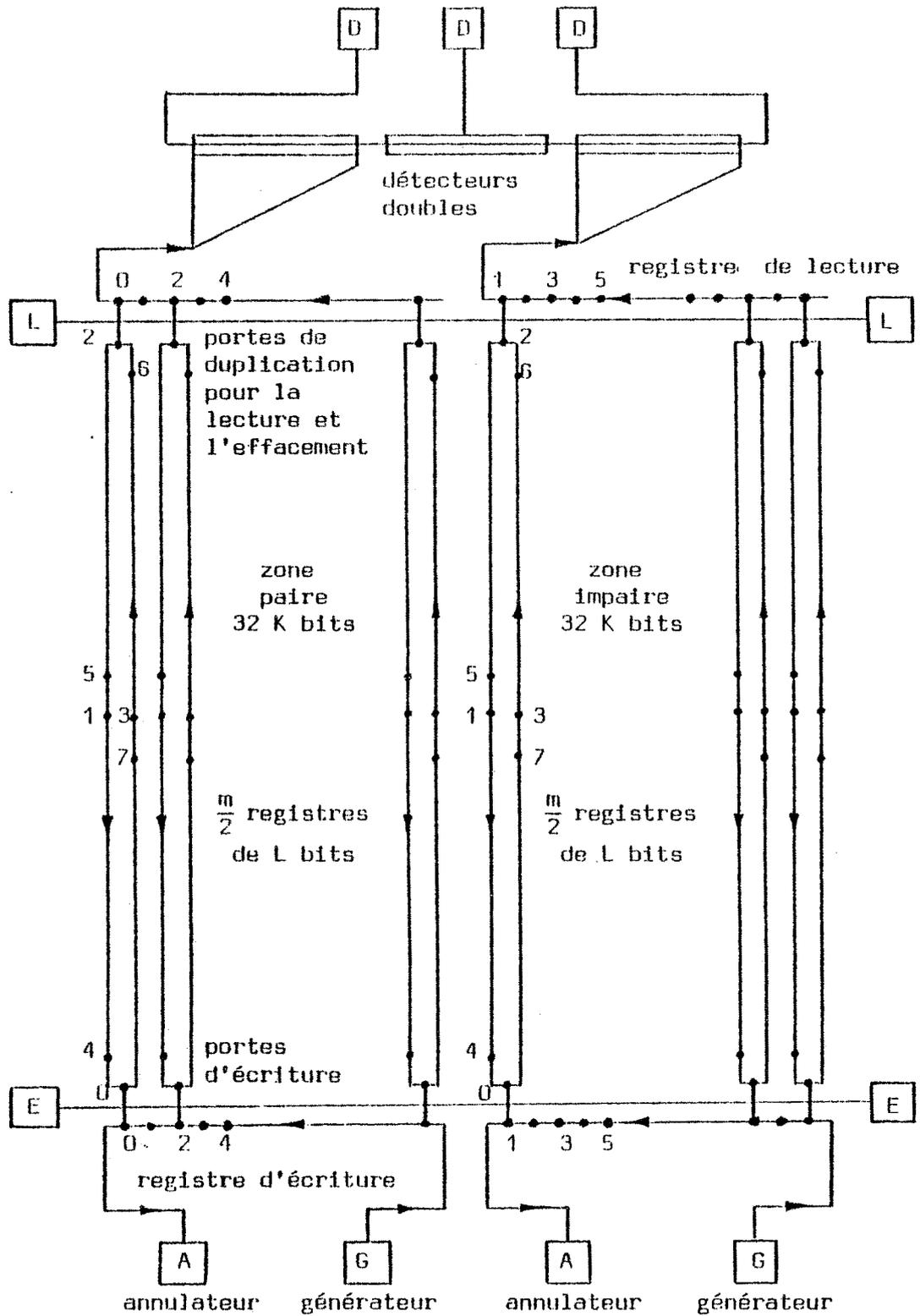


Figure 4.3. - Organisation d'une puce en série-parallèle

- 5) La lecture est effectuée à l'aide de deux détecteurs doubles. On duplique (transfert complet pour effacement) en une seule fois les bits pairs et impairs sur les registres menant aux détecteurs. Une position sur deux est utilisée. Le contenu du registre pair est 0, 2, 4, ..., et celui du registre impair est 1, 3, 5, ... Il suffit que les trains de bits pairs et impairs arrivent décalés de 1 bit sous les détecteurs, pour que le détecteur impair serve de référence lorsqu'on lit un bit pair, et inversement.
- 6) Technologiquement, la complexité est peu augmentée. Toutes les portes sont unidirectionnelles.
- 7) Les temps d'accès et de cycle sont diminués. Gardant les mêmes paramètres que dans l'organisation précédente, le plan se divise alors en $\frac{m}{2} = \frac{L}{8}$ registres pairs et $\frac{L}{8}$ registres impairs. Les détecteurs peuvent être implantés très près des registres mineurs, à $\frac{L}{16}$ positions par exemple. Le temps moyen d'accès à la page est alors:
- $$t_a = \left(\frac{L}{2} + \frac{L}{16}\right) \frac{1}{F} = \frac{9\sqrt{C}}{8F}$$
- Le temps de cycle à la lecture (pour accès au bloc de m bits) est égal à la somme du temps d'accès et du temps de lecture de la page, soit:
- $$t_c = \left(\frac{L}{2} + \frac{L}{16} + \frac{m}{2} \times 2\right) \frac{1}{F} = \frac{13\sqrt{C}}{8F}$$
- Ainsi, dans le cas d'une mémoire de 64 K bits tournant à 200 KHz, on a $t_a = 1,5$ ms et $t_c = 2,1$ ms.
- 8) Enchaînement des blocs: l'exemple précédent a montré que l'on gagnait un facteur de deux sur le temps de cycle de la mémoire, par rapport à l'organisation en registres mineurs/registre majeur. De plus, le fait de ne pas ré-écrire après la lecture, permet d'enchaîner les blocs à la lecture comme à l'écriture. Prenons l'exemple numérique de la mémoire de 64 K bits (figure 4.3). On disposera en fait de 2 x 64 registres de 513 bits. Dans ce cas, la seule précaution à prendre est que la longueur du registre mineur (513 bits) et le nombre de registres (128) soient premiers entre eux.

Supposons que le bloc utilisateur ait 1024 bits (8×128). On peut écrire consécutivement les 1024 bits en aiguillant les pairs et les impairs vers leurs registres et en envoyant les impulsions d'écriture à chaque sous-bloc de 128 bits. Le bloc est alors adressable par l'adresse du premier sous-bloc inscrit. A la lecture, il est maintenant possible de restituer en continu les 1024 bits écrits. On peut ainsi considérer l'information comme un seul bloc de 513×128 bits série, les écrire et les restituer en continu, comme s'il s'agissait d'un grand registre série. On montre sur la figure 4.3 les positions des 8 sous-blocs d'un bloc de 1024 bits.

4.4.4. Organisation en registres multiples

J. TASSO a proposé [B15] cette organisation, non seulement pour remplacer les disques, mais aussi pour remplacer la mémoire centrale et même le "cache".

L'idée de base est de mettre à profit d'une part les possibilités des registres à décalage (arrêt et démarrage sans inertie dans un sens ou dans l'autre) et d'autre part la possibilité de faire en sorte que les informations le plus souvent requises soient placées dynamiquement à proximité immédiate des points accessibles des registres.

Les registres à décalage utilisés sont bouclés, décalables dans les deux sens, et peuvent être arrêtés. Chaque registre a une longueur de L bits et il est muni d'une station d'accès.

Dans cette organisation, la mémoire est composée de N classes indépendantes (figure 4.4). Chaque classe contient m registres à décalage groupés de façon à ce qu'ils subissent, solidairement, le même décalage. Quand une classe subit un décalage, les $N-1$ autres sont à l'arrêt. Dans chaque classe une seule ligne (de m bits) est privilégiée, c'est celle qui est accessible sans aucun décalage. Chaque ligne a une adresse circulaire comprise entre 0 et $L-1$.

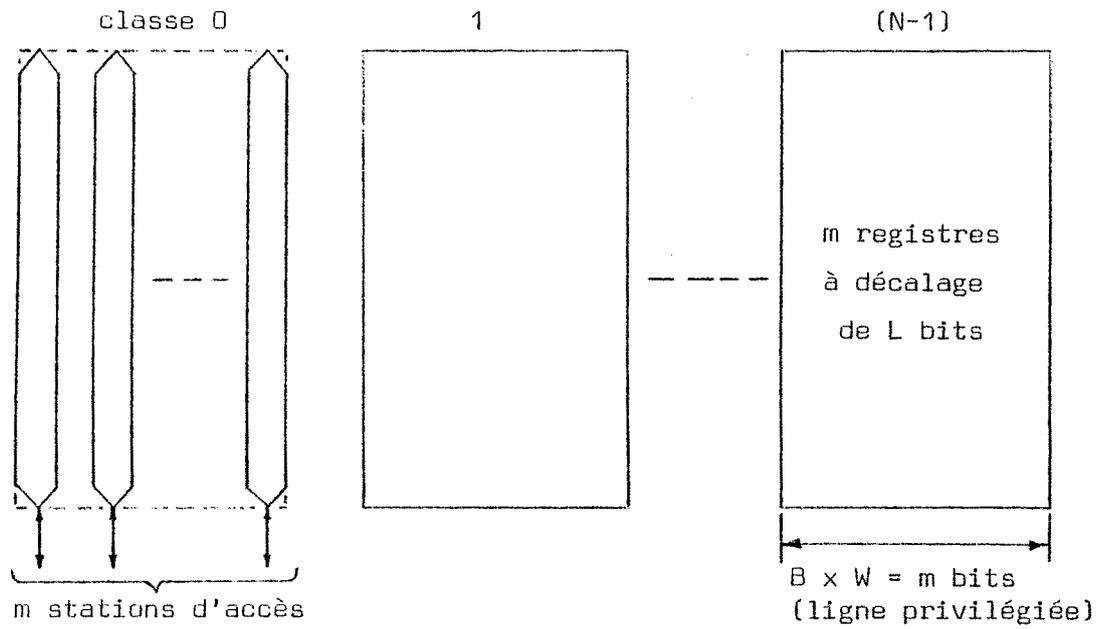


Figure 4.4. - Organisation de TASSO

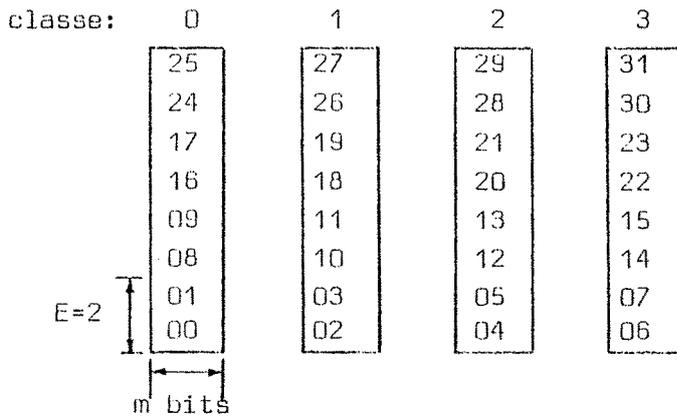


Figure 4.5. - Illustration de l'entrelacement

Exemple: $N = 4$ et $E = 2$

(les nombres indiquent les rangs des lignes des données)

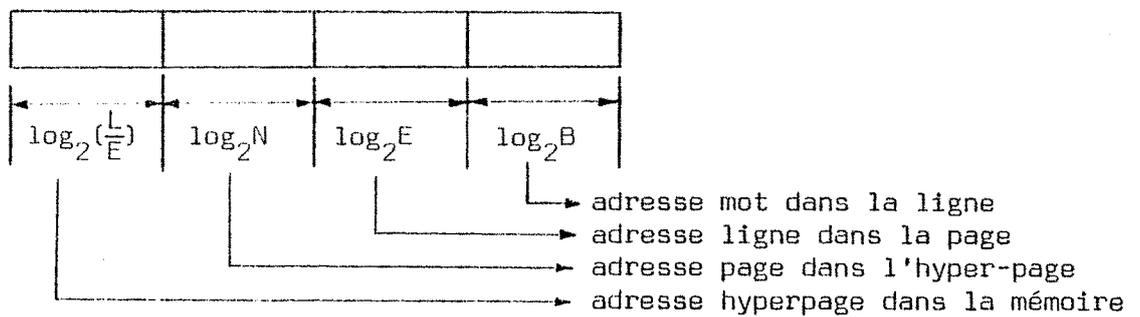


Figure 4.6. - Principe d'adressage dans l'organisation de TASSO

On peut envisager une unité plus grande que la ligne: la page, qui se compose de E lignes consécutives ($E \geq 1$). La page contenant la ligne privilégiée est une page privilégiée. La capacité totale de la mémoire est $N \times L \times m$ bits.

Le rangement des informations dans les classes est effectué suivant un entrelacement classique d'ordre N au niveau de la page (figure 4.5). Pour cela, on effectue un changement de classe à chaque fin de page de profondeur E lignes, soit tous les $E \times m$ bits. Les N pages consécutives dans les N classes représentent une hyper-page de $N \times E \times m$ bits.

Chaque classe a une adresse comprise entre 0 et $N-1$. L'adresse de la classe et l'adresse de la ligne contenant le mot adressé, serviront à déterminer le sens et la valeur du décalage nécessaire pour amener le mot demandé devant les stations d'accès.

L'organisation de TASSO est une organisation d'accès par mots. La figure 4.6 montre la décomposition de l'adresse du mot recherché. La ligne privilégiée (le front) contient B mots de W bits ($m = B \times W$).

On peut considérer cette organisation comme une hiérarchie d'accès, intégrée dans une seule technologie, et dans laquelle on distingue quatre niveaux:

- 1) l'ensemble des N lignes privilégiées accessibles sans aucun décalage (accès purement aléatoire) et dans lequel seront servies plus de 80 % des requêtes. En pratique, ce niveau intervient par son temps de cycle T_1 dû à l'électronique de lecture/écriture. La probabilité d'absence dans ce niveau est M_1 .

- 2) L'ensemble des N pages privilégiées qui intervient par son temps d'accès moyen: $\frac{E-1}{3}$ décalages: c'est la distance moyenne entre 2 bits aléatoires parmi E bits sur un registre très long ($\frac{E-1}{3}$ au lieu de $\frac{E}{4}$ utilisé dans [B15]). M2 est la probabilité d'absence dans ce niveau.
- 3) L'ensemble des S lignes occupées par le programme et qui intervient par son temps d'accès moyen: $\frac{S-1}{3}$ où S = volume du programme/(Nxm).
- 4) Le reste de la mémoire qui n'intervient pas au cours de l'exécution du programme.

Si D est le temps de décalage d'un pas, donc le temps de cycle apparent global pour des requêtes provenant du programme, T_a sera:

$$T_a = T_1 + M1 \cdot \left(\frac{E-1}{3}\right) \cdot D + M2 \cdot \left(\frac{S-1}{3} - \frac{E-1}{3}\right) \cdot D$$

$$= T_1 + M1 \cdot D \cdot \frac{S}{3} \cdot F$$

$$\text{et } F = \frac{E-1}{S} + \frac{M2}{M1} \left(1 - \frac{E}{S}\right)$$

avec $1 \leq E \leq S$, $M2 \leq M1$ et $F \leq 1$.

Les probabilités d'absence M1 et M2 s'obtiennent par des mesures statistiques, ou par un modèle algébrique comme celui donné par TASSO:

$M = 0,92^A$ avec $A = \log_2 N \cdot \log_2 P$, P étant la capacité d'une page en octets.

Pour les deux premiers niveaux d'accès nous aurons: $P1 = m/8$ et $P2 = mE/8$.

TASSO a donné un exemple dans lequel le temps d'accès moyen est de l'ordre de un pas seulement, ce qui montre la possibilité d'une compétitivité avec les mémoires aléatoires du point de vue des performances. Il est donc possible de réaliser une mémoire d'apparence aléatoire à partir des registres à décalage bidirectionnel ayant une longueur très grande sans nuire aux performances.

Les inconvénients de cette organisation sont, d'une part, l'exigence d'avoir une station d'accès par registre à décalage, ce qui coûte très cher en argent et en espace physique et rend difficile une réalisation économique, et d'autre part, l'impossibilité d'assembler plusieurs classes dans le même boîtier pour utiliser un seul champ tournant ; ceci coûtera cher si la capacité de la classe n'est pas très grande.

4.5. TECHNIQUES POUR AUGMENTER LES PERFORMANCES ET LES POSSIBILITÉS D'EXPLOITATION DE LA MÉMOIRE À BULLES

4.5.1. Technique de réarrangement dynamique des données

BEAUSOLEIL & al. [B2] ont proposé une technique de réarrangement dynamique des données pour améliorer les performances de la mémoire à bulles construite en registres à décalage. Cette technique exploite certaines des possibilités des bulles, telles que: le transfert entre registres, le décalage bidirectionnel et les possibilités d'insérer ou de supprimer des trains de bits dans des flux de données. L'idée est de mettre les pages de données les plus récemment utilisées à proximité des stations d'accès. On utilise le décalage dans un sens (sur les L bits du registre) pour chercher la page demandée et le décalage en sens inverse (sur L-1 bits après avoir bloqué le bit recherché) pour réarranger les autres pages (figure 4.7).

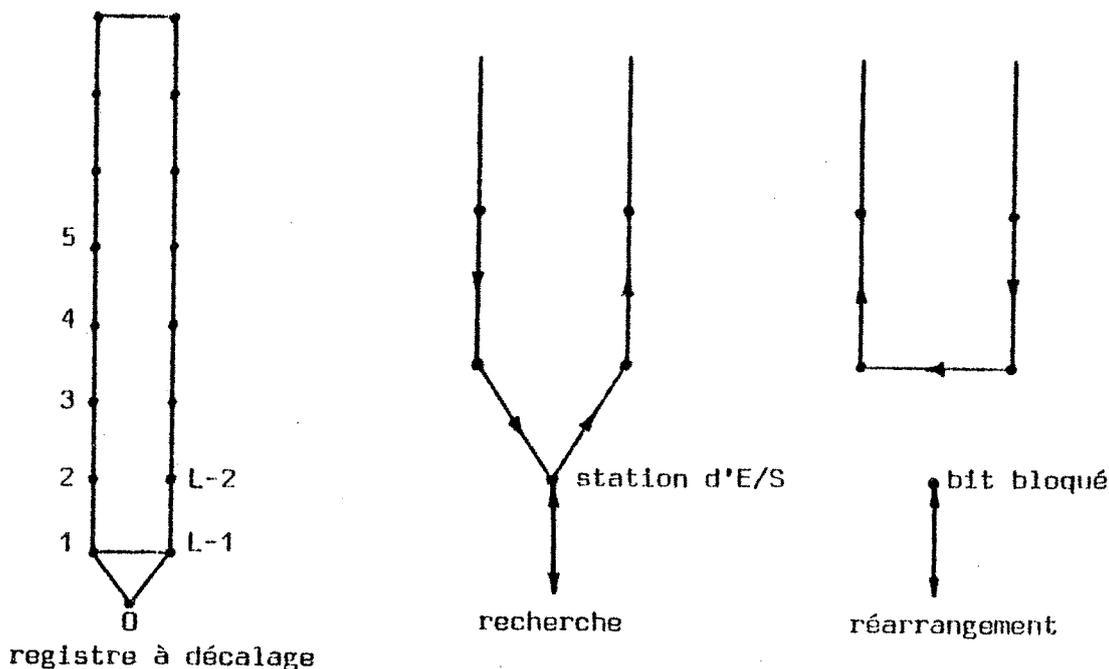


Figure 4.7. - Fonctions nécessaires au réarrangement dynamique

Trois schémas ont été proposés:

- 1) L'arrangement dynamique ("dynamic ordering"): il utilise le décalage dans un sens défini pour rechercher la page adressée et le décalage en sens inverse pour réarranger les autres pages suivant l'ancienneté de leur référence (figure 4.8).
- 2) Le double arrangement dynamique ("double ordering"): les pages ayant un numéro pair et celles ayant un numéro impair sont rangées sur les registres dans deux directions opposées (figure 4.9). Pour la recherche, le décalage dans le sens optimal est choisi. Le décalage bidirectionnel est permis sur les deux chemins (recherche et réarrangement). Ce schéma apporte une amélioration sur le précédent et de plus il divise par deux le plus mauvais temps d'accès (à la page la moins récemment utilisée).
- 3) L'arrangement dynamique en deux dimensions ("two-dimensional ordering"): au lieu d'avoir un long registre de stockage, on le divise en plusieurs petits registres dans lesquels les données sont rangées sous la forme d'une matrice (figure 4.10). Des recherches et réarrangements horizontaux et verticaux seront effectués. Ce schéma, un peu compliqué, apporte une amélioration supplémentaire au temps moyen d'accès, ainsi qu'une réduction du plus mauvais temps d'accès.

Pour appliquer ces techniques, il faut:

- 1) avoir des circuits spéciaux commandés de l'extérieur pour réaliser les fonctions de recherche, de réarrangement et de blocage de la page demandée ;
- 2) avoir $\log_2 L$ registres d'adresses identiques aux registres de stockage (longueur L bits) pour garder les adresses des pages qui seront arrangées suivant l'ancienneté de leur référence. Ces adresses se décalent solidairement avec les pages. L'adressage dans le schéma en deux dimensions est très compliqué. On a besoin des bits d'adresses spéciaux pour chaque secteur et pour chaque page dans le secteur.

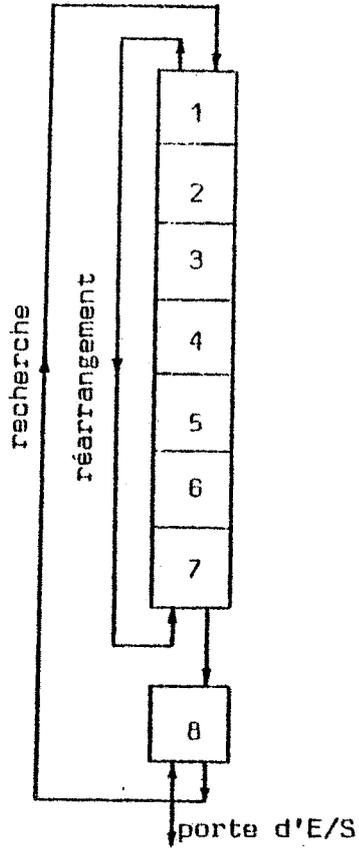


Figure 4.8. - Arrangement dynamique sur un registre à décalage

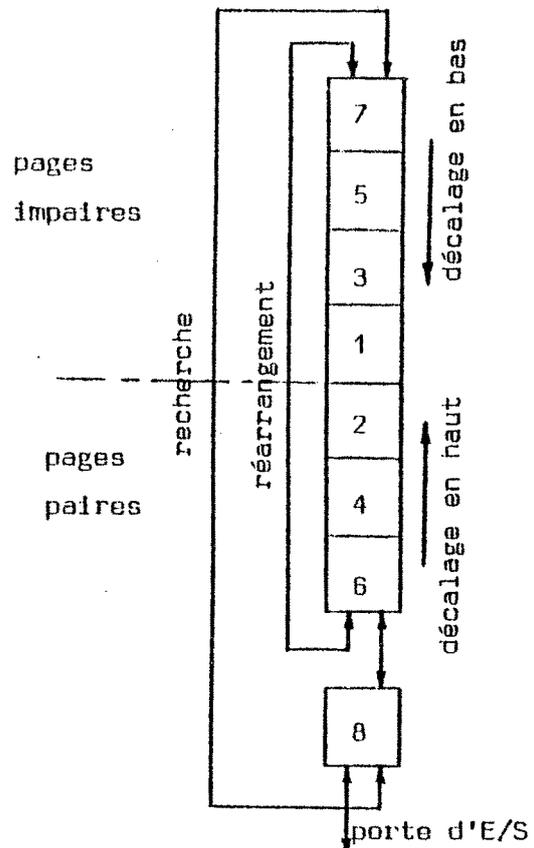
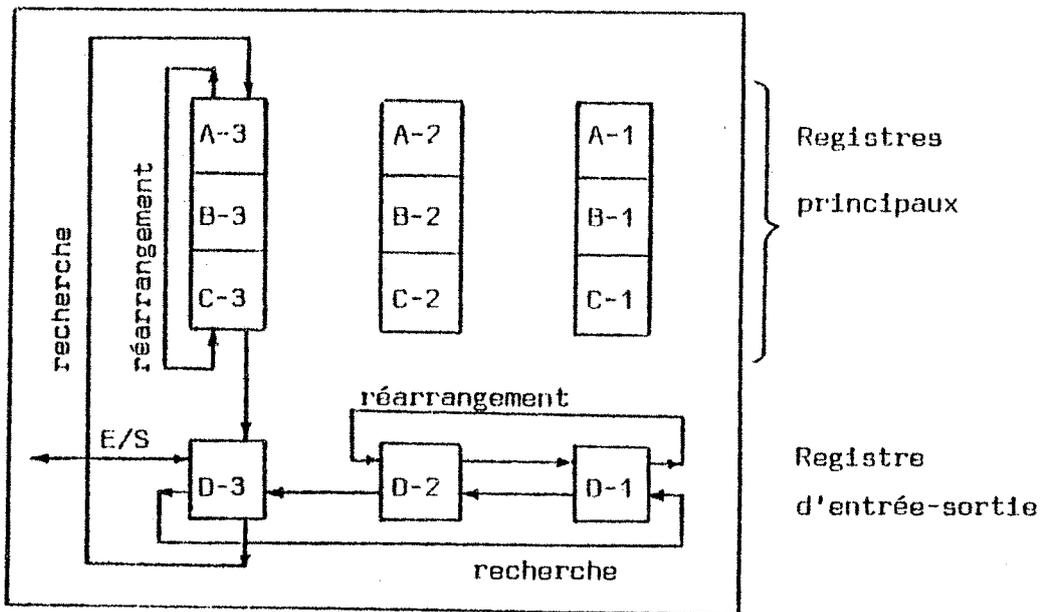


Figure 4.9. - Double arrangement dynamique



A, B, C et D sont des secteurs
 1, 2, 3 sont des pages à l'intérieur de chaque secteur

Figure 4.10. - Arrangement dynamique en deux dimensions

BONYHARD & al. ont réalisé une simulation visant à évaluer la performance d'une mémoire à bulles de 2 M bits ayant 128 stations d'accès, organisée en registres mineurs/registre majeur et exploitée avec la technique de réarrangement dynamique des données [B4]. Les résultats ont montré qu'en moyenne on demande 8,8 décalages pour le temps d'accès et 12,1 décalages pour le temps de cycle mémoire. Si cette mémoire était utilisée avec une mémoire "cache" rapide de 64 K bits, sa performance serait améliorée de 1,05 décalages pour l'accès et 1,9 décalages pour le cycle.

LAGOUTIERE et MAUDUIT [B 11] ont réalisé des expériences semblables avec un réarrangement dynamique dans les registres mineurs seuls, dans les registres majeurs seuls, puis dans les registres mineurs et registres majeurs.

4.5.2. L'échelle de bulles "bubble ladder"

TUNG & al [B16] ont proposé une organisation en échelle qui est une suite linéaire de registres à décalage bouclés, liés par des aiguillages binaires. Elle fournit une organisation souple qui convient à des applications telles que la permutation et le tri des données, ou la gestion automatique de stockage type pile et file d'attente. L'échelle de bulles a déjà été exposée au § 2.6.

4.6. LES NOUVELLES ORGANISATIONS

4.6.1. Notations

Nous commençons par définir quelques uns des termes qui seront utilisés dans cette section pour décrire ces nouvelles organisations. Ces organisations utiliseront à la fois les deux techniques d'accès, à savoir:

- 1) la technique d'accès par champ pour la propagation des bulles dans les registres de stockage,
- 2) la technique d'accès par courant pour la propagation des bulles dans les chemins d'accès.

Registre de stockage: registre à décalage bouclé dans lequel les informations sont stockées sous la forme de présence ou d'absence de bulles. Il contient L bits.

Station d'accès: dispositif qui réalise les fonctions d'accès: génération, détection, annihilation des bulles magnétiques. Elle agit sur un seul point mémoire (bit).

Chemin d'accès: chemin qui mène les bulles vers les stations d'accès ; nous distinguons deux types de chemins d'accès:

- 1) *Pont d'accès:* chemin d'accès qui peut être ouvert (non bouclé) ou fermé (bouclé), mais qui n'est pas complètement incorporé dans les registres de stockage ;
- 2) *Contour d'accès:* chemin d'accès fermé qui est complètement incorporé dans les registres de stockage.

Participation du registre de stockage au chemin d'accès: le nombre de bits communs entre un registre de stockage et un chemin d'accès.

Décalage longitudinal: décalage bidirectionnel obtenu par la technique d'accès par champ et qui sert à propager les bulles dans les registres de stockage jusqu'aux chemins d'accès.

Décalage transversal: décalage bidirectionnel obtenu par la technique d'accès par courant et qui sert à propager les bulles dans les chemins d'accès jusqu'aux stations d'accès.

Classe: groupe de registres de stockage décalables à l'unisson. La classe avec ses circuits électroniques d'accès forme une puce mémoire.

Permutation fautive: permutation erronée des unités de participation (des registres de stockage aux chemins d'accès) entre les chemins d'accès. Un contrôle du décalage longitudinal est nécessaire pour éviter une permutation fautive.

Mot: groupe de W bits constituant l'unité adressable dans la mémoire.

Page: unité de découpage de la mémoire en groupes de mots. Sa capacité est égale à la capacité des chemins d'accès de la classe (B mots).

Page privilégiée: c'est la page qui se trouve sur les chemins d'accès. Son contenu est accessible par un décalage transversal. On l'appelle aussi "front".

Dans toutes les nouvelles organisations, les occurrences du décalage longitudinal et du décalage transversal sont mutuellement exclusives (contrainte due à l'incorporation des chemins d'accès dans les registres de stockage).

On trouvera en annexe les dérivations des formules de performance (décalage moyen par référence) pour toutes les organisations de la mémoire.

4.6.2. Organisation avec pont d'accès

4.6.2.1. Objectifs

Les objectifs que nous avons fixé en proposant cette organisation sont les suivants [B5] :

- 1) Obtenir une organisation plus efficace que celle en registres mineurs/registre majeur en évitant l'emploi du registre majeur dans sa forme classique. Ceci évitera le parcours complet du registre majeur, donc diminuera le temps de cycle.
- 2) Obtenir une organisation moins chère que celle proposée par TASSO, en diminuant le nombre de stations d'accès. Au lieu d'avoir une station d'accès par registre de stockage, on utilisera dans la classe mémoire un nombre limité de stations mieux réparties.

La propagation rapide des bulles (par courant) dans le chemin d'accès et la possibilité d'avoir plusieurs chemins d'accès dans la classe, apporteront un compromis coût-performance raisonnable.

4.6.2.2. Description de l'organisation

L'organisation générale de la mémoire sera semblable à celle de TASSO, à savoir: N classes indépendantes, avec m registres de stockage de L bits par classe. Les informations seront entrelacées sur toutes les classes. La principale différence résidera dans les dispositifs d'accès. En effet, au lieu d'avoir une station d'accès par registre, un chemin d'accès va être construit (avec des conducteurs) pour lier tous les bits de la ligne privilégiée (le front), à laquelle chaque registre de stockage participe avec 2 bits (figure 4.11). Sur ce chemin, seront disposées les stations d'accès: une ou plusieurs, mais un nombre très inférieur à m . Nous avons appelé ce chemin "pont d'accès", parce qu'il permet aux bulles du front d'arriver aux stations d'accès.

Participation du registre de stockage au pont d'accès (PRSCA) = 2 bits

2 stations d'accès activables simultanément.

DL = décalage longitudinal

DT = décalage transversal

st. = station d'accès

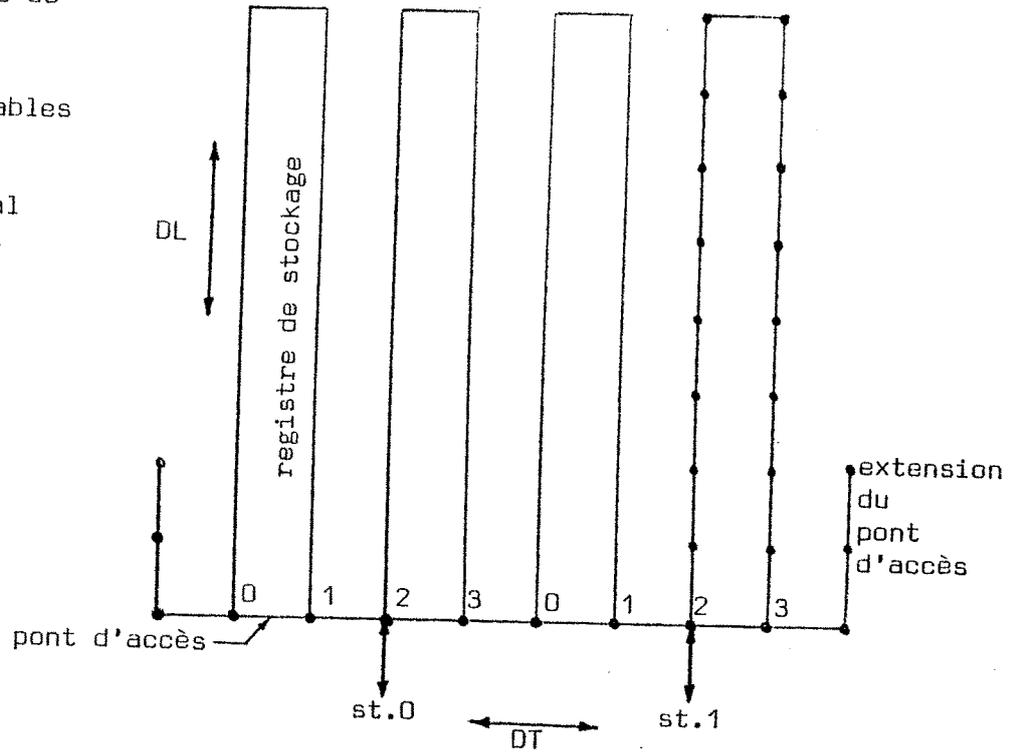


Figure 4.11. - Classe mémoire organisée avec pont d'accès ouvert

(PRSPA) = 2 bits.

2 stations d'accès, dont une seule activable à la fois.

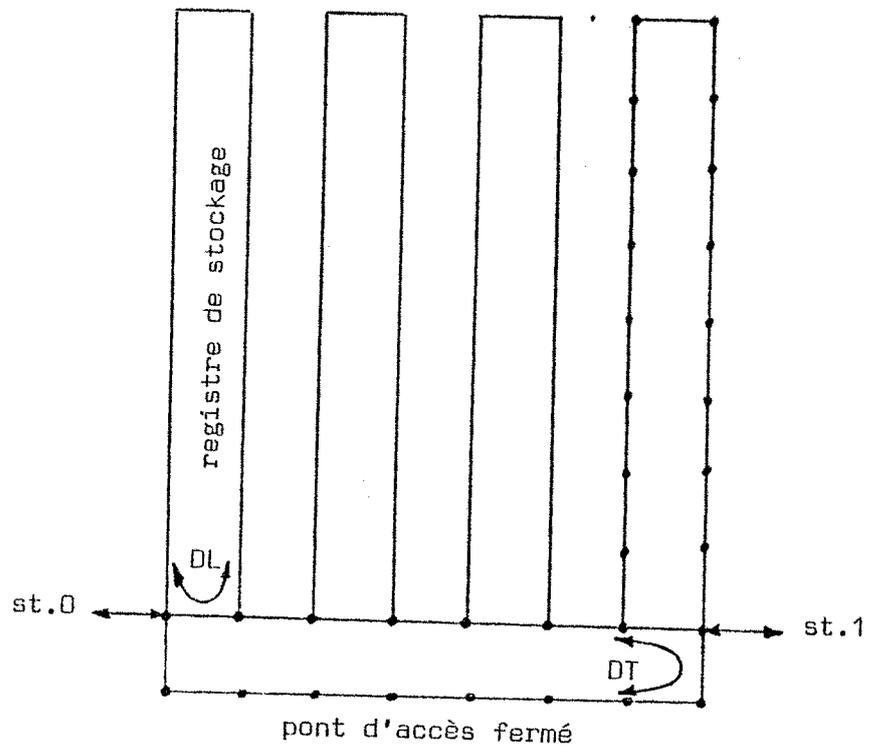
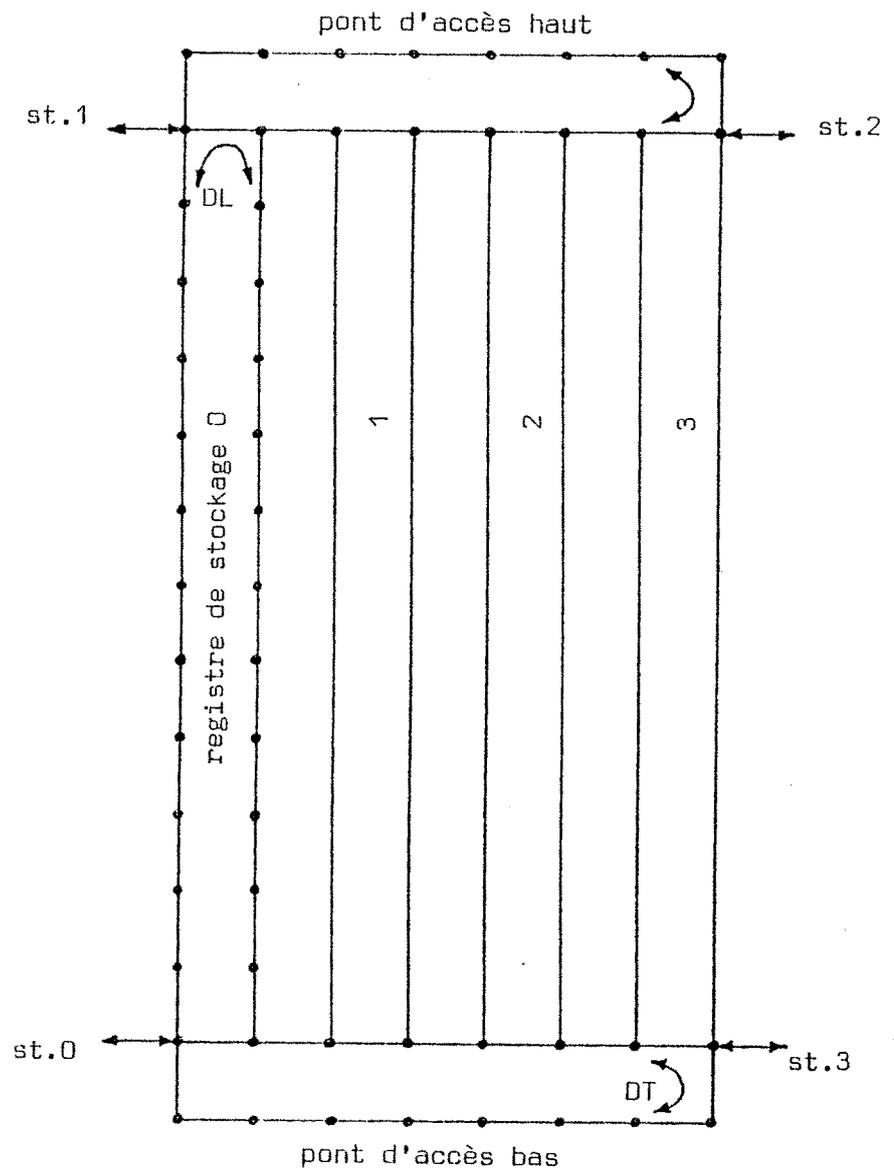


Figure 4.12. - Classe mémoire organisée avec pont d'accès fermé

Nous citons en annexe toutes les possibilités de disposition des stations d'accès sur le pont d'accès, ainsi que les différentes manières de les exploiter (une seule activée à la fois, ou plusieurs activées en même temps). Nous donnons les formules utilisées pour calculer le décalage moyen par référence.

Les bulles du front sont décalables à gauche ou à droite sur le pont d'accès. Nous avons appelé ce décalage le "décalage transversal" pour le distinguer du décalage des bulles dans les registres de stockage, dit "décalage longitudinal". Le décalage transversal sera obtenu par une commande extérieure qui est le passage du courant dans les conducteurs traçant le pont d'accès. Le décalage longitudinal sera obtenu par champ tournant. Les décalages (transversal et longitudinal) sont autorisés dans les deux sens. Pour que les bulles ne débordent pas lors d'un décalage transversal, le pont sera étendu sur ses deux côtés pour recevoir les bulles qui débordent. Ce pont ouvert est bien adapté dans le cas où il comporte plusieurs stations d'accès, parce qu'il a alors un espace suffisant pour les recevoir. Les extensions du pont d'accès pourront être parallèles aux registres de stockage (figure 4.11). Par contre, si une ou deux stations sont mises sur le pont, il devra, de préférence, être fermé (figure 4.12). De même, il est possible d'avoir plusieurs ponts d'accès dans la classe (figure 4.13). Ceci est recommandé dans le cas où la longueur des registres de stockage est très grande.

Nous appelons "participation du registre de stockage au pont d'accès" (PRSPA) le nombre de bits communs entre un registre de stockage et un pont d'accès. Cette participation peut être d'un seul ou de deux bits. Une participation de deux bits facilitera la réalisation (du point de vue géométrique), en particulier dans le cas où il y aurait plusieurs ponts d'accès dans la classe. Le pas sur le pont d'accès pourrait être plus grand que le pas sur le registre de stockage ; ceci facilitera la réalisation si $PRSPA = 1$.



Parmi les quatre stations d'accès, deux sont activables simultanément.
DL = décalage longitudinal
DT = décalage transversal
st.= station d'accès

Figure 4.13. - Classe mémoire avec deux ponts d'accès

L'accès multiple sur plusieurs ponts d'accès dans la classe nécessite de prendre des précautions pour éviter la "permutation fautive" des informations entre les ponts d'accès. Etant donné que l'ordre de transfert des informations par les stations d'accès (en parallèle) est bien défini a priori, la permutation fautive entraînera un transfert erroné des données. Un contrôle du décalage longitudinal permettra d'éviter la permutation fautive. Nous discuterons ce point lors de la description de l'organisation avec contours d'accès incorporés (§ 4.6.4.2.).

Pour satisfaire une requête d'accès à la mémoire, la ligne contenant le mot demandé sera amenée sur le pont d'accès par un décalage longitudinal optimal (c'est-à-dire un décalage dans le sens qui demande le moins de pas de décalage). Ensuite, par un décalage transversal optimal, le mot sera amené vers les stations d'accès. Dans cette organisation, il n'y a pas de transfert des bulles entre registres, comme c'est le cas pour l'organisation en registres mineurs/registre majeur.

Satisfaire une autre requête d'accès à une autre ligne nécessite d'abord l'alignement de la ligne privilégiée dans ses positions d'origine, avant d'effectuer un décalage longitudinal, pour éviter la perte d'information. En moyenne, le temps d'alignement est égal au temps moyen de décalage transversal. Etant donné que le décalage transversal (provoqué par courant) est beaucoup plus rapide que le décalage dans un registre majeur (qui est provoqué par champ), un gain considérable en performance sera obtenu par cette organisation, par rapport à l'organisation en registres mineurs/registre majeur. Les formules données en annexe et les résultats présentés au chapitre 5, indiqueront ce gain.

L'utilisation de plusieurs ponts d'accès dans la classe pourrait provoquer des conflits d'accès et des risques de perte de quelques informations. Pour éviter cela, il suffit de respecter la règle suivante: avant de satisfaire une requête d'accès qui demande un décalage longitudinal, il faut que tous les ponts d'accès dans la classe soient alignés. Par contre, il est permis d'avoir plusieurs accès simultanés sur plusieurs ponts d'accès dans la classe, tant que les décalages transversaux sont seuls nécessaires.

L'organisation avec ponts d'accès pourrait être:

- . soit une organisation d'accès par blocs, si une seule station d'accès est activable à la fois (une seule entrée-sortie série),
- . soit une organisation d'accès par mots, si des accès parallèles s'effectuent sur tous les bits du mot.

Le pont d'accès est incorporé dans les registres de stockage ; précisément dans sa partie commune avec eux. Suivant le choix de la combinaison (nombre de ponts d'accès dans la classe, nombre de stations d'accès par pont et nombre de stations activables en même temps), l'extension de chaque pont sera décidée (sur un côté ou sur les deux côtés).

Bien que les avantages de l'organisation avec pont(s) d'accès soient évidents son inconvénient reste la nécessité d'aligner les données sur le pont d'accès avant tout décalage longitudinal. Eliminer complètement cet alignement est un des objectifs supplémentaires que nous avons voulu atteindre en proposant les organisations avec contour(s) d'accès incorporé(s), dont on trouvera la description plus loin.

4.6.3. Organisation en blocs jumeaux [B6]

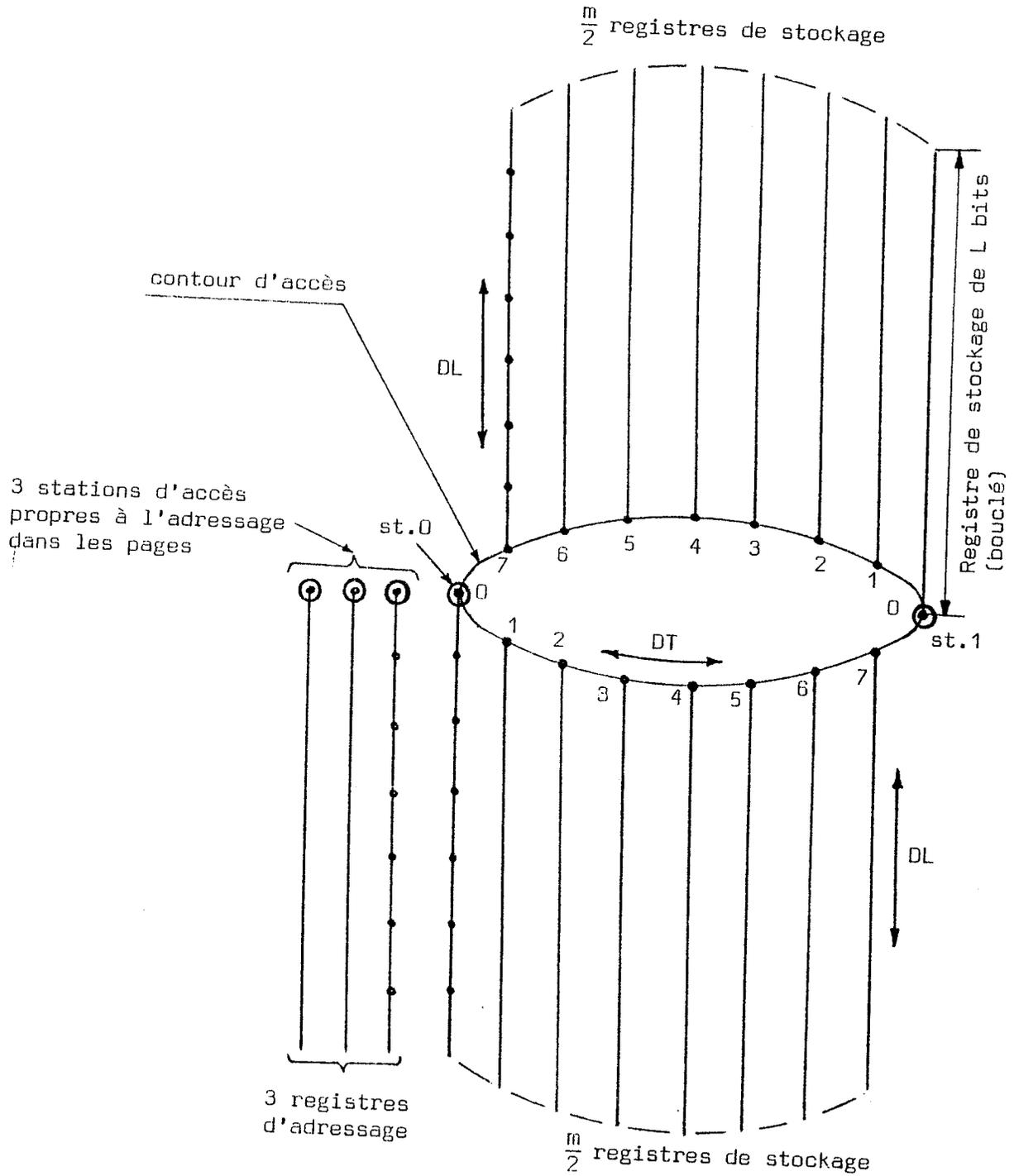
4.6.3.1. Description

La classe mémoire contient m registres de stockage bouclés, chacun ayant une longueur de L bits. Si chaque registre participe avec un bit au chemin d'accès, ce chemin contiendra m bits qui seront liés par des conducteurs électriques de la même façon que le pont d'accès dans l'organisation précédente. Au lieu d'avoir les m positions de bits sur une ligne droite, elles seront rangées autour de la circonférence d'une ellipse (figure 4.14) ou d'un rectangle (figure 4.15).

Nous appelons ce chemin d'accès le "contour d'accès" pour indiquer qu'il est fermé. On voit que la moitié de la classe (un bloc de $m/2$ registres) est disposée d'un côté du contour et l'autre moitié de l'autre côté. Les deux blocs partagent le contour d'accès, d'où l'appellation de "blocs jumeaux". Sur la figure 4.14, chaque registre de stockage participe avec un seul bit au contour d'accès, tandis qu'il participe avec deux bits dans la figure 4.15.

Deux stations d'accès sont disposées sur le contour d'accès à une distance de $m/2$ unités (unité = 1 ou 2 pas, selon la participation du registre de stockage au contour d'accès, PRSCA), l'une de l'autre. Chaque station agit sur un seul bit. Les deux stations pourront être activées soit une à la fois, soit les deux en même temps.

Pour répondre à une requête d'accès à la mémoire, le décalage longitudinal amènera la page contenant le mot demandé sur le contour d'accès et le décalage transversal permettra l'accès par les stations d'accès les plus proches. L'accès série aux bits du mot sera effectué par une station ou par les deux stations, suivant la méthode d'exploitation adoptée. Le décalage transversal bidirectionnel étant autorisé, l'accès au mot sera effectué à partir de son côté gauche ou de son côté droit, suivant le cas. On décrira au § 4.7. la logique d'accès sur les contours d'accès.



st. = station d'accès

Le contour d'accès contient 8 mots de 2 bits, alors 3 bits supplémentaires serviront à l'adressage dans la page.

DL = décalage longitudinal

DT = décalage transversal

Figure 4.14. - Organisation en blocs jumeaux (PRSCA = 1 bit)

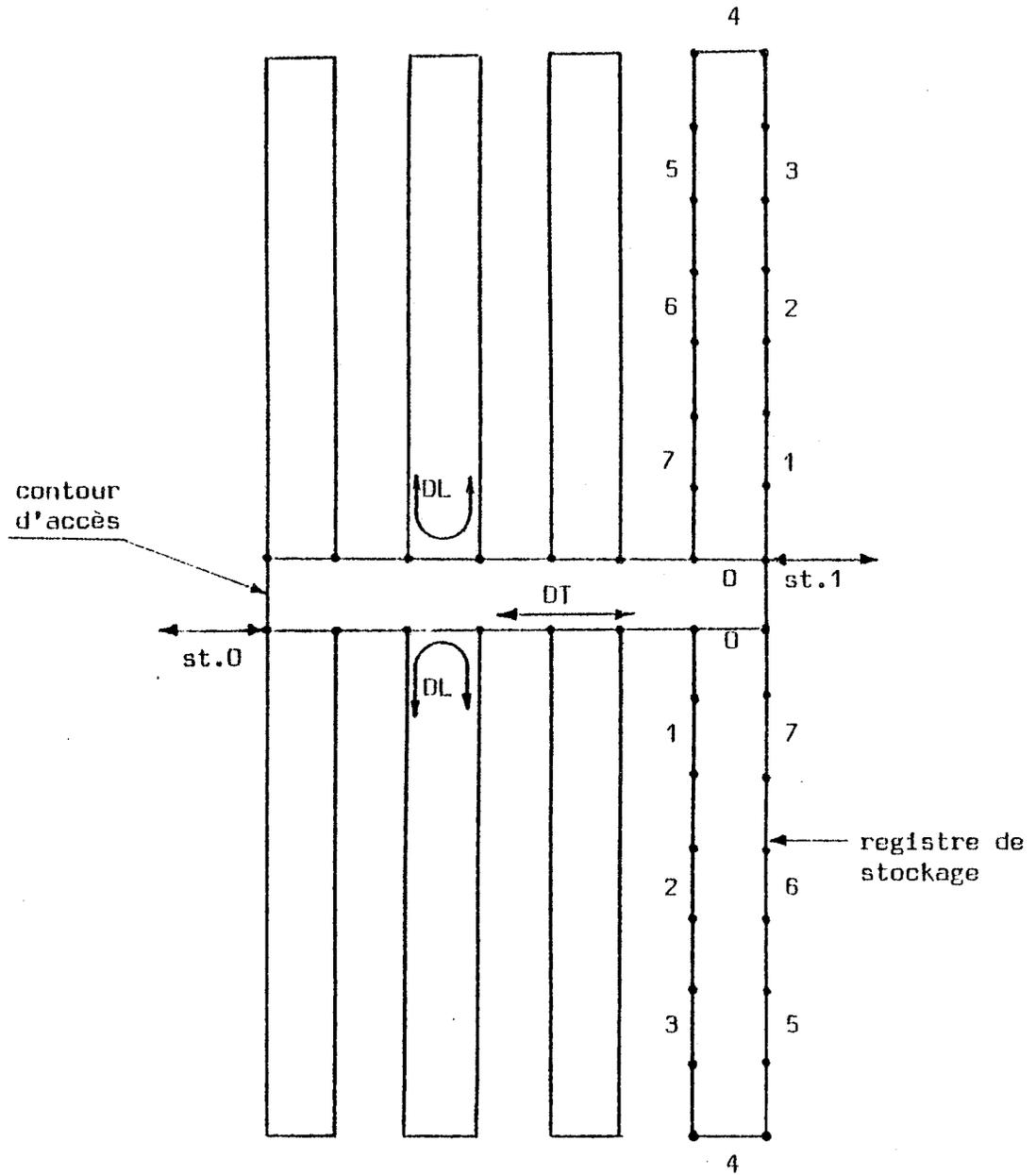


Figure 4.15. - Organisation en blocs jumeaux (PRSCA = 2 bits)

DL = décalage longitudinal

DT = décalage transversal

st.= station d'accès

Une fois l'accès terminé, la requête d'accès suivante sera traitée sans tenir compte de l'orientation circulaire de la page privilégiée. Aucun alignement d'information sur le contour d'accès ne sera nécessaire, d'où une réduction considérable du temps de cycle. Mais un problème d'adressage dans les pages se posera, en raison de l'orientation circulaire différente d'une page à l'autre. Pour résoudre ce problème, on devra garder pour chaque page l'adresse du mot dont un bit est sous la station d'accès n° 0 par exemple. Si la page contient B mots, $\log_2 B$ bits par page seront donc nécessaires pour l'adressage. Il existe plusieurs façons de stocker ces bits d'adressage:

- 1) soit dans $\log_2 B$ registres à décalage additionnels (chacun de L bits dans le cas où PRSCA = 1 bit et de L/2 dans le cas où PRSCA = 2 bits), qui subiront le même décalage longitudinal que les registres de stockage. Dans ce cas, $\log_2 B$ stations d'accès seront utilisées pour accéder aux bits d'adressage.
- 2) Soit dans les registres de stockage eux-mêmes, sous la forme d'une table qui occupe une ou plusieurs pages. Cette table sera chargée dans la mémoire centrale quand le programme est activé. A la fin de l'exécution du programme, la table sera rétransmise à sa place sur la mémoire à bulles. Mais cette solution n'est pas recommandée en raison du risque de perte d'informations en cas de coupure de courant par exemple.
- 3) Soit comme information auto-alignée (idem téléinformatique) avec des descripteurs enregistrés dans les pages.

Nous reviendrons ultérieurement (§ 4.7) sur ce problème d'adressage et de repérage de l'information.

4.6.3.2. Avantages de l'organisation

1. L'élimination de l'alignement, l'accès simultané par deux stations sur le contour d'accès et le décalage transversal optimal, avec la possibilité d'accéder au mot indifféremment du côté gauche ou du côté droit, sont des facteurs importants qui contribuent à la réduction des temps d'accès et de cycle mémoire. Les formules données en annexe et les résultats du chapitre 5, aideront à concrétiser les gains apportés par cette organisation par rapport aux précédentes.
2. Il n'y aura aucun risque de permutation fautive des unités de participation au contour d'accès lors du décalage longitudinal, étant donné qu'il n'existe qu'un seul contour dans la classe. Ceci permettra un décalage longitudinal bidirectionnel libre.
3. La géométrie du contour d'accès rend possible l'extension ou la diminution dynamique de la capacité de classe, selon le besoin du système. Ce mécanisme peut être réalisé avec des aiguillages binaires [08], [016] et il permet:
 - . soit d'ajouter ou de supprimer des sections du contour d'accès avec leurs registres de stockage associés (figure 4.16). Dans ce cas, la capacité du contour d'accès augmente ou diminue, mais la longueur du registre de stockage reste fixe.
 - . soit de varier la longueur de chaque registre de stockage par l'adjonction ou la suppression d'un ou plusieurs segments du registre (figure 4.17). Dans ce cas, la capacité du contour d'accès reste inchangée. Mais cette solution est coûteuse en encombrement, dans la mesure où de nombreuses connexions sont nécessaires pour activer les $m \times i$ aiguillages binaires (i entier ≥ 1) qui sont montés sur les m registres de stockage dans la classe. La figure 4.18 donne les schémas des aiguillages binaires nécessaires.

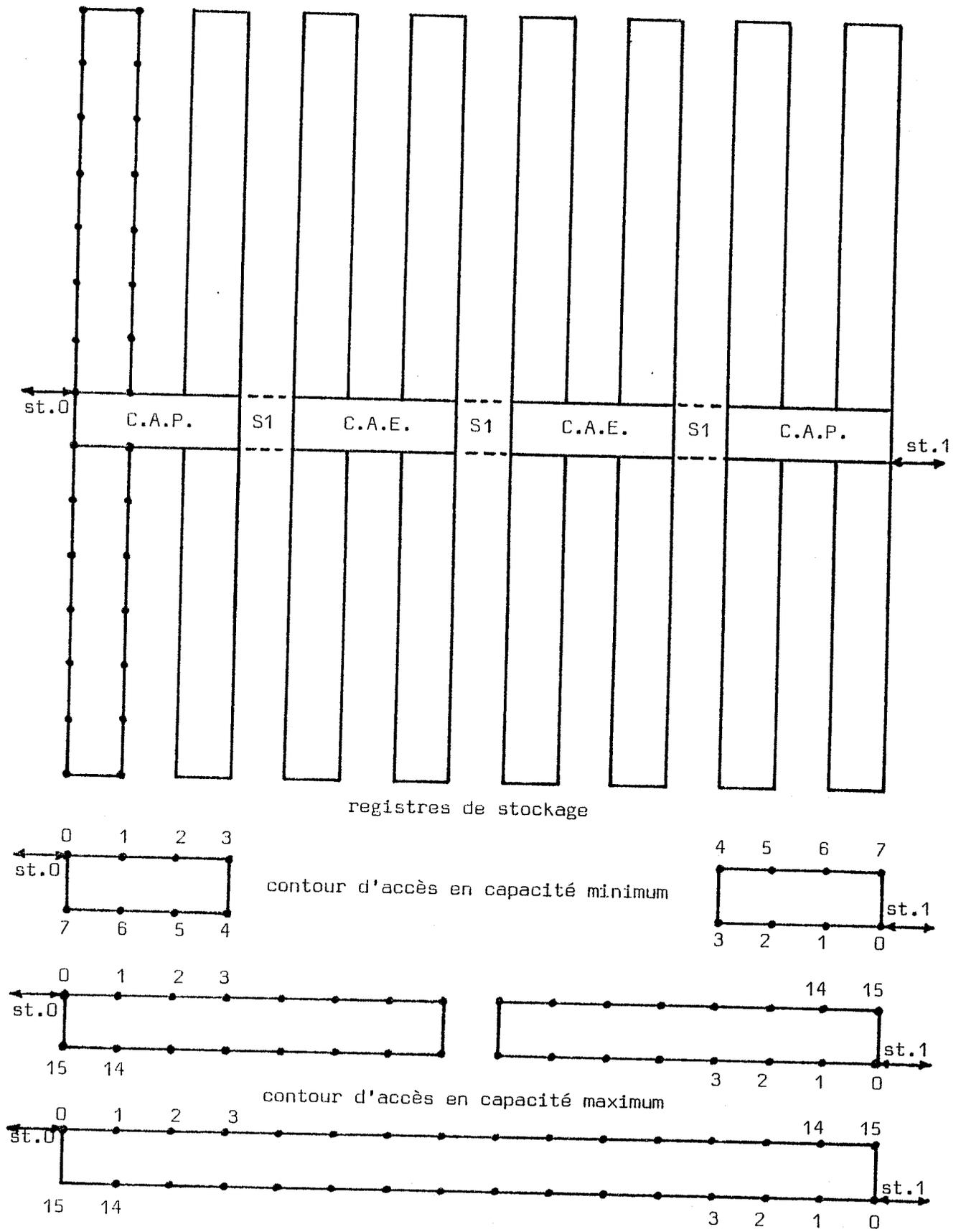


Figure 4.16. - Organisation en blocs jumeaux avec extension du contour d'accès

S1 = aiguillage binaire

C.A.P. = contour d'accès partie permanente

C.A.E. = contour d'accès partie extension

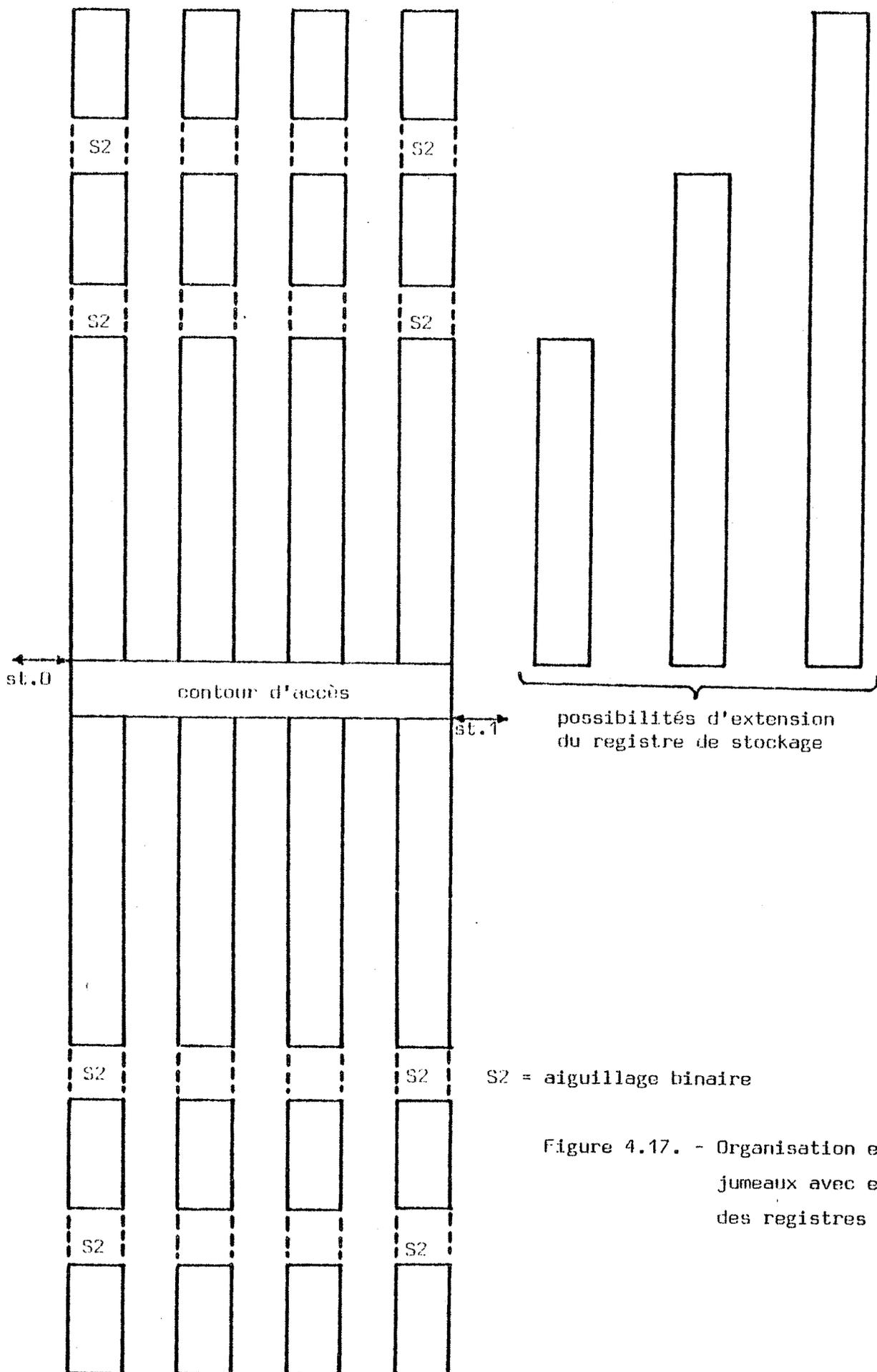


Figure 4.17. - Organisation en blocs jumeaux avec extension des registres de stockage

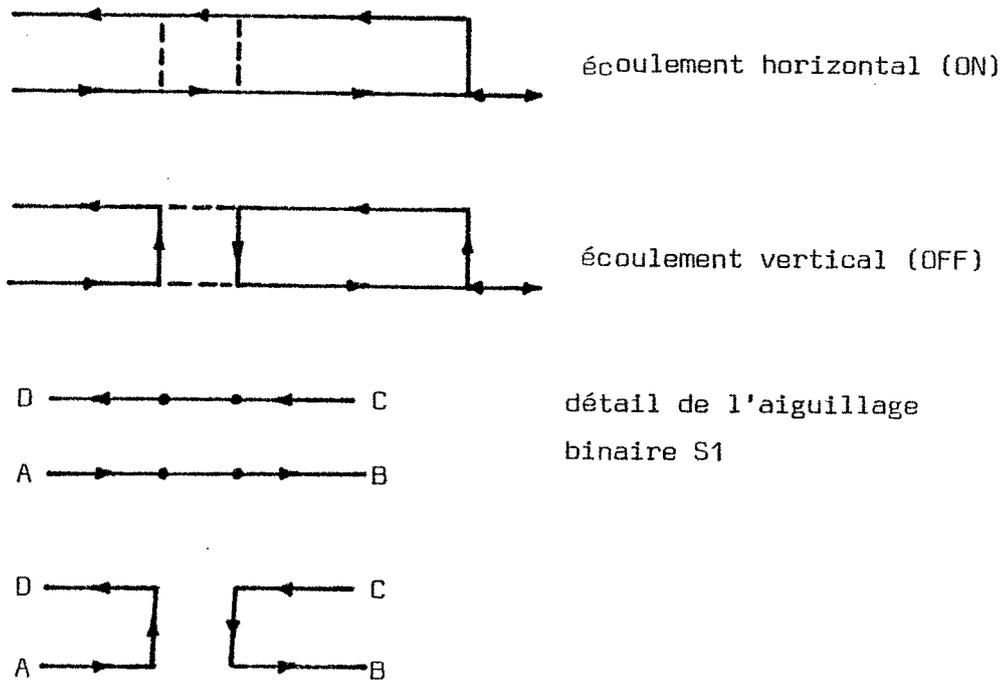
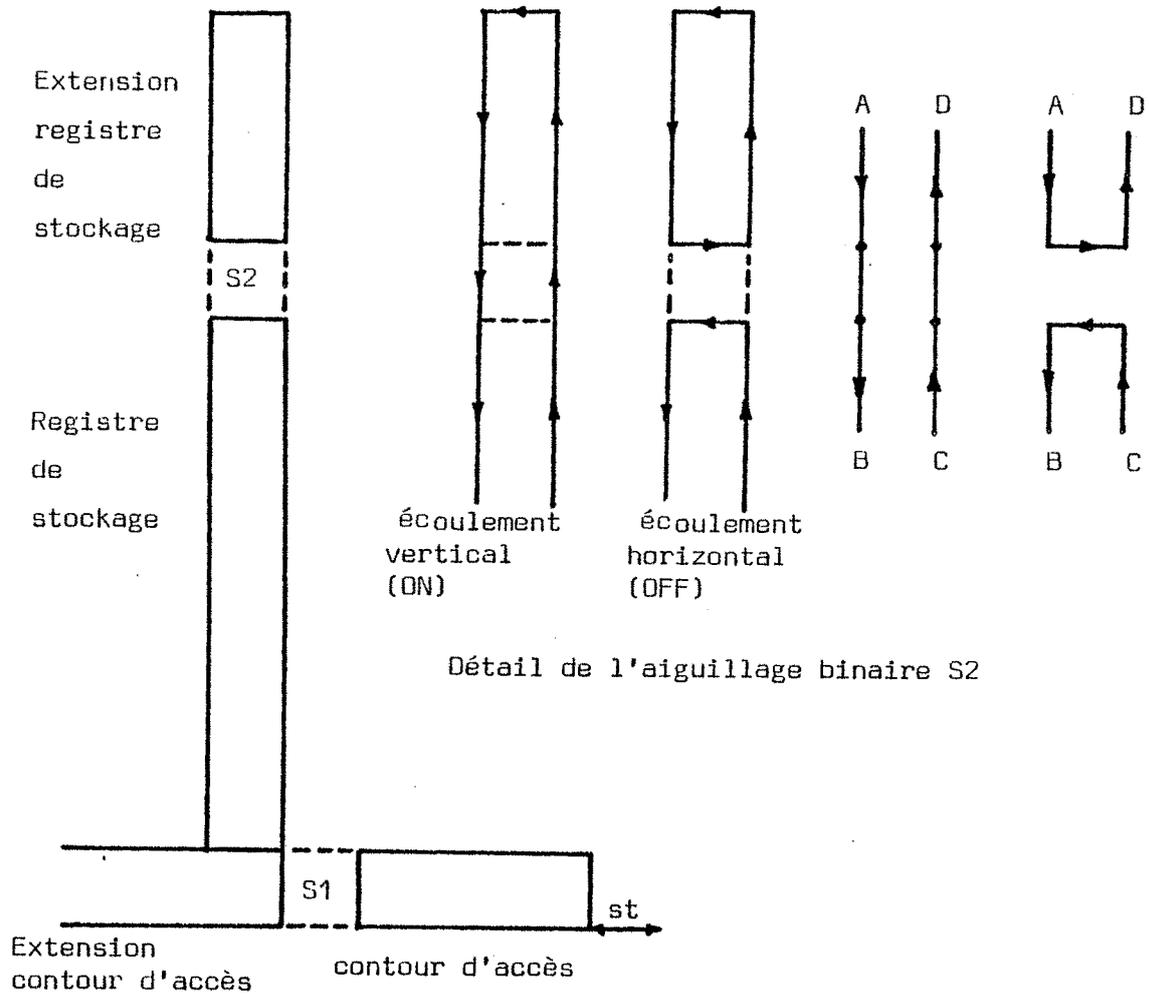


Figure 4.18. - Détail des aiguillages binaires S1 et S2

4. Il est possible d'assembler plusieurs classes dans un seul module.

Ceci permet de:

- a) obtenir le décalage longitudinal dans toutes les classes par un seul champ tournant,
- b) avoir un accès simultané à plusieurs bits dans la classe (accès par mots), ce qui augmente la performance,
- c) utiliser un seul groupe de registres d'adressage ($\log_2 B$ registres) pour toutes les classes dans le module.

La seule contrainte de l'organisation en blocs jumeaux (qui est loin d'être un inconvénient), est l'utilisation d'un seul contour d'accès dans la classe. Utiliser plusieurs contours d'accès dans la classe est l'objectif supplémentaire que nous avons voulu atteindre en proposant les deux organisation qui suivent (§ 4.6.4. et 4.6.5.).

4.6.3.3. Organisation du module mémoire

Le module est une partie de la mémoire qui est contrôlable indépendamment des autres parties. Il comprend un boîtier contenant la puce (constituée de plusieurs blocs jumeaux) et les circuits électroniques nécessaires pour réaliser les fonctions d'accès et de contrôle. Le boîtier contient aussi l'aimant permanent de polarisation qui génère le champ de polarisation nécessaire pour conserver la stabilité des bulles. En outre, le boîtier contient les deux bobines orthogonales alimentées par des courants sinusoïdaux déphasés de $\pi/2$ [C5] qui génèrent le champ tournant exigé pour la propagation longitudinale dans tous les registres de stockage du module.

Le décalage transversal sur les contours d'accès sera obtenu par le passage du courant dans des conducteurs électriques qui tracent ces chemins d'accès dans la puce. On peut utiliser une seule commande pour provoquer le décalage transversal dans tous les contours d'accès du module. On pourrait avoir une puce composée de 4 blocs jumeaux (figures 4.19 et 4.20), ce qui offrirait un accès en parallèle à 8 bits.

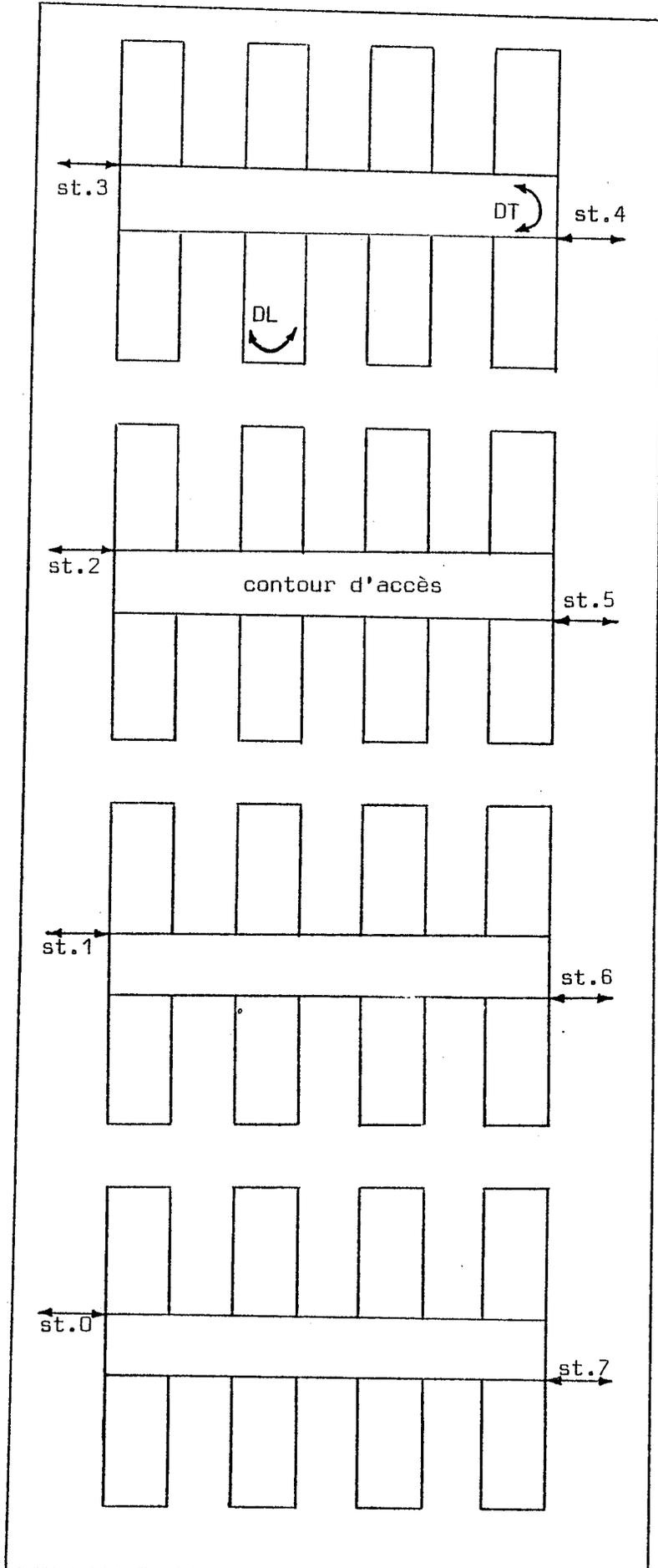


Figure 4.19. - Puce mémoire avec 4 blocs jumeaux rangés en ligne

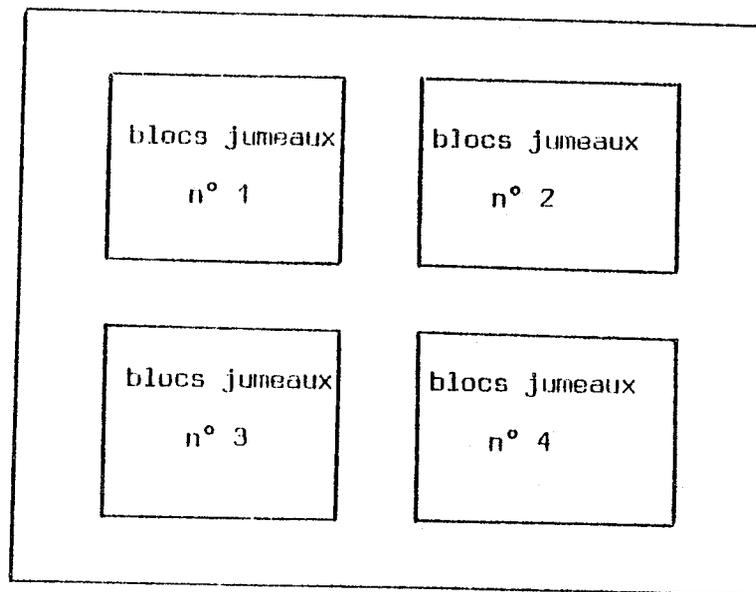


Figure 4.20. - Puce mémoire avec 4 blocs jumeaux rangés deux par deux

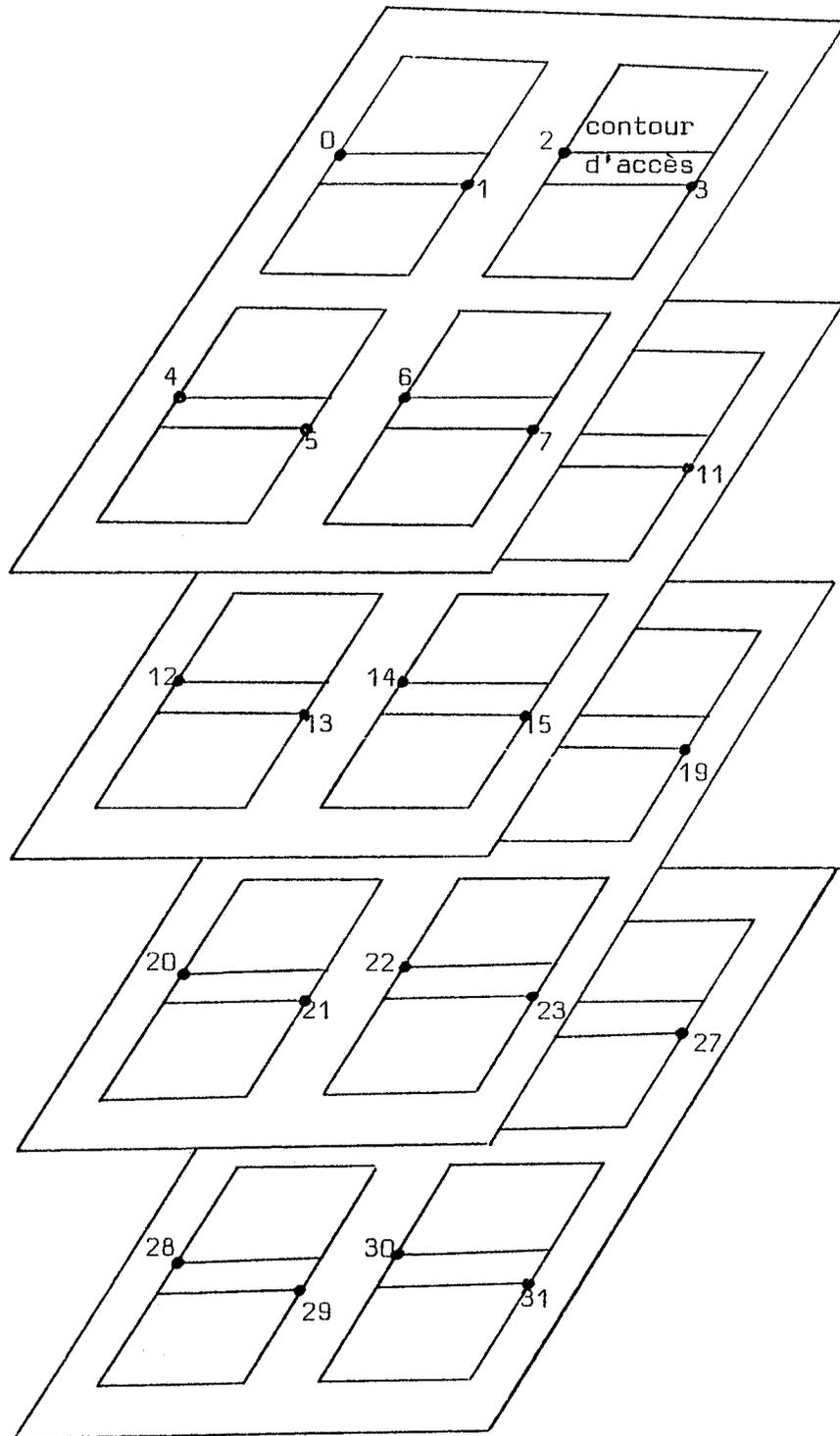


Figure 4.21. - Organisation hiérarchique à deux niveaux d'un module mémoire composé de 4 puces avec un accès direct au contenu d'un mot, "mot/module".

Il serait intéressant d'avoir un module ayant une très grande capacité, qui fonctionne avec un seul appareillage pour générer les champs nécessaires. Il serait également intéressant d'avoir des accès multiples dans le module. L'assemblage de plusieurs puces, en un seul module répond donc à ces exigences. La figure 4.21 montre un module composé de quatre puces où chaque puce est composée de quatre blocs jumeaux. Dans ce module, on peut avoir 32 accès en parallèle, c'est-à-dire un accès direct au contenu d'un mot de 32 bits.

Cette organisation de module représente en quelque sorte une hiérarchie mémoire à deux niveaux. Le premier niveau comprend le contenu de tous les contours d'accès du module. On peut considérer ce premier niveau comme une hyper-page privilégiée de la mémoire. L'accès au contenu de cette hyper-page sera séquentiel pour le premier bit du mot, et simultané pour le contenu du mot. Il est intéressant de noter qu'un seul pas de décalage transversal est nécessaire pour sauter d'un mot au mot suivant dans l'hyper-page. Cette organisation sera désignée par "mot/module". Le deuxième niveau comprend tout le reste de la mémoire du module.

4.6.4. Organisation avec contours d'accès incorporés en haut et en bas [A6]

4.6.4.1. Description

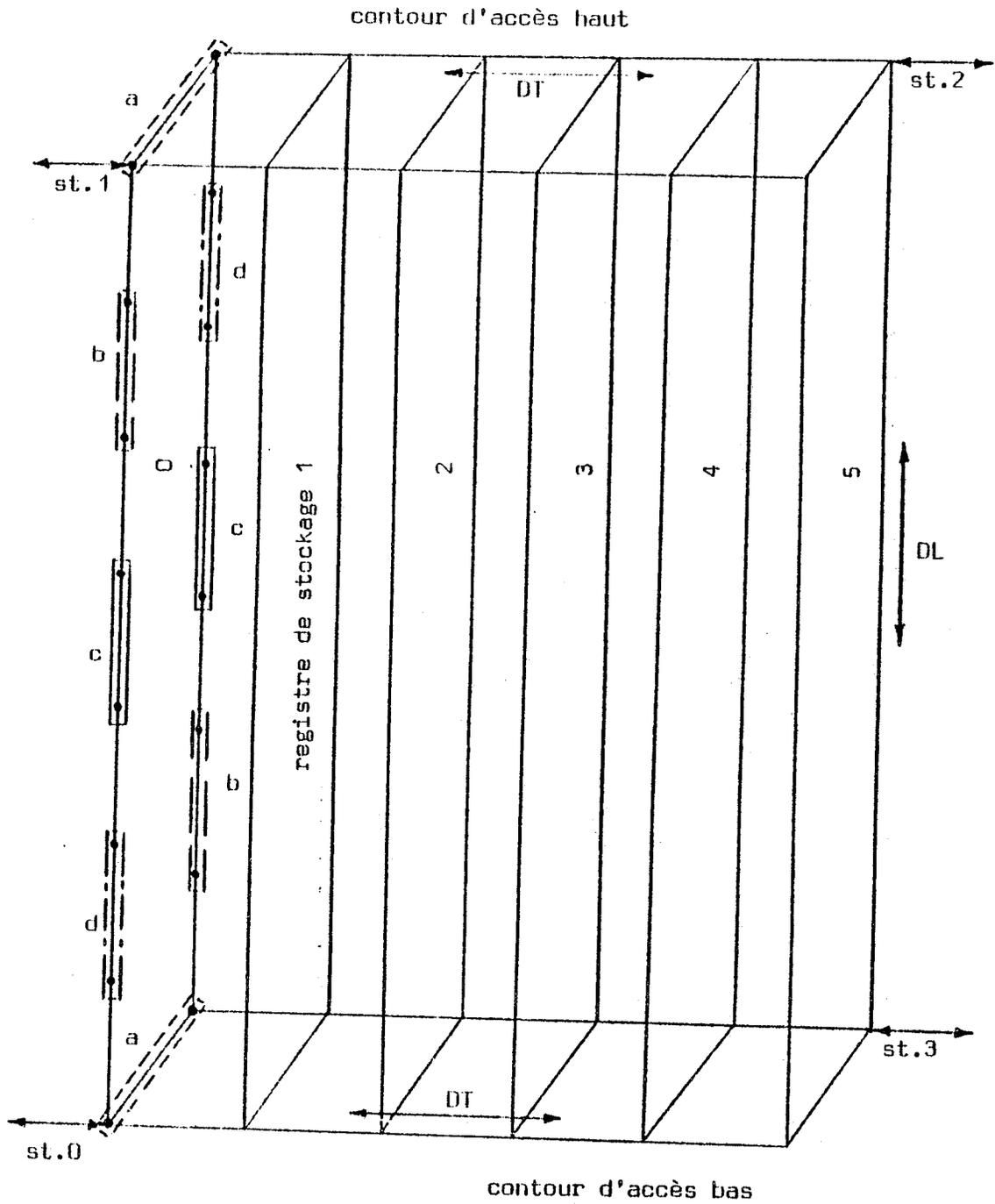
Dans cette organisation, deux contours d'accès sont utilisés dans la classe. Ils sont incorporés dans les registres de stockage, de telle sorte que chaque registre participe avec quelques uns de ses bits à chaque contour d'accès. Un contour d'accès se trouve en haut de la classe et l'autre en bas. Deux stations d'accès sont disposées sur chaque contour, ce qui donne un accès simultané à 4 bits dans la classe.

Nous proposons deux types de contour d'accès:

- 1) Un contour d'accès dans lequel chaque registre de stockage participe avec deux bits (figure 4.22). L'unité de décalage longitudinal nécessaire pour remplacer une page se trouvant dans les contours d'accès par l'une des pages adjacentes, est de deux pas. La réalisation de ce contour d'accès paraît délicate à cause des distances critiques entre quelques bits sur le contour d'accès et sur les registres de stockage. Il est nécessaire de faire un choix précis des distances pour empêcher toute interaction possible entre les bulles. En jouant avec la géométrie du contour d'accès et des registres de stockage, il est possible de trouver une configuration ayant un nombre minimum de distances critiques. Une solution technique pourrait être envisagée pour contrebalancer l'interaction entre les bulles.
- 2) Un contour d'accès dans lequel chaque registre de stockage participe avec 4 bits (figure 4.23). L'unité de décalage longitudinal est de 4 pas. C'est une conception simple et recommandée du point de vue de la géométrie.

Comme les bits des contours d'accès sont en même temps les bits des registres de stockage, aucun alignement n'est demandé avant d'effectuer un décalage longitudinal. Le problème d'adressage dans les pages sera résolu de la même façon que pour l'organisation en blocs jumeaux.

Si les quatre stations d'accès sont activées en même temps, on peut ranger les mots de la page sur les deux contours, comme indiqué dans la figure 4.24. Le décalage transversal étant bidirectionnel, le mot demandé peut être accédé depuis son côté gauche ou depuis son côté droit. Ceci complique la logique d'accès qui sera détaillée au § 4.7.



DL = décalage longitudinal

DT = décalage transversal

a, b, c et d désignent des pages différentes

st. = station d'accès

Figure 4.22. - Organisation avec contours d'accès incorporés en haut et en bas (chaque registre de stockage participe avec 2 bits à chaque contour d'accès).

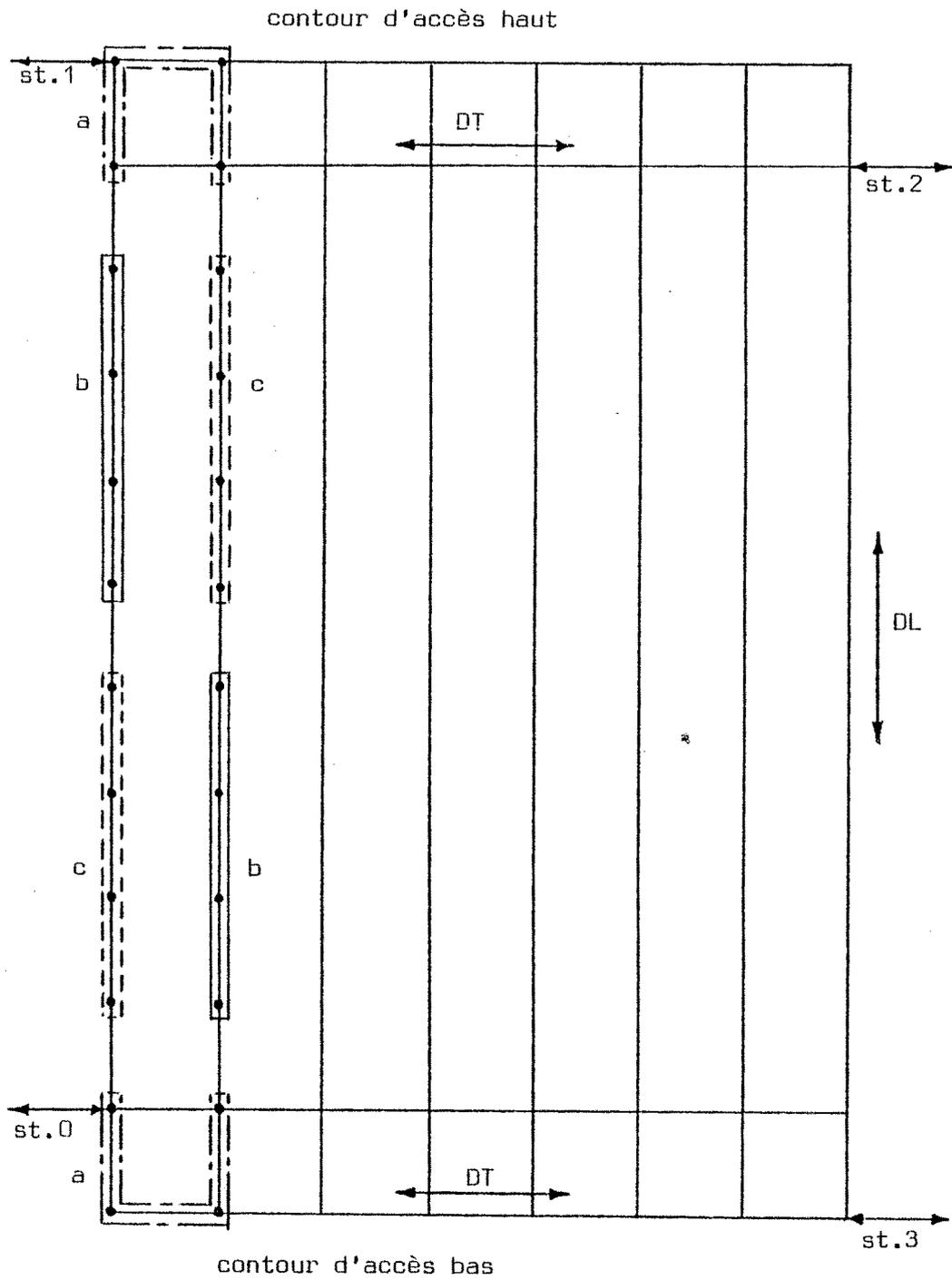


Figure 4.23. Organisation avec contours d'accès incorporés en haut et en bas (chaque registre de stockage participe avec 4 bits à chaque contour d'accès).

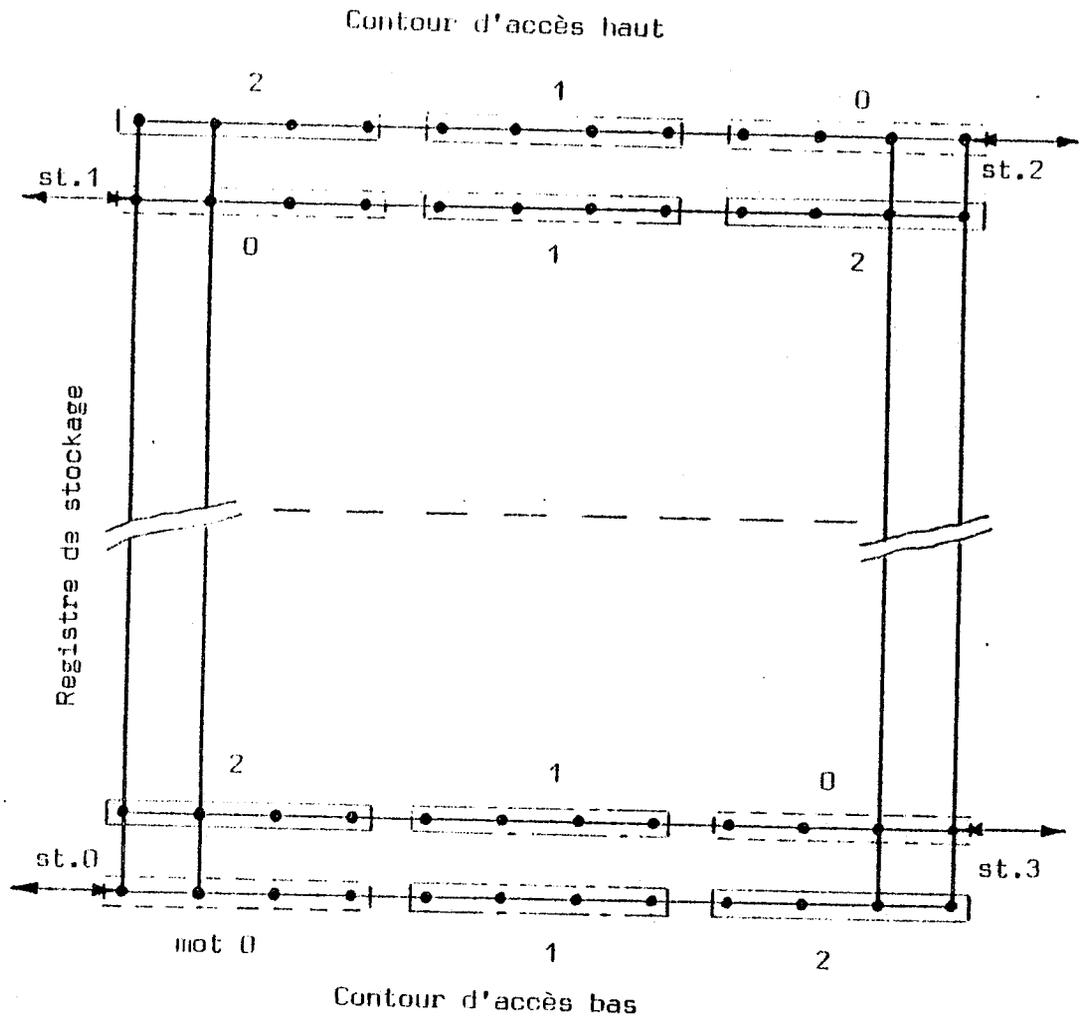


Figure 4.24. Rangement des mots de la page privilégiée pour avoir quatre accès simultanés dans la classe (PRSCA = 4 bits)

4.6.4.2. Permutation_fautive

Les contenus des deux contours d'accès représentent une séquence d'information bien définie lors du transfert entre la mémoire à bulles et un autre support de stockage. Ce transfert est assuré par les quatre stations d'accès activées en même temps, ce qui nécessite l'établissement d'une correspondance bien définie entre les quatre stations et quatre bits de l'autre support. Comme chaque registre de stockage participe avec 2 ou 4 bits à chacun des deux contours d'accès, il ne faut pas arriver à une situation où les bits qui doivent être sur le contour d'accès haut soient amenés sur le contour d'accès bas, sinon les informations transmises se trouveront dans un mauvais ordre.

Nous avons appelé ceci la "permutation fautive" qui devra être évitée par un contrôle du décalage longitudinal. Ce contrôle assure la bonne participation des registres de stockage aux deux contours d'accès. La figure 4.25 montre un registre de stockage avec les unités de participation associées à chaque contour d'accès. Pour calculer le décalage optimal contrôlé (sens et valeur) le registre de stockage sera considéré comme étant ouvert (tant qu'une moitié est associée à chaque contour d'accès). L'organigramme donné dans la figure 4.25 sert à ce calcul.

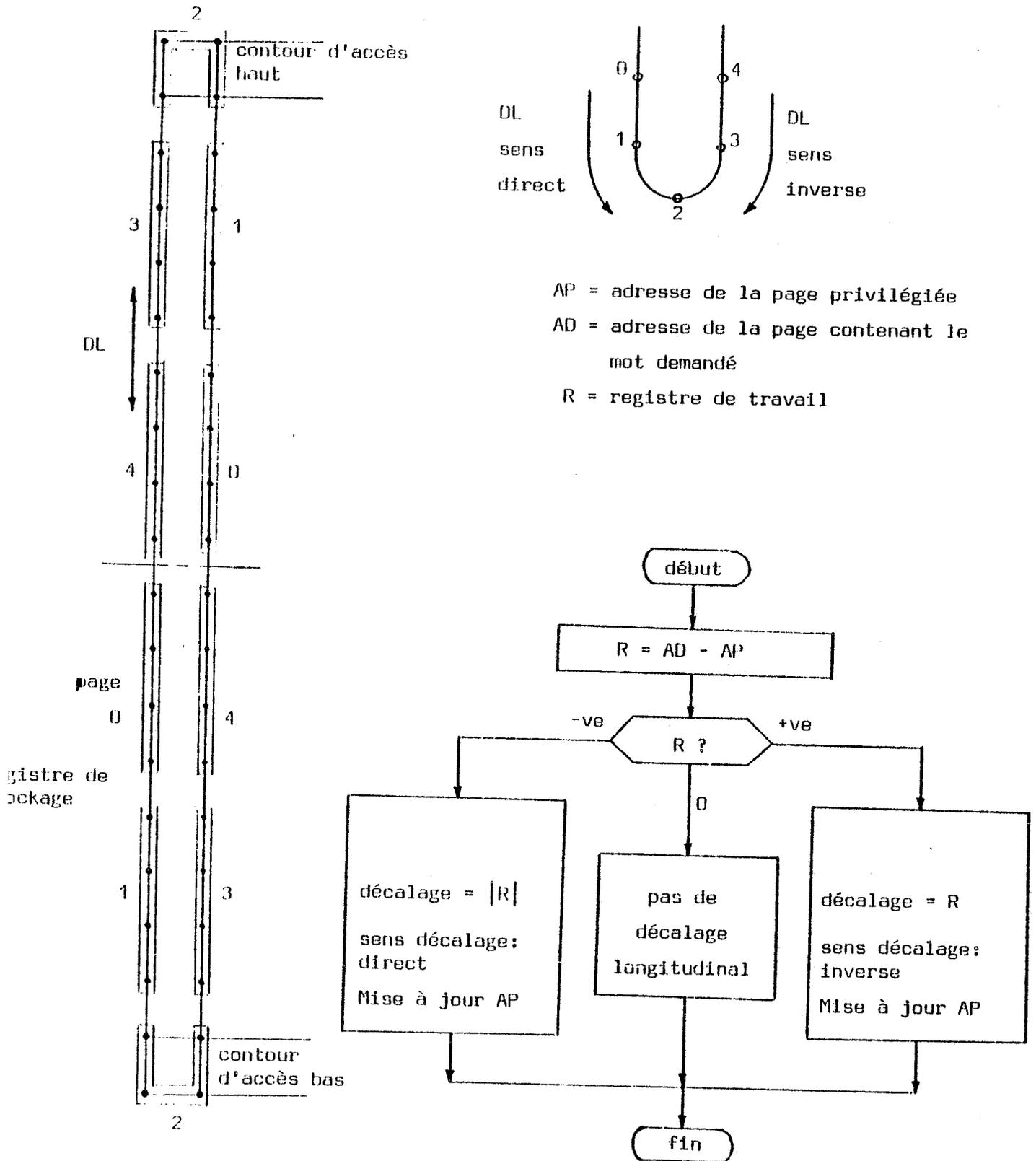


Figure 4.25. - Calcul de la valeur et du sens du décalage longitudinal pour éviter la permutation fautive des informations entre les contours d'accès.

4.6.5. Organisation avec contours multiples d'accès incorporés à l'intérieur de la classe [B6]

Cette organisation présente les mêmes caractéristiques que la précédente (contours d'accès incorporés en haut et en bas) à la seule différence du nombre des contours d'accès et de leur position dans la classe. Elle permet d'avoir C contours d'accès (C entier pair ou impair ≥ 1) qui sont incorporés à l'intérieur de la classe (figure 4.26). Cette modification permet d'avoir des registres de stockage très longs et en même temps elle augmente le nombre d'accès simultanés dans la classe.

Par rapport à la précédente organisation, celle-ci apporte une amélioration des performances. Cette amélioration concerne à la fois le décalage longitudinal moyen et le décalage transversal moyen (voir chapitre 5 et annexe).

Les règles de fonctionnement de cette organisation sont exactement les mêmes que celles de la précédente. La participation de chaque registre de stockage à chaque contour d'accès est de 4 bits et l'unité de décalage longitudinal est égale à deux pas.

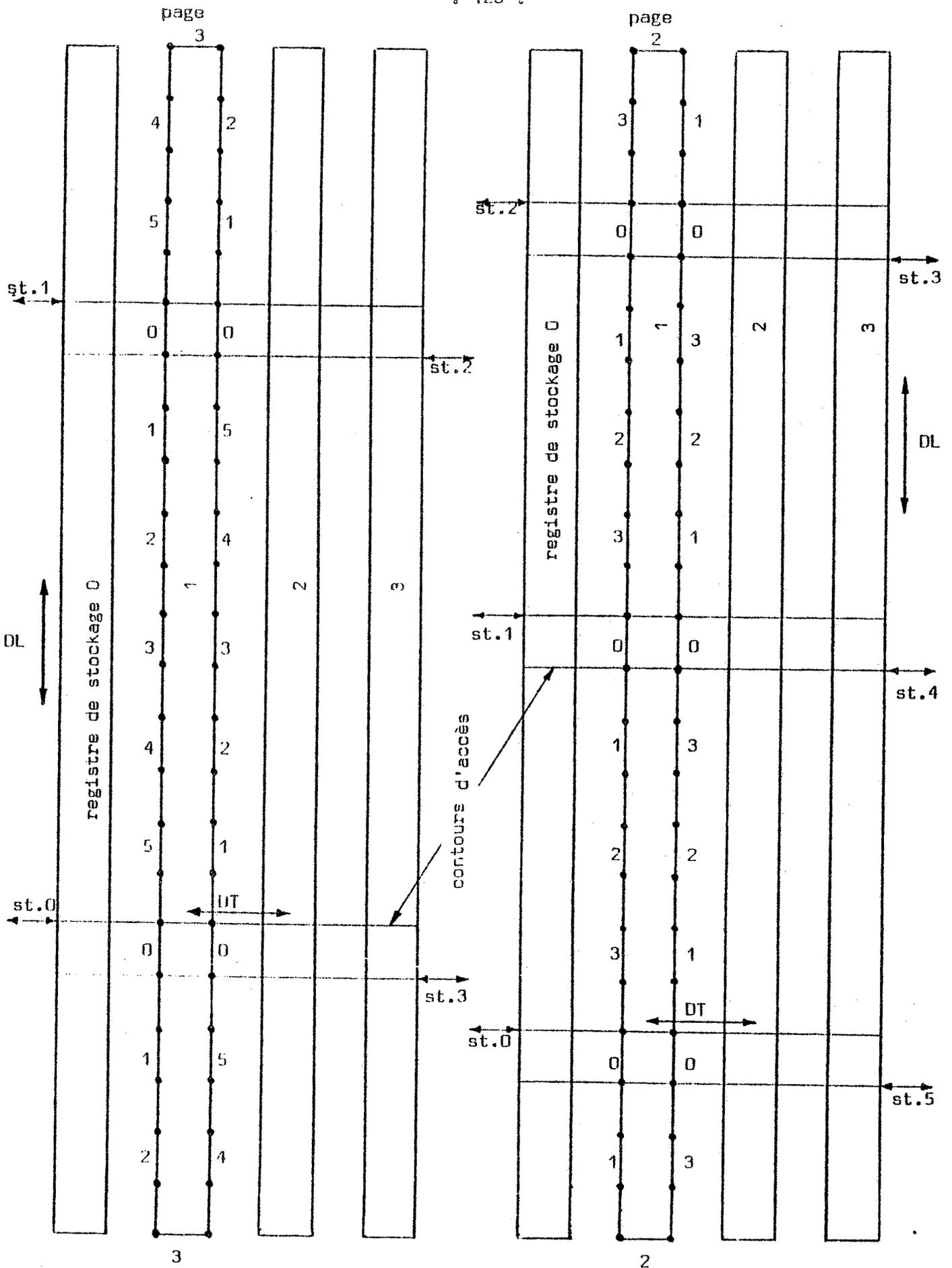


Figure 4.26. - Organisation avec contours d'accès incorporés à l'intérieur

4.7. LOGIQUE D'ACCÈS À LA MÉMOIRE À BULLES

Pour que les organisations présentées aux paragraphes précédents soient opérationnelles, il est nécessaire d'établir une logique d'accès précise et bien définie.

Nous allons donc d'abord définir les règles d'accès, puis nous chercherons les moyens de stocker les ordonnées privilégiées servant à l'accès.

4.7.1. Logique d'accès dans les organisations avec contours d'accès incorporés

4.7.1.1. L'accès sur les contours d'accès

Le fait de permettre un décalage transversal bidirectionnel dans des contours d'accès munis de plusieurs stations d'accès, nécessite quelques règles générales pour effectuer et contrôler les opérations d'accès (lecture, écriture et annulation).

Si la classe mémoire contient NCA contours d'accès, il y aura NSA stations d'accès activables en même temps ($NSA = 2 \times NCA$). Il est nécessaire de préciser l'ordre exact dans lequel les NSA bits lus simultanément de la mémoire seront rangés dans le registre de travail ou sur un autre support de stockage (idem pour l'écriture). Il convient également de noter que l'ordre d'accès aux bits du mot n'est pas le même quand le décalage transversal s'effectue dans le sens inverse que quand il s'effectue dans le sens direct. Il faudra en tenir compte pour éviter toute erreur de transfert des informations.

Pour obtenir de bons résultats dans l'amélioration des performances (cf. chapitre 5) grâce au décalage transversal bidirectionnel et à l'accès simultané à plusieurs bits dans la classe, il nous faudra accepter une logique d'accès un peu compliquée. Ces règles d'accès seront construites à partir de l'exemple suivant:

Exemple:

Configuration de la classe mémoire:

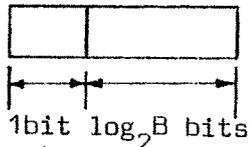
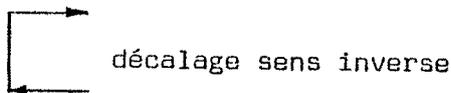
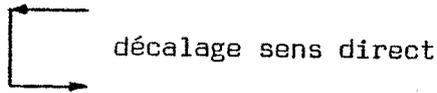
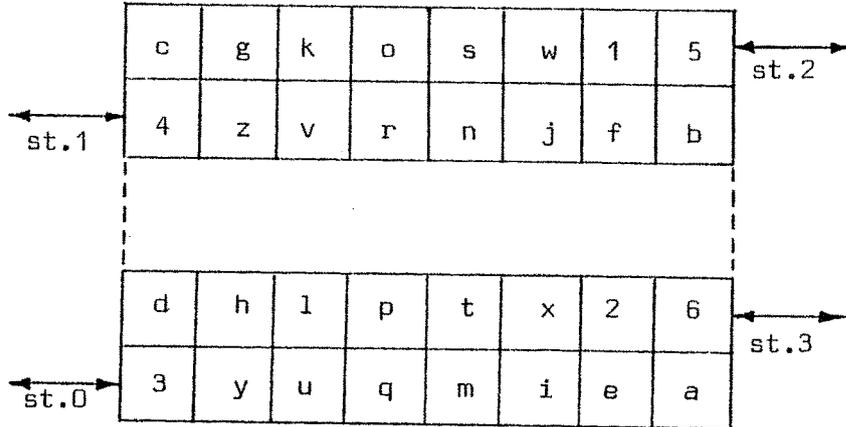
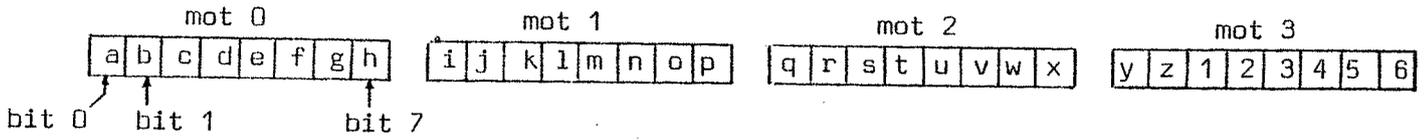
- . 4 registres de stockage,
- . 2 contours d'accès incorporés (NCA = 2) avec PRSCA = 4 bits,
- . 4 stations d'accès activables simultanément (NSA = 4),
- . le mot contient 8 bits (W = 8 bits)
- . et la page privilégiée contient donc 4 mots (B = 4).

Pour la clarté de la démonstration, on représente le texte d'entrée (4 mots) par des caractères alphanumériques (figure 4.27). Sur cette même figure sont montrés les deux contours d'accès après la lecture du texte d'entrée.

Comme nous l'avons vu en présentant les organisation avec contours d'accès, aucun alignement n'est nécessaire après l'accès aux mots demandés dans la page privilégiée. Nous devons donc garder l'adresse du mot privilégié dans chaque page pour calculer le décalage transversal lors d'un futur accès dans la page. Un registre d'adresse de $\log_2 B$ bits sera associé à chaque page pour garder l'adresse du mot privilégié.

Le fait de permettre un accès multiple aux bits du mot, soit à partir de son côté droit, soit à partir de son côté gauche, nécessite un contrôle du transfert pour éviter que celui-ci soit erroné. Pour ceci, nous appelons "premier bit" le bit 0 du mot. Ce bit se trouve toujours sur le contour d'accès n° 0 (muni des stations st.0 et st.(NSA-1)), comme illustré dans la figure 4.27. Il est indispensable de savoir si le premier bit est parmi les quelques bits du mot privilégié qui sont associés à la station st.0. Un bit supplémentaire (indicateur) est ajouté au registre d'adresse et sera mis à 1 si le premier bit est parmi les bits associés à la st.0 et à 0 dans le cas contraire.

Texte d'entrée:



adresse mot privilégié
 indicteur du 1er bit:
 '1' si le premier bit appartient aux bits du mot privilégié associés à st.0
 '0' sinon

Figure 4.27. - Accès sur les contours d'accès

Avant de construire les règles d'accès, il nous faut étudier les deux points suivants:

- 1) le calcul de la valeur et du sens de décalage transversal optimal, nécessaire pour satisfaire l'accès au mot adressé dans la page privilégiée,
- 2) la mise à jour du registre d'adresse de la page privilégiée.

1) Calcul de la valeur et du sens de décalage transversal optimal:

Les informations dont on dispose sont les suivantes:

@mp : adresse du mot privilégié dans la page

@md : adresse du mot adressé dans la page

B : taille de la page en mots.

Pour calculer la valeur du décalage transversal optimal (DT) et son sens (direct ou inverse), on se sert de l'organigramme de la figure 4.28.

DT comprend le décalage transversal (éventuel) nécessaire pour amener le mot adressé vers les stations d'accès et le décalage exigé pour accéder à tous ses bits. L'unité de décalage est $\frac{W}{NSA}$ pas.

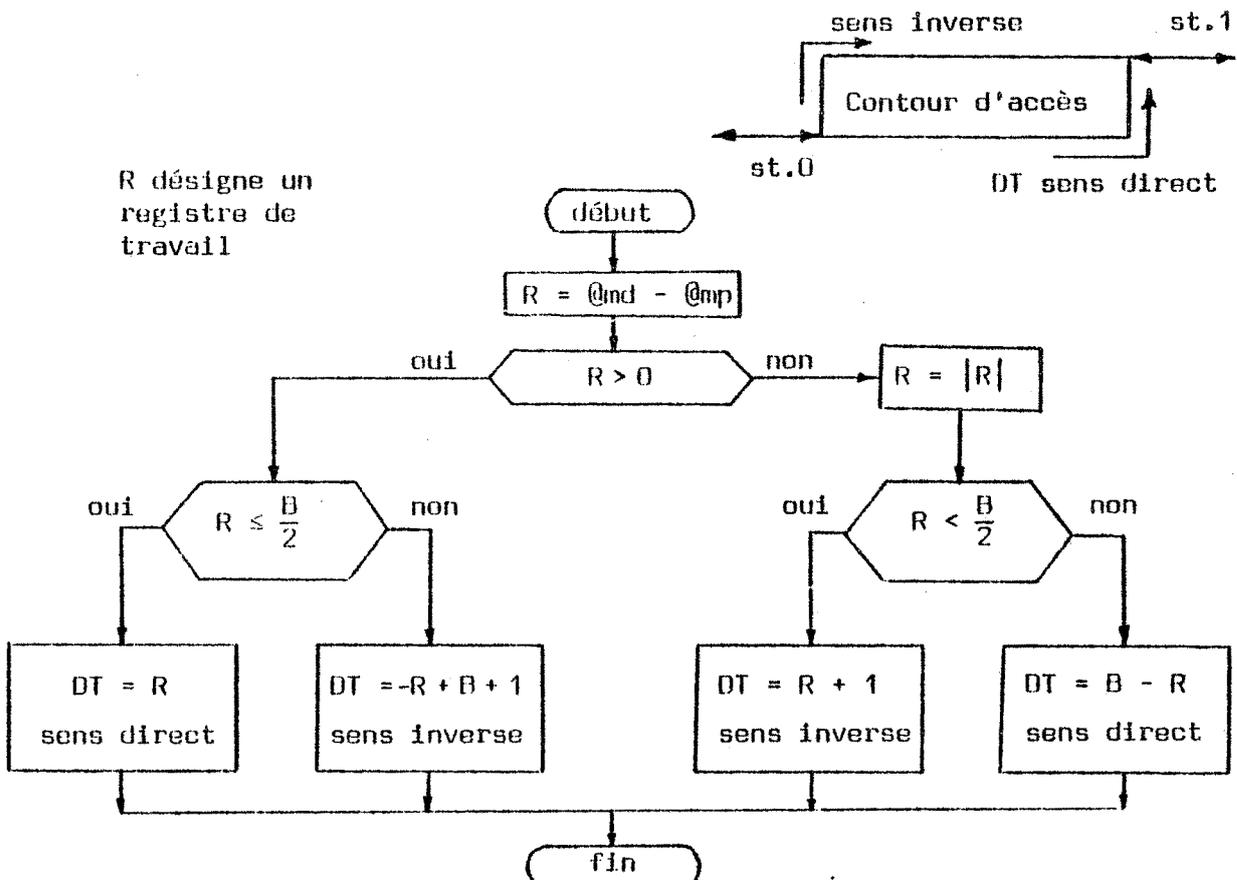


Figure 4.28. - Calcul du décalage transversal optimal

2) Mise à jour du registre d'adresse

Les informations dont on dispose sont les suivantes:

DT : valeur du décalage transversal optimal en unités de $\frac{W}{NSA}$ pas

. le sens du décalage transversal (direct ou inverse)

. le contenu du registre d'adresse associé à la page contenant le mot adressé (AI : indicateur du premier bit et AA : adresse du mot privilégié).

On se sert de l'organigramme de la figure 4.29 pour calculer le nouveau contenu du registre d'adresse (NI : indicateur du premier bit et NA : adresse du mot devenu privilégié).

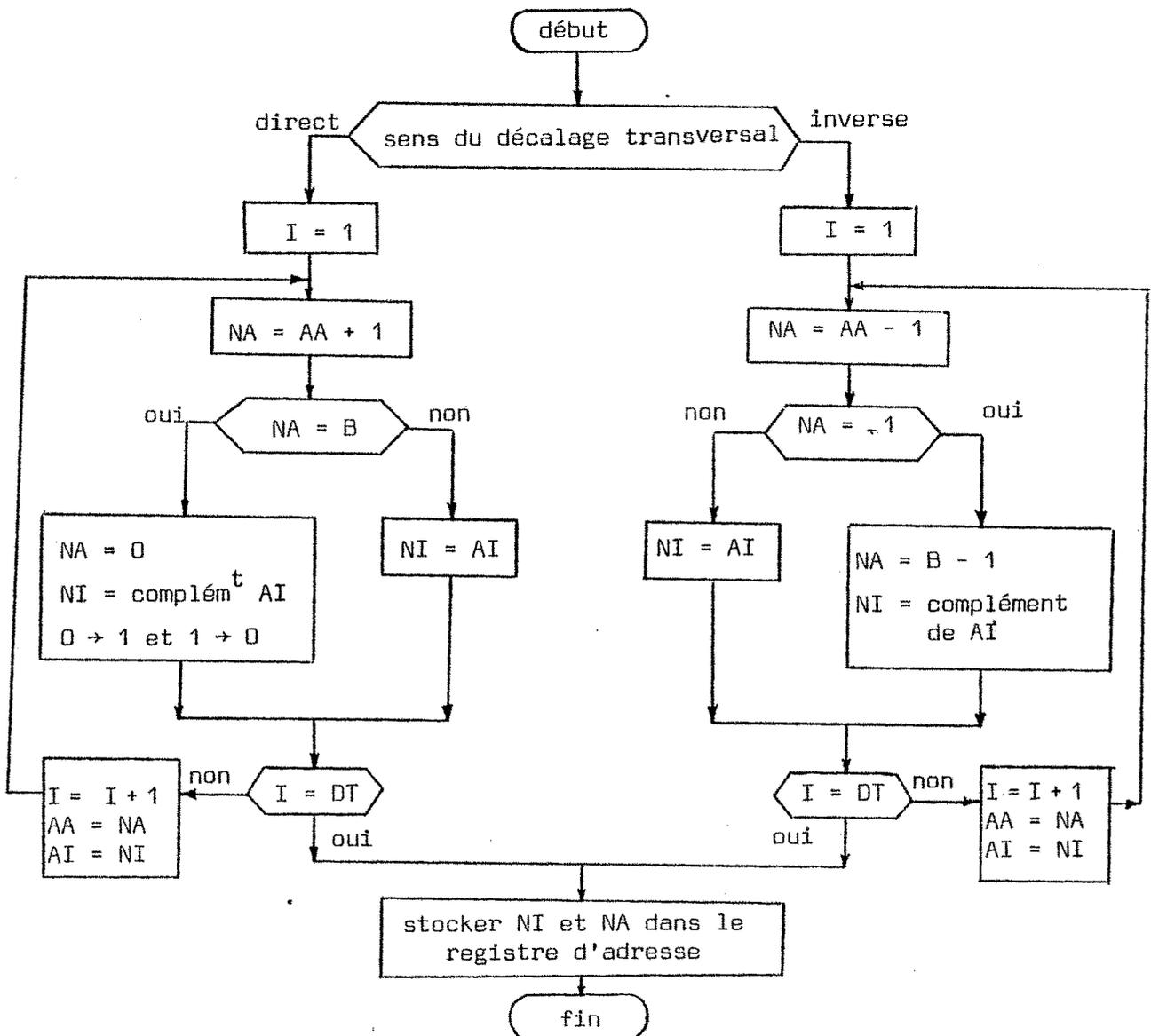


Figure 4.29. - Mise à jour du registre d'adresse

4.7.1.2. Règles de chargement de la mémoire

Les règles suivantes servent à l'écriture d'un nouveau programme ou de nouvelles données dans une mémoire à bulles organisée avec des contours d'accès incorporés:

- 1) Le texte d'entrée est transféré de gauche à droite.
- 2) La séquence de correspondance entre le texte d'entrée et les stations d'accès (en écriture) est la suivante (NSA = 4):
bit 0 bit 1 bit 2 bit 3 bit 4 bit 5
st.0 st.1 st.2 st.3 st.0 st.1
- 3) Après avoir écrit les NSA bits, on effectue un décalage transversal d'un pas dans le sens direct pour libérer des places pour les NSA bits suivants.
- 4) On recommence au pas 1 jusqu'à la fin de l'écriture de la page et ensuite on met à jour le registre d'adresse associé à cette page (indicateur du premier bit = 1 et adresse du mot privilégié = B-1).
- 5) On effectue un décalage longitudinal dans le sens direct de:
 - 2 pas pour l'organisation avec contours d'accès multiples incorporés à l'intérieur,
 - PRSCA (2 ou 4) pas pour l'organisation avec contours d'accès incorporés en haut et en bas.Ce décalage longitudinal range la page qui vient d'être écrite et vide les contours d'accès pour recevoir la page suivante.
- 6) On recommence au pas 1 si le chargement n'est pas terminé.

4.7.1.3. Règles d'accès à la mémoire en lecture et en écriture

Les règles suivantes serviront à l'accès à un ou plusieurs mots aléatoires dans la page privilégiée.

Accéder en lecture signifie qu'on lit des bits du mot adressé qui sont transférés vers un registre de travail ou un autre support de stockage. Dans l'accès en écriture, les bits du registre de travail sont transférés et écrits dans le mot adressé dans la mémoire à bulles.

Les règles qui suivent sont applicables à l'accès en lecture et à l'accès en écriture. La classe mémoire contient NSA stations d'accès activables simultanément ; il y aura donc NSA bits transférés en même temps (à partir de ou vers la mémoire). Il faut préciser l'ordre exact de correspondance entre les NSA stations d'accès qui désignent des bits précis dans la mémoire à bulles et les bits du registre de travail qui sont des émetteurs ou récepteurs d'information. Le tableau qui suit résume les règles d'accès. L'ordre des stations est donné par leur numéro, alors que l'ordre de transfert des bits du registre de travail est donné soit de gauche à droite, soit de droite à gauche.

Les règles d'accès à un mot aléatoire dans la page privilégiée sont les suivantes (on ne considère pas ici le décalage longitudinal):

- 1) Calcul de la valeur (DT) et du sens du décalage transversal optimal exigé pour l'accès à partir des informations suivantes: adresse du mot privilégié (@mp), adresse du mot demandé (@md) et taille de la page (B mots).

2) Mise à jour du registre d'adresse. Le nouveau contenu (NI, NA) est calculé à partir de l'ancien contenu (AI et AA), de la valeur du décalage transversal (DT) et du sens (direct ou inverse).

3) Sens du décalage transversal, la nouvelle et l'ancienne valeurs de l'indicateur du premier bit, déterminent la règle d'accès selon le tableau:

Sens	AI	NI	Correspondance entre les stations d'accès et les bits du registre de travail	
inverse	1	1	st.(NSA-1),...,st.1,st.0	de droite à gauche
inverse	1	0	st.0,st.1,...,st.(NSA-1)	de droite à gauche
direct	1	1	st.0,st.1,...,st.(NSA-1)	de gauche à droite
direct	1	0	st.(NSA-1),...,st.1,st.0	de gauche à droite
inverse	0	1	st.(NSA-1),...,st.1,st.0	de droite à gauche
inverse	0	0	st.0,st.1,...,st.(NSA-1)	de droite à gauche
direct	0	1	st.0,st.1,...,st.(NSA-1)	de gauche à droite
direct	0	0	st.(NSA-1),...,st.1,st.0	de gauche à droite

Toutes les règles d'accès à la mémoire à bulles organisée avec contours d'accès incorporés, pourront être microprogrammées et enregistrées sur des mémoires mortes ou permanentes, peu coûteuses, ce qui rend leur exécution plus efficace.

4.7.2. Dispositif indicateur d'ordonnées privilégiées

Il faut conserver deux types d'ordonnées privilégiées:

- . l'adresse de la page privilégiée (pour toutes les organisations de la mémoire),
- . les adresses des mots privilégiés (pour les organisations avec contours d'accès incorporés).

1) L'adresse de la page privilégiée:

Cette page se trouve sur les chemins d'accès dans la classe et son adresse sert au calcul du décalage longitudinal nécessaire pour amener la page recherchée sur les chemins d'accès. Le dispositif le plus général est une table associative de N emplacements pour une mémoire de N classes. Mais en cas de panne (coupure de courant, par exemple), ces informations seront perdues et par conséquent on perdra les repères des adresses privilégiées de la mémoire. L'adresse de la page privilégiée n'est qu'un déplacement par rapport à une origine dans la classe. Si on marque cette origine sur la mémoire à bulles elle-même, il sera facile, en cas de perte de la table associative, de savoir où l'on en est. Un registre de stockage supplémentaire dans la classe pourra servir au stockage des informations du repère (un bit indicateur par page contiendra "1" pour la page origine et "0" pour toutes les autres pages).

2) Les adresses des mots privilégiés: un mot par page:

le mot privilégié est celui dont NSA bits se trouveront dans les NSA station d'accès lorsque la page viendra sur les contours d'accès. Les adresses des mots privilégiés sont très importantes et doivent être stockées et mises à jour dans la mémoire à bulles elle-même. Pour cela, quelques registres supplémentaires (registres d'adressage) sont ajoutés dans la classe mémoire, avec quelques stations d'accès propres à l'adressage. Si la page contient B mots, $\log_2 B$ registres seront ajoutés. Un autre registre est ajouté pour contenir les indicateurs des premiers bits.

Il existe plusieurs possibilités pour fournir la zone nécessaire au stockage de ces ordonnées privilégiées ; nous en citons quelques unes ci-après à titre d'exemple :

Exemple 1: organisation en blocs jumeaux avec PRSCA = 1 bit

La figure 4.30 indique une solution possible où $(\log_2 B + 1)$ registres d'adressage avec leurs stations d'accès, serviront au stockage et à la mise à jour des adresses des mots privilégiés dans les différentes pages. Les registres de stockage et les registres d'adressage ont la même longueur et subissent le même décalage longitudinal. Un registre indicateur de la page origine a été ajouté. Il pourra être accédé soit par une station d'accès spéciale, soit par une station d'accès existante (st.1 par exemple) à l'aide d'une porte d'échange ("swap gate"). Cette porte permet un échange entre le bit de données qui se trouve dans la station (st.1) et le bit indicateur. Après l'accès au bit indicateur, il retourne à sa place. Cette solution évite d'utiliser une station d'accès supplémentaire. On notera que le registre indicateur de la page origine sera interrogé un nombre très limité de fois (en début d'exploitation et en cas de perte de la table associative).

Exemple 2: organisation en blocs jumeaux avec PRSCA = 2 bits

La figure 4.31 indique une autre solution possible. Deux registres jumeaux d'adressage sont utilisés pour conserver à la fois les adresses des mots privilégiés et les indicateurs de la page origine et du premier bit. Deux stations d'accès (st.ad.0 et st.ad.1) serviront à accéder ces ordonnées. Avec 2 bits b0 et b1, on pourra adresser jusqu'à 2^2 mots (soit $B = 4$). Le bit b2 est l'indicateur du premier bit et le bit b3 est l'indicateur de la page origine. Si $B > 4$ on pourra ajouter un autre ensemble de deux registres jumeaux sur le même contour d'adresse. On pourra ainsi adresser jusqu'à $2^6 = 64$ mots. La figure 4.31 montre une utilisation efficace des deux stations d'accès (st.ad.0 et st.ad.1) où les bits b0 et b1 sont accessibles directement, tandis que les bits b2 et b3 sont accessibles après un décalage circulaire d'un seul pas sur le contour d'adressage. Ce décalage est provoqué par courant.

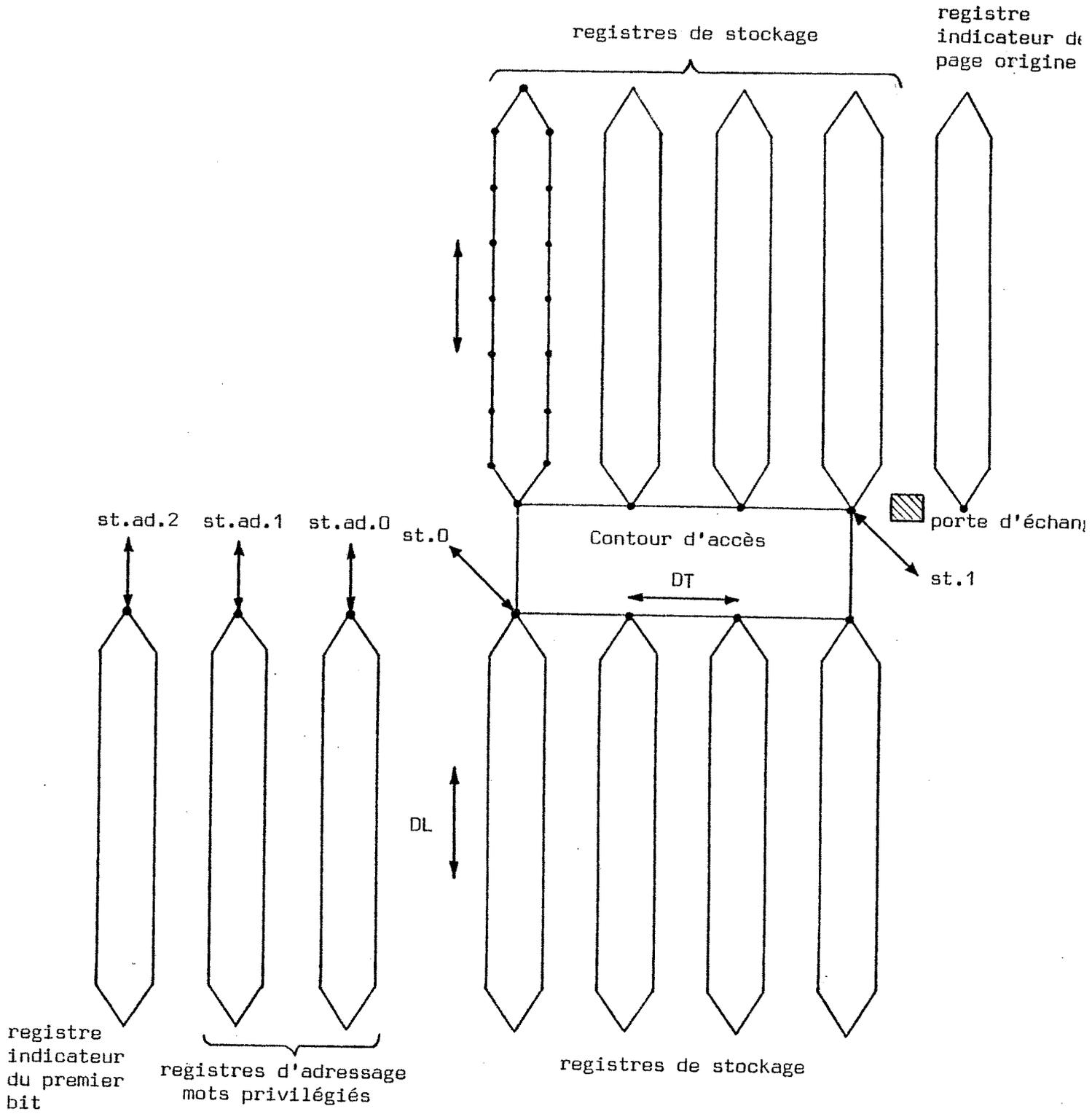
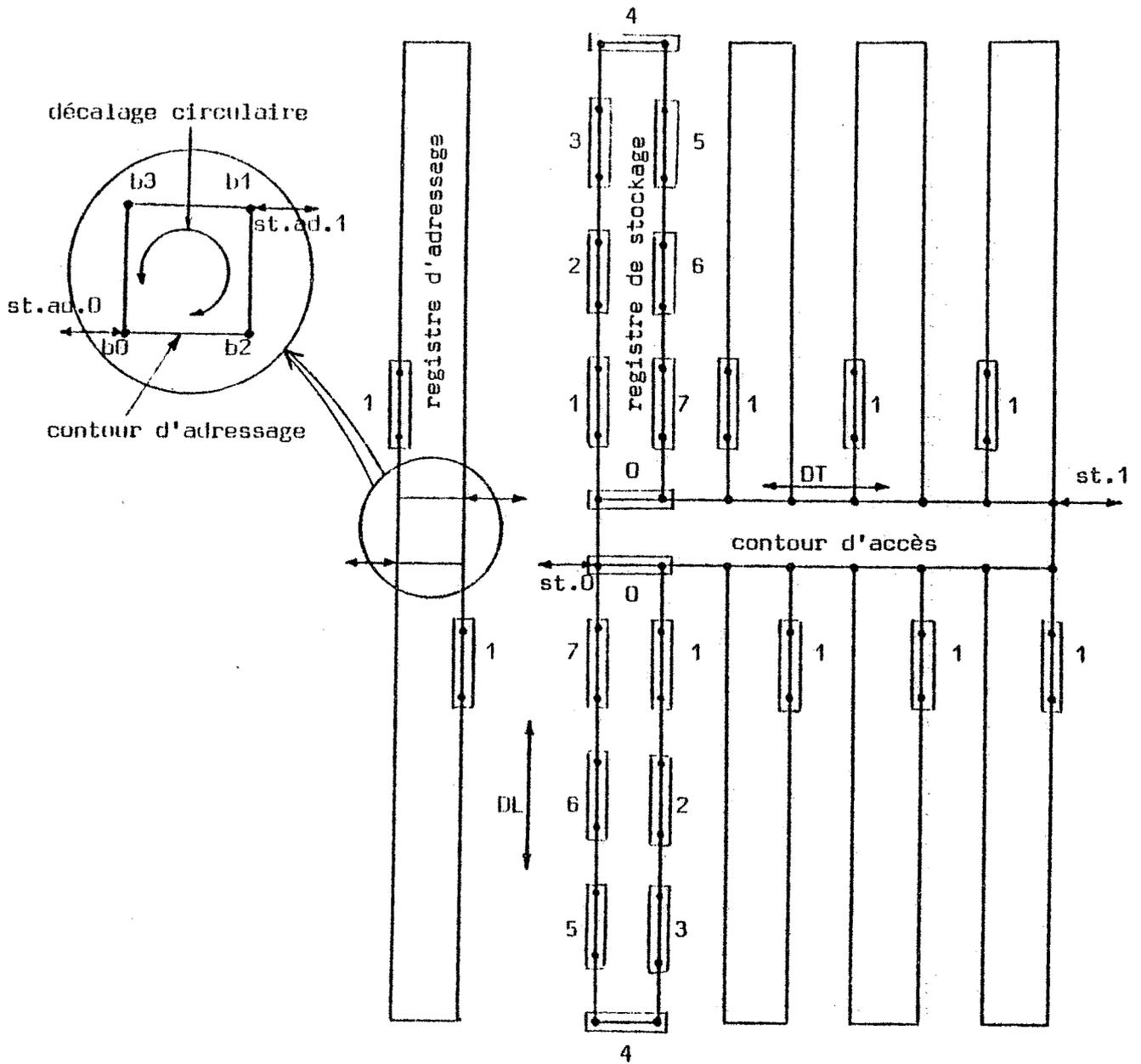


Figure 4.30. - Adressage dans l'organisation en blocs jumeaux
(PRSCA = 1 bit)



PRSCA = 2 bits.

La page 0 se trouve sur le contour d'accès.

b0, b1, b2, b3 : bits d'adressage correspondant à la page 0.

b0, b1 : permettent un adressage jusqu'à $B = 2^2 = 4$ mots.

b2 : indicateur du premier bit

b3 : indicateur de page origine = 1 si page origine

0 sinon

Figure 4.31. Organisation en blocs jumeaux

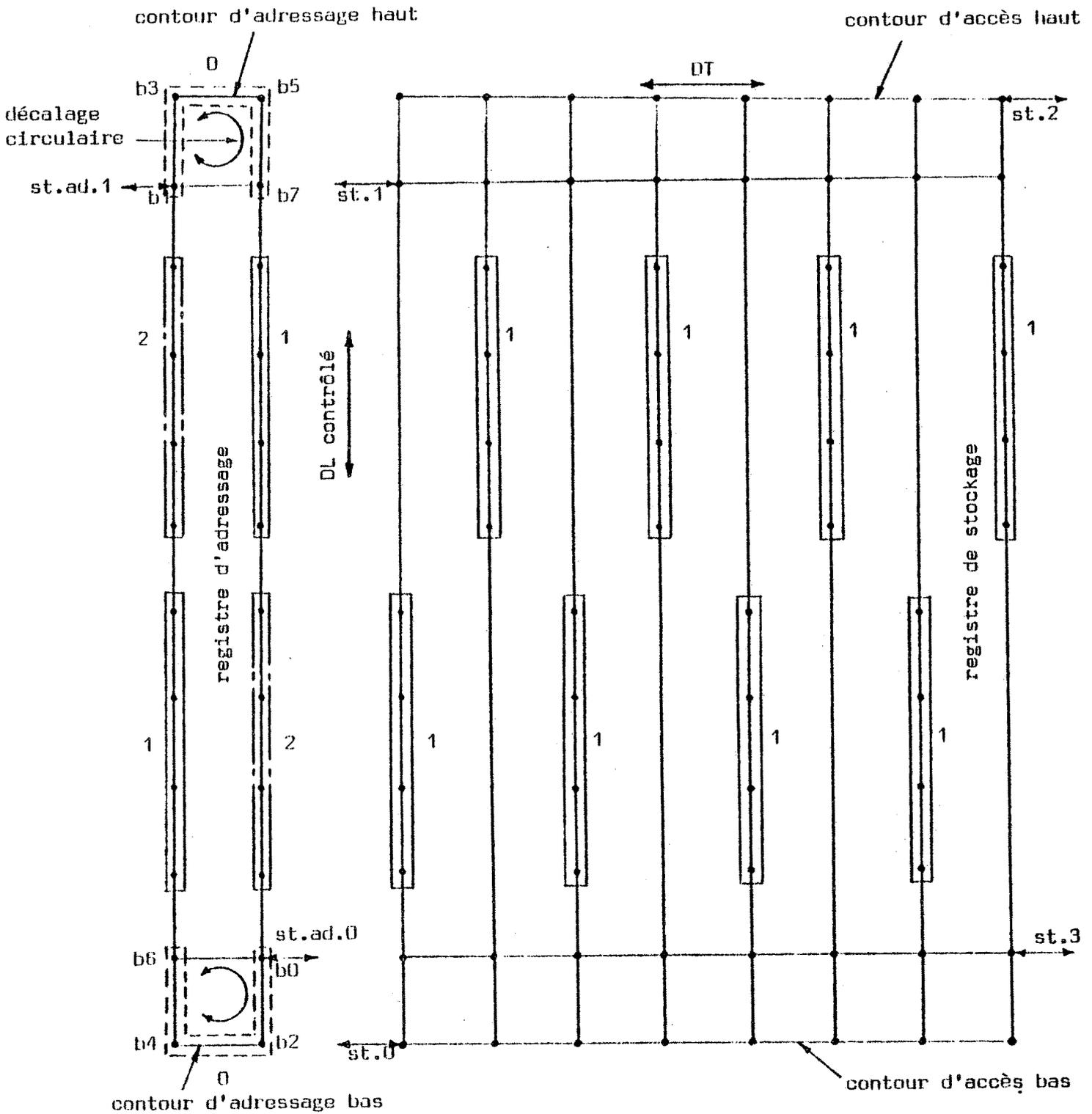
Afin d'augmenter l'étendue d'adressage des mots privilégiés à 2^3 et 2^7 mots, on pourra adopter la solution indiquée dans l'exemple précédent pour le registre indicateur de la page origine.

La présente solution fait appel à la même idée de base que celle des nouvelles organisations, à savoir la combinaison des registres d'adressage (en accès par champ) et d'un contour d'adressage (en accès par courant). Ceci permet de diminuer le nombre de stations d'accès utilisées pour l'adressage dans la classe.

Exemple 3: Organisation avec contours d'accès incorporés en haut, en bas, ou à l'intérieur (PRSCA = 4)

Le fait d'avoir plusieurs contours d'accès incorporés dans la classe, augmentera le nombre de bits disponibles pour l'adressage. Ils sont obtenus par un seul registre d'adressage. Dans la figure 4.32 on a 8 bits par page (b0, b1, ..., b5 pour l'adresse du mot privilégié et les bits b6 et b7 comme indicateurs de la page origine et du premier bit). Une station d'accès est utilisée par contour d'adressage. Le décalage bidirectionnel circulaire permettra l'accès à tous les bits.

Dès le positionnement de la page recherchée sur les contours d'accès, l'adresse du mot privilégié et l'indicateur du premier bit sont lus et le décalage transversal optimal est calculé (sens et valeur). Pendant le décalage transversal, l'adresse du mot privilégié est mise à jour. On effectue ensuite un réalignement circulaire pour conserver un ordre standard aux bits d'adressage.



PRSCA = 4 bits ; la page 0 se trouve sur les contours d'accès.
 $b_0, b_1, b_2, \dots, b_5$: bits d'adressage correspondant à la page 0.
 bit b_6 : indicateur du premier bit.
 bit b_7 : indicateur de page origine = 1 si page origine
 0 sinon

Figure 4.32. - Organisation avec contours d'accès incorporés en haut et en bas.

4.8. COMPLEXITÉ DU CONTRÔLEUR DE LA MÉMOIRE À BULLES

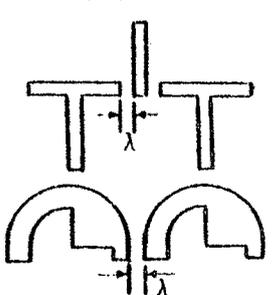
Comparé au contrôleur disque (qui est un petit ordinateur spécialisé), le contrôleur équivalent de la mémoire à bulles est beaucoup plus simple [A2]. Ceci est dû essentiellement à la simplicité d'adressage (nombre limité de compteurs qui conservent la trace des positions des données) et à la possibilité d'arrêter les bulles (ce qui élimine le chronométrage critique du transfert de données).

JULIUSSEN [A2], [A21] estime que la complexité (nombre de circuits intégrés) du contrôleur mémoire à bulles pourrait avoir un quart à une moitié de la complexité du contrôleur disque équivalent. Cette estimation tient compte des organisations simples qui ont une station d'accès par puce (organisation série, registres mineurs/registres majeur, série/parallèle).

En ce qui concerne les organisations que nous avons proposées, organisations avec contours d'accès, elles sont un peu plus compliquées: accès multiple aux bits répartis dans la mémoire avec possibilité d'accès aux bits du mot de gauche ou de droite, orientation différente du mot privilégié dans les pages et indicateurs d'ordonnées privilégiées. Ceci augmente la complexité du contrôleur, mais nous estimons cette complexité inférieure à celle du contrôleur disque équivalent.

4.9. RÉALITÉ TECHNOLOGIQUE DES MÉMOIRES À BULLES

Essayons d'examiner les possibilités de réalisation offertes aux nouvelles organisations que nous avons proposées. Mais d'abord, nous résumons dans le tableau qui suit l'état des technologies actuelles et futures:

Technologie	diamètre de la bulle (μm)	pas du circuit (μm)	résolution minimale des géométries des motifs λ (μm)
<u>classique:</u> permalloy - conducteur 	3,2	16	1
	3,2	16	2
<u>future:</u> permalloy - conducteur disques contigus	1,6	8	1
	1,6	8	2

Plusieurs facteurs favorisent actuellement l'étude et le développement des nouvelles organisations. L'expérience des réalisations des mémoires en organisation classique a montré les limites de ces organisations. Parmi ces limites on peut citer:

- 1) la performance est toujours limitée par la basse fréquence du champ tournant (< 400 KHz).
- 2) La capacité de la puce est limitée d'une part par la fréquence du champ tournant (l'organisation série/parallèle est très lente pour des capacités dépassant 1 M bit/puce) et d'autre part par les marges de fonctionnement (des limites sur la tension de transfert et la résistance des conducteurs utilisés, imposent que le nombre des portes de transfert soit limité, d'où une limitation du nombre des registres de stockage).

Plusieurs constructeurs ont entrepris de développer la technologie des disques contigus (§ 3.2.9) qui permet le décalage bidirectionnel des bulles et dans laquelle les conditions de résolution minimale des géométries des motifs sont moins exigeantes. L'idée de combiner les deux techniques d'accès (champ tournant et courant) est aussi applicable à cette approche.

Des recherches sont en cours, qui visent à remplir toutes les fonctions d'accès par courant. Ceci est essentiel pour nos organisations, car cela rendra beaucoup plus facile la bidirectionnalité du décalage dans les registres de stockage, étant donné que les fonctions d'accès ne sont plus commandées par le champ tournant.

4.10. CONCLUSION

L'étude des organisations classiques des mémoires à bulles nous a permis de découvrir quels points de ces mémoires devaient être améliorés. Revenons brièvement sur ces points:

- 1) La fréquence limitée du champ tournant impose des limitations sur la performance et la capacité des puces.
- 2) La technique d'accès par champ, seule, est simple mais lente, et la technique d'accès par courant, seule, est rapide mais compliquée. Il faut donc envisager une combinaison efficace des deux techniques afin d'obtenir un bon compromis coût/performance.
- 3) L'introduction des chemins d'accès incorporés (basés sur l'accès par courant) dans les registres de stockage (basés sur l'accès par champ), libère à un degré significatif les mémoires à bulles des limitations imposées par le champ tournant. L'incorporation totale des chemins d'accès dans les registres de stockage élimine la nécessité d'utiliser des portes de transfert pour assurer le trafic des bulles entre ceux-ci. De plus, il n'est plus nécessaire d'aligner inutilement les données dans leur position d'origine avant de satisfaire l'accès suivant.
- 4) La possibilité d'arrêter les bulles et la propagation bidirectionnelle sont deux avantages des mémoires à bulles. Il est regrettable que ces deux possibilités ne soient pas exploitées dans les organisations classiques. Avec toutes les fonctions d'accès assurées par courant, la bidirectionnalité de propagation des bulles dans les registres de stockage et dans les chemins d'accès, peut facilement être réalisée.

5) L'utilisation de plusieurs stations d'accès mieux réparties dans la classe mémoire, améliore la performance. Les organisations classiques ne permettent pas cette réalisation de manière économique.

Après avoir présenté les nouvelles organisations, dans lesquelles tous les points ci-dessus ont été pris en compte, il nous faut les évaluer en les comparant entre elles et avec les organisations classiques. Ce sera l'objet du chapitre 5.

Nous souhaitons que dans un avenir proche ces nouvelles organisations aient une chance d'être réalisées par une ou plusieurs des sociétés qui travaillent sur les mémoires à bulles. La première phase de réalisation pourrait être la fabrication d'une puce simple, organisée par exemple en blocs jumelés, ce qui permettrait de prouver la validité du mécanisme proposé (registres de stockage basés sur l'accès par champ et contour d'accès basé sur l'accès par courant). Une fois cette puce réalisée, elle pourrait être testée avec l'appareillage de test classique ou branchée sur un système à microprocesseur, pour évaluer sa performance réelle.

CHAPITRE 5

COMPARAISON DES PERFORMANCES DES DIFFÉRENTES
ORGANISATIONS DE MÉMOIRES À BULLES MAGNÉTIQUES

5.1. INTRODUCTION

Dans ce chapitre nous montrerons les avantages en performances des nouvelles organisations de mémoires à bulles. Une famille d'organisations, caractérisée par des contours d'accès incorporés, a été proposée dans le chapitre précédent. Elle convient à plusieurs domaines d'applications (allant de mémoires secondaires jusqu'aux mémoires centrales). Les performances de ces organisations seront comparées avec celles des organisations classiques. Des formules seront dérivées pour permettre des comparaisons.

On montrera aussi les gammes de valeurs des paramètres qui assurent les meilleures performances pour ces organisations; ceci servira au choix lors de la conception d'une mémoire à bulles.

Convaincus que les mémoires à bulles joueront un rôle dominant, dans le futur, comme mémoires secondaires plutôt que comme mémoires centrales, nous pensons que les formules obtenues dans ce chapitre sont suffisantes pour donner une idée précise de la performance des mémoires à bulles en tant que mémoires secondaires. Plusieurs courbes seront tracées à partir de ces formules pour montrer l'influence de chaque paramètre sur la performance.

Nous ferons aussi référence aux études faites ailleurs pour montrer la faisabilité de l'emploi des mémoires à bulles en tant que mémoires centrales.

5.2. MESURES DE PERFORMANCE DES MÉMOIRES À BULLES

Une mémoire à bulles est en général un moyen séquentiel de stockage des informations par bloc. On pourra obtenir une mémoire à bulles d'apparence aléatoire si on utilise les possibilités qu'elle offre : accès multiple sur puce, modularité et entrelacement des informations sur les différents modules.

Les performances des mémoires séquentielles sont mesurées habituellement par les paramètres suivants : [B5], [B15], [E5], [F5].

1. Temps d'accès au premier bit

C'est le temps qui s'écoule entre l'instant où a été lancée une opération d'accès (lecture ou écriture) en mémoire et l'instant où on dispose du premier bit d'information recherché. Ce temps dépend de l'emplacement des informations dans la mémoire à bulles. Il correspond au temps de décalage longitudinal nécessaire pour amener la page contenant les informations recherchées sur les chemins d'accès plus le temps de décalage transversal nécessaire pour positionner le premier bit d'information sous la station d'accès.

2. Temps d'accès à un bloc de taille standard

Normalement, l'accès aux mémoires secondaires se fait par blocs. Le bloc peut être une ou plusieurs pages consécutives. Le temps d'accès à un bloc comprend le temps de décalage longitudinal pour amener le bloc sur les chemins d'accès et le temps de décalage transversal nécessaire pour l'accès.

3. Temps de cycle (en accès aux mots)

Bien que l'accès aux mots soit utilisé avec les mémoires centrales, nous avons préféré l'utiliser ici pour évaluer les performances de mémoires à bulles. L'accès au mot permet d'étudier, à un niveau plus fin, les influences des paramètres tels que : le nombre de contours d'accès dans la classe, l'accès simultané par plusieurs stations d'accès, la longueur du mot, le nombre de mots dans la page, ... etc. Le temps de cycle inclut le temps de décodage d'adresse (négligeable en général), le temps de décalage longitudinal pour amener la page contenant le mot demandé sur les chemins d'accès, le temps de décalage transversal pour accéder à tous les bits du mot, et le temps de réalignement transversal (éventuel) de la page. Nous n'allons pas distinguer l'accès en lecture et l'accès en écriture, la différence étant négligeable par rapport au temps de décalage.

Le temps de cycle pour l'accès à un mot aléatoire dans la mémoire (TC) est donc donné par la formule suivante :

$$TC = \frac{DLM}{FDL} + \frac{DTM}{FDT}$$

où : DLM (pas) : décalage longitudinal moyen pour amener la page contenant le mot demandé sur les chemins d'accès,
DTM (pas) : décalage transversal moyen pour accéder à tous les bits du mot et pour l'alignement (éventuel),
FDL (MHZ) : fréquence de décalage longitudinal,
FDT (MHZ) : fréquence de décalage transversal.

Nous avons dérivé des formules générales pour calculer les valeurs des DLM et DTM pour les différentes organisations (les détails des dérivations sont donnés dans l'annexe).

4. Débit ou cadence de transfert d'informations

Quand la mémoire à bulles est utilisée comme mémoire secondaire, on s'intéresse à la cadence de transfert (débit) des informations entre celle-ci et la mémoire centrale.

Le débit est le nombre maximum d'informations lues ou écrites par unité de temps. Il s'exprime en kilo-bit (K-bit) ou mega-bit (M-bit) par seconde.

La mémoire à bulles est une mémoire à accès par bloc et les informations sont placées à des emplacements successifs de la mémoire.

Le débit instantané d'une mémoire à bulles organisée avec contours d'accès incorporés est calculé de la façon suivante :

soit NCA le nombre de contours d'accès incorporés dans la classe mémoire,

NSA le nombre de stations d'accès activables simultanément dans la classe : $NSA = 2 \times NCA$

FDT la fréquence de décalage transversal (accès par courant).

Donc : débit = $NSA \times FDT$
= $2 \times NCA \times FDT$

Exemple : Organisation avec contours d'accès incorporés en haut et en bas (NCA = 2) et FDT = 1 MHz.

Débit instantané = 4 M-bit/sec (débit donné par une seule classe).

On peut comparer ce débit au débit obtenu par l'organisation en registres mineurs/registre majeur où le décalage transversal est limité par la fréquence du champ tournant (100-300 KHz).

Si on cherche un débit de 4 M-bit/sec avec un FDT de 200 KHz, il faudra utiliser un nombre de puces en parallèle égale au rapport entre le débit recherché et la fréquence de décalage transversal, c'est-à-dire :
 $(4 \text{ M-bits/sec}) / (200 \text{ KHz}) = 20$ puces en parallèle.

Donc les organisations avec contours d'accès incorporés apportent un gain appréciable en débit et aussi des avantages au niveau de la conception et de la réalisation (simplicité et économie en particulier).

5. Taux de défaut d'information dans la page privilégiée

C'est la probabilité d'absence, dans la page privilégiée, du mot qui vient d'être demandé.

De nombreuses mesures effectuées par logiciel ont montré que, du fait de la structure non aléatoire de l'information, la nouvelle demande appartient (avec un faible pourcentage d'erreur) à l'ensemble de mots autour du mot venant d'être adressé. Cet ensemble est la page privilégiée. Le taux de défaut est fonction de la capacité de la page et du nombre de classes sur lesquelles les données sont entrelacées.

5.3. PARAMÈTRES DES DIFFÉRENTES ORGANISATIONS DE MÉMOIRES À BULLES

Chaque organisation de mémoire sera définie par les paramètres suivants :

C (bits) : capacité de la classe mémoire

B (mots) : capacité d'une page; c'est aussi la capacité des chemins d'accès dans la classe

W (bits) : longueur du mot

L (bits) : longueur du registre de stockage

NCA : nombre de contours d'accès dans la classe

NSA : nombre de stations d'accès dans la classe

(NSA = $2 \times$ NCA pour les organisations avec contours d'accès incorporés)

PRSCA (bits) : participation de chaque registre de stockage à chaque contour d'accès.

5.4. FORMULES DE CALCUL DU DÉCALAGE MOYEN PAR RÉFÉRENCE À LA MÉMOIRE

Pour toutes les organisations les décalages (longitudinal et transversal) seront bidirectionnels à l'exception de :

- 1) L'organisation en registres mineurs/registre majeur, due à la contrainte de synchronisme de décalage dans les registres mineurs et dans le registre majeur.
- 2) L'organisation série-parallèle due à la nature de son fonctionnement.

Dans la suite nous donnons les formules qui servent au calcul du décalage moyen nécessaire pour satisfaire une requête d'accès à un mot aléatoire (W bits) dans la mémoire. Les dérivations de ces formules sont données dans l'annexe. Lors des comparaisons entre les performances de différentes organisations nous tenons compte du fait que le décalage transversal (obtenu par courant) est plusieurs fois plus rapide que le décalage longitudinal (obtenu par champ tournant).

Abréviations

DLM : décalage longitudinal moyen

DTM : décalage transversal moyen

D.L.U.(D.T.U.) : décalage longitudinal (transversal) unidirectionnel

D.L.B.(D.T.B.) : décalage longitudinal (transversal) bidirectionnel

Chaque organisation est désignée par un numéro unique qui sera gardé dans toutes les démonstrations.

Organisation 1 : registre bouclé simple (organisation série)(Cf. Figure 4.1)

$$\begin{aligned} L &= C \\ \text{DLM1} &= \frac{L}{2} + \frac{W}{2} && \text{(D.L.U.)} \\ &= \frac{L}{4} + \frac{W}{2} && \text{(D.L.B.)} \end{aligned}$$

Organisation 2 : registres mineurs/registre majeur (Cf. Figure 4.2)

$$L = \frac{C}{B \times W}$$

$$DLM\ 2 = \frac{L-1}{2} \quad (D.L.U.)$$

$$DTM\ 2 = 2 \times B \times W \quad (D.T.U.,\ 1\ bit\ transféré\ par\ registre\ mineur\ et\ les\ B \times W\ registres\ mineurs\ sont\ rangés\ sur\ les\ deux\ côtés\ du\ registre\ majeur)$$

Organisation 3 : Série parallèle (Cf. Figure 4.3)

$$L = \frac{C}{B \times W}$$

$$DLM = \frac{L-1}{2} \quad (D.L.U)$$

$$DTM = \frac{B \times W}{2} \quad (\text{cycle lecture, D.T.U.})$$

$$DTM = B \times W \quad (\text{cycle écriture, D.T.U.})$$

Organisation 4 : TASSO (Cf. Figure 4.4.)

$$L = \frac{C}{B \times W}$$

$$DLM\ 4 = \frac{L}{4} \quad (D.L.B.)$$

Organisation 5 : Pont d'accès (Cf. Figures 4.11, 4.12 et 4.13)

$$L = \frac{C}{B \times W}$$

$$DLM\ 5 = \frac{L}{4} \quad (D.L.B.)$$

Pour calculer DTM 5 (nombre de décalages transversaux), nous utiliserons 2 chiffres pour désigner le nombre de stations d'accès dans la classe et le nombre de ces stations activables en même temps. Les formules suivantes

correspondent aux configurations avec les stations d'accès mises en positions optimales sur le pont d'accès (ces positions donnent un DTM minimum parce qu'elles minimisent les décalages maximaux). Le décalage transversal est bidirectionnel. Ces formules tiennent compte du décalage transversal d'alignement qui est en moyenne égal au décalage transversal moyen nécessaire pour l'accès à tous les bits du mot.

$$\text{DTM 5 11} = 2 \times \frac{W}{4} (2 + B) = \frac{W}{2} (2 + B)$$

$$\text{DTM 5 21} = 2 \times \frac{W}{8} (4 + B) = \frac{W}{4} (4 + B)$$

$$\text{DTM 5 22} = 2 \times \frac{W}{8} (2 + B) = \frac{W}{4} (2 + B)$$

$$\begin{aligned} \text{DTM 5 (NSA)(NSA)} &= 2 \times \frac{W}{4 \times \text{NSA}} (2 + B) \\ &= \frac{W}{2 \times \text{NSA}} (2 + B) \end{aligned}$$

Organisation 6 : Blocs jumeaux (Cf. Figure 4.15)

La classe mémoire contient un seul contour d'accès muni de 2 stations d'accès.

$$L = \frac{C}{B \times W}$$

$$\text{DLM 6} = \frac{L}{4} \quad (\text{D.L.B.})$$

$$\text{DTM 6 21} = \frac{W}{8} (4 + B) \quad (\text{D.T.B.})$$

$$\text{DTM 6 22} = \frac{W}{8} (2 + B) \quad (\text{D.T.B.})$$

Organisation 7 : Contours d'accès incorporés en haut et en bas de la classe (Cf. Figures 4.22 et 4.23)

$$\text{NCA} = 2$$

$$\text{NSA} = 4$$

PRSCA = 2 ou 4 bits

n = nombre de pages dans la classe

$$= \frac{L}{2 \times \text{PRSCA}}$$

$$\text{DLM 7} = \frac{\text{PRSCA} (n^2 - 1)}{3n} \quad (\text{D.L.B. contrôlé})$$

$$\sim \frac{L}{6}$$

$$\text{mais } L = \frac{C}{B \times W} \times 2 \times \text{PRSCA}$$

$$\text{alors DLM 7} \sim \left(\frac{C}{B \times W} \right) \times \left(\frac{\text{PRSCA}}{3} \right)$$

$$\sim \frac{2}{3} \left(\frac{C}{B \times W} \right) \quad (\text{PRSCA} = 2)$$

$$\sim \frac{4}{3} \left(\frac{C}{B \times W} \right) \quad (\text{PRSCA} = 4)$$

$$\text{et } B = \frac{C}{L} \times \frac{2 \times \text{PRSCA}}{W}$$

$$\text{DTM 7} = \frac{W}{16} (2 + B) \quad (\text{D.T.B.})$$

Organisation 8 : contours multiples d'accès incorporés à l'intérieur de la classe (Cf. Figure 4.26)

$$\text{NCA} \geq 2$$

$$\text{NSA} = 2 \times \text{NCA}$$

$$\text{PRSCA} = 4$$

n = nombre de pages dans la classe

$$= \frac{L}{\text{NCA} \times \text{PRSCA}}$$

$$\text{DLM 8} = \frac{\text{PRSCA} (n^2 - 1)}{6n} \quad (\text{D.L.B. contrôlé})$$

$$\sim \frac{L}{6 \times \text{NCA}}$$

$$\text{Mais } L = \frac{C}{B \times W} \times \text{NCA} \times \text{PRSCA}$$

$$\text{donc DLM } \theta \approx \frac{2}{3} \left(\frac{C}{B \times W} \right)$$

$$\text{et } B = \frac{C}{L} \times \frac{\text{NCA} \times \text{PRSCA}}{W}$$

$$\text{DTM } \theta = \frac{W}{B \times \text{NCA}} (2 + B) \quad (\text{D.T.B.})$$

5.5. AVANTAGES EN PERFORMANCE ET EN COÛT DES ORGANISATIONS AVEC CONTOURS D'ACCÈS INCORPORÉS

Etant la plus performante parmi les organisations classiques, l'organisation de TASSO servira de référence pour montrer les avantages des organisations avec contours d'accès incorporés (organisations 6, 7 et 8).

Les avantages essentiels de l'organisation de TASSO sont l'élimination des transferts de bulles entre registres et l'élimination de tout décalage transversal. Ceci est obtenu par l'association d'une station d'accès à chaque registre de stockage. Le phénomène de localité des références dans les programmes rend minimum le décalage longitudinal. Mais, chaque station d'accès est coûteuse en complexité et en espace sur la puce, ce qui empêche la réalisation économique de l'organisation de TASSO.

Notre proposition d'utiliser un nombre très limité de stations d'accès (par puce) avec des contours d'accès rapides et incorporés dans les registres de stockage est un bon compromis entre le coût et la performance.

Dans la suite nous examinons chaque organisation.

1. L'organisation 6 (blocs jumeaux)

Le décalage longitudinal moyen est le même que celui de l'organisation 4 (TASSO). A ce décalage est ajouté un décalage transversal qui pénalise la performance (par rapport à l'organisation 4). Mais cette pénalité est faible (décalage transversal rapide) et correspond à une économie substantielle due

à la limitation du nombre de stations d'accès. L'organisation en blocs jumeaux est beaucoup plus performante que toutes les autres organisations classiques.

2. L'organisation 7 (2 contours d'accès incorporés en haut et en bas)

Pour cette organisation on s'interroge sur l'effet du décalage longitudinal contrôlé (pour éviter la permutation fautive) sur la dégradation des performances lorsqu'on augmente le DLM par rapport à celle de l'organisation 4. Apparemment, la formule $DLM 7 \approx L7/(3 \times NCA) = L7/6$ donne l'impression d'être meilleure que la formule $DLM 4 = L4/4$. Mais en réalité si on normalise le DLM (calcul de DLM pour une longueur fixe L, de registre de stockage, qui est associé à la station d'accès en organisation 4 ou à chaque contour d'accès en organisation 7) on se rend compte que le contrôle sur le décalage longitudinal augmente un peu le DLM 7. Si on prend :

$$\frac{L7}{NCA} = L4 = L$$

On aura alors : $DLM 7 \approx \frac{L}{3}$ contre $DLM 4 = \frac{L}{4}$ (pour l'organisation de Tasso).

Mais ceci n'est pas inquiétant vue les effets favorables de la localité des références et de l'entrelacement possible des informations sur plusieurs modules qui limitent le DLM réel.

Quant au décalage transversal, la disposition de 2 contours d'accès rapides avec 4 stations d'accès augmente davantage le débit et limite le DTM 7 par rapport aux organisations : 2 (registres mineurs/registre majeur) et 3 (série-parallèle).

3. L'organisation 8 (contours multiples d'accès)

Cette organisation apporte des améliorations fondamentales en ce qui concerne le DLM.

Si on prend :

$$\frac{L8}{NCA} = L4 = L$$

on aura alors : $DLM 8 \approx \frac{L}{6}$ contre $DLM 4 = \frac{L}{4}$.

Donc un gain significatif en DLM ($\frac{L}{4} - \frac{L}{6} = \frac{L}{12}$ pas par référence) met en évidence l'utilité de l'organisation 8 si on veut utiliser la mémoire à bulles en tant que mémoire centrale.

Quant au décalage transversal nous aurons les mêmes avantages et une meilleure performance que l'organisation 7.

5.6. ANOMALIES DE PERFORMANCES DES ORGANISATIONS 7 ET 8

5.6.1. Sources et influences des anomalies

Dans les organisations 7 et 8 chaque registre de stockage participe avec PRSCA bits à chaque contour d'accès. Pour des valeurs fixes de C et W, les paramètres L et B n'ont pas les mêmes valeurs dans les organisations 4, 7 et 8. Ces paramètres sont liés par les relations suivantes :

$$B4 = \frac{C}{L4 \times W}$$

$$B7 = \frac{C}{L7} \times \frac{8}{W} \quad (\text{pour PRSCA} = 4)$$

$$B8 = \frac{C}{L8} \times \frac{4 \times NCA}{W}$$

donc :

$$\frac{B7}{B4} = 8 \times \left(\frac{L4}{L7}\right) \quad (5.1)$$

$$\frac{B8}{B4} = 4 \times NCA \times \left(\frac{L4}{L8}\right) \quad (5.2)$$

Ces deux relations montrent que si L4 et L7 (ou L4 et L8) ont les mêmes valeurs, une différence considérable apparaîtra entre les valeurs de B4 et B7 (ou B4 et B8). Si B4 et B7 (ou B4 et B8) ont les mêmes valeurs la différence apparaîtra entre les valeurs de L4 et L7 (ou L4 et L8). Donc pour chaque configuration de l'organisation 4 (C,W,B4,L4) il y aura un très grand nombre de configurations pour l'organisation 7 (ou 8).

Un certain nombre de ces configurations sont moins performantes que la configuration de référence de l'organisation 4. Nous avons considéré ces cas comme des anomalies qu'il faudra déterminer. Dans la suite nous étudions en détail le cas de l'organisation 7.

5.6.2. Organisation 7

La gamme de valeurs de B7 commence par B7 = B4 et va jusqu'à B7 correspondant à L7 = L4. La gamme de valeurs de L7 commence par L7 = L4 et va jusqu'à L7 correspondant à B7 = B4.

Exemple : Configuration de référence :

C = 32 K-bit, W = 16 bits, B4 = 2 mots et
L4 = 1024 bits.

La gamme de valeurs de B7 sera donc comprise entre 2 mots et 16 mots. La gamme de valeurs de L7 sera comprise entre 1024 bits et 8192 bits. Les performances de plusieurs configurations dans ces gammes ne sont pas meilleures que la performance de la configuration de référence, c'est-à-dire, pour ces configurations :

$$\frac{DLM7}{FDL} + \frac{DTM7}{FDT} > \frac{DLM4}{FDL}$$

Le tableau 5.1. donne quelques exemples. Par contre, d'autres configurations sont plus performantes que celle de référence; le tableau 5.2. donne quelques exemples de ces cas. Il faut donc trouver les limites dans les gammes de valeurs de B7 et L7 qui distinguent les configurations qui sont plus performantes que la configuration de référence et celles qui le sont moins.

Tableau 5.1. Quelques anomalies de l'organisation 7.

C = 32 K bits, W = 16 bits, L7 = 2 x L4

L4	128	256	512	1024	2048
DLM4 = L4/4	32	64	128	256	512
B4	16	8	4	2	1
L7 = 2 x L4	256	512	1024	2048	4096
B7	64	32	16	8	4
DLM7 \approx L7/6	42.66	85.33	170.66	341.33	682.66
DTM7 = (2+B7)	66	34	18	10	6

Tableau 5.2. Quelques configurations performantes de l'organisation 7

C = 32 K bits, W = 16 bits, L7 = L4, FDT = 4 x FDL

L4	256	512	1024	2048
DLM4 = L4/4	64	128	256	512
B4	8	4	2	1
L7 = L4	256	512	1024	2048
DLM7 \approx L7/6	42.66	85.33	170.66	341.33
B7	64	32	16	8
DTM7 = (2+B7)	66	34	18	10

Le critère de base est le suivant :

temps total d'accès au mot en organisation 7 \leq temps total d'accès au mot en organisation 4.

$$\text{C'est-à-dire : } \frac{DLM7}{FDL} + \frac{DTM7}{FDT} \leq \frac{DLM4}{FDL}$$

$$\text{ou } \frac{1}{FDL} \left(\frac{L7}{6} \right) + \frac{1}{FDT} \left(\frac{W}{16} (2+B7) \right) \leq \frac{1}{FDL} \left(\frac{L4}{4} \right) \quad (5.3.)$$

La manipulation numérique de cette inégalité nous a conduit à considérer, comme première approximation, les parties concernant le décalage longitudinal.

$$\text{Donc : } \frac{L7}{6} \leq \frac{L4}{4}$$

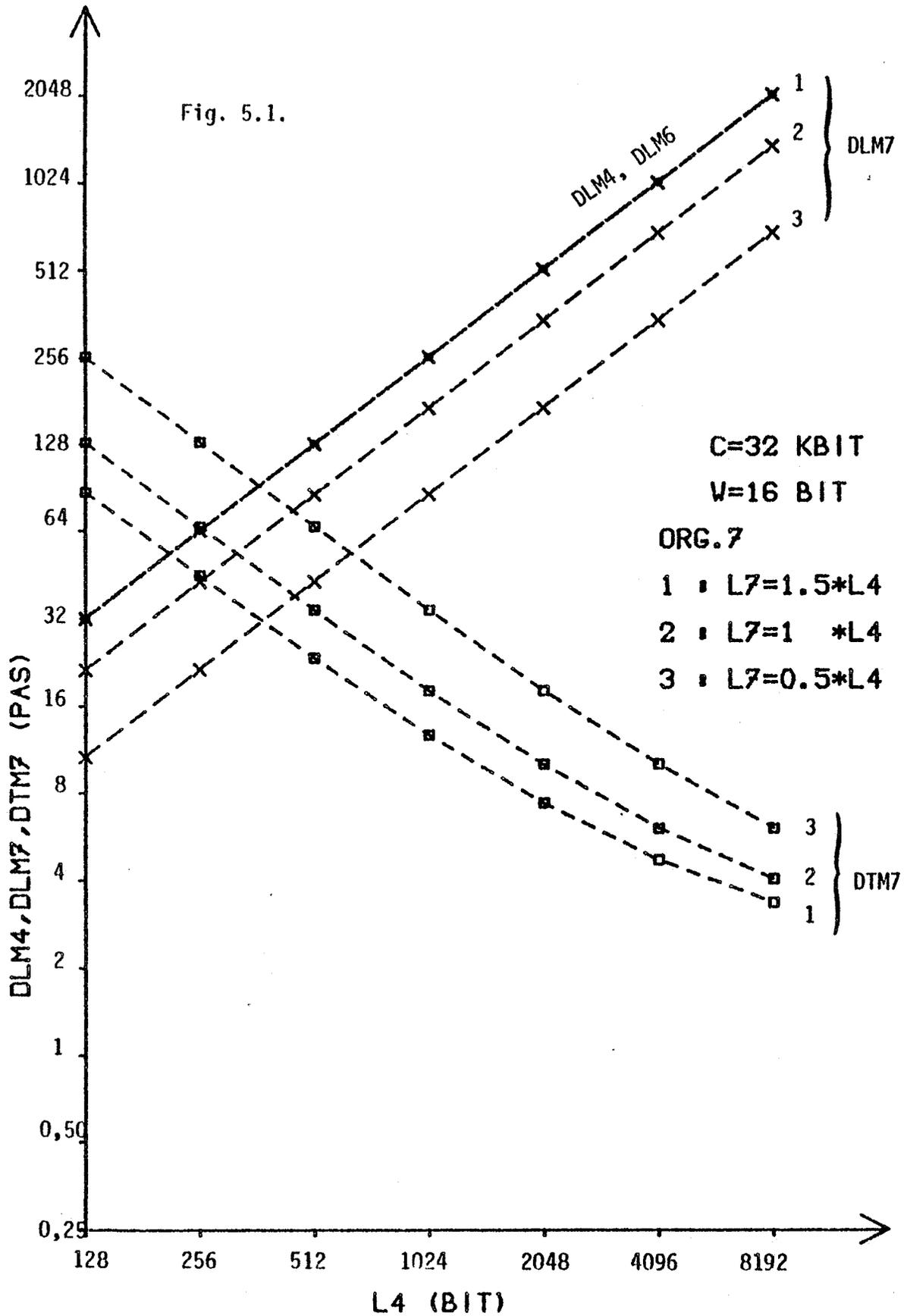
$$L7 \leq \frac{3}{2} \times L4$$

Après avoir choisie la valeur de L7, B7 sera calculé à partir de la relation (5.1). Ensuite, la performance de cette configuration sera vérifiée par l'inégalité (5.3). Avec ce procédé, les configurations performantes pour l'organisation 7 seront obtenues. La figure 5.1 montre les évaluations de performance DLM7 et DTM7 comme fonctions de L4 pour plusieurs valeurs du rapport L7/L4 dans les zones performantes.

5.6.3. Organisation 8

Comme pour l'organisation 7, on pourra trouver des anomalies pour l'organisation 8, ce qui nécessite la recherche des limites dans les gammes de valeurs de B8 et L8. De la même façon, nous considérons le critère de base suivant :

$$\frac{1}{FDL} \left(\frac{L8}{6 \times NCA} \right) + \frac{1}{FDT} \left(\frac{W(2+B8)}{8 \times NCA} \right) \leq \frac{1}{FDL} \left(\frac{L4}{4} \right) \quad (5.4.)$$



Pour simplifier nous considérons la première approximation suivante :

$$\frac{L8}{6 \times NCA} \leq \frac{L4}{4}$$

ou
$$L8 \leq \frac{3 \times NCA}{2} \times L4$$

Après avoir choisie la valeur de L8, la valeur de B8 sera calculée par la relation (5.2). Ensuite, la performance de la configuration (B8, L8) sera vérifiée par l'inégalité (5.4).

Les figures 5.2, 5.3, 5.4 et 5.5 montrent DLM8 et DTM8 comme fonctions de L4 pour plusieurs valeurs du rapport L8/L4 et pour l'organisation 8 avec 2, 4, 8 et 16 contours d'accès.

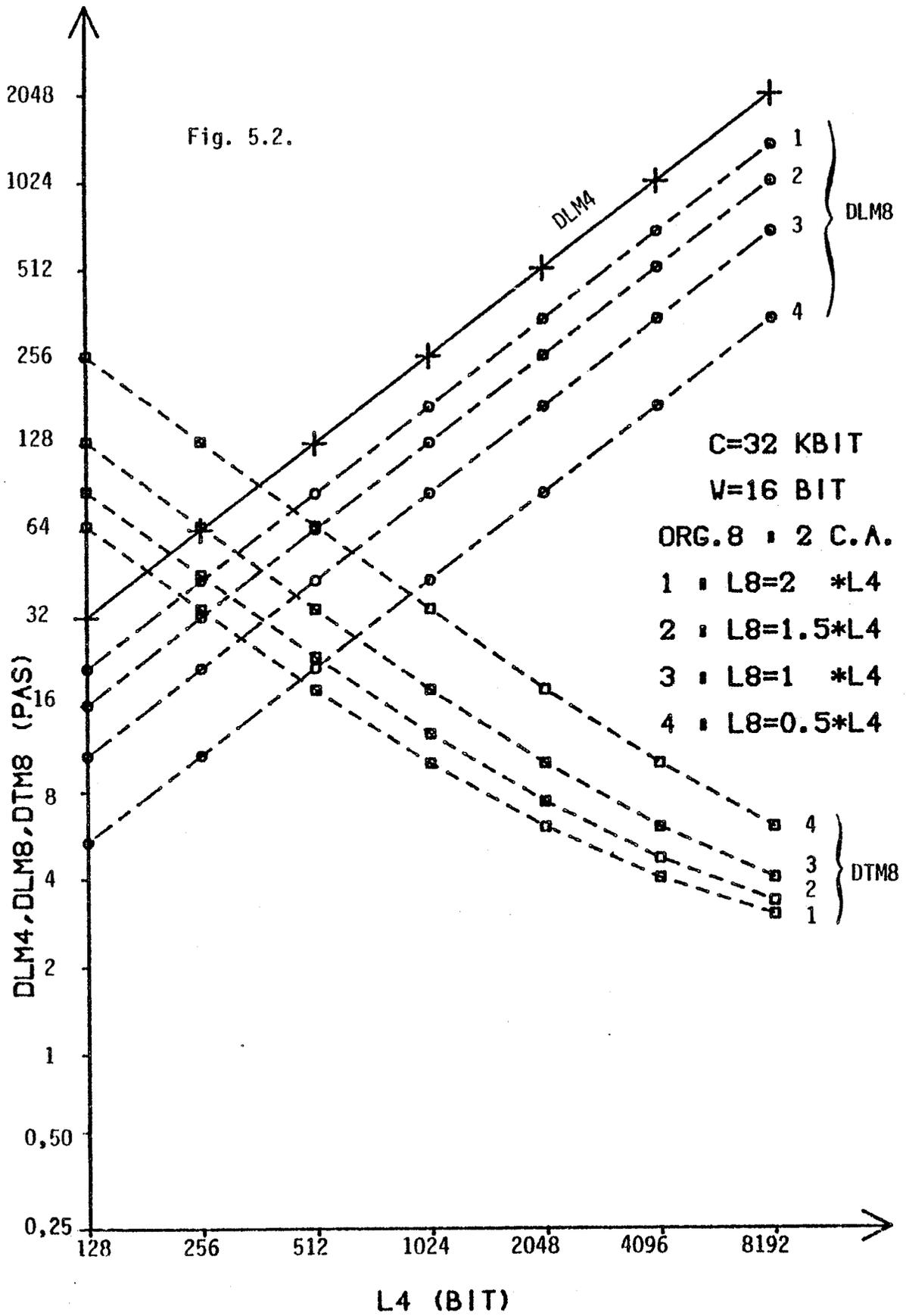
Les figures 5.6 et 5.7 montrent DLM et DTM comme fonctions de L4 pour les organisations 4, 6, 7 et 8 avec la condition L4 = L6 = L7 = L8.

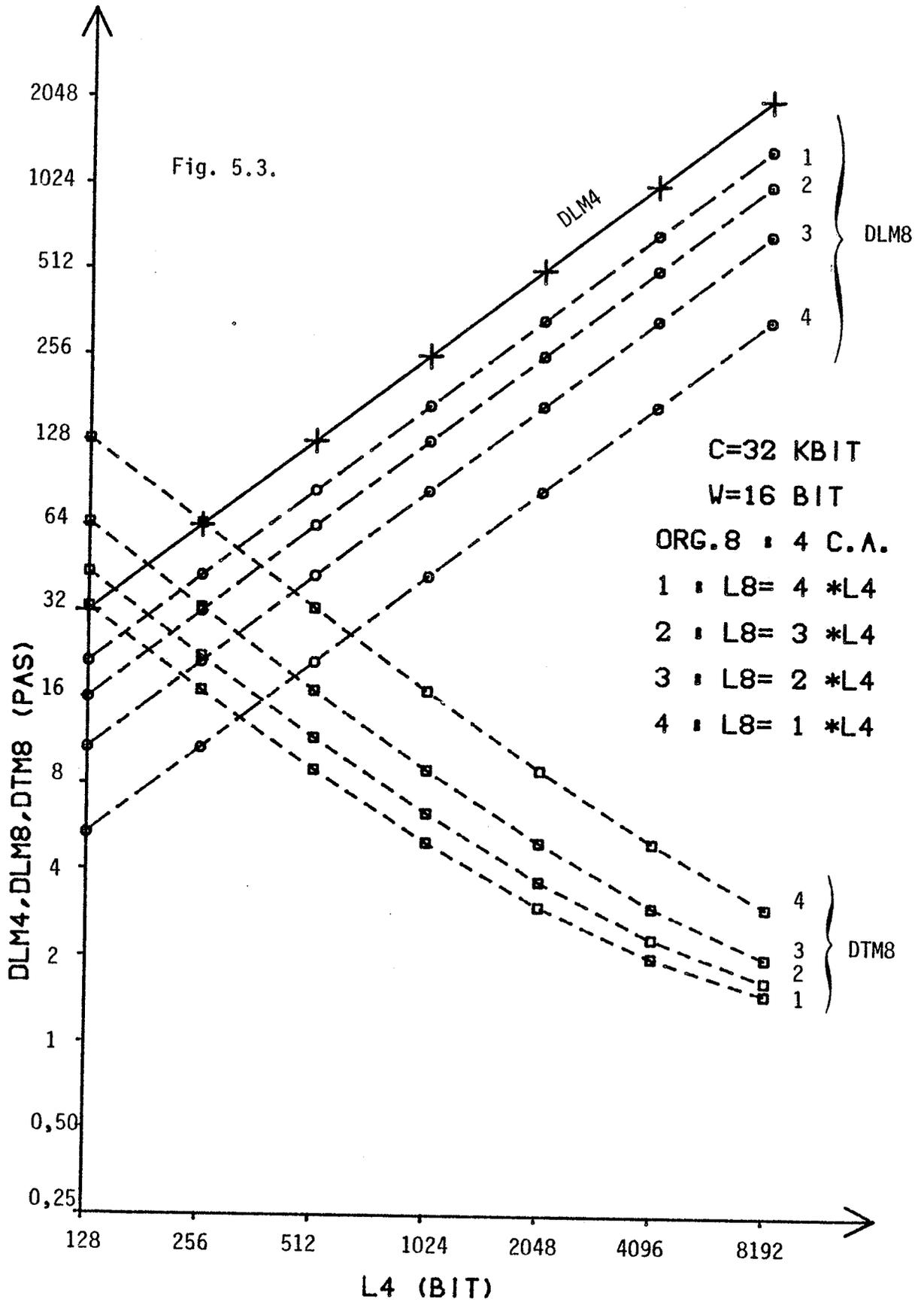
Toutes ces figures indiquent les gains substantiels en performance que donnent les nouvelles organisations par rapport à l'organisation de TASSO.

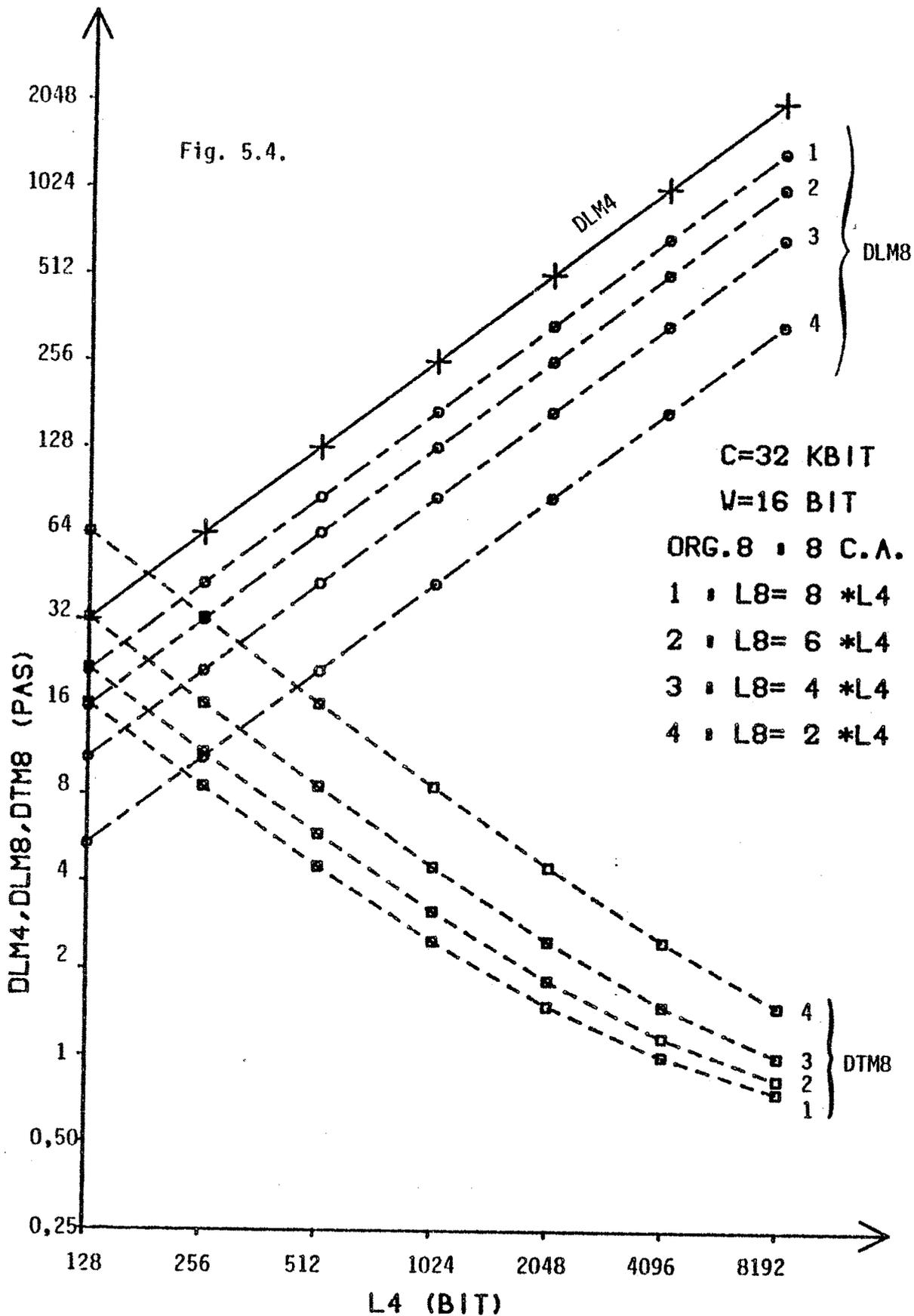
Pour calculer les temps d'accès on tiendra compte de la différence entre la fréquence de décalage transversal et la fréquence de décalage longitudinal (FDT = 4 x FDL par exemple).

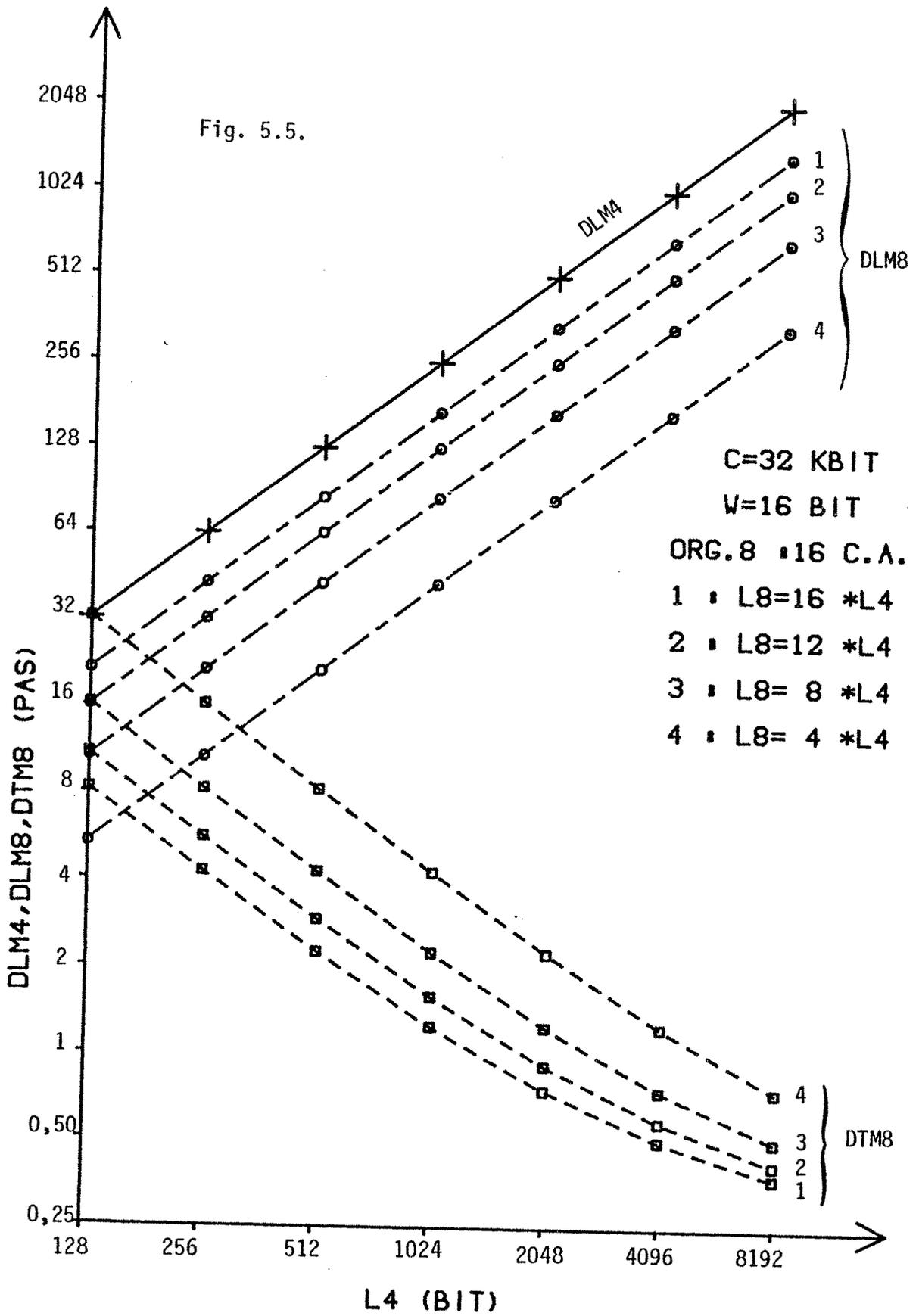
5.7. INFLUENCES DES DIFFÉRENTS PARAMÈTRES SUR LA PERFORMANCE DES ORGANISATIONS DE MÉMOIRES À BULLES

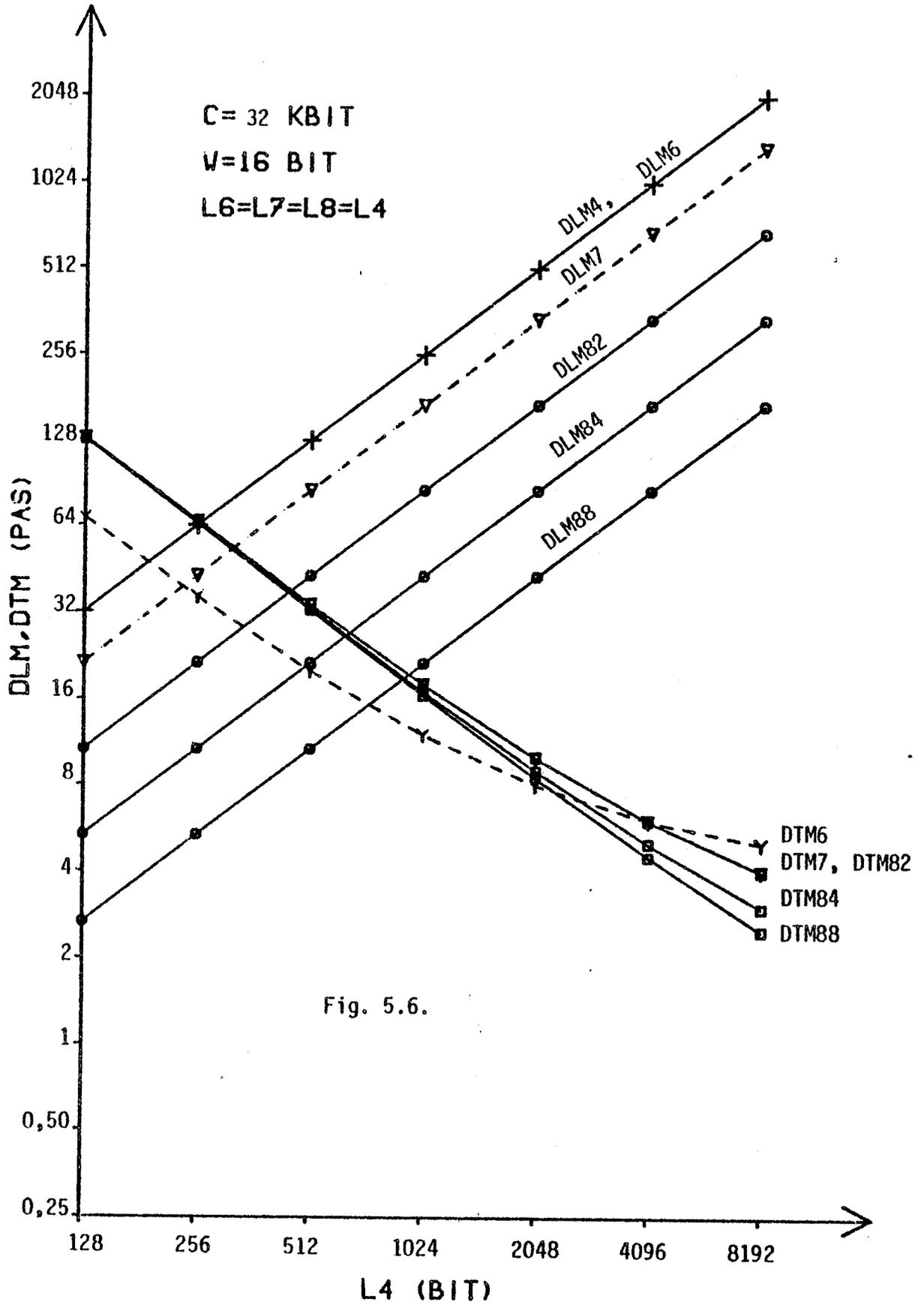
Nous allons exposer quelques résultats tirés de la comparaison entre les différentes organisations de mémoires et de l'étude des influences des différents paramètres sur les performances.











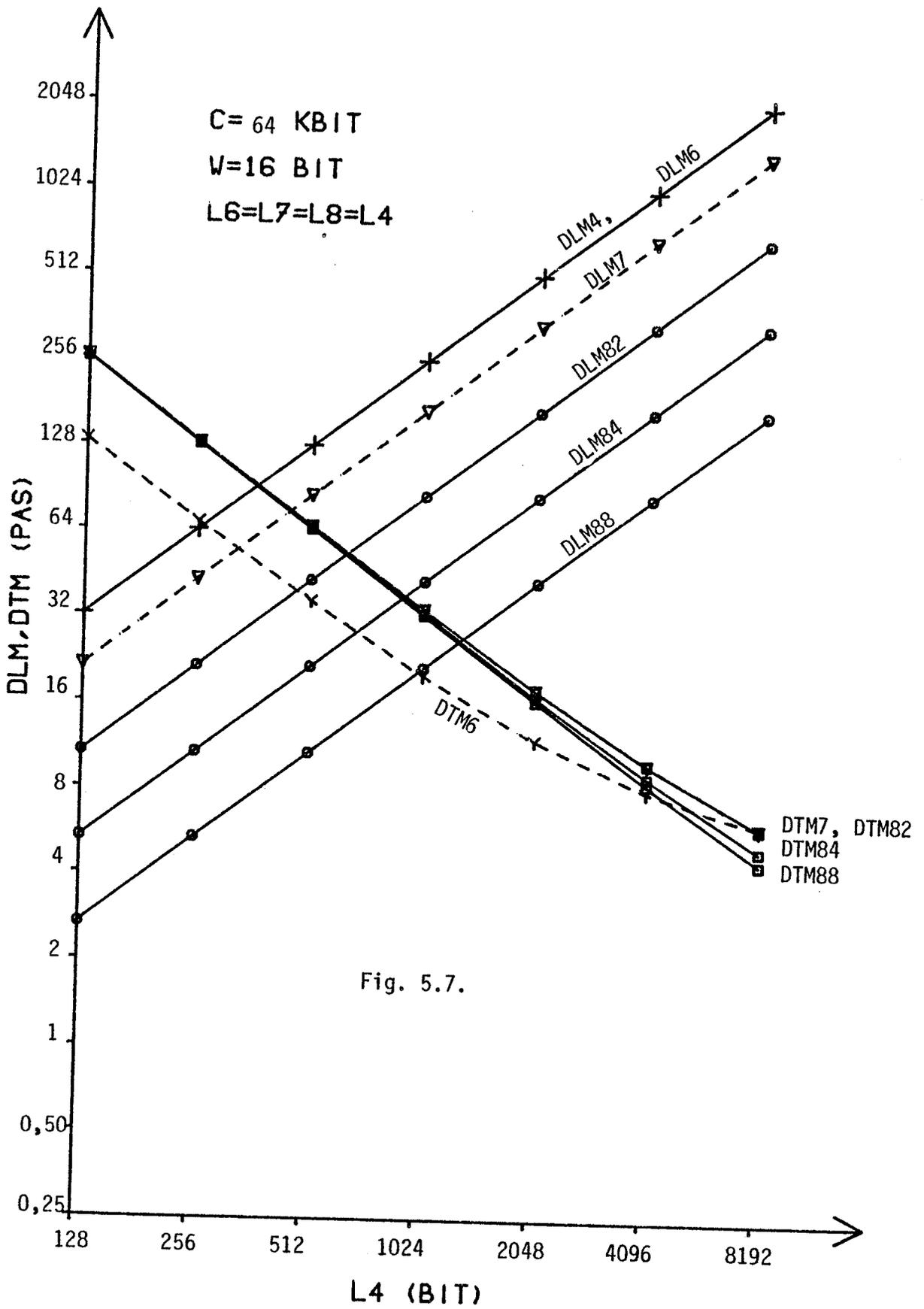


Fig. 5.7.

5.7.1. Décalage transversal moyen (DTM) contre capacité de la page privilégiée (B)

La figure 5.8 trace la relation entre le DTM et B pour les organisations 5, 6, 7 et 8. Les courbes montrent les améliorations substantielles qu'apportent les organisations 7 et 8 par rapport aux organisations 5 et 6. Ces améliorations sont très avantageuses si on s'intéresse au débit d'information; les organisations 7 et 8 permettent d'une part un accès multiple (4 stations d'accès au moins sont activables simultanément) et d'autre part une grande capacité de page privilégiée (disponible en accès à haute vitesse).

5.7.2. Influences de B, L et C sur les DLM et DTM dans les organisations 7 et 8

La figure 5.9 trace les relations entre les DLM, DTM et B (pour les organisations 7 et 8) pour différentes capacités de classe mémoire. L'augmentation de la valeur de B signifie, pour une capacité donnée de classe, l'augmentation du nombre de registres de stockage et par conséquence la réduction de la longueur du registre. Ceci contribue à diminuer le DLM, ce qui est plus utile que la diminution du DTM vue la fréquence limitée de décalage longitudinal.

Les courbes serviront à donner une idée sur la performance d'une configuration donnée en organisation 7 ou 8.

Exemple : pour FDL = 200 KHZ (5 μ s/pas)

FDT = 1MHz (1 μ s/pas)

C = 64 K bit

B = 16 mots

W = 32 bits

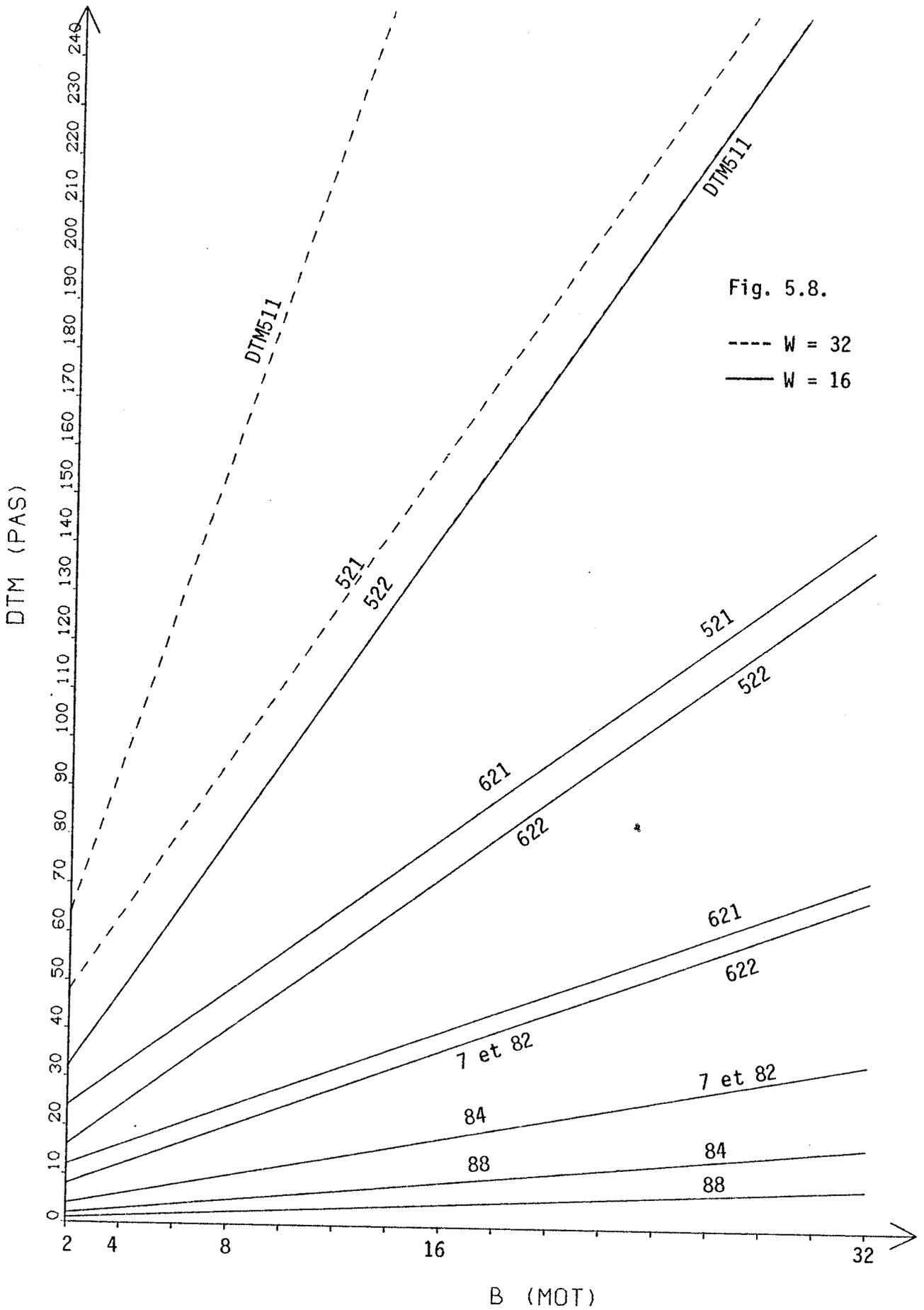


Fig. 5.8.

--- W = 32

— W = 16

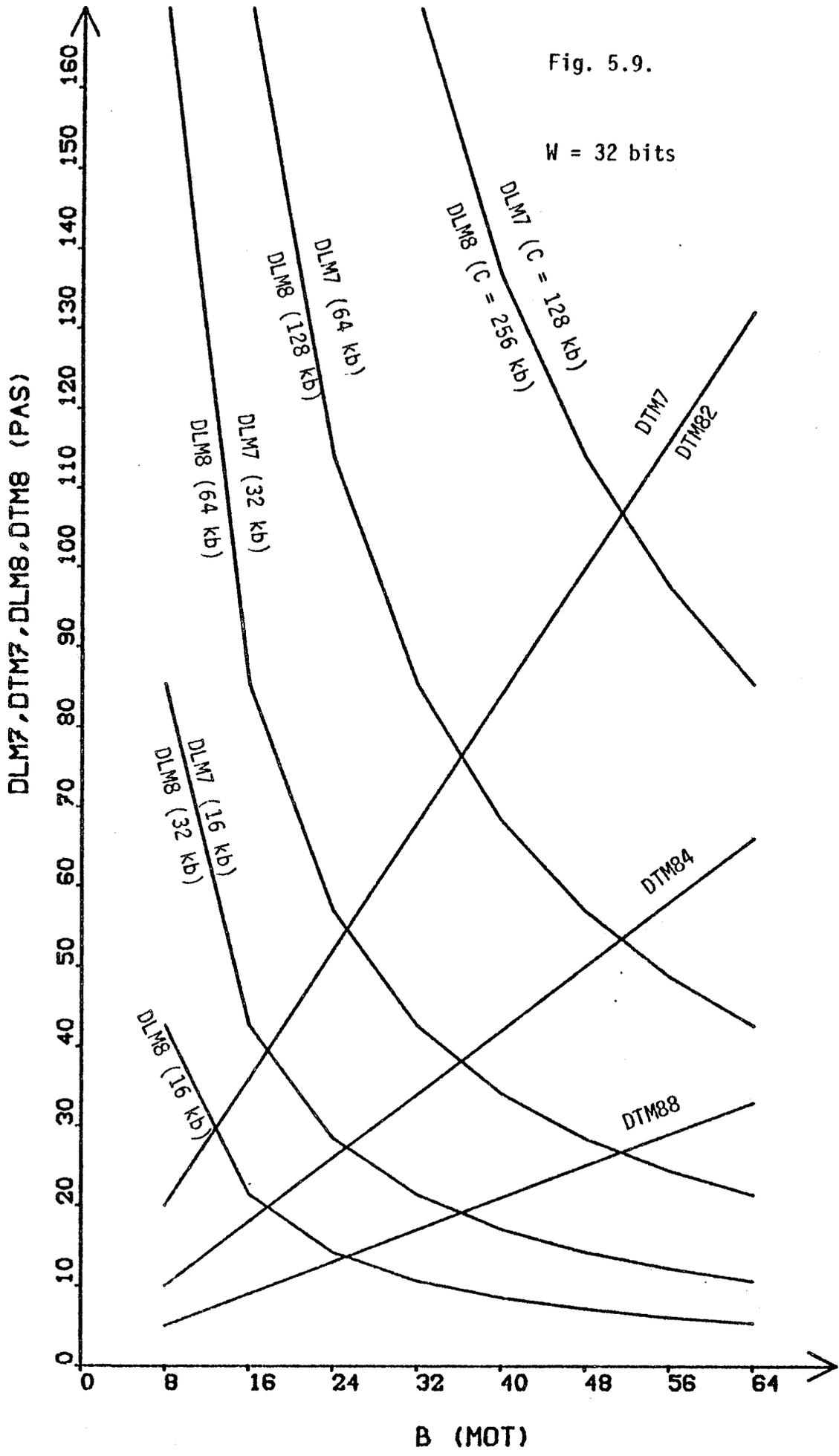


Fig. 5.9.

$W = 32$ bits

Organisation	DLM (pas)	DTM(pas)	Temps moyen d'accès au mot (µs)
7	170,7	36	889,5
82	85,3	36	462,5
84	85,3	18	444,5
88	85,3	9	435,5

Ceci signifie la possibilité d'avoir des mémoires à bulles avec un temps d'accès moyen plus petit que 1 ms.

La figure 5.10 trace les DLM et DTM en fonction de la longueur (L) du registre de stockage pour plusieurs capacités de classe. Le DLM dépend de L (et de NCA pour l'organisation 8). Les courbes montrent que les différences entre les DTM, des organisations 7 et 8 pour une capacité donnée de classe sont très petites tandis que les différences entre les DLM sont considérables. Ceci montre de nouveau l'intérêt de réduire le DLM (qui coûte cher en temps à cause de la fréquence limitée du décalage longitudinal) par l'augmentation du nombre de contours d'accès dans la classe.

5.7.3. Influence du nombre de contours d'accès (NCA) sur DLM et DTM pour l'organisation 8

1. Influence du NCA à une valeur fixe de B

Nous étudions cette influence sur l'exemple suivant :

$$C = 64 \text{ K bit}, W = 32 \text{ bits et PRSCA} = 4 \text{ bits.}$$

Décalage transversal moyen :

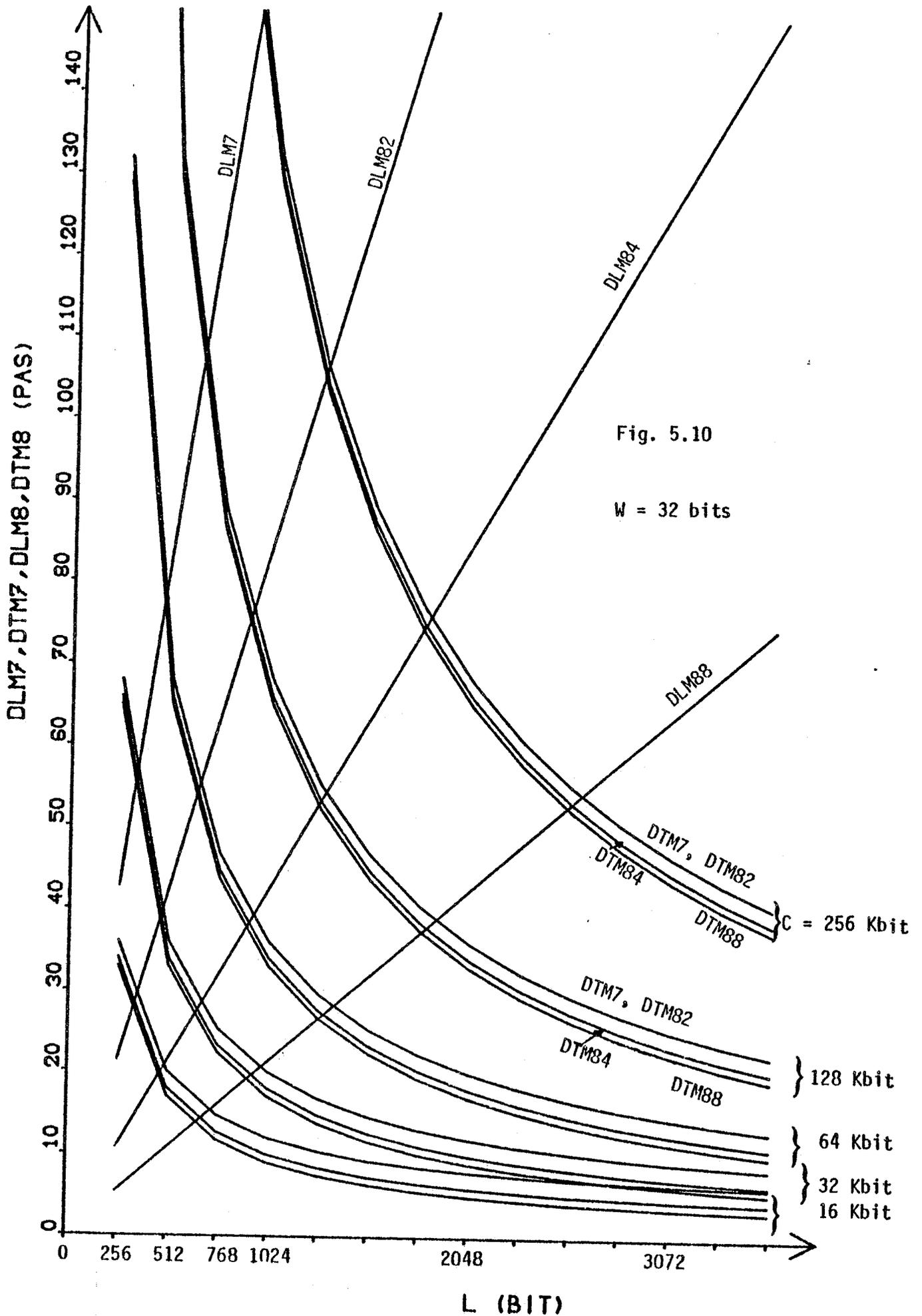
$$DTM8 = \frac{W}{8(NCA)} (2+B) = \frac{4(2+B)}{NCA}$$

La figure 5.11 trace DTM8 contre NCA pour plusieurs valeurs de B.

Décalage longitudinal moyen :

$$LB = \frac{C \times NCA \times PRSCA}{B \times W} = 8 \times 1024 \times \frac{NCA}{B}$$

et
$$DLM8 \approx \frac{LB}{6 \times NCA} = \frac{8 \times 1024}{6 \times B}$$



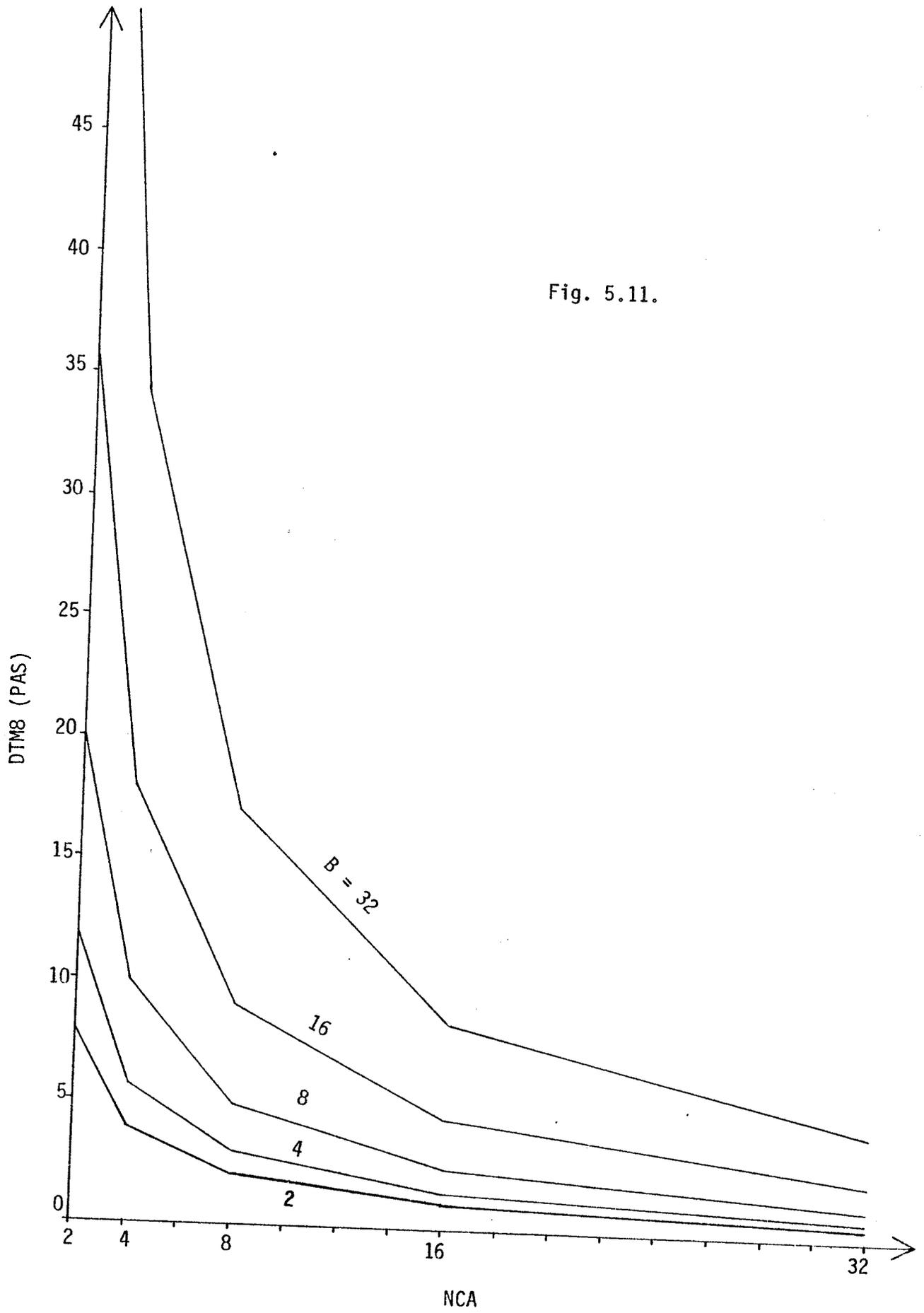


Fig. 5.11.

Ceci montre que DLM8 est fonction de B et ne dépend pas de NCA. Le tableau suivant donne le DLM8 pour plusieurs valeurs de B.

B(mot)	DLM8(pas)
2	682.67
4	341.33
8	170.67
16	85.33
32	42.67

Ces résultats montrent que pour une valeur donnée de B, l'augmentation du nombre de contours d'accès dans la classe diminue le DTM8 mais elle n'a pas d'effet sur le DLM8. L'augmentation de la valeur de B augmente un peu le DTM8 et réduit considérablement le DLM8. On pourra donc obtenir une mémoire à bulles performante avec une grande capacité de page (B), ce qui donne un petit DLM8, avec un petit nombre de contours d'accès dans la classe, ce qui réduit considérablement le coût des stations d'accès et est sans effets graves sur le DTM8.

2. Influence du NCA à une valeur fixe de L

De la même façon nous étudions cette influence à l'aide d'un exemple :

$$C = 64 \text{ K bit}, W = 32 \text{ bits et PRSCA} = 4 \text{ bits}$$

$$DLM8 \approx \frac{L}{6 \times NCA}$$

La figure 5.12 montre cette relation pour plusieurs valeurs de L.

$$B = \frac{C \times NCA \times PRSCA}{L \times W} = 8 \times 1024 \times \frac{NCA}{L}$$

$$DTM8 = \frac{W}{8 \times NCA} (2+B) = \frac{8}{NCA} + \frac{32 \times 1024}{L}$$

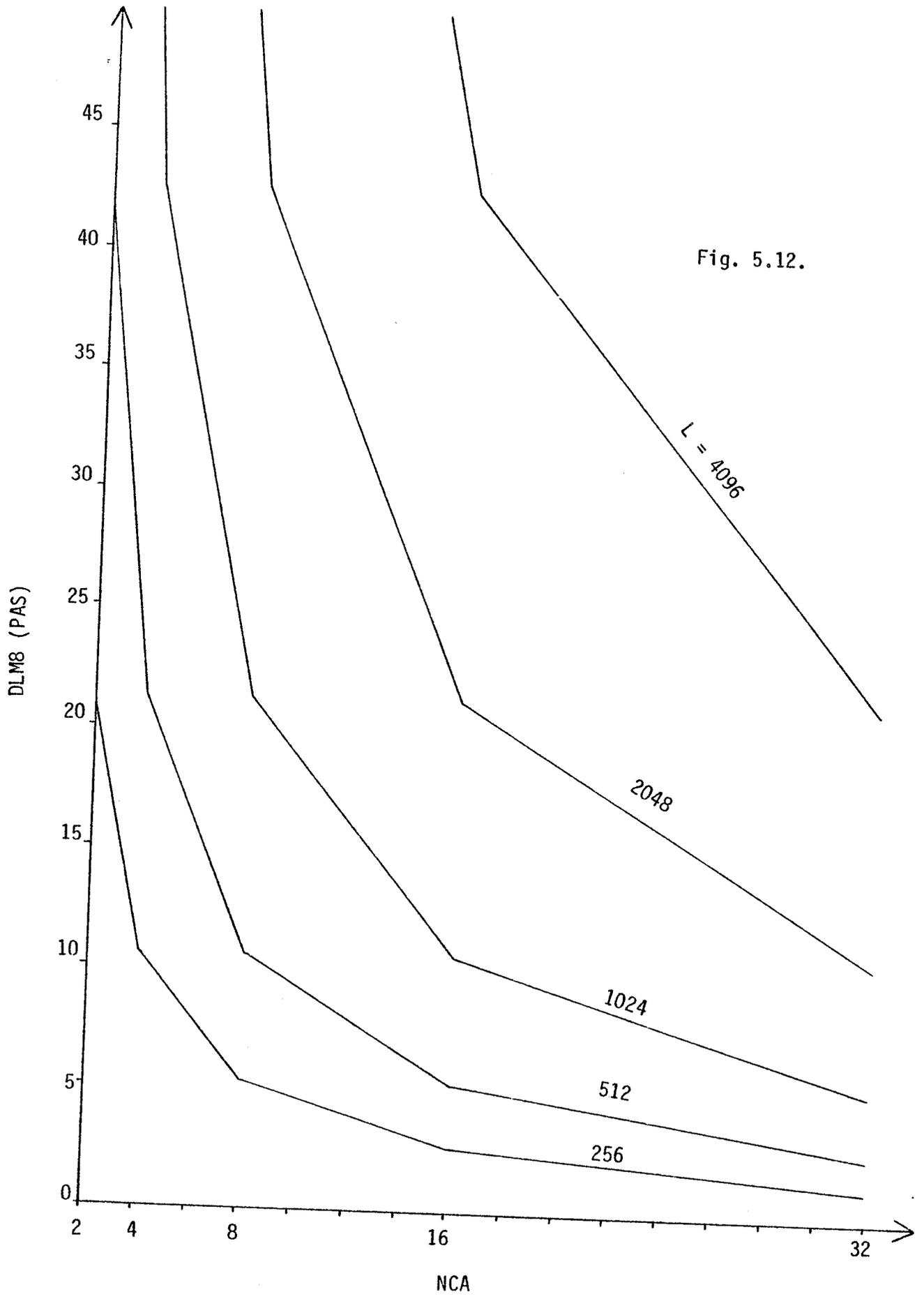


Fig. 5.12.

Le tableau suivant donne DTM8 pour plusieurs valeurs des paramètres L et NCA.

L(bit)	DTM8 (pas)				
	256	512	1024	2048	4096
NCA					
2	132	68	36	20	12
4	130	66	34	18	10
8	129	65	33	17	9
16	128,5	64,5	32,5	16,5	8,5
32	128,25	64,25	32,25	16,25	8,25

A partir de ce tableau, on peut dire que pour une valeur donnée de L, la variation de la valeur de NCA n'a pas d'influence significative sur le DTM8. Par contre, l'augmentation de la valeur de NCA (à une valeur donnée de L) réduit considérablement le DTM8.

A partir de tous ces résultats nous pouvons tirer la conclusion générale suivante :

On pourra obtenir une mémoire à bulles performante (temps d'accès minimum et débit maximum) à un coût raisonnable (pas trop de stations d'accès coûteuses par classe), si on conçoit une classe mémoire ayant un grand nombre de registres de stockage relativement courts en longueur (ce qui donne un DLM limité) et avec un nombre limité de contours d'accès (et par conséquent un nombre limité de stations d'accès). Ceci représente un bon compromis coût-performance qui exploite au maximum les possibilités offertes par la combinaison des deux techniques d'accès (accès par champ magnétique tournant et accès par courant).

5.7.4. Influence des valeurs de B et W sur le DTM

Nous avons étudié comme exemple le cas de l'organisation 7 (2 contours d'accès et 4 stations d'accès), les mêmes résultats s'appliquent à l'organisation 8 avec 2 contours d'accès.

$$\begin{aligned} \text{DTM7} &= \frac{W}{16} (2+B) \\ &= \text{DTM pour positionnement} + \text{DT pour accès au mot} \\ &= \frac{W}{16} (B-2) + \frac{W}{4} \end{aligned}$$

Sur la figure 5.13 sont tracées les variations du décalage transversal moyen pour le positionnement et les variations du décalage transversal total (DTM7) pour plusieurs valeurs de B et plusieurs valeurs de capacité de page (B x W). Les courbes montrent que le temps du DTM7 ne dépasse pas 40 μs (avec FDT = 1 MHz) pour des capacités de page allant jusqu'à 512 bits et pour une longueur du mot allant jusqu'à 64 bits. Ce temps est égal à 68 μs pour une capacité de page de 1 K bit et un mot de 32 bits. Ceci est un temps moyen théorique pour l'accès à un mot aléatoire dans la page privilégiée, il ne tient pas compte des facteurs favorables à sa réduction et qui existent en réalité, comme la localité d'adressage dans le programme et l'entrelacement des informations sur plusieurs classes de mémoire. Avec les contours d'accès incorporés nous avons donc obtenu une très bonne performance par rapport à l'organisation en registres mineurs/registre majeur où on devra parcourir tout le registre majeur pour la réinscription du bloc sur les registres mineurs avant de répondre à une autre requête d'accès.

On remarque aussi que, pour une valeur fixe de B x W, l'augmentation de la valeur de W réduit considérablement le temps moyen perdu pour le positionnement transversal du mot recherché. Donc, l'accès aux mots de 64 ou 32 bits est plus performant que l'accès aux mots de 16 ou 8 bits.

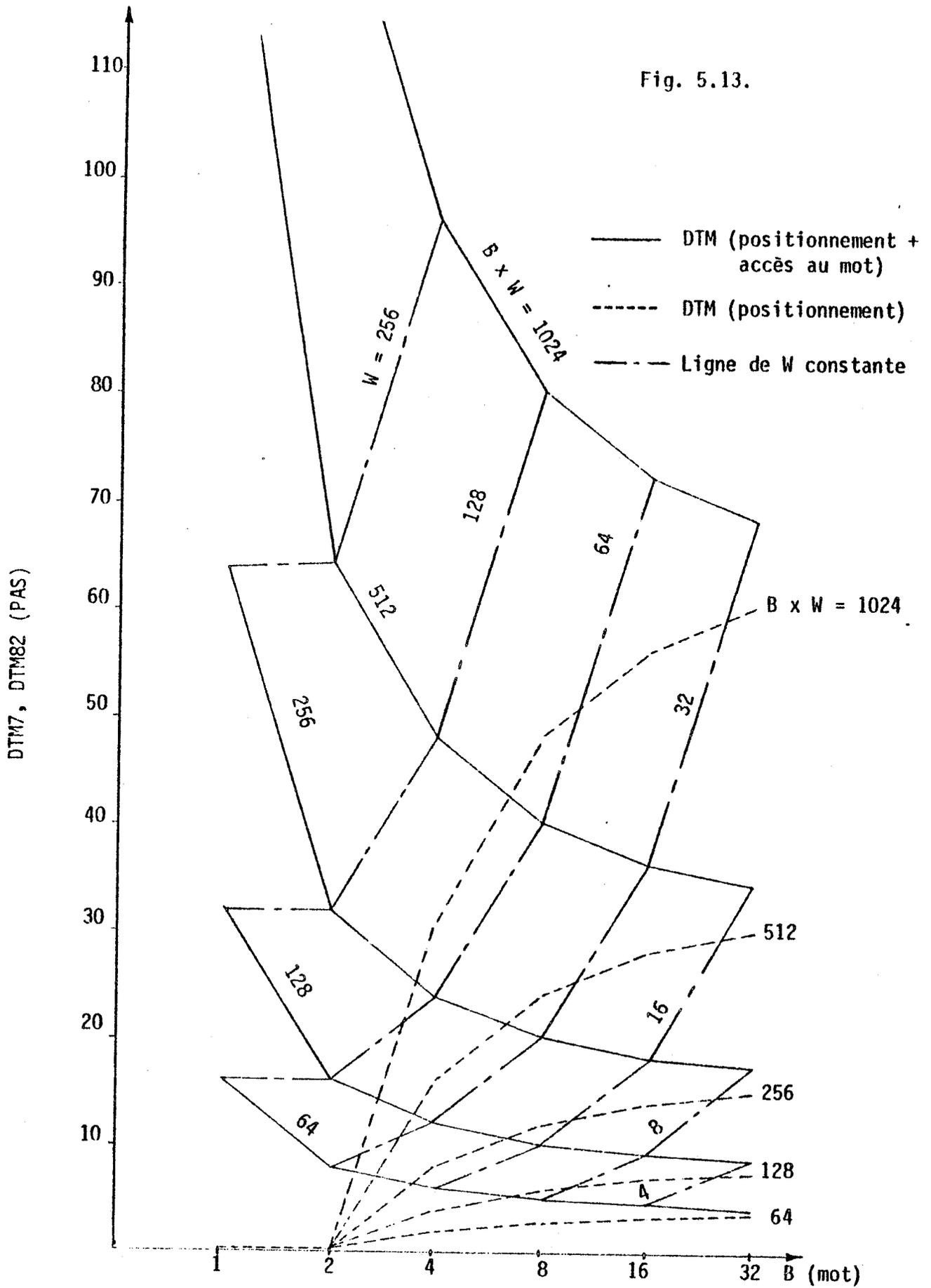


Fig. 5.13.

5.8. ACCÈS AUX BLOCS

Les mémoires à bulles en tant que mémoires secondaires sont normalement utilisées en accès aux blocs. Nous examinons ici l'accès aux blocs pour les organisations avec contours d'accès incorporés.

5.8.1. Accès aléatoires aux blocs (bloc = page)

Pour satisfaire une requête d'accès à un bloc aléatoire dans la mémoire, deux types de décalage sont nécessaires :

1. Décalage longitudinal pour amener le bloc recherché sur les contours d'accès. En moyenne, ce décalage est égal au DLM déjà calculé pour les organisations avec contours d'accès incorporés (section 5.4) :

$$\left. \begin{aligned} \text{DLM6} &= \frac{L}{4} \\ \text{DLM7} &= \frac{\text{PRSCA}(n^2-1)}{3n} \\ \text{DLM8} &= \frac{\text{PRSCA}(n^2-1)}{6n} \end{aligned} \right\} \begin{aligned} &\text{avec :} \\ &\text{PRSCA} = 4 \\ &n = \frac{L}{\text{NCA} \times \text{PRSCA}} \end{aligned}$$

2. Décalage transversal propre à l'accès au bloc :

$$\text{DTM} = \frac{B \times W}{\text{NSA}} \quad \text{pas}$$

5.8.2. Accès séquentiels aux blocs (bloc = page)

Pour satisfaire une requête d'accès séquentiel à plusieurs blocs, trois types de décalage sont nécessaires :

1. Décalage longitudinal pour positionner le premier bloc (aléatoire) sur les contours d'accès. Il est égal au DLM déjà calculé (section 5.8.1).

2. Décalage longitudinal pour remplacer le bloc privilégié par le bloc suivant. Ceci est égal à l'unité de décalage longitudinal :

2 pas pour les organisations 6, 7 (avec PRSCA = 2) et 8

4 pas pour l'organisation 7 (avec PRSCA = 4).

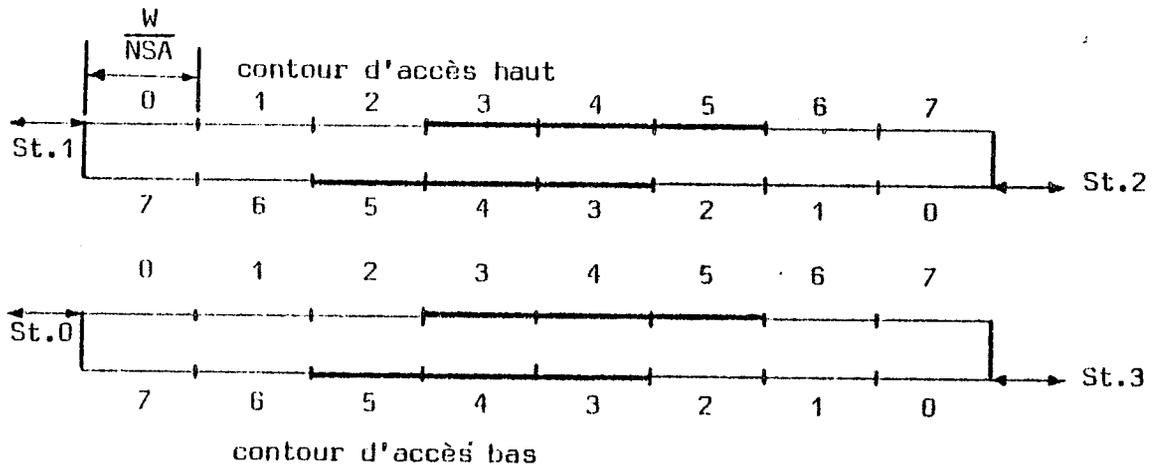
3. Décalage transversal propre à l'accès au bloc :

$$\frac{B \times W}{NSA} \text{ pas.}$$

5.8.3. Accès aléatoires aux blocs plus petits que la page privilégiée

Le bloc contient i mots contigus parmi les B mots de la page privilégiée ($i \leq B$). Seul le décalage transversal est nécessaire pour l'accès. Si NSA stations d'accès sont activables simultanément, le bloc sera réparti en NSA sous-blocs sur les contours d'accès.

Chaque sous-bloc contient i sous-mots de $\frac{W}{NSA}$ bits



$B = 8$ mots, $NSA = 4$, $i = 3$ (mots 3, 4, 5 par exemple)

Les NSA sous-blocs sont accédés simultanément par les NSA stations d'accès à partir de leurs extrémités les plus proches des stations. Le décalage transversal moyen pour l'accès à un bloc aléatoire (DTAB) est composé de deux parties :

1. Décalage de positionnement pour amener les extrémités des sous-blocs devant les stations d'accès.
2. Décalage propre à l'accès lui-même.

On pourra avoir $(B-i+1)$ combinaisons différentes de i mots contigus parmi les B mots de la page privilégiée. Pour calculer DTAB, nous tenons compte de toutes ces combinaisons :

$$\begin{aligned}
 DTAB &= \frac{1}{B-i+1} \sum_{j=1}^{B-i+1} \min \{j-1, B-i+1-j\} \times \frac{W}{NSA} \\
 &+ i \times \frac{W}{NSA} \\
 &= \frac{W}{NSA \cdot (B-i+1)} \left[\left(\sum_{j=1}^{B-i+1} \min \{j-1, B-i+1-j\} \right) \right. \\
 &\quad \left. + i \cdot (B-i+1) \right]
 \end{aligned}$$

La figure 5.14 trace la relation $(DTAB, i)$, pour l'organisation 7 (ou l'organisation 8 avec 2 contours d'accès), pour $B=8$ et 16 mots et pour plusieurs valeurs de W . Les courbes montrent le décalage transversal moyen nécessaire pour le positionnement et le décalage transversal moyen pour l'accès à i mots. Il est évident que le décalage moyen du positionnement (qui représente un temps perdu) est trop petit par rapport au décalage moyen de l'accès. Nous avons calculé la moyenne du rapport D.T. du positionnement/D.T. total sur toute l'aire $DTAB \times i$. Il était de 12,9% pour $B = 8$ mots et de 16,3% pour $B = 16$ mots.

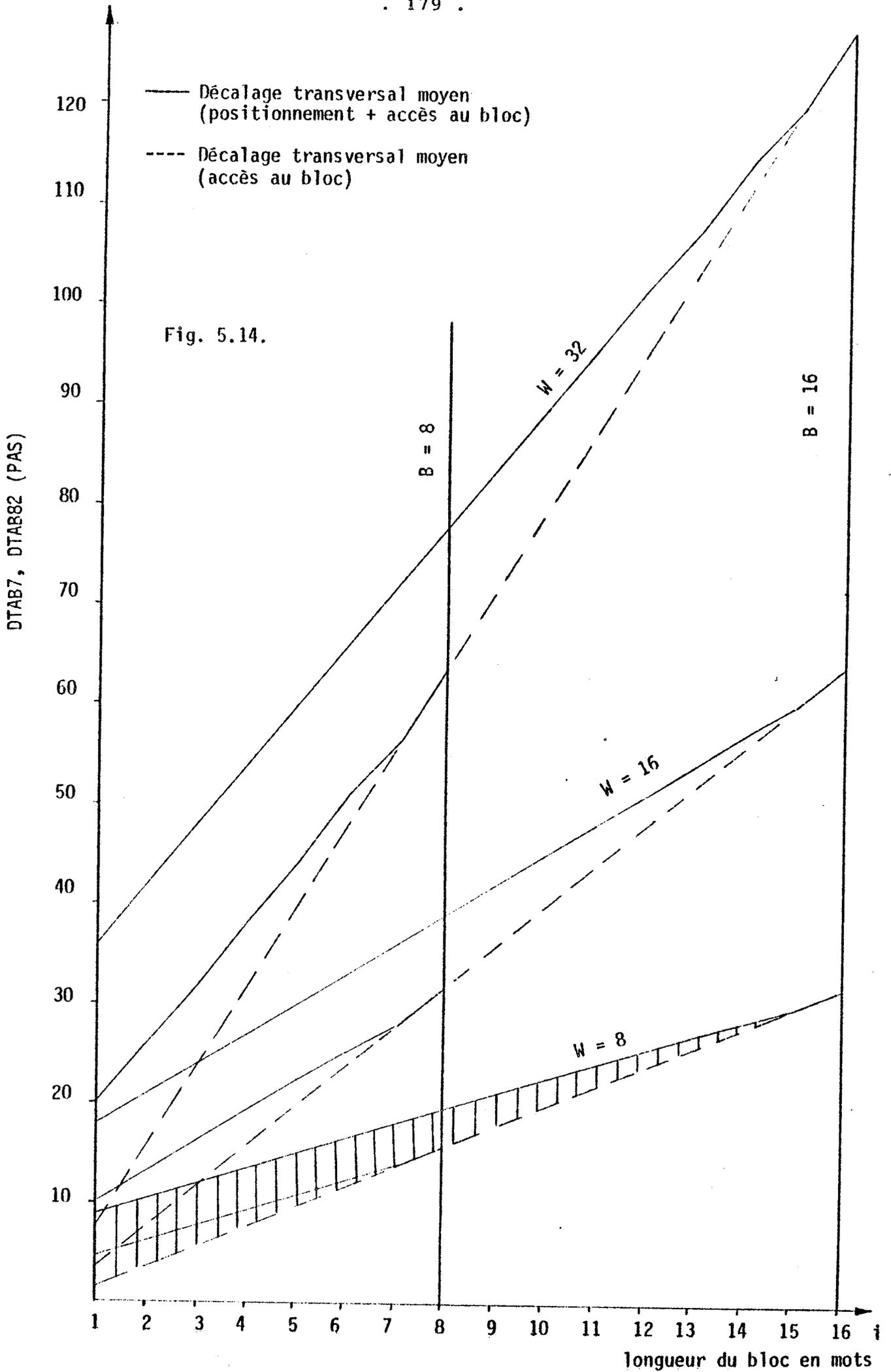


Fig. 5.14.

5.9. LES MÉMOIRES À BULLES EN TANT QUE MÉMOIRES CENTRALES

Les mémoires séquentielles (telles que les mémoires à bulles) permettent d'obtenir de grandes mémoires pour un coût raisonnable. Plusieurs études ont été faites pour montrer la possibilité d'utiliser ces mémoires en tant que mémoires centrales.

L'étude de TASSO [B15 et section 4.4.4] a montré qu'il est possible de réaliser des mémoires séquentielles d'apparence aléatoire à partir des registres à décalage bidirectionnels et statiques, dont l'organisation est telle que le temps moyen d'accès à l'information soit comparable à celui des mémoires centrales aléatoires actuelles. TASSO a montré, par la mise en oeuvre de la localité de références dans les programmes et de l'entrelacement des informations sur plusieurs classes, que ce temps d'accès moyen peut être, le plus souvent, ramené à quelques pas de décalages. Il a montré aussi que la longueur des registres de stockage peut être très grande sans nuire aux performances, ce qui est un atout important pour la réduction du coût du bit.

Une autre étude a été faite à l'Université de Toulouse [B1] , [E3], [E17] , [E18] pour valider l'organisation proposée par TASSO. Un émulateur (maquette de mesures) a été réalisé et connecté à l'IRIS 80 du Centre Interuniversitaire de Calcul de Toulouse. L'émulateur a été branché comme un bloc mémoire supplémentaire, de façon passive, ce qui lui permet de prélever les références d'adresses faites à la mémoire centrale en provenance de l'Unité Centrale ou de l'Unité d'Echange. Ces références d'adresses permettent de calculer le nombre de pas de décalages qu'il faudrait effectuer si la mémoire centrale était réalisée avec des registres à décalages. Les résultats obtenus ont prouvé la validité de la mémoire séquentielle en tant que mémoire centrale.

5.10. CONCLUSION

Dans ce chapitre nous avons présenté des évaluations de performance utilisées pour les mémoires séquentielles à bulles magnétiques. Plusieurs formules ont été dérivées pour calculer leurs performances et comparer les différentes organisations.

Les résultats présentés ont montré qu'avec les nouvelles organisations (proposées au chapitre 4), nous pourrions avoir des mémoires à bulles performantes et capables d'occuper une place dominante dans le futur : d'abord en tant que mémoires secondaires pour remplacer les mémoires rotatives (ce qui permettra en conséquence de resserrer le fossé des mémoires), ensuite en tant que mémoires centrales dans les systèmes mini et micro-ordinateurs.

L'étude faite pour montrer les influences des différents paramètres sur la performance devrait permettre de choisir l'organisation et la configuration lors de la conception d'une mémoire à bulles, de façon à répondre aux caractéristiques envisagées et aux besoins du système et des utilisateurs.

Nous pensons que l'étude présentée dans ce chapitre est suffisante pour montrer les avantages des organisations avec contours d'accès. Ceci représente une étape importante des études préliminaires avant la réalisation.

CONCLUSION GÉNÉRALE

L'introduction sur le marché des mémoires à bulles est devenue une réalité et un avenir prometteur s'offre à ces mémoires non-volatiles grâce aux grandes capacités des bulles.

Il reste néanmoins à apporter certaines améliorations techniques et les recherches actuelles menées sur les mémoires à bulles visent les buts suivants:

- 1) Augmenter la densité d'enregistrement pour réduire le prix, soit par la manipulation de bulles plus petites (technologie classique "permalloy-conducteur" et disques contigus), soit par le développement d'approches moins exigeantes quant à la résolution minimale des géométries des motifs (réseau de bulles avec codification dans les parois des bulles).
- 2) Augmenter la vitesse de fonctionnement de la mémoire, soit par l'augmentation de la fréquence du champ tournant, soit par la mise en oeuvre de l'accès rapide par courant, soit encore par la recherche de nouvelles organisations qui exploitent les capacités des bulles.

Notre travail se situe dans le cadre des recherches d'organisations nouvelles. La disposition des deux techniques d'accès pour la propagation des bulles (accès par champ et accès par courant) n'exclut pas leur combinaison: ce fut le point de départ de notre recherche.

La combinaison proposée (registres de stockage basés sur l'accès par champ et chemins d'accès incorporés basés sur l'accès par courant), rend plus réaliste la mise en oeuvre d'arrêt des bulles et de propagation dans les deux sens (avantages offerts par les bulles et non encore exploités). Cette conception apporte une amélioration fondamentale aux mémoires à bulles qui ne souffriront plus ainsi de la lenteur observée dans les organisations classiques.

Les nouvelles organisations, présentées au chapitre 4 et évaluées au chapitre 5, offrent une gamme de combinaisons (registres de stockage relativement lents et contours d'accès rapides munis de plusieurs stations d'accès activables simultanément) capables de répondre aux besoins du système et des utilisateurs selon leur intérêt (temps d'accès, débit, ou les deux en même temps).

Quant aux perspectives d'avenir, elles se situent dans la réalisation effective de quelques puces de mémoire à bulles suivant les nouvelles organisations proposées, et leur intégration dans des systèmes existants afin d'évaluer leur impact et leur contribution à l'amélioration des performances.

Avec les mémoires à bulles en organisations classiques, le marché des disques amovibles et des disques souples ne sera pas trop affecté, car les applications informatiques nécessitant des supports amovibles sont encore nombreuses. Par contre, les disques à têtes fixes seront sérieusement compromis.

Nous pensons qu'avec les nouvelles organisations et compte tenu de l'orientation prise par l'informatique vers les petits systèmes mono-utilisateurs, les mémoires à bulles pourront remplacer une fraction importante, sinon la totalité, des mémoires secondaires.

A N N E X E

FORMULES DE PERFORMANCES
DES DIFFÉRENTES ORGANISATIONS
DE LA MÉMOIRE À BULLES MAGNÉTIQUES

Nous présentons dans cette annexe les formules qui donnent le décalage moyen nécessaire pour satisfaire un accès à un mot aléatoire dans la mémoire à bulles. Le décalage moyen par référence est la mesure de performance la plus importante pour les mémoires à accès sériel telles que la mémoire à bulles magnétiques. Dans notre cas, ce décalage comprend deux types de décalages:

- 1) un décalage longitudinal pour amener le mot adressé sur le chemin d'accès,
- 2) un décalage transversal pour accéder à tous les bits du mot.

Pour une mémoire composée d'une seule classe, on dérivera les formules en fonction des paramètres suivants:

L : longueur du registre de stockage (en bits),

B : capacité d'une page (en mots),

W : longueur du mot (en bits),

n : nombre de pages dans la classe mémoire,

C : capacité totale de la classe mémoire (en bits),

NCA : nombre de contours d'accès dans la classe,

NSA : nombre de stations d'accès dans la classe,

PRSCA : participation du registre de stockage au contour d'accès (en bits),

DLM : décalage longitudinal moyen (en pas),

DTM : décalage transversal moyen (en pas),

DMPR : décalage moyen par référence à la mémoire (en pas),

$$DMPR = DLM + DTM.$$

On notera que la fréquence de décalage transversal (FDT) en accès par courant est plusieurs fois plus grande que la fréquence de décalage longitudinal (FDL) en accès par champ ; exemple: FDT = 1 MHz et FDL = 200 KHz.

Nous avons considéré les organisations suivantes:

- 1) organisation en registre bouclé simple ;
- 2) organisation en registres mineurs/registre majeur ;
- 3) organisation série/parallèle ;
- 4) organisation de TASSO (organisation en registres multiples) ;
- 5) organisation avec pont d'accès ;
- 6) organisation en blocs jumeaux ;
- 7) organisation avec contours d'accès incorporés en haut et en bas ;
- 8) organisation avec contours multiples d'accès incorporés à l'intérieur.

Pour certaines organisations on présentera plusieurs configurations, en fonction du nombre de stations d'accès et du nombre de stations activables simultanément.

Les formules théoriques que nous allons présenter montreront les améliorations relatives en performances qu'apportent les nouvelles organisations, d'une part les unes par rapport aux autres et d'autre part par rapport aux organisations classiques.

Il faut cependant noter que les résultats de ces formules ne représentent pas la performance réelle (obtenue par simulation [B15], [E3], [E17]), pour les raisons suivantes:

- 1) en pratique, on utilise plusieurs classes indépendantes de la mémoire à bulles sur lesquelles les informations sont entrelacées, ce qui répartira de façon équitable les références sur les classes et donnera donc une meilleure performance ;
- 2) la localité des références dans l'espace du programme, souvent observée pendant son exécution, contribue à limiter le décalage nécessaire pour l'accès.

Pour éviter toute équivoque possible lors de la dérivation des formules de performance, nous avons établi les définitions suivantes:

Registre de stockage : groupe de bits adjacents en forme de registre bouclé qui servent au stockage des informations.

Classe mémoire : groupe de registres de stockage décalables à l'unisson.

Chemin d'accès : zone mémoire, ou registre à décalage, à partir duquel les informations sont accessibles, soit directement, soit après un décalage transversal. Il pourra être: front, registre majeur, registre de lecture, registre d'écriture, pont d'accès ou contour(s) d'accès, selon l'organisation.

Station d'accès : dispositif capable d'effectuer les fonctions d'accès: génération, détection et annulation des bulles ; elle agit ponctuellement, c'est-à-dire sur un seul bit.

Mot : unité adressable dans la mémoire.

Mot privilégié : mot dont au moins un bit est sous une station d'accès.

Page : unité de découpage de la mémoire en groupes de mots. Pour accéder à un mot, toute la page contenant ce mot sera amenée sur le chemin d'accès. La page qui se trouve sur le chemin d'accès est la *page privilégiée* (ou le front).

Unité de décalage longitudinal : nombre de pas à décaler longitudinalement pour remplacer la page privilégiée par une des pages adjacentes.

Unité de décalage transversal : nombre de pas à décaler transversalement pour remplacer le mot privilégié par un des mots adjacents.

Participation du registre de stockage au contour d'accès : nombre de bits de l'intersection du registre de stockage et du contour d'accès.

Par la suite on utilisera les deux formules mathématiques suivantes:

$$\sum_{j=1}^n j = \frac{n}{2} (1 + n)$$

$$\sum_{j=1}^n j^2 = \frac{n^3}{3} + \frac{n^2}{2} + \frac{n}{6}$$

1. ORGANISATION EN REGISTRE BOUCLÉ SIMPLE

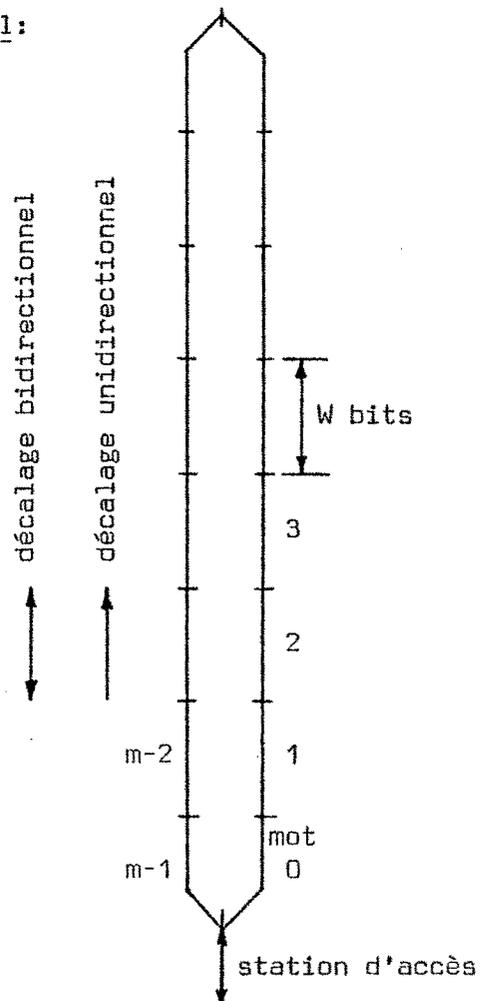
La classe mémoire est composée d'un seul registre bouclé dont la longueur est égale à la capacité de la classe: $L = C$ bits. Il contient m mots de W bits ; donc $L = C = m \times W$. L'unité de décalage longitudinal est égale à W pas (pour l'accès aux mots).

Cas du décalage unidirectionnel:

$$\begin{aligned} \text{DMPR} &= \frac{1}{m} \sum_{j=1}^m jW \\ &= \frac{L}{2} + \frac{W}{2} \end{aligned}$$

Cas du décalage bidirectionnel:

$$\begin{aligned} \text{DMPR} &= \frac{1}{m} \sum_{j=1}^{m/2} jW \\ &= \frac{L}{4} + \frac{W}{2} \end{aligned}$$



2. ORGANISATION EN REGISTRES MINEURS/REGISTRE MAJEUR

En raison de la contrainte de synchronisation du décalage dans les registres mineurs et le registre majeur, le décalage des bulles est toujours unidirectionnel.

Pour cette organisation nous avons deux configurations possibles:

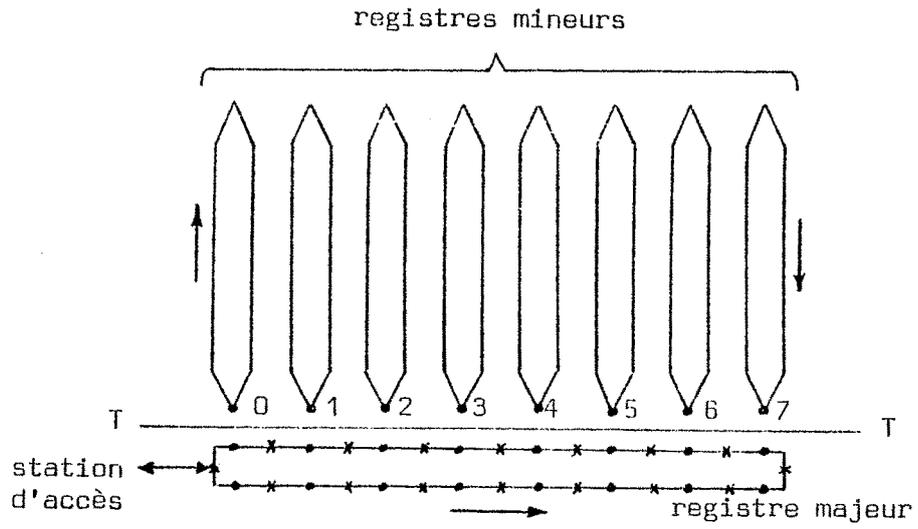
Configuration a: tous les registres mineurs sont rangés sur un seul côté du registre majeur.

Configuration b: les registres mineurs sont rangés sur les deux côtés du registre majeur. Dans cette configuration, le registre majeur est mieux utilisé et sa longueur est la plus courte possible, ce qui donne une performance améliorée.

Le registre mineur contient L bits et la page (le front) contient $B \times W$ bits. Les portes de transfert de bulles entre les registres mineurs et le registre majeur sont posées à une distance de 2 pas l'une de l'autre en raison des contraintes technologiques. En général, une place sur deux est utilisée, mais on peut transférer 2 bits de chaque registre mineur (en deux transferts consécutifs séparés par un décalage d'un pas), ce qui rend utilisables tous les bits entre les portes de transfert. Nous aurons alors deux possibilités:

Possibilité 1: un bit sur deux est utilisé ;

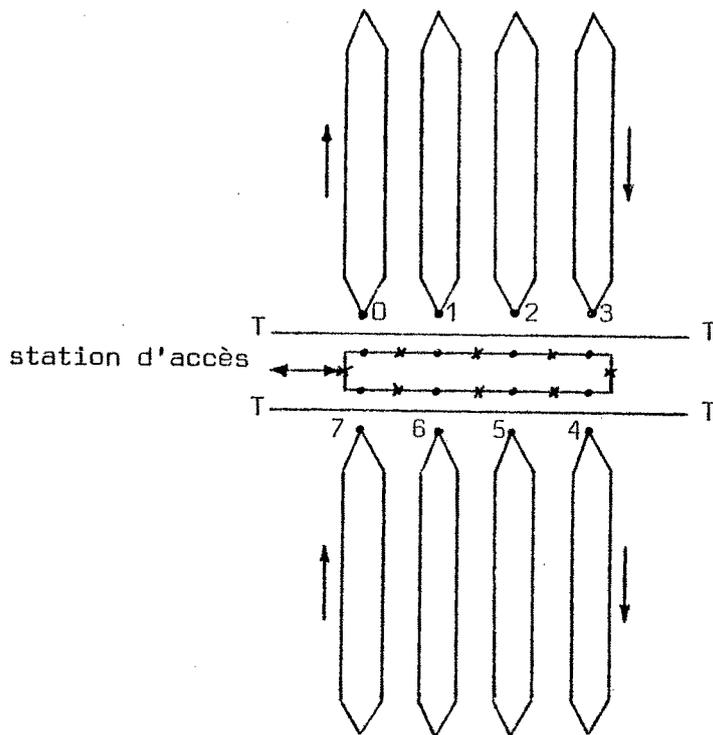
Possibilité 2: deux bits sur deux sont utilisés: pour avoir la même capacité de page ($B \times W$ bits), le nombre de registres mineurs sera $(B \times W)/2$ avec une longueur de $2 \times L$ bits.



Organisation 2: registres mineurs/registre majeur

Configuration a (classique)

T = transfert



. et x indiquent les positions des bits sur les registres

Organisation 2: registres mineurs/registre majeur

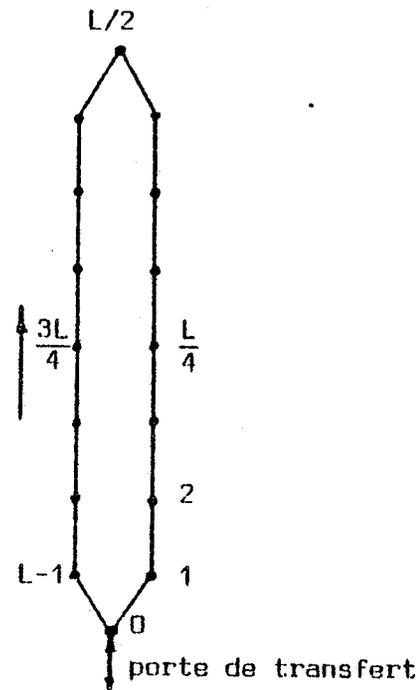
Configuration b (perfectionnée)

2.1. Calcul du décalage longitudinal moyen (DLM)

L'unité de décalage longitudinal est d'un ou de deux pas.

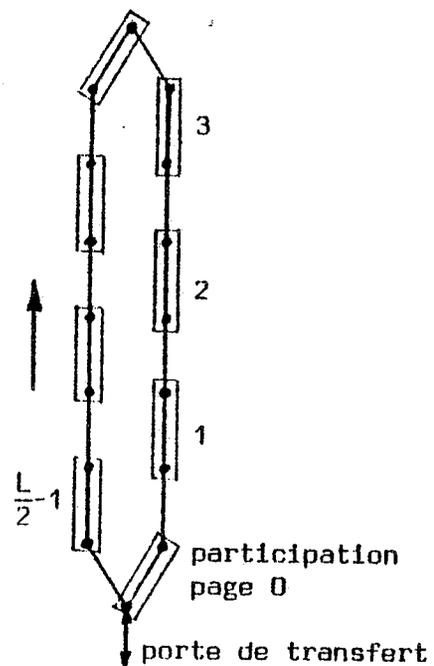
Cas d'un seul bit transféré par registre mineur:

$$\begin{aligned} \text{DLM} &= \frac{1}{L} \sum_{j=0}^{L-1} j \\ &= \frac{L-1}{2} \end{aligned}$$



Cas de deux bits transférés par registre mineur:

$$\begin{aligned} \text{DLM} &= \frac{1}{L/2} \sum_{j=0}^{L/2-1} (2 \times j + 1) \\ &= \frac{L}{2} \end{aligned}$$



2.2. Calcul du décalage transversal moyen (DTM)

Le DTM est calculé pour les différentes configurations possibles. La station d'accès (lecture et écriture) agit sur le bit qui précède le premier bit de la page privilégiée sur le registre majeur (pour simplifier la démonstration

1. Cas d'un seul bit transféré par registre mineur:

Configuration a1 :

DTM = longueur du registre majeur = $4 \times B \times W$ (en tenant compte du retour de l'information vers les registres mineurs).

Configuration b1 :

DTM = $2 \times B \times W$.

2. Cas de deux bits transférés par registre mineur:

Configuration a2 :

DTM = $2 \times B \times W$

Configuration b2 :

DTM = $B \times W$

Le tableau suivant résume les formules en fonction des valeurs équivalentes des paramètres L, B et W pour toutes les configurations, telles que:

$C = L \times B \times W$.

Configuration	longueur reg.mineur	nombre reg.mineurs	DLM + DTM (pas)
a1	L	$B \times W$	$\frac{L - 1}{2} + 4 \times B \times W$
a2	$2 \times L$	$\frac{B \times W}{2}$	$L + 2 \times B \times W$
b1	L	$B \times W$	$\frac{L - 1}{2} + 2 \times B \times W$
b2	$2 \times L$	$\frac{B \times W}{2}$	$L + B \times W$

La relation entre les valeurs de L et de $B \times W$ détermine la meilleure configuration.

3. ORGANISATION SÉRIE/PARALLÈLE

Dans cette organisation, un bit sur deux est utilisé sur les registres de lecture et d'écriture. Deux détecteurs sont utilisables, mais un seul est actif à la fois. L'avancement des trains (décalés d'un pas) de bits pairs et impairs sur les registres de lecture, donne l'impression d'être fusionnés pour avoir, à la détection, un train de données compactées.

L est la longueur d'un registre mineur et $B \times W$ est la capacité d'une page en bits.

Décalage de cycle lecture (transfert par duplication):

$$DLM = \frac{L - 1}{2}$$

$$DTM = \frac{B \times W}{2} \quad (\text{pas de retour d'information}).$$

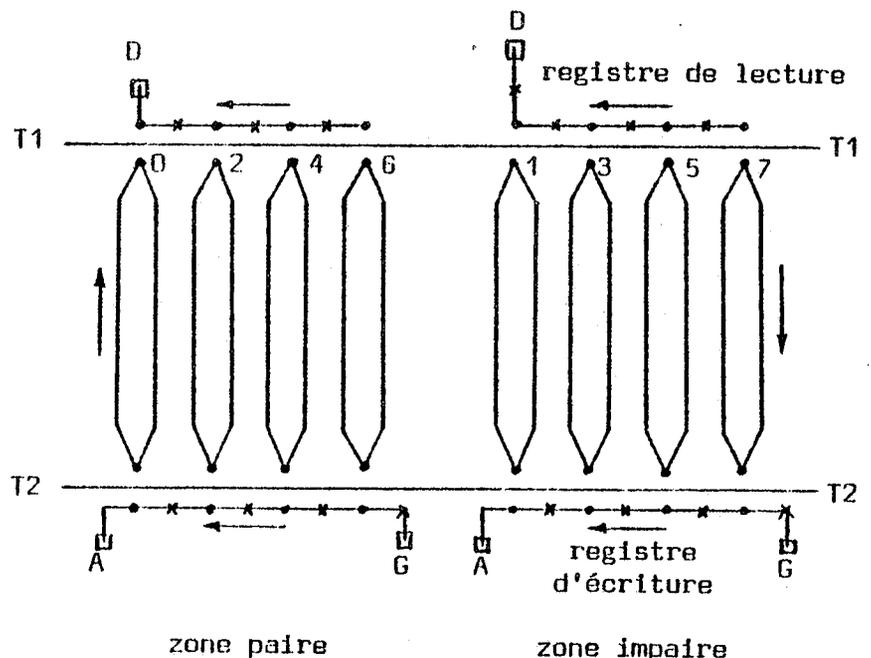
Décalage de cycle d'écriture (transfert par porte d'échange):

$$DLM = \frac{L - 1}{2}$$

$$DTM = B \times W$$

- D = détecteur
- G = générateur
- A = annulateur
- T1 = transfert par duplication
- T2 = transfert par échange ("swap")

Un détecteur sur deux est utilisé à la fois.



4. ORGANISATION DE TASSO

Etant donné qu'à chaque registre de stockage serait associée une station d'accès, le décalage longitudinal amènera le mot adressé devant les stations d'accès. Ensuite, l'accès sera effectué en parallèle à tous les bits du mot, sans aucun décalage transversal.

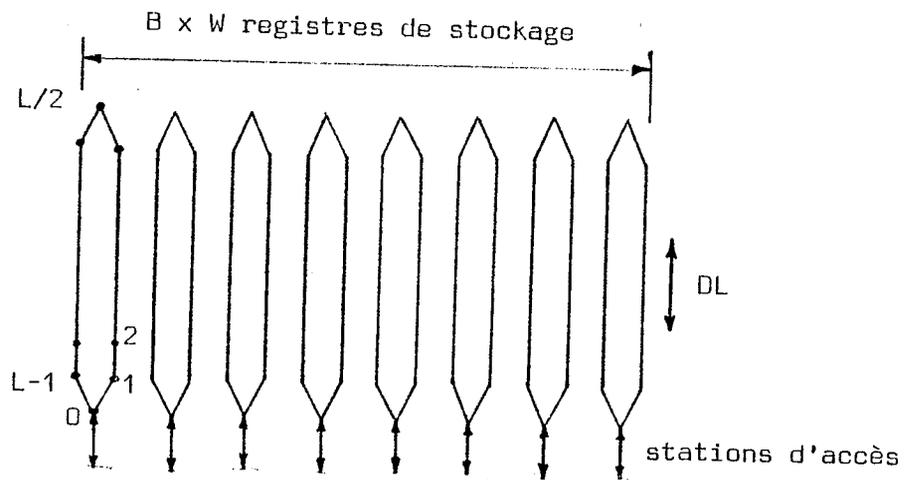
Avec un front de B mots, la longueur du registre de stockage sera:

$$L = \frac{C}{B \times W} \cdot$$

Pour un décalage longitudinal bidirectionnel, nous aurons:

$$DLM = \frac{1}{L} \left[0 + 2 \sum_{j=1}^{L/2-1} j + \frac{L}{2} \right] = \frac{L}{4}$$

donc $DMPR = \frac{L}{4}$

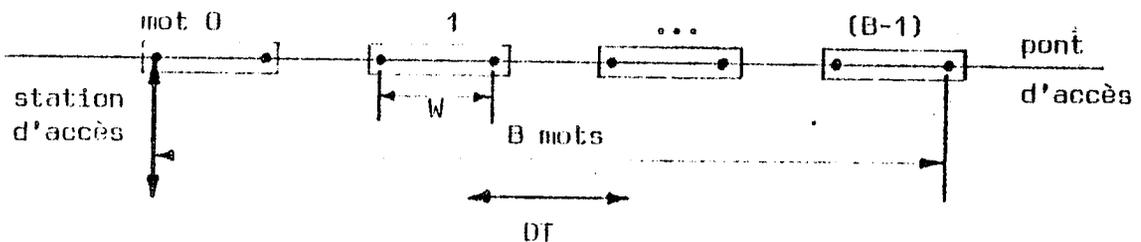


5. ORGANISATION AVEC PONT D'ACCÈS

Nous allons considérer plusieurs possibilités en ce qui concerne le nombre de stations d'accès et leurs positions sur le pont d'accès. Dans cette organisation, il n'y a pas de transfert de bulles entre les registres de stockage et le pont d'accès. Les bulles sont décalables sur le pont d'accès dans les deux sens. L'accès sera effectué par les stations les plus proches des bits recherchés. Il sera nécessaire de faire un réalignement sur le pont d'accès, après l'accès au mot adressé et avant d'effectuer un nouveau décalage longitudinal. Pour satisfaire un accès aléatoire à la mémoire, le temps moyen nécessaire pour le réalignement après l'accès est considéré égal au temps nécessaire pour effectuer le décalage transversal moyen pour l'accès.

5.1. Configuration avec une seule station d'accès sur le pont d'accès

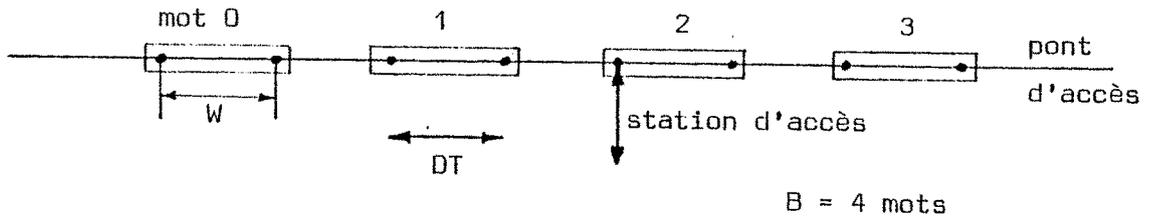
5.1.1. La station d'accès est à l'extrémité du pont



$$DTM = \frac{1}{B} \sum_{j=1}^B jW = \frac{W}{2} (1 + B)$$

$$DLM = \frac{L}{4} \text{ (décalage bidirectionnel)}$$

5.1.2. La station d'accès est au milieu du pont d'accès

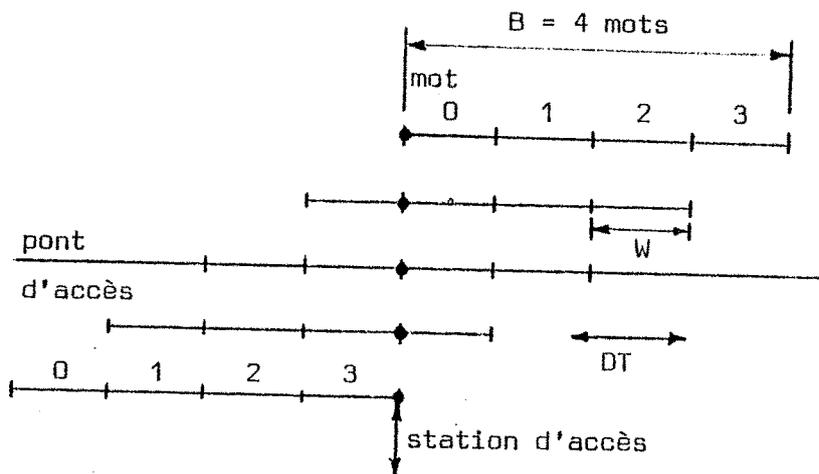


$$DTM = \frac{1}{B} \times 2 \sum_{j=1}^{B/2} jW = \frac{W}{2} \left(1 + \frac{B}{2}\right)$$

donc $DMPR = \frac{L}{4} + \frac{W}{2} (2 + B)$ (réalignement inclus)

5.1.3. Cas des accès suivants sur la ligne privilégiée

Nous allons maintenant dériver une loi générale pour calculer le décalage transversal moyen nécessaire pour satisfaire un accès à un mot aléatoire sur la ligne privilégiée (la page qui se trouve sur le pont d'accès), étant donné qu'au moins l'accès précédent était dans cette page.



DT optimal pour accéder au mot:			
0	1	2	3
1	2	3	4
1	1	2	3
2	1	1	2
3	2	1	1
4	3	2	1

Unité de DT = W bits

$$DTM = \frac{1}{B(B+1)} \times W \times 2 \sum_{j=1}^B j(B+1-j)$$

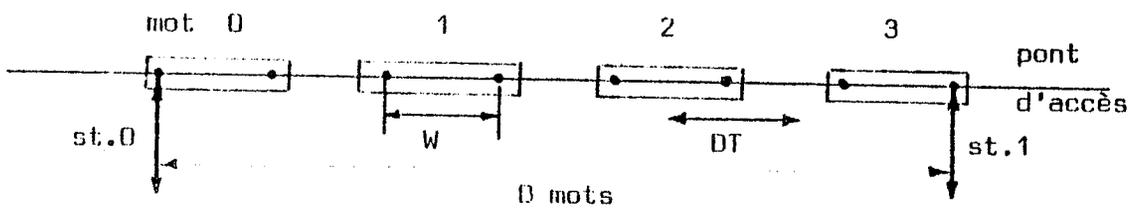
$$= \frac{W}{3} (2 + B)$$

donc $DMPR = DTM = \frac{W}{3} (2 + B)$ (pas de décalage longitudinal).

5.2. Configuration avec deux stations d'accès sur le pont d'accès ; une seule station activée à la fois

5.2.1. Les deux stations sont aux deux extrémités du pont d'accès

La station la plus proche du mot adressé sera utilisée.



$$DTM = \frac{1}{B} \times 2 \sum_{j=1}^{B/2} jW = \frac{W}{2} \left(1 + \frac{B}{2}\right)$$

5.2.2. Une station d'accès est à l'extrémité et l'autre au milieu du pont

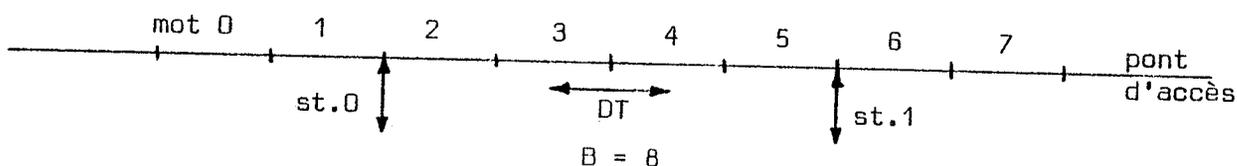


$$DTM = \frac{1}{B} \left[2 \sum_{j=1}^{B/4} jW + \sum_{j=1}^{B/2} jW \right]$$

$$= \frac{W}{2} \left(1 + \frac{3B}{8}\right)$$

5.2.3. Les deux stations d'accès ont une position optimale sur le pont d'accès

Les positions optimales sont celles qui rendent le décalage transversal maximum le plus petit possible.

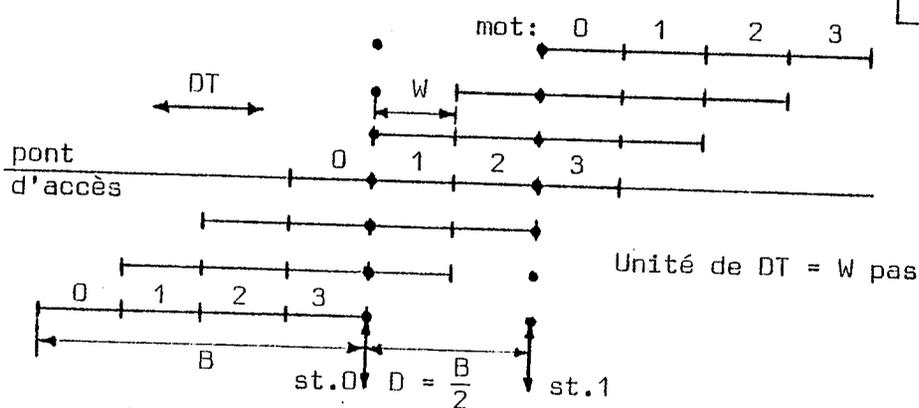


$$DTM = \frac{1}{B} \times 4 \sum_{j=1}^{B/4} jW = \frac{W}{2} \left(1 + \frac{B}{4}\right)$$

donc DMPR = $\frac{L}{4} + \frac{W}{4} (4 + B)$ (réalignement inclus).

5.2.4. Cas des accès suivants sur la ligne privilégiée

Nous dérivons la loi générale du décalage transversal moyen pour des accès s'effectuant sur la ligne privilégiée. Les deux stations sont en position optimale à une distance D égale à $\frac{B}{2}$ unités de décalage transversal (unité de DT = W pas). Pour ces accès, il n'y a pas de décalage longitudinal.



DT optimal pour accéder au mot:				
mot:	0	1	2	3
1	2	3	4	
1	1	2	3	
1	1	1	2	
1	1	1	1	
2	1	1	1	
3	2	1	1	
4	3	2	1	

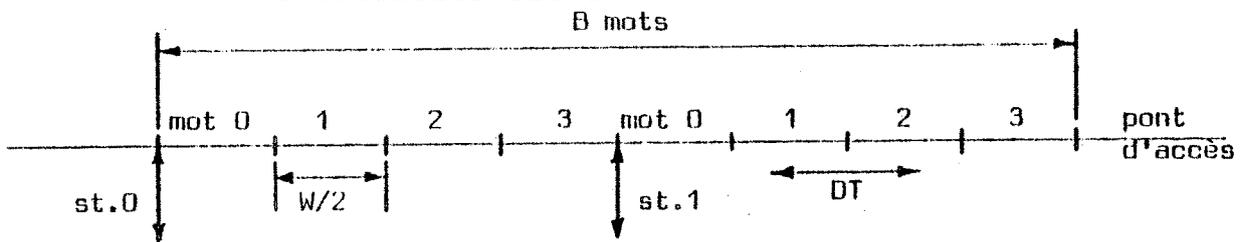
$$DTM = \frac{1}{B(B + D + 1)} \cdot W \cdot \left[2 \sum_{j=1}^{D/2} j \times B + 2 \sum_{j=1}^B j (B + 1 - j) \right]$$

$$D = \frac{B}{2}$$

donc DTM = $\frac{2W (B^2 + 3B + 8)}{3(3B + 2)}$ (B pair)

5.3. Configuration avec deux stations d'accès activables simultanément

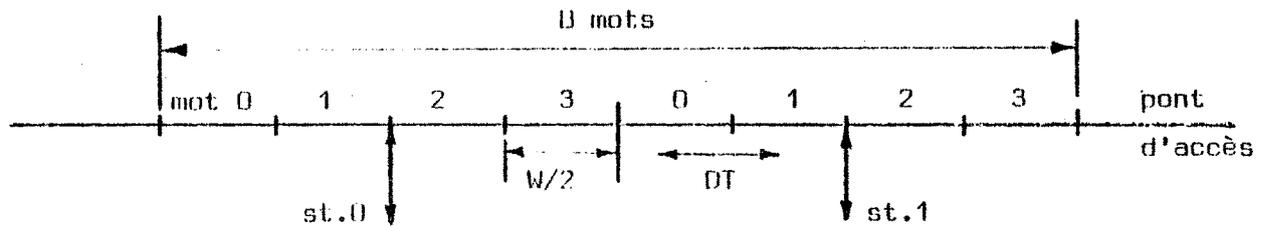
5.3.1. Une station d'accès est à l'extrémité et l'autre au milieu du pont d'accès



$$DTM = \frac{1}{B} \times \frac{W}{2} \times \sum_{j=1}^B j$$

$$= \frac{W}{4} (1 + B)$$

5.3.2. Les deux stations d'accès ont une position optimale sur le pont d'accès



$$DTM = \frac{1}{B} \times \frac{W}{2} \times 2 \sum_{j=1}^{B/2} j$$

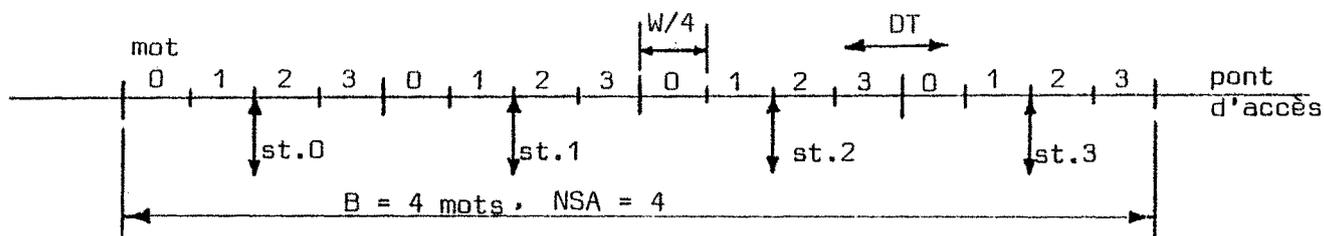
$$= \frac{W}{4} (1 + \frac{B}{2})$$

donc DMPR = $\frac{L}{4} + \frac{W}{4} (2 + B)$ (réalignement inclus)

5.4. Configuration avec NSA stations d'accès en position optimale sur le pont d'accès et activables simultanément

5.4.1. Cas du premier accès sur la ligne privilégiée

L'utilisation simultanée de plusieurs stations d'accès sur le pont d'accès augmente la performance de l'organisation. Si NSA stations d'accès sont utilisées, l'unité de décalage transversal sera $\frac{W}{NSA}$ pas (NSA est toujours paire).

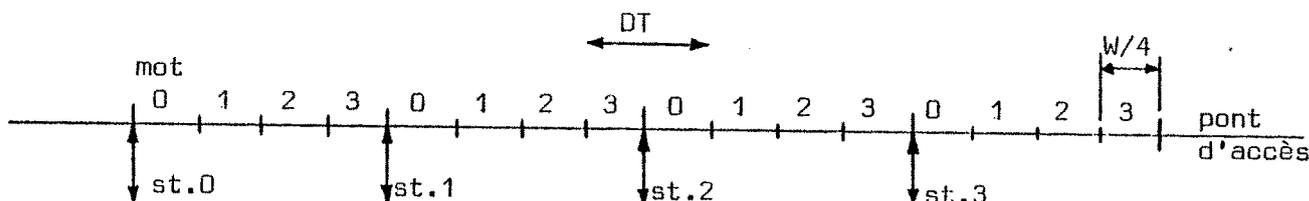


$$DTM = \frac{1}{B} \frac{W}{NSA} \cdot 2 \sum_{j=1}^{B/2} j$$

$$= \frac{W}{4NSA} (2 + B)$$

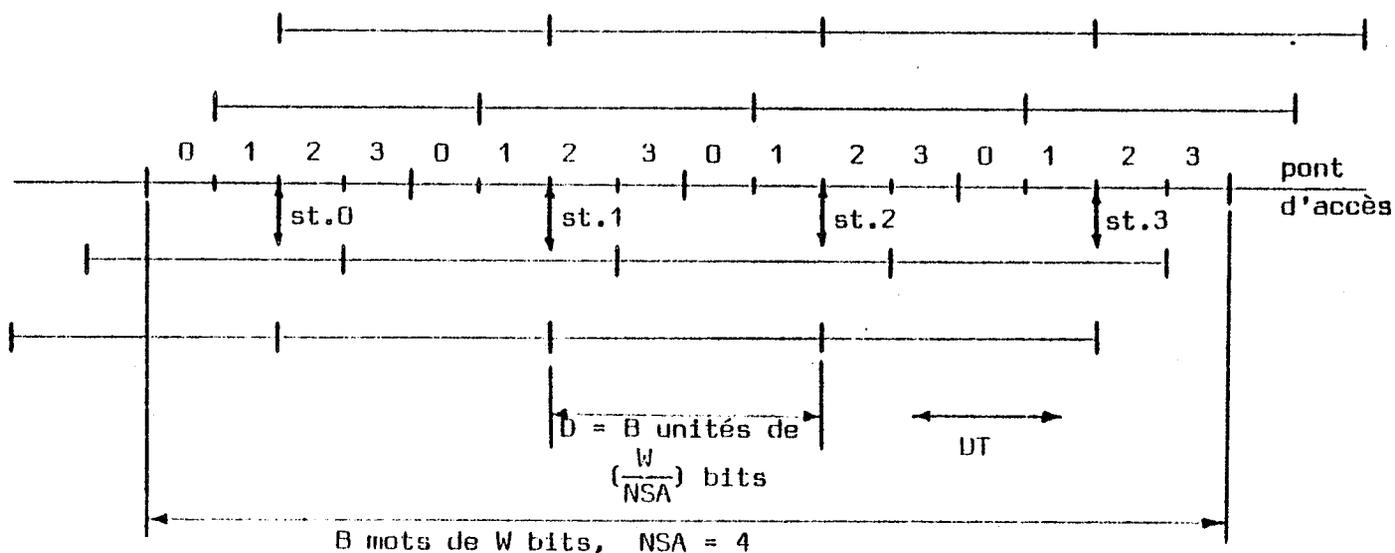
Si les NSA stations d'accès sont positionnées comme l'indique la figure qui suit, le décalage transversal moyen sera:

$$DTM = \frac{W}{2NSA} (1 + B)$$



Donc, si on donne aux stations d'accès des positions optimales, on gagnera $\frac{WB}{4NSA}$ pas en DTM par accès (réalignement non compris), ce qui n'est pas négligeable.

5.4.2. Cas des accès suivants sur la ligne privilégiée



DT optimal pour l'accès au				
mot:	0	1	2	3
1	1	2	3	4
2	1	1	2	3
3	2	1	1	2
4	3	2	1	1

Unité de DT = $\frac{W}{NSA}$ pas

$$DTM = \frac{1}{B(B+1)} \cdot \frac{W}{NSA} \cdot 2 \sum_{j=1}^B j(B+1-j)$$

$$= \frac{W}{3NSA} (2 + B) \quad (B \text{ pair})$$

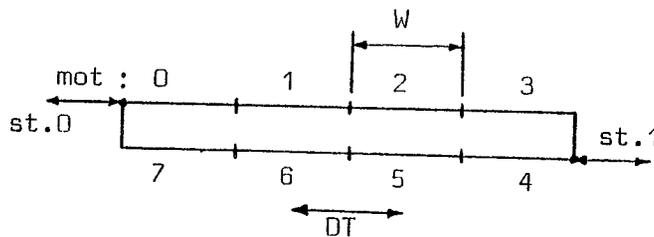
6. ORGANISATION EN BLOCS JUMEAUX

6.1. Configuration avec deux stations sur le contour d'accès dont une seule activable à la fois

La station la plus proche du mot demandé sera activée et l'accès sera effectué à partir du côté (du mot) proche de la station activée.

Cas $\frac{B}{2}$ pair:

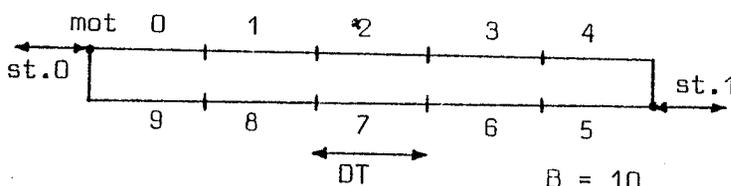
$$\begin{aligned} \text{DTM} &= \frac{1}{B} \times 4 \sum_{j=1}^{B/4} jW \\ &= \frac{W}{2} \left(1 + \frac{B}{4} \right) \end{aligned}$$



$B = 8$

Cas $\frac{B}{2}$ impair:

$$\begin{aligned} \text{DTM} &= \frac{1}{B} \times 2 \left[2 \sum_{j=1}^{(B/2-1)/2} jW + \left(\frac{B/2+1}{2} \right) W \right] \\ &= \frac{W(B+2)^2}{8B} \\ &= \frac{W}{2} \left(1 + \frac{B}{4} + \frac{1}{B} \right) \end{aligned}$$



Quant au décalage longitudinal moyen, il est le même que dans l'organisation de TASSO, soit:

$$\text{DLM} = \frac{L}{4} \quad (\text{décalage bidirectionnel}).$$

6.2. Configuration avec deux stations d'accès sur le contour d'accès, activables simultanément

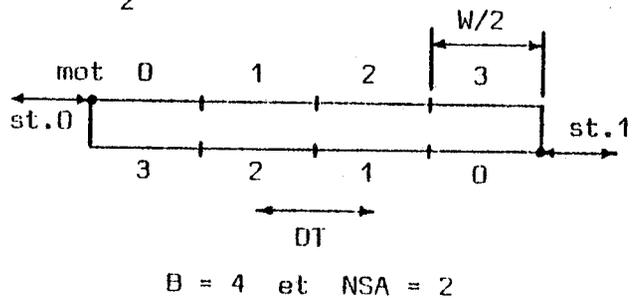
L'accès sera simultané à 2 bits du mot adressé.

L'unité de décalage transversal sera $\frac{W}{2}$ pas.

Cas de B pair:

$$DTM = \frac{1}{B} \times 2 \sum_{j=1}^{B/2} j \left(\frac{W}{2}\right)$$

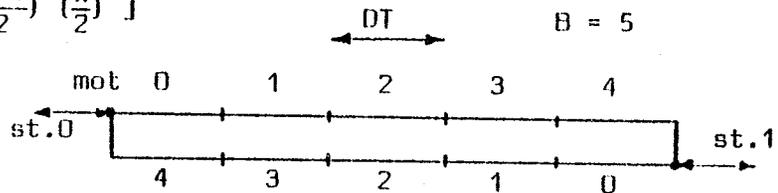
$$= \frac{W}{4} \left(1 + \frac{B}{2}\right)$$



Cas de B impair:

$$DTM = \frac{1}{B} \left[2 \sum_{j=1}^{(B-1)/2} j \left(\frac{W}{2}\right) + \left(\frac{B+1}{2}\right) \left(\frac{W}{2}\right) \right]$$

$$= \frac{W}{4} \left(1 + \frac{B}{2} + \frac{1}{2B}\right)$$



Ces lois sont générales et applicables à tous les cas, aussi bien pour le premier accès à la page privilégiée que pour tous les accès suivants à la même page.

Quant au décalage longitudinal moyen, il est égal à :

$$DLM = \frac{L}{4} \text{ .(décalage bidirectionnel).}$$

7. ORGANISATION AVEC CONTOURS D'ACCÈS INCORPORÉS EN HAUT ET EN BAS

Nous considérons deux cas de contours d'accès:

- a) dans le premier cas, chaque registre de stockage participe avec 2 bits à chaque contour d'accès ;
- b) dans le second cas, chaque registre de stockage participe avec 4 bits à chaque contour d'accès.

Sur les deux contours d'accès, il y a quatre stations d'accès activables simultanément.

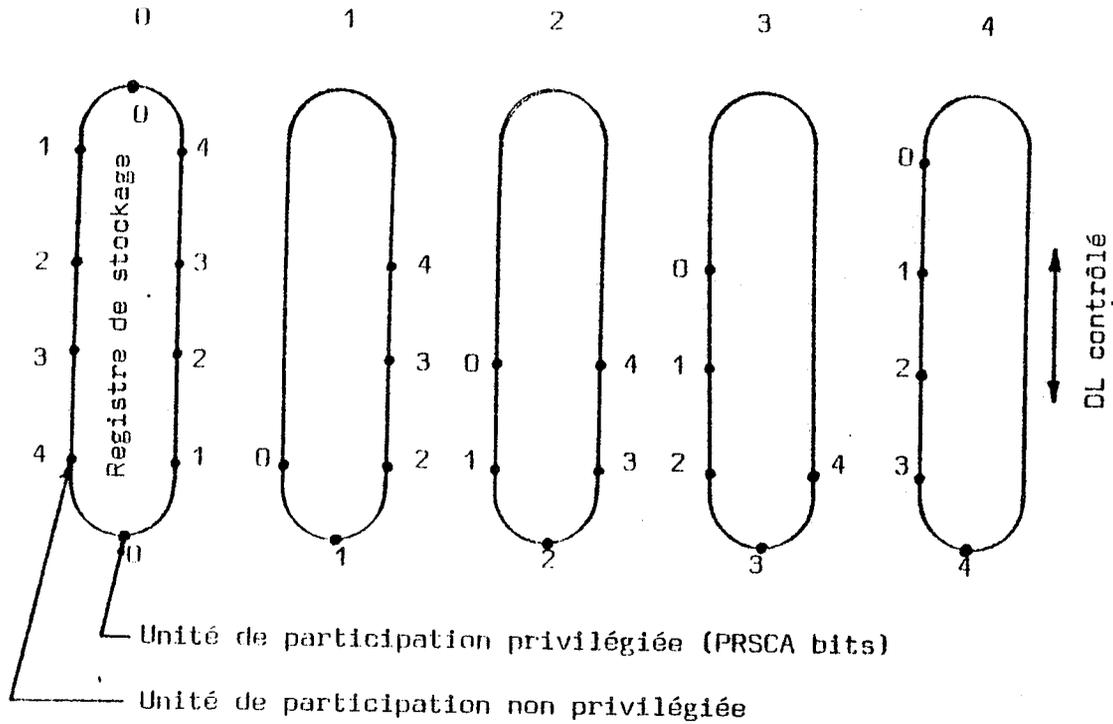
Les formules données dans la suite s'appliquent à ces deux cas. La différence est représentée par la variable PRSCA qui indique la participation du registre de stockage au contour d'accès (PRSCA = 2 ou 4 bits).

7.1. Décalage longitudinal moyen

Dans la description de l'organisation avec contours d'accès incorporés, nous avons indiqué que le décalage longitudinal est contrôlé pour éviter la permutation fautive des informations entre les contours d'accès. On assure ainsi la sauvegarde de la configuration de la page lorsque cette page redevient privilégiée, c'est-à-dire revient sur les contours d'accès.

Pour formuler une loi générale permettant de calculer le décalage longitudinal moyen, nous considérons toutes les configurations possibles des unités de participation sur la partie du registre de stockage associée au contour d'accès. La figure qui suit montre ces configurations pour un registre de stockage d'une classe mémoire contenant 5 pages de données.

Configurations:



Si n désigne le nombre d'unités de participation dans le registre de stockage (nombre de pages), la longueur du registre sera:

$$L = 2 \times \text{PRSCA} \times n \text{ bits}$$

L'unité de décalage longitudinal est égale à PRSCA pas.

La matrice suivante indique le décalage longitudinal optimal pour accéder à un mot aléatoire:

page contenant le mot adressé	décalage longitudinal optimal (unité = PRSCA pas)						
	conf. 0	1	2	3	(n-2)	(n-1)
0	0	1	2	3	n-2	n-1
1	1	0	1	2		n-3	n-2
2	2	1	0	1		n-4	n-3
3	3	2	1	0		n-5	n-4
⋮	⋮	⋮	⋮	⋮		⋮	⋮
n-2	n-2	n-3	n-4	n-5		0	1
n-1	n-1	n-2	n-3	n-4		1	0

Cette matrice contient n^2 éléments représentant toutes les possibilités.

$$DLM = \frac{1}{n^2} \times PRSCA \times 2 \sum_{j=1}^{n-1} j(n-j)$$

$$= \frac{PRSCA \times (n^2 - 1)}{3n}$$

$$n = \frac{L}{NCA \times PRSCA}$$

Autrement dit:

$$DLM = \frac{L}{3 \times NCA} - \frac{2}{3} \frac{(PRSCA)^2}{L} \approx \frac{L}{6}$$

Dans les organisations précédentes (TASSO, pont d'accès et blocs jumeaux) le décalage longitudinal moyen était égal à $\frac{L}{4}$.

7.2. Décalage transversal moyen

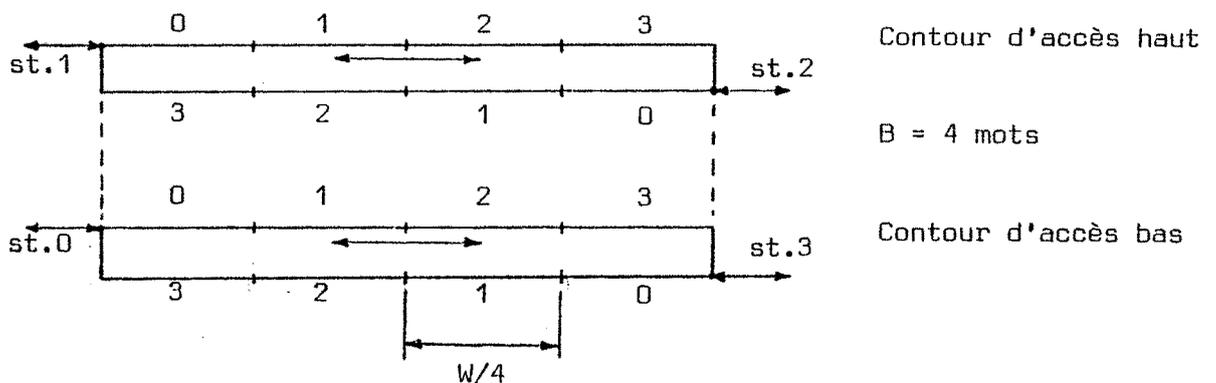
Il y a quatre stations d'accès sur les deux contours d'accès et l'unité de décalage transversal est donc égale à $\frac{W}{4}$ pas. Le décalage transversal bidirectionnel est autorisé sans aucune contrainte.

Si B désigne le nombre de mots distincts qui se trouvent sur les deux contours d'accès, on a:

$$B = \frac{C}{L} \times \frac{NCA \times PRSCA}{W} \text{ mots.}$$

Si B est pair:

$$DTM = \frac{1}{B} \times 2 \sum_{j=1}^{B/2} j \left(\frac{W}{4}\right) = \frac{W}{16} (2 + B)$$



8. ORGANISATION AVEC CONTOURS MULTIPLES D'ACCÈS INCORPORÉS À L'INTÉRIEUR DE LA CLASSE MÉMOIRE

8.1. Décalage longitudinal moyen

On reprendra ici la règle de décalage longitudinal contrôlé, définie pour éviter les permutations fautives.

La formule de DLM sera calculée de la même façon que dans l'organisation précédente, à la seule différence que l'unité de décalage longitudinal sera de 2 pas au lieu de 4 pas, ce qui apportera une nette amélioration au DLM.

$$\begin{aligned} \text{DLM} &= \frac{1}{n^2} \times \frac{\text{PRSCA}}{2} \times 2 \sum_{j=1}^{n-1} j(n-j) \\ &= \frac{\text{PRSCA} (n^2 - 1)}{6 \times n} \end{aligned}$$

n étant le nombre d'unités de participation, c'est-à-dire le nombre de pages dans la classe.

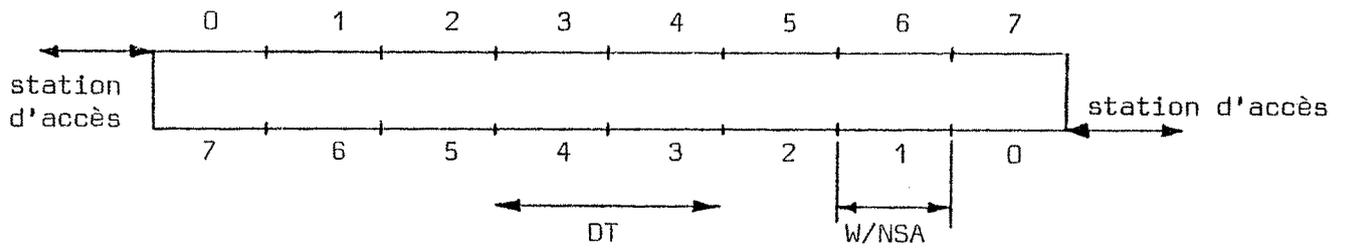
NCA désigne le nombre de contours d'accès dans la classe.

$$\begin{aligned} n &= \frac{L}{\text{NCA} \times \text{PRSCA}} \text{ pages} \\ \text{DLM} &= \frac{L}{6 \times \text{NCA}} - \frac{(\text{PRSCA})^2 \times \text{NCA}}{6 \times L} \\ &\approx \frac{L}{12} \quad (\text{NCA} = 2 \text{ et } \text{PRSCA} = 4) \end{aligned}$$

8.2. Décalage transversal moyen

Avec NCA contours d'accès incorporés, nous aurons NSA = 2 x NCA stations d'accès activables simultanément. L'unité de décalage transversal sera $\frac{W}{\text{NSA}}$ et il n'y aura pas de contraintes sur le décalage transversal bidirectionnel.

Contour d'accès (B = 8 mots)



Si la page contient B mots, on aura:

$$B = \frac{C}{L} \times \frac{NCA \times PRSCA}{W}$$

Si B est pair:

$$DTM = \frac{1}{B} \frac{W}{NSA} \times 2 \sum_{j=1}^{B/2} j$$

$$= \frac{W}{4 \times NSA} (2 + B)$$

B I B L I O G R A P H I E

A. LES BULLES MAGNÉTIQUES, LEURS FONCTIONS LOGIQUES
ET LA TECHNOLOGIE À BULLES

1. AHAMED S.V.
The design and embodiment of magnetic domain encoders and single-error correcting decoders for cyclic block codes
The Bell System Technical Journal, Février 1972, pp. 461-485.
2. BHANDARKAR D.P. & JULIUSSEN J.E.
Tutorial: Computer system advantages of magnetic bubble memories
Computer, Novembre 1975, pp. 35-40.
3. BOBECK A.H.
Properties and device applications of magnetic domains in orthoferrites
The Bell System Technical Journal, 1967, p. 1901.
4. BOBECK A.H.
The magnetic bubbles
Bell Laboratories Record, Juin/Juillet 1970, pp. 162-169.
5. BOBECK A.H.
A second look at magnetic bubbles
IEEE Trans. on Magnetics, Septembre 1970, pp. 445-446.
6. BOBECK A.H., DANYLCHUK I., ROSSOL F.C. & STRAUSS W.
Evolution of bubble circuits processed by a single mask level
IEEE Trans. on Magnetics, Septembre 1973, pp. 474-480.
7. BOBECK A.H. & DELLA TORRE E.
Magnetic bubbles
Publisher: North Holland/American Elsevier, 1975.
8. BOBECK A.H. & SCOVIL H.E.D.
Magnetic bubbles
Scientific American, Juin 1971, pp. 78-90.

9. BONYHARD P.I., CHEN Y.S. & SMITH J.L.
High performance magnetic bubble replicate gate design
IEEE Trans. on Magnetics, Septembre 1977, pp. 1258-1260.
10. BONYHARD P.I., GEUSIC J.E., BOBECK A.H., CHEN Y., MICHAELIS P.C.,
& SMITH J.L.
Magnetic bubble memory chip design
IEEE Trans. on Magnetics, Septembre 1973, pp. 433-436.
11. CHANG H., FOX J., LU D. & ROSIER L.L.
A self-contained magnetic bubble-domain memory chip
IEEE Trans. on Magnetics, Juin 1972, pp. 214-222.
12. COEURE Ph.
Activités du LETI dans le domaine des mémoires à bulles magnétiques
Colloque IRIA sur l'Enregistrement Magnétique, Rocquencourt,
14 Novembre 1974, pp. 81-85
13. COEURE Ph.
Mémoires à bulles magnétiques
LETI-CENG, Rapport de travail, 1974, pp. 93-98.
14. COEURE Ph., JOUVE H., MAUDUIT D. & RANDET D.
Technologie et utilisation des mémoires à bulles magnétiques
L'Onde Electrique, 1974, n° 4, pp. 165-174.
15. COHEN M.S., BEALL G.W., HSIEH W.J. & CHANG H.
The Y-bar switch, a single-level-masking switch
IEEE Trans. on Magnetics, Septembre 1977, pp. 1264-1266.
16. COHEN M.S., HSIEH W.J. & ALMASI G.S.
Analytical model of a bubble switch
IEEE Trans. on Magnetics, Juillet 1977, pp. 1035-1041.
17. COPELAND J.A. .
Conductor propagation circuits for high-density bubble-domain memories
IEEE Trans. on Magnetics, Septembre 1972, p. 378.

18. DEKKER E.H.L.J., VAN MIERLOO K.L.L. & DE WERDT R.
Combination of field and current access magnetic bubble circuits
IEEE Trans. on Magnetics, Septembre 1977, pp. 1261-1263.
19. GERGIS I.S., TOCCI L.R. & ARCHER J.L.
The operating characteristics of a compact bubble transfer replicate switch
IEEE Trans. on Magnetics, Janvier 1977, pp. 898-900.
20. GEUSIC J.E.
Magnetic bubble devices: moving from lab. to factory
Bell Laboratories Record, Novembre 1976, pp. 262-267.
21. JULIUSSEN J.E.
Magnetic bubble memory interfacing
COMPCON 75 Fall Digest, Septembre 1975.
22. KLEMAN M. & LIBCHABER A.
Des bulles magnétiques aux défauts de parois
La Recherche, Juin 1977, pp. 576-579.
23. KUIJPERS F.A.
Single-mask memories: bit/chip organization with decoding
IEEE Trans. on Magnetics, Septembre 1975, pp. 1136-1138.
24. LAUDISE R.A. & VAN UITERT L.G.
Materials for magnetic bubbles
Bell Laboratories Record, Septembre 1971, pp. 238-243.
25. LEVINSTEIN H.J., NIELSEN J.W. & RENAUT P.W.,
Garnets for bubble domain devices
Bell Laboratories Record, Juillet/Août 1973, pp. 208-214.
26. MICHAELIS P.C. & BONYHARD P.I.
Magnetic bubble mass memory. Module design and operation
IEEE Trans. on Magnetics, Septembre 1973, pp. 436-444.

27. MYERS W.
Current developments in magnetic bubble technology
Computer, Août 1977, pp. 73-82.
28. PERCEVAL M.
La course aux mémoires à bulles
La Recherche, Juin 1973, p. 582.
29. ROSSOL F.C.
Stroboscopic observation of cylindrical domain propagation in a T-bar structure
IEEE Trans. on Magnetics, Septembre 1970, pp. 500-501.
30. SALZER J.M.
Bubble memories .. where do we stand ?
Computer, Mars 1976, pp. 36-41.
31. SCHROEDER D.H., SWEET J.S. & LANGENHORST J.W.
Operation of a 100-bit, 2.6 μm bubble shift register
IEEE Trans. on Magnetics, Juillet 1977, pp. 1041-1045.
32. SMITH J.L., KISH D.E. & BONYHARD P.I.
Dollar-sign transfer for magnetic bubbles
IEEE Trans. on Magnetics, Septembre 1973, pp. 285-289.
33. TEXAS INSTRUMENTS
Documentation on magnetic bubble memories
Février 1977.
34. TORRERO E.A.
Bubbles rise from the lab.
IEEE Spectrum, Septembre 1976, pp. 29-31.

B. ORGANISATION DE LA MÉMOIRE À BULLES

1. BEAUFILS, COHEN, GLIZE & LITAIZE
Implantation sur un système informatique d'une mémoire séquentielle d'aspect aléatoire
Convention de Recherche 74.186, Université Paul Sabatier, Toulouse, Janvier 1977.
2. DEASOLEIL W.F., BROWN D.T. & PHELPS B.E.
Magnetic bubble memory organization
IBM J. Res. Develop. Novembre 1972, pp. 587-591.
3. BONGIOVANNI G.C. & LUCCIO F.
Permutation of data blocks in a bubble memory
CACM, Janvier 1979, pp. 21-25.
4. BONYHARD P.I. & NELSON T.J.
Dynamic data reallocation in bubble memories
The Bell System Technical Journal, Mars 1973, pp. 307-317.
5. BOSHRA RIAD M.
New magnetic bubble memory organizations
13th Annual Conference on Statistics, Computer Science and Operations Research, Université du Caire, Egypte, Mars 1978.
6. BOSHRA RIAD M.
Organisations des mémoires à bulles magnétiques.
Brevet Français n° 7912663, 18 Mai 1979.
7. CHANG H.
Bubble domain memory chips
IEEE Trans. on Magnetics, Septembre 1972, pp. 564-569.

8. CHEN T.C. & TUNG C.
Storage management operations in linked uniform shift-register loops
IBM J. Res. Develop., Mars 1976, pp. 123-131.
9. GEORGE P.K. & al.
Block oriented bubble domain memory organization
IEEE Trans. on Magnetics, Juillet 1976, pp. 411-413.
10. JIND M. & LIU J.W.S.
Intelligent magnetic bubble memories
The 5th Annual Symposium on Computer Architecture, 3-5 Avril 1978,
Californie, pp. 166-174.
11. LAGOUTIERE J. & MAUDUIT D.
Organisation et utilisation des mémoires à bulles
Note technique LETI/EPA, CENG, n° 916, 1973.
12. LIN Y.S., ALMASI G.S. & KEEFE G.E.
Contiguous-disk bubble domain devices
IEEE Trans. on Magnetics, Novembre 1977, pp. 1744-1764.
13. PANIGRAHI G.
The implications of electronic serial memories
Computer, Juillet 1977, pp. 18-25.
14. *256 K-bit bubble memory uses separate I/O tracks with minor loop storage*
Computer Design, Octobre 1978, p. 208.
15. TASSO J.
Mémoires séquentielles d'apparence aléatoire utilisables comme mémoires centrales
Colloque International sur les Mémoires, Paris, Octobre 1973, pp. 329-341.

16. TUNG C., CHEN T.C. & CHANG H.
Bubble ladder for information processing
IEEE Trans. on Magnetics, Septembre 1975, pp. 1163-1165.
17. WONG C.K. & COPPERSMITH D.
The generation of permutations in magnetic bubble memories
IEEE Trans. on Computers, Mars 1976, pp. 254-262.
18. WONG C.K. & YUE P.C.
Data organisation in magnetic bubble lattice files
IBM J. Res. Develop., Novembre 1976, pp. 576-581.

C. RÉALISATIONS ET APPLICATIONS DES MÉMOIRES À BULLES MAGNÉTIQUE

1. BOBECK A.H. & DANYLCHUK I.
Characterization and test results for a 272 K bubble memory package
IEEE Trans. on Magnetics, Septembre 1977, pp. 1370-1372.
2. BONYHARD P.I.
Applications of bubble devices
IEEE Trans. on Magnetics, Spetembre 1970, pp. 447-451.
3. BOSCH L.J. & al.
1024 bit bubble memory chip
IEEE Trans. on Magnetics, Septembre 1973, pp. 481-484.
4. CHANG H.
Bubbles for relational database
The 4th Workshop on Computer Architecture for non-numeric processing,
New York, 1-4 Août 1978, pp. 110-116.
5. COEURE Ph., DAVAL J., JOUVE H., SARO M. & MAUDUIT D.
Etude préliminaire d'un enregistreur de données équipé d'une mémoire à bulles magnétiques
Note Technique LETI/EPA/CRM, CENG, n° 1248, 1977.
6. COEURE Ph., MACKOWIAK E., MAUDUIT D. & BRICE J.M.
Analyse et comparaison des possibilités d'emploi des mémoires à bulles et à transfert de charges
Note Technique LETI/EPA/MEA, CENG, 76-210, 1976.
7. FINDEX
Micro-computer utilizes magnetic bubble memory for mass storage
Computer Design, Janvier 1979, pp. 148-150.

8. GAREN E.R.
Magnetic bubble memory devices and applications
Computer Design, Février 1970, pp. 164-168.
9. HITACHI
Announcement on the magnetic bubble memory
Electronic News, 20 Octobre 1975.
10. HOFFMAN E.J., MOORE R.C. & MCGOVERN T.L.
Designing a magnetic bubble data recorder: part 1 - the component level
Computer Design, Mars 1976, pp. 77-85.
11. HOFFMAN E.J., MOORE R.C. & MCGOVERN T.L.
Designing a magnetic bubble data recorder: part 2 - the system level
Computer Design, Avril 1976, pp. 99-107.
12. JULIUSSEN J.E.
Magnetic bubble systems approach practical use
Computer Design, Octobre 1976, pp. 81-91.
13. JULIUSSEN J.E.
Bubble memory as small mass storage
Electro'77, New York, Avril 1977.
14. JULIUSSEN J.E., LEE D.M. & COX G.M.
Bubbles appearing first as microprocessor mass storage
Electronics, 4 Août 1977, pp. 81-86.
15. LEE D.M.
Bubble memory for microprocessor mass storage
Texas Instruments Publication, 1977.

16. MICHAELIS P.C. & RICHARDS W.J.
Magnetic bubble mass memory
IEEE Trans. on Magnetics, Janvier 1975, pp. 21-25.
17. MICHALOPOULOS D.A.
New products: quarter-million-bit magnetic bubble memory announced by TI
Computer, Septembre 1978, p. 99.
18. MUSGRAVE B.
How bubbles bounce
Datamation, Mai 1977, pp. 242-243, p. 270.
19. PLESSEY
Publicity on magnetic bubble memory
Computing Europe, 3 Novembre 1977, p. 56.
20. ROCKWELL
Rockwell's 256 K bubble at Munich
Electronics and Power, Octobre 1978, p. 716.
21. *Magnetic bubbles can be used to store and process data*
Bell Laboratories Record, Octobre 1969, p. 307.
22. *Bubbles making their way to market*
Electronics, 29 Avril 1976, p. 73.
23. *More than 100 patents*
Datamation, Mai 1977, pp. 29-30.
24. *Bubble market about the burst*
Electronics and Power, Juillet 1978, p. 487.
25. *Bubble domain memory devices and sub-systems based on 256 K bit chip*
Computer Design, Novembre 1978, pp. 27-30.

26. TEXAS INSTRUMENTS

Texas Instruments moves bubbles to pilot production for its products
Electronics, 4 Mars 1976, pp. 32-33.

27. TEXAS INSTRUMENTS

Now in volume production: magnetic bubble memories
Computer Design, Janvier 1979, p. 81.

28. TSUBOYA I. & al.

2 M bit magnetic bubble memory
IEEE Trans. on Magnetics, Septembre 1977, pp. 1360-1363.

29. UNIVAC

The design, fabrication and test of 16 K bubble memory chips
IEEE Trans. on Magnetics, Septembre 1975, pp. 1157-1159.

D. AUTRES TECHNOLOGIES DES MÉMOIRES

1. ANACKER W.
Possible uses of charge-transfer devices and magnetic-domain devices in memory hierarchies
IEEE Trans. on Magnetics, Septembre 1971, pp. 410-415.
2. ANDERSON L.K.
Holographic optical memory for bulk data storage
Bell Laboratories Record, Novembre 1968, pp. 318-325.
3. AYACHE J.M.
Mémoires reconfigurables à accès aléatoire et à semi-conducteurs
Thèse de Docteur-Ingénieur, Grenoble, 1978.
4. BAKER K.
Solid-state serial memories, the role of bubbles and CCDs
Electronics and Power, Septembre 1978, pp. 647-652.
5. BARCLAY M.
Discs: past, present and future
Data Processing, Mai 1977, pp. 29-32.
6. BATTAREL C.
Comparaison entre les nouvelles techniques de mémoires: MOD, bulles et CCD
Colloque IRIA sur l'Enregistrement Magnétique, Rocquencourt, 14 Novembre 1974, pp. 87-99.
7. BOLLESEN V.P.
Core Memories
IEEE Trans. on Magnetics, Septembre 1970, pp. 534-535.
8. BRECHTLEIN R.
Comparing disc technologies
Datamation, Janvier 1978, pp. 139-150.

9. CASHMAN M.W.
A read/write optical memory system
Datamation, Mars 1973, pp. 67-69.
10. CASWELL H.L. & al.
Basic technology. The Oregon report on computing in 1980's
Computer, Septembre 1978, pp. 10-19.
11. CHEN D. & ZOOK J.D.
An overview of optical data storage technology
Proceedings of IEEE, Août 1975, pp. 1207-1230.
12. CROUCH H.R. & al.
CCDs in memory systems move into sight
Computer Design, Septembre 1976, pp. 75-80.
13. DENIS MEE C.
A comparison of bubble and disk storage technologies
IEEE Trans. on Magnetics, Janvier 1976, pp. 1-6.
14. DUBUC J.C.
La mémoire à disque souple type SAGEM modèle DS3
Colloque IRIA sur l'Enregistrement Magnétique, Rocquencourt, 14 Novembre 1974, pp. 21-33.
15. FAIRCHILD
Publicity on CCD memory
Computer Design, Decembre 1977, pp. 12-13.
16. GAREN E.R.
Charge-transfer devices. Part 1: the technologies
Computer Design, Novembre 1977, pp. 146-152.
17. GAREN E.R.
Charge-transfer devices. Part 2: CCD memories
Computer Design, Decembre 1977, pp. 130-140.

18. GAREN E.R.
Charge-transfer devices. Part 3: Diverse uses of CTDs for analog, digital and optical applications
Computer Design, Janvier 1978, pp. 154-157.
19. GRNUBERG G., JEANTILS H. & DE SILVESTRE H.
Les ferrites à mémoires
Revue de Physique Appliquée, Septembre 1974, pp. 859-864.
20. GUILLEMET J.
Gamme de mémoires à disques amovibles de grande capacité
Colloque IRIA sur l'Enregistrement Magnétique, Rocquencourt, 14 Novembre 1974, pp. 5-19.
21. HNATEK E.R.
Current semi-conductor memories
Computer Design, Avril 1978, pp. 115-126.
22. HOAGLAND A.S.
Digital magnetic recording
John Wiley & Sons, 1963.
23. HOUSTON G.B.
Trillion bit memories
Datamation, Octobre 1973, pp. 52-58.
24. HUFFMAN D.
An update on MOS ROMs
Computer Design, Septembre 1977, pp. 95-103.
25. IBM
Documentation machines et programmes: unité de disque IBM 2314
26. IVERSEN W.R.
64 K CCDs face an uncertain future
Electronics, 4 Janvier 1979, pp. 85-86.

27. JOHNSTON B.
The 64 K RAM: which way to refresh ?
Electronics, 4 Janvier 1979, pp. 145-147.
28. KELLY J.
The development of an experimental electron-beam-addressed memory module
Computer, Février 1975, pp. 32-40.
29. KULK A.J.
Advances in storage technology for micros and minis
Computer, Mars 1976, pp. 7-15.
30. LEVENTHAL L.A.
Semiconductor technologies and semiconductor memories
Simulation, Août 1976, pp. 65-71.
31. LILEN H.
Mémoires intégrées
Editions Radio, Paris, 1977.
32. MALLMANN G.
The crossroads for storage ?
Data Processing, Septembre 1977, pp. 44-45.
33. MORALEE D.
Floppy discs, the storage medium for microprocessor systems
Electronics and Power, Septembre 1978, pp. 637-641.
34. PANIGRAHI G.
Charge-coupled memories for computer systems
Computer, Avril 1976, pp. 33-41.

35. PHILIPS
Optical recording system stores 10^{10} data bits on a 12" disc
Computer Design, Janvier 1979, pp. 34-42
36. RANDET D.
Cours sur les mémoires
ENSIMAG, 1975.
37. *Europe's chance of a computer revolution*
The Economist, 22 Avril 1978, pp. 105-106.
38. TEXAS INSTRUMENTS
64 K dynamic RAM from Texas
Electronics and Power, Septembre 1978, p. 622.

E. ÉVALUATION DE PERFORMANCES DES SYSTÈMES INFORMATIQUES

1. AGRAWALA A.K., MOHR J.M. & BRYANT R.M.
An approach to the workload characterization problem
Computer, Juin 1976, pp. 18-32.
2. ANACKER W. & WANG C.P.
Performance evaluation of computing systems with memory hierarchies
IEEE Trans. on Magnetics, Décembre 1967, pp. 764-772.
3. DEAUFILS, LITAIZE & COHEN
Evaluation de performances de mémoires séquentielles hiérarchisées dans un système informatique
Rapport de contrat SESORI no. 77.096, Décembre 1977, Université Paul Sabatier, Toulouse.
4. BENNETT M., BERARD P., BOKSENBAUM C. & VERAN M.
Notes on the efficiency of a cache memory
Informatica 74, Bled, Yougoslavie, Octobre 1974, pp. 2.6.1-8.
5. BHANDARKAR D.P.
On the performance of magnetic bubble memories in computer systems
IEEE Trans. on Computers, Novembre 1975, pp. 1125-1129.
6. BOGOTT R. & FRANKLIN M.A.
Evaluation of markov program models in virtual memory systems
Software Practice and Experience, 1975, pp. 337-346.
7. BOKSENDAUM C.
A propos de la simulation d'un système informatique
Thèse de Doctorat d'Etat, Grenoble, 1975.
8. BOHYHARD P.I. & HAGLDORN F.B.
Request queueing for magnetic bubble memories
IEEE Trans. on Magnetics, Mars 1978, pp. 37-40.

9. BOROVITS I. & EIN DOR Ph.
Cost/utilization: a measure of system performance
CACM, Mars 1977, pp. 185-191.
10. BOYSE J.X.
Execution characteristics of programs in a page-on-demand system
CACM, Avril 1974, pp. 192-196.
11. BROWN R.M. BROUNE J.C. & CHANDY K.M.
Memory management and response time
CACM, Mars 1977, pp. 153-165.
12. BURGEVIN P., INGELS P. & LEROUQUIER J.
Analysis of program behavior
Rapport de recherche n° 237, IRIA, Juin 1977.
13. DENNING P.J.
The working set model for program behavior
CACM, Mai 1968, pp. 323-333.
14. FERRARI D.
Improving program locality by strategy-oriented restructuring
Information Processing 74, 1974, pp. 266-270.
15. FERRARI D.
Tailoring programs to models of program behavior
IBM J. Res. Develop., Mai 1975, pp. 244-251.
16. FULLER S.H. & BASKETT
An analysis of drum storage units
JACM, Janvier 1975, pp. 83-105.
17. GLIZE P.
Etude et mesures de performances de mémoires centrales séquentielles.
Application à la gestion d'une mémoire hiérarchisée
Thèse de 3ème Cycle, Université Paul Sabatier, Toulouse, 1977.

18. GLIZE P.
Application des registres à décalages bidirectionnels aux mémoires centrales de grande capacité
Université Paul Sabatier, UER Informatique, 1973-1974.
19. HICKS B.W. & ANDREWS C.J.
Reduction of latency in serial semiconductor memories
The Australian Computer Journal, Juillet 1976, pp. 47-50.
20. JALICS P.J. & LYNCH W.C.
Selected measurements of the PDP-10 TOPS-10 time-sharing operating system
Information Processing 74, 1974, pp. 242-246.
21. LIN Y.S. & MATTSON R.L.
Cost-performance evaluation of memory hierarchies
IEEE Trans. on Magnetics, Septembre 1972, pp. 390-392.
22. MATTSON R.L.
Evaluation of multilevel memories
IEEE Trans. on Magnetics, Décembre 1971, pp. 814-817.
23. MITRA D.
Some aspects of hierarchical memory systems
JACM, Janvier 1974, pp. 54-65.
24. REGE S.L.
Cost, performance and size trade-offs for different levels in a memory hierarchy
Computer, Avril 1976, pp. 43-51.
25. RICHARDS A.G.
Assessment of system performance in computer selection evaluations
The Australian Computer Journal, Mars 1976, pp. 19-24.

26. SITES R.L.

Optimal shift strategy for a block-transfer CCD memory
CACM, Mai 1978, pp. 423-425.

27. SMITH A.J.

Sequential program prefetching in memory hierarchies
Computer, Décembre 1978, pp. 7-21.

F. ARTICLES DE SYNTHÈSE

1. ALEWIJNSE C.P.J.
Memory requirements for future computer systems
L'Onde Electrique, 1974, n° 6, p.. 277-280.
2. AUERDACH I.L.,
Technological forecast 1971
IFIP Congress 1971, Ljubljana, Août 1971, pp. I.236-248.
3. COHEN M.S. & CHANG H.
The frontiers of magnetic bubble technology
Proceedings of the IEEE, August 1975, pp. 1196-1206.
4. DENBRINKER C.S.
A review of the state of the integration art
Electronics and Power, Septembre 1978, pp. 657-660.
5. FETH G.C.
Memories: smaller, faster and cheaper
IEEE Spectrum, Juin 1976, pp. 36-43.
6. GONZALEZ M.J.
Future directions in computer architecture
Computer, Mars 1978, pp. 54-62.
7. GRUNBERG G.
Technologie et organisation des mémoires
Structure et Conception des Ordinateurs, Dunod, Paris, 1971, pp. 187-231.
8. HODGES D.A.
Microelectronic memories
Scientific American, September 1977, pp. 130-145.

9. MARTIN R.R. & FRANKEL H.D.
Electronic disks in the 1980's
Computer, Février 1975, pp. 24-30.
10. MYERS W.
Key developments in computer technology: a survey
Computer, Novembre 1976, pp. 48-77.
11. NOYCE R.N.
Microelectronics
Scientific American, Septembre 1977, pp. 62-69.
12. PUGH E.W.
Storage hierarchies: gaps, cliffs and trends
IEEE Trans. on Magnetics, Décembre 1971, pp. 810-813.
13. PULLEN E.W. & SIMKO R.G.
Our changing industry
Datamation, Janvier 1977, pp. 49-55.
14. RANDET D.
Les mémoires électroniques
La Recherche, Juin 1975, pp. 540-547.
15. ROGGE H.
Present state and evolution of mass memories
L'Onde Electrique, 1974, no. 6, pp. 273-276.
16. SALLE F. & TASSO J.
Les hiérarchies des mémoires et la technologie
L'Onde Electrique, 1974, no. 6, pp. 261-272.
17. SHAPIRO E.
Technologies for storage hierarchies
IFIP Congress 1971, Ljubljana, Août 1971, pp. I.46-51.

18. THEIS D.J.

An overview of memory technologies

Datamation, Janvier 1978, pp. 113-131.

19. TURN R.

Computers in the 1980's. Trends in hardware technology

Information Processing 74, 1974, pp. 137-140.

20. WITHINGTON F.G.

Beyond 1984: a technology forcast

Datamation, Janvier 1975, pp. 54-73.

AUTORISATION DE SOUTENANCE

VU les dispositions de l'article 3 de l'arrêté du 16 Avril 1974,

VU les rapports de présentation de Messieurs :

- L. BOLLIET, Professeur à l'Université des Sciences
- Sociales de GRENOBLE

- Cl. BOKSENBAUM, Maître de Conférences à l'I.U.T.
- MONTPELLIER -

- Ph. COEURE, Responsable de la division Electro-
Magnétisme du NCE - LETI - Centre d'Etudes
Nucléaires de GRENOBLE -

Monsieur Mokhtar BOSHRA RIAD

est autorisé à présenter une thèse en soutenance pour l'obtention du
titre de DOCTEUR-INGENIEUR, spécialité "Génie Informatique". 7.

Grenoble, le 18 Juin 1979

Le Président de l'I.N.P.G.

