



**HAL**  
open science

# Contribution à la réalisation d'un prototype d'analyseur différentiel digital

Charles Payan

► **To cite this version:**

Charles Payan. Contribution à la réalisation d'un prototype d'analyseur différentiel digital. Modélisation et simulation. Université Joseph-Fourier - Grenoble I, 1966. Français. NNT: . tel-00280205

**HAL Id: tel-00280205**

**<https://theses.hal.science/tel-00280205>**

Submitted on 16 May 2008

**HAL** is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° d'ordre

# THÈSE

*présentée*

A LA FACULTÉ DES SCIENCES DE L'UNIVERSITÉ DE GRENOBLE

*pour obtenir*

LE TITRE DE DOCTEUR EN SERVOMÉCANISMES

**Troisième Cycle**

PAR

**C. PAYAN**

*Ingénieur A.M. et I.A.G.*



Contribution à la réalisation d'un prototype  
d'analyseur différentiel digital

*Thèse soutenue le      Février 1966 devant la Commission d'Examen*

MM. M. FALLOT,

J. KUNTZMANN

R. PAUTHENET

R. PERRET

*Président*

} *Examineurs*



T H E S E

présentée

à la Faculté des Sciences de l'Université de  
GRENOBLE

pour obtenir

le titre de Docteur en Servomécanismes  
3ème Cycle

par

C.PAYAN

Ingénieur A.M. et I.A.G.

CONTRIBUTION A LA REALISATION D'UN PROTOTYPE

d'ANALYSEUR DIFFERENTIEL DIGITAL

Thèse soutenue le Février 1966 devant la Commission d'Examen

MM.M.FALLOT, Président

J.KUNTZMANN )  
R.PAUTHENET ) Examineurs  
R.PERRET )



L I S T E     d e s     P R O F E S S E U R S

---

Doyens honoraires

M. FORTRAT P.  
M. MORET L.

Doyen

M. WEIL L.

Professeurs titulaires

MM. NEEL L.	Magnétisme et physique du solide
DORIER A.	Zoologie
HEILMANN R.	Chimie organique
KRAVTCHEKOV J.	Mécanique rationnelle
CHABAUTY C.	Calcul différentiel et intégral
PARDE M.	Potamologie
BENOIT J.	Radioélectricité
CHENE M.	Chimie papetière
BESSON J.	Electrochimie
WEIL L.	Thermodynamique
FELICI N.	Electrostatique
KUNTZMANN J.	Mathématiques Appliquées
BARBIER R.	Géologie appliquée
SANTON L.	Mécanique des fluides
OZENDA P.	Botanique
FALLOT M.	Physique industrielle
GALVANI O.	Mathématiques
MOUSSA A.	Chimie nucléaire
TRAYNARD P.	Chimie
SOUTIF M.	Physique
CRAYA A.	Hydrodynamique
REULOS R.	Théorie des champs
AYANT Y.	Physique approfondie
GALISSOT F.	Mathématiques Appliquées
M <sup>le</sup> LUTZ E.	Mathématiques
MM. BLAMBERT M.	Mathématiques
BOUCHEZ R.	Physique nucléaire
LLIBOUTRY L.	Géophysique
MICHEL R.	Géologie et minéralogie
BONNIER E.	Electrochimie
DESSAUX	Physique animale
PILLET E.	Electrochimie
DEBELMAS J.	Géologie
GERBER R.	Mathématique
PAUTHENET R.	Electrotechnique
VAUQUOIS B.	Mathématiques Appliquées
SILBER R.	Mécanique des Fluides
MOUSSIEGT J.	Electronique
BARBIER J.C.	Physique
KPSZUL J.L.	Mathématiques
DIVIE DODIN M.	Mathématiques

## Professeurs sans chaire

M. LACASE A.	Thermodynamique
Mme KOFLER L.	Botanique
MM. DREYFUS	Thermodynamique
VAILLANT F.	Zoologie et hydrobiologie
GIRAUD P.	Géologie
GIDON P.	Géologie et minéralogie
ARNAUD P.	Chimie
PERRET R.	Servomécanismes
Mmes LUMER L.	Mathématiques
BARBIER M. J.	Electrochimie
SOUTIF J.	Physique
MM. BRISSONNEAU P.	Physique
COHEN J.	Electrochimie
DEPASSEL R.	Mécanique
GASTINEL N.	Mathématiques Appliquées

## Professeurs associés

MM. LUMER	Mathématique
HIGUCHI	Biosynthèse de la cellulose
WAGNER	Botanique

## Maîtres de Conférences

MM. ROBERT A.	Chimie papetière
ANGLES D'AURIAC	Mécanique des Fluides
BIAREZ J.P.	Mécanique Physique
COUMES A.	Electronique
DODU J.	Mécanique des Fluides
DUCROS P.L.	Minéralogie et cristallographie
CLENAT P.	Chimie
HACQUES G.	Calcul numérique
LANCIA R.	Physique automatique
PEBAY-PEROULA	Physique
KAHANE	Physique générale
DOLIQUE	Electronique
Mme KAHANE J.	Physique
MM. DEGRANGE C.	Zoologie
GAGNAIRE D.	Chimie papetière
RASSAT A.	Chimie systématique
KLEIN J.	Mathématiques
POULOUJADOFF M.	Electrotechnique
DEPOMMIER P.	Physique nucléaire
DEPORTES C.	Chimie
BARRA J.	Mathématiques appliquées
Mme BOUCHE L.	Mathématiques
MM. PERRIAUX J.	Géologie
SARROT-Reynaud	Géologie
CAUQUIS G.	Chimie générale
LABRE A.	Botanique
BONNET G.	Physique générale
BARNOUD F.	Biosynthèse de la cellulose
Mme BONNIER M. J.	Chimie
MM. CAUBET	Mathématiques appliquées
BERTRANDIAS	Mathématiques appliquées

Le présent travail a été effectué au Laboratoire d'Automatique de l'Université de GRENOBLE, dans le cadre d'une convention de recherche entre la Direction des Recherches et Moyens d'Essais (D.R.M.E.) et ce Laboratoire.

Je remercie Monsieur FALLOT, Professeur à la Faculté des Sciences de GRENOBLE, pour l'honneur qu'il m'a fait en acceptant de présider le Jury de cette thèse.

J'exprime à Monsieur le Professeur KUNTZMANN ma reconnaissance pour l'intérêt qu'il a porté à ce travail et je le remercie de m'avoir honoré de sa participation au Jury de cette thèse.

J'adresse aussi mes remerciements à Monsieur le Professeur PAUTHENET qui a bien voulu examiner ce travail avec bienveillance et faire partie du Jury.

Que Monsieur le Professeur PERRET veuille bien trouver ici l'expression de ma profonde gratitude pour son enseignement de valeur et ses conseils.

Je tiens à remercier la Direction des Recherches et Moyens d'Essais qui nous a permis de mener à bien cette étude.

Je remercie également Messieurs FARDEAU et MELROSE pour leur collaboration à ce travail.



## TABLE des MATIERES

\*

	<u>Pages</u>
<u>INTRODUCTION</u>	I
<u>I - PRINCIPES GENERAUX</u>	
I-1 - <u>Notion de calcul incrémentiel</u>	1
I-11 - <u>Intégration par rapport à la variable indépendante t</u>	1
I-12 - <u>Liaison entre les opérateurs d'intégration Notion d'incrément</u>	3
I-13 - <u>Autres opérations élémentaires réalisables avec un ADD :</u>	8
I-13.1 - <u>Intégration par rapport à une varia- ble quelconque</u>	8
I-13.2 - <u>Multiplication par une constante</u>	9
I-13.3 - <u>Addition</u>	10
I-13.4 - <u>Autres opérations</u>	12
I-14 - <u>Conclusion</u>	13

...

	<u>Pages</u>
I-2 - <u>Différents opérateurs</u>	13
I-21 - <u>Intégrateur</u>	14
I-22 - <u>Multiplieur</u>	14
I-23 - <u>Comparateur :</u>	15
I-23.1 - <u>Fonctionnement du comparateur</u>	15
I-23.2 - <u>Utilisation du comparateur</u>	16
I-24 - <u>Opérateur composé</u>	18
I-3 - <u>Principe d'organisation des A.D.D.</u>	20
I-31 - <u>Calculateur de type simultané</u>	21
I-32 - <u>Calculateur de type successif</u>	21
I-33 - <u>Description sommaire de l'analyseur réalisé</u>	22
I-34 - <u>Mémoire d'incrément</u>	24

	<u>Pages</u>
I-4 - <u>Généralités logiques et technologiques</u>	25
I-41 - <u>Opérations logiques - Symboles utilisés</u>	25
I-42 - <u>Circuits logiques utilisés - Symboles</u>	27
I-42.1 - <u>Généralités</u>	27
I-42.2 - <u>Convention</u>	27
I-42.3 - <u>Circuit logique à diode</u>	28
I-42.4 - <u>Circuit logique à transistor</u>	29
I-42.5 - <u>Réalisation de fonctions logiques</u>	30
I-42.6 - <u>Circuits utilisés</u>	35
I-43 - <u>Représentation des nombres</u>	36
I-43.1 - <u>Le code</u>	36
I-43.2 - <u>Position de la virgule</u>	36
I-43.3 - <u>Mots machines</u>	37
I-43.4 - <u>Nombres négatifs</u>	39
I-43.5 - <u>Correspondance nombres machine                   nombres algébriques</u>	40

PagesII - BLOC DE CALCUL

II-1 - <u>Opérateur composé</u>	42
II-11 - <u>Détection d'erreurs - Digit d'imparité</u>	43
II-11.1 - <u>Principe</u>	43
II-11.2 - <u>Digit d'imparité</u>	44
II-11.3 - <u>Contrôle d'imparité</u>	44
II-11.4 - <u>Introduction de l'impulsion d'imparité</u>	45
II-12 - <u>Sélection de l'impulsion de repérage</u>	46
II-13 - <u>Reconstitution d'un nombre à partir de ses poids faibles</u>	48
II-14 - <u>Additionneur série</u>	58
II-15 - <u>Additionneur soustracteur</u>	60
II-16 - <u>Débordement des registres - Emission d'incréments</u>	62
II-17 - <u>Réalisation de l'ensemble</u>	70
II-2 - <u>Multiplieur</u>	71

	<u>Pages</u>
III - <u>MEMOIRE D'INCREMENTS</u>	72
III-1 - <u>Système d'écriture - Lecture</u>	73
III-2 - <u>Sélection</u>	76
III-21 - <u>Disposition matricielle des capacités</u>	76
III-22 - <u>Sélection des capacités</u>	80
III-22.1 - <u>Positionnement des bascules</u>	80
III-22.2 - <u>Décodage - Sélection</u>	83
III-3 - <u>Lecture - Ecriture - Réécriture</u>	87
III-31 - <u>Signaux</u>	87
III-32 - <u>Logique de lecture - Ecriture</u>	89
III-33 - <u>Entretien de la mémoire</u>	90
III-4 - <u>Remarques</u>	92
III-41 - <u>Deux adresses particulières</u>	92
III-42 - <u>Note sur le choix des capacités</u>	92
III-43 - <u>Sorties</u>	93
III-5 - <u>Conclusion</u>	93

	<u>Pages</u>
IV - <u>UTILISATION D'UN A.D.D.</u>	95
IV-1 - <u>Méthodes de résolution</u>	95
IV-2 - <u>Différents types de problèmes</u>	97
IV-21 - <u>Equations différentielles</u>	98
IV-22 - <u>Système d'équations</u>	99
IV-23 - <u>Equations aux dérivées partielles</u>	100
IV-3 - <u>Résolution effective de quelques équations</u>	104
IV-31 - <u>Echelle de temps</u>	104
IV-32 - <u>Résolution de <math>y' + y = 0</math></u>	104
IV-33 - <u>Résolution de <math>y'' + y = 0</math> - Divergence</u>	105
<u>CONCLUSION</u>	111

-----

INTRODUCTION

\*

On distingue deux types principaux de calculateurs :

- 1) Les calculateurs analogiques qui traitent des informations de type "continu".
- 2) Les calculateurs arithmétiques (ou digitaux) qui traitent des informations codées représentant les valeurs "discrètes" des grandeurs.

Ces deux types de calculateurs ont une organisation et des caractéristiques différentes.

Les calculateurs analogiques ont, comme éléments de base, des opérateurs réalisant des fonctions déterminées :

- intégration
- addition
- multiplication ...

Tous ces opérateurs, reliés entre eux, fonctionnent simultanément. Les liaisons entre opérateurs déterminent le problème résolu par le calculateur et restent fixes pendant toute la résolution du problème.

Ces machines, d'une part, sont d'une organisation simple et, d'autre part, sont assez rapides (fonctionnement simultané des opérateurs).

La capacité de la machine dépend du nombre d'opérateurs. Par contre, ces calculateurs ne sont pas très précis (gain limité des amplificateurs, dérive, bruit ...) et ne permettent que par des artifices assez complexes la résolution de certains problèmes (équation aux dérivées partielles ...)

Les calculateurs arithmétiques ne comportent qu'un seul opérateur élémentaire : l'additionneur arithmétique. Les différents problèmes sont résolus par les méthodes d'analyse numérique. Le bloc arithmétique est affecté successivement aux diverses opérations.

Ce type de calculateur exige donc une mémoire permettant de ranger les informations, et un programme indiquant les opérations à effectuer.

Ces calculateurs peuvent être très précis. La précision dépend de la complexité du bloc de calcul et du temps de calcul. Dans le cas d'une grande précision, on aura nécessairement des calculateurs complexes et assez lents.

La nature du problème à résoudre (algébrique, différentiel ...) et les caractéristiques désirées des résultats (précision, rapidité) déterminent le choix du type de calculateurs.

Il serait toutefois souhaitable pour certains problèmes (vol par inertie, simulation de fonctions de transfert, résolution d'équation non linéaire ...) d'allier à la précision des calculateurs numériques la simplicité d'organisation et la rapidité des calculateurs analogiques.

Ainsi a-t-on été amené à concevoir des machines hybrides : les analyseurs différentiels digitaux.

Ce type de calculateur :

1) comprend divers opérateurs à fonctions déterminées :

- Intégrateurs
- Multiplieurs
- Compérateurs ...

permettant une organisation et une programmation simples.

2) traite des informations codées correspondant aux valeurs discrètes des grandeurs. Ceci permet d'obtenir une grande précision.

Ces calculateurs peuvent être organisés en calculateurs de type "successif" ou de type "simultané".

Après avoir exposé le principe fondamental du calcul incrémentiel, qui se trouve à la base de l'Analyseur Différentiel Digital, nous étudierons la réalisation de deux éléments d'un analyseur de type successif : le bloc de calcul et la mémoire d'incrément.

Nous ébaucherons ensuite, grâce à la résolution d'équations simples, quelques problèmes posés par l'utilisation d'un analyseur différentiel digital.

I - PRINCIPES GENERAUX

I-1 - NOTION DE CALCUL INCREMENTIELI-11 - Intégration par rapport à la variable indépendante t

Soit une fonction  $y(t)$  définie aux instants  $t_0, t_0 + h \dots t_0 + nh$  par la suite des valeurs :

$$\begin{aligned} y(t_0) &= (y)_0 \\ y(t_0 + h) &= (y)_1 \\ y(t_0 + 2h) &= (y)_2 \\ y \dots \dots \dots \\ y(t_0 + nh) &= (y)_n \end{aligned}$$

Nous nous proposons de calculer l'intégrale définie  $z(t)$

$$z(t) = \int_{t_0}^t y(u) du$$

dont l'approximation la plus simple est donnée par la formule des rectangles :

$$z(n) = h \sum_{i=0}^{n-1} (y)_i$$

que l'on peut écrire sous la forme récurrente suivante :

$$\boxed{(z)_{n+1} = (z)_n + h (y)_n}$$

Supposons les grandeurs codées en binaire et choisissons  $h$  égal à une puissance entière de 2

$$h = 2^{-p}$$

Le nombre  $y$  est rangé dans un registre  $Y$

Le nombre  $z$  est rangé dans un registre  $Z$

$$h (y)_n = 2^{-p} (y)_n \text{ se déduit de } (y)_n$$

par un simple décalage de nombre de  $p$  positions binaires.

Aux instants  $t = 0, h, 2h \dots, nh$  le registre  $Z$  doit contenir les valeurs  $(z)_0, (z)_1, (z)_2 \dots (z)_n$

Il suffit donc :

- 1) de réaliser l'addition du contenu du registre  $Y$  au contenu du registre  $Z$  chaque fois que l'on passe de la valeur  $t = nh$  à la valeur  $t = (n + 1) h$
- 2) de placer la virgule dans le registre  $Z$ ,  $p$  positions binaires plus à gauche que dans le registre  $Y$ .  
(Les poids forts des nombres sont situés à gauche).

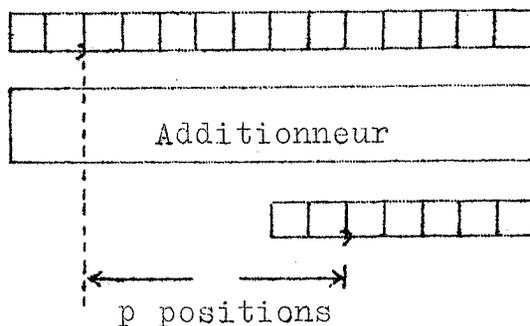


Fig I-1

Remarque :

Il est à noter que le registre  $Z$  doit avoir une capacité plus grande que celle du registre  $Y$ .

I-12 - Liaison entre les opérateurs d'intégration -  
Notion d'incrément

Supposons que l'on doive réaliser la suite d'intégration :

$$z(t) = \int_{t_0}^t y(u) du$$

$$w(t) = \int_{t_0}^t z(u) du$$

Les valeurs  $(z)_n$  produites par un intégrateur doivent pouvoir être utilisées par un autre intégrateur.

Il faut donc reporter le contenu du registre Z d'un intégrateur dans le registre Y de l'intégrateur suivant.

Si l'on choisit la capacité du registre Y de l'intégrateur n° 2 égale à celle du registre Y de l'intégrateur n° 1, il est nécessaire, lors de ce report, d'abandonner les poids faibles du contenu du registre Z.

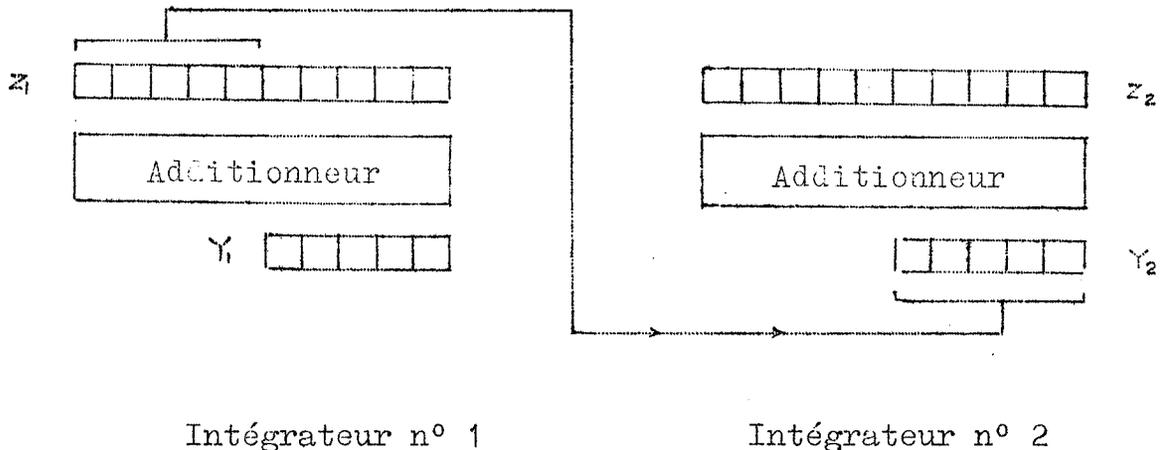


Fig I-2

On remarque que le contenu de  $Y_2$  est égal aux poids forts du contenu du registre  $Z_1$ . Ceci conduit à la simplification suivante :

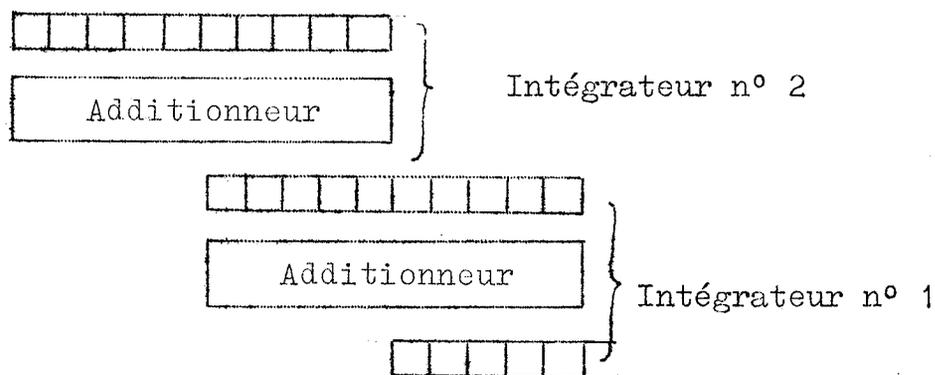
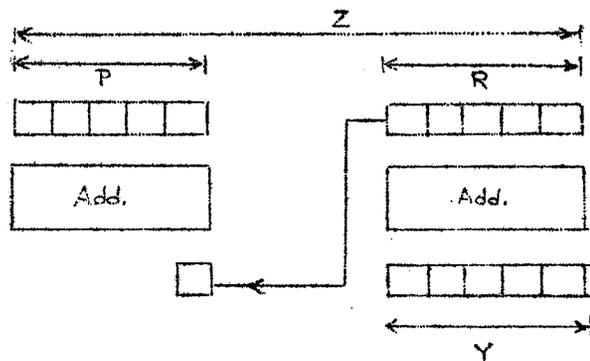


Fig I-3

Cette disposition se simplifie encore si l'on considère le registre  $Z$  comme étant formé de 2 registres  $R$  et  $P$  :

- 1) le registre  $R$ , contenant les poids faibles de  $Z$ , auquel est additionné le contenu du registre  $Y$ .
- 2) le registre  $P$ , contenant les poids forts de  $Z$ , auquel est additionné le débordement du registre  $R$ .

On aboutit à la représentation suivante :



...

Fig I-4

Les registres Y , R et P ont la même capacité.

Le registre P représente le registre Y d'un autre intégrateur. Une suite de plusieurs intégrateurs sera donc représentée comme suit :

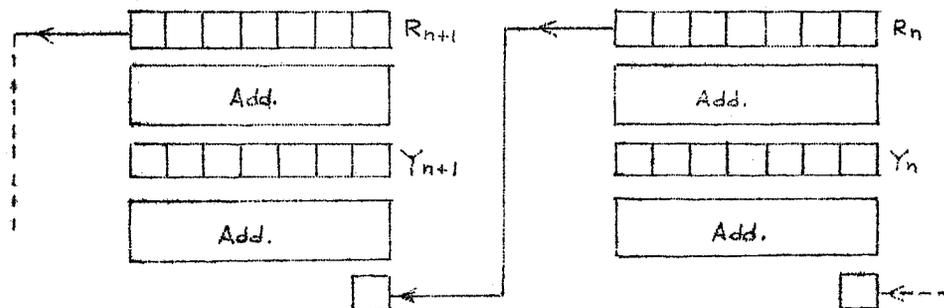


Fig I-5

### Notion d'incrément

La liaison entre opérateurs ne s'effectue donc pas par des nombres mais par transmission des débordements d'un registre (R).

Le poids de ces débordements est égal au poids le plus faible du contenu du registre P, soit  $2^{-q}$ .

Le débordement peut prendre 3 valeurs :

$$+ 2^{-q} \quad , \quad 0 \quad , \quad - 2^{-q}$$

que l'on peut noter :

$$+ 1 \quad \quad \quad 0 \quad \quad \quad - 1$$

...

### Notation

Pour un registre contenant une fonction  $y$ , les débordements sont notés  $I_y$  et appelés : "Incréments de la fonction  $y$ ".

Ces incréments pouvant prendre trois valeurs, nous les appellerons incrément ternaires.

### Constitution d'un intégrateur :

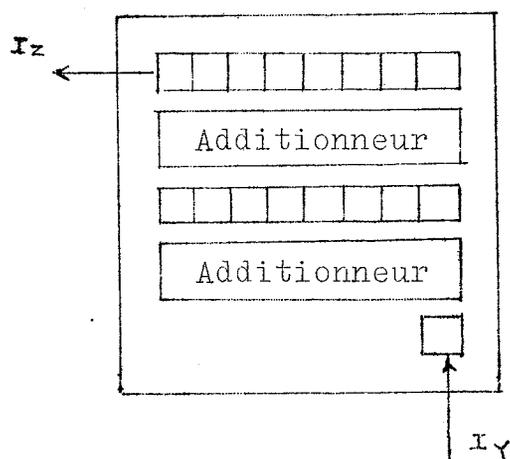


Fig I-6

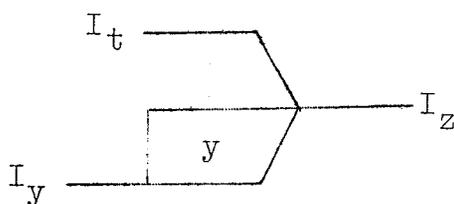
L'intégrateur est un opérateur ayant :

- une entrée  $I_y$  qui reçoit les incréments correspondant aux variations de la fonction  $Y$
- une sortie  $I_z$  qui donne les incréments correspondant aux variations de l'intégrale  $z$ .

- L'intégrateur constitue l'organe essentiel d'un analyseur différentiel digital.
- Le principe de transmission des variations des variables, et non des variables elles-mêmes, est à la base des analyseurs différentiels digitaux.

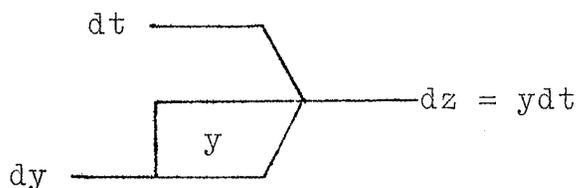
### Représentations symboliques

Un intégrateur est symbolisé de la manière suivante :



- $y$  : intégrande  
 $I_y$  : incrément d'entrée  
 $I_z$  : incrément de sortie  
 $I_t$  : incrément de la variable d'intégration  $t$  ;  
 l'addition du contenu de  $Y$  à celui de  $R$  s'effectue  
 chaque fois que  $t$  croit d'une quantité égale au pas  
 de calcul  $h = 2^{-p}$

On utilise une autre notation, plus pratique, dite notation différentielle :



I-13 - Autres opérations élémentaires réalisables avec un A.D.D.

I-13.1 - Intégration par rapport à une variable quelconque

$$z(t) = \int_{t_0}^t y \, dx$$

$x = x(t)$  est une variable obtenue par ses variations dans l'analyseur.

En appliquant la méthode des rectangles on obtient :

$$(z)_{n+1} = (z)_n + (y)_n \left[ (x)_{n+1} - (x)_n \right]$$

que l'on peut écrire :

$$(z)_{n+1} = (z)_n + y_n (Ix)_n$$

$(Ix)_n$  est l'incrément correspondant à la variation de  $x$  du pas  $n$  au pas  $n + 1$

Cet incrément pouvant prendre trois valeurs, l'intégration se fait par trois opérations :

- addition de  $Y$  à  $R$                     si  $Ix = 2^{-q}$
- soustraction de  $Y$  à  $R$                 si  $Ix = -2^{-q}$
- contenu de  $R$  inchangé                si  $Ix = 0$

L'intégration, par rapport à une variable quelconque, se réalise de manière analogue à l'intégration par rapport au temps.

L'additionneur réalisant l'addition de  $Y$  à  $R$  devient un additionneur-soustracteur.

L'intégrateur est ainsi constitué :

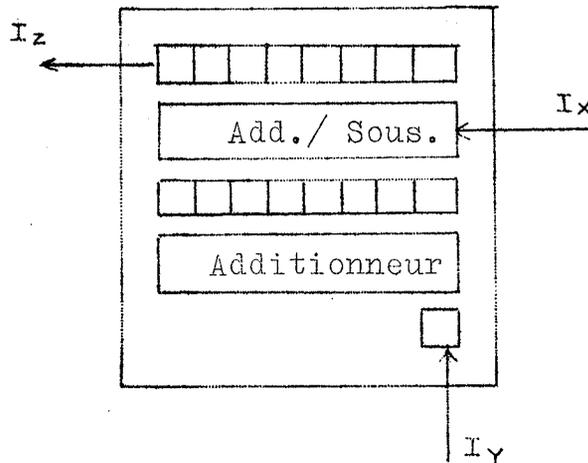
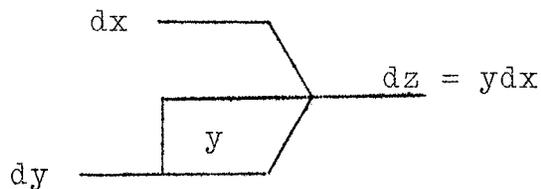


Fig I-7

Notation symbolique



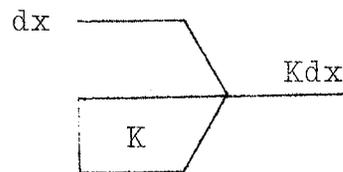
I-13.2 - Multiplication par une constante

On réalise  $z = K x$

par  $z = K x_0 + \int_{x_0}^x K du$

Ceci est réalisé par un intégrateur dont le registre Y contient la constante K - L'entrée Iy ne reçoit aucun incrément - L'entrée Ix reçoit les incréments de la variable x.

...

Notation symbolique

Remarque : Pratiquement, on utilise pour la multiplication par une constante un organe distinct de l'intégrateur et plus simple.

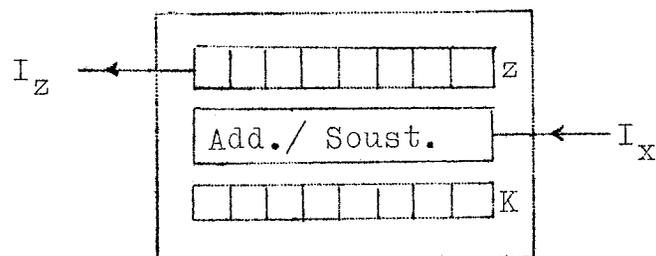


Fig I-8

I-13.3 - AdditionAddition sur une entrée I<sub>y</sub>

La variation du registre Y doit être égale à la somme de plusieurs incréments provenant d'autres intégrateurs.

- les incréments  $(Iy_1)_i$   $(Iy_2)_i$  ...  $(Iy_n)_i$  sont additionnés par comptage pour former un nombre binaire  $(\Delta y)_i$
- $(\Delta y)_i$  est additionné au contenu du registre Y.

Le schéma de l'intégrateur devient :

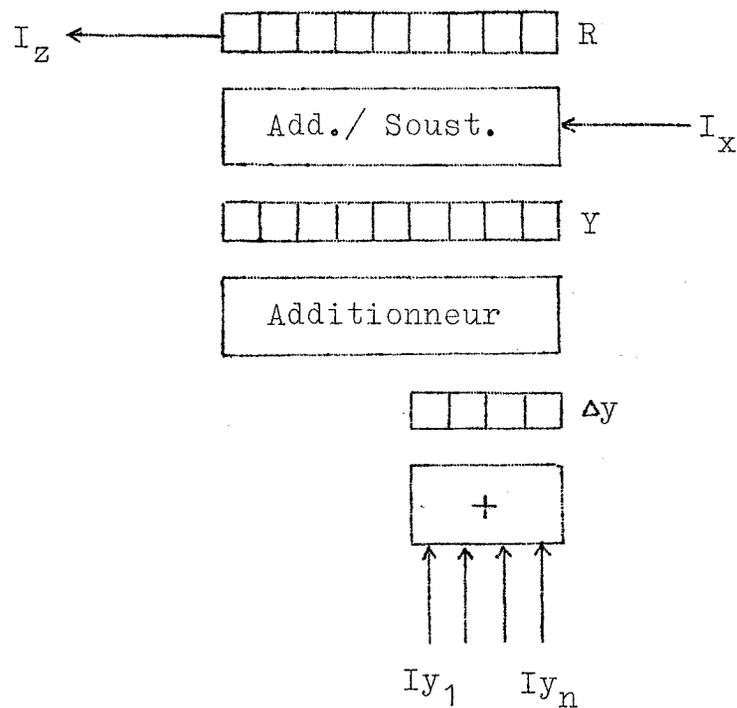
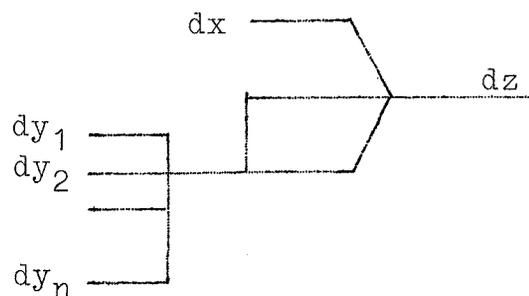


Fig I-9

Les incréments  $Iy_1$  ,  $Iy_2$  ...  $Iy_n$  doivent avoir le même poids.

Notation :



I-13.4 - Autres opérations

Toute opération pouvant être mise sous forme différentielle est réalisable avec l'A.D.D.

Examinons, en particulier, la multiplication de deux variables qui peut être considérée comme opération élémentaire soit à réaliser

$$z = xy$$

on désire obtenir les incréments  $I_x$  à partir des incréments  $I_x$  et  $I_y$ .

L'équation précédente peut s'écrire :

$$z = z_0 + \int_{x_0}^x y \, dx + \int_{y_0}^y x \, dy$$

ou, en notation différentielle :

$$dz = xdy + ydx$$

Ceci est réalisable à l'aide des deux intégrateurs et d'un additionneur (compteur)

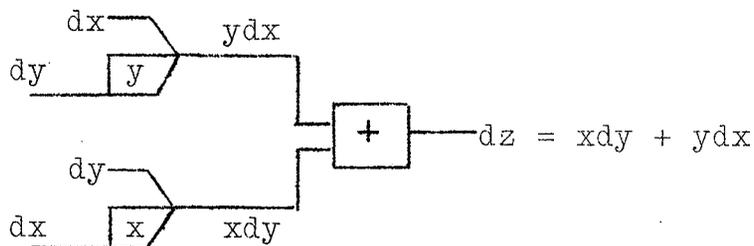


Fig I-10

## I-14 - Conclusion

Un analyseur différentiel digital est caractérisé par la transmission des variations des grandeurs et non des grandeurs elles-mêmes.

Ceci apporte de nombreuses simplifications :

- simplification des liaisons entre opérateurs
- réduction de la multiplication à une addition
- réduction de l'addition à un comptage.

Ainsi, il est possible de réaliser :

- l'addition
- la multiplication par une constante
- la multiplication de deux variables
- l'intégration par rapport à la variable indépendante  $t$
- l'intégration par rapport à une variable quelconque.

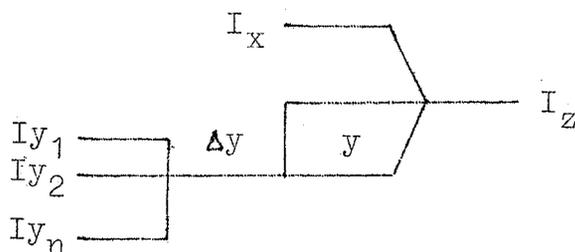
Et, plus généralement, toutes les opérations pouvant se mettre sous forme différentielle.

## I-2 - DIFFERENTS OPERATEURS D'UN ANALYSEUR DIFFERENTIEL DIGITAL

Après avoir étudié les différentes opérations réalisables, nous allons préciser les différents types d'opérateurs qui entrent dans la constitution d'un analyseur différentiel digital.

On distingue les opérateurs suivants :

- intégrateur
- multiplieur
- comparateur.

I-21 - Intégrateur

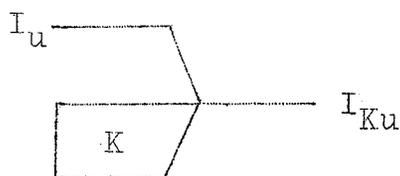
Cet opérateur est muni à son entrée  $\Delta y$  d'un compteur d'incrément.

Il reçoit les incréments  $I_x$  de la variable d'intégration.

Il émet les incréments  $I_z$  de l'intégrale.

Cet intégrateur nécessite :

- 1 registre Y et 1 registre Z
- 2 additionneurs.

I-22 - Multiplieur

Cet opérateur reçoit les incréments  $I_u$  de la variable à multiplier.

Il émet les incréments du produit  $K_u$

Il nécessite :

- 1 registre K et 1 registre  $K_u$
- 1 additionneur.

## I-23 - Comparateur

Un analyseur différentiel digital est également muni d'un opérateur spécial qui permet de traiter les problèmes non linéaires.

Cet opérateur est appelé comparateur.

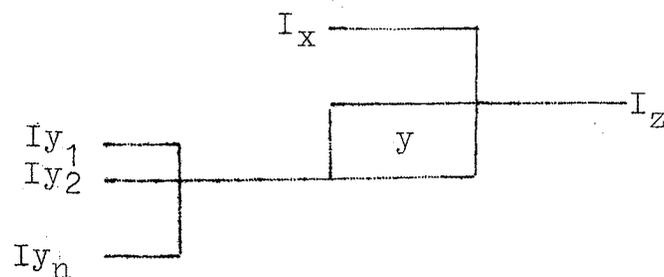
### I-23.1 - Fonctionnement du comparateur

Cet organe comprend :

- un registre Y
- une entrée  $I_y$
- une entrée  $I_x$
- une sortie  $I_z$  dont la valeur est définie par la matrice logique suivante :

$I_x$	-1	0	+1
$y > 0$	-1	0	+1
$y = 0$	0	0	0
$y < 0$	+1	0	-1

Le comparateur réalise la comparaison de Y à 0.  
On le représente de la manière suivante :



## I-23.2 - Utilisation du comparateur

Donnons simplement quelques exemples d'utilisation :

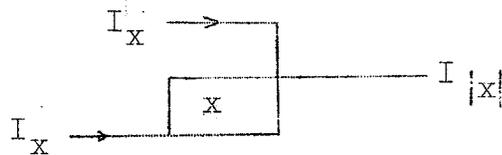
### 1) Valeur absolue

Il faut donner les incréments de  $z = |x|$

$$I |x| = Ix \quad \text{si } x > 0$$

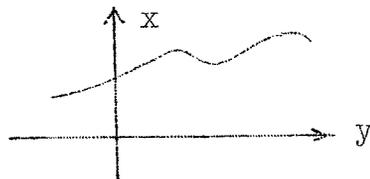
$$I |x| = -Ix \quad \text{si } x < 0$$

Ceci est réalisé de la manière suivante :

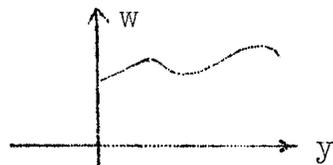


### 2) Circuit porte

Nous avons



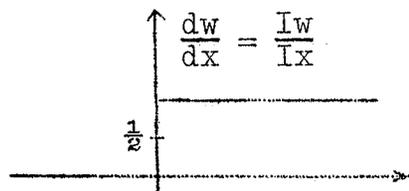
Nous voulons réaliser



$$w = 0 \quad \text{pour } y < 0$$

$$w = x \quad \text{pour } y > 0$$

C'est-à-dire :



$$Iw = 0 \quad \text{pour } y < 0$$

$$Iw = \frac{1}{2} Ix \quad \text{pour } y = 0$$

$$Iw = Ix \quad \text{pour } y > 0$$

Le comparateur réalise :

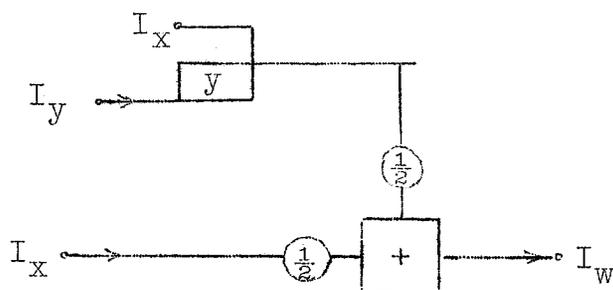
$$I_z = -I_x \quad \text{si } y < 0$$

$$I_z = 0 \quad \text{si } y = 0$$

$$I_z = I_x \quad \text{si } y > 0$$

$I_w = \frac{1}{2} [I_z + I_x]$  est solution du problème.

D'où le schéma :



Si l'on introduit  $(y-a)$  ( $a = \text{constante}$ ) dans le registre du comparateur, la porte est commandée pour  $y = a$ .

On peut ainsi réaliser des seuils et des saturations.

### 3) Autres applications

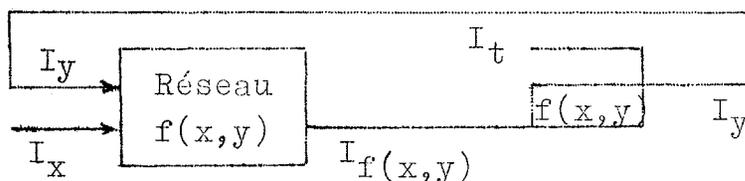
- Réalisation de fonctions à dérivée première discontinue (exemple : fonction dent de scie.)
- Approximation d'une courbe quelconque par des segments de droite.
- Génération de fonctions inverses.

4) Réalisation d'asservissement

Connaissant les incréments d'une variable  $x$  on désire créer les incréments d'une variable  $y$  satisfaisant la relation :

$$f(x, y) = 0$$

Dans le cas où  $\frac{\partial f}{\partial y} < 0$  ceci est réalisé par le schéma suivant :



On asservit  $f(x, y)$  à être nul.

Si  $f(x, y) = +\varepsilon > 0$  le comparateur émet des incréments  $I_y$  positifs. Ces incréments font diminuer  $f(x, y)$ ,  $\frac{\partial f}{\partial y}$  étant négatif.

Si  $f(x, y) = -\varepsilon < 0$  le comparateur émet des incréments  $I_y$  négatifs qui font augmenter  $f(x, y)$ .

Dans le cas où  $\frac{\partial f}{\partial y} > 0$  on ramène la valeur  $-I_y$ .

I-24 - Opérateur composé

On ne possède pas, en fait, deux opérateurs distincts, intégrateur et comparateur, mais un seul opérateur pouvant fonctionner soit en intégrateur, soit en comparateur.

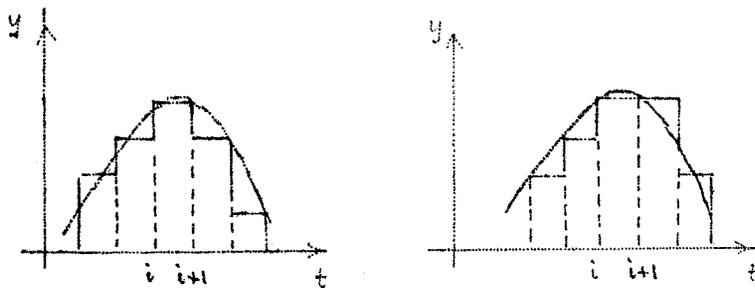
Remarque : Formules d'intégration

Dans la méthode des rectangles, on peut utiliser les deux formules suivantes :

$$(1) \quad Z_{i+1} - Z_i = h Y_{i+1}$$

$$(2) \quad Z_{i+1} - Z_i = h Y_i$$

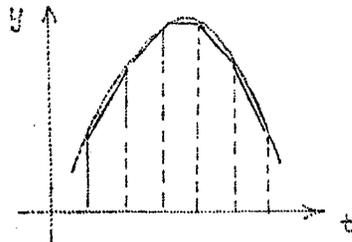
qui correspondent aux deux figures suivantes :



Afin d'améliorer la précision, on utilise également la formule des trapèzes.

$$Z_{i+1} - Z_i = h \left[ Y_i + \frac{1}{2} [Y_{(i+1)} - Y_i] \right]$$

qui correspond à la figure :



Mais, pour tenir compte des retards introduits par la transmission des incréments, on utilise deux formules d'intégration.

En effet, au cours d'un même pas, on a des opérateurs qui utilisent des incréments produits au pas précédent et d'autres opérateurs qui utilisent des incréments produits au pas présent.

Les deux formules sont les suivantes :

1) formule d'interpolation

$$Z_{i+1} - Z_i = Y_{i+1} - \frac{1}{2} (Y_{i+1} - Y_i) h$$

2) formule d'extrapolation

$$Z_{i+2} - Z_{i+1} = Y_{i+1} + \frac{1}{2} (Y_{i+1} - Y_i) h$$

L'intégrateur-comparateur fonctionne :

- soit en méthode des rectangles
- soit en méthode des trapèzes, suivant ces deux formules.

### I-3 - PRINCIPE D'ORGANISATION DES ANALYSEURS DIFFERENTIELS DIGITAUX

Nous disposons d'opérateurs permettant de réaliser les opérations suivantes :

- addition
- multiplication
- intégration
- comparaison.

Pour organiser, autour de ces opérateurs, un calculateur, deux possibilités sont à envisager :

### I-31 - Calculateur de type simultané

Les différents opérateurs utilisés pour la résolution d'un problème opèrent tous simultanément.

Chaque opérateur comprend les registres et les circuits logiques nécessaires à son fonctionnement. Les liaisons entre les différents opérateurs constituent le programme. Elles sont réalisées par câblage.

Ce type de calculateur destiné généralement à faire de la simulation de phénomènes très rapides exige un matériel très important - proportionnel à la complexité des problèmes à résoudre -.

### I-32 - Calculateur de type successif

Les différents opérateurs travaillent successivement. Ce type de calculateur ne comporte qu'un seul bloc arithmétique et logique qui est affecté successivement aux différentes opérations.

Il exige donc :

- une mémoire
- un programme.

Ce type de calculateur exige un matériel beaucoup moins important que le précédent.

Par contre, sa vitesse est beaucoup plus réduite. C'est un analyseur différentiel digital de ce type que nous avons réalisé.

### I-33 - Description sommaire de l'analyseur réalisé

Nous ne nous attarderons pas sur cette description ; l'étude en a été faite par M. MELROSE.

Ce calculateur comprend N opérateurs traités successivement par un seul bloc de calcul.

Les calculs relatifs au pas  $i$  sont effectués pour tous les opérateurs  $O_1$   $O_2$  ...  $O_n$  successivement.

Une fois tous les calculs faits pour chaque opérateur on passe au pas suivant  $i + 1$ .

Le bloc arithmétique reçoit par programme :

- la fonction à réaliser
- les formules mathématiques à utiliser
- les adresses d'extraction et de rangement des incréments
- les changements éventuels de signe des incréments.

Les nombres, contenus des registres, ainsi que le programme sont inscrits sur un tambour magnétique fonctionnant en ligne à retard.

On a ainsi :

- 1 piste R
- 1 piste Y
- 1 piste Ku
- 1 piste K
- 4 pistes de programme.

Les informations sont donc données sous forme série.  
La fréquence de base est de 70 kHz.

Un registre contient 24 digits. Le temps de défilement d'un registre est appelé cycle mineur.

Le nombre total de registres est de 44.

Le temps de défilement de 44 registres - 15 ms environ est appelé cycle majeur.

On obtient - pour des intégrateurs par exemple -  
l'organisation donnée à la fig I-11

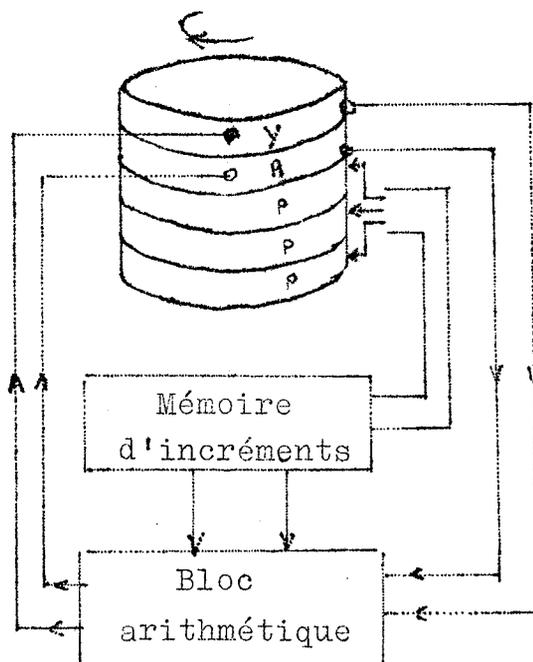


Fig I-11

Pour un opérateur  $i$  on a la disposition relative piste de calcul - programme suivante :

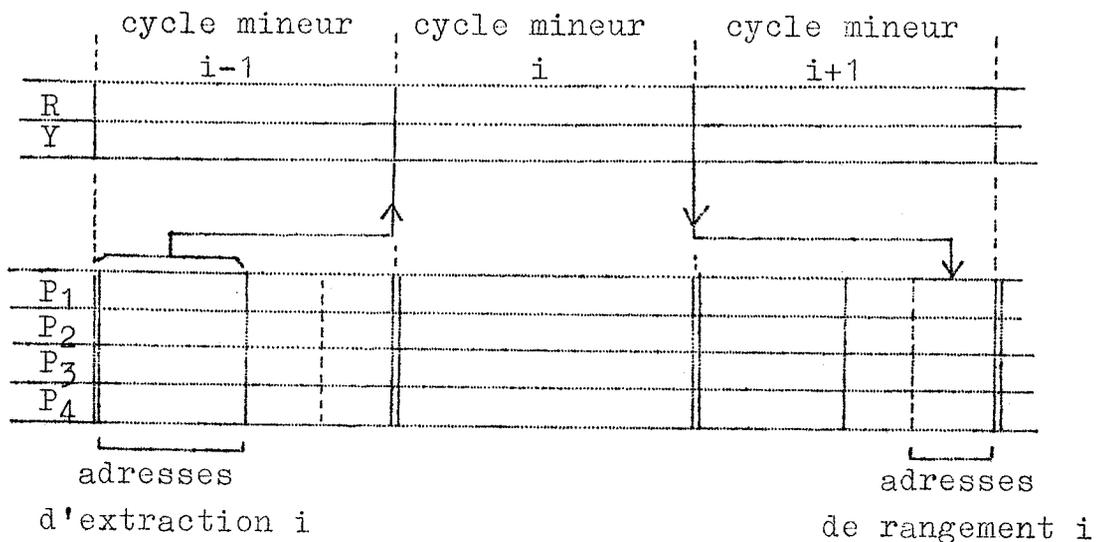


Fig I-12

#### I-34 - Mémoire d'incrément

Les incréments émis par l'opérateur  $i$  doivent être utilisés ultérieurement par d'autres opérateurs (par l'opérateur  $n$  par exemple)

Il est donc nécessaire de les inscrire dans une mémoire d'incrément - à une adresse déterminée -. Ils seront lus à cette même adresse avant leur utilisation par l'opérateur  $n$ .

Cette mémoire d'incrément doit être :

- 1) ternaire
- 2) rapide

3) elle doit conserver l'information pendant la durée d'un cycle majeur.

Deux solutions pouvaient être envisagées :

- 1°) utiliser, pour conserver l'incrément, deux mémoires binaires une pour le signe et une pour le module de l'incrément.
- 2°) traduire l'incrément en valeur vraie (+ 1 , 0 , - 1) et le ranger dans une mémoire ternaire.

C'est une mémoire du 2ème type qui a été réalisée. L'élément mémoire choisi est une capacité.

#### I-4 - GENERALITES LOGIQUES et TECHNOLOGIQUES

La plupart des circuits utilisés pour la réalisation des éléments de l'analyseur différentiel digital sont des circuits logiques.

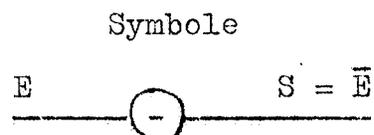
Afin de faciliter la compréhension des différents schémas logiques, nous définissons ci-après les conventions utilisées.

#### I-41 - Opérations logiques - Symboles utilisés

##### 1. Complément ou fonction PAS

Elle correspond au tableau suivant :

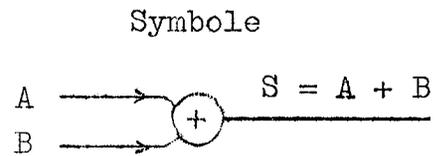
E	S = $\bar{E}$
0	1
1	0



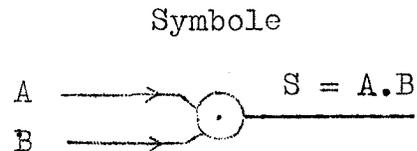
...

2. Réunion ou fonction OU

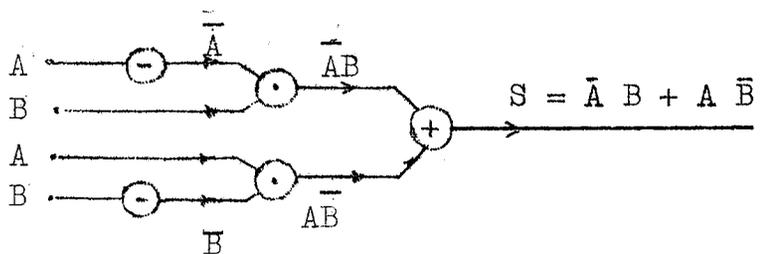
A	B	$S = A + B$
0	0	0
0	1	1
1	0	1
1	1	1

3. Intersection ou fonction ET

A	B	$S = A \cdot B$
0	0	0
0	1	0
1	0	0
1	1	1

4. Exemple d'utilisation : Disjonction

A	B	$S = \bar{A} \cdot B + A \cdot \bar{B}$
0	0	0
0	1	1
1	0	1
1	1	0



## I-42 - Circuits logiques utilisés - Symboles

### I-42.1 - Généralités

Nous utiliserons une technologie à base de circuits à transistors et à diodes.

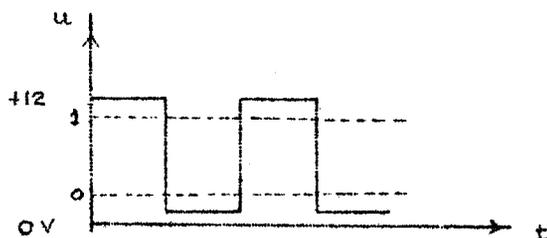
Il existe de très nombreux types de circuits utilisant cette technologie mais pour les raisons suivantes :

- standardisation
- simplification de la conception des ensembles
- facilité de dépannage éventuel.

nous nous limiterons à un nombre minimal de circuits définis ci-après :

### I-42.2 - Convention

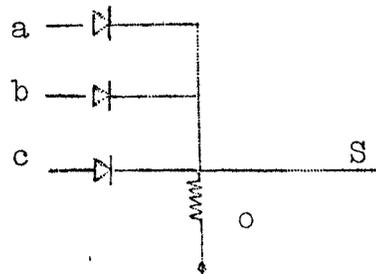
Nous utiliserons la convention dite "logique positive". On affecte à la tension la plus positive la valeur + 1 et la valeur 0 à la tension la moins positive.



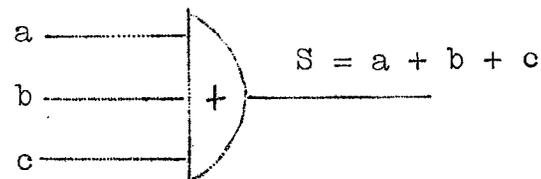
Niveau 0 v	:	0
Niveau + 12 v	:	1

### I-42.3 - Circuit logique à diodes

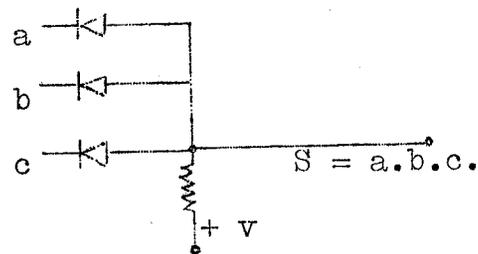
#### Circuit OU



#### Symbole

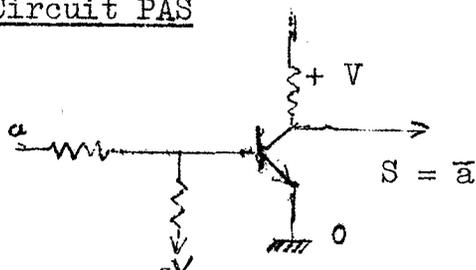
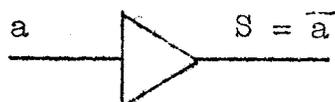


#### Circuit ET

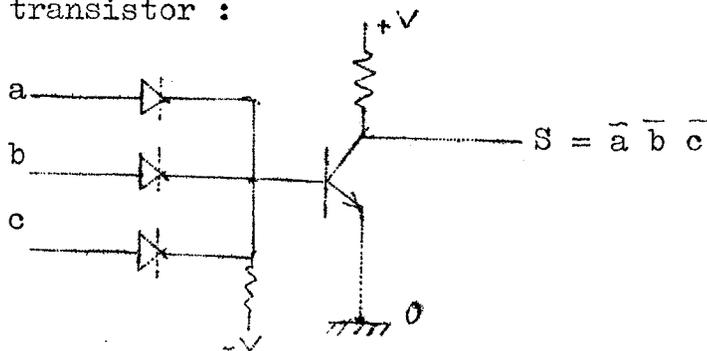
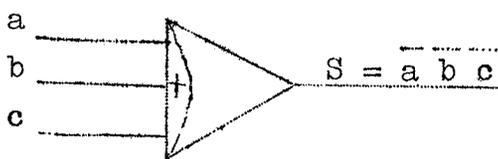


Ce dernier type de circuit à diode n'est utilisé qu'associé avec un transistor (voir plus loin).

*pour quel ?*

I-42.4 - Circuit logique à transistorCircuit PASSymboleCircuit NOR

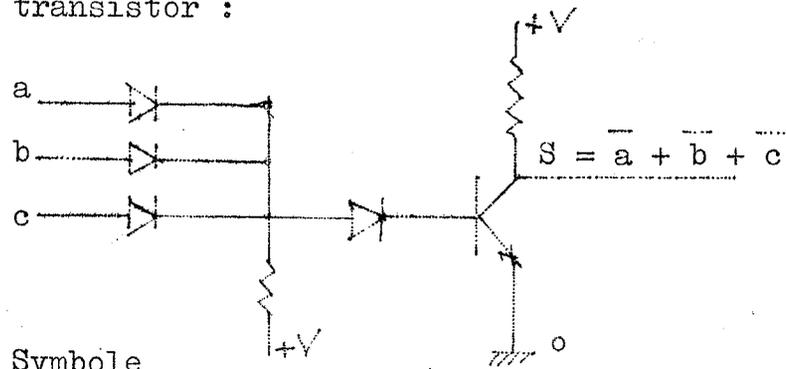
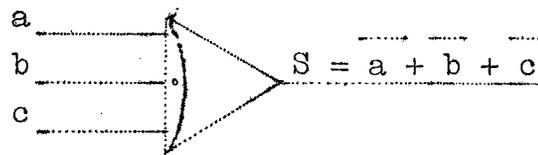
C'est l'association d'un OU à diodes et d'un PAS à transistor :

Symbole

...

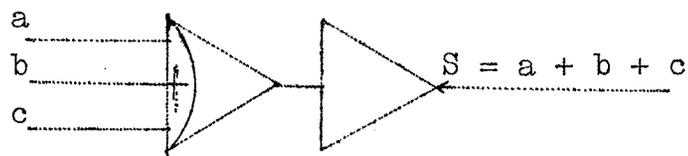
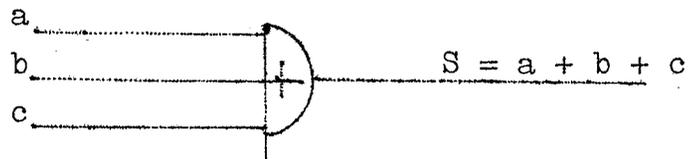
Circuit NAND

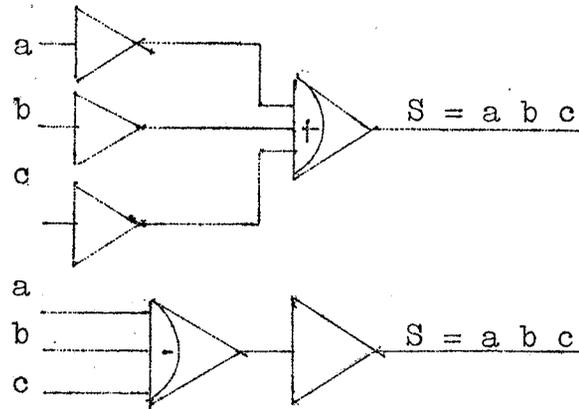
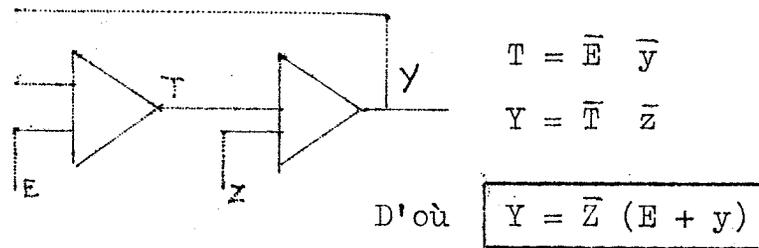
C'est l'association d'un ET à diodes et d'un PAS à transistor :

Symbole

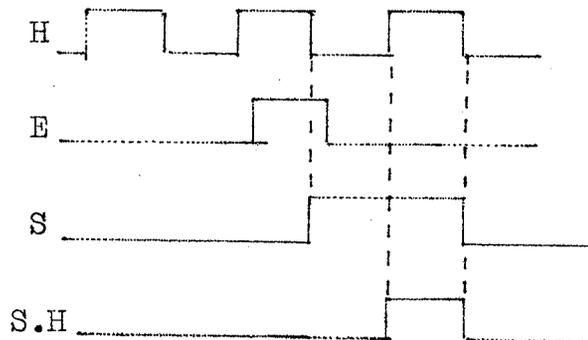
Nous utiliserons surtout :

- les circuits OU à diodes
- les circuits NOR à transistor.

I-42.5 - Réalisation de fonctions logiques1) Fonction OU

2) Fonction ET3) Fonction mémoire RS4) Circuit station de registre

Ce circuit permet de recadrer une impulsion en retard par rapport à l'horloge, sur l'impulsion suivante d'horloge :



quand  $H$  passe de 1 à 0,  $S$  passe à 0 si  $E = 0$   
à 1 si  $E = 1$

Etude séquentielle

- Tableau d'états

$e_1 \ e_2$	00	01	11	10
	①	2		3
	1	②		
	1		4	③
		2	④	5
	6		8	⑤
	⑥	7		
	1	⑦	8	
			⑧	

$s_1$  : E

$e_2$  : H

S = 0 pour les états 1-2-3-4.

S = 1 pour les états 5-6-7-8.

- Tableau réduit

$e_1 \ e_2$	00	01	11	10
	①	②	4	③
		2	④	5
	⑥	7	⑧	⑤
	1	⑦	8	

$S = y_1$

$\overline{S} = \overline{y_1}$

$e_1 \ e_2$ $y_1 \ y_2$	00	01	11	10
00	①①	②②	01	③③
01	-	00	01	11
11	④④	10	⑤⑤	⑥⑥
10	00	⑦⑦	11	

$y_1 \ y_2$

$y_1$  et  $y_2$  sont réalisés par des bascules R S

$y \rightarrow Y$	R S	R S
0 $\rightarrow$ 0	$\emptyset$ 0	$\emptyset$ 0 ou 11
0 $\rightarrow$ 1	0 1	0 1
1 $\rightarrow$ 0	1 0	1 $\emptyset$
1 $\rightarrow$ 1	0 $\emptyset$	0 $\emptyset$
	1	2

...

- 1) : Si l'on désire des sorties complémentaires (cas de  $y_1$ )  
 2) : Si l'on ne s'intéresse qu'à  $y$ .

On obtient les tableaux suivants :

	00	01	11	10
00	$\emptyset\emptyset$	$\emptyset\emptyset$	$\emptyset\emptyset$	$\emptyset\emptyset$
01	-	$\emptyset\emptyset$	$\emptyset\emptyset$	01
11	$0\emptyset$	$0\emptyset$	$0\emptyset$	$0\emptyset$
10	10	$0\emptyset$	$0\emptyset$	-

$R_1 \quad S_1$

	00	01	11	10
00	$\begin{pmatrix} \emptyset\emptyset \\ 11 \end{pmatrix}$	$\begin{pmatrix} \emptyset\emptyset \\ 11 \end{pmatrix}$	01	$\begin{pmatrix} \emptyset\emptyset \\ 11 \end{pmatrix}$
01	-	$1\emptyset$	$0\emptyset$	$0\emptyset$
11	$0\emptyset$	$1\emptyset$	$0\emptyset$	$0\emptyset$
10	$\begin{pmatrix} \emptyset\emptyset \\ 11 \end{pmatrix}$	$\begin{pmatrix} \emptyset\emptyset \\ 11 \end{pmatrix}$	01	-

$R_2 \quad S_2$

$$R_1 = \bar{e}_2 \bar{y}_2$$

$$S_1 = \bar{e}_2 y_2$$

$$R_2 = \bar{e}_1 e_2 + \underbrace{\bar{e}_1 \bar{y}_2}_{\text{terme non nécessaire simplifiant le schéma.}}$$

$$S_2 = e_2$$

$$\text{avec } e_2 \bar{y}_2 = 0$$

D'où  $\bar{e}_2 \bar{y}_2 = \bar{y}_2$  (sortie complémentaire de la bascule).

On a donc :

$$R_1 = \bar{Y}_2$$

$$R_2 = N_1 (e_1, S_1)$$

$$S_1 = N_1 (e_2, \bar{Y}_2)$$

$$S_2 = e_2$$

On en déduit le schéma à Ni - Fig I-13

...

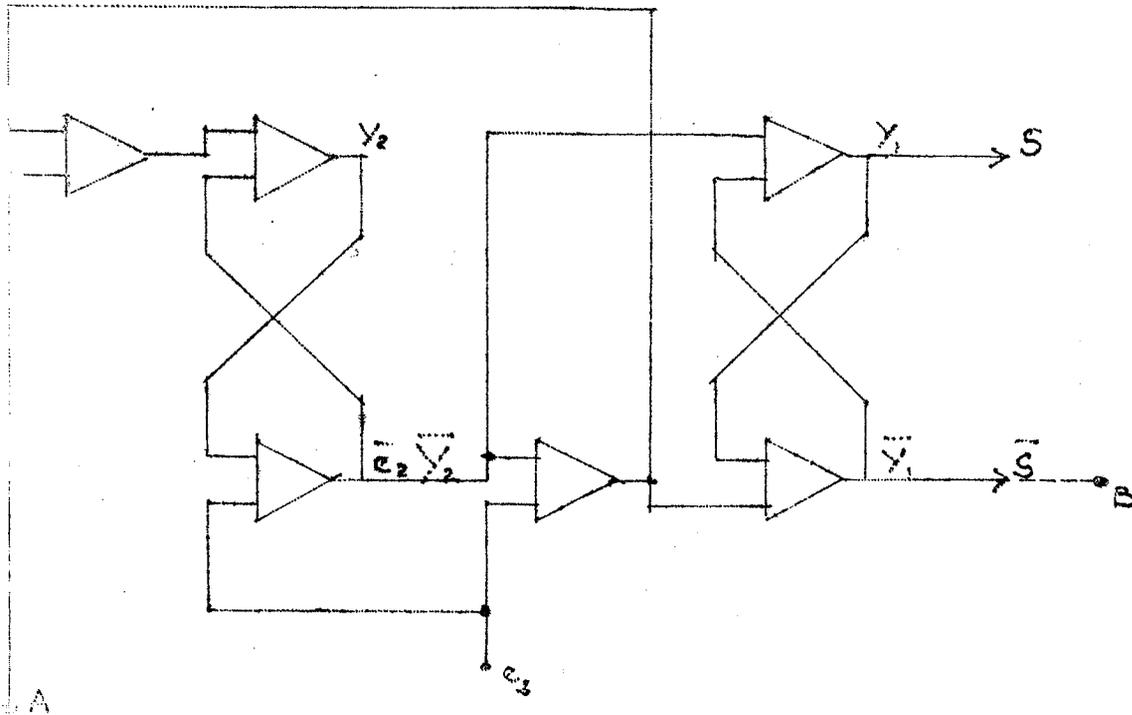


Fig I-13

Bascule logique

Fonction réalisée :

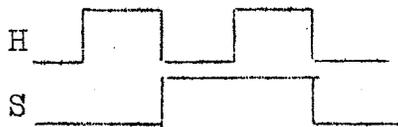


Tableau d'états

$H = e_2$	0	1
	①	2
	3	②
	③	4
	1	④

		$e_2$		
			0	1
$y_1$	$y_2$			
	00	①	00	01
	01	11	②	①
	11	③	①	10
	10	00	④	②

Sortie = 1 pour les états 3 et 4.

...

On obtient :

$y_1$	$e_2$	
	$y_2$	
	0	1
00	$\emptyset$	$\emptyset$
01	01	$\emptyset$
11	$\emptyset$	$\emptyset$
10	10	$\emptyset$
$R_1$	$S_1$	

$y_1$	$e_2$	
	$y_2$	
	0	1
00	$\left\{ \begin{array}{l} \emptyset 0 \\ 1 1 \end{array} \right.$	01
01	$\emptyset$	$\emptyset$
11	$\emptyset$	1 $\emptyset$
10	$\left\{ \begin{array}{l} \emptyset 0 \\ 1 1 \end{array} \right.$	$\left\{ \begin{array}{l} \emptyset 0 \\ 1 1 \end{array} \right.$
	$R_2$	$S_2$

$$R_1 = \bar{e}_2 \bar{y}_2$$

$$S_1 = \bar{e}_2 y_2$$

$$R_2 = e_2 y_1 + y_1 \bar{y}_2$$

$$S_2 = e_2$$

$$\text{Sortie} = y_1$$

On remarque que ces équations s'obtiennent à partir de celles de la station du registre en faisant  $e_i = y_1$

Il suffit donc, pour réaliser une bascule logique, de relier dans le circuit d'une station de registre la sortie complémentaire à l'entrée  $e_1$  (relier les points A et B sur le schéma fig I-13 ).

#### I-42.6 - Circuits utilisés

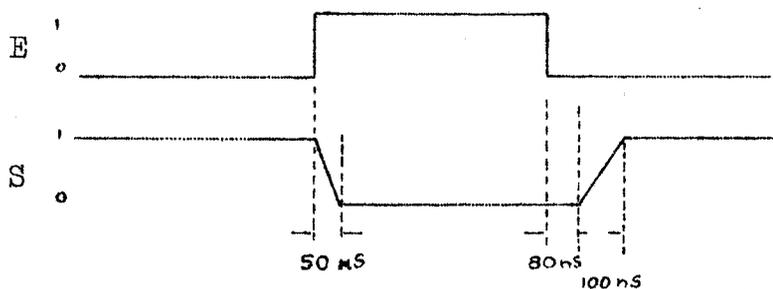
Nous utilisons des circuits logiques commercialisés par la Société MORS. Ils réalisent les fonctions suivantes :

- NOR (Ni) : 5 NOR par plaquette
- NAND : 4 NAND par plaquette
- Station de registre (transformable en bascule logique).

Ces circuits sont réalisés à l'aide de transistors NPN silicium : 2 N 706.

...

Caractéristiques approximatives d'un élément NOR :



I-43 - Représentation des nombres

I-43.1 - Le code

Le code adopté est le code binaire pur.

Avantage :

- Réduction du matériel de  $1/3$  par rapport au décimal codé binaire.
- Simplification de la constitution de différents organes.

Inconvénient :

- Complexité plus grande pour le décodage.

Le mode binaire série est imposé par la nature même du calculateur (type successif à tambour magnétique).

I-43.2 - Position de la virgule

Les nombres sont représentés en convention fractionnaire.

La virgule est placée à gauche du rang binaire de poids le plus élevé.

Tous les nombres décimaux traités doivent être inférieurs à l'unité en valeur absolue.

...

I-43.3 - Mots machine

Les registres ont une longueur de 24 positions numériques notée  $d_0$  à  $d_{23}$ .



L'organisation d'un registre est la suivante :

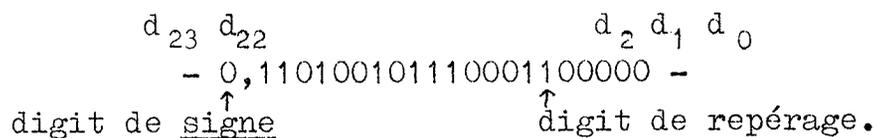
- $d_0$  : position de garde.  
 $d_0$  sert à certaines remises à zéro,  
à certaines opérations particulières.

- $d_1$  à  $d_{22}$  : mot machine.

- $d_{23}$  : digit d'imparité.

$$\begin{aligned} d_{23} &= 0 && \text{si } d_1 + d_2 + \dots + d_{22} = \text{nombre impair} \\ d_{23} &= 1 && \text{si } d_1 + d_2 + \dots + d_{22} = \text{nombre pair.} \end{aligned}$$

Le digit d'imparité sert à contrôler qu'aucun digit ne s'est perdu entre l'écriture et la lecture sur le tambour magnétique.

Mot machine

- $d_{22}$  : digit de signe

- $d_{21}$   $d_{20}$  ... digit de valeur absolue

$$\begin{aligned} \text{Poids} &: d_{21} && 2^{-1} \\ & d_{20} && 2^{-2} \\ & d_{19} && 2^{-3} \dots \end{aligned}$$

...

. le premier 1 rencontré en partant de la droite est appelé digit de repérage.

Il ne fait pas partie du nombre proprement dit.

Il sert à fixer la précision du calcul.

Le digit suivant immédiatement le digit de repérage est le digit de poids le plus faible du nombre.

Le sens de défilement est tel que les poids faibles sont en tête.

Capacité maximale (pour la précision maximum)

$$\begin{aligned} 0,111 \dots 1 &= 2^{-1} + 2^{-2} + \dots + 2^{-20} \\ d_{21} \quad d_2 &= 1 - 2^{-20} \\ &= 0,99999905 \end{aligned}$$

Remarque :

On peut utiliser  $d_0$  comme digit de repérage. Mais alors on ne peut contrôler la perte éventuelle de  $d_0$ .

Dans ce cas, la capacité maximale devient :

$$1 - 2^{-21} = 0,99999952$$

Capacité minimale

$$\begin{aligned} 0,000 \dots 0 1 &= 2^{-20} \\ d_{21} \quad d_2 &\simeq 10^{-6} \end{aligned}$$

En utilisant  $d_0$  comme digit de repérage, on obtient :

$$2^{-21} \simeq 5 \cdot 10^{-7}$$

(ci-joint le tableau des puissances négatives successives de 2).

NUMERATION BINAIRE

PUISSANCES ENTIERES NEGATIVES DE DEUX

n	$2^{-n}$
0	1
1	0, 5
2	0, 25
3	0, 125
4	0, 062 5
5	0, 031 25
6	0, 015 625
7	0, 007 812 5
8	0, 003 906 52
9	0, 001 953 125
10	0, 000 976 562 5
11	0, 000 488 281 25
12	0, 000 244 140 625
13	0, 000 122 070 312 5
14	0, 000 061 035 156 25
15	0, 000 030 517 578 125
16	0, 000 015 258 789 062 5
17	0, 000 007 629 394 531 25
18	0, 000 003 814 697 265 625
19	0, 000 001 907 348 632 812 5
20	0, 000 000 953 674 316 406 25
21	0, 000 000 476 837 158 203 125
22	0, 000 000 238 418 579 101 562 5
23	0, 000 000 119 209 289 550 781 25

I-43.4 - Représentation des nombres négatifs

Considérons un nombre  $a > 0$  dont la représentation en code binaire est

$$0, 1 1 0 1 0 1 0$$

(nous nous limitons à 8 digits pour faciliter l'exposé).

Le nombre  $-a$  est représenté par le complément vrai (C.V.) de  $a$  ou complément à  $10,0000000$

$$\begin{array}{rcl} a & : & 0,1101010 \\ -a & : & 1,0010110 = \text{C.V. (a)} \\ \hline a-a & & 10,0000000 \end{array}$$

Remarque :

Le 1 à gauche de la virgule est donc significatif des nombres négatifs.

Pour le calcul du C.V., on peut utiliser le complément restreint (C.R.) ou complément à la capacité maximale du registre (complément logique).

$$\begin{array}{rcl} a & = & 0,1101010 \\ \text{C.R (a)} & = & 1,0010101 \end{array}$$

Règles

a) Le complément vrai d'un nombre s'obtient en ajoutant au complément restreint un digit de poids le plus faible.

$$\begin{array}{rcl} a & : & 0,1101010 \\ \text{C.R (a)} & : & 1,0010101 \\ + & & 0,0000001 \\ \hline \text{C.V (a)} & : & 1,0010110 \end{array}$$

...

b) Pour passer du nombre (a) au nombre (-a) on garde tous les 0 coté poids faibles, à droite du premier 1, ainsi que ce premier 1, puis on complémente ( $0 \rightarrow 1$ ,  $1 \rightarrow 0$ ) tous les chiffres à gauche de ce 1

a	:	0,11010	10
-a	:	1,00101	10

zone complémentée. zone inchangée.

Remarque :

Ces deux règles appliquées à un nombre négatif (-a) redonne le nombre (a).

#### I-43.5 - Correspondance entre les nombres-machine et les nombres-algébriques

Limitons-nous à des nombres de 5 digits :

Nombres machine	Nombres algébriques
	+ 1,0000
0,1111	+ 0,1111
0,1110	+ 0,1110
	....
0,1000	+ 0,1000
	....
0,0001	+ 0,0001
0,0000	0,0000
1,1111	- 0,0001
	....
1,1000	- 0,1000
	....
1,0010	- 0,1110
1,0001	- 0,1111
1,0000	- 1,0000
	...

Avec le nombre de digits utilisé dans l'analyseur,  
on représente les nombres compris dans l'intervalle :

$$- 1 \leq x \leq 0,99999905$$

Il n'y a pas de représentation de + 1  
ni de - 0 .

---

...



II - BLOC DE CALCUL

## II-1 - OPERATEUR COMPOSE

Les principes énoncés plus haut permettent d'obtenir le diagramme fonctionnel de l'opérateur composé (intégrateur-comparateur). Celui-ci est représenté figure II-1.

On remarque que les formules d'intégration d'Adams :

$$(1) \quad Z_{i+1} - Z_i = \left[ y_{i+1} - \frac{1}{2} (y_{i+1} - y_i) \right] h$$

$$(2) \quad Z_{i+2} - Z_{i+1} = \left[ y_{i+1} + \frac{1}{2} (y_{i+1} - y_i) \right] h$$

peuvent s'écrire :

$$(1') \quad Z_{i+1} - Z_i = \left[ y_i + \Delta y_i - \frac{1}{2} \Delta y_i \right] h$$

$$(2') \quad Z_{i+2} - Z_{i+1} = \left[ y_i + \Delta y_i + \frac{1}{2} \Delta y_i \right] h$$

Du diagramme fonctionnel, on déduit le schéma logique de l'opérateur composé donné à la fig II-2.

Nous allons étudier les divers éléments de cet opérateur :

- Contrôle d'imparité; introduction d'imparité.
- Sélection de l'impulsion de repérage.
- Reconstitution d'un nombre à partir de ses poids faibles.
- Additionneur série; additionneur soustracteur.
- Débordement; émission d'incréments.
- Correction après émission d'incréments.
- Comparateur.

...

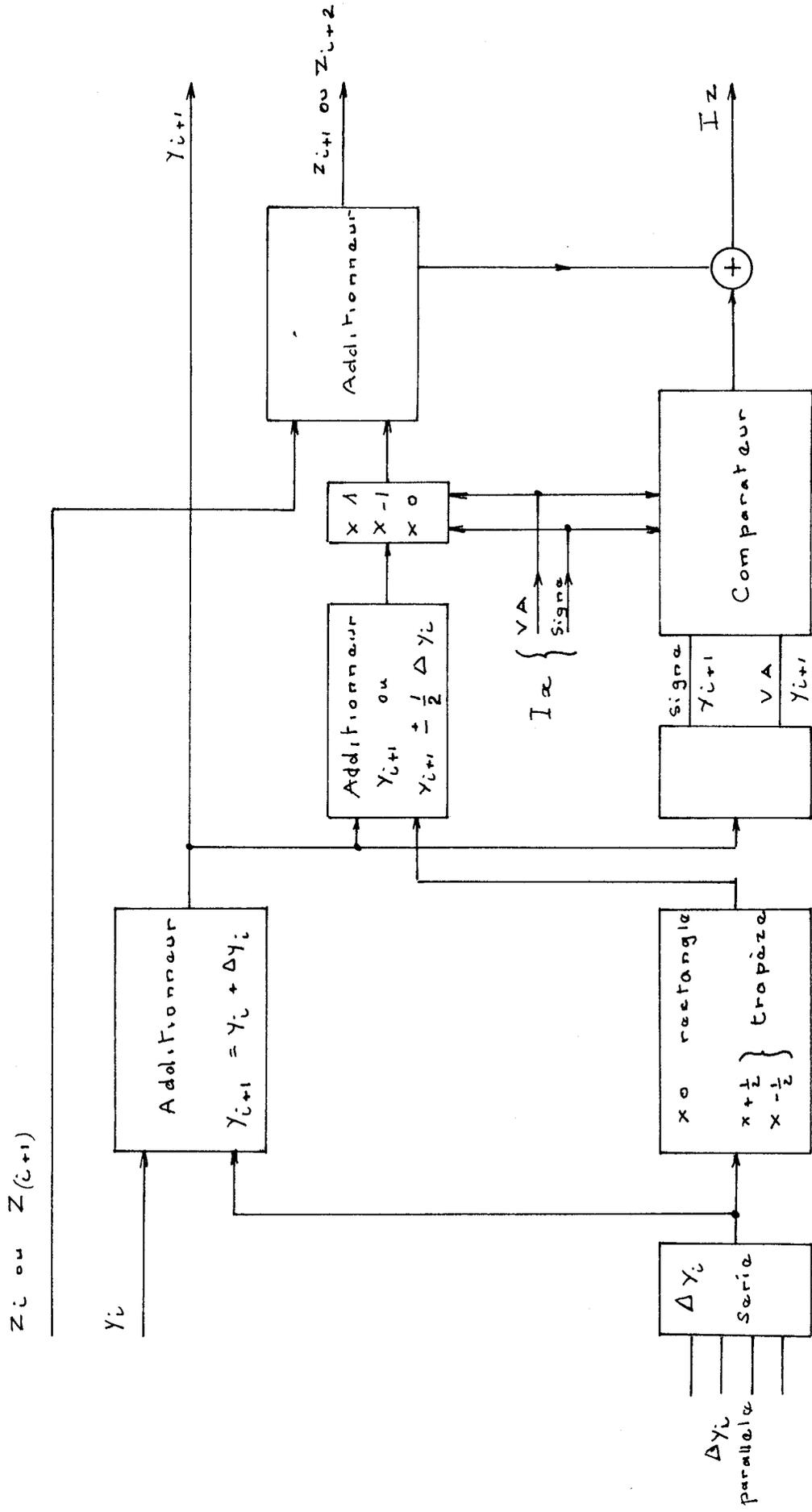


Diagramme fonctionnel de l'opérateur composé

## II-11 - Détection d'erreurs - Digit d'imparité

### II-11.1 - Principe

Lors du transfert d'un nombre codé binaire-série entre deux sections du calculateur, il se peut qu'une erreur s'introduise :

Exemples : Perte d'une impulsion due à la défaillance d'un élément technologique. Brusque variation de vitesse du tambour magnétique due à une chute accidentelle de tension.

Afin d'accroître la sécurité de fonctionnement du calculateur, il est nécessaire tout d'abord d'utiliser :

- 1°) Une technologie de haute sécurité : transistors et composants électroniques triés, etc ...
- 2°) Des ensembles présentant le plus de sécurité dans leur fonctionnement : utilisation de bascules logiques (à niveaux) au lieu de bascules à multivibrateurs bistables (à impulsion)

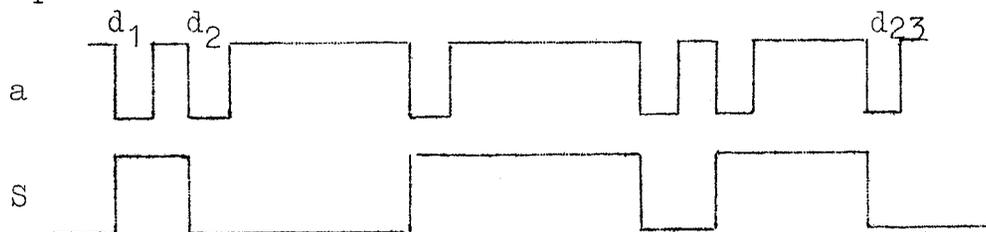
Mais ce genre de précautions ne conduit pas à éliminer totalement le risque d'erreur ; il est donc nécessaire de pouvoir détecter ces erreurs.

On crée, à cette fin, une redondance d'information, par exemple, en ajoutant au nombre un digit de telle manière qu'il contienne toujours un nombre impair (ou pair) de digits "1".

Ce digit est appelé digit d'imparité.



Une bascule logique basculant avec le front de descente des impulsions, il est nécessaire de rentrer le mot complémenté.

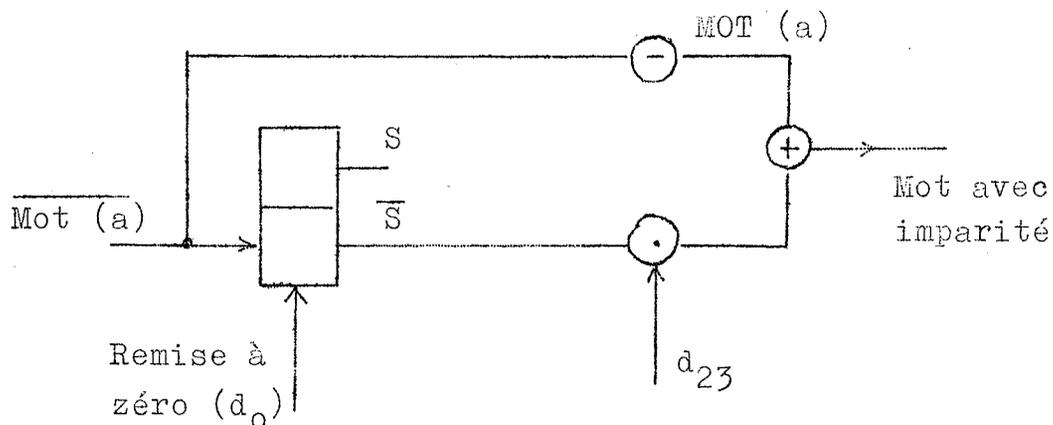


Après le contrôle d'imparité, l'impulsion d'imparité est éliminée du mot.

#### II-11.4 - Introduction de l'impulsion d'imparité

On compte le nombre d'impulsions contenu dans le nombre  $\alpha_1 \alpha_2 \dots \alpha_{22}$

Si ce nombre est pair, on ajoute  $d_{23}$  au nombre. Ceci est réalisé par le schéma suivant :

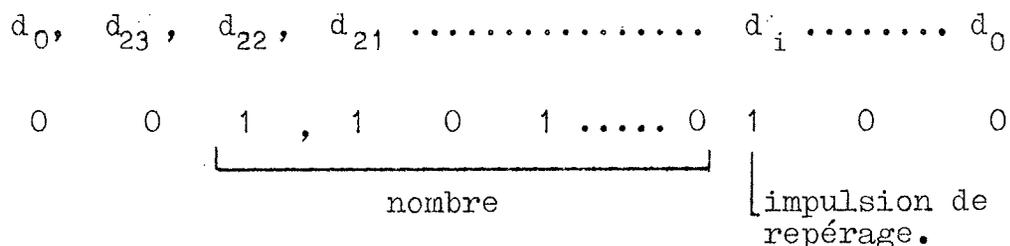


L'introduction de l'impulsion d'imparité se fait avant l'écriture sur le tambour magnétique!

## II-12 - Sélection de l'impulsion de repérage

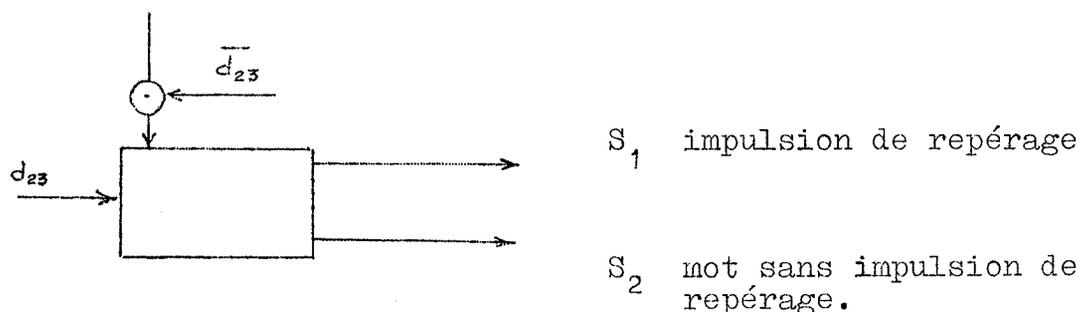
La première impulsion d'un mot sert à le situer. Les impulsions suivantes caractérisent le nombre.

Cette première impulsion est appelée impulsion de repérage. Elle détermine le nombre de digits du nombre, donc le poids du digit de poids le plus faible, c'est-à-dire la précision du calcul.



Il faut :

- d'une part, sélectionner cette impulsion de repérage qui servira à positionner d'autres nombres ( $\Delta y_i$ )
- d'autre part, éliminer cette impulsion de repérage du mot pour avoir le nombre seul.



...

On doit réaliser le tableau séquentiel suivant :

$e_1 = d_{23} \text{ (R A Z)}$	$e_1$	$e_2$	$S_1$				$S_2$							
			00	01	11	10	00	01	11	10				
$e_2 = \text{impulsion du mot.}$			① 2			5	0	1	$\emptyset$	0	0	0	$\emptyset$	0
			3	②			0	1	$\emptyset$	0	0	0	$\emptyset$	0
			③	4		5	0	0	$\emptyset$	0	0	1	$\emptyset$	0
			3	④			0	0	$\emptyset$	0	0	1	$\emptyset$	0
			1			⑤	0	0	$\emptyset$	0	0	0	$\emptyset$	0

Tableau réduit :

$e_1$	$e_2$	00	01	11	10
		①	2		⑤
		3	②		
		③	④		5

		$e_1 e_2$							
$y_1$	$y_2$	00	01	11	10	00	01	11	10
	00				01	00	$\emptyset\emptyset$	$\emptyset\emptyset$	00
	01	01	11		01	00	10	$\emptyset\emptyset$	00
	11	10	11		01	00	10	$\emptyset\emptyset$	00
	10	10	10		01	00	01	$\emptyset\emptyset$	00
						$S_1 S_2$			

On obtient :

$$y_1 = e_2 + e_1' y_1$$

$$y_1' = Ni (e_2, e_1' y_1)$$

$$y_1' = e_1 + e_2' y_1'$$

$$y_2 = e_1 + y_1' + e_2 y_2$$

$$y_2' = Ni (e_1, y_1', e_2 y_2)$$

$$y_2' = e_1' y_2' + e_1' e_2' y_1$$

$$S_1 = e_2 y_2$$

$$S_2 = e_2 y_2' y_1$$

D'où le schéma à Ni. Fig II-3

...

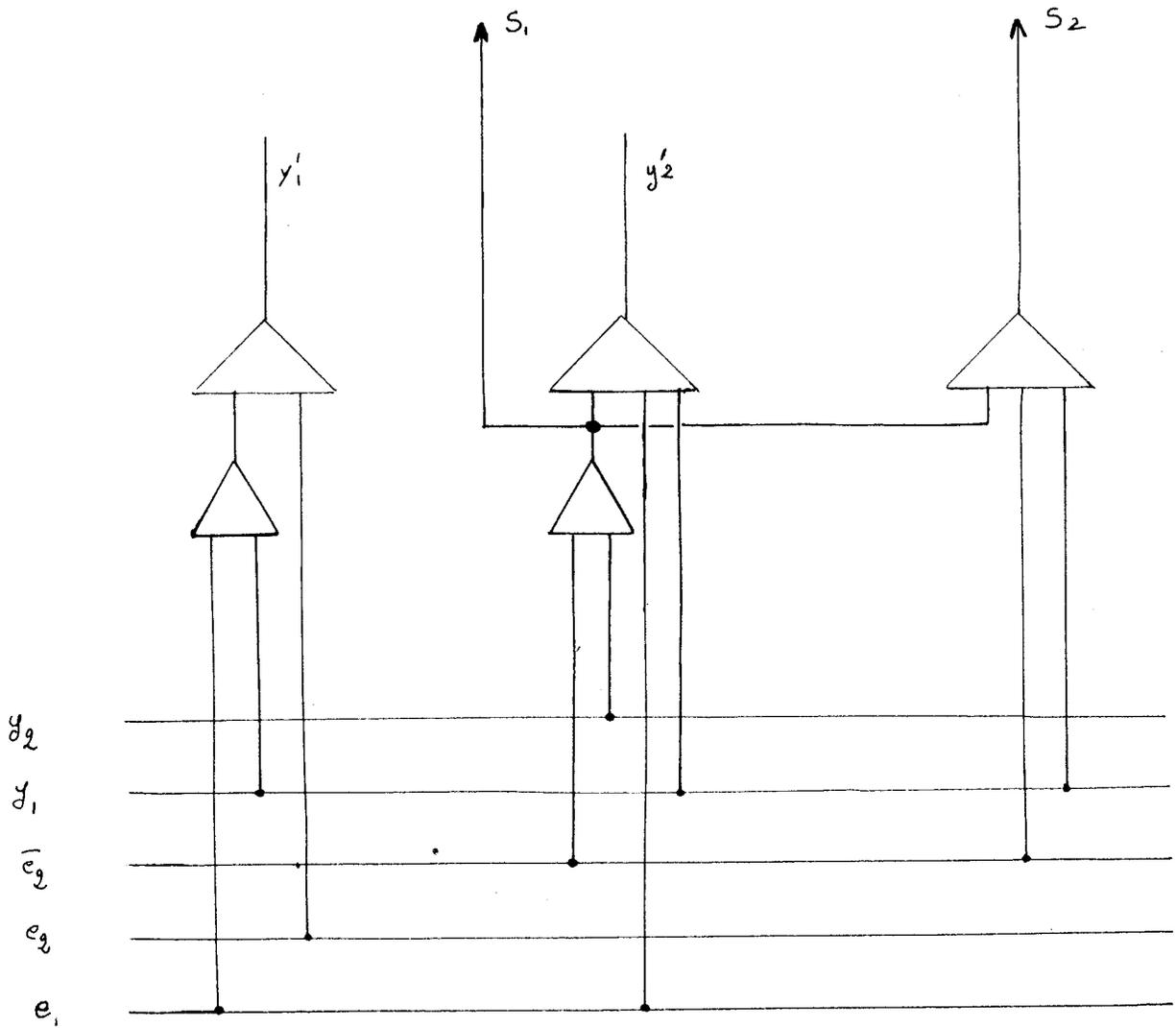


Fig. II 3

Sélection de l'impulsion de repérage

### II-13 - Reconstitution d'un nombre à partir de ses poids faibles

La variation  $\Delta y = \sum_{i=1}^{i=6} Iy_i$  (somme des 6 incréments d'entrée) est réalisée par comptage hors du bloc de calcul.

Cette somme est connue par ses chiffres de poids faibles et son signe.

Ces informations sont affichées sur des bascules RS, donc données sous forme parallèle.

Exemple :

Signe	Poids			
0	1	0	1	nombre positif a
1	0	1	1	nombre négatif -a

Mis sous forme binaire série le nombre s'écrit :

a =	0 ,	0 0 0	.....	0 0	0 1 0 1	
-a =	1 ,	1 1 1	.....	1 1	1 0 1 1	position de l'impul- sion de repérage.

Pour reconstituer le nombre a il faut mettre le nombre affiché sous forme série et compléter à gauche :

- par des 0 si S = 0 (nombre positif)
- par des 1 si S = 1 (nombre négatif).

Circuit de reconstitution sous forme série d'un nombre connu par ses poids faibles sous forme statique :

1ère solution

Elle est donnée à la figure II-4.

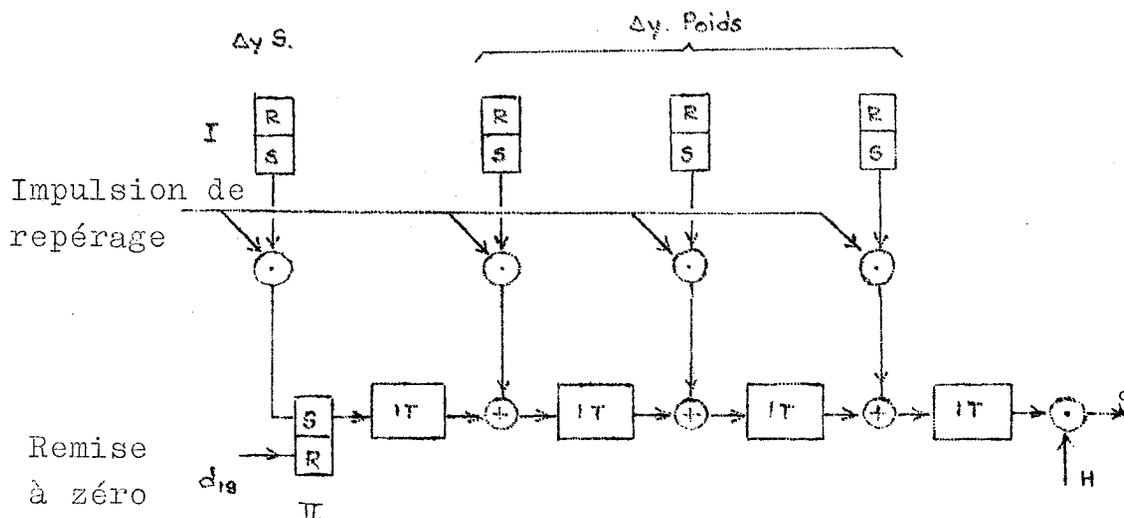


Fig II-4

Le fonctionnement est aisé à comprendre.

Notons la présence de deux mémoires signes.

Au moment du transfert, commandé par l'impulsion de repérage, le nombre affiché passe dans la ligne à retard. Le signe positionne la mémoire RS II. S'il est négatif, cette mémoire délivre des 1 jusqu'à la fin du cycle mineur.

Cette solution exige 4 retards élémentaires : une bascule RS, 5 portes ET et 3 portes OU.

Un retard élémentaire s'obtient grâce à une station de registre réalisée avec 6 Ni.

Cette solution exige donc au total :

31 Ni

3 Ou

Nous avons donc essayé de résoudre globalement le problème.

### 2ème solution

Le schéma de principe est donné à la fig II-5.

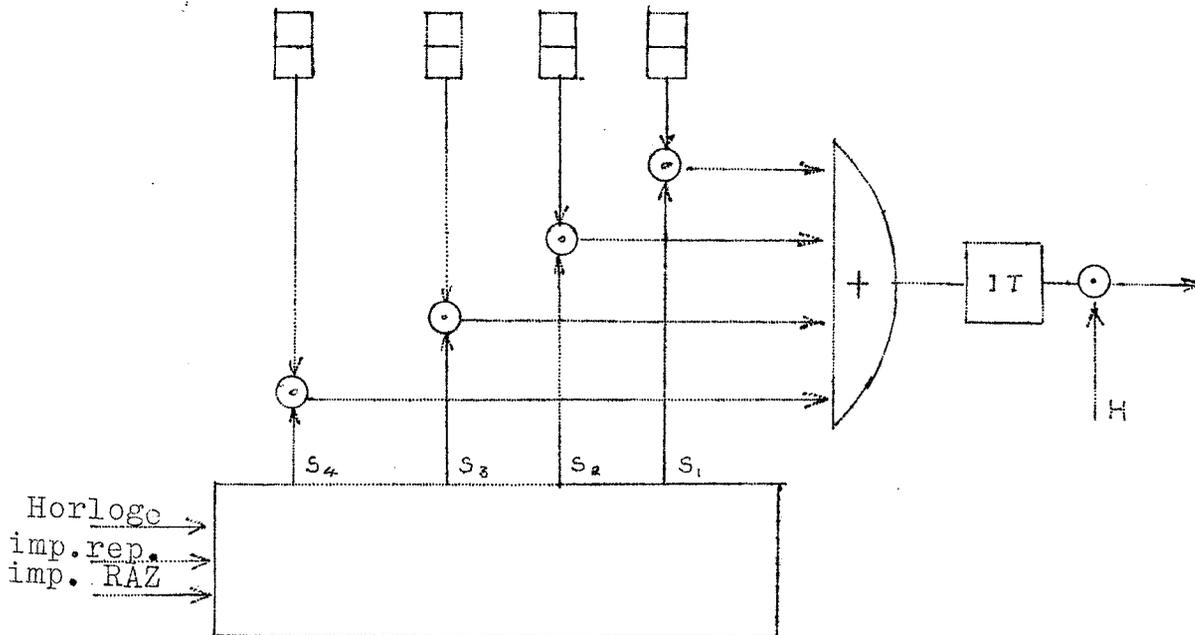
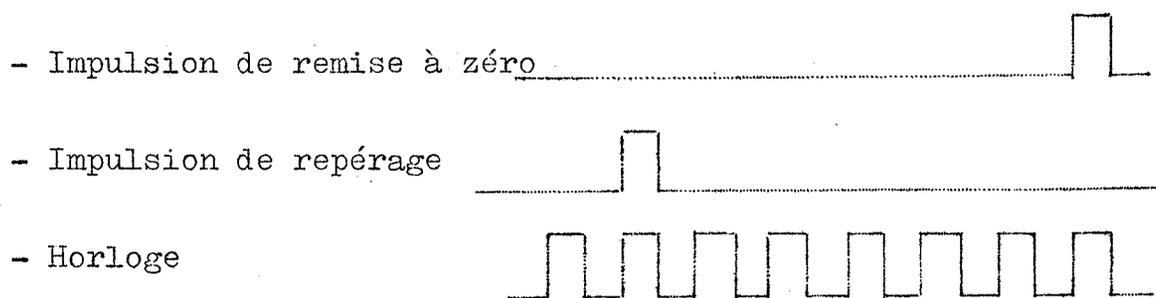
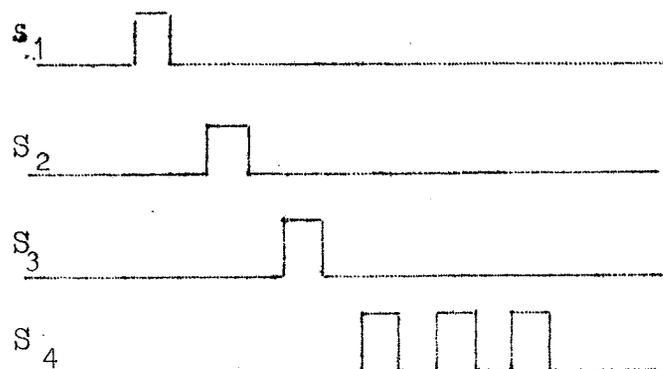


Fig II-5

A partir des signaux :



Il nous faut réaliser :



L'impulsion de remise à zéro est le dernier digit du mot :  $d_{23}$ .

L'impulsion de repérage, un digit quelconque  $d_0$ ,  $d_1$ ,  $d_2$  ...

Notons qu'à la sortie du OU (cf fig. II-5) le nombre décodé  $\Delta y$  est en avance de 1 temps élémentaire (il représente  $\frac{1}{2} \Delta y$ ). D'où la nécessité d'ajouter un retard de 1 temps élémentaire.

Dans le cas d'un nombre négatif, on complète à gauche par des 1 jusqu'à la position  $d_{23}$  incluse (sortie S).

Ceci nous servira pour réaliser  $\frac{1}{2}\Delta y$  :

$$\Delta y : \quad \boxed{1} \quad 1, 1 1 1 1 \dots\dots\dots 1 \quad \underline{1 0 1 0}$$

$$\frac{1}{2}\Delta y \quad \quad \quad 1, 1 1 1 1 1 \quad \quad \quad 1 1 0 1$$

### Réalisation de la séquence

- $e_1$  : Impulsion d'horloge.  
 $e_2$  : Impulsion de repérage.  
 $e_3$  : Impulsion de remise à zéro ( R A Z )

Nous avons supposé que l'impulsion de repérage (1ère impulsion du mot) pouvait coïncider avec l'impulsion de R A Z : c'est le cas où l'on n'inscrit aucun nombre sur les registres Y (R A Z partielle - Effacement pistes de calcul). Seule l'impulsion d'imparité demeure. Ceci complique le tableau d'états mais ne modifie que très peu le schéma final.

<u>Codage</u> :	$e_1$	$e_2$	$e_3$
- absence d'impulsion	0	0	0
- impulsion d'horloge	1	0	0
- impulsion de repérage	1	1	0
- impulsion de RAZ	1	0	1
- impulsion de repérage et de RAZ en coïncidence	1	1	1

Cette séquence (logique impulsionnelle traitée en logique à niveau) a ceci de particulier que 2 ou 3 entrées peuvent varier en même temps.

Pour passer d'un état à un autre, plusieurs chemins sont possibles (direct et intermédiaires).

Les impulsions de repérage et de RAZ ne sont jamais en avance sur l'horloge. Ceci élimine certaines transitions. On a donc les chemins possibles :

Horloge :            0 0 0  $\longrightarrow$  1 0 0  
                          1 0 0  $\longrightarrow$  0 0 0

Imp. de repérage :  0 0 0  $\longrightarrow$  1 0 0  $\longrightarrow$  1 1 0  
                          1 1 0  $\longrightarrow$  0 1 0  $\longrightarrow$  0 0 0  
                           $\longleftarrow$   $\longleftarrow$

Imp. de RAZ :        0 0 0  $\longrightarrow$  1 0 0  $\longrightarrow$  1 0 1  
                           $\longleftarrow$   $\longleftarrow$   
                          1 0 1  $\longrightarrow$  0 0 1  $\longrightarrow$  0 0 0  
                           $\longleftarrow$   $\longleftarrow$

Imp. de repérage = imp. de RAZ

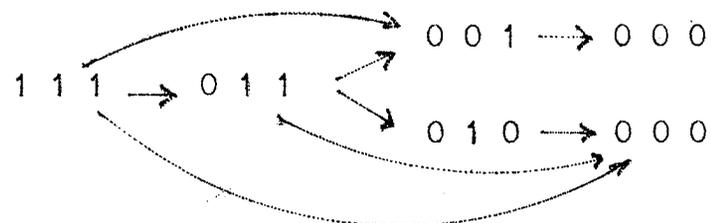
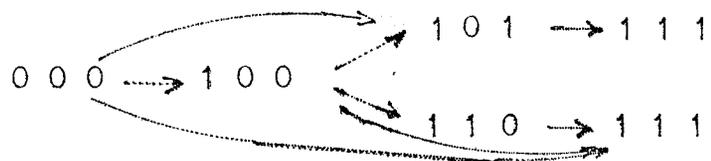


Tableau d'états

$e_1$	$e_2$	$e_3$	000	001	011	010	110	111	101	100
		①					6	7	3	2
		1					6	7	3	②
		1	4					7	③	
		1	④							
		8				⑤				
		8				5	⑥	7		
		8	9	10	5			⑦		
		⑧							(3)	11
		8	⑨							
		8	9	⑩	5					
		12							(3)	⑪
		⑫							(3)	13
		14							(3)	⑬
		⑭					(6)	(7)	3	15
		14					(6)		3	⑮

Tableau réduit

①	④			6	7	③	②
⑧	⑨	⑩	⑤	⑥	⑦	3	11
12						(3)	⑪
⑫						(3)	13
14						(3)	⑬
⑭				(6)	(7)	3	⑮

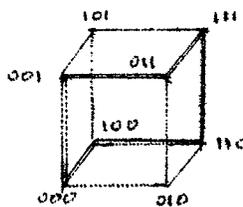
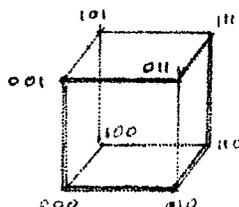
Le tableau se réduit à 6 lignes. Trois variables secondaires sont nécessaires pour les coder.

On peut réaliser toutes les adjacences, sauf celles correspondant aux états transitoires entre parenthèses. Mais ces états n'existent que :

- si l'impulsion de remise à zéro arrive moins de trois temps élémentaires après l'impulsion de repérage.
- si une deuxième impulsion de repérage arrive avant l'impulsion de remise à zéro.

Ces deux cas ne se produisent pas dans le bloc de calcul. Nous ne les avons prévus que pour donner au circuit de reconstitution une portée plus générale.

Codage de 6 lignes avec 3 variables :



$y_1$	$y_2$	$y_3$		$y_1$	$y_2$	$y_3$
0	0	0		0	0	0
0	0	1		0	0	1
0	1	1		0	1	1
1	1	1		1	1	1
1	1	0		1	0	0
0	1	0		0	1	0

Toutes les combinaisons possibles, réalisant les adjacences, s'obtiennent par permutation et complémentation de  $y_1$   $y_2$   $y_3$ .

...

Chaque configuration donne des résultats plus ou moins simples. Après détermination des tableaux des variables secondaires et essais, nous avons adopté le codage suivant :

$e_1 e_2 e_3$	$y_1 y_2 y_3$	
000	000	011 011 001
001	(001)(001)	011 011 (001)(001)
011	(011)(011)(011)(011)(011)(011)	001 010
010	110	011 011 001 (010)
110	(110)	011 011 001 111
111	101	011 011 001 (111)
101	(101)	011 011 001 (101)
100		011 011 001

$s_2 s_3 s_4$	$y_1 y_2 y_3$	
000	000	
001	000 000	$\emptyset\emptyset\emptyset \emptyset\emptyset\emptyset$ 000 000
011	000 000 000 000	000 000 $\emptyset\emptyset\emptyset \emptyset\emptyset\emptyset$
010	$\emptyset\emptyset\emptyset$	$\emptyset\emptyset\emptyset$ 100
110	000	$\emptyset\emptyset\emptyset$ 010
111	$\emptyset\emptyset\emptyset$	$\emptyset\emptyset\emptyset \emptyset\emptyset\emptyset \emptyset\emptyset\emptyset$ 010
101	000	$\emptyset\emptyset\emptyset \emptyset\emptyset\emptyset \emptyset\emptyset\emptyset$ 001
100		

Ce tableau des variables secondaires réalise toutes les adjacences. En développant soit par les 1, soit par les 0, on obtient les expressions des variables secondaires :

$$y_1 = e_1' y_3' + e_2' e_3' y_1$$

$$y_2' = e_1 e_2' e_3 + e_2' y_2' + e_1' y_1 y_3$$

$$y_3 = e_2 + e_3 + y_2' + e_1 y_1 + e_1' y_3$$

En ne se préoccupant des valeurs de sorties que pour les états stables, on obtient les expressions :

$$S_1 = e_2$$

$$S_2 = y_1' y_3'$$

$$S_3 = e_1 y_1 y_2$$

$$S_4 = e_1 y_1 y_2'$$

En respectant les valeurs des sorties pendant les états transitoires non entre parenthèses, on obtient :

$$S_1 = e_2$$

$$S_2 = e_1 y_1' y_3'$$

$$S_3 = e_1 e_2' y_1 y_2$$

$$S_4 = e_1 e_2' e_3' y_1 y_2'$$

On en déduit le schéma à Ni - Fig II-6.

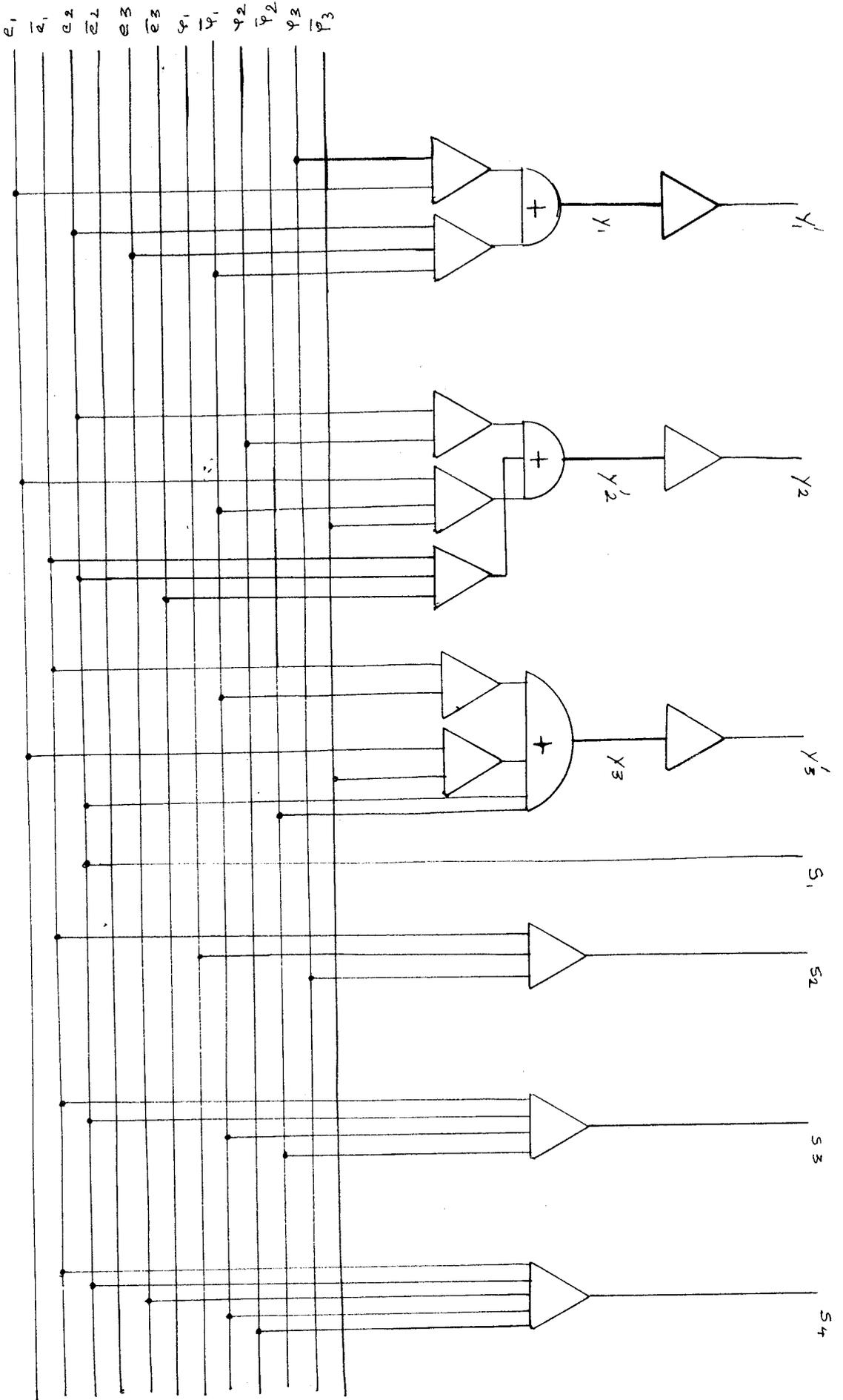


Fig II 6

II-14 - Additionneur série

Cet additionneur est destiné à additionner deux nombres sous forme série.

A chaque temps élémentaire, on additionne les digits de chaque nombre, plus le report du temps précédent.

Tableau général

$A_i$	$B_i$	$R_i$	$S_i$	$R_{i+1}$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

- a) En mettant ce tableau sous forme de tableau de Karnaugh on obtient les expressions de  $S_i$  et  $R_{i+1}$

$R_i \backslash A_i B_i$	00	01	11	10
0	0	1	0	1
1	1	0	1	0

$$S_i = \bar{R}_i (\bar{A}_i B_i + A_i \bar{B}_i) + R_i (\bar{A}_i \bar{B}_i + A_i B_i)$$

$$S_i = \bar{R}_i (A_i \oplus B_i) + R_i (\overline{A_i \oplus B_i})$$

$$S_i = R_i \oplus (A_i \oplus B_i)$$

	$A_i B_i$				
$R_i$		00	01	11	10
0		0	0	1	0
1		0	1	1	1

$$R_{i+1} = A_i B_i + R_i (A_i + B_i)$$

D'où le schéma à Ni - Fig II-7.

b) Du tableau général on peut déduire :

$$\bar{S}_i = \bar{A}_i \bar{B}_i \bar{R}_i + \bar{A}_i B_i R_i + A_i \bar{B}_i R_i + A_i B_i \bar{R}_i$$

$$R_{i+1} = \bar{A}_i B_i R_i + A_i \bar{B}_i R_i + A_i B_i \bar{R}_i + A_i B_i R_i$$

D'où le schéma à Ni - Fig II-8.

Ce dernier schéma, présentant moins de Ni en cascade, donne un meilleur fonctionnement (retards moins importants, fréquence de fonctionnement plus élevée). C'est ce schéma que nous avons adopté.

Remarque :

Si les nombres A et B sont en retard l'un par rapport à l'autre, la sortie  $S_i$  présente des aléas.

A condition que ce nombre A et B soit en retard par rapport à l'horloge, et que ce retard soit inférieur à  $\frac{1}{2}$  période, ces aléas peuvent être éliminés par une station de registre.

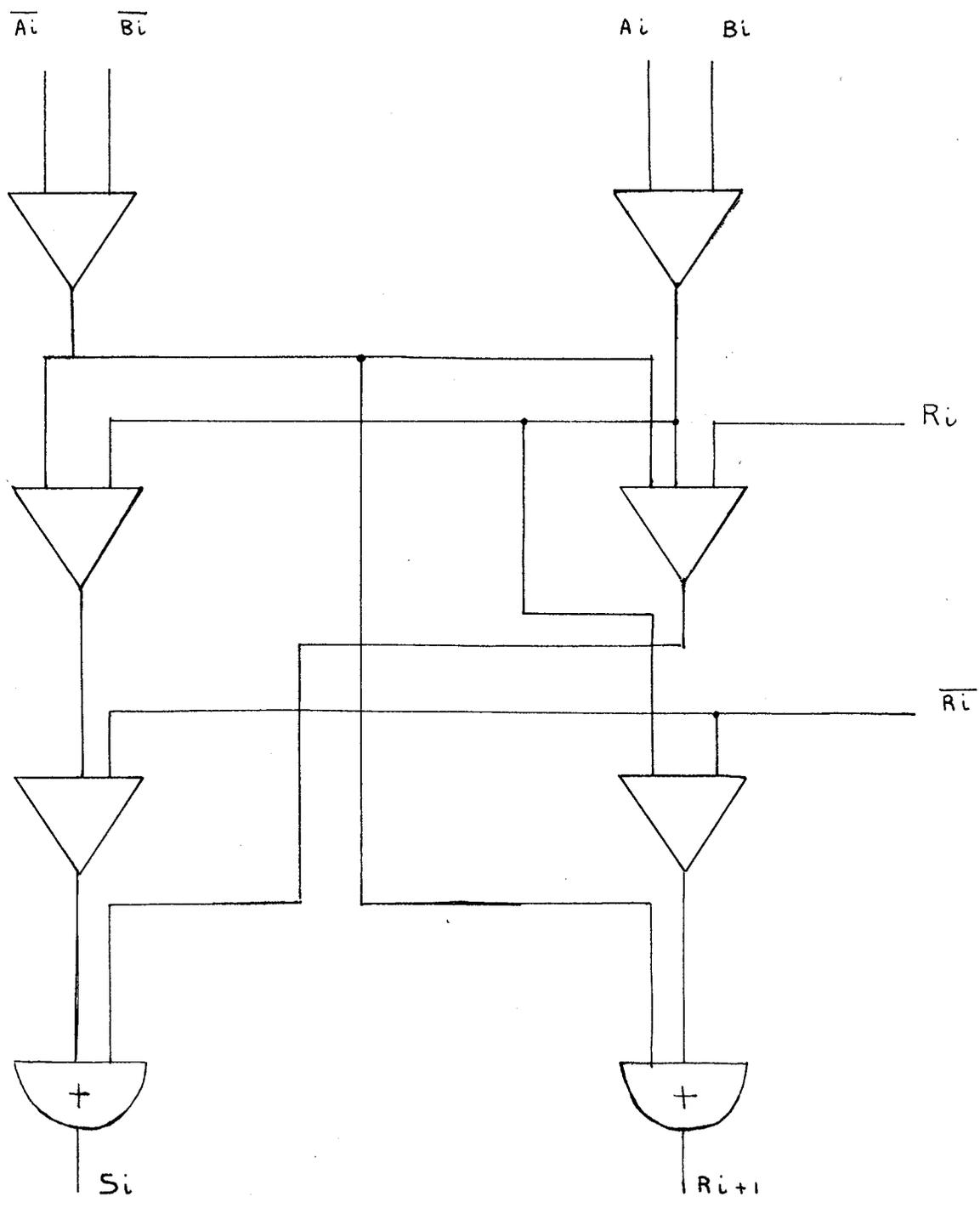


Fig II 7

Additionneur série

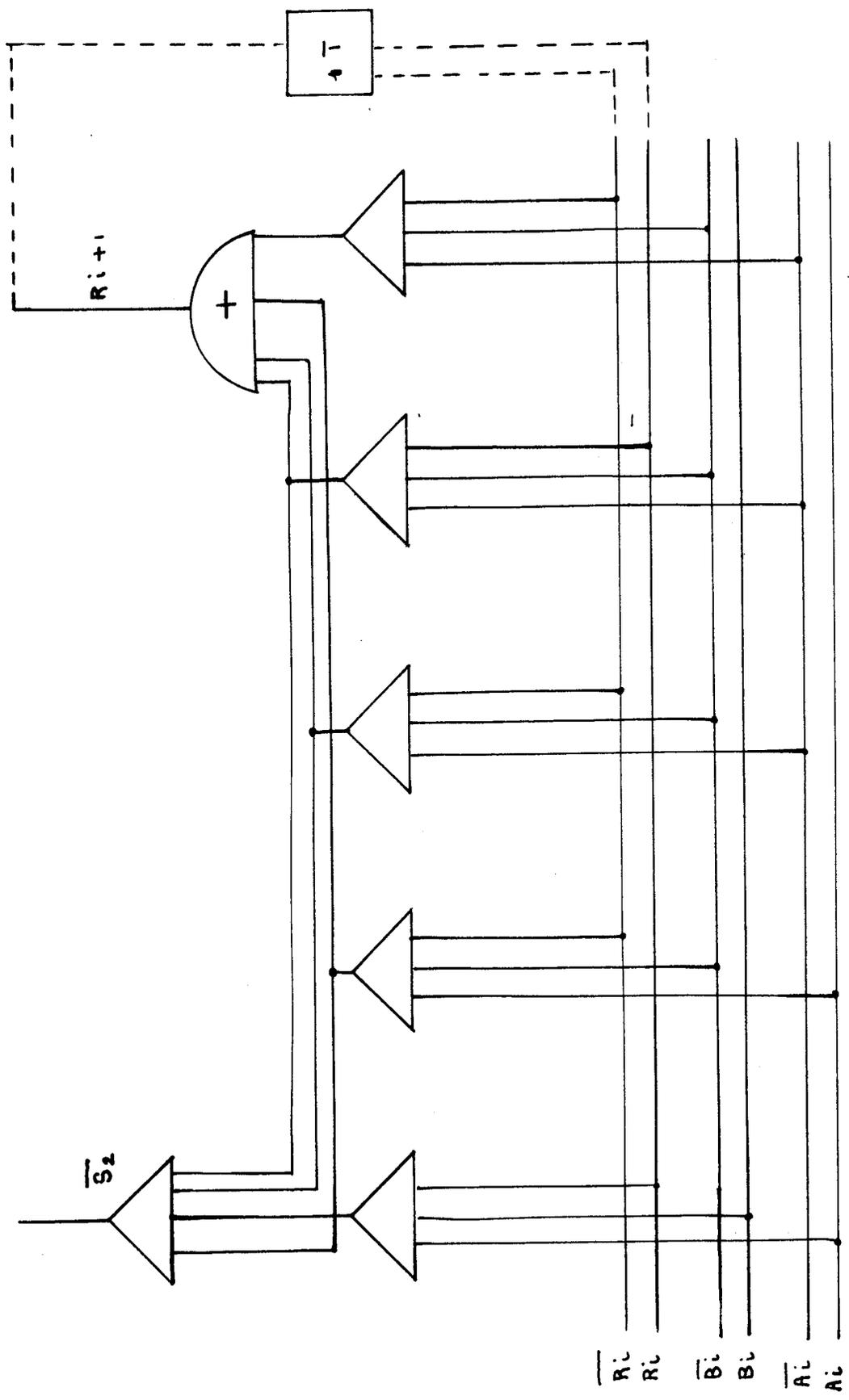
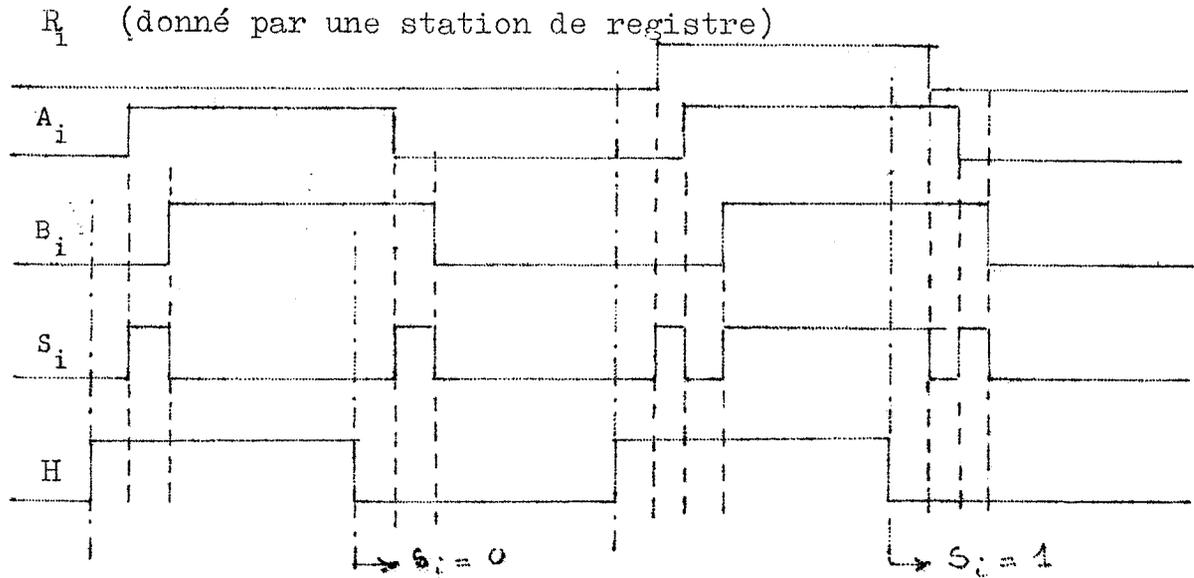


Fig. II 8  
Additionneur série



## II-15 - Additionneur - Soustracteur

Il doit pouvoir réaliser  $a + b$   
et  $a - b$

Pour effectuer  $a - b$  on fait :  
 $a +$  complément vrai de  $b$

Exemple :

$b$	:	0	,	0	1	0	0	1	0	0
CV. $b$	:	1	,	1	0	1	1	1	0	0
$a$	:	0	,	1	1	0	1	0	1	0
$a - b$		1	,	0	1	0	0	0	1	1

perdu : débordement éliminé en  
sortie d'additionneur.

On a vu que le complément vrai d'un nombre s'obtenait en ajoutant au complément restreint un digit de poids le plus faible.

Or, la position de ce digit de poids le plus faible varie : elle dépend de la position de l'impulsion de repérage.

On peut, plus simplement, ajouter un 1 ou  $d_0$ , ce 1 sera ajouté au nombre  $a$ .

	$d_{23}$	$d_{22}$		$d_0$	$d_{23}$	$d_{22}$		$d_0$
b :	0	0	, 0100100	00 ... 0	0	0	, 0100100	00 ... 0
CR. b	1	1	, 1011011	11 ... 1	1	1	, 1011011	11 ... 1
a :	0	0	, 1101010	00 ... 1	0	0	, 1101010	00 ... 1
(+ $d_0$ )								
a - b	0	0	, 1000110	00 ... 1	0	0	, 1000110	00 ... 0

Il faut ensuite éliminer du résultat les débordements éventuels en  $d_0$  et  $d_{23}$ . On obtient ainsi les schémas donnés à la Fig II-9.

Remarque :

$d_0$  est toujours additionné au nombre  $a$  (fonctionnement en additionneur ou soustracteur). Son élimination du résultat permet d'obtenir une addition juste.

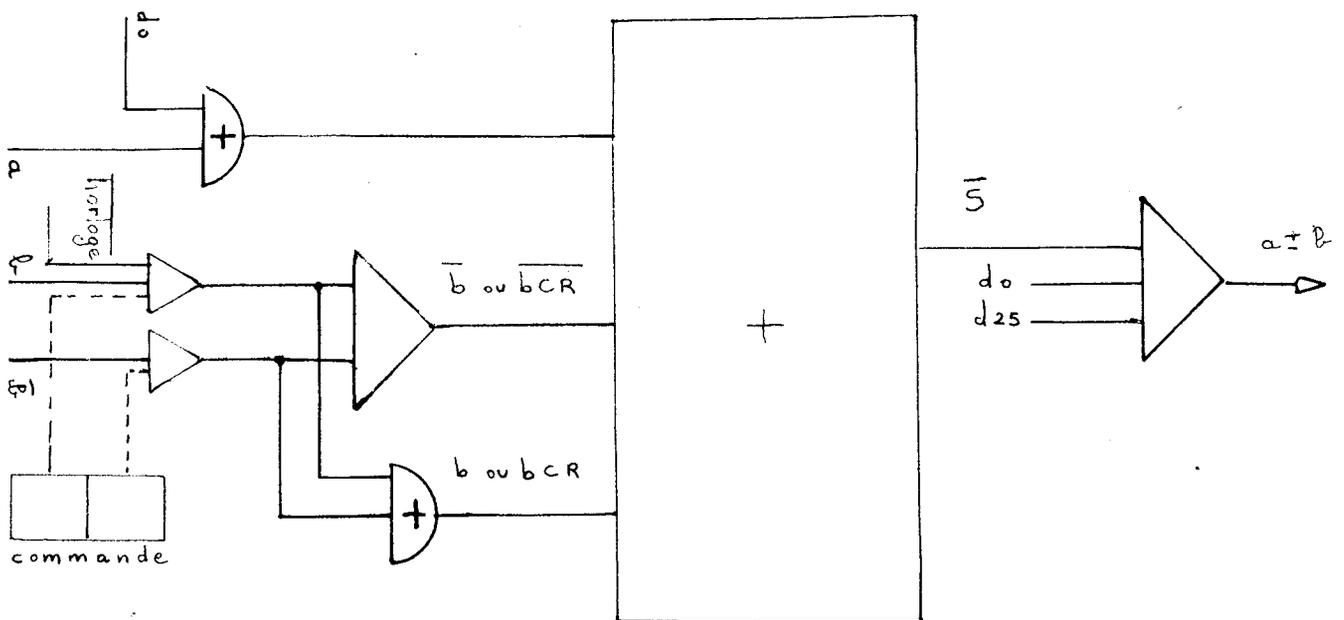
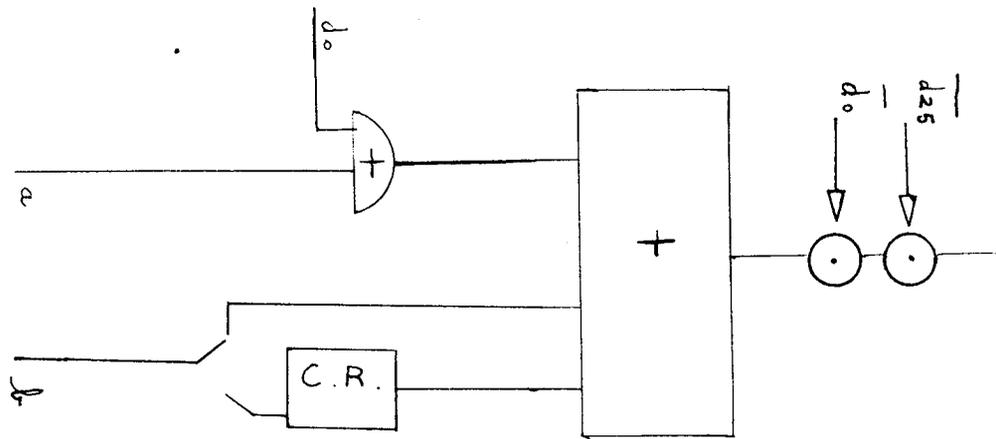


fig II 9

Additionneur soustracteur.

## II-16 - Débordements des registres - Emission d'incrément

### Généralités

Considérons un registre R.

Après chaque pas de calcul, deux cas peuvent se présenter :

a) il n'y a pas dépassement de capacité du registre

Dans ce cas, il n'y a pas émission d'incrément

$$I = 0$$

b) il y a dépassement de capacité du registre

Deux éventualités peuvent se présenter :

1) le registre contient un nombre négatif :  
on a un débordement négatif.

Il y a alors émission d'un incrément négatif.

$$I = - 1$$

2) le registre contient un nombre positif :  
on a un débordement positif.

Il y a alors émission d'un incrément positif.

$$I = + 1$$

### Débordement de capacité

Considérons 6 nombres (a, b, c, -a, -b, -c) et leur représentation binaire (par 4 digits)

$$\begin{array}{lcl}
 a = 0, 1100 & \longrightarrow & -a = 1, 0100 \\
 b = 0, 0010 & \longrightarrow & -b = 1, 1110 \\
 c = 0, 1110 & \longrightarrow & -c = 1, 0010
 \end{array}$$

a et -a sont supposés être les contenus du registre R.

b, c, -b, -c les nombres ajoutés à R.

Etudions les différents cas qui peuvent se produire :

$$\text{I} \\ 0 < \underline{a + b} < +1$$

$$\begin{array}{r}
 0, 1100 \\
 0, 0010 \\
 \hline
 0, 1110
 \end{array}$$

$$\text{II} \\ \underline{a + c} > +1$$

$$\begin{array}{r}
 0, 1100 \\
 0, 1110 \\
 \hline
 \boxed{1}, 1010
 \end{array}$$

↳ débordement positif D +

$$\text{III} \\ 0 < \underline{a - b} < +1$$

$$\begin{array}{r}
 0, 1100 \\
 1, 1110 \\
 \hline
 \boxed{1} 0, 1010
 \end{array}$$

↳ perdu.

$$\text{IV} \\ -1 < \underline{a - c} < 0$$

$$\begin{array}{r}
 0, 1100 \\
 1, 0010 \\
 \hline
 1, 1110
 \end{array}$$

...

<p>V</p> $-1 < \underline{-a + b} < 0$ $\begin{array}{r} 1, 0100 \\ 0, 0010 \\ \hline 1, 0110 \end{array}$	<p>VI</p> $0 < \underline{-a + c} < +1$ $\begin{array}{r} 1, 0100 \\ 0, 1110 \\ \hline \boxed{1}, 0, 0010 \\ \downarrow \text{perdu.} \end{array}$
<p>VII</p> $-1 < \underline{-a - b} < 0$ $\begin{array}{r} 1, 0100 \\ 1, 1110 \\ \hline \boxed{1}, 1, 0010 \\ \downarrow \text{perdu} \end{array}$	<p>VIII</p> $\underline{-a - c} < -1$ $\begin{array}{r} 1, 0100 \\ 1, 0010 \\ \hline \boxed{1}, \boxed{0}, 0110 \\ \downarrow \text{perdu} \quad \downarrow \text{débordement négatif D -} \end{array}$

Dans certains cas, nous perdons un digit (position d23 - éliminé en sortie d'additionneur) ; mais cela n'a pas d'importance car ce digit n'a aucune influence sur le résultat.

Nous déterminons ainsi deux cas de débordement et nous remarquons évidemment que les débordements ne peuvent avoir lieu que lorsque les deux nombres additionnés sont de même signe.

Il y a débordement positif lorsque les deux nombres additionnés étant positifs le résultat est négatif.

Il y a débordement négatif lorsque les deux nombres additionnés étant négatifs le résultat est positif.

Pour chaque somme algébrique posons :

$$\begin{array}{r} \alpha, \dots \\ \underline{\beta, \dots} \\ \gamma, \dots \end{array}$$

et écrivons le tableau des différents cas possibles :

$\alpha$	$\beta$	$\gamma$	D+	D-
0	0	0	0	0
0	0	1	1	0
0	1	0	0	0
0	1	1	0	0
1	0	0	0	0
1	0	1	0	0
1	1	0	0	1
1	1	1	0	0

On en tire les expressions logiques des débordements :

$$D+ = \bar{\alpha} \cdot \bar{\beta} \cdot \gamma$$

$$D- = \alpha \cdot \beta \cdot \bar{\gamma}$$

### Emission d'incrément

On définit l'incrément par le tableau suivant :

D+	D <sub>1</sub>	I	
1	0	+1	émission d'incrément positif I +
0	0	0	
0	1	-1	émission d'incrément négatif I -

le cas  $D+ = 1$  et  $D- = 1$  ne pouvant se produire.

Réalisation :

soit 2 nombres a et b , entrées d'un additionneur  
c , sortie de l'additionneur.

$\alpha$  : digit de signe du nombre a :  $\alpha = a \text{ d}22$

$\beta$  : " " b :  $\beta = b \text{ d}22$

$\gamma$  : " " c :  $\gamma = c \text{ d}22$ .

les expressions

$$I + = \bar{\alpha} \bar{\beta} \gamma$$

$$I - = \alpha \beta \bar{\gamma}$$

sont réalisées par le schéma logique suivant :

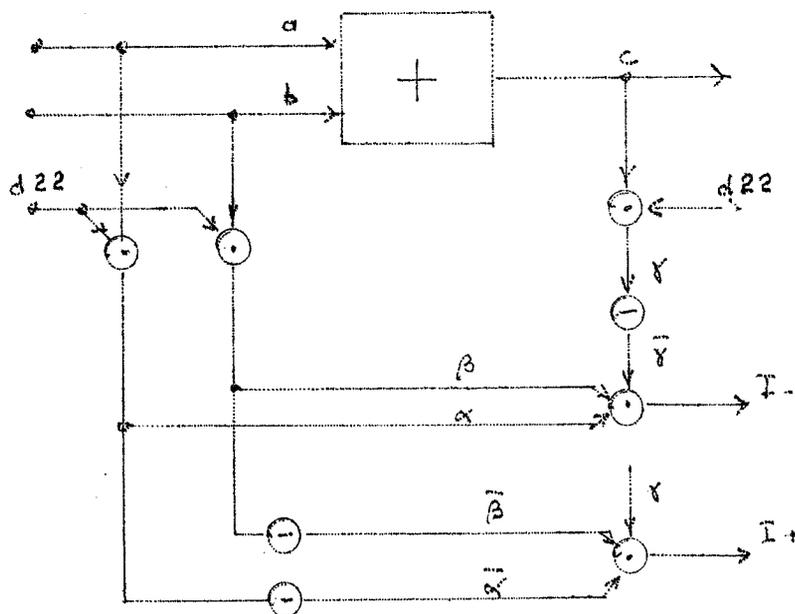


Fig II-10

Réalisation à Ni

$$\alpha = a \cdot d_{22}$$

$$\beta = b \cdot d_{22}$$

$$\gamma = c \cdot d_{22}$$

$$\bar{\alpha} = \bar{a} + \bar{d}_{22}$$

$$\bar{\beta} = \bar{b} + \bar{d}_{22}$$

$$\bar{\gamma} = \bar{c} + \bar{d}_{22}$$

$$\begin{aligned} I_+ &= \bar{\alpha} \bar{\beta} \gamma = (\bar{a} + \bar{d}_{22}) (\bar{b} + \bar{d}_{22}) c \cdot d_{22} \\ &= \bar{a} \bar{b} c d_{22} \end{aligned}$$

$$\begin{aligned} I_- &= \alpha \beta \bar{\gamma} = a \cdot d_{22} \cdot b \cdot d_{22} (\bar{c} + \bar{d}_{22}) \\ &= a b \bar{c} d_{22} \end{aligned}$$

On obtient immédiatement le schéma à Ni - Fig II-11

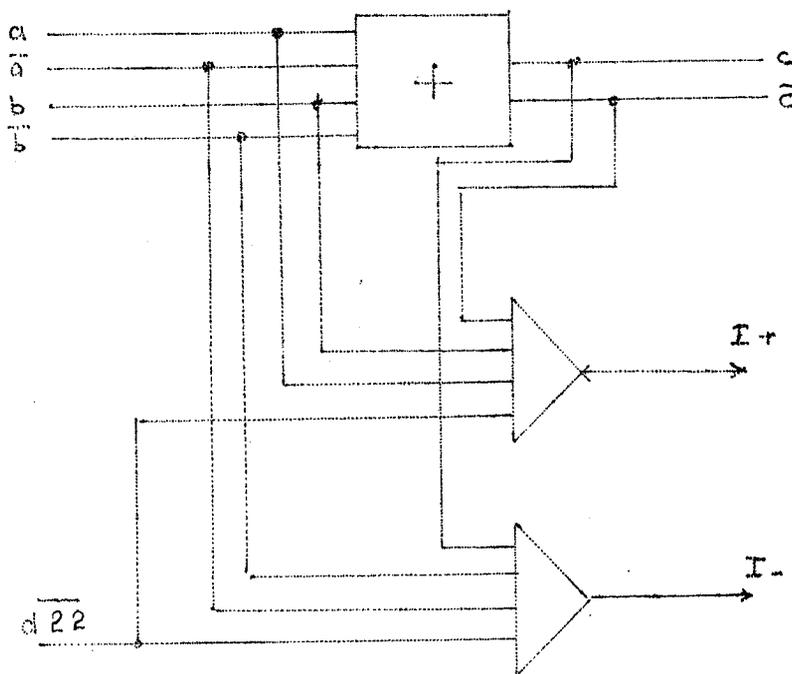


Fig II-11

Autre type d'émission d'incréments

Nous verrons qu'il est nécessaire d'envisager un deuxième type d'émission d'incréments.

Au lieu d'avoir un intégrateur qui émet un incrément

- + 1 lorsque  $R \geq + 1$
- 0 lorsque  $+ 1 > R > - 1$
- 1 lorsque  $R < - 1$

R étant le contenu du registre R (poids faibles de l'intégrale de Y) on réalise un intégrateur qui émet :

- + 1 lorsque  $R \geq + 1$
- 0 lorsque  $+ 1 > R \geq 0$
- 1 lorsque  $0 > R$

Dans ce cas, le contenu du registre R est toujours positif.

L'expression de l'incrément positif reste la même :

$$I + = \bar{\alpha} \bar{\beta} \gamma$$

L'expression de l'incrément négatif devient :

$$I - = \bar{\alpha} \beta \gamma$$

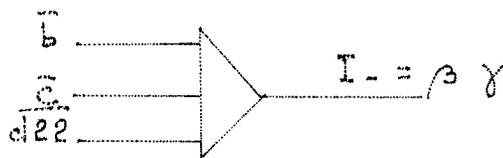
ou, plus simplement :

$I - = \beta \gamma$  puisque le signe du registre R ne varie pas.

On en déduit immédiatement le schéma à Ni :

$$I - = \beta \gamma$$

$$I - = b.c.d_{22}$$



...

### Correction après émission d'incrément

Le débordement d'un registre, qui se traduit par l'émission d'un incrément, entraîne la modification du digit de signe. On doit donc corriger le nombre.

Pendant l'opération, le digit de signe peut être considéré comme un digit de poids.

Soit  $m$  le contenu du registre après débordement.

Soit  $n$  le nouveau contenu du registre après correction.

On doit avoir :

$$m = n + I$$

### Emission d'incrément positif

$$\begin{array}{r} \text{Exemple :} \quad 0, 1100 \\ \quad \quad \quad 0, 1010 \\ \hline \quad \quad \quad 1, 0110 \end{array}$$

$$m = 1,0110 = I_+ + 0,0110 \quad \text{donc} \quad n = 0,0110$$

### Emission d'incrément négatif

$$\begin{array}{r} \text{Exemple :} \quad 1, 0100 \\ \quad \quad \quad 1, 0110 \\ \hline \quad \quad \quad 10, 1010 \end{array}$$

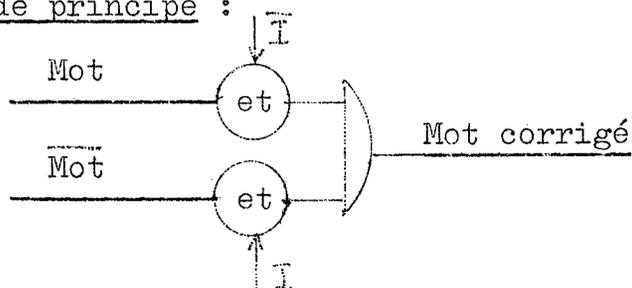
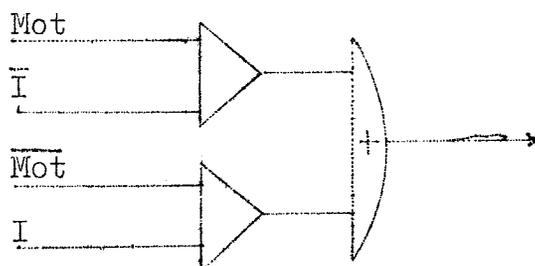
$$m = 10,1010 = I_- + 1,1010 \quad \text{donc} \quad n = 1,1010$$

Règle Après émission d'un incrément, pour obtenir le nouveau contenu du registre, il suffit de remplacer  $\overline{Y}$  par  $Y$ . Cette règle est également valable pour le deuxième type d'émission d'incrément.

Réalisation

$$\text{Soit } I = I_+ + I_-$$

I est supposé en position d22.

Schéma de principe :Schéma a Ni :II-17 - Réalisation de l'ensemble

En insérant les divers éléments étudiés dans le schéma logique de l'opérateur composé, on obtient le schéma a Ni (Fig II-12 - voir en annexe).

Pour réaliser le circuit définitif, il suffit d'adapter les charges des divers éléments, de modifier le schéma à Ni, en vue d'utiliser les plaquettes-circuits standards.

## II-2 - MULTIPLIEUR

Les principes généraux permettent d'établir le diagramme fonctionnel du multiplieur (fig II-13).

Les divers éléments constituant le multiplieur étant les mêmes que ceux étudiés plus haut, on en déduit immédiatement le schéma à Ni (fig II-14 - Voir en annexe) puis le schéma définitif.

### Remarque :

Les schémas définitifs étant nécessairement accompagnés de cahiers de câblage, nous ne les avons pas joints pour ne pas alourdir cet exposé.

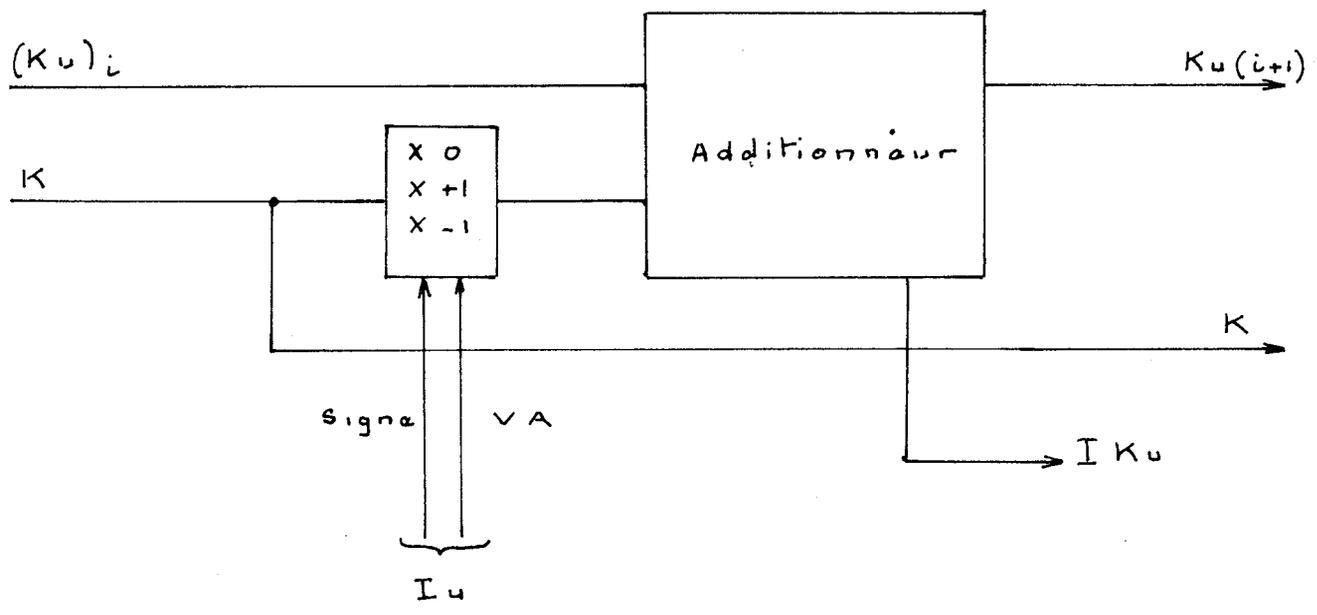


Diagramme fonctionnel du multiplieur

fig. II 13

III - MEMOIRE D'INCREMENTS

### III - MEMOIRE D'INCREMENTS

Les incréments ternaires de sortie des opérateurs doivent être rangés dans une mémoire en vue de leur utilisation ultérieure.

La mémoire à incréments ternaires doit permettre l'écriture à une adresse donnée d'un incrément donné et ensuite l'extraction à cette même adresse de cet incrément.

L'élément de base est une capacité.

L'écriture consiste à charger cette capacité

- positivement pour un incrément + 1
- négativement pour un incrément - 1
- ou à ne pas la charger pour un incrément nul.

La lecture est constituée par la décharge de cette capacité.

Cette décharge effectuée à travers une résistance donne

- . soit un courant dans un sens ou dans l'autre
- . soit pas de courant, suivant l'incrément émis.

On dispose d'un nombre de capacités égal au nombre d'adresses désiré. La sélection d'une adresse s'identifie à la sélection d'une capacité.

Les opérations de lecture et d'écriture se font sur la capacité sélectionnée.

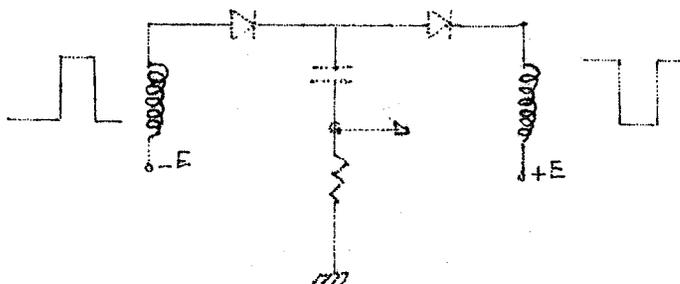
Le système d'écriture-lecture est donc unique.

Il est relié successivement à chaque capacité sélectionnée.

### III-1 - SYSTEME D'ECRITURE-LECTURE D'UNE CAPACITE

La mémoire à capacité classique peut être utilisée comme mémoire ternaire.

Chaque cellule comprend un condensateur, une résistance de charge et deux diodes :



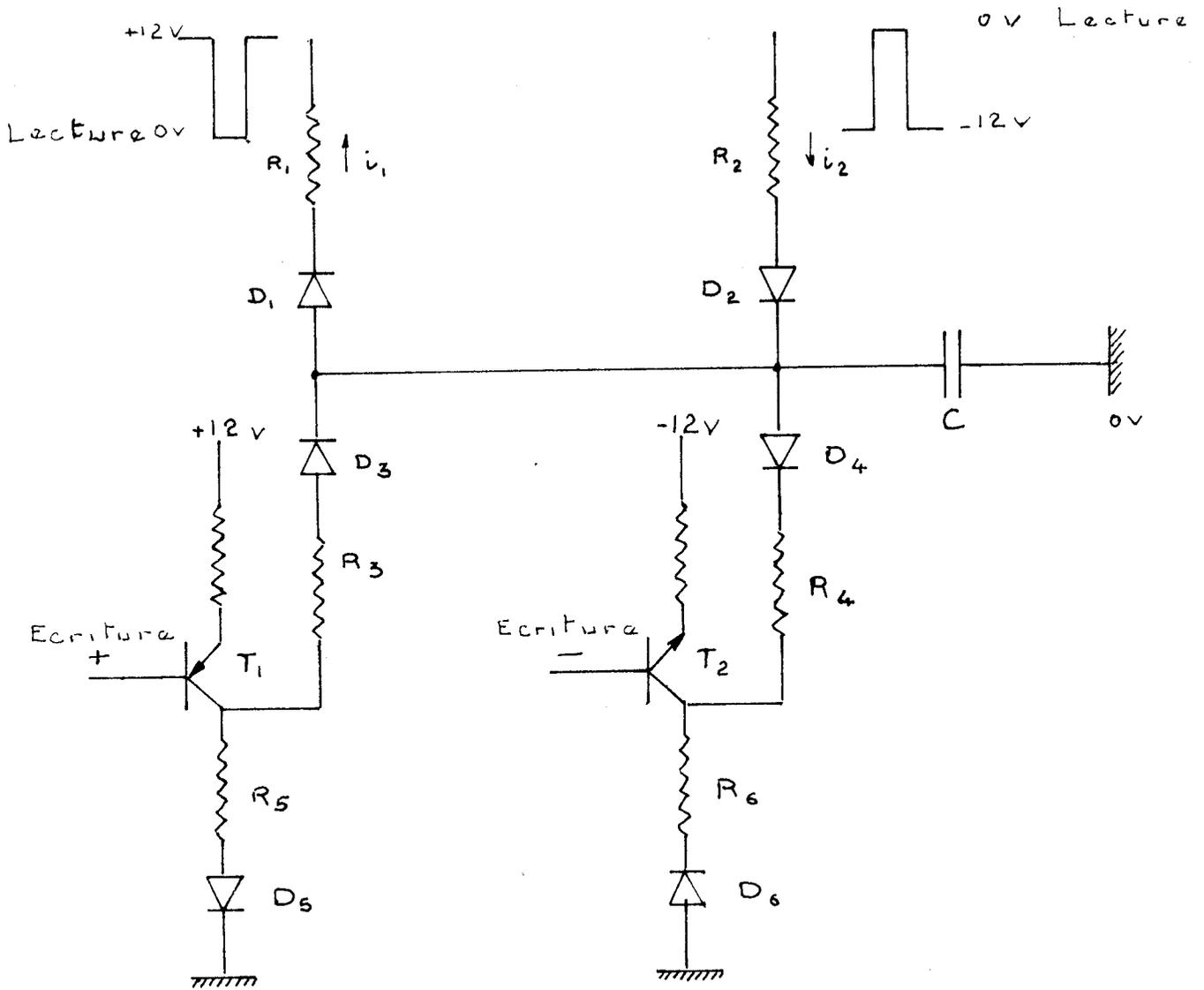
Les opérations de lecture et d'écriture se font par transformateurs d'impulsion.

Or, technologiquement, la mise en oeuvre de transformateurs est toujours délicate. D'autre part, il est difficile de prévoir théoriquement tous les phénomènes mis en jeu (couplages, parasites ...).

Il nous est apparu plus intéressant de réaliser un système d'écriture-lecture original. Les éléments employés (diodes, transistors, résistances) permettent d'envisager une réalisation éventuelle en circuits intégrés.

Le principe du système d'écriture-lecture est donné à la figure III.1

En dehors de toute opération de lecture ou d'écriture



Ecriture - Lecture d'une capacite  
 schema de principe

fig III 1

le point A est à + 12 v  
 le point B est à - 12 v  
 les transistors  $T_1$  et  $T_2$  sont bloqués  
 La capacité C, chargée positivement ou négativement  
 ( $|v| > 12$  v) ne peut pas se décharger.

### Ecriture

#### Incrément + 1

Le transistor  $T_1$  est débloquent. Son collecteur est porté à une tension voisine de + 12 V.

La capacité est chargée à cette tension positive à travers la résistance  $R_3$  (la diode  $D_3$  est passante).

La diode  $D_1$  est bloquée : il n'y a donc aucun courant à travers  $R_1$ .

La diode  $D_2$  est bloquée : il n'y a donc aucun courant à travers  $R_2$ .

La diode  $D_6$  et le transistor  $T_2$  sont bloqués : il n'y a aucun courant à travers  $R_4$ .

#### Incrément - 1

Le transistor  $T_2$  est débloquent.

La capacité est chargée négativement à travers  $R_4$ .

Le raisonnement est analogue au précédent.

### Lecture

Les points A et B sont ramenés à la masse

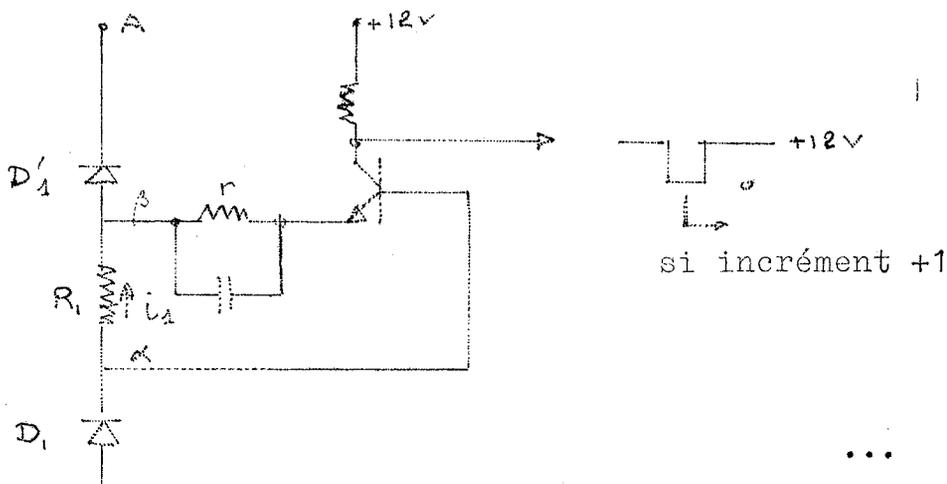
- Si la capacité est chargée positivement, la diode  $D_1$  est passante, la diode  $D_2$  est bloquée.  
Le courant  $i_1$  à travers la résistance  $R_1$  représente la lecture d'un incrément + 1.
- Si la capacité est chargée négativement, la diode  $D_2$  est passante, la diode  $D_1$  est bloquée.  
Le courant  $i_2$  à travers la résistance  $R_2$  représente la lecture d'un incrément - 1.
- Si la capacité n'est pas chargée il n'y a évidemment aucun courant à travers  $R_1$  et  $R_2$ .

### Réalisation pratique

Les résistances de lecture  $R_1$  et  $R_2$  sont à des potentiels variables. La lecture d'un incrément se traduit par un courant dans l'une ou l'autre de ces résistances donc par une différence de potentiel entre deux points.

Il est donc nécessaire de transformer cette information en un signal de tension utilisable logiquement.

Ceci est réalisé par le schéma suivant (lecture d'un incrément positif)



La résistance  $r$  sert à maintenir le transistor auto-bloqué. Sa valeur dépend de  $R_1$  et du transistor utilisé.

Le courant de décharge  $i_1$  à travers  $R_1$  crée une différence de potentiel  $\alpha - \beta = R_1 i_1$  qui débloquent le transistor.

La résistance  $R_1$  doit être suffisamment faible pour assurer une décharge rapide de la capacité, mais suffisamment élevée pour donner une différence de potentiel  $\alpha - \beta$  capable de débloquent le transistor.

Pour la lecture d'un incrément négatif le schéma est analogue. On emploie un transistor PNP.

Le schéma définitif du système d'écriture-lecture d'une capacité est donné à la figure III.2.

### III-2 - SELECTION

#### III-21 - Disposition matricielle des capacités

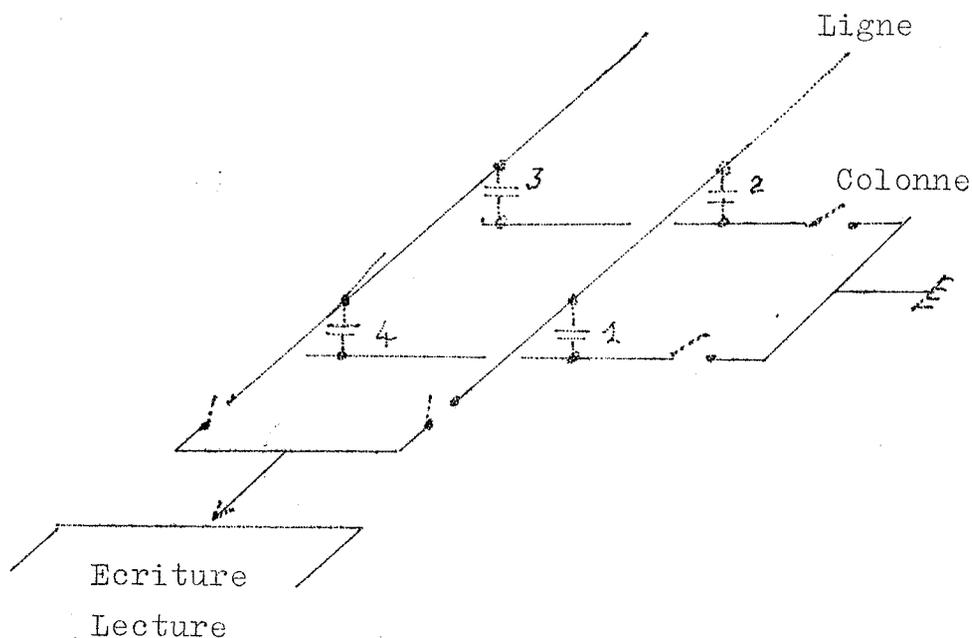
L'analyseur différentiel digital réalisé comprend 86 opérateurs (43 intégrateurs-comparateurs et 43 multiplieurs).

Deux entrées extérieures incrémentielles sont prévues.

Le nombre maximum d'incrément à ranger par cycle majeur est donc de 88.

On aurait pu envisager de relier chaque capacité, par l'intermédiaire d'un interrupteur, au système d'écriture-lecture. Ceci exige un matériel considérable.

On a donc disposé les capacités sous forme matricielle.



Pour sélectionner une capacité donnée, il faut relier sa colonne à la masse et sa ligne au système d'écriture-lecture.

La sélection d'une capacité consiste donc à fermer simultanément deux interrupteurs, un de ligne, un de colonne.

On remarque immédiatement que les capacités ne sont pas indépendantes les unes des autres.

L'ensemble des capacités 2, 3, 4, montées en série, est en parallèle sur la capacité 1.

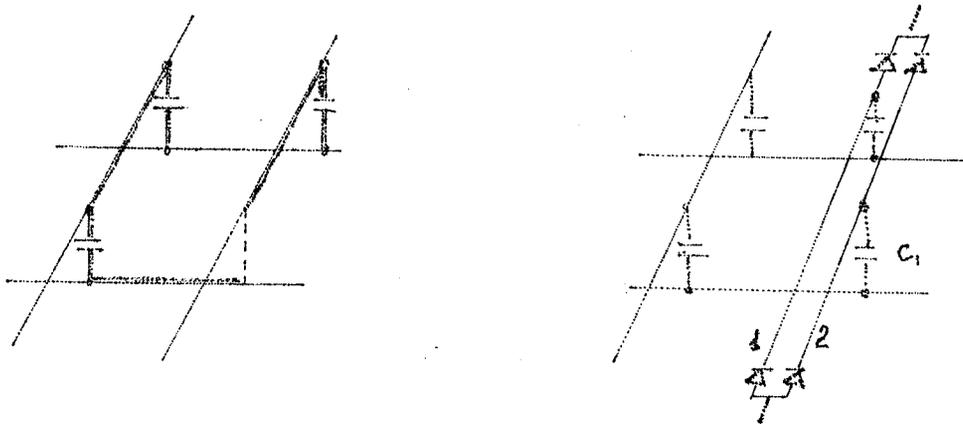
Il est impossible de faire varier la charge d'une capacité sans faire varier la charge des autres.

Les capacités 1, 2, 3, étant chargées à des valeurs données, la charge de la capacité 4 est déterminée.

Il est donc nécessaire de restituer son indépendance à chaque capacité. Pour cela, il existe deux possibilités :

- 1) supprimer des capacités
- 2) dédoubler un certain nombre de barreaux (lignes ou colonnes)

Pour 4 capacités, on obtient les structures suivantes :



Les barreaux 1 et 2 peuvent être à des potentiels différents.

La première solution diminue la capacité de la matrice :

Pour une matrice 2 lignes x 2 colonnes il faut supprimer 1 condensateur

2	x 3	2
4	x 4	7
4	x 8	18

Cette solution n'est évidemment pas à envisager.

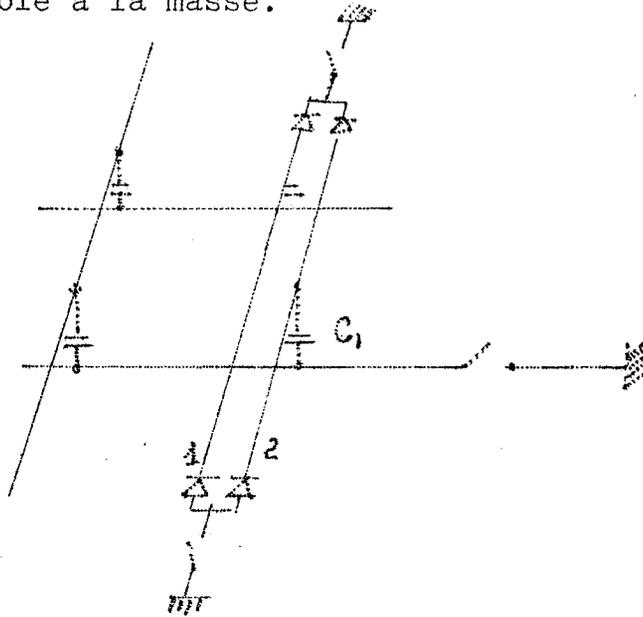
Considérons la deuxième solution.

Supposons que l'on veuille décharger le condensateur  $C_1$  en vue de lire son contenu.

On doit relier à la masse la ligne et la colonne correspondantes.

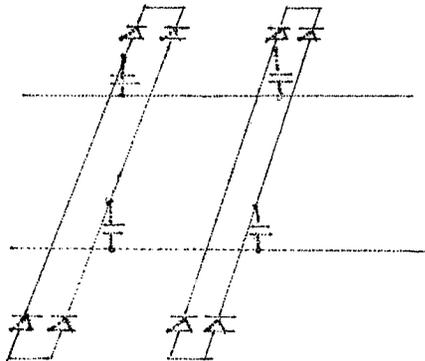
...

Le condensateur pouvant être chargé positivement ou négativement, il est nécessaire de relier les deux extrémités du barreau double à la masse.



Les barreaux 1 et 2 sont alors au même potentiel. On se retrouve dans le cas d'une matrice simple.

On doit donc adopter la structure suivante :



Cette configuration se généralise à une matrice de  $n$  lignes et  $n$  colonnes.

Les lignes étant constituées par des barreaux simples, les colonnes par des barreaux multiples, une colonne doit contenir  $n$  barreaux.

La mémoire d'incrémentés réalisée possède une matrice de capacité de 8 lignes et 16 colonnes. On dispose donc de 128 capacités.

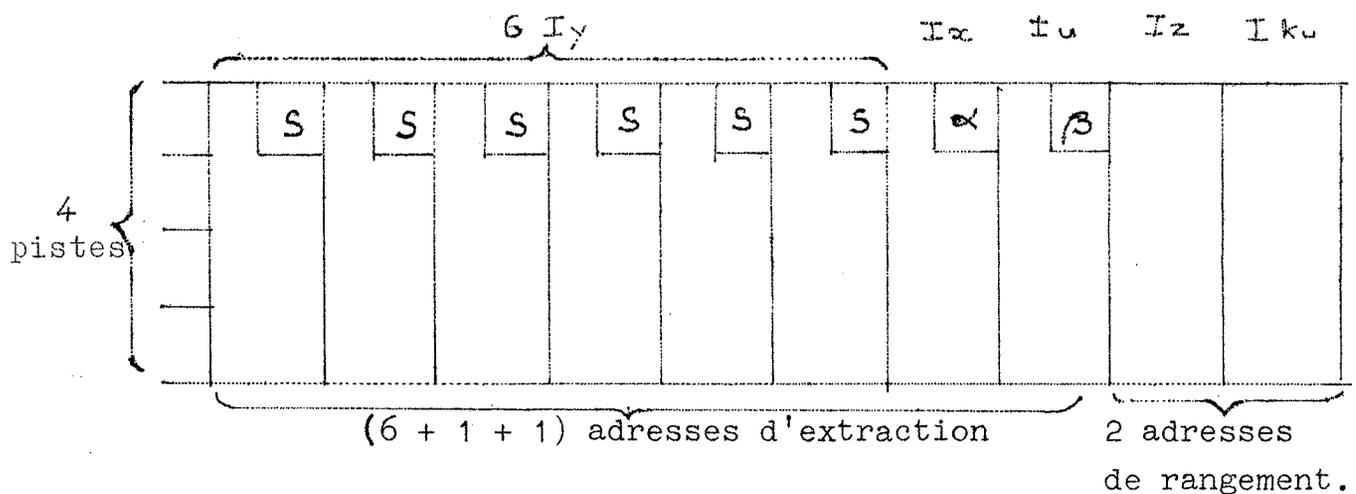
### III-22 - Sélection des capacités

Les informations provenant des pistes de programme positionnent des bascules RS.

Un simple décodage logique permet de commander les portes de sélection choisies.

#### III-22.1 - Positionnement des bascules

Le programme, pour un registre, a la configuration suivante :



La sélection d'un condensateur particulier demande la lecture de l'adresse, le décodage de cette adresse, la sélection proprement dite.

La mémoire d'incrément possède 128 positions.

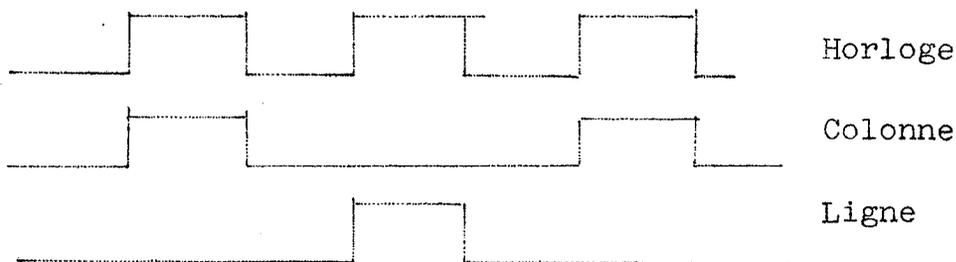
L'adresse d'un condensateur se compose donc de 7 digits binaires ( $2^7 = 128$ ). Cette adresse est inscrite sur 4 pistes de programme et sur 2 intervalles de timing.

Le digit S indique le changement de signe éventuel d'un incrément.

Les digits  $\alpha$  et  $\beta$  déterminent le fonctionnement de l'opérateur composé (formule d'intégration - fonctionnement en intégrateur ou en comparateur).

#### Adresse d'un incrément

	$\alpha$	$\beta$	
P <sub>1</sub>	1		
P <sub>2</sub>	2		5
P <sub>3</sub>	3		6
P <sub>4</sub>	4		7



La matrice de condensateur choisie comporte 16 colonnes et 8 lignes.  
 Les digits 1, 2, 3, 4, constituent l'adresse de colonne (0 à 15)  
 Les digits 5, 6, 7, constituent l'adresse de ligne (0 à 7)

On dispose de 4 bascules de colonnes A, B, C, D  
 et de 3 bascules de lignes  $B_1$   $C_1$   $D_1$

Le digit 1 positionne la bascule A à 1 s'il a la valeur 1,  
 à 0 s'il a la valeur 0

2	"	B
3	"	C
4	"	D
5	"	$B_1$
6	"	$C_1$
7	"	$D_1$

Les signaux  $P_1, P_2, P_3, P_4$  proviennent d'une station de registre sans intersection avec l'horloge.

Les signaux  $P_i, C$  et  $L$  sont toujours en retard par rapport à l'horloge.

On obtient donc les signaux de commandes des bascules sans aléas (figure III.3)

Mise à 1 (Set)  $C P_i H$  ou  $L P_i H, S P_i H, \alpha P_i H, \beta P_i H$

Mise à 0 (Reset)  $C \bar{P}_i H$  ou  $L \bar{P}_i H, S \bar{P}_i H, \alpha \bar{P}_i H, \beta \bar{P}_i H$

Les signaux  $C, L, S, \alpha, \beta$ , ainsi que d'autres signaux utilisés dans la mémoire d'incrémentés sont donnés sur le tableau de synchronisation.(fig. III.4) Voir en Annexe.

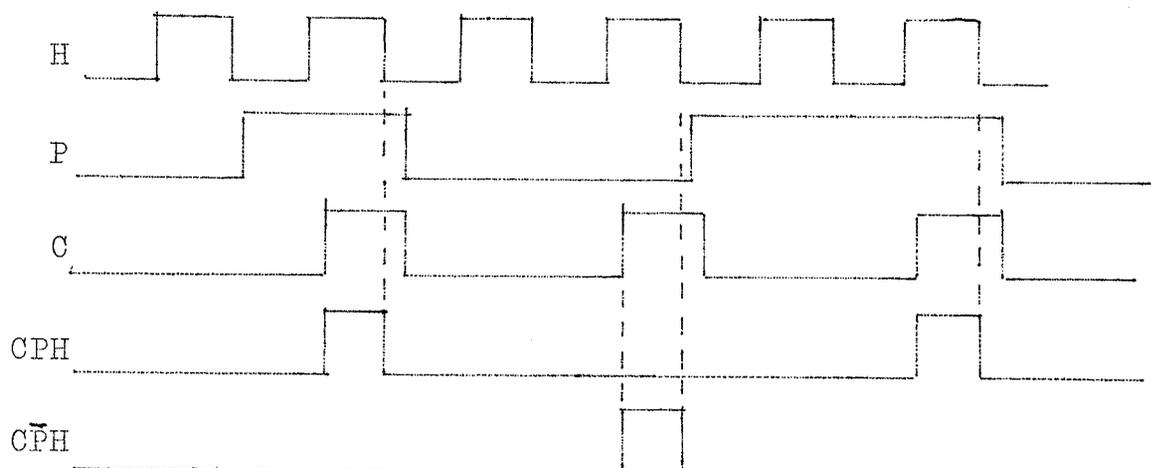


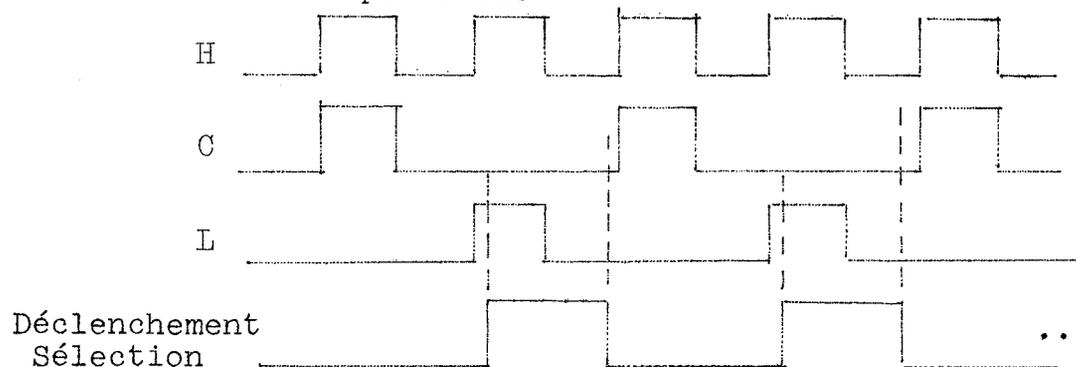
fig. III.3

Le schéma logique du positionnement des bascules est donné à la fig. III.5.

### III-22.2 - Décodage - Sélection

Le décodage d'adresse se réalise en deux temps : décodage des colonnes, puis décodage des lignes.

Ce n'est donc qu'à la fin du deuxième temps et dans l'intervalle d'attente de l'adresse suivante que la sélection du condensateur est possible.



Le déclenchement sélection s'obtient logiquement à partir des signaux C, L, m.

Le signal m est obtenu par monostable à partir de l'horloge.

La commande d'un interrupteur est donc réalisée par l'expression :

$$\text{Decl. } f(A, B, C, D) \text{ ou Decl. } f(B_1, C_1, D_1)$$

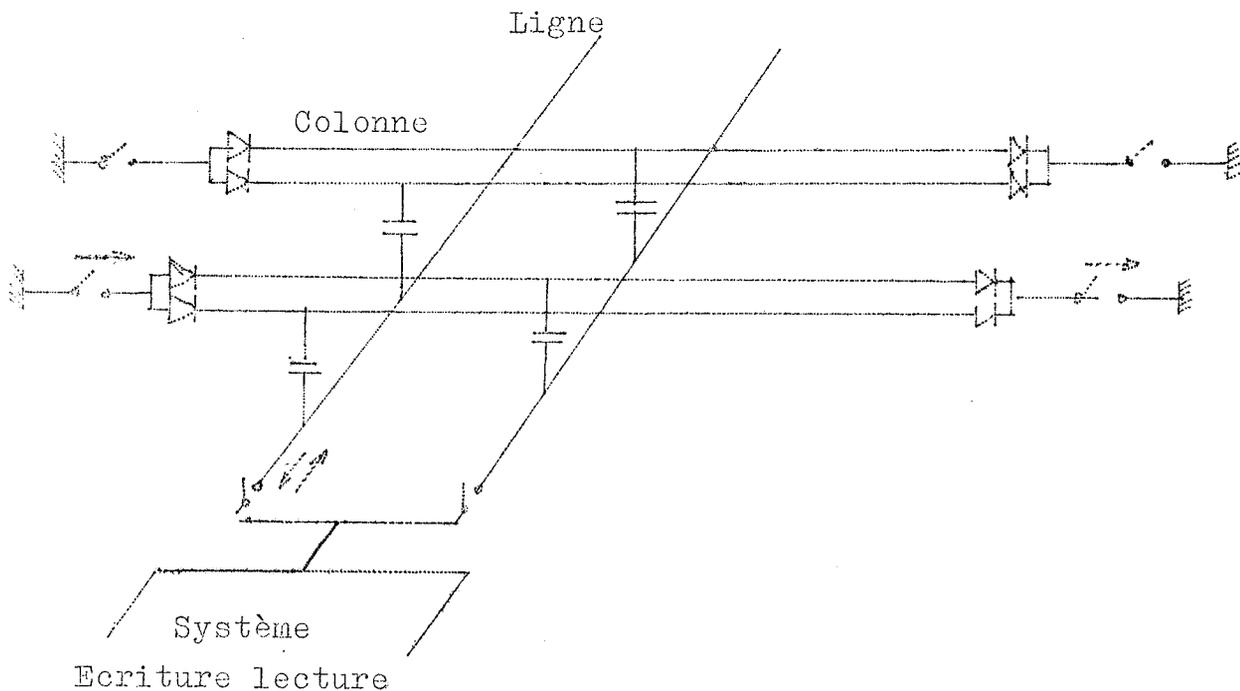
Decl. représente l'impulsion de déclenchement sélection.

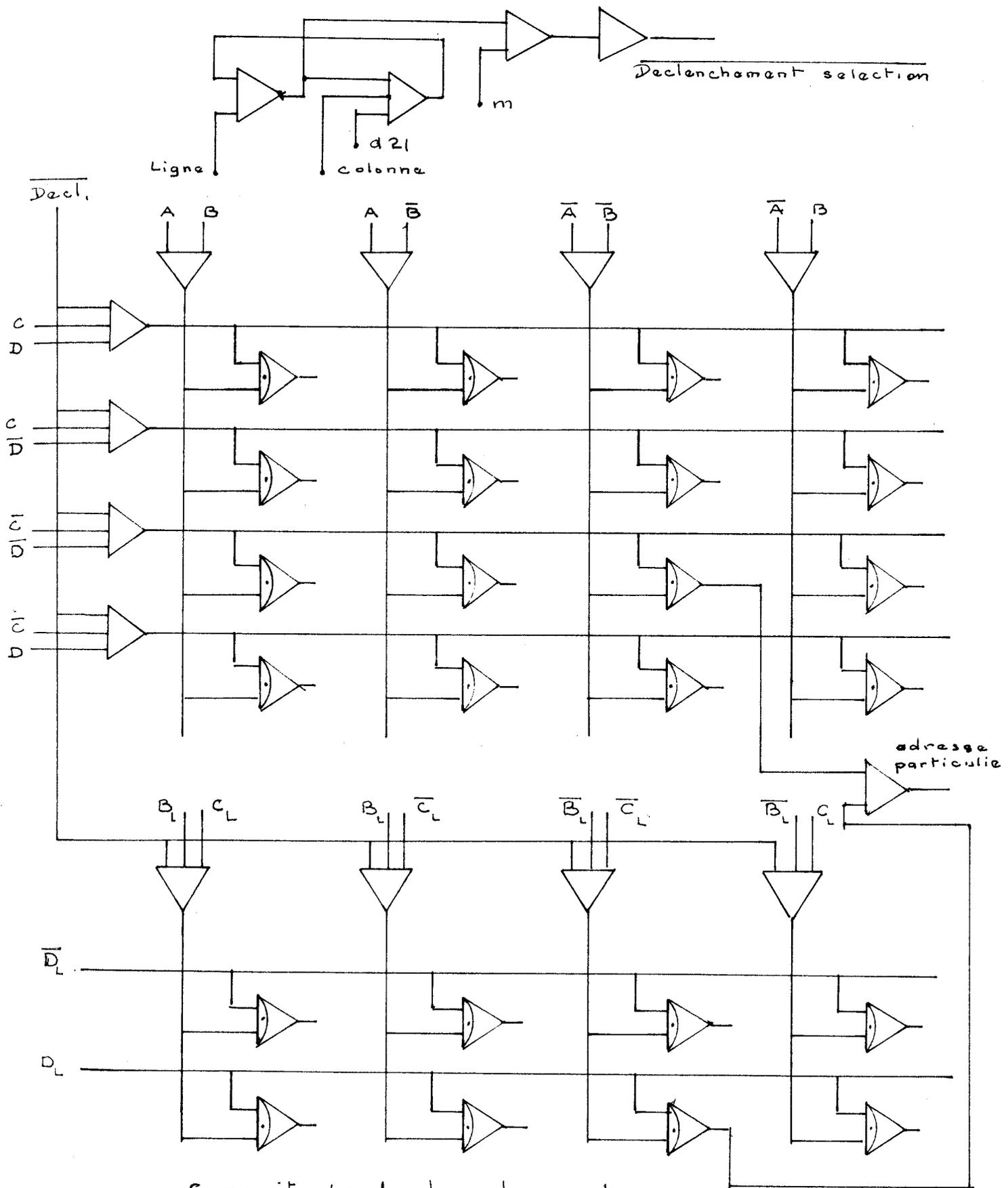
$f(A, B, C, D)$  représente le décodage des colonnes.

$f(B_1, C_1, D_1)$  représente le décodage des lignes.

Ces décodages sont réalisés à Ni et Nand. (fig. III 6)

#### Portes de sélection





Circuit de declenchement selection - Decodage colonnes - Decodage lignes

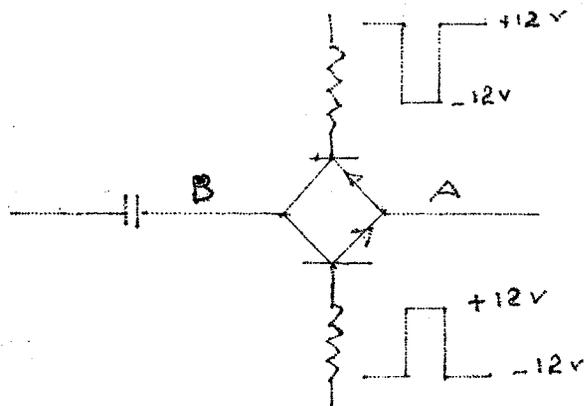
Fig. III 6

### Porte de ligne

Elle relie la capacité au système d'écriture-lecture.

L'interrupteur fermé doit pouvoir conduire le courant dans les deux sens.

On réalise cet interrupteur à l'aide de deux transistors PNP, NPN, à faible courant inverse.



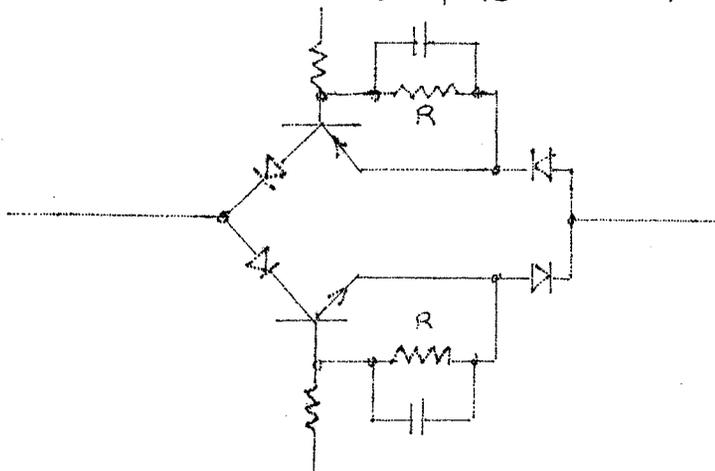
Les points A et B à relier sont à des potentiels variables (de - 10v à + 10v environ).

Pour bloquer ou débloquer les transistors il faut donc des signaux + 12v, - 12v.

On peut donc avoir une tension inverse émetteur-base maximum de 22 v. Or les transistors à faible courant inverse (10 n A) qu'il est nécessaire d'employer pour conserver la charge de la capacité pendant 1 cycle majeur (15 ms), ne supportent qu'une faible tension inverse émetteur base (5 v environ).

Il est donc nécessaire de modifier le schéma. La tension émetteur-base est réduite par un pont constitué par une résistance

$R = 1 \text{ M}\Omega$  et une diode 19 P<sub>1</sub> (germanium)



Les diodes silicium placées dans les collecteurs des transistors évitent l'influence de la commande des transistors sur la charge de la capacité.

Le schéma complet de l'interrupteur est donné à la figure III.7.

### Caractéristiques

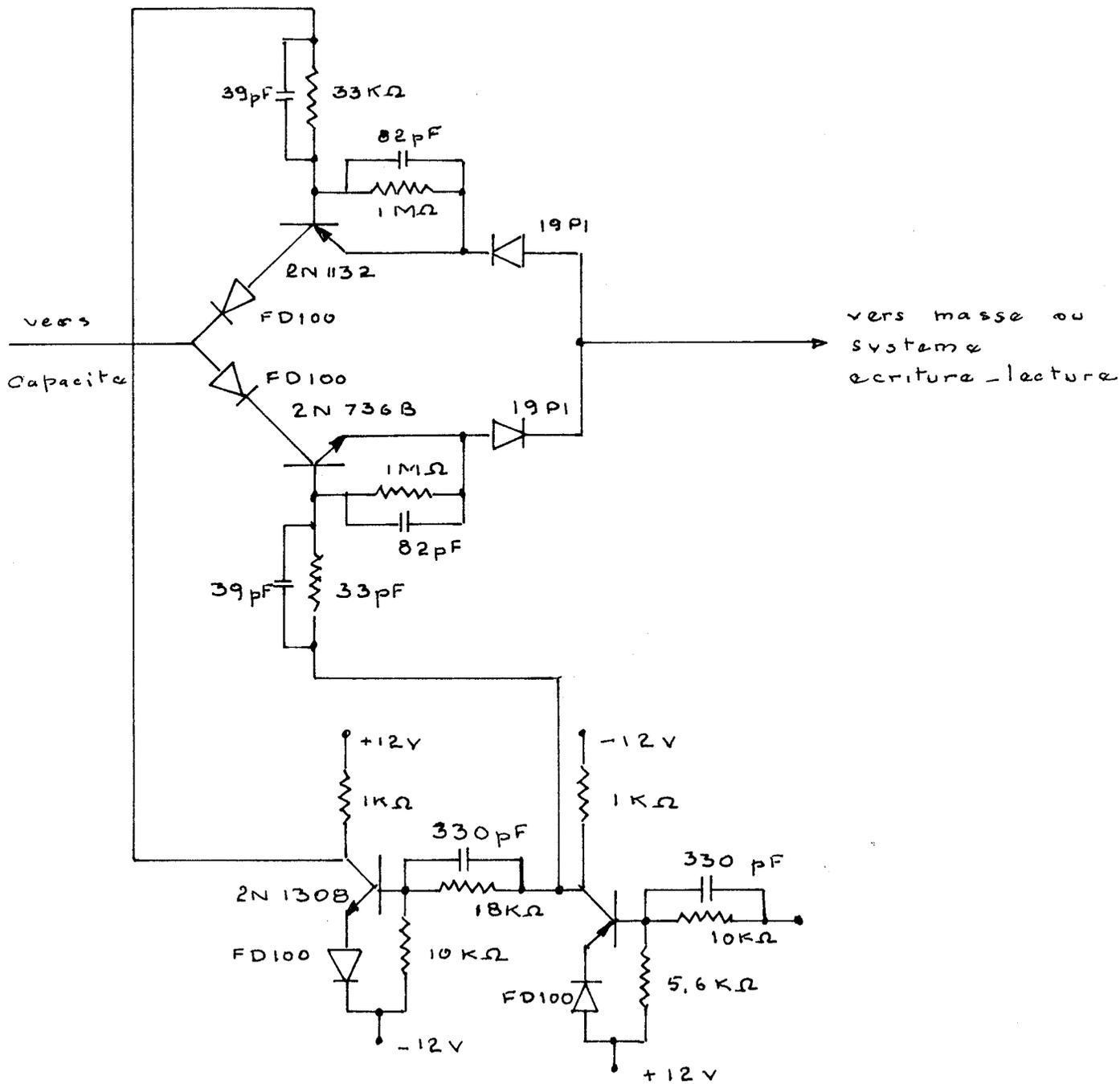
Interrupteur ouvert :  $R$  de l'ordre de  $100\ 000 \text{ M}\Omega$   
 $C$  de l'ordre de  $10 \text{ pF}$

Interrupteur fermé :  $r$  de l'ordre de  $400 \Omega$  (dans les conditions d'utilisation)

### Porte de colonne

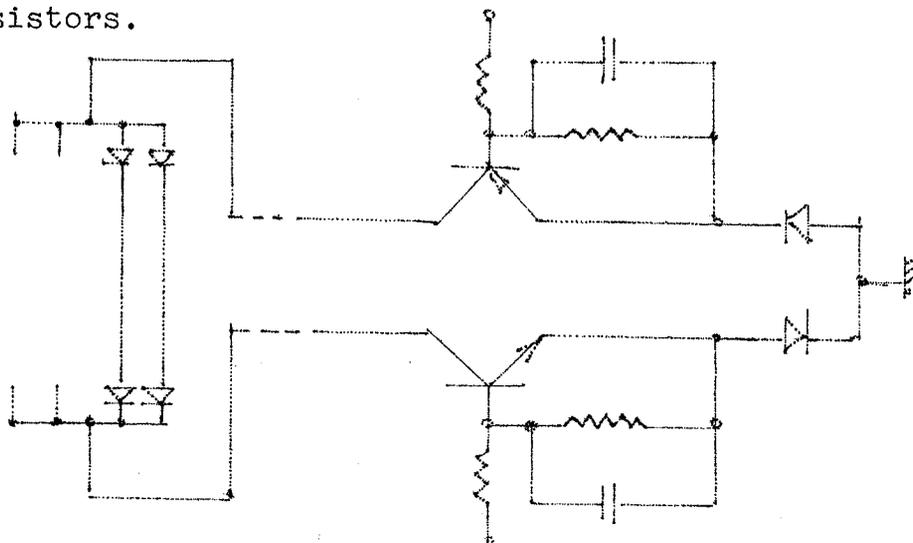
Chaque colonne possède deux interrupteurs qui doivent être commandés simultanément.

Chaque interrupteur ne conduit le courant que dans un seul sens. Il relie la masse à l'une des extrémités de la colonne.



Interrupteur

Pour avoir des circuits homogènes nous avons conservé le schéma précédent dans lequel on sépare les collecteurs des transistors.

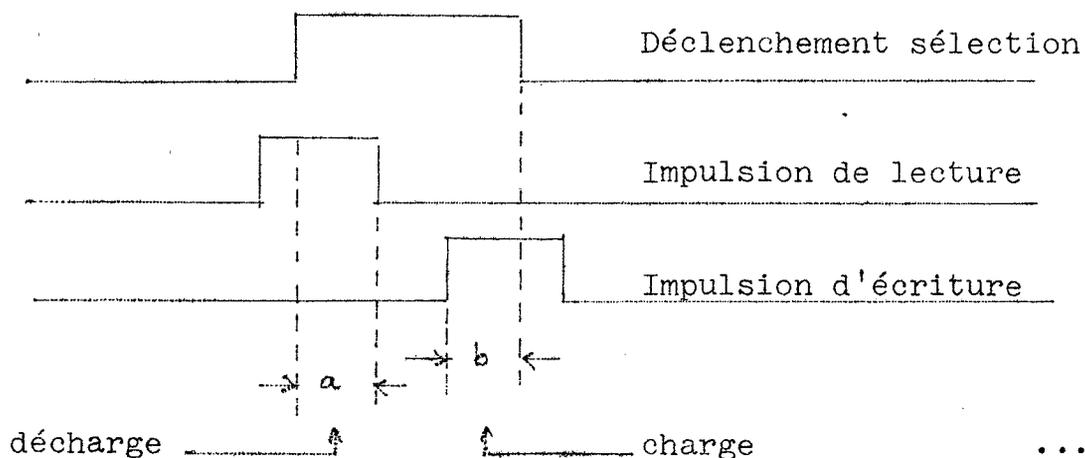


### III-3 - LECTURE - ECRITURE - REECRITURE

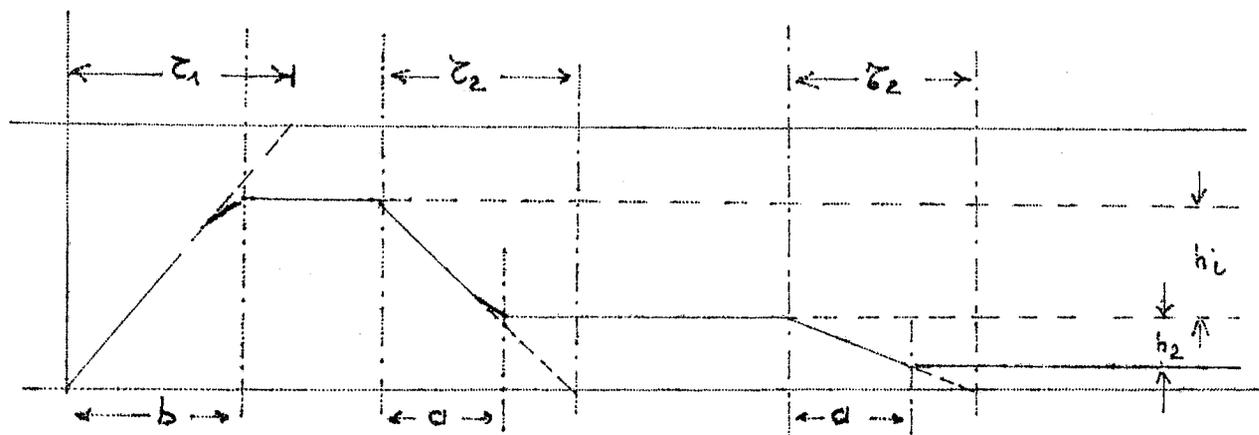
#### III-31 - Signaux

La capacité étant sélectionnée il faut maintenant la lire puis l'écrire.

Ces deux opérations se réalisent successivement pendant la durée de la sélection.



Examinons la charge d'une capacité suivie de deux décharges successives. Seule la première décharge doit donner un signal de lecture.



charge

1ère décharge

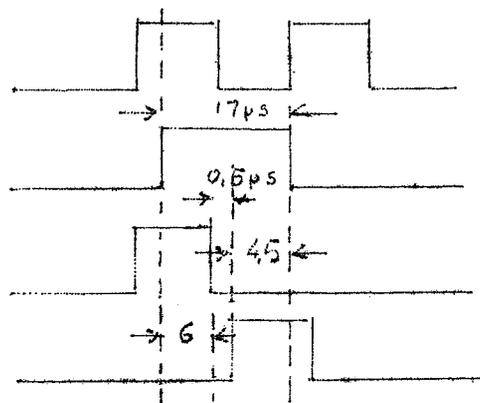
2ème décharge

Les constantes de temps de charge ( $\tau_1$ ) et de décharge ( $\tau_2$ ) de la capacité sont déterminées par le système d'écriture-lecture et l'impédance des interrupteurs.

La somme des temps a et b est voisine de la durée de l'impulsion de sélection.

Il existe un rapport  $\frac{a}{b}$  pour lequel la 1ère et la 2ème décharge se différencient le plus possible (Interviennent à la fois la différence  $h_1 - h_2$  et le rapport  $h_1/h_2$ )

Expérimentalement, nous avons déterminé les durées suivantes :



Horloge

...

### III-32 - Logique de lecture-écriture

Nous ne nous attarderons pas à la description de cette logique. La simple confrontation du tableau de synchronisation (fig. III.4) et du schéma logique à Ni de l'écriture-lecture permet de comprendre son fonctionnement (fig. III.8)

La lecture a lieu à chaque sélection

L'écriture est réalisée par l'intersection du signal d'écriture et des sorties des opérateurs ou des entrées extérieures.

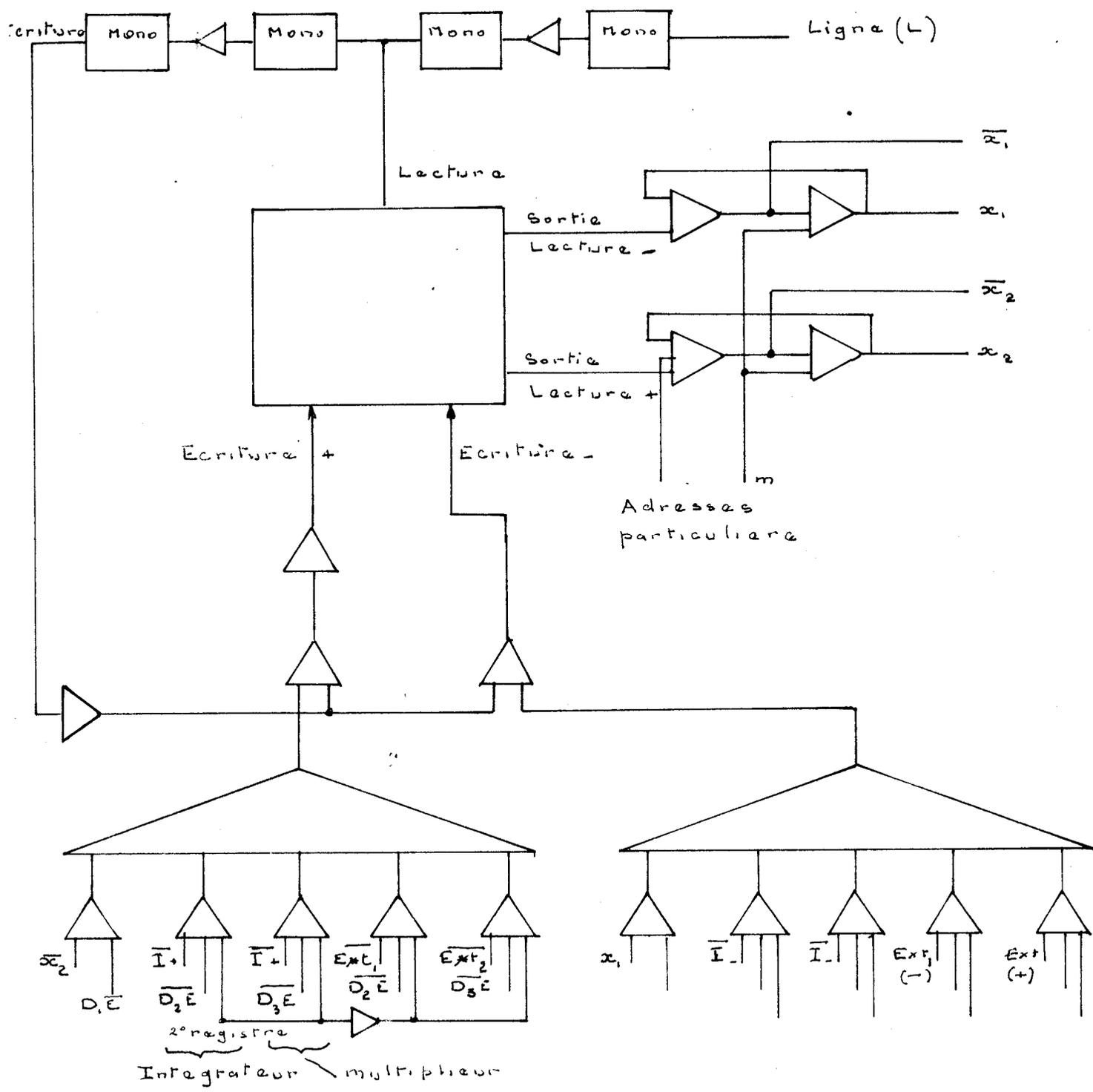
- Ecriture incrément I<sub>2</sub> : porte D<sub>2</sub>. 2ème registre
- Ecriture incrément I<sub>ku</sub> : porte D<sub>3</sub>. 2ème registre
- Ecriture extérieure 1 : porte D<sub>2</sub>. 2ème registre
- Ecriture extérieure 2 : porte D<sub>3</sub>. 2ème registre.

#### Remarque :

Le dernier registre utilisé pour les incréments de sortie ne possède pas d'adresse d'extraction d'incrément I<sub>y</sub>. Les opérateurs se trouvant en face du registre suivant (1er registre) ne peuvent fonctionner. Il n'y a donc aucun incrément I<sub>2</sub> ou I<sub>ku</sub> rangés au 2ème registre. C'est ce 2ème registre que nous avons utilisé pour introduire les entrées incrémentielles extérieures.

#### Réécriture

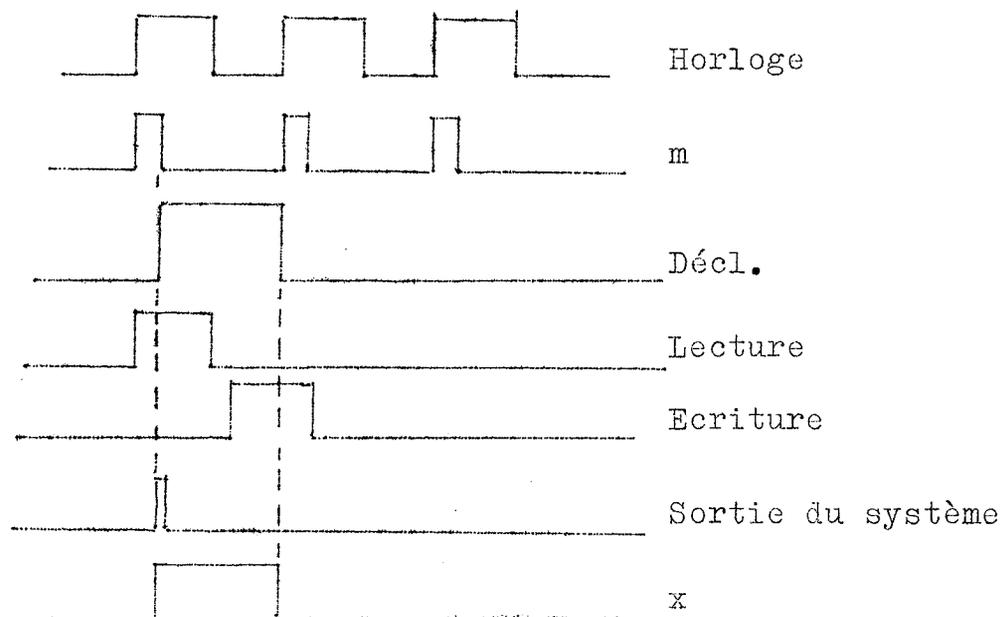
Plusieurs opérateurs peuvent avoir les mêmes incréments d'entrée. Après lecture de ces incréments, il faut donc les réécrire.



Logique de lecture . ecriture . raeecriture

fig III 8

Le signal de lecture donné par le système d'écriture-lecture a l'allure suivante :



Ce signal est mis en mémoire dans une bascule RS remise à zéro par le signal  $m$ . On obtient  $x$ .

L'intersection de  $x$  et du signal d'écriture permet de réécrire la capacité.

Porte de réécriture :  $\overline{D_1}$

### III-33 - Entretien de la mémoire

Les divers modes de fonctionnement de l'analyseur différentiel digital sont les suivants :

1. Attente
2. Introduction manuelle ou automatique.  
 Dans ces deux cas le bloc de calcul est arrêté.  
 La mémoire d'incréments doit être effacée.
3. Calcul normal  
 Bloc de calcul et mémoire sont en fonctionnement.
4. Arrêt calcul  
 Le bloc de calcul est arrêté mais la mémoire doit  
 conserver son contenu.
5. Pas à pas  
 Succession d'un pas de calcul et d'un arrêt calcul  
 Les conditions sont les mêmes qu'en 3 et 4.

Si nous remarquons qu'en un cycle majeur chaque position de la mémoire utilisée pour un programme déterminé est appelée au moins une fois à la lecture et l'écriture, le simple arrêt du bloc de calcul efface la mémoire en un cycle majeur au plus.

Il faut donc que le passage en position arrêt calcul délivre un signal qui arrête la procédure d'écriture et permette la réécriture. Ce signal est désigné par la lettre E ou "entretien".

L'écriture est alors commandée par  $D_2 \bar{E}$  et  $D_3 \bar{E}$

La réécriture est commandée par  $\overline{D_1 \bar{E}} = \bar{D}_1 + E$

### III-4 - REMARQUES

#### III-41 - Deux adresses particulières

- a) Si une ou plusieurs des 6 entrées d'un intégrateur n'est pas utilisée, les adresses correspondantes inscrites sur le programme sont composées de 7 zéros. Il est inutile de mettre un condensateur sur la position correspondante de la matrice : Le circuit de lecture interprète l'information comme étant 0. Par contre cette adresse ne doit jamais servir pour l'inscription de l'incrément de sortie d'un opérateur en fonctionnement.
- b) Le fonctionnement de l'analyseur différentiel digital impose à une cellule de contenir en permanence l'incrément + 1 utilisé pour les entrées qui doivent recevoir la variable indépendante t.

La position IIII III a été choisie. Pour éviter d'introduire cet incrément avant tout démarrage de calcul, la simple lecture de cette adresse donne un signal sur la sortie + 1.

On réalise l'intersection logique des signaux de sélection de la colonne IIII et de la ligne III et du signal de déclenchement de sélection.

Cette intersection positionne directement la bascule placée en sortie du système de lecture + 1.

#### III-42 - Note sur le choix de la capacité

Les constantes de temps de charge et de décharge doivent être de l'ordre de 2 à 3  $\mu$ s

Les résistances de charge et de décharge étant de

l'ordre de  $1\text{ K}\Omega$  on doit employer des capacités qui ne dépassent pas trop  $2000\text{ pF}$ .

D'autre part la décharge de la capacité sélectionnée doit pouvoir se distinguer de la décharge des capacités parasites (au total  $100\text{ pF}$  environ) toujours sélectionnées.

Nous avons donc choisi des capacités de  $2\ 000\text{ pF}$ .

(Dans les conditions d'utilisation, la mémoire fonctionne correctement avec des capacités variant de  $700$  à  $4\ 000\text{ pF}$ .)

La forte impédance résistive des interrupteurs ouverts permet d'avoir une très faible perte d'information au bout d'un cycle majeur.

### III-43 - Sorties

Les adresses des incréments de sortie sont inscrites sur le dernier registre.

4 sorties sont prévues.

Les intersections des signaux de sortie du système de lecture et des portes  $D_7 \triangle 2$ ,  $D_8 \triangle 2$ ,  $D_9 \triangle 2$ ,  $D_{10} \triangle 2$  donnent les 4 sorties incrémentielles de l'analyseur différentiel digital.

### III-5 - CONCLUSION

Il semblerait plus classique d'utiliser comme élément d'une mémoire d'incrément ternaire, deux éléments d'une mémoire binaire.

Pour un A D D utilisant pour conserver les nombres de calcul et le programme une mémoire à tores magnétiques, cette

solution aurait été certainement adoptée.

L' A D D n'aurait comporté alors qu'une seule mémoire. Une partie en aurait été affectée au programme, une autre partie aux nombre de calcul, une troisième partie aux incréments.

La réalisation d' un A D D de type successif, à tambour magnétique nécessitait pour mémoire d'incrément, un élément distinct.

La capacité et les performances de l' A D D réalisé permettaient l'utilisation d'une mémoire à capacités.

C'est cette solution, originale dans sa conception et simple dans sa réalisation, que nous avons adoptée.

Les caractéristiques de la mémoire réalisée permettent d'obtenir un fonctionnement très sûr. Il faudrait réaliser un très grand nombre d'essais pour avoir une idée précise de sa fiabilité.

IV - UTILISATION D'UN ANALYSEUR DIFFERENTIEL DIGITAL

#### IV - UTILISATION D'UN ANALYSEUR DIFFERENTIEL DIGITAL

Nous ne ferons ici qu'ébaucher le problème.

M. MELROSE donnera dans sa thèse quelques exemples d'application pratique des analyseurs différentiels digitaux.

Une étude plus approfondie sur les méthodes de résolution et les problèmes d'erreurs, d'une part, et sur le champ d'application de l'A D D réalisé, d'autre part, sera faite ultérieurement.

Tous les problèmes mathématiques solubles par l' A D D :

- Résolution d'équations différentielles
- Génération des fonctions
- Représentation de fonctions de transfert
- Résolution d'équations algébriques ...

peuvent se ramener à la résolution d'équations différentielles.

Nous allons donc étudier succinctement les méthodes de résolution d'équations différentielles.

##### IV-1 - METHODE de RESOLUTION

La résolution d'un problème - mis en équation - comprend cinq phases préparatoires :

- 1) Détermination d'un réseau d'opérateurs (intégrateur, additionneur, multiplieur, comparateur) permettant la résolution du problème.

La méthode s'apparente à celle utilisée en calcul analogique et ne présente aucune difficulté.

## 2) Détermination des valeurs initiales

Certaines valeurs sont des données, d'autres sont à calculer.

## 3) Choix du pas

Il est déterminé par :

- la précision
- des conditions mathématiques.

## 4) Choix du cadrage

- Les registres  $Y$  ne doivent pas déborder.  
Mais on doit avoir  $|Y|$  max le plus près possible de + 1 afin de réduire au maximum l'erreur d'arrondi.
- Les poids de tous les incréments à additionner doivent être égaux.

### Remarque :

- . Pour un réseau compliqué le cadrage devient un problème délicat. Nous ne l'étudierons pas ici.
- . Les multiplieurs par une constante jouent un rôle de cadrage.

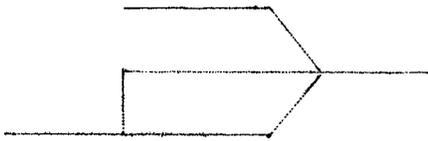
## 5) Codage des diverses informations

Introduction du programme et des valeurs initiales.

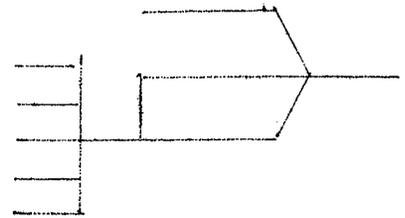
Nous allons exposer maintenant quelques types de problèmes solubles avec un A D D. Nous donnerons quelques exemples de réseaux choisis.

IV-2 - DIFFERENTS TYPES DE PROBLEMES

Rappelons les symboles utilisés.



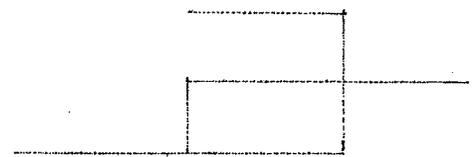
Intégrateur



Intégrateur - Additionneur



Multiplieur par une constante



Comparateur



Additionneur



Changeur de signe

IV-21 - Equations différentiellesExemple simple

$$y'' + y' + y = 0$$

$$y(0) = y_0$$

$$y'(0) = y'_0$$

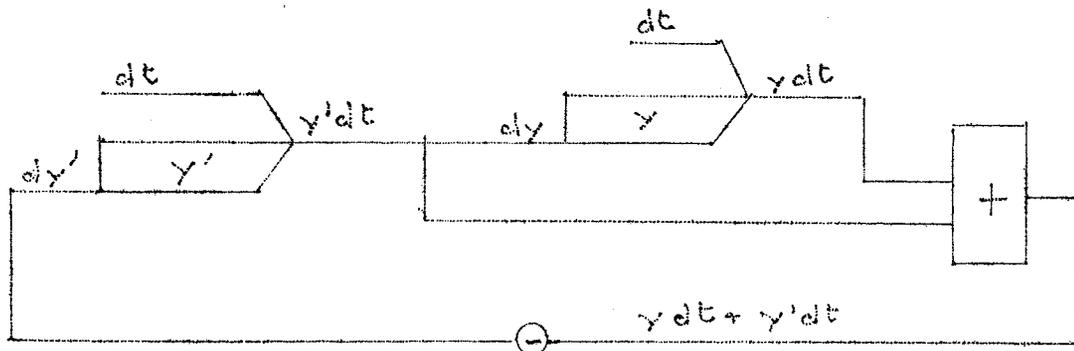
On met l'équation sous la notation différentielle :

$$\frac{dy'}{dt} + y' + y = 0$$

$$\text{D'où } dy' = -y'dt - ydt$$

$$\text{avec } dy = y'dt$$

On obtient le schéma suivant :



Les registres contiennent  $y'$  et  $y$ .

On introduit avant le calcul les valeurs initiales  $y'_0$  et  $y_0$ .

IV-22 - Système d'équations différentielles

Nous reprenons un exemple donné dans l'ouvrage de M. PELEGRIN, concernant la stabilité aérodynamique d'un engin en roulis.

$$\theta'' = -a\theta' + b\theta + c\psi' + e\psi$$

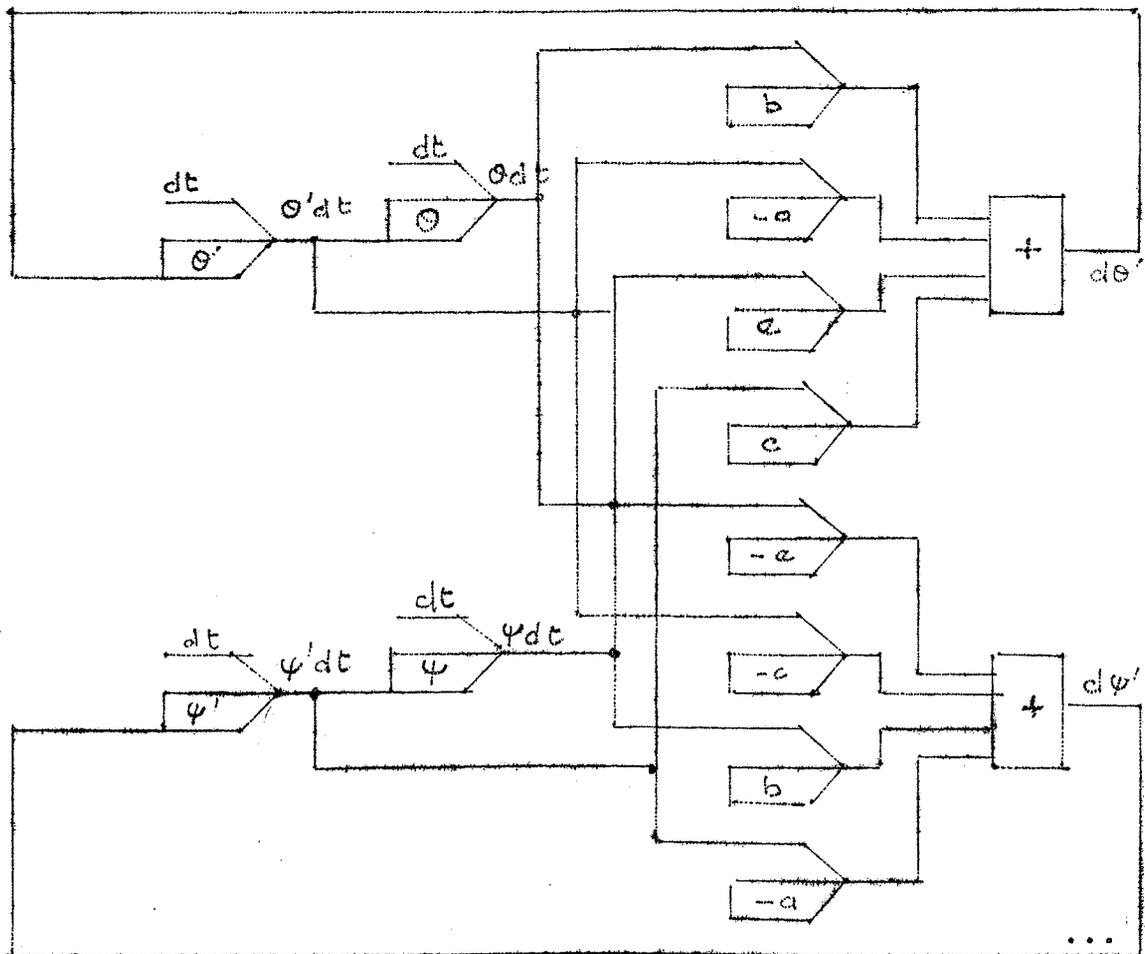
$$\psi'' = -a\psi' - b\psi - c\theta' - e\theta$$

En mettant sous forme différentielle on obtient :

$$d\theta' = -a\theta'dt + b\theta dt + c\psi'dt + e\psi dt$$

$$d\psi' = -a\psi'dt - b\psi dt - c\theta'dt - e\theta dt$$

d'où le schéma



#### IV-23 - Résolution d'équations aux dérivées partielles

L'analyseur différentiel digital peut intégrer par rapport à la variable indépendante  $t$  ou par rapport à une variable quelconque.

Il est donc possible de résoudre des équations aux dérivées partielles.

Cette application permet la résolution de problèmes réputés difficiles.

Nous allons simplement donner quelques exemples simples.

##### Notation

Soit l'expression :

$$dw = \frac{\partial w}{\partial x} dx + \frac{\partial w}{\partial y} dy.$$

Nous utiliserons la notation :

$$dw = W_x dx + W_y dy.$$

Pour résoudre un système d'équations aux dérivées partielles, il est nécessaire de connaître :

- les conditions initiales,
- les conditions aux limites.

Dans certains, seules les conditions initiales sont utiles, ce qui simplifie la résolution.

Les deux exemples que nous allons donner sont extraits de l'ouvrage de G.F. FORBES : Digital Differential Analyzers.

...

Exemple 1

$$\text{Soit le système : } F_{x_x} = KF_t \quad (1)$$

$$F_{x_t} = F_{t_x} \quad (2)$$

$$F_{t_t} = kF_{x_x} \quad (3)$$

$$F_{x_t} = CF_x \quad (4)$$

Nous pouvons écrire les équations générales :

$$dF = F_x dx + F_t dt \quad (5)$$

$$dF_x = F_{x_x} dx + F_{t_x} dt \quad (6)$$

$$dF_t = F_{x_t} dx + F_{t_t} dt \quad (7)$$

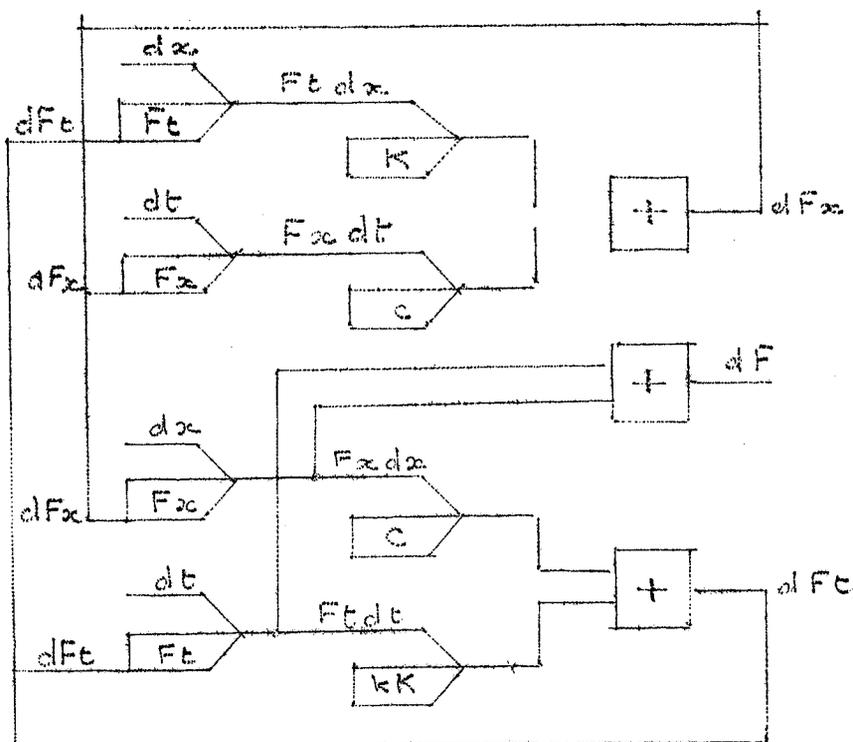
La combinaison des équations (1) (2) (3) (4) et (5) (6) (7) donne le système suivant :

$$dF = F_x dx + F_t dt$$

$$dF_x = KF_t dx + C F_x dt$$

$$dF_t = C F_x dx + kK F_t dt$$

Ce système est résolu par le réseau suivant :



Exemple 2

Considérons l'équation du flux de chaleur à travers un mur :

$$\theta_{xx} = K \theta_t$$

Nous pouvons utiliser la méthode suivante : supposons que  $\theta = uv$

où  $u =$  fonction de  $x$  seulement  
 $v =$  fonction de  $t$  seulement.

On est ainsi limité aux solutions qui peuvent être exprimées par le produit d'une fonction de la distance (profondeur dans le mur) et d'une fonction du temps.

Nous pouvons écrire :

$$\begin{aligned} \theta &= u v \\ \theta_x &= u_x v \\ \theta_{xx} &= u_{xx} v \\ \theta_t &= u v_t \end{aligned}$$

ce qui donne :

$$u_{xx} v = K u v_t$$

ou encore :

$$\frac{u_{xx}}{u} = \frac{K v_t}{v} = m = c^{\text{te}}.$$

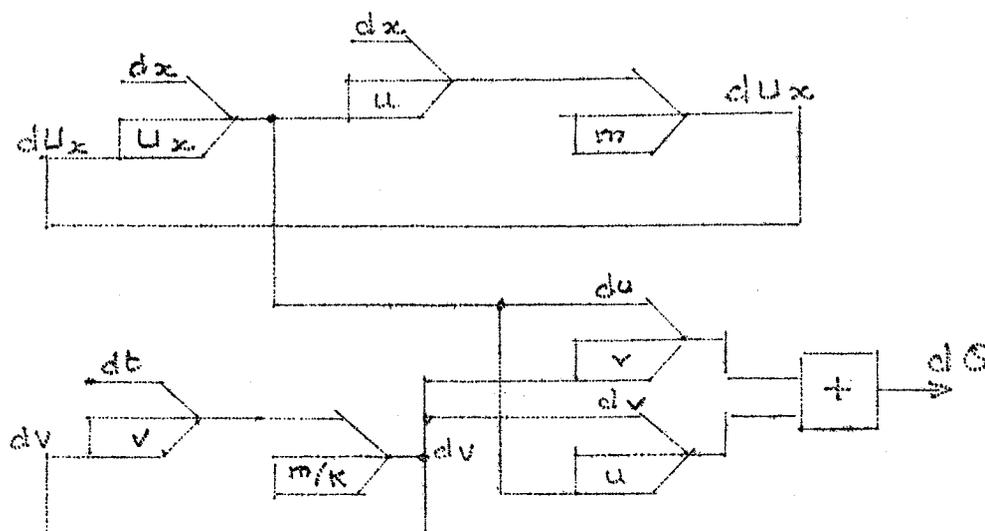
Nous ramenons l'équation au système suivant :

$$\begin{cases} u_{xx} = m u \\ v_t = \frac{m}{K} v \end{cases}$$

Donc :

$$\begin{aligned} du_x &= u_{xx} dx = \mu u dx \\ du &= u_x dx \\ dv &= v_t dt = \frac{m}{k} v dt \\ d\mathcal{O} &= u dv + v du \end{aligned}$$

ce qui donne le réseau suivant :



Nous limitons volontairement ici les exemples de résolution. Le principe de résolution est en effet le même pour tous les types de problèmes.

### IV-3 - RESOLUTION EFFECTIVE DE QUELQUES EQUATIONS

#### IV-31 - Echelle de temps

Pas de calcul  $h = 2^{-p}$

La durée en temps réel d'un pas de calcul est égale à la durée d'un cycle majeur :  $T$

$$2^{-p} = T$$

Le facteur d'échelle de temps est  $\boxed{T 2^p}$

#### IV-32 - Résolution de $y' + y = 0$

$$y(0) = y_0$$

La solution est :

$$y = y_0 e^{-t}$$

La solution donnée par l'analyseur est en fait :

$$y(t) = y_0 e^{-\frac{t}{T2^p}}$$

Nous avons tracé différentes courbes obtenues avec des précisions différentes (fig. IV.1)

Pour obtenir les courbes solutions des équations résolues, une sortie incrémentielle de l'analyseur différentiel est introduite dans un compteur d'incrément; un convertisseur digital analogique permet de visualiser la courbe sur un oscilloscope ou un enregistreur xy.

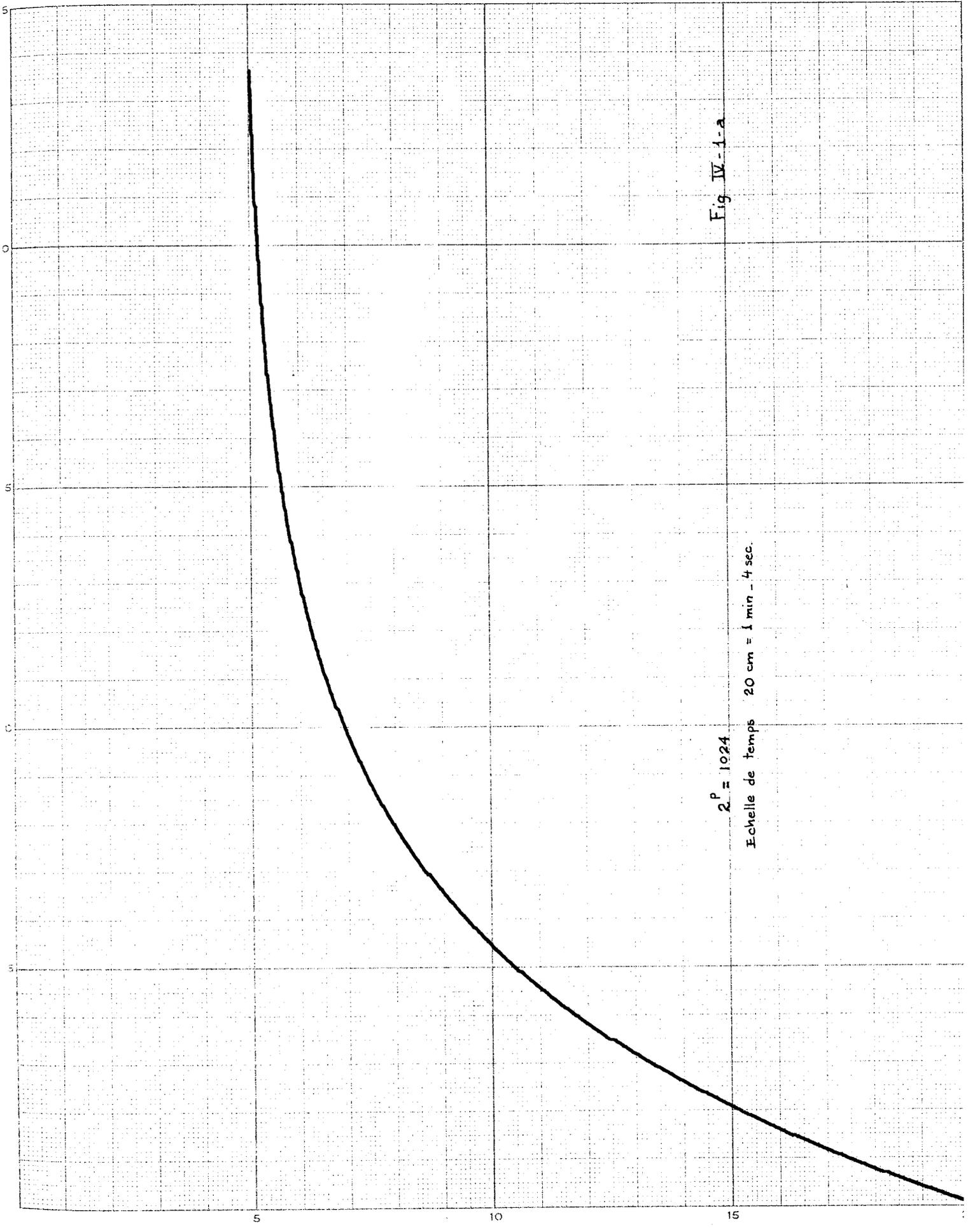


Fig IV-1-a

$z^p = 1024$

Echelle de temps 20 cm = 1 min - 4 sec.

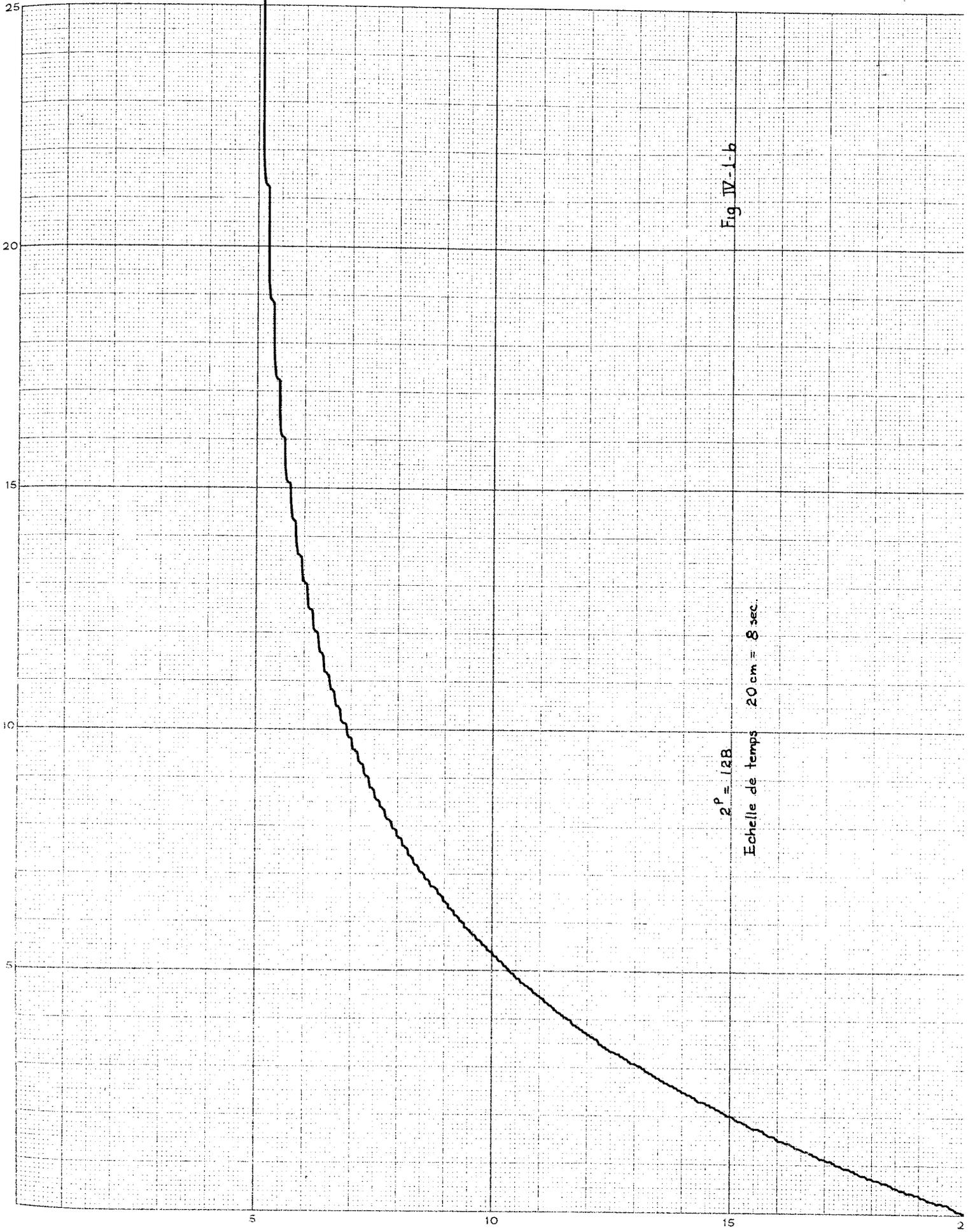


Fig IV-1-b

$2P = 128$   
Echelle de temps 20 cm = 8 sec.

IV-33 - Résolution de  $y'' + y = 0$ 

$$y(0) = y_0$$

La solution  $y = y_0 \cos t$

Solution donnée par l'analyseur :

$$y = y_0 \cos \frac{1}{T} t$$

On constate que la courbe obtenue par la méthode des rectangles diverge, d'autant plus vite que la précision est faible (fig. IV.2).

Cette divergence ne peut être due qu'à un retard :

- retard dans la transmission des incréments,
- retard dû à l'intégration (erreur d'arrondi).

On a vu qu'en utilisant la méthode des trapèzes on pouvait compenser le retard dans la transmission des incréments. Or, la courbe obtenue par la méthode des trapèzes diverge.

Il n'est pas question ici de donner une étude rigoureuse de ce phénomène. On pourra se reporter à la thèse de M. ECHEVIN.

Nous allons essayer de donner une explication approchée mais plus compréhensible de la divergence.

Lorsqu'on programme  $y'' + y = 0$ , l'analyseur différentiel résout en fait  $y_t'' + y(t - \tau) = 0$  (1)

peut être un retard fonction du temps, des conditions initiales ...

Supposons  $\tau = c \cdot t^e$

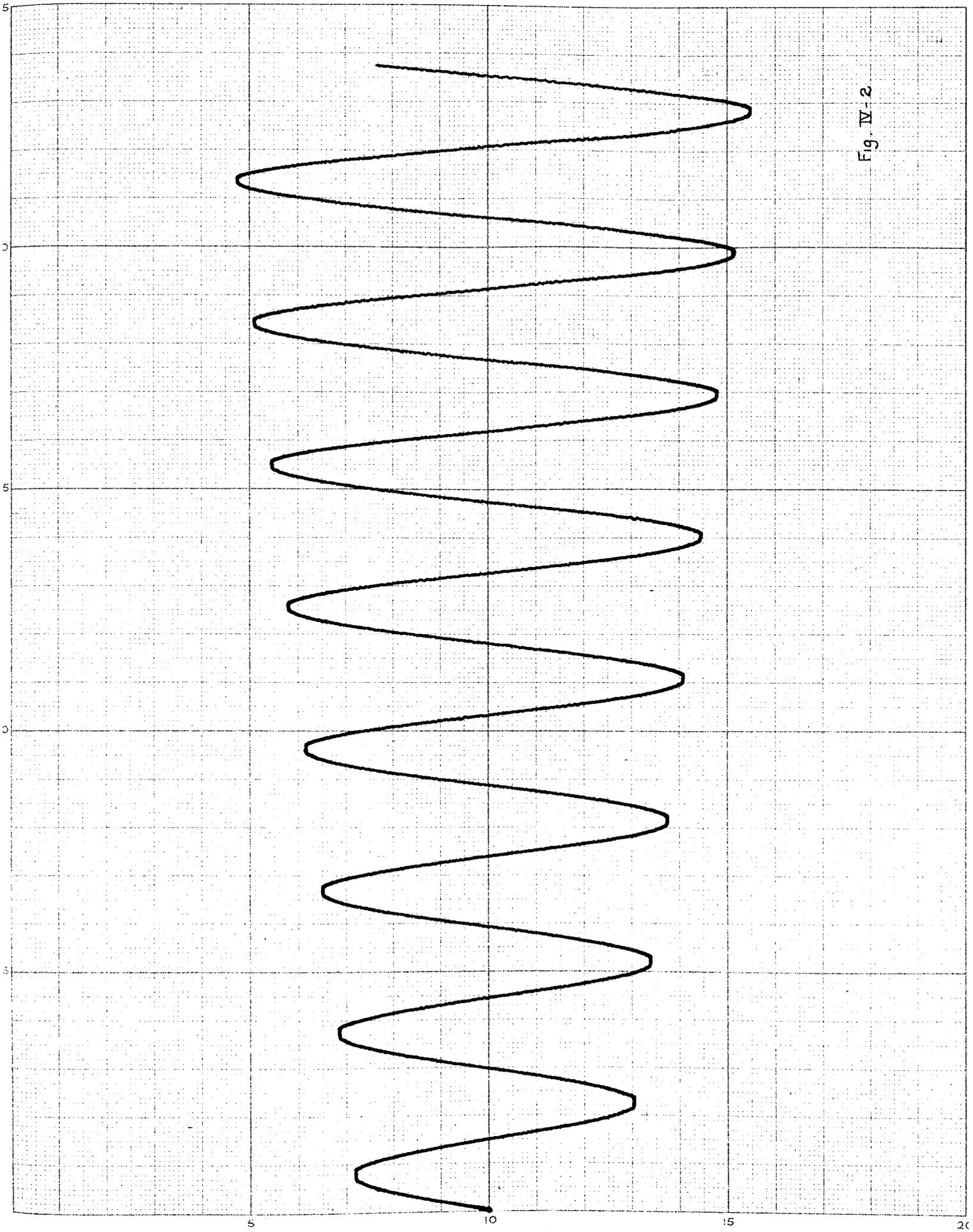


Fig. IV-2

Réolvons (1) par la méthode de Laplace

$$p^2 y + e^{-\zeta p} \dot{y} = m$$

$$y = \frac{m}{p^2 + e^{-\zeta p}} = \frac{m}{p^2 + 1 - \zeta p + \frac{\zeta^2}{2} p^2 \dots}$$

est supposé petit.

$$y \neq \frac{k}{1 - \zeta p + p^2}$$

$$y(t) \neq k \cos t \cdot e^{+\zeta t} : \text{sinusoïde divergente.}$$

En première approximation pour  $\zeta$  très petit on peut admettre que les deux équations différentielles

$$y'' + y(t-\zeta) = 0$$

$$\text{et } y'' - \zeta y' + y = 0 \text{ sont équivalentes.}$$

Donc, en programmant sur l'A D D

$$y'' + ky' + y = 0$$

$$(k = \zeta)$$

on peut espérer obtenir une sinusoïde stable.

Or, pour un  $k$  donné - la précision étant fixée - l'amplitude de la sinusoïde tend vers une limite.

Si l'amplitude initiale est supérieure à cette limite la courbe converge jusqu'à cette limite.

Si l'amplitude initiale est inférieure à cette limite la courbe diverge jusqu'à cette limite (fig. IV.3).

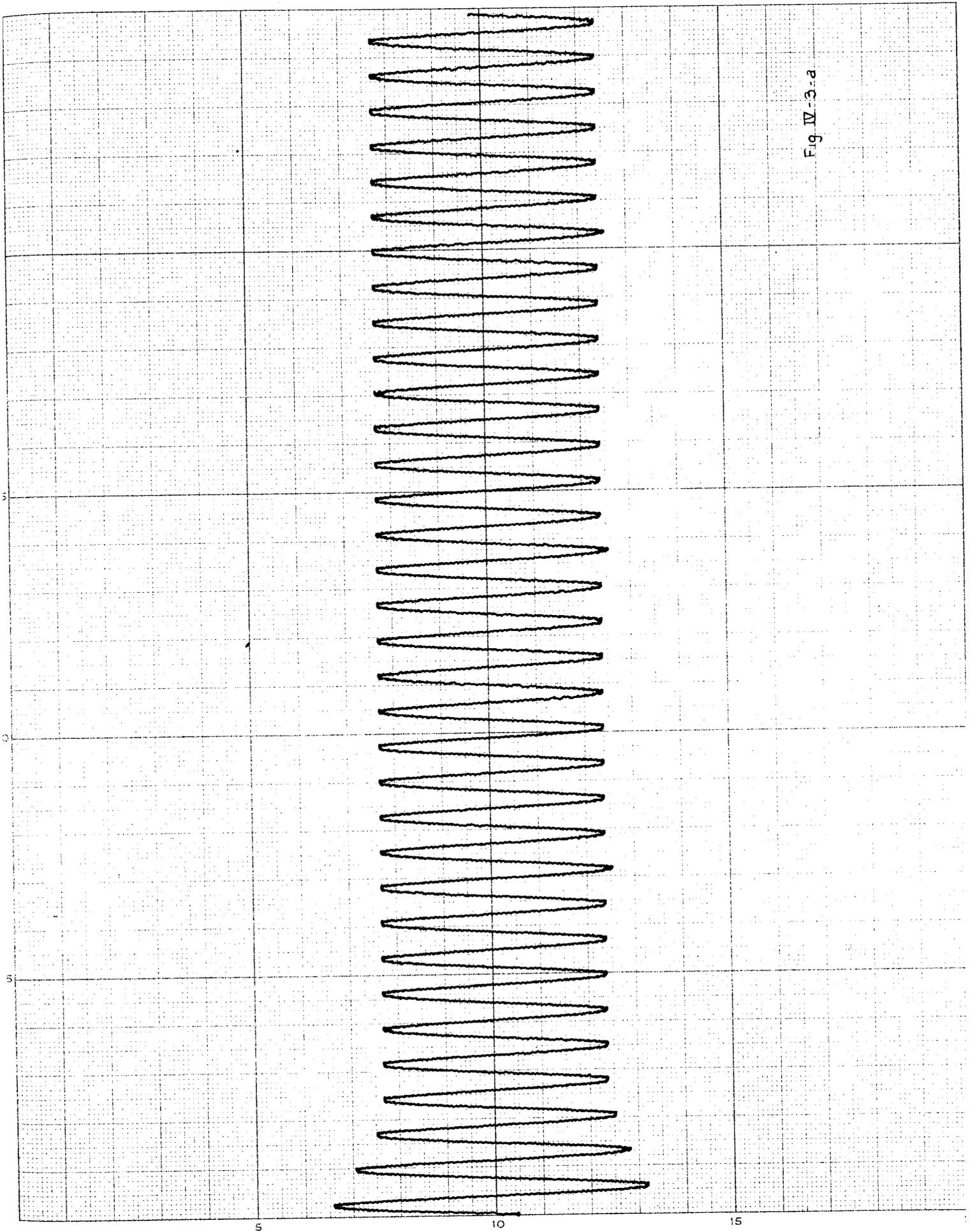


Fig IV-3-a

La précision étant fixée, cette limite n'est fonction que du coefficient d'amortissement  $k$ .

Tout se passe comme si le retard dû à l'intégration était fonction de l'amplitude.

La limite correspond à l'égalité  $k = \tau$ .

Nous allons le vérifier.

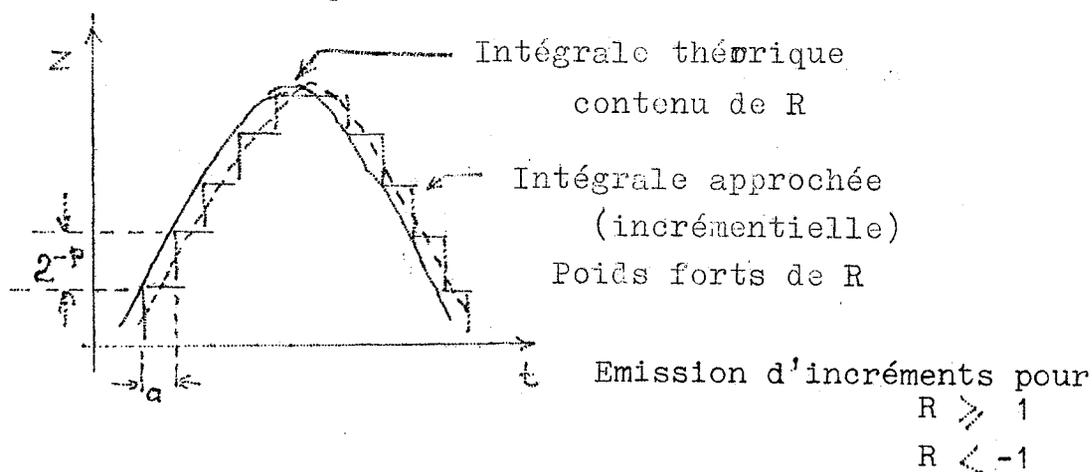
### Retard d'intégration

Le contenu d'un registre  $R$  représente l'intégrale de la fonction  $y$ .

Or on ne transmet **que** les débordements de ce registre en négligeant les poids faibles.

Supposons  $h = 2^{-p}$

poids d'un incrément =  $2^{-p}$



On constate que l'intégrale donnée par émission d'incrément est en retard par rapport à l'intégrale théorique.

$$\tau \neq \frac{a}{2}$$

$$a = \frac{2^{-p}}{\left| \frac{dR}{dt} \right|} = \frac{2^{-p}}{|y|}$$

Le retard obtenu dans l'intégration d'une fonction est inversement proportionnel à la valeur absolue de cette fonction. Ceci explique le phénomène d'amplitude limite dans la résolution de  $y'' + ky' + y = 0$ .

### Retard moyen dû à l'intégration d'un sinus

$$y = A \sin t \quad (t : \text{temps machine})$$

$$\text{moyen} = \frac{2^{-p}}{2 |y \text{ moyen}|} = \frac{2^{-p}}{2 \cdot \frac{2A}{\pi}} = \frac{2^{-p} \cdot \pi}{4A}$$

ou, en fonction du pas de calcul  $h$  :

$$\tau \text{ moyen} = \frac{h \pi}{4A}$$

### Amplitude limite

$$\text{On résout } y'' + ky' + y = 0 \quad (1)$$

On peut calculer l'amplitude limite en fonction de  $k$ .

L'équation (1) nécessite pour sa résolution deux intégrateurs en série.

$$\text{Retard d'intégration } \frac{h \pi}{2A}$$

Retard dû à la transmission des incréments :  $\alpha h$

$h$  par la méthode des rectangles ( $\alpha = \frac{1}{2} b$ )  $0 < b < 1$

$0$  par la méthode des trapèzes ( $\alpha = 0$ )

...

Retard total :

$$\frac{h \pi}{2A} + \alpha h = k$$

$$\text{D'où } A = \frac{h \pi}{2 (k - \alpha h)}$$

On vérifie expérimentalement ces résultats (fig. IV.3)

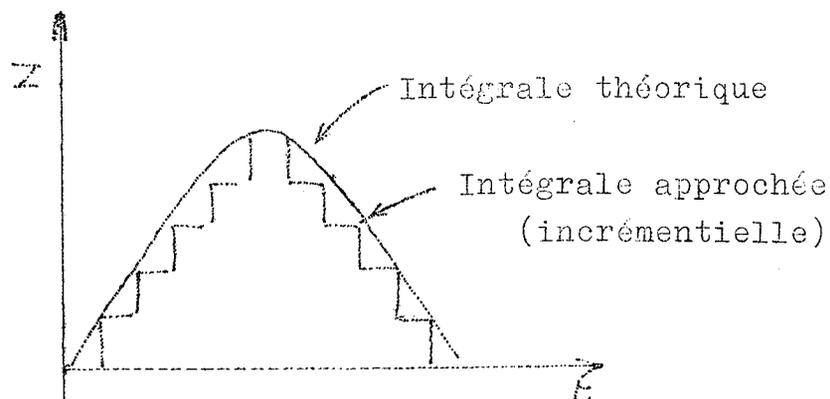
### Essai de stabilisation

Il semble nécessaire d'annuler le retard dû à l'intégration.

Nous proposons une solution que nous n'avons pas vérifiée mathématiquement. On a réalisé un deuxième type d'émission d'incrément :

Incrément + 1	pour	$R \geq 1$
Incrément 0	pour	$0 < R < + 1$
Incrément - 1	pour	$R < 0$

On obtient la figure suivante



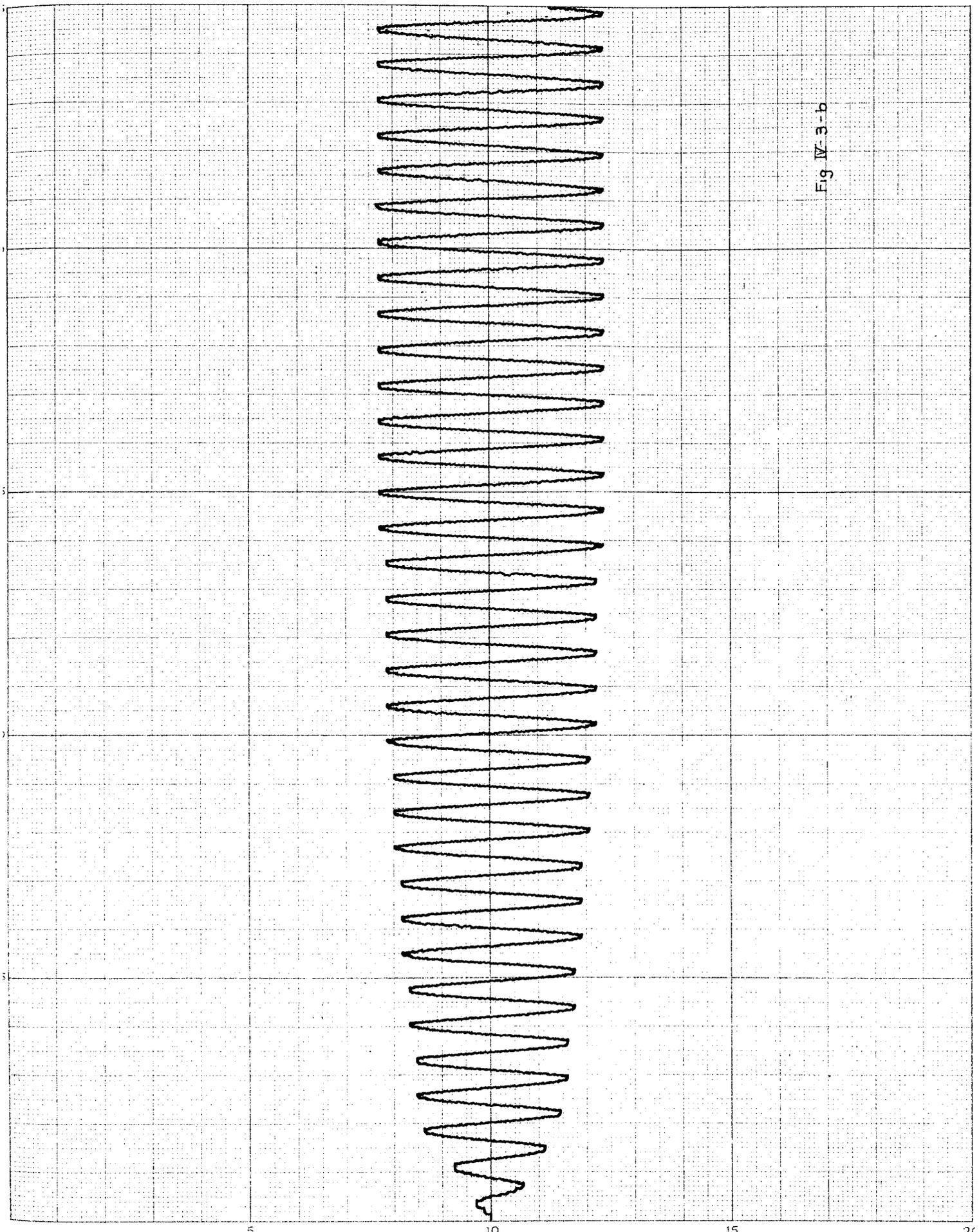
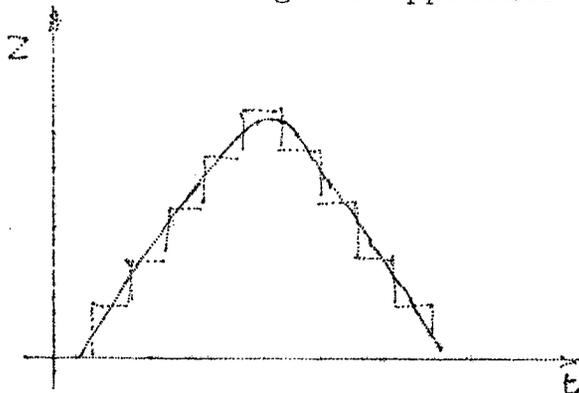


Fig. IV-3-b

En plaçant dans  $R$  une valeur initiale  $R_0 = +\frac{1}{2}(2^{-p})$  on peut centrer l'intégrale approchée sur l'intégrale théorique :

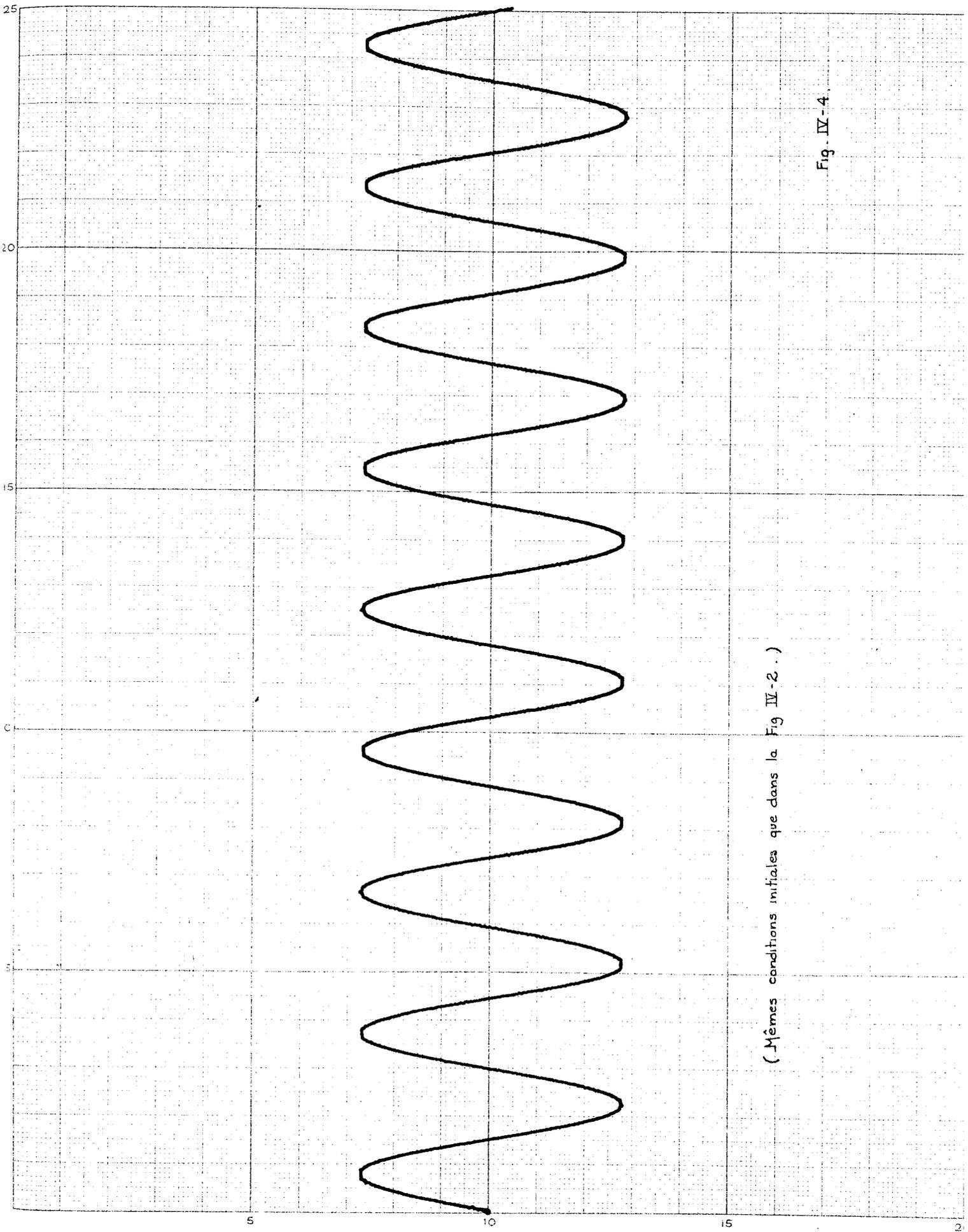


Le retard moyen entre l'intégrale donnée par émission d'incrémentes et l'intégrale théorique est alors nul.

Si l'on emploie la méthode des trapèzes, la résolution de l'équation  $y'' + y = 0$  donne une sinusoïde stable (fig. IV.4).

Il semble que ce deuxième type d'émission d'incrémentes soit préférable dans tous les cas.

Seule une étude plus approfondie pourra confirmer cette hypothèse.



(Mêmes conditions initiales que dans la Fig IV-2.)

Fig. IV-4.



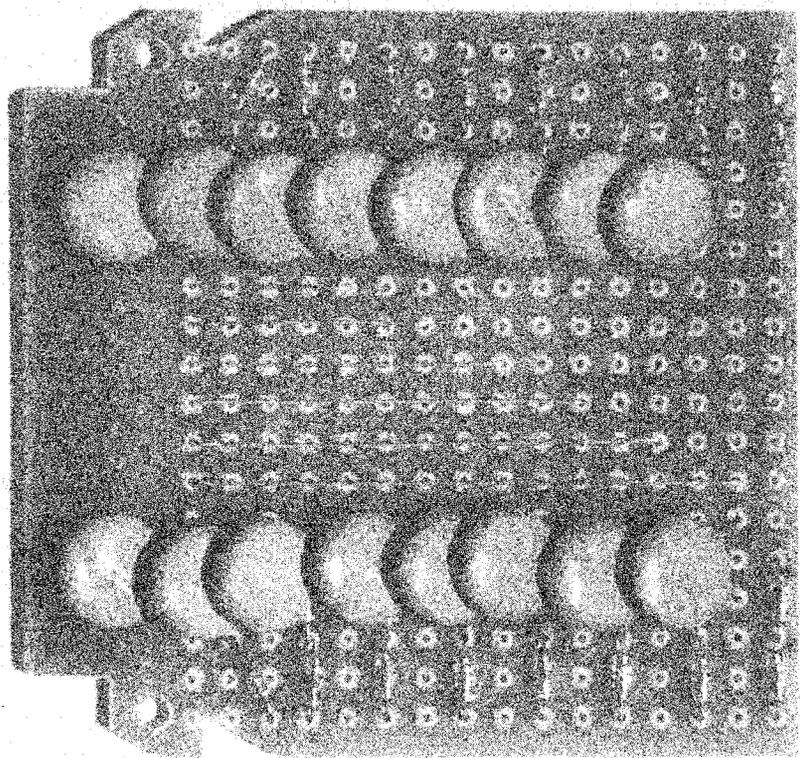
CONCLUSION

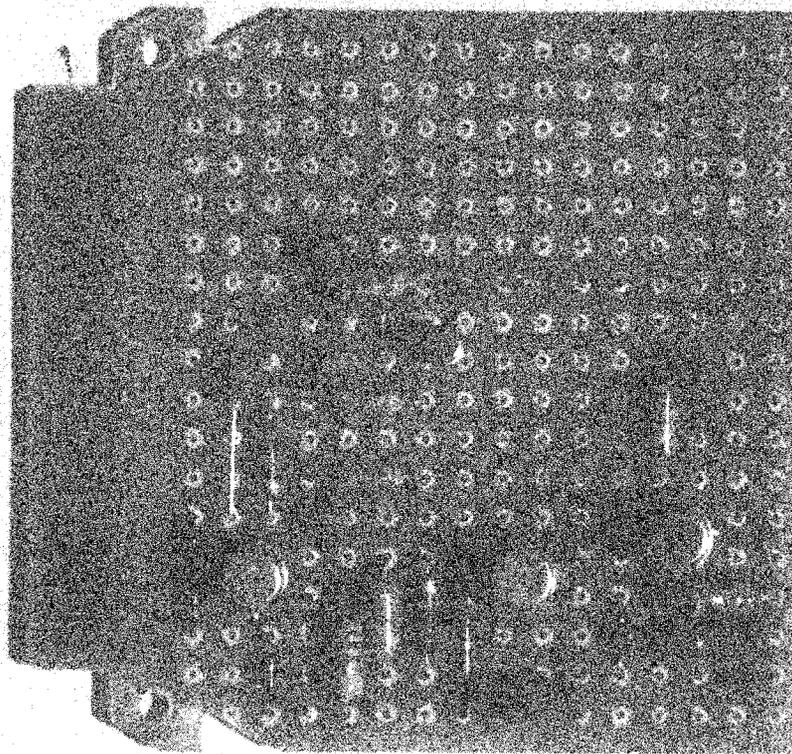
\*\*

Le but de ce travail était la contribution à la réalisation définitive d'un prototype d'analyseur différentiel digital.

L'étude succincte faite sur son utilisation n'est qu'une approche des problèmes posés par l'application de cet analyseur dans de nombreux domaines.

Une étude approfondie de ces problèmes serait le complément indispensable de cette réalisation.





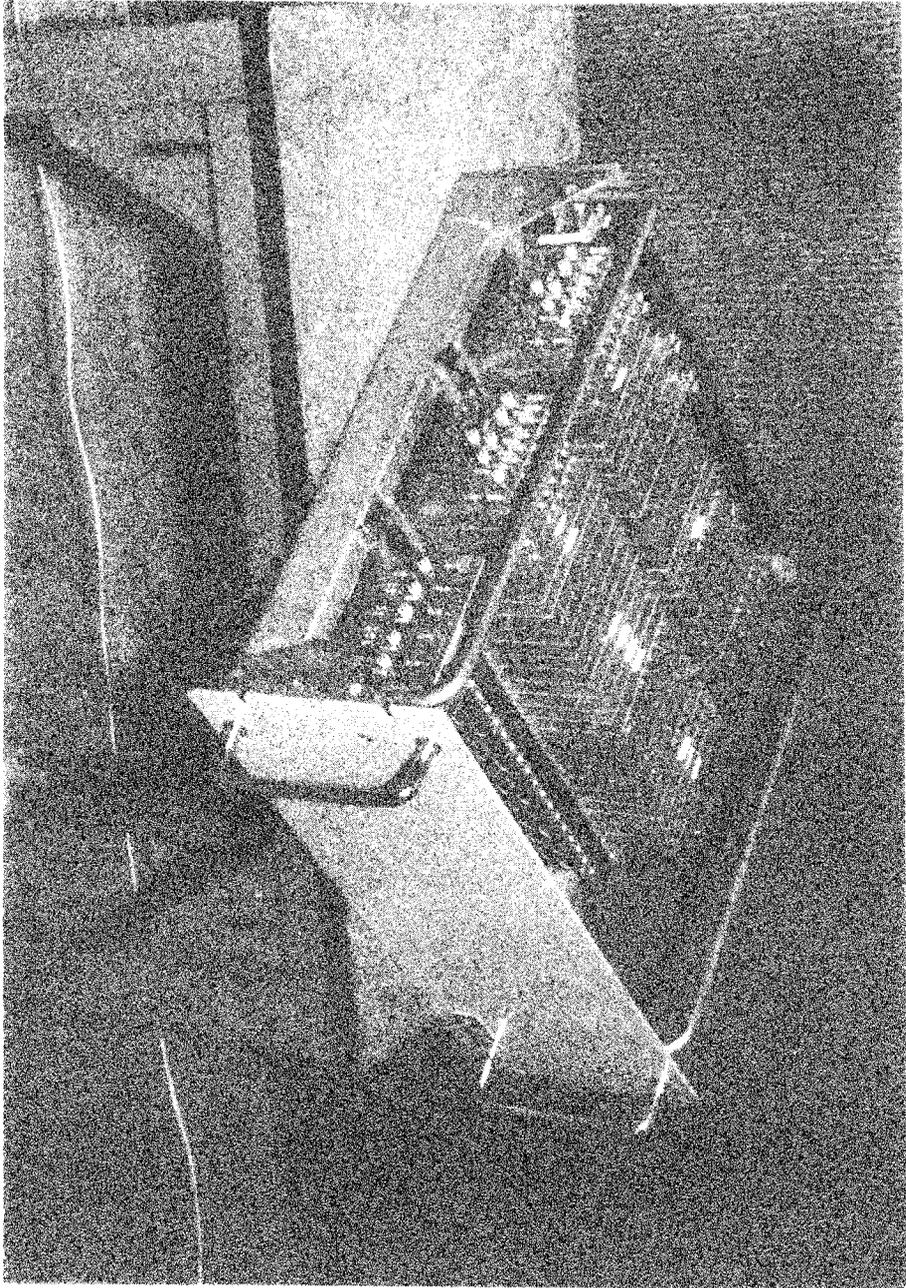
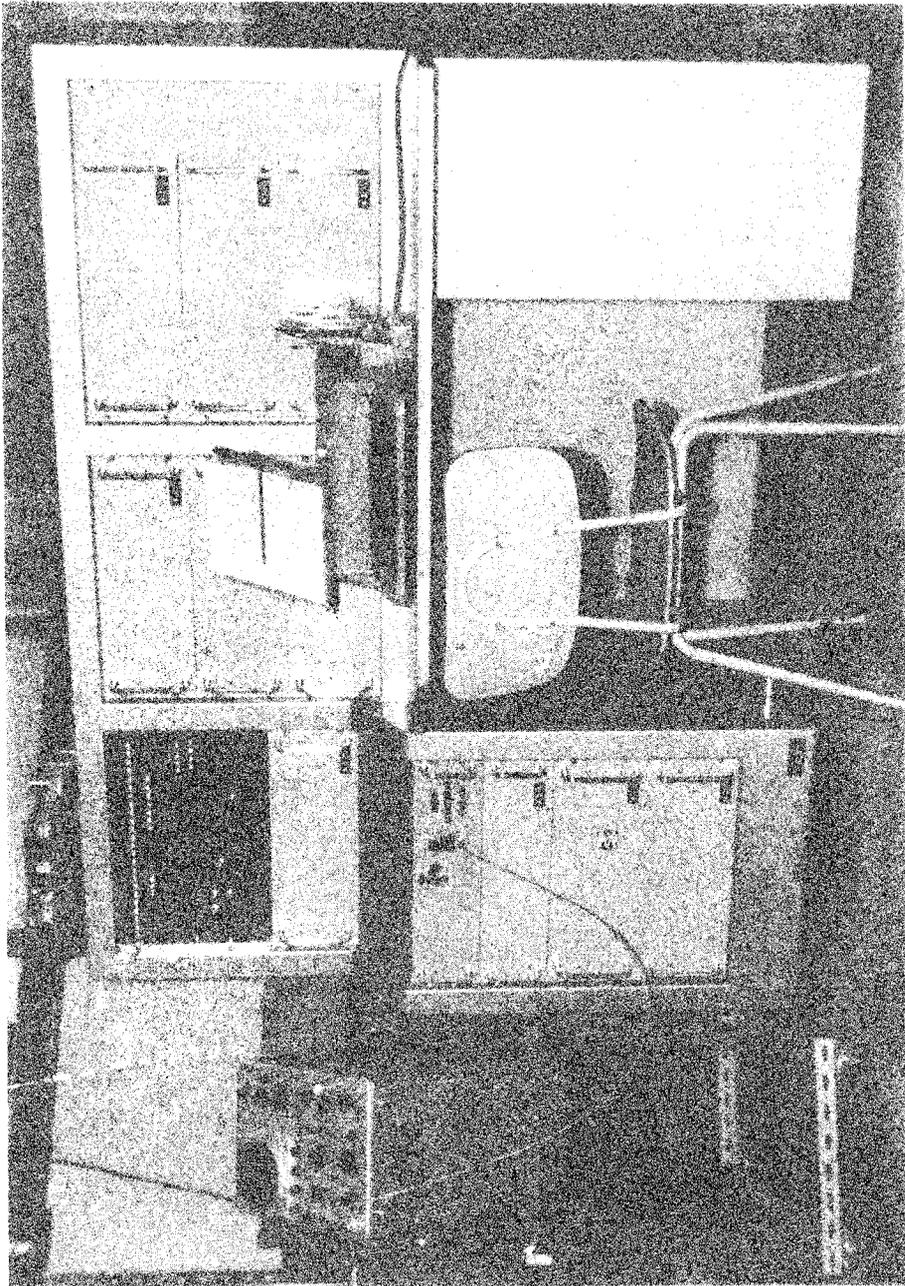
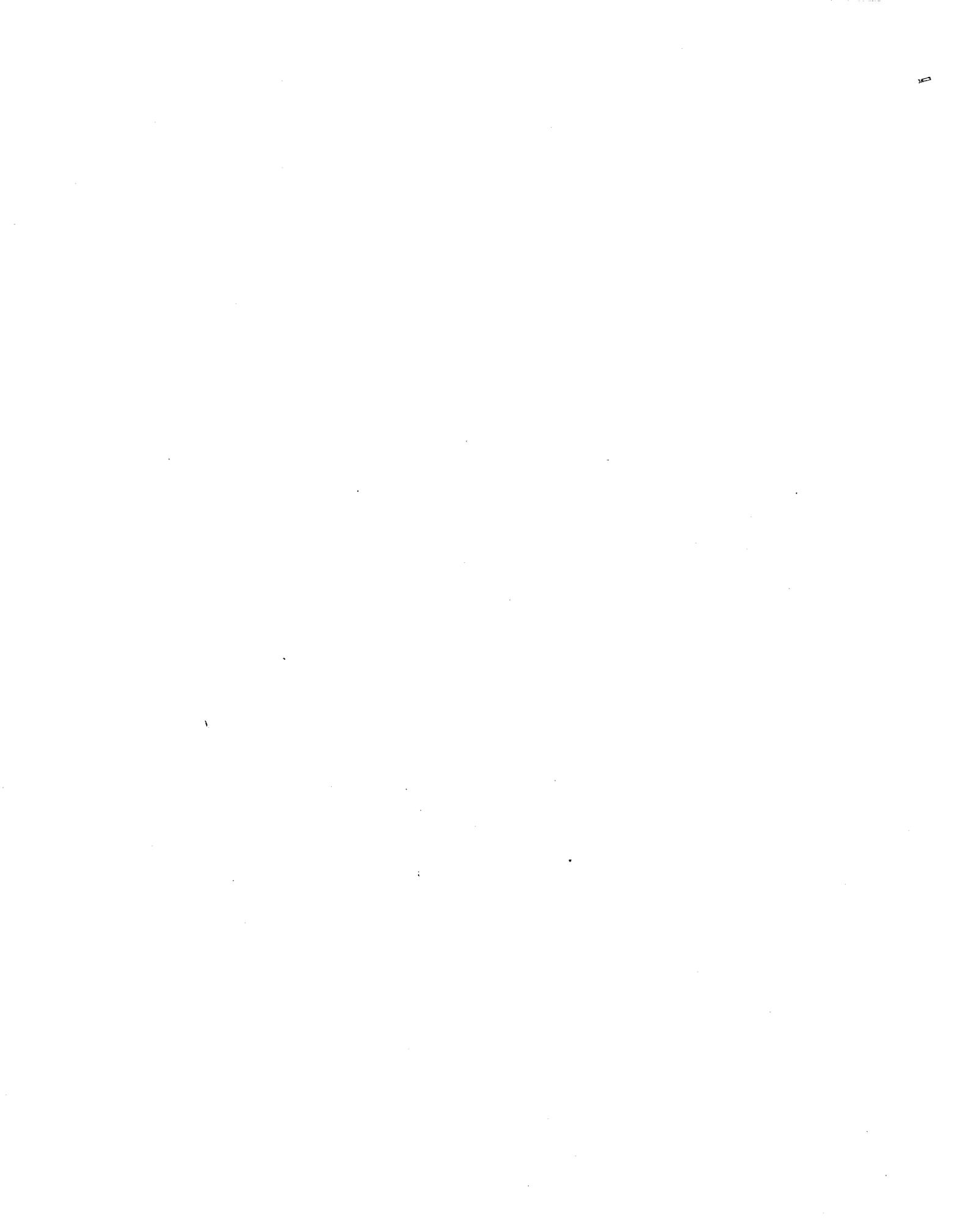


Figure 1. The object of the study.

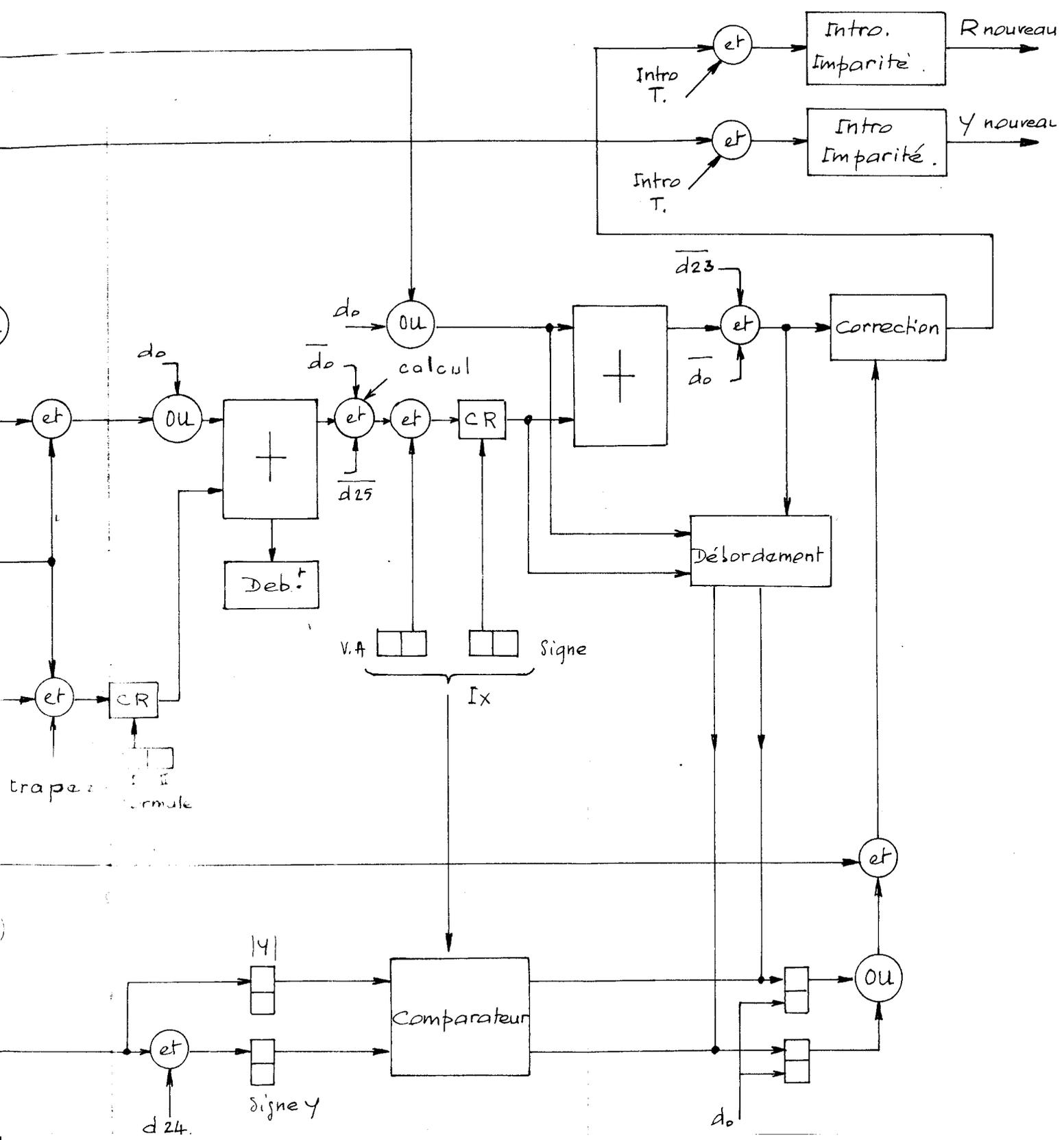


1. The first part of the document is a list of the

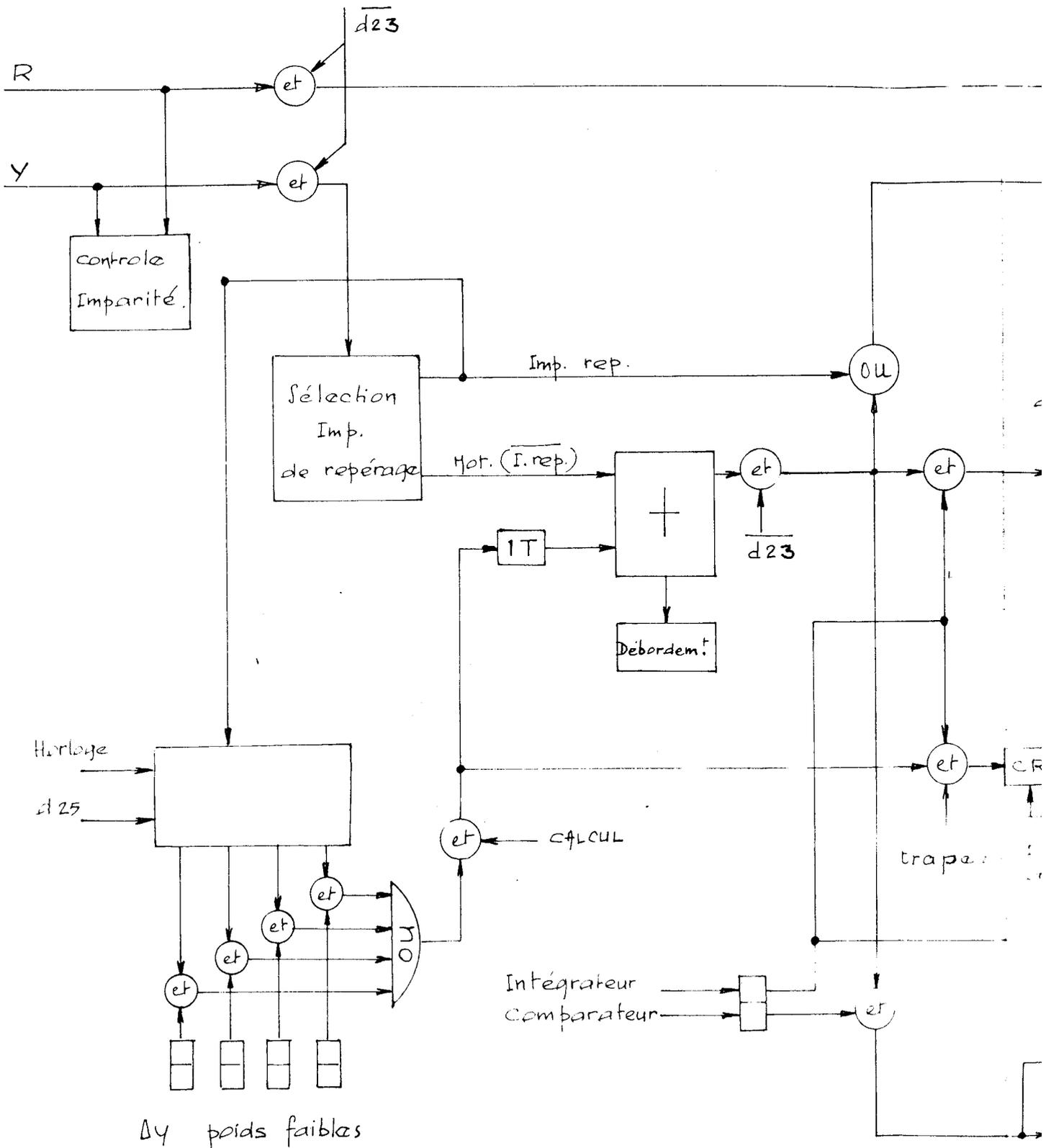
1. The first part of the document is a list of the



# E DE L'OPÉRATEUR COMPOSÉ



# SCHÉMA LOGIQUE DE L'OP



- fig. II 2 -

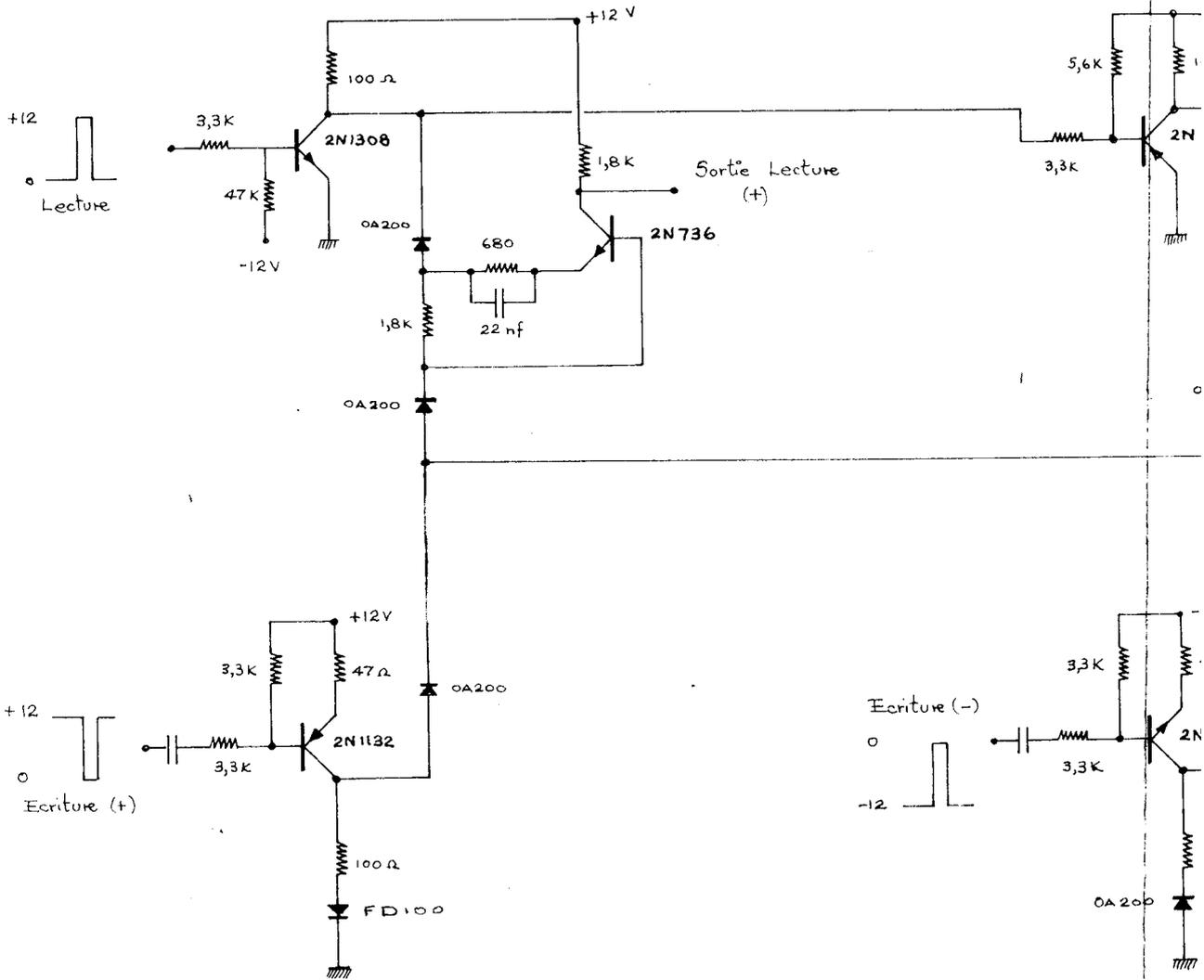


Fig III

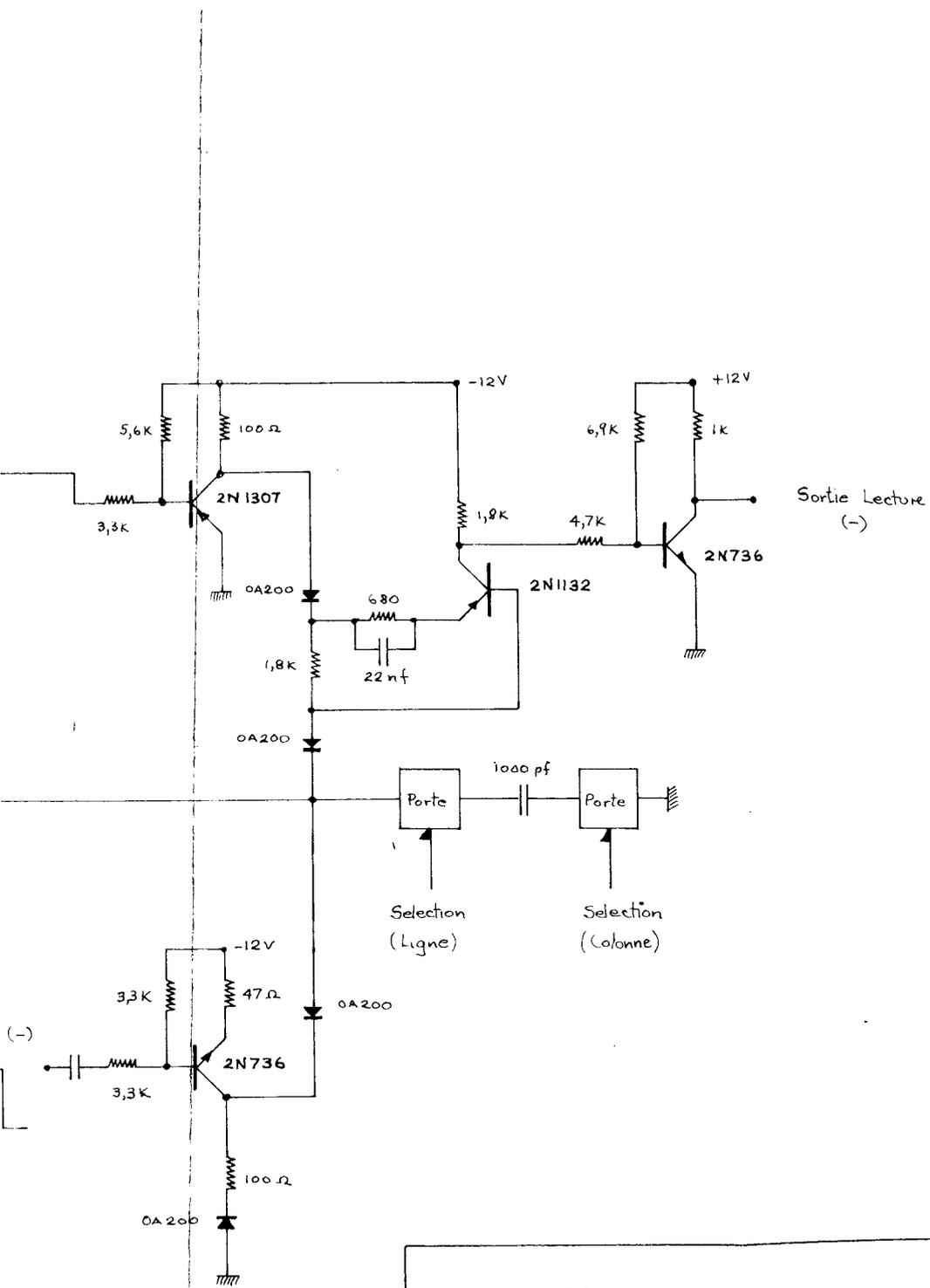
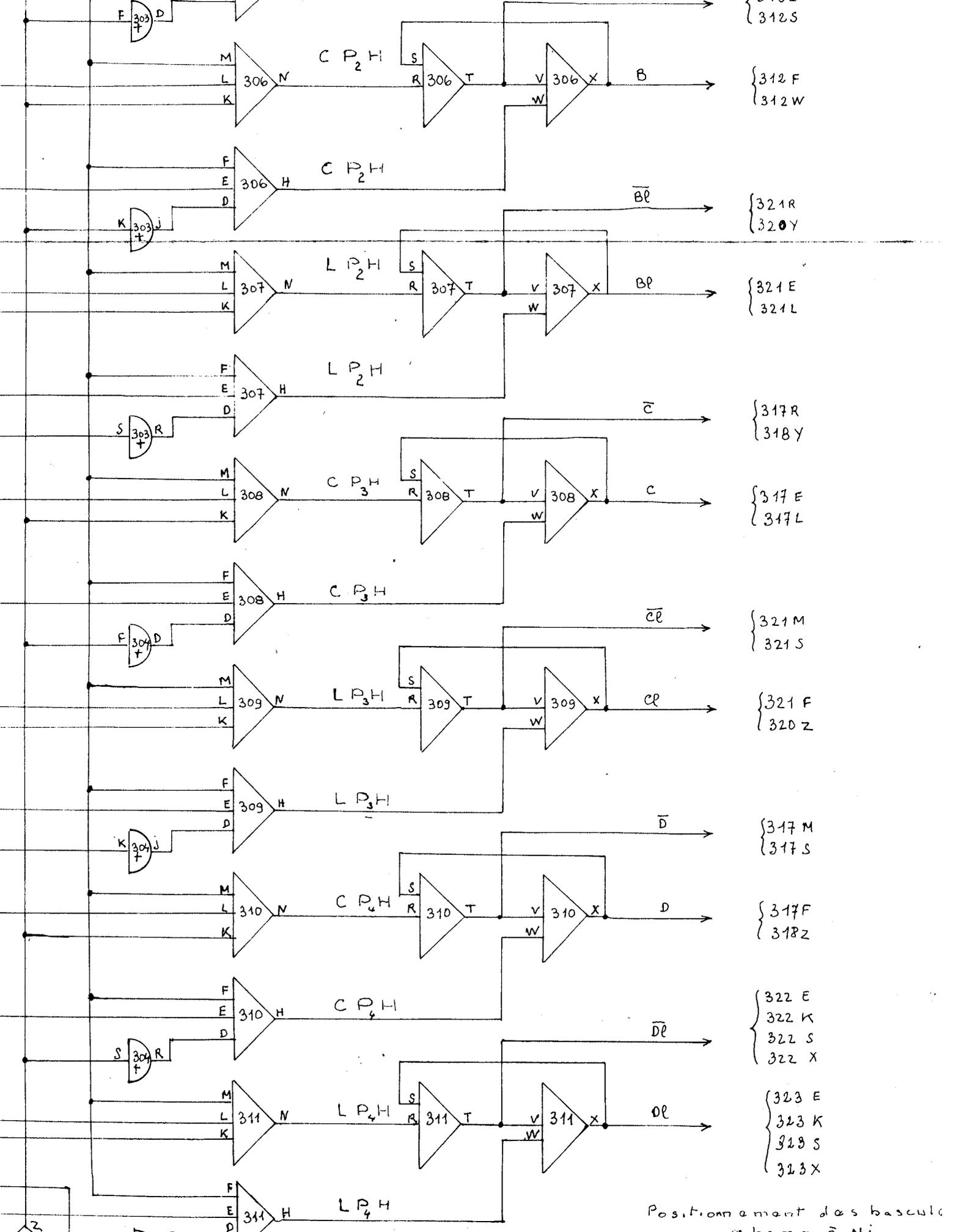


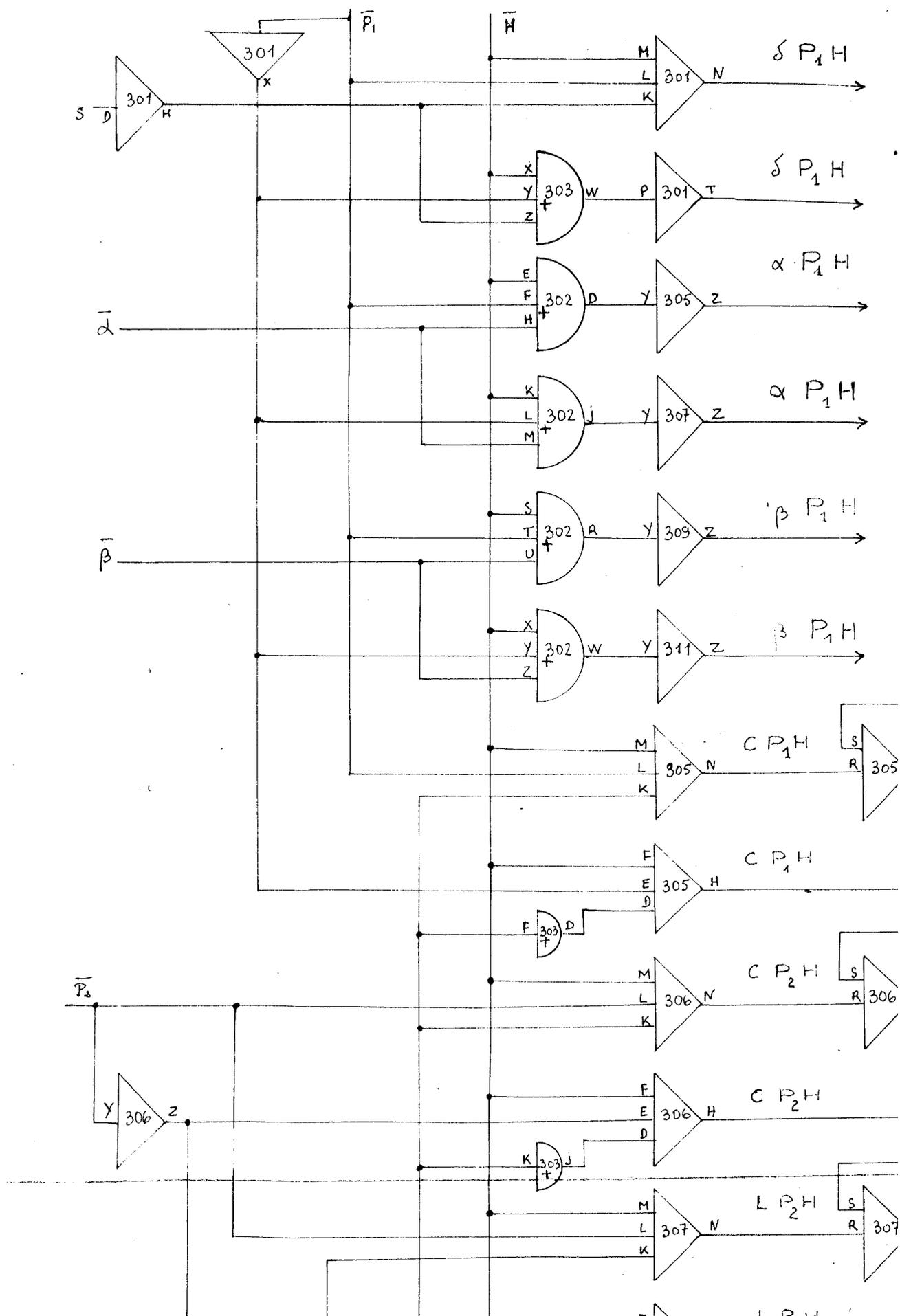
Fig III 2

SYSTEME DE LECTURE ET  
 D'ECRITURE  
 MEMOIRE DES INCREMENTS  
 A.D.D.

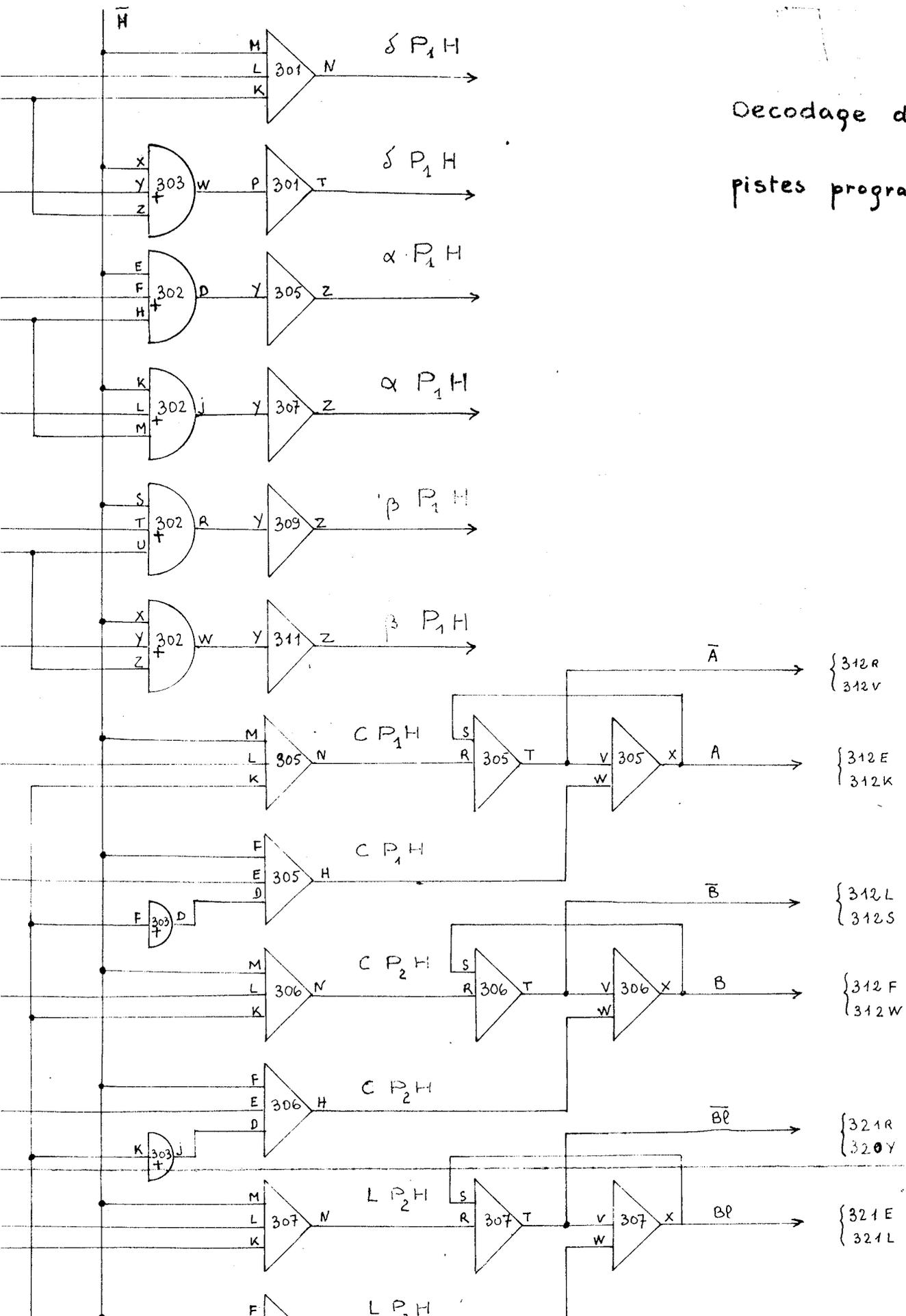


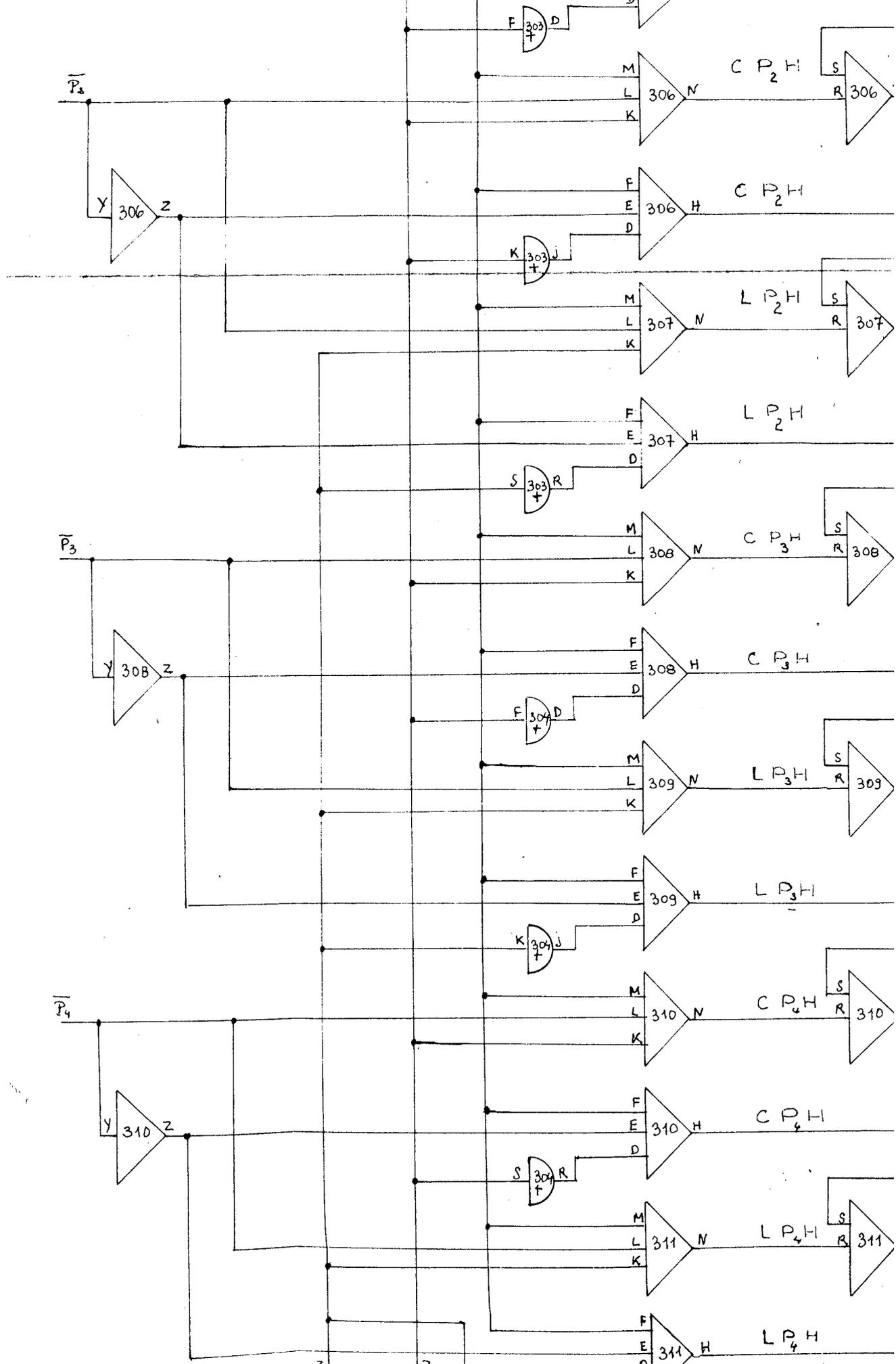


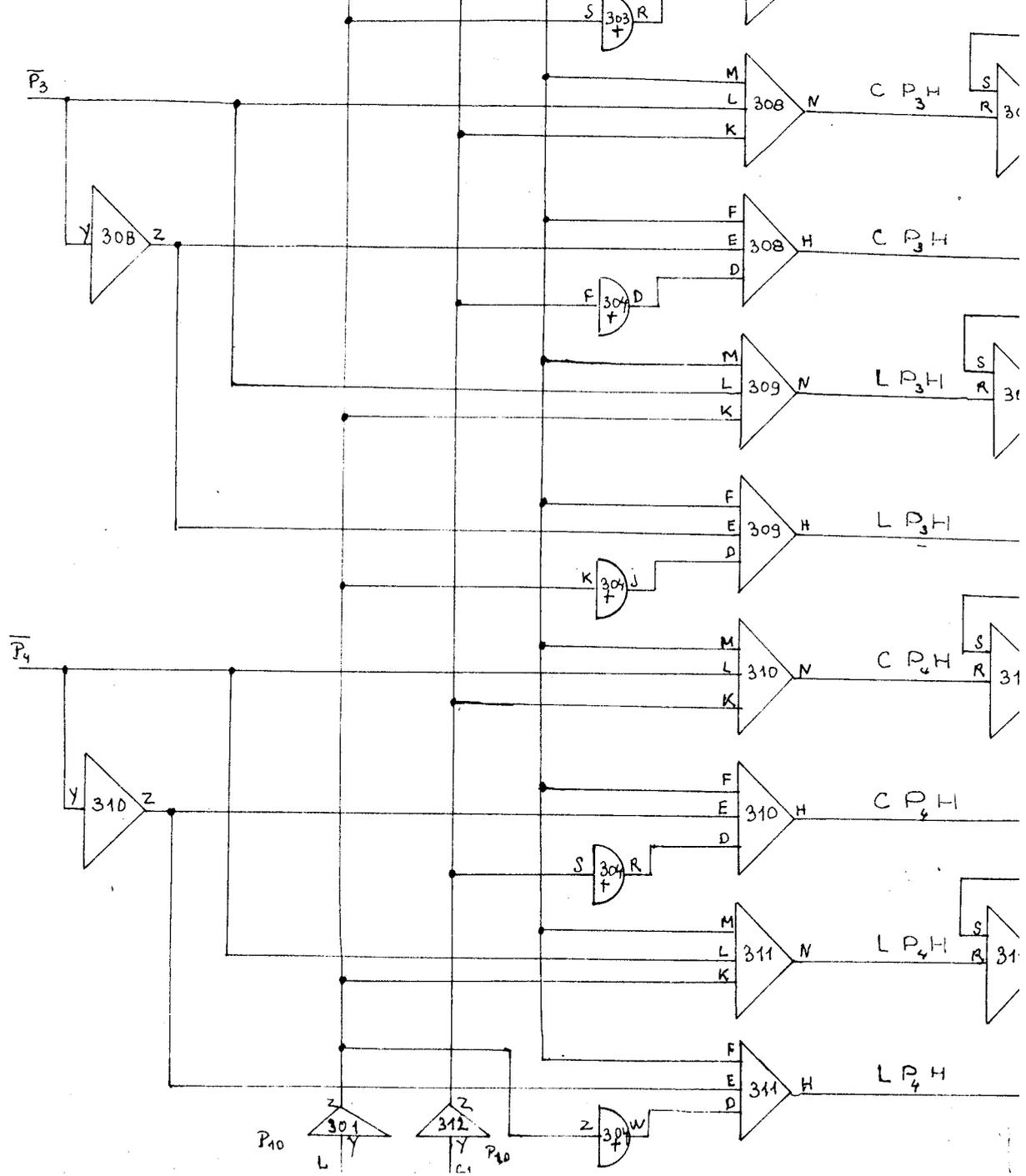
Positionnement des bascules  
à l'adresse Ni

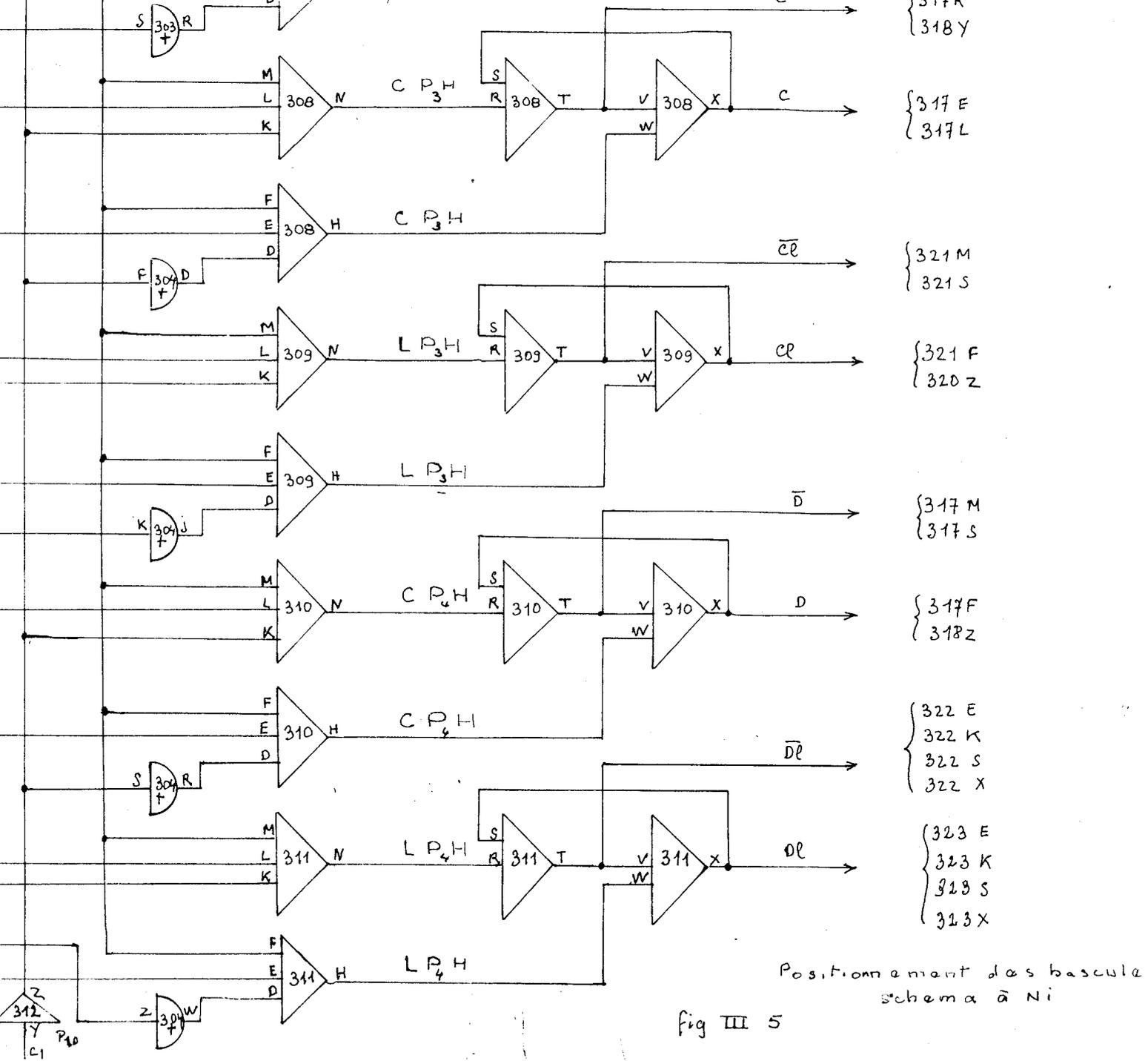


# Decodage des pistes programme







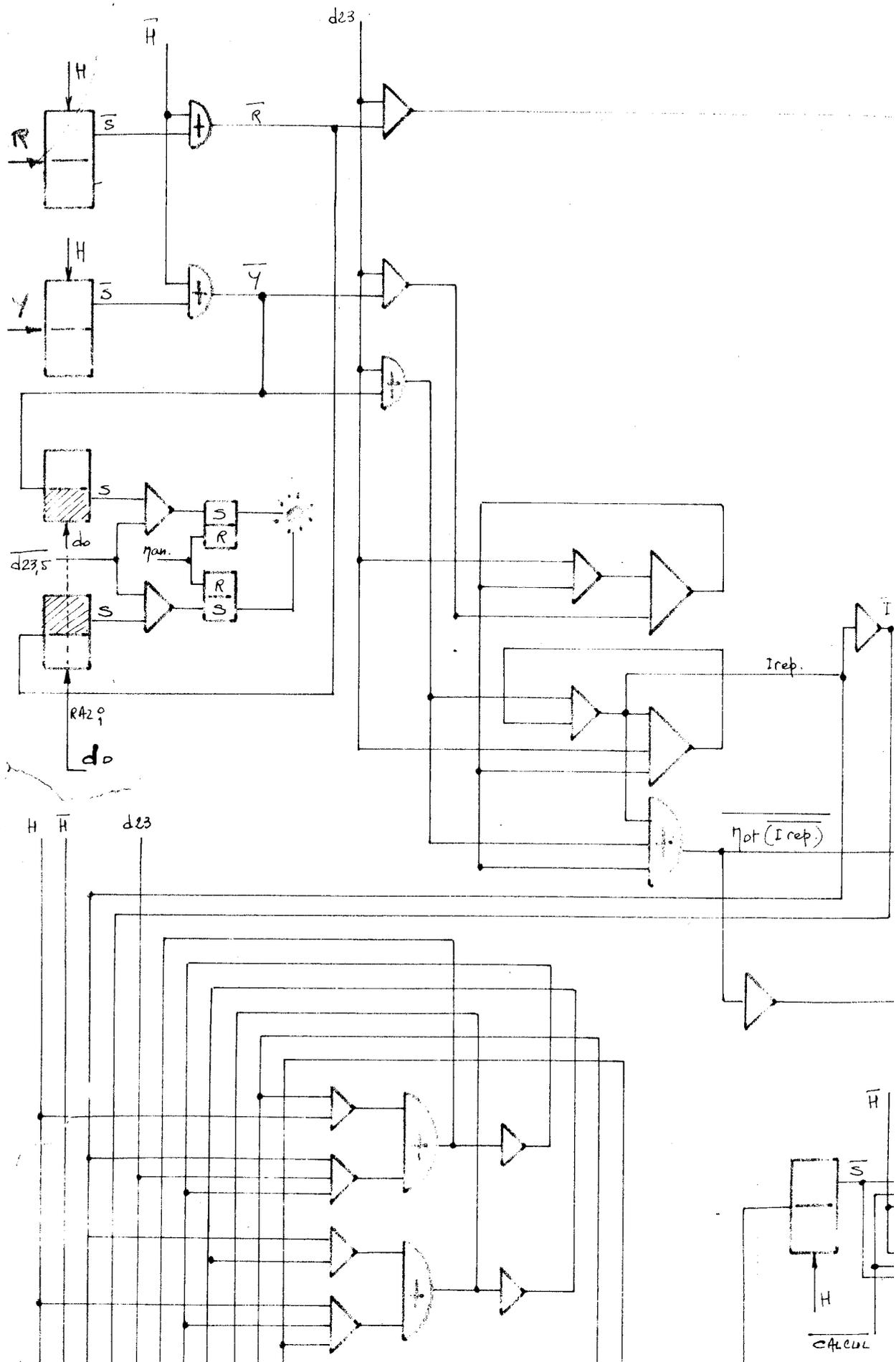


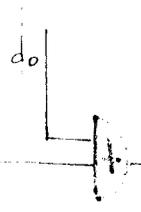
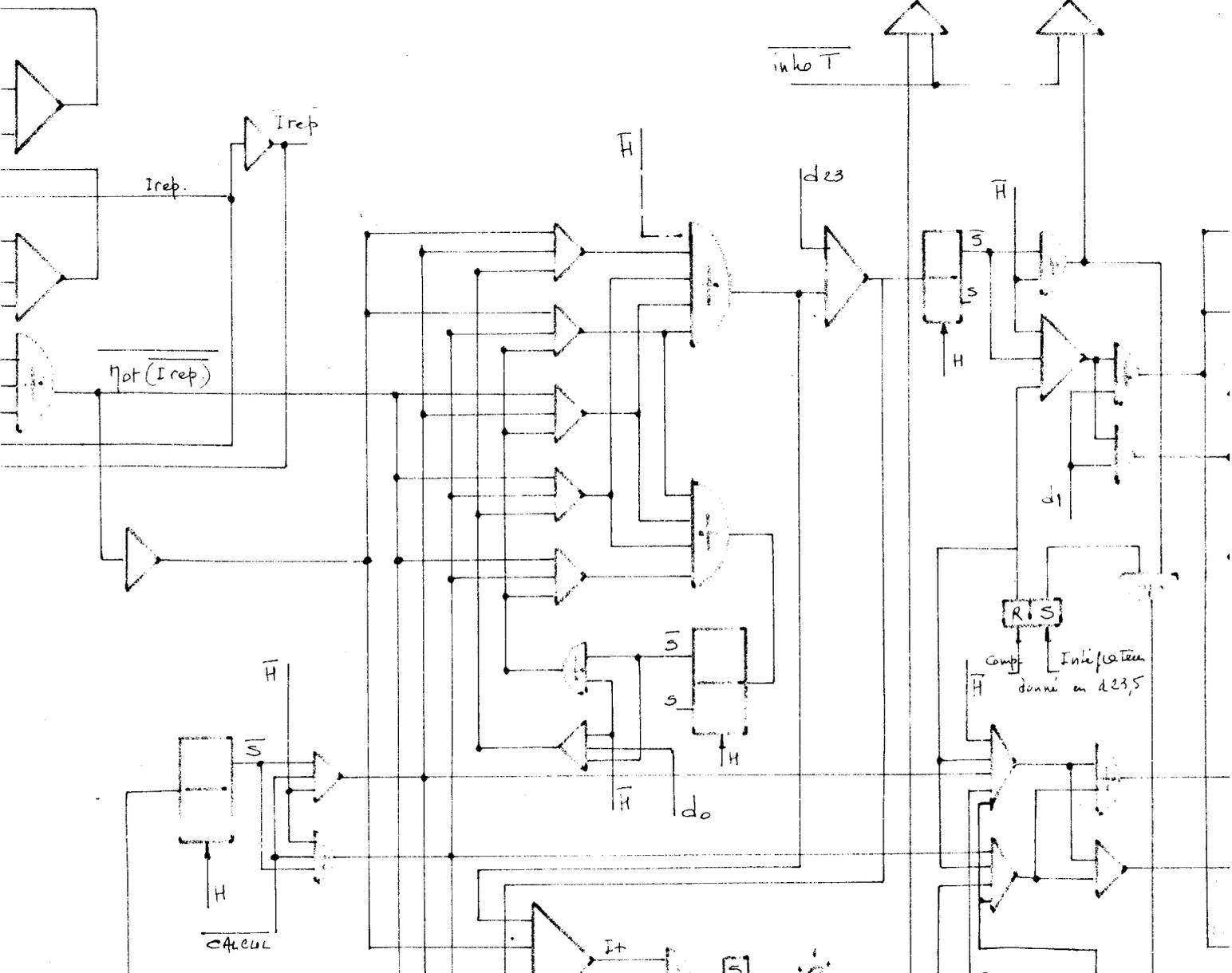
Positionnement des bascule  
schema à Ni

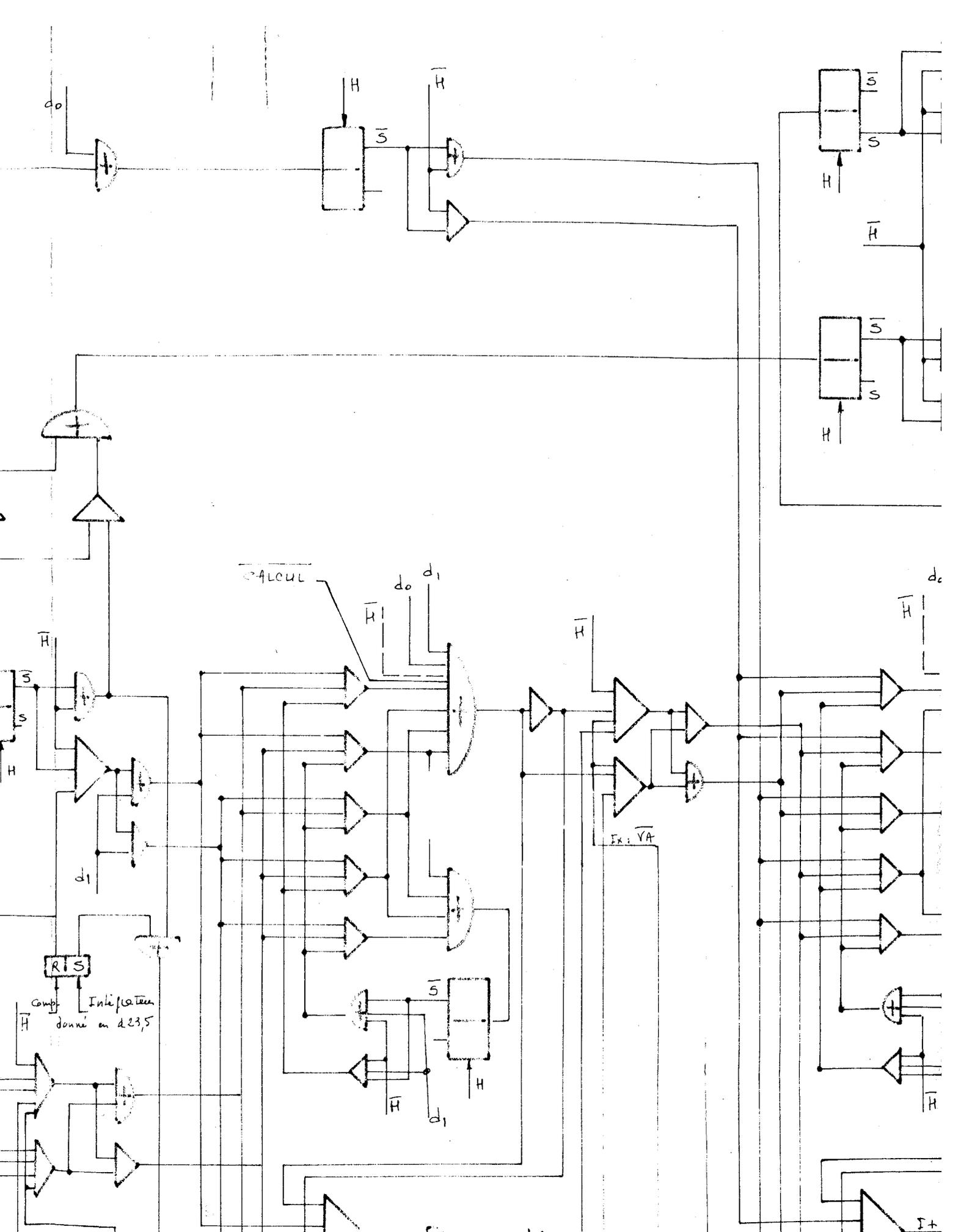
fig III 5

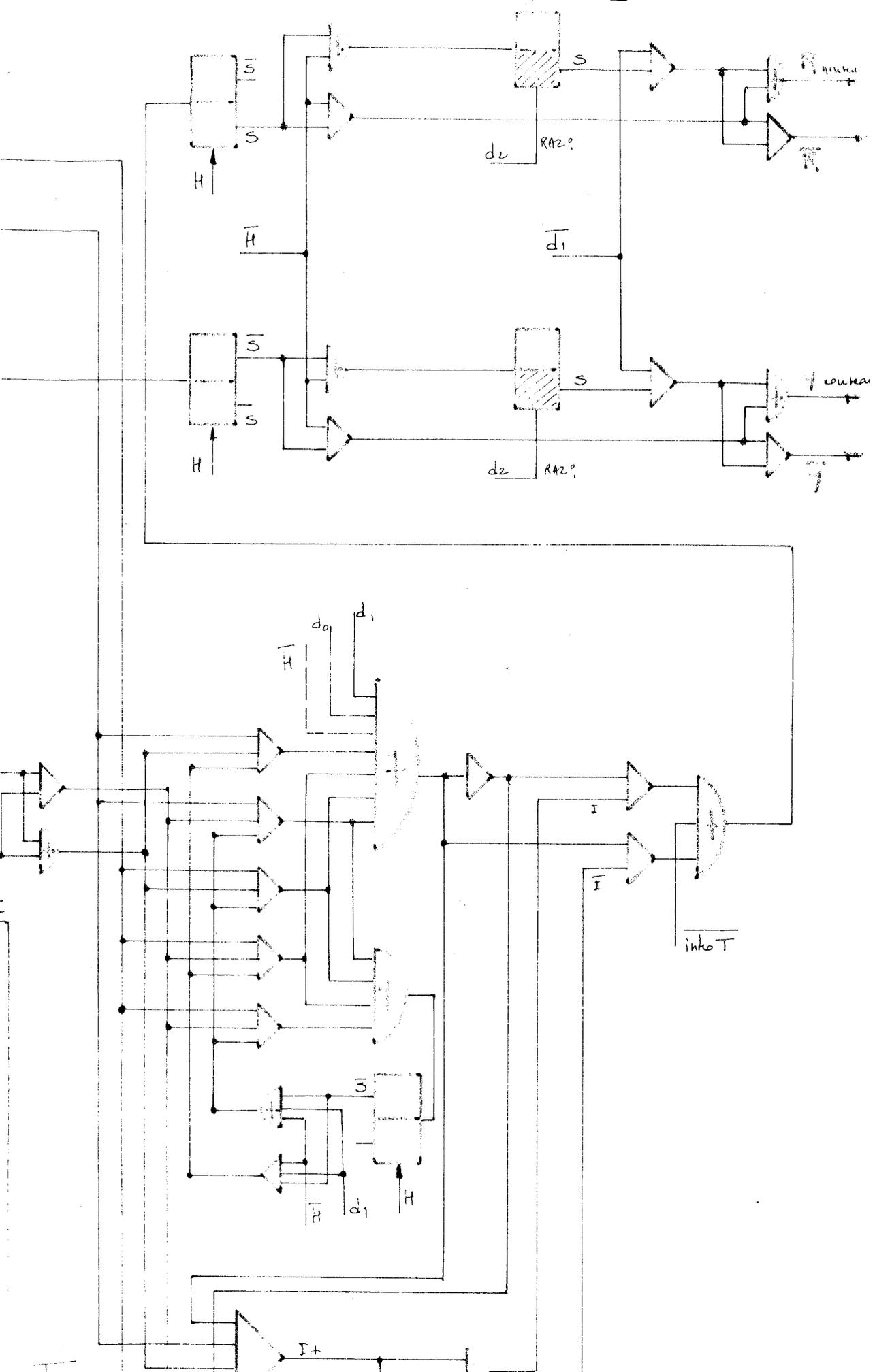


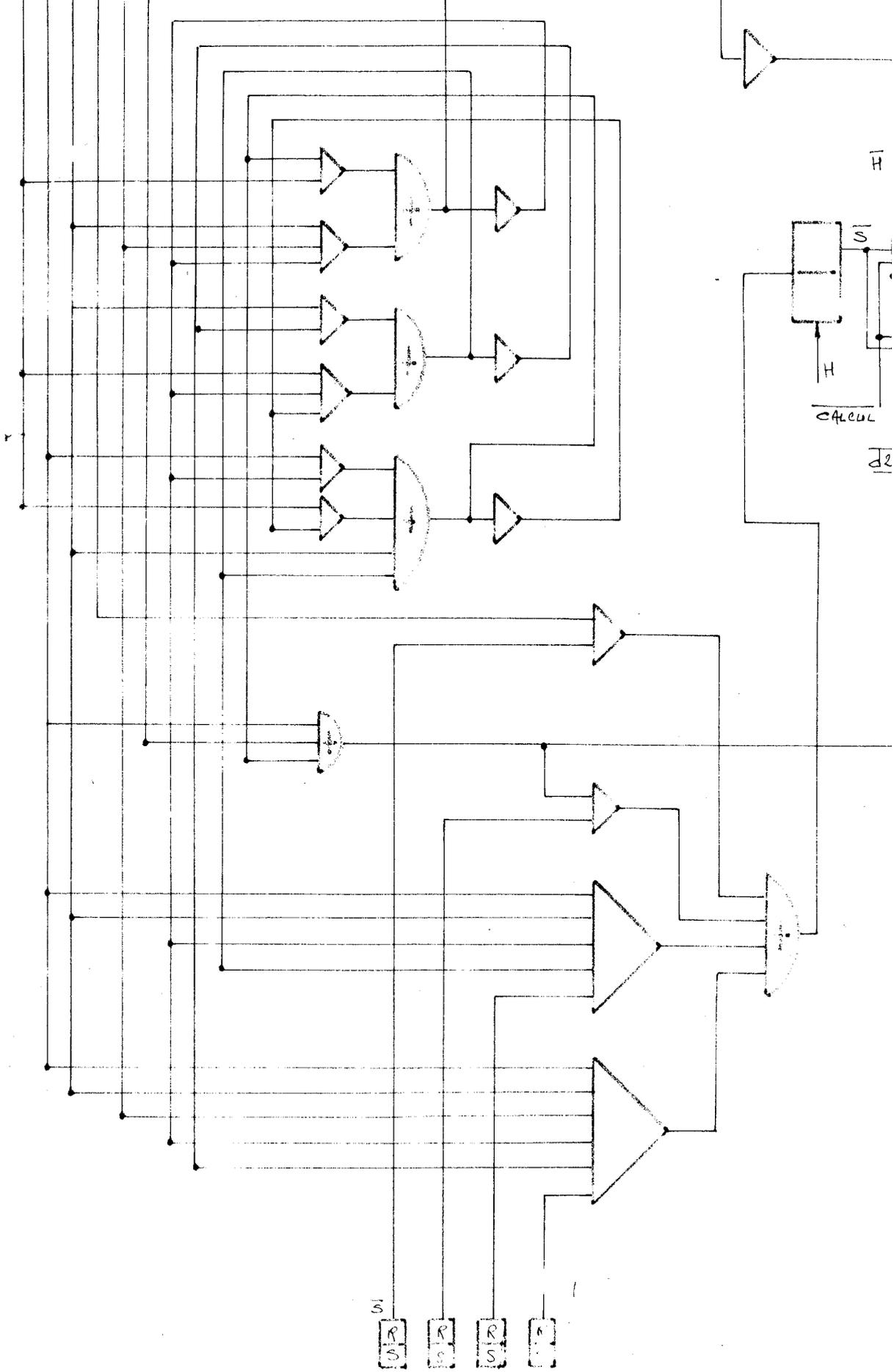






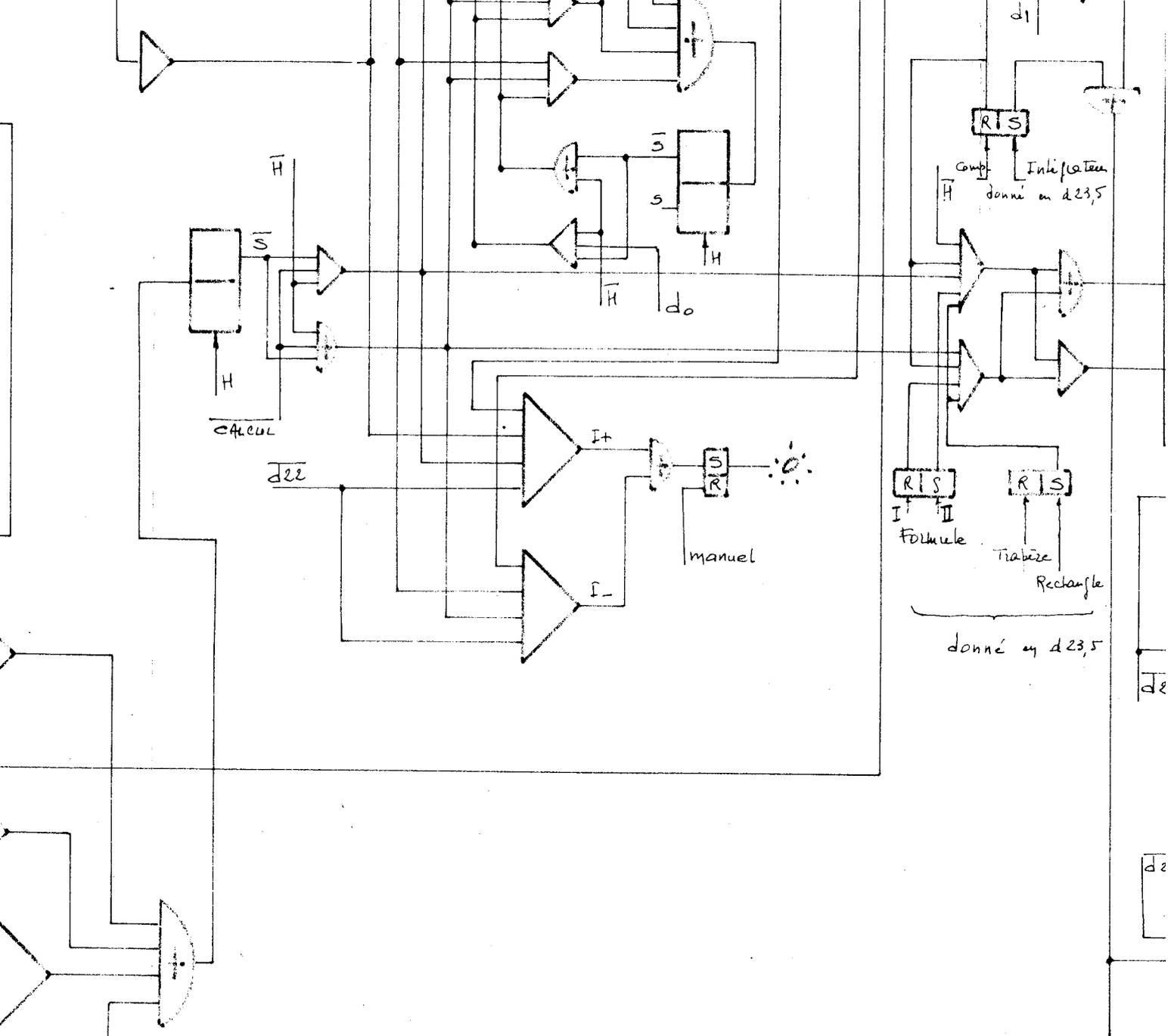


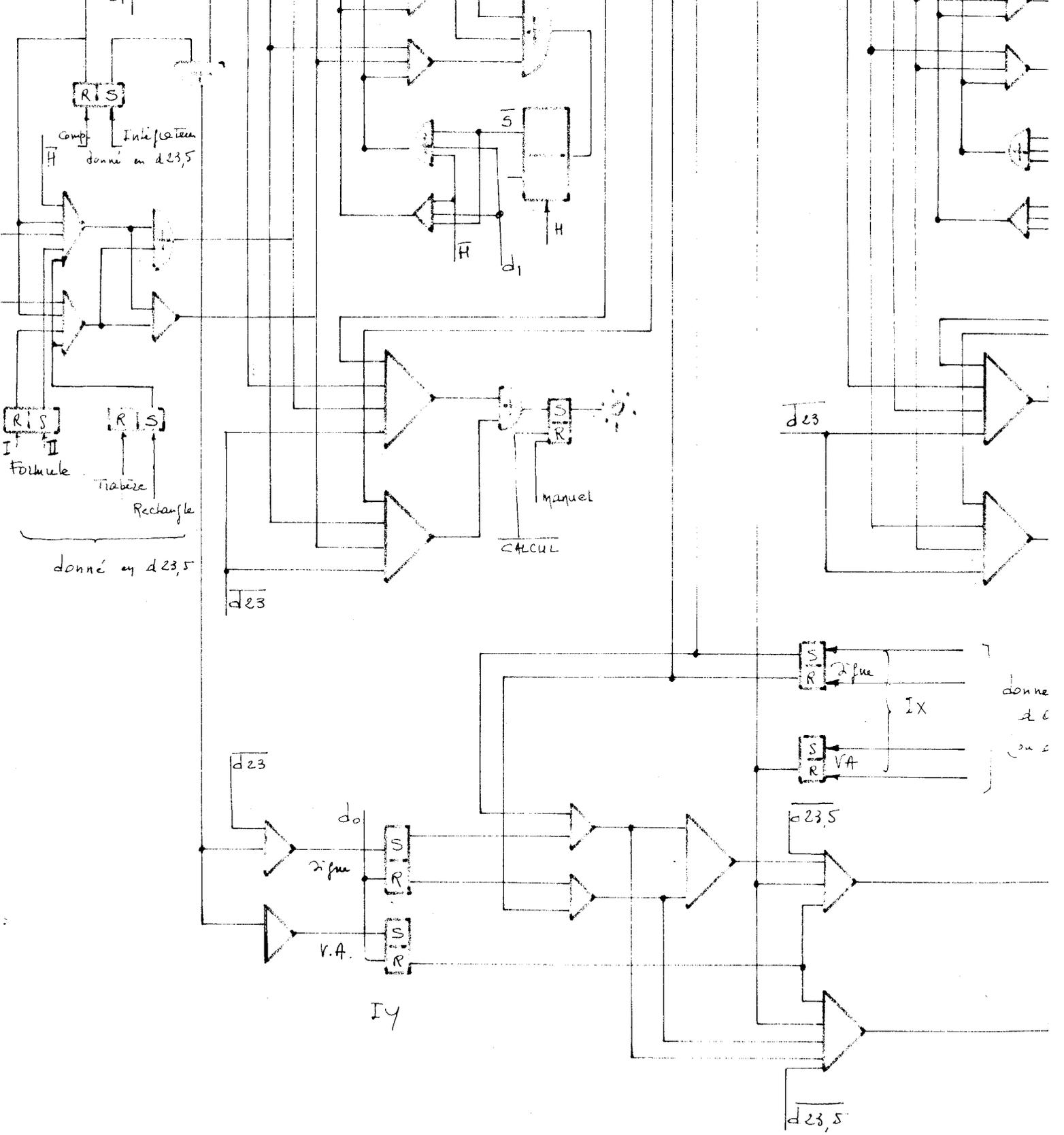




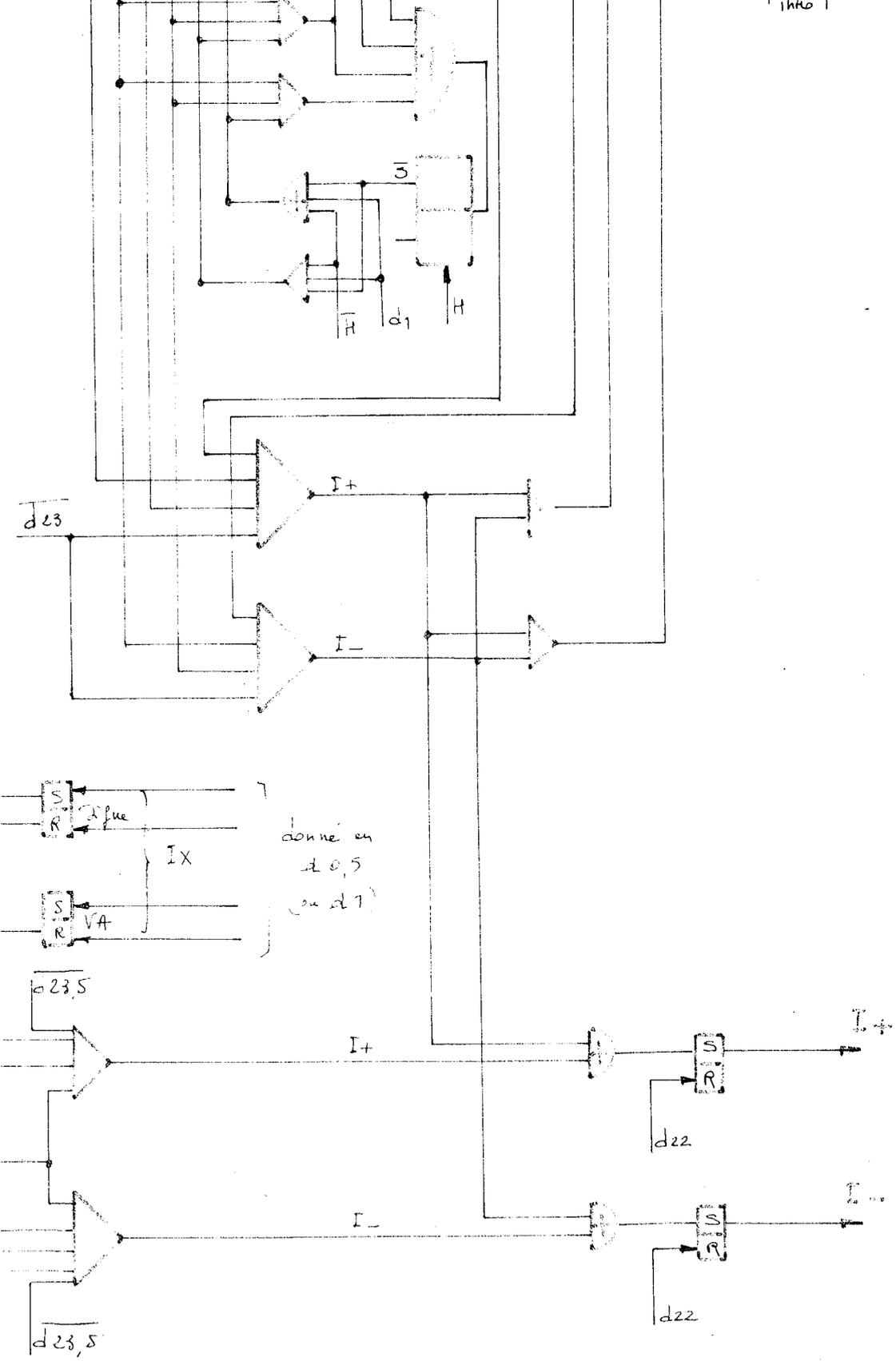
$C_0$   $C_1$   $C_2$   $C_3$   
 M  $\Delta y$   
 donné en d 23

calcul





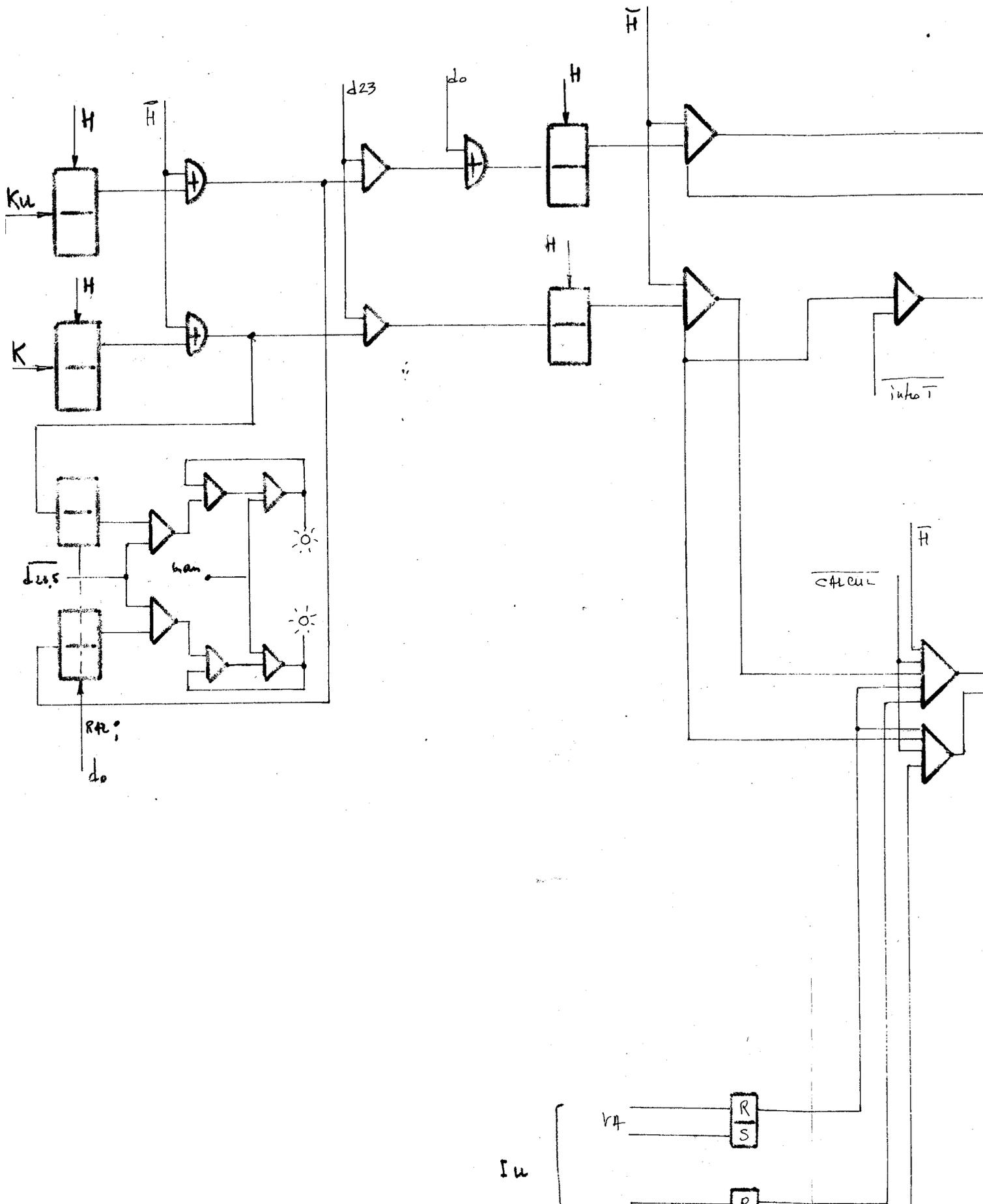
OPÉRATEUR COMPOSÉ

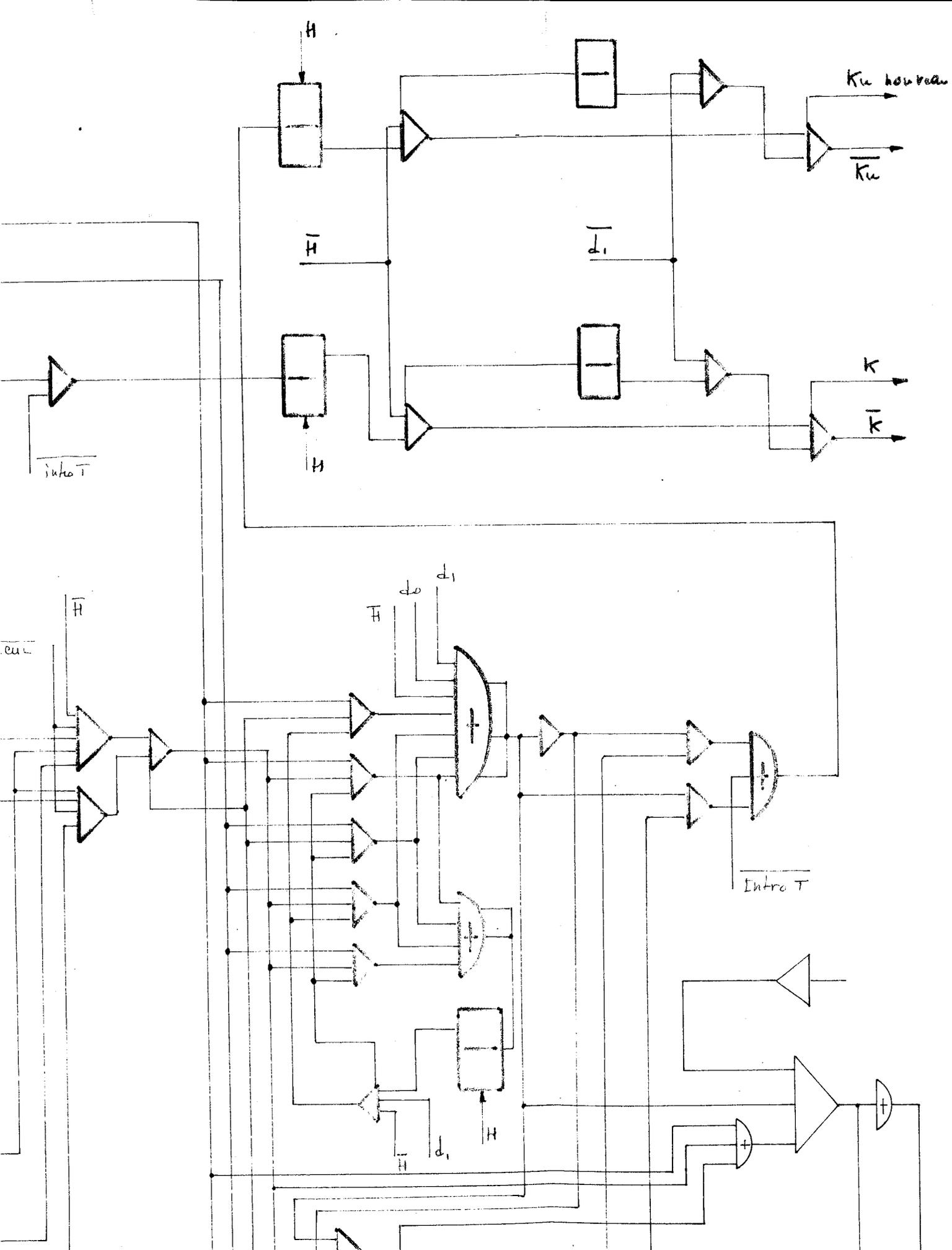


TEUR COMPOSÉ : Intégrateur - Comparateur.

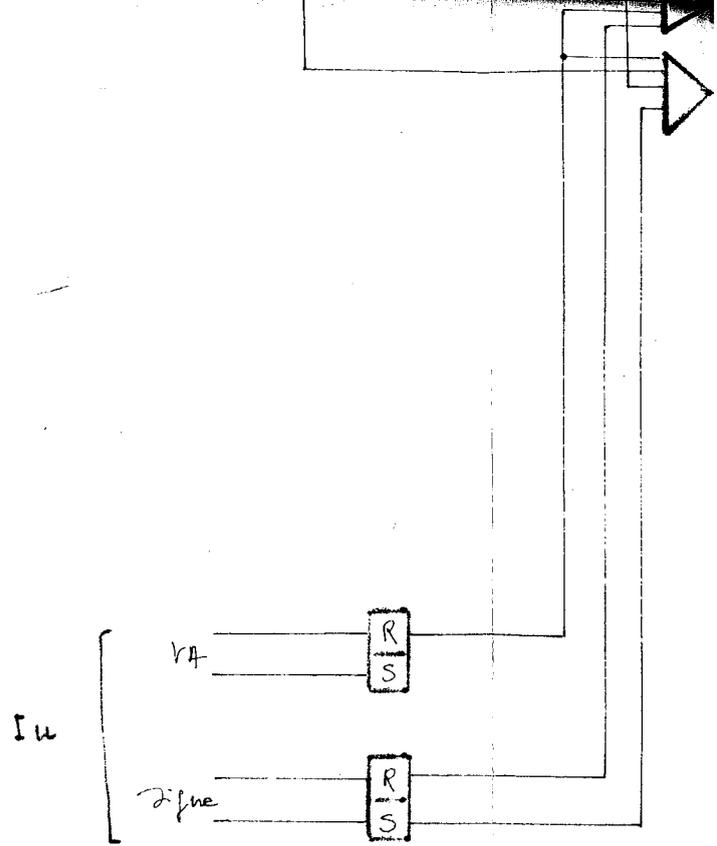








$R_{th}$   
 $d_0$



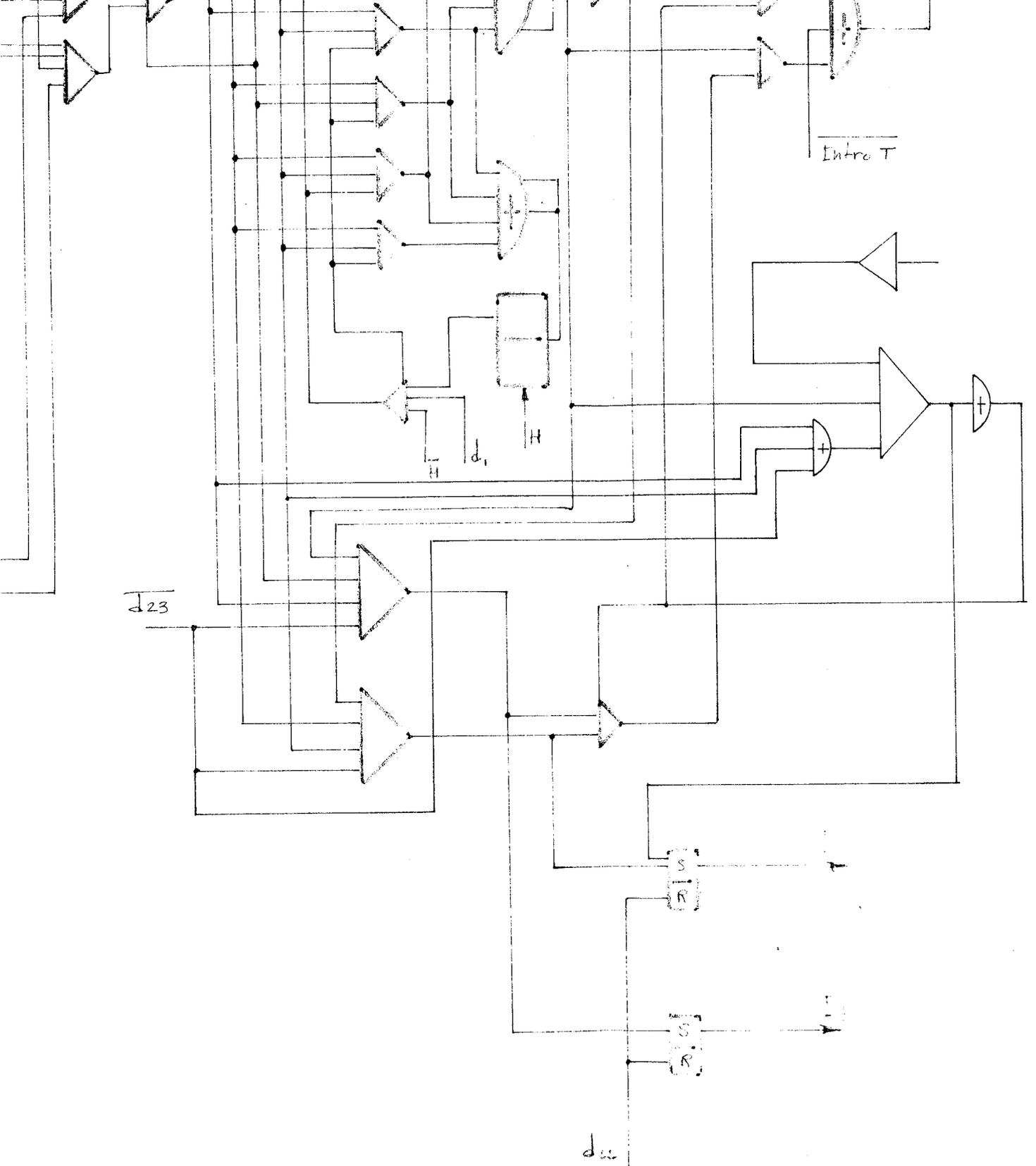


Fig II 14

MULTIPLIEUR

## B I B L I O G R A P H I E

---

- R.GAILLARD "Réalisation d'une mémoire d'incréments ternaires"  
Thèse 3ème Cycle, Université de GRENOBLE, 1961
- J.du MASLE "Réalisation de l'organe de calcul d'un A.D.D."  
Thèse 3ème Cycle, Université de GRENOBLE, 1961
- R.VILLIER "Contribution à la réalisation d'un A.D.D."  
Thèse 3ème Cycle, Université de GRENOBLE, 1963
- C.ECHEVIN "Etude des erreurs dans le fonctionnement d'un A.D.D."  
Thèse 3ème Cycle, Université de GRENOBLE, 1964
- E.MELROSE "Contribution à la réalisation d'un prototype d'A.D.D."  
Thèse d'Université, Université de GRENOBLE, 1966
- M.PELEGRIN "Machines à calculer électroniques, analogiques et  
arithmétiques"  
Dunod, 1959
- G.FORBES "Digital differential analysers"  
Forbes, 1962



VU

GRENOBLE le

Le président de la thèse

VU

GRENOBLE le

Le Doyen de la Faculté des Sciences

VU et permis d'imprimer

Le Recteur de l'Académie  
de GRENOBLE