Réalisation d'une mémoire d'incréments ternaires

René J. Gaillard

▶ **To cite this version:**

René J. Gaillard. Réalisation d'une mémoire d'incréments ternaires. Modélisation et simulation. Université Joseph-Fourier - Grenoble I, 1961. Français. NNT : . tel-00277838

HAL Id: tel-00277838
https://theses.hal.science/tel-00277838

Submitted on 7 May 2008

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

présentée à

LA FACULTÉ DES SCIENCES DE L'UNIVERSITÉ DE GRENOBLE

pour obtenir

LE TITRE DE DOCTEUR EN SERVOMÉCANISMES

Troisième Cycle

par

René J. GAILLARD

Ingénieur I. R. G.

RÉALISATION D'UNE MÉMOIRE D'INCREMENTS TERNAIRES

Thèse soutenue le 11 Juillet 1961 devant la Commission d'examen :

MM. M. FALLOT, Président
J. KUNTZMANN
R. PERRET
J. VERMOT-GAUD
} **Examinateurs**

N° d'ordre

T H E S E

présentée

à la Faculté des Sciences de l'Université de GRENOBLE

pour obtenir

le titre de Docteur en Servomécanismes

Troisième Cycle

par

René J. GAILLARD

Ingénieur I.R.G.

REALISATION D'UNE MEMOIRE D'INCREMENTS TERNAIRES

Thèse soutenue le 11 juillet 1961 devant la commission d'examen :

MM. M. FALLOT, Président
J. KUNTZMANN
R. PERRET
J. VERMOT-GAUD
} Examinateurs

Le présent travail a été préparé au Laboratoire de Servomécanismes de la Faculté des Sciences de Grenoble.

J'adresse mes plus vifs remerciements à
Monsieur le Professeur FALLOT, Directeur de ce Laboratoire, pour l'honneur qu'il m'a fait en acceptant de présider le jury de thèse.

Que Monsieur PERRET, Maître de Conférences, veuille bien trouver ici l'expression de ma profonde gratitude pour son enseignement et l'intérêt avec lequel il a suivi mon travail.

Je remercie tout particulièrement
Monsieur le Professeur KUNTZMANN pour la bienveillance dont il a fait preuve à mon égard.

Je tiens à exprimer ma reconnaissance au Battelle Memorial Institute qui m'a permis de me consacrer entièrement à cette recherche.

-:-:-:-:-:-:-

S O M M A I R E

Première partie - Position du problème

Deuxième partie - Structure et fonctionnement d'une mémoire d'incréments, ternaire à capacité

I - Rappel sur les mémoires à capacité

II - Utilisation comme mémoire ternaire

III - Modifications apportées pour faire une mémoire ternaire d'incréments

IV - Conditions imposées au système de lecture - écriture

V - Temps de mémoire

VI - Structure de la matrice de condensateurs

VII - Disposition adoptée - Tension susceptible d'être inscrite

VIII - Conclusion

Troisième partie - Réalisation pratique

I - Notions sur le fonctionnement de l'A.D.D.

II - Sélection d'un condensateur

III - Système de lecture - écriture

IV - Entrées sorties

Conclusion

Nous traiterons dans les pages qui suivent de la réalisation d'une mémoire pour un analyseur différentiel digital à incréments ternaires.

Nous verrons tout d'abord qu'une mémoire ternaire à capacité semble particulièrement intéressante ; mais nous serons amenés à concevoir un système de sélection particulier, adapté au fonctionnement de la machine.

Nous étudierons ensuite la réalisation pratique effectuée en laboratoire.

-:-:-:-:-:-:-

Première partie

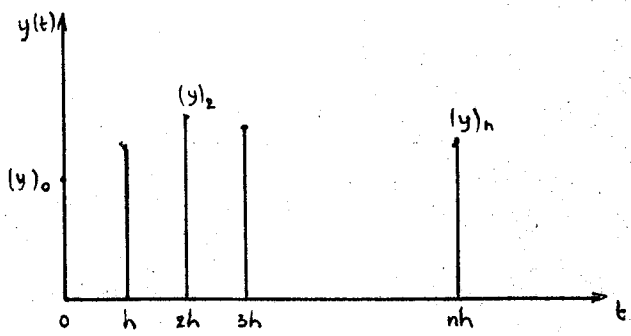
POSITION DU PROBLEME

Rappel sur l'analyseur différentiel digital

L'élément de base de l'A.D.D. est l'intégrateur.

Soit à calculer une approximation de l'intégrale d'une fonction y (t) :

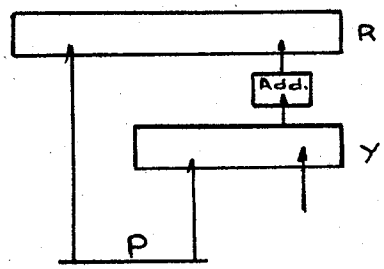
$$z(t) = \int_{t_0}^{t} y(u)\,du$$



Si y (t) est rangé dans un registre Y, et z (t) dans un registre R, l'emploi de la méthode des rectangles :

$$(z)_{n+1} = (z)_n + h\,(y)_n$$

avec $h = 2^{-p}$



revient à ajouter, avec un décalage convenable de la virgule, le contenu de Y au contenue de R chaque fois que l'on passe de la valeur t = nh à la valeur t = (n + 1) h.
Il convient de mettre chaque fois à jour le registre Y puisque y (t) varie entre les instants nh et (n + 1) h.

Pour utiliser les valeurs de sortie d'un intégrateur comme entrée d'un autre intégrateur, on ne conserve que les débordements du registre R, lesquels ne peuvent avoir que les valeurs

+ 2 − q
− 2 − q
0

soit

+ 1
− 1 avec un poids − q
0

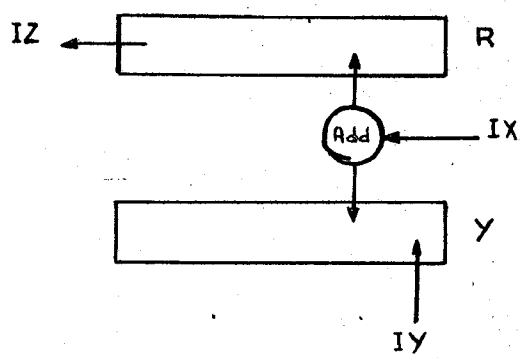
Ces valeurs sont dites incréments.

Pour faire une intégration par rapport à une ~~valeur~~ variable quelconque, la formule approchée $(z)_{n+1} = (z)_n + (y)_n (Ix)_n$ est utilisée, où Ix est la sortie d'un autre intégrateur.

Un intégrateur se compose donc :

- d'un compteur Y
- d'un registre R
- d'un additionneur

C'est un opérateur ayant :



- une entrée IY qui reçoit les incréments de remise à jour du registre Y ;

- une entrée IX sous la dépendance de laquelle se fait l'addition ou la soustraction du contenu de Y au contenu de R ;

- une sortie IZ produisant les incréments qui expriment les variations de l'intégrale z.

-:-:-:-:-:-:-:-

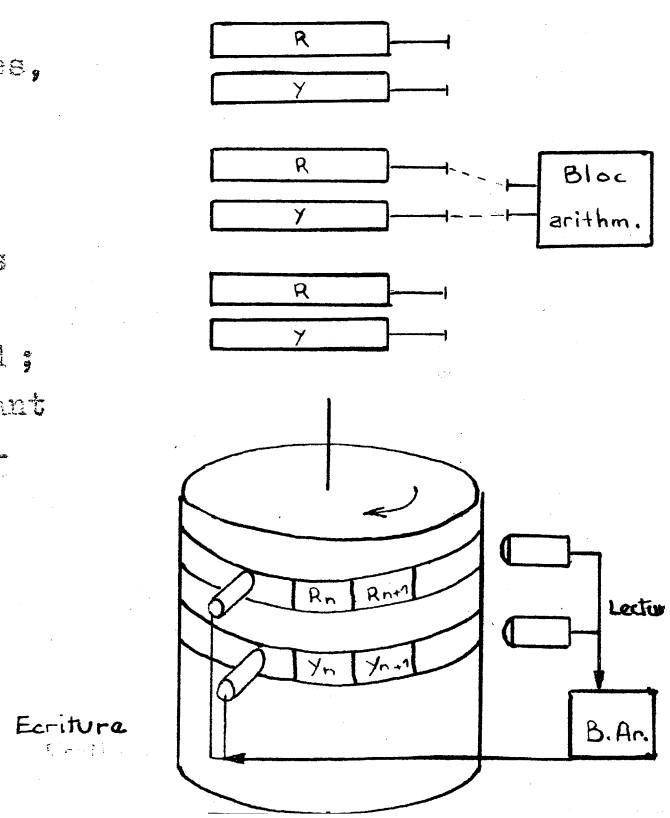
Le but recherché est la construction d'un analyseur différentiel digital à très grand nombre d'intégrateurs, ayant les mêmes possibilités que quelques très grosses machines analogiques. Sa lenteur ne doit pas être un obstacle à la résolution de problèmes généraux tels que les problèmes aux dérivées partielles. De plus, il permettra de simuler avec précision des systèmes physiques complexes (colonne de distillation, etc...).

Le bloc arithmétique choisi comprend l'ensemble de deux opérateurs :

- un multiplieur : intégrateur particulier qui effectue la multiplication par une constante ;
- un opérateur composé capable d'effectuer l'intégrale de la somme algébrique de sept fonctions.

L'incrément émis à la sortie de chaque intégrateur est ternaire : + 1, - 1 ou 0, avec un poids 2^{-q} choisi et qui dépend du calcul effectué.

La structure de cet analyseur différentiel est séquentielle, c'est-à-dire que chaque intégrateur possède deux registres Y et R propres, mais que le bloc arithmétique est unique et affecté successivement à l'un ou à l'autre des intégrateurs. Les paires de registres sont portées par deux pistes d'un tambour magnétique fonctionnant en ligne à retard ; un registre R et un registre Y passant en même temps sous les têtes de lecture reliées au bloc arithmétique constituent un intégrateur.



Un nombre lu sur le tambour est modifié, puis réécrit en un endroit différent de celui où il a été lu. Aucun des registres n'a donc de place fixe.

Une telle structure séquentielle impose l'emploi :

1 - d'une mémoire d'incréments : les incréments de sortie d'un intégrateur affectent les entrées d'un certain nombre d'autres intégrateurs qui ne seront traités qu'au moment du passage des registres correspondants devant les têtes de lecture. Il est donc indispensable de ranger ces incréments dans une "mémoire d'incréments" ;

2 - d'un programme constitué par les diverses adresses des incréments utilisés pour le traitement d'un intégrateur.

L'unité élémentaire de l'analyseur différentiel est donc un ensemble de pistes du tambour magnétique :

| 2 pour le multiplieur
| 2 pour l'opérateur composé
| Pistes programme,

la machine complète comprenant un certain nombre de ces ensembles.

Pour étudier les problèmes posés par la construction d'une machine de grosse capacité (tambour de 83 pistes - 200 KHz), un prototype est en construction actuellement (tambour de 9 pistes - 75 KHz).

Le problème posé est la construction d'une mémoire d'incréments pouvant s'adapter aux deux analyseurs différentiels digitaux dont nous venons de parler.

La mémoire d'incréments est étroitement tributaire dans sa nature et ses performances du fonctionnement du bloc arithmétique. Elle doit être :

1 - ternaire

2 - rapide : pour ne pas freiner la vitesse de calcul de la machine complète, tous les incréments nécessaires à une opération sont extraits pendant le temps de défilement d'un registre devant une tête de lecture. Ces incréments sont au nombre de 11 (7 IY et IX de l'opérateur composé, IX du multiplieur, 2 IZ de rangement) et le temps de défilement minimum voisin de 125 µs (24 intervalles élémentaires d'environ 5 µs).

On peut envisager de stocker ces incréments de deux façons différentes :

1° - Ranger dans les deux digits qui représentent l'incrément dans deux positions d'une mémoire binaire.

2° - Traduire l'incrément en valeur vraie, c'est-à-dire + 1, 0 ou - 1 et le ranger dans une mémoire ternaire. Faire la traduction inverse lors de l'extraction.

Les analyseurs différentiels digitaux existants utilisent la première méthode sous la forme de deux mémoires à tores magnétiques, une pour le digit de signe, une pour le digit de module. Ceci afin d'accéder simultanément à ces deux digits.

Nous avons choisi la deuxième méthode : outre l'intérêt propre à la construction d'une mémoire ternaire, celle-ci peut-être plus simple que l'ensemble équivalent de deux mémoires binaires.

Qui dit mémoire ternaire, dit système pouvant avoir trois positions stables et si nous passons en revue les mémoires rapides susceptibles d'être utilisées, nous constatons que seule reste la mémoire à capacité chargée positivement, négativement ou non chargée.

-:-:-:-:-:-:-:-:-

Deuxième partie

STRUCTURE ET FONCTIONNEMENT
D'UNE MEMOIRE D'INCREMENTS, TERNAIRE A CAPACITE

La mémoire à capacité classique peut être utilisée comme mémoire ternaire. Chaque cellule comprend un condensateur, une résistance de charge et deux diodes (fig. a). La résistance retourne à un potentiel fixe, et le fonctionnement fait appel à une simple sélection. En période de mémoire les diodes sont bloquantes, l'armature du haut est en l'air et le condensateur garde sa charge. Le déblocage des diodes donne aux bornes de la résistance un signal positif ou nul suivant la polarité de la tension inscrite aux bornes du condensateur. L'introduction d'une tension aux bornes de la résistance pendant déblocage recharge la capacité suivant la tension désirée.

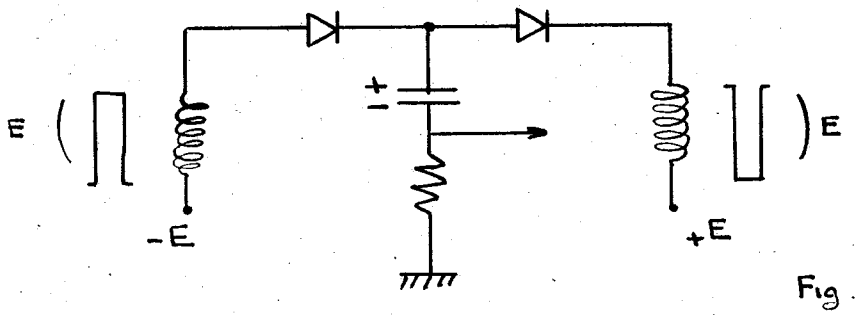


Fig a

Mais la mise en parallèle de deux cellules sur le même système de sélection explore simultanément les deux condensateurs (fig. b). Si l'on veut sélectionner chaque cellule en particulier, comme c'est le cas dans une mémoire d'incrément où chaque capacité porte une information en elle-même, il faut obligatoirement posséder un système de sélection par cellule.

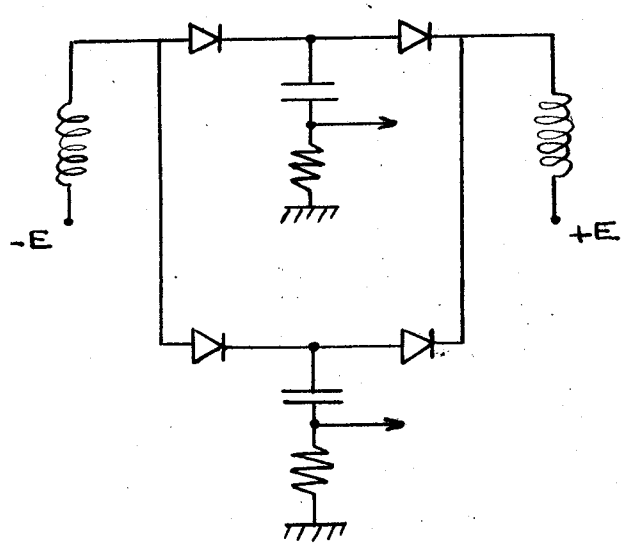


Fig b

Il est possible de simplifier le dispositif en employant une structure matricielle avec double sélection des armatures supérieure et inférieure de chaque condensateur (fig. c). Pour accéder à une cellule, il faut débloquer les diodes de ligne et de colonne correspondantes. Plusieurs cellules peuvent alors être mises en parallèle sur le même système de sélection, de ligne par exemple, pourvu que les colonnes correspondantes soient distinctes : la sélection du condensateur 1 n'affecte pas la charge du condensateur 2 puisque les diodes de colonne de ce dernier restent bloquantes.

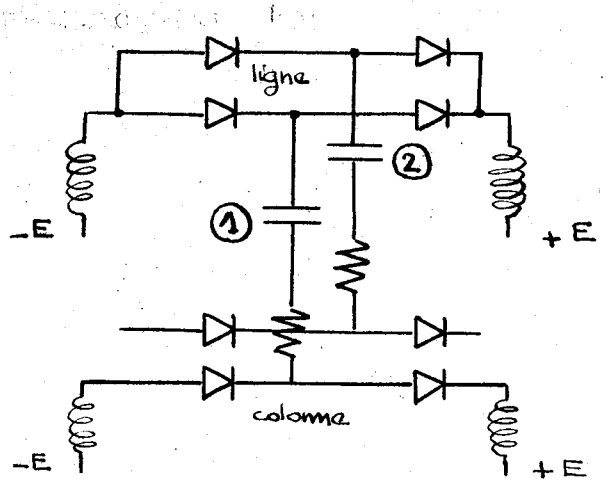


fig c

La mise en oeuvre d'un tel système impose de transporter la résistance de charge sous les sources de polarisation des diodes, et de la dédoubler (fig. d).

Nous allons détailler cette évolution de la mémoire à capacité depuis le dispositif classique jusqu'au système adopté.

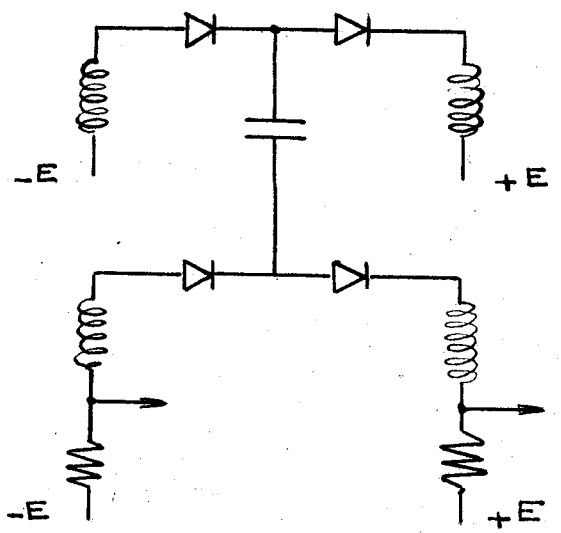


fig d

I - Rappel sur les mémoires à capacité

Il existe un certain nombre de réalisations pratiques de mémoires binaires à capacité. La cellule élémentaire comprend toujours deux diodes employées en association avec le condensateur. Deux procédés peuvent être utilisés ; la différence entre les deux provient de la charge emmagasinée sur le condensateur et du déroulement du cycle lecture - écriture.

1 - Première réalisation

Le condensateur chargé représente le digit 0. Le condensateur non chargé représente le digit 1. Les phases lecture et écriture sont distinctes.

Considérons la figure ci-dessous avec les valeurs numériques. L'extrémité basse du condensateur est liée au potentiel - 50 V. En régime normal si le digit mis en mémoire est 0, l'extrémité haute du condensateur sera au potentiel nul. Elle sera au potentiel - 50 V dans le cas du digit 1. Les diodes d_1 et d_2 sont alors bloquées, le condensateur garde sa charge.

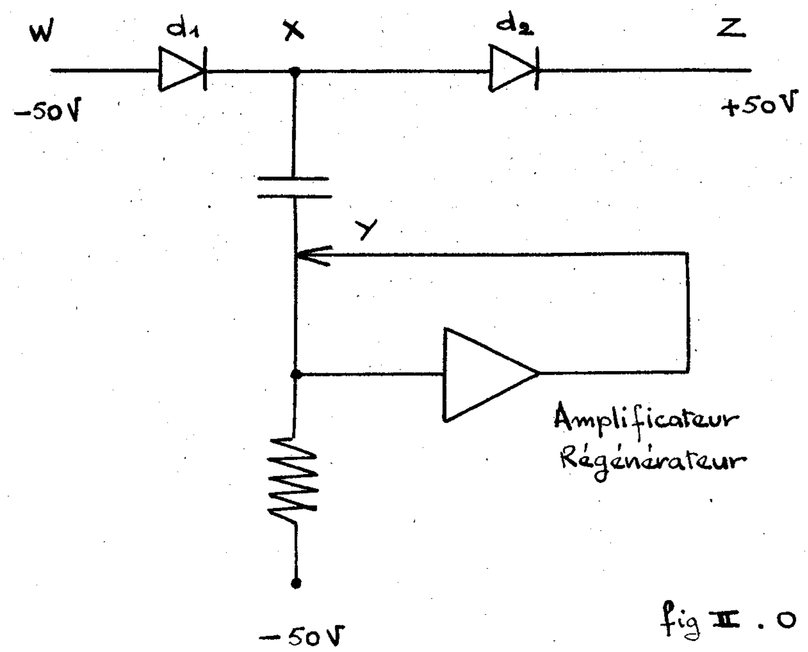


fig II . 0 .

Le fonctionnement se fait en deux temps :

- Une phase de lecture qui consiste à envoyer en W, une impulsion rectangulaire positive d'amplitude 50 Volts. Si l'information est 0, il ne se produit aucun courant, donc aucun signal aux bornes de la résistance R. Si l'information est 1, il se produit un courant de charge du condensateur, d'où apparition d'un top positif au point Y. En fin de lecture, le condensateur est toujours chargé sous 50 V

- Une phase écriture. La lecture détruisant l'information précédente, celle-ci doit être réinscrite. L'information lue en Y est calibrée à 50 V sous forme d'impulsion rectangulaire positive et réinjectée en Y en même temps qu'une impulsion rectangulaire négative de 50 V est appliquée en Z.

Dans le cas du digit 1, le potentiel du point Y devient égal à 0. Le condensateur perd à travers la diode d_2, la charge acquise en fin de lecture. Dans le cas du digit 0, le potentiel de Y reste égal à - 50 V, et le condensateur reste chargé. Si, à ce moment, on coupe simultanément les trois impulsions, le condensateur se retrouve avec la même information qu'à l'origine.

2 - Deuxième réalisation

Le condensateur chargé dans un sens représente le digit 0. Le condensateur chargé dans l'autre sens représente le digit 1. Les charges emmagasinées sont + 50 V ou - 50 V. Les diodes d_1 et d_2 sont bloquées. Les phases écriture et lecture ne sont plus distinctes. On envoie simultanément des impulsions d'amplitude 50 V, positive en W et négative en Z. Le potentiel du point X est alors aligné avec celui de la masse. Suivant la polarité de la charge, il apparaît un courant de circulation à travers l'une ou l'autre diode. L'information lue en

Y est immédiatement calibrée et réinscrite en Y avec le même signe.

L'arrêt des impulsions appliquées en W et Z laisse aux bornes du condensateur la tension réinscrite.

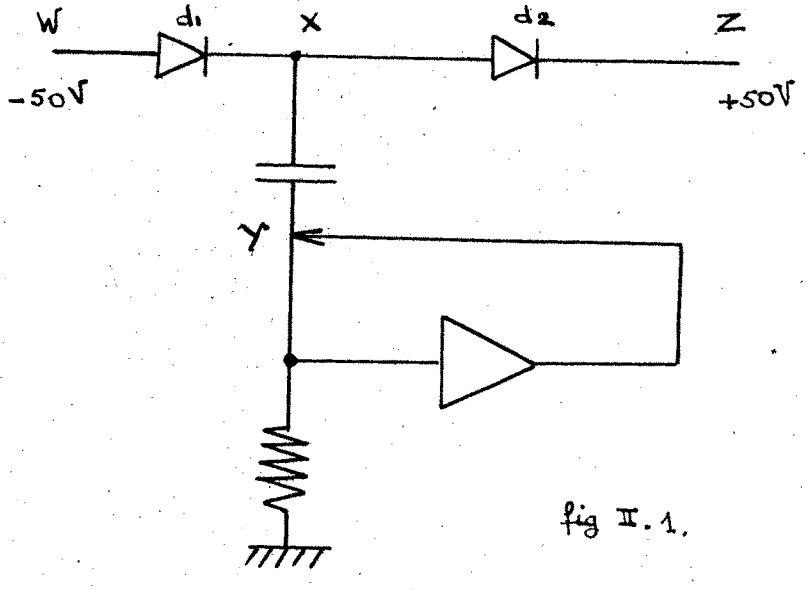


fig II.1.

-:-:-:-:-:-:-

II - Utilisation de la mémoire à capacité comme mémoire ternaire

Il est bien évident que si la charge du condensateur dans un sens représente l'information + 1, celle dans l'autre sens l'information - 1, et l'absence de charge l'information 0, la mémoire à capacité peut être une mémoire ternaire.

Le cycle de fonctionnement est obligatoirement identique à celui de la deuxième réalisation, c'est-à-dire que les impulsions de déblocage des diodes sont simultanées, la réinscription ou l'inscription suivant immédiatement la lecture.

Mais l'application d'une telle mémoire ternaire comme mémoire ternaire d'incréments dans un analyseur différentiel digital pose un certain nombre de problèmes.

Dans l'analyseur différentiel, l'incrément constitue une information en lui-même, information que l'on doit traiter séparément. Une manipulation sur la mémoire consiste à explorer une cellule particulière qui contient l'incrément, et non pas un ensemble de cellules qui contiennent un mot. Chaque position de la mémoire d'incrément doit pouvoir être sélectée séparément.

Le condensateur pouvant posséder une charge dans un sens ou dans l'autre, le seul moyen de sélectionner une cellule particulière est d'envoyer des impulsions de sélection aux points N et S de cette cellule et d'elle seule. Le système qui permet d'obtenir ces impulsions comporte obligatoirement le même nombre d'éléments que la mémoire elle-même.

Il peut être constitué d'une matrice de transformateurs comportant des secondaires en sens inverse conformément au schéma II.2.

Les barres Y sont au potentiel + E et les barres X au potentiel - E, si bien que toutes les diodes sont polarisées en sens inverse. L'envoi d'une impulsion négative 2 E en Y_1 et positive en 2 E en X_1 débloque uniquement la diode d_1, d'où l'émission d'impulsions de sélection en W_1 et Z_1 et en ces points seulement. La sélection des barres X et Y se fait à partir de matrices de décodage ordinaires.

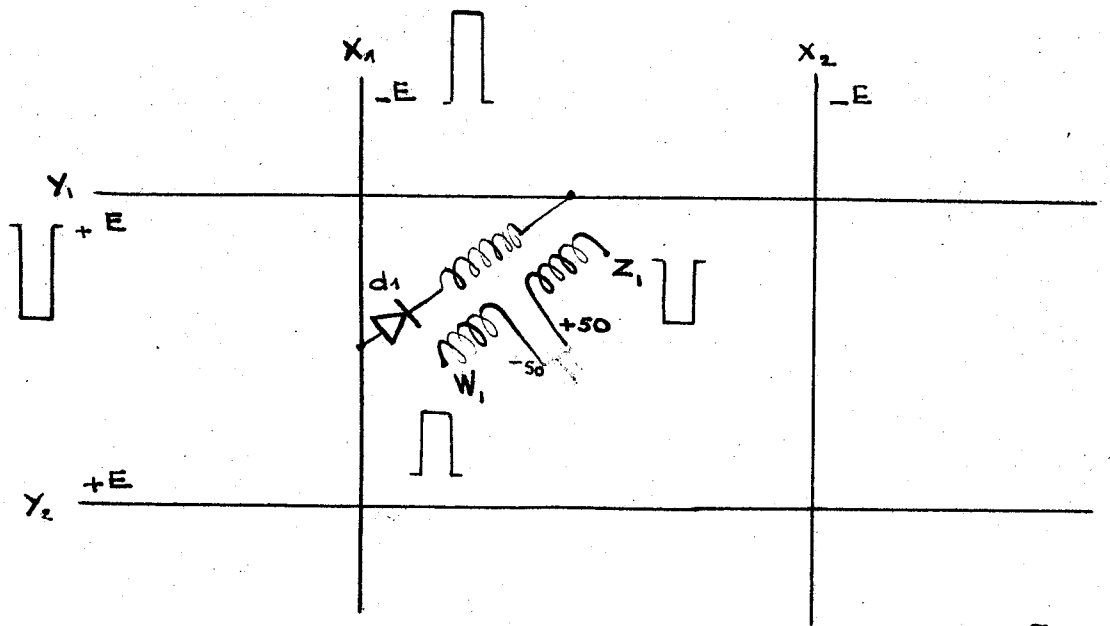
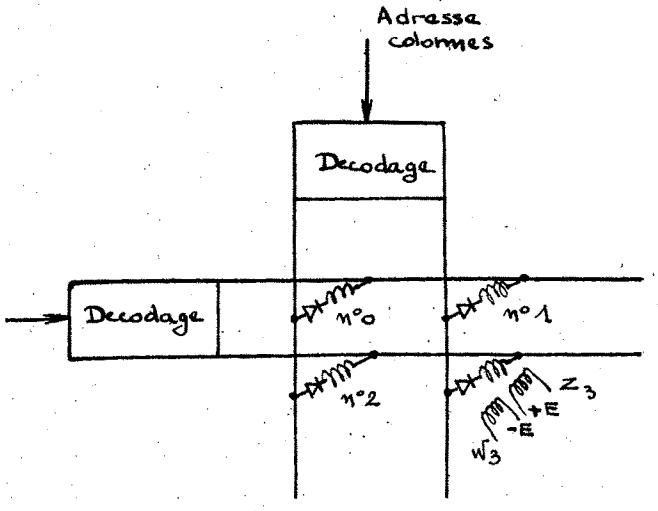


Fig. II. 2

La mémoire complète comporte donc une matrice de condensateurs, une matrice de transformateurs et deux matrices de décodage d'adresse.

Réduite à 4 cellules élémentaires, elle présente l'allure de la figure II.3.

Il faut bien remarquer que <u>le système de lecture - écriture peut-être commun à toutes les cellules</u>, puisque les incréments doivent être manipulés <u>séparément</u>.



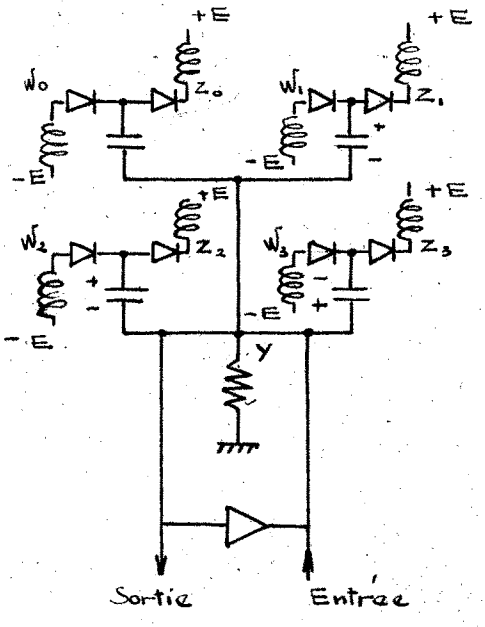


Fig II.5

Les éléments nécessaires à la réalisation d'une telle mémoire comportant n^2 cellules élémentaires sont les suivants :

n^2 condensateurs et 2 n^2 diodes pour les cellules
Un système d'écriture - lecture
Une matrice de sélection à transformateurs de n^2 éléments et n^2 diodes
Un système de décodage d'adresse.

Ce qui représente pour une mémoire de 16 x 16 = 256 cellules :

256 condensateurs et 512 diodes pour la mémoire
256 transformateurs, 256 diodes, 2 matrices de décodage à 16 sorties . (96 diodes et 8 bascules) pour la sélectior
1 système d'écriture.

III - Modifications apportées à la mémoire ternaire à capacité pour en faire une mémoire ternaire d'incréments

Dans la mémoire d'incréments telle que nous venons de l'exposer, il existe une espèce de disproportion entre la matrice de condensateurs et l'ampleur du système de décodage d'adresse, d'où l'idée de modifier la mémoire ternaire à capacité dans le sens de la simplification des circuits de sélection.

Un condensateur peut emmagasiner des charges +, - ou 0 qui peuvent représenter l'information + 1, - 1 ou 0. Pour manipuler cette information, il faut associer au condensateur :

- 1 résistance pour définir la constante de temps de décharge et aux bornes de laquelle est faite la lecture ;
- 1 système d'écriture : transformateur d'impulsions, ou la résistance de lecture elle-même parcourue par un courant ;
- 1 interrupteur fermé au moment de l'écriture et de la lecture et ouvert pendant le temps de mise en mémoire.

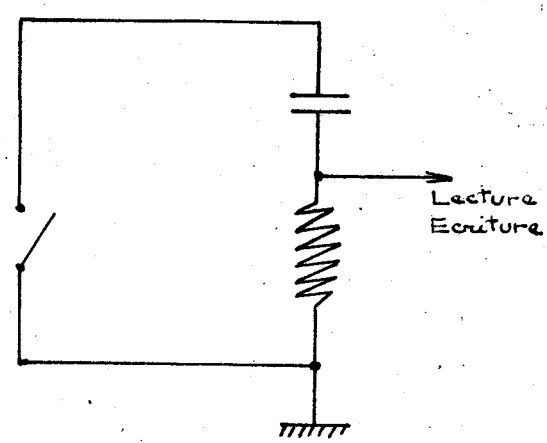


Fig. II 4

Le temps de manipulation sur la mémoire est choisi pour s'adapter à l'analyseur différentiel digital définitif, soit 3 µs comme nous le verrons.

Les interrupteurs employés sont nécessairement des systèmes électroniques. L'emploi de tubes à gaz, interrupteurs parfaits, est rendu impossible par le temps de manipulation beaucoup trop court.

Les interrupteurs adoptés, sont, comme dans les mémoires à capacité déjà construites, des diodes polarisées inversement en permanence, et débloquées pendant le temps de travail.

Par contre, la sélection ne sera simple que si elle est faite sur la matrice de condensateurs, par coïncidence, et directement à partir des décodeurs d'adresse~~urs~~.

Ceci est possible en intercalant dans le circuit de charge et décharge du condensateur non pas un, mais deux interrupteurs. L'un est commandé par la matrice de décodage de lignes et l'autre par la matrice de décodage de colonnes. Seule la capacité, dont les deux interrupteurs sont fermés, est en liaison avec le système lecture - écriture.

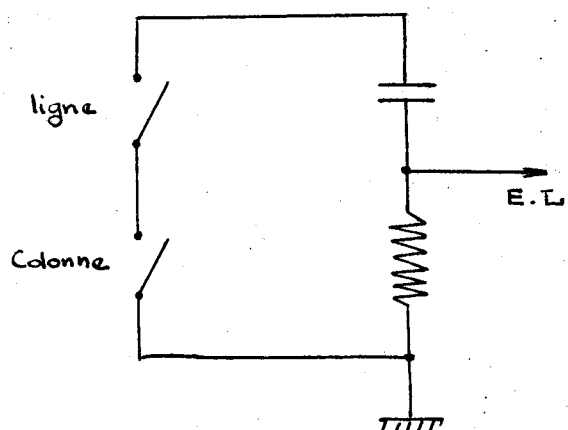
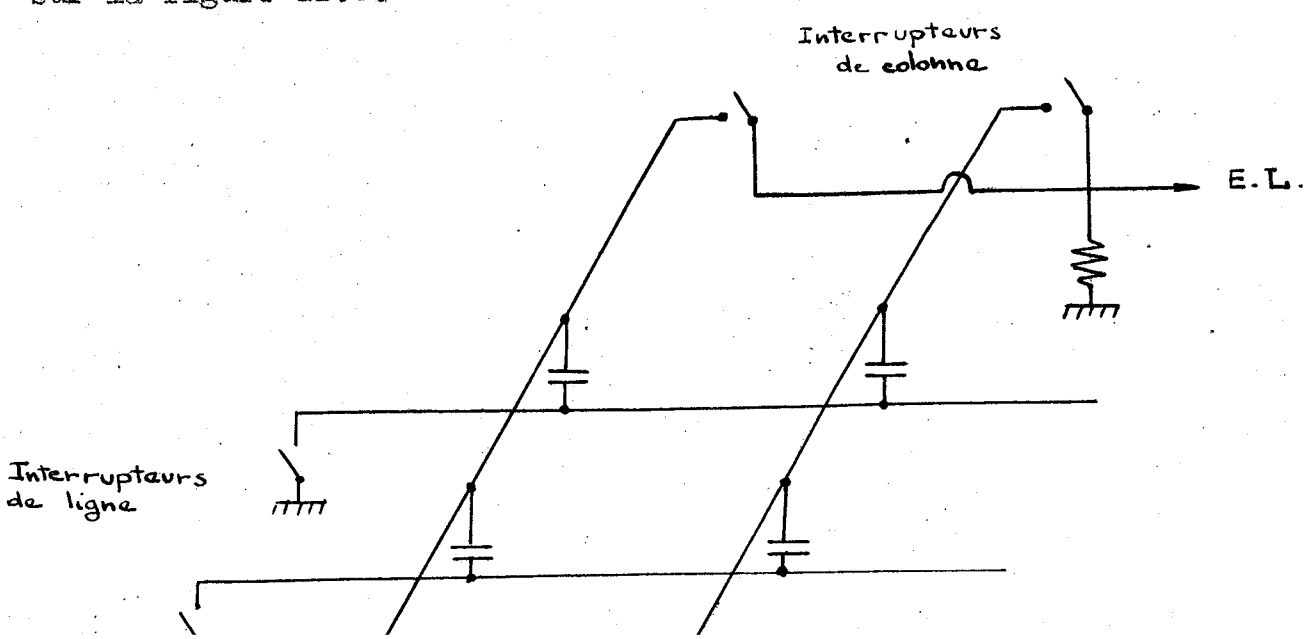


Fig. II.5

La matrice mémoire prend alors l'aspect théorique indiqué sur la figure II.6.



Abstraction faite des objections dont il sera tenu compte plus bas, il est possible de sélectionner un condensateur en fermant les interrupteurs correspondants de ligne et de colonne, sans changer la charge des autres condensateurs. De plus, l'utilisation d'un système unique de lecture - écriture impose de placer les interrupteurs entre ce dernier et les barres.

Dans ces conditions, le cycle de lecture - écriture se décompose de la manière suivante :

- Fermeture des deux interrupteurs de sélection d'un condensateur. La tension de décharge du condensateur est lue aux bornes de la résistance.

- Introduction aux bornes de la résistance de la tension à écrire ou de la tension lue recalibrée en un signal d'amplitude constante. C'est le maintien de cette tension au moment de l'ouverture des interrupteurs qui laisse le condensateur chargé.

La mémoire est ternaire car des charges positives, négatives ou nulles peuvent être inscrites sur la capacité. Il suffit de posséder un système de lecture approprié, capable de discriminer les trois états possibles du condensateur.

Finalement, étant donnée la nature des interrupteurs (diodes) et la position de la résistance de lecture, la mise en oeuvre du dispositif de double sélection impose le bouclage d'un barreau sur les sources de polarisation par l'intermédiaire des deux secondaires bobinés en sens inverse d'un transformateur d'impulsions (Fig. II.7 et II.8).

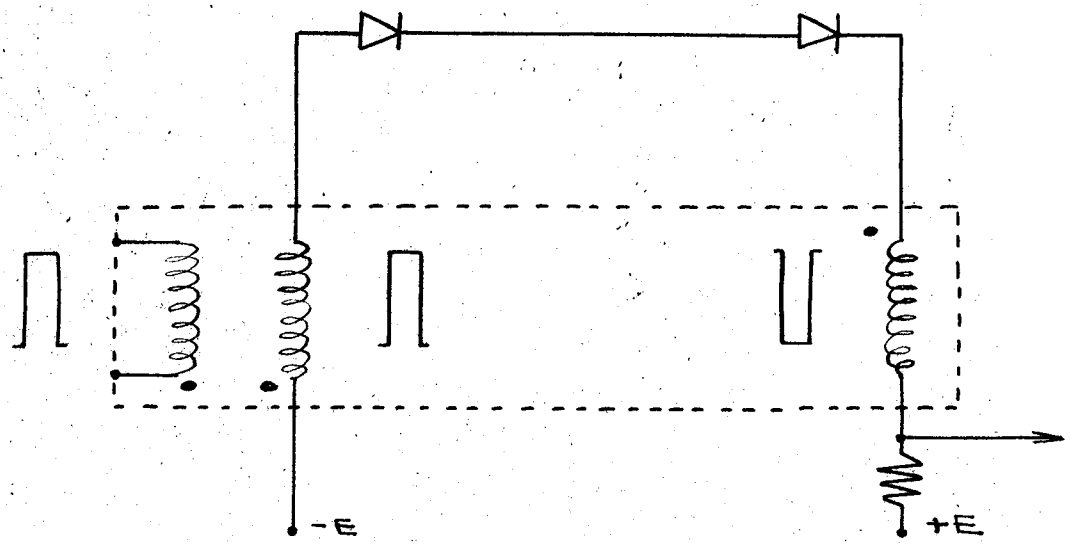
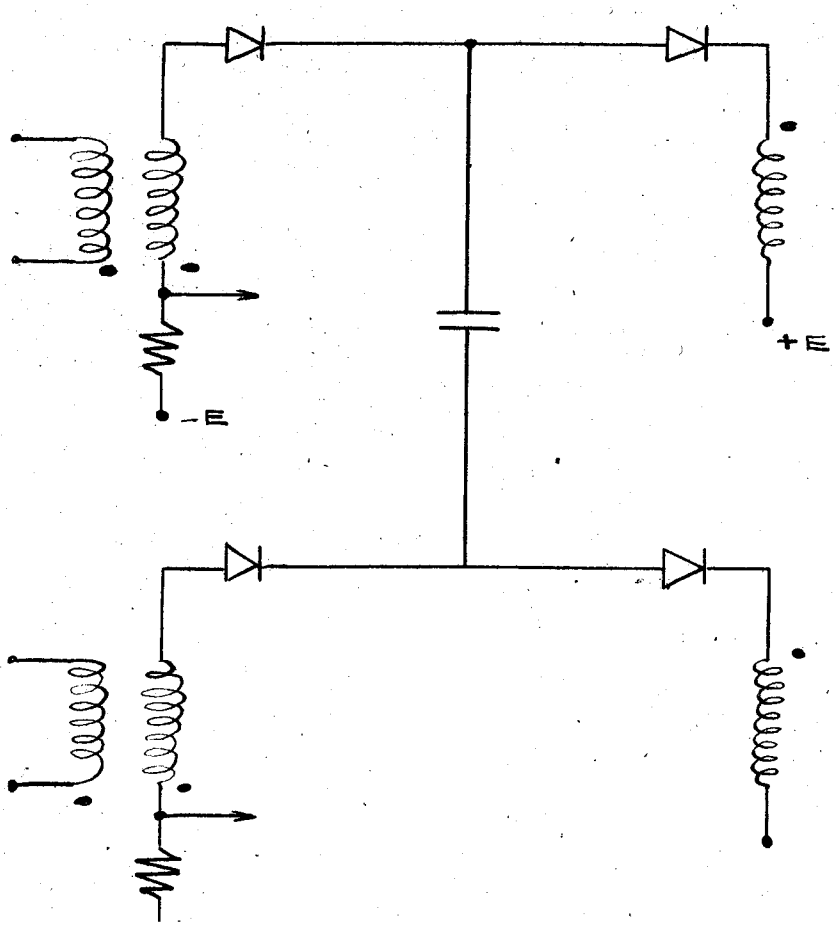


Fig. II.7.



IV - Conditions imposées au système de lecture - écriture

Pour une polarité donnée des armatures d'un condensateur, les courants de charge et de décharge sont de sens contraire. D'autre part, les éléments électroniques lorsqu'ils sont utilisés en commutation sont des éléments orientés : les diodes ne conduisent le courant que dans un sens.

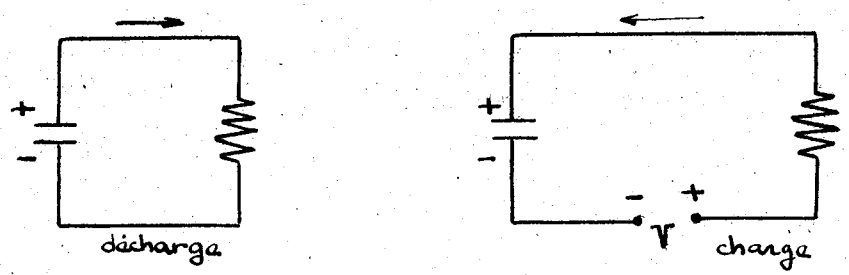


Fig. II.9

Donc si un condensateur est sélectionné, ce qui revient à mettre à la masse les extrémités des barres de ligne et de colonne correspondantes, les chemins de charge et de décharge sont distincts : ils sont indiqués sur la figure pour une des deux polarités et seraient inversés pour la polarité contraire.

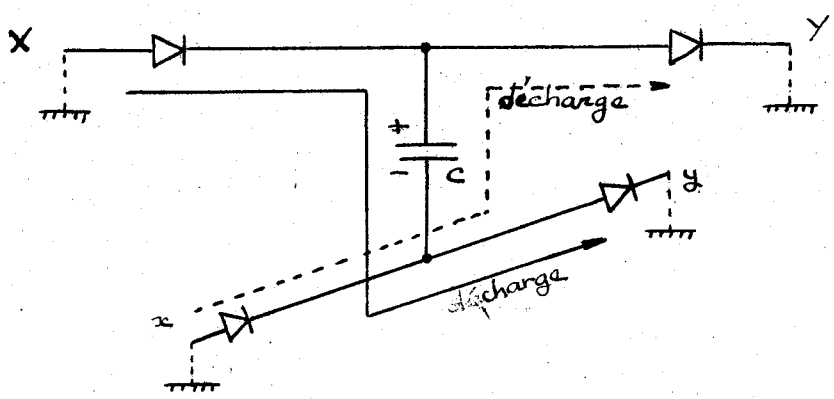


Fig II.10

Il existe dans ce système deux chemins complètement indépendants et tels que la lecture suivant un des trajets entraîne nécessairement l'écriture suivant l'autre trajet.

Ce qui amène les conséquences suivantes :

1° - Le système d'écriture - lecture est double, un sur chacun des chemins possibles.

2° - Le système de lecture - écriture du trajet xCy (fig. II.10) peut-être situé soit sous X, soit sous y. De même, le système du trajet xCY peut être sous x ou sous Y. Sur chacun de ces trajets, l'impulsion de décharge du condensateur a un sens ou l'autre suivant la place de la résistance de lecture. Ce n'est pas le sens de l'impulsion recueillie qui indique la polarité du condensateur, mais le chemin sur lequel s'effectue la lecture.

3° - Il est possible d'envisager deux cas d'écriture - lecture :

- les deux systèmes se trouvent aux extrémités du même barreau : XY ou xy
- les deux systèmes se trouvent aux extrémités de deux barreaux différents : Xy ou xY.

De plus, nous avons intérêt à éviter les courants de circulation intempestifs dans les barres, ce qui impose une écriture simultanée aux deux extrémités de celles-ci, donc sur les deux trajets.

4° - Le système risque de fonctionner en multivibrateur. En effet, soient les systèmes d'écriture - lecture (fig. II.11) :

L_1 E_1 sur un des chemins

L_2 E_2 sur l'autre.

Une information lue en L_1 est immédiatement réinscrite en E_2. Le courant de charge est alors identique à celui que donnerait une lecture L_1, d'où risque de réinscription en E_1, etc.....

Les deux canaux doivent être tels que l'écriture sur l'un ne provoque pas la lecture sur l'autre.

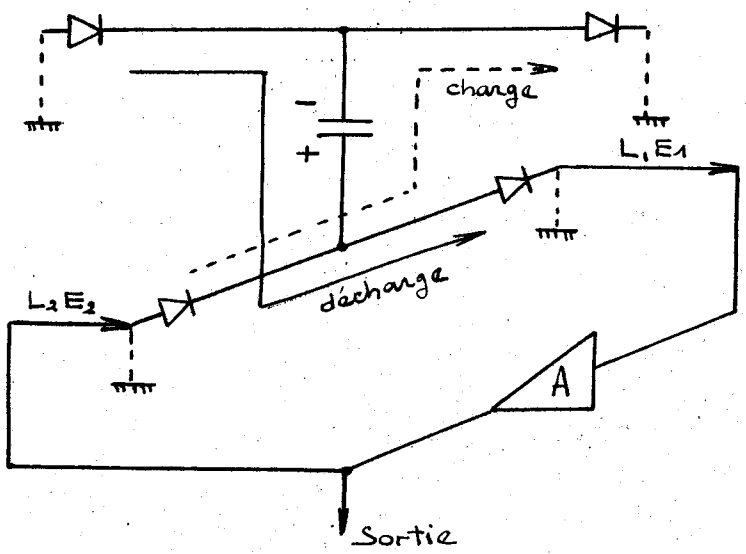


Fig II -11.

Remarque importante

Le dédoublement des voies d'accès à la mémoire ne complique pas les opérations d'entrée et sortie, et n'enlève rien au fonctionnement ternaire. En effet :

a) Ecriture : les incréments à mettre en mémoire sont traduits suivant deux digits binaires.

Si ces incréments sont délivrés par l'analyseur différentiel digital sous forme de deux digits. Un digit désigné [+ 1] et un désigné [- 1] , suivant le code :

		[+ 1]	[- 1]
incrément	+ 1	1	0
"	- 1	0	1
"	0	0	0

il suffit de diriger le digit $[+1]$ vers la commande d'écriture E_1, et $[-1]$ vers E_2, l'incrément 0 n'inscrit évidemment aucune tension sur le condensateur.

Si les incréments sont maintenant délivrés sous forme d'un digit de signe s et un de module m suivant le code :

		s	m
incrément	+ 1	0	1
"	- 1	1	1
"	0	1	0
		1	0

C'est la représentation de la fonction Booléenne $\bar{s}m$ qui est dirigée vers E_1 et sm vers E_2.

b) Sortie : suivant la nature des deux digits binaires demandés, les signaux seront extraits indépendamment (digits $[+1]$ et $[-1]$) ou combinés de façon logique (digits s et m).

-:-:-:-:-:-:-:-

V - Temps de mémoires

De par sa nature même la mémoire à diodes - capacité est une mémoire fugitive. En effet, le condensateur se décharge dans sa propre résistance interne, et à travers la résistance inverse des diodes. Il suffit d'employer un bon condensateur ordinaire pour que cette deuxième cause de fuite soit de beaucoup la plus importante. Le temps de mémoire possible est pratiquement limité par cette résistance inverse.

Chaque cellule élémentaire doit donc être explorée et réinscrite avant que l'information ne soit trop affaiblie, sous peine d'intercaler entre deux cycles de travail de la mémoire, un cycle de régénération pendant lequel toutes les cellules sont lues et réécrites.

Or l'emploi du tambour magnétique de l'analyseur différentiel digital comme ligne à retard impose l'utilisation de chaque élément une fois au moins à chaque tour de tambour. Car, si une cellule contient une information, celle-ci provient obligatoirement de la sortie du bloc arithmétique et est envoyée sur une des entrées de l'intégrateur ou du multiplieur, au même pas ou pas suivant du calcul. Ces opérations sont indiquées sur le programme de la machine, lequel est lu à chaque tour de tambour.

Il suffit que la mémoire conserve l'information pendant un tour de tambour. Les tambours utilisés dans les deux machines tournant à environ 3 000 t/mn, le temps de mémoire est limité à 1/50 s au plus. Une constante de temps de ½ s, facile à obtenir avec des diodes courantes, apporte une diminution maximum de 5 % sur l'information.

Cet problème de la persistance
réglé facilement ici car réutilisation immédiate

VI - Structure de la matrice de condensateurs

La réalisation de la matrice de condensateurs, telle que nous l'avons indiquée théoriquement à la figure II.6, soulève deux objections :

Une première objection de structure. Reprenons en effet le schéma avec quatre condensateurs (Fig. II.12). Considérons le n° 0 et ses deux armatures m et n : il existe deux chemins pour aller de m en n. Un chemin direct à travers le condensateur n° 0 lui-même, et un indiqué en trait plein, qui suit les barreaux et traverse les autres condensateurs. L'ensemble des trois autres condensateurs montés en série est en parallèle sur le n° 0. Il est impossible de faire varier la charge de l'un d'entre eux sans faire varier la charge de tous les autres

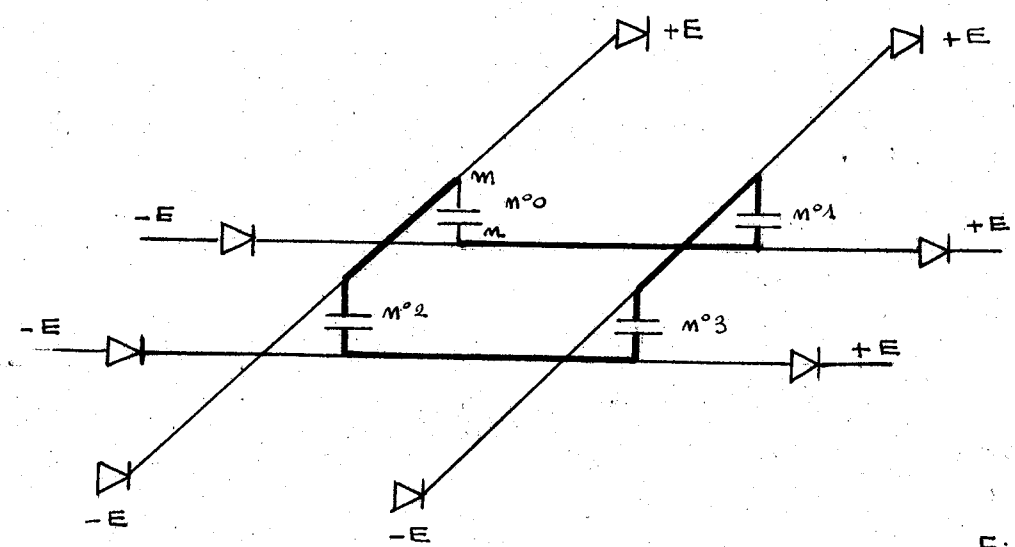


Fig II.12

Mais il est possible de lever cette objection et de restaurer l'indépendance de chacune des cellules, en arrageant la topographie du système de manière que le chemin direct soit le seul moyen

pour se rendre d'une armature à l'autre d'un quelconque des condensateurs ; tous les autres étant des chemins ouverts.

Pour cela deux possibilités :

1) Supprimer des condensateurs

2) Dédoubler un certain nombre de barreaux.

Les structures obtenues pour quatre capacités sont indiquées figure II.13.

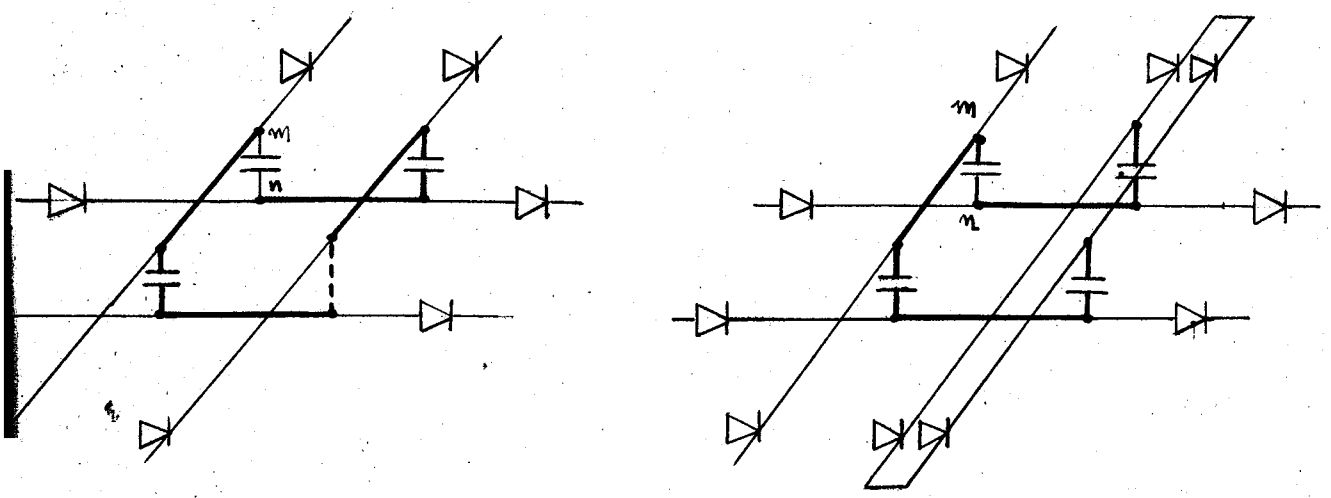


Fig II.13

Cette méthode est applicable à une matrice qui compte un grand nombre de cellules. Nous avons indiqué figure II.14, le cas de 16 capacités. Quelle que soit celle envisagée le chemin indirect est unique. Il suffit alors alors d'en supprimer une seule. La matrice obtenue finalement comporte une ou plusieurs chaînes ouvertes de condensateurs.

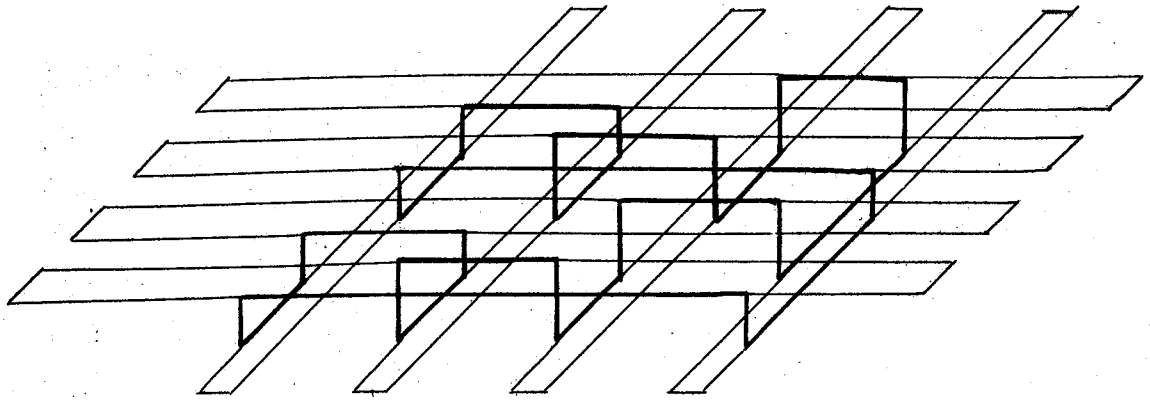


Fig II.14.

Mais il est impossible de réaliser des chaînes longues, car intervient la deuxième objection ou <u>de niveau.</u>

Pour détailler celle-ci, considérons, figure II.15, le cas d'une chaîne ouverte unique de trois condensateurs, et supposons cette mémoire à trois cellules en fonctionnement normal. Chacune des capacités est susceptible d'être chargée. Il s'agit de lire et réinscrire la cellule n° 2, les polarités étant celles indiquées.

Les opérations suivantes doivent se succéder ;

1 - <u>Lecture</u> (Fig. II.15 a) elle revient à mettre les barres a et B à la masse par l'intermédiaire de résistances. Etant donnée la polarité de la tension mise en mémoire aux bornes du n° 2, le chemin de décharge de ce condensateur est indiqué. Les diodes situées aux

autres extrémités des barres sélectionnées sont maintenues bloquantes par la charge même du condensateur.

La répartition des potentiels sur le chemin de décharge (Fig. II.15 b) montre que suivant les valeurs des résistances R_1 et R_2, les barres a et B atteignent un potentiel instantané, point de départ de la décharge, compris entre + e et - e. Supposons $R_1 = 0$. La barre B est au potentiel nul alors que la barre a atteint le potentiel + e. Par suite de la charge du n° 0, la barre A est au potentiel + 2 e, et par suite de la charge du n° 1, la barre b est au potentiel + 3 e. Les diodes des barres non sélectionnées restent bloquantes si la condition E 3 e est réalisée. Comme nous nous sommes placés dans le cas le plus défavorable, la condition est à fortiori valable si $R_1 \neq 0$.

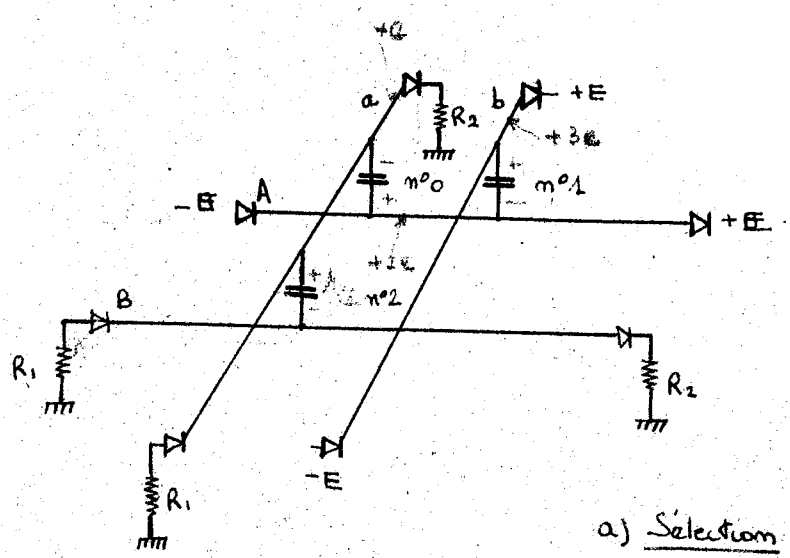
2 - Ecriture (Fig. II.15 c) elle peut se faire soit en portant le barreau du haut au potentiel + e, soit en portant le barreau du bas au potentiel - e.

Il est facile de vérifier que le premier cas est le plus défavorable et conduit à la même condition que précédemment : e $\frac{E}{3}$

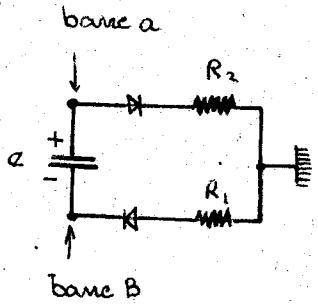
Ce résultat s'extrapole au cas d'une matrice qui comporte une seule chaîne ouverte de n condensateurs. La tension maximum susceptible d'être appliquée est $\frac{E}{n}$.

Si l'on veut conserver une valeur appréciable au signal utile, il est nécessaire de limiter assez vite la longueur des chaînes. Pratiquement seules sont à conserver celles à deux ou trois éléments.

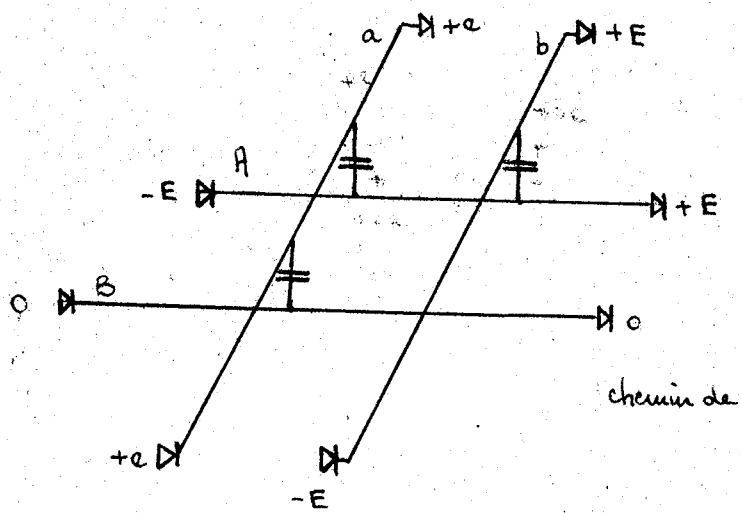
II.15



a) Sélection



b) Repartition des potentiels sur le chemin de decharge.



chemin de charge.

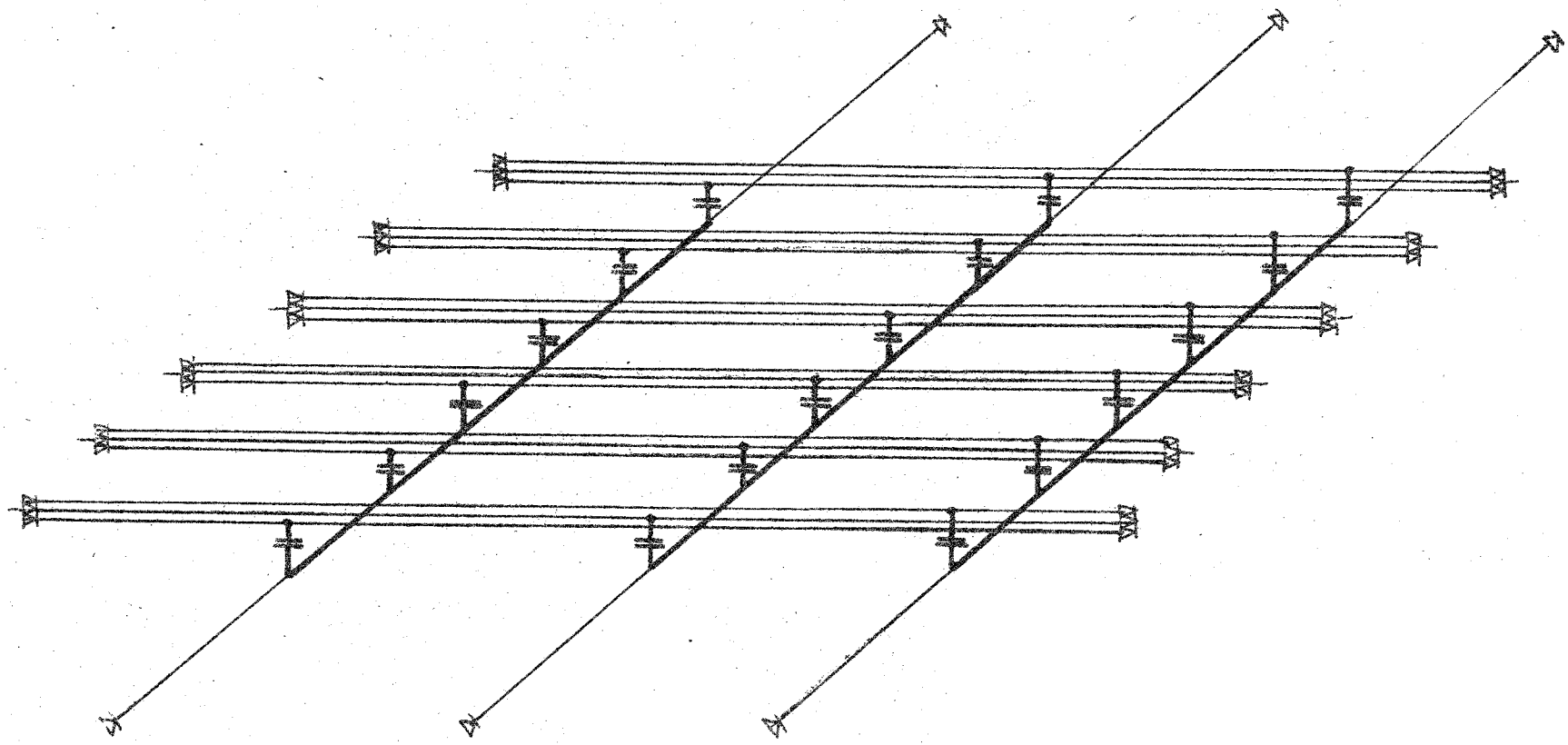
c) Charge dans le cas le plus defavorable

Finalement, une matrice complète de condensateurs doit donc comporter un certain nombre de chaînes indépendantes, de deux ou trois unités chacune.

Les figures II.16 et II.17 montrent respectivement une matrice de 18 à chaînes de 2, et une matrice de 12 à chaînes de 3.

Les structures indiquées se développent aisément à un plus grand nombre de condensateurs.

Figure II.16



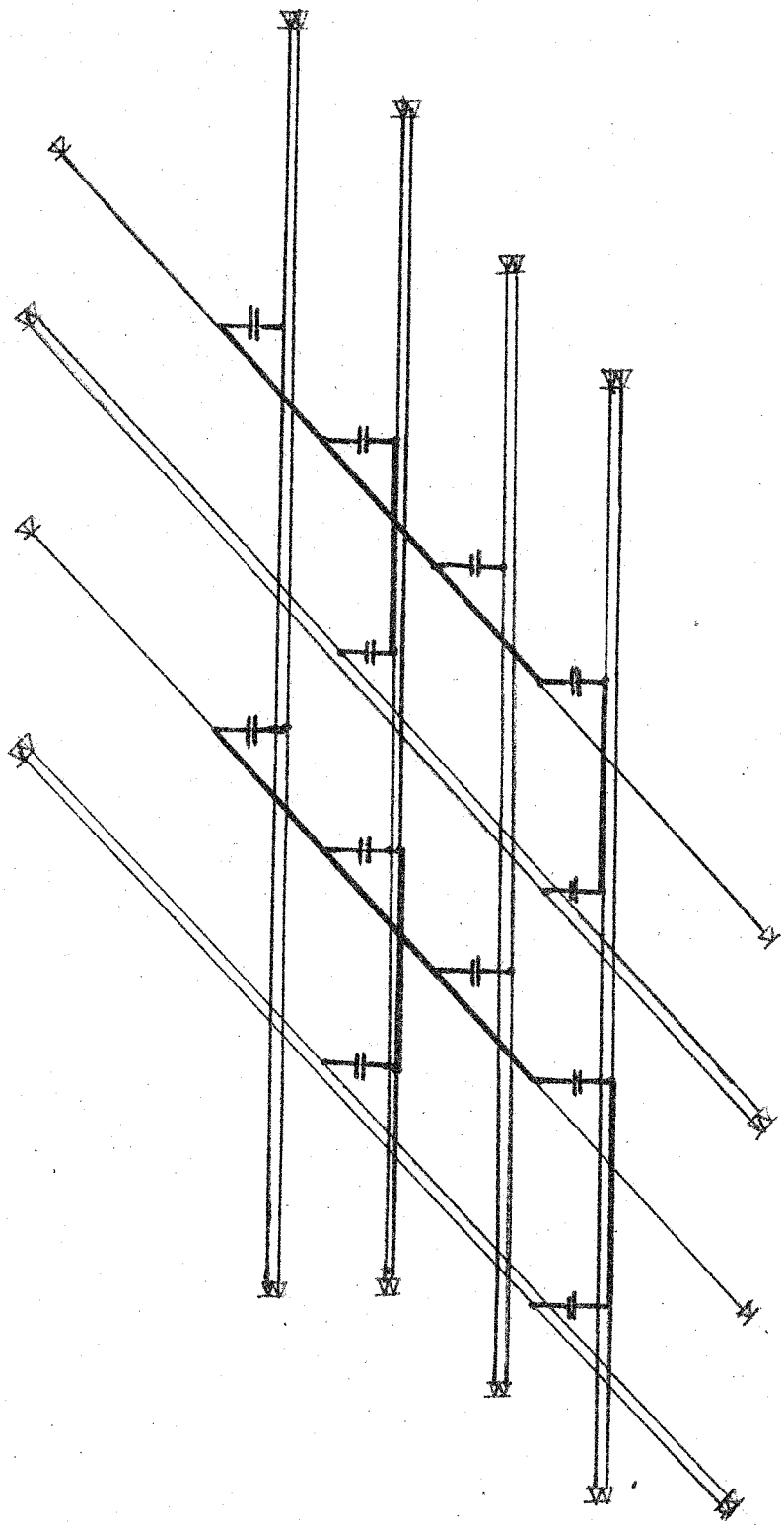


Figure II.11

VII - Disposition adoptée

Tension susceptible d'être inscrite

Le bilan du nombre de diodes comparé au nombre de capacités dans chacune des matrices des figures II.16 et II.17 est favorable à la première. C'est donc elle que nous avons employée.

Mais la chaîne ouverte n'est plus unique : reste à voir ce que devient la condition sur les niveaux dans ce cas particulier.

Pour cela nous prenons une matrice de quatre condensateurs, conformément à la figure II.18. Elle comporte des capacités dans toutes les conditions qui peuvent se rencontrer sur la matrice globale : intersection d'une ligne et d'une colonne sélectionnées, ligne sélectionnée et colonne non sélectionnée, ligne non sélectionnée et colonne sélectionnée, ligne et colonne non sélectionnées.

Supposons la matrice en état de fonctionnement normal. Les condensateurs sont chargés avec les polarités indiquées, il s'agit de lire et de réécrire la cellule n° 2. Les opérations sont les suivantes :

1 - Lecture (Fig. II.18 a) elle revient toujours à mettre les extrémités des barres a et B à la masse à travers une résistance. Le chemin de décharge est indiqué. La répartition des potentiels sur le chemin de décharge (Fig. II.18 b) est identique à celle de la figure II.15 b. Les potentiels instantanés atteints par les barres a_1 et B sont compris entre + e et - e.

Si $R_1 = 0$, la barre a_1 atteint le potentiel + e alors que la barre B est au potentiel de la masse. De plus par suite de la charge du condensateur la diode de gauche de a_1 est bloquante. La répartition des potentiels entre les barres a_2 et b_2 est alors indiquée en II.18 c. Dans le cas le plus défavorable, les n° 1 et n° 3 ne fuient pas si e est inférieur à $\underline{E}/2$. Dans ces conditions, le condensateur n° 0 ne peut pas fuir.

Si maintenant $R_2 = 0$, la barre a_1 est au potentiel de la masse alors que B atteint le potentiel - e. Aucun des condensateurs ne fuit si e est inférieure à E/2.

2 - Ecriture : elle peut se faire soit en portant la barre multiple du haut au potentiel + e, soit en portant la barre simple du bas au potentiel - e.

Voir la figure II.18 d pour le premier cas :

Le condensateur se charge à travers la résistance R_2 seule, suivant le chemin indiqué. Le barreau B est donc porté au début de la charge au potentiel + e, pour revenir au potentiel nul avec la constante de temps CR_2. Le condensateur n° 0 ne fuit pas si e est inférieur à E/2. Mais dans ces conditions, le n° 1 risque de fuir. En effet, a_2 est au potentiel + e ; avec les polarités indiquées, A est au potentiel + 2 e, et b_2 au potentiel + 3 e. La condition de conservation de l'information est alors e E/3.

Voir la figure II.18 e pour le deuxième cas :

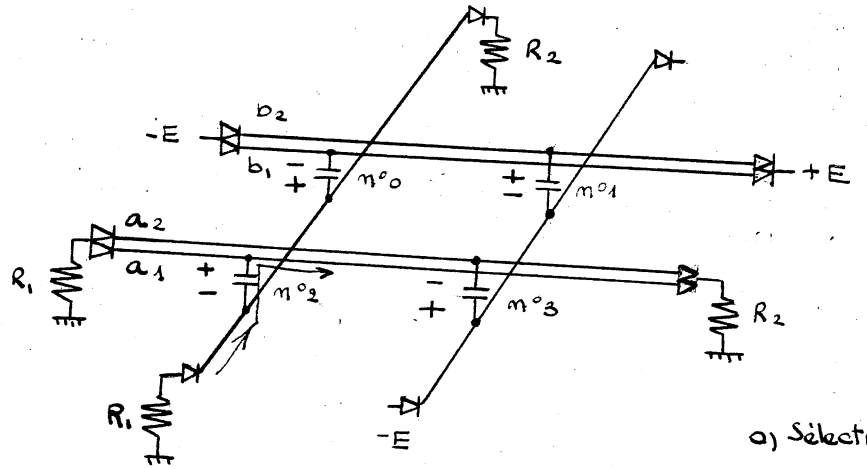
Le condensateur se charge à travers la résistance R_1 seule, suivant le chemin indiqué. L'extrémité gauche des barres a_1 et a_2 est donc portée en début de charge au potentiel - e ; la répartition des

potentiels le long de a_2, n° 3, n° 1 et b_2, indiquée en II.18 f, montre qu'il n'y a aucune fuite si e est inférieure à E/2. Alors, le n° 1 ne fuit pas non plus.

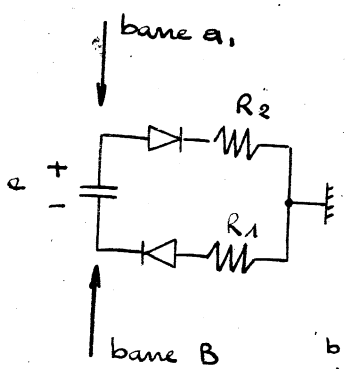
Il est facile de vérifier en suivant le même raisonnement que les conditions trouvées se conversent pour une polarité inverse aux bornes du condensateur n° 2.

Pour conserver les meilleures performances sur les niveaux, nous avons adopté une écriture sur les barreaux simples.

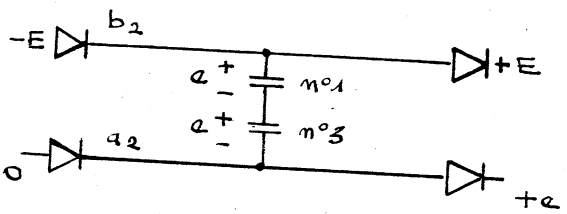
-:-:-:-:-:-:-



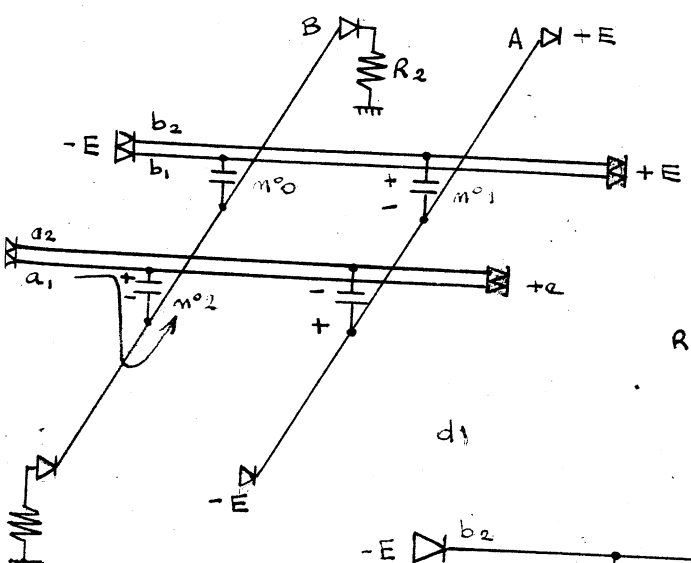
a) Sélection



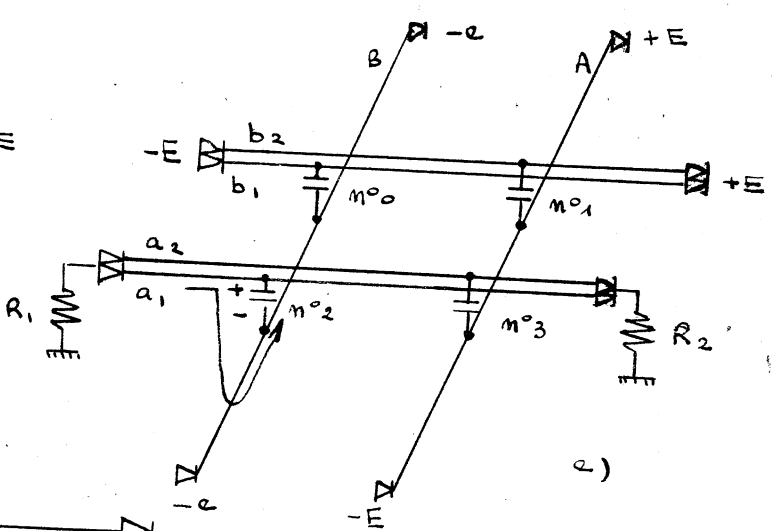
b) Potentiels à la décharge



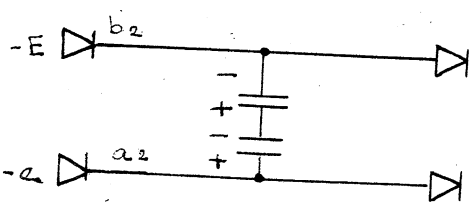
c)



d)



e)



f)

Fig II.18.

VIII - Conclusion

Une mémoire ternaire d'incréments, dont la matrice de condensateurs est celle indiquée en II.16, et dont la lecture - écriture se fait sur les barreaux simples, permet d'obtenir une condition sur les niveaux identique à celle de la mémoire ternaire indiquée classique, tout en acquérant l'avantage d'une sélection directe.

Les éléments nécessaires à la réalisation d'une telle mémoire à n x n cellules élémentaires sont les suivants :

- n^2 condensateurs et $2\,n^2$ diodes (barreaux multiples) + $2\,n$ diodes (barreaux simples)

  pour la mémoire
- un système d'écriture - lecture
- un système de décodage d'adresse.

Ce qui représente pour une mémoire de 16 x 16 = 256 cellules

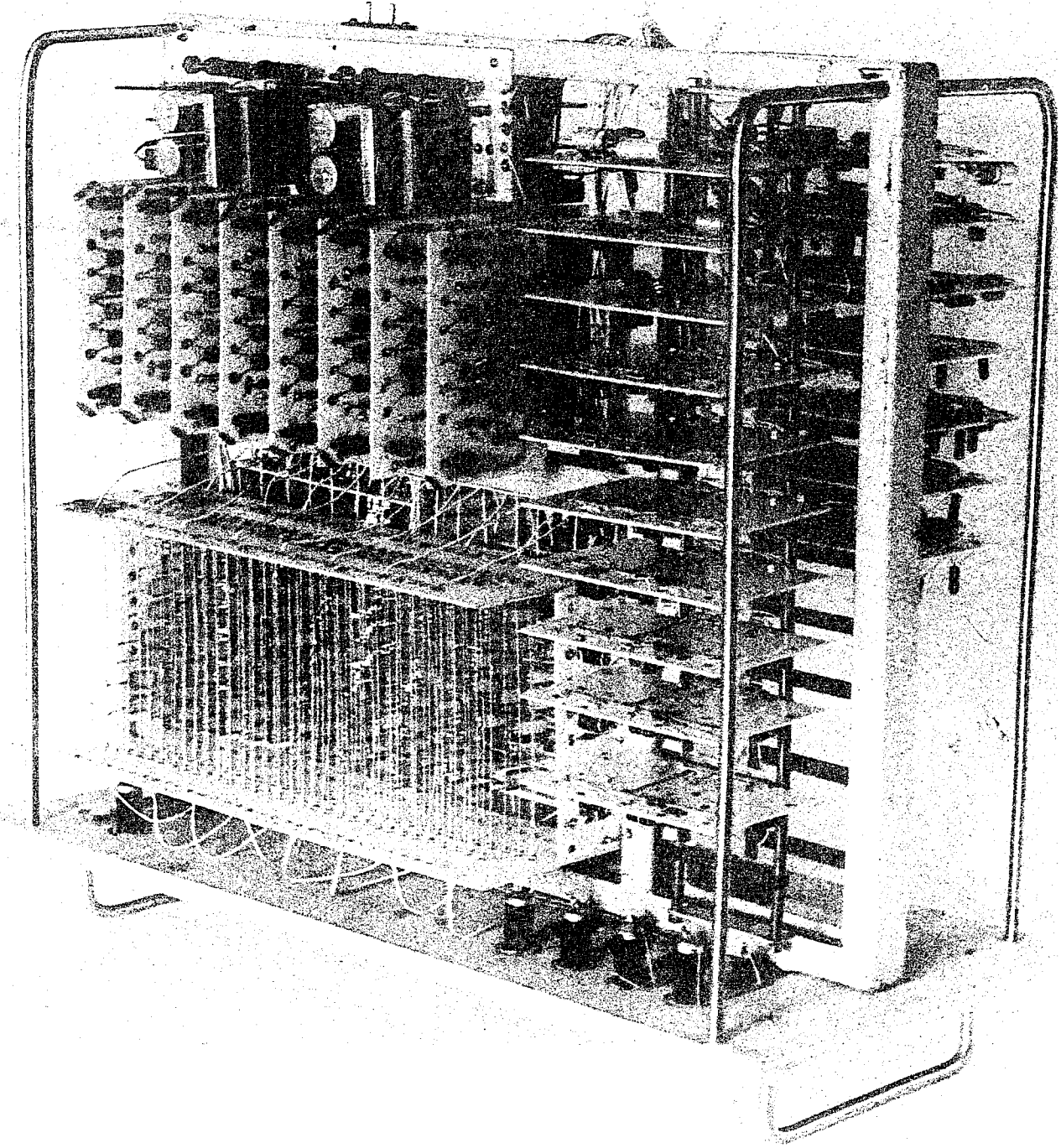
- 256 condensateurs et 512 + 32 diodes
- 2 matrices de décodage, soit 96 diodes et 8 bascules
- 1 système de lecture - écriture.

Résultat que l'on peut comparer avec celui obtenu plus haut.

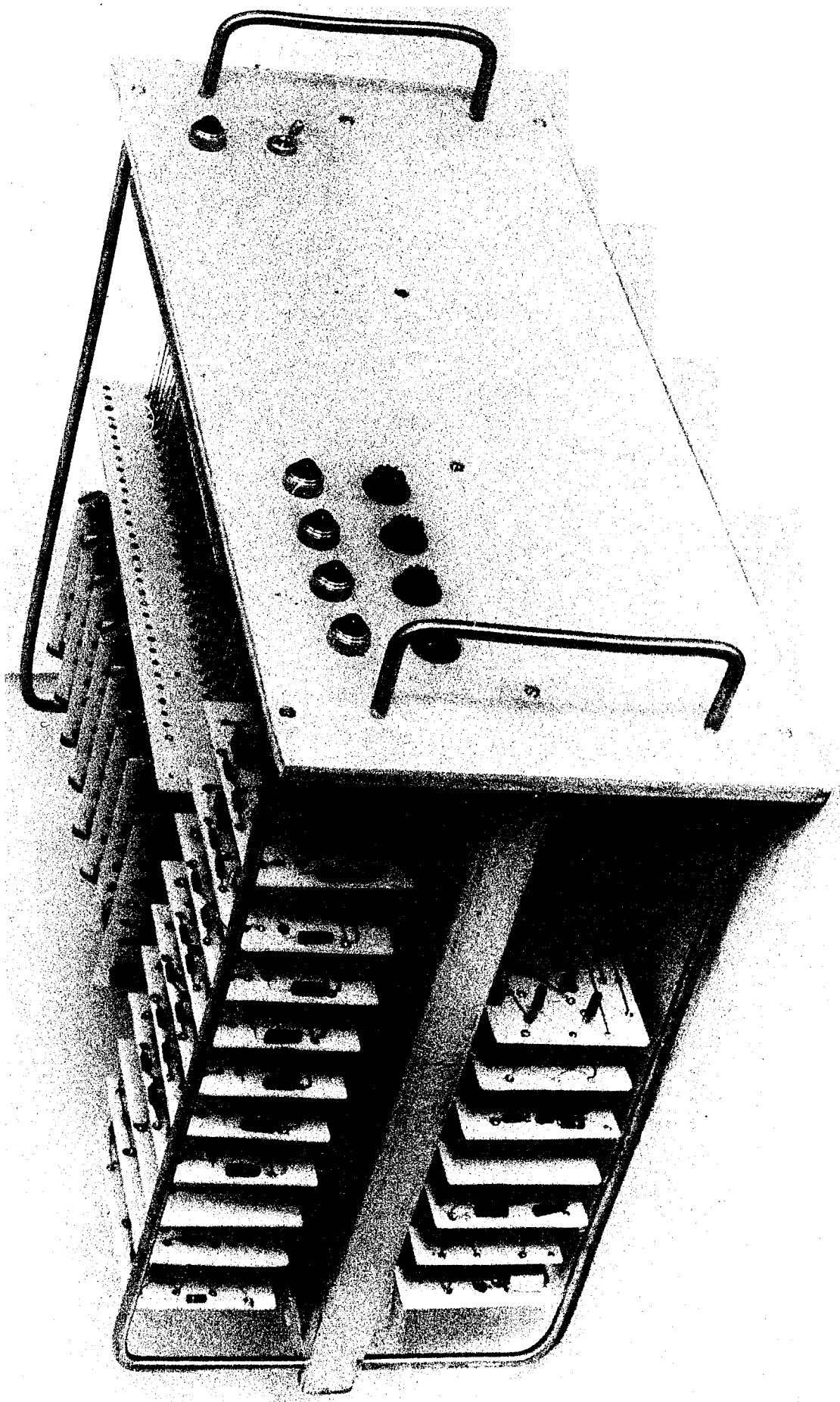
-:-:-:-:-:-:-:-

Troisième partie

R E A L I S A T I O N P R A T I Q U E



Vues Générales
de la Mémoire.



La mémoire construite utilise exclusivement une technologie à base de diodes et de transistors.

La réalisation pratique demande la connaissance du fonctionnement général et de la technologie choisie pour l'analyseur différentiel digital. Elle comporte un certain nombre d'étapes à envisager successivement :

1 - Sélection d'un condensateur à partir de son adresse inscrite sur le tambour ;

2 - Construction du système de lecture - écriture en informations ternaires :

3 - Traduction binaire - ternaire à l'entrée et ternaire - binaire à la sortie de la mémoire.

Chaque réalisation doit tenir compte des divers modes de fonctionnement commandés, et du déroulement séquentiel des opérations.

Nota - Le texte est expliqué par des figures de détail, et complèté par deux schémas généraux situés à la fin (ensemble complet et tableau de synchronisation).

I - Notions sur le fonctionnement de l' analyseur différentiel construit (1)

La réalisation des circuits d'accès à la mémoire et de traduction des incréments à l'entrée et à la sortie demande une connaissance générale de la machine :

- Synchronisation
- Fonctionnement du bloc arithmétique
- Programme
- Divers modes de fonctionnement commandés.

Nous avons vu que l'analyseur différentiel prototype est composé de huit pistes : deux servent de registres à l'intégrateur, deux de registres au multiplieur, quatre à l'inscription du programme. Les registres sont choisis d'une longueur de 24 θ (θ = timing). Un intervalle de garde ou gap, de 2 θ est laissé entre deux registres consécutifs.

Il n'est pas assigné de place fixe à chacun des 48 registres répartis dans la ligne à retard constituée par le tambour et l'opérateur arithmétique. Ceux-ci sont repérés au moyen d'un compteur de numéro de registre ; une "ligne primaire" de 26 θ indique les numéros des digits à l'intérieur d'un registre.

Le bloc arithmétique comprend : un opérateur composé capable de calculer l'intégrale de la somme algébrique de 7 fonctions et un multiplieur. Ce bloc communique avec un certain nombre de positions

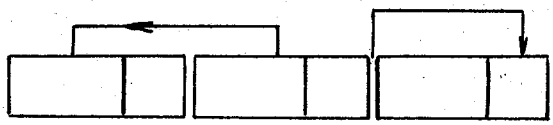
(1) Ce chapitre a trait au rapport de Monsieur J. DU MASLE

de la mémoire d'incréments : 7 extractions IY avec changement de signe pour remise à jour du registre Y de l'intégrateur, 2 extractions sans changement de signe (notées IX et IV); 2 rangements IZ.

De plus l'intégrateur peut fonctionner suivant deux formules d'intégration et soit en intégrateur, soit en comparateur. Deux lettres de fonction, α et β, déterminent le fonctionnement.

Du point de vue séquentiel, le traitement d'une intégration commence avec le défilement, devant les têtes de lecture, des registres de l'intégrateur. L'opération se termine avec la fin du défilement. Les incréments utilisés pendant l'intégration n sont donc extraits pendant l'intégration n - 1, le résultat étant rangé pendant le temps n + 1.

Ceci implique un décalage croisé des adresses de rangement et d'extraction, lequel est réalisé à l'~~impulsion~~ inscription sur le tambour.



Le programme inscrit en face de l'intégrateur n est donc le suivant (Fig. III.1).

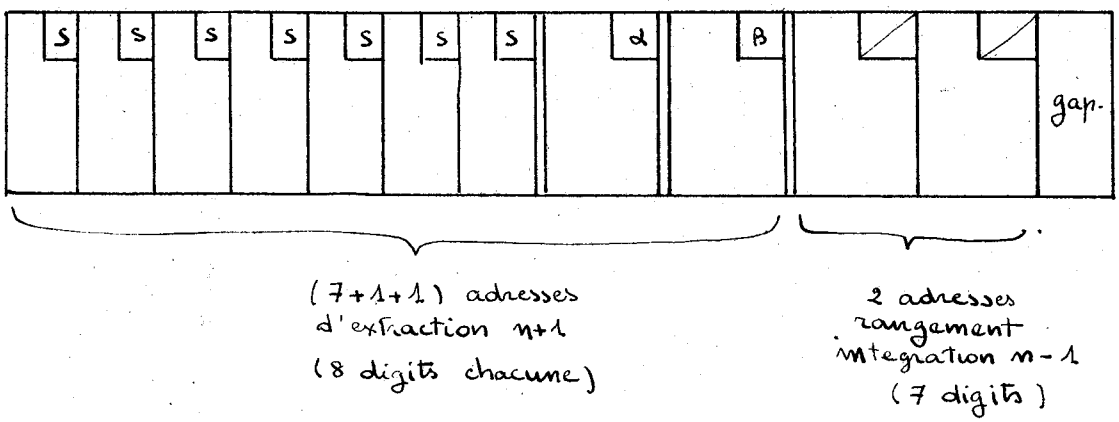


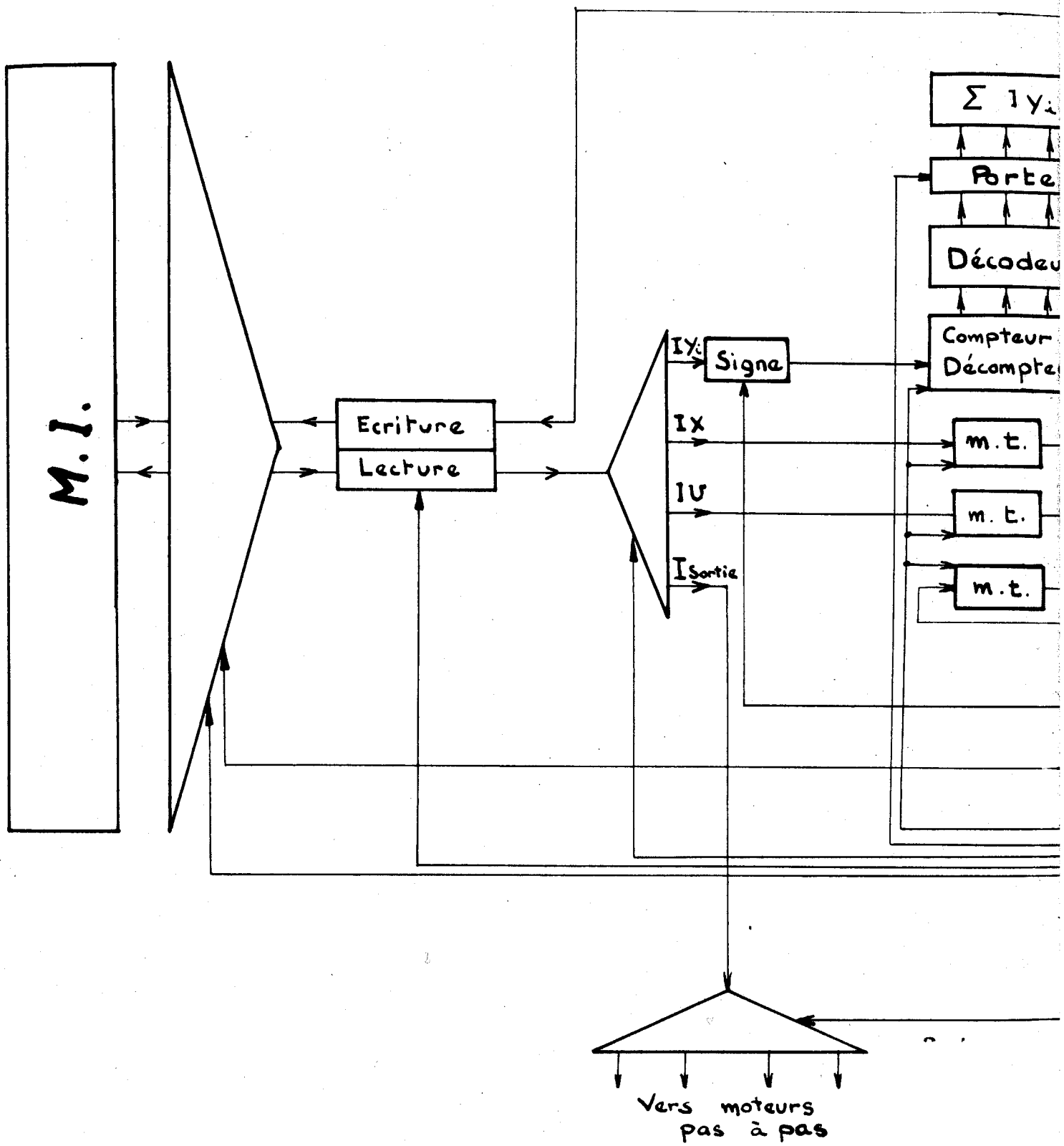
Fig. III.1

Les incréments extraits doivent être mis en mémoire temporaire jusqu'à l'arrivée du registre suivant. Il en est de même des lettres de fonction du bloc de calcul, qui occupent la place du digit de signe dans les adresses IX et IU.

De plus, pour sortir au cours de calcul des résultats sous forme incrémentielle, quatre adresses du 48e intégrateur peuvent être utilisées pour commander les quatre moteurs pas à pas de quatre traceurs de courbes.

Nous expliquerons plus loin que, pour l'intégrateur, seule la somme des sept incréments IYi a une signification.

En conclusion, toutes les opérations à effectuer sur la mémoire sont indiquées sur la figure III.2.


M.I.
Ecriture
Lecture
IYi
Signe
IX
IU
ISortie
Σ Iyi
Porte
Décodeu
Compteur
Décompte
m.t.
m.t.
m.t.
Vers moteurs
pas à pas

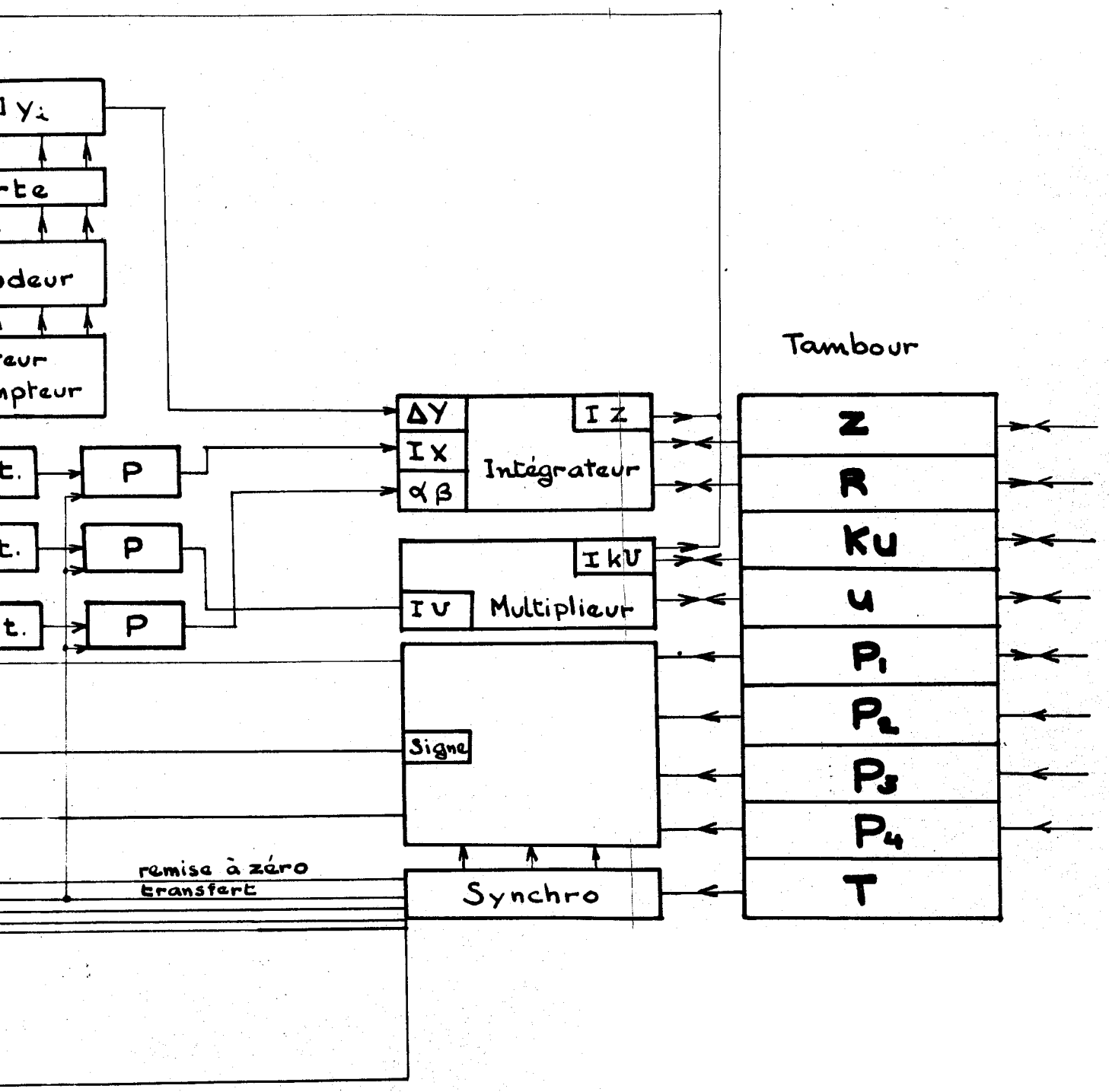

Tambour
ΔY
IX
αβ
Intégrateur
IZ
IkU
IU
Multiplieur
Signe
Synchro
remise à zéro
transfert
P
P
P
Z
R
KU
U
P1
P2
P3
P4
T

Fig III . 2

Modes de fonctionnement

Les divers modes de fonctionnement commandés manuellement de l'analyseur différentiel sont les suivants :

1 - Attente et indtroduction

2 - Introduction manuelle
Introduction automatique
Dans ces deux cas, le bloc de calcul est arrêté : l'incrément de sortie est nul. La mémoire doit être effacée.

3 - Calcul normal
Bloc de calcul et mémoire sont en fonctionnement

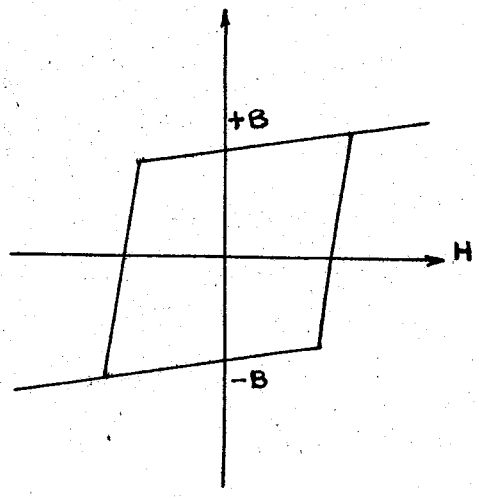
4 - Arrêt calcul
Le bloc est arrêté, mais la mémoire doit conserver son contenu.

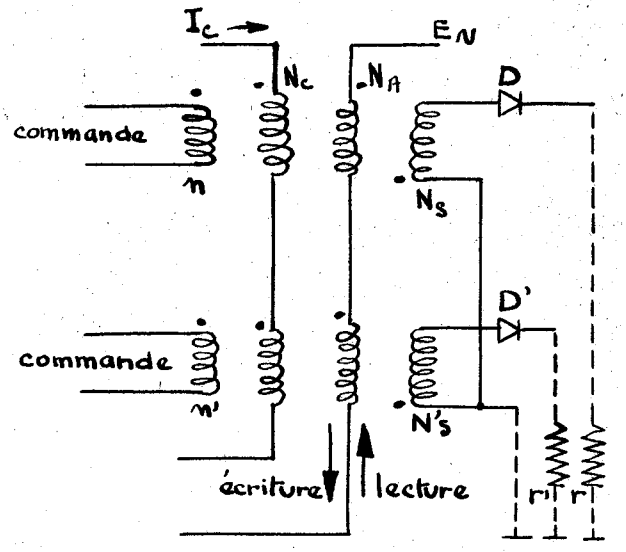
5 - Pas à pas
Succession automatique d'un pas de calcul et d'un arrêt calcul. Les conditions restent les mêmes qu'en 3 et 4.

Si nous remarquons qu'en un tour de tambour chaque position de la mémoire d'incréments est appelée au moins une fois à l'écriture, le simple arrêt du bloc de calcul efface la mémoire en un tour de tambour au plus. Pour que la mémoire fonctionne correctement, il suffit que le passage en position arrêt calcul délivre un signal qui arrête la procédure d'écriture. Ce signal est désigné par la lettre E, ou "entretien".

L'élément Symmag (1)

Le symmag utilise les propriétés des ferrites à cycle d'hystérésis rectangulaire. Il est constitué de deux tores sur lesquels sont bobinés des enroulements d'alimentation Na connectés en série, des enroulements Nc également connectés en série, des enroulements de commande n et n' et des enroulements de sortie Ns et N's





L'état initial est celui qui donne aux noyaux une induction + B. L'alimentation est alternative, la phase écriture correspond aux demi-alternances qui donnent un champ négatif, la phase lecture aux demi-alternances qui donnent un champ positif.

En l'absence de courant dans les enroulements de commande, l'induction des noyaux passe alternativement de + B à - B.

Si on applique sur l'enroulement de commande n des ampères-tours positifs et si l'énergie délivrée par la source pendant une demi-alternance est celle de basculement d'un tore, seul le tore commandé par n' passe de + B à - B, et devant la phase lecture seul

(1) Voir par exemple l'Onde Electrique - n° 403 - Octobre 1960

ce noyau crée une f.e.m. sur son enroulement de sortie N's. Inversement si on commande l'enroulement n', il existe pendant la phase lecture une f.e.m. sur le seul enroulement N. Les deux états du symmag correspondent à la commande sur l'un ou l'autre des enroulements, l'information amplifiée se présente aux bornes des enroulements de sortie auxquelles sont connectées des diodes débloquées pendant le cycle de lecture.

L'enroulement parcouru par un courant continu donnant des ampères-tours négatifs assure le retour de l'induction des noyaux à la même valeur après chaque phase de lecture.

Le symmag délivre une information sous les deux formes : directe et complémentaire. L'emploi de plusieurs enroulements de commande sur un noyau permet de réaliser la réunion des signaux appliqués.

Il est possible de réaliser une logique utilisant exclusivement des éléments symmags.

II - Sélection d'un condensateur

La sélection d'un condensateur particulier demande : la lecture de l'adresse, le décodage de cette adresse, la sélection proprement dite.

Les deux opérations de décodage et de sélection doivent être effectuées successivement. En effet, nous rappelons que la mémoire d'incrément doit posséder un nombre de positions égal à la somme du nombre d'intégrateurs et du nombre de multiplieurs, soit environ une centaine pour la machine prototype. L'adresse d'un incrément se compose donc de sept digits binaires ($2^7 = 128$). Cette adresse est inscrite sur quatre pistes programme, et sur deux intervalles de timming.

	θ	θ	
P_1	1		
P_2	2	5	
P_3	3	6	
P_4	4	7	

Figure 3.

La matrice de condensateurs choisie comporte 16 x 8 cellules (16 barrezaux multiples, 8 barreaux simples). Pour obtenir le décodage le plus aisé, on considère que les digits 1, 2, 3 et 4 constituent l'adresse des colonnes numérotées de 0 à 15, et que les digits 5, 6 et 7 constituent l'adresse des lignes numérotés de 0 à 7.

Le décodage d'adresse se réalise en deux temps : décodage des colonnes, puis décodage des lignes. Ce n'est donc qu'à la fin du deuxième temps, et dans l'intervalle d'attente de l'adresse suivante que la sélection du condensateur est possible. La nature du tambour magnétique fixe la durée de cette sélection.

Le principe d'écriture du tambour, en effet, est celui dit à "modulation de phase" ; le signal utile de lecture est l'intersection logique du signal de sortie de l'amplificateur de lecture et d'un signal de test de courte durée (0,7 à 0,8 µs) situé au milieu de l'intervalle de timing.

Les circuits de lecture sont tels que l'information binaire 1 donne une impulsion, et l'information 0 pas d'impulsion du tout.

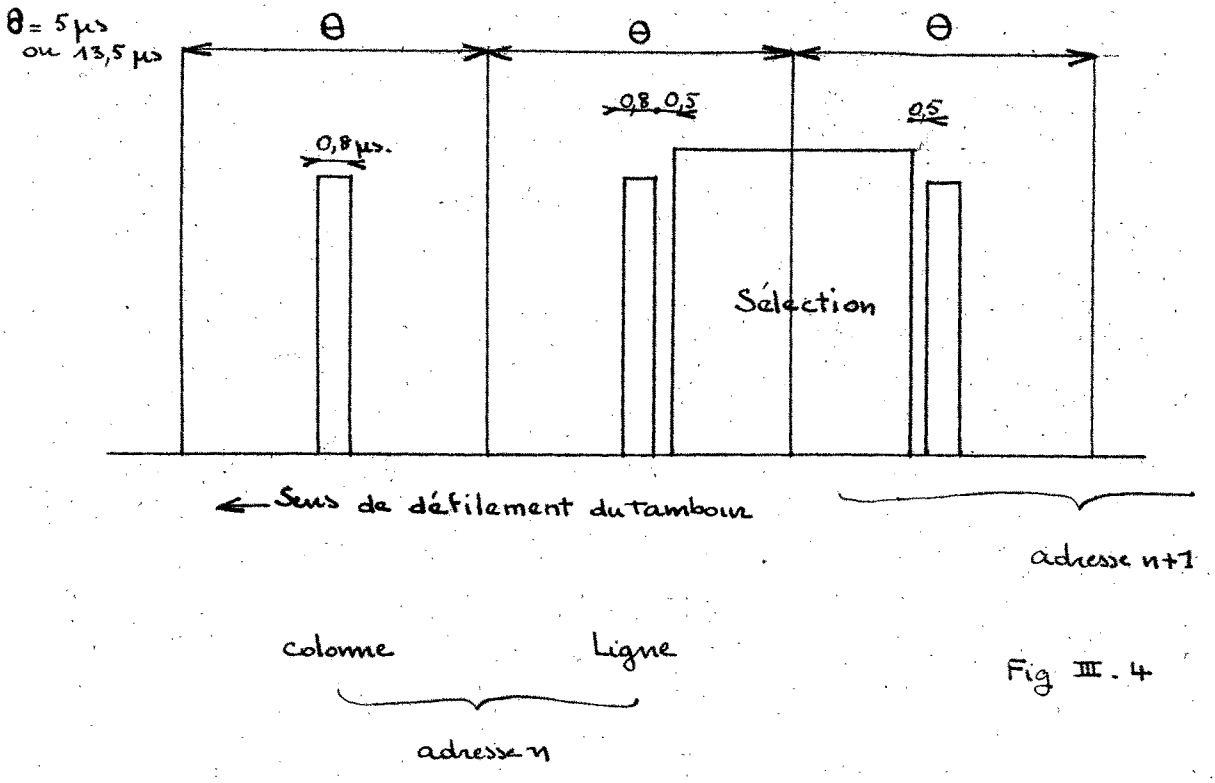


Fig III. 4

La figure III.4 indique l'arrivée d'une succession de 1 à la sortie d'un des amplificateurs de lecture. Le temps possible pour la sélection est indiqué, compte tenu du sens de rotation du tambour, et d'un intervalle de garde avant et après lecture pour le positionnement des bascules de décodage.

Nous avons envisagé de suite le cas de la machine définitive, dont le timing est 5 µs. La durée de sélection n'excède pas 3 à 3,5 µs. C'est le temps qui nous est imparti pour effectuer la lecture avec réécriture, ou l'écriture extérieure.

Première opération : décodage (1)

Les matrices de décodage sont à diodes et tout à fait classiques. Les bascules de commande reçoivent les équivalents binaires des numéros de ligne et de colonne du condensateur à sélectionner. Une seule des sorties de chaque matrice est portée à un niveau singulier, choisi négatif pour commander directement la sélection par l'intermédiaire d'un étage amplificateur de courant.

Il est nécessaire de positionner les bascules de décodage, à partir des amplificateurs de lecture du tambour. Ceux-ci délivrent une impulsion, identique à l'impulsion de test, uniquement dans le cas où le signal détecté est le digit 1. Cette impulsion peut servir à faire passer une bascule de la position 0 à la position 1. Mais l'opération inverse n'est pas possible. Si après chaque opération de sélection, on évite un temps de remise à zéro générale, on augmente l'intervalle imposé pour cette sélection.

L'impulsion de test est donc utilisée pour positionner les bascules. Elle est orientée vers l'entrée de mise à 0, dans le cas de

(1) Se reporter au schéma général

la lecture d'un "0" : orientation normale, pas d'impulsion de sortie de l'ampli. Elle est orientée vers l'entrée de mise à 1, dans le cas de la lecture d'un "1" : impulsion de sortie de l'ampli.

Soient donc | x le signal de sortie de l'ampli lecture
| T le signal de test
| y_1 le signal de mise à "0" de la bascule
| y_2 " " "1" " "

Les signaux de sortie des amplificateurs du tambour sont des impulsions négatives, et les bascules choisies sont commandées par des impulsions positives (Fig. III.7).

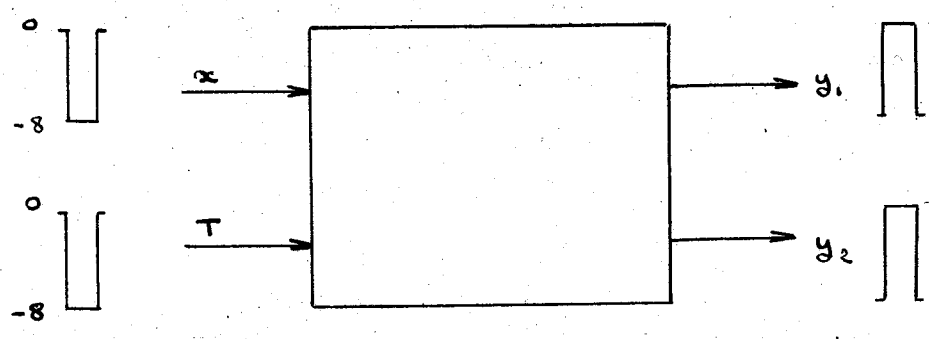
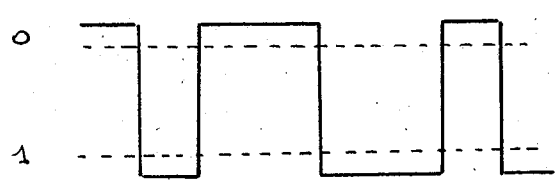


Fig III.7

Il est facile de vérifier que le système de commande doit élaborer les fonctions booléennes suivantes (voir note) :

$$\begin{cases} y_1 = \overline{T} + x = \overline{T.\overline{x}} \\ y_2 = \overline{x} \end{cases}$$

<u>Note importante</u> : Dans la suite, tous les circuits logiques sont basés sur la convention suivante : un nombre binaire 1 sera représenté par un niveau de tension <u>inférieur</u> à celui d'un nombre binaire 0.



Synchronisation du décodage des adresses

L'emploi d'un système logique de positionnement des bascules de décodage s'impose à la sortie de chaque amplificateur de lecture, mais le système est incapable de différencier les adresses de lignes des adresses de colonnes.

Par suite, compte-tenu du programme, à chaque amplificateur de lecture sont affectés une bascule de colonne, et, soit une bascule de ligne (pistes P_2, P_3 et P_4), soit un ensemble de décodage de signe et de lettres de fonction (piste P_1). L'orientation vers l'un ou l'autre a lieu sous la dépendance des signaux de synchronisation. L'exécution séquentielle du décodage étant indépendante du numéro du registre, le tableau donné à la fin ne donne qu'un des registres.

Ce tableau rappelle tout d'abord le programme à exécuter. Il donne l'allure du signal de ligne primaire à l'instant $5 \times \frac{\theta}{2}$ (éléments symmags montés en ligne à retard). Le signal de test des amplis de lecture est ensuit mis à sa place, c'est-à-dire en retard par rapport au milieu de l'intervalle de timing. En conséquence, les différents temps de sélection de la mémoire sont indiqués.

Considérons les pistes P_2 P_3 P_4. Le signal de lecture doit être orienté vers les colonnes pendant la deuxième moitié des intervalles 1 , ou 3, ou 5,....., ou 21. Il doit être orienté vers les lignes pendant la deuxième moitié des intervalles 2, ou 4,....., ou 22. Les circuits de commande correspondants réalisent les réunions logiques des signaux de sortie des symmags 1 , 3 ..... 21 pour l'un et 2 , ... 22 pour l'autre. Les signaux obtenus sont désignés par C et L respectivement (Fig. III.8) avec la convention plus haut.

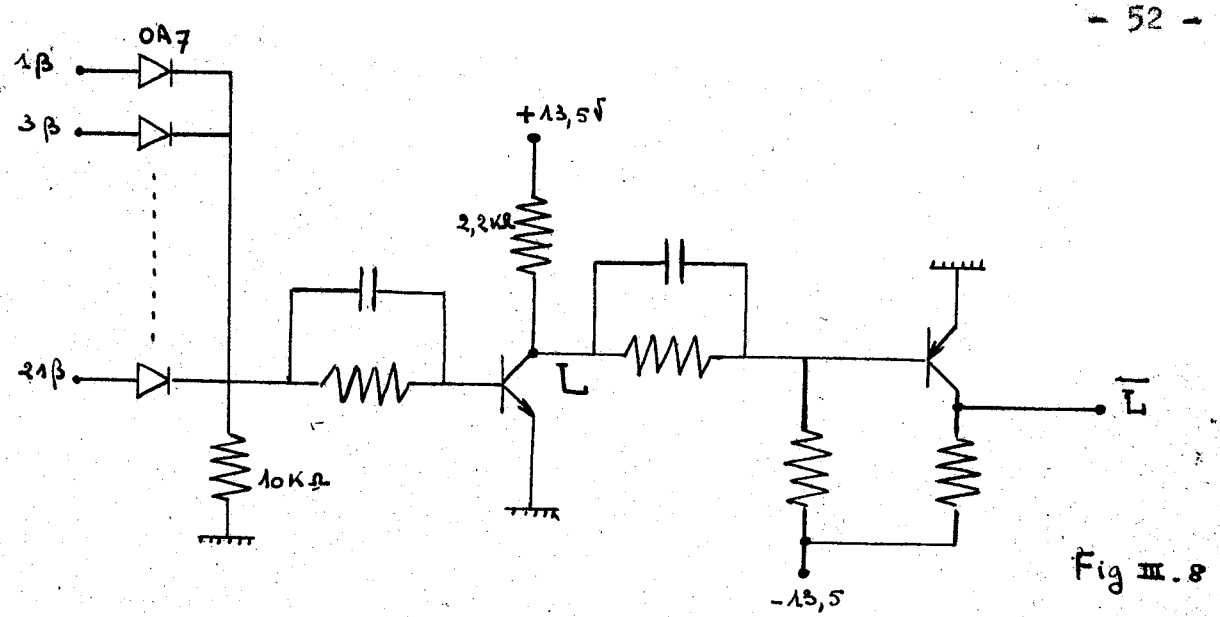


Fig III.8

Compte tenu du sens d'impulsion d'une adresse quelconque y à transmettre, on vérifie facilement qu'il faut réaliser les fonctions logiques (Fig. III.9).

$$\left|\begin{array}{l} \overline{L} + y = \overline{L\,\bar{y}} \\ \overline{C} + y = \overline{C\,\bar{y}} \end{array}\right.$$

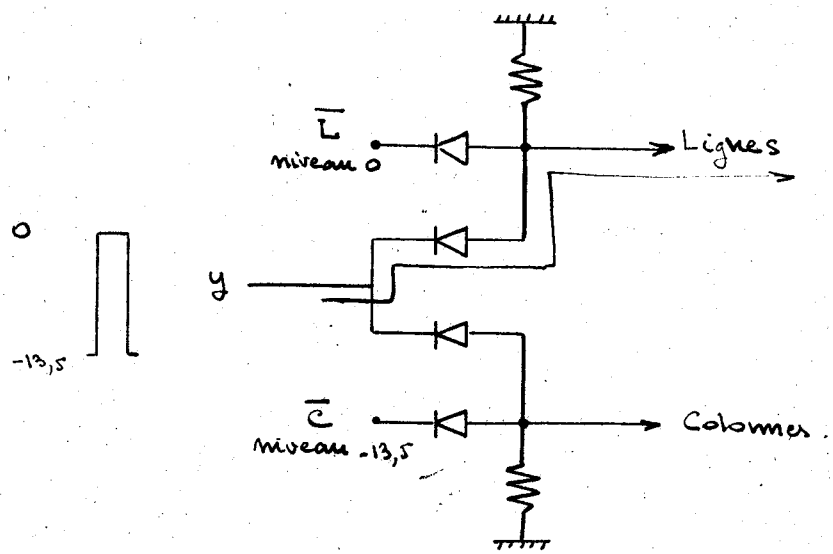


fig III.9

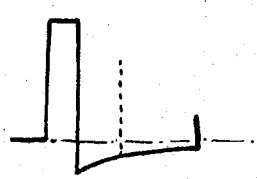
La piste P_1 est décodée suivant le même procédé, à condition de choisir les signaux de direction convenable.

Deuxième opération : sélection

Il est indiqué dans la deuxième partie, que le système de lecture - écriture n'affecte que les barreaux simples. Le problème de la sélection se pose donc différemment dans le cas des lignes et dans le cas des colonnes.

1 - Lignes : dans ce cas, l'emploi de transformateurs est obligatoire puisque le système de lecture - écriture est placée sous celui de sélection. Cependant, diverses précautions doivent être prises, d'où une légère modification du circuit.

a) Les transformateurs d'impulsions donnent au secondaire des signaux dont la valeur moyenne est nulle. Aux grandes fréquences de récurrence, l'amplitude de l'impulsion est donc sensiblement augmentée. Un courant de circulation peut alors se produire le long du barreau, courant qui traverse la résistance de lecture et risque d'être interprêté comme une information fournie par le condensateur.



b) Un transformateur possède entre primaire et secondaire des capacités parasites. Si le secondaire retourne à la masse par l'intermédiaire d'une résistance, les fronts raides des impulsions au primaire seront transmis de façon capacitive aux bornes de la résistance. Le système de lecture recueille alors des impulsions parasites dues uniquement à la sélection. Aussi, des signaux de très bonne qualité sont obtenus en utilisant un écrêtage par diode Zener, suivant la figure III.10 .

L'emploi de diodes Zener, dont la caractéristique présente une cassure très franche (tensions de l'ordre de 9 V), donne l'écrêtage le meilleur possible.

Cela permet d'<u>inscrire 4,5 V aux bornes de chaque condensateur</u>.

Dans ce cas, l'expérience montre que les signaux parasites de sélection aux bornes de la résistance de lecture sont inférieurs à 0,2 V.

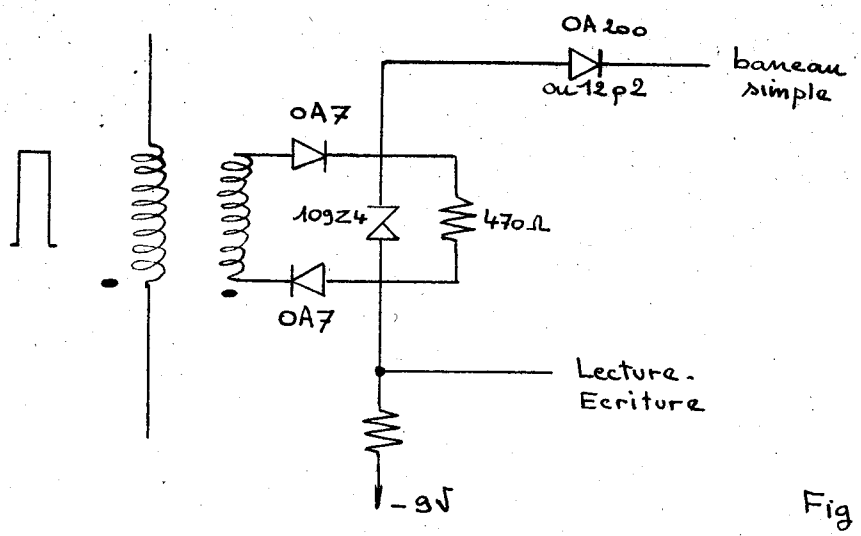


Fig III.10

2 - <u>Colonnes</u> : la sélection par transformateurs a été conservée puisqu'étant d'une mise en oeuvre plus simple. Des inconvénients subsistent qu'il est inutile de corriger : seul compte le fait que les extrémités du barreau sont amenées au niveau de la masse.

Cependant, les diodes utilisées (12 p 2) ont la caractéristique indiquée en III.11. Comme il est très difficile de doser exactement l'amplitude au secondaire des transformateurs, des cas extrêmes peuvent se produire. Si l'impulsion est trop faible (8,5 V au lieu de 9 V), la perte d'information à la lecture est de 1,3 V (0,5 + 0,8).

Si l'impulsion est trop forte, les diodes seront franchement

débloquées, ce phénomène se traduit par une diminution momentanée de la résistance de fuite des sept cellules non sélectionnées, reliées au même barreau.

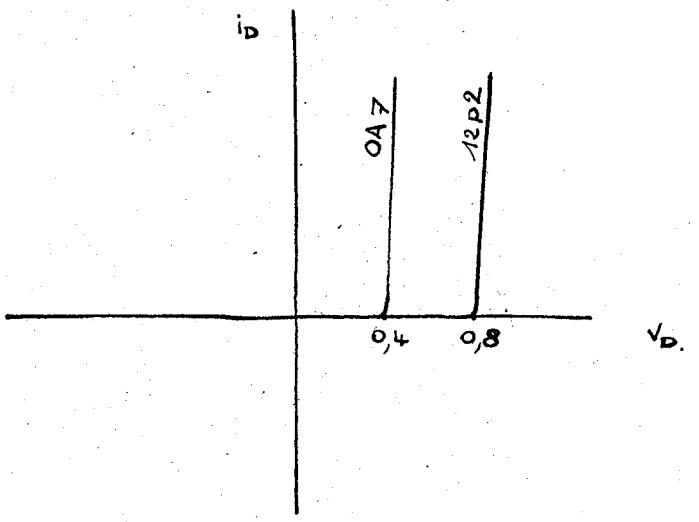


Fig III . 11 .

Pour éliminer ces cas extrêmes, on a procédé à un écrêtage systématique, les diodes utilisées à cet usage sont choisies de manière à laisser les diodes des barreaux dans une région de forte résistance, tout en limitant au maximum la perte systématique d'information à la lecture. Cette perte est voisine de 0,4 V (Fig. III.12).

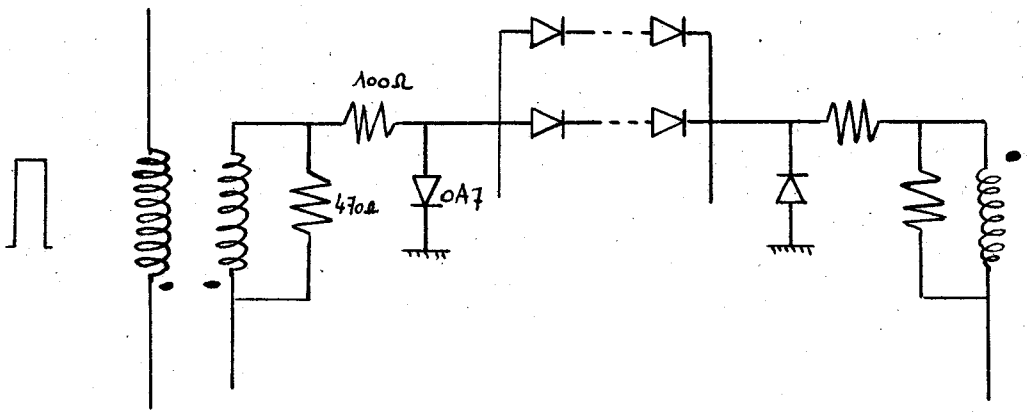


Fig . III . 12 .

Le signal de déclenchement de sélection est fabriqué (voir schéma général) à partir de l'impulsion de test validée par le signal de ligne. Cette impulsion est retardée de façon réglable et attaque un générateur de signaux carrés dont la largeur est réglable également.

Un détail du système de sélection est donné sur la figure III.13.

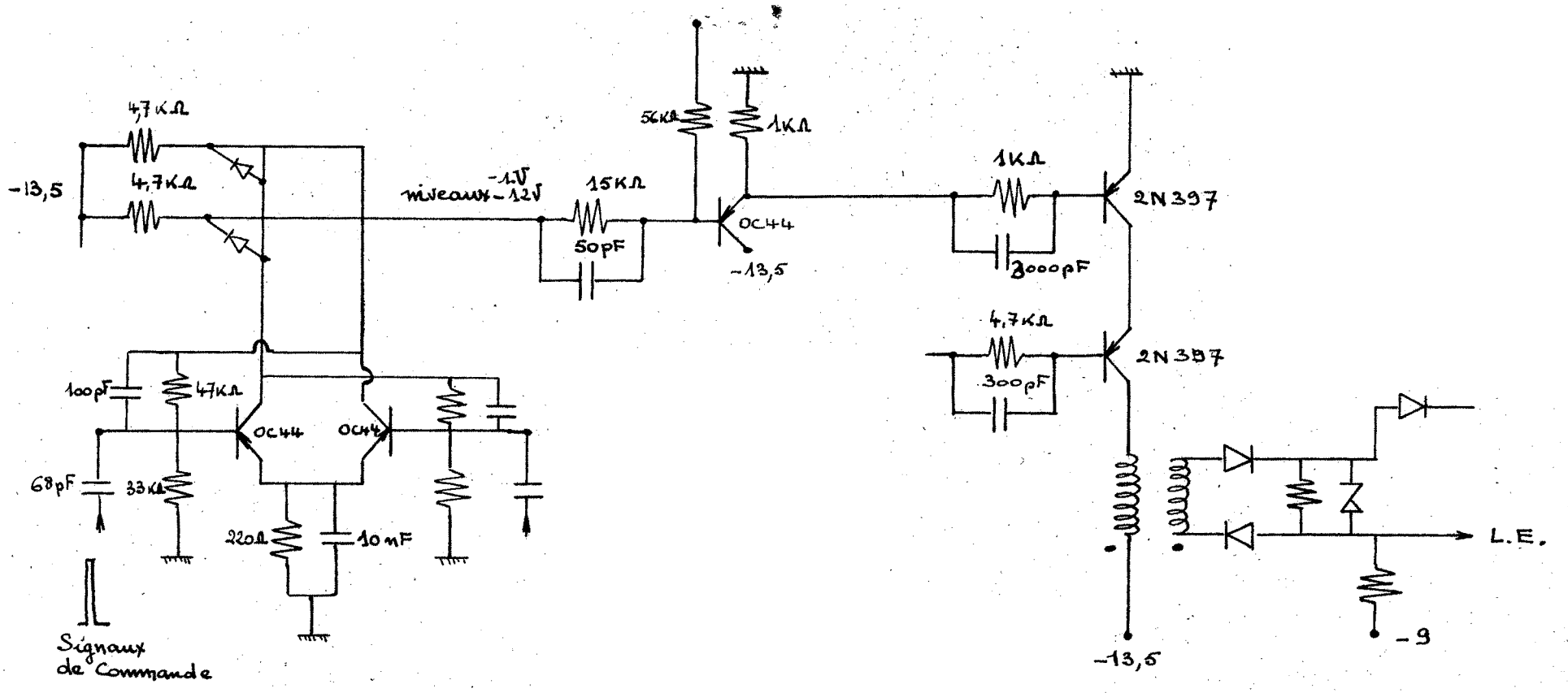
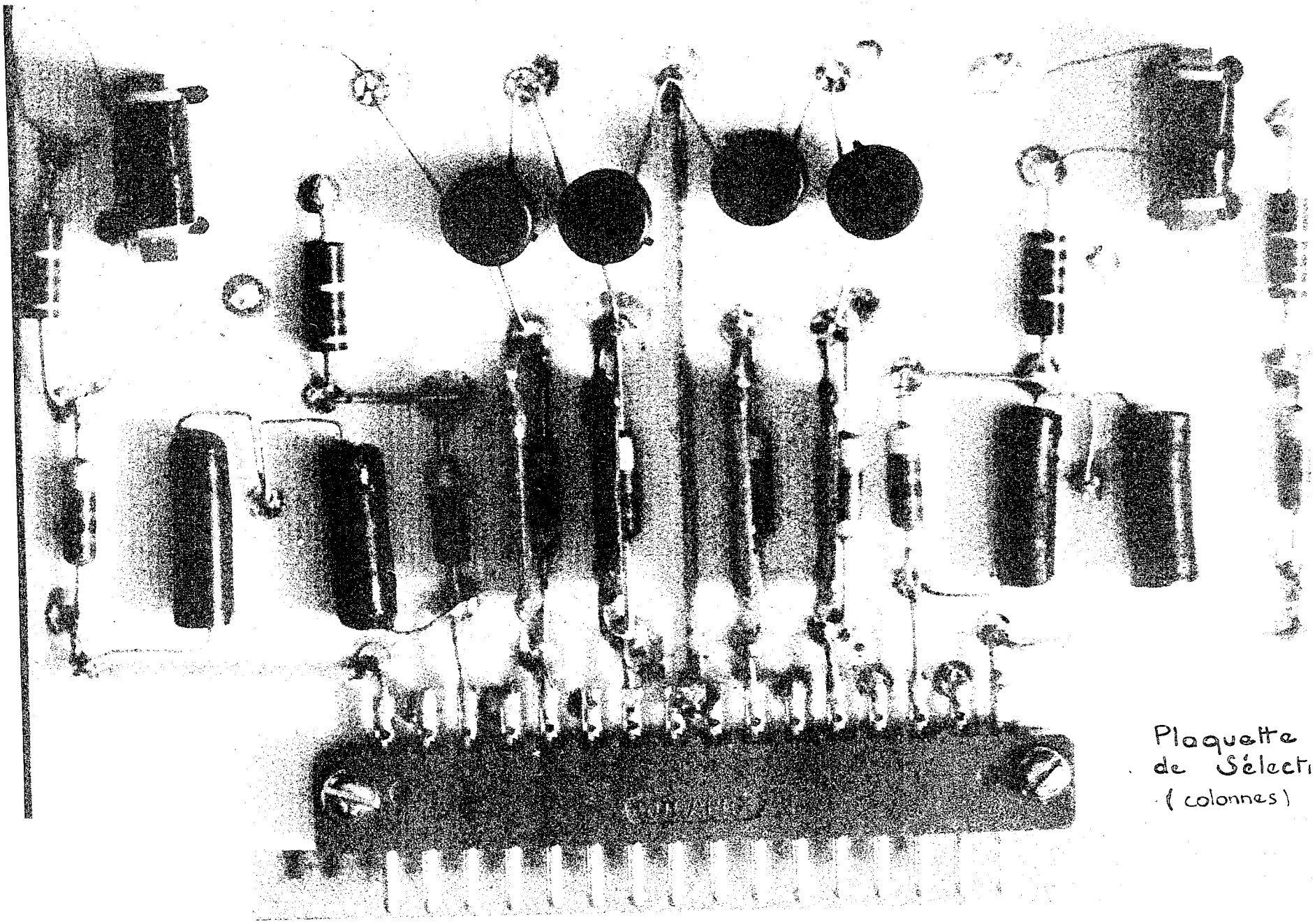

4,7 KΩ
4,7KΩ
-13,5
Signaux de Commande
100pF
47KΩ
68pF
33KΩ
220Ω
10nF
OC44
OC44
niveaux -1,2V -12V
15KΩ
50pF
5KΩ
1KΩ
OC44
-13,5
1KΩ
3000pF
2N397
4,7KΩ
300pF
2N397
-13,5
L.E.
-9

Fig III.13



Plaquette de Sélection (colonnes)

Deux adresses particulières

Deux adresses sont à envisager spécialement.

a) Si une des sept entrées d'un intégrateur n'est pas utilisée (ou bien un intégrateur complet), l'adresse inscrite sur le programme est composée de sept zéros. Il est inutile de mettre un condensateur sur la position correspondante de la matrice, les circuits de lecture interprêtent l'information comme étant 0. Par contre, cette adresse ne doit jamais servir pour l'inscription de l'incrément de sortie d'un intégrateur en fonctionnement.

b) Le fonctionnement même de l'analyseur différentiel impose à une cellule de contenir en permanence l'incrément + 1, utilisé pour les entrées qui doivent recevoir la variable indépendante t. La position 1111111 a été choisie. Pour éviter d'introduire manuellement cet incrément avant tout démarrage du calcul, un système particulier donne un signal sur la sortie + 1, par simple lecture de l'adresse correspondante.

Il fabrique l'intersection logique des signaux de sélection de la ligne 111 et de la colonne 1111, et du signal de déclenchement de sélection. La sortie attaque directement le régénérateur de la voie + 1.

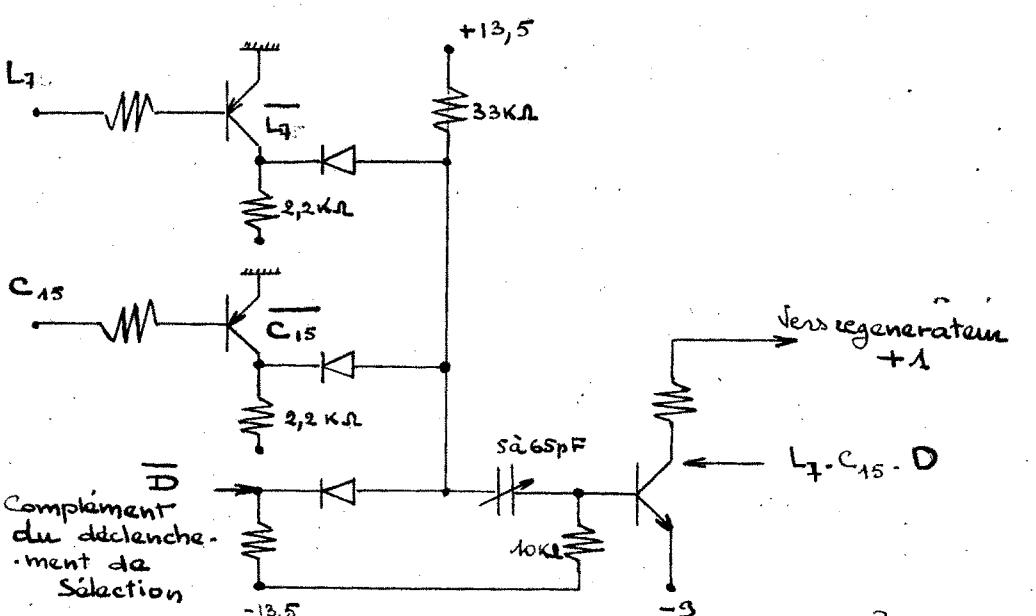


Fig III.14

III - Système de lecture - écriture

L'écriture sur barreaux simples, avec les conventions choisies, doit pouvoir porter les barreaux de ligne respectivement à + 4,5 V et - 4,5 V. Pour l'analyseur différentiel prototype, la méthode la plus simple a été choisie : le système de lecture - écriture est dissocié en deux résistances de lecture et un transformateur d'écriture (Fig. III.15.

Ce transformateur a deux secondaires de même sens et deux primaires de sens contraire, dont l'un ou l'autre est attaqué suivant le signal à écrire.

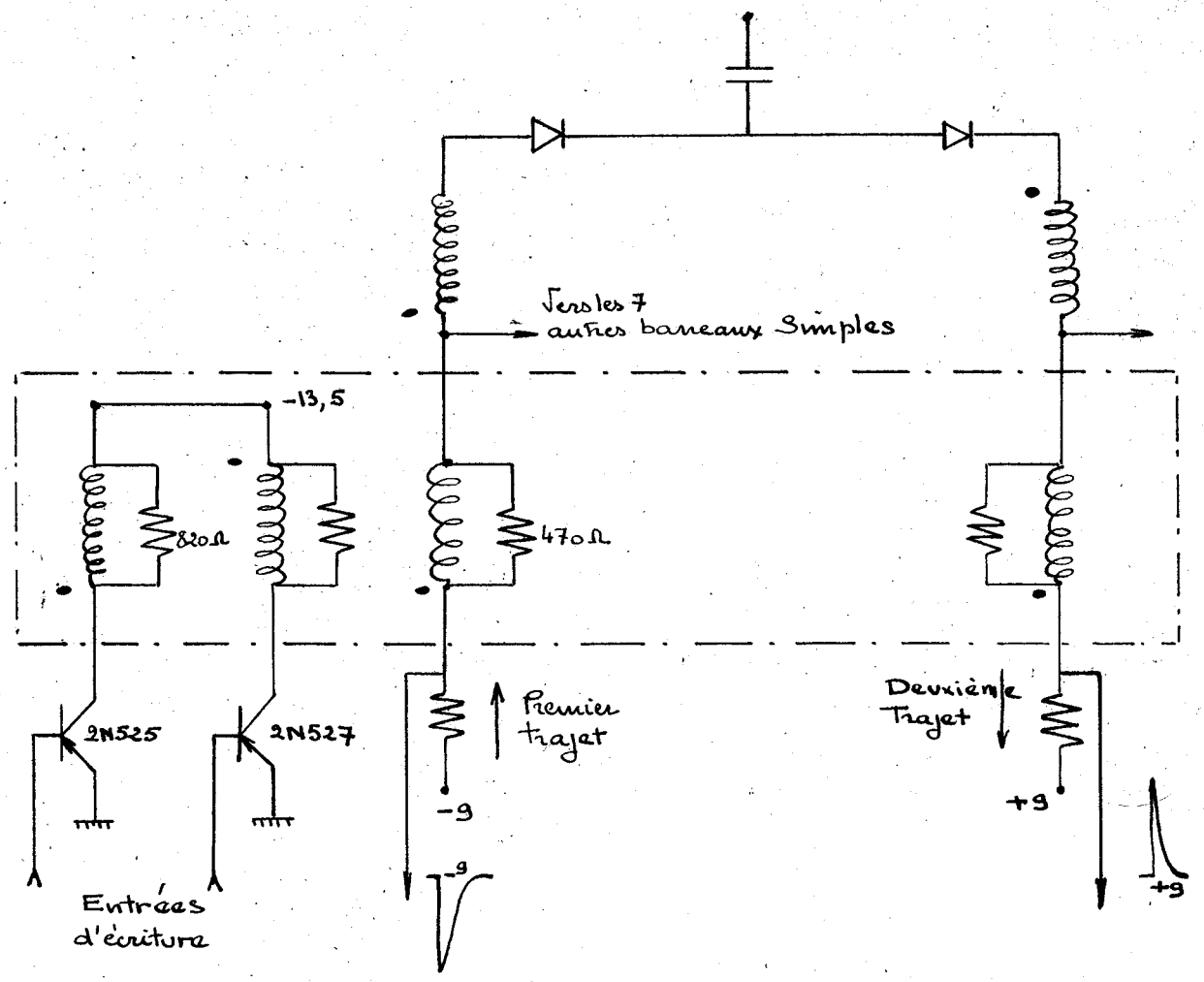


Fig III . 15

Le signal détecté à la sortie d'une cellule particulière est la tension de décharge du condensateur à travers la résistance de lecture. Pour permettre la réécriture, ce signal doit être régénéré en une impulsion carrée ayant au moins la durée de l'impulsion de sélection. La forme même du top impose l'utilisation comme régénérateur d'un multivibrateur monostable.

Celui-ci (Fig. III.16) attaqué par des impulsions négatives à la base du transistor de droite, délivre sur les deux collecteurs des signaux complémentaires et de durée réglable par variation de la capacité.

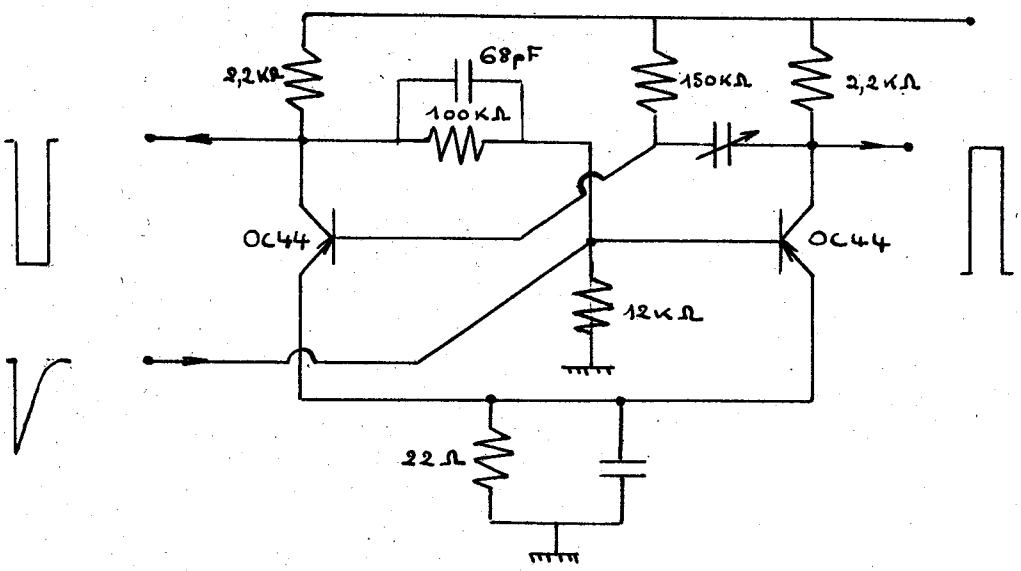


Fig. III. 16

Mais les conditions suivantes doivent être respectées :

1 - Au moment de la sélection, l'information écrite sur le condensateur étant inconnue, les deux systèmes de lecture doivent être sensibilisés. L'information lue et régénérée est, soit renvoyée sur le transformateur d'écriture, soit remplacée par une information quelconque introduite à la place de la précédente. Cette inscription

provoque des courants dans les résistances de lecture. Il convient qu'à ce moment les systèmes de lecture soient <u>désensibilisés</u>.

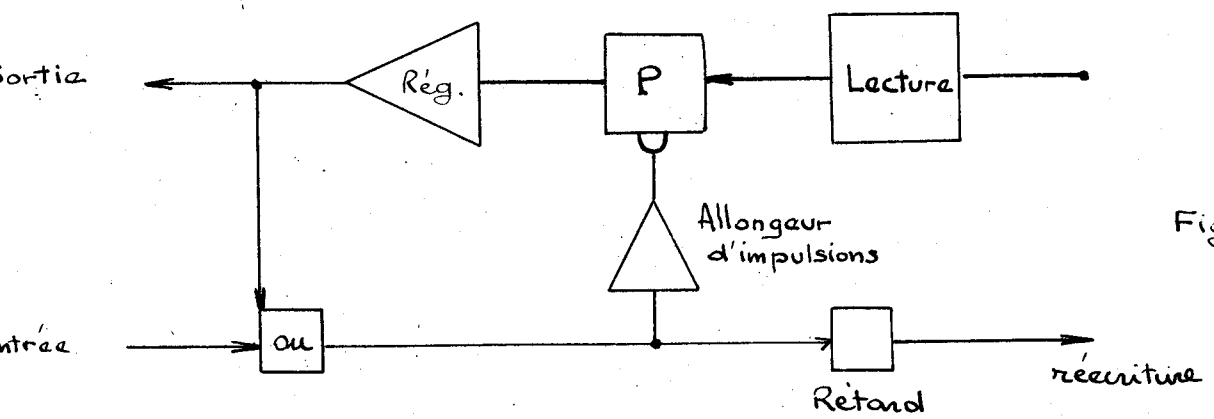


Fig III.17

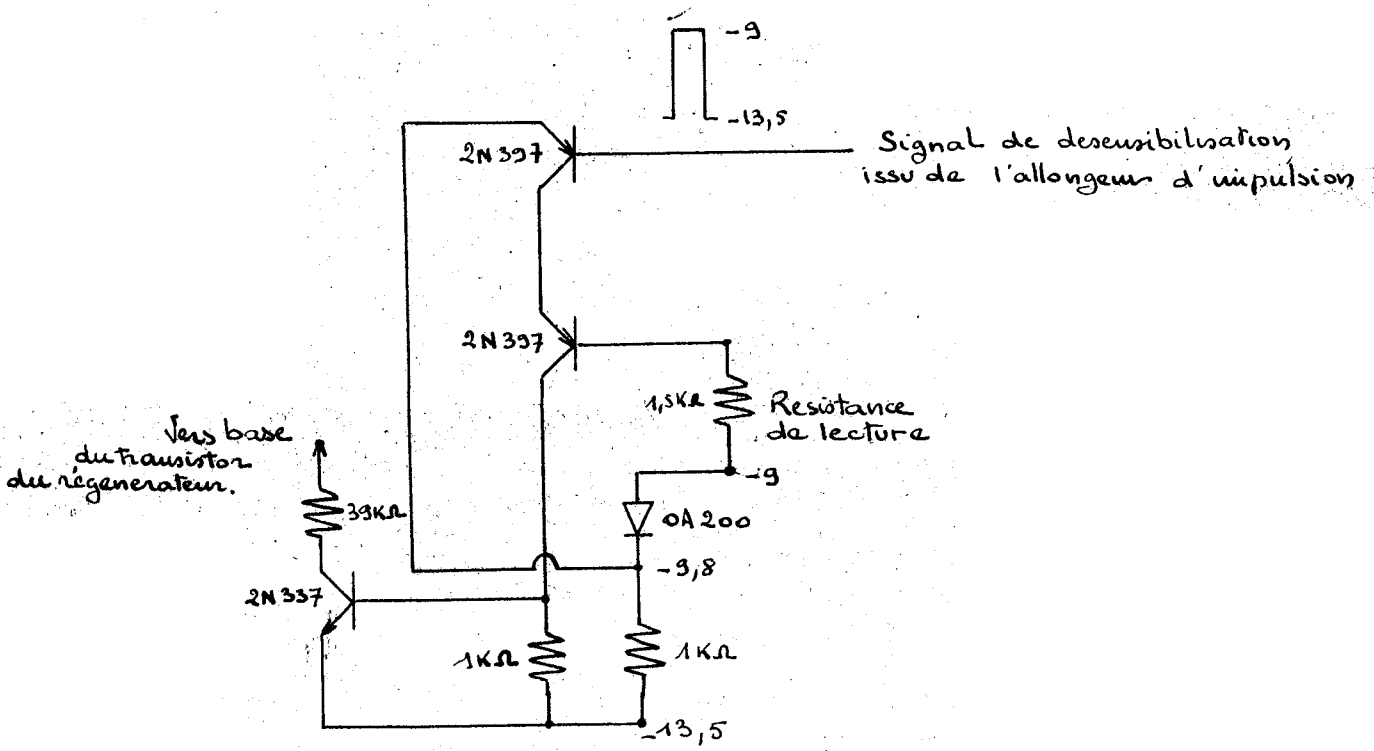
L'information à écrire doit provoquer successivement la fermeture des portes d'insensibilisation à la lecture, et un instant plus tard l'écriture (Fig. III.17). L'introduction du retard demande un allongeur d'impulsion pour resensibiliser à la lecture un moment après la fin de l'écriture (Fig. III.17).

Le retard est contenu dans le transformateur d'écriture lui-même.

2 - Le seuil de sensibilité du régénérateur n'est pas nettement défini. Il est nécessaire de discriminer nettement les signaux utiles des signaux parasites à l'aide d'un système à seuil.

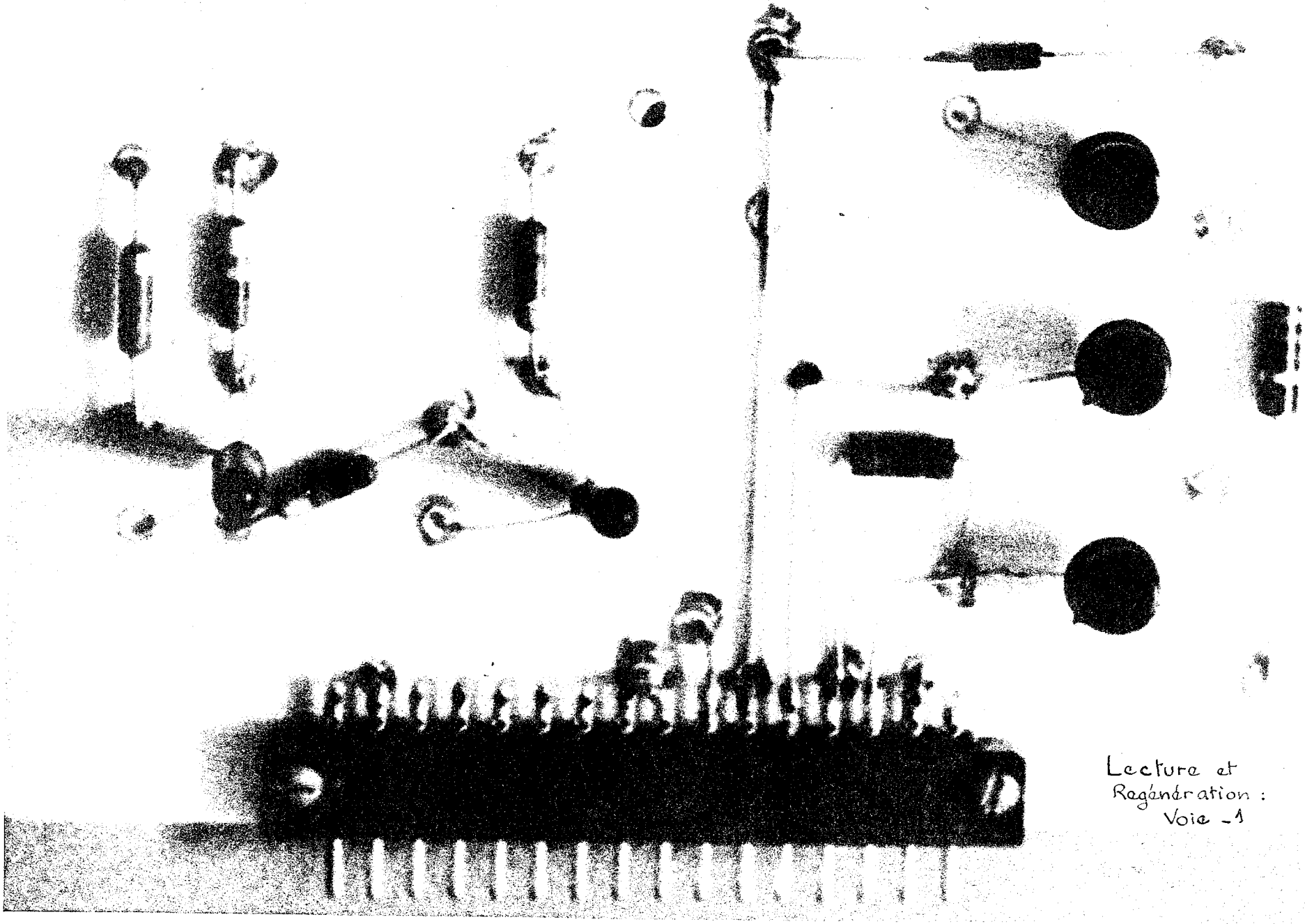
De plus, comme le montre la figure III.15, les signaux de lecture sur les deux trajets sont de sens et de niveaux de référence différents. Puisque les deux attaques du transformateur d'écriture sont identiques, il est plus intéressant de faire fonctionner les régénérateurs dans les mêmes conditions, c'est-à-dire d'établir la symétrie des des deux voies avant l'attaque du régénérateur. Cette symétrie est indispensable à la simplicité de l'accès de la mémoire.

En respectant ces diverses conditions, deux systèmes ont été mis au point dont le plus simple est reproduit figure III.18.



Le seuil 0,8 V est obtenu en polarisant les émetteurs des deux transistors en cascade à - 9,8 V. Le transistor supérieur est conducteur en temps normal et porté au blocage pendant le temps d'écriture (porte de sensibilisation). La sécurité de fonctionnement est augmentée par l'emploi exclusif de liaisons continues.

La totalité du système de lecture - écriture est donnée sur le schéma général.



Lecture et
Regénération :
Voie -1

Notes sur la constante de temps de lecture

Les valeurs des capacités de mémoire et des résistances de lecture ne peuvent pas être choisies arbitrairement. Leur choix résulte d'un compromis :

- La construction d'une mémoire d'un prix abordable demande l'emploi de diodes d'un modèle courant. Celles utilisées sont au silicium et présentent une résistance inverse de 500 MΩ environ. Pour que la perte d'information au bout d'un tour de tambour soit faible et que l'énergie emmagasinée soit suffisante pour animer le régénérateur, il est nécessaire d'employer des capacités de 1 000 pF.

- D'autre part, le temps de manipulation sur une cellule est de 3 µs environ. La constante de temps de charge et de décharge doit être inférieure à 3 µs , ce qui limite la résistance de lecture à une valeur très inférieure à 3 KΩ .

Nous pouvons prendre malgré tout une constante de temps voisine du demi-temps de sélection (résistance 1,5 KΩ).

En effet, considérons la figure III.19 et supposons le condensateur sélectionné. Par suite de l'écrêtage systématique sur les barreaux multiples, les extrémités de ceux-ci sont portées à + 0,4 V et - 0,4 V à travers une résistance dynamique très faible qui est celle des diodes OA 7.

De même dans la sélection des barreaux simples, les diodes Zener sont saturées. Elles présentent aussi une résistance dynamique très faible. Si leurs tensions de référence sont exactement 9 V, elles compensent les sources fixes de polarisation.

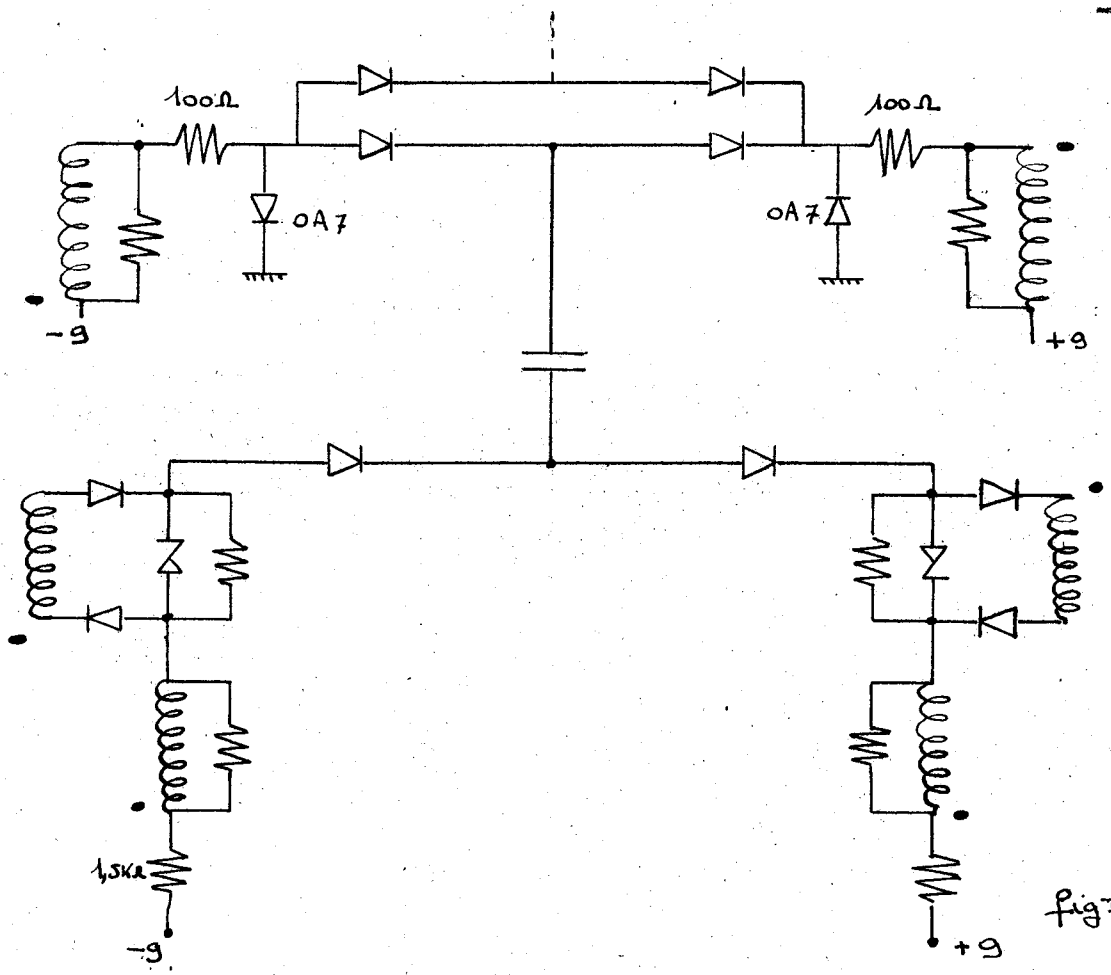


fig III. 19

Le schéma dynamique des chemins de charge et décharge est indiquée figure III. 20.

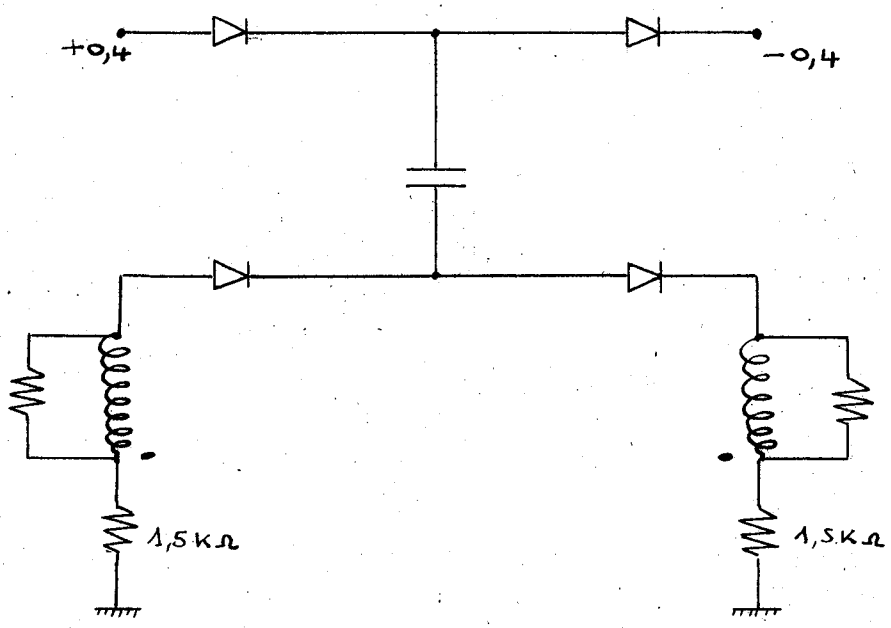


Fig III. 20.

D'autre part, les diodes au silicium présentent une caractéristique rappelée figure III.21. Elles possédent une résistance directe importante pour une tension inférieure à 0,8 V, et très faible pour une tension supérieure.

Donc si la tension aux bornes d'un chemin de lecture - écriture, c'est-à-dire la somme algébrique de la tension sur le condensateur et le transformateur, est inféreirue à 1,2 V, la constante de temps présentée est très grande. Elle devient pratiquement RC pour une tension supérieure à 1,2 V.

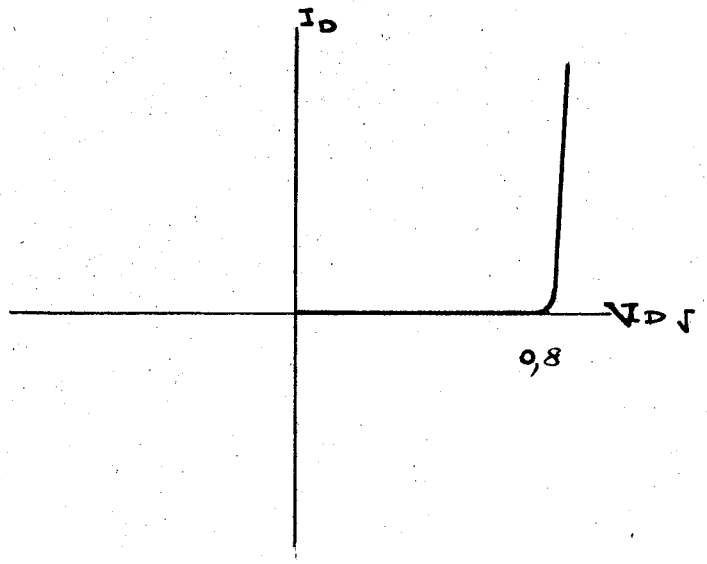
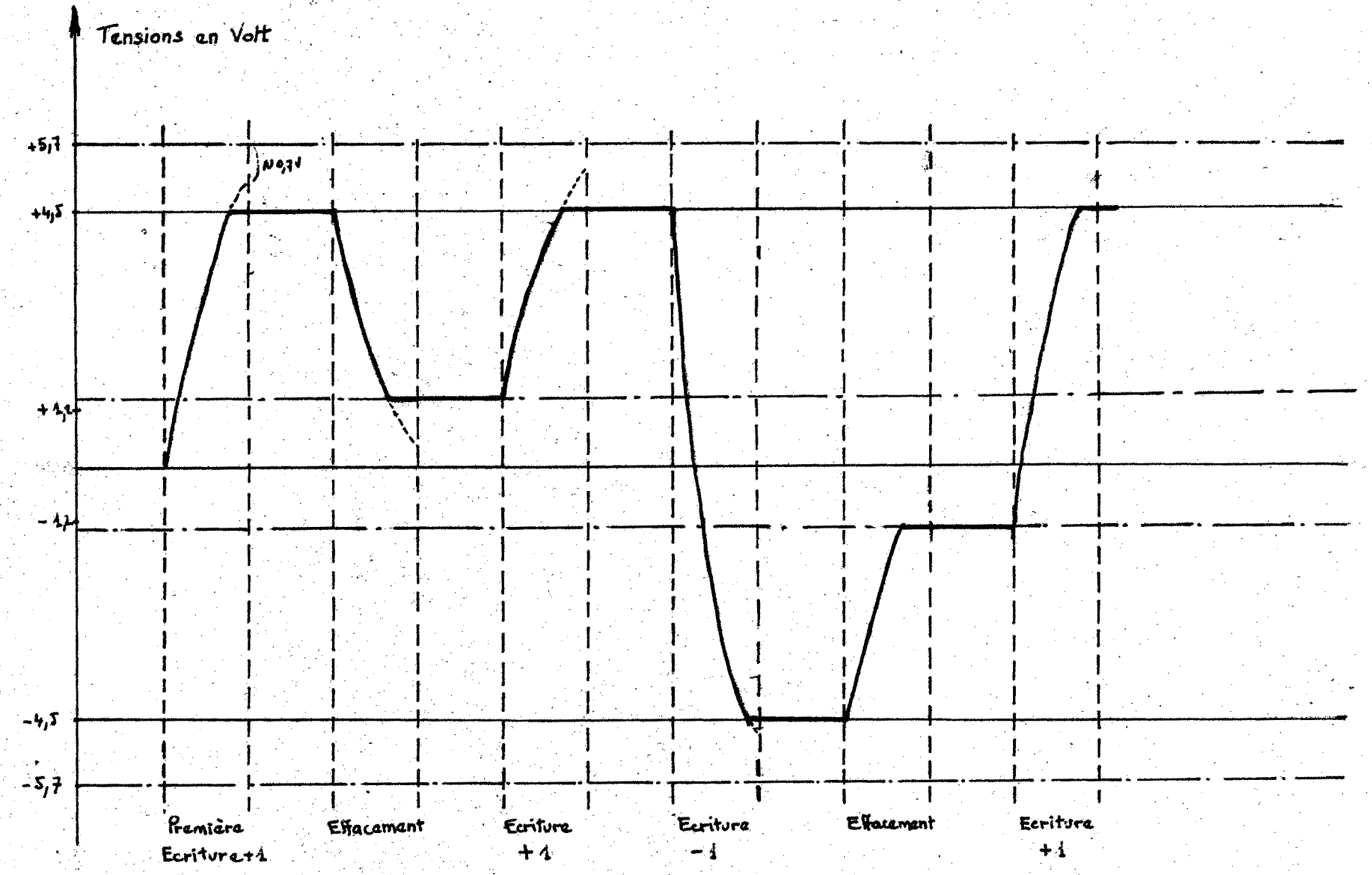


Fig III.21

Le condensateur se déchargera difficilement au-dessous d'une tension de 1,2 V, ce qui n'a d'autre inconvénient que d'abaisser de 4,5 à 3,5 V le signal utile aux bornes de la résistance de lecture. Le seuil de sensibilité 0,8 V du régénérateur est largement atteint.

Par contre, cela permet d'envoyer des impulsions d'écriture (4,5 + 1,2) = 5,7 V. Dès lors une constante de temps 1,5 µs permet d'obtenir une charge totale dans tous les cas. La figure III.22 montre les différents cas possibles pour un même condensateur.


Tensions en Volt
+5,7
+4,5
+1,2
-1,2
-4,5
-5,7
≈0,7 V
Première Ecriture +1
Effacement
Ecriture +1
Ecriture -1
Effacement
Ecriture +1

IV - Entrées - sorties

Il est maintenant possible de détailler les circuits d'accès à la mémoire. Compte tenu du chapitre précédent, toutes les entrées et sorties se font sous la dépendance des signaux de commande et de synchronisation suivants :

- La commande d'entretien E
- Les signaux provenant du compteur de registres, désignés par des lettres Δ : Δ_1, ...
- Les signaux provenant de la ligne primaire, désignés par des lettres D : D_1 D_2.....

De plus, le fonctionnement même de la machine impose des opérations en deux temps :

1 - Pendant le temps de travail liaisons entre mémoire d'incréments et mémoires temporaires ;

2 - Pendant le temps de garde liaisons entre bloc de calcul et mémoires temporaires.

Nous allons détailler les différents circuits. La bonne compréhension des explications demande de suivre le tableau de synchronisation.

1 - Ecriture - Réécriture

Les signaux envoyés sur le système d'écriture proviennent du bloc de calcul dans le cas d'une première écriture, et du régénérateur dans le cas d'une réécriture.

Chacun des deux trajets de la mémoire est donc bouclé sur lui-même conformément au circuit de la figure III.23. Lors d'une première écriture, la porte P est fermée et le circuit "Et" ouvert ; l'inverse est réalisé lors d'une réécriture.

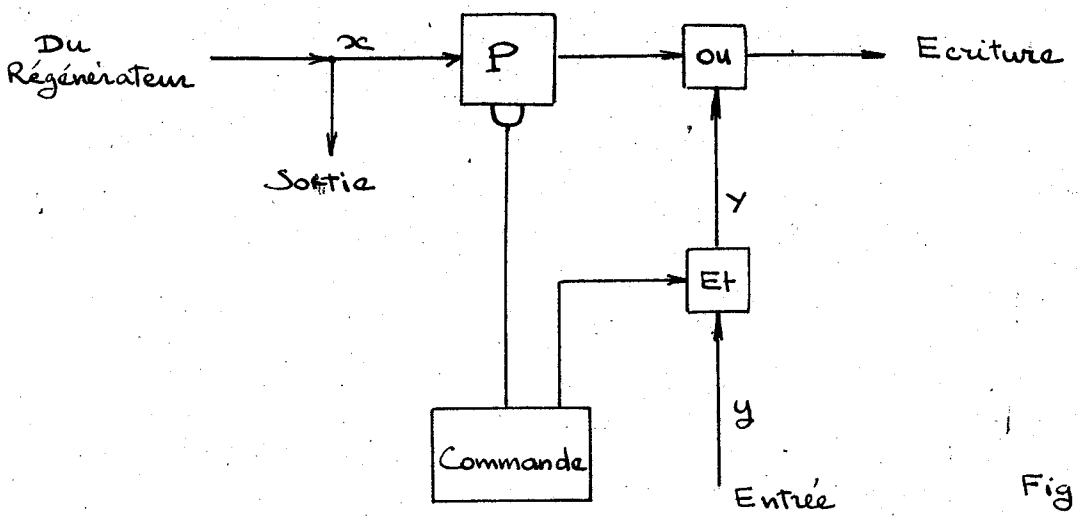


Fig III.23

L'obtention des aiguillages convenables demande les interventions suivantes :

a) Ligne primaire (voir schéma synchronisation) : celle-ci fournit le signal d'inhibition à la réécriture D_1 et les deux signaux D_2 et D_3 d'extraction des incréments à conserver.

La séquence obtenue lors d'une première écriture est très nettement visible : inhibition, extraction de l'incrément, sélection,

dont l'arrêt laisse le condensateur chargé, fin d'extraction et d'inhibition. On remarque, conformément à la figure III.17, que si l'information introduite est différente de 0, le système de lecture est rendu insensible avant la sélection et l'information précédente détruite.

Pour un fonctionnnement avec réécriture, la porte P est supposée normalement conductrice, et le circuit "Et" normalement bloqué.

b) Commande manuelle E : son apparition provoque la suppression de D_1 D_2 et D_3, bouclant la mémoire entièrement sur elle-même.

c) Aucun signal ne provient du compteur de registres.

Si a est l'information à réinscrire et A celle réinscrite, b l'information à inscrire et B celle inscrite, il est facile de voir que les expressions booléennes à réaliser sont :

$$A = a\ (\overline{D_1} + E)$$
$$B_1 = b_1\ D_2\ \overline{E}$$
$$B_2 = b_2\ D_3\ \overline{E}$$

Les impulsions de commande du transformateur d'écriture sont négatives à cause de l'emploi de transistors p.n.p. La sortie du multivibrateur monostable sera donc celle qui délivre des signaux de ce sens, Ce qui justifie la convention sur les nombres binaires adoptée plus haut.

Puisque le schéma de la figure III.23 représente un des circuits de bouclage, les lettres b_1 et b_2 des formules précédentes représentent sur une voie la présence ou l'absence d'incrément + 1, et sur l'autre voie la présence ou l'absence d'incrément -1. Ce sont

donc les expressions décodées des incréments de sortie du bloc de calcul. En fait, celui-ci livre directement les incréments + 1 et - 1 de l'intégrateur et du multiplieur dans deux paires de bascules statiques incorporées servant de mémoires temporaires.

Finalement, le schéma des circuits d'aiguillage est indiqué en III.24, compte tenu de toutes les conditions que nous venons d'indiquer.

2 - Sorties vers les mémoires temporaires

Différents cas peuvent se présenter suivant les sorties envisagées :

- Les incréments IX et IU sont utilisés par le bloc arithmétique sous la forme d'un digit de signe et un de valeur absolue ;
- Pour les sept incréments IY, seule compte la somme algébrique ΔY décodée en nombres machines, somme effectuée par un compteur décompteur.
- Quant aux quatre incréments sortis vers les moteurs pas à pas, nous conservons sur deux voies différentes les impulsions + 1 et les impulsions - 1.

Extraction en signe et valeur absolue

Elle touche IX et IU et demande les interventions suivantes :

- ligne primaire (voir tableau de synchronisation) : signaux nommés D_4 et D_5 ;

- Compteur de registres : si Δ_1 est le signal produit pendant le temps de défilement des 47 premiers registres et Δ_2 celui pro-

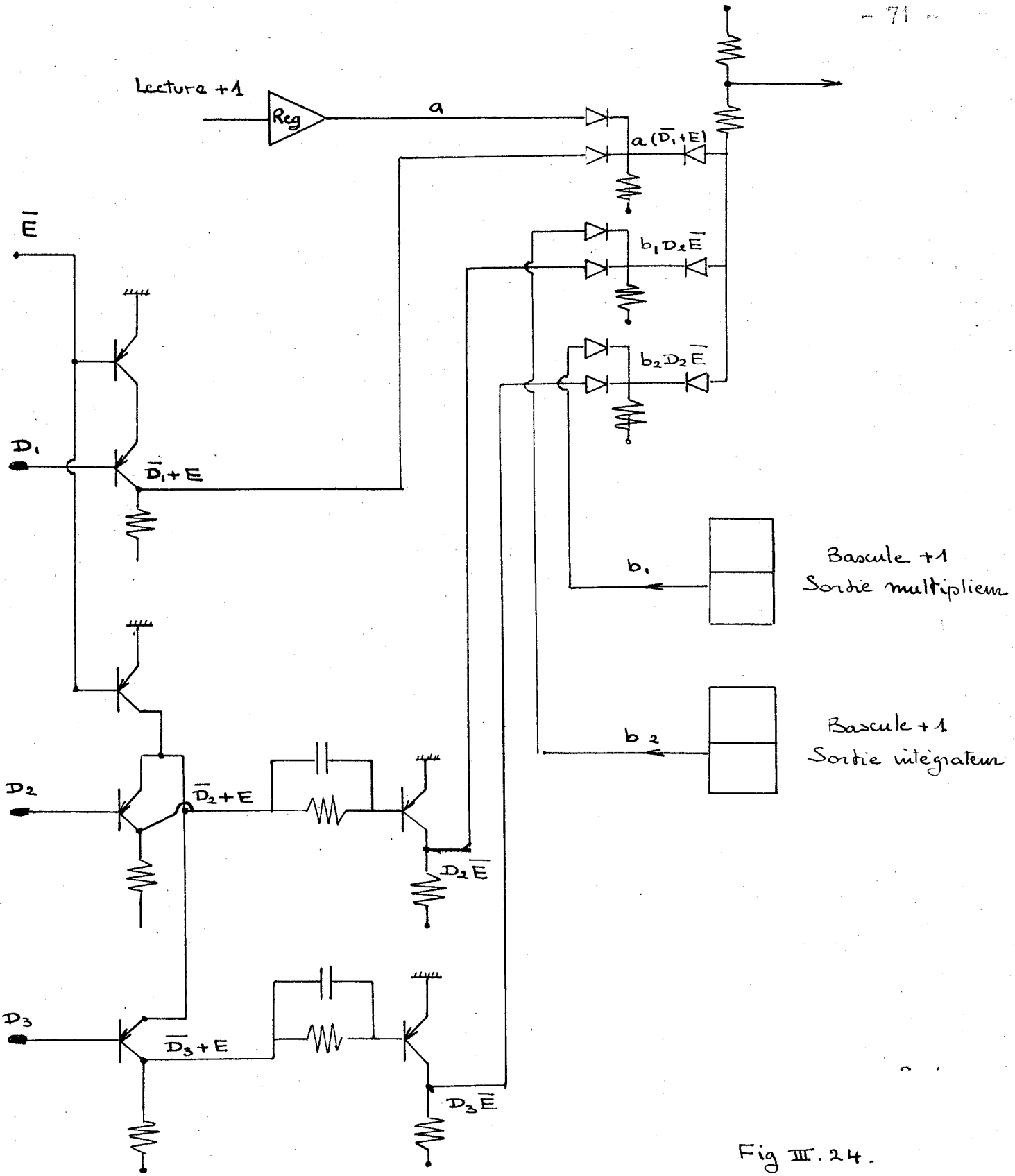

Lecture +1
Reg
a
a(D̄₁+E)
Ē
b₁D₂Ē
b₂D₂Ē
D₁
D̄₁+E
b₁
Bascule +1
Sortie multiplieur
b₂
Bascule +1
Sortie intégrateur
D₂
D̄₂+E
D₂Ē
D₃
D̄₃+E
D₃Ē

Fig III.24.

duit pendant le 48°, la présence de Δ_1 seul établit la sortie.

- Le signe de l'incrément n'est pas changé.

Le tableau de commutation est le suivant :

x_1	x_2	Sgn	Mod
0	0	0	0
1	0	0	1
0	1	1	1
1	1	1	1

Il est possible d'ajouter les valeurs encerclées, puisque les impulsions de sortie x_1 et x_2 ne se produisent jamais simultanément.

Ce qui donne Signe $= x_2$

Module $= x_1 + x_2$

et pour les deux sorties

Signe de $I_x = x_2 D_4 \Delta_1$

Module de $I_x = (x_1 + x_2) D_4 \Delta_1$

Signe de $I_u = x_2 D_5 \Delta_1$

Module de $I_u = (x_1 + x_2) D_5 \Delta_1$

Les conventions choisies sont les mêmes que pour l'écriture, les impulsions finales sont choisies positives de manière à commander directement les bascules. Le circuit est celui de la figure III.25. Les signaux D_4 et D_5 sont produits de la même manière que D_1 D_2 et D_3.

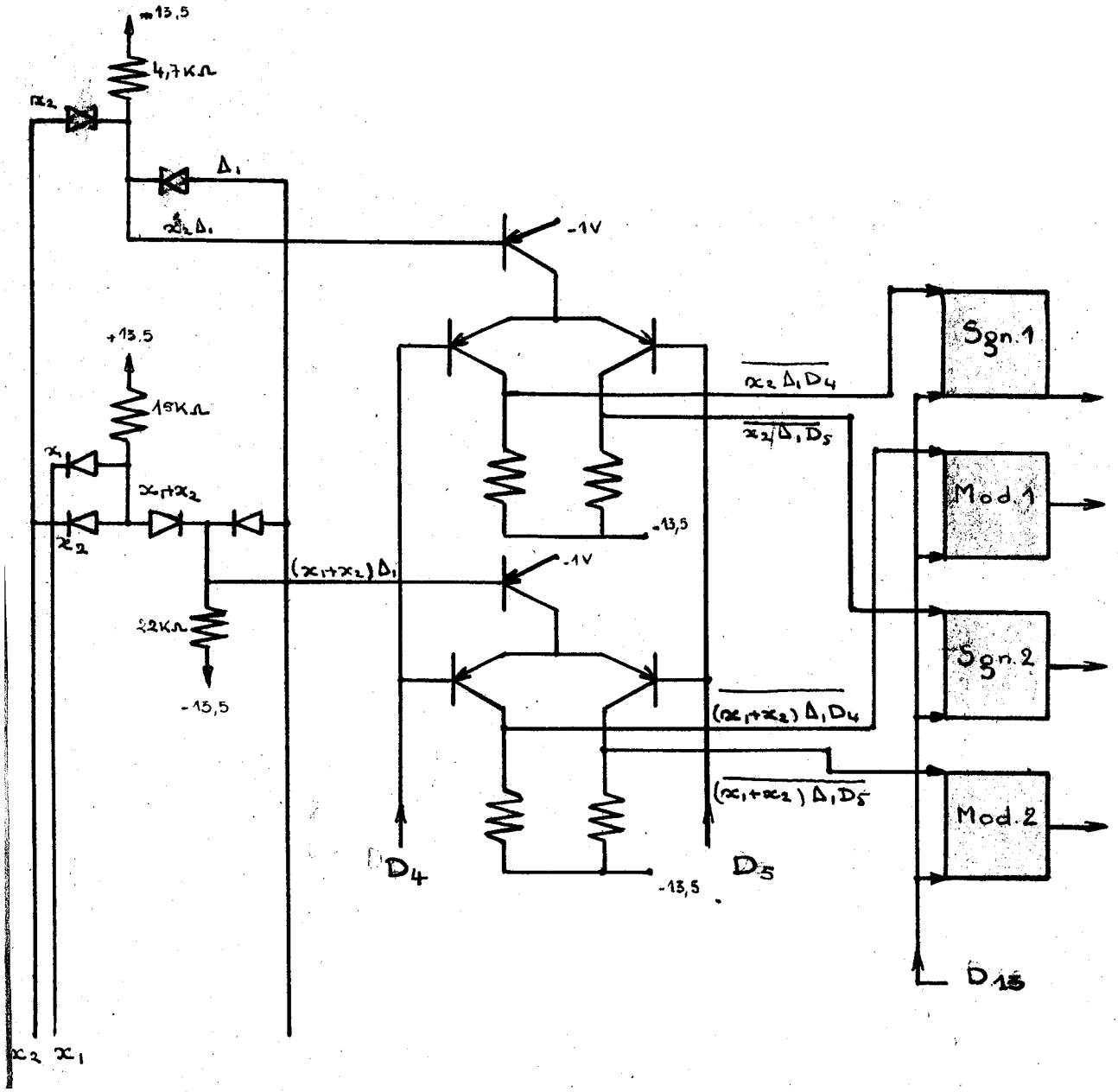

+13,5
4,7KΩ
x2
Δ1
x2Δ1
-1V
+13,5
18KΩ
x1
x1+x2
x2
(x1+x2)Δ1
22KΩ
-15,5
-13,5
-1V
-13,5
x2Δ1D4
x2Δ1D5
(x1+x2)Δ1D4
(x1+x2)Δ1D5
D4
D5
Sgn.1
Mod.1
Sgn.2
Mod.2
D15
x2 x1

Fig III.25

Sorties groupées des autres incréments

Un compteur - décompteur reçoit en deux entrées différentes les impulsions de comptage et celles de décomptage. Donc en remarquant que les sorties vers les moteurs pas à pas ne demandent pas de changement de signe, il est possible de grouper tous les circuits à condition de remettre à zéro la bascule de changement de signe avant l'arrivée du 48° registre. A ce effet (voir tableau de synchronisation) le digit manquant de la première adresse de rangement est interprêté comme un signe.

Les aiguillages sont commandés par :

D_6 Δ_1 et le changement de signe C pour le compteur - décompteur

D_7 à D_{10} Δ_2 et C pour les moteurs pas à pas.

Le tableau de commutation est le suivant :

C	x_1	x_2	Σ_1	Σ_2
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
(0)	(1)	(1)	(1)	(1)
1	0	0	0	0
1	0	1	1	0
1	1	0	0	1
(1)	(1)	(1)	(1)	(1)

ou Σ_1 est la sortie directe qui correspond à x_1 et Σ_2 à x_2. les valeurs encadrées ont été choisies pour simplification.

$$\Sigma_1 = \overline{C}\, x_1 + C\, x_2$$
$$\Sigma_2 = C\, x_1 + \overline{C}\, x_2$$

Ce qui donne :

- Pour le compteur décompteur $(\overline{C}\, x_1 + C\, x_2)\, \Delta_1\, D_6$
  $(C\, x_1 + \overline{C}\, x_2)\, \Delta_1\, D_6$

- Pour les moteurs pas à pas $(\overline{C}\, x_1 + C\, x_2)\, \Delta_2\, D_7$
  $(C\, x_1 + \overline{C}\, x_2)\, \Delta_2\, D_7$

Le circuit est indiqué par la figure III.26.

Remarque

Pour une question d'impédance d'attaque des circuits d'aiguillage, l'information est prise dès la sortie, donc avec risque d'impulsions parasites au moment de l'écriture. Cela est sans effet car toutes les autres portes sont alors fermées.

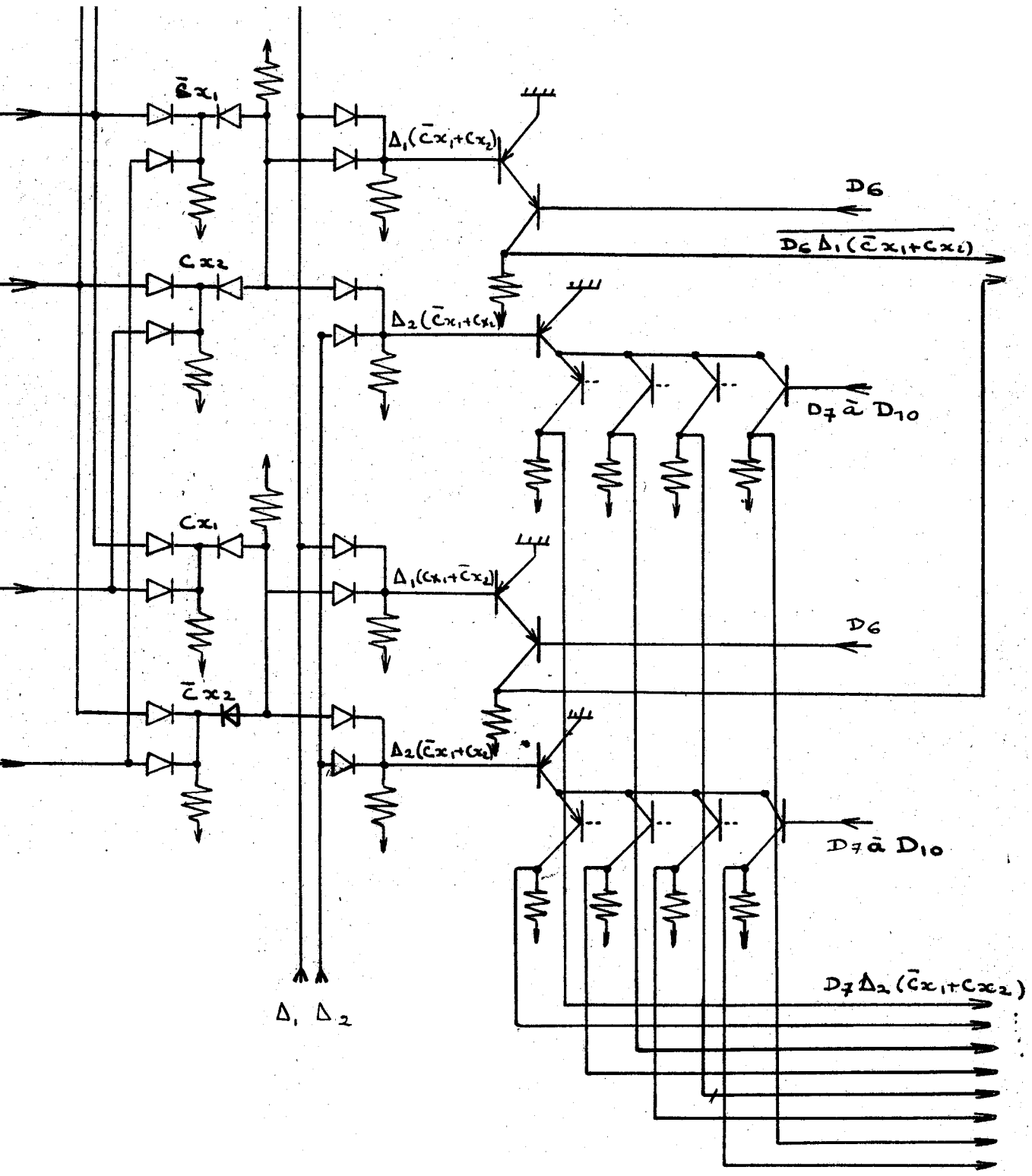

$\bar{C}x_1$
$\Delta_1(\bar{C}x_1+Cx_2)$
D_6
$\overline{D_6\Delta_1(\bar{C}x_1+Cx_2)}$
Cx_2
$\Delta_2(\bar{C}x_1+Cx_2)$
D_7 à D_{10}
Cx_1
$\Delta_1(Cx_1+\bar{C}x_2)$
D_6
$\bar{C}x_2$
$\Delta_2(\bar{C}x_1+Cx_2)$
D_7 à D_{10}
$D_7\Delta_2(\bar{C}x_1+Cx_2)$
Δ_1 Δ_2

Fig III.26

Le compteur - décompteur

Il est intéressant, comme nous l'avons vu, de ne pas se contenter d'extraire les sept incréments I_Y, mais de les compter progressivement tout en faisant un décodage simultané à l'aide d'une matrice de diodes.

Les incréments + 1 et - 1 sont délivrés sur deux voies différentes ; la réalisation la plus simple serait donc la construction d'un compteur pour les impulsions positives et d'un compteur pour les impulsions négatives. Chacun d'eux comporte trois étages puisque le cas extrême donne sept incréments de même signe; soit donc six variables à considérer à l'entrée du décodeur. D'autre part, les nombres machine à obtenir sont les équivalents binaires des nombres de 0 à 7 (code 8421), la représentation en complément vrai étant choisie pour les nombres négatifs, cela fait quatre digits significatifs pour les nombres de - 7 à + 7 (fig. III.27).

De cette façon, on obtient donc une matrice de décodage à six entrées et quatre sorties qui comporte environ 120 diodes.

Par contre, bien qu'étant d'une réalisation délicate, le compteur - décompteur a l'énorme avantage de supprimer la matrice de décodage. En effet, considérons tout d'abord un compteur simple à quatre bascules : il est capable de conserver l'équivalent binaire du nombre d'impulsions reçues à l'entrée (Fig. III.28).

	!	a	b	c	d
	!				
+ 7	!	0	1	1	1
+ 6	!	0	1	1	0
+ 5	!	0	1	0	1
+ 4	!	0	1	0	0
+ 3	!	0	0	1	1
+ 2	!	0	0	1	0
+ 1	!	0	0	0	1
0	!	0	0	0	0
- 1	!	1	1	1	1
- 2	!	1	1	1	0
- 3	!	1	1	0	1
- 4	!	1	1	0	0
- 5	!	1	0	1	1
- 6	!	1	0	1	0
- 7	!	1	0	0	1

Fig. III.27

	!	a_1	b_1	c_1	d_1
15	!	1	1	1	1
14	!	1	1	1	0
13	!	1	1	0	1
12	!	1	11	0	0
11	!	1	0	1	1
10	!	1	0	1	0
9	!	1	0	0	1
8	!	1	0	0	0
7	!	0	1	1	1
6	!	0	1	1	0
5	!	0	1	0	1
4	!	0	1	0	0
3	!	0	0	1	1
2	!	0	0	1	0
1	!	0	0	0	1

Fig. III.28

Mais si l'ensemble de ces quatre bascules fonctionne en compteur - décompteur, remis initialement sur la position 8, la comparaison des deux tableaux donne immédiatement :

$$a = \overline{a_1}$$

$$b = b_1$$

$$c = c_1$$

$$d = d_1$$

Le décodage devient alors inutile car toute bascule conserve l'information sous les deux formes : directe et complémentaire.

Réalisation pratique

Si nous considérons un nombre binaire quelconque :

- l'addition de + 1 consiste à changer le digit de plus faible poids, à retenir 1 dans le cas où ce digit passe de 1 à 0 et 0 dans le cas où il passe de 0 à 1. L'opération reprend sur le digit de poids 2 en tenant compte de la retenue précédente, etc....

- l'addition de - 1 consiste à changer le digit de plus faible poids, à retenir 1 dans le cas du passage 0 → 1 et 0 dans le cas du passage 1 → 0, etc....

Soit maintenant une bascule sensible à des échelons positifs à l'entrée (Fig. III.29), dite dans l'état 0 lorsque la sortie supérieure est à un potentiel élevé et la sortie inférieure à un potentiel bas. L'arrivée de deux fronts positifs successifs change deux fois l'état de cette bascule, délivrant un front négatif puis un front positif sur la sortie supérieure et l'inverse sur la sortie inférieure.

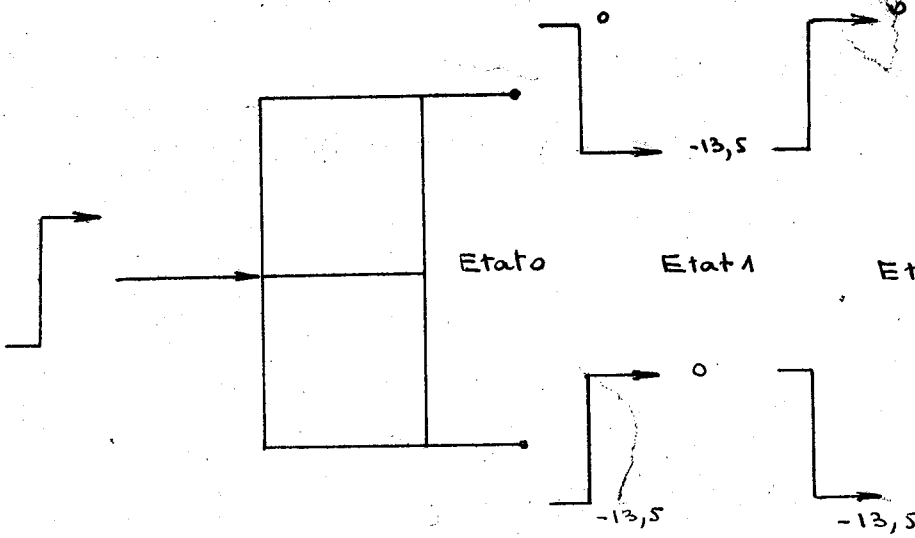


Fig III.29.

L'introduction de cette bascule dans un compteur - décompteur impose de valider la seule retenue supérieure dans le cas du comptage, et la seule retenue inférieure dans le cas du décomptage.

En conservant les mêmes conventions que la figure précédente, le schéma complet du compteur - décompteur à quatre bascules est indiqué en figure III.30.

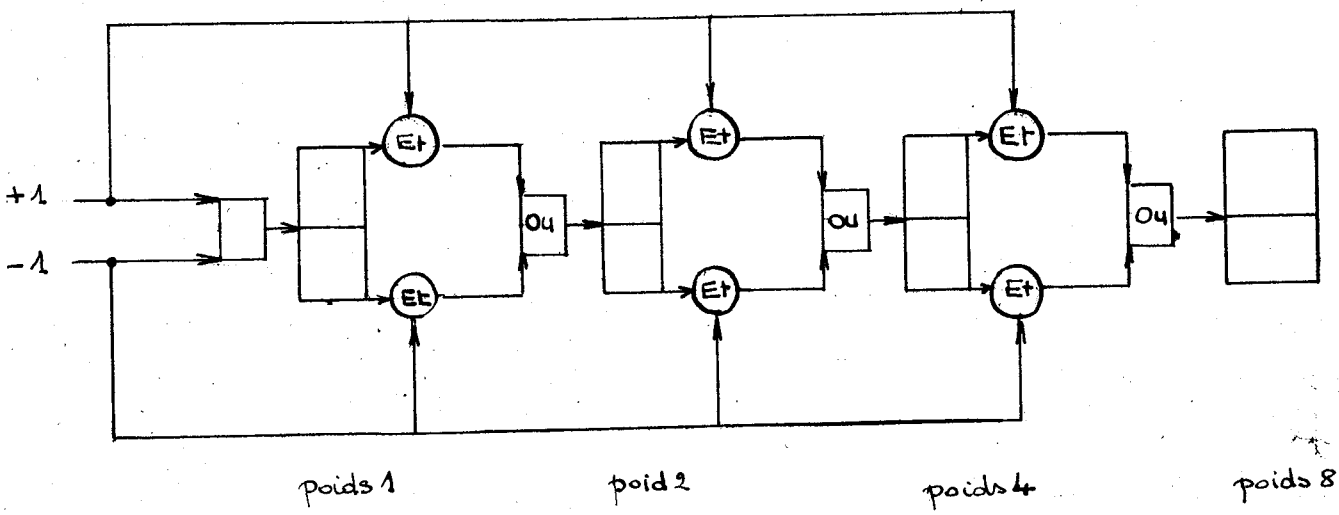


Fig III.30

Remarque

Il est facile de montrer que l'arrivée d'une impulsion - 1 sur le compteur - décompteur dans la position 0 0 0 0 donne la valeur finale 1 1 1 1, et l'arrivée d'une impulsion + 1 dans la position 1 1 1 1 donne 0 0 0 0.

Le compteur - décompteur remis à zéro fonctionne encore dans de meilleures conditions que remis à 8 : le nombre machine est directement indiqué par les bascules.

V - Transfert mémoires temporaires - bloc calcul

Pendant l'intervalle de garde les contenus des bascules qui servent de mémoires temporaires doivent être transmis au bloc de calcul. Sont traités ainsi :

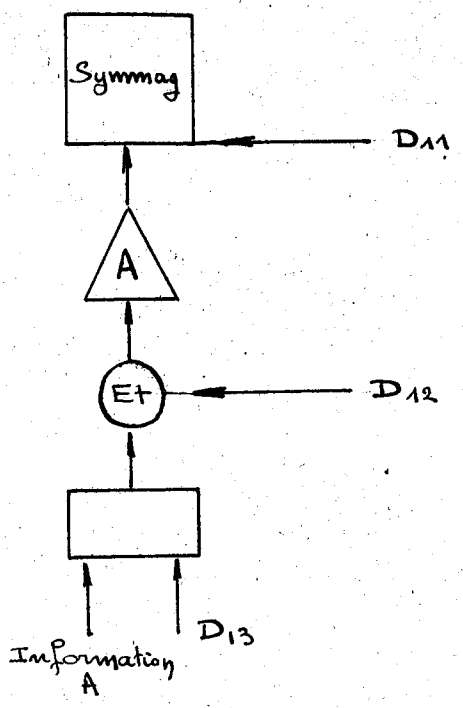
- Le résultat du compteur - décompteur
- Les incréments Ix et Iu
- Les lettres de fonction α et β

Les opérations qui se succédent pendant les 2 θ correspondants sont (voir schéma de synchronisation) :

- La remise à zéro des circuits receptifs à symmags (D_{11})
- Le transfert (D_{12})
- La remise à zéro des mémoires temporaires (D_{13})

De plus chaque transfert se fait avec amplificateur de courant pour obtenir les 120 mA de commande de l'élément symmag.

Nous avons indiqué le circuit logique, de même que le schéma technologique avec les mêmes conventions que plus haut.


Symmag
D11
A
Et
D12
D13
Information
A

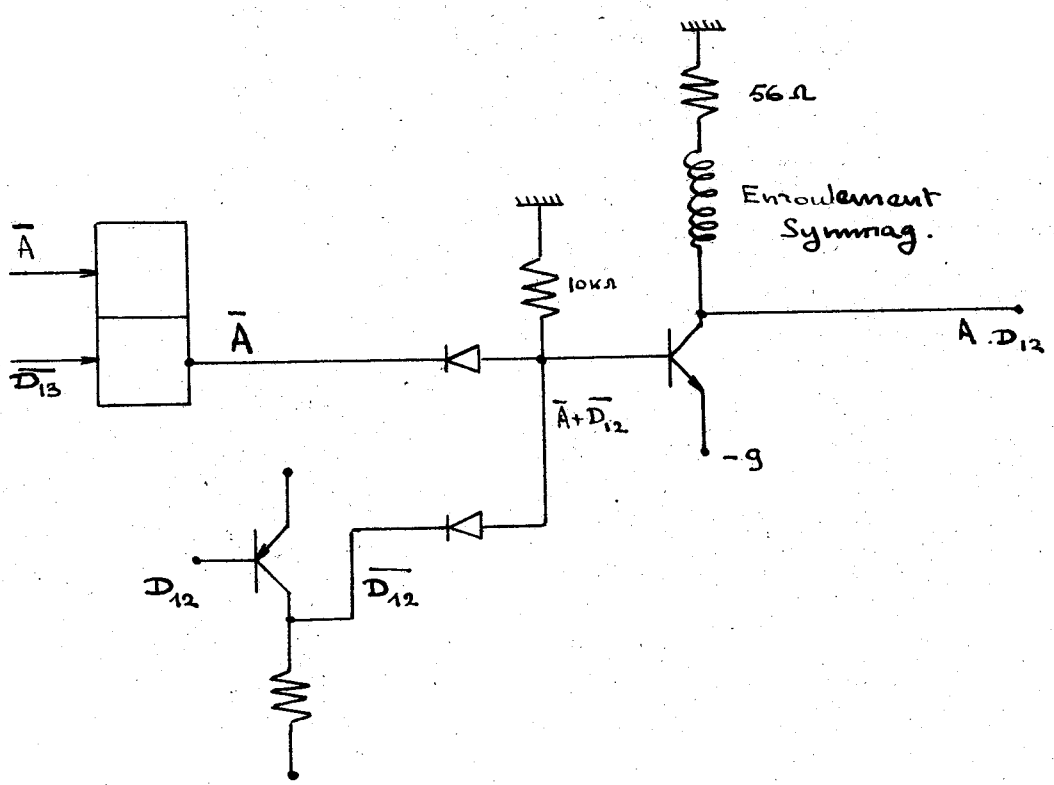

56 Ω
Enroulement
Symmag.
10kΩ
Ā
D̄13
Ā
Ā+D̄12
A.D12
-g
D12
D̄12

Fig III. 31.

C O N C L U S I O N

A nombre égal de cellules élémentaires, la mémoire ternaire à capacité ne semble pas plus compliquée que la mémoire binaire à tore. En effet :

1) Le principe de sélection est plus simple car les impulsions ont le même sens à l'écriture et à la lecture. Cette sélection se fait pour les deux mémoires à l'aide d'impulsions de courant. Mais pour les tores, celles-ci sont d'environ 0,5 A sur chaque fil (il faut couramment 1 AT pour basculer un tore). L'expérience montre que ces impulsions ne sont que de 0,2 A au primaire des transformateurs pour sélectionner un condensateur.

2) La discrimination des signaux utiles et parasites est parfaitement réalisable, et un condensateur donne un signal de lecture qu'il est pratiquement inutile d'amplifier avant d'attaquer le régénérateur (2 à 3 V ici).

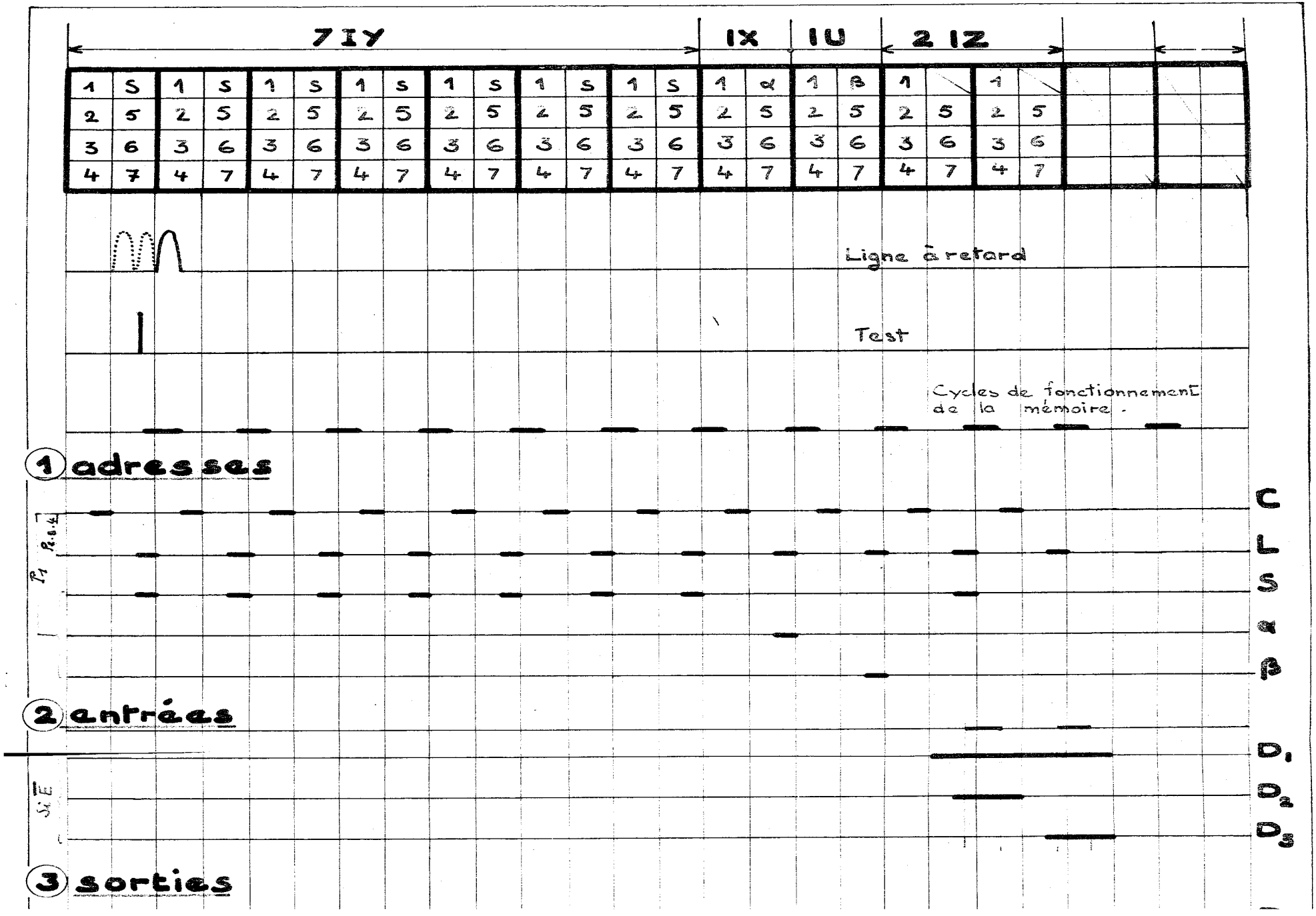
3) Le temps d'accès est très réduit, limité par les retards dus au positionnement des bascules de décodage, à la sélection et à la régénération. Il est d'environ 1 µs.

La mémoire ternaire à capacité est donc très intéressante, adaptée à l'analyseur différentiel digital qui ne demande pas de régénération ; surtout si l'on considère qu'elle est susceptible de remplacer une mémoire à tores comportant le double de positions.

Cependant, son application devient délicate lorsqu'une régénération est nécessaire.

Coût ? Il coûte en fonction de la capacité ?

-:-:-:-:-:-:-:-


7IY
IX
IU
2 IZ
Ligne à retard
Test
Cycles de fonctionnement de la mémoire.
1 adresses
2 entrées
3 sorties
C
S
B
D1
D2
D3

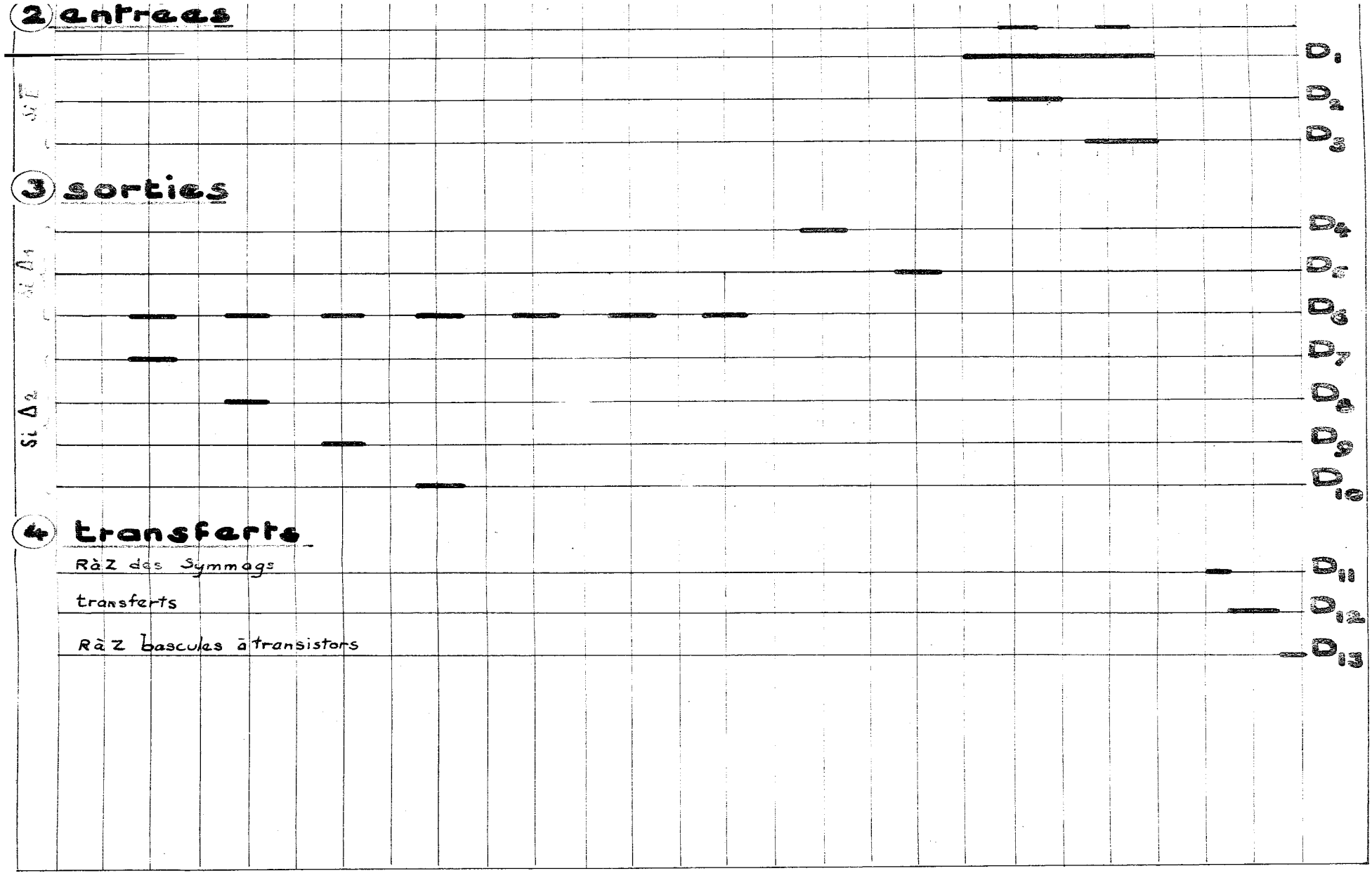
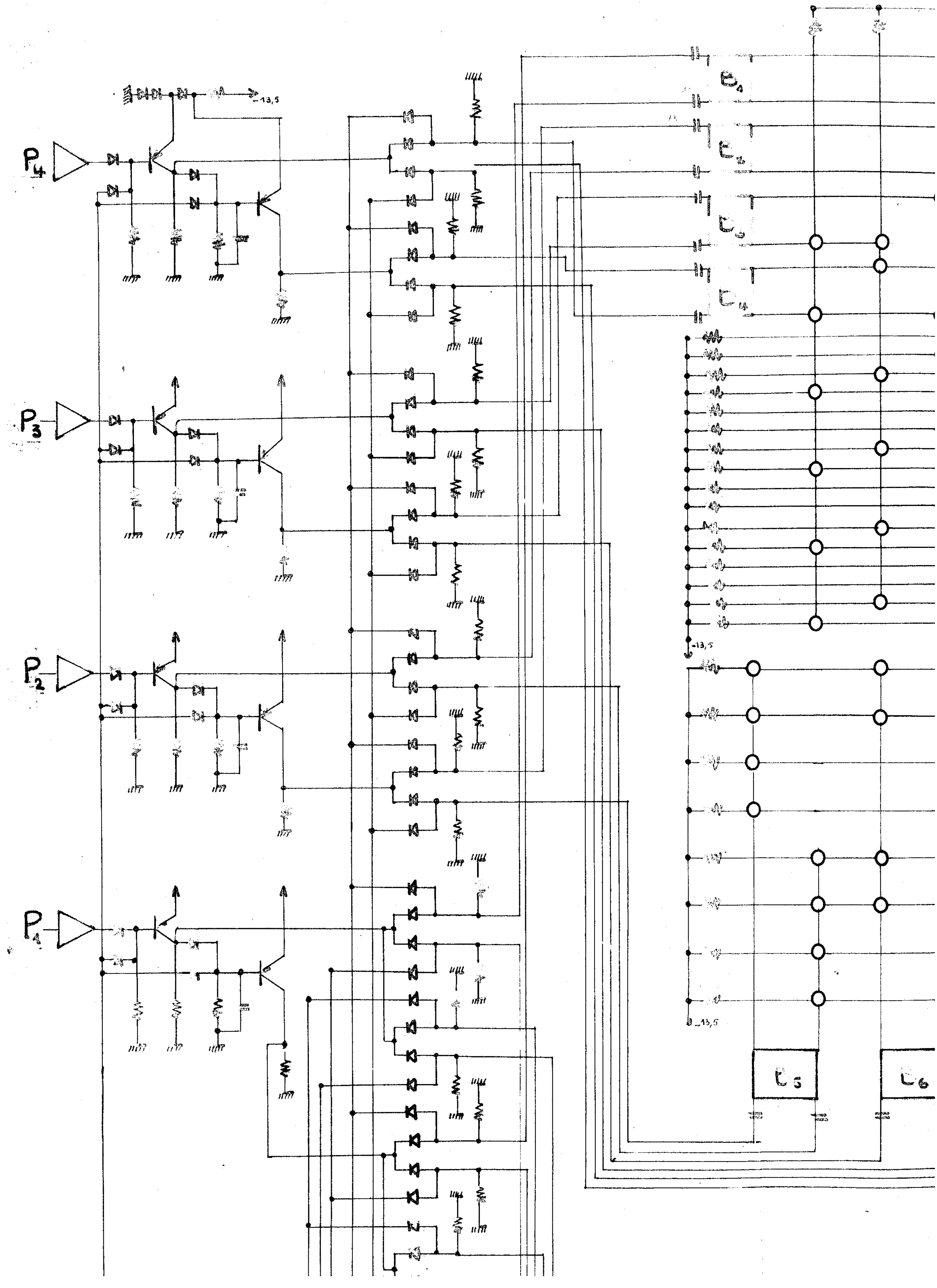


Tableau de Synchronisation


P4
P3
P2
P1
-13,5

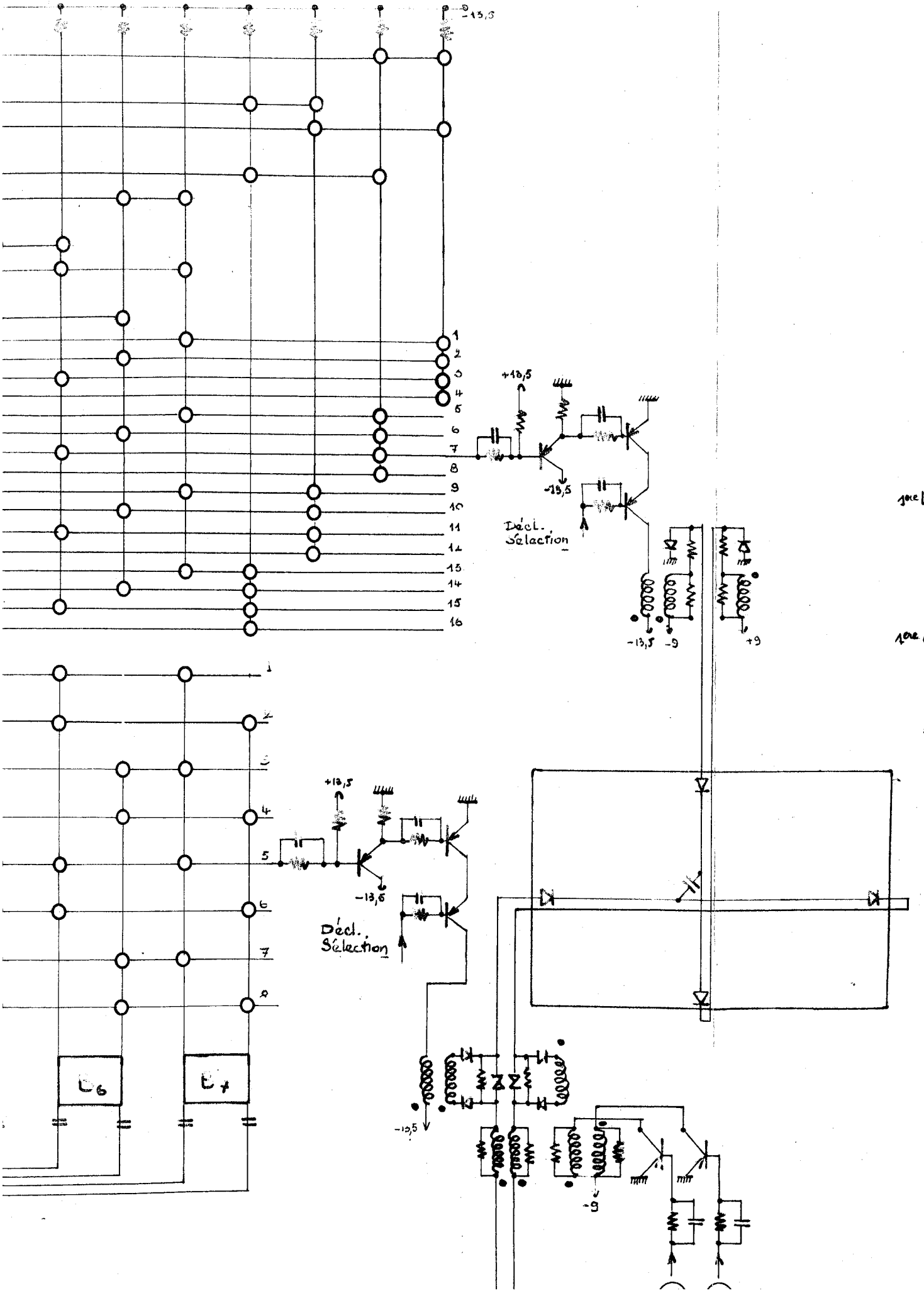
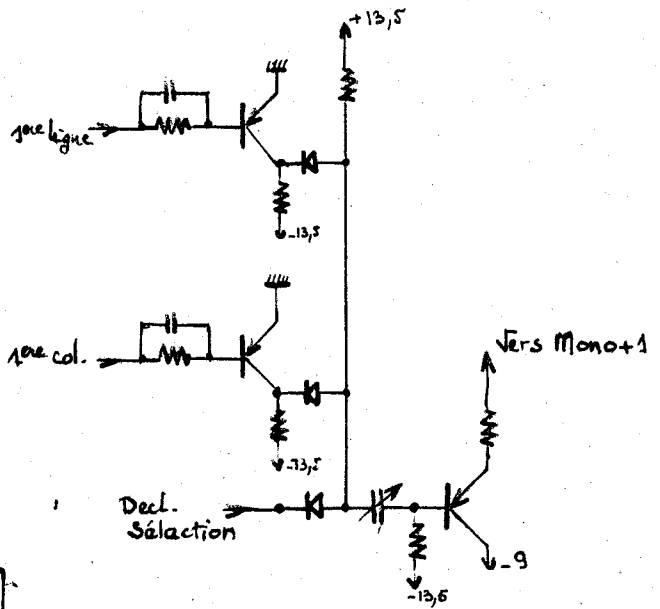
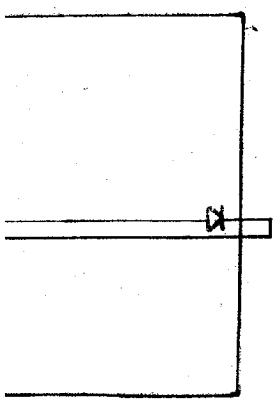
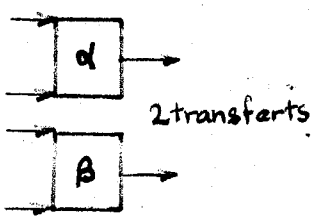
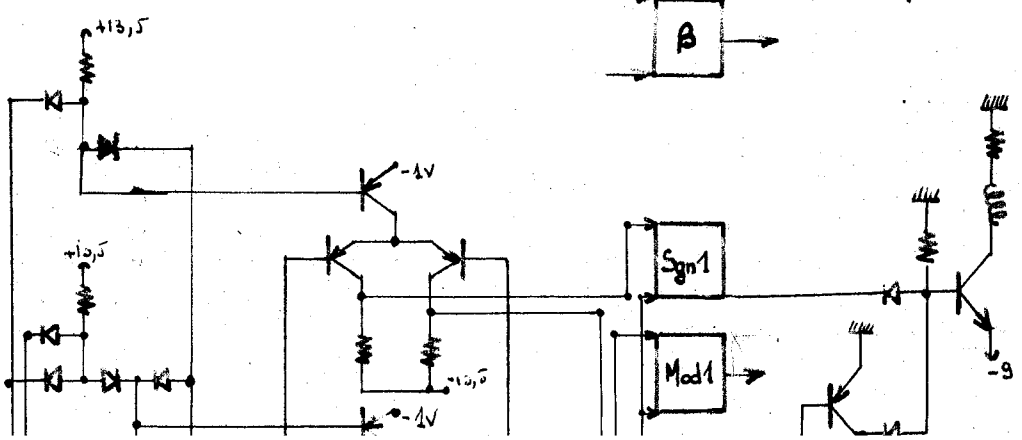

-13,5
1
2
3
4
5
6
7
8
9
10
11
12
13
14
15
16
+13,5
-13,5
Décl.
Sélection
-13,5
-9
+9
1ère ligne
1ère col.
+13,5
-13,5
Décl.
Sélection
-13,5
-9

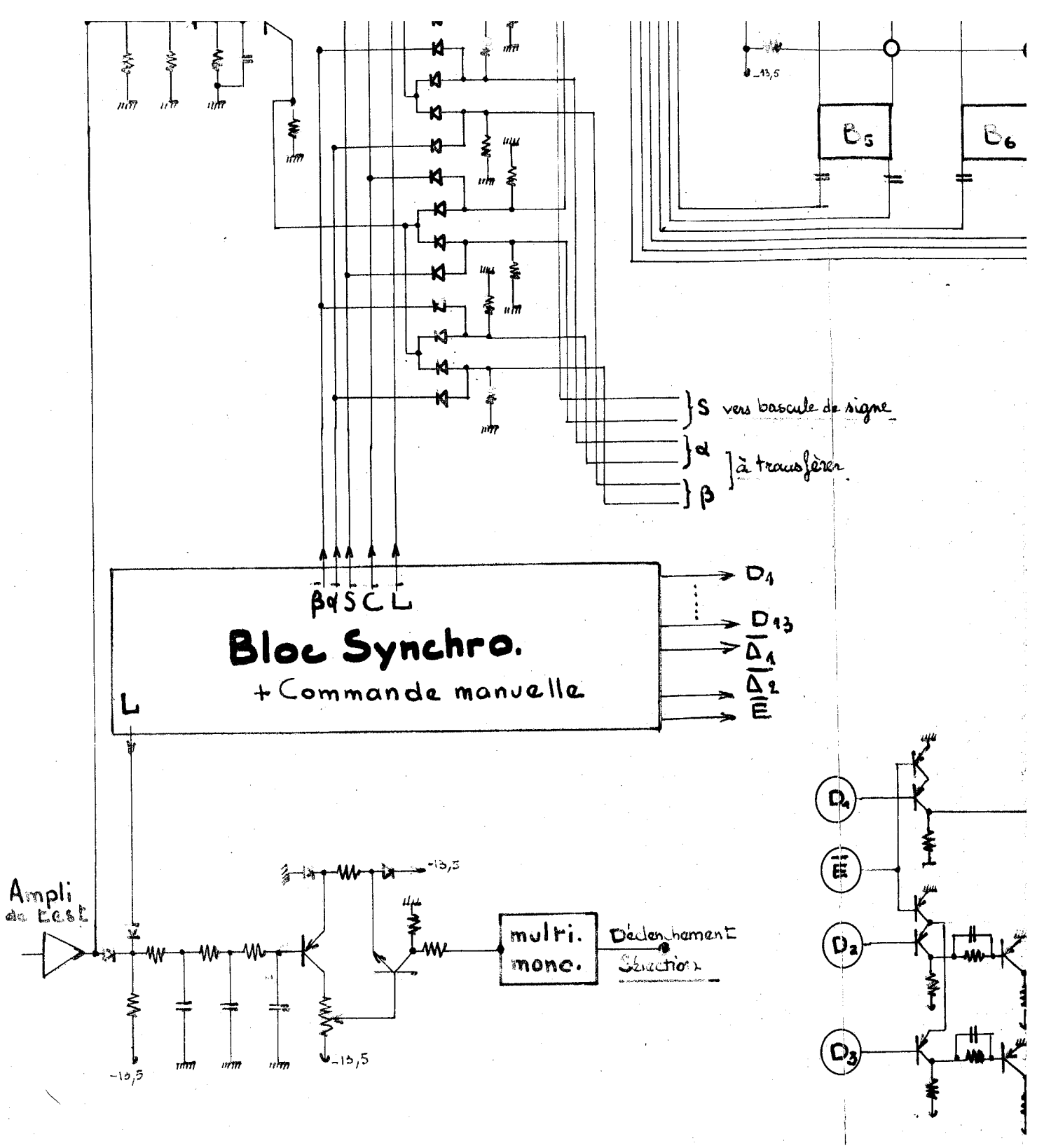
Schéma Général

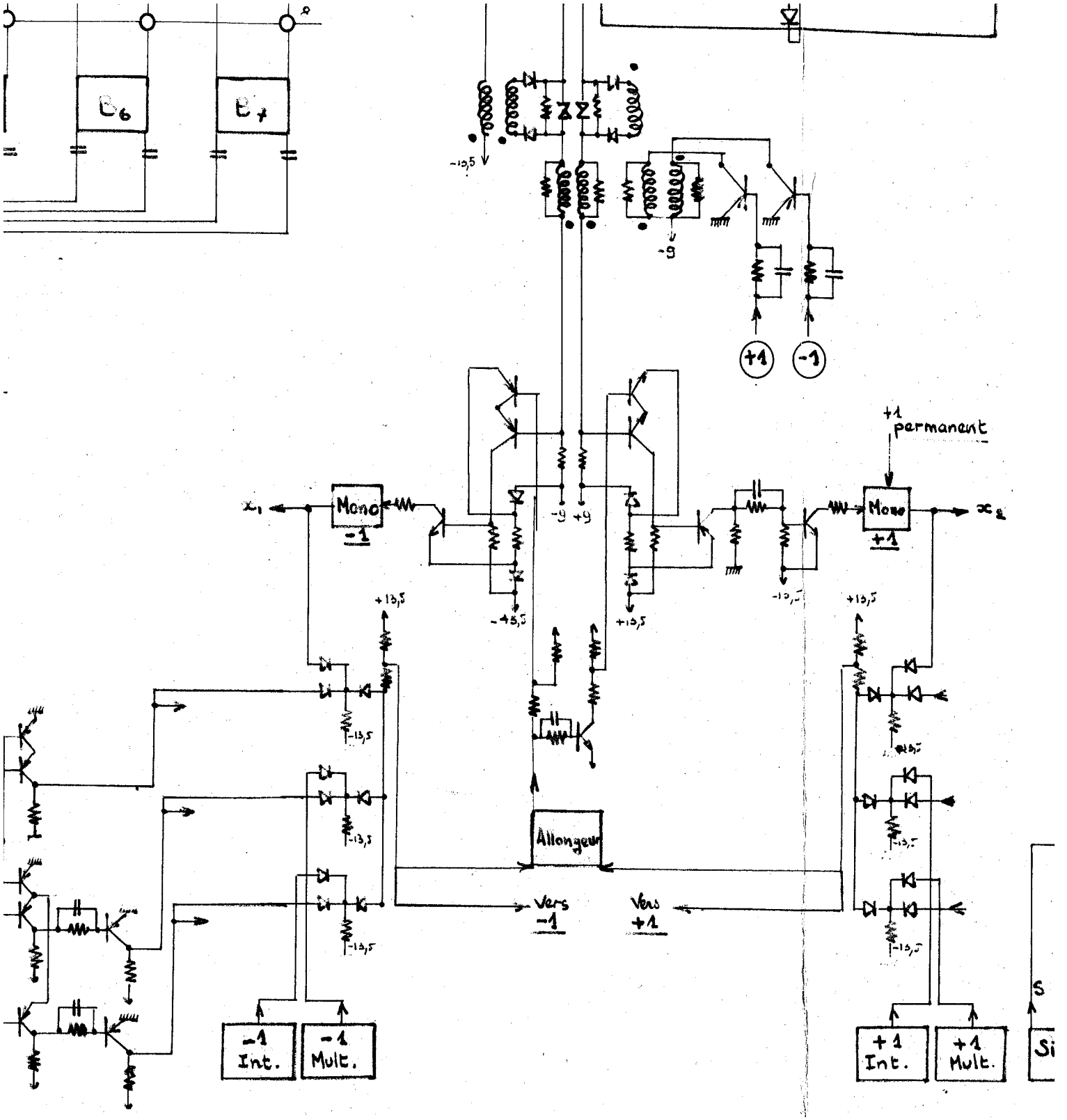


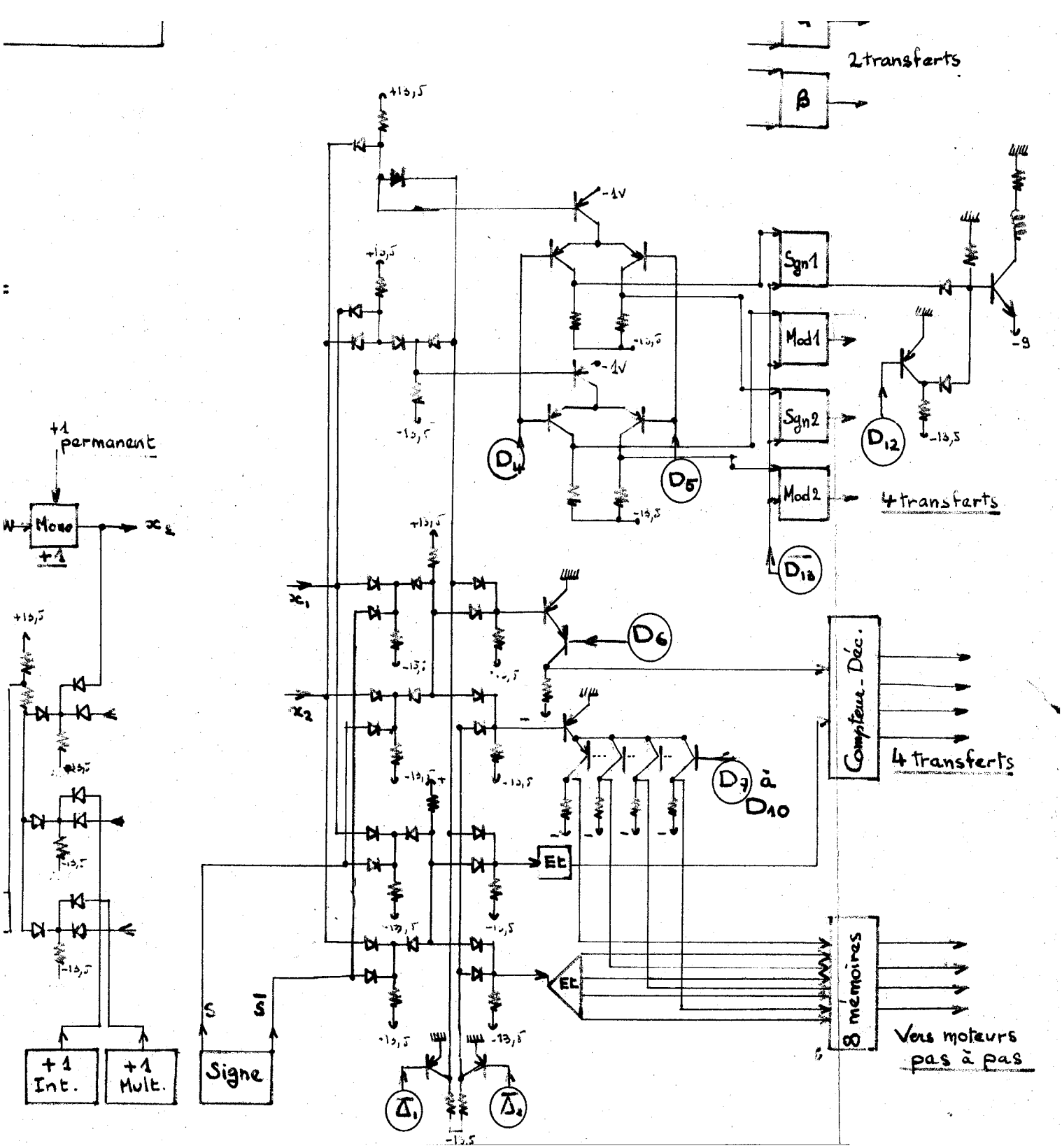







B5
B6
-13,5
S vers bascule de signe
α
β
à transférer
βαSCL
Bloc Synchro.
+ Commande manuelle
L
D1
D13
Δ1
Δ2
E
Ampli de test
-13,5
-15,5
-15,5
multi. mono.
Déclenchement
Sélection
D1
E
D2
D3


E6
E7
-13,5
-9
+1
-1
+1
permanent
Mono
-1
Mono
+1
x1
x2
-9
+9
-13,5
+13,5
Allongeur
Vers
-1
Vers
+1
-1
Int.
-1
Mult.
+1
Int.
+1
Mult.


2 transferts
B
+1 permanent
Mono
+1
+1 Int.
+1 Mult.
Signe
S
S1
Sgn1
Mod1
Sgn2
Mod2
4 transferts
D4
D5
D12
D13
D6
D7 à D10
Et
Et
Compteur - Déc.
4 transferts
8 mémoires
Vers moteurs pas à pas