N° d'ordre : 3229

THÈSE

présentée à

L'UNIVERSITÉ BORDEAUX I

ÉCOLE DOCTORALE DE SCIENCES PHYSIQUES ET DE L'INGENIEUR

par **Cédric MAJEK**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : ELECTRONIQUE

****

CONTRIBUTION A L'ETUDE D'UN SYNTHETISEUR DE FREQUENCE POUR OBJETS COMMUNICANTS MULTISTANDARDS EN TECHNOLOGIE CMOS SOI

****

Soutenue le 17 octobre 2006

Après avis de :

MM.	G. JACQUEMOD	Professeur, LEAT, NICE	**Rapporteur**
	A. KAISER	Directeur de recherche, IEMN, Lille	**Rapporteur**

Devant la commission d'examen formée de :

MM.	J.B. BEGUERET	Professeur, IXL, Bordeaux I	**Examinateur**
	Y. DEVAL	Professeur, IXL, ENSEIRB	**Directeur de thèse**
	G. JACQUEMOD	Professeur, LEAT, NICE	**Rapporteur**
	A. KAISER	Directeur de recherche, IEMN, Lille	**Président**
	H. LAPUYADE	Maître de Conférences, IXL, Bordeaux I	**Co-Directeur de thèse**
	E. MACKOWIAK	Ingénieur, STMicroelectronics, Crolles	**Examinateur**

- 2006 -

A tous ceux que j'aime…

« *Le génie, c'est 1% d'inspiration et 99% de transpiration* »,
Thomas Edison (1847-1931)

REMERCIEMENTS

Quand je me retourne et que je regarde le chemin parcouru pour en arriver là, je me rends bien compte que seul, jamais je n'y serais parvenu. Ce manuscrit est la conclusion de nombreuses années d'études, et au moment de faire un bilan, je souhaite remercier toutes les personnes qui m'ont accompagné pendant ce trajet. Ceux qui me connaissent intimement, savent que je ne suis pas un virtuose des mots. Alors en préambule je voudrais dire que les remerciements suivants, même si les termes employés ne le traduisent pas, viennent du cœur…

Mes travaux de recherche ont été réalisés au laboratoire de microélectronique IXL (UMR5818) de l'université de Bordeaux I. Je remercie donc le Professeur André Touboul, Directeur de l'unité, de m'y avoir accueilli.

Je remercie très sincèrement le Directeur de Recherche Andreas Kaiser (Institut d'Electronique de Microélectronique et de Nanotechnologie de Lille) pour m'avoir fait l'honneur de présider mon jury de thèse, mais également pour avoir rapporté mes travaux de recherche. J'exprime toute ma gratitude au Professeur Gilles Jacquemod (Laboratoire d'Electronique, Antennes et Télécommunications de Nice Sophia Antipolis) pour toute l'attention qu'il a portée à mon travail en acceptant d'être rapporteur de cette thèse. Je remercie également sincèrement Eugène Mackowiak, ingénieur à STMicroelectronics Crolles, pour avoir accepté de participer à ce jury.

Deux personnes ont réellement influencé ma vie de « *Concepteur de Circuits* » car ils sont à la fois à l'origine et à la conclusion de mes études en électronique. En effet, c'est à travers leur enseignement que j'ai attrapé le virus (sacré P32 !!!). C'est encore eux qui m'ont offert la possibilité de réaliser ces travaux. Qu'il me soit permis d'exprimer toute ma gratitude à mes deux co-directeurs de thèse, le professeur Yann Deval et le maître de conférences Hervé Lapuyade. Merci de m'avoir donné cette chance, merci également pour la totale liberté et toute la confiance que vous m'avez laissée pour mener ces travaux.

Je tiens à remercier le professeur Jean-Baptiste Bégueret « *Jean-Baba* », *Boss* de l'équipe conception de circuit (EC²), et Thierry Taris « *Titi* », maître de conférences et futur directeur du TRC (*Taris Research Center*), pour leur réelle sympathie, leur soutien durant ces années, et tous les bons moments que l'on a pu partager.

Je remercie également la Team Ingénieur de l'équipe EC² pour leur disponibilité, pour toute l'aide qu'ils ont su me donner ainsi que pour le plaisir que j'ai pris en travaillant à leur côté. Merci à Magali de Matos « *Mag* », Patrick Hellmuth « *Moumou* », Birama Goumballa « *le Mouskal de la Teranga* », Romaric Toupet « *Romama* » et surtout Olivier Mazouffre (et sa calculatrice magique !) notamment pour sa présence dans les moments les plus critiques de ces travaux.

Je remercie également tous les doctorants de l'équipe EC² pour toutes ces bonnes années, à savoir : Christophe Rougier « *Chef, Rougikito ou encore Tac* », Vincent Lagareste « *Vince ou Galak* », Cyril Recoquillon « *Rocco* », Mikaël Cimino « *La moustache, Cimimi, El Boudine* » (MAJCIM for ever), André Mariano « *Bicha Locka* », Nicolas Seller « *Nico* », François Rivet « *JR* », Christophe Scarabello, David Deschans et Alexis Gourrinat.

J'associe à ce travail et je remercie également Nicole Lavigne pour son aide, ses conseils durant ces travaux et pour la perfection de ses soudures ainsi que Guillaume Monnerie pour sa disponibilité lors de la réalisation des simulations comportementales et son humour décoiffant.

Je voudrais remercier toutes les personnes qui travaillent dans l'ombre, qui n'apparaissent jamais sur les publications et qui pourtant permettent la réussite des laboratoires. Merci aux personnels du service informatique : Régis Devreese, Patrick Villesuzanne et Jean-Emmanuel Dom. Merci aux personnels techniques : Alice, Maryse et Jean, Serge « Totor » et Patrick Bérenguer. Merci aux personnels administratifs et notamment Simone Dang Van pour sa gentillesse exceptionnelle.

Je tiens également à remercier les membres de l'équipe Circuits en Hyperfréquence, *cousine* de l'équipe EC² à savoir le Professeur Eric Kerhervé, la *Maîtresse* de Conférences Nathalie Deltimple (ma voisine préférée !...et Kramer aussi) ainsi que tous les doctorants : Christian Moreira « *Queima Rosca* », Alexandre Shirakawa « *Daré no troço* », Laurent Courcelle « *Loulle* », Laurent Leysenne « *Besame Mucho* », Moustapha El Hassan *mon frère jumeau*, Ouail El Gharniti « *Chawarma* » et *le petit dernier* Yohan Luque. Merci, notamment pour tous les longs moments passés dans la cuisine….

Je remercie également les Professeurs, Maîtres de Conférences, Chargés de recherche et doctorants que j'ai eu l'occasion de connaître durant ces années. Merci pour votre sympathie et tous ces bons moments ou discussions que nous avons pu partager. Merci à : Didier Castagnet, Patrice Jaulent, Patrick Ginet, Sébastien Frégonèse, Céline Zimmermann, Nathalie Malbert, Pascal Tardy, Dominique Dallet, Yves Ousten, Yannick Deshayes, Noëlle Lewis, Corine Dejous, Didier Geoffroy.

Je remercie du fond du cœur tous mes amis dont le soutien moral est inébranlable : Cyril, Nico, Mathieu, Fabien, Guigui, Thierry, Marco et Mininaze, Carine et Roland, Emilie et Laurent, Nathalie et Vincent, Marianne et Julien, Cécile et Julien, Sophie et Vincent.

Comment pourrais-je ne pas remercier toute ma famille. Merci à mes frères et belles-sœurs : Ben's et Julie, Cyril et Isabelle (et les petits : Axel, Cyrielle et Clément), Stéphane et Annabelle (et les tout-petits : Thomas et Johan). Merci à mon parrain et à ma marraine. Et par-dessus tout, merci à mes parents. Tous les sacrifices que vous avez fait pour moi durant ces si longues années d'études n'auront pas été vains. Des mots ne suffisent pas à traduire tout ce que je ressens pour vous et tout ce que je vous dois.

Je n’oublierai également pas de remercier ma seconde famille. Merci bo-papa, belle-maman, François et Françoise, Josepha, Laurent et Cécilia.

Enfin, s’il y a bien une chose que je retiendrai de ces années, c’est que dans un laboratoire de recherche ce n’est pas forcément quand on cherche, ni ce qu’on cherche que l’on trouve. J’étais venu chercher un grade, on m’avait demandé de trouver un circuit. Finalement, ma plus belle découverte avait son bureau en face de moi : Isa, mon cange, ma femme, je t’aime...

TABLE DES MATIERES

REMERCIEMENTS **7**

TABLE DES MATIERES **10**

INTRODUCTION GENERALE **14**

CHAPITRE 1 : **18**

INTRODUCTION AUX TRAVAUX DE RECHERCHE **18**

1. INTRODUCTION **19**

2. PERSPECTIVE D'EVOLUTION DE L'ARCHITECTURE DES FRONTAUX RADIOFREQUENCES **19**

2.1. DE LA MULTIPLICATION DES STANDARDS DE RADIOCOMMUNICATION SANS FIL… 19
2.1.1. Evolution des standards pour la téléphonie mobile *20*
2.1.2. Standards pour le transfert de données *22*
2.2. …A LA RECONFIGURABILITE DES FRONTAUX RADIOFREQUENCES. 24
2.2.1. La Radio Logicielle ou SoftWare Radio (SWR) *24*
2.2.2. Frontal radiofréquence reconfigurable *24*

3. APPLICATION AUX SYNTHETISEURS DE FREQUENCE **25**

3.1. GENERALITES SUR LES PERFORMANCES D'UN SYNTHETISEUR DE FREQUENCE 25
3.1.1. Le temps de commutation *26*
3.1.2. La pureté spectrale *26*
3.1.3. Le bruit de phase *26*
3.2. SYNTHESE DE FREQUENCE A BASE DE BOUCLE A VERROUILLAGE DE PHASE 28
3.2.1. Présentation et principe de fonctionnement *28*
3.2.2. Performances d'un synthétiseur à base de PLL *29*
3.2.3. Limitation actuelle de la boucle à verrouillage de phase pour la synthèse de fréquence multistandard entre 2 et 6 GHz. *33*
3.3. SYNTHESE DE FREQUENCE A BASE DE BOUCLE A VERROUILLAGE DE DELAI 34
3.3.1. Boucle à verrouillage de délai pour la synthèse de fréquence *34*
3.3.2. Performances d'un synthétiseur à base de DLL *38*
3.3.3. Limitation actuelle de la boucle à verrouillage de délai pour la synthèse de fréquence multistandard entre 2 et 6 GHz. *42*

4. INTRODUCTION A LA TECHNOLOGIE CMOS SOI **42**

4.1. LE SUBSTRAT SOI 43
4.1.1. Fabrication du substrat SOI *43*
4.1.2. Caractéristiques du substrat SOI. *44*
4.2. LE TRANSISTOR MOS-SOI PARTIELLEMENT DESERTE 45
4.2.1. Présentation *45*
4.2.2. Effets liés à la présence de l'oxyde enterré *46*
4.2.3. Effets liés à la présence du corps flottant *48*

5. CONCLUSION **53**

RÉFÉRENCE DU CHAPITRE 1 ..... **55**

CHAPITRE 2 : **60**

MODELISATION COMPORTEMENTALE DE LA BOUCLE A VERROUILLAGE DE DELAI FACTORISEE **60**

1. INTRODUCTION **61**

2. NECESSITE D'UNE ETUDE COMPORTEMENTALE 61

2.1. PRESENTATION DES OBJECTIFS DES TRAVAUX DE THESES, DETERMINATION DES PRINCIPALES CONTRAINTES. 61
2.2. ETUDE DES ARCHITECTURES REPROGRAMMABLES A BASE DE DLL 62
2.3. METHODOLOGIE DE CONCEPTION DESCENDANTE (TOP-DOWN). 64

3. MODELISATION COMPORTEMENTALE ET DETERMINATION DE L'ARCHITECTURE CHOISIE 65

3.1. PRESENTATION DU LANGAGE COMPORTEMENTALE VHDL-AMS 65
3.1.1. Introduction 65
3.1.2. Composition d'un modèle VHDL-AMS 65
3.2. DETERMINATION DE L'ARCHITECTURE PERMETTANT D'ASSURER LE FONCTIONNEMENT INCONDITIONNEL EN MODE DLL PAR MODELISATION COMPORTEMENTALE. 67
3.2.1. Solution envisagée : utilisation de la technique selon [BEG01-1] 67
3.2.2. Limite de la technique selon [BEG01-1] pour la synthèse multistandard 4-12 GHz. 68
3.3. PRESENTATION DE L'ARCHITECTURE RETENUE 74
3.3.1. Présentation 74
3.3.2. Fonctionnement du circuit 75

4. VALIDATION DE LA FONCTIONNALITE DU SYSTEME PAR MODELISATION COMPORTEMENTALE 76

4.1. DESCRIPTION ET SIMULATION COMPORTEMENTALE DE CHAQUE BLOC 76
4.1.1. Le bloc asservissement 76
4.1.2. Le bloc oscillateur 78
4.1.3. Le bloc « Sortie » 81
4.2. VERIFICATION DE LA FONCTIONNALITE DU SYSTEME 82
4.2.1. Synthèse d'un standard 82
4.2.2. Validation de l'asservissement et du fonctionnement en mode DLL 83
4.2.3. Réponse à un changement de standard 85
4.3. STABILITE DE LA BOUCLE 86

5. CONCLUSION 88

REFERENCE DU CHAPITRE 2 90

CHAPITRE 3: 92

REALISATION DE LA BOUCLE A VERROUILLAGE DE DELAI FACTORISEE MULTISTANDARD 92

1. INTRODUCTION 93

2. CONCEPTION DU BLOC ASSERVISSEMENT 93

2.1. RAPPEL 93
2.2. DESCRIPTION DU COMPARATEUR DE PHASE 94
2.2.1. Choix de l'architecture du circuit 94
2.3. DESCRIPTION DE LA POMPE DE CHARGE ET DU FILTRE DE BOUCLE 98

3. CONCEPTION DU BLOC OSCILLATEUR 99

3.1. RAPPEL 99
3.2. DESCRIPTION DU COMPTEUR 100
3.2.1. Présentation du circuit 100
3.2.2. Descriptif des blocs constitutifs du compteur 103
3.3. DESCRIPTION DE L'ELEMENT DE RETARD CONTROLABLE EN TENSION 108
3.4. DESCRIPTION DE LA COMMANDE DE L'OSCILLATEUR 110
3.4.1. Présentation du circuit 110
3.4.2. Principe de fonctionnement 111

4. CONCEPTION DU BLOC DE SORTIE 112

4.1. RAPPEL 112
4.2. DESCRIPTION DU BLOC DE SOMMATION 113
4.3. DESCRIPTION DE LA MISE EN FORME ET DE LA QUADRATURE DE PHASE DES SIGNAUX DE SORTIE. 114

5. SIMULATION DU SYSTEME COMPLET 116

5.1. CHOIX DES CARACTERISTIQUES DU FILTRE 116
5.2. SYNTHESE DU STANDARD A 1,8 GHZ 117
5.2.1. Etude temporelle 117
5.2.2. Etude fréquentielle 119
5.3. SYNTHESE DU STANDARD A 5,8 GHZ. 120
5.3.1. Etude temporelle 120
5.3.2. Etude fréquentielle 121
5.4. REPONSE DU SYSTEME A UN CHANGEMENT DE STANDARD 122

6. PRESENTATION DE LA DLL AVEC GENERATION DIRECTE DE LA QUADRATURE DE PHASE 123

6.1. POURQUOI CETTE NOUVELLE VERSION ? 123
6.2. PRESENTATION 125
6.3. ETUDE DE LA CHAINE D'ELEMENTS A RETARD CONTROLABLE 126
6.3.1. Présentation 126
6.3.2. Simulations et erreur de quadrature de phase 127
6.4. ETUDE DU BLOC DE SORTIE ET SIMULATION DE LA BOUCLE. 129
6.4.1. Le bloc de sortie 129
6.4.2. Simulation de la boucle 129

7. CONCLUSION 131

REFERENCE DU CHAPITRE 3 132

CHAPITRE 4 : 134

CARACTERISATION DE LA BOUCLE A VERROUILLAGE DE DELAI FACTORISEE 134

1. INTRODUCTION 135

2. MESURES RELATIVES A LA DLL FACTORISEE AVEC GENERATION INDIRECTE DE LA QUADRATURE DE PHASE DES SIGNAUX DE SORTIE 135

2.1. CONTEXTE EXPERIMENTAL 135
2.2. MESURES TEMPORELLES DU CIRCUIT 137
2.2.1. Analyse des formes d'onde 137
2.2.2. Etude de la consommation du système 140
2.2.3. Réponse à un changement de standard 140
2.3. MESURES FREQUENTIELLES 142
2.3.1. Analyse du spectre 142
2.3.2. Analyse du bruit de phase du système 144
2.4. IMPERFECTION DU SYSTEME 148
2.4.1. Présentation de l'imperfection 148
2.4.2. Recherche de l'origine des raies parasites par simulation comportementale 148
2.4.3. Vérification expérimentale 153

3. MESURES DE LA DLL FACTORISEE AVEC GENERATION DIRECTE DE LA QUADRATURE DE PHASE ENTRE LES SIGNAUX DE SORTIE 155

3.1. PRESENTATION 155
3.2. MESURES TEMPORELLES DU CIRCUIT 156
3.2.1. Analyse des formes d'onde 156
3.2.2. Etude de la consommation du système 157
3.2.3. Réponse à un changement de standard 158
3.3. MESURES FREQUENTIELLES 159
3.3.1. Analyse du spectre 159
3.3.2. Analyse du bruit de phase du système 160

4. MESURES DES DLLS FACTORISEES REALISEES EN TECHNOLOGIE BULK MASSIF 162

4.1. PRESENTATIONS DES CIRCUITS 162
4.1.1. Mesures relatives à la DLL Factorisée avec génération indirecte de la quadrature de phase des signaux de sortie 162

4.1.2. Mesures relatives à la DLL Factorisée avec génération directe de la quadrature de phase des signaux de sortie *168*

5. BILAN ET PERSPECTIVES **172**

5.1. RECAPITULATIF ET COMPARAISON DES PERFORMANCES DE DEUX CIRCUITS REALISES EN TECHNOLOGIE SOI 172
5.2. COMPARAISON DES PERFORMANCES DES CIRCUITS EN FONCTION DE LA TECHNOLOGIE 173
5.3. PERSPECTIVES DES TRAVAUX DE THESE 174

6. CONCLUSION **175**

REFERENCE DU CHAPITRE 4 ..... **177**

CONCLUSION GENERALE **178**

PRODUCTION SCIENTIFIQUE **182**

INTRODUCTION GENERALE

L'explosion du marché de la téléphonie mobile, à partir du début des années 90, a servi de moteur au développement des moyens de radiocommunication sans fil utilisés pour la transmission de la voix mais également des données. Cette expansion fulgurante a été rendue possible par l'arrivée de technologies numériques qui ont résolu l'une des principales limitations que rencontraient les premières générations de téléphonie mobile analogique : la restriction du nombre d'utilisateurs. En effet, le mode d'accès de type fréquentiel utilisé permettait l'attribution d'une fréquence à seulement un utilisateur. En échantillonnant puis numérisant la voix, l'information est désormais transmise sous forme de paquets de bits, ce qui offre la possibilité d'attribuer une fréquence à plusieurs utilisateurs en émettant l'information à des temps différents. Cette approche, conjuguée avec une réutilisation de fréquence comme cela est le cas des réseaux cellulaires, permet ainsi d'augmenter de manière sensible le nombre d'utilisateur d'un même support physique de transmission.

L'accroissement du nombre d'utilisateurs additionné au développement de nouveaux services multimédias, dont notamment internet, ont contraint à l'évolution des techniques de téléphonie portables. Chaque évolution s'est alors traduite par l'apparition d'une nouvelle génération. Ainsi, après la première génération analogique se sont succédées celles qui ont été nommées la 2G, la 2,5G et actuellement la 3G. Le passage d'une génération à l'autre s'est surtout axé sur une augmentation du débit d'informations possible du téléphone afin d'aboutir aux applications à haut débit (voix, données, images).

Parallèlement à l'essor de la téléphonie mobile, la transmission de données sans fil s'est grandement répandue. Aussi n'est-il plus surprenant de voir des ordinateurs communiquer avec leurs périphériques (clavier, souris, imprimante ou scanner) sans même être relié physiquement par un fil, ou encore, de rencontrer des personnes « surfant » sur internet, dans le hall d'attente d'un aéroport entre deux avions, l'ordinateur portable sur les genoux sans aucune connexion filaire.

Chaque application sans fil impose des contraintes spécifiques réparties sur chacun des blocs de la chaîne d'émission-réception radiofréquence. Aussi, afin de respecter la miniaturisation des systèmes de radiocommunication sans fil, il devient nécessaire de développer de nouvelles architectures capables d'adapter leurs performances aux exigences de chacune de ces applications : les terminaux radiofréquences doivent devenir multistandards. La solution idéale serait alors d'échantillonner l'information au plus près possible de l'antenne, et de réaliser en numérique ce qui auparavant l'était en analogique : c'est la radio logicielle. Mais, les limitations technologiques et architecturales actuelles ne permettent pas encore de réaliser cette alternative. Ainsi, une solution intermédiaire serait de rendre reconfigurable chaque bloc constitutif de la chaîne d'émission-réception. Ces travaux de thèse se sont concentrés sur l'un de ces blocs : l'oscillateur local. Ce dernier est traditionnellement construit autour d'un synthétiseur de fréquence qui doit donc être capable de générer toutes les fréquences des normes visées.

Le développement de la radiocommunication sans fil, et notamment son explosion sur le marché grand public, a été rendu possible grâce au progrès du secteur microélectronique. En effet, à travers la recherche du toujours plus petit, en intégrant un maximum de fonctions au sein d'une même puce, la taille et surtout le prix des téléphones ont chuté, les rendant accessibles à une très large population. Cette recherche a été menée en suivant deux axes principaux, d'une part au niveau technologique en diminuant constamment la taille minimum des composants utilisés, d'autre part au niveau architectural en cherchant constamment de nouvelles structures compatibles avec les contraintes de faible coût et de faible consommation. Les travaux de recherche présentés dans ce manuscrit s'inscrivent dans le respect de ces deux voies d'étude, d'une part en développant une architecture originale de synthétiseur de fréquence multistandard, d'autre part en utilisant une technologie encore peu répandue dans les systèmes radiofréquences : la technologie de substrat sur isolant (Silicon On Insulator - SOI).

Ce manuscrit débute par la présentation succincte des principales caractéristiques de tous les standards de la gamme de fréquences de travail visée, à savoir entre 2 et 6 GHz. Nous insisterons particulièrement sur les fréquences mises en jeu mais également sur certaines de leurs différences afin de mieux comprendre la nécessité de reconfigurabilité des terminaux. La notion de radio logicielle ainsi que ses limitations actuelles, ou encore la notion d'architecture reconfigurable sera alors introduite. Ce premier chapitre présentera ensuite les architectures traditionnelles et élémentaires de synthétiseur de fréquence que sont les boucles à verrouillage de phase ou de délai. Après une description de leur principe de fonctionnement, une étude à travers les notions qui caractérisent ces circuits lorsqu'ils sont employés comme synthétiseur de fréquence, tel le bruit de phase, la pureté spectrale et le temps de commutation, sera alors menée. Chacune de ces présentations se terminera par la description des limites actuelles pour la synthèse multistandard de l'architecture considérée afin d'essayer de dégager lequel de ces deux circuits paraît le plus adapté pour répondre à notre problématique. Enfin, une présentation de la technologie utilisée dans ces travaux sera effectuée. Après une présentation des techniques de réalisation du substrat SOI ainsi que de ces principales caractéristiques, nous terminerons ce chapitre en focalisant notre étude sur l'un des transistors disponibles dans

cette technologie et utilisé dans ses travaux : le transistor MOS partiellement déserté. Nous présenterons alors les principaux avantages et inconvénients de celui-ci liés à la présence, d'une part de l'oxyde enterré, d'autre part du corps flottant.

Le deuxième chapitre de ce manuscrit est consacré à la détermination de l'architecture de synthétiseur de fréquence multistandard. Après avoir rappelé les objectifs et les contraintes de ces travaux, nous présenterons les principales architectures reprogrammables à base de boucle à verrouillage de délai. Les limites de ces dernières ainsi que la complexité des architectures mettront alors en avant la nécessité d'opter pour une méthodologie de conception de type descendante en débutant par une étude comportementale du circuit. Ainsi, après avoir présenté le langage comportemental utilisé, les premiers travaux menés viseront à déterminer une architecture du cœur du circuit qui assure le fonctionnement inconditionnel du circuit d'une manière identique à celui d'une boucle à verrouillage de délai. Chaque bloc élémentaire du circuit sera alors modélisé et simulé, puis tous seront associés. Le système verra alors son fonctionnement vérifié par simulation. Ces vérifications seront menées pour les deux standards extrêmes de la bande de fréquences de travail. Enfin, après avoir étudié le comportement de la boucle lors d'un changement d'ordre de multiplication, ce chapitre se terminera par l'étude de la stabilité du système.

Dans le troisième chapitre, nous procèderons à la réalisation de la boucle à verrouillage de délai reprogrammable, également appelée factorisée, au niveau transistor. Ainsi, chacun des trois blocs principaux constitutifs du circuit sera alors divisé en sous-parties qui seront simulées et réalisées. Le système sera alors assemblé et simulé pour vérifier la fonctionnalité au niveau transistor. Des études temporelles et fréquentielles du système pour les deux standards extrêmes de la bande de fréquences de travail seront effectuées. Les consommations de courant ainsi que le comportement de la boucle lors d'un changement de facteur de multiplication de la boucle seront exposés. Enfin, après avoir procédé au dessin des masques de ce circuit, nous présenterons une nouvelle version de la boucle à verrouillage de délai factorisée. Le but de cette seconde version sera d'améliorer les limites de la première version en termes d'erreur de quadrature de phase entre les deux signaux de sortie et de consommation du système. Pour ce faire, la quadrature des signaux de sortie sera générée au sein même de la ligne d'éléments à retard contrôlable en tension. Ainsi, les deux prototypes diffèrent seulement par deux blocs.

Le dernier chapitre de ce manuscrit sera consacré à la caractérisation de la boucle à verrouillage de délai factorisée. Nous procèderons aux mesures des circuits étudiés au préalable dans ce manuscrit. La première partie de ce chapitre sera consacrée aux tests du premier circuit au sein duquel la quadrature de phase des signaux de sortie est obtenue en divisant par deux la fréquence des signaux synthétisés au cœur du système. Les mesures effectuées seront alors présentées, d'une part sous leur forme temporelle, d'autre part sous leur forme fréquentielle. Ainsi, les formes d'onde, la quadrature de phase des signaux de sortie, la consommation de puissance du circuit et la réponse du système à un changement de standard seront étudiées, tout comme le spectre fréquentiel et le bruit de phase du système seront analysés. Puis, nous effectuerons des mesures similaires pour caractériser la seconde version du circuit. Ces circuits ont également été réalisés en technologie bulk massif. Les mesures précédentes seront également effectuées sur ces circuits dans cette seconde technologie. Nous conclurons alors ce chapitre et ce manuscrit en effectuant, d'une part une comparaison des performances de ces deux circuits dans la technologie SOI, d'autre part en effectuant une comparaison des performances de ceux-ci en fonction de la technologie. Nous proposerons enfin des perspectives pour les futurs travaux qui pourront être menés sur l'architecture.

CHAPITRE 1 :

INTRODUCTION AUX TRAVAUX DE RECHERCHE

1. INTRODUCTION

La téléphonie mobile a servi de locomotive pour le développement de la radiocommunication sans fil. Grâce à sa rapide expansion sur le marché mondial, le grand public s'est habitué à pouvoir communiquer n'importe quand, de n'importe où et il a vite désiré multiplier les possibilités de cet avantage. Ainsi les téléphones portables sont devenus de vrais petits ordinateurs capables de traiter et véhiculer aussi bien la voix que l'image, permettant également l'échange de données à des débits élevés. La croissance des moyens de communication sans fil, que ce soit pour le transfert de la voix ou de données, s'est accompagnée de grandes recherches dans le domaine de la circuiterie microélectronique. Il s'agit notamment de respecter la contrainte de faible consommation, dans une optique de portabilité et de faible coût, en intégrant au maximum au sein d'une même puce le plus d'éléments et de fonctions possibles.

Ce chapitre débute par la présentation des standards qui occupent la bande des fréquences comprises entre 2 et 6 GHz. Il a pour but de mettre en évidence leur très grand nombre ainsi que leurs principales caractéristiques. Pour répondre à la demande d'intégration des circuits et des systèmes, le frontal radiofréquence devra, dans un futur proche, être capable de travailler avec toutes ces normes. La notion de reconfigurabilité des terminaux sera alors introduite. Cette première partie insistera tout particulièrement sur les fréquences mises en jeu par ces normes ainsi que sur l'oscillateur local multistandard dont la réalisation est le but de ces travaux.

La seconde partie présente les architectures traditionnelles et élémentaires de synthétiseurs de fréquence. Une étude permettant la caractérisation des performances de ces derniers en tant qu'oscillateur local, en termes de temps de commutation, de raies parasites et de bruit de phase, sera effectuée. Le but de cette étude est de dégager la possibilité d'adaptation de ces architectures à la synthèse multistandard en analysant comment les contraintes imposées par celle-ci impactent sur les performances du circuit. Une telle étude est destinée à nous orienter vers un choix d'architecture.

L'ultime partie de ce chapitre présente la technologie utilisée dans ces travaux. La technologie SOI n'étant pas encore une technologie utilisée couramment en radiofréquence, une présentation de ses propriétés remarquables est effectuée dans le but de permettre au concepteur de pouvoir prendre en compte ces nouvelles particularités.

2. PERSPECTIVE D'EVOLUTION DE L'ARCHITECTURE DES FRONTAUX RADIOFREQUENCES

2.1. De la multiplication des standards de radiocommunication sans fil…

La radiocommunication sans fil permet de transmettre des informations codant de la voix ou des données. L'étude suivante va être réalisée en deux temps, en distinguant les normes utiles au transfert de la voix, à travers l'étude des standards de téléphonie mobile et sans fil, de celles utilisées pour le transfert de données.

2.1.1. Evolution des standards pour la téléphonie mobile

De la fin des années soixante-dix à nos jours, plusieurs générations de standards de radiotéléphonie mobile se sont succédées. La première évolution avait pour but d'augmenter le nombre d'utilisateurs ainsi que la qualité de la voix. Les dernières permettent d'augmenter le débit d'informations nécessaire au développement de services multimédias (internet, vidéoconférence, etc.).

2.1.1.1. La première génération de radiotéléphonie mobile

Arrivée sur le marché au début des années quatre-vingt en France, la première génération a défini les bases de la communication mobile avec les notions de concept cellulaire, de multiplexage de fréquence et de non-interruption de la conversation en mode itinérant [JUN01-1]. Le standard de première génération (1G), en France, se dénommait Radiocom 2000. Il utilisait des bandes de fréquences entre 167 MHz et 275 MHz ainsi qu'une bande entre 415 MHz et 425 MHz. D'autres systèmes comme l'Advanced Mobile Phone Service (AMPS) aux Etats-Unis, le Nippon Telephone and Telegraph (NTT) au Japon ou le Nordic Mobile Telephone (NMT) dans de nombreux pays d'Europe étaient basés sur cette technique de première génération. Ces systèmes reposaient sur une modulation analogique de fréquence (FM : Frequency Modulation) et un mode d'accès de type FDMA (Frequency Division Multiple Access) où une fréquence est allouée à un utilisateur, ce qui limitait considérablement le nombre d'utilisateurs. L'arrivée des technologies numériques a résolu ce problème, permettant ainsi l'essor de ce moyen de communication, et rendant obsolète cette génération.

2.1.1.2. La seconde génération de radiotéléphonie mobile

C'est en 1992 qu'apparaît le standard européen de téléphonie cellulaire de seconde génération dénommé GSM (Groupe Spécial Mobile puis Global System for Mobile communication). Il utilise une transmission de données numériques, avec une modulation de type GMSK (Gaussian Minimum Shift Keying) et un mode d'accès fréquentiel et temporel (TDMA : Time Division Multiple Access) dans lequel plusieurs utilisateurs se partagent la même fréquence à des temps différents. A l'émission, le canal utile, qui occupe la bande de fréquences entre 890 MHz et 915 MHz, est découpé en 124 sous-canaux de 200 kHz de large. A la réception, le même nombre de sous-canaux de même largeur occupe l'espace de fréquence situé entre 935 MHz et 960 MHz. D'autres normes reprennent ces caractéristiques mais à des fréquences supérieures comme la norme Digital Cellular System (DCS) dans la bande de fréquences des 1800 MHz en Europe et la norme Personal Communication Service (PCS 1900) dans la bande de fréquences des 1900 MHz aux Etats-Unis, Canada et Japon (d'où l'appellation bi ou tri-bandes de certains téléphones portables).

Aux Etats-Unis, la seconde génération de téléphonie mobile est apparue avec les normes IS 136 ou Digital Advanced Mobile Phone System (DAMPS) évolution de la norme analogique AMPS, IS 54 également appelée North American Digital Cellular (NADC), et IS 95 encore dénommée CDMA One. Ces normes partagent les mêmes bandes de fréquences entre 824 MHz et 849 MHz à l'émission, et entre 869 MHz et 894 MHz à la réception. Elles diffèrent notamment par leur technique d'accès, le nombre de canaux et l'espacement entre ceux-ci.

Au Japon, la seconde génération a été marquée par l'arrivée de la norme Personal Digital Cellular (PDC). Ses bandes émettrices et réceptrices sont divisées en deux, une partie centrée autour de 800 MHz et une autre autour de 1500 MHz.

Parallèlement à la téléphonie mobile, la téléphonie sans fil a développé sa norme de deuxième génération au début des années quatre-vingt dix avec l'émergence en Europe du DECT (Digital European Cordless Telecommunications qui, suite à son succès mondial, est devenu le Digital Enhanced Cordless Telecommunications) sur la bande comprise entre 1880 MHz et 1900 MHz. Aux Etats-Unis une norme utilisant le protocole et la technologie du DECT a été développée : le WDCT pour Worldwide Digital Cordless Telephone utilisant la bande ISM 2,4 GHz (de 2,402 MHz à 2,48 MHz). Au Japon, c'est la norme Personal Handy Phone System émettant entre 1895 MHz et 1918 MHz qui a été retenue.

La seconde génération était prévue initialement pour le transport de la voix, les transmissions de données bas débit et le transfert de mini-messages également appelés Short Message Service (SMS). Mais l'accroissement du nombre d'utilisateurs ainsi que l'apparition de services multimédias (internet) ont montré les limites de cette génération en termes de débit. Pour pallier les limitations de cette génération une évolution a vu le jour sous le nom de 2,5 G.

2.1.1.3. Evolution de la seconde génération de mobile : la 2,5 G

Cette génération réutilise les installations du réseau GSM et n'a nécessité que des modifications mineures pour être exploitable. En effet, le standard GPRS (General Packet Radio Services) utilise les mêmes bandes de fréquences, la même modulation numérique, le même mode d'accès que le GSM. En revanche, il s'appuie sur deux modes de communication « datagramme » et « circuit virtuel » [BAU02-1] qui lui permettent d'atteindre des débits de données supérieurs à 100 kbit.s^{-1} (au lieu de 9,6 kbit.s^{-1} pour le GSM). L'EDGE (Enhanced Data rates for GSM Evolution) est lui aussi un standard basé les principes du GSM. Mais il utilise une modulation de type 8 PSK qui lui confère un débit proche de celui des mobiles de 3ème génération. C'est pourquoi il est parfois appelé standard 2,75 G.

Ces améliorations ont fait passer cette génération d'un faible à un moyen débit, la rendant compatible pour quelques applications multimédias. L'attrait pour les applications à haut débit (voix, données, images) a incité à de développer la troisième génération de téléphonie mobile.

2.1.1.4. La radiotéléphonie de troisième génération

La troisième génération ne repose pas sur une interface de communication unique et mondiale mais sur plusieurs interfaces, plus ou moins compatibles, regroupées sous le nom IMT 2000. Il regroupe des systèmes comme, en Europe ou au Japon : l'UMTS (Universal Mobile Telephone System) également appelé W-CDMA, aux Etats-Unis : le CDMA 2000, ou encore le TD-SCDMA en Chine. Le standard UMTS s'étend sur une bande de fréquences situées entre 1900 MHz et 2200 MHz, offre un débit maximum de 2 Mbit.s^{-1} et utilise des canaux de 5 MHz de large. Le CDMA 2000 utilise les bandes de fréquences des standards de génération antérieure sur une gamme s'étalant de 500 MHz à 2,5 GHz avec des canaux de largeur 1,25 MHz.

Le tableau 1-1 récapitule les principales normes de radiotéléphonie mobile et sans fil situées au voisinage de la fréquence 2 GHz.

	TELEPHONIE MOBILE			***TELEPHONIE SANS FIL***		
Standard	**DCS 1800**	**PCS 1900**	**UMTS**	**DECT**	**PHS**	**WDCT**
Bandes de Fréquence (MHz)	Rx: 1805-1880 Tx: 1710-1785	Rx: 1930-1990 Tx: 1850-1910	Rx: 2110-2170 Tx: 1920-1980	1880-1900	1895-1918	2402-2480
Largeur d'un canal	200 kHz	200 kHz	5 MHz	10 kHz	300 kHz	variable
Technique d'accès	TDMA/FDMA	TDMA/FDMA	CDMA	TDMA/FDMA	TDMA/FDMA	TDMA/FDMA
Modulation	GMSK	GMSK	QPSK	GFSK	p/4 DQPSK	GFSK

Tableau 1-1 : Récapitulatif des principales normes de radiotéléphonie mobile et sans fil émise proche de 2 GHz.

Parallèlement à l'évolution de la radiotéléphonie mobile, la communication des réseaux locaux sans fil pour le transfert de données s'est considérablement développée avec l'apparition et l'évolution de nombreux standards afin d'augmenter le débit d'informations possible.

2.1.2. Standards pour le transfert de données

2.1.2.1. Les normes IEEE 802.11

La norme américaine IEEE 802.11 est une référence dans le monde des réseaux locaux sans fil. Trois catégories se distinguent particulièrement, la norme 802.11a et les normes 802.11b et g. Ces normes se différencient principalement par leurs bandes de fréquences allouées, mais aussi par leur débit maximum.

Le standard 802.11a, tel qu'il est défini aux Etats-Unis, occupe trois bandes situées entre 5,15 GHz et 5,25 GHz pour la partie basse, 5,25 GHz à 5,35 GHz pour la partie intermédiaire, et entre 5,75 GHz et 5,825 GHz pour la bande haute. En Europe, seules les deux bandes inférieures sont utilisées, alors qu'au Japon, seule la bande inférieure est considérée. Ce standard offre un débit maximum pouvant atteindre 54 $Mbit.s^{-1}$, et ses canaux sont de 20 MHz de large.

Les normes 802.11b et g partagent les mêmes bandes de fréquences qui sont comprises entre 2,41 GHz et 2,462 GHz aux Etats-Unis, entre 2,412 GHz et 2,472 GHz en Europe, et entre 2,471 GHz et 2,497 GHz au Japon. Le débit maximal de la norme 802.11b est de 11 $Mbit.s^{-1}$ alors que celui du standard 802.11g est de 54 $Mbit.s^{-1}$. Tous les deux sont divisés en canaux présentant une largeur d'une vingtaine de mégahertz.

2.1.2.2. Les normes Hiperlan

L'alternative européenne aux normes 802.11 sont les normes Hiperlan (High PERformance Local Arean Network). Le premier standard développé, l'Hiperlan1, s'étend sur la bande de fréquences comprise entre 5,15 GHz et 5,3 GHz. Il est divisé en 5 canaux de 23,5 MHz de large et offre un débit maximal de 23,5 $Mbit.s^{-1}$. Ce standard a évolué en une norme nommée Hiperlan2 dont les bandes de fréquences allouées en Europe sont comprises l'une entre 5,15 GHz et 5,35 GHz, l'autre entre 5,47 GHz et 5,725 GHz. Aux Etats-Unis, les bandes se situent d'une part entre 5,15 GHz et 5, 35 GHz, d'autre part entre 5,725 GHz et 5,825 GHz. Au Japon cette norme se situe entre 5,15 GHz et 5,35 GHz. L'Hiperlan2 offre des débits de 54 $Mbit.s^{-1}$ avec des canaux de 20 MHz de large.

2.1.2.3. La norme Bluetooth

C'est une norme de transmission radioélectrique sans fil à courte distance destinée à simplifier les connexions entre les appareils électroniques. Elle a été conçue dans le but de remplacer les câbles entre les ordinateurs et les imprimantes, les scanners, et autres périphériques. Elle occupe la bande de fréquence comprise entre 2,402 GHz et 2,48 GHz en Europe et aux Etats-Unis. Cette bande est découpée en 79 canaux de 1 MHz de large.

Le tableau 1-2 récapitule les principales caractéristiques de ces normes de transmissions de données.

Standard	**802.11 a**	**802.11 b**	**802.11 g**	**Hiperlan 2**	**Bluetooth**
Bandes de Fréquence (GHz)	5,15-5,25 5,25-5,35 5,725-5,825	2,41-2,426 (USA) 2,412-2,472 (Europe) 2,471-2,497 (Japon)	2,41-2,426 (USA) 2,412-2,472 (Europe) 2,471-2,497 (Japon)	5,15-5,35 et 5,47- 5,725 (Europe) 5,15-5,35 et 5,725-5,825 (USA) 5,15-5,35 (Japon)	2,402-2,480 (USA & Europe) 2,473-2,495 (Japan)
Largeur d'un canal (MHz)	20	FHSS : 1 DSSS : 25	20	20	1
Technique d'accès	CSMA/CA	CSMA/CA	CSMA/CA	TDMA	Frequency hoping
Modulation	OFDM : QPSK, BQPSK, QAM, 16QAM, 64QAM	FHSS : GFSK DSSS : DBPSK, DQPSK	OFDM : QPSK, BQPSK, QAM, 16QAM, 64QAM	OFDM : QPSK, BQPSK, QAM, 16QAM, 64QAM	Shaped Binary FM

Tableau 1-2 : Récapitulatif des normes de transmissions numériques de données.

De nombreux et différents standards de radiocommunication peuplent la bande de fréquences situées entre 2 et 6 GHz. Ils diffèrent par leur débit binaire étroitement lié à la largeur des canaux, la technique d'accès, le type de modulation et la gamme de fréquences allouée. Cette dernière est souvent différente d'un pays à l'autre.

La course à l'intégration totale des systèmes, commencée avec la seconde génération de mobiles, oblige les nouveaux dispositifs radiofréquences à proposer le maximum de fonctionnalités au sein d'une même puce. Or, chaque standard impose des contraintes différentes sur le frontal radiofréquence en termes de linéarité, de bande de fréquences, de gain ou de bruit. L'architecture du frontal radiofréquence doit donc évoluer afin de permettre une compatibilité de ce dernier avec tous les standards.

2.2. …à la reconfigurabilité des frontaux radiofréquences.

2.2.1. La Radio Logicielle ou SoftWare Radio (SWR)

Des frontaux radiofréquences multibandes, multistandards ont déjà été réalisés [ADI02-1], [MAG02-1] et [KLE03-1]. Leur principe de fonctionnement réside sur l'empilement de récepteurs qui n'est pas compatible avec les contraintes de coût liées à la consommation, d'une part de silicium, d'autre part d'énergie dans une optique de portabilité. La solution idéale répondant aux exigences d'intégration et de compatibilité avec les standards de communication se dénomme Radio Logicielle ou encore SoftWare Radio (SWR). Cette technique permettrait de développer un système radio universel multiservice, multistandard, multibande, reconfigurable et reprogrammable pour tenir compte de l'évolution des normes et des applications visées par la reconfiguration des terminaux par logiciel [LOU03-1]. L'architecture de ce système est présentée au schéma 1-1.

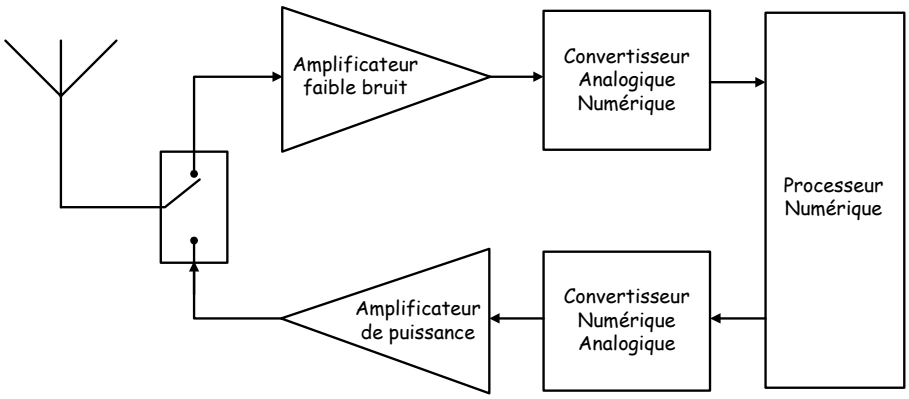


Figure 1-1 : Architecture du système Radio Logicielle.

Idéalement, elle consisterait à échantillonner l'information au plus près possible de l'antenne, c'est-à-dire à placer au plus proche de celle-ci les convertisseurs analogique-numérique pour la partie réceptrice, et numérique-analogique pour la partie émettrice. Cela permettrait de réaliser en numérique ce qui auparavant l'était en analogique afin que le système soit le plus reprogrammable possible. Actuellement, une telle architecture n'est pas envisageable. En effet, elle nécessiterait l'usage de convertisseurs dont la vitesse d'échantillonnage serait supérieure à 2 giga-échantillons par seconde et une résolution supérieure à 16 bits ce qui n'est pas encore technologiquement réalisable [BAR04-1].

Ces limitations ont contraint au développement d'une architecture intermédiaire entre le SWR et les architectures actuelles, qui conserve la notion de reconfigurabilité des terminaux : la Radio Logicielle Restreinte ou Software Defined Radio (SDR).

2.2.2. Frontal radiofréquence reconfigurable

Le schéma conceptuel de l'architecture d'une chaîne d'émission-réception radiofréquence reconfigurable [CRA03-1] est décrit à la figure 1-2. Cette architecture s'appuie sur l'architecture à conversion directe (mais est aussi envisageable pour l'architecture à faible fréquence intermédiaire) en raison de ses avantages en termes d'intégration (notamment au niveau des filtres) et de consommation réduite en comparaison avec l'architecture de type hétérodyne.

Le principe de cette architecture, destinée à la rendre compatible avec tous les standards, repose sur l'adaptation des performances de chaque élément de la chaîne en fonction de l'application visée. Cela revient à rendre reconfigurable chaque élément de l'architecture. Par exemple, l'amplificateur de puissance doit être capable de changer de classe [DEL05-1] et l'amplificateur à faible bruit de changer la valeur de son gain ou de son niveau de bruit [MOR05-1].

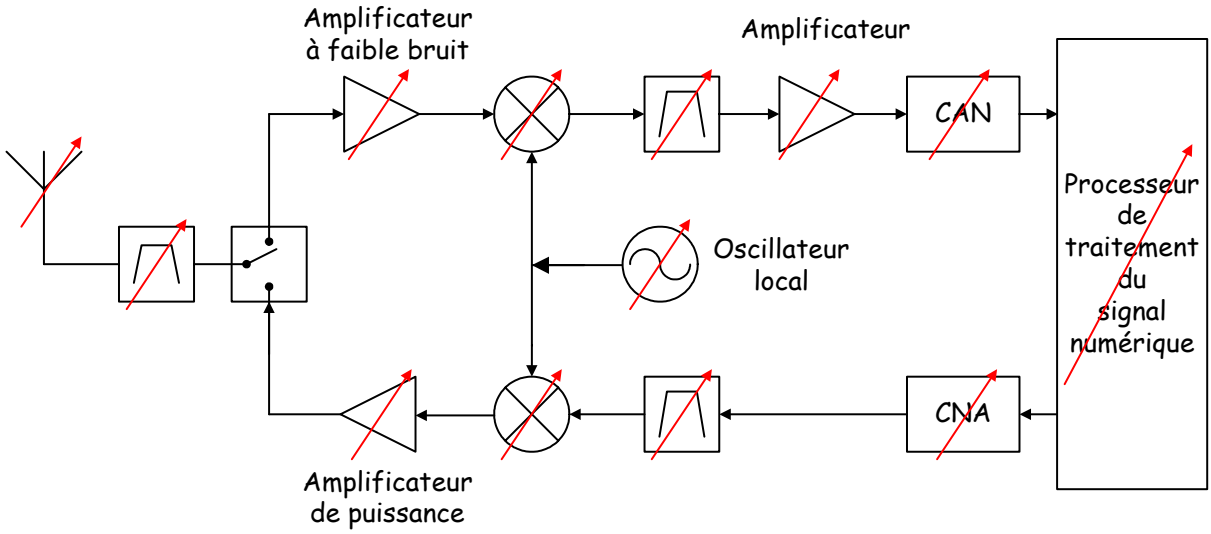


Figure 1-2 : Architecture d'un frontal radiofréquence reconfigurable.

En ce qui concerne l'oscillateur local, il doit pouvoir synthétiser toutes les porteuses des normes visées. Sa fréquence de sortie devra donc couvrir une bande de fréquences de 4 GHz de large si l'on se restreint aux standards de la gamme 2-6 GHz. D'autre part, il doit pouvoir commuter rapidement d'un canal à l'autre pour un même standard, mais également, d'un standard à l'autre, dans une configuration multistandard. Enfin, comme pour les topologies « mono-standard », il devra présenter un bruit de phase le plus faible possible, avoir de préférence une faible consommation et être totalement intégrable.

3. APPLICATION AUX SYNTHETISEURS DE FREQUENCE

Les oscillateurs locaux sont un des éléments-clés d'un frontal radiofréquence. En effet, ils fournissent le signal nécessaire à la transposition en haute ou basse fréquence, suivant que le système, respectivement, émet ou reçoit une information. La fréquence de fonctionnement élevée et le faible coefficient de qualité des passifs intégrés contribuent fortement à la consommation et rendent l'intégration totale d'un frontal radiofréquence difficile. Les nouvelles contraintes mises en jeu par la reconfigurabilité nécessaire aux architectures de type SDR vont faire évoluer les architectures classiques des oscillateurs locaux.

3.1. Généralités sur les performances d'un synthétiseur de fréquence

Avant d'étudier les architectures classiques d'oscillateurs locaux ainsi que leurs aptitudes ou non à la synthèse multistandard, et afin de pouvoir les comparer, une présentation des critères qui définissent leur performance est nécessaire. Les trois principaux critères sont sa pureté spectrale, son bruit de phase et son temps de commutation [BAU02-2].

3.1.1. Le temps de commutation

Le temps de commutation (également appelé temps d'acquisition ou temps d'établissement) est le temps nécessaire à l'oscillateur pour passer d'une fréquence à une autre. C'est un critère très important pour les standards qui, comme le GSM, pratiquent un « Handover », c'est-à-dire un changement de fréquence lors du passage d'une cellule à une autre.

3.1.2. La pureté spectrale

La pureté spectrale d'un synthétiseur de fréquence se définit comme la prépondérance de la raie fondamentale sur les raies latérales non-harmoniques (Spurious ou Spurs en Anglais). Ces raies latérales parasites sont le fruit de mélanges de signaux au sein du synthétiseur.

Ce critère est important notamment en réception pour éviter de retrouver un signal parasite dans la bande utile suite à un mélange de la raie latérale avec un brouilleur [COR04-1]. Cela est illustré à la figure 1-3, dans le cas où on a F_B-F_n = F_{OL}-F_{RF} = F_I.

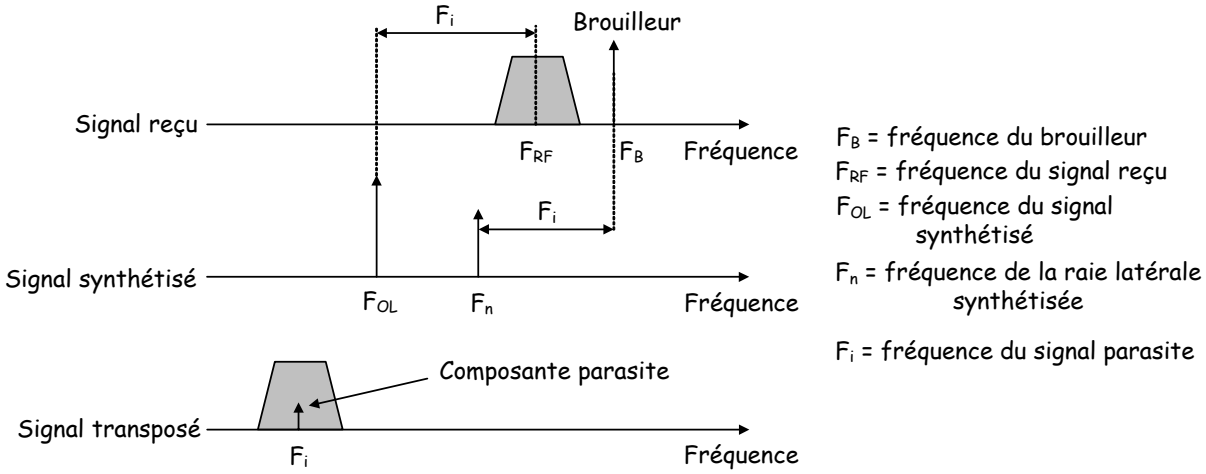


Figure 1-3 : Effet d'une mauvaise pureté spectrale du signal synthétisé

3.1.3. Le bruit de phase

La variation aléatoire de la phase du signal de sortie d'un oscillateur est appelé bruit de phase. Cette variation aléatoire est due à la transposition en haute fréquence du bruit en basse fréquence associé aux transistors et autres éléments qui constituent l'oscillateur.

Dans le domaine fréquentiel, la représentation d'un signal non bruité issu d'un oscillateur sinusoïdal est une impulsion de Dirac. L'influence du bruit de phase sur le spectre de ce signal se traduit par un étalement du spectre autour de cette raie, comme représenté à la figure 1-4.

On calcule le bruit de phase, dans le domaine fréquentiel, par le rapport de la densité spectrale de puissance du signal de sortie dans une bande de largeur normalisée à 1 Hz et centrée sur la fréquence f_0+f_m, à la puissance du signal de sortie à la fréquence f_0. Le bruit de phase, noté L(fm), s'exprime en dBc/Hz et s'écrit :

$$\left|L\left(f_m\right)\right|_{dBc/Hz} = 10\log\ \frac{P_{(f_0+f_m,1Hz)}}{P_{f_0}} \qquad \textbf{1-1}$$

Cette définition est illustrée à la figure 1-4.

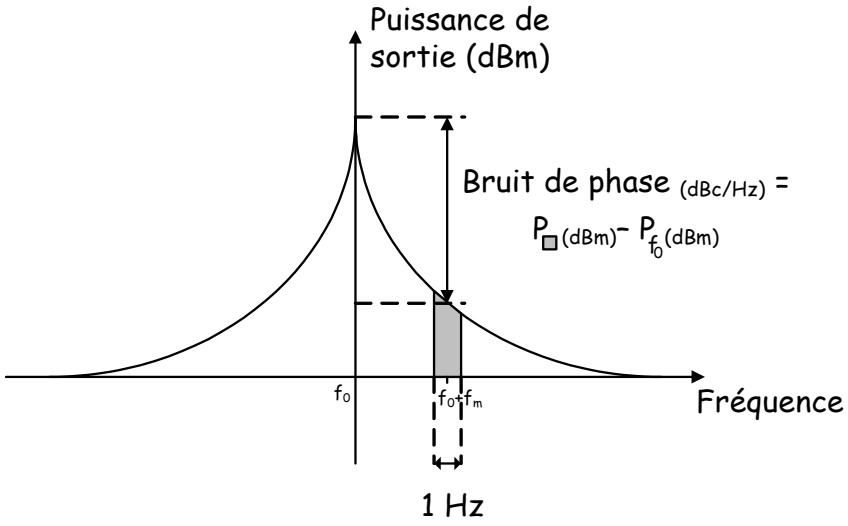


Figure 1-4 : Bruit de phase d'un oscillateur.

Le bruit de phase est un critère primordial à prendre en compte pour la réalisation d'un synthétiseur de fréquence. L'oscillateur local est utilisé pour la transposition en fréquence haute à l'émission, et basse à la réception. De mauvaises performances en bruit de phase du synthétiseur de fréquence vont détériorer les performances du système, que ce dernier soit utilisé pour émettre ou recevoir une information, comme illustré à la figure 1-5.

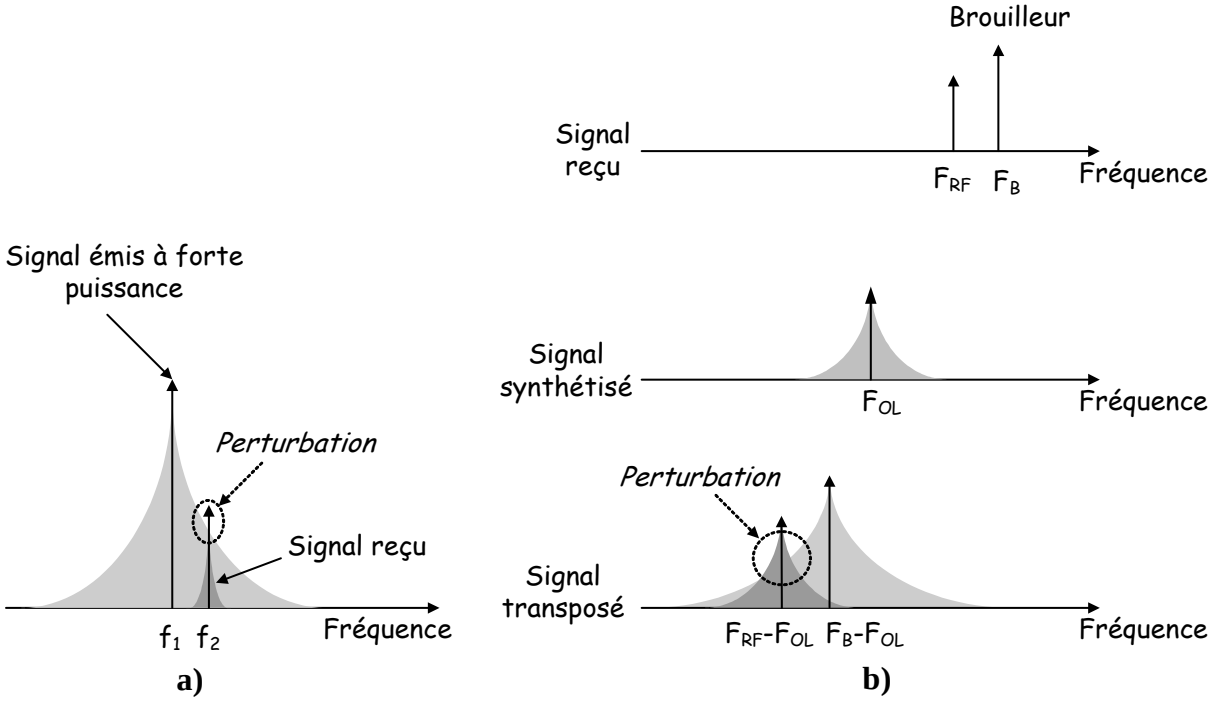


Figure 1-5 : Effet du bruit de phase : a) si le signal émis a un mauvais bruit de phase ; b) si le signal reçu est mélangé à un signal de mauvais bruit de phase.

A l'émission, si le signal transmis est proche d'un canal de réception, alors il va venir perturber ce dernier. En effet, le signal émis étant de forte puissance, s'il présente un mauvais bruit de phase, il va alors recouvrir en partie le signal reçu de faible intensité comme illustré à la figure 1-5 a), où f_1 est la fréquence du signal transmis et f_2 celle du signal reçu.

A la réception, de mauvaises performances en bruit de phase vont détériorer l'information par mélange du signal synthétisé avec un signal de fréquence proche du signal transmis comme illustré à la figure 1-5 b). Dans ce cas, le signal synthétisé de fréquence F_{OL} se mélange avec un signal de forte puissance (un bloqueur dans cet exemple) et vient perturber le signal de fréquence F_{RF}-F_{OL} issu du mélange.

Enfin, le bruit de phase perturbe l'information contenue dans la phase des porteuses, ce qui influe fortement sur les performances des modulations quadratiques de phase en induisant une incertitude sur la décision lors de la démodulation [COR04-1].

Dans le domaine temporel, la fluctuation aléatoire de la période est dénommée gigue temporelle (jitter). La figure 1-6 représente la gigue temporelle d'un signal carré, la période variant d'un cycle à l'autre d'une valeur Δt.

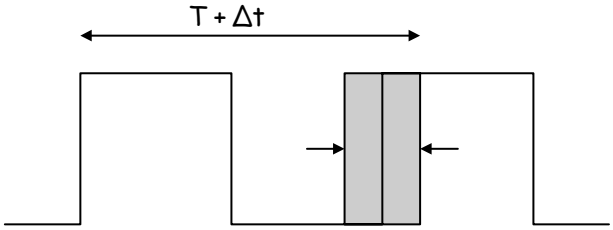


Figure 1-6 : Illustration de la gigue temporelle cycle à cycle.

3.2. Synthèse de fréquence à base de boucle à verrouillage de phase

3.2.1. Présentation et principe de fonctionnement

Classiquement, les synthétiseurs de fréquence sont construits autour d'une boucle à verrouillage de phase (PLL - Phase Locked Loop). Celle-ci est composée d'un comparateur de phase et de fréquence, d'une pompe de charge, d'un filtre de boucle, d'un oscillateur contrôlé en tension et d'un diviseur de fréquence. Le schéma bloc d'un synthétiseur de fréquence à base de PLL [BES84-1] est donné à la figure 1-7.

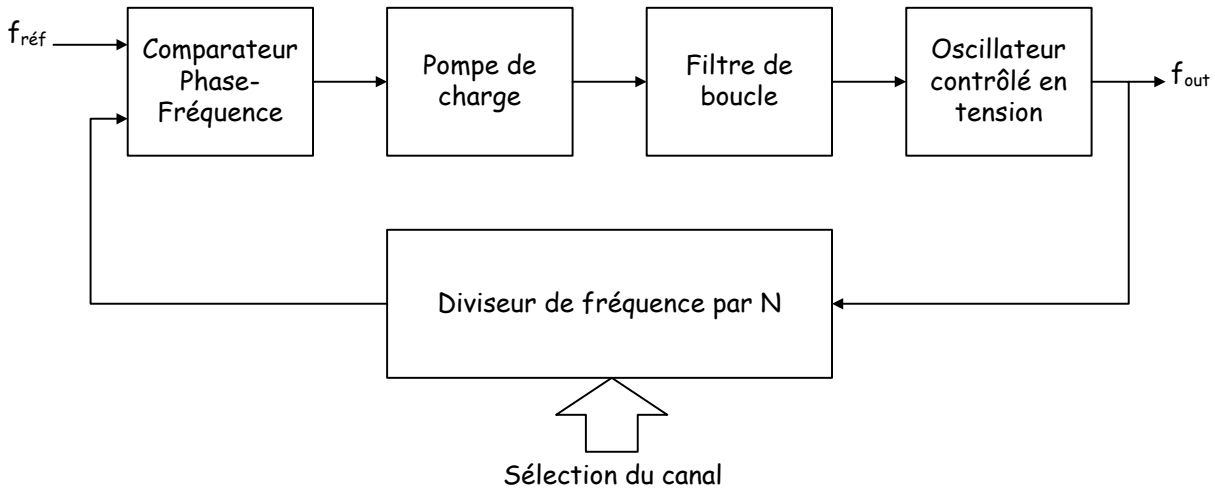


Figure 1-7 : Synthétiseur de fréquence à base de boucle à verrouillage de phase.

Une boucle à verrouillage de phase est un système qui asservit la phase d'un signal (la sortie du diviseur de fréquence à la figure 1-7) à la phase d'un signal de référence. Le signal d'entrée (de fréquence $f_{réf}$) ainsi que le signal de sortie du diviseur de fréquence (de fréquence f_{out}/N) sont appliqués à l'entrée du comparateur de phase et de fréquence. Ce dernier génère un signal proportionnel à l'erreur de phase entre ces deux entrées qui va être converti en une tension de contrôle pour l'oscillateur grâce à la pompe de charge et au filtre de boucle. La contre-réaction permet d'annuler cette erreur de phase. La boucle est dite verrouillée et la fréquence de sortie du diviseur est égale à N fois la fréquence du signal de référence.

Quand le signal d'entrée est fourni par un oscillateur à quartz alors la PLL fournit un signal de sortie de fréquence quasiment aussi précise et N fois supérieure. Si le diviseur de fréquence est programmable, alors on peut faire varier la fréquence de sortie du synthétiseur de fréquence avec un pas de synthèse égal à la fréquence du signal d'entrée.

3.2.2. Performances d'un synthétiseur à base de PLL

3.2.2.1. Le bruit de phase d'une boucle à verrouillage de phase

- Etude du bruit de phase dans le domaine fréquentiel :

Le bruit de phase de la boucle à verrouillage de phase pour une application de synthèse de fréquence provient principalement de l'oscillateur contrôlé en tension. La fréquence de sortie d'un oscillateur contrôlé en tension non bruité répond à la formule suivante :

$$f_{out} = K_{OCT} \times V_{in} \qquad \textbf{1-2}$$

où f_{out} est la fréquence du signal de sortie, V_{in} est la tension de contrôle et K_{OCT} la sensibilité de l'oscillateur contrôlé en tension.

Sous l'effet du bruit cette expression devient :

$$f_{out} = K_{OCT} \times V_{in} + \Delta f \qquad \textbf{1-3}$$

Δf traduit cet effet du bruit sur le spectre du signal de sortie.

Or la phase d'un signal se comporte comme l'intégrale de la fréquence. Ainsi on a l'équivalence [MON05-1] :

$$\underbrace{\Delta\varphi_{OCT}(t) = 2\pi\int_0^t \Delta f(u)du}_{\text{domaine temporel}} \Leftrightarrow \underbrace{S_{\Delta\varphi_{OCT}}(f)_{V^2_{rms}/Hz} = \frac{S_{\Delta f}(f)_{V^2_{rms}/Hz}}{\left|j2\pi f\right|^2}}_{\text{domaine fréquentiel}} \qquad \textbf{1-4}$$

où $S_{\Delta\varphi_{OCT}}(f)_{V^2_{rms}/Hz}$ est la densité spectrale de puissance de la phase de l'oscillateur exprimée en V^2_{rms}/Hz et $S_{\Delta f}(f)_{V^2_{rms}/Hz}$ la densité spectrale de puissance de la variation de fréquence due au bruit.

Ainsi, si le bruit est un bruit blanc (donc de densité spectrale constante) alors $S_{\Delta\varphi_{OCT}}(f)_{V^2_{rms}/Hz}$ sera proportionnelle à $1/f^2$. Si le bruit est un bruit de flicker (de densité spectrale en proportionnelle à 1/f) alors $S_{\Delta\varphi_{OCT}}(f)_{V^2_{rms}/Hz}$ sera proportionnelle à $1/f^3$.

Le bruit de phase d'un oscillateur oscillant librement a donc le profil, dans le domaine fréquentiel, du bruit de phase décrit à la figure 1-8 [LEE98-1], dans laquelle trois zones distinctes sont mises en évidence :

- **Zone I** : Le tracé logarithmique est une droite de pente -30 dB par décade due à la conversion du bruit basse fréquence (bruit en 1/f) des composants du circuit. Le bruit de phase de l'oscillateur se comporte en $1/f^3$.
- **Zone II** : Le bruit de phase se comporte en $1/f^2$, et le tracé logarithmique a une pente de -20 dB par décade. Il correspond à la conversion du bruit lorentzien ou bruit blanc de fréquence. Il est également appelé bruit de proximité.
- **Zone III** : Le bruit de phase est constant et est dénommé bruit de plancher.

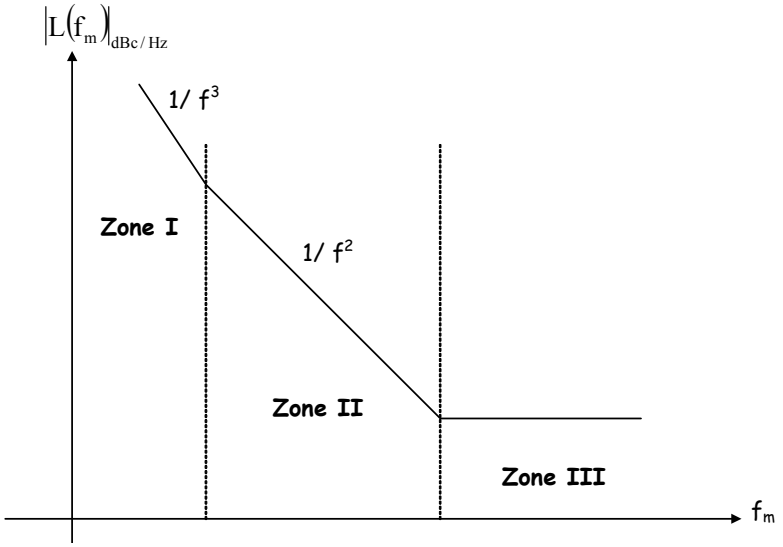


Figure 1-8 : Bruit de phase d'un oscillateur libre.

Lorsque l'oscillateur contrôlé en tension est asservi par une boucle à verrouillage de phase, son bruit de phase suit celui du signal de référence, multiplié par le facteur de division de fréquence N, mais uniquement dans la bande passante de la PLL. Dans ces conditions, le bruit de phase de l'oscillateur asservi a la forme décrite au schéma 1-9.

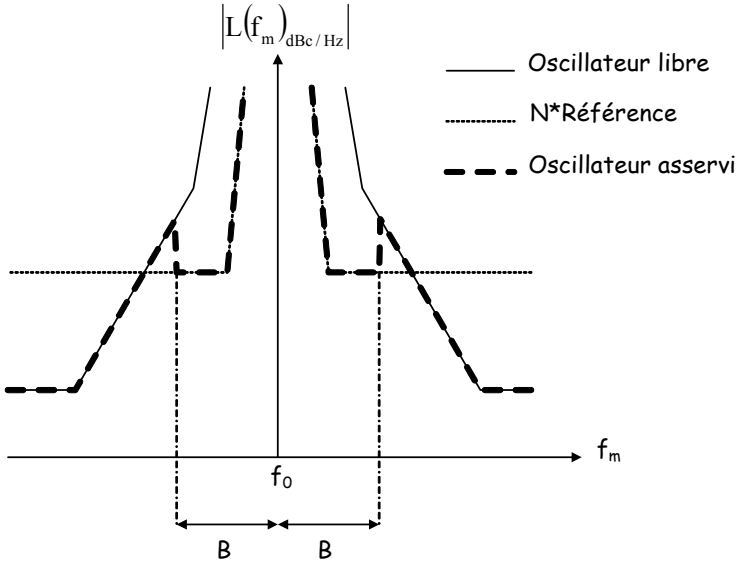


Figure 1-9 : Bruit de phase de l'oscillateur asservi.

Dans la bande passante de la PLL, il suit le bruit de phase de la référence multiplié par N. Hors de celle-ci, il suit le bruit de phase de l'oscillateur libre. Le bruit de phase du signal de référence présente un bruit de plancher élevé et une fréquence de coin faible car il est issu d'un oscillateur à quartz qui possède un fort coefficient de qualité.

- Etude du bruit de phase dans le domaine temporel

La manifestation temporelle du bruit de phase est la gigue temporelle. La gigue temporelle est la variation aléatoire des instants de commutation du signal de sortie de l'oscillateur (cf. figure 1-6). La gigue temporelle se définit de plusieurs façons suivant que l'on étudie son effet à court terme, c'est-à-dire d'une période du signal sur la suivante (gigue cycle-à-cycle), ou son effet à long terme si l'on considère la variation à l'instant de transition de la $n^{ième}$ période par rapport au signal non bruité (gigue cyclique). Pour une PLL, c'est cette dernière gigue qui est d'importance car la fin d'une oscillation marquant le début d'une autre, une perturbation sur la phase d'une période d'un signal change le point de départ du signal suivant, causant une accumulation de la gigue d'un cycle à l'autre.

Ce phénomène cumulatif est représenté à la figure 1-10 [WEI91-1], où la courbe supérieure montre en fonction du temps l'accumulation de la gigue sur le signal bruité d'un oscillateur contrôlé en tension non asservi. La courbe inférieure présente la dispersion de cette gigue à long terme (sa variance totale) en fonction du temps. La variance totale augmente linéairement avec le temps d'un coefficient proportionnel à la variance de la gigue cycle-à-cycle. Cette croissance est infinie, mais en pratique elle est limitée par la largeur de bande d'observation. La variance de la gigue peut être déduite du bruit de phase fréquentiel par la formule suivante :

$$\sigma_{tot}^2(t) = \int_{1/t}^{\infty} S_{\Delta\varphi_{OCT}}(f)df \qquad \textbf{1-5}$$

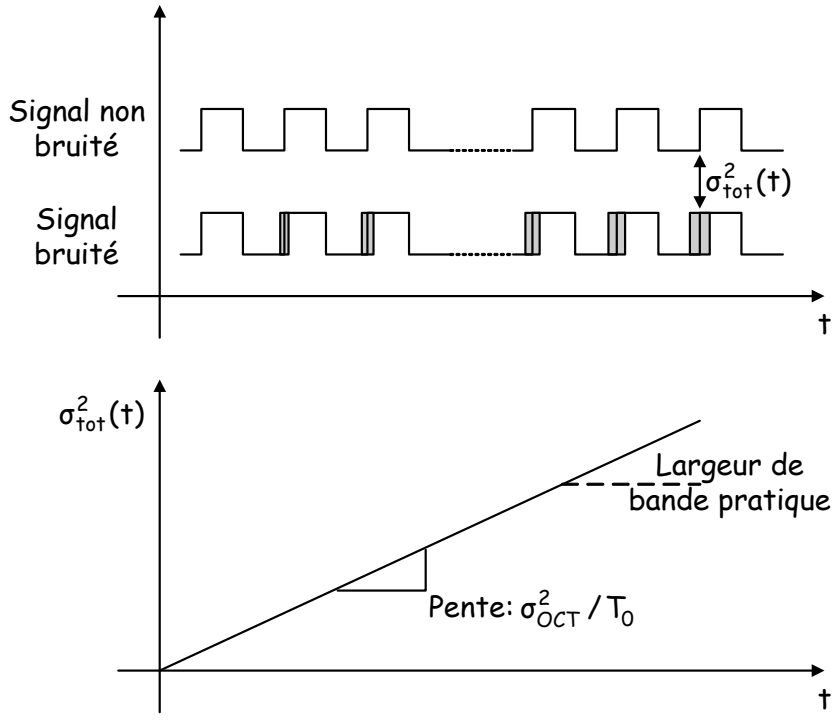


Figure 1-10 : Variance de la gigue en fonction du temps pour un oscillateur libre.

Lorsque l'oscillateur contrôlé en tension est asservi par une boucle à verrouillage de phase, son bruit de phase dans le domaine temporel suit l'évolution de la courbe 1-11.

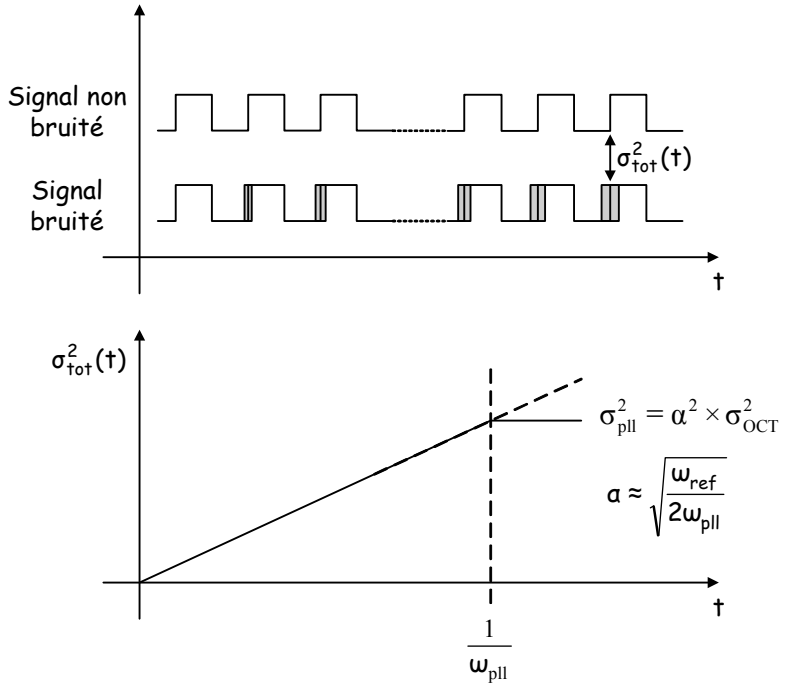


Figure 1-11 : Variance de la gigue en fonction du temps pour un oscillateur asservi par une PLL.

La variance de la gigue à long terme s'accumule d'un cycle à l'autre, la courbe correspondante (courbe inférieure) augmentant linéairement. Cette croissance atteint une valeur d'équilibre (σ^2_{PLL}) pour un temps qui correspond à l'inverse de la bande passante (ω_{PLL}). En effet, à partir de cet instant, le bruit de phase de l'oscillateur contrôlé est rejeté par l'effet de la boucle qui agit comme un filtre passe haut, dont la fréquence de coupure est égale à la bande passante, sur ce bruit. La valeur atteinte par la variance de la gigue long terme de la PLL est proportionnelle à la gigue cycle-à-cycle (σ^2_{OCT}) de l'oscillateur pondérée par un facteur multiplicatif α^2 qui est inversement proportionnel à la bande passante de la boucle [KIM94-1]. Ainsi plus cette bande passante sera grande, moins la gigue s'accumulera et plus petite sera la valeur finale de celle-ci, ce qui est en accord avec l'étude fréquentielle où le bruit de phase dans la bande passante du système suit celui (faible) de la référence.

3.2.2.2. Raies parasites et temps d'établissement

- Raies parasites :

Les raies parasites que l'on observe classiquement sur le spectre de sortie de PLL sont dues à une modulation de la fréquence de l'oscillateur contrôlé en tension par la fréquence de référence. La responsabilité de ce phénomène incombe au comparateur de phase et de fréquence [RAZ98-1]. En effet, même lorsque le système est verrouillé, le comparateur injecte des charges dans le filtre car les deux interrupteurs de charge et de décharge ainsi que les signaux qui leurs sont appliqués ne peuvent pas être rigoureusement identiques. Une légère variation de la tension de contrôle de l'oscillateur s'ensuit entraînant une modulation de la fréquence de sortie de la PLL à la fréquence de fonctionnement du comparateur, c'est-à-dire à la fréquence de référence. L'intensité de ces raies dépend donc du courant de fuite du comparateur et de la pente de la fonction de transfert tension-fréquence de l'oscillateur.

- Temps d'établissement :

Le temps d'établissement de la boucle à verrouillage de phase est inversement proportionnel à la bande passante de celle-ci [VAU97-1]. La bande passante est un critère très important qui définit les performances de la PLL en termes de bruit de phase et de temps d'établissement. Or la valeur maximale de la bande passante est limitée par la fréquence de référence. En effet, pour pouvoir conclure sur la stabilité de la boucle, une étude linéaire est réalisée. Or la boucle à verrouillage de phase (telle qu'elle est définie précédemment) n'est pas un système linéaire à cause des non-linéarités du comparateur de phase et de fréquence. Un modèle pseudo-linéaire peut lui être appliqué à condition que sa bande passante soit bien inférieure à sa fréquence de référence (en pratique dix fois inférieure) [CRA94-1]. D'autre part, la fréquence de référence fixe le pas de synthèse du système et donc doit être égale à la largeur des canaux qui sont souvent très fins.

De nombreux travaux ont été réalisés afin d'augmenter cette bande passante soit en relâchant les contraintes sur la fréquence de référence (c'est le cas de la PLL avec division de la fréquence de sortie [VAU97-1], où le synthétiseur double boucle [BAD00-1]) soit en relâchant celles sur la valeur du facteur de division (c'est le cas de la PLL fractionnaire [RAZ98-1]).

3.2.3. Limitation actuelle de la boucle à verrouillage de phase pour la synthèse de fréquence multistandard entre 2 et 6 GHz.

Actuellement, il existe de nombreux synthétiseurs de fréquence utilisés pour la génération des signaux des standards compris entre 2 et 6 GHz [ALI96-1], [WU03-1], [DEH04-1], mais aucun ne synthétise tous les standards. L'idée d'utiliser une boucle à verrouillage de phase fonctionnant à la fréquence la plus élevée de ces standards, et d'utiliser un diviseur de fréquence en sortie pour chaque standard n'est pas compatible avec les principes d'intégration à faible coût et faible consommation.

Pour répondre à ces exigences d'intégration, la PLL devrait être réalisée avec un oscillateur contrôlable en tension dont la plage de variation de la fréquence en sortie soit égale à 4 GHz. Les oscillateurs radiofréquences objets de publication présentent des variations de fréquence de sortie maximales de 2 GHz [FAR04-1], [FON03-1]. Ce sont des oscillateurs de type LC à faible bruit de phase car bien que les oscillateurs en anneaux offrent de plus grandes variations de fréquence [MIY04-1], leur bruit de phase ne respecte le cahier des charges de nombreuses normes qu'au prix d'une trop grande consommation de puissance. Mais l'utilisation d'un oscillateur contrôlé en tension dont la sensibilité est très élevée dégrade les performances de la boucle à verrouillage de phase. En effet, les raies parasites sont dépendantes de la sensibilité de celui-ci (cf. 3.2.2.2) ainsi que le bruit de phase [LEE98-1]. L'oscillateur contrôlé en tension devra donc de préférence avoir une sensibilité faible, mais qui devra être translatable sur toute la bande de fréquences visées, ce qui rend donc complexe sa réalisation.

D'autre part, la valeur du facteur de division entre le standard de fréquence situé au début de la gamme 2-6 GHz (le DCS) est 3,4 fois supérieure à celle de la norme située à l'autre extrême (le 802.11a bande haute). Traditionnellement, les PLLs sont des systèmes d'ordre 3 et plus. L'étude de leur stabilité fait apparaître un coefficient dit d'amortissement auquel correspond une oscillation de la valeur de la fréquence de sortie autour de sa valeur finale en réponse à une perturbation en entrée. Plus ce coefficient est élevé, plus la réponse est amortie et plus lente est la boucle pour atteindre sa valeur finale. Or le coefficient

d'amortissement de la boucle est proportionnel à la racine carrée du facteur de division. On a donc la relation [BES84-2] :

$$\frac{\zeta_{max}}{\zeta_{min}} = \sqrt{\frac{N_{max}}{N_{min}}} \qquad \textbf{1-6}$$

où ξ_{max} et ξ_{min} représentent le coefficient d'amortissement respectivement maximal et minimal, et N_{max} et N_{min}, le coefficient de multiplication de la boucle respectivement maximal et minimal, nécessaire pour synthétiser les standards de la bande 2-6 GHz.

Dans ces conditions, le coefficient d'amortissement varie d'un facteur 1,8 entre les deux standards extrêmes, forçant celui du standard le plus bas en fréquence d'être inférieur à 0,54 afin que celui du standard le plus haut soit inférieur à 1. En effet, pour optimiser la boucle en termes de vitesse, ce coefficient doit être compris entre 0,5 et 1 [BES84-2]. La valeur optimum de 0,707 pourra seulement être garantie pour tous ces standards si les valeurs de coupure du filtre, dont le coefficient d'amortissement est fonction, varient avec les standards, ce qui rend plus complexe la réalisation de la PLL.

La boucle à verrouillage de phase n'est pas actuellement utilisable pour générer tous les standards de radiocommunications. Les oscillateurs contrôlés en tension ont une plage de fréquence de sortie trop faible et les performances du synthétiseur de fréquence à base de PLL ne seront pas optimisées si un oscillateur très large bande est inséré sans modification de l'architecture dans la boucle (notamment l'adaptation des valeurs de coupure du filtre avec les standards).

Lors de la dernière décennie, un autre système a été développé pour réaliser la synthèse de fréquence pour des applications radiofréquences, en remplaçant l'oscillateur contrôlable en tension par une ligne à retard : la boucle à verrouillage de délai.

3.3. Synthèse de fréquence à base de boucle à verrouillage de délai

3.3.1. Boucle à verrouillage de délai pour la synthèse de fréquence

3.3.1.1. Présentation et principe de fonctionnement

La boucle à verrouillage de délai est traditionnellement utilisée comme générateur d'horloge pour les circuits numériques [LEE94-1] [MOO00-1] [HWA00-1]. Toutefois elle a démontré ses capacités pour des applications de synthèse de fréquence dédiées aux systèmes radiofréquences [SPA01-1], [CHI00-1]. Elle a l'avantage d'être totalement intégrable puisqu'il s'agit un système du premier ordre dont le filtre, qui se réduit à une capacité est entièrement intégrable. Elle est réalisable en technologie CMOS pure, et présente de bonnes performances en bruit au voisinage de la porteuse comme nous allons l'étudier.

Une boucle à verrouillage de délai (DLL - Delay Locked Loop) est un système qui asservit la phase de sortie d'une ligne à retard contrôlable en tension avec celle de son entrée retardée d'une période. Le schéma bloc du système est donné à la figure 1-12 :

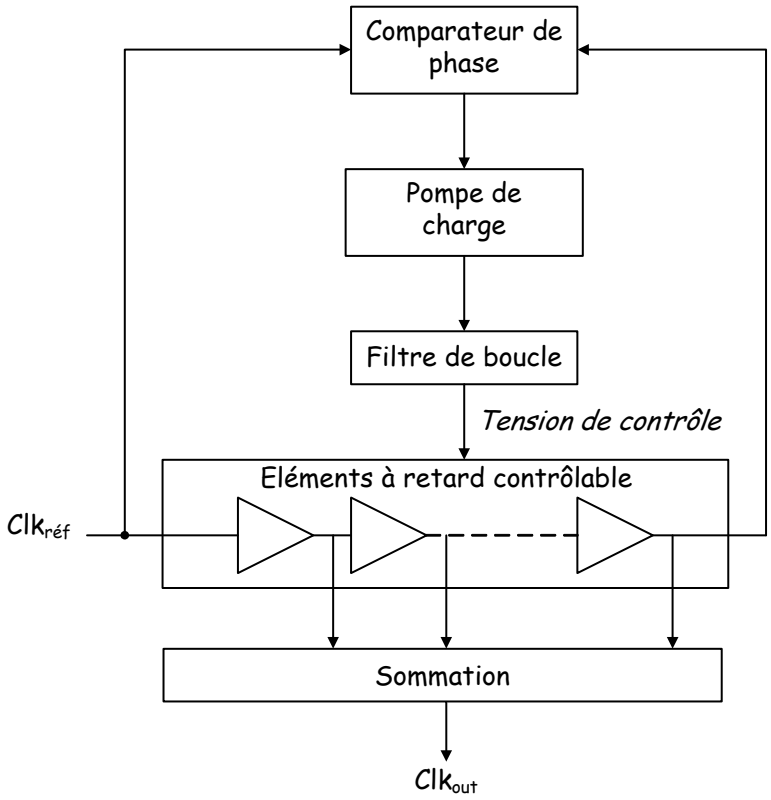


Figure 1-12 : Schéma bloc de la boucle à verrouillage de délai.

La DLL comprend, comme la PLL, un comparateur de phase, une pompe de charge et un filtre de boucle. Mais, au lieu d'un oscillateur contrôlé en tension, elle comporte une ligne d'éléments à retard contrôlable en tension. D'autre part, un bloc de sommation réalise la multiplication de fréquence.

Le signal de référence, ainsi que lui-même retardé par la ligne à retard, sont portés en entrée du comparateur de phase. La différence de phase entre ces deux signaux est convertie par l'action de la pompe de charge et du filtre en une tension de contrôle pour les opérateurs à retard contrôlable. Le système est dit « verrouillé » quand le retard de la ligne est égal à une période du signal de référence.

L'utilisation d'une ligne à retard en lieu et place d'un oscillateur confère à la DLL une particularité très avantageuse : la non-accumulation de la gigue temporelle d'un cycle à l'autre [CHI00-2]. Dans le cas d'un oscillateur, la gigue temporelle s'entretient d'une période sur l'autre. En effet, la fin d'une oscillation marquant le début d'une autre, une perturbation sur la phase d'une période d'un signal change le point de départ du signal suivant, causant une accumulation d'un cycle sur l'autre de la gigue. En revanche, dans une DLL, l'horloge de référence démarre chaque cycle. De ce fait, la gigue temporelle ne peut s'accumuler le long de la chaîne d'éléments que sur une période de la référence. Ce phénomène est illustré à la figure 1-13, où sont représentées les sorties d'un oscillateur en anneau et celle sommée d'une chaîne d'opérateurs contrôlables en tension. La gigue temporelle s'accumule sur chaque cycle d'oscillation dans le premier cas alors qu'elle est remise à zéro dans le second.

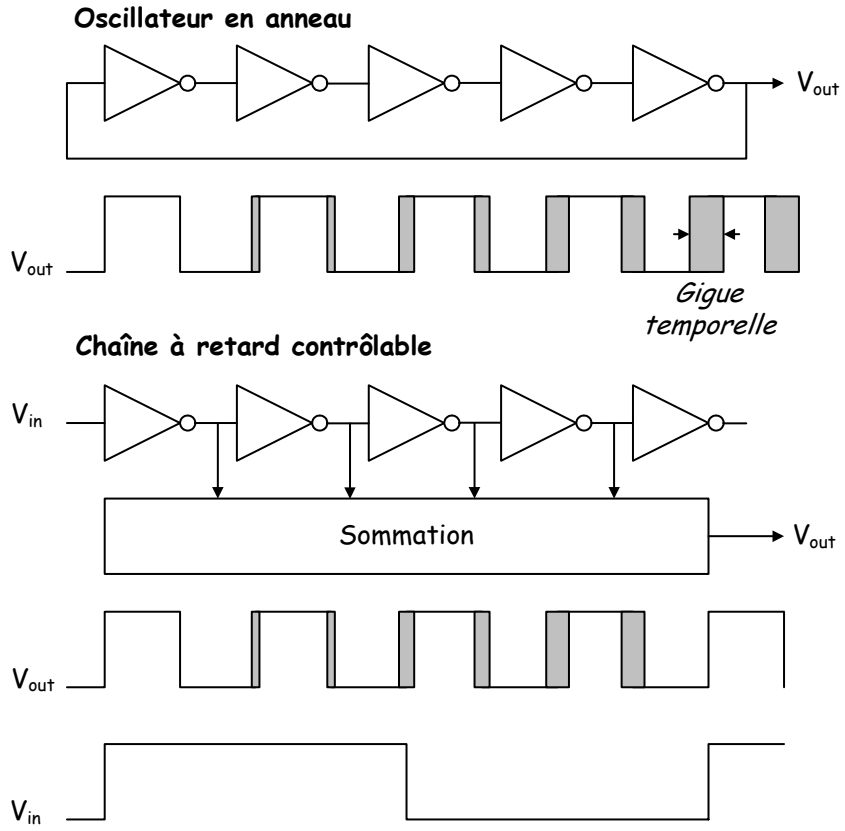


Figure 1-13 : Illustration de la non-accumulation de la gigue temporelle.

La boucle à verrouillage de délai peut être utilisée comme synthétiseur de fréquence si on combine par une sommation signée les signaux de sortie de chaque opérateur, suivant la méthodologie dite DOD (Delay Oriented Design).

3.3.1.2. Application à la réalisation d'oscillateurs locaux polyphasés : la méthodologie DOD

La méthodologie DOD est une méthodologie de conception originale basée sur l'utilisation des défauts des portes logiques élémentaires : leur temps de propagation [SPA01-1]. En effet, si on applique en entrée d'une chaîne constituée par N opérateurs logiques en série, un signal de référence de période $T_{réf}$ alors on dispose en sortie de N signaux (chaque sortie de chaque opérateur) de période $T_{réf}$ retardés de $n\times\theta$ (n=1 à N, avec θ : le temps de propagation de chaque cellule). En réalisant une sommation signée, on peut construire un signal en marche d'escalier, comme illustré à la figure 1-14, la sommation des fronts montants des signaux de la chaîne créant l'alternance positive, et celle des fronts descendants l'alternance négative du signal de sortie.

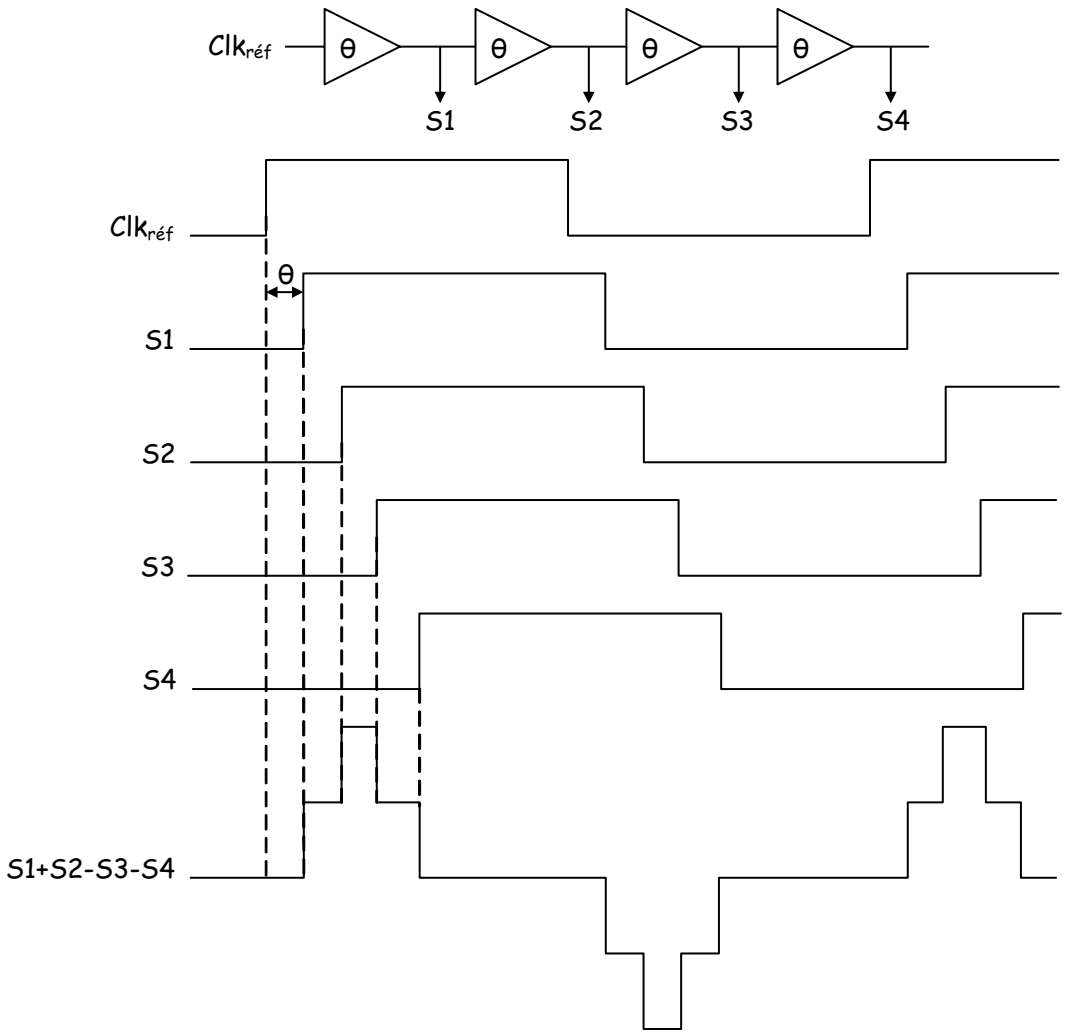


Figure 1-14 : Illustration de la méthodologie DOD.

Si on contrôle le retard instantané de chaque élément logique et que l'on asservit le retard de la chaîne sur une demi-période de la référence, on peut alors obtenir un signal en marche d'escalier de même fréquence que la référence. Si on filtre ce signal, on a alors un signal sinusoïdal de fréquence identique. En réalité, on utilisera une chaîne comprenant n éléments à retard que l'on asservira sur une période de la référence à l'aide d'une DLL, et on ne sommera que les n/2 premiers éléments.

En augmentant le nombre d'opérateurs, on réalise une multiplication de la fréquence de référence à condition que le nombre d'opérateurs de la chaîne soit pair et le rapport cyclique de l'horloge de référence de 50% [SPA01-1]. En utilisant la deuxième moitié de la chaîne, et en utilisant une sommation différente, un second signal en quadrature de phase avec le premier peut être obtenu [BEG00-1].

Une autre technique de sommation est utilisée dans [CHI00-1]. Elle consiste à sommer tous les fronts de la ligne à retard contrôlable comme indiqué à la figure 1-15 :

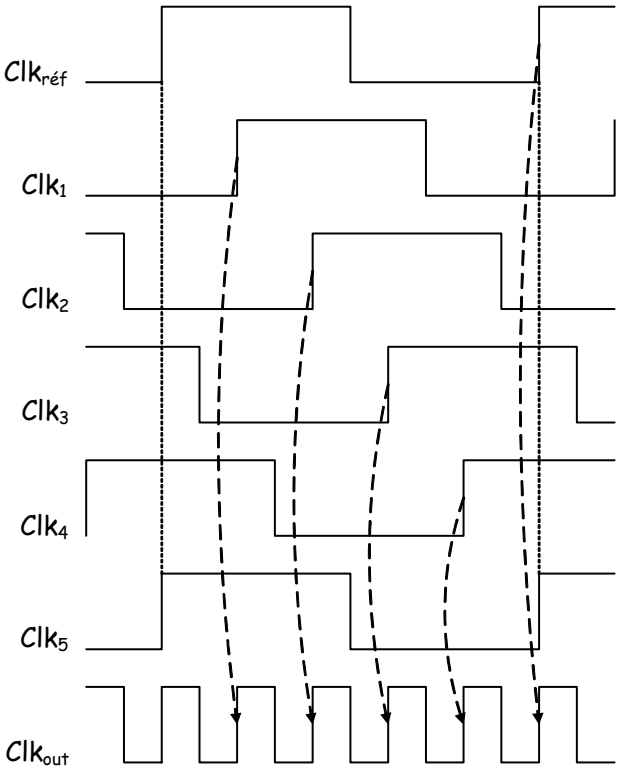


Figure 1-15 : Deuxième technique de sommation.

Alors que la première technique impose un nombre pair d'éléments et un rapport cyclique du signal de référence de 50%, celle-ci exige un nombre impair d'opérateurs et le rapport cyclique du signal de référence n'est plus critique pour le bon fonctionnement du système.

3.3.2. Performances d'un synthétiseur à base de DLL

3.3.2.1. Bruit de phase

Les principaux travaux sur le bruit de phase associé à une DLL ont été réalisés par Chien [CHI00-1]. Ils reposent sur l'évaluation de la densité spectrale de puissance du bruit obtenue en effectuant la transformée de Fourier de la fonction d'auto-corrélation du bruit temporel par application du théorème de Wiener-Kintchine. Ce bruit est considéré comme stationnaire et ergodique. D'autre part, il suppose que la principale source de bruit est la ligne à retard contrôlable, le signal de référence étant supposé fourni par un cristal parfait et le bloc sommateur non bruyant. Dans ces conditions, le bruit généré par une cellule est indépendant de celui-ci associé aux autres. Ce bruit a une distribution gaussienne et une espérance mathématique nulle.

Sous ces hypothèses, l'erreur aléatoire des instants de commutation du signal en sortie d'une chaîne de cinq éléments (X(nT)) a une forme donnée à la figure 1-16. Le bruit d'une cellule ($y_{i,j}$) est représenté par la variance de sa gigue temporelle, les différentes couleurs illustrant la contribution du bruit de chaque cellule sur la gigue totale en sortie.

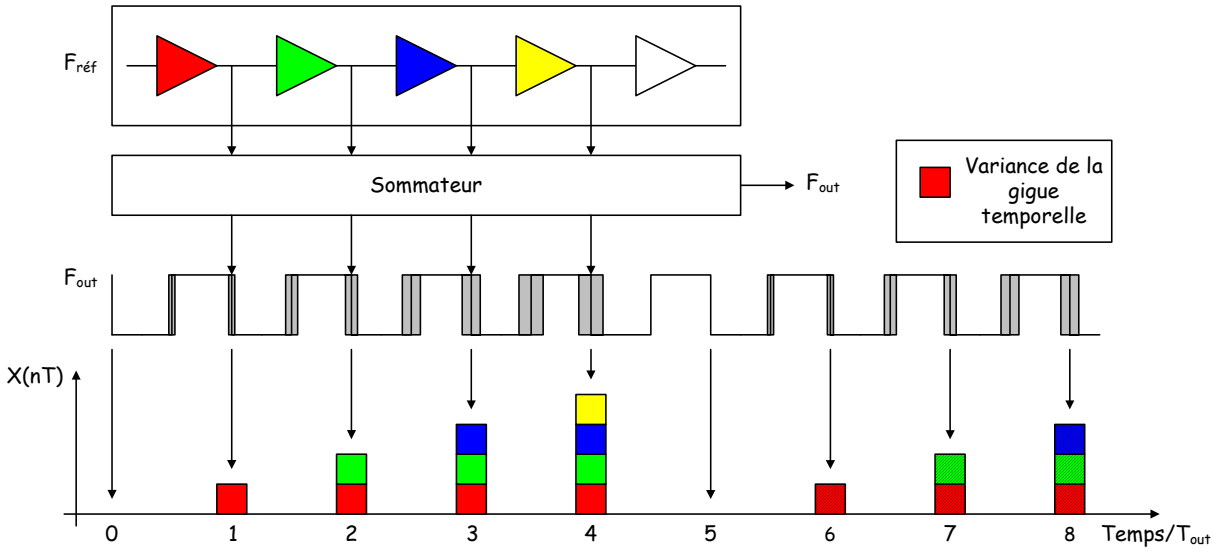


Figure 1-16 : Représentation de l'accumulation de la gigue temporelle dans une chaîne de 5 éléments.

Le bruit à la sortie d'une cellule de rang i se compose donc de la somme des bruits de chaque cellule de rang inférieur à i. Comme l'horloge de référence rafraîchit le signal, cette accumulation ne dure que sur un cycle. Le bruit du signal de sortie peut alors s'exprimer sous la forme :

$$X(nT, j) = \sum_{i=1}^{n-(j-1)\times N} y_{i,j} \qquad \textbf{1-7}$$

où $y_{i,j}$ correspond à l'erreur aléatoire de la phase en sortie de l'élément i pour un cycle d'horloge de référence j (car le signal de référence remet à zéro la gigue temporel à chaque cycle, il est donc nécessaire de savoir dans quel cycle on se situe), T est la période du signal synthétisé, N le nombre d'éléments de la chaîne, n est un entier qui correspond au nombre de périodes du signal de sortie compris entre l'instant initial de l'étude et l'instant considéré.

Comme évoqué précédemment, pour obtenir la densité spectrale de puissance du bruit il faut déterminer en premier sa fonction d'auto-corrélation. Cette dernière est égale à :

$$R_{XX}(\tau) = E[X(nT) * X(nT-\tau)] = \frac{1}{N} \times \sum_{k=-(N-2)}^{N-2} \delta(\tau - k) \times \sum_{l=1}^{N-|\tau|-1} l \times \sigma^2 \qquad \textbf{1-8}$$

avec $E[y_{i,j}] = 0$, $E[y_{i,j}^{\,2}] = \sigma^2$, et où σ^2 est la variance de $y_{i,j}$. Pour une chaîne de cinq éléments la fonction d'autocorrélation a la forme suivante :

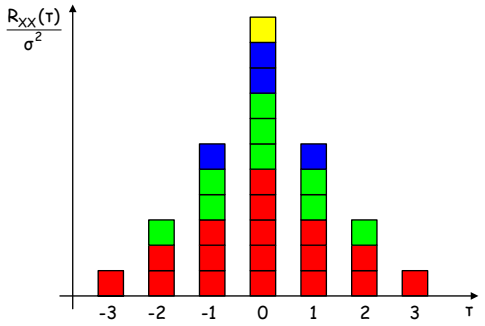


Figure 1-17 : Fonction d'autocorrélation d'une chaîne de 5 éléments.

La fonction d'autocorrélation est nulle pour un retard supérieur ou égal à la période de référence, ce qui traduit le fait que la gigue s'accumule seulement pendant une période de la référence.

En supposant que la gigue temporelle en sortie d'une cellule est très inférieure à la période du signal de référence, on peut alors appliquer la transformée de Fourier discrète à cette fonction d'autocorrélation, on obtient alors l'expression suivante :

$$S_{\Delta\varphi_{LDR}}(\omega) = \sum_{n=-\infty}^{+\infty} R_{XX}(n) \times e^{-j\omega n} = \sum_{n=-\infty}^{+\infty} [\frac{1}{N} \times \sum_{k=-(N-2)}^{N-2} \delta(\tau - k) \times \sum_{l=1}^{N-|\tau|-1} l \times \sigma^2 \ ] \times e^{-j\omega n} \qquad \textbf{1-9}$$

La densité spectrale de puissance du bruit de phase de la DLL a donc la forme originale du bruit de phase décrite à la figure 1-18. La densité spectrale de puissance du bruit de phase de la chaîne est maximale pour un écart de fréquence inférieur ou égal à la fréquence du signal de référence et diminue quand cet écart augmente, ce qui traduit le fait que la gigue s'accumule seulement sur une période de ce dernier. L'utilisation d'une DLL améliore donc le bruit de phase à proximité de la porteuse.

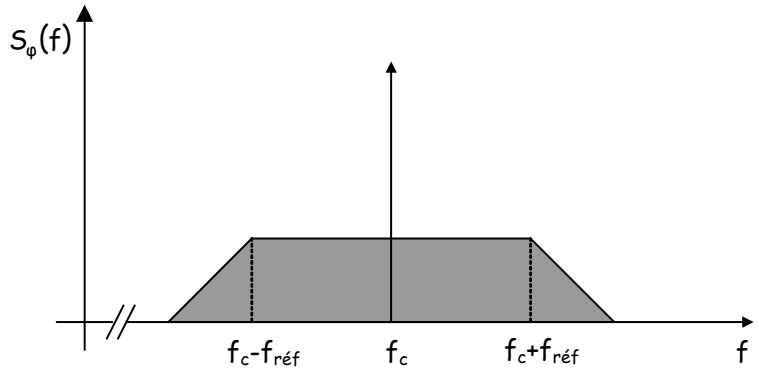


Figure 1-18 : Modélisation du bruit de phase de la DLL.

3.3.2.2. Temps d'établissement et raies parasites

- Temps d'établissement :

Le temps d'établissement d'une boucle à verrouillage de phase se déduit de l'étude linéaire du système de la figure 1-19.

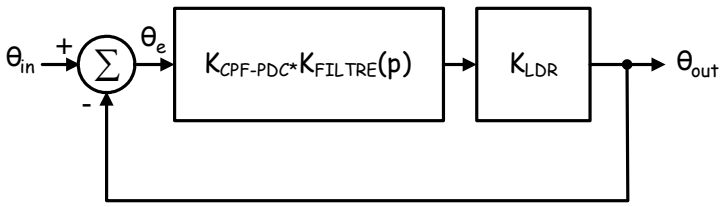


Figure 1-19 : Modèle linéaire de la DLL.

On note $K_{CPF\text{-}PDC}$ le gain de l'ensemble constitué par le comparateur phase-fréquence et la pompe de charge (A/rad), K_{FILTRE} la fonction de transfert du filtre et K_{LDR} le gain de la ligne à retard (rad/V).

En effet, la différence de phase entre la sortie et l'entrée de la ligne d'éléments à retard vaut :

$$\theta_e(p) = \theta_{réf}(p) - \theta_s(p) = \theta_{réf}(p) - \frac{G(p)}{1+G(p)} \times \theta_{réf}(p) \quad \textbf{1-10}$$

où G(p) est le gain du système en boucle ouverte donné par:

$$G(p) = K_{FILTRE}(p) \times K_{CPF\text{-}PDC} \times K_{LDR} \quad \textbf{1-11}$$

De ce fait, l'équation 1-10 devient :

$$\theta_e(p) = \frac{\theta_{réf}(p)}{1 + K_{FILTRE}(p) \times K_{CPF\text{-}PDC} \times K_{LDR}} \quad \textbf{1-12}$$

Or, la boucle est un système du premier ordre, basé sur une simple capacité. L'erreur de phase s'exprime donc par :

$$\theta_e(p) = \frac{p \times \theta_{réf}(p)}{p + \frac{K_{LDR} \times K_{CPF\text{-}PDC}}{C}} \quad \textbf{1-13}$$

Dans le domaine temporel, l'erreur de phase par un échelon en entrée d'amplitude θ_0 s'exprime par :

$$\theta_e(t) = \theta_0 \times e^{-\frac{K_{LDR} \times K_{CPF\text{-}PDC}}{2\pi \times C} \times t} \quad \textbf{1-14}$$

Le système tend à rendre l'erreur de phase nulle, si on considère que le système est accroché quand l'erreur a atteint 63% de sa valeur finale. On a alors :

$$\theta_e(t_{63\%}) = \theta_0 \times e^{-\frac{K_{LDR} \times K_{CPF\text{-}PDC}}{2\pi \times C} \times t_{63\%}} = \theta_0 - 63\% \times \theta_0 \approx e^{-1} \times \theta_0 \quad \textbf{1-15}$$

Le temps d'établissement à 63% est donc égal à :

$$t_{63\%} = \frac{2\pi C}{K_{LDR} \times K_{CPF\text{-}PDC}} \quad \textbf{1-16}$$

Il est proportionnel à C, et inversement proportionnel au produit K_{LDR}*$K_{CPF\text{-}PDC}$.

- Raies parasites :

Les raies parasites observables dans le spectre de sortie dépendent de plusieurs phénomènes qui évoluent en fonction de la technique de sommation. En effet, si on utilise la sommation selon Chien, deux facteurs sont à l'origine de ces raies, l'erreur de phase statique et le désappariement des cellules de retard [CHI00-1]. Ces raies sont séparées de la fréquence de la porteuse pour un écart multiple de la fréquence de référence.

Pour la technique de sommation selon Spataro, en plus des deux facteurs évoqués précédemment, s'ajoute une dépendance au rapport cyclique du signal de référence [SPA01-1] qui doit être dans l'idéal de 50%. Une valeur différente du rapport cyclique du signal de référence entraîne la création de raies parasites dont l'écart avec la fréquence porteuse est un multiple de la fréquence de référence. En revanche, l'effet dû à l'erreur de phase statique se manifeste, avec cette technique de sommation, par un écart à la fréquence porteuse proportionnel au double de la fréquence de référence. Les désappariements des cellules de retard entraînent l'apparition de raies parasites également à des fréquences doubles de la fréquence de référence (et aux multiples de cette fréquence) si le temps de transition à travers les opérateurs (temps de montée-descente) est inférieur au temps de propagation de ceux-ci.

Si tel n'est pas le cas, notamment lors de la génération de signaux très hautes fréquences, ces raies se retrouvent alors présentes à un écart de fréquence égal à la fréquence de référence.

En conclusion, quelle que soit la technique de sommation employée, une attention particulière doit être accordée au dessin des cellules à retard et au comparateur de phase et de fréquence afin de minimiser l'amplitude de ces raies parasites.

3.3.3. Limitation actuelle de la boucle à verrouillage de délai pour la synthèse de fréquence multistandard entre 2 et 6 GHz.

Le principal obstacle à la synthèse de fréquence multistandard à base de boucles à verrouillage de délai réside dans la nécessité que le facteur de multiplication soit variable. En effet, la structure telle qu'elle a été présentée précédemment, possède un facteur de multiplication fixe. Pour faire varier la fréquence de sortie il faut changer la fréquence de référence. Utiliser une structure double boucle en série [BAD00-1] avec une DLL comme deuxième boucle, pourrait être envisageable. Cependant on reporterait les contraintes sur la PLL et l'on serait confronté aux problèmes envisagés au paragraphe 2.2.3. D'autre part, ce compromis ne serait pas en adéquation avec un système à faible coût (faible consommation de silicium, intégration des passifs), et à faible consommation de puissance. Envisager une boucle à verrouillage de délai, chargée par autant de blocs sommatoires que de standards, augmenterait les risques de désappariement des cellules à retard tout en augmentant le coût en termes de silicium et de puissance.

La structure élémentaire étudiée lors de ce chapitre ne se prête pas à la synthèse multistandard à cause principalement de la difficulté à jouer sur son facteur de multiplication. Une modification de son architecture corrigeant ce défaut permettrait de réussir cette fonctionnalité. Il semble alors plus aisé de modifier l'architecture à base de DLL plutôt que celle à base de PLL pour réaliser un synthétiseur de fréquence multistandard. Mais, pour pouvoir synthétiser de hautes fréquences, il faut pouvoir disposer d'opérateurs dont le temps de propagation est faible, c'est-à-dire disposer d'une technologie rapide. Récemment, la technologie CMOS-SOI (Silicon On Insulator-Silicium sur Isolant) qui était réservée à des applications spécifiques (militaires et spatiales dans le cadre des environnements en ambiance sévère induits par les rayonnements ionisants) principalement à cause de son coût, a étendu son spectre vers des applications grand public (mémoires, circuits numériques) et les radiofréquences.

4. INTRODUCTION A LA TECHNOLOGIE CMOS SOI

Le spectre d'utilisation de la technologie SOI a longtemps été restreint à cause du coût de la réalisation des plaquettes et de la difficulté d'obtenir des substrats avec des oxydes de très bonne qualité. Les énormes progrès réalisés lors des deux dernières décennies ont rendu cette technologie compétitive. L'excédent de prix, en comparaison avec une technologie VLSI de même génération, est compensé par une amélioration des performances, notamment en termes de rapidité et d'intégration. La diminution des dimensions technologiques et les contraintes qui lui sont attachées font de la technologie SOI une alternative de plus en plus attractive. Avant d'étudier les propriétés originales d'un transistor MOS SOI, étude nécessaire pour réaliser des circuits avec cette technologie, une présentation des techniques de réalisation des plaquettes est proposée.

4.1. Le substrat SOI

4.1.1. Fabrication du substrat SOI

Il existe plusieurs techniques, plus ou moins efficaces, pour réaliser un substrat SOI. La première technique est dénommée « Bonded Wafer ». Elle consiste à faire croître un oxyde à la surface de deux plaquettes de silicium, puis de coller ces deux plaquettes, et enfin de réduire la dimension de la face active par gravure et polissage. C'est une technique peu rentable sur le plan industriel, car elle nécessite deux plaquettes de silicium pour n'en fournir qu'une de SOI. En revanche, elle n'utilise pas d'implantation d'ions comme c'est le cas pour la seconde technique, le procédé SIMOX (Séparation par IMplantation d'OXygène).

Ce procédé utilise une implantation d'ions oxygène à forte énergie à travers le silicium pour créer la couche d'oxyde enterré, après un recuit à haute température pour recristalliser la structure. Cette technique, qui a vu le jour à la fin des années 60 et dont l'essor est dû aux travaux de Michel Bruel du CEA-LETI dans les années 80, est actuellement utilisée par des industriels comme Hitachi ou Ibis. Mais cette technique n'est pas très performante en terme de productivité à cause des implants ioniques d'oxygène à fort flux. Son prix est quatre fois supérieur à celui nécessaire à la réalisation d'une plaquette de silicium classique. De plus, elle présente un inconvénient majeur, la présence d'impuretés de silicium dans l'oxyde enterré qui dégrade la qualité du substrat SOI.

La technique employée pour réaliser le substrat dans le cadre de ce travail est celle développée par la société SOITEC et industrialisée depuis 1992 sous le nom de Smart Cut™. Les plaquettes de silicium sur isolant ainsi réalisées sont commercialisées sous la marque Unibond™. Ce procédé, issu de [SOI1], est décrit à la figure 1-20.

Deux plaquettes de silicium (A et B sur le schéma) sont nécessaires pour la réalisation d'une plaquette de silicium sur isolant (étape1). Il est ensuite réalisé une oxydation de la plaquette A (étape 2) sur laquelle on va réaliser une implantation ionique d'hydrogène (étape 3). La surface oxydée de la plaquette A est alors nettoyée et les deux plaquettes sont alors assemblées par jonction (étape 4). Le tout subit alors un recuit qui provoque une cassure entre les deux plaquettes le long de l'implantation d'hydrogène, c'est le « Smart Cut » (étape 5). Le recuit et le polissage final (étape 6) préparent la plaquette de silicium sur isolant pour les étapes de la réalisation technologique du circuit qui seront accomplies en salle blanche. L'originalité de cette méthode réside dans l'utilisation de la plaquette « donneuse » (A dans le schéma) comme nouveau substrat pour une nouvelle réalisation d'un substrat de silicium sur isolant (étape 7).

Ce procédé permet donc le transfert de manière générique d'une couche de semi-conducteur monocristalline sur tout type de substrat. En effet, il utilise une implantation d'hydrogène à flux moyen, qui a l'avantage d'être maîtrisée au plan industriel, et un procédé de mise en adhérence moléculaire et de traitement thermique qui permet de découper de fines couches de matériau semi-conducteur et de les reporter sur un substrat adapté.

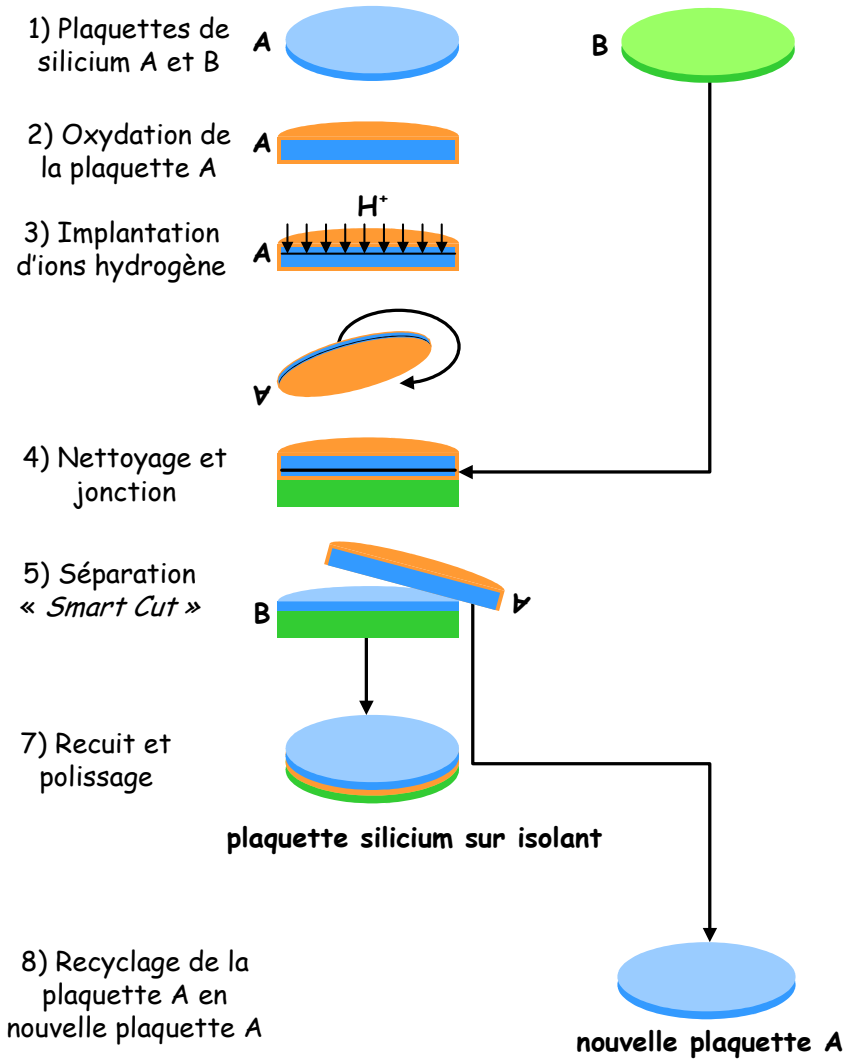


Figure 1-20 : Procédé de réalisation d'une plaquette silicium sur isolant « Smart Cut™ ».

4.1.2. Caractéristiques du substrat SOI

Le substrat silicium sur isolant se décompose en trois couches. Tout d'abord, le substrat supérieur, dit substrat actif, auquel seront appliqués les différents procédés technologiques nécessaires à la réalisation de circuits intégrés. L'épaisseur de cette couche est très importante car elle va définir le type de transistor qui sera réalisé, à savoir partiellement ou totalement déserté. Cette épaisseur varie selon les technologies entre 20nm et 300nm [ENG05-1]. Le substrat actif utilisé pour cette étude aura une épaisseur de 150nm. Les transistors seront de type partiellement déserté, ce qui se traduit par la présence d'une zone non polarisée sous le canal du transistor MOS, comme nous le verrons par la suite.

L'oxyde enterré est aussi dénommé BOX (Buried OXyde). Son épaisseur varie également selon les technologies et sera de 400nm dans le cadre de ces travaux. L'épaisseur du substrat inférieur ou substrat mécanique n'a pas d'importance majeure. Il devra être suffisamment épais pour maintenir mécaniquement les couches supérieures. Son épaisseur sera de 500µm pour ces travaux, mais cette épaisseur sera amincie à 375µm pour la mise en boîtier.

L'un des avantages de la présence de l'oxyde enterré est de pouvoir différencier le dopage du substrat actif de celui du substrat mécanique. En effet, aucune contrainte technologique n'est nécessaire quant au substrat mécanique. De ce fait, la résistivité du substrat mécanique peut être augmentée en comparaison avec une technologie silicium classique. La résistivité du substrat mécanique varie de 15 Ω.cm à plusieurs kΩ.cm en ce qui concerne la technologie utilisée pour cette étude.

Le substrat SOI est compatible avec les procédés de fabrication des technologies silicium massif. Il est donc possible de réaliser des transistors MOS très intégrés en utilisant ces procédés classiques. En revanche, les caractéristiques géométriques du substrat de silicium sur isolant confèrent au transistor une nouvelle nature ainsi que de nouvelles propriétés.

4.2. Le transistor MOS-SOI partiellement déserté

4.2.1. Présentation

En technologie silicium massif, deux types de transistor MOS sont disponibles suivant la nature du dopage de ceux-ci (P ou N). En technologie SOI, en plus de l'influence du dopage, l'épaisseur du substrat actif conditionne la nature du transistor. En effet, si l'épaisseur du substrat est assez fine pour que, en régime de fonctionnement, la zone d'inversion sous la grille (le canal) s'étende sur toute l'épaisseur de celui-ci, alors le transistor est dit totalement déserté (par les porteurs majoritaires du substrat) [MAR02-2]. En revanche, si l'épaisseur du substrat est supérieure à l'épaisseur de la zone d'inversion, il existe alors une zone du substrat avec des porteurs majoritaires : le transistor est appelé « partiellement déserté » (PD). Cette zone qui n'est pas désertée est appelée corps (ou body) du transistor. Suivant que le corps du transistor partiellement déserté soit polarisé ou non, le transistor sera dit à corps connecté (body contact) ou à corps flottant (floating body).

La figure 1-21 présente une coupe verticale d'un transistor partiellement déserté à corps flottant.

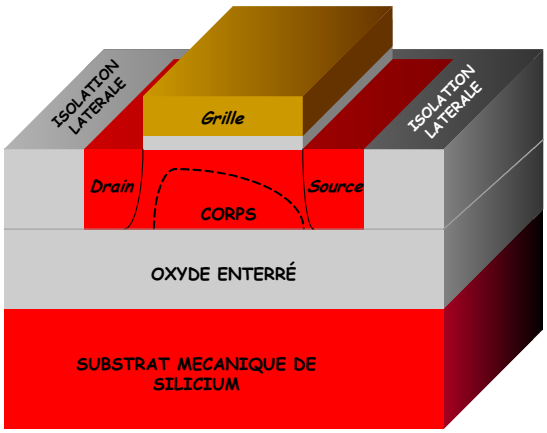


Figure 1-21 : Coupe verticale d'un transistor partiellement déserté à corps flottant.

La différence principale entre ce transistor et son équivalent en silicium massif est sa totale isolation diélectrique vis-à-vis des autres composants du même circuit. En effet, la présence de l'oxyde enterré isole le transistor du substrat mécanique commun. La création d'isolations latérales de type STI (Shallow Trench Isolation), de la même manière qu'en technologie CMOS silicium massif, crée une isolation latérale du transistor vis-à-vis des autres éléments du circuit.

La présence d'un oxyde enterré ainsi que celle d'un corps flottant confèrent au transistor des propriétés remarquables par rapport à celles de son équivalent en technologie bulk massif. Celles-ci pourront être un avantage ou un inconvénient pour le circuit et doivent être prises en compte lors de la conception du circuit. Une étude plus approfondie des phénomènes liés à la présence de l'oxyde enterré et du caractère flottant du corps du transistor est donc nécessaire.

4.2.2. Effets liés à la présence de l'oxyde enterré

4.2.2.1. Réduction des capacités de jonction

La présence de l'oxyde enterré a comme principal avantage de diminuer les capacités de jonction des transistors (drain-substrat mécanique, source-substrat mécanique). En effet, les diffusions des drain et source des transistors sont limitées par les oxydes latéraux et enterrés. L'isolation d'un transistor est maintenant réalisée par oxyde et non par jonction. Or, la permittivité relative de l'oxyde est de l'ordre de 4, contre 12 pour celle du silicium, ce qui réduit fortement les capacités parasites. En effet, on a :

$$C = \frac{\varepsilon \times S}{e} \qquad \textbf{1-17}$$

avec C la valeur de la capacité (F), ε la permittivité (F/m), S la surface (m2), e l'épaisseur (m).

Le tableau 1-3 illustre la diminution des capacités de jonction surfaciques en technologies 0,25 µm CMOS induite par le passage d'une version BULK à une version SOI [AXE05-1] :

	CMOS-BULK	CMOS-SOI-PD
Capacité de jonction NMOS	$7{,}28e^{-4}$ F/m^2	$5{,}2e^{-5}$ F/m^2
Capacité de jonction PMOS	$6{,}15e^{-4}$ F/m^2	$8{,}5e^{-5}$ F/m^2

Tableau 1-3 : Comparaison des capacités de jonction en technologie CMOS-BULK et CMOS-SOI.

La réduction des capacités de jonction a pour principale conséquence d'augmenter la vitesse de fonctionnement des circuits. La technologie CMOS SOI présente une amélioration des performances en terme de vitesse de fonctionnement de 20 à 30% par rapport à celle de la CMOS-BULK. Cette progression est due par moitié à la diminution des capacités de jonction [RED00-1], le reste étant principalement dû à la diminution des capacités d'interconnections rendue possible par une intégration accrue, comme nous le verrons par la suite.

La réduction des capacités de jonction permet également de réduire la consommation dynamique des circuits de l'ordre de 10% [BER00-1]. En effet, la puissance dynamique consommée par un circuit est donnée par la formule :

$$P = s \times C \times V^2 \times f \qquad \textbf{1-18}$$

Où P est la puissance, C la capacité parasite de charge, V la tension d'alimentation et s un coefficient de proportionnalité fonction de la commutation.

Cette diminution reste relativement faible car les capacités de jonction ne sont pas prépondérantes dans un circuit, notamment devant les capacités d'interconnections.

Enfin la réduction des capacités de jonction permet également d'augmenter la fréquence de transition (f_T) et la fréquence maximale (f_{max}) des transistors [AXE05-1].

En revanche, la diminution de ces capacités implique également une diminution des capacités de découplage de l'alimentation intrinsèque au transistor (notamment la capacité qui existe entre le puit N, dans lequel est réalisé le transistor PMOS, et le substrat P en technologie bulk massif) et donc accroît la sensibilité du circuit au bruit de l'alimentation [MAR02-2].

4.2.2.2. Immunité au latchup et densité d'intégration

Le latchup est un phénomène destructif qui consiste en la mise en conduction de transistors bipolaires parasites situés entre l'alimentation et la masse comme illustré à la figure 1-22. Pour limiter ce phénomène, il est nécessaire d'éloigner les transistors NMOS et PMOS ou d'utiliser un anneau de polarisation du substrat, ce qui dégrade les performances d'intégration [BIA99-1]. En technologie CMOS-SOI, la présence d'oxyde de part et d'autre du transistor permet d'éviter le latchup, et de ce fait, permet une intégration accrue du système. De même il n'est plus nécessaire de polariser les puits de type N pour bloquer la diode puit-substrat P, ce qui augmente la densité totale d'intégration du circuit.

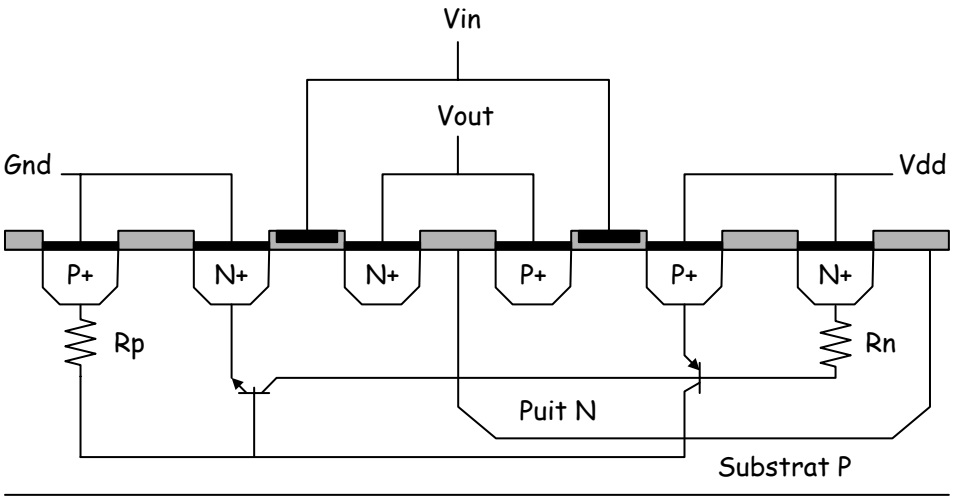


Figure 1-22 : Illustration du latchup dans un inverseur CMOS.

4.2.2.3. Résistance aux rayons ionisants et diminution du taux d'erreur logicielle

La technologie SOI présente une résistance accrue aux rayons ionisants grâce à la présence de l'oxyde enterré, c'est pourquoi ses premières applications furent militaires et spatiales. En effet, les particules ne gênent le fonctionnement du circuit qu'au moment où elles traversent le silicium actif, en créant des paires électron-trou. Une fois l'oxyde enterré traversé, elles n'affectent plus le système. L'épaisseur de silicium actif en SOI étant beaucoup plus faible que l'épaisseur du substrat en bulk massif, le nombre de paires créées est moindre [VAL05-1]. Cette résistance aux rayons ionisants a pour conséquence une diminution du taux d'erreur logicielle (Soft Error Rate-SER) dans les cellules mémoires [MAR02-1].

4.2.2.4. Choix de la résistivité du substrat

La présence de l'oxyde enterré isole le substrat actif du substrat mécanique. Les contraintes quant au dopage de la partie active ne sont pas applicables au substrat mécanique, commun à tous les composants du circuit. En conséquence, la résistivité ce dernier peut être différente de celle du substrat actif. Notamment, elle peut être augmentée, ce qui va permettre d'augmenter le coefficient de qualité des inductances. Par exemple, dans [GIA05-1], le coefficient de qualité d'une inductance réalisée en substrat haute résistivité est de 15 contre un coefficient de qualité de 10 pour la même architecture d'inductance (d'une valeur de 3 nH) mais réalisée en technologie bulk massif.

Disposer d'un substrat de très haute résistivité permet également de diminuer les couplages parasites par le substrat (substrate crosstalk) [HIR01-1], ce qui fait de la technologie SOI un bon candidat pour l'intégration totale et sur une même puce (System On Chip-SOC) des parties numériques et analogiques d'un système.

4.2.2.5. Phénomène d'auto-échauffement

Généralement, les circuits réalisés en technologie bulk massif sont considérés comme isothermes car le substrat de silicium présente une conductivité thermique grande devant la puissance dissipée par un élément du circuit [TEN98-1]. En SOI, cette hypothèse n'est plus valide car l'oxyde enterré possède une conductivité thermique relativement faible (100 fois moindre que celle du silicium). Par conséquent, l'usage de faibles puissances dans le circuit entraîne une augmentation d'une dizaine de degrés de la température dans le canal du transistor. Or, cette chaleur générée s'évacue de préférence latéralement avant d'atteindre le substrat enterré et donc influe sur la température des transistors voisins. Le gradient thermique résultant de ce phénomène d'auto-échauffement et de couplage thermique fait qualifier la technologie SOI d'anisothermique.

Cette augmentation de température est critique notamment pour les circuits analogiques qui nécessitent un appariement tels les miroirs de courant. En effet, l'élévation de température dans le canal entraîne une modification du courant dans celui-ci, de la tension de seuil et des courants de fuites des diodes source-corps et drain-corps. Cet accroissement de température est dépendant du routage et du placement des transistors au sein de la puce. Des simulations thermiques sont donc nécessaires pour les circuits analogiques à fort appariement [MAR02-1].

4.2.3. Effets liés à la présence du corps flottant

4.2.3.1. Modélisation de la polarisation du corps flottant

La figure 1-23 présente le schéma électrique des phénomènes polarisant le corps d'un transistor NMOS partiellement déserté à corps flottant (NMOS-PD-FB). Le corps flottant, par définition, n'étant pas connecté à un potentiel fixe, la polarisation de celui-ci va dépendre du régime de fonctionnement du transistor [BER00-2].

En régime continu, le corps est polarisé par les diodes entre corps et drain et entre corps et source. Un autre courant influe sur la polarisation du corps, le courant d'ionisation par impact. Ce courant apparaît lorsque les porteurs excités par un fort champ électrique, entrent en collision avec des atomes fixes de la couche de silicium, créant des paires électrons-trous dont certaines ne se recombinent pas.

Dans le cas d'un transistor NMOS-PD-FB, les électrons sont évacués par le drain sous l'effet du champ électrique. Les trous en revanche, s'accumulent dans le corps, la barrière de potentiel de la diode corps-source empêchant leur évacuation par la source. Ce phénomène augmente le potentiel du corps.

En régime alternatif, le potentiel du corps est fixé par le réseau capacitif décrit à la figure 1-23 b).

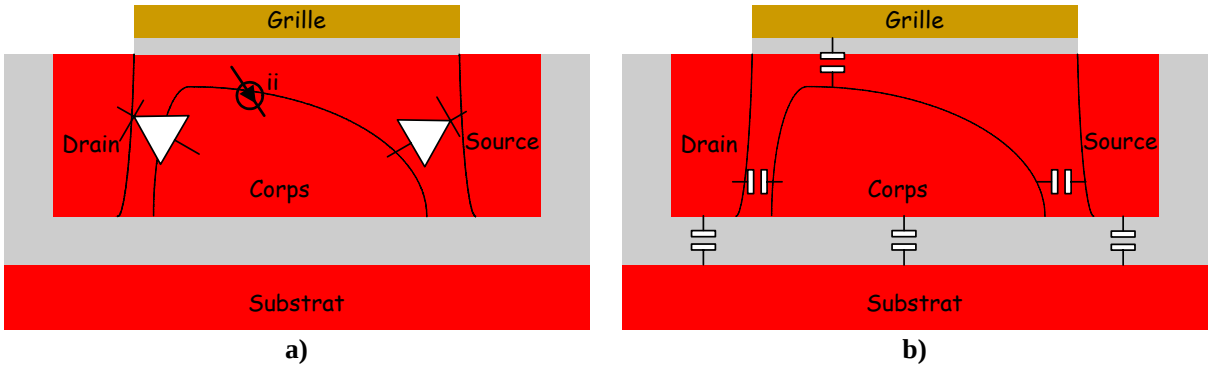


Figure 1-23 : Schéma électrique du mode de polarisation d'un transistor NMOS partiellement déserté à corps flottant : a) représentation DC ; b) représentation AC.

4.2.3.2. L'effet d'histoire et la variation dynamique de la tension de seuil

La tension de seuil d'un transistor MOS est donnée par la formule suivante [TAR03-1]:

$$V_T = V_{T0} + \gamma\sqrt{2\varphi_F}\left[\sqrt{\left(1 - \frac{V_{BS}}{2\varphi_F}\right)} - 1\right] \qquad \textbf{1-19}$$

où V_{T0} est la tension de seuil pour V_{BS}=0, γ le coefficient d'arrière grille, $2\varphi_F$ potentiel de régime forte inversion et V_{BS} la tension substrat-source

Cette tension de seuil est donc dépendante de la tension du corps du transistor. Or la tension de seuil influe sur les performances d'un circuit, par exemple sur le temps de commutation d'un inverseur CMOS.

La figure 1-24 présente l'évolution de la tension de corps d'un transistor NMOS-PD-FB au sein d'un inverseur CMOS [BER00-2] lors de commutation de la porte suivant que le niveau du signal d'entrée est initialement au niveau haut (a) ou bas (b).

Dans le premier cas (a), le potentiel initial du corps est nul, car le potentiel de drain et de source sont à zéro (on se retrouve dans une topologie de type bulk). Lorsque le signal d'entrée de la porte commute du niveau haut au niveau bas, le potentiel du corps commence par décroître légèrement par couplage capacitif (relativement faible) avec la grille, puis augmente en raison du couplage capacitif (fort) avec le drain. Le potentiel du corps augmentant, la tension de seuil diminue ce qui permet à la porte de commuter plus rapidement (que lors de sa première commutation et plus rapidement qu'en technologie bulk massif). La valeur atteinte (ici, 0,45V) est une valeur AC. Si aucune autre commutation n'intervient, le potentiel converge vers une tension fixée par le courant de fuite de la diode corps-drain bloquée et le courant dans la diode corps-source passante. Lors de la commutation suivante, le potentiel du corps augmente légèrement par couplage avec la grille, puis diminue jusqu'à revenir à sa tension initiale.

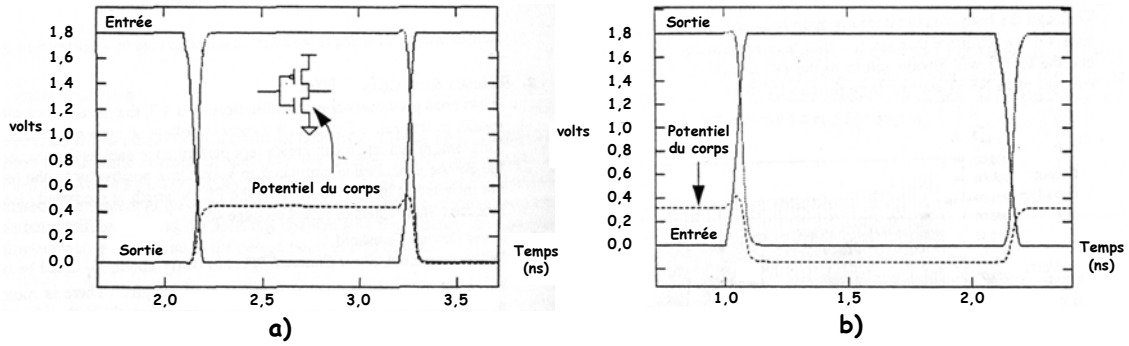


Figure 1-24 : Variation de la tension du corps du transistor NMOS d'un inverseur CMOS en fonction des états précédents.

Dans la seconde configuration (figure 1-24 b), la tension initiale (0,35V) est fixée par les diodes corps-source et corps-drain comme évoqué précédemment. Lorsque le signal d'entrée commute du niveau bas au niveau haut, le potentiel du corps commence par croître légèrement en raison du couplage avec la grille, puis décroît par couplage avec son drain jusqu'à une valeur négative (-0,15V). La tension de seuil augmente donc et est supérieure à celle disponible en bulk massif où le substrat est connecté à la masse. Cette valeur étant une valeur AC, si aucune commutation ne survient le potentiel du corps convergera vers 0V. Lors de la commutation suivante, il n'y aura pas en revanche de diminution légère dû au couplage avec la grille, le canal isolant ce couplage. Le couplage capacitif entre le corps et le drain étant le même que lors de la première commutation, le potentiel reprend sa valeur initiale.

Si l'on considère seulement les transitions où le NMOS voit ses caractéristiques prédominer lors de la commutation de l'inverseur, c'est-à-dire lors de la transition en entrée du niveau bas au niveau haut, on remarque qu'elles sont plus rapides en SOI qu'en bulk. En effet, le potentiel du corps en SOI est supérieur à sa valeur en BULK (0,45V pour la courbe a, contre 0,35V pour la courbe b), en revanche ces potentiels ne sont pas égaux. Ils sont fonction de l'état précédent du transistor. Cette dépendance de la tension du corps d'un transistor, et donc de ses performances, en fonction des états précédents du transistor est appelée effet d'histoire.

4.2.3.3. L'effet Kink

L'injection soudaine de charges dans le corps flottant par ionisation par impact augmente le potentiel du corps, ce qui entraîne une diminution de la tension de seuil et donc une augmentation du courant drain-source. Cette augmentation soudaine du courant est appelée l'effet Kink et est illustrée par la figure 1-25 [BER00-2].

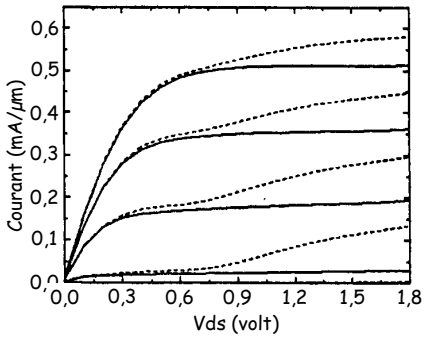


Figure 1-25 : Représentation de l'effet Kink sur la courbe Id/Vds d'un transistor NMOS SOI PD FB.

La courbe continue est celle d'un transistor sans effet Kink et celle en pointillée montre l'impact de cet effet. L'effet Kink intervient pour une valeur de V_{ds} proche de $V_{DD}/2$, car c'est à ce potentiel que l'ionisation par impact est maximale.

Cet effet est un avantage en numérique, car il augmente le courant utile et donc accroît les performances du circuit en termes de vitesse de fonctionnement. En revanche, cet effet est un inconvénient en analogique, notamment pour les applications où le contrôle de la valeur du courant est nécessaire.

4.2.3.4. Le transistor Bipolaire et MOS parasite

Une représentation électrique « haut niveau » d'un transistor MOS SOI PD est donnée à la figure 1-26. Le transistor est constitué de cinq nœuds qui sont le drain, la source, la grille, le substrat mécanique et le corps.

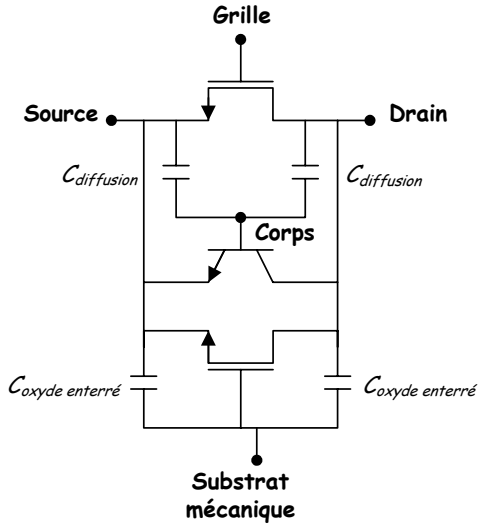


Figure 1-26 : Représentation électrique « haut niveau » d'un transistor MOS SOI PD.

Trois transistors apparaissent entre ces cinq points. Tout d'abord, le transistor MOS principal compris entre le drain, la source et la grille constitue le transistor utile. Ensuite, deux transistors parasites sont aussi représentés.

Le transistor bipolaire compris entre drain (collecteur), source (émetteur) et corps (base) n'est pas spécifique au SOI. Mais le caractère flottant du corps va permettre la mise en conduction de celui-ci. En effet, si on considère un transistor dont le potentiel du corps a été chargé par un usage récent (effet d'histoire) et si la source est soudainement mise à un potentiel bas lors d'une commutation, alors la diode corps-source devient momentanément passante. Un courant Ib passe du corps (base) à la source (émetteur) jusqu'à ce que le corps soit suffisamment déchargé pour bloquer la diode. Dans le même temps, un courant β fois plus grand passe du drain (collecteur) à la source, le gain de ce transistor bipolaire pouvant être supérieur à 1. Ce phénomène est un inconvénient pour les circuits dynamiques, car il entraîne la perte de charges stockées dans le drain en raison de ce courant.

La présence de l'oxyde enterré, même très épais, induit la formation d'un transistor MOS arrière localisé entre le substrat mécanique (grille), le drain et la source, l'oxyde enterré constituant l'oxyde de grille. Si un potentiel est appliqué au substrat mécanique alors une zone d'inversion (un canal) peut être formé au bas du corps flottant, permettant la mise en conduction du transistor MOS parasite. Pour éviter cela, on connecte le substrat mécanique à la masse ce qui explique la présence d'un cinquième nœud.

4.2.3.5. L'effet source suiveuse

Dans la technologie CMOS à bulk massif, les structures à empilement de transistors sont victimes d'un effet de substrat (body effect) qui ralentit la dynamique de la structure. Ce phénomène est représenté à la figure 1-27.

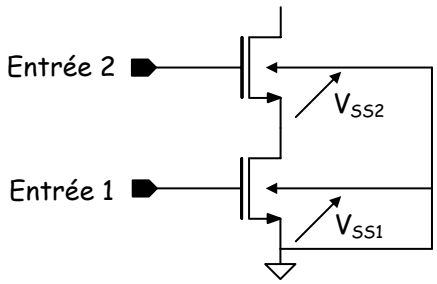


Figure 1-27 : Effet de substrat sur les structures empilées en technologie CMOS bulk classique.

Le potentiel de source du transistor 2 est supérieur à celui de la masse à cause de la chute de tension à travers le transistor 1. De ce fait, la différence de potentiel entre le substrat et la source est négative, ce qui augmente la tension de seuil de ce transistor et le rend plus difficile à commuter. En technologie SOI PD FB, le potentiel du corps se situe à un potentiel compris entre celui de la source et du drain, et donc dans la même configuration d'empilement, la différence de potentiel entre le corps et la source est positive, ce qui facilite la commutation de la porte. Il s'agit de l'effet source suiveuse.

4.2.3.6. Diminution de l'effet canal court

L'effet canal court dans les technologies CMOS bulk standard traduit la chute de la valeur de la tension de seuil avec la diminution de la longueur du canal comme décrit à la figure suivante. En SOI PD FB, cet effet canal court n'existe plus, comme cela est illustré à la figure 1-28, ce qui permet d'avoir des performances relativement constantes tout le long de la fenêtre de variation de la longueur du canal, ce qui évite notamment l'augmentation des courants de fuite avec la diminution de la longueur de celui-ci.

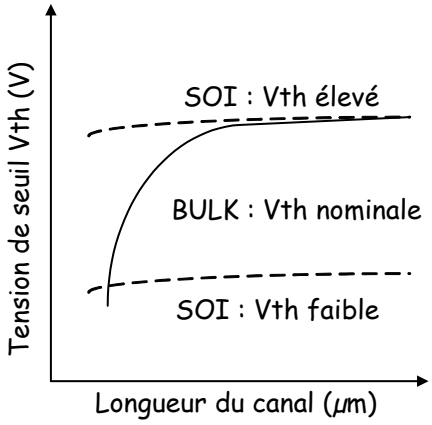


Figure 1-28 : Illustration de l'effet canal court.

5. CONCLUSION

A travers ce premier chapitre, les standards de radiocommunications sans fil de la bande de fréquences située entre 2 et 6 GHz ont été présentés. Leurs principales caractéristiques à savoir leur bande de fréquences allouées, la largeur de leurs canaux, leur type de modulation ou leur technique d'accès ont été décrites succinctement. Ces différences imposent des contraintes particulières et distinctes sur les éléments constitutifs du frontal radiofréquence. L'intégration toujours plus poussée des circuits et systèmes microélectroniques oblige le frontal radiofréquence à devenir compatible avec tous ces standards. Pour y parvenir, la solution idéale serait de mettre au plus proche de l'antenne les convertisseurs numérique-analogique et analogique-numérique pour réaliser en numérique ce qui l'est actuellement en analogique. Ainsi, on obtiendrait un système radio universel multiservice, multistandard, multibande, reconfigurable et reprogrammable qui tiendrait compte de l'évolution des normes et des applications visées par la reconfiguration des terminaux par logiciel. Malheureusement, les limitations technologiques actuelles, notamment en termes de définition et de vitesse des échantillonneurs, empêchent la réalisation de tels frontaux. Pour pallier ces limitations, la solution retenue est de rendre compatible chaque élément du frontal « classique » avec chaque norme. Chaque circuit du frontal devra adapter ses performances en fonction de celles requises par chaque standard, ils doivent donc devenir reconfigurables. En particulier, l'oscillateur local devra être capable de générer toutes les fréquences des normes que l'on souhaite utiliser, et donc, avoir une plage de variation de fréquence en sortie qui s'étende sur 4 GHz.

Traditionnellement les oscillateurs locaux sont construits autour d'une boucle à verrouillage de phase. De nombreux travaux ont été réalisés sur ce type de circuit qui lui permettent de présenter de bonnes performances en termes de temps d'établissement, de réjection de raies parasites et de bruit de phase lorsqu'il est utilisé pour générer un seul standard. En revanche, utiliser un tel circuit pour construire un oscillateur local multistandard n'est pas immédiat. Il est, tout d'abord, difficile d'obtenir un oscillateur contrôlé en tension à faible bruit en raison de la très grande sensibilité imposée par toutes ces normes. D'autre part, une très grande sensibilité impacte sur les performances du circuit en augmentant le bruit de phase de la boucle ainsi que la puissance des raies parasites. Il faut donc pouvoir générer un oscillateur dont la sensibilité, faible, puisse être déplacée le long de la gamme de fréquences visée. Enfin, la vitesse de réaction de la boucle sur toute la large gamme de fréquences visée ne pourra être optimisée que si le filtre adapte ses fréquences de coupure à chaque standard.

Mais un autre type de synthétiseur de fréquence est, de nos jours, employé : la boucle à verrouillage de délai. Elle présente l'avantage d'être totalement intégrable, réalisable en technologie CMOS, et surtout de présenter de bonnes performances en bruit de phase au voisinage de la porteuse. En effet, en remplaçant l'oscillateur contrôlé en tension par une ligne d'opérateurs à retard contrôlables en tension, la gigue temporelle ne s'accumule plus que pendant une période du signal de référence. Le seul inconvénient pour utiliser ce type de synthétiseur de fréquence dans une optique multistandard réside dans la nécessité que le facteur de multiplication soit variable.

Pour générer des signaux en haute fréquence avec, par exemple, une topologie de type DLL, il faut que le temps de propagation des opérateurs soit faible, ce qui nécessite une technologie rapide. Lors des deux dernières décennies, les progrès accomplis sur les techniques de fabrication de plaquette de SOI ont rendu cette technologie attractive. Elle présente l'énorme avantage de réduire les capacités parasites d'un circuit en réduisant celles

de jonction d'un transistor par l'isolation totale et diélectrique de celui-ci, et en réduisant les capacités d'interconnexions par une intégration accrue, conséquence, elle aussi, de la totale isolation diélectrique des transistors. Cette technologie présente l'originalité de distinguer deux types de transistor d'une même famille (PD ou FD) selon l'épaisseur du silicium actif. Lorsque cette épaisseur est supérieure à la zone de déplétion des porteurs lors de la formation du canal, le transistor possède alors une zone non polarisée qui lui confère des propriétés originales. Ces dernières peuvent être avantageuses ou au contraire constituer un inconvénient pour la réalisation de certains circuits. Par exemple, l'effet d'histoire qui se manifeste par une tension de seuil d'un transistor dépendante de l'état précédent de celui-ci, permet d'augmenter, dans certains cas, la vitesse de commutation d'une porte logique. Et il en est de même pour l'effet source suiveuse. En revanche, l'effet Kink, qui constitue une augmentation incontrôlée du courant de conduction du transistor, est critique pour les circuits analogiques où la valeur d'un courant doit être maîtrisée.

Au cours de ce chapitre, la structure à base de DLL est apparue comme plus aisément adaptable à la synthèse de fréquence multistandard à condition de réussir à faire varier le coefficient multiplicateur de la boucle. De plus, sa réalisation à base de portes logiques CMOS va permettre d'utiliser les nombreux avantages que la technologie SOI offre aux signaux numériques.

RÉFÉRENCE DU CHAPITRE 1

[ADI02-1] Adeniso, Ismail M., Olsson H, « *A Wide-Band RF Front-End for Mulitband Multistandard High linearity Low IF Wireless Receivers* », IEEE Journal of Solid-State Circuits, vol. 37, n°9, Septembre 2002, pp. 1162-1168.

[ALI96-1] Ali A., Tham J L., « *A 900Mz Frequency Synthetiser with Integrated LC Voltage-Conrolled Oscillator* », IEEE International Solid-State Circuits Conference, 1996, pp. 390-392.

[AXE05-1] Axelrad D., « *Application des technologies CMOS sur SOI aux Fonctions d'Interface des Liens de Communication Haut Débit (> 10Gbit/s)* », chapitre 2 : Technologie, outils et méthodes, thèse, Institut National Polytechnique de Grenoble, 2005.

[BAD00-1] Badets F, « *Contribution à l'étude de la synchronisation des oscillateurs : intégration des oscillateurs synchrones dans les systèmes radiofréquences* », Thèse, Université Bordeaux 1, 2000.

[BAR04-1] Barrandon L., Crand S., Houzet D., " *Behavorial Modeling and Simulation of Mixed Signal Front-End for Software Defined radio Terminals*", IEEE International Symposium on Industrial Electronics (ISIE'2004), 4-7 mai 2004, pp. 181-185.

[BAU02-1] Baudouin G. et collectif d'auteurs, « *Radiocommunications numériques 1 : Principes, modélisation et simulation* », Dunod, France, 2002, chapitre 1 : Principes et standards de communications mobiles et de réseaux locaux sans fil, pp : 5-25.

[BAU02-2] Baudouin G. et collectif d'auteurs, « *Radiocommunications numériques 1 : Principes, modélisation et simulation* », Dunod, France, 2002, chapitre 15 : Génération et Transposition en Fréquence, pp : 477-512.

[BEG00-01] Bégueret J.B, Belot D., Deval Y., Fouillat P., et A. Spataro, « *Circuits et procédés de génération de signaux en décalage de phase* », Brevet Français n°0004501, Avril 2000.

[BER00-1] Berstein K, Rohrer N J., « *SOI Circuit Design Concepts* », Kluwer Academic Publishers, Dordrecht, 2000, chapitre 8: Global Chip Design Consideration, pp. 165-194.

[BER00-2] Berstein K, Rohrer N J., « *SOI Circuit Design Concepts* », Kluwer Academic Publishers, Dordrecht, 2000, chapitre 3: SOI Device Electrical Properties, pp. 29-66.

[BES84-1] Best R.E, « *Phase Locked Loop* », Mc Graw Hill, USA, 1984, Chapitre 7: Practical Applications of the PLL, pp. 151-268.

[BES84-2] Best R.E, « *Phase Locked Loop* », Mc Graw Hill, USA, 1984, Chapitre 4: Theory of the Digital PLL, pp. 69-110.

[BIA99-1] Bianchi R-A., « *Techniques de Conception des Circuits Intégrés Analogiques pour des Applications en Haute Température, en Technologie sur Substrat de Silicium* », chapitre 2 : Physique des matériaux Haute Température, pp 11-45, thèse, Institut National Polytechnique de Grenoble,1999.

[CHI00-1] Chien G., « Low *Noise Local Oscillator Design Techniques using a DLL based Frequency Multiplier for Wireless Applications* » chapitre 6: Prototype Implementation, Thèse, Université de Berkeley, CA, 2000, pp.70-96.

[CHI00-2] Chien G., « Low *Noise Local Oscillator Design Techniques using a DLL based Frequency Multiplier for Wireless Applications* » chapitre 4: DLL-based Frequency Multiplier Fundamentals, Thèse, Université de Berkeley, CA, 2000, pp.70-96.

[CRA94-1] Crawford J.A, « *Frequency Synthesizers Design Handbook* », Artech House, Norwood, England, 1994, Appendix 4A: Loop Bandwith Considerations Using the Phase-Frequency Detector, PP 189-201.

[CRA03-1] Craninckx J., Donnay S., « *4G Terminals: How are We Going to Design Them?* », 40th Conference on Design Automation, 2003, pp. 79-84.

[COR04-1] Cordeau D., "*Etude Comportementale et Conception d'Oscillateurs Intégrés Polyphases Accordables en Fréquence en Technologie Si et SiGe pour les Radiocommunications* ", Chapitre 1 : Architectures et caractéristiques d'émetteurs récepteurs radiofréquences, Thèse, Université de Poitiers, 2004.

[DEH04-1] Dehghani R, « *A 2,5 GHz CMOS Fully Integrated ΣΔ Controlled Fractional N Frequency synthesizer* », 17th International Conference on VLSI Design, 2004.

[DEL05-1] Deltimple N., Kerhervé E, Belot D., Deval Y et Jarry P., « *A SiGe Controlled-Class Power Amplifier Applied to Reconfigurable Mobile Systems* », 35th European Microwave Conference (EuMC2005), Paris, France, Octobre 2005, pp.457-460.

[JUN01-1] S. Jun-Zhao, J. Sauvola, D. Howie, "*Features in Future: 4G Visions from a Technical Perspective*", IEEE Global Telecommunications Conference (GLOBECOM '01), vol. 6, pp. 3533-3537, Novembre 2001.

[LOU03-1] Loumeau P., « *Action Spécifique 37 Radio Logicielle* », Workshop du Réseau Thématique System On Chip du STIC-CNRS, Aussois 22-25 Septembre 2002, http://www.comelec.enst.fr/~loumeau/Documents/Loumeau_2003_02_11.pdf

[ENG05-1] Engelstein A., *« Etude des Potentialités des Technologies CMOS/SOI pour la Synthèse de Fréquence à 10 GHz sous Faible Tension* », chapitre 1 : Les technologies CMOS SOI et silicium massif sub-micronique pour les applications RF, thèse, Institut National Polytechnique de Grenoble, 2005.

[FAR04-1] Fard A, Johnson T, Aberg D, « *A Low Power Wide Band CMOS VCO for Multi-Standard Radios* », IEEE Radio and Wireless Conference, 2004, pp.79-82.

[FON03-1] Fong N.H.W, Plouchard J.O, Zamdmer N, Duixian Liu, Wagner L.F, Plett C., Tarr N.G, « *A 1V 3,8-5,7 GHz Wide Band VCO with Differentially tuned Acummulation MOS Varactors for Common Mode Noise Rejection in CMOs SOI technology* » IEEE Transactions on Microwave Theory and Techniques, 2003, pp. 1952-1959.

[GIA05-1] Gianesello F., Raynaud C., Montusclat S., Gloria D., Boret S., Clément C, Van Haaren B., Tinella C., Belot D., Benech P., Dambrine G., Fournier J.M, « *Composants passifs intégrés en technologie CMOS 130nm SOI Haute Résistivité* », Journée Nationale de la Microélectronique, 2005.

[HIR01-1] Hiraoka Y., Matsumoto S., Sakai T., « *New Substrate Crosstalk Reduction structure using SOI Substrate* », IEEE International SOI Conference, 2001, pp.107-108.

[HWA00-1] Hwang S-S, Joo K-M, Park H-J, KimJ-W, Chung P., « *A DLL based 10-320MHz* », IEEE International Symposium on Circuits and Systems, vol.5, pp. 265-268, mai 2000.

[KIM94-1] Kim B., Weigandt T C., Gray P R., « *PLL/DLL System Noise Analysis for Low Jitter Clock Synthesizer Design* », IEEE International Symposium on Circuits and System (ISCAS'94), pp.31-34, vol.4, 1994.

[KLE03-1] Klepser B-U., Punzenberger M., Ruhlicke T., Zannoth M, « *5-GHz and 2.4-GHz Dual-Band RF-Tranceiver for WLAN 802.11a/b/g Applications* », 2003 IEEE Radio Frequency Integrated Circuits Symposium (2003 RFIC), pp.37-40, Juin 8-10.

[LEE94-1] Lee T H., Donnelly K S., Ho J T C., Zerbe J., Johnson M G., et Ishikawa T., « *A 2,5 V CMOS Delay-Locked-Loop for 18 Mbit, 500 Megabyte/s DRAM* », IEEE Journal of Solid State Circuit, vol.29, n°12, Décembre 1994, pp.1491-1496.

[LEE98-1] Lee T.H, « *The Design of CMOS Radio-Frequency Integrated Circuit* », Cambridge University Press, Cambridge, UK, 1998, chapitre 17: Phase noise, pp. 530-549.

[MAG02-1] Magoon R., Molnar A., Zachan J., Hatcher G., Rhee W., « *A Single-Chip Quad-Band (850/900/1800/1900 MHz) Direct Conversion GSM/GPRS RF Tranceiver with Integrated VCOs and Fractional-N Synthesizer* », IEEE Journal of Solid-State Circuits, vol.37, n°12, Décembre 2002, pp. 1170-1180.

[MAR02-1] Marshall A., Natarajan S., « *PD-SOI and FD-SOI : A comparison of Circuit Performance* », 9th International Confererence on Electronics Circuits and Systems, pp.25-28, vol. 1, 2002, Dubrovnik, Croatie.

[MAR02-2] Marshall A., Natarajan S., « *SOI Design : Analog, Memory and Digital Techniques* », Kluwer Academic Publishers, Dordrecht, 2002, chapitre 2: SOI Materials, pp. 5-46.

[MIY04-1] Miyazaki T, Hasimoto M, Onodera H, « *A Performance Comparaison of PLLs for Clock Generation using Ring Oscillator VCO and LC oscillator in a Digital CMOS Process* », Asia and South Pacific Design Automation Conference, 2004.

[MON05-1] Monnerie G., « *Etude et Modélisation de sources de bruit dans les structures à temps discret* », chapitre 2 : Modélisation et caractérisation de sources de bruit en temps discret, pp. 63-97, thèse, Université de Bordeaux 1, 2005.

[MOO00-1] Moon Y, Choi J, Lee K, Jeong D-K, Kim M-K, « *An All-Analog Multiphase Delay-Locked-Loop using a Replica Delay Line for Wide-range Operation and Low-Jitter Performance* », IEEE Journal of Solid State Circuit, vol.35, n°3, mars 2000, pp.377-384.

[MOR05-1] Moreira C. P., Kerhervé E., Jarry P., Belot D. « *Design of a dual-standard RF receiver front-end for wireless applications* », Microwave Filters and Amplifiers, Research Signpost, Kerala, India, 2005, Chapter 6, pp. 93-118.

[RAZ98-1] Razavi B., *« RF Microelectronics* », Prentice Hall PTR, Upper Saddle River, NJ, USA, 1998, chapitre 8 : Frequency Synthesizer, pp. 247-297.

[RED00-1] Redman-White B, Bernstein K., « *SOI CMOS Circuit Design Exposed: Another Dirty Tricks Campaign?* », European Solid Sate Circuit Conference (ESSCIRC'00), pp 141-151, 2000.

[ROH97-1] Rohde U L., « *Microwave and Wireless Synthesizers Theory and Design* », Wiley-Interscience, New York, USA, 1997, Chapitre 4: Loop Component, p. 310.

[SOI1] site Internet de SOITEC : *http://www.soitec.com/en/techno/t_2.htm*.

[SPA01-1] Spataro A., « *Elaboration d'une Nouvelle Méthodologie de Conception des Circuits Radiofréquences Basée sur l'Utilisation du Temps de Propagation des Opérateurs Logiques Elémentaires : Application à la Synthèse d'Oscillateurs*

CMOS Polyphasés », Chapitre 2 : Méthodologie de conception DOD, Thèse, Université Bordeaux 1, 2001.

[SPA01-1] Spataro A., Deval Y., Bégueret J.B, P. Fouillat, Belot D., « *A VLSI CMOS Delay Oriented Waveform Converter for Polyphase Frequency Synthesizer*», IEEE Journal of Solid State Circuit, vol.37, n°3, mars 2002, pp.336-341.

[SUS03-1] Susplugas Olivier, « *Application des boucles à verrouillage de retard à la synthèse de frequences dans les circuits pour les communications mobiles* », chapitre 3 : La boucle à verrouillage de délai, thèse, ENST Télécom Paris, 2003.

[SUS03-2] Susplugas Olivier, « *Application des boucles à verrouillage de retard à la synthèse de frequences dans les circuits pour les communications mobiles* », chapitre 4 : la multiplication de fréquence, thèse, ENST Télécom Paris, 2003.

[TAR03-1] Taris T., *« Conception de Circuits Radiofréquences en Technologie CMOS VLSI sous Contrainte de Basse Tension* », chapitre 2 : Les Amplificateurs Faible Bruit, pp39-64, thèse, Université Bordeaux 1.

[TEN98-1] Tenbroek B M., Lee M S L., Redman-White W., Bunyan R J T., Uren M J., « *Impact of Self-Heating and Thermal Coupling on Analog Circuits in SOI CMOS* », IEEE Journal of Solid State Circuits, vol.33, n°7, Juillet 1998.

[VAL05-1] Valentian A., « *Etude de la Technologie SOI Partiellement Désertée à très Basse Tension pour Minimiser l'Energie Dissipée et Application à des Opérateurs de Calcul* » chapitre 3 : La technologie SOI, pp 51-68, thèse, Ecole Nationale Supérieure des Télécommunications de Paris.

[VAU97-1] Vaucher C., « *Synthesizer Architectures* », Analog Circuit Design, Kluwer Academic Publishers, Dodrecht, Pays Bas, 1997, pp. 291-329.

[WEI91-1] Weignandt T C., « *Low Phase Noise, Low Timing Jitter Design Techniques for Delay Cell Based VCOs and Frequency Synthesizer* », chapitre 2 : Jitter and Phase Noise in Communication Systems, thèse, Université de Californie, Berkerley.

[WU03-1] Wu S-M, Liu R-Y, Chen W-L, « *A 5,8 GHz Delta-Sigma Fractionnal-N Frequency Synthesizer for IEEE 802.11a Applications* », 5th International Conference on ASIC, 2003, pp. 1074-1077.

CHAPITRE 2 :

MODELISATION COMPORTEMENTALE DE LA BOUCLE A VERROUILLAGE DE DELAI FACTORISEE

1. INTRODUCTION

Nous avons déterminé dans le premier chapitre les contraintes appliquées aux architectures classiques de synthétiseurs de fréquences afin de pouvoir synthétiser toutes les normes de la gamme 2-6 GHz. Néanmoins, nous avons pu nous apercevoir que la structure construite autour de la boucle à verrouillage de délai semblait plus aisément adaptable pour répondre à ces problèmes.

Dans ce chapitre, nous nous proposons d'adapter la boucle à verrouillage de délai et de la rendre capable de synthétiser tous les standards de la gamme visée. Afin d'atteindre cet objectif, nous allons nous appuyer sur les structures de DLL reprogrammables existantes dont nous nous proposons de modifier l'architecture pour répondre à ces exigences.

Ce chapitre commence par la présentation des objectifs des travaux de thèse et la détermination des principales contraintes. Puis, après avoir étudié les architectures reprogrammables à base de DLL, nous démontrerons la nécessité de mener une étude comportementale aboutissant à la détermination de l'architecture retenue.

Cette étude est alors menée avec comme premier objectif de définir l'architecture qui assurera le fonctionnement inconditionnel du circuit en mode DLL, et ainsi autorisera le système à redémarrer chaque cycle d'oscillation avec chaque nouveau signal de l'horloge de référence.

Enfin nous simulerons le système complet et nous validerons alors sa fonctionnalité. Pour ce faire, nous vérifierons que suivant l'ordre de multiplication porté en entrée de la boucle, le système synthétise la fréquence attendue. Nous nous intéresserons également à la justesse de la modélisation de notre système en s'assurant notamment de la bonne modélisation de l'asservissement et du bon fonctionnement en mode DLL du circuit. Nous conclurons ce chapitre par l'étude de la stabilité du système.

2. NECESSITE D'UNE ETUDE COMPORTEMENTALE

2.1. Présentation des objectifs des travaux de thèses, détermination des principales contraintes.

L'objectif de ces travaux est de réaliser un synthétiseur de fréquences multistandard pour objets communicants sans fil. Les standards visés sont ceux compris entre le DCS et la bande haute du 802.11a, d'où une plage de fréquences en sortie comprises entre 1,8 GHz et 5,8 GHz. Ce synthétiseur pourra, à terme, être intégré comme oscillateur local dans les chaînes d'émission-réception reconfigurables (cf. chapitre 1, §2.2.2). Il devra donc fournir deux signaux en quadrature de phase pour être compatible avec l'architecture à conversion directe.

Les applications visées sont celles sans fil, destinées au grand public. Ainsi, le circuit réalisé devra être, de préférence, totalement intégré, et, consommer la plus faible puissance possible. Ces contraintes orientent la conception du synthétiseur vers une technologie à forte intégration (la technologie CMOS). De par sa faculté a être totalement intégrable (et notamment son filtre de boucle), et réalisable en technologie CMOS, la boucle à verrouillage de délai répond à ces contraintes. D'autre part, le premier chapitre de ces travaux a permis de

mettre en avant la boucle à verrouillage de délai comme étant l'architecture la mieux adaptée pour la synthèse radiofréquence multistandard. Le circuit réalisé sera donc construit autour de cette architecture.

Pour générer la quadrature de phase des signaux de sortie, d'un synthétiseur de fréquence conçu autour d'une boucle à verrouillage de délai, deux orientations sont possibles dans le cadre d'une intégration totale sur silicium : soit générer la quadrature lors de la sommation des signaux qui se propagent dans la chaîne d'éléments à retard contrôlable en tension [BEG00-01], soit générer la quadrature de phase à partir du signal de sortie, en réalisant une division de fréquence par deux [LEE98-1]. En termes de consommation de puissance et de surface de silicium, la première solution est la meilleure. Mais le risque important de désappariement entre les éléments à retard contrôlable entraînerait une trop grande erreur de phase entre les voies I (en phase) et Q (en quadrature de phase). C'est pour cela que nous générerons la quadrature de phase à l'aide d'une division de fréquence par deux. Ainsi, la fréquence du signal synthétisé au cœur du synthétiseur s'étendra sur la plage comprise entre 3,6 GHz et 11,6 GHz. Cette dernière contrainte, ajoutée aux objectifs de portabilité du système, nous oriente vers le choix d'une technologie numérique rapide, adaptée à la faible consommation : la technologie SOI.

Enfin, le principal objectif est de concevoir un synthétiseur de fréquences qui soit multistandard. Par conséquent la boucle à verrouillage de délai doit être capable de changer son facteur de multiplication sur une très grande plage. L'architecture devra donc être reprogrammable.

2.2. Etude des architectures reprogrammables à base de DLL.

La première version de la boucle à verrouillage de délai reprogrammable [COM96-1], également appelée boucle à verrouillage de délai factorisée, a été réalisée pour servir de générateur d'horloge dans des ASIC (Application Specific Integrated Circuit). Les concepteurs s'étaient fixés comme objectif de réaliser un circuit faible coût, en prenant autant en compte la surface de silicium consommée que le temps de conception de ce circuit. Ainsi, ils ont réalisé un circuit totalement intégré en technologie CMOS, conçu à partir des cellules standards des librairies et utilisant les techniques de placement et routage automatiques. Cette première DLL est donc numérique, utilisant une technologie CMOS de largeur de grille minimale de 1µm, et travaillant avec une tension d'alimentation nominale de 5 volts. Elle permet la multiplication de la fréquence du signal d'entrée d'un facteur variant de 4 à 20, et, génère une horloge en sortie de fréquence maximale de l'ordre de 170 MHz. Le schéma-bloc de ce circuit ainsi que les chronogrammes illustrant le fonctionnement de celui-ci sont donnés à la figure 2-1.

Ce circuit est constitué de cinq blocs qui sont : deux opérateurs à retard contrôlable numériquement, une bascule RS, un diviseur de fréquences, un comparateur de phase et un contrôleur numérique de retard. Le fonctionnement de ce circuit, illustré à la figure 2-1 b), est le suivant : un front montant de l'horloge de référence *CKref* crée un front montant au niveau du point *A*. Après avoir traversé l'élément *Retard 1*, le front montant, retardé d'un temps τ, atteint le point *R* et va alors activer la mise à zéro de la bascule RS créant ainsi un front descendant au niveau de *A* qui va se propager à travers les opérateurs à retard. Quand le front montant initial a traversé l'élément *Retard 2*, il se trouve alors au point *J* et provoque la mise au niveau haut de la bascule RS, soit en *A*, créant ainsi une oscillation. Cette dernière se répète pendant M cycles comptés par le diviseur de fréquence. Au $M^{ième}$ cycle, l'oscillation

est arrêtée par l'activation du signal *M* qui maintient la sortie de la bascule au niveau bas tant qu'un nouveau front montant de la référence n'est pas intervenu. Le comparateur de phase évalue alors l'erreur existant entre le front de référence et celui se situant en *J* afin de corriger celle-ci en ajustant la valeur du retard des opérateurs *Retard 1* et *Retard 2*. Un nouveau cycle d'oscillation est relancé par l'horloge de référence. Le système est verrouillé lorsque l'horloge de sortie *CKxM* à une fréquence M fois supérieure à celle de la référence *CKref*.

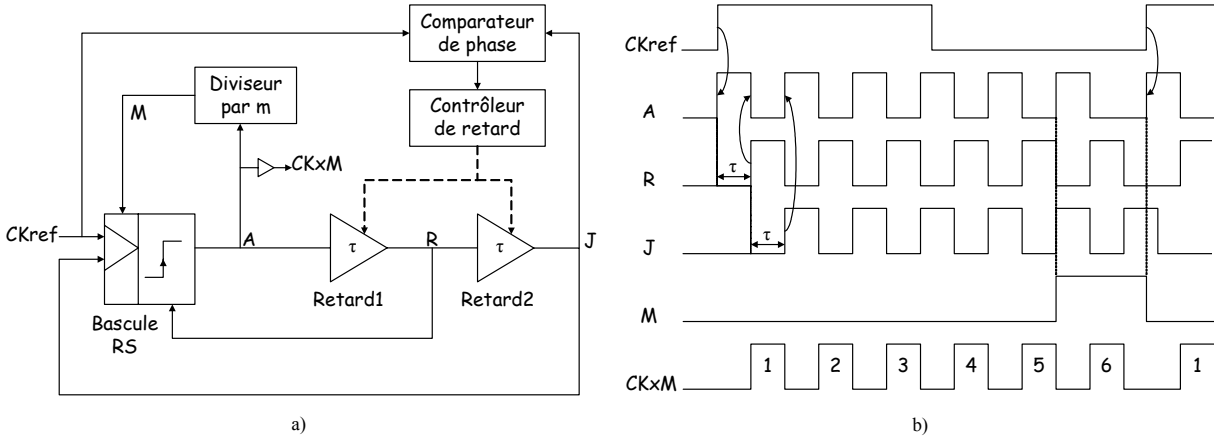


Figure 2-1 : DLL reprogrammable selon [COM96-1] : a) schéma bloc ; b) Chronogrammes illustrant le fonctionnement.

Une version de ce circuit avec contrôle analogique des opérateurs à retard a été développée [BEG01-1] pour générer l'horloge des convertisseurs analogiques numériques dédiés aux écrans LCD et PLASMA. Ce générateur supporte tous les types de standards vidéo, du standard VGA au standard SXGA. Il a été conçu au moyen d'une technologie CMOS de largeur de grille minimale de 0,25µm, fonctionnant avec une tension d'alimentation de 2,5 volts. La principale amélioration notable de ce circuit est l'ordre de multiplication du synthétiseur. En effet, alors que la première DLL ne multipliait la fréquence de la référence que d'un facteur variant de 4 à 20, cette version permet en utilisant une fréquence de référence comprise entre 15 kHz et 150 kHz de générer un signal compris entre 12 MHz et 330 MHz suivant le standard choisi et un ordre de multiplication maximum égal à 2200. Le schéma bloc de ce circuit ainsi que les chronogrammes illustrant le fonctionnement sont donnés à la figure 2-2.

Ce circuit est également réalisé autour d'un élément à retard contrôlable, d'une bascule RS, d'un diviseur par N et d'un comparateur de phase. En revanche, la traduction de l'erreur de phase en tension de contrôle se réalise de façon analogique à l'aide d'une pompe de charge et d'un filtre de boucle (basé sur une capacité). Le bloc *circuit de décision* commandé par le diviseur permet d'envoyer le dernier front descendant uniquement de CK_2 au comparateur de phase, et, le circuit *initialisation* permet la mise en forme de ses signaux d'entrée.

Un front montant de l'horloge de référence CK_{in} force la sortie de la bascule RS au niveau haut (CK_{out}). Ce front est retardé par l'opérateur à retard contrôlable pour atteindre CK_2 qui active la mise à zéro de la sortie de la bascule. Ce front descendant est lui-même retardé par l'élément à retard et permet la mise au niveau haut de la sortie de la bascule. Celui-ci se propage de sorte qu'une oscillation apparaît. Cette oscillation se maintient jusqu'à ce que le diviseur de fréquence dénombre N périodes. Le signal *Mode* est alors activé ce qui provoque l'arrêt de l'oscillation, et permet au dernier front descendant de CK_2 d'être transmis au comparateur de phase. L'erreur de phase est alors convertie en une tension de contrôle

pour l'élément de retard, dans le but d'être annulée. Un nouveau cycle d'oscillation démarre avec un nouveau front montant du signal de référence. Le système est verrouillé quand la fréquence du signal de sortie est N fois supérieure à celle du signal de référence.

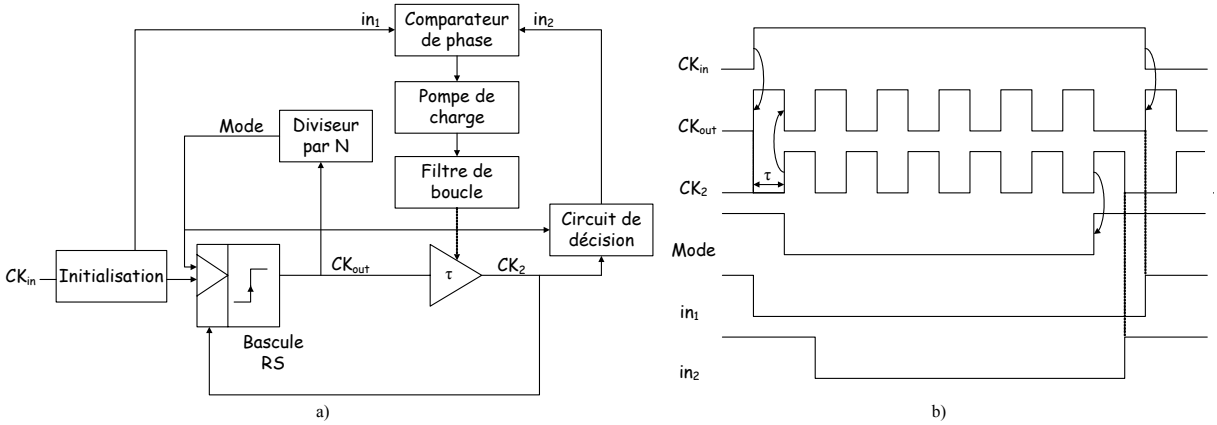


Figure 2-2 : DLL reprogrammable selon [BEG01-1] : a) schéma bloc ; b) Chronogrammes illustrant le fonctionnement.

Enfin une autre version de la boucle à verrouillage de délai factorisée a été réalisée [LAH02-1], afin de générer également une horloge pour des applications vidéo. Elle est constituée des mêmes blocs que la version précédente, les concepteurs ayant principalement axé leurs travaux sur l'optimisation du bruit généré par l'opérateur à retard contrôlable.

2.3. Méthodologie de conception descendante (Top-Down).

Traditionnellement, la description des circuits et systèmes analogiques se base sur une description premier niveau qui est le niveau transistor. En effet, les transistors sont d'abord assemblés afin de former une fonction, laquelle est associée à d'autres blocs permettant d'autres fonctions et ainsi de suite jusqu'au système. C'est la méthodologie de conception dite ascendante (Bottom-Up).

Mais les systèmes conçus étant de plus en plus complexes, contenant de plus en plus de fonctions et donc de transistors, les temps de simulation de ces circuits sont devenus très longs. Afin de limiter le temps consacré à la conception d'un circuit, et notamment lors de la recherche initiale de son architecture, l'approche descendante (Top-Down) est devenue une étape incontournable. En effet, en utilisant un niveau de description plus élevé, par l'intermédiaire d'une modélisation comportementale, les temps de conception sont considérablement réduits. D'autre part, cette méthodologie permet de détecter rapidement les défauts de fonctionnement d'un circuit avant même d'établir une description au niveau transistor.

Les fréquences de fonctionnement des DLL reprogrammables présentées précédemment sont beaucoup plus faibles que celles mises en jeu pour ces travaux (au maximum 330 MHz pour [BEG01-1] contre 12 GHz pour ce projet). L'efficacité des techniques employées afin de garantir l'arrêt et la relance inconditionnel de l'oscillation à chaque période de l'horloge de référence n'est, de ce fait, pas garantie si l'architecture est ainsi portée aux hautes fréquences. Une étude préalable pour déterminer la structure du circuit qui garantisse la fonctionnalité du système est donc nécessaire.

D'autre part, le système comprenant un nombre élevé de composants, les temps de simulation du système complet seront assez conséquents. C'est pourquoi, avant de simuler le circuit au niveau transistor, une étude comportementale va être conduite afin, d'une part, de déterminer l'architecture du circuit qui sera réalisé, et, d'autre part, de détecter et résoudre d'éventuelles erreurs de conception précoces.

3. MODELISATION COMPORTEMENTALE ET DETERMINATION DE L'ARCHITECTURE CHOISIE

Pour déterminer l'architecture du circuit, une modélisation comportementale de ce dernier a donc été effectuée. Cette modélisation a été réalisée à l'aide d'un langage de description de circuits analogiques et mixtes : le langage VHDL-AMS (**V**ery high speed integrated circuit **H**ardware **D**escription **L**anguage – **A**nalog and **M**ixed **S**ignal). Une première modélisation comportementale d'un circuit, pour application HiperLAN, qui utilisait ce type de langage a été effectuée [DEL03-1] [DEL03-2]. Les travaux décrits dans ce chapitre se placent donc dans la continuité de ces derniers.

3.1. Présentation du langage comportementale VHDL-AMS

3.1.1. Introduction

Le langage VHDL-AMS est un standard IEEE (IEEE 1076.1-1999) qui est une extension du langage VHDL pour la modélisation et la simulation des circuits et systèmes analogiques et mixtes logiques-analogiques. Le langage VHDL-AMS constitue un sur-ensemble du langage VHDL ce qui signifie [VAC02-1] :

- Toute description VHDL légale l'est aussi en VDHL-AMS et produit les mêmes résultats de simulation
- Les extensions apportées dans VHDL-AMS conservent les principes VHDL : modularité, déclaration avant usage, typage fort des données, flexibilité, extensibilité. Ces principes concernent à la fois la manière dont le langage est défini et la manière dont un modèle est écrit.

Le langage VHDL-AMS permet d'assister la conception, soit au niveau circuit avec la modélisation de circuits logiques et analogiques, soit au niveau système.

3.1.2. Composition d'un modèle VHDL-AMS

Un modèle VHDL-AMS se décompose en deux parties qui sont : la déclaration d'entité (**entity**) et la déclaration du corps de l'architecture (**architecture**).

L'entité définit l'interface d'un modèle avec le monde extérieur en spécifiant les entrées-sorties (**port**) et les paramètres génériques (**generic**) du modèle. Les ports se divisent en trois catégories :

- Les ports de type **signal** sont affectés aux signaux de type logique. Ils sont directionnels (entrée (**in**), sortie (**out**)) ou bidirectionnels (**inout**).
- Les ports de type **terminal** définissent les nœuds analogiques de connexion adirectionnels pour lesquels les lois de Kirchhoff sont satisfaites.

- Les ports de type quantité (**quantity**) représentent des points de connexions analogiques directionnels (**in**, **out**) pour lesquels les lois de Kirchhoff ne doivent pas être satisfaites.

L'architecture est constituée d'une zone de déclaration et d'un corps dans lequel le fonctionnement du modèle est décrit à travers des instructions de type concurrents, simultanées ou séquentielles [FAK02-1].

- Les instructions simultanées servent à traiter l'information en temps continu, elles sont évaluées à chaque point de simulation temporelle. Il existe l'instruction simultanée simple (==), l'instruction simultanée conditionnelle (*if use, elsif*), l'instruction simultanée sélective (*case, use*), l'instruction *null* et les procédures (*procedural*).

- Les instructions concurrentes servent à traiter l'information à temps discret, elles sont évaluées à chaque point de simulation logique en fonction de leur sensibilité à l'événement courant. Les processus (*process*) sont des instructions concurrentes, l'affectation des signaux (<=), le *break* ou l'*assertion* le sont également.

- Les instructions séquentielles sont évaluées en séquence dans le corps des processus. Les instructions principales sont l'affectation des variables (:=), le *wait*, l'exécution conditionnelle (*if then, case*) et l'exécution itérative (*while, for, loop*).

La figure 2-3, issu de [FAK02-1], illustre différents types de déclarations et d'instructions d'un modèle VHDL-AMS. La première déclaration, non évoquée précédemment, est celle des bibliothèques. Ces bibliothèques contiennent des fonctions prédéfinies telles que des fonctions arithmétiques, des fonctions mathématiques, des constantes physiques, thermiques ou électromagnétiques, etc.

```
                                -- bibliothèques utilisées —

Library disciplines;
use disciplines.electric_systems.ALL;
use IEEE.math_real.ALL;

                                -- spécification de l'entité —

entity exemple is
        generic (ts : real :=1.0e-3);
        port (terminal out : electrical);
end entity exemple;

                                -- spécification de l'architecture —

architecture archi of exemple is
        signal t : real := 0.0;
        signal t0 : real := 0.0;
        signal Jn : real;
        quantity vout : across iout through out;

begin
        t <= now;                                       -- instructions concurrentes
        count <= t-t0;

P1 : process                                    --processus (instruction concurrente)
        variable seed1 : positive := 19823;
        variable seed2 : positive := 124;
        variable x : real ;
begin
        wait until count'above(half_ts_noised) = true;          -- instruction séquentielle
                        -- l'intruction wait déclenche le processus P1 --
        UNIFORM(seed1 ,seed2, x);
        Jn <= 2.0 * (x - 0.5);
        t0 <= t ;
end process P1;

        Vout == 0.5 * ts * (1.0 + A*Jn);                -- instruction simultanée

end architecture;
```

Figure 2-3 : Exemple d'un modèle VHDL-AMS.

Afin de compiler et de simuler les différents modèles utilisés dans ces travaux, nous avons eu recours au logiciel ADVanceMS de Mentor Graphics.

3.2. Détermination de l'architecture permettant d'assurer le fonctionnement inconditionnel en mode DLL par modélisation comportementale.

L'originalité du circuit développé dans ces travaux est d'être basée sur une architecture de type DLL, et non PLL. Afin de garantir la remise à zéro de la gigue temporelle des signaux de sortie à chaque nouveau front montant de l'horloge de référence, il est nécessaire que chaque nouveau cycle du signal d'entrée démarre un nouveau cycle d'oscillation. La première étape a donc été de simuler le cœur du système où l'oscillation se crée, et ainsi de déterminer une architecture permettant de garantir inconditionnellement le fonctionnement du système en mode DLL.

3.2.1. Solution envisagée : utilisation de la technique selon [BEG01-1]

Les premiers travaux de modélisation du cœur du système, appelé bloc oscillateur par la suite, reprennent le principe de la première réalisation de la DLL reprogrammable selon [BEG01-1] : le bloc oscillateur est basé sur un unique élément à retard et sur une unité permettant de lancer ou d'arrêter l'oscillation.

Afin de prendre en compte l'augmentation de la fréquence de travail, et par suite, la diminution du temps entre l'instant où le système s'arrête et celui où il redémarre, la partie numérique réalisant cet arrêt et cette relance a été modifiée. En effet, dans sa version initiale, le compteur délivre son signal de sortie à la $N^{ième}$ période comptée. Ainsi, le système possède une durée égale à une période du signal synthétisé pour, d'une part, détecter au niveau du compteur, la $N^{ième}$ période comptée et générer son signal de sortie, et d'autre part, détecter au niveau de la partie numérique de l'oscillateur, le signal provenant du compteur et arrêter l'oscillation. La fréquence maximale visée est d'environ 12 GHz ce qui oblige le système à réagir dans un temps inférieur à 83 ps, sinon le signal d'arrêt intervenant après celui de la relance, il n'y aura pas d'oscillation pendant une période de l'horloge de référence.

En revanche, dans cette nouvelle version, le compteur active son signal de sortie lors de la $(N-1)^{ème}$ période comptée, offrant ainsi une fenêtre de temps plus grande afin de stopper l'oscillation. La réalisation de ce bloc oscillateur, donnée dans [MAJ04-1] et [MAJ04-2], est illustrée à la figure 2-4.

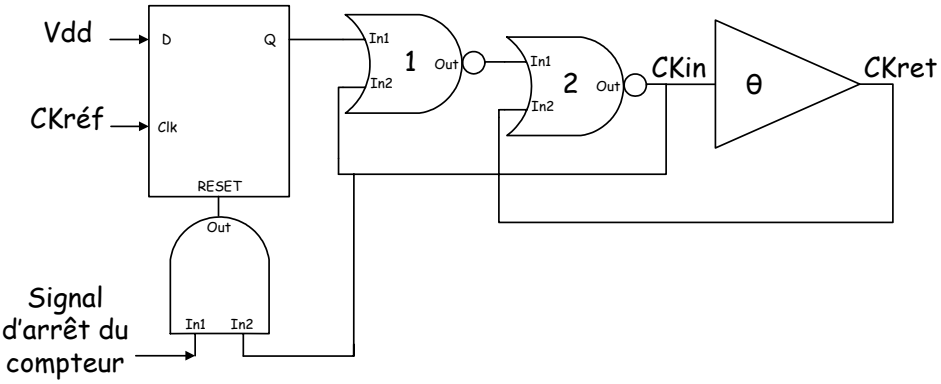


Figure 2-4 : Réalisation de la solution envisagée.

Les résultats de simulation comportementale de la figure 2-5 illustrent le fonctionnement de ce circuit. En effet, lorsque le compteur détecte la (N-1)^{ième} période de *CKret*, il active son signal de sortie (*Compteur*). La mise au niveau bas de la sortie de la bascule (*Q*) est entraînée par le dernier front montant de *CKin*. Par conséquent, le prochain front descendant de *CKin*, entraîne le passage à l'état bas de la sortie de la première porte NON OU (*Nor1_out*) qui par voie de conséquence force la sortie de la seconde porte NON OU (*CKin*) au niveau bas quel que soit l'état de sa seconde entrée. L'oscillation est arrêtée.

Le prochain front montant de l'horloge de référence fait passer au niveau haut la sortie de la bascule. La sortie de la porte NON-OU, notée 1 sur la figure 2-4, est ainsi forcée au niveau bas, *CKin* devient alors l'opposé de *CKret*, l'oscillation redémarre.

Ainsi, le système s'arrête et redémarre à chaque nouveau front montant de la référence empêchant ainsi l'accumulation de la gigue temporelle d'une période de la référence sur l'autre.

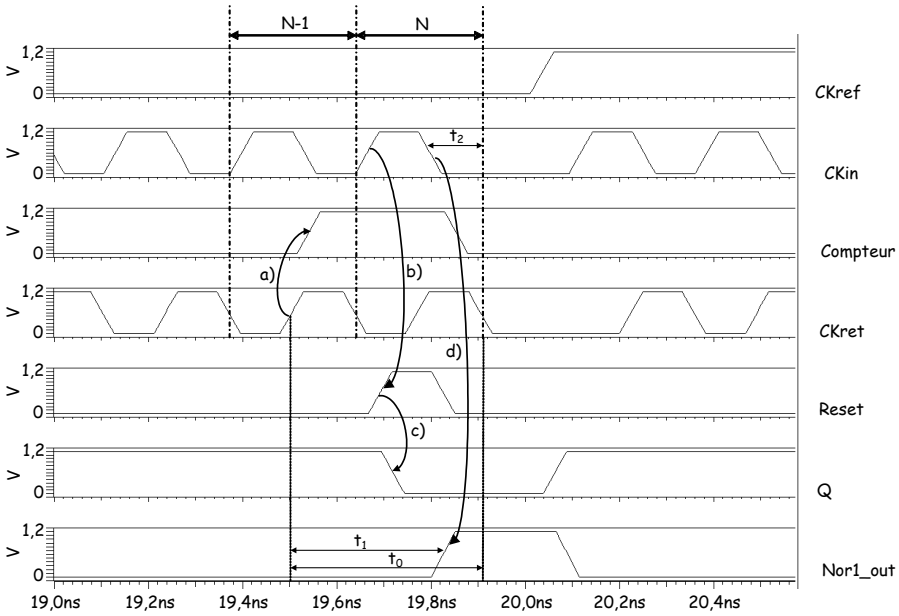


Figure 2-5 : Simulation comportementale du cœur du système.

3.2.2. Limite de la technique selon [BEG01-1] pour la synthèse multistandard 4-12 GHz.

3.2.2.1. Conditions nécessaires

Pour que le bloc oscillateur ainsi réalisé adopte un comportement de type DLL, deux conditions doivent être nécessairement réunies, une afin de garantir la précision du système, l'autre afin d'assurer sa relance.

- Tout d'abord, afin que l'oscillation s'arrête exactement à la N^{ième} période du signal synthétisé, il est obligatoire que le temps de propagation du signal à travers le compteur additionné au temps de propagation à travers la bascule et la première porte NON-OU soit inférieur à une période et demie du signal de sortie. Ce qui correspond, sur la figure 2-5, à avoir $t_1<t_0$.

- Ensuite, afin que l'oscillation redémarre à chaque front montant de l'horloge de référence, il est nécessaire qu'une fois la boucle verrouillée, l'accumulation de la gigue temporelle au sein de l'oscillateur, durant une période de la référence, soit inférieure à une demi-période du signal synthétisé ce qui permet que le signal d'arrêt (mise à un de *Nor1_out*) arrive toujours avant le signal de redémarrage. Ce temps correspond à t_2 sur la figure 2-5.

En effet, durant une période de l'horloge de référence, la gigue temporelle à la sortie de l'élément de retard est réinjectée en entrée de celui-ci, de sorte que se crée une accumulation de la gigue d'un cycle sur l'autre (de la même façon que pour un oscillateur en anneau, cf. figure 1-12). En revanche, l'horloge de référence permettant la remise à zéro de la gigue pour une architecture de type DLL, l'accumulation de la gigue temporelle en fonction du temps a alors la forme de la figure 2-6, ou σ^2_{tot} représente la variance de la gigue accumulée et σ^2_{ldr} représente la gigue cycle-à-cycle en sortie de l'élément de retard.

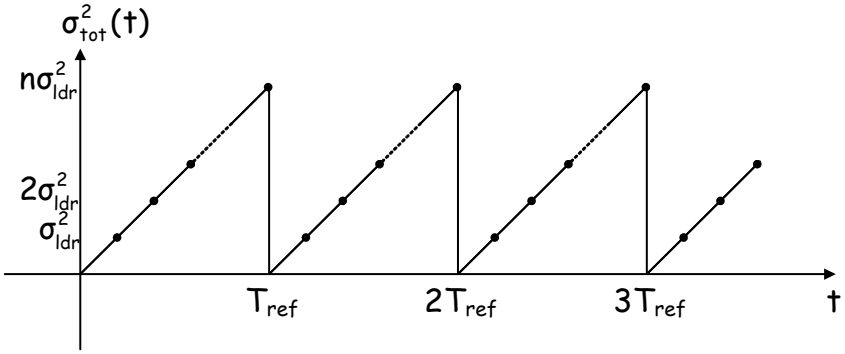


Figure 2-6 : Variance de la gigue en fonction du temps pour une ligne à retard asservie par une DLL factorisée.

Si l'on utilise un compteur synchrone et de la logique rapide, en profitant des avantages de vitesse inhérents à la technologie choisie (CMOS SOI) pour les applications de type numérique, le principal risque se situe au niveau de la valeur maximale que peut atteindre l'accumulation de la gigue temporelle sur une période de l'horloge de référence. Ainsi pour pouvoir conclure quant à la fonctionnalité d'un tel bloc, il est alors nécessaire de simuler celui-ci au niveau transistor, puis d'extraire la valeur de la gigue temporelle maximale que celui-ci peut générer sur une période de la référence.

3.2.2.2. Simulation au niveau transistor de l'élément à retard en mode oscillation.

L'élément à retard contrôlable en tension choisi est présenté à la figure 2-7. La fréquence maximale visée étant relativement élevée, il nous a fallu un élément contenant le moins d'étages possible. D'autre part, afin de profiter des avantages de la technologie SOI en matière d'amélioration de la vitesse ainsi que de réduction de la consommation, l'architecture doit être numérique. L'architecture correspondant le mieux à ces exigences est la porte inverseuse CMOS.

Dans une configuration de type inverseur CMOS, la limitation de la vitesse est principalement due aux transistors PMOS dont les porteurs majoritaires présentent une mobilité environ trois fois inférieures à celle des électrons dans le cas de transistors NMOS. De ce fait, nous nous sommes orientés vers une topologie de type inverseur NMOS, le transistor PMOS servant de générateur de courant variable. L'élément de retard consiste donc

en la mise en série de deux inverseurs dont la vitesse de transition d'un état à l'autre est contrôlée par la tension appliquée sur la grille des transistors PMOS. Pour permettre l'oscillation, la porte NON-OU a aussi été réalisée, l'oscillation s'obtient en rebouclant la sortie de l'élément à retard contrôlable sur une des deux entrées de la porte NON-OU, la seconde entrée étant reliée à la masse.

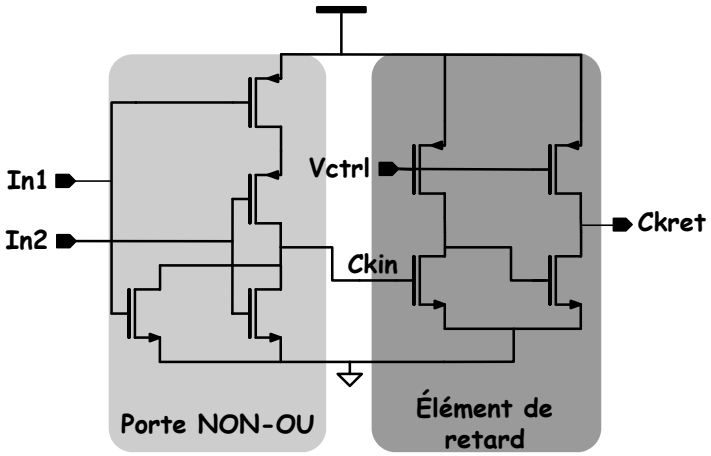


Figure 2-7 : Elément de retard.

Ce bloc a été simulé avec le logiciel Cadence SpectreRF, à partir du Design Kit de la technologie HCMOS9 130nm Bulk de STMicroelectronics. En effet, la technologie SOI étant en cours de développement par notre fondeur, nous n'avons pu disposer de modèles fiables pour réaliser ces simulations.

La figure 2-8 présente l'évolution de la fréquence d'oscillation en fonction de la tension de contrôle : les fréquences des standards désirés, à savoir entre 4 et 12 GHz, sont atteintes.

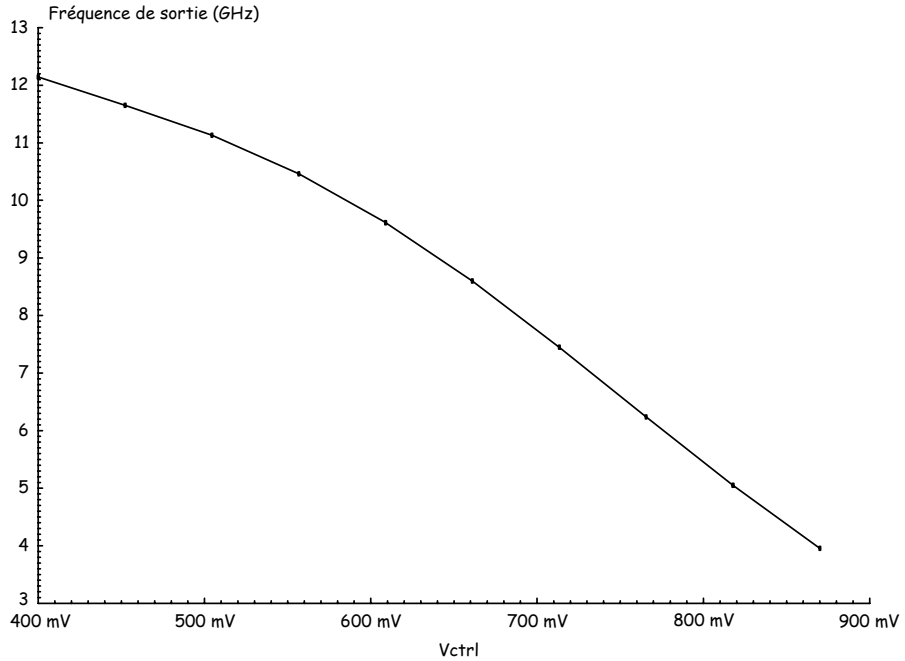


Figure 2-8 : Evolution de la fréquence d'oscillation en fonction de la tension de contrôle.

Le logiciel Cadence SpectreRF permet de calculer le bruit de phase fréquentiel des oscillateurs. Le résultat de simulation du bruit de phase fréquentiel de l'opérateur de retard en mode oscillation est donné à la figure 2-9. Ce bruit de phase a été réalisé pour une porteuse à la fréquence de 12 GHz.

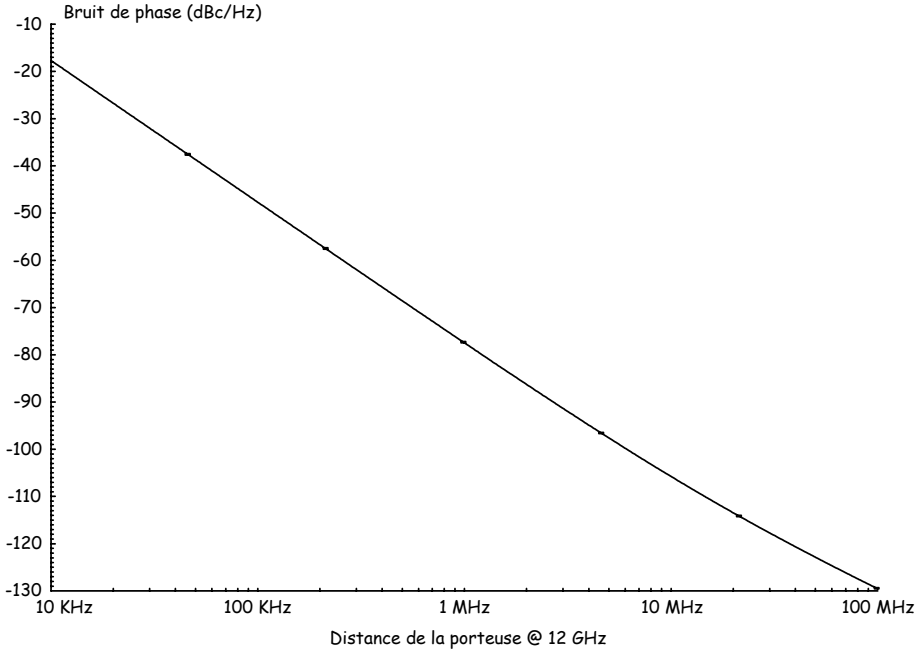


Figure 2-9 : Bruit de phase à 12 GHz.

Le bruit de phase simulé est relativement haut : par exemple à 1 MHz de la porteuse il est de l'ordre de -75 dBc/Hz. Ce qui était prévisible sachant que les oscillateurs en anneau de type inverseur CMOS (single ended) sont très bruyants. Il ne rejette par exemple pas le bruit d'alimentation.

La figure précédente présente le bruit de l'opérateur considéré comme un oscillateur en anneau évoluant librement. Mais, nous désirons obtenir le bruit de l'oscillateur asservi sur une période de la référence, deux phénomènes sont donc à prendre en compte et vont modifier la forme de bruit simulé.

Tout d'abord, le système étant asservi, il faut prendre en compte l'effet de la boucle sur le bruit. Une boucle à verrouillage de délai est un circuit du premier ordre dont le filtre est une capacité, le système se comporte alors comme un passe haut pour le bruit dans la bande passante du système [MAC94-1]. La réjection dans la bande passante du bruit suit une courbe de pente -20 dB par décade.

D'autre part, le circuit est une DLL, il annule le bruit de phase à chaque nouvelle période de l'horloge de référence, ce qui se traduit par une réjection du bruit pour des fréquences supérieures à celle de référence d'un facteur égal à 20 dB par décade (cf. chapitre 1, §3.3.2.1).

La figure 2-10 présente la courbe de bruit de phase de l'oscillateur libre et celle du système asservi par une DLL. Cette dernière peut être décomposée en trois zones.

- Tout d'abord, une première zone est définie pour des fréquences inférieures à la fréquence de coupure de la boucle. Cette fréquence a été prise égale à la fréquence du signal de référence divisée par un facteur 10, ce choix s'explique par l'étude de stabilité du système

qui sera menée à la fin de ce chapitre. Le bruit de phase du système asservi suit celui de l'oscillateur libre corrigé par l'action de la boucle (courbe bleue de la figure 2-10). Dans ce cas, la courbe de bruit de phase de l'oscillateur libre décroît en raison de -30 dB par décade. L'action de la boucle se traduit par une courbe de type passe-haut, de pente + 20 dB par décade. Il en résulte, pour le système asservi une décroissance de la courbe de bruit de phase avec une pente de -10 dB par décade.

- Une seconde zone est à distinguer, comprise entre la fréquence de coupure de la boucle et la fréquence de référence. Dans cette zone, le bruit de phase du système asservi est égal à celui du système libre.

- Enfin, la dernière zone est définie pour des fréquences supérieures à la fréquence de référence. Pour ces fréquences, le bruit de phase du système asservi suit celui de l'oscillateur libre corrigé par l'effet DLL (courbe bleue de la figure 2-10), c'est-à-dire la remise à zéro du bruit de phase temporelle à chaque nouveau cycle de l'horloge d'entrée. Ce phénomène se traduit par une courbe de type passe-bas, dont la pente est égale à -20 dB par décade. Dans notre exemple, le bruit de phase de l'oscillateur libre décroît en raison de -20 dB par décade. Par suite la pente de la courbe de bruit de phase de l'oscillateur asservi décroît avec une pente de -40 dB par décade.

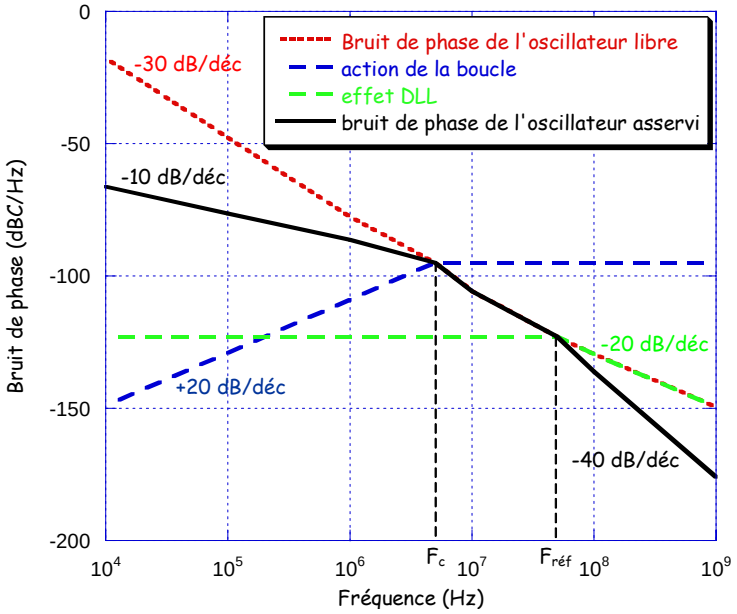


Figure 2-10 : Bruit de phase de l'oscillateur libre et asservi.

Notre objectif étant de déterminer la gigue temporelle accumulée par le système asservi sur une période de l'horloge de référence, la prochaine étape est donc à partir de la précédente courbe de déterminer quelle est la valeur de cette gigue.

3.2.2.3. Estimation de la gigue temporelle accumulée sur une période de l'horloge de référence

Afin de déterminer le bruit de phase temporel à partir du fréquentiel, nous nous sommes servis des travaux de thèse de Guillaume Monnerie [MON05-1]. En effet, il s'est attaché à caractériser et à modéliser les sources de bruit en VHDL-AMS. Ses travaux lui ont permis de développer un logiciel de génération automatique de modèle de bruit, applicable à toutes sortes de source de bruits, dans le domaine temporel.

Le principe de cette modélisation est de décomposer le bruit fréquentiel en région de la forme $1/f^n$, et d'appliquer un algorithme adéquat à un générateur aléatoire de type gaussien. En effet, la densité spectrale d'un tel générateur est une constante quelle que soit la fréquence (c'est la densité spectrale de puissance d'un bruit blanc). Si on filtre un tel signal par un intégrateur, on génère alors une courbe proportionnelle à $1/f^2$ comme illustré à la figure 2-11.

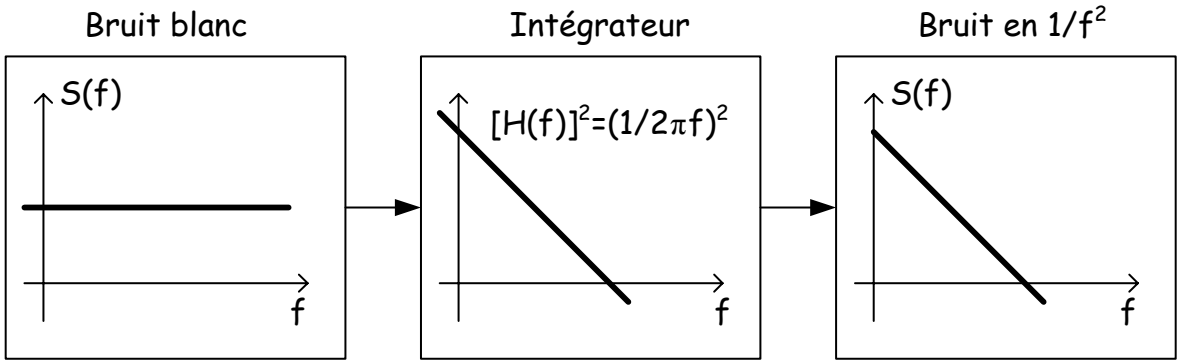


Figure 2-11 : Modélisation d'un bruit selon [MON05-1].

De plus, ce logiciel à la différence de nombreuses modélisations de bruit ne se limite pas aux bruits à répartition gaussienne (bruit blanc) [KUN05-1]. En effet, à travers l'utilisation de filtres d'ordre non entier, il est possible de générer un filtre intégrateur fractionnaire, et donc de générer les bruit en $1/f^n$ où n est impair et notamment les bruits en 1/f.

Pour notre application, ce logiciel permet, à partir d'une courbe de bruit de phase dans le domaine fréquentiel de calculer la réponse temporelle associée. Le résultat de la transformation du bruit déterminé dans le domaine fréquentiel en bruit dans le domaine temporel, sur une période de l'horloge de référence, pour un signal d'une fréquence de 12 GHz, est donné à la figure 2-12.

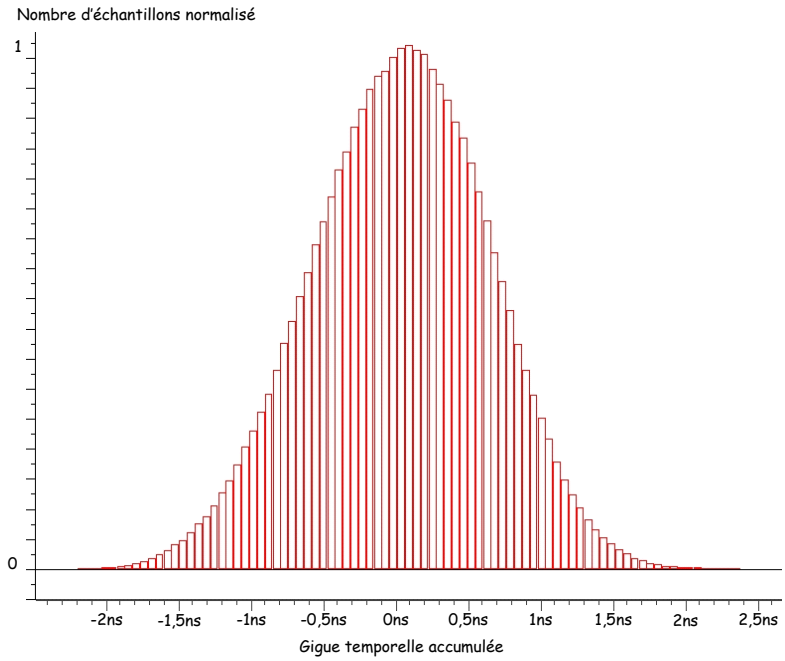


Figure 2-12 : Evaluation de la gigue temporelle accumulée.

L'histogramme précédent présente l'accumulation du bruit temporel au sein de l'opérateur à retard contrôlable rebouclé sur lui-même tel un oscillateur en anneau pendant une période de l'horloge de référence. La forme de cet histogramme est proche de celle d'une gaussienne. Ce phénomène se justifie par le fait que la partie principale du bruit se au voisinage de la porteuse et que sa décroissance s'effectue à raison de -10 dB/décade, caractéristique voisine d'un bruit blanc.

En supposant donc que l'histogramme consiste approximativement en une gaussienne alors 95% du bruit se situe dans un intervalle de demi-largeur de 1,3ns. Dans ce cas, la fréquence maximale permettant le fonctionnement inconditionnel du système est égale à $1/(2*1.3.10^{-9})$, soit environ 400 MHz. Nous pouvons donc conclure qu'une telle architecture, fondée sur un seul élément de retard et de la logique, n'est pas utilisable avec l'élément de retard simulé. Désormais, deux choix s'offrent à nous, soit rechercher un oscillateur moins bruyant, soit rechercher une nouvelle architecture.

Des simulations réalisées de la même manière que précédemment ont montré que les exigences en terme de bruit de phase nécessaire au bon fonctionnement du système correspondaient aux performances d'oscillateurs faible bruit de type LC. Dans le premier chapitre, nous avons noté que les oscillateurs à faible bruit de phase (de type LC) présentent une plage de fréquence de sortie très inférieure à celle voulue (cf. chap.1, §3.2.3). Sachant que le bruit de phase d'un oscillateur est lié à sa fonction de transfert entre la fréquence de sortie et la tension de contrôle, nous avons concentré nos efforts sur le développement d'une nouvelle architecture.

3.3. Présentation de l'architecture retenue

3.3.1. Présentation

L'architecture finale choisie pour la DLL factorisée est décrite à la figure 2-13. Ce circuit se compose de trois blocs principaux.

Tout d'abord, un bloc nommé « Asservissement » qui est constitué d'un comparateur de phase, d'une pompe de charge et du filtre de boucle. Il réalise la correction de phase entre le signal de référence et le signal synthétisé et assure la stabilité du système grâce à son filtre de boucle. Le second bloc est appelé « Oscillateur ». Il se décompose en deux parties identiques. Elles sont chacune composées d'une partie oscillante, réalisée par la commande de l'oscillateur et la chaîne d'éléments à retard contrôlable en tension, et d'une partie numérique constituée d'un compteur programmable. Enfin, le dernier bloc, dénommé « Sortie », fournit à partir des signaux issus du bloc « Oscillateur », deux signaux en quadrature de phase.

Afin d'assurer le fonctionnement inconditionnel du système en mode DLL, et donc la remise à zéro du bruit de phase à chaque nouveau signal de référence, le bloc « Oscillateur » a été scindé en deux parties identiques. L'oscillation de la première partie est démarrée par le signal de référence alors que l'oscillation de la seconde partie débute avec le signal d'arrêt de la première oscillation. Selon cette technique, l'accumulation maximale de la gigue temporelle devra être inférieure à la moitié de la période de référence pour garantir son bon fonctionnement en mode DLL, ce qui offre une marge suffisante pour assurer celui-ci. Cette solution possède l'inconvénient de nécessiter davantage de silicium, mais la consommation de puissance, elle, reste identique car les sous-blocs fonctionnent tour à tour.

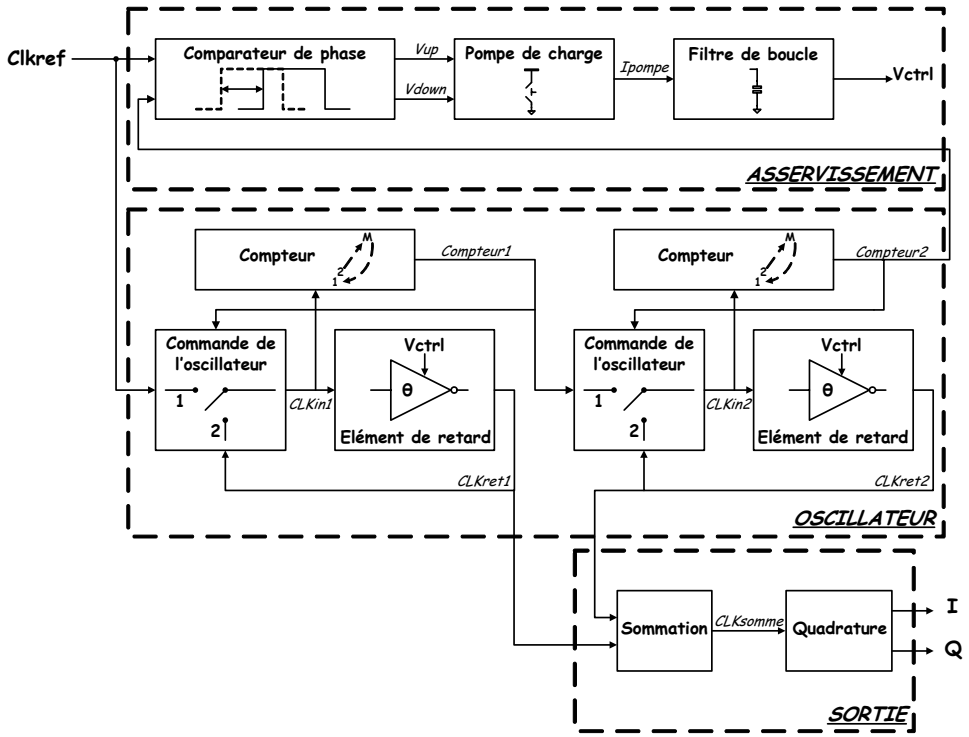


Figure 2-13 : Schéma bloc de la DLL factorisée.

3.3.2. Fonctionnement du circuit

Un front montant du signal de référence *Clkref* déclenche le fonctionnement du système. Les interrupteurs des deux commandes d'oscillateur sont placés en position 1. Le signal de référence traverse le premier élément à retard contrôlable, et fait basculer l'interrupteur d'entrée en position 2. Ce signal est donc retardé, inversé et rebouclé sur lui-même : une première oscillation débute. Le compteur dénombre les périodes du signal synthétisé. L'oscillation se poursuit jusqu'à ce que le compteur atteigne sa valeur finale programmée au préalable.

A cet instant, le signal de sortie du premier compteur *Compteur1* place, d'une part la première commande de l'oscillateur en position 1, d'autre part la seconde en position 2. La première oscillation s'interrompt tandis que débute celle de la seconde partie du bloc oscillateur. La seconde séquence d'oscillation dure jusqu'à ce que le second compteur atteigne sa valeur finale programmée au préalable.

A cet instant, le compteur interrompt la seconde oscillation et envoie un signal au bloc « Asservissement ». Ce bloc compare alors les phases des deux signaux en entrée et fournit une tension de correction aux éléments à retard contrôlable afin d'annuler l'erreur de phase. Un nouveau cycle démarre lorsqu'il apparaît un nouveau front montant de la référence.

Tout au long de ces oscillations, les signaux de sortie des blocs « Oscillation » (*CLKret1 et CLKret2*) sont portés en entrée du bloc « Sortie ». Ce dernier additionne ces deux signaux (*CLKsomme*) et génère à partir de cette somme, en divisant par deux la fréquence de celle-ci, les deux signaux de sortie en quadrature de phase (*I* et *Q*). Une fois le système verrouillé, si on nomme M1 la valeur du premier compteur programmable et M2 celle du second, la fréquence des signaux de sortie sera alors (M1+M2)/2 fois plus élevée que celle du signal d'entrée. Ce fonctionnement est illustré par la figure 2-14.

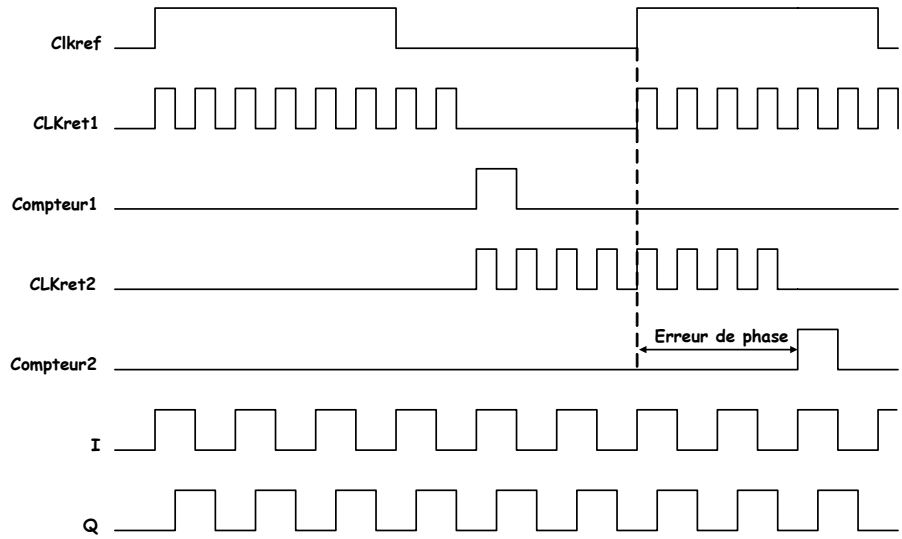


Figure 2-14 : Chronogrammes illustrant le fonctionnement de la boucle.

Les premières simulations comportementales ont permis de déterminer le cœur de l'architecture du système assurant le fonctionnement en mode DLL. Afin de pourvoir conclure sur la fonctionnalité du système global, il est désormais nécessaire d'en simuler le fonctionnement. Ainsi chaque bloc le constituant va être maintenant modélisé et étudié. Puis tous seront associés pour former le circuit complet dont le comportement global sera simulé.

4. VALIDATION DE LA FONCTIONNALITE DU SYSTEME PAR MODELISATION COMPORTEMENTALE

4.1. Description et simulation comportementale de chaque bloc

4.1.1. Le bloc asservissement

Cet ensemble est composé des sous-fonctions formées par le comparateur de phase, la pompe de charge et le filtre de boucle. Cet étage convertit le déphasage des signaux d'entrée du bloc (différence de phase entre la phase du signal d'entrée du système et la phase du signal provenant de la partie oscillante) en une tension de contrôle pour les chaînes d'éléments à retard contrôlable.

4.1.1.1. Modèle pour le comparateur de phase

Ce bloc reçoit en entrée les deux signaux à comparer (*CLKref*, *Compteur2)* et fournit en sortie deux signaux pour la pompe de charge traduisant l'avance ou le retard (*Vup, Vdown)* d'une entrée par rapport l'autre.

Le modèle comportemental utilisé décrit le fonctionnement suivant :

- Quand le signal provenant du bloc « Oscillateur » (*Compteur2)* est en retard sur le signal fourni par la référence (*CLKref*), le comparateur de phase génère une impulsion sur sa sortie *Vup* d'une durée proportionnelle à l'erreur de phase, la sortie *Vdown* étant maintenue au niveau bas.

- Lorsque *Compteur2* est en avance sur *CLKref*, le comparateur de phase génère une impulsion sur sa sortie *Vdown* d'une durée proportionnelle à l'erreur de phase, la sortie *Vup* étant maintenue au niveau bas.

- Enfin, lorsque les deux signaux sont en phase, les deux sorties sont maintenues au niveau bas.

La simulation du modèle comportemental du comparateur de phase est donnée à la figure 2-15. Les trois configurations possibles sont représentées : *Compteur2* est par rapport à *CLKref*, soit en retard (a), soit en avance (b), soit en phase (c).

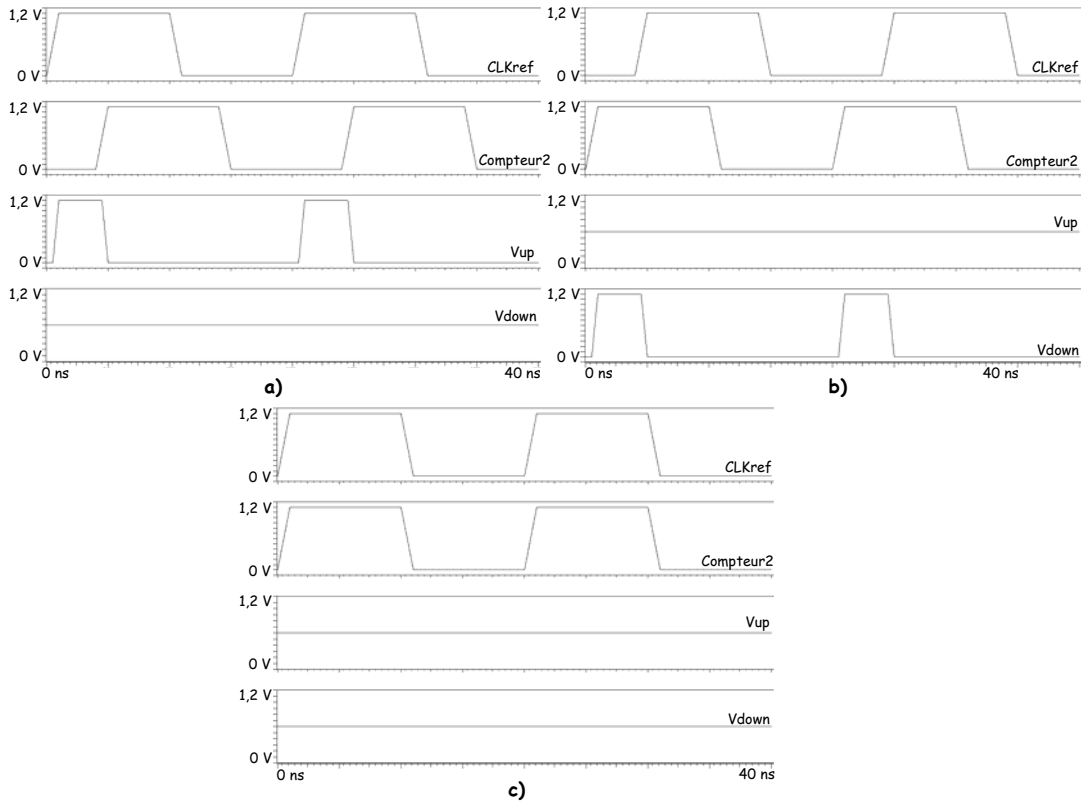


Figure 2-15 : Modélisation du comparateur de phase.

4.1.1.2. Modèle pour la pompe de charge et le filtre de boucle

Cet ensemble convertit l'erreur de phase détectée par le comparateur précédent en une tension de contrôle pour l'élément de retard.

Le modèle comportemental utilisé décrit le fonctionnement suivant :

- Lorsque le signal *Vup* est actif, la pompe de charge génère un courant (*Ipompe*) qui charge le filtre, de sorte que la tension de sortie du bloc *Vctrl* augmente.

- A contrario, lorsque le signal *Vdown* est actif, la pompe de charge absorbe un courant qui décharge le filtre, si bien que la tension de sortie *Vctrl* diminue.

- Enfin, si aucun des signaux d'entrées n'est actif, la pompe de charge ne délivre ni n'absorbe de courant. Aussi la tension de sortie est-elle maintenue constante.

La figure 2-16 présente les résultats de simulation comportementale de ce bloc selon que soit le signal *Vup* (a) soit le signal *Vdown* (b) est activé.

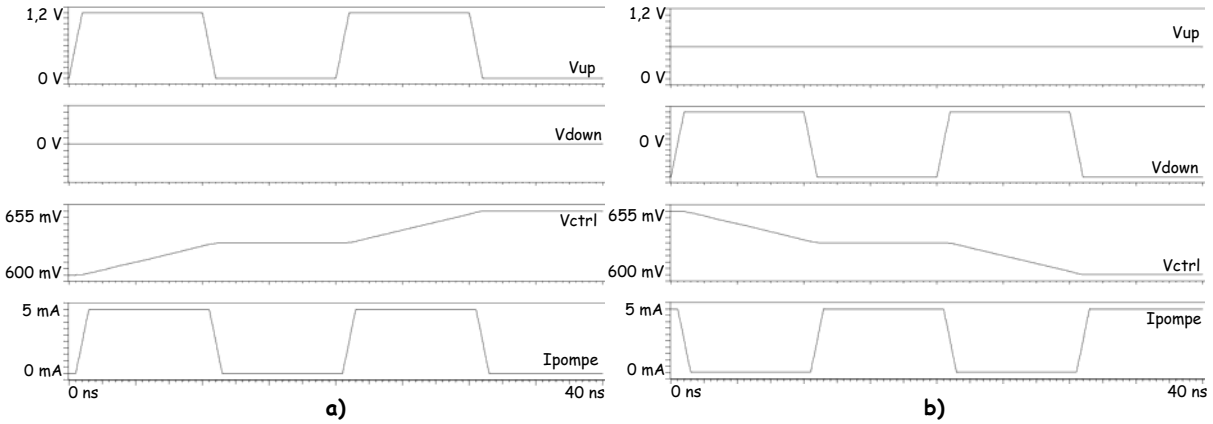


Figure 2-16 : Modélisation de la pompe de charge et du filtre de boucle.

Dans ces deux simulations, le filtre utilisé est basé sur une simple capacité. En effet, la boucle à verrouillage de délai factorisée est, comme une boucle à verrouillage de délai élémentaire, un système du premier ordre. Ce point important sera démontré à la fin de ce chapitre.

4.1.2. Le bloc oscillateur

Ce bloc se divise en deux parties identiques composées chacune d'un compteur, d'une commande et d'une chaîne d'éléments à retard contrôlable en tension. Ce bloc réalise la synthèse de fréquence en multipliant par M1+M2 (la somme des consignes programmées dans chaque compteur) la fréquence de référence une fois le système verrouillé.

4.1.2.1. Modèle pour le compteur

Son rôle est de compter le nombre de périodes du signal synthétisé, et d'activer son signal de sortie lorsque le nombre de périodes compté atteint la consigne fixée par l'utilisateur.

Afin de permettre de générer des fréquences différentes, le compteur devra être reprogrammable. Aussi le modèle utilisé respecte-t-il les règles suivantes :

- Pendant la première période du signal synthétisé, il charge dans un registre le nombre souhaité de périodes, et incrémente de un sa valeur interne. Il désactive sa sortie si nécessaire.
- Puis, à chaque front montant du signal synthétisé, il incrémente sa valeur interne et la compare à la consigne mémorisée dans le registre. Tant que la valeur interne du compteur est différente de celle du registre, il réitère cette opération.
- Lorsque sa valeur interne est égale à celle du registre, le compteur active son signal de sortie. De plus, il remet à zéro sa valeur interne et charge le nouveau nombre souhaité de périodes, placé à son entrée, dans son registre de comparaison.

Le fonctionnement de ce bloc est illustré à la figure 2-17. Durant la simulation, le nombre de périodes qui initialement était de quatre est passé à huit. Ce changement de valeur permet de vérifier que le compteur modélisé est bien programmable.

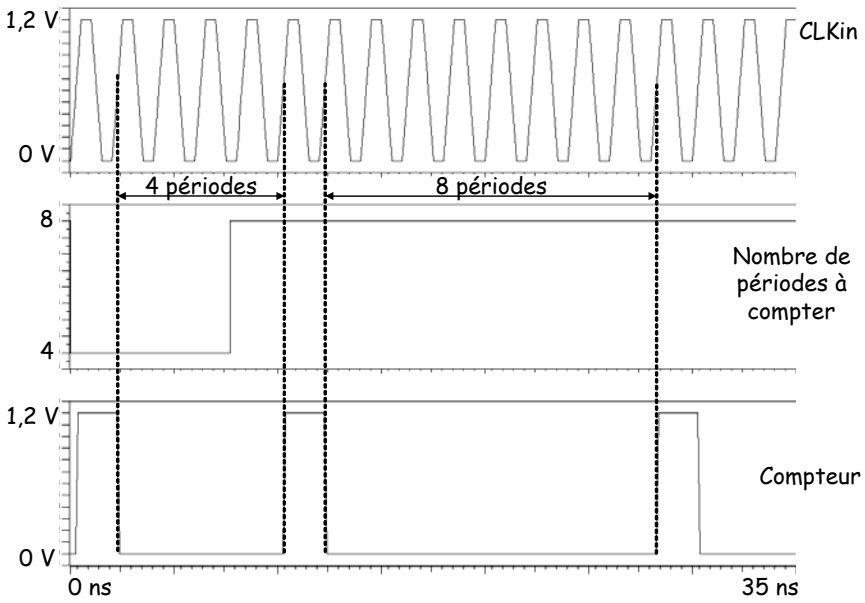


Figure 2-17 : Modélisation du compteur.

4.1.2.2. Modèle pour la commande de l'oscillateur

La commande de l'oscillateur est constituée de deux interrupteurs dont le fonctionnement en opposition de phase est piloté par le signal de sortie du compteur. C'est un bloc-clé de la DLL factorisée, car il permet de relancer l'oscillation à chaque nouveau cycle de l'horloge de référence. Pour réaliser cette fonctionnalité, la commande de l'oscillateur a été ainsi modélisée :

- Lorsque le signal de sortie du compteur est inactif (*Compteur*), l'interrupteur placé entre l'entrée de l'élément à retard (*CLKin*) et la sortie inversée de celui-ci (*CLKret*) est fermé, le second étant ouvert. Dans cette configuration, l'oscillation est activée.

- Lorsque le signal de sortie du compteur est actif, l'interrupteur placé entre l'entrée de l'élément à retard (*CLKin*) et l'horloge de référence (*CLKref*) est fermé, le second étant ouvert. Dans cette configuration, l'oscillation est arrêtée et reprendra au prochain front montant de la référence, qui provoque le passage au niveau bas du signal de sortie du compteur.

Le principe de fonctionnement est illustré à la figure 2-17. Deux signaux de fréquences différentes sont placés en entrée de ce bloc, afin de bien distinguer le fonctionnement ouvert et fermé des deux interrupteurs.

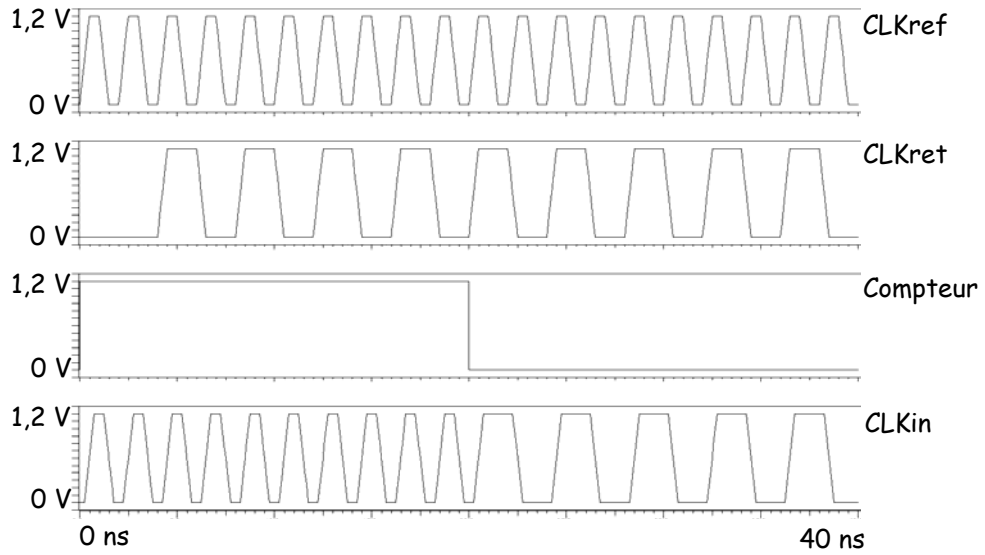


Figure 2-18 : Modélisation de la commande de l'oscillateur.

4.1.2.3. Modèle pour l'élément de retard contrôlable

Cet élément fournit à sa sortie le signal d'entrée retardé d'une durée ajustable. Quand sa sortie est rebouclée sur son entrée via un inverseur, le système s'apparente à un oscillateur en anneau. La fréquence de l'oscillation dépend alors de la valeur du retard apportée par l'opérateur.

Tel qu'il est modélisé, l'opérateur retarde le signal d'entrée d'une durée proportionnelle à la tension de contrôle. La fonction de transfert entre le retard et la tension de contrôle a été obtenue en utilisant la simulation de l'élément de retard étudié au paragraphe 3.3.2.1 de ce chapitre (simulation présentée à la figure 2-8) afin de rendre notre modèle plus réaliste.

La figure 2-19 illustre ce fonctionnement. On vérifie que la fréquence d'oscillation et le retard θ apporté par la cellule varient lorsque la tension de contrôle est modifiée.

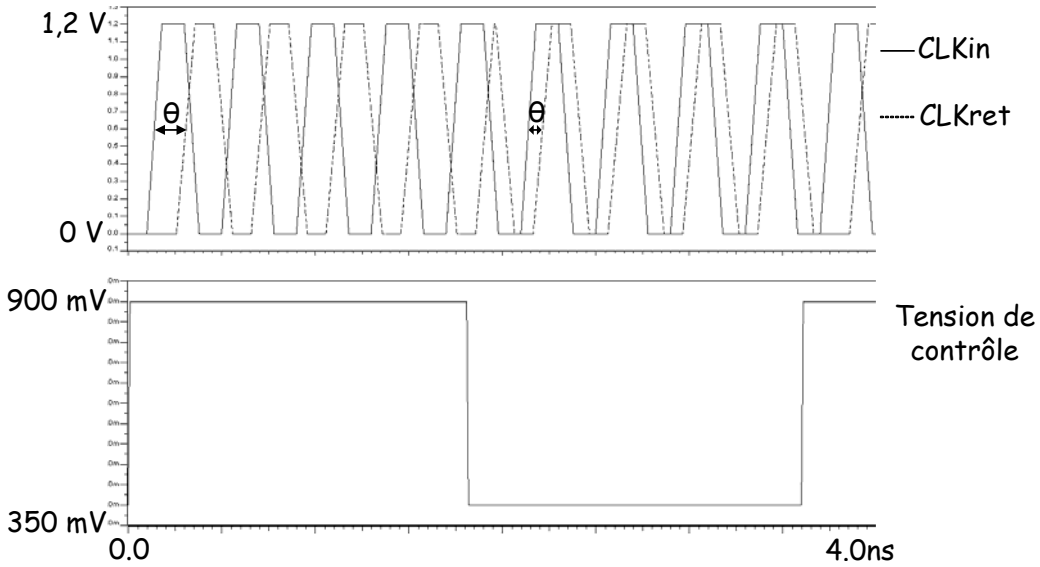


Figure 2-19 : Modélisation de l'élément à retard contrôlable.

4.1.3. Le bloc « Sortie »

Ce bloc reçoit en entrée les signaux de sortie du bloc « Oscillateur ». Il délivre deux sorties en quadrature de phase l'une par rapport à l'autre dont la fréquence est moitié de celle en entrée. Le bloc « Sortie » peut donc être divisé en deux sous-ensembles. Le premier sert à sommer les deux signaux pour en former un seul. Le second génère les deux signaux en quadrature de phase.

4.1.3.1. Modèle pour le bloc de sommation

Ce bloc fournit à sa sortie la somme de ses deux signaux d'entrée. Comme les signaux d'entrée proviennent des deux éléments à retard qui fonctionnent en alternance, le bloc sommation pourrait se réduire à une porte logique OU. Mais en pratique, ce bloc consiste en un interrupteur basculant entre ses deux entrées et dont la commande est délivrée par le signal d'arrêt du premier oscillateur. Il s'agit de se prémunir d'un éventuel recouvrement temporel des deux signaux d'entrée oscillants. Finalement, le modèle du bloc de sommation est similaire à celui d'un bloc de commande d'oscillateur (cf. 4.1.2.2).

4.1.3.2. Modèle pour le bloc de quadrature

Ce bloc délivre les signaux de sortie en quadrature de phase l'un par rapport à l'autre. Pour réaliser ce déphasage, le signal issu de la sommation précédente est placé à l'entrée de deux bascules commandées en opposition de phase.

La figure 2-20 présente les chronogrammes de cette fonction modélisée. Les deux signaux de sortie I et Q sont bien en quadrature de phase et leur fréquence est égale à la moitié de celle du signal d'entrée.

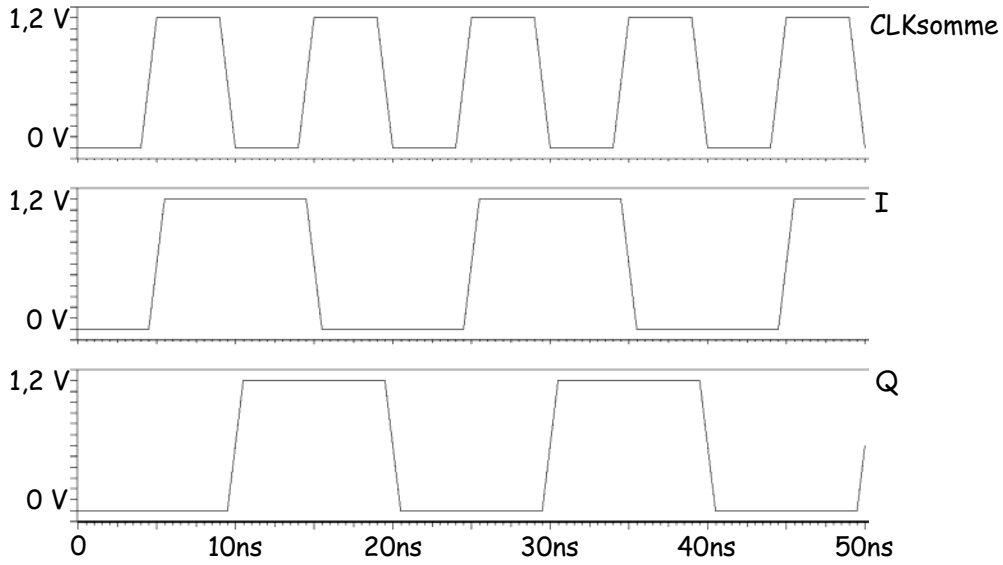


Figure 2-20 : Modélisation du bloc quadrature.

Tous les blocs composants la DLL factorisée ayant été modélisés, il est alors possible de les assembler et de simuler l'architecture complète.

4.2. Vérification de la fonctionnalité du système

Afin de pouvoir conclure quant à la fonctionnalité du système, il est nécessaire de vérifier en premier lieu si celui-ci synthétise le standard désiré en fonction des valeurs programmées en entrée des compteurs. Ensuite, il est indispensable de vérifier l'efficacité de la boucle de contrôle, en d'autres termes, de s'assurer si le système ainsi décrit est réellement asservi. D'autre part, cette singularité du système qui consiste à le redémarrer à chaque nouvelle période de la référence doit être également vérifiée. Par ailleurs, l'objectif étant de réaliser un synthétiseur de fréquence multistandard, nous nous intéresserons au comportement de la boucle lors d'un changement de fréquence.

4.2.1. Synthèse d'un standard

Le but étant de synthétiser tous les standards de la gamme 2-6 GHz, il est nécessaire de vérifier qu'en fonction de l'ordre de multiplication programmé du système, celui-ci fournit les signaux de sortie aux fréquences attendues. La figure 2-21 présente le spectre en fréquence du signal de sortie pour le standard à 1800 MHz.

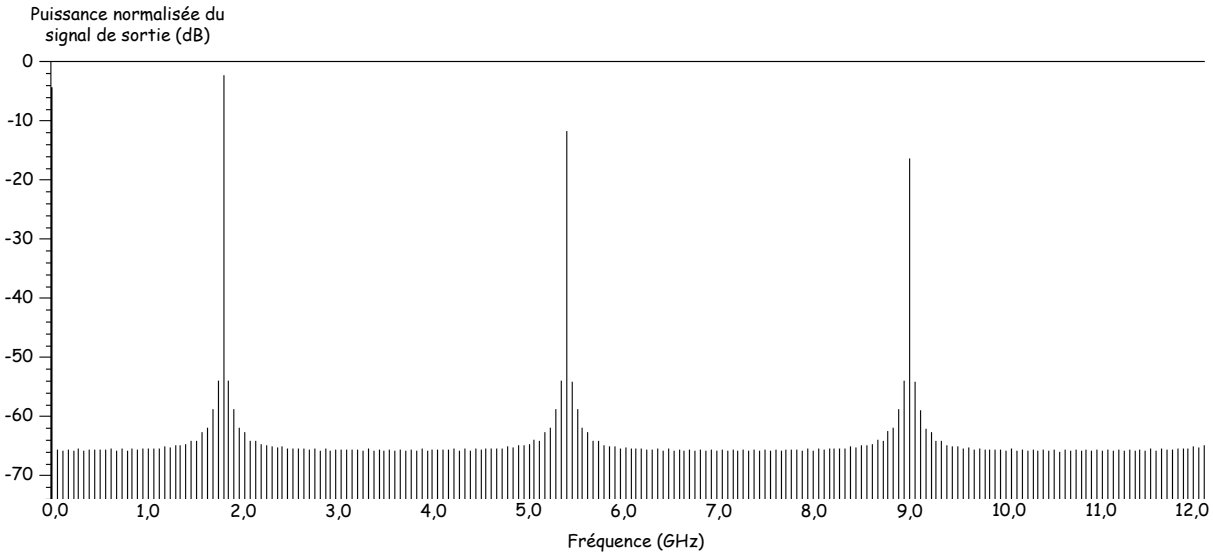


Figure 2-21 : Spectre du signal de sortie à 1,8 GHz.

Le spectre précédent se compose de la raie fondamentale à 1,8 GHz attendue ainsi que des deux premières raies harmoniques d'ordre impair. Les raies non harmoniques situées au voisinage de la porteuse sont séparées de celle-ci et les unes des autres par un écart égal à la fréquence de référence. L'atténuation entre ces raies non harmoniques et la porteuse est au minimum de - 54 dB.

La figure 2-22 présente le spectre du signal de sortie pour un ordre de multiplication en entrée correspondant à la bande haute du standard 802.11 a. Nous ne présenterons dans cette partie que les deux standards extrêmes de la bande de fréquence que nous désirons synthétiser. Le système répond correctement à la consigne en synthétisant la fréquence attendue, soit 5,8 GHz. Dans ce spectre apparaissent également les deux premières raies harmoniques d'ordre impair. L'atténuation par rapport à la porteuse des raies parasites séparées de celle-ci par un écart égal à la fréquence de référence est de l'ordre de - 58 dB.

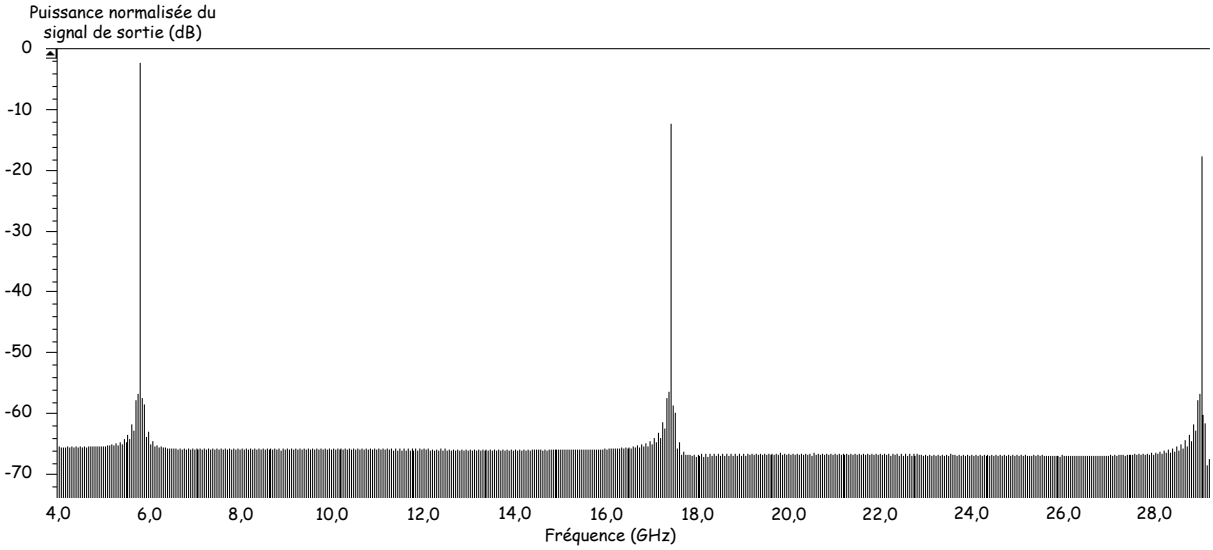


Figure 2-22 : Spectre de sortie à 5,8 GHz.

4.2.2. Validation de l'asservissement et du fonctionnement en mode DLL

La boucle à verrouillage de délai étant un système asservi, il a été nécessaire de vérifier le fonctionnement de celui-ci. Pour valider sa fonctionnalité, nous avons fait démarrer la boucle dans les deux états initiaux qui peuvent s'offrir à elle : la fréquence de sortie est soit supérieure soit inférieure à celle souhaitée. Dans les deux cas de figure, la fréquence de sortie doit converger vers la valeur désirée.

La figure 2-23 illustre le cas où la fréquence de sortie du système est très supérieure à celle qui est voulue. Le système corrige cette erreur en diminuant la fréquence d'oscillation. Cela se traduit sur la figure suivante par une décroissance progressive au cours du temps, de la durée qui sépare chaque train de signaux sur la courbe I.

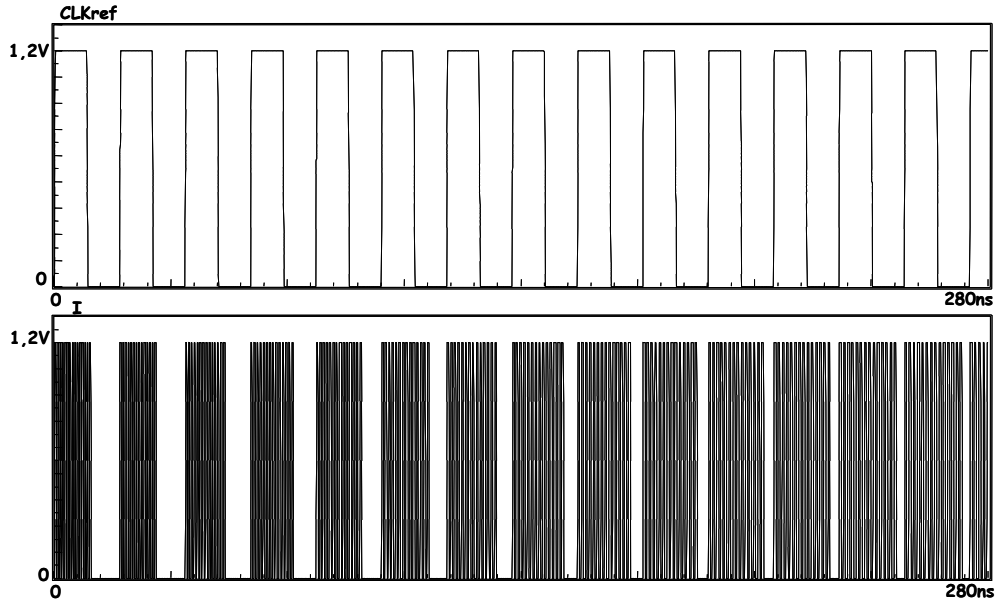


Figure 2-23 : Vérification de l'asservissement quand la fréquence de sortie diminue.

La courbe 2-24 décrit le cas où la fréquence de sortie du système est très inférieure à celle attendue. Le premier train de signaux présente une durée très supérieure à la période du signal de référence. Le système corrige cette erreur en diminuant progressivement la durée des trains de signaux afin de la rendre égale à la période du signal d'entrée.

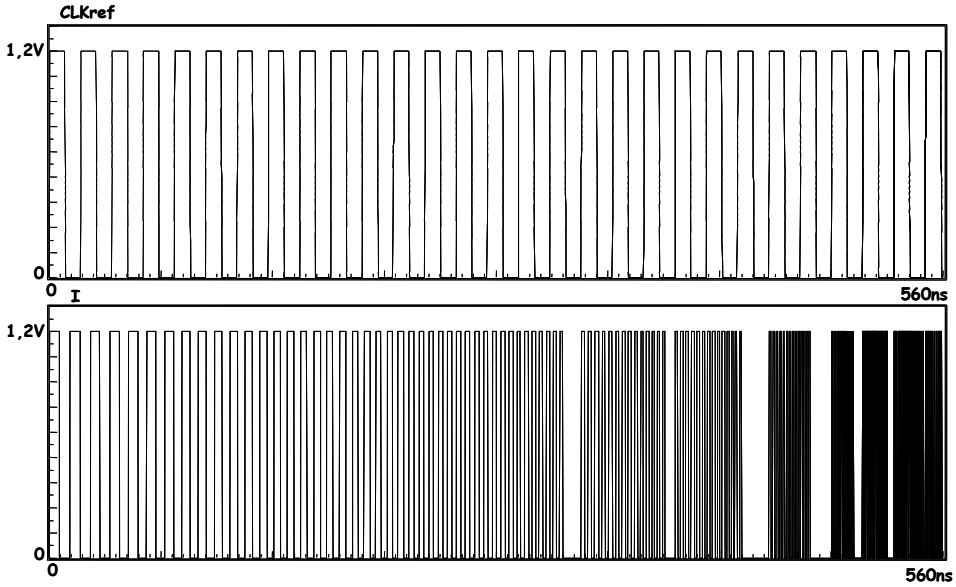


Figure 2-24 : Vérification de l'asservissement quand la fréquence de sortie augmente.

Le système ainsi modélisé réagit donc correctement en fonction de la valeur initiale de la fréquence de l'oscillateur, quelle soit supérieure ou inférieure à la valeur désirée. Le système est bel et bien asservi, puisque la capacité du système à accélérer ou à ralentir est confirmée. Néanmoins, on ne peut affirmer à ce stade que la fonctionnalité du système est inconditionnelle. En effet, afin que le système fonctionne en mode DLL et non en mode PLL, il est nécessaire que chaque front d'horloge déclenche un nouveau cycle. Ainsi pour assurer par une simulation comportementale si tel est bien le cas, nous avons fait se verrouiller la boucle sur un standard puis nous avons arrêté l'horloge d'entrée. Le résultat de cette simulation est donné à la figure 2-25.

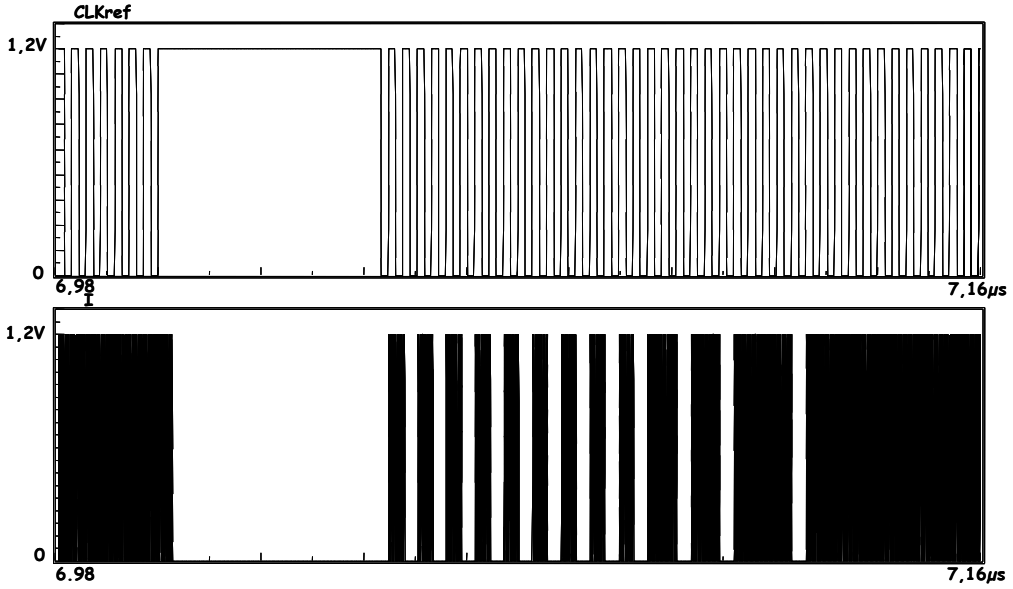


Figure 2-25 : Vérification du mode DLL.

Lorsque les fronts actifs disparaissent en entrée, le signal de sortie est interrompu. Le système est relancé quand apparaît un nouveau front actif de l'horloge de référence. De tels résultats de simulation attestent que le système a bien le comportement attendu d'une boucle à verrouillage de délai.

L'objectif de ces travaux étant de réaliser un synthétiseur de fréquence multistandard, il est nécessaire d'étudier la réponse du système à un changement de standard.

4.2.3. Réponse à un changement de standard

Afin d'étudier le comportement de la boucle lorsque le facteur de multiplication en entrée est changé, nous observons la tension de contrôle du filtre qui est une image de la fréquence de sortie. La courbe 2-26 présente ainsi l'évolution de cette tension lorsque le facteur de multiplication est changé entre les deux standards extrêmes correspondant aux fréquences 1,8 GHz et 5,8 GHz.

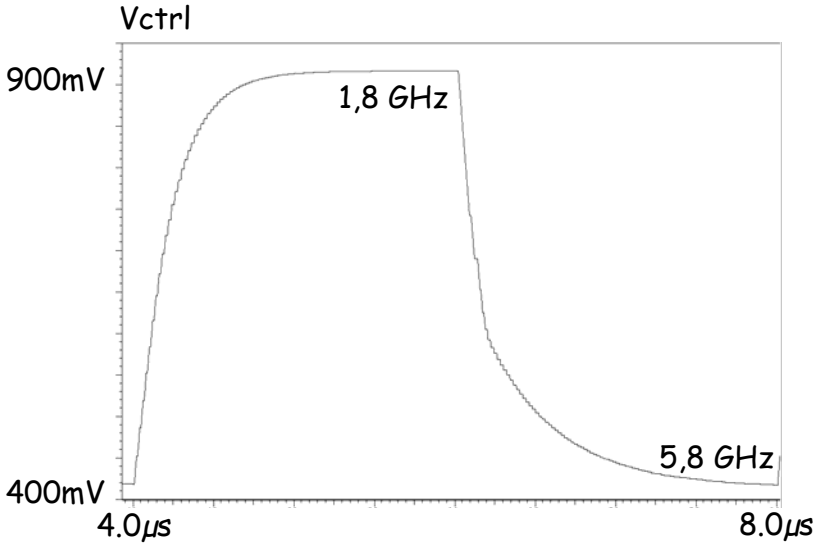


Figure 2-26 : Evolution de la tension de contrôle du filtre suite à un changement de standard.

La simulation est réalisée dans le cadre d'un rapport entre la capacité du filtre et le courant de pompe de charge égal à 10. Le temps de transition de la fréquence 5,8 GHz à la fréquence 1,8 GHz est inférieur à 1µs tandis que la durée de la transition inverse est pratiquement double. La différence entre ces temps de montée et descente s'explique par la non-linéarité de la fonction de transfert que présentent les opérateurs à retard contrôlable. En effet, cette fonction de transfert, étudiée à la figure 2-8, a été modélisée à l'aide de deux droites affines qui s'interceptent à la tension 590 mV et dont les coefficients directeurs sont très différents. Si la tension de contrôle varie en deçà de 590 mV, la fréquence varie moins rapidement que si cette tension évolue dans une gamme de valeurs supérieures à 590 mV.

D'autre part, nous pouvons observer que la réponse de la tension de contrôle s'effectue sans dépassement de la tension finale, ni oscillation autour de celle-ci. Ce phénomène permet de conclure que le système est stable et possède comme la DLL classique un comportement du type premier ordre. Nous allons étudier cette stabilité plus en détail.

4.3. Stabilité de la boucle

4.3.1.1. Etude de la stabilité d'une DLL élémentaire

Le schéma-bloc de la boucle à verrouillage de délai (DLL) et son schéma linéaire équivalent dans le domaine de Laplace issu de [CHI00-1] sont donnés à la figure 2-27.

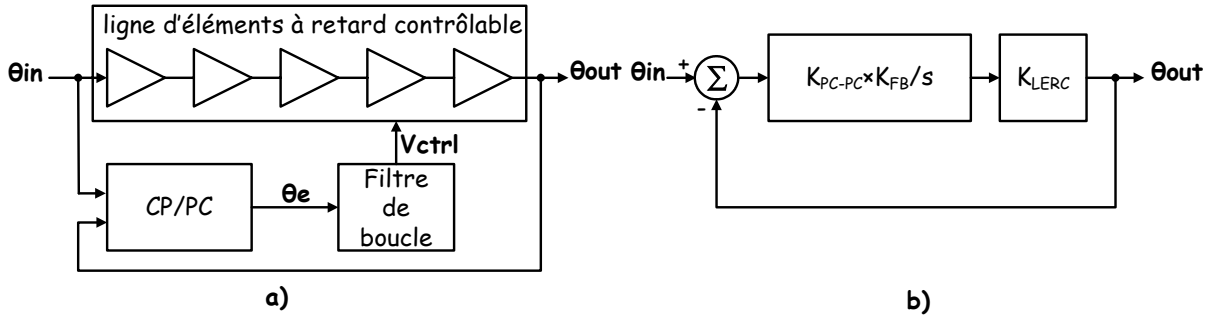


Figure 2-27 : Schéma bloc et équivalent de la DLL.

Une boucle à verrouillage de délai se compose de trois blocs principaux représentés à la figure 2-27a. Un premier bloc rassemble la pompe de charge et le comparateur de phase. Un second est constitué du filtre de boucle. Enfin, le dernier est la ligne d'éléments à retard contrôlé en tension.

Dans le cadre de ce modèle, c'est le comparateur de phase qui rend le système non linéaire. Celui-ci peut être approximativement décrit à l'aide du modèle pseudo-linéaire de la figure 2-27b, si la bande passante de la DLL est suffisamment inférieure à la fréquence de référence (< $F_{réf}$/10) [CRA94-1]. Dans ces conditions, à chaque bloc peut être associée une fonction de transfert dans le domaine de Laplace.

- L'ensemble comparateur de phase-pompe de charge :

Il fournit un courant à l'étage suivant, dont la valeur sur un cycle est une fraction de la fréquence de référence proportionnelle à l'erreur de phase. Sa fonction de transfert, qui s'exprime en ampère par radian s'écrit comme suit :

$$F_{CP\text{-}PC}(s) = K_{CP\text{-}PC} = \frac{I_{PC}}{2\pi} \qquad \textbf{2-1}$$

- La chaîne d'éléments à retard contrôlable :

Dans le cadre d'une boucle à verrouillage de phase (PLL), l'oscillateur contrôlé en tension (VCO) présente à sa sortie une information en fréquence. Sa fonction de transfert est égale à K_{VCO}/s puisque la phase est l'intégrale de la fréquence. La chaîne d'éléments à retard fournit elle directement à sa sortie une information en phase. Sa fonction de transfert, qui est la différence de phase entre l'entrée et la sortie de la chaîne en fonction de la tension de contrôle, s'exprime en radian par volt et s'écrit :

$$F_{LERC}(s) = K_{LERC} \qquad \textbf{2-2}$$

- Le filtre de boucle :

En utilisant le modèle de la figure 2-27b, et en appelant F(p) la fonction de transfert du filtre, l'erreur de phase en régime permanent pour un échelon de phase en entrée d'amplitude θ_0 s'écrit [SPA01-1] :

$$\lim_{t\to+\infty}\theta_e(t) = \lim_{p\to 0}\frac{\theta_0}{1+K_{CP\text{-}PC}\times K_{LERC}\times F(p)} \qquad \textbf{2-3}$$

L'erreur de phase en régime permanent est nulle si le filtre est un intégrateur pur.

D'autre part, l'étude en boucle ouverte du modèle de la figure 2-27b, nous montre que le système est inconditionnellement stable avec un tel filtre. Dans ces conditions, la fonction de transfert du filtre s'écrit :

$$F(s) = \frac{K_{FB}}{s} \qquad \textbf{2-4}$$

La DLL est donc un système du premier ordre, inconditionnellement stable. Sa bande passante peut être très grande, ce qui non seulement permet d'augmenter la rapidité de la réponse du système à une modification de la consigne (changement de canaux) mais aussi facilite l'intégration de son filtre de boucle. Toutefois, la bande passante est limitée par la validité de ce modèle. En effet, elle doit être bien inférieure à la fréquence de travail du comparateur de phase et donc à la fréquence de référence (classiquement $F_{réf}/10$).

4.3.1.2. Application à la DLL factorisée

La DLL factorisée peut être représentée par le schéma-bloc de la figure 2-28 analogue à celui présenté lors de l'étude précédente.

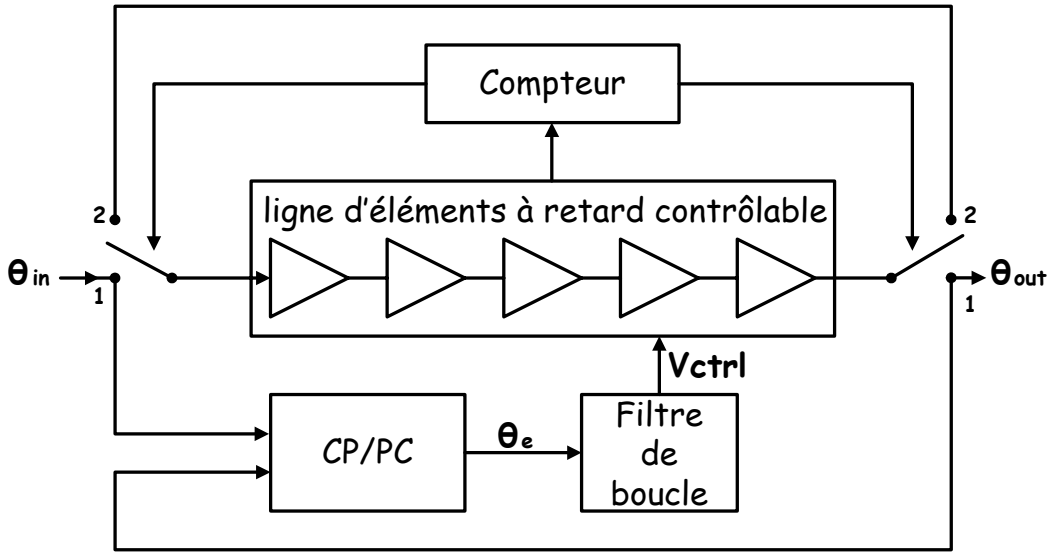


Figure 2-28 : Représentation de la DLL Factorisée

La différence principale entre la figure 2-28 et 2-27a réside dans les caractéristiques de la ligne à retards contrôlables. En effet, alors que celle-ci est composée d'une simple succession d'éléments à retard dans le cas de la DLL classique, elle est ici composée d'éléments à retard, d'un compteur et de deux interrupteurs. Les éléments à retard sont de

type inverseur et en nombre impair, afin que le système oscille pendant M périodes (M étant la valeur programmée dans le compteur) lorsque les interrupteurs sont en position 2. On peut appliquer l'étude précédente à ce circuit, afin de déterminer un modèle linéaire, de conclure quant à la stabilité et donc de choisir les caractéristiques du filtre.

- L'ensemble comparateur de phase-pompe de charge :

  Comme précédemment, on a :

$$F_{CP\text{-}PC}(s) = K_{CP\text{-}PC} = \frac{I_{PC}}{2\pi} \qquad \textbf{2-5}$$

- La chaîne d'éléments à retard contrôlable :

Lorsque le compteur a atteint sa valeur finale M, l'interrupteur commute en position 1 laissant le dernier front se propager en direction du comparateur. L'information fournie au comparateur est donc, comme précédemment, uniquement en phase. La fonction de transfert est donc un gain pur.

Le gain K_{VDL} de la ligne à retard peut être exprimé de la façon suivante :

$$F_{LERC}(s) = K_{LERC} = 2 \times n \times M \times K_{ERC} \qquad \textbf{2-6}$$

Le paramètre n est le nombre d'éléments à retard contrôlable, supposés identiques entre eux et présentant tous le même gain K_{ERC}. Le paramètre M représente le nombre de période à synthétiser, le facteur 2 résulte du fait que le signal doit traverser deux fois la ligne à chaque période comptabilisée.

- Le filtre de boucle :

Pour les mêmes raisons que précédemment, le filtre choisi est un intégrateur pur. Le système est alors également du premier ordre et donc inconditionnellement stable. La bande passante a la même borne supérieure, $F_{réf}/10$. On obtient donc :

$$BP_{max} = \frac{K_{CP\text{-}PC} \times K_{LERC}}{2\pi C} = \frac{I_{PC} \times 2 \times n \times M \times K_{ERC}}{4\pi^2 C} = \frac{F_{réf}}{10} \qquad \textbf{2-7}$$

5. CONCLUSION

Dans ce chapitre, nous avons fixé l'architecture du synthétiseur de fréquence multistandard que nous allons réaliser. En effet, après avoir présenté les architectures reprogrammables de boucles à verrouillage de délai, nous avons mis en avant l'impossibilité de porter directement ces architectures aux fréquences désirées. Afin d'en réduire la durée, la conception a suivi une méthodologie descendante. Nous avons donc eu recours à la simulation comportementale.

Notre premier travail a consisté à déterminer l'architecture du cœur du circuit qui permet d'assurer de manière inconditionnelle le fonctionnement du circuit en mode DLL. Cette étude a permis de mettre en avant les limites des techniques précédemment employées, et de déterminer une nouvelle architecture composée de deux oscillateurs fonctionnant en alternance.

Dans un second temps, afin de détecter d'éventuelles erreurs de conception précoces, nous avons simulé le système complet. Nous nous sommes assurés de la justesse de nos modèles en validant l'asservissement et le fonctionnement en mode DLL. D'autre part, une étude de la réponse du circuit à un changement de standard a permis de mettre en avant le comportement stable du circuit. Ce point a ensuite été approfondi.

L'architecture haut niveau du circuit étant déterminée, la prochaine étape consiste à simuler le système au niveau transistor afin de le réaliser.

REFERENCE DU CHAPITRE 2

[BEG00-01] Bégueret J.B, Belot D., Deval Y., Fouillat P., et A. Spataro, « *Circuits et procédés de génération de signaux en décalage de phase* », Brevet Français n°0004501, Avril 2000.

[BEG01-1] Begueret J-B, Deval Y, Mazoufre O, Spataro A, Fouillat Pascal, Benoît Eric et Mendoza J, « *Clock Generator using Factorial DLL for Video Applications* », IEEE Conference on Custom Integrated Circuits, Septembre 2001, San Diego, USA,pp. 485-488.

[CHI00-1] G.Chien, « Low *Noise Local Oscillator Design Techniques using a DLL based Frequency Multiplier for Wireless Applications* » Chapitre 5: CMOS Local Oscillator Design using the DLL based Frequency Multiplier Technique, Thèse, Université de Berkeley, CA, 2000.

[COM96-1] Combes M, Dioury K, et Greiner Alain, « *A Portable Clock Multiplier Generator Using Digital CMOS Standard Cells* », IEEE Journal of Solid-State Circuits, vol.31, n°7, Juillet 1996.

[CRA94-1] J.A Crawford, « *Frequency Synthesizers Design Handbooks* », Artech House, Norwood, England, 1994, Appendix 4A: Loop Bandwith Considerations Using the Phase-Frequency Detector, pp. 189-201.

[DEL03-1] Deltimple N, Majek C, Lapuyade H, Bégueret J-B, Kerhervé E et Deval Y, « *The Factorial DLL : Application to a 5 GHz Frequency Synthesizer* », IEEE Proceedings of Design of Circuits and Integrated Systems (DCIS2003), pp. 192-196, Ciudad Real, Espagne, 19-21 Novembre 2003.

[DEL03-2] Deltimple N, Majek C, Lapuyade H, Bégueret J-B, Kerhervé E et Deval Y, « *Synthétiseur de Fréquence à base de DLL Factorisée pour application HiperLA* », Actes du colloque TELECOM'2003 & 3èmes JFMMA, pp. 330-333, Marrakech, Maroc, 15-17 Octobre 2003.

[FAK02-1] Fakhfakh A, « *Contribution à la Modélisation Comportementale des Circuits Radio-Fréquence* », Chapitre 2 : Méthodes de modélisation comportementale, thèse, Université Bordeaux 1,2002.

[KUN05-1] Kundert K., « *Introduction to RF simulation an its application*», http://www.designers-guide.org/Analysis/2005.

[LAH02-1] Lahuec C, Horan J, Duigan J, « *Programmable Video Clock Synthesizer with sub 0,5ns Drift* », IEEE International Symposium on Circuits and Systems, 2002, vol.4, pp. 783-786.

[LEE98-1] Lee T.H, « *The Design of CMOS Radio-Frequency Integrated Circuit* », Cambridge University Press, Cambridge, UK, 1998, chapitre 18: Architectures, pp. 550-571.

[MAC94-1] McNeill J A, « *Jitter in Ring Oscillator* », Chapitre 1, pp. 1-39, thèse, Université Boston 1,1994.

[MAJ04-1] Majek C, Deltimple N, Lapuyade H, Bégueret J-B, Kerhervé E et Deval Y, « *A 2-6 GHz CMOS Factorial Delay Locked Loop Dedicated to Multi-Standard Frequency Synthesis* », Prooceedings of the IEEE International Symposium on Industrial Electronics ISIE2004, Ajaccio, Corse, 5-7 Mai 2004, pp. 157-161.

[MAJ04-2] Majek C, Deltimple N, Lapuyade H, Bégueret J-B, Kerhervé E et Deval Y, « *A programmable CMOS RF Frequency Synthesizer For Multi-Standard Wireless Application* », Proceedings of the 2nd Annual IEEE Northeast Workshop on Circuits and Systems (NEWCAS2004), Montréal, Canada, 20-23 Juin 2004, pp. 289-292.

[MON05-1] Monnerie G, « *Etude et modélisation de sources de bruit dans les structures à temps discret* », Chapitre 2 : Modélisation et caractérisation de sources de bruits en temps discret, pp. 63-109, thèse, Université Bordeaux 1,2005.

[VAC02-1] Vachoux A., *http://lsmwww.epfl.ch/Education/former/2002-2003/modelmix03/Documents/modelmixte02.book.pdf*

[SPA01-1] A. Spataro, « *Elaboration d'une Nouvelle Méthodologie de Conception des Circuits Radiofréquences Basée sur l'Utilisation du Temps de Propagation des Opérateurs Logiques Elémentaires : Application à la Synthèse d'Oscillateurs CMOS Polyphasé* », Chapitre 2 : Méthodologie de conception DOD, Thèse, Université Bordeaux 1, 2001.

CHAPITRE 3:

REALISATION DE LA BOUCLE A VERROUILLAGE DE DELAI FACTORISEE MULTISTANDARD

1. INTRODUCTION

Dans le flot de conception descendante, la première étape consiste à modéliser le système à l'aide d'un langage comportemental. Cette étude a eu lieu dans le chapitre précédent et a permis de déterminer l'architecture du circuit.

La seconde étape consiste alors à réaliser, au niveau transistor, cette architecture. C'est ce que nous allons désormais réaliser. Chaque bloc décrit dans le chapitre précédent va alors être réalisé et simulé à l'aide des outils de simulation de Cadence et du simulateur SpectreRF. Les modèles permettant ces simulations seront ceux de la technologie CMOS 130 nm Bulk de STMicroelectronics. En effet, la technologie SOI de ce fondeur n'étant pas encore totalement développée à l'époque où la conception du circuit a été réalisée, nous ne disposions pas de modèles adéquats.

Dans une première partie, nous décrirons et simulerons chaque élément constituant le bloc « Asservissement », notamment le comparateur de phase et la pompe de charge.

Puis, le bloc « Oscillateur » sera étudié en simulant le fonctionnement de son compteur, de sa commande et de son élément à retard contrôlable. De même, le bloc « Sortie » sera étudié en simulant le fonctionnement de la sommation, et de la mise en forme des signaux de sortie.

Dans une seconde partie, nous assemblerons alors tous ces blocs et nous simulerons le système complet. Lors de cette étape, nous limiterons notre étude aux deux standards extrêmes de la bande de fréquences visée. Nous étudierons les réponses temporelles et fréquentielles du système lors de la génération de ces normes.

Enfin, nous conclurons par la présentation d'une nouvelle version de ce circuit dont l'objectif est l'amélioration de la quadrature de phase entre les deux signaux de sortie.

2. CONCEPTION DU BLOC ASSERVISSEMENT

2.1. Rappel

Le bloc « Asservissement » convertit le déphasage entre ses deux signaux d'entrée en une tension de contrôle pour les éléments à retard contrôlable. Cet étage est composé d'un comparateur de phase, d'une pompe de charge et d'un filtre de boucle. Il est illustré par la figure 3-1.

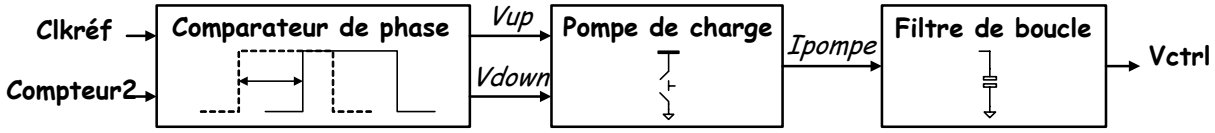


Figure 3-1 : Diagramme fonctionnel du bloc « Asservissement ».

2.2. Description du comparateur de phase

2.2.1. Choix de l'architecture du circuit

2.2.1.1. Limites des comparateurs de phase purs

Les signaux appliqués en entrée du comparateur ayant une même fréquence, l'utilisation d'un comparateur de phase en lieu et place d'un comparateur de phase et de fréquence est suffisante [JOH88-1]. Les comparateurs de phase les plus fréquemment utilisés sont les multiplieurs quatre quadrants et la porte OU exclusive [BES84-1]. Le premier doit être de préférence utilisé dans sa zone linéaire, et pour y parvenir des signaux sinusoïdaux d'amplitude moyenne en comparaison à la tension d'alimentation sont requis. De par l'usage, dans notre application, de signaux carrés d'excursion égale à la tension d'alimentation la mise en oeuvre d'un tel comparateur est proscrite. Le second s'adapte à la forme carrée de nos signaux et à leurs amplitudes mais nécessite que les signaux d'entrée aient le même rapport cyclique ce qui exclut de l'employer pour ce circuit.

Un autre type de comparateur de phase existe dans la littérature : le comparateur de phase binaire ou Bang-Bang [SID97-1]. La sortie de ce comparateur, au lieu d'être proportionnelle à l'erreur de phase de ses entrées, est une information de type binaire. La structure de ce circuit est donnée à la figue 3-2. Le comparateur Bang-Bang est composé de deux générateurs d'impulsions et d'une bascule RS. Les deux générateurs d'impulsions permettent de comparer deux signaux de rapports cycliques différents.

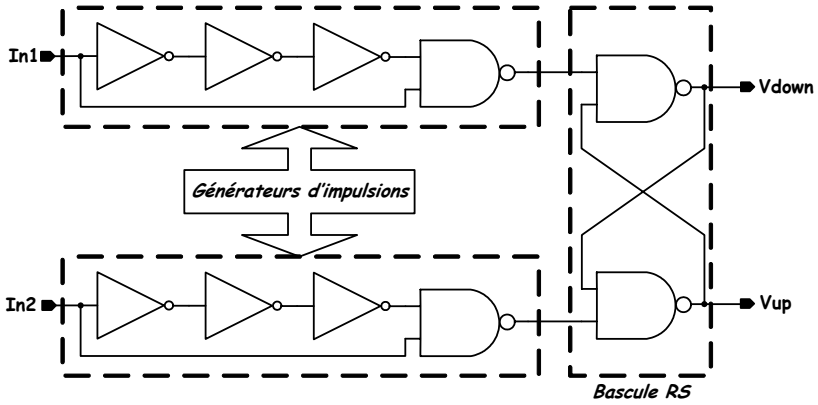


Figure 3-2 : Le comparateur Bang-Bang.

- Quand *In1* passe au niveau haut alors *Vdown* bascule au niveau haut et *Vup* au niveau bas.

- Inversement, quand *In2* passe au niveau haut alors *Vup* bascule au niveau haut et *Vdown* au niveau bas. Son fonctionnement est illustré par le résultat de simulation donné à la figure 3-3.

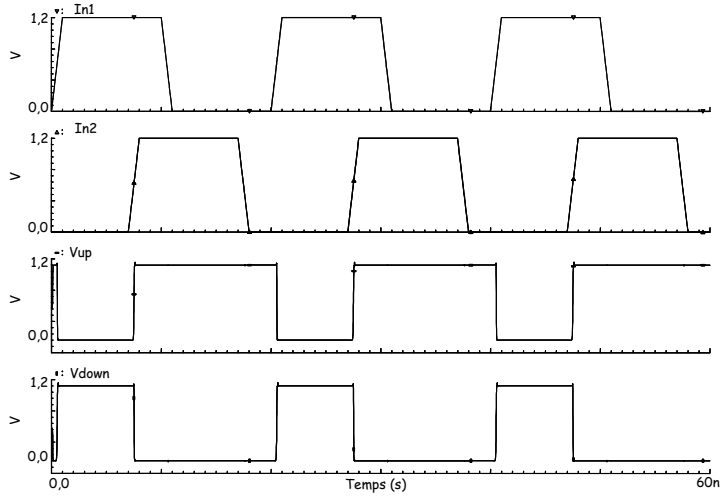


Figure 3-3 : Fonctionnement du comparateur Bang-Bang.

Avec un tel comparateur, quand la boucle est verrouillée, *In1* et *In2* sont en opposition de phase, et la pompe de charge qui lui succède est toujours active. Par conséquent, le filtre de boucle (qui consiste en une capacité dans notre circuit) se charge ou se décharge en permanence selon que *Vup* ou *Vdown* est au niveau haut. Une fois la boucle verrouillée, la tension moyenne aux bornes du filtre est constante. Si on applique sur l'entrée *In2* le signal issu de l'oscillateur, et sur l'entrée *In1* le signal de référence inversé, afin que le signal en sortie de l'oscillateur se synchronise sur le bon front du signal de référence, alors le système sera correctement asservi. La fréquence du signal synthétisé sera exactement égale à M fois la fréquence du signal de référence (où M est le facteur de multiplication de la boucle) quand le rapport cyclique de *Vup* et *Vdown* sera de 50%.

Nous avons essayé de mettre en œuvre, dans un premier temps, ce circuit pour notre application [MAJ04-1] [MAJ04-2]. Mais nous nous sommes rendus compte lors de la simulation du système complet que cette dernière condition (c'est-à-dire que le rapport cyclique de *Vup* et *Vdown* soit de 50%) dépendait des valeurs des courants de charge et de décharge de la pompe.

En effet, appelons I_1 le courant de charge de la pompe de charge et T_1 le temps de charge lorsque le signal *Vup* est au niveau haut. De même, appelons I_2 le courant de décharge et T_2 la durée de la décharge du filtre lorsque le signal *Vdown* est au niveau haut. Alors on a :

$$\frac{I_1}{C} \times T_1 = \Delta V_1 \qquad \textbf{3-1}$$

$$\frac{I_2}{C} \times T_2 = \Delta V_2 \qquad \textbf{3-2}$$

Dans ces équations, ΔV_1 et ΔV_2 représentent la variation totale (en valeur absolue) de la tension de contrôle au cours respectivement de la charge et de la décharge du condensateur.

Quand le système est verrouillé, d'une part, la somme des durées T_1 et T_2 est égale à la période T_{ref} du signal de référence, d'autre part les variations ΔV_1 et ΔV_2 sont nécessairement égales :

$$T_1 + T_2 = T_{ref} \qquad \textbf{3-3}$$

$$\Delta V_1 = \Delta V_2 \qquad \textbf{3-4}$$

On obtient alors :

$$\frac{I_1}{C} \times T_1 - \frac{I_2}{C} \times T_2 = 0 \qquad \textbf{3-5}$$

L'équation 3-5 nous montre que si les deux courants sont égaux alors les durées T_1 et T_2 sont égales et les signaux *Vup* et *Vdown* ont un rapport cyclique de 50%. En revanche, si I_1 diffère de I_2, nous avons la relation :

$$T_2 = T_1 + \frac{I_1 - I_2}{I_1 + I_2} T_{ref} \qquad \textbf{3-6}$$

Dans ces conditions, la fréquence de référence n'est plus multipliée par le facteur M souhaité, mais par un facteur M+ξ. Le paramètre ξ modélise l'erreur induite en termes de nombre de périodes. Il peut être positif ou négatif selon que la durée T_1 est respectivement inférieure ou supérieure à la durée T_2. La précision de notre système sera donc altérée.

Traitons un exemple où I_1 et I_2 diffèrent de 5% en valeur absolue. Prenons : $I_1 = 105\mu A$; $I_2 = -100\mu A$; $T_{ref} = 50$ MHz.

Dans ce cas, l'erreur absolue entre T_1 et T_2 vaut environ 488 ps. Une telle durée correspond quasiment à une période d'un signal de 2 GHz et jusqu'à 6 périodes environ pour un signal de 12 GHz, fréquence maximale que l'on cherche à générer en interne. Ce risque d'erreur est illustré à la figure 3-4.

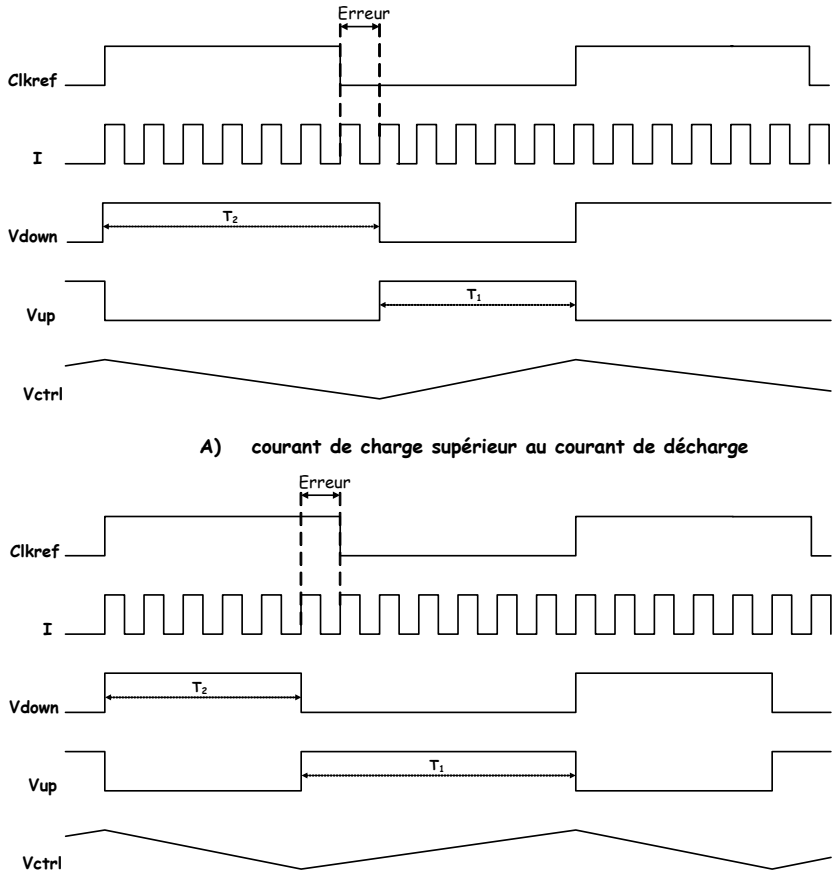


Figure 3-4 : Erreur du comparateur du Bang-Bang.

Dans le premier cas, le courant de charge est supérieur au courant de décharge (Vctrl croît plus rapidement qu'il ne décroît). Le système est verrouillé, la tension moyenne aux bornes du filtre est constante. Selon le cas considéré, le système multiplie soit par (M-1) soit par (M+1) la fréquence de référence au lieu de le faire par M.

Ce type de comparateur de phase n'est donc pas utilisable pour notre application dans une optique de conception robuste. Cette remarque est également applicable à tous les systèmes utilisant une technique de reconstitution du signal telle que la technique DOD (cf. chapitre 1). En effet, ce comparateur engendre une erreur de phase statique en cas de désappariement des courants de la pompe de charge, ce qui entraîne des erreurs lors de la reconstitution des signaux. Pour notre système, nous avons donc opté pour un comparateur de phase et de fréquence classique.

2.2.1.2. Le comparateur de phase et de fréquence

Le comparateur de phase et de fréquence utilisé est un comparateur à trois états. Son architecture [ROH97-1] est donnée à la figure 3-5, elle s'articule autour de deux bascules RS et de portes logiques.

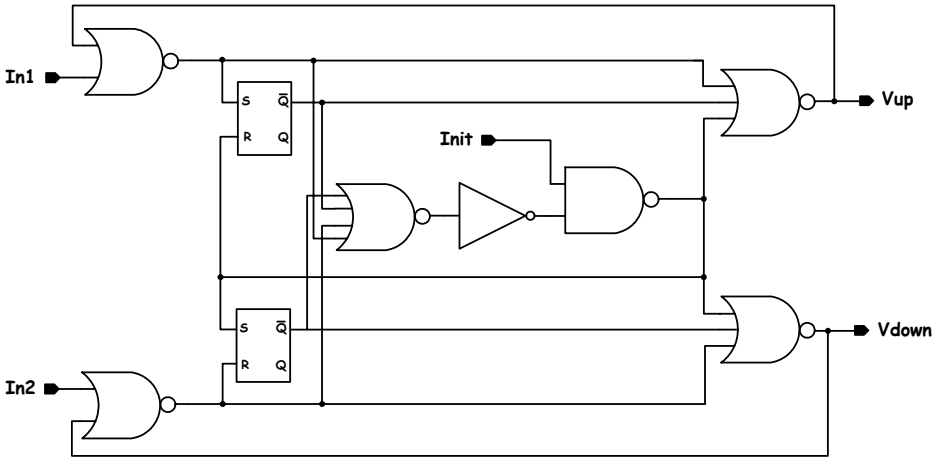


Figure 3-5 : Architecture du comparateur de phase et de fréquence.

- Lorsque l'entrée *In1* est en avance de phase sur l'entrée *In2*, alors la sortie *Vup* est au niveau haut et la sortie *Vdown* au niveau bas.
- Inversement, lorsque *In2* est en avance de phase sur *In1* alors *Vdown* est au niveau haut et la sortie *Vup* au niveau bas.
- Quand les deux entrées sont en phase, il ne reste plus que des impulsions résiduelles sur les deux sorties, qui sont dues aux temps de propagation à travers les portes logiques. La figure 3-6 illustre ce fonctionnement.

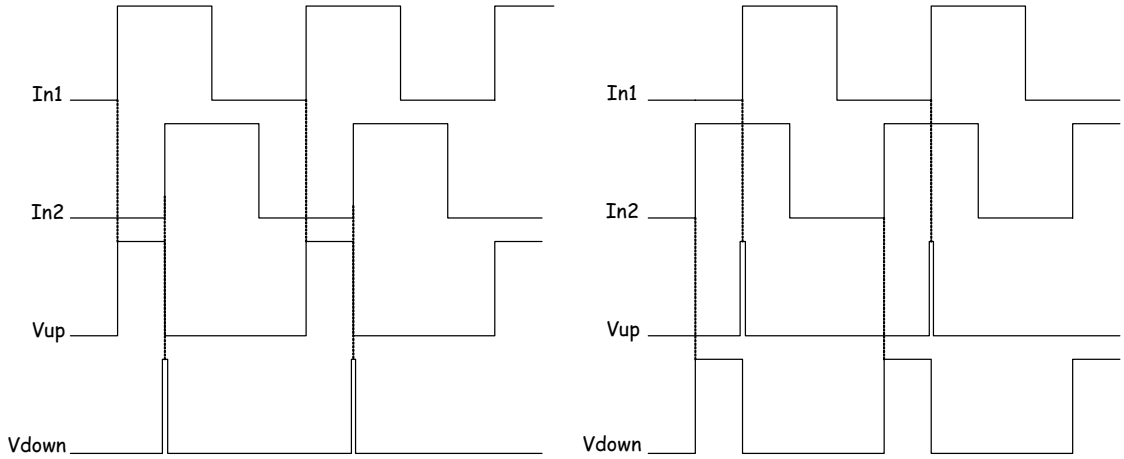


Figure 3-6 : Simulation du fonctionnement du comparateur de phase et de fréquence

a) *In1* en avance de phase ; b) *In2* en avance de phase

Les impulsions résiduelles, lorsque les deux signaux d'entrée sont en phase, permettent au comparateur de travailler sans « zone morte » et diminuent ainsi le risque de gigue temporelle, si et seulement si les deux impulsions résiduelles sont de même largeur. Aussi, afin d'équilibrer les impulsions sur les deux voies, le circuit doit être aussi symétrique que possible tant au niveau de son schéma électrique que de son dessin des masques. La fonction de transfert d'un tel comparateur [BES84-1] est donnée à la figure 3-7.

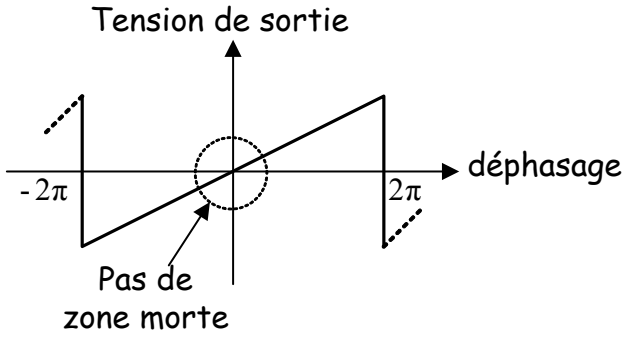


Figure 3-7 : Fonction de transfert du comparateur.

2.3. Description de la pompe de charge et du filtre de boucle

Afin de fournir la tension de contrôle à l'élément de retard contrôlable, les signaux d'erreur *Vup* et *Vdown* sont appliqués à une pompe de charge pour créer un signal dont la valeur est proportionnelle à l'erreur de phase. La structure de la pompe de charge est donnée à la figure 3-8.

La pompe de charge est composée de miroirs de courant (M1-M2 ; M3-M4-M6-M7-M11 ; M5-M8) et de deux interrupteurs (M9 et M10, les transistors sur les grilles desquels sont appliqués les signaux *Vdown* et *Vup*). La valeur des courants de charge et décharge du filtre est fixée par la résistance R.

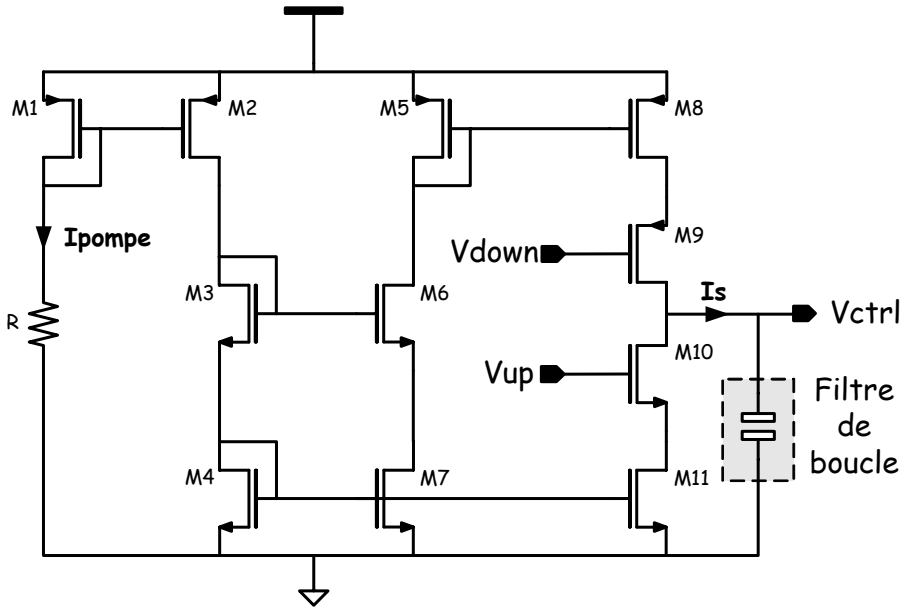


Figure 3-8 : La pompe de charge.

- Lorsque l'entrée *Vdown* est active et l'entrée *Vup* est inactive, le transistor M9 est passant et le transistor M10 est bloqué. Le courant de sortie de la pompe de charge Is est égal à +Ipompe. Le filtre se charge. La tension de contrôle augmente.

- Lorsque l'entrée *Vup* est active et l'entrée *Vdown* est inactive, le transistor M10 est passant et le transistor M9 est bloqué. Le courant de sortie de la pompe de charge devient -Ipompe, le filtre se décharge, la tension de contrôle diminue.

- Lorsque les deux entrées sont inactives, les transistors M9 et M10 sont à l'état bloqué, la sortie de la pompe de charge est en haute impédance, le courant de sortie Is est nul et la tension de contrôle n'évolue plus.

- Lorsque les deux entrées sont actives dans le cas d'impulsions résiduelles, les transistors M9 et M10 sont à l'état passant, le courant Is est approximativement nul et la tension de contrôle n'évolue pas.

Le système réalisé est du premier ordre. Un filtre basé sur une simple capacité suffit pour assurer la stabilité inconditionnelle du système (cf. chapitre 2, § 4.3).

3. CONCEPTION DU BLOC OSCILLATEUR

3.1. Rappel

Le bloc « Oscillateur » est une des parties essentielles du circuit. En effet, c'est lui qui, d'une part, réalise la synthèse de fréquence proprement dite, et d'autre part, assure le fonctionnement inconditionnel du système en mode DLL.

Il se divise en deux parties identiques composées chacune d'un compteur, d'une commande permettant l'arrêt et la relance de l'oscillation, et d'une chaîne d'éléments à retard contrôlable en tension. Le schéma fonctionnel du bloc « Oscillateur » est donné à la figure 3-9.

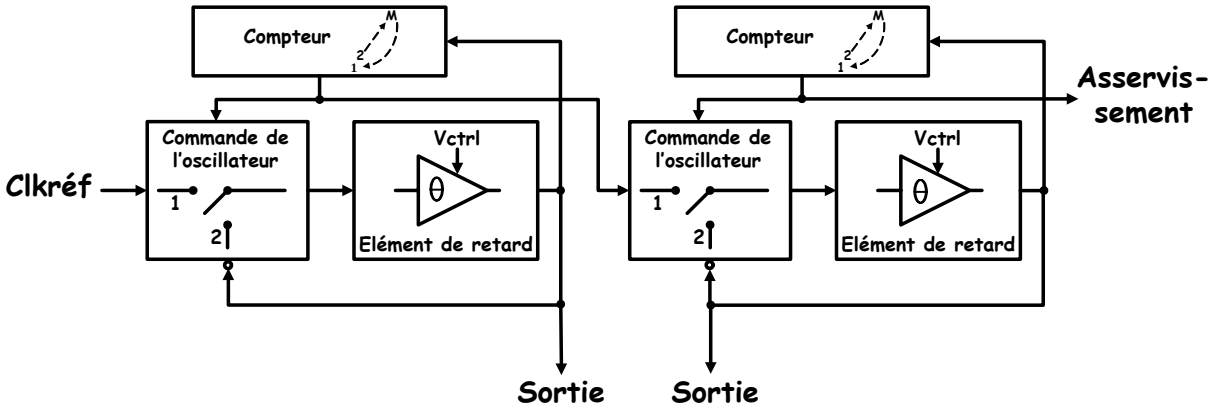


Figure 3-9 : Présentation du bloc Oscillateur.

3.2. Description du compteur

3.2.1. Présentation du circuit

Principe de fonctionnement

Le compteur fixe la valeur de multiplication du système. Afin que le système puisse synthétiser les fréquences de la bande 2-6 GHz, il est nécessaire que le compteur soit programmable. Deux principes de fonctionnement sont donc possibles pour parvenir à cette fonctionnalité.

Le premier consiste à utiliser un compteur dont la valeur interne croît à chaque période du signal d'entrée de celui-ci et de comparer cette valeur interne à la valeur correspondante au facteur de multiplication voulu. Cette technique nécessite le développement d'un registre de comparaison reprogrammable répondant à tous les ordres de multiplication permettant de générer les standards voulus, ainsi qu'un système de remise à zéro du compteur à chaque cycle.

La seconde technique consiste à utiliser un décompteur plutôt qu'un compteur. Ainsi la valeur interne du compteur n'est comparée qu'à une seule et unique valeur, le zéro. Cette technique nécessite uniquement la mise en œuvre d'une unité de chargement de la valeur à décompter. Cette unité étant plus simplement réalisable, elle permettra de diminuer la consommation de silicium et de puissance du compteur. C'est donc cette deuxième option qui a été retenue.

Le fonctionnement du décompteur est décrit à la figure 3-10. La première étape consiste à charger la valeur de multiplication souhaitée. Une fois cette opération réalisée, le décompte commence. A chaque nouvelle période du signal d'entrée, la valeur interne du décompteur décroît, puis, est comparée à zéro. Le décompte se poursuit jusqu'à ce que l'égalité se produise, entraînant la mise au niveau haut de la sortie du bloc de comparaison. Ainsi, au prochain front de l'horloge, les sorties du bloc de synchronisation sont activées, permettant d'une part, de générer le signal de sortie du compteur, d'autre part d'autoriser le chargement du facteur de multiplication à la prochaine période du signal d'entrée.

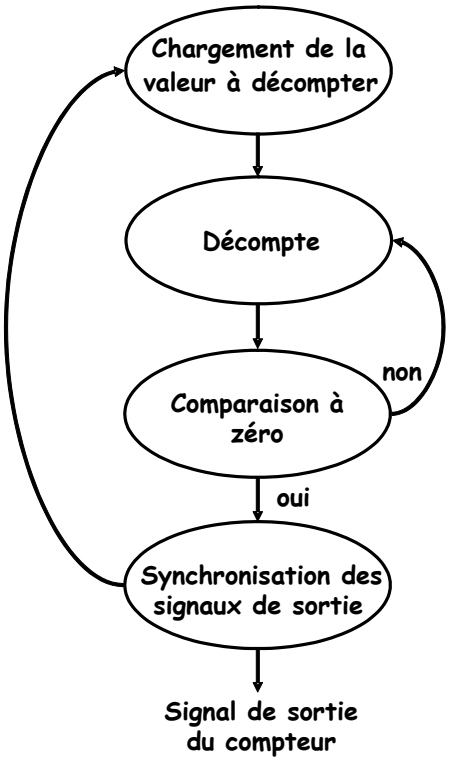


Figure 3-10 : Diagramme de fonctionnement du compteur.

Si la valeur chargée est égale à M, (M+2) étapes (M périodes comptées, 1 période pour charger la valeur à compter, 1 période pour activer les sorties du bloc de synchronisation) sont alors nécessaires avant l'activation du signal de sortie. Comme la fréquence de l'horloge d'entrée est divisée par deux, le facteur de multiplication du compteur est donc égal à 2*(M+2).

La liste des valeurs à décompter en fonction du standard visé est présentée au tableau 3-1. La dernière colonne donne la valeur à programmer répartie entre les deux compteurs. Il nous faudra donc un compteur 7 bits, pour permettre de générer tous les standards.

STANDARD	FREQUENCE	FREQUENCE*2	(FREQUENCE*2)/50MHz = 2*(M1+2)+2(M2+2)	M1+M2
DCS	1800	3600	72	32
PCS	1900	3800	76	34
UMTS_TX	1950	3900	78	35
UMTS_RX	2100	4200	84	38
BLUETOOTH 802.11b	2450	4900	98	45
HIPERLAN2 802.11a (bande basse)	5200	10400	208	100
802.11a (bande moyenne)	5300	10600	212	102
802.11a (bande haute)	5800	11600	232	112

Tableau 3-1 : Liste des valeurs du compteur en fonction du standard.

3.2.1.1. Architecture retenue

L'architecture globale du compteur est donnée à la figure 3-11. Elle se divise en quatre blocs. Tout d'abord, en entrée se trouve un diviseur de fréquence par deux. Il fournit l'horloge interne qui alimente le second bloc, en l'occurrence le décompteur, et, alimente également le

bloc de sortie, aussi dénommé bloc de synchronisation. Enfin, le quatrième bloc assure la comparaison à zéro de la valeur instantanée du décompteur.

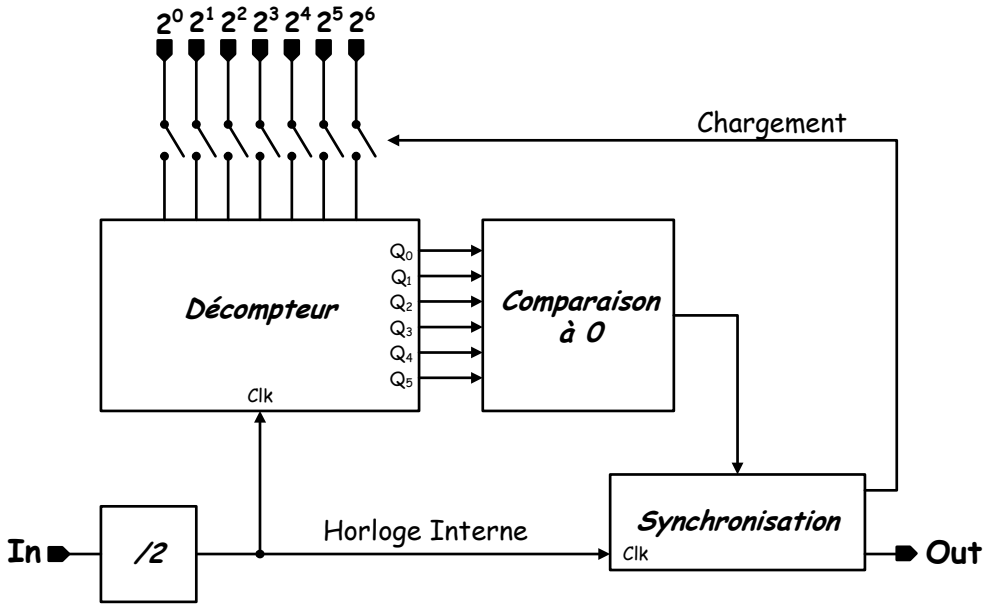


Figure 3-11 : Architecture du compteur.

La figure 3-12 illustre le fonctionnement simulé de ce compteur. La valeur programmée en entrée est égale à 40, soit un décompte égale à 84 périodes de la référence. L'horloge d'entrée a une fréquence de 2 GHz.

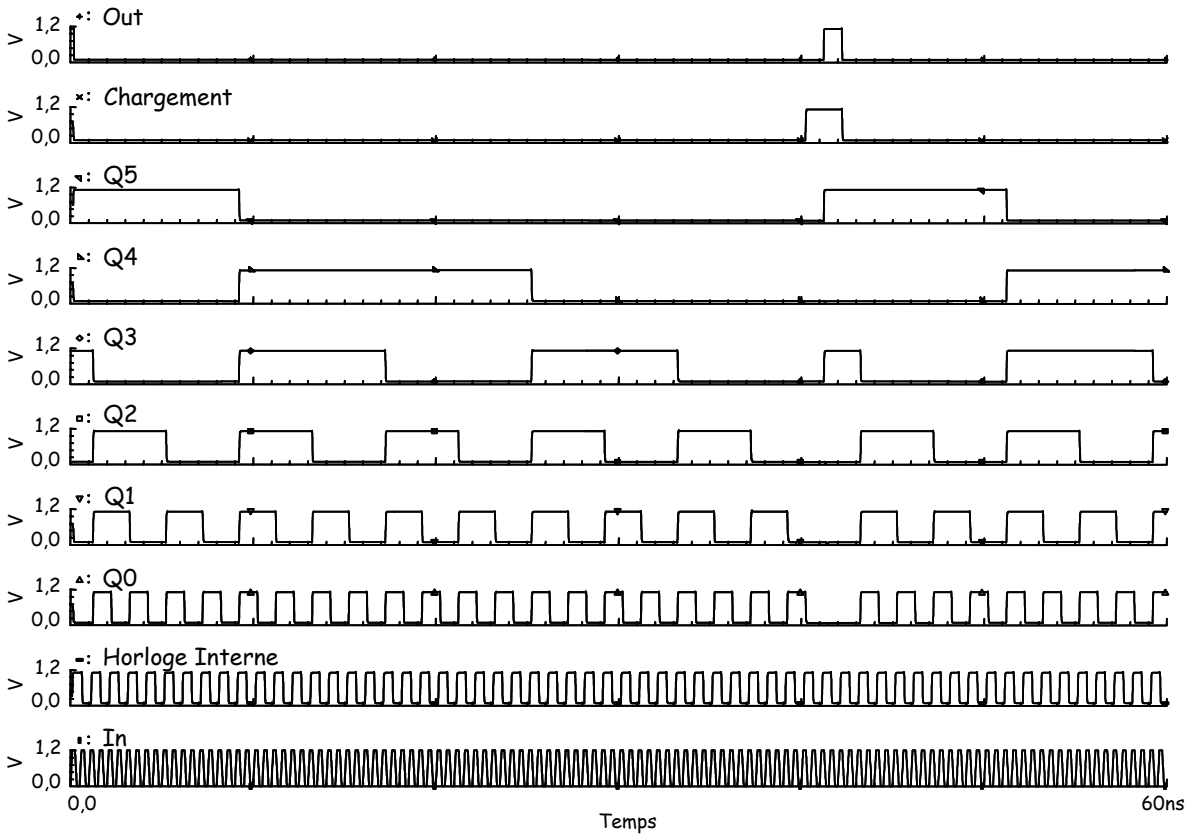


Figure 3-12 : Fonctionnement du compteur.

Cette figure présente l'horloge d'entrée (*In*), l'horloge interne dont la fréquence est la moitié de la précédente (*Horloge Interne*), la sortie de chaque bit du décompteur interne (*Q0 à Q5*) ainsi que les deux signaux de sortie du bloc de synchronisation c'est-à-dire le signal de autorisant le chargement (*Chargement*) et la sortie du compteur (*Out*). La sortie *Q6* étant toujours à 0, elle n'est pas représentée.

3.2.2. Descriptif des blocs constitutifs du compteur

3.2.2.1. Le décompteur

Le choix de l'architecture du décompteur est déterminé grâce à l'étude du tableau 3-2 qui présente les différents états des sorties d'un décompteur sur 3 bits. Ce tableau montre qu'une sortie 2^n change d'état lorsque les $(n-1)^{éme}$ sorties précédentes (avec n>0) sont au niveau bas. La sortie 2^0 change d'états à chaque période de l'horloge d'entrée.

valeur	2^2	2^1	2^0
7	1	1	1
6	1	1	0
5	1	0	1
4	1	0	0
3	0	1	1
2	0	1	0
1	0	0	1
0	0	0	0

Tableau 3-2 : Etude d'un décompteur 3 bits.

Ainsi chaque cellule réalisant un bit sera réalisé conformément à la figure 3-13 par trois blocs constitués d'une bascule D, d'une cellule (*Etats précédents*) analysant l'état des niveaux antérieurs et dont la sortie est appliquée sur l'entrée des données de la précédente bascule, et enfin, une cellule permettant de programmer ou non la valeur initiale (*Programmation*).

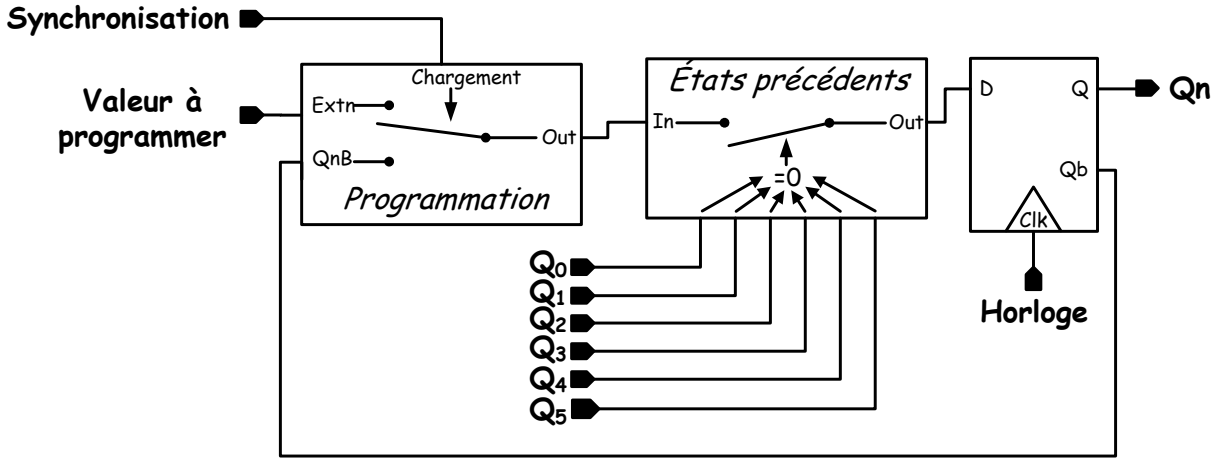


Figure 3-13 : Cellule de base du décompteur.

Le fonctionnement de la cellule de base du décompteur est le suivant :

- Lorsque le signal issu du bloc *Synchronisation* (cf. figure 3-11) est au niveau bas, ce qui signifie que le décompte n'est pas encore terminé, l'interrupteur du bloc *Programmation* est fermé sur son entrée *QnB*. En sortie de ce bloc, se trouve donc la sortie *Qb* de la bascule D. Quand tous les étages précédents (bits de poids plus faible) sont au niveau bas, l'interrupteur du bloc *Etats précédents* se ferme, plaçant donc sur l'entrée *D* des données de la bascule, sa sortie *Qb*. La sortie de cette bascule changera alors d'état au prochain front d'horloge, conformément au principe décrit dans par le tableau précédent.

- Lorsque le signal issu du bloc *Synchronisation* est au niveau haut, indiquant ainsi la fin du décompte, l'interrupteur du bloc *Programmation* est fermé sur son entrée *Extn*. En sortie de ce bloc, se trouve donc la valeur du bit à programmer. Comme l'activation du signal issu du bloc *Synchronisation* intervient lorsque la valeur du compteur interne est à zéro, l'interrupteur du bloc *Etats précédents* est fermé. Ainsi, au prochain front d'horloge de référence, la bascule charge la valeur désirée.

Le schéma détaillé du bloc *Programmation* est donné à la figure 3-14. Il est composé de trois portes NON ET et d'un inverseur. Lorsque le signal *Chargement* est au niveau bas, la sortie de la porte NON ET n°1 est forcée au niveau haut. En revanche, la porte NON ET n°2 se comporte comme un inverseur pour le signal *Qnb*, tout comme la porte NON ET n°3. Le signal *Qnb* se retrouve en sortie. D'une manière similaire, lorsque le signal *Chargement* est au niveau haut, le signal *Extn* se retrouve en sortie.

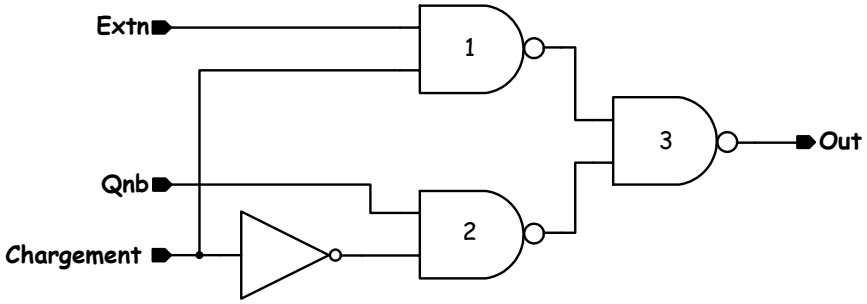


Figure 3-14 : Architecture du bloc *Programmation* d'une cellule de base du compteur.

Le schéma détaillé du bloc *Etats précédents* est donné à la figure 3-15.

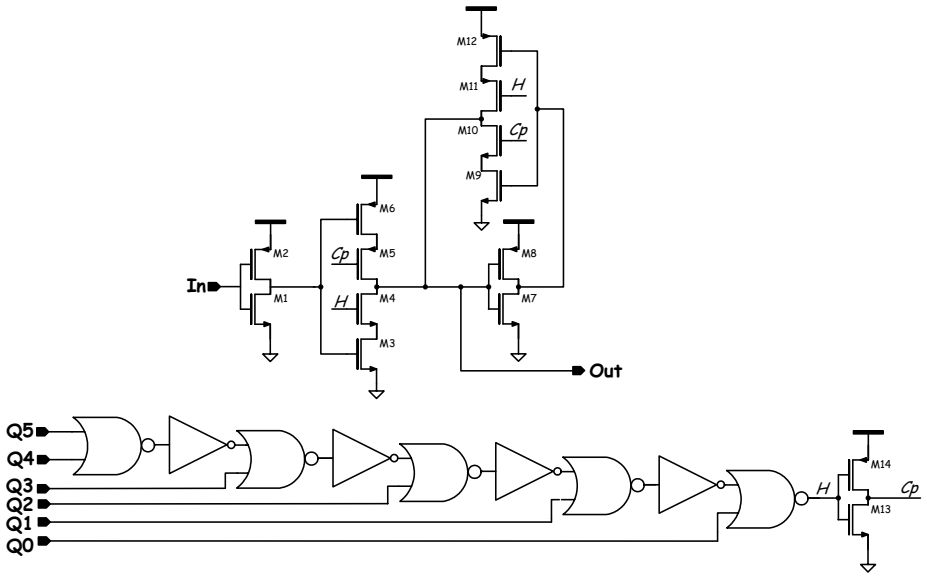


Figure 3-15 : Architecture du bloc *Etats précédents* d'une cellule de base du compteur.

Il se divise en deux parties. La première partie constituée des portes NON OU et des inverseurs (représentés sous leur forme symbolique dans la figure 3-15) réalise la commande de l'interrupteur formée par les transistors M1 à M14.

Quand les entrées *Q0* à *Q5* passent au niveau bas, le signal *H* bascule au niveau haut. L'interrupteur formé par M4 et M5 se ferme, le signal *In* est transmis à la sortie *Out*. Les transistors M9 à M12 jouent le rôle de verrou et maintiennent le niveau de sortie lorsque l'interrupteur M4-M5 est ouvert.

Le schéma de la bascule utilisée dans la cellule de base du décompteur est le même que celui utilisé pour le diviseur de fréquence en entrée, il sera présenté au paragraphe 3.2.2.4. La cellule constituant le bit de poids le plus faible (2^0) change d'état à chaque période d'horloge. Ainsi, la cellule de base constituant ce bit sera formée uniquement du bloc *Programmation* en cascade avec la bascule D.

3.2.2.2. Le bloc de comparaison à 0

Ce bloc reçoit, en entrée, les signaux de sortie de chaque cellule constituant un bit. Lorsque que tous ces signaux sont au niveau bas, sa sortie passe au niveau haut. Le schéma de ce bloc est donné à la figure 3-16.

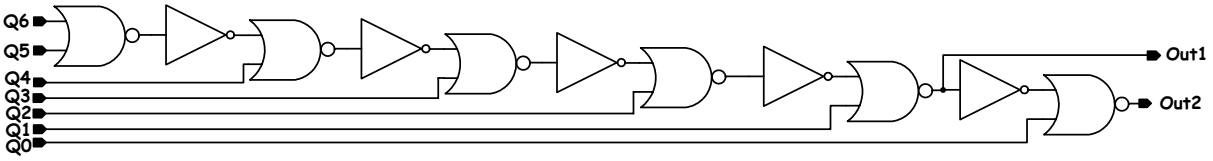


Figure 3-16 : Comparaison à 0.

Ce bloc possède deux sorties. Comme nous allons le voir lors de l'étude du bloc de synchronisation, une des sorties sert pour le chargement de la valeur du compteur (*Out1*), tandis que l'autre est utilisée pour générer le signal en sortie du celui-ci (*Out2*).

3.2.2.3. Le bloc de synchronisation

Le schéma de ce bloc est donné à la figure 3-17. Il est constitué de deux bascules D. Ce bloc est nécessaire afin que les signaux de sortie et de chargement soient cadencés uniquement au rythme des fronts de l'horloge.

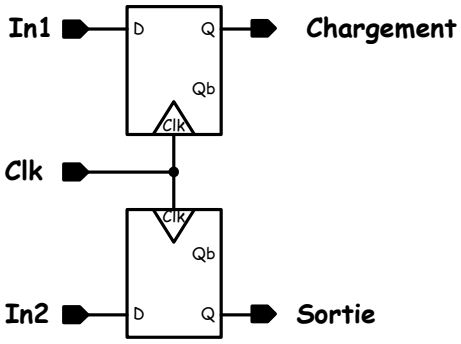


Figure 3-17 : Bloc de synchronisation.

Deux sorties différentes du bloc *comparaison à 0* sont utilisées par ce bloc. En effet, comme le bit de poids le plus faible change d'état à chaque coup d'horloge, quand tous les autres bits sont au niveau bas, la prochaine période de l'horloge interne force ce bit de poids

le plus faible au niveau bas, ce qui signifie la de fin du décompte et donc le chargement de la valeur extérieure. En utilisant, la sortie *Out1* de la figure 3-16, nous anticipons donc la valeur 0 du compteur et nous réduisons alors d'une période de l'horloge interne le temps de traitement. Le chargement se produit ainsi simultanément lorsque la dernière période d'horloge interne survient. En conséquence, au prochain front d'horloge, le décompte recommence. Si on programme une valeur M au compteur, il décomptera (M+1) périodes de l'horloge interne (on ajoute le décompte de la valeur 0) auxquelles s'ajoutera une période pour les signaux de sortie. La valeur totale comptée est donc de 2*(M+2) périodes du signal d'entrée du compteur.

3.2.2.4. Le diviseur par 2 en entrée du compteur

C'est le bloc d'entrée du compteur. Il permet aux étages suivants de travailler à des fréquences moindres ce qui diminue les contraintes (notamment le temps de transit de l'information à travers les bascules et la logique associée à chaque bit) et la consommation de ces blocs.

La fréquence de travail maximale du diviseur sera de 12 GHz. Il sera construit autour d'une bascule D dont la sortie complémentée sera rebouclée sur l'entrée. Pour éviter que le compteur ne consomme de l'énergie lorsqu'il ne fonctionne pas, et ainsi respecter la règle qui consiste à dédoubler l'oscillateur sans accroître la consommation du système (cf. chapitre 2, § 3.3), nous avons décidé de ne pas utiliser de bascules nécessitant une consommation statique (construite par exemple avec de la logique CML).

La logique dynamique étant plus rapide que la logique statique, nous nous sommes, dans un premier temps, basés sur cette première. Mais, en technologie SOI, les circuits dynamiques sont très sensibles au courant du transistor bipolaire parasite [MAR02-1]. Ce courant parasite peut vider la charge stockée sur un nœud et par conséquent créer une erreur en sortie du système. Des systèmes de pré-polarisation sont alors nécessaires à condition d'être correctement dimensionnés sous peine de perte de la fonctionnalité. Ne possédant ni modèle ni savoir-faire initial en la matière dans le cadre de cette technologie, nous avons préféré opter pour un autre type de circuit.

Le circuit retenu combine à la fois de la logique statique et une horloge de synchronisation. Il profite des avantages de la technologie SOI en terme de rapidité des systèmes numériques (cf. chapitre 1, § 4.2.2.1). Le schéma de cet élément est donné à la figure 3-18.

Il consiste en une bascule D dont la sortie *Qb* est rebouclée sur l'entrée des données *D*. Cette bascule fonctionne en deux étapes selon que le signal en entrée est au niveau haut ou bas. Les transistors M13 à M16 mettent en forme le signal et fournissent deux horloges complémentaires nécessaires aux interrupteurs formés par les transistors M2-M3 et M7-M8.

- Si le signal *Clk* en entrée est au niveau bas, *Cn* est au niveau haut et *Cp* au niveau bas. Les transistors M1 à M6 laissent passer l'information contenue sur l'entrée *D*, tandis que l'interrupteur M7-M8 est ouvert.

- Inversement, si le signal *Clk* en entrée est au niveau haut, *Cn* est au niveau bas et *Cp* au niveau haut. Les transistors M7 à M12 laissent passer l'information contenue en amont de l'interrupteur M7-M8, tandis que l'interrupteur M2-M3 est ouvert.

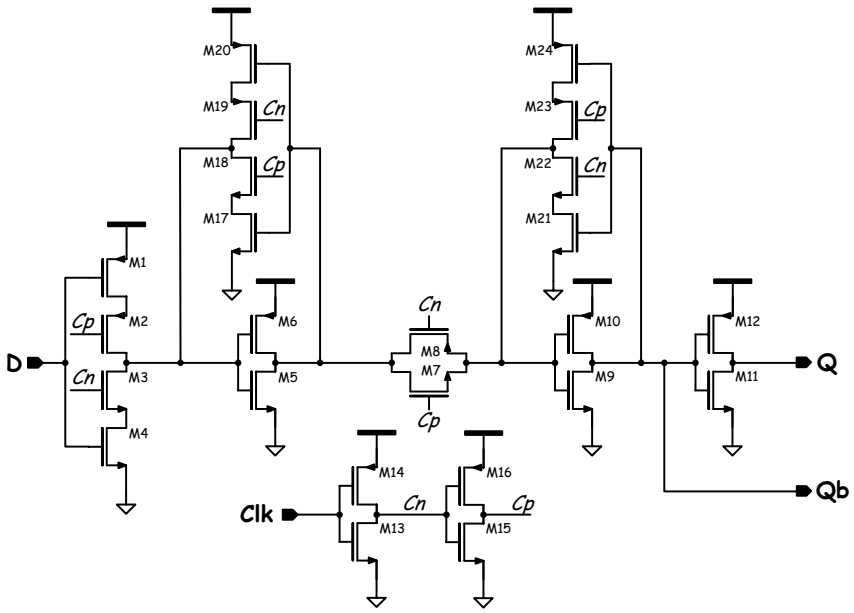


Figure 3-18 : Architecture du diviseur par 2.

Les transistors M17 à M20 et M21 à M24 permettent de verrouiller l'information lorsque l'interrupteur précédent est ouvert. Ces derniers permettent, d'une part d'élargir la bande de travail du diviseur vers de plus basses fréquences, d'autre part de maintenir le niveau en sortie des interrupteurs en cas d'enclenchement du transistor bipolaire parasite de la porte de transmission M7-M8 [MAR02-2]. La courbe 3-19 présente la simulation du rapport de division de fréquence entre l'entrée et la sortie.

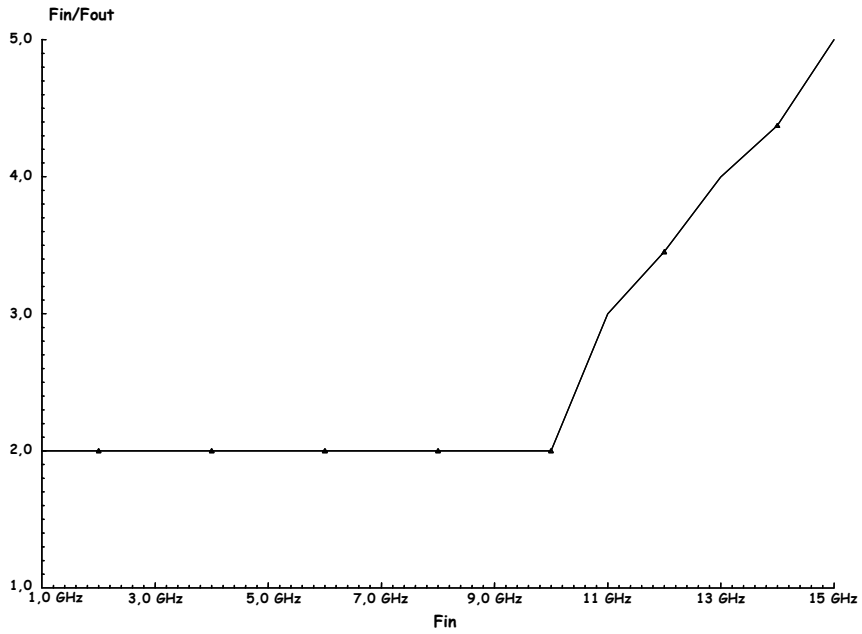


Figure 3-19 : Limite de fonctionnement du diviseur par 2.

On remarque que le diviseur diverge à partir de 10 GHz. Ce bloc ainsi réalisé, limite donc la plage de fonctionnement du compteur et donc du système, même si une amélioration de l'ordre de 20 à 30 % de la vitesse de fonctionnement peut être attendue en technologie SOI [RED00-1]. Cette limitation va entraîner une révision de l'architecture du bloc de sortie et de l'élément de retard que nous allons maintenant étudier.

3.3. Description de l'élément de retard contrôlable en tension

3.3.1.1. Architecture

Afin de synthétiser de très hautes fréquences, il faut un opérateur dont le retard puisse être très faible, et par conséquent, une structure dont l'architecture possède le moins d'étages possible. La structure de la chaîne à retard contrôlable utilisée est donnée à la figure 3-20. L'élément intrinsèque est composé d'un transistor NMOS réalisant un inverseur et d'un transistor PMOS utilisé comme source de courant pilotée par sa tension de grille V_{sg}.

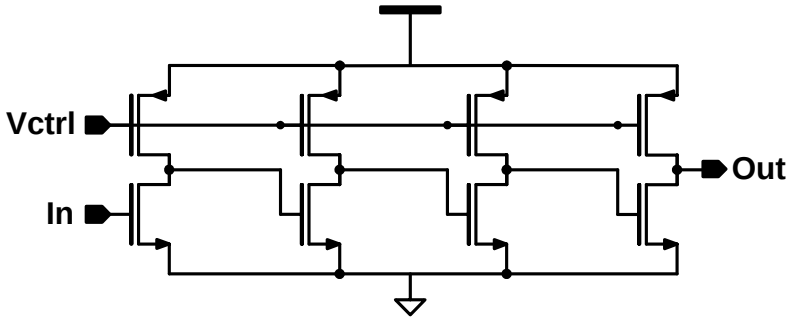


Figure 3-20 : Chaîne d'éléments à retard contrôlable en tension.

3.3.1.2. Choix du nombre d'opérateurs

En comparaison à la chaîne d'éléments à retard contrôlable étudiée au chapitre 2, le nombre d'opérateurs élémentaires a doublé. En effet, l'étude précédente du compteur a mis en évidence une limite de travail en fréquence de son premier étage, le diviseur de fréquence. A partir de cette fréquence limite, ce dernier divise par un ordre de grandeur supérieur à celui désiré. Afin d'éviter que le système ne se verrouille sur une fréquence non voulue, il est donc nécessaire que la fréquence d'oscillation du système (par conséquent la valeur du retard) ne soit jamais plus grande que la fréquence limite de travail du compteur. C'est pourquoi, deux opérateurs contrôlables supplémentaires ont été rajoutés.

D'autre part, l'opérateur de retard élémentaire crée une dissymétrie entre le temps de montée et celui de descente de son signal de sortie. En effet, le retard ne s'applique que lorsque le signal d'entrée passe d'un niveau haut à un niveau bas, comme illustré à la figure 3-21. Ainsi, afin d'équilibrer les temps de montée-descente, il est nécessaire d'utiliser un nombre pair d'éléments.

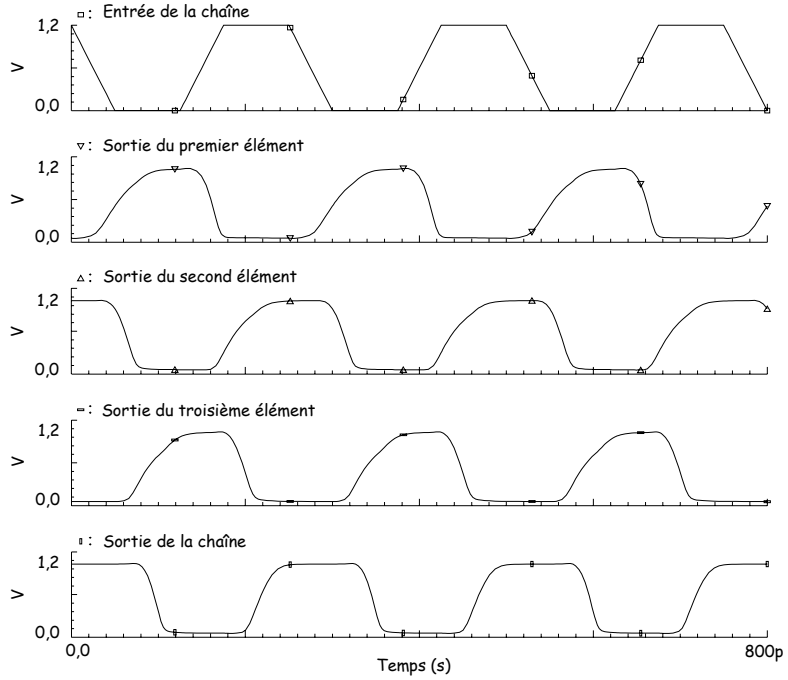


Figure 3-21 : Dissymétrie temps de montée- descente de l'opérateur à retard.

3.3.1.3. Simulations et caractérisation

Le temps de propagation à travers la chaîne d'éléments à retard est contrôlé par la tension appliquée sur la grille des transistors PMOS. Afin de caractériser cette chaîne, nous avons rebouclé la sortie de celle-ci sur son entrée via une porte NON OU en mode inversion (cf. chapitre 2, § 3.2.2.2). Ainsi, nous pouvons simuler, d'une part la fréquence d'oscillation du système en fonction de la tension de contrôle, et d'autre part en déduire le temps de propagation à travers la chaîne, en négligeant au premier ordre le temps de propagation de la porte NON OU. Le résultat de cette simulation est présenté à la figure 3-22.

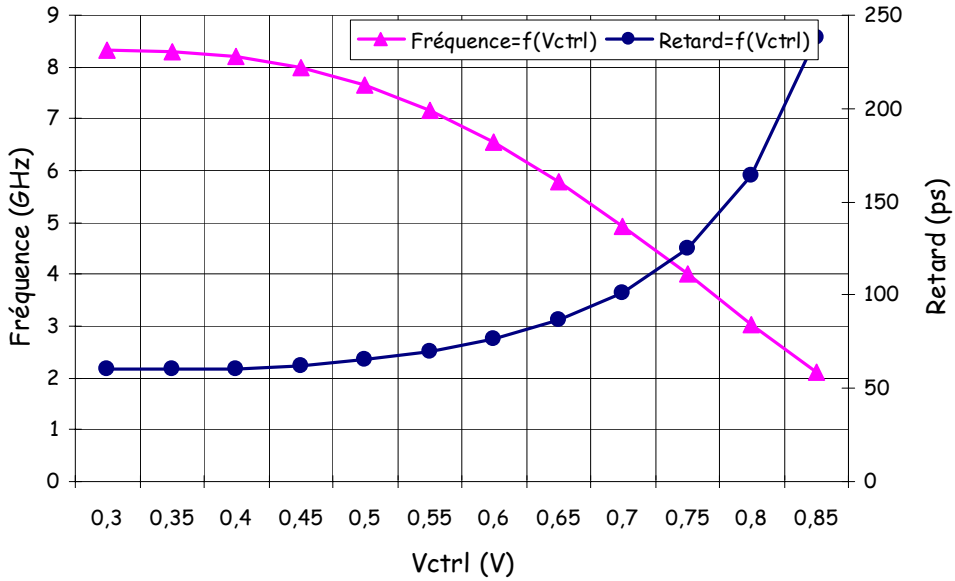


Figure 3-22 : Fonction de transfert de la chaîne en position oscillateur.

La fréquence maximale synthétisée est légèrement supérieure à 8 GHz. Ainsi, cette valeur est inférieure à la limite imposée par le compteur ce qui évite un mauvais verrouillage de la boucle. La plage de fonctionnement de l'oscillateur se situe approximativement entre 0,6 V et 0,8 V. Cette dernière permet aux transistors de recopie de la pompe de charge de travailler dans leur zone saturée ce qui optimise le fonctionnement de celle-ci. Le retard total du système varie, aux extrêmes, de 250 ps à 62,5 ps, ce qui représente une plage de variation relative de l'ordre de 75%.

Afin de pouvoir utiliser le modèle de stabilité de la boucle déterminée au chapitre 2, il est nécessaire de déterminer le gain de la chaîne d'éléments de retard, en exprimant son retard en radians en fonction de la tension de contrôle. Cette fonction de transfert est illustrée à la figure 3-23. Le retard est exprimé par rapport à la référence (dont la fréquence est de 50 MHz). Compte tenu de l'allure de la courbe, le gain sera modélisé approximativement, dans la zone de fonctionnement utile (pour 0,6 V<Vctrl<0,8 V), à l'aide de deux droites. Ainsi, on aura, si la tension de contrôle est supérieure à 0,75 V un gain égal à 730×10^{-3} Rad/V, et si elle est inférieure à 0,75 V un gain égal à 102×10^{-3} Rad/V.

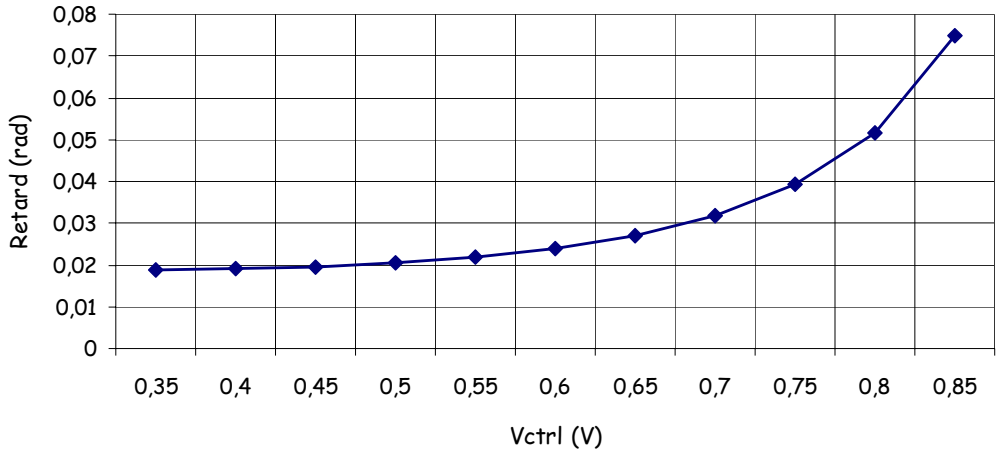


Figure 3-23 : Fonction de transfert du retard en fonction de la tension de contrôle.

Le compteur ainsi que la chaîne d'éléments à retard contrôlable en tension ayant été décrits, il ne reste plus qu'à étudier la commande permettant de lancer et d'arrêter l'oscillation afin de terminer l'étude du bloc « Oscillateur ».

3.4. Description de la commande de l'oscillateur

3.4.1. Présentation du circuit

Ce bloc permet d'assurer un fonctionnement du circuit similaire à celui d'une boucle à verrouillage de délai classique. En effet, il permet de garantir que chaque nouveau front de l'horloge de référence démarre un nouveau cycle d'oscillation, évitant ainsi l'accumulation de la gigue temporelle d'un cycle sur l'autre. Pour réaliser cette fonctionnalité, le circuit agit comme un interrupteur entre la sortie de ce bloc et ses deux entrées (cf. figure 3-9). La réalisation du circuit de cet étage est décrite à la figure 3-24, où l'interrupteur est réalisé grâce à la porte NOR et la commande de celui-ci à l'aide de deux générateurs d'impulsions et d'une bascule RS.

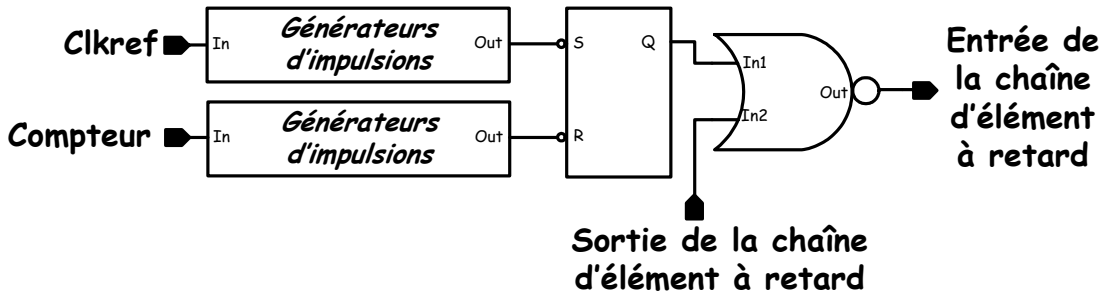


Figure 3-24 : Commande de l'oscillateur.

3.4.2. Principe de fonctionnement

Le fonctionnement de ce bloc, illustré à la figure 3-25, est le suivant :

- Lorsque le signal de référence passe au niveau haut, ce qui signifie le début d'un nouveau cycle de l'horloge de référence, la sortie de la bascule RS est forcée au niveau bas. La sortie de la porte NON OU devient alors le complément de celui de sa seconde entrée qui constitue la sortie de la chaîne d'élément à retard. La porte joue donc le rôle d'inverseur, de sorte que l'oscillation débute.

- Lorsque le signal provenant du compteur passe au niveau haut, la sortie de la bascule RS est forcée au niveau haut. La sortie de la porte NON OU passe au niveau bas quel que soit l'état du signal de sortie de la chaîne d'opérateurs à retard. L'oscillation est interrompue.

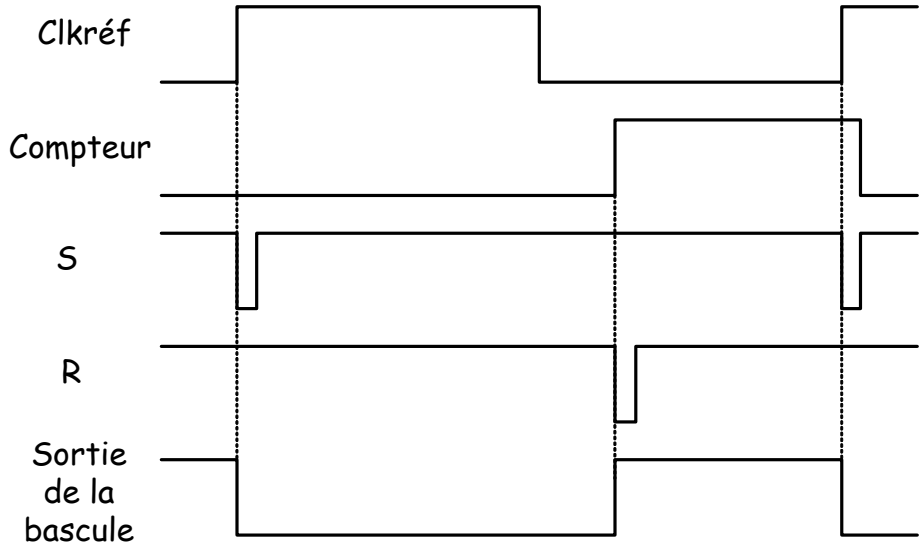


Figure 3-25 : Fonctionnement de la commande de l'oscillateur.

Les deux générateurs d'impulsions empêchent que la bascule RS ne travaille avec des niveaux de signaux en entrée qui seraient sources d'indécision en sortie. Le principe de fonctionnement de la bascule est rappelé dans le tableau 3-3. Ces générateurs détectent les fronts montants des signaux en entrée, et les transforment en une impulsion négative qui sera appliquée à la bascule RS. Il est ainsi évité d'appliquer deux niveaux bas simultanés en entrée de la bascule RS, ce qui induirait un état indéterminé comme cela est indiqué dans la figure 3-25.

$\overline{R}$	$\overline{S}$	Q_{n+1}	Etats
0	0		Indéterminé
0	1	0	Mise à 0
1	0	1	Mise à 1
1	1	Q_n	Mémoire

Tableau 3-3 : Fonctionnement de la bascule RS.

Le schéma des générateurs d'impulsions est donné à la figure 3-26. Il consiste en l'association d'une porte NAND et d'une ligne à retard constituée d'inverseurs. Quand le signal *In* passe au niveau haut, le signal *Out* de sortie de la porte NAND passe au niveau bas jusqu'à ce que le signal retardé par la ligne d'inverseurs arrive sur la seconde entrée de la porte NAND forçant la sortie *Out* au niveau haut. Il apparaît donc une impulsion « négative » en sortie de ce bloc.

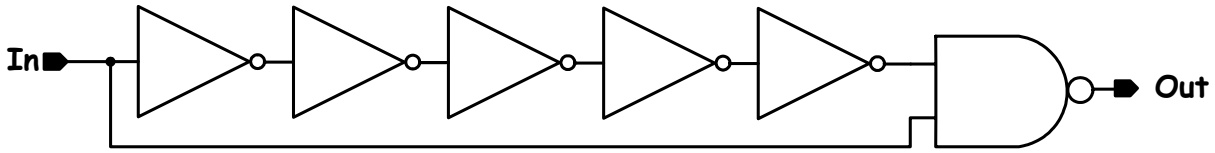


Figure 3-26 : Générateur d'impulsion.

La DLL factorisée est composée de trois blocs principaux. Après avoir étudié, les blocs « Asservissement » et « Oscillateur », nous pouvons nous intéresser au dernier dénommé « Sortie ».

4. CONCEPTION DU BLOC DE SORTIE

4.1. Rappel

Ce bloc reçoit en entrée les deux signaux de sortie du bloc « Oscillateur ». En sortie, il délivre deux sorties, en quadrature de phase l'une par rapport à l'autre, dont les fréquences sont deux fois moindres que celles d'entrée.

En raison des limitations en fréquence du compteur, une autre voie de sortie a été ajoutée. En effet, comme le système ne pourra pas générer la quadrature de phase par division de fréquence pour les fréquences des standards situés entre 5 et 6 GHz, celle-ci sera générée en utilisant des filtres polyphasés. Une sortie, dont le signal à la même fréquence que ceux issus du bloc « Oscillateur », est nécessaire.

Le schéma de ce bloc est donné à la figure 3-27. Ce bloc se décompose en deux parties. La première réalise la sommation des signaux en entrée. La seconde, faite de circuits tampons (buffers) et de bascules D montées en diviseur par deux de fréquence, réalise la mise en forme et la quadrature des signaux de sortie.

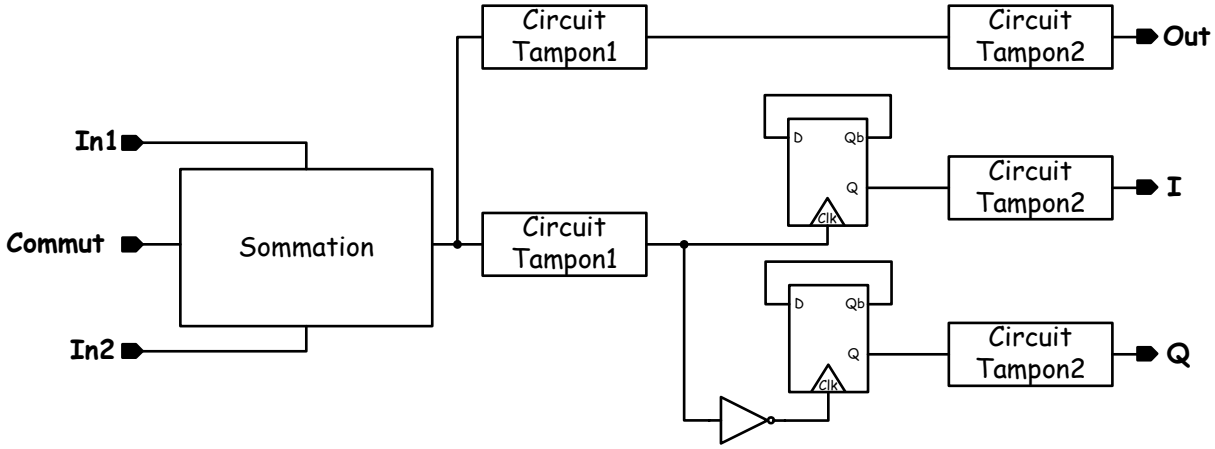


Figure 3-27 : Présentation du bloc de sortie.

4.2. Description du bloc de sommation

La figure 3-28 donne le schéma bloc de cette entité. Il est constitué de portes NON ET et d'inverseurs. Les inverseurs en entrée permettent la mise en forme et servent de circuit tampon, isolant ainsi la chaîne d'éléments à retard de ce bloc.

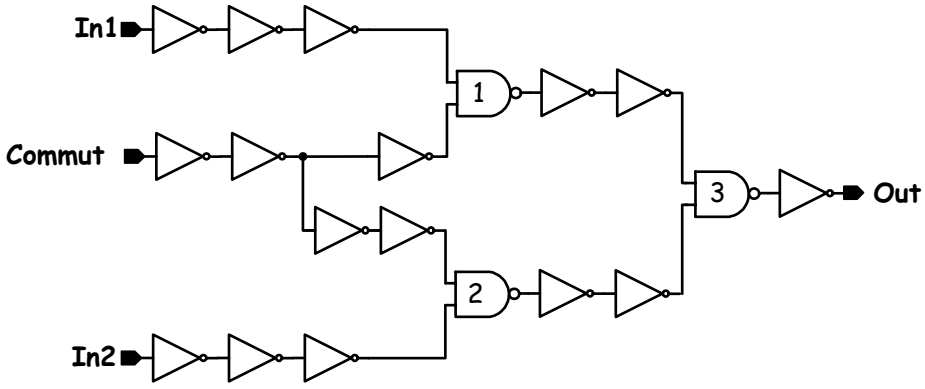


Figure 3-28 : Présentation du bloc sommation.

Ce circuit possède trois entrées et une sortie. Sur les deux entrées *In1* et *In2* sont respectivement appliqués les signaux issus du bloc « Oscillateur ». Le signal *Commut* permet de donner un ordre de priorité à la recombinaison des deux signaux précédent évitant ainsi que les deux signaux ne soient ajoutés dans l'hypothèse où ils seraient actifs au même instant. En effet, quand l'entrée *Commut* est au niveau haut, la sortie de la porte NON ET n°1 est forcée au niveau haut quel que soit l'état de *In1*. La porte NON ET n°2 se comporte comme un inverseur vis-à-vis du signal provenant de *In2*. La sortie de la porte NON ET n°3 recopie le signal provenant de la porte NON ET n°2. De la même manière, quand *Commut* est au niveau bas, la sortie de la porte NON ET n°2 est forcée au niveau haut, la porte NON ET n°1 se comporte comme un inverseur et le signal *In1* se retrouve en sortie de ce bloc. Ce fonctionnement est illustré par la simulation de ce circuit présentée à la figure 3-29.

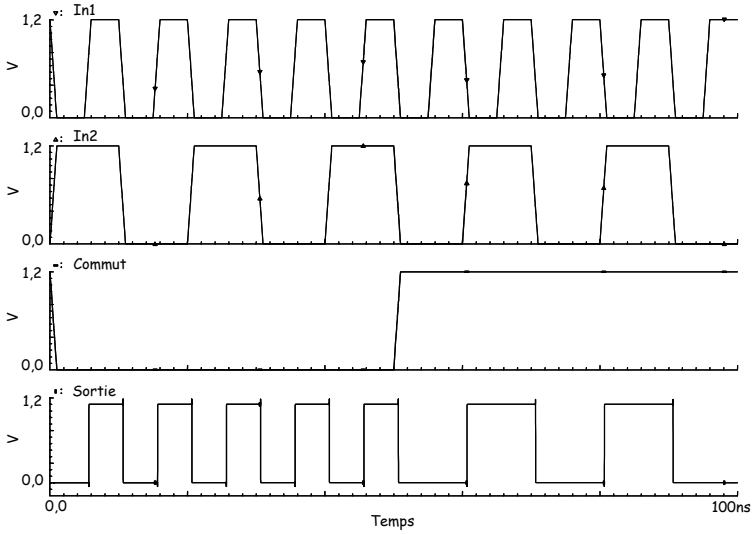


Figure 3-29 : Fonctionnement du bloc de Sommation.

4.3. Description de la mise en forme et de la quadrature de phase des signaux de sortie.

La quadrature de phase s'obtient en utilisant un circuit diviseur par deux de la fréquence. Si le signal d'entrée est appliqué directement sur l'entrée d'horloge du circuit diviseur, et si le même signal, déphasé de 180°, est appliqué sur l'entrée d'horloge d'un même circuit diviseur de fréquence, nous détectons en sortie les deux phases désirées [RAZ98-1]. Cette architecture est présentée à la figure 3-27.

La figure 3-30 présente l'erreur de quadrature de phase en fonction de la fréquence des signaux de sortie. Cette technique présente des limitations mises en évidence par ce résultat de simulation. En effet, afin que cette erreur soit nulle, il est nécessaire que le rapport cyclique du signal d'entrée soit de 50% et qu'il n'y ait pas de désappariement entre les deux voies. Or, d'une part, la voie *Q* présente un inverseur de plus afin de fournir le signal en opposition de phase au circuit diviseur par deux, et d'autre part, le signal en sortie de l'oscillateur ne présente pas un rapport cyclique de 50%. Cette différence de rapport cyclique est due, en mode oscillateur en anneau, à l'inverseur (porte NOR cf. 3.4.1) sur le chemin de retour du signal, et à la structure même de l'élément à retard qui est un inverseur de type NMOS et non CMOS. Par conséquent, l'erreur de phase simulée maximale est proche de 23%. Pour éviter que l'erreur de phase ne dépende du rapport cyclique du signal d'entrée, il faut utiliser un diviseur par quatre de fréquence. Cela n'a pas été possible pour notre application, car les fréquences mises en jeu auraient été trop élevées. En revanche, nous avons essayé de développer une solution alternative qui sera présentée à la fin de ce chapitre.

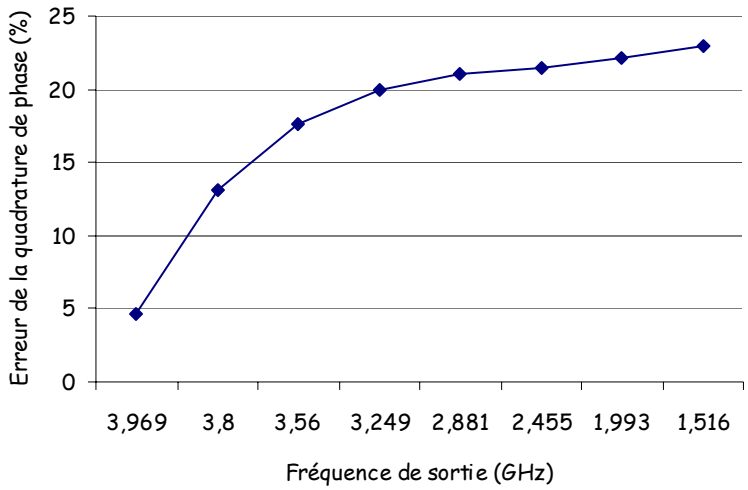


Figure 3-30 : Erreur de la quadrature de phase en fonction de la fréquence de sortie.

Les limites en fréquence du diviseur par deux ne permettent pas de générer la quadrature de phase pour les standards de communication compris entre 5 et 6 GHz en utilisant la technique de division par deux de fréquence. Ces fréquences seront donc synthétisées directement et la quadrature pourra être obtenue en utilisant des filtres polyphasés tels que ceux présentés à la figure 3-31.

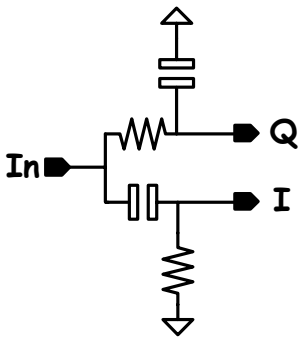


Figure 3-31 : Filtre polyphasé RC-CR.

Si ω_{in} est la pulsation en entrée, le déphasage sur la voie Q sera : $-\text{Arctan}(RC\omega_{in})$ et celui sur I : $\pi/2\text{-Arctan}(RC\omega_{in})$. Donc, quelle que soit la pulsation en entrée, le déphasage sera de 90°. Il n'en est pas, en revanche, de même pour l'amplitude des signaux des deux qui, elle, sera égale uniquement à la fréquence de coupure ($\omega_{in} = 1/RC$). Néanmoins, l'utilisation de circuits limiteurs d'amplitude (comme par exemple des paires différentielles) permet de s'affranchir de ce problème [COR04-1].

La mise en forme des signaux de sortie est réalisée à l'aide de circuits tampons. Ces circuits tampons sont réalisés en cascadant des inverseurs CMOS de taille croissante afin de permettre au circuit d'être chargé par un système dont l'impédance d'entrée est de 50 ohms, comme c'est le cas pour les instruments de mesure. La figure 3-32 présente les chronogrammes des signaux de sortie sous 50 ohms simulés, pour un signal en entrée de fréquence 4 GHz. Cette figure fait apparaître les signaux en quadrature de phase dont la fréquence est divisée par deux (I et Q), et le signal de même fréquence qu'en entrée pour générer la quadrature de phase par usage de filtres polyphasés.

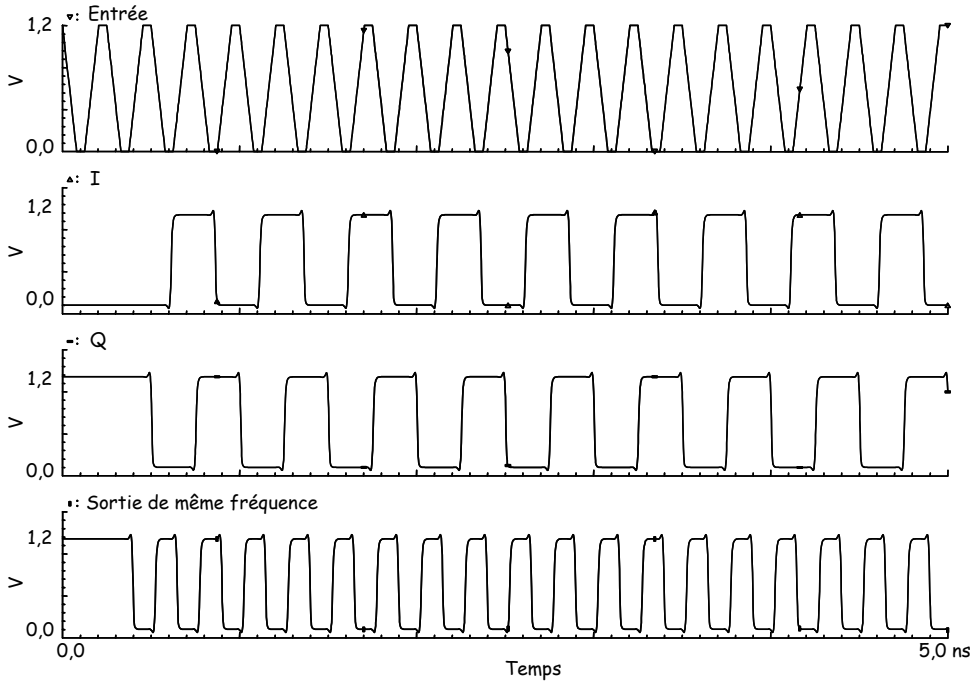


Figure 3-32 : Forme d'onde des signaux de sortie.

Tous les blocs de la DLL factorisée ayant été présentés et simulés, nous pouvons désormais les assembler et ainsi étudier le système complet.

5. SIMULATION DU SYSTEME COMPLET

Le système doit générer toutes les fréquences des standards compris entre 2 GHz et 6 GHz. Dans cette partie, nous ne présenterons que la synthèse des standards extrêmes de cette bande afin de démontrer sa capacité à générer les normes de cette bande.

L'horloge de référence du système aura une fréquence de 50 MHz et la tension d'alimentation du système sera de 1,2 volts. Toutes les sorties du système seront chargées par une impédance de 50 ohms qui modélisera l'impédance des outils de test.

5.1. Choix des caractéristiques du filtre

Le choix de la capacité du filtre repose sur l'étude de stabilité menée au chapitre 2 (cf. § 4.3.2.1). En utilisant l'équation 2-9, nous pouvons alors déterminer la valeur minimale de la capacité assurant la stabilité de la boucle. Cette équation est rappelée ici :

$$BP_{max} = \frac{I_{CP} \times 2 \times n \times M \times K_{VDE}}{4\pi^2 C} = \frac{F_{réf}}{10} \qquad \textbf{3-7}$$

En vue des futurs tests, nous avons décidé de ne pas intégrer le filtre afin de pouvoir en changer de valeur lors de ceux-ci. Ainsi, la valeur du courant de pompe de charge a été fixée à 2,5 mA.

D'après l'étude de la courbe 3-23 (cf. 3.3.1.3) représentant la fonction de transfert entre le retard et la tension de contrôle de l'opérateur, nous pouvons conclure que la valeur minimale de la capacité du filtre est d'environ 1,3 nF.

Dans les simulations, nous utiliserons une capacité de 2 nF, correspondant à une valeur proche de cette valeur limite, et très répandue dans le commerce.

5.2. Synthèse du standard à 1,8 GHz

5.2.1. Etude temporelle

Afin de synthétiser cette fréquence, nous avons programmé les valeurs des compteurs de telle sorte que l'ordre de multiplication de la boucle soit égal à 36 (= 1800/50). Comme nous avons pris deux valeurs égales pour les compteurs alors, comme indiqué au paragraphe 3.2.1.1, la valeur placée en entrée des compteurs doit être de 16. Ainsi seul le bit correspondant à 2^4 est mis à un.

La figure 3-33 présente l'évolution de la tension de contrôle lors de la simulation.

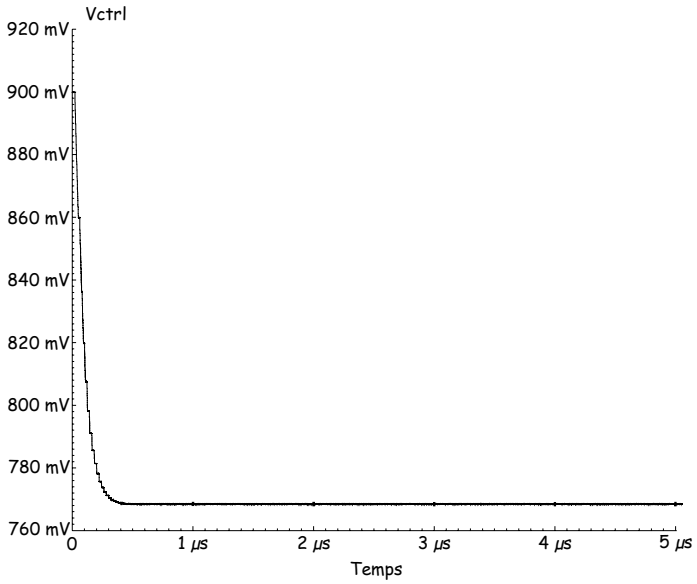


Figure 3-33 : Evolution de la tension de contrôle.

Pour des raisons de temps de simulation, nous avons imposé une condition initiale à cette tension (égale à 900 mV à l'instant t = 0 s). Cette tension converge vers la valeur finale pour laquelle la fréquence de sortie est égale à 1,8 GHz. Nous pouvons noter que la convergence vers la valeur finale s'effectue sans dépassement ni oscillation autour de celle-ci, ce qui confirme la stabilité de la boucle.

La figure 3-34 présente les chronogrammes des signaux de sortie de l'oscillateur et du signal de sortie de la DLL. Le signal *Commut* donne la priorité à la sommation pour une voie par rapport à l'autre. Dans cette figure, quand *Commut* est au niveau haut, le signal *Clkosc2* est placé en sortie du bloc de sommation. Quand *Commut* est au niveau bas, *Clkosc1* est placé en sortie du bloc de sommation.

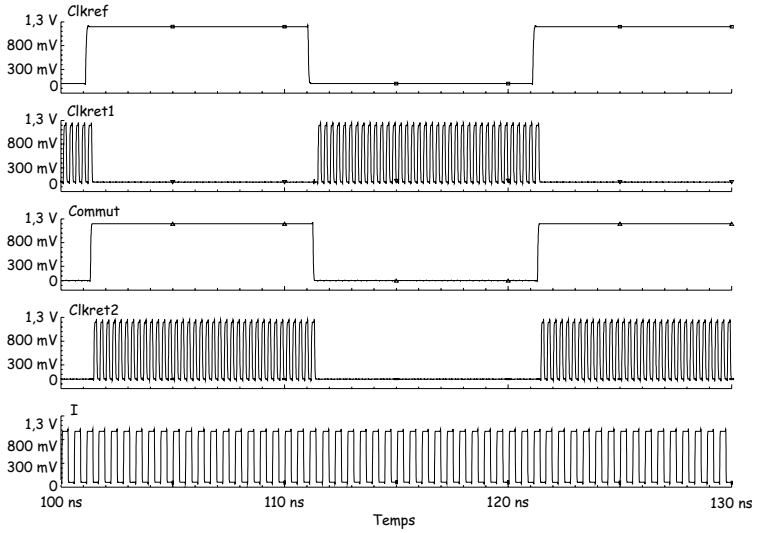


Figure 3-34 : Chronogrammes des signaux de sortie des blocs oscillateurs et de la DLL complète.

La boucle à verrouillage de délai factorisée fournit deux signaux en quadrature de phase l'un par rapport à l'autre. La figure 3-35 présente les formes d'onde des ces deux signaux.

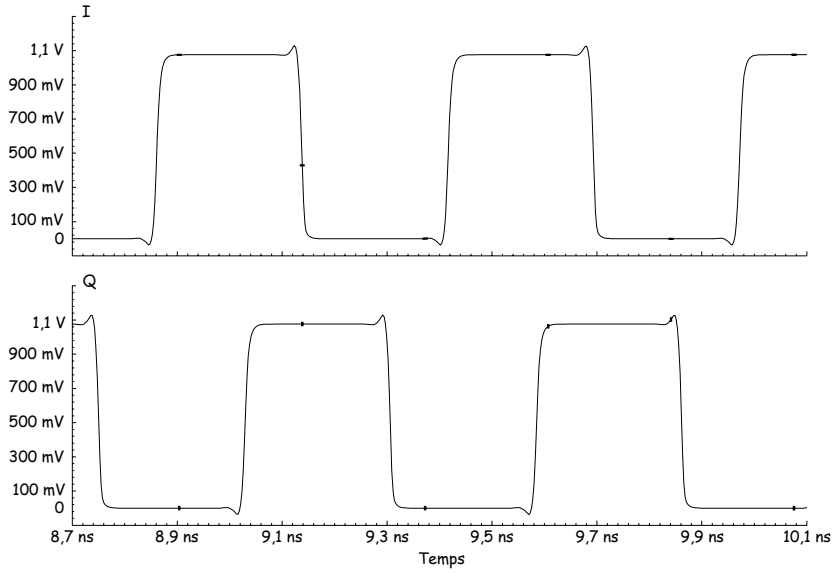


Figure 3-35 : Formes d'onde des signaux de sortie.

Le système synthétise donc le standard voulu, à savoir le DCS 1800 MHz. Nous pouvons maintenant nous intéresser à la consommation du système. La figure 3-36 présente la répartition de la consommation en fonction de chaque bloc.

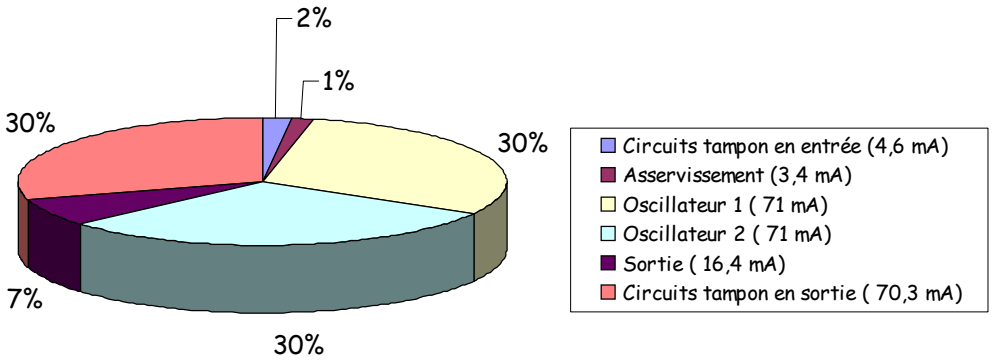


Figure 3-36 : Répartition de la consommation de chaque bloc.

La consommation totale de courant du circuit, sous une alimentation de 1,2 volts, est de 236,7 mA, soit une puissance dissipée de 284 mW. La consommation de ce circuit est principalement due à trois blocs : d'une part, le circuit tampon de mise en forme des signaux de sortie, d'autre part les deux blocs « Oscillateur ». La consommation élevée de courant de ces deux blocs est un choix de notre part qui se justifie pour deux raisons. Tout d'abord, le bruit de phase d'un oscillateur en anneau diminuant avec sa consommation de courant, nous avons donc augmenté celle-ci. Ensuite, afin de prendre une marge de sécurité importante dans le cadre des conditions de simulations (absence de modèles SOI, absence de logiciel d'extraction de parasites) nous avons travaillé avec de plus grandes consommations. En conclusion, même si la consommation totale du circuit est de fait élevée, elle peut être réellement diminuée en réduisant celle de l'élément à retard contrôlable. En effet, en ce qui concerne les blocs « Oscillateur », le principal consommateur de courant est l'opérateur à retard contrôlable. La figure 3-37 présente la répartition des consommations de courant au sein d'un bloc «Oscillateur ». Nous pouvons nous apercevoir que 90% de la consommation de courant est due à l'élément à retard contrôlable.

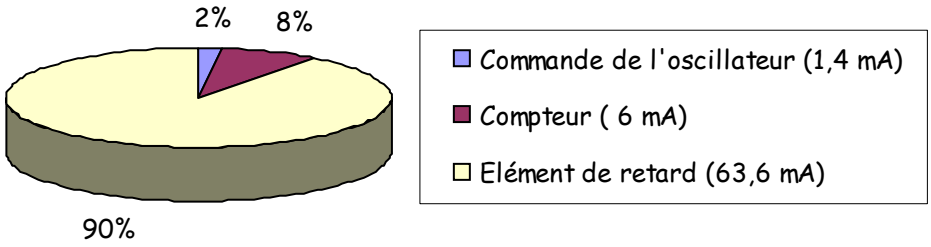


Figure 3-37 : Répartition des consommations de courant au sein du bloc Oscillateur.

5.2.2. Etude fréquentielle

La figure 3-38 présente le spectre du signal de sortie du circuit. Dans ce spectre, nous pouvons observer que prédominent la raie fondamentale à 1,8 GHz, ainsi que celles plus faibles, des harmoniques de rang impair. Les harmoniques de rang pair sont présentés car, à de telles fréquences, la forme du signal tend vers celle d'une sinusoïde. Mais, le caractère carré de la forme du signal atténue néanmoins ces harmoniques d'un facteur proche de 20 dB par rapport à la raie fondamentale. Nous pouvons également noter que les raies parasites structurelles, à un écart de fréquence de la porteuse égal à la fréquence de référence, ainsi que ses harmoniques, sont atténuées d'un facteur d'environ 35 dB.

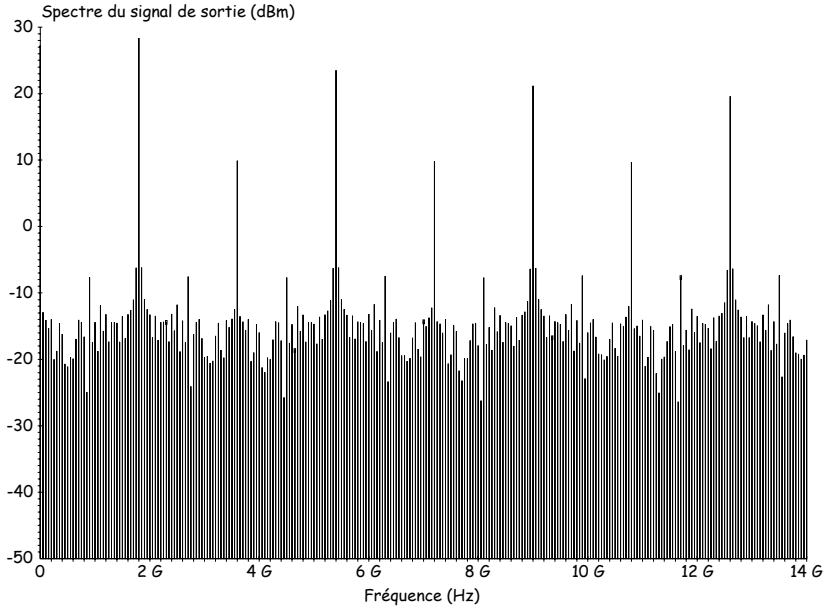


Figure 3-38 : Spectre du signal de sortie.

Le standard de fréquence le plus faible ayant été étudié, nous pouvons désormais nous préoccuper du standard de fréquence le plus élevé à 5,8 GHz.

5.3. Synthèse du standard à 5,8 GHz.

5.3.1. Etude temporelle

Afin de synthétiser cette fréquence, nous avons de nouveau programmé les valeurs des compteurs de telle sorte que l'ordre de multiplication de la boucle soit égal à 116 (=5800/50). Comme nous prenons deux valeurs égales pour les compteurs alors la valeur placée en entrée des compteurs est 27. Ainsi seuls les bits correspondant aux poids 2^4, 2^3, 2^1 et 2^0 sont mis à un. Le système se verrouille. La convergence de la tension de contrôle s'effectue sans dépassement ni oscillation autour de sa valeur finale, comme illustré à la figure 3-33. Seule la valeur finale diffère de celle de la simulation précédente. Nous pouvons alors observer le chronogramme du signal de sortie illustré à la figure 3-39. En effet, pour cette valeur, la sortie utilisée est celle de même fréquence que celle des blocs « Oscillateur » (cf. 4-1).

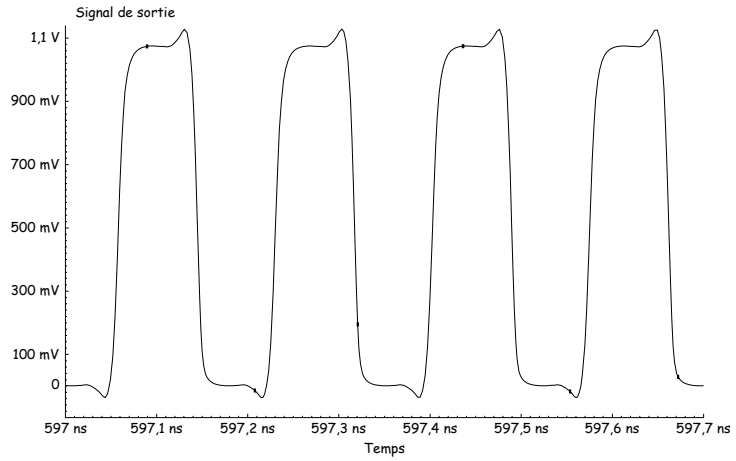


Figure 3-39 : Chronogramme du signal de sortie.

La consommation du système est plus élevée que précédemment, ce qui est dû à l'augmentation de la fréquence de travail. La figure 3-40 donne la répartition de la consommation de courant pour chaque bloc constitutif de la DLL.

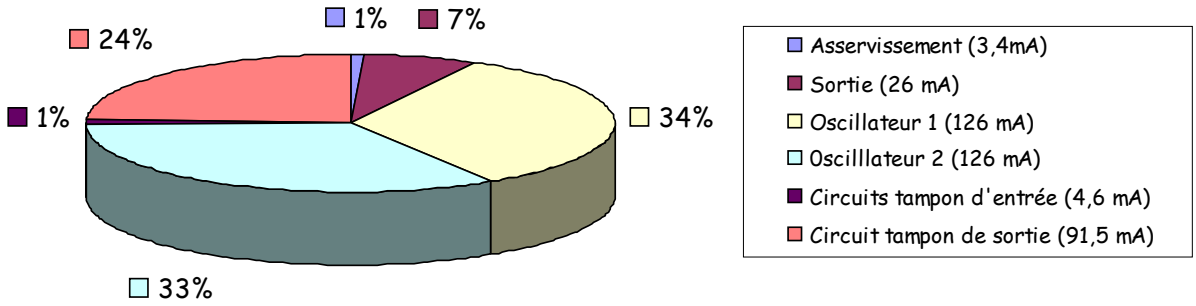


Figure 3-40 : Répartition de la consommation de courant totale du circuit.

La répartition de la consommation de courant est du même ordre que celle étudiée à la figure 3-36, distribuée principalement entre les blocs « Oscillateur » et le bloc de mise en forme des signaux de sortie. L'augmentation principale de la consommation se situe essentiellement au niveau des blocs « Oscillateur » et notamment au niveau de la consommation de l'élément à retard. La répartition de la consommation au sein de ce dernier est la même que celle de la figure 3-37.

5.3.2. Etude fréquentielle

La courbe 3-41 présente le spectre du signal de sortie du circuit à une fréquence de 5,8 GHz.

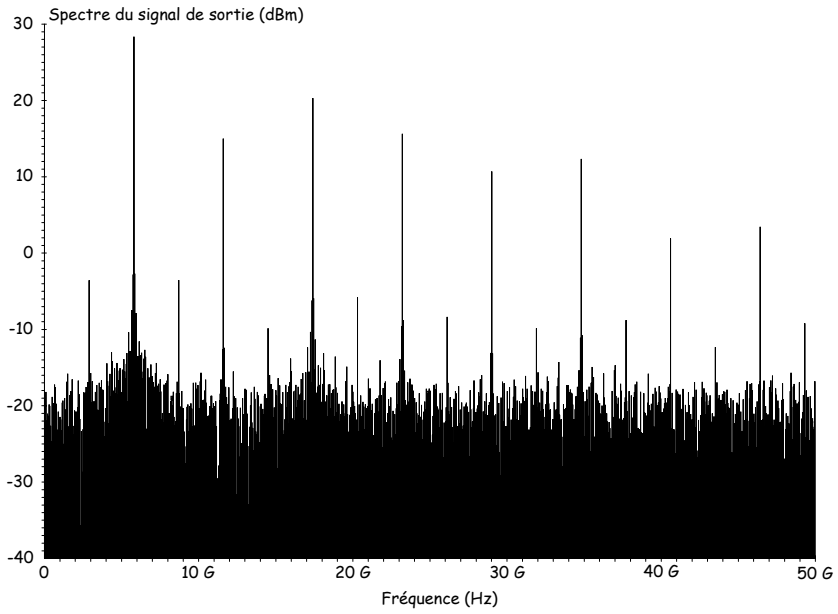


Figure 3-41 : Spectre du signal de sortie à 5,8 GHz.

Ce spectre contient la raie fondamentale à 5,8 GHz ainsi que les premières raies harmoniques d'ordre impair. Comme lors de l'étude de la figure 3-38, nous notons la présence de la raie harmonique d'ordre pair avec une atténuation de celle-ci par rapport à la raie fondamentale d'une valeur d'environ 15 dB. Les raies parasites structurelles à un écart de la

raie fondamentale égal à la fréquence de référence, sont atténuées par rapport à celle-ci d'un facteur légèrement supérieur à 30 dB.

Le système est donc capable de générer des signaux de sortie dont la fréquence varie dans la gamme comprise entre 2 et 6 GHz. Pour balayer cette gamme, il suffit de changer la valeur des compteurs. Etudions maintenant la réponse du système à un changement de standard.

5.4. Réponse du système à un changement de standard

Afin de simuler la réponse du système à un changement de consigne, nous faisons se verrouiller le système sur un standard (le standard de fréquence la plus élevée). Puis, nous changeons les valeurs en entrée des compteurs afin de synthétiser le standard de fréquence la plus faible. La courbe 3-42 présente la réponse de la tension de contrôle des éléments de retard. Cette réponse est une image de celle de la fréquence de sortie.

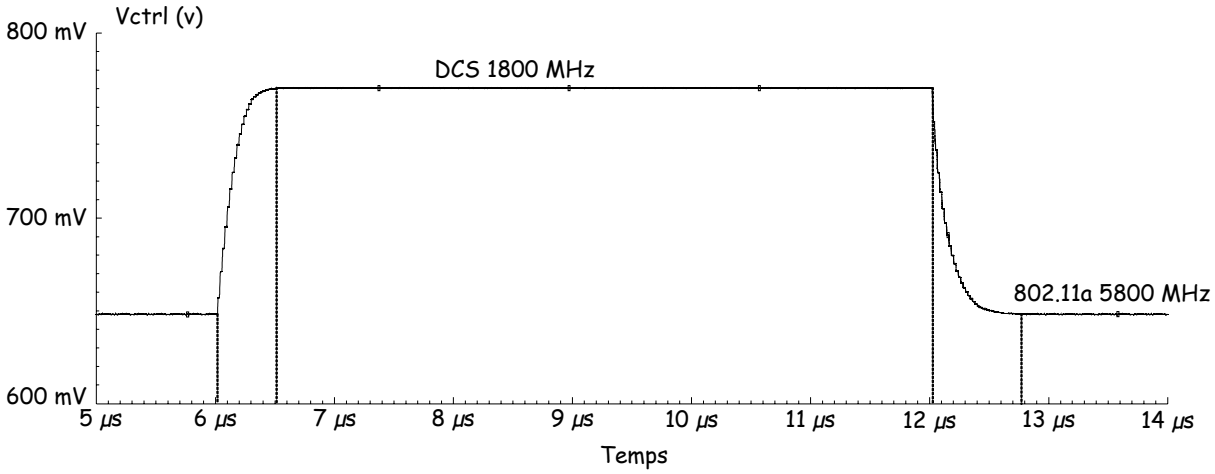


Figure 3-42 : Réponse à une demande de changement de normes.

La stabilité du système est une nouvelle fois démontrée avec une réponse sans oscillation ni dépassement de la valeur finale.

Les temps de stabilisation du système sont, dans chaque cas, inférieurs à 760 ns. Ainsi, le temps maximum nécessaire pour faire passer la fréquence de sortie d'une borne à l'autre de sa gamme de travail, correspond au maximum à 38 périodes du signal de référence, pour une capacité de filtre de 2 nF.

La figure suivante présente le dessin des masques de la DLL factorisée. Ce circuit réalisé en technologie CMOS SOI 130 nm de STMicroelectronics occupe une surface de 4 mm^2. La surface effective, occupée par le circuit, constitué des parties actives encadrées dans la figure 3-43, est d'environ 0,35 mm^2. La majeure partie de cette surface est attribuée au bloc « Oscillateur ». La place libre a été remplie par des capacités de découplage entre l'alimentation et la masse. Enfin, le circuit a été routé en utilisant des lignes microrubans ou des guides coplanaires quand cela était nécessaire.

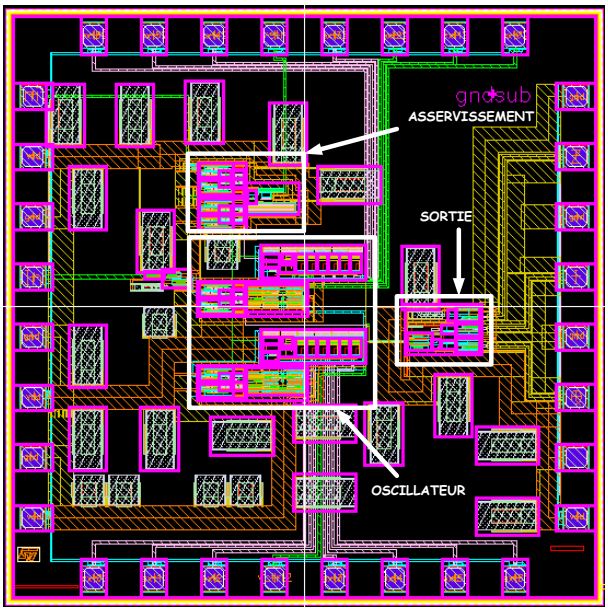


Figure 3-43 : Dessins des masques de la deuxième DLL.

Au paragraphe 4.3, nous avons évoqué le fait que la quadrature de phase obtenue par division par deux de la fréquence était très sensible au rapport cyclique du signal en entrée. Or, le signal généré, en raison de l'architecture retenue pour la chaîne à retard, n'a pas un rapport cyclique de 50%, ce qui entraîne un risque d'erreur de quadrature de phase entre les deux signaux de sortie. C'est pourquoi nous avons également développé une nouvelle version de la DLL factorisée avec génération directe de la quadrature de phase au niveau des éléments à retard contrôlable.

6. PRESENTATION DE LA DLL AVEC GENERATION DIRECTE DE LA QUADRATURE DE PHASE

6.1. Pourquoi cette nouvelle version ?

La figure 3-44 présente la variation simulée de l'erreur de quadrature de phase entre les signaux de sortie du système induite par un rapport cyclique différent de 50%. Ce dernier s'éloigne de cette valeur lorsque la fréquence augmente, ce qui accroît l'erreur de quadrature de phase.

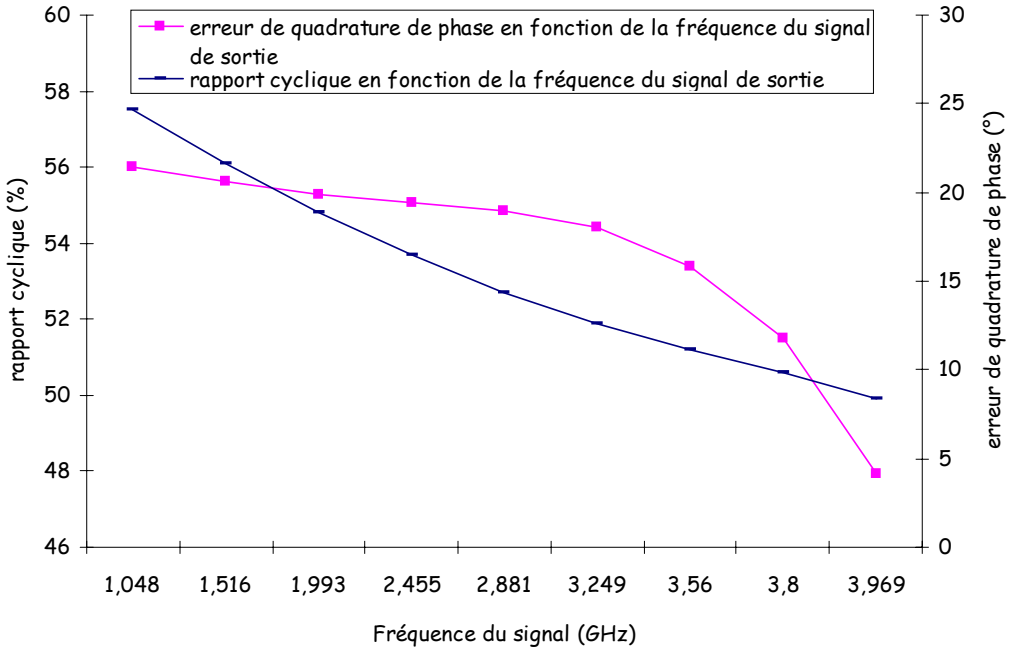


Figure 3-44 : Variation de l'erreur de quadrature de phase avec l'erreur de rapport cyclique en fonction de la fréquence de sortie.

Or, une erreur de phase entre les signaux souhaités en quadrature, influe sur les performances de la chaîne de réception de type homodyne, notamment sur le taux d'erreur bit. En effet, si :

$V_{RF}(t)= A\cos(\omega_{RF}t) + B\sin(\omega_{RF}t)$ le signal radiofréquence en entrée du récepteur zéro IF.

$V_{OL,I}(t)= C\cos(\omega_{OL}t)$ le signal en phase en sortie de l'oscillateur local.

$V_{OL,Q}(t)=C(1+\xi)\sin(\omega_{OL}t+\theta)$ le signal en quadrature de phase en sortie de l'oscillateur local où ξ représente l'erreur en amplitude et θ celle en phase.

Comme $\omega_{RF}=\omega_{OL}$ pour une architecture radiofréquence de type homodyne, alors nous avons en sortie de chaque mélangeur les équations :

$$V_{RF}(t)\times V_{OL,I}(t) = \frac{A\times C}{2} + \frac{A\times C}{2}\times\cos(\omega_{RF}t) + \frac{A\times C}{2}\sin(\omega_{RF}t) \qquad \textbf{3-8}$$

$$V_{RF}(t)\times V_{OL,Q}(t) = \frac{(1+\xi)\times C}{2}\times[\ \begin{matrix}(A\sin\theta + B\cos\theta) + \cos(2\omega_{RF}t)\times(A\sin\theta - B\cos\theta)\\ +\sin(2\omega_{RF}t)\times(B\sin\theta + A\cos\theta)\end{matrix}\ ] \qquad \textbf{3-9}$$

Par conséquent, après un filtrage de type passe-bas, on obtient :

$$V_{RF}(t)\times V_{OL,I}(t) = \frac{A\times C}{2} \qquad \textbf{3-10}$$

$$V_{RF}(t)\times V_{OL,Q}(t) = \frac{(1+\xi)\times C}{2}\times(A\sin\theta + B\cos\theta) \qquad \textbf{3-11}$$

L'influence de l'erreur de phase (et d'amplitude) des signaux en quadrature apparaît clairement dans l'équation 3-10. De la même manière, pour une architecture de type hétérodyne à réjection d'image, le taux de réjection d'image (ou IRR=Image Rejection Ratio) est donné par la formule (pour de faible ξ et θ) [COR04-1] :

$$\mathrm{IRR} = \frac{\xi^2 + \theta^2}{4} \qquad \textbf{3-12}$$

En pratique, pour avoir des performances acceptables il faut avoir $\xi<7\%$ et $\theta<5°$. La DLL factorisée ne présente pas de problème d'amplitude, théoriquement. En revanche, l'erreur de phase n'est pas inférieure à cette valeur parce que ses signaux présentent un rapport cyclique différent de 50%. Pour obtenir un rapport cyclique plus convenable, l'utilisation d'un diviseur par quatre de fréquence serait souhaitable. Mais, cela oblige l'oscillateur au cœur du système à travailler à quatre fois la fréquence synthétisée. C'est pourquoi une nouvelle version a été élaborée.

6.2. Présentation

La solution retenue pour éviter les erreurs de quadrature de phase liées à la division par deux de la fréquence est d'utiliser une chaîne d'éléments à retard qui génère directement deux signaux en quadrature. Cette solution est fondée sur une technique souvent employée pour les synthétiseurs de fréquence à base de boucle à verrouillage de phase, où l'oscillateur contrôlé en tension génère directement la quadrature [SEO03-1] [KUO04-1]. Cette technique a aussi l'avantage de ne pas faire fonctionner l'oscillateur central à une fréquence double, ce qui diminue les contraintes en termes de dessin des masques, et diminue la consommation. Le schéma bloc de la DLL factorisée devient donc celui de la figure 3-45. Il diffère de celui étudier précédemment sur le plan de deux blocs, le bloc « Sortie » et la chaîne d'éléments à retard contrôlable.

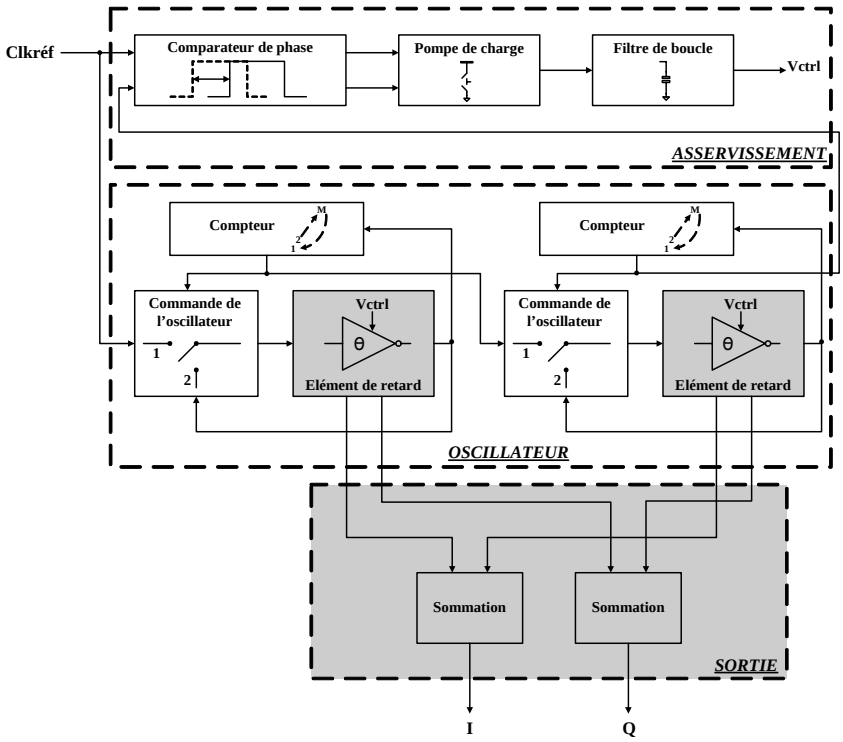


Figure 3-45 : Architecture de la nouvelle DLL factorisée.

6.3. Etude de la chaîne d'éléments à retard contrôlable

6.3.1. Présentation

La chaîne d'éléments à retard contrôlable utilisée pour générer les signaux en quadrature de phase est basée sur un oscillateur contrôlé en tension pour une boucle à verrouillage de phase [SUN01-1]. Le schéma de principe de cet oscillateur est donné à la figure 3-46.

Ce circuit est un oscillateur en anneau comportant un nombre pair d'éléments. Il est composé de quatre boucles rapides (AA'D ; BB'A ; CC'B ; DD'C) et d'une boucle lente (ABCD). Les inverseurs A', B', C' et D' présentent une sortance moindre que celles des inverseurs A, B, C et D. Cela confère, à la boucle plus lente, un caractère prioritaire et permet l'oscillation.

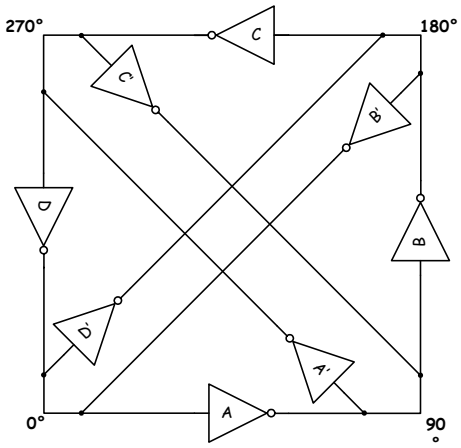


Figure 3-46 : Oscillateur en anneau à quatre phases.

Ce circuit a été modifié pour devenir l'équivalent d'une chaîne d'éléments à retard contrôlable en tension rebouclée sur elle-même par un chemin « inverseur » pour obtenir l'oscillation (cf. 3.3.1). La figure 3-47 présente la nouvelle topologie de la chaîne contrôlable en tension.

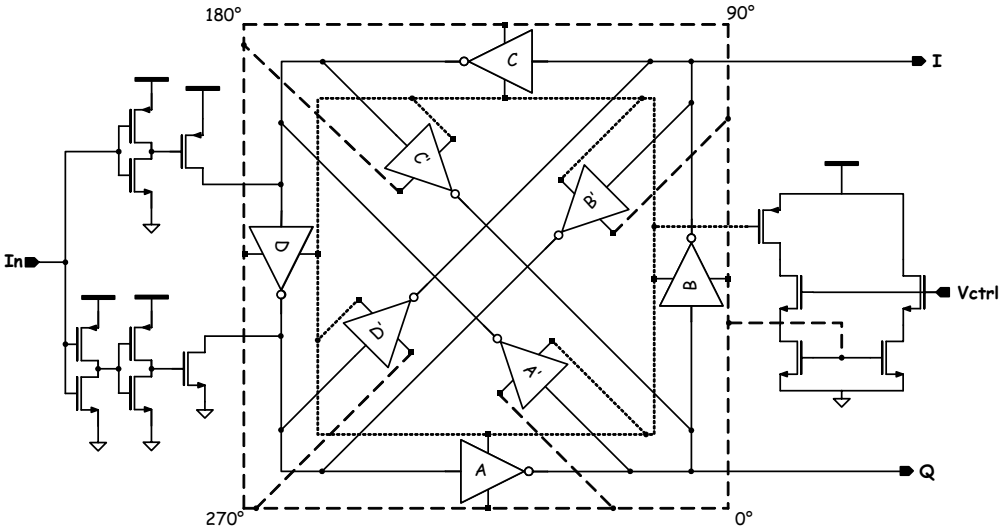


Figure 3-47 : Nouvelle chaîne à retard et circuit oscillant.

Ce bloc se décompose en trois parties. La partie centrale est constituée de l'oscillateur précédemment présenté. Chaque inverseur est un élément de retard contrôlable en tension, le schéma de ceux-ci est donné à la figure 3-48. Le temps de transit à travers ces inverseurs est contrôlé à l'aide du courant injecté par les transistors PMOS et NMOS connectés respectivement à l'alimentation et à la masse. Ce courant varie en fonction de la tension de contrôle *Vctrl.* Cette fonction est réalisée par la source de courant contrôlable en tension située à droite de la figure 3-47.

Enfin, afin de permettre l'arrêt et la relance de l'oscillation, nous appliquons le signal en sortie du bloc de commande de l'oscillateur sur l'entrée *In* de ce nouvel élément à retard contrôlable. Ainsi, quand *In* est au niveau haut, les nœuds *270°* et *180°* sont respectivement forcés au niveau bas et haut, et l'oscillation est arrêtée. D'autre part, grâce à cette partie, à chaque front montant du signal de référence, nous contrôlons le niveau de départ de l'oscillation. Tout se passe alors comme si le signal de référence se propageait à travers la chaîne comme dans le premier circuit.

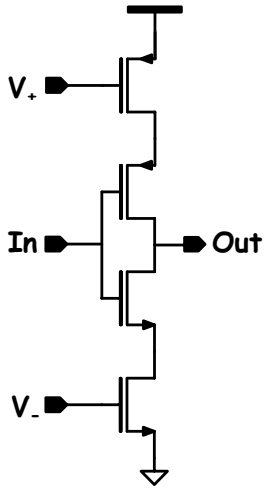


Figure 3-48 : Elément à retard contrôlable en tension.

6.3.2. Simulations et erreur de quadrature de phase.

La fonction de transfert de la fréquence synthétisée en fonction de la tension de contrôle appliquée à la chaîne de retard est donnée à la figure 3-49.

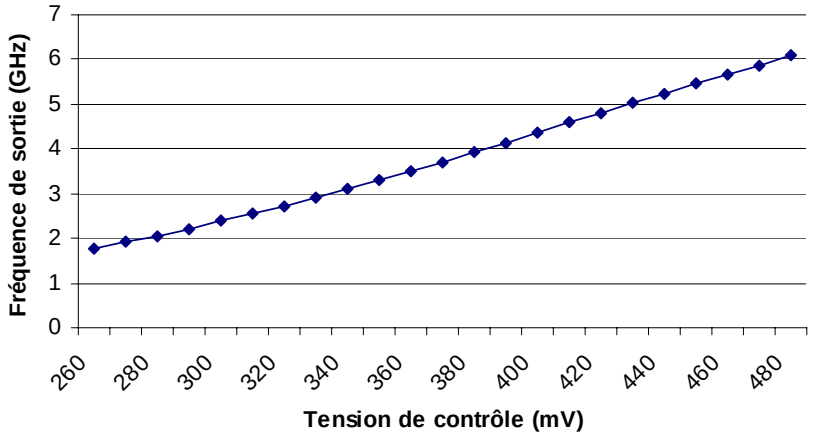


Figure 3-49 : Fonction de transfert fréquence de sortie en fonction de la tension de contrôle.

On remarque que notre système couvre la gamme de fréquences visée. Afin de déterminer la stabilité du système, on trace la fonction de transfert du retard qu'apporte la chaîne en fonction de la tension de contrôle. Cette courbe est donnée à la figure 3-50, et nous déterminons le coefficient $n \times K_{VDE}$ (cf. 5.1, équation 3-6). Une nouvelle fois, nous modélisons approximativement à l'aide de deux droites, la fonction de transfert. Nous obtenons ainsi, si la tension de contrôle est supérieure à 0,35 volt un gain égal à 453×10^{-3} rad/V, et si elle est inférieure à 0,35 V, un gain égal à 167×10^{-3} rad/V.

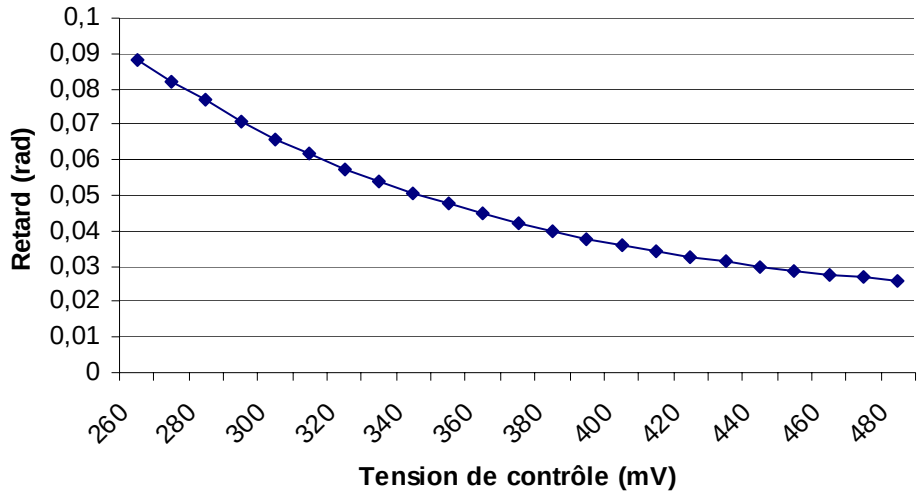


Figure 3-50 : Fonction de transfert retard en fonction de la tension de commande.

Les formes d'onde des signaux en quadrature pour des fréquences de 1,8 GHz et de 6 GHz sont données à la figure 3-51.

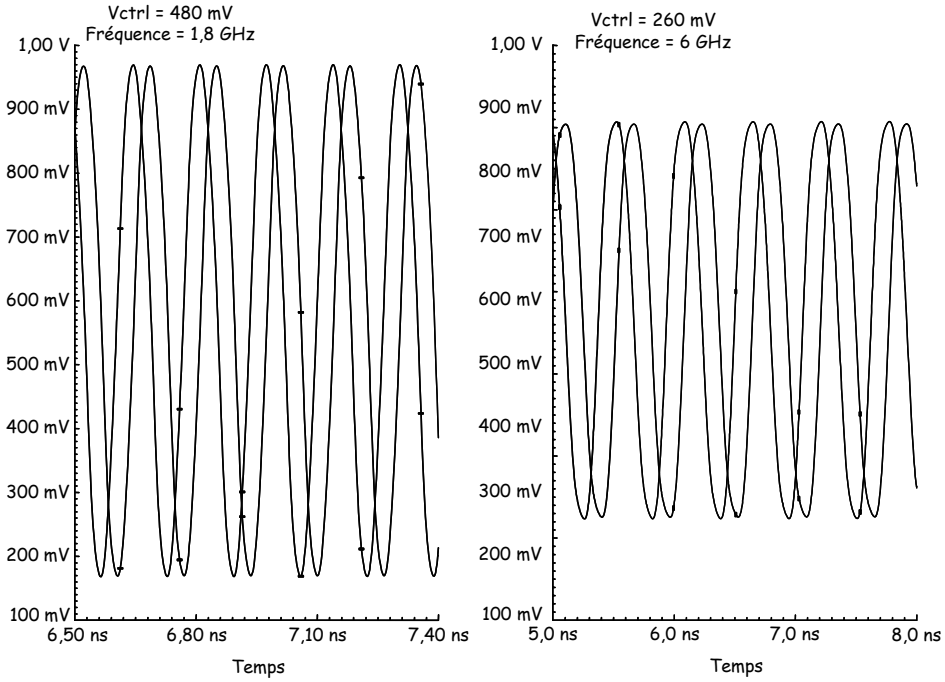


Figure 3-51 : Forme d'onde des signaux de sortie.

Les signaux des courbes précédentes semblent être en quadrature de phase les uns par rapport aux autres. Néanmoins, il nous faut étudier l'erreur de quadrature de phase. Cette étude est présentée à la figure 3-52. Cette dernière illustre l'erreur de quadrature de phase en

fonction de la fréquence de sortie. En comparaison avec l'étude précédente (cf. figure 3-44), où l'erreur était quasiment toujours supérieure à 5% et culminant même à 23%, l'erreur de quadrature phase pour ce nouveau circuit est toujours inférieure à 5%, ce qui respecte donc les spécifications couramment utilisées dans les systèmes de radiocommunication.

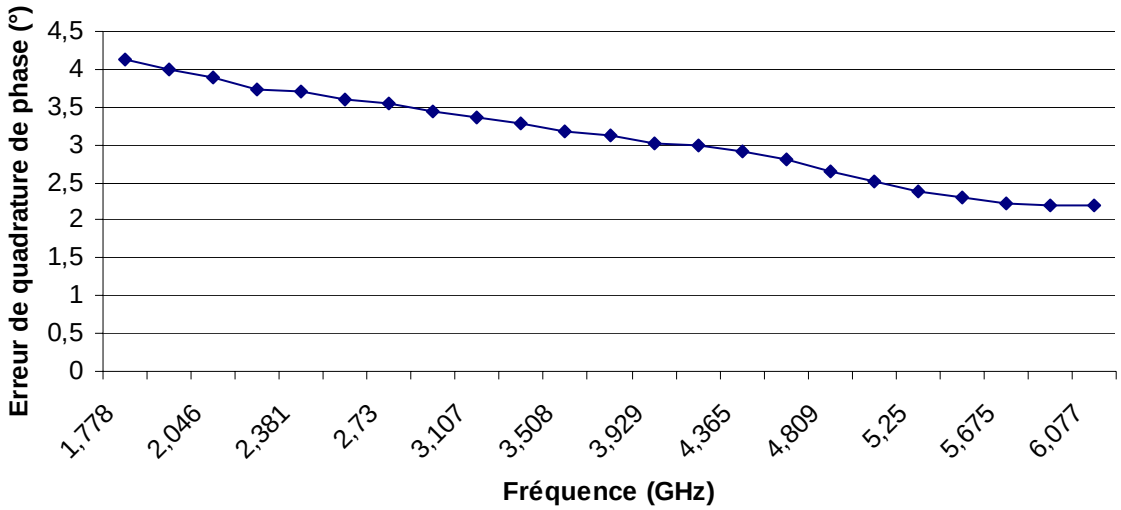


Figure 3-52 : Erreur de quadrature de phase.

6.4. Etude du bloc de sortie et simulation de la boucle.

6.4.1. Le bloc de sortie

Comme la quadrature de phase est réalisée au moment de la synthèse de fréquence, ce bloc ne contient donc plus de diviseur de fréquence par deux. Son rôle se réduit à sommer les deux signaux provenant des deux oscillateurs et à les mettre en forme pour le test du système à l'aide de circuits tampons. Ce bloc est constitué de deux cellules identiques (une pour chaque voie de sortie) dont le schéma est donné à la figure 3-53. Les schémas des sous-blocs sont ceux étudiés dans les chapitres précédents.

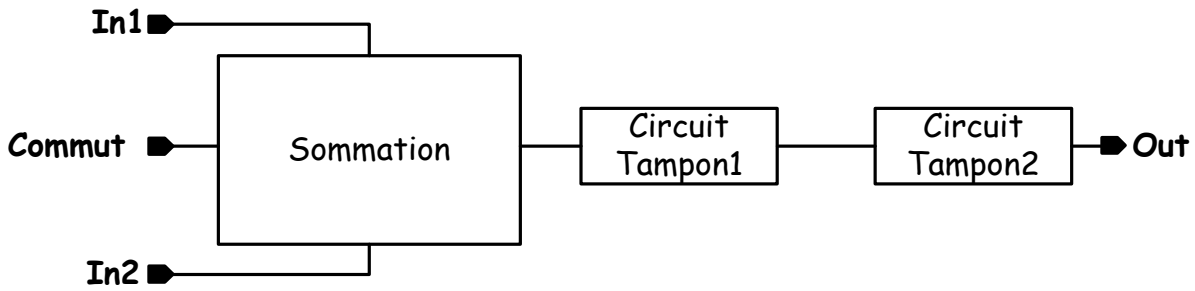


Figure 3-53 : Bloc de sortie.

6.4.2. Simulation de la boucle

Cette seconde version diffère de la première par deux blocs seulement. Le comportement de la boucle est donc le même que celui étudié dans la partie 5 de ce chapitre, de sorte que nous ne présenterons donc pas ces simulations. En revanche, nous avons évoqué que l'élément à retard permettait de diminuer la consommation globale du système. Nous

pouvons donc étudier cet avantage. La figure 3-54 présente un tableau comparatif de la consommation des deux circuits pour une fréquence de 1,8 GHz.

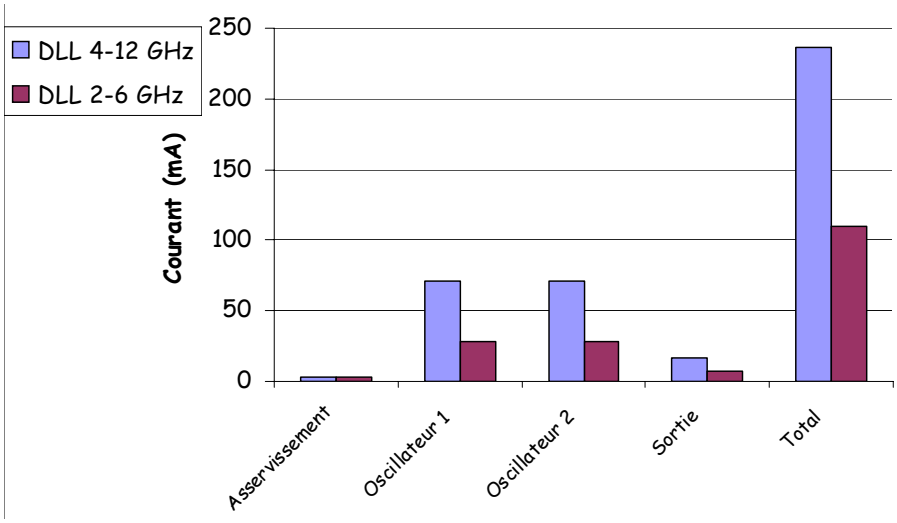


Figure 3-54 : Evolution de la consommation des deux circuits.

Nous pouvons nous apercevoir que la consommation de chaque bloc « Oscillateur » de la version avec génération directe de la quadrature de phase (appelée DLL 2-6 GHz) diminue d'un facteur supérieur à deux. D'autre part, la consommation totale du circuit est désormais légèrement supérieure à 100 mA. Pour cette diminution, il est important de noter que la version DLL 2-6 GHz ne possède que deux sorties au lieu de trois pour la DLL 4-12 GHz.

La figure suivante présente le dessin des masques de la DLL factorisée avec génération directe de la quadrature.

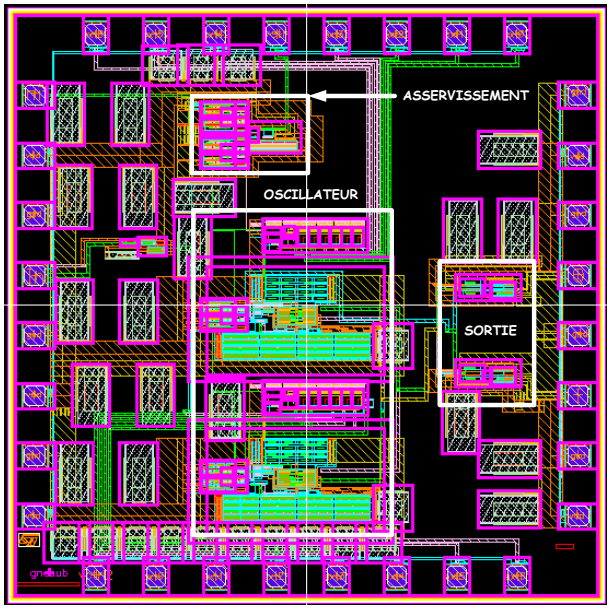


Figure 3-55 : Dessins des masques de la deuxième DLL.

Ce circuit réalisé en technologie CMOS SOI 130 nm de STMicroelectronics occupe une surface de 4 mm^2. La surface effective occupée par le circuit, constituée des parties actives encadrées dans la figure 3-55, est d'environ 0,6 mm^2. La majeure partie est due au

bloc « Oscillateur ». La place libre a été remplie par des capacités de découplage entre l'alimentation et la masse.

7. CONCLUSION

Dans ce chapitre, nous avons conçu et simulé au niveau transistor la DLL factorisée pour les applications sans fils de la bande 2-6 GHz.

Avant de simuler le système complet, nous avons réalisé chaque bloc. Le premier bloc réalisé est celui nommé « Asservissement ». Après voir montré les limites des comparateurs de phase classiques nous avons décrit le comparateur de phase et de fréquence retenu. Puis nous avons simulé la pompe de charge. Dans un second temps, nous avons réalisé le bloc « Oscillateur ». Le compteur, qui s'avère être un décompteur, la commande de l'oscillateur ainsi que l'élément de retard contrôlable en tension ont été conçus au niveau transistor. Le dernier bloc nommé « Sortie » a été à son tour réalisé.

Puis, le système complet a été validé à travers l'étude de deux standards, celui de fréquence la plus basse (1,8 GHz) et celui de fréquence la plus élevée (5,8 GHz). Cette étude a été menée autant au niveau temporel, grâce à l'étude des chronogrammes des signaux de sortie ou de la tension de contrôle, qu'au niveau fréquentiel, grâce à l'étude des spectres. Nous avons également présenté la consommation de chaque bloc pour chaque norme synthétisée.

Enfin, lors de l'étude initiale du bloc « Sortie », nous avons souligné les limites de la méthode de génération de la quadrature de phase. Afin de résoudre ce problème, une nouvelle version de la DLL a été envisagée. Cette deuxième DLL génère la quadrature directement au niveau de l'élément à retard contrôlable. Avec cette méthode, nous ne générons plus une fréquence double de celle de sortie, ce qui entraîne une diminution de la consommation globale du système. L'opérateur utilisé est un oscillateur en anneau générant quatre phases qui a été modifié afin d'être, d'une part variable avec la tension de contrôle, d'autre part démarrable et arrêtable sur commande.

La boucle à verrouillage de délai factorisée a été simulée et ses dessins des masques réalisés. Puis, ce circuit a été fabriqué par STMicroelectronics. Nous allons maintenant pouvoir en présenter la caractérisation.

RÉFÉRENCE DU CHAPITRE 3

[BES84-1] Best R.E, « *Phase Locked Loop* », Mc Graw Hill, USA, 1984, Chapitre 2: Classification of PLL types, pp. 151-268.

[COR04-1] D. Cordeau, « *Etude Comportementale et Conception d'Oscillateurs Intégrés Polyphases Accordables en Fréquence en Technologie Si et SiGe pour les Radiocommunications* », Chapitre 1 : Architectures et caractéristiques d'émetteurs récepteurs radiofréquences, Thèse, Université de Poitiers, 2004.

[JOH88-1] M. G. Johnson, E. L. Hudson, « *A Variable Delay Line PLL for CPU-Coprocessor Synchronization* », IEEE Journal of Solid State Circuits, vol. 23, n°5, pp. 1218-1223, Octobre 1988.

[KUO04-1] Kuo-Hua Cheng; Cheng-Hung Chen; Jou C.F, « *A low power, fast-switching frequency synthesizer of 5.2GHz WLAN* », 7th International Conference on Solid-State and Integrated Circuits Technology, vol. 2, pp. 1492–1495, 18-21 Octobre 2004.

[MAJ04-1] Majek C, Deltimple N, Lapuyade H, Bégueret J-B, Kerhervé E et Deval Y, « *A 2-6 GHz CMOS Factorial Delay Locked Loop Dedicated to Multi-Standard Frequency Synthesis* », Prooceedings of the IEEE International Symposium on Industrial Electronics ISIE2004, Ajaccio, Corse, 5-7 Mai 2004, pp. 157-161.

[MAJ04-2] Majek C, Deltimple N, Lapuyade H, Bégueret J-B, Kerhervé E et Deval Y, « *A programmable CMOS RF Frequency Synthesizer For Multi-Standard Wireless Application* », Proceedings of the 2nd Annual IEEE Northeast Workshop on Circuits and Systems (NEWCAS2004), Montréal, Canada, 20-23 Juin 2004, pp. 289-292.

[MAR02-1] Marshall A., Natarajan S., « *SOI Design : Analog, Memory and Digital Techniques* », Kluwer Academic Publishers, Dordrecht, 2002, chapitre 7: Dynamic SOI Digital Design, pp. 5-46.

[MAR02-2] Marshall A., Natarajan S., « *SOI Design : Analog, Memory and Digital Techniques* », Kluwer Academic Publishers, Dordrecht, 2002, chapitre 6: Static SOI Digital Design, pp. 5-46.

[RAZ98-1] B. Razavi, « RF Microelectronics », Prentice Hall PTR, Upper Saddle River, NJ, USA, 1998, chapitre 7 : Oscillators, pp. 206-246.

[RED00-1] Redman-White B, Bernstein K., « *SOI CMOS Circuit Design Exposed: Another Dirty Tricks Campaign?* », European Solid Sate Circuit Conference (ESSCIRC'00), pp. 141-151, 2000.

[ROH97-1] U L.Rohde, « *Microwave and Wireless Synthesizers Theory and Design* », Wiley-Interscience, New York, USA, 1997, Chapitre 4: Loop Component, pp. 310.

[SEO03-1] Seon-Ho Han; Yong-Sik Youn, Hyun-Kyu Yu and Mun-Yang Park, « *A low power and low noise frequency synthesizer with an integrated quadrature VCO »,* IEEE Radio Frequency Integrated Circuits (RFIC) Symposium (RFIC), pp. 307 – 310, 8-10 Juin 2003.

[SID97-1] S. Sidiropoulos, M. Horowitz, « *A Semidigital Dual Delay Lock Loop* », IEEE Journal of Solid State Circuits, vol. 32, n°11, pp. 1683-1692, Novembre 1997.

[SUN01-1] L. Sun and T. K. Kwasniewski, « *A 1.25 GHz 0.35µm Monolithic CMOS PLL based on a Multiphase Ring Oscillator* », IEEE Journal of Solid State Circuits, vol.36, n°6, Juin 2001.

CHAPITRE 4 :

CARACTERISATION DE LA BOUCLE A VERROUILLAGE DE DELAI FACTORISEE

1. INTRODUCTION

Les études menées dans le cadre des chapitres précédents ont conduit à la conception de deux boucles à verrouillage de délai factorisées. L'ultime étape a été le dessin des masques de ces deux circuits. Ils ont été alors fabriqués par la société STMicroelectronics. Les processus mis en jeu pour la réalisation des composants actifs ou passifs furent les mêmes que ceux utilisés dans le cadre la technologie 130 nm Bulk de ce fondeur. En revanche, les tranches de silicium sur isolant (wafer SOI) ont, pour leur part, été fournies par la société SOITEC. Ces dernières sont obtenues à l'aide de la méthode dénommée Smart Cut™ (cf. chapitre 1, δ 4.1.1), et commercialisées sous la marque Unibond™. A travers ce chapitre, nous allons donc présenter les résultats de mesures relatif à ces deux circuits.

Dans un premier temps, nous mesurerons les performances de la première version dans laquelle la quadrature de phase des signaux de sortie est obtenue en divisant par deux la fréquence du signal de sortie du bloc « Oscillateur ». Ce circuit sera alors qualifié de DLL factorisée avec génération indirecte de la quadrature de phase. Des mesures temporelles et fréquentielles seront effectuées afin de caractériser le circuit. Ainsi, d'une part, les formes d'onde, la quadrature de phase des signaux de sortie, la consommation de puissance du circuit et la réponse du système à un changement de standard seront étudiées, d'autre part le spectre et le bruit de phase du système seront analysés.

Nous mènerons alors une étude similaire pour la deuxième version développée durant ces travaux de thèse. Cette dernière qui génère directement la quadrature de phase au niveau du bloc « Oscillateur » sera, elle, qualifiée de DLL factorisée avec génération directe de la quadrature de phase.

Puis, nous présenterons les résultats des mesures de ces circuits réalisés en technologie bulk massif. Ainsi, nous conclurons ce chapitre, d'une part, par une comparaison des performances des deux circuits réalisés en technologie SOI. D'autre part, nous comparerons les performances des circuits en fonction de la technologie. Nous proposerons également, dans ce dernier acte, des perspectives d'amélioration et d'évolution de l'architecture de ce circuit pour de futurs travaux.

2. MESURES RELATIVES A LA DLL FACTORISEE AVEC GENERATION INDIRECTE DE LA QUADRATURE DE PHASE DES SIGNAUX DE SORTIE

2.1. Contexte expérimental

La figure 4-1 présente la microphotographie de la DLL factorisée avec génération indirecte de la quadrature de phase des signaux de sortie. Cette puce occupe une surface totale de 4 mm², sous la forme d'un carré de 2 mm de long par 2 mm de large. En revanche, la surface effective occupée par le circuit n'est d'environ que de 0,35 mm^2. Le grand nombre de plots utilisés, notamment pour les compteurs, a considérablement augmenté la surface finale de la puce.

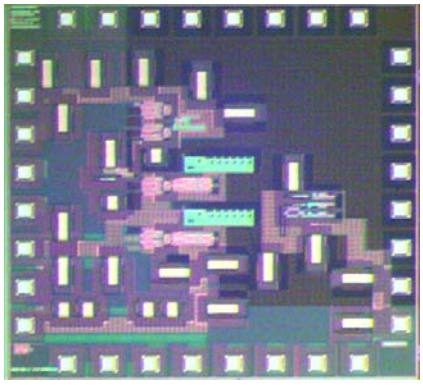


Figure 4-1 : Microphotographie de la première DLL.

Afin de tester ce circuit, nous avons reporté cette puce sur une carte de test dont la photographie est donnée à la figure 4-2. La puce enrobée d'une résine protectrice se trouve au milieu de cette carte. Deux interrupteurs de 8 bits à trois états, éléments bleus situés en haut et en bas de la carte, sont connectés sur l'entrée numérique des deux compteurs. Ils permettent de contrôler l'ordre de multiplication de la boucle en connectant ses entrées soit à l'alimentation soit à la masse. D'autre part, l'entrée du système est localisée sur la gauche de la carte, alors que les sorties, elles, sont sur la droite. Les deux sorties en quadrature de phase sont celles qui apparaissent en bas. Nous pouvons noter qu'un appariement des deux voies a été également réalisé sur la carte. La dernière sortie est réservée aux signaux dont la fréquence est supérieure à 5 GHz.

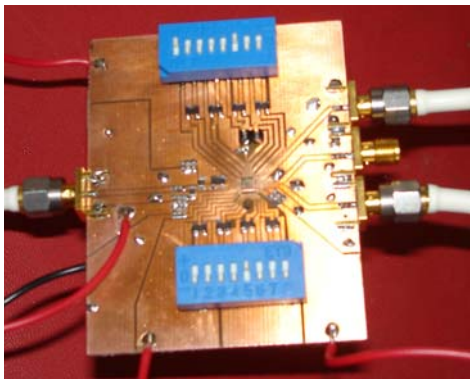


Figure 4-2 : Photographie de la carte de test.

Le banc de test de ce circuit est présenté à la figure 4-3. Il est composé d'un générateur de signaux sinusoïdaux : le HP E4433B de Helwett Packard, situé à l'extrême gauche de la figure. Afin de mesurer les signaux de sortie, nous avons eu recours à deux appareils. D'une part, pour les mesures fréquentielles, nous avons utilisé un analyseur de spectre : le HP 8563E dont la limite de la bande passante des signaux d'entrée est aux environs de 26,5 GHz. D'autre part, pour les mesures temporelles, nous nous sommes servis d'un oscilloscope numérique, situé à l'extrême droite sur la figure 4-3, le HP 54750A dont la bande passante atteint environ 20 GHz. Nous avons également eu recours à un second oscilloscope qui n'apparaît pas sur la photographie : le Lecroy Waveform pro 960 dont la bande passante est de 2 GHz. Ce dernier sera utilisé pour observer le comportement de la boucle suite à un changement de l'ordre de multiplication du système. Enfin, l'alimentation du circuit a été réalisée à l'aide de deux générateurs de tension continue : le E3631A d'Agilent.

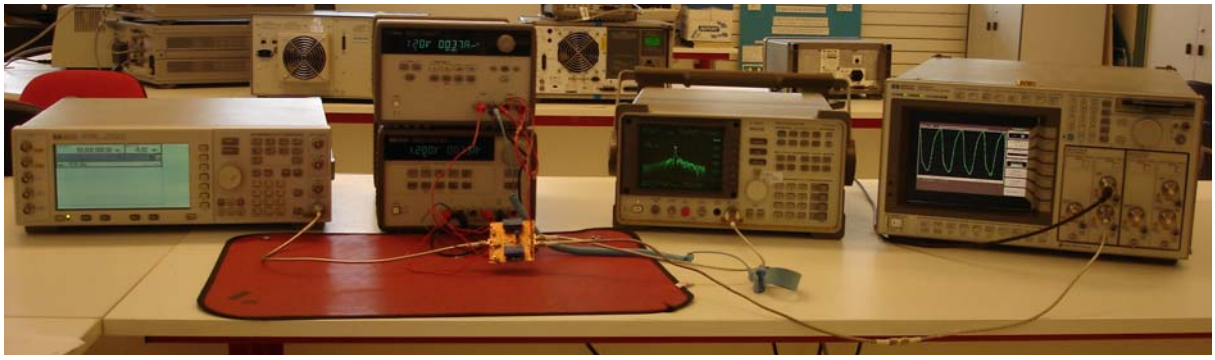


Figure 4-3 : Photographie du banc de test.

Afin de caractériser le circuit, et notamment sa faculté à générer les fréquences des standards de la gamme 2-6 GHz, nous avons décidé de ne retenir que certaines fréquences pour lesquelles nous mesurerons les performances du système. Le choix de celles-ci résulte de l'étude de la figure 4-4 qui rappelle l'occupation de la bande de fréquence de chaque standard visé.

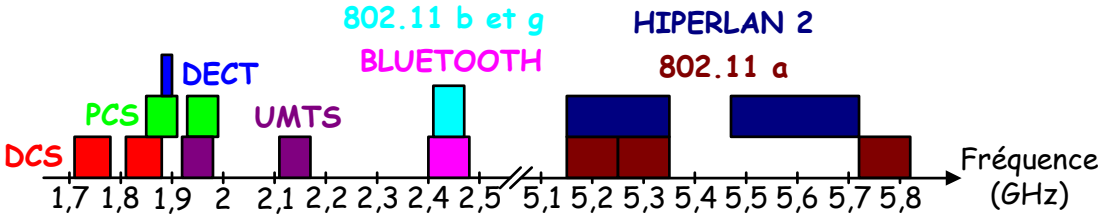


Figure 4-4 : Occupation de la bande de fréquence de travail par les normes visées.

Les fréquences retenues pour les mesures sont donc : 1,7 GHz pour la fréquence la plus basse de la bande (DCS TX), et 5,8 GHz pour la plus haute (802.11 a bande haute). Pour le standard DCS RX, nous utiliserons la fréquence de 1,8 GHz. Le PCS sera illustré par 1,9 GHz. L'UMTS sera synthétisé dans sa bande RX à 2,1 GHz. Ensuite pour les standards Bluetooth ou 802.11 b et g, nous générerons une porteuse à 2,4 GHz. Enfin, le standard de la bande basse du 802.11a sera représenté par la fréquence de 5,2 GHz, tandis que le standard HIPERLAN2 sera généré à 5,4 GHz.

Les conditions de tests ayant été décrites, nous allons maintenant décrire deux types de résultats expérimentaux. D'une part, nous analyserons les performances du circuit dans le domaine temporel, d'autre part nous étudierons le comportement fréquentiel de la boucle.

2.2. Mesures temporelles du circuit

2.2.1. Analyse des formes d'onde

La figure 4-5 présente les formes d'onde des signaux de sortie de la DLL factorisée mesurées à l'oscilloscope numérique. Les standards synthétisés s'étendent sur une plage plus large que prévue. En effet, la norme GSM 900 MHz, initialement non prévue, a pu être également générée. La plage de fréquence de travail est donc comprise entre 900 MHz et 5,8 GHz.

Sur la figure 4-5 sont représentés, pour les normes de fréquence inférieure à 5 GHz, les deux signaux de sortie en quadrature de phase. Pour les fréquences de la gamme 5-6 GHz, seule la sortie de même fréquence que l'oscillation du cœur du système est présentée (cf.

chapitre 3, § 4.1). L'échelle en ordonnée de chaque forme d'onde est égale à 100 mV par division, excepté pour les standards à 5,2 et 5,8 GHz où elle est, respectivement, égale à 50 mV par division et 20 mV par division. En effet, à ces fréquences, nous atteignons les limites de la bande passante des circuits tampons de sortie de sorte que la puissance en sortie de ces derniers décroît lorsque la fréquence augmente.

Pour générer ces divers standards, il a été nécessaire de changer les valeurs mises en entrée du compteur. Le tableau 4-1 présente, en fonction des standards visés, d'une part le facteur de multiplication de la boucle, d'autre part les valeurs des bits d'entrée des compteurs qui y sont associés. Seulement cinq bits sont nécessaires si les valeurs associées aux deux compteurs sont prises égales l'une à l'autre. Le lien entre le facteur de multiplication de la boucle et les valeurs des bits d'entrée des compteurs respecte le principe décrit au chapitre 3, § 3.2.

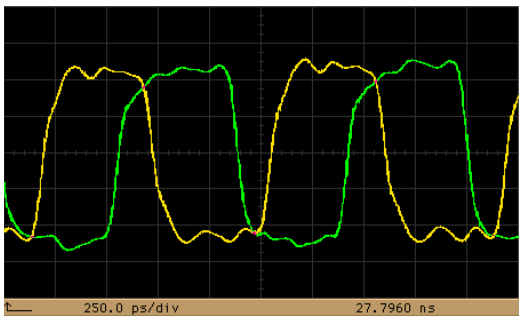
Standard	Facteur de multiplication	Bits				
		2^0	2^1	2^2	2^3	2^4
900 MHz	36	1	1	1	0	0
1,7 GHz	68	1	1	1	1	0
1,8 GHz	72	0	0	0	0	1
1,9 GHz	76	1	0	0	0	1
2,1 GHz	84	1	1	0	0	1
2,4 GHz	96	0	1	1	0	1
5,2 GHz	104	0	0	0	1	1
5,4 GHz	108	1	0	0	1	1
5,8 GHz	116	1	1	0	1	1

Tableau 4-1 : Choix des valeurs binaires des compteurs.

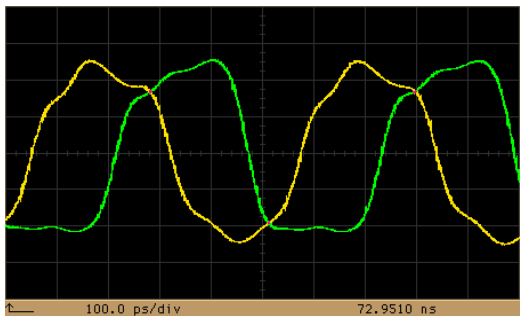
Les formes d'onde des standards dont la gamme de fréquences de travail est comprise entre 900 MHz et 2,4 GHz sont composées par les deux signaux de sortie du système en quadrature de phase l'un par rapport à l'autre. Le tableau 4-2 présente la valeur du déphasage entre ces deux signaux, ainsi que l'erreur de quadrature de phase exprimée en degré. Nous retrouvons la même évolution de cette erreur de quadrature de phase en fonction de la fréquence de fonctionnement que celle obtenue par simulation. Lorsque la fréquence de travail du système diminue, l'erreur de quadrature de phase augmente car le rapport cyclique du signal synthétisé s'éloigne de 50% (cf. chapitre 3, § 6.1).

Standard	Déphasage (°)	Erreur de quadrature de phase (°)	Erreur relative (%)
900 MHz	119	28,7	31,9
1,7 GHz	115	24,7	21,5
1,8 GHz	115	24,7	21,5
1,9 GHz	106	15,6	14,7
2,1 GHz	101	11,4	11,3
2,4 GHz	89,8	0,2	0,2

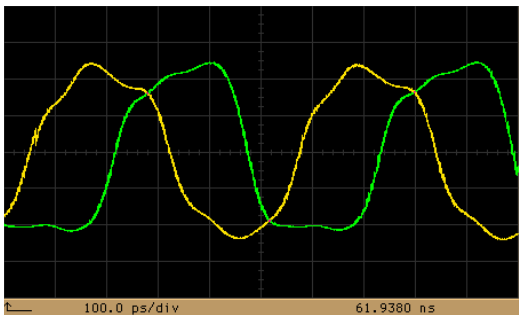
Tableau 4-2 : Etude de la quadrature de phase.



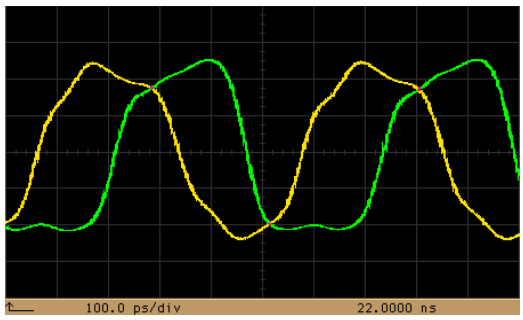
Standard : *GSM (900 MHz)*



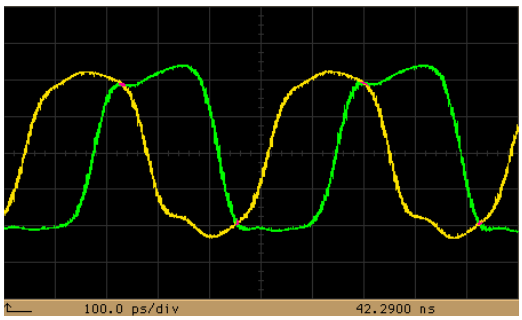
Standard : *DCS TX (1,7 GHz)*



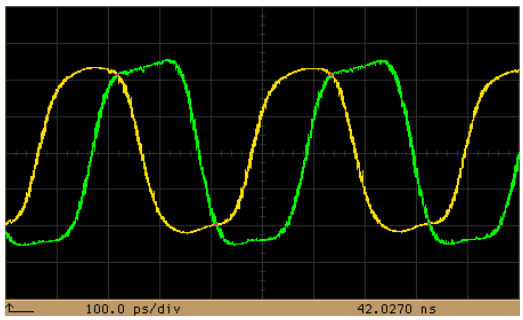
Standard : *DCS RX (1,8 GHz)*



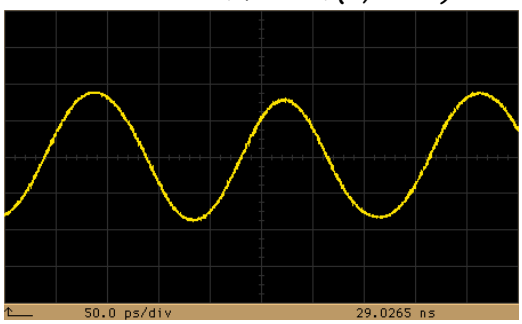
Standard : *PCS (1,9 GHz)*



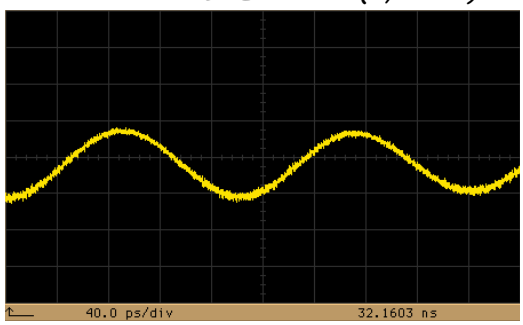
Standard : *UMTS RX (2,1 GHz)*



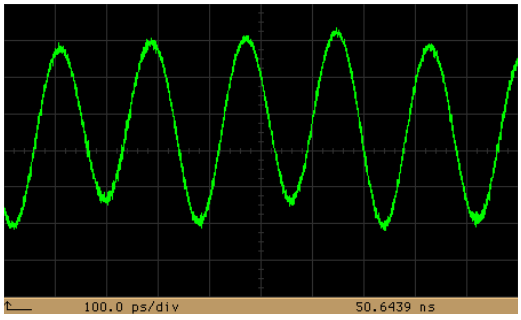
Standard : *BLUETOOTH (2,4 GHz)*



Standard : *802.11a bande basse (5,2 GHz)*



Standard : *HIPERLAN2 (5,4 GHz)*



Standard : *802.11a bande haute (5,8 GHz)*

Figure 4-5 : Formes d'onde des signaux synthétisés.

2.2.2. Etude de la consommation du système

La figure 4-6 présente la consommation en courant des différents blocs principaux constitutifs de la DLL factorisée en fonction du standard synthétisé. Cette consommation augmente avec la fréquence du standard visé, excepté pour la dernière norme à 5,8 GHz. Cette diminution est due à la chute de la consommation du bloc de sortie. En effet, à cette fréquence, nous sommes hors de la bande passante des circuits tampons de sortie, la puissance de ces signaux diminue et donc la consommation.

Le principal bloc consommateur de courant est le bloc « Oscillateur », comme ce fut le cas lors de la simulation. La consommation du bloc d'entrée est, elle, la même quel que soit le standard. En effet, ce bloc fonctionne toujours à la même fréquence, celle du signal de référence, et de ce fait, sa consommation est indépendante de la norme choisie.

La consommation totale du système s'étend donc de 130 mA à 410 mA selon que le circuit synthétise respectivement le standard de fréquence la plus basse : 900 MHz, et le standard de fréquence la plus élevée : 5,8 GHz, sous une tension d'alimentation nominale du circuit égale à 1,3 V.

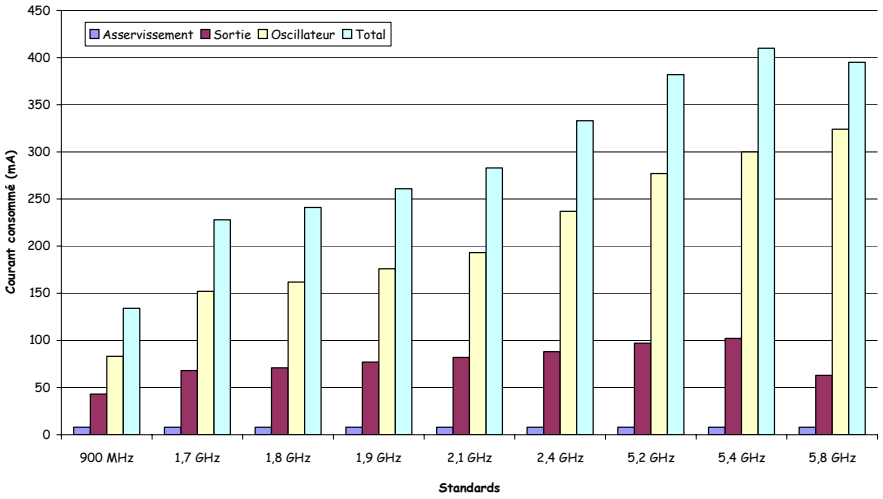


Figure 4-6 : Evolution de la consommation de courant du circuit en fonction du standard synthétisé.

2.2.3. Réponse à un changement de standard

Le système génère donc les différents standards dans la gamme 900 MHz-5,8 GHz. Maintenant, nous pouvons nous intéresser à la réponse du système lors d'un changement de facteur de multiplication de la boucle.

Ce changement d'ordre de multiplication sera réalisé en fixant la valeur d'un des deux compteurs, et en faisant évoluer la valeur du second. Dans le même temps, nous observerons l'évolution de la tension aux bornes du filtre de boucle. L'étude qui suit sera menée pour une variation entre 1,8 GHz et 3,4 GHz de la fréquence des signaux de sortie. Dans ces conditions, la valeur du premier compteur sera fixée à 8, ce qui revient seulement à mettre au niveau haut seulement l'entrée du compteur correspondant au bit de poids 1. Le second compteur verra alors sa valeur d'entrée évoluer entre 28 et 60 suivant respectivement que le système se verrouille sur 1,8 GHz et 3,4 GHz. Ces ordres de multiplications nécessitent de mettre au

niveau haut, dans le premier cas les entrées du compteur correspondant aux bits 2^2 et 2^3, et dans le second cas, celles correspondant aux bits 2^2, 2^3 et 2^4. En conclusion, le changement de standard s'effectuera en faisant uniquement varier la valeur de l'entrée du bit 2^4 du second compteur.

Avant d'effectuer cette opération, nous devons choisir une valeur de filtre de boucle qui assure la stabilité du système. Conformément à l'étude de stabilité menée au chapitre 2, nous avons, dans un premier temps, établi la fonction de transfert qui donne le déphasage par rapport au signal de référence de la sortie de la ligne d'éléments à retard contrôlable en fonction de la tension de contrôle appliquées à ces derniers. La figure 4-7 illustre cette fonction de transfert. La tension de contrôle évolue entre environ 400 mV et 1 V pour générer toutes les normes voulues. La plage de fréquence utile pour le saut de fréquence se situe approximativement entre 570 mV et 800 mV.

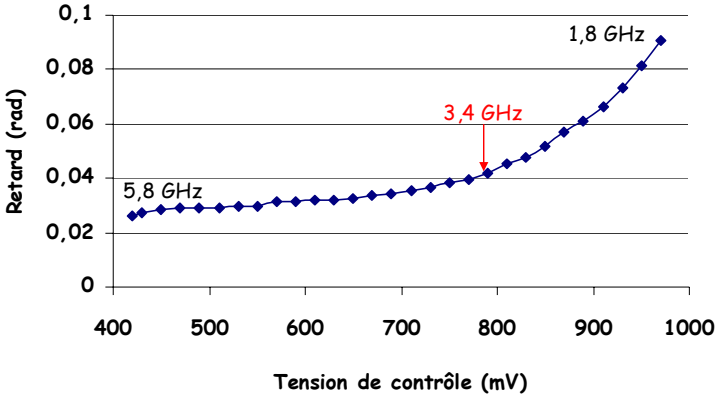


Figure 4-7 : Fonction de transfert de la ligne d'éléments à retard contrôlable.

A partir de cette courbe, nous avons évalué le gain de la chaîne d'éléments à retard contrôlable. S'il s'agissait d'une droite, ce gain en serait le coefficient directeur. Comme ce n'est pas le cas, nous allons prendre le coefficient directeur de la tangente autour de la zone de verrouillage de la boucle, c'est-à-dire au voisinage de 1,8 GHz. Nous obtenons alors un gain K_{ERC} estimé à 0,28 rad/volt.

Ainsi en appliquant l'équation 2-7 issue du chapitre 2, nous déterminons alors la valeur minimale théorique de la capacité de filtre permettant d'obtenir la bande passante maximale du système. La valeur théorique de capacité de filtre calculée est égale à 260 pF.

Expérimentalement, la stabilité du système n'a pas été observé pour cette valeur de capacité. La figure 4-8 présente l'évolution de la tension aux bornes du filtre pour 4 valeurs de capacités différentes. Cette mesure a été effectuée avec un oscillateur numérique : Lecroy Waveform pro 960. Suivant la valeur choisie, la réponse de la boucle à un changement de consigne est plus ou moins amortie. Le phénomène oscillatoire autour de la valeur finale dénote la présence d'autres pôles, non pris en compte lors des simulations du chapitre précédent. Comme nous n'avons pu utiliser d'extracteur d'éléments parasites de type RC, nous pouvons penser que ce pôle a pu être généré notamment lors du routage de la puce. La réponse du système pour passer du standard 3,4 GHz au standard 1,8 GHz, dans le cas où aucune oscillation ne se produit, est néanmoins de l'ordre de la centaine de microsecondes.

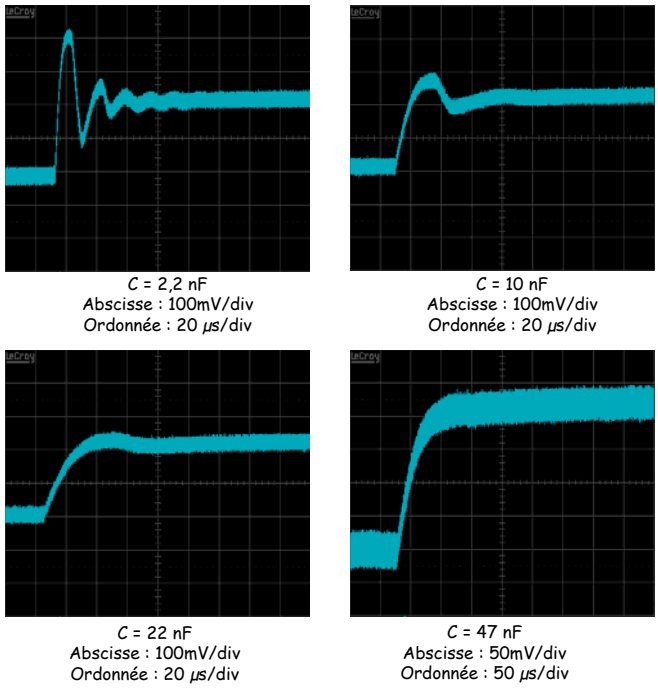
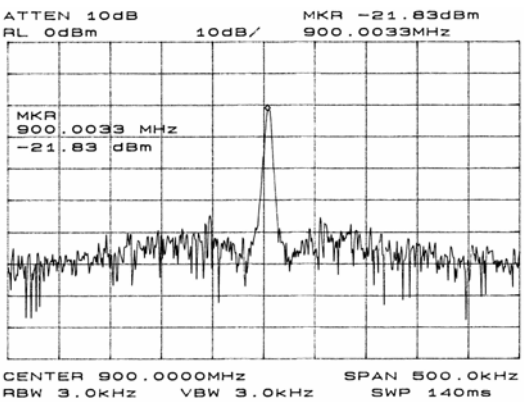


Figure 4-8 : Réponse du système à un saut de fréquence.

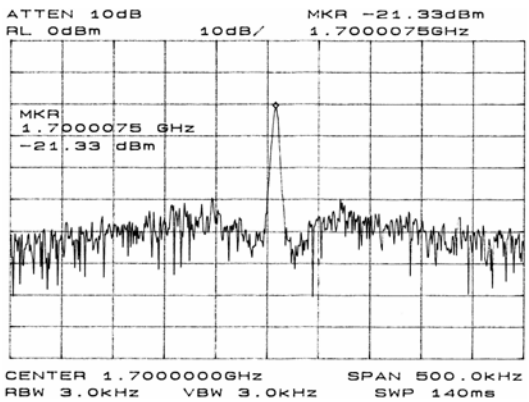
2.3. Mesures fréquentielles

2.3.1. Analyse du spectre

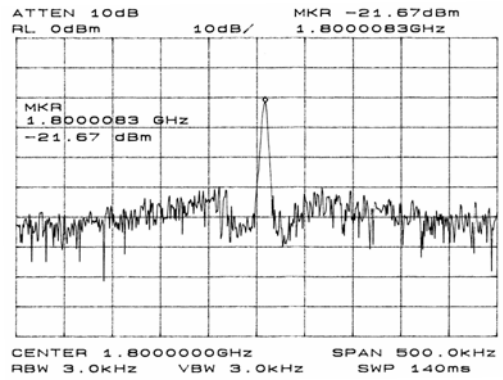
La figure 4-9 présente le spectre de sortie au voisinage des raies fondamentales observé à l'analyseur de spectre, relatives aux différents standards synthétisés. Un atténuateur d'une valeur de 20 dB a été ajouté en entrée de ce dernier. Dans ce cas, la puissance des signaux de sortie de la DLL factorisée pour des standards de la gamme 900 MHz-2,4 GHz est d'environ -1,5 dBm. Nous pouvons remarquer que pour les standards autour de 5 GHz, cette puissance diminue de 5 dB. En revanche, pour le standard 5,8 GHz, aucun atténuateur n'a été utilisé dans la mesure où la puissance de sortie est très faible. Cela confirme que nous sommes, à cette fréquence, hors de la bande passante des circuits tampons de sortie.



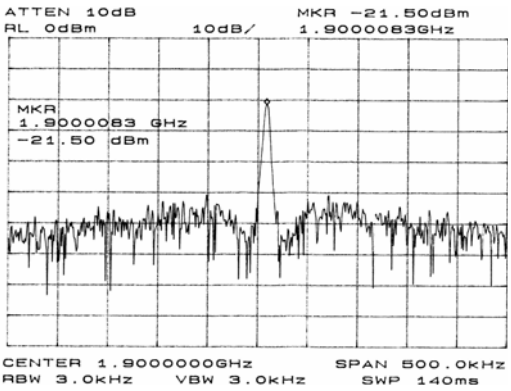
Standard : *GSM (900 GHz)*



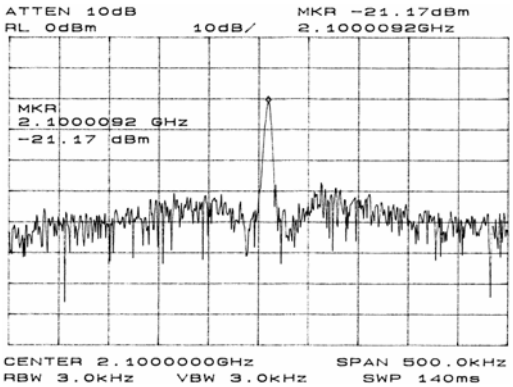
Standard : *DCS TX (1,7 GHz)*



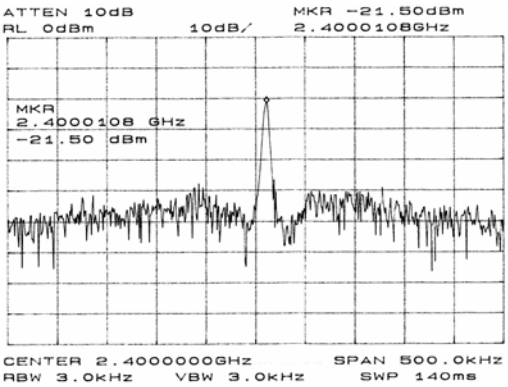
Standard : *DCS RX (1,8 GHz)*



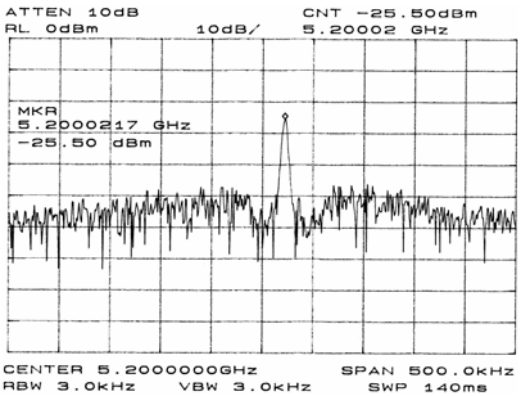
Standard : *PCS (1,9 GHz)*



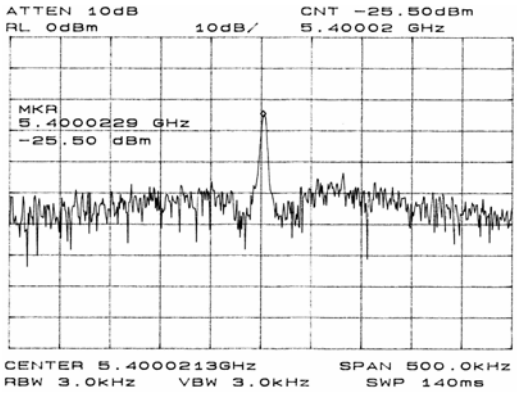
Standard : *UMTS RX (2,1 GHz)*



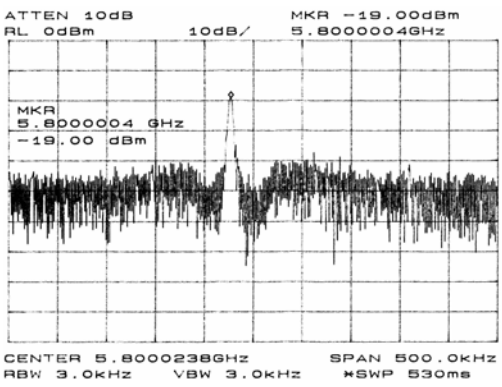
Standard : *BLUETOOTH (2,4 GHz)*



Standard : *802.11a bande basse (5,2 GHz)*



Standard : *HIPERLAN2 (5,4 GHz)*



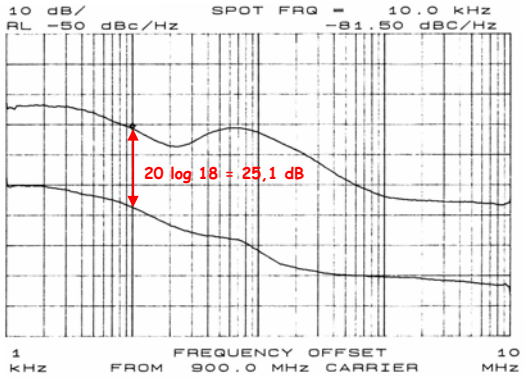
Standard : *802.11 a bande haute (5,8GHz)*

Figure 4-9 : Spectre au voisinage des raies fondamentales des standards synthétisés.

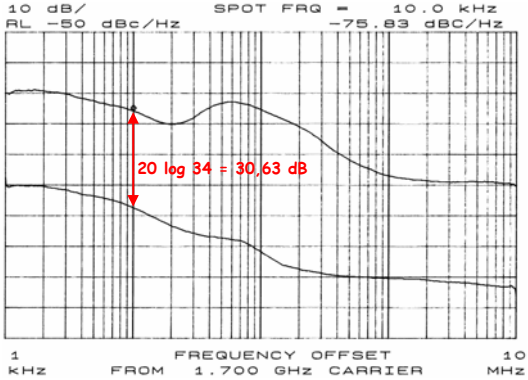
2.3.2. Analyse du bruit de phase du système

La figure 4-10 présente le résultat de l'analyse de bruit de phase en sortie de la boucle. Ces mesures ont été effectuées à l'analyseur de spectre. Dans chaque figure, la courbe inférieure correspond au bruit de phase du signal de référence fourni par le générateur de signaux sinusoïdaux, tandis que la supérieure donne le bruit de phase relatif au signal de sortie du système.

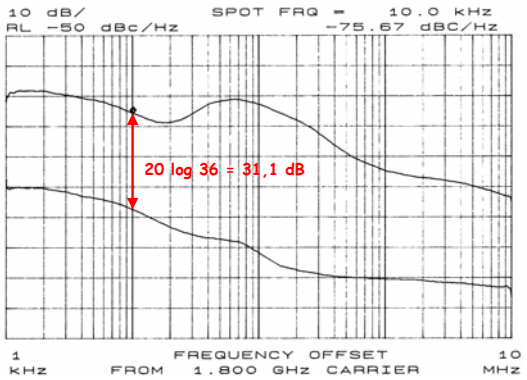
Cette étude a été menée pour une valeur de la capacité de filtre de boucle de 2,2 nF. La puissance du signal de référence est égale à -6 dBm, tandis que son bruit de phase à un écart de 10 kHz de la porteuse vaut -107,33 dBc/Hz.



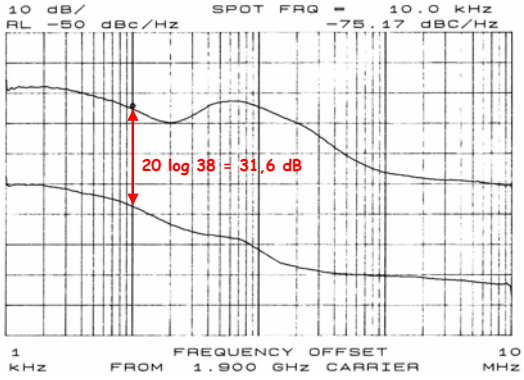
Standard : *GSM (900 MHz)*



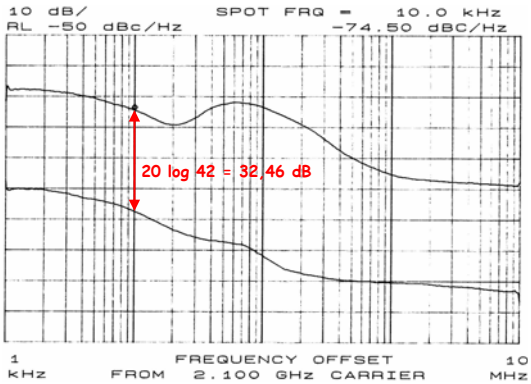
Standard : *DCS TX (1,7 GHz)*



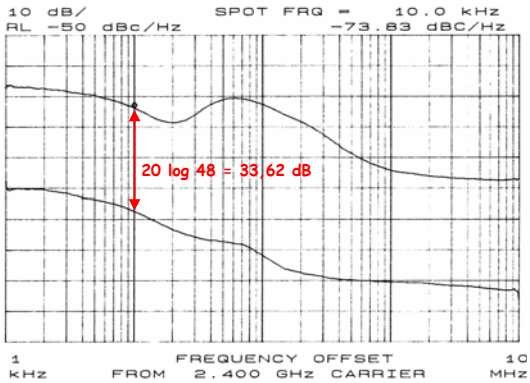
Standard : *DCS RX (1,8 GHz)*



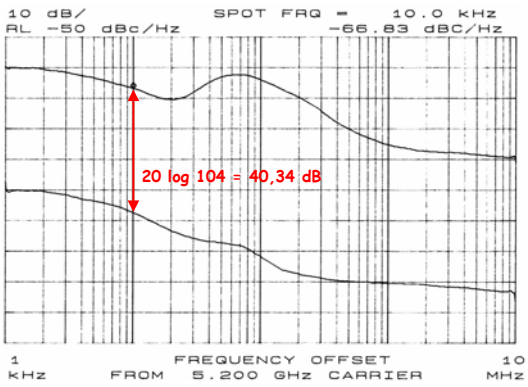
Standard : *PCS (1,9 GHz)*



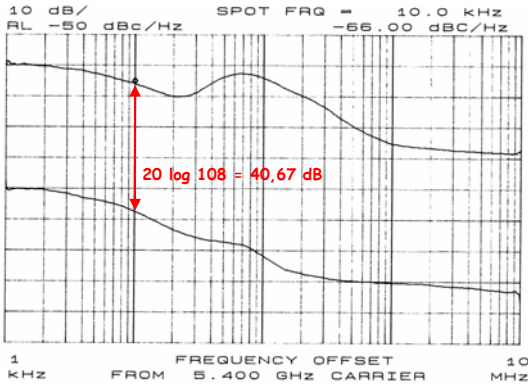
Standard : *UMTS RX (2,1 GHz)*



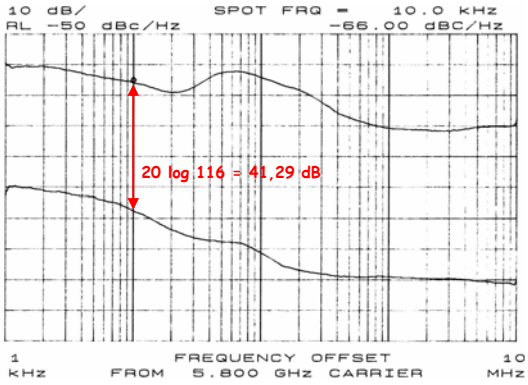
Standard : *BLUETOOTH (2,4 GHz)*



Standard : *802.11a bande basse (5,2 GHz)*



Standard : *HIPERLAN2 (5,4 GHz)*



Standard : *802.11 a bande haute (5,8GHz)*

Figure 4-10 : Bruit de phase de la DLL factorisée.

Nous pouvons remarquer qu'en basse fréquence, les courbes de bruit de phase pour chaque standard suivent celle du signal de référence, à un terme près égal à 20log(N) où N est le facteur de multiplication de la boucle. Toutefois, cette observation cesse d'être valable lorsque la fréquence atteint environ 20 kHz. Au-delà de cette valeur, nous assistons à une remontée de la courbe de bruit de phase du système jusqu'approximativement 70 kHz avec une pente de l'ordre de +20 dB par décade. Il s'ensuit alors une décroissance de la courbe de bruit de phase, selon une pente proche de -20 dB par décade, jusqu'à ce le plancher de bruit du système soit atteint.

Ce comportement devrait vraisemblablement correspondre à la limite de la bande passante du système. Il semblerait donc, qu'à partir de 70 kHz, l'évolution de la courbe de bruit de phase en sortie du circuit suive celle de la chaîne d'éléments à retard rebouclé sur elle-même tel un oscillateur non asservi. Cependant avec la valeur de capacité de filtre choisie, la bande passante doit être théoriquement de l'ordre de 620 kHz. D'autre part, d'après l'étude menée au chapitre 2 (§ 3.2.2.2) à propos du bruit de phase de l'oscillateur, celui-ci devrait décroître jusqu'aux environs de 5 MHz en raison de -30 dB par décade.

Aussi, avons-nous mené des investigations afin de déterminer d'une part, si la bande passante était limitée, d'autre part, quelle était l'origine du bruit hors de cette bande.

En premier lieu, nous avons joué sur la valeur de la capacité du filtre afin de faire varier la bande passante du système. Cette méthode n'a eu aucune influence sur la courbe de bruit de phase, ce qui suggère que la bande passante du système n'est pas déterminée par le filtre de boucle externe mais par un autre pôle non désiré.

Nous avons alors essayé de vérifier cette hypothèse. Nous avons alors modulé en amplitude le signal d'entrée. Nous avons fait varier la fréquence du signal modulant et nous avons regardé si d'une part les raies issues de la modulation étaient bien présentes, et si d'autre part elles ne voyaient pas leur amplitude varier avec la fréquence du signal modulant. Malheureusement, la fréquence maximale du signal modulant disponible avec notre générateur de signaux n'est que de 50 kHz. Jusqu'à cette valeur, il n'y a pas eu de variation d'amplitude des raies latérales issues de la modulation ce qui permet de penser que la bande passante du système est supérieure à 50 kHz mais ne nous permet pas de connaître sa valeur exacte. Finalement, nous pouvons cependant émettre l'hypothèse que la bande passante du système n'est pas fixée par le filtre de boucle externe, mais par un autre pôle dont l'origine peut être due à des éléments parasites lors du routage de la puce, ou à des éléments parasites dus aux tests de la puce par exemple : des capacités parasites de la carte de test, l'inductance parasite série de la capacité du filtre, l'inductance des bondings, ou une combinaison de toutes ces sources de parasites.

Par ailleurs, nous nous sommes intéressés à l'origine du bruit dont suit l'allure de la courbe de bruit de phase en dehors de la bande passante. Comme d'après nos simulations, ce bruit ne semblait pas être la transposition en haute fréquence du bruit en 1/f attendu, nous avons alors procédé à des recherches bibliographiques sur les bruits générés en technologie SOI. En plus des bruits habituels, il existe un phénomène basse fréquence : le bruit de Kink. En effet, dans un dispositif SOI à body flottant et à forte tension Vds, un bruit basse fréquence se superpose au bruit de flicker [ENG05-1]. Cette densité de bruit de grenaille provient du courant de la jonction source-body. Elle est mise en forme par le filtre passe-bas que constituent la résistance dynamique de la diode source-corps et la capacité entre le corps et le substrat mécanique.

La figure 4-11 illustre le recouvrement du bruit en 1/f par le bruit de Kink pour un transistor à body flottant [FAC98-1]. Pour de faibles fréquences, c'est le bruit en 1/f qui domine la tension de bruit. Puis, le bruit de Kink s'impose avec un comportement de type passe-bas, c'est-à-dire comme un bruit constant jusqu'à la fréquence de coupure évoquée précédemment, à partir de laquelle le bruit décroît avec une pente de -20 dB par décade.

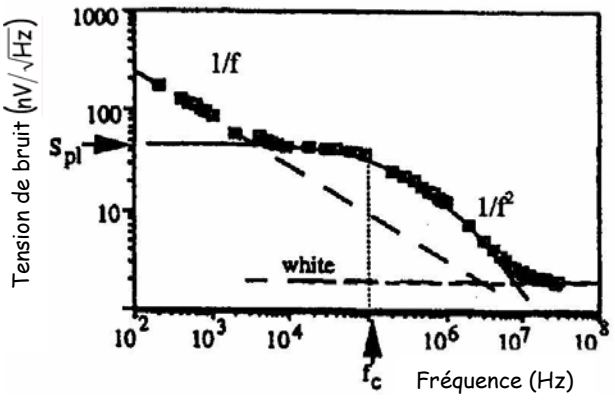


Figure 4-11 : Tension de bruit basse fréquence d'un transistor à body flottant.

Dans les courbes de bruit de phase données à la figure 4-10, après sa remontée entre 20 kHz et 70 kHz, le bruit décroît avec une pente égale à -20 dB par décade. Or, la transposition en haute fréquence du bruit de Kink basse fréquence se traduirait par une courbe de bruit de phase diminuant à raison de -20 dB par décade jusqu'à la fréquence de coupure puis à raison de -40 dB par décade, car la phase se comporte comme l'intégrale de la

fréquence (cf. chapitre1, 3.2.2.1). Il semblerait donc que le bruit suivi par le système, après 70 kHz, soit la transposition en haute fréquence par l'oscillateur du bruit de Kink, ce qui confirmerait alors l'hypothèse que la bande passante du système serait de l'ordre de 70 kHz.

Finalement, nous avons essayé de reconstituer la courbe de bruit de phase en se basant sur nos observations, nos recherches bibliographiques et nos hypothèses. La figure 4-11 illustre cette reconstitution.

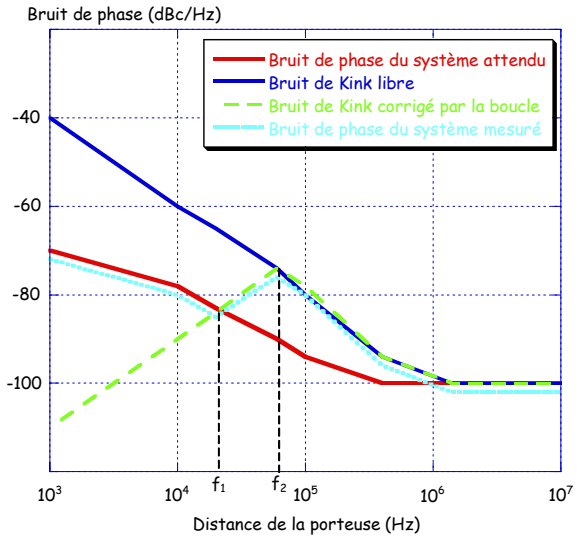


Figure 4-12 : Hypothèses quant à l'allure de bruit de phase.

La figure précédente comprend quatre courbes qui sont : la courbe de bruit de phase du système attendue, celle mesurée, la courbe de bruit de Kink supposé, et enfin la courbe de bruit de Kink corrigée par la boucle. La courbe de bruit de Kink libre et corrigé est en réalité celle de l'oscillateur, nous préférons la nommer ainsi pour mettre en avant le caractère dominant de ce bruit qui est une spécificité du SOI.

Avant la fréquence f_1, le bruit de phase mesuré en sortie du système suit l'évolution du bruit de phase attendu. Après la fréquence f_2, qui semble être la fréquence de coupure du système, elle suit l'évolution de la courbe de bruit de phase de l'oscillateur dominé par son bruit de Kink. Mais, entre ces deux fréquences, la courbe de bruit de phase croît selon une pente de +20 dB par décade. Nous avons donc supposé que si le système possédait un autre pôle, la boucle ne se comporterait plus comme un système du premier ordre classique. La réjection du bruit par celle-ci ne serait donc plus un passe-haut du premier ordre mais plutôt de second ordre. La réjection du bruit de l'oscillateur par la boucle s'effectuerait alors à raison de +40 dB par décade. Comme le bruit de Kink, en haute fréquence, décroît avec une pente de -20 dB par décade, il en résulte une courbe de bruit de phase de l'oscillateur corrigé par le système qui augmente à raison de +20 dB par décade. Aussi, peut-on supposer, qu'entre f_1 et f_2, le bruit de phase de l'oscillateur corrigé est supérieur à celui de la référence multiplié par N. Il serait donc le bruit dominant du système. La courbe de bruit de phase en sortie suivrait ainsi son évolution.

En conclusion, il semblerait que la bande passante de notre système soit bien plus faible qu'attendue et qu'elle soit de l'ordre de 70 kHz. Cette limitation pourrait être due à un pôle non prévu créé par les éléments parasites inhérents au circuit, à la carte, aux éléments de test. Par ailleurs, l'évolution du bruit de phase hors bande passante serait dominée par un bruit spécifique à la technologie SOI : le bruit de Kink.

2.4. Imperfection du système

2.4.1. Présentation de l'imperfection

Dans la partie 2.3.1 de ce chapitre, nous avons présenté le spectre du signal de sortie du circuit pour chaque standard visé. La fenêtre d'observation de ces spectres est de 500 kHz. La figure 4-13 présente le spectre du standard 1,8 GHz dans une fenêtre d'observation plus large afin de détecter la présence ou non de raies parasites structurelles.

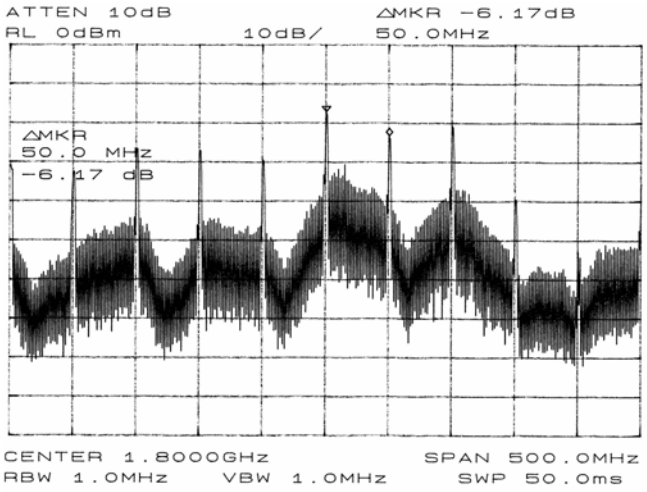


Figure 4-13 : Fenêtre d'observation élargie du spectre.

Nous observons des raies parasites structurelles dont l'écart à la fréquence centrale est un multiple entier de la fréquence de référence. L'atténuation de la première raie parasite est seulement de 6 dB. La présence de raies d'une telle puissance est dommageable pour le système dans le cadre d'une intégration de ce dernier dans un système d'émission-réception radiofréquence. Nous allons donc essayer de déterminer l'origine du phénomène créant ces raies harmoniques structurelles. Pour parvenir à cela, nous allons reprendre notre étude système haut niveau en ajoutant des défauts à notre modèle comportemental. Nous observerons alors les conséquences de ces dernières sur le spectre du signal de sortie.

2.4.2. Recherche de l'origine des raies parasites par simulation comportementale

Lors de la réalisation du système, il est probable que certaines imperfections apparaissent et entraînent un désappariement entre les deux voies du bloc « Asservissement », ou un désappariement entre les deux voies de sortie du bloc « Oscillateur » fournissant le signal de sortie, ou encore un désappariement entre les deux oscillateurs. Ces défauts vont alors impacter sur la pureté spectrale du signal de sortie en générant notamment des raies parasites structurelles.

2.4.2.1. Raies parasites structurelles dues à un désappariement entre les deux oscillateurs

Le système utilise deux oscillateurs fonctionnant alternativement dont chaque sortie est sommée afin de fournir le signal de sortie du système complet. Nous nous sommes, en

premier lieu, intéressés aux conséquences d'un désappariement entre ces deux oscillateurs. Ce dernier aurait pour conséquence de ne pas faire travailler les deux oscillateurs à la même fréquence pour une même tension de contrôle. Pour simuler cette erreur, nous avons donc modifié la fonction de transfert d'un des deux oscillateurs. La figure 4-14 présente le spectre du signal sommé dans le cas où la fréquence du premier oscillateur est de 4 GHz et celle du second de 8 GHz. La différence entre les fonctions de transfert a été volontairement exagérée afin de bien faire apparaître sur le spectre du signal de sortie les conséquences de ce défaut.

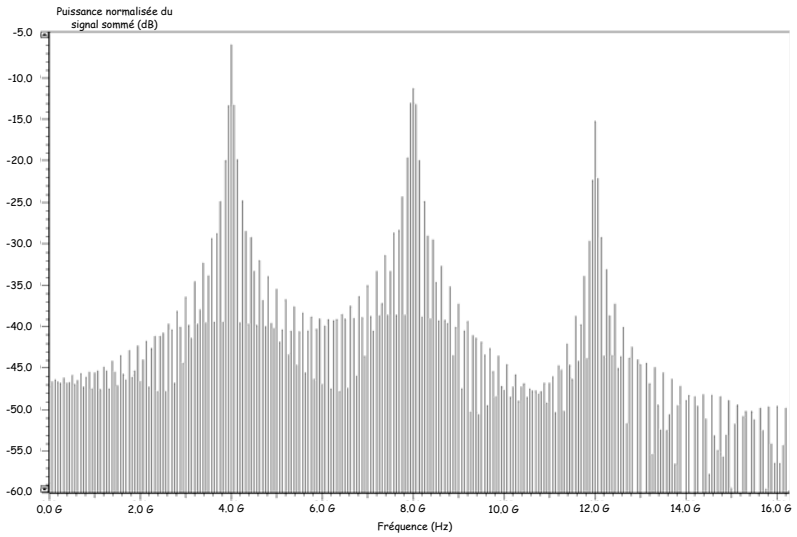


Figure 4-14 : Spectre du signal sommé avec un désappariement des deux oscillateurs.

Ce spectre comprend d'une part de la raie fondamentale du signal à 4 GHz et son troisième harmonique, d'autre part de la raie fondamentale du signal à 8 GHz, et enfin d'un peigne de raies séparées entre elles par la fréquence de référence et d'amplitudes différentes. La figure 4-15 présente les chronogrammes temporels associés à ce spectre.

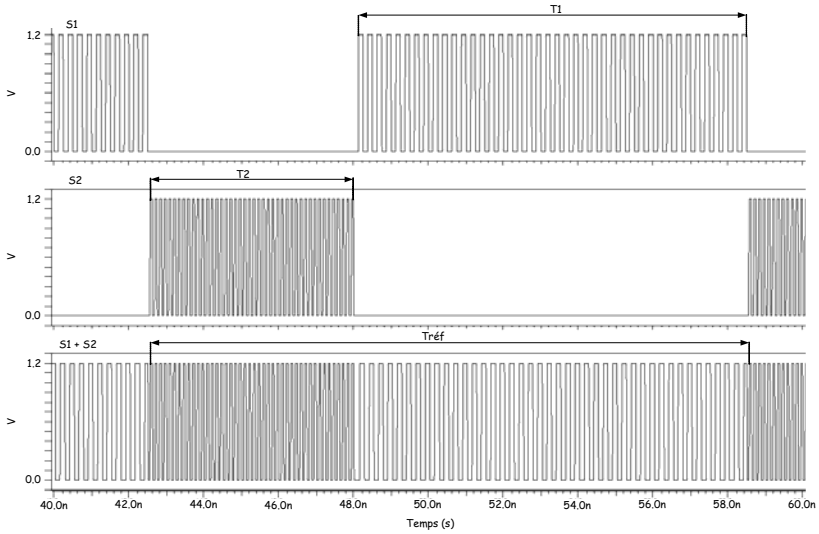


Figure 4-15 : Chronogramme des signaux lors d'un désappariement des deux oscillateurs.

Le signal S_1+S_2 de la figure précédente est la somme des deux autres signaux. Son spectre sera alors la somme des spectres de deux signaux précédents. La détermination de la transformée de Fourier du signal S_1 et S_2 permet donc d'en déduire celle du signal sommé. Nous allons donc maintenant étudier le signal S_1, sachant que l'étude de S_2 est similaire.

Dans un premier temps, supposons que $S_1(t)$ est seulement défini dans l'intervalle $[0 ; T_1]$, et considérons le signal $x_1(t)$ périodique carré de fréquence f_{rf} (= 8GHz), d'amplitude A_{rf} et de rapport cyclique t_{rf}/T_{rf}. Définissons par ailleurs la fonction « porte » $P_1(t)$ de manière telle, qu'elle est égale à 1 si t appartient à l'intervalle $[0 ; T_1]$, et qu'elle est nulle ailleurs. Le signal $S_1(t)$ s'écrit :

$$S_1(t) = x_1(t) \times P_1(t) \qquad \textbf{4-1}$$

La transformée de Fourier de $S_1(t)$ est donc le produit de convolution de la transformée de Fourier de $x_1(t)$ par celle de $P_1(t)$. Ces deux transformées sont données par les équations suivantes :

$$X_1(f) = \frac{A_{rf} \times t_{rf}}{T_{rf}} + \sum_{n=1}^{\infty} \frac{A_{rf} \times t_{rf}}{T_{rf}} \times \sin_C\left(\frac{n \times t_{rf}}{T_{rf}}\right) \times \left[\delta\left(f - \frac{1}{T_{rf}}\right) + \delta\left(f + \frac{1}{T_{rf}}\right)\right] \qquad \textbf{4-2}$$

Et

$$P_1(f) = T_1 \times e^{-j2\pi\frac{T_1}{2}} \sin_c\left(f \times T_1\right) \qquad \textbf{4-3}$$

Le produit de convolution de ces deux signaux est donc égal à

$$S_1(f) = \alpha \times \beta \sin_c\left(f \times T_1\right) + \sum_{n=1}^{\infty} \alpha \times \beta \times \sin_c\left(\frac{n \times t_{rf}}{T_{rf}}\right) \times \left[\sin_c\left((f - f_{rf})T_1\right) + \sin_c\left((f + f_{rf})T_1\right)\right] \qquad \textbf{4-4}$$

Comme le spectre d'un motif de durée finie, qui se répète périodiquement dans le temps, est le spectre de ce motif échantillonné à la fréquence de répétition, le signal $S_1(f)$ total aura donc l'enveloppe du signal $S_1(f)$ restreint calculé précédemment, échantillonné à la fréquence de référence ($T_{réf}$). En d'autres termes, le spectre du signal $S_1(f)$ sera formé, d'une part, de la raie fondamentale de celui-ci ainsi que de toutes les raies harmoniques de rang impair. D'autre part, autour de ces raies seront présentes des raies parasites structurelles, séparées les unes de autres par une fréquence égale à celle de référence. L'amplitude de celles-ci suivra l'enveloppe d'un sinus cardinal, qui s'annulera tous les $1/T_1$, comme cela est illustré à la figure 4-11.

Lorsque les deux signaux S_1 et S_2 sont égaux, alors T_1 et T_2 le sont aussi. La fonction « porte » est alors défini sur $[0,T_1]$ avec T_1=Tréf . Dans ce cas, il n'y a plus de raies parasites structurelles séparées entre elles par la fréquence de référence.

2.4.2.2. Raies structurelles dues à une erreur de phase statique.

Dans le chapitre 2, nous avons vu que si la fonction de transfert du filtre de boucle contient un pôle nul, lorsque la boucle est verrouillée, l'erreur de phase entre le signal de référence et le signal de sortie du bloc « Oscillateur » est nulle. Cependant, un déséquilibre entre les deux voies d'entrée du comparateur de phase et de fréquence ou encore un déséquilibre entre les courants de charge et de décharge de la pompe de charge vont entraîner une erreur de phase entre les deux signaux précédents. Nous avons donc simulé cette erreur, en la modélisant par un retard sur une des deux voies d'entrée du comparateur de phase et de fréquence. Cette étude est menée dans le cas d'un signal de sortie à 1,8 GHz. Par ailleurs, la valeur du retard est égale à 10% de la période du signal de sortie (≈ 30 ps). Le spectre du signal de sortie est donné à la figure 4-16.

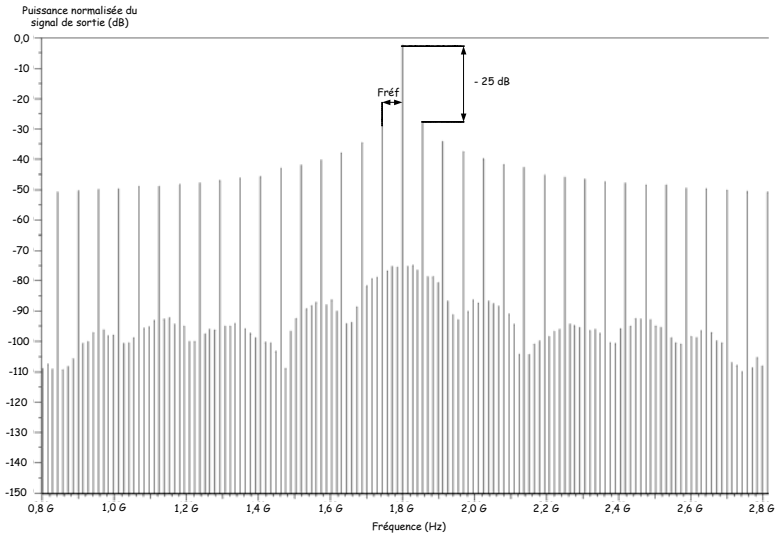


Figure 4-16 : Spectre du signal de sortie avec erreur de phase statique.

L'erreur de phase statique se traduit, sur le spectre du signal de sortie, par l'apparition de raies parasites structurelles séparées de la porteuse par un intervalle qui est un multiple entier de la fréquence du signal de référence. L'erreur de phase statique peut être représentée dans le domaine temporel par la figure 4-17 dans laquelle Te représente l'erreur de phase statique.

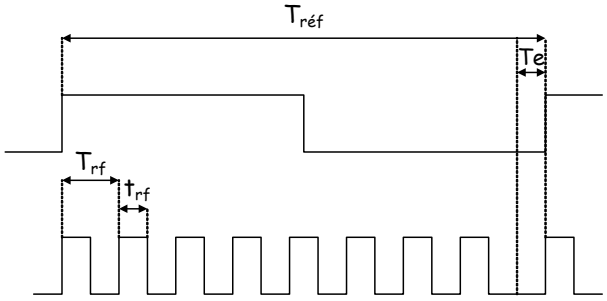


Figure 4-17 : Illustration temporelle de l'erreur de phase statique.

En suivant un raisonnement similaire à celui mené dans le paragraphe précédent pour déterminer la transformée de Fourier du signal synthétisé avec erreur de phase statique, nous obtenons un résultat semblable à celui de l'équation 4-4, dans lequel cette fois-ci T1 sera égal à (Tréf-Te). Par conséquent, nous constatons bien l'apparition de raies parasites structurelles dont l'écart à la fréquence de la porteuse est un multiple entier de la fréquence de référence.

2.4.2.3. Raies parasites structurelles dues à une erreur de sommation

Le signal de sortie de la DLL factorisée est la somme de deux signaux à haute fréquence fonctionnant en alternance. Tout comme précédemment, nous nous sommes intéressés aux conséquences du désappariement des deux voies incidents du bloc « Sommation ». Pour simuler cette erreur, nous avons ajouter sur l'une des deux voies d'entrée de ce bloc un retard. Cette étude sera encore menée pour un signal de sortie à 1,8 GHz et la valeur du retard sera 10% de la période du signal de sortie (≈ 30 ps). Le spectre du signal de sortie est donné à la figure 4-18.

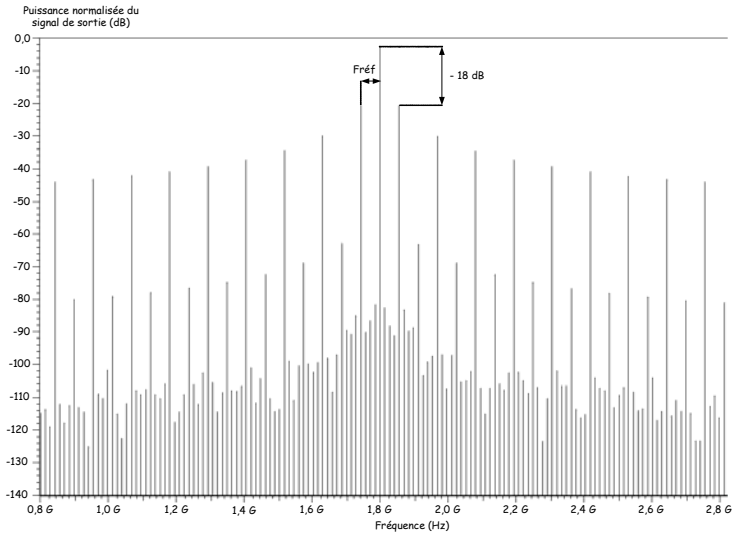


Figure 4-18 : Spectre du signal de sortie dans le cadre désappariement des deux voies d'entrée du bloc « Sommation ».

Le désappariement entre les deux voies d'entrée du bloc « Sommation » se traduit par l'apparition de raies parasites structurelles à un intervalle de la porteuse qui est un multiple impair de la fréquence de référence. Ce résultat doit être comparé à celui obtenu dans le cas d'une erreur de phase statique : le rapport entre la fréquence d'une raie parasite et la fréquence de la porteuse était un entier quelconque. Dans ce cas considéré ici, ce rapport est un nombre impair. En réalité, les harmoniques paires ne sont pas totalement absentes, mais elles sont atténuées par un facteur d'au moins 60 dB. Ce phénomène peut être expliqué grâce à l'étude des chronogrammes temporels donnés à la figure 4-19.

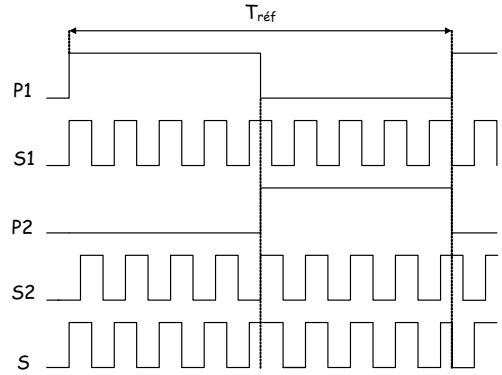


Figure 4-19 : Illustration temporelle d'une erreur de sommation.

Le signal S(t) peut se décomposer, sur une période de la référence, comme la somme du produit du signal $S_1(t)$ par la fonction « porte » $P_1(t)$ et le produit du signal $S_2(t)$ par la fonction « porte » $P_2(t)$. L'équation 4-5 illustrant ce résultat.

$$S(t) = S_1(t) \times P_1(t) + S_2(t) \times P_2(t) \qquad \textbf{4-5}$$

Or, nous avons également les égalités :

$$S_2(t) = S_1(t - Te) \qquad \textbf{4-6}$$

$$P_2(t) = P_1(t - \frac{T_{réf}}{2}) \qquad \textbf{4-7}$$

Où, Te est le retard introduit sur la seconde voie. Dans ces conditions, la transformée de fourrier du signal sommé s'écrit donc :

$$S(f) = S_1(f) * P_1(f) + S_1(f) \times e^{-j2\pi fTe} * P_1(f) \times e^{-j2\pi f\frac{T_{réf}}{2}} \quad \textbf{4-8}$$

$$S(f) = S_1(f) * P_1(f) \times \left[1 + e^{-j2\pi fTe} \times e^{-j2\pi fe}\right] \quad \textbf{4-9}$$

Nous retrouvons alors, à une constante prés, le résultat de l'équation 4-4 dans le cas particulier où $T_1=T_{réf}/2$. Le spectre du signal sommé sera alors composé d'une part, de la raie fondamentale et des harmoniques de rang impair du signal $S_1(f)$, d'autre part des raies parasites structurelles à un intervalle égal à la fréquence de référence, et enfin de tous ses harmoniques de rang impair, dont l'amplitude décroît suivant une fonction en sinus cardinal.

2.4.3. Vérification expérimentale

L'observation du spectre à fenêtrage large de la figure 4-12 permet d'éliminer, d'emblée, la dernière hypothèse : l'erreur de sommation. En effet, nous constatons sur le spectre que les raies parasites structurelles à un écart égal à deux fois la fréquence de référence ne sont pas atténuées. Au contraire, l'amplitude de la première raie parasite distante de la porteuse d'une valeur égale à deux fois la fréquence de référence est même légèrement supérieure à celle située à un écart égal à la fréquence de référence. Cette augmentation est due à une modulation d'amplitude du signal de sortie par les variations de la tension d'alimentation. En effet, les circuits tampons de sortie sont des inverseurs CMOS non différentiels, qui sont réputés sensibles à de telles variations. Le découplage en interne de la tension d'alimentation à la fréquence de référence aurait nécessité de plus importantes capacités ce qui aurait fortement augmenté la surface du circuit.

Désormais, il reste deux hypothèses. Afin de déterminer l'origine des raies, nous allons maintenant effectuer une observation dans le domaine temporel. La figure 4-20 présente une trame entière du signal de sortie sur une période du signal de référence.

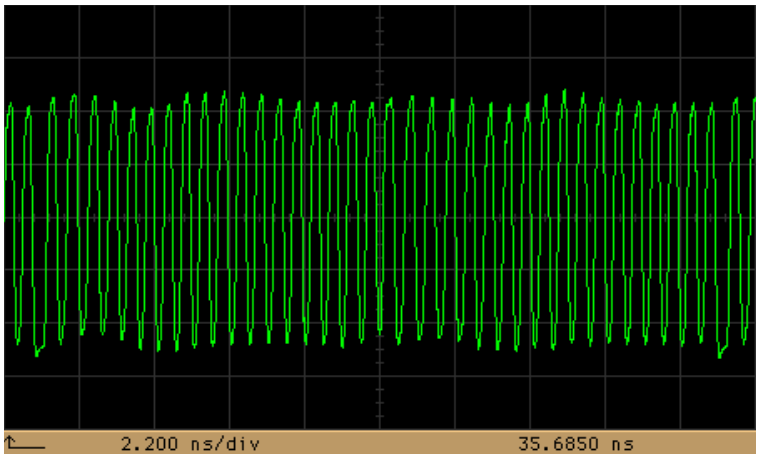


Figure 4-20 : Observation temporelle d'une trame de signaux de sortie.

Le centre de la fenêtre d'observation correspond à la transition entre les signaux issus du premier et du second bloc « Oscillation ». Nous pouvons observer une symétrie entre ces deux cycles, ce qui permet de dire que l'hypothèse d'un désappariement entre les deux oscillateurs n'est pas la source des raies parasites structurelles.

En revanche, nous pouvons observer sur chaque côté de la figure une période plus grande que les autres. Cette zone correspond au démarrage d'un nouveau cycle induit par le signal de référence. Par conséquent, nous pouvons dire que le problème détecté est dû à une erreur de phase statique du circuit.

Maintenant que nous avons pu déterminer la cause des raies parasites, nous pouvons essayer de chercher quelles sont les origines de cette erreur de phase statique. La première hypothèse consiste à penser qu'il existe un désappariement, sous la forme d'un retard entre les deux voies du bloc « Asservissement ». Par exemple, une voie se verrait associer une capacité équivalente plus grande que l'autre. Dans ces conditions, l'erreur de phase est constante quelle que soit la norme synthétisée. Des vérifications expérimentales montrent que cette erreur varie avec le standard. Cette dernière remarque nous conduit à penser que la cause de cette erreur de phase provient peut-être de la pompe de charge.

En effet, la pompe de charge (cf. chapitre 3, figure 3-8) est constituée de deux interrupteurs localisés entre une source de courant et le filtre. Ces interrupteurs sont constitués d'un transistor PMOS et d'un transistor NMOS. Une fois le système verrouillé, le comparateur de phase et de fréquence qui commande ces interrupteurs génère des impulsions résiduelles. Si les deux transistors n'ont pas le même temps de commutation alors, pour corriger cette différence, le système va augmenter la durée de l'une des deux impulsions résiduelles (celle vraisemblablement appliquée au transistor PMOS, réputé le plus lent) afin que le courant moyen traversant le PMOS soit égal à celui traversant le NMOS. Ceci induit alors un déphasage entre les deux signaux d'entrée du bloc considéré. De plus, les courants générés par les miroirs de courant PMOS et NMOS ne sont jamais rigoureusement égaux car ils dépendent de la tension aux bornes du filtre. En effet, la courbe Id=f(Vds) d'un transistor n'est pas constante en zone saturée, notamment lorsque l'on prend en compte l'effet Kink. Par conséquent, la valeur de l'erreur de phase va varier en fonction du standard généré.

Dans ces conditions, nous pouvons donc penser que le responsable des raies parasites est la pompe de charge. Dans une version ultérieure, l'architecture de ce bloc devra être fondamentalement modifiée pour éviter ces problèmes.

Enfin, l'observation de la trame de signaux de la figure 4-19 met en avant deux phénomènes. Tout d'abord, il apparaît la modulation d'amplitude évoquée précédemment, pour une fréquence deux fois plus grande que celle de référence. Ensuite, nous pouvons observer un phénomène propre à la technologie SOI pour les transistors à corps flottant : l'effet d'histoire. En effet, au début de l'oscillation de chaque bloc, les périodes des signaux sont plus grandes que celles de fin de cycle, ce qui traduit une dépendance de la vitesse de commutation en fonction des états précédents.

La première DLL factorisée avec génération indirecte de la quadrature a été testée. Ses performances ont été mesurées et ses défauts relevés. Nous avons essayé de déterminer l'origine de ces derniers afin d'éviter de reproduire ces erreurs pour une prochaine version. Maintenant, nous pouvons procéder de manière similaire à l'étude des mesures relatives au fonctionnement de la seconde DLL factorisée avec génération directe de la quadrature.

3. MESURES DE LA DLL FACTORISEE AVEC GENERATION DIRECTE DE LA QUADRATURE DE PHASE ENTRE LES SIGNAUX DE SORTIE

3.1. Présentation

La figure 4-21 présente la microphotographie de la DLL factorisée avec génération directe de la quadrature de phase entre les signaux de sortie. Cette puce occupe une surface totale de 4 mm² répartie sur un carré de 2 mm de long par 2 mm de large. Comme pour le circuit précédent, la surface effective du circuit est bien inférieure à cette valeur et est environ égale à 0,6 mm^2.

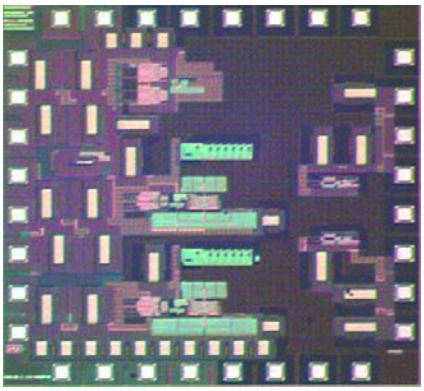


Figure 4-21 : Microphotographie de la seconde DLL factorisée.

La figure 4-22 présente la carte de test de ce circuit. Les deux interrupteurs 8 bits permettent de programmer les valeurs des deux compteurs. L'entrée du circuit est sur la droite de la carte tandis que les sorties en quadrature se trouvent sur la gauche. Nous pouvons noter qu'un appariement des deux voies a été également réalisé sur la carte. La puce enrobée d'une résine protectrice se trouve au milieu de la carte de test.

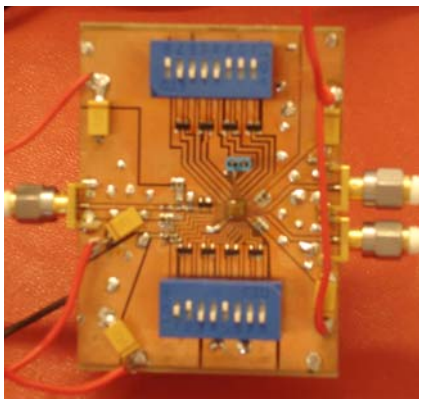


Figure 4-22 : Photographie de la carte de test.

Le banc de mesure utile pour le test du circuit est le même que celui décrit au paragraphe 2.1 : il est notamment constitué autour d'un générateur de signaux, de deux générateurs de tension continue, d'un analyseur de spectre et d'un oscilloscope numérique.

Afin de caractériser le fonctionnement multistandard, nous reprenons les valeurs des fréquences centrales définies dans le chapitre précédent. Le principe de l'étude sera également

le même en présentant les résultats de mesure dans le domaine, d'abord temporel, puis fréquentiel.

3.2. Mesures temporelles du circuit

3.2.1. Analyse des formes d'onde

La figure 4-23 présente les formes d'onde des signaux de sortie de la DLL factorisée mesurées à l'aide de l'oscilloscope numérique. Une nouvelle fois, le standard GSM 900 MHz a pu être synthétisé. En revanche, la fréquence la plus haute que nous avons pu synthétiser est égale à 3,9 GHz. Cette limitation est due à l'absence d'extracteur d'éléments parasites, éléments dont il est bien connu qu'ils contribuent à réduire la fréquence maximale de travail de l'oscillateur. Par conséquent, les standards de la bande 5-6 GHz, initialement prévus, ne seront pas générés par ce circuit. Dans cette figure, pour chaque standard, les deux sorties en quadrature de phase sont présentées. L'échelle en ordonnée de chaque forme d'onde est égale à 100 mV par division. L'échelle en abscisse est précisée sur chaque figure.

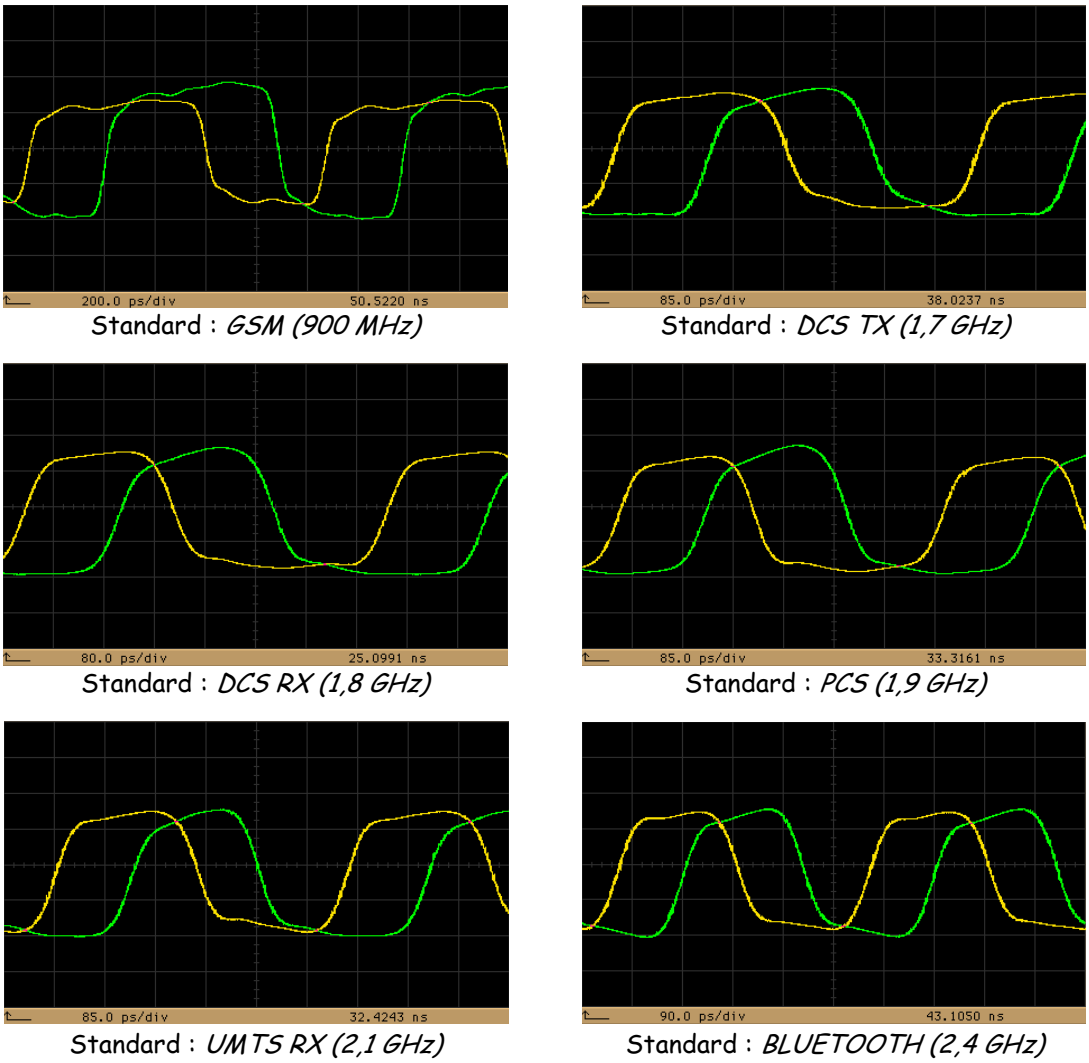


Figure 4-23 : Présentation des formes d'onde des signaux synthétisés.

Pour générer ces normes, nous changeons les valeurs mises en entrée du compteur. Le tableau 4-3 présente, en fonction des standards, les valeurs binaires des bits d'entrée des

compteurs. Seuls cinq bits sont nécessaires si les valeurs associées aux deux compteurs sont prises égales l'une à l'autre. En revanche, les deux compteurs ne pourront pas toujours avoir la même valeur en entrée. Les standards concernés sont ceux qui possèdent, dans le tableau suivant, deux valeurs binaires adressées au même bit. L'un sera attribué au premier compteur et l'autre au second.

Standard	Facteur de multiplication	Bits				
		2^0	2^1	2^2	2^3	2^4
900 MHz	18	0/1	1	0	0	0
1,7 GHz	34	0/1	1	1	0	0
1,8 GHz	36	1	1	1	0	0
1,9 GHz	38	0/1	0/1	0/1	1/0	0
2,1 GHz	42	0/1	0	0	1	0
2,4 GHz	48	0	1	0	1	0
5,2 GHz	52	0	0	0	1	1
5,4 GHz	54	1	0	0	1	1
5,8 GHz	58	1	1	0	1	1

Tableau 4-3 : Choix des valeurs binaires des compteurs.

Les formes d'onde des standards de la gamme de fréquences comprises entre 900 MHz et 2,4 GHz présentent les deux signaux de sortie. Le tableau 4-4 donne la valeur du déphasage entre ces deux signaux, ainsi que l'erreur de quadrature de phase exprimée en degrés. Conformément à la simulation, nous avons une erreur de quadrature de phase qui est toujours inférieure à 5°. L'amélioration de cette caractéristique par rapport au circuit précédent est ainsi confirmée expérimentalement.

Standard	Déphasage (°)	Erreur de quadrature de phase (°)	Erreur relative (%)
900 MHz	93,6	3,6	4
1,7 GHz	93,1	3,1	4,1
1,8 GHz	93,7	3,7	4,1
1,9 GHz	94,1	4,1	4,6
2,1 GHz	93,1	3,1	3,4
2,4 GHz	93,5	3,6	4

Tableau 4-4 : Etude de la quadrature de phase.

Les erreurs sont de l'ordre de la précision des appareils de mesure mis en œuvre. Elles sont trop très réduites, comme espéré.

3.2.2. Etude de la consommation du système

La figure 4-24 présente la consommation de courant des différents blocs principaux de la DLL factorisée selon le standard synthétisé. Cette consommation augmente avec la fréquence du standard.

Le principal bloc consommateur de courant est le bloc « Oscillateur », comme cela était prévu lors de la simulation. La consommation du bloc d'entrée est la même quelque soit le standard. En effet, ce bloc fonctionne toujours à la même fréquence, celle du signal de référence, et de ce fait, sa consommation est indépendante de la norme choisie.

La consommation totale du système s'étend donc de 57 mA à 107mA selon que le circuit synthétise respectivement le standard de fréquence la plus basse : 900 MHz, et le standard de fréquence la plus élevée : 2,4 GHz, sous une tension d'alimentation du circuit égale à 1 V.

Le second objectif lors de la réalisation de cette seconde version était de diminuer la puissance consommée. Pour une fréquence de 900 MHz, la puissance consommée est de 174 mW pour la première version contre 54 mW pour celle-ci. De même à 2,4 GHz, la puissance diminue de 433 mW à 107 mW. La diminution de la consommation en terme de puissance de ce deuxième circuit est démontrée expérimentalement.

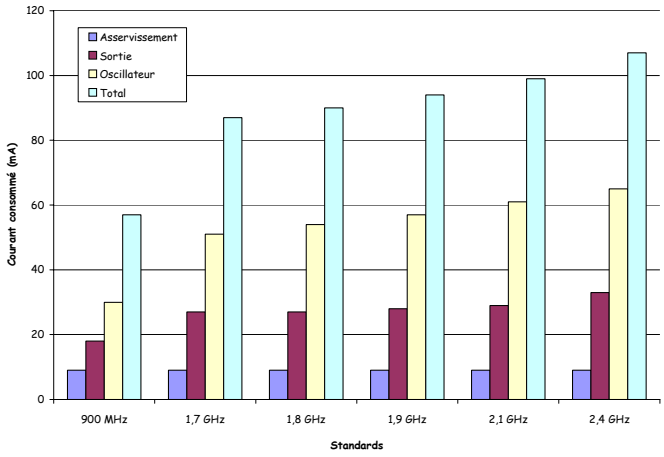


Figure 4-24 : Evolution de la consommation de courant du circuit en fonction du standard synthétisé.

3.2.3. Réponse à un changement de standard

Le système génère les standards de la gamme 900 MHz-4 GHz. Maintenant, nous pouvons nous intéresser à la réponse du système lors d'un changement de facteur de multiplication de la boucle.

Pour réaliser ce changement, nous allons fixer, comme précédemment, la valeur d'un des deux compteurs, et nous ferons évoluer la valeur du second. Dans le même temps, nous observerons l'évolution de la tension aux bornes du filtre de boucle. L'étude suivante sera menée pour une variation entre 900 MHz et 2,5 GHz de la fréquence des signaux de sortie. Dans ces conditions, la valeur du premier compteur sera fixée à 8, ce qui correspond à mettre seulement au niveau haut le bit 2^1. Le second compteur verra alors sa valeur d'entrée évoluer entre 10 et 42 selon respectivement que le système se verrouille sur 1,8 GHz et 2,5 GHz. Ces ordres de multiplications correspondent à mettre au niveau haut, dans le premier cas les bits 2^0 et 2^1, et dans le second cas, les bits 2^0, 2^1 et 2^4. En conclusion, le changement de standard s'effectuera uniquement en faisant varier la valeur du bit 2^4 du second compteur.

Avant d'effectuer cette opération, nous devons choisir une valeur de filtre de boucle qui assure la stabilité du système. Conformément à l'étude de stabilité menée au chapitre 2, nous allons dans un premier temps caractériser la fonction de transfert qui lie à la tension de contrôle le déphasage entre le signal de référence et la ligne d'éléments à retard contrôlable. La figure 4-25 présente cette fonction de transfert. La tension de contrôle évolue entre environ 230 mV et 410 V afin de générer toutes les normes possibles.

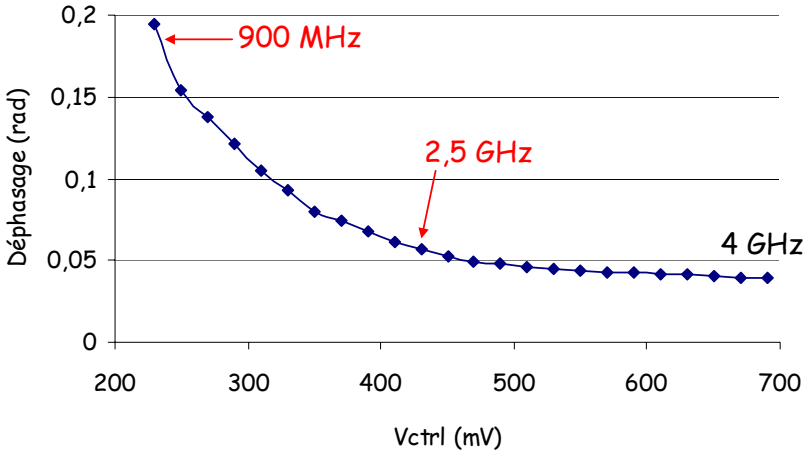


Figure 4-25 : Fonction de transfert de la ligne d'éléments à retard contrôlable.

Le calcul théorique donne une valeur pour la capacité de filtre d'environ égale à 400pF. Expérimentalement, comme pour le circuit précédent, nous ne retrouvons pas cette valeur. La figure 4-26 présente la tension du filtre de boucle pour deux valeurs de capacité. Cette mesure a été effectuée avec un oscillateur numérique Lecroy wavepro 960. La première, égale à 2,2 nF, entraîne un dépassement unique de la valeur finale. Pour la seconde valeur, nous sommes proche d'une réponse de type premier ordre sans dépassement ni oscillation. Dans ce dernier cas, le temps nécessaire pour passer du standard 900 MHz au standard 2,5 GHz est de l'ordre de 1,5 µs.

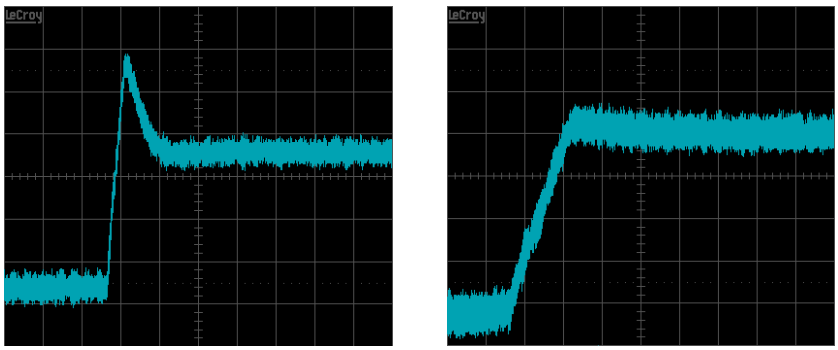
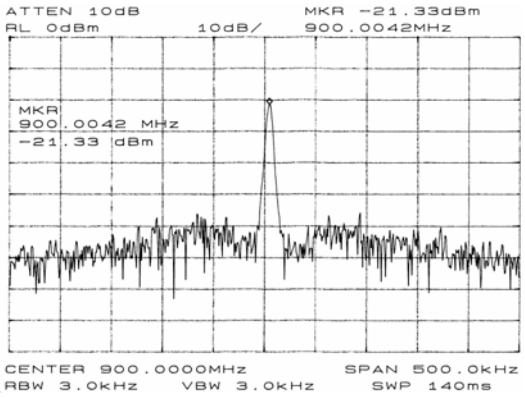


Figure 4-26 : Réponse du système à un saut de fréquence.

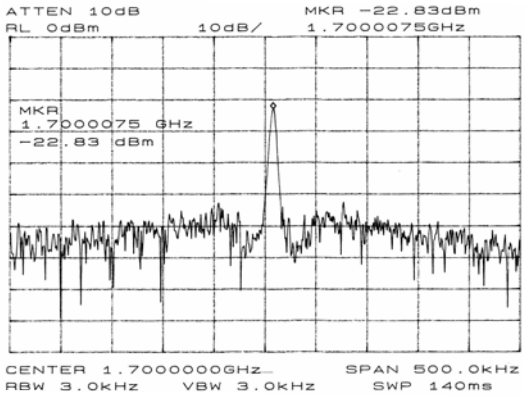
3.3. Mesures fréquentielles

3.3.1. Analyse du spectre

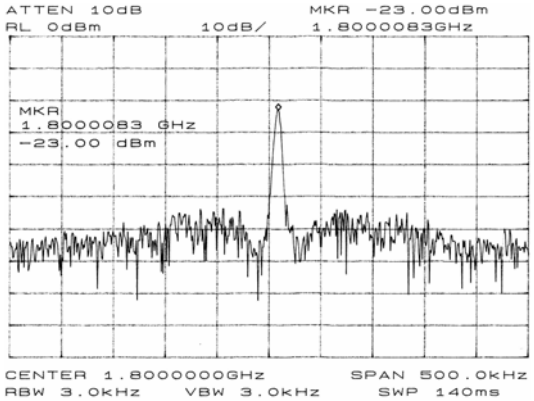
La figure 4-27 présente le spectre au voisinage des raies fondamentales des standards synthétisés. Un atténuateur d'une valeur de 20 dB a été ajouté en entrée de ce l'analyseur de spectre. Par conséquent, la puissance des signaux de sortie de la DLL factorisée pour des standards de la gamme 900 MHz-2,4 GHz varie entre -1 dBm et -3 dBm.



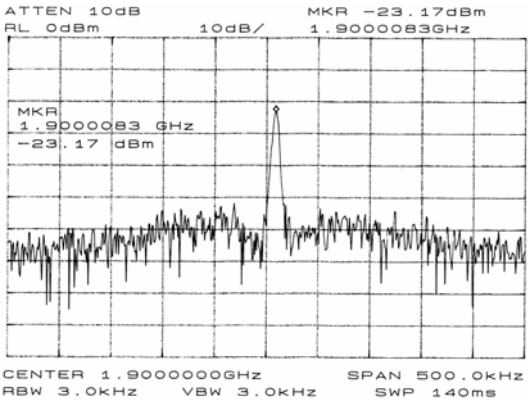
Standard : *GSM (900 MHz)*



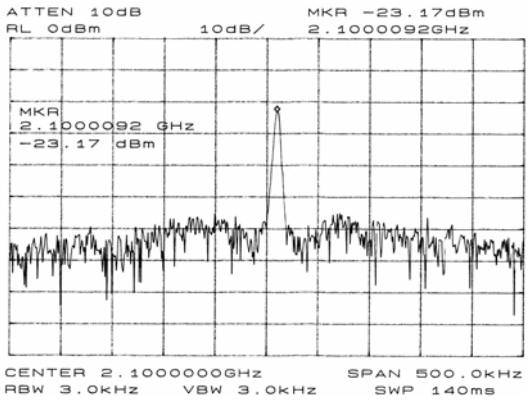
Standard : *DCS TX (1,7 GHz)*



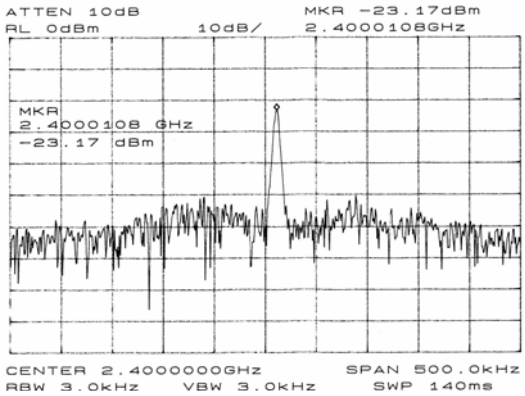
Standard : *DCS RX (1,8 GHz)*



Standard : *PCS (1,9 GHz)*



Standard : *UMTS RX (2,1 GHz)*



Standard : *BLUETOOTH (2,4 GHz)*

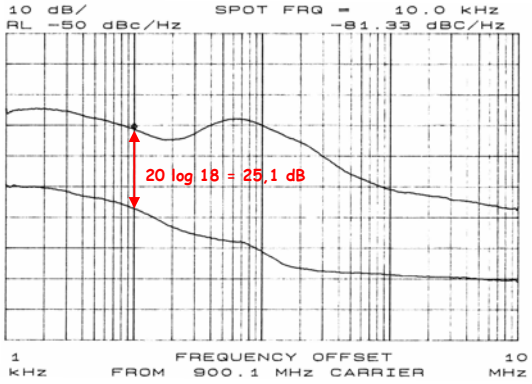
Figure 4-27 : Spectre au voisinage des raies fondamentales des standards synthétisés.

3.3.2. Analyse du bruit de phase du système

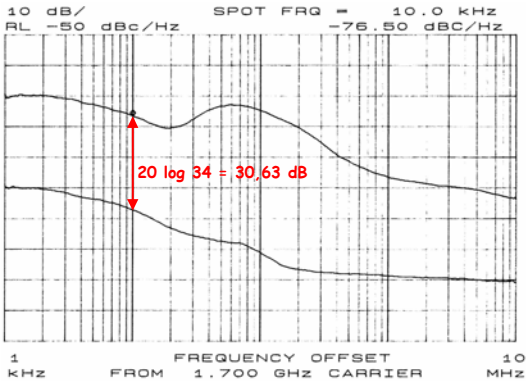
La figure 4-28 présente le résultat de l'analyse de bruit de phase de la boucle. Cette étude a été menée avec une valeur de la capacité de filtre de boucle égale à 2,2 nF. La puissance du signal de référence est égale à -6 dBm, tandis que son bruit de phase à 10 kHz de la porteuse est égal à -107,67 dBc/Hz.

La courbe de bruit de phase de chaque standard suit celle du signal de référence au terme 20 log(N) près, où N est le facteur de multiplication de la boucle,

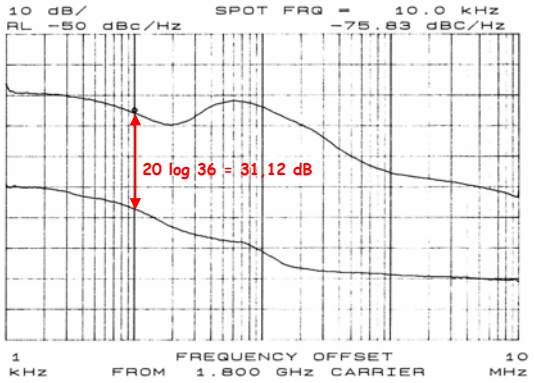
jusqu'approximativement 20 kHz. Nous remarquons une nouvelle fois la remontée du bruit au-delà de cette fréquence, suivie d'une décroissance en raison de -20 dB par décade à partir de 70 kHz. Il semblerait donc qu'une nouvelle fois, la bande passante du système soit plus faible qu'attendue, et soit égale à 70 kHz. L'égalité entre les bandes passantes des deux versions nous laisse supposer que le pôle parasite n'est pas généré au niveau des lignes d'opérateurs à retard contrôlable. Une nouvelle fois, la source de bruit dominante hors de la bande passante est le bruit de Kink.



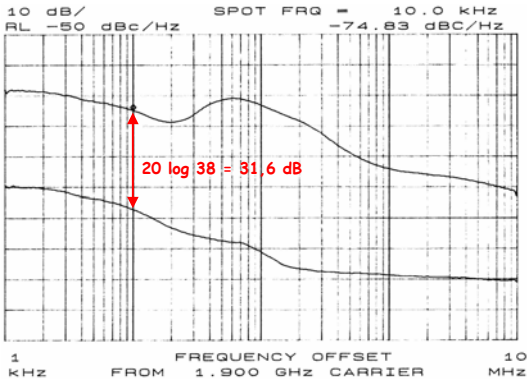
Standard : *GSM (900 MHz)*



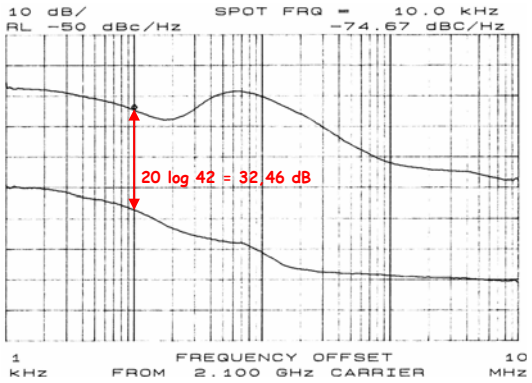
Standard : *DCS TX (1,7 GHz)*



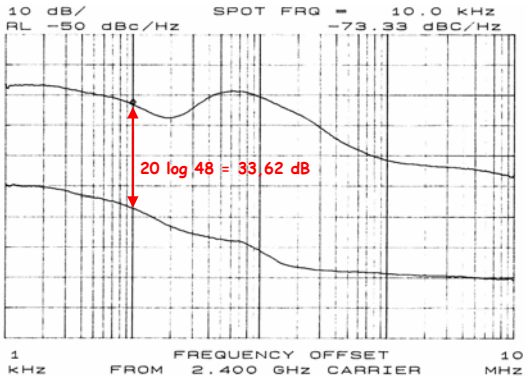
Standard : *DCS RX (1,8 GHz)*



Standard : *PCS (1,9 GHz)*



Standard : *UMTS RX (2,1 GHz)*



Standard : *BLUETOOTH (2,4 GHz)*

Figure 4-28 : Bruit de phase en sortie de la DLL factorisée.

Les simulations des deux versions présentées au chapitre 3 ont été réalisées à l'aide des modèles de la technologie CMOS 130nm Bulk de STMicroelectronics. En effet, la technologie SOI du fondeur était en cours de développement durant ces travaux de thèse.

Nous avons donc fait également réaliser ces circuits en technologie Bulk massif. Ainsi, en portant directement ces derniers d'une technologie à l'autre, tout en réutilisant les mêmes dessins des masques ainsi que les mêmes cartes de test et conditions de mesures, nous allons relever l'impact de la technologie SOI sur nos circuits.

4. MESURES DES DLLS FACTORISEES REALISEES EN TECHNOLOGIE BULK MASSIF

4.1. Présentations des circuits

Afin de pouvoir conclure sur l'influence de la technologie SOI sur les circuits réalisés, nous avons réutilisé le même dessin des masques que pour les circuits précédents. Il a seulement été rajouté les accès de polarisation des puits N et P. La figure 4-29 présente la microphotographie de deux DLLs. La photographie de gauche représente la DLL avec génération de la quadrature de phase par division par deux de la fréquence de sortie de l'oscillateur, tandis que la photographie de droite représente la DLL avec génération directe de la quadrature de phase.

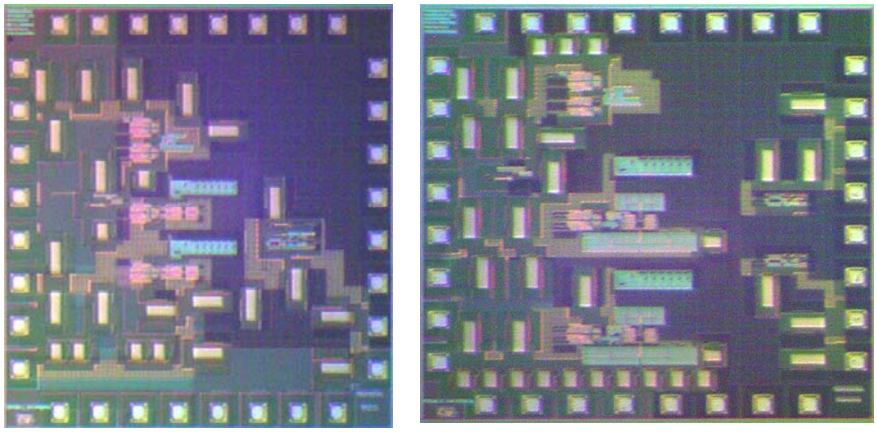


Figure 4-29 : Microphotographie des deux circuits.

Nous pouvons remarquer la parfaite similitude entre les circuits présentés à la figure 4-1 et à la figure 4-21. La surface de ces circuits est donc toujours de 4 mm². Les mêmes cartes de tests que celles présentés aux figures 4-2 et 4-22, le même banc de test ainsi que les mêmes conditions de simulations ont alors été employées pour caractériser ces deux circuits.

4.1.1. Mesures relatives à la DLL Factorisée avec génération indirecte de la quadrature de phase des signaux de sortie

4.1.1.1. Mesures temporelles du circuit

Les mêmes investigations dans le domaine temporel, tels que l'étude des formes d'onde, la réponse du système à un changement de standard et l'étude de la consommation, ont été réalisées pour ce circuit.

La figure 4-30 présente les formes d'onde des signaux de sortie de la DLL factorisée mesurées à l'oscilloscope numérique. Les standards synthétisés s'étendent sur une plage entre

900 MHz et 5,2 GHz. Les fréquences correspondantes à la bande moyenne et haute de la norme 802.11 a n'ont pas pu être synthétisées.

L'échelle en ordonnée de chaque forme d'onde est égale à 100 mV par division, excepté pour les standards à 5,2 GHz où elle est égale à 50 mV par division. En effet, à ces fréquences, nous atteignons les limites de la bande passante des circuits tampons de sortie de sorte que la puissance en sortie de ces derniers décroît lorsque la fréquence augmente.

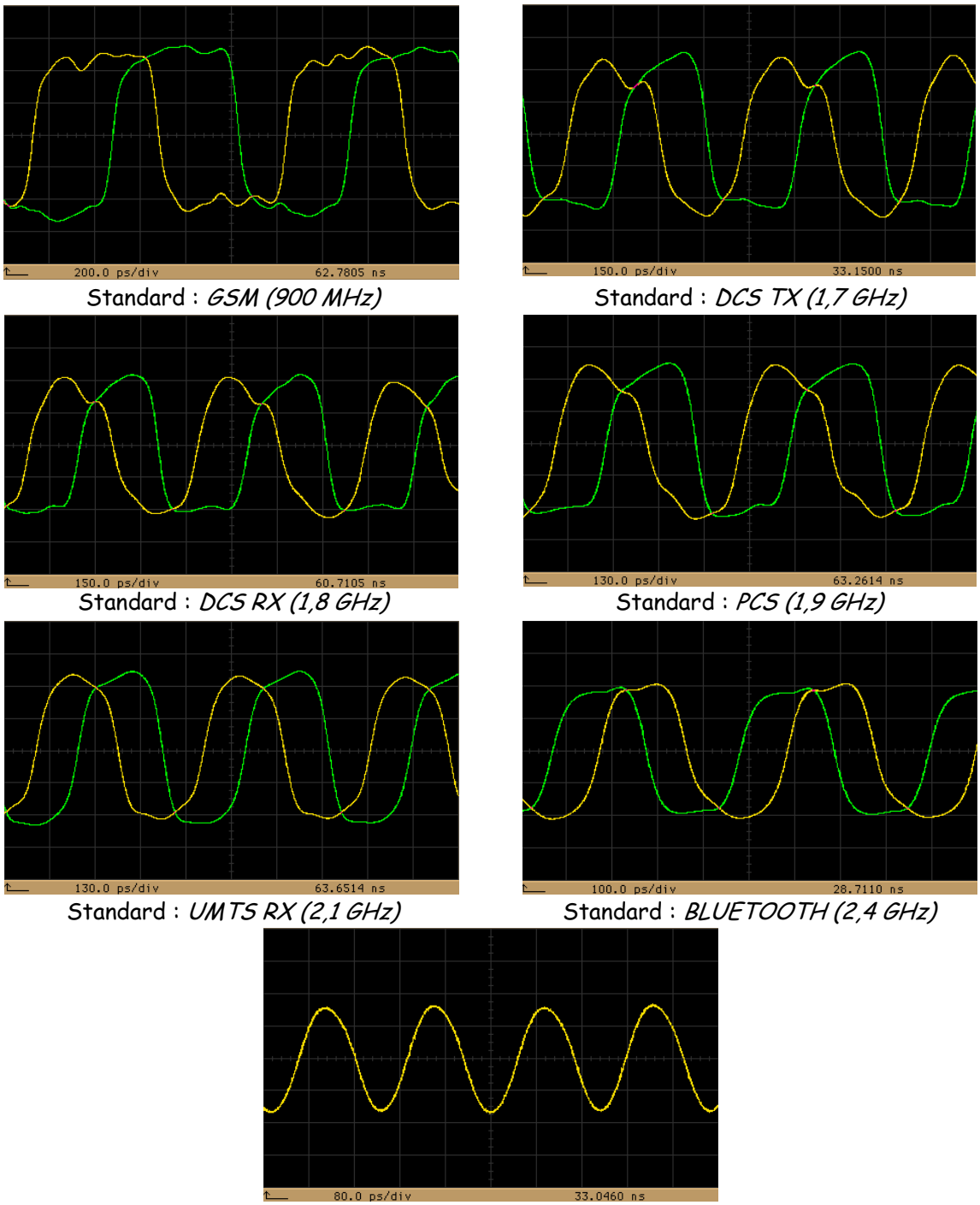


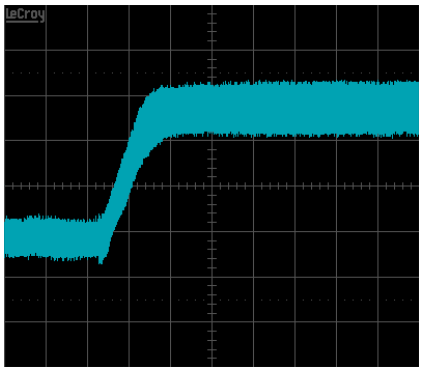
Figure 4-30 : Formes d'onde des signaux synthétisés.

Les formes d'onde des standards dont la gamme de fréquences de travail est comprise entre 900 MHz et 2,4 GHz sont composées par les deux signaux de sortie du système en quadrature de phase l'un par rapport à l'autre. Le tableau 4-5 présente la valeur du déphasage entre ces deux signaux, ainsi que l'erreur de quadrature de phase exprimée en degrés. Nous retrouvons la même évolution de cette erreur de quadrature de phase en fonction de la fréquence de fonctionnement que celle obtenue par simulation. Lorsque la fréquence de travail du système diminue, l'erreur de quadrature de phase augmente car le rapport cyclique du signal synthétisé s'éloigne de 50% (cf. chapitre 3, § 6.1).

Standard	Déphasage (°)	Erreur de quadrature de phase (°)	Erreur relative (%)
900 MHz	113,4	23,4	26
1,7 GHz	105,5	15,5	17,2
1,8 GHz	107,7	17,7	19,7
1,9 GHz	97,8	7,8	8,7
2,1 GHz	90,0	0,0	0,0
2,4 GHz	90,3	0,3	0,3

Tableau 4-5 : Etude de la quadrature de phase.

La figure 4-31 présente l'évolution de la tension du filtre de boucle pour une valeur en entrée des compteurs passant de 36 à 68. Ainsi, la fréquence synthétisée par le système évolue entre 1,8 GHz et 3,4 GHz. Le temps nécessaire pour passer d'un standard à l'autre est de l'ordre de 150 µs, pour une capacité de 47 nF. Ce temps est comparable à celui mesuré lors de l'étude en technologie SOI.



C = 47 nF
Abscisse : 50 mV/div
Ordonnée : 50 µs/div

Figure 4-31 : Réponse du système à un saut de fréquence.

La figure 4-32 présente la consommation de courant des différents blocs principaux de la DLL factorisée selon le standard synthétisé. Le bloc qui demeure le principal consommateur de courant est le bloc « Oscillateur ». La consommation totale du système s'étend donc de 180 mA à 480 mA selon que le circuit synthétise respectivement, soit le standard de fréquence la plus basse, à savoir 900 MHz, soit le standard de fréquence la plus élevée, à savoir 5,2 GHz, sous une tension d'alimentation du circuit égale à 1,2 V. Les consommations de courant mesurées sont de 20% plus grandes que celles obtenues par simulation au chapitre 3. Mais les simulations de ce chapitre ne prennent pas en compte l'extraction des éléments parasites. La différence observée s'explique donc en partie par les pertes dues aux interconnexions des transistors.

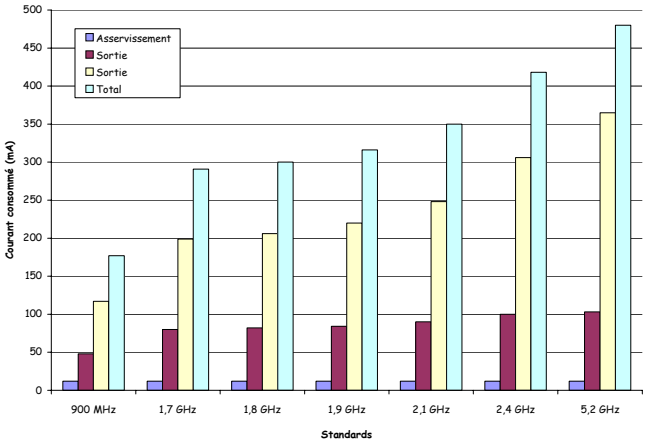
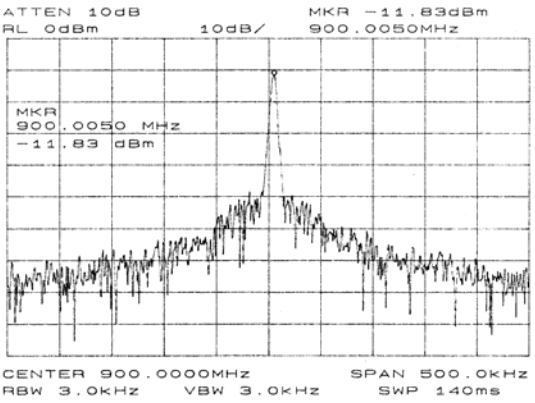


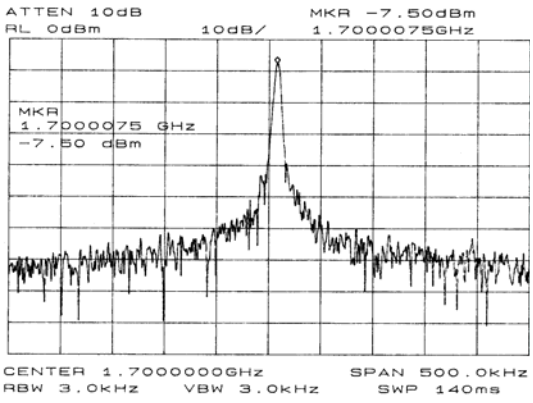
Figure 4-32 : Evolution du courant consommé par le circuit en fonction du standard synthétisé.

4.1.1.2. Mesures fréquentielles

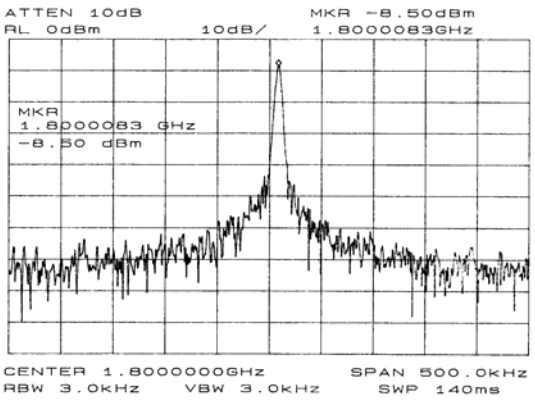
La figure 4-33 présente le spectre au voisinage des raies fondamentales des standards synthétisés. Un atténuateur d'une valeur de 10 dB a été ajouté en entrée de l'analyseur de spectre. Par conséquent, la puissance des signaux de sortie de la DLL factorisée pour des standards de la gamme 900 MHz - 5,2 GHz varie entre 3 dBm et -6 dBm.



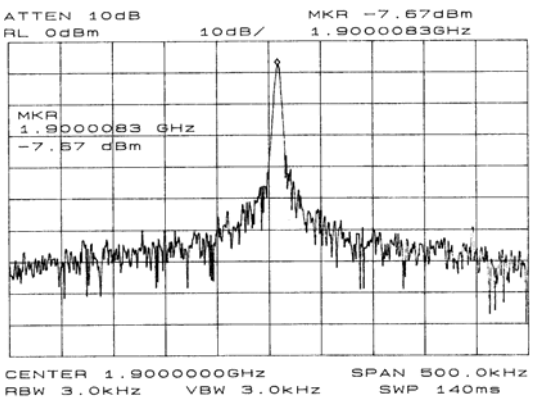
Standard : *GSM (900 MHz)*



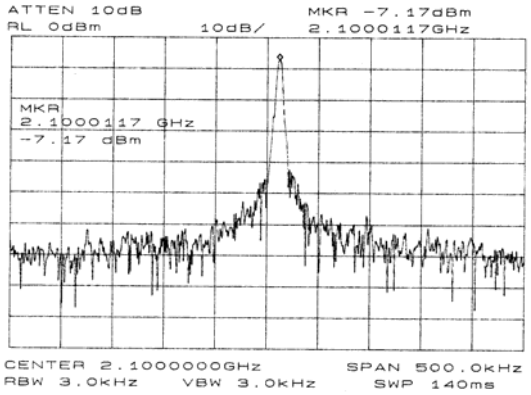
Standard : *DCS TX (1,7 GHz)*



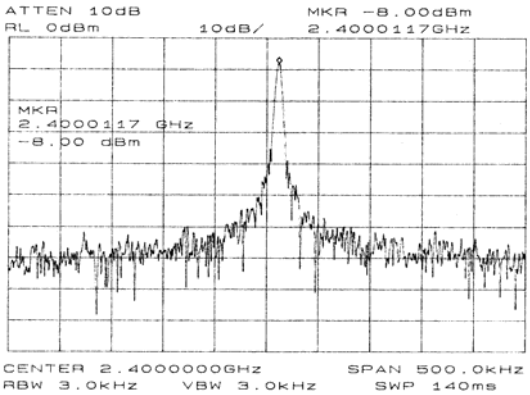
Standard : *DCS RX (1, 8 GHz)*



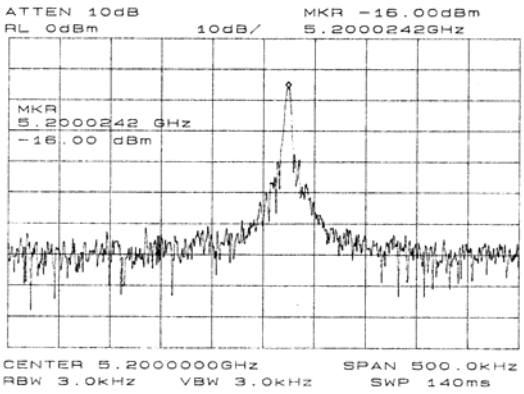
Standard : *PCS (1,9 GHz)*



Standard : *UMTS RX (2,1 GHz)*



Standard : *BLUETOOTH (2,4 GHz)*

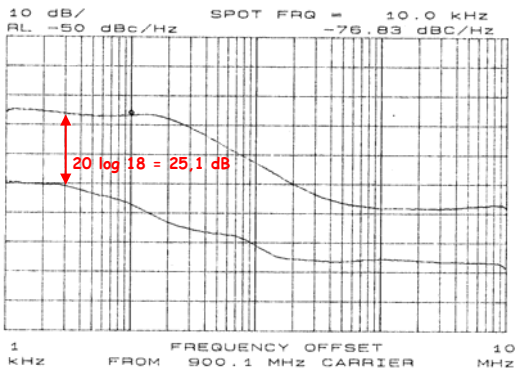


Standard : *802.11a bande basse (5,2 GHz)*

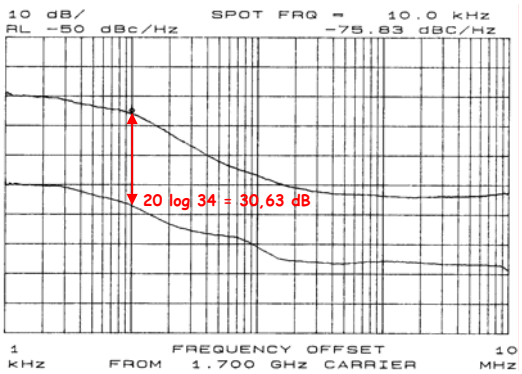
Figure 4-33 : Spectre au voisinage des raies fondamentales des standards synthétisés.

La figure 4-34 présente le résultat de l'analyse de bruit de phase de la boucle. Cette étude a été menée avec une valeur de la capacité de filtre de boucle égale à 2,2 nF. La puissance du signal de référence est égale à -6 dBm, tandis que son bruit de phase à 10 kHz de la porteuse est égal à -107,9 dBc/Hz.

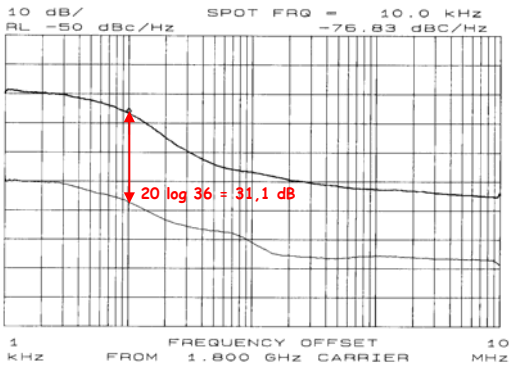
Sur toutes les courbes de bruit de phase, nous pouvons remarquer qu'il n'apparaît plus de remontée de ce bruit aux alentours d'une fréquence de 20 kHz comme celle observée lors de l'étude précédente. Cette constatation expérimentale permet donc de confirmer l'hypothèse émise précédemment, selon laquelle la remontée du bruit de phase est liée à un phénomène propre à la technologie SOI : le bruit de Kink.



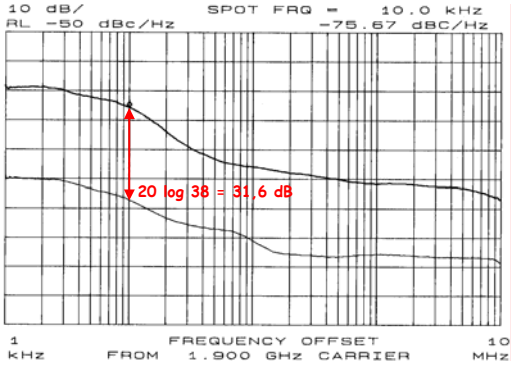
Standard : *GSM (900 MHz)*



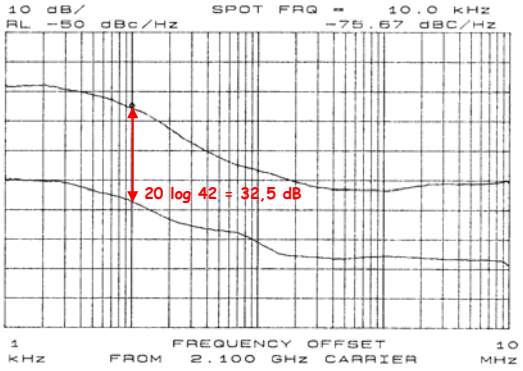
Standard : *DCS TX (1,7 GHz)*



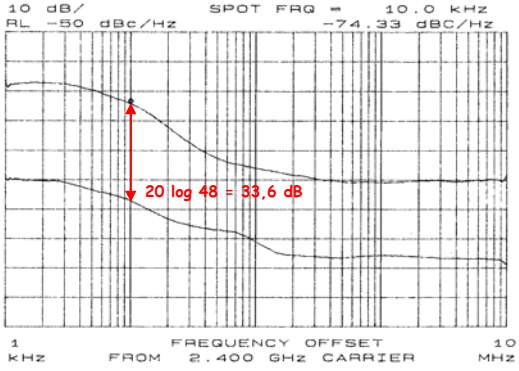
Standard : *DCS RX (1,8 GHz)*



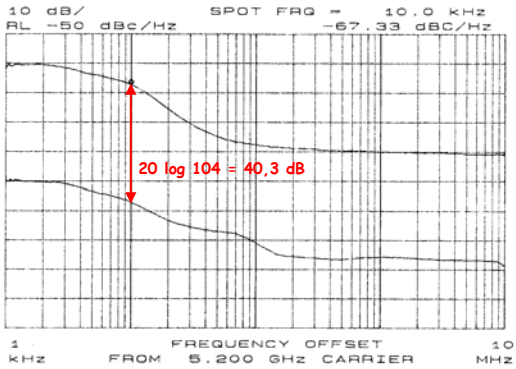
Standard : *PCS (1,9 GHz)*



Standard : *UMTS RX (2,1 GHz)*



Standard : *BLUETOOTH (2,4 GHz)*



Standard : *802.11a bande basse (5,2 GHz)*

Figure 4-34 : Bruit de phase en sortie de la DLL factorisée.

Nous avons également mené les mêmes études temporelles et fréquentielles à propose de la DLL factorisée avec génération directe de la quadrature de phase réalisée en technologie bulk massif.

4.1.2. Mesures relatives à la DLL Factorisée avec génération directe de la quadrature de phase des signaux de sortie

4.1.2.1. Mesures temporelles du circuit

La figure 4-35 présente les formes d'onde des signaux de sortie de la DLL factorisée mesurées à l'oscilloscope numérique. Les standards synthétisés s'étendent sur une plage compris entre 900 MHz et 2,4 GHz. L'échelle en ordonnée pour chaque forme d'onde est égale à 100 mV par division.

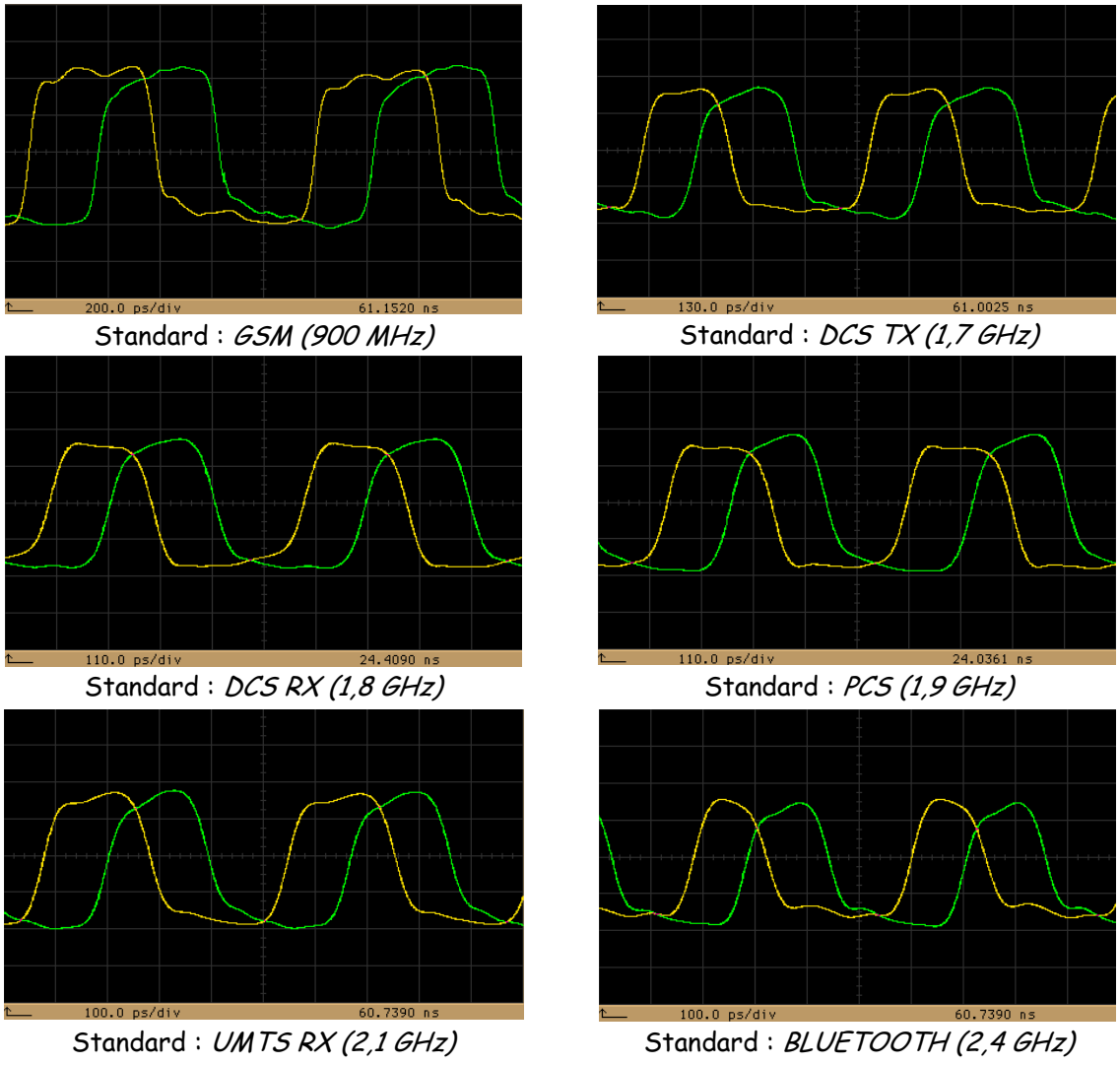


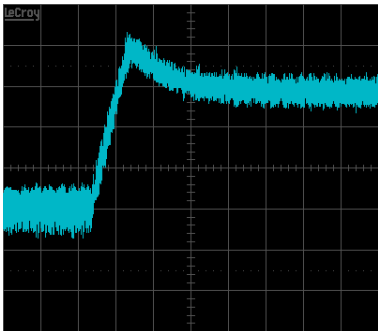
Figure 4-35 : Formes d'onde des signaux synthétisés.

Les formes d'onde des standards de la gamme de fréquences comprises entre 900 MHz et 2,4 GHz présentent les deux signaux de sortie. Le tableau 4-6 donne la valeur du déphasage entre ces deux signaux, ainsi que l'erreur de quadrature de phase exprimée en degrés. En bon accord avec les résultats de simulation, nous observons une erreur de quadrature de phase qui est toujours inférieure à 5°. L'amélioration de cette caractéristique par rapport au circuit précédent est ainsi confirmée, une nouvelle fois, expérimentalement.

Standard	Déphasage (°)	Erreur de quadrature de phase (°)	Erreur relative (%)
900 MHz	88,7	1,3	1,4
1,7 GHz	86,2	3,8	4,2
1,8 GHz	85,8	4,2	4,7
1,9 GHz	94,8	4,8	5,3
2,1 GHz	93,0	3,0	3,3
2,4 GHz	86,8	3,2	3,6

Tableau 4-6 : Etude de la quadrature de phase.

La figure 4-36 présente l'évolution la tension du filtre de boucle pour une valeur en entrée des compteurs passant de 18 à 50. Ainsi, la fréquence synthétisée par le système évolue entre 900 MHz et 2,5 GHz. Le temps nécessaire pour passer d'un standard à l'autre est de l'ordre de 1,5 µs, pour une capacité de 6,8 nF. Ce temps est comparable à celui mesuré lors de l'étude en technologie SOI.



C = 6,8 nF
Abscisse : 50 mV/div
Ordonnée : 0,5 µs/div

Figure 4-36 : Réponse du système à un saut de fréquence.

La figure 4-37 présente la consommation de courant des différents blocs principaux de la DLL factorisée selon le standard synthétisé.

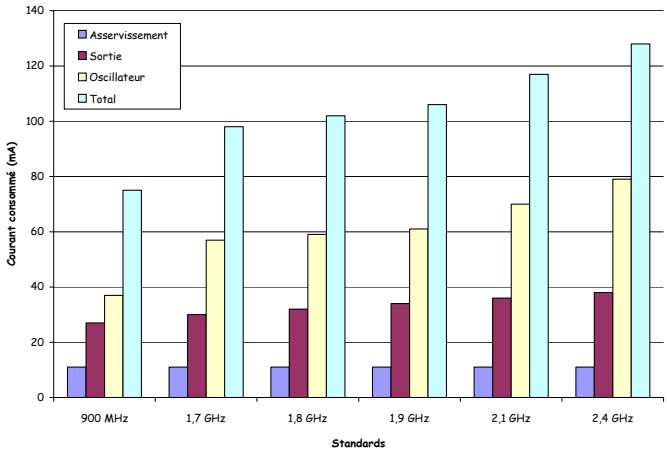
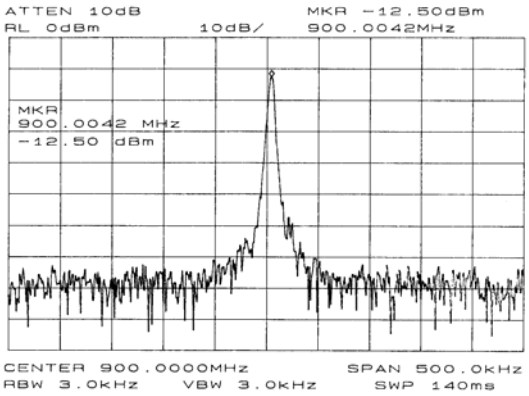


Figure 4-37 : Evolution du courant consommé par le circuit en fonction du standard synthétisé.

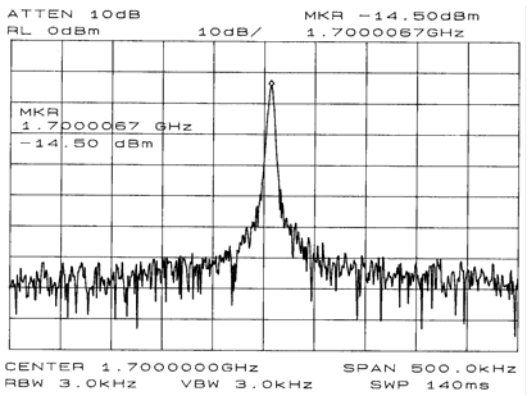
Le bloc qui demeure le principal consommateur de courant est le bloc « Oscillateur ». La consommation totale du système s'étend donc de 75 mA à 130 mA selon que le circuit synthétise respectivement, soit le standard de fréquence la plus basse, à savoir 900 MHz, soit le standard de fréquence la plus élevée, à savoir 2,4 GHz, sous une tension d'alimentation du circuit égale à 1 V.

4.1.2.2. Mesures fréquentielles

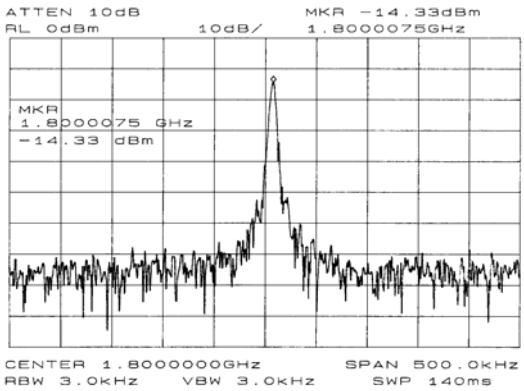
La figure 4-38 présente le spectre au voisinage des raies fondamentales des standards synthétisés.



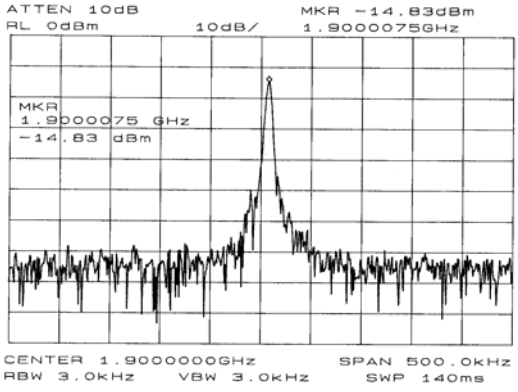
Standard : *GSM (900 MHz)*



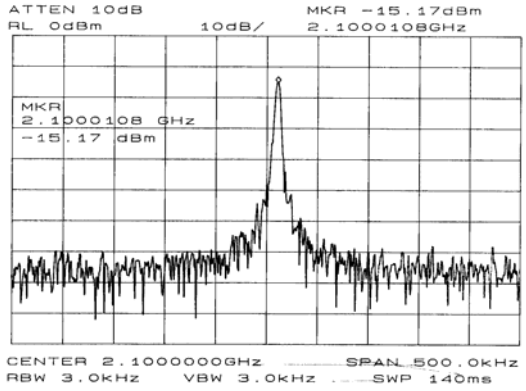
Standard : *DCS TX (1,7 GHz)*



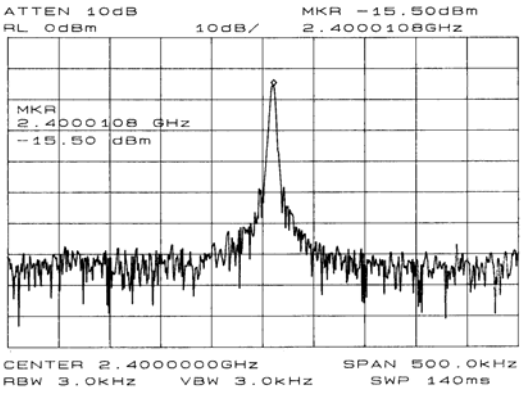
Standard : *DCS RX (1,8 GHz)*



Standard : *PCS (1,9 GHz)*



Standard : *UMTS RX (2,1 GHz)*

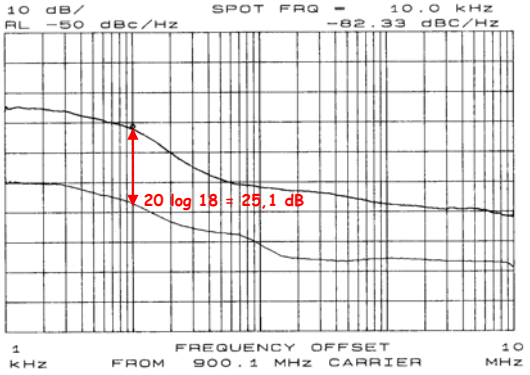


Standard : *BLUETOOTH (2,4 GHz)*

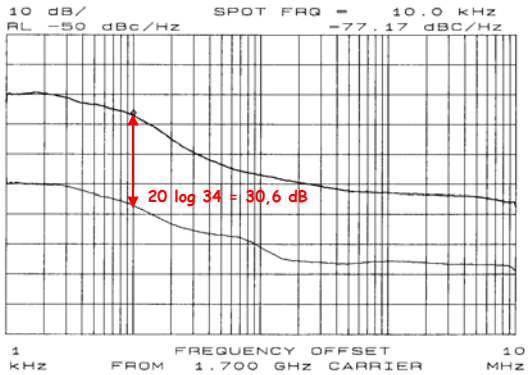
Figure 4-38 : Spectre au voisinage des raies fondamentales des standards synthétisés.

Un atténuateur d'une valeur de 20 dB a été ajouté en entrée de l'analyseur de spectre. Par conséquent, la puissance des signaux de sortie de la DLL factorisée pour des standards de la gamme 900 MHz - 5,2 GHz varie entre 7 dBm et 5 dBm.

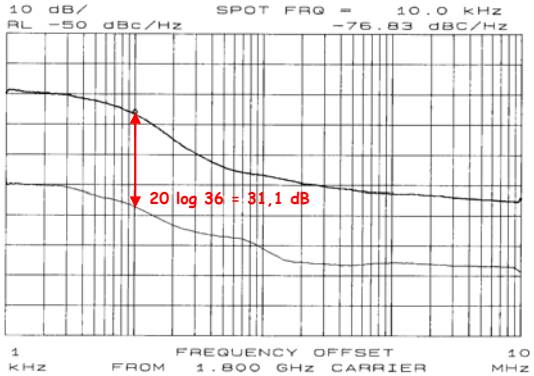
La figure 4-39 présente le résultat de l'analyse de bruit de phase de la boucle. Cette étude a été menée avec une valeur de la capacité de filtre de boucle égale à 2,2 nF. La puissance du signal de référence est égale à -6 dBm, tandis que son bruit de phase à 10 kHz de la porteuse est égal à -107,9 dBc/Hz.



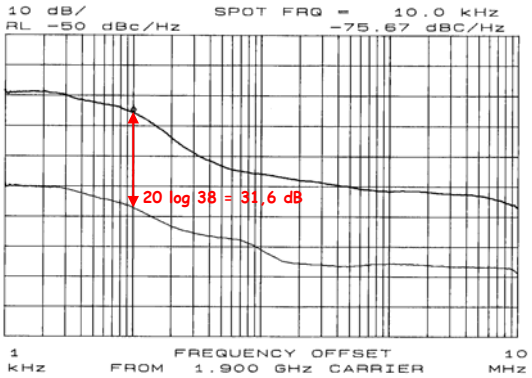
Standard : *GSM (900 MHz)*



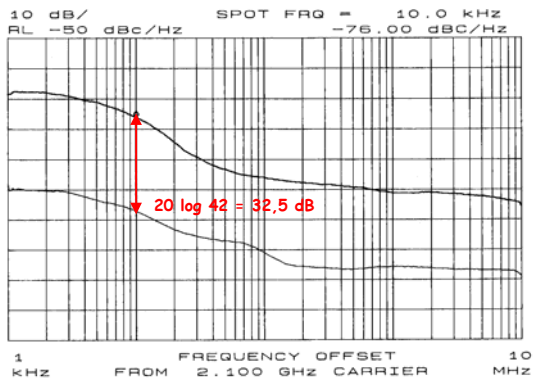
Standard : *DCS TX (1,7 GHz)*



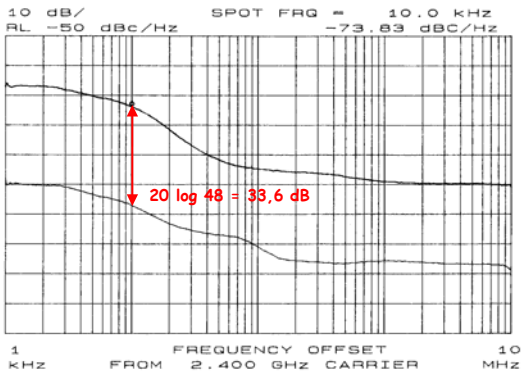
Standard : *DCS RX (1,8 GHz)*



Standard : *PCS (1,9 GHz)*



Standard : *UMTS RX (2,1 GHz)*



Standard : *BLUETOOTH (2,4 GHz)*

Figure 4-39 : Bruit de phase en sortie de la DLL factorisée.

Sur toutes les courbes de bruit de phase, nous pouvons remarquer, une nouvelle fois, qu'il n'apparaît plus de remontée de bruit aux alentours d'une fréquence de 20 kHz. Cette constatation expérimentale permet donc de confirmer, une seconde fois, l'hypothèse émise selon laquelle la remontée du bruit de phase est liée à un phénomène propre à la technologie SOI : le bruit de Kink.

5. BILAN ET PERSPECTIVES

5.1. Récapitulatif et comparaison des performances de deux circuits réalisés en technologie SOI

Au cours de ce chapitre, deux versions de la DLL factorisée ont été caractérisées en technologie SOI. La différence principale réside dans la technique utilisée afin de réaliser la quadrature de phase entre les signaux de sortie. Ainsi, la seconde version a été conçue, d'une part, dans le but d'améliorer la précision de cette quadrature de phase, d'autre part, dans celui de diminuer la consommation totale du système. La figure 4-40 présente un récapitulatif des performances des deux versions testées. Ce tableau donne dans sa partie supérieure les résultats des mesures dans le cas de la génération indirecte de la quadrature de phase tandis que sa partie inférieure est consacrée au cas où la quadrature de phases entre les signaux de sorties est générée directement par le bloc « Oscillateur ».

	DLL avec génération indirecte de la quadrature de phase								
	900 MHz	**1,7 GHz**	**1,8 GHz**	**1,9 GHz**	**2,1 GHz**	**2,4 GHz**	**5,2 GHz**	**5,4 GHz**	**5,8 GHz**
Tension d'alimentation (V)	1,3	1,3	1,3	1,3	1,3	1,3	1,3	1,3	1,3
Consommation (mA)	134	228	241	261	283	333	382	410	395
Puissance du signal de sortie (dBm)	-1,83	-1,33	-1,67	-1,5	-1,17	-1,5	-5,5	-5,5	-19
Bruit de phase @ 10 KHz (dBc/Hz)	-81,5	-75,83	-75,67	-75,17	-74,5	-73,83	-66,83	-66	-66
Déphasage (°)	118,68	114,7	114,66	105,55	101,36	89,8			
	DLL avec génération directe de la quadrature de phase								
	900 MHz	**1,7 GHz**	**1,8 GHz**	**1,9 GHz**	**2,1 GHz**	**2,4 GHz**			
Tension d'alimentation (V)	1	1	1	1	1	1			
Consommation (mA)	57	87	90	94	99	107			
Puissance du signal de sortie (dBm)	-1,33	-2,83	-3	-3,17	-3,17	-3,17			
Bruit de phase @ 10 KHz (dBc/Hz)	-81,33	-76,5	-75,83	-74,83	-74,67	-73,33			
Déphasage (°)	93,6	93,06	93,67	94,05	93,1	93,45			

Figure 4-40 : Récapitulatif des performances des deux circuits réalisés.

L'amélioration de la quadrature de phase est donc réalisée dans le cas de la seconde version. En effet, alors que pour le premier circuit l'erreur était proche de 30°, elle est toujours inférieure à 5°, ce qui est conforme aux exigences usuelles pour les architectures d'émission-réception radiofréquences. De plus, la consommation de la seconde DLL factorisée est très inférieure à la première. Une diminution d'un facteur proche de trois de la consommation de courant a été constatée.

En revanche, la plage de fréquence de travail de la seconde DLL est plus restreinte que la première dans la mesure où les standards de la gamme 5-6 GHz n'ont pas pu être synthétisés.

Par ailleurs, nous notons les mêmes phénomènes de remontée du bruit de phase autour de 20 kHz sur les deux versions. C'est pourquoi, dans le tableau récapitulatif, le bruit de phase est indiqué à un écart de la porteuse égal à 10 kHz. Pour les deux circuits le bruit de phase en sortie suit celui de la référence d'entrée au facteur 20log(N) près, où N est le facteur de multiplication de la boucle, jusqu'à 20 kHz environ.

5.2. Comparaison des performances des circuits en fonction de la technologie

Dans le cadre de ces travaux, la technologie SOI a été retenue notamment pour ses meilleures performances en comparaison avec la technologie bulk massif, en termes de vitesse de fonctionnement des circuits et de puissance consommée par ceux-ci.

La figure 4-41 présente pour les deux circuits réalisés, la fonction de transfert liant la fréquence synthétisée à la tension de contrôle appliquée à l'oscillateur suivant la technologie utilisée. La figure de gauche est relative au système avec génération indirecte de la quadrature de phase. Dans ce cas, la version SOI présente une fréquence de fonctionnement dont la valeur est en moyenne de 20% plus élevée que celle relative à la version bulk. La figure de droite présente les résultats de la DLL avec génération directe de la quadrature de phase des signaux de sortie. La vitesse de fonctionnement de l'oscillateur est, ici, sensiblement la même quelle que soit la technologie utilisée. L'oscillateur choisi dans ce circuit, et décrit au chapitre 3, est très complexe. Il a nécessité notamment, lors du dessin des masques, l'utilisation de nombreux niveaux de métaux. Ainsi, pouvons-nous supposer que la fréquence maximale de fonctionnement de celui-ci est principalement limitée par les capacités parasites de routage. Comme le dessin des masques est rigoureusement le même dans les deux technologies, la fréquence de fonctionnement qui en résulte est alors la même.

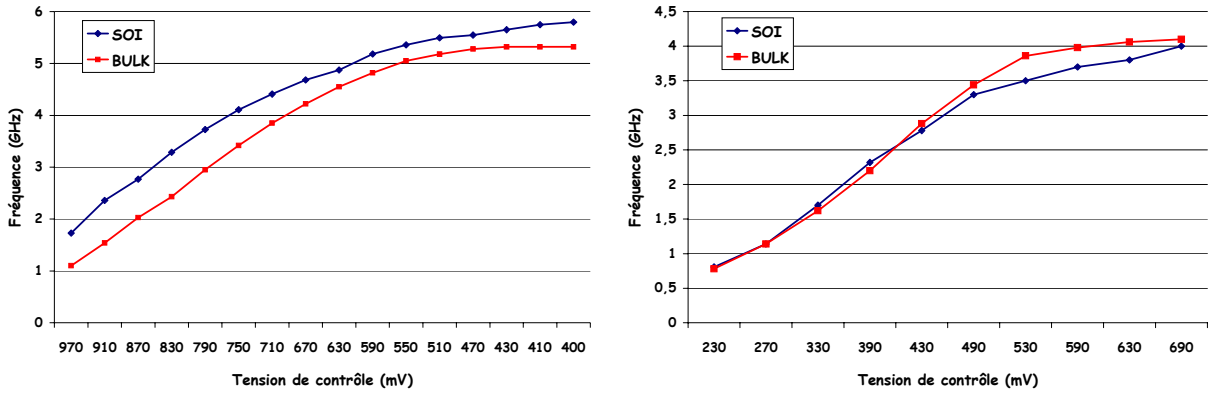


Figure 4-41 : Comparaison des fonctions de transfert liant la fréquence de fonctionnement à la tension de contrôle suivant la technologie retenue.

La figure 4-42 donne le courant consommé par chaque DLL en fonction du standard, pour les deux technologies utilisées. La figure de gauche est relative au système avec génération indirecte de la quadrature de phase. Dans ce cas, la consommation de courant pour la technologie SOI présente une fréquence de fonctionnement dont la valeur est en moyenne de 26% plus élevée que celle relative à la version bulk. Quant au circuit avec génération directe de la quadrature de phase, auquel est relative la figure de droite, la consommation de courant pour la technologie SOI est en moyenne de 18% inférieure à celle du même circuit réalisé en technologie bulk.

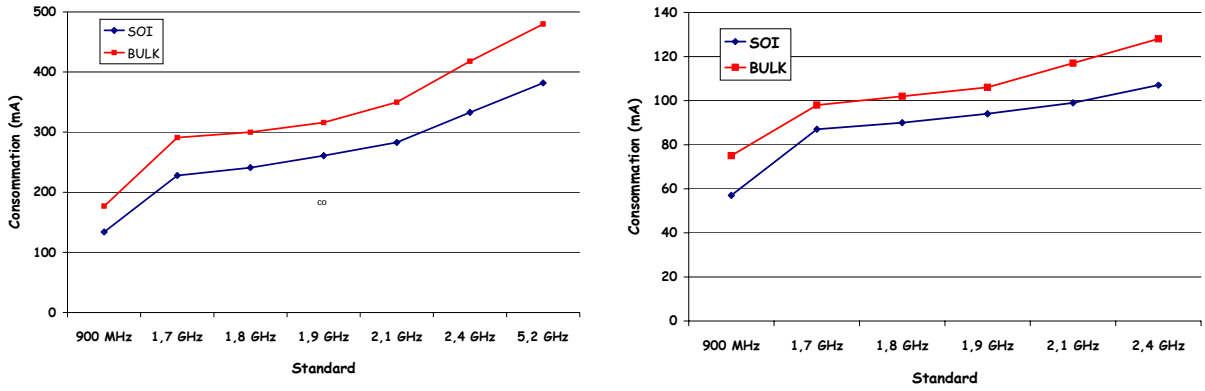


Figure 4-42 : Comparaison de la consommation de courant en fonction de la technologie.

Ainsi, en portant directement un circuit simulé au moyen des modèles de la technologie bulk, sans avoir recours à des techniques de conception spécifiques à la technologie SOI, nous avons observé expérimentalement une amélioration de la vitesse de fonctionnement de l'ordre de 20% ainsi qu'une réduction maximale de la consommation de courant de l'ordre de 26%.

5.3. Perspectives des travaux de thèse

Ces travaux de recherche devraient être poursuivis selon deux axes principaux qui sont, d'une part l'amélioration des performances des circuits réalisés, d'autre part l'évolution de l'architecture et de son spectre d'application.

La première étape serait de corriger les défauts constatés lors de la caractérisation expérimentale de ces premiers prototypes. Ainsi, une nouvelle architecture pour la pompe de charge devrait être développée. Celle-ci devrait fournir des courants de sortie aussi proches que possible en valeur absolue. De plus, il faudrait qu'elle soit mieux adaptée au comparateur de phase et de fréquence. Ainsi, éliminerions-nous les raies parasites structurelles induites par une erreur de phase statique.

Dans un second temps, une recherche sur les architectures au niveau transistor des blocs constitutifs du circuit devrait également être menée afin d'améliorer les performances intrinsèques de ce dernier. Par exemple, afin d'améliorer la réjection du bruit de mode commun comme celui apporté par l'alimentation, une topologie de type différentielle pourrait être adoptée, notamment pour les circuits tampons de sortie. De même, si la remontée du bruit de phase est bel et bien due au bruit de Kink, il faudrait, en technologie SOI, utiliser seulement des transistors à corps connecté pour réaliser la chaîne d'éléments à retard contrôlable en tension.

Par ailleurs, pour le deuxième circuit caractérisé dans ce chapitre, la plage de fréquence de fonctionnement de l'oscillateur devrait être augmentée pour parvenir à synthétiser les fréquences hautes de la bande de travail. Finalement, une attention toute particulière devrait alors être accordée à la consommation du système, notamment pour la DLL factorisée avec génération de la quadrature de phase par division par deux de la fréquence des signaux de sortie, en vue d'une intégration de celle-ci comme oscillateur local d'un système de radiocommunication portable.

D'autres travaux pourraient également être menés à propos de l'architecture. En effet, la solution retenue qui consiste à utiliser deux oscillateurs travaillant en alternance assure le

fonctionnement inconditionnel en mode DLL au prix d'une augmentation de la consommation de silicium. Aussi le développement d'une architecture comportant un oscillateur est-il le principal point à améliorer dans le but d'optimiser la taille du circuit.

Par ailleurs, le circuit utilise un facteur de multiplication qui est fixe. Une étude pourrait être conduite quant au comportement de la boucle lorsque l'ordre de multiplication varie grâce à un modulateur sigma-delta, comme c'est le cas pour une boucle à verrouillage de phase fractionnaire.

Enfin, la largeur importante de la gamme de fréquences de travail offre la possibilité d'adapter la DLL factorisée de manière à ce qu'elle constitue un générateur d'impulsions Ultra Wide Band (UWB). En effet, en combinant la technique de sommation de signaux DOD, avec une architecture capable de synthétiser des signaux à hate fréquence, nous pourrions reconstituer des impulsions très courte de type demi-gaussienne en marche d'escalier comme décrit au chapitre 1 et générer ainsi les impulsons UWB par filtrage de ces pseudo-impulsions.

6. CONCLUSION

Dans ce chapitre, nous avons présenté les résultats de mesure relatifs aux deux circuits réalisés. Tout d'abord, nous avons décrit les conditions de test, notamment la carte de test et le banc de mesure.

Puis, nous avons caractérisé la boucle à verrouillage de délai factorisée avec génération indirecte de la quadrature grâce à des mesures temporelles et fréquentielles. Ainsi, les formes d'onde des signaux de sortie ont été étudiées. L'erreur de quadrature de phase qui augmente lorsque la fréquence décroît a été constatée, ce qui est conforme aux simulations. Nous nous sommes alors intéressés à la réponse du système induite par un changement du facteur de multiplication de la boucle. Cette étape a mis en évidence la présence de pôles non pris en compte dans les simulations précédentes qui ont pour conséquence majeure de ralentir la dynamique de la boucle et de créer une instabilité, là où théoriquement le système ne devrait pas l'être.

Ensuite, nous avons analysé le comportement fréquentiel du circuit. Le spectre du signal de sortie a, en premier lieu, été présenté au voisinage de la porteuse. Puis, l'agrandissement de la fenêtre d'observation a permis de constater la présence de raies parasites structurelles dont la puissance est élevée. Nous avons alors eu recours à des rétro-simulations de type comportementale afin de déterminer l'origine vraisemblable de ces raies. Une fois ces simulations réalisées, l'observation d'une trame de signaux sur une période de référence a permis d'en déduire qu'une erreur de phase statique était à l'origine de ces raies. L'observation plus fine de cette trame nous fait supposer que cette erreur est générée par la pompe de charge. Puis, nous avons analysé le bruit de phase de la DLL factorisée. Celle-ci pour chaque standard suit correctement la référence jusqu'aux environs de 20 kHz. Nous assistons alors à une remontée du bruit de phase au-delà de cette limite. Des investigations ont alors été menées afin de déterminer l'origine de cette remontée qui semblerait être une limitation de la bande passante du système. Les investigations fondées sur une modulation d'amplitude du signal de référence et une observation du spectre du signal de sortie n'ont pas permis de déterminer cette bande passante. Néanmoins, la bande passante du système ne semble pas être fixée par le filtre de boucle mais par un pôle généré par des éléments parasites dont nous n'avons pu déterminer l'origine avec exactitude. Par ailleurs, la décroissance du

bruit hors de la bande passante ne correspondait pas à celle de l'oscillateur non asservi simulé. Nous avons émis alors l'hypothèse que ce bruit serait une spécificité du SOI, à savoir le bruit de Kink. Ce dernier est un bruit basse fréquence qui se superpose au bruit de flicker. Cette hypothèse semble être corroborée par la forme du bruit observé et notamment sa décroissance à raison de -20 dB par décade, là où le bruit de phase de l'oscillateur décroît selon une pente de -30 dB par décade.

Les mêmes investigations expérimentales ont alors été conduites sur la deuxième version de la DLL factorisée. Nous avons pu relever que les améliorations, pour lesquelles cette seconde version a été conçue, sont obtenues. Notamment, l'erreur de quadrature de phase est toujours inférieure à 5°. De plus, on constate une diminution d'un facteur environ trois de la puissance dissipée par le circuit, à standard généré équivalent. En revanche, la gamme de fréquences de sortie est plus restreinte que celle souhaitée, et nous avons toujours la présence de raies parasites structurelles ainsi que la même remontée du bruit de phase aux alentours de 20 kHz.

Le circuit ayant été simulé au moyen des modèles de la technologie 130nm bulk de STMicroelectronics, nous avons également réalisé ces deux circuits dans cette technologie. Les circuits ont alors été portés directement en utilisant le même dessin des masques. Les mêmes procédures de mesure ont alors été appliquées à chacun de ces deux derniers en utilisant rigoureusement les mêmes cartes et bancs de test. Elles ont permis notamment de confirmer l'hypothèse émise précédemment, selon laquelle la remontée du bruit de phase est liée à un phénomène propre de la technologie SOI : le bruit de Kink.

Nous avons alors conclu ce chapitre par une comparaison récapitulative des deux versions de ce circuit réalisé en technologie SOI. Puis, une comparaison des performances de chaque circuit en fonction de la technologie a permis d'observer une amélioration de la vitesse de fonctionnement de l'ordre de 20% ainsi qu'une réduction maximale de la consommation de courant de l'ordre de 26% en faveur de la technologie. Enfin une proposition de futurs axes de recherche qui devraient être suivis en vue d'améliorer les performances de ce circuit et son champ d'application a été donnée. En conclusion, la faisabilité d'un générateur de fréquences totalement intégrable et paramétrable sur une gamme de fréquences étendue a été démontré dans ce chapitre.

REFERENCE DU CHAPITRE 4

[ENG05-1] Engelstein A., *« Etude des Potentialités des Technologies CMOS/SOI pour la Synthèse de Fréquence à 10 GHz sous Faible Tension »*, chapitre 1 : Les technologies CMOS SOI et silicium massif sub-micronique pour les applications RF, thèse, Institut National Polytechnique de Grenoble, 2005.

[FAC98-1] Faccio F., Anghinolfi F., Heijne E.H.M, Jaron P., Cristoloveanu S., *« Noise Contribution of the Body Resistance in Partially Depleted SOI MOSFETs »*, IEEE transactions on electron devices, vol.45, n°5, 1998.

CONCLUSION GENERALE

Ces travaux de thèse ont permis l'étude, la réalisation et la caractérisation d'un synthétiseur de fréquence pour objets communicants multistandards en technologie CMOS SOI 130 nm. Ce circuit, construit autour d'une boucle à verrouillage de délai dite factorisée, est totalement intégrable. Il fournit, à partir d'un signal de référence de 50 MHz, deux signaux de sortie en quadrature de phase dont la fréquence varie entre 900 MHz et 6 GHz.

Ce manuscrit débute par la description des différents standards qui peuplent la bande de fréquences de travail. La présentation de leur grand nombre ainsi que de leur diversité a mis en avant la nécessité de développer une architecture nouvelle, capable de travailler avec toutes ces normes, étape obligatoire dans la course à l'intégration. La solution idéale répondant aux exigences d'intégration et de compatibilité avec les standards de communication serait de développer un système radio universel multiservice, multistandard, multibande, reconfigurable et reprogrammable qui tiendrait compte de l'évolution des normes par la reconfiguration des terminaux par logiciel. Malheureusement, une telle architecture n'est pas encore technologiquement réalisable. La solution intermédiaire repose sur l'adaptation des performances de chaque élément d'une chaîne d'émission-réception en fonction de l'application visée. Cette méthode revient à rendre reconfigurable chaque élément de la chaîne, notamment l'oscillateur local qui doit être capable de générer toutes les fréquences. Afin de déterminer la structure du synthétiseur de fréquence répondant à cet impératif, une étude des architectures traditionnellement utilisées a été réalisée dans ce chapitre. Cette dernière a mis en avant la boucle à verrouillage de délai comme étant l'architecture la mieux adaptée pour répondre à nos contraintes. La fin de ce premier chapitre

a été consacrée à la description de la technologie utilisée. En effet, la technologie de substrat sur isolant (SOI) n'est pas encore couramment utilisée pour concevoir des systèmes radiofréquences. Ce paragraphe a mis en avant les propriétés remarquables de cette technologie liées notamment à la présence d'un oxyde enterré et la non-polarisation du corps du transistor dont le concepteur devra tenir compte lors de la réalisation de circuit.

Le deuxième chapitre de ce manuscrit a été consacré à la détermination de l'architecture du synthétiseur de fréquence multistandard. En effet, dans le chapitre précédent, l'architecture à base de boucle à verrouillage de délai s'est imposée comme étant la plus favorable pour nos travaux à condition de pouvoir être reprogrammable. Une étude des systèmes reprogrammables conçus autour d'une DLL a donc été conduite et a mis en avant les limites des techniques employées par ces circuits en haute fréquence. La considération du grand nombre de transistors utiles pour réaliser le système ainsi que les longs temps de simulations qui y seraient associés nous ont orientés vers une méthodologie de conception descendante pour déterminer l'architecture système. Ainsi, la première étape fut d'avoir recours à une simulation comportementale de celui-ci. Le langage retenu est le VHDL-AMS qui permet la simulation de systèmes mixtes analogiques-numériques. L'originalité d'une DLL est d'annuler périodiquement la gigue temporelle à chaque nouveau cycle de l'horloge de référence. Nous avons donc, en premier lieu, déterminé l'architecture du cœur du circuit, là où l'oscillation se crée. La solution retenue met en en oeuvre une technique basée sur le dédoublement du cœur du circuit et un fonctionnement en alternance de ces deux blocs. Puis, chaque bloc constitutif du circuit a été décrit et simulé, avant d'être tous associés et de simuler le système complet. Ainsi, la fonctionnalité du système d'un point de vue comportemental a pu être certifiée, notamment, son caractère reprogrammable, son fonctionnement en mode DLL et son comportement du type premier ordre inconditionnellement stable. Par ailleurs, ce dernier point conclut ce chapitre par l'étude linéaire de la stabilité de la boucle.

L'étape suivante dans le flot de conception descendante est la réalisation au niveau transistor de l'architecture. Cette dernière est l'objet du troisième chapitre. Ainsi chaque bloc a été simulé à l'aide du logiciel Cadence et du simulateur SpectreRF basé sur les modèles de la technologie 130 nm Bulk de STMicroelectronics. Cette étape a permis de détecter une limitation en haute fréquence du bloc d'entrée du compteur, un diviseur par deux de fréquence, et nous a amené à modifier l'architecture définie au chapitre précédent de la chaîne d'éléments à retard ainsi que celle du bloc de sortie. Pour le premier, il a fallu limiter la fréquence maximale d'oscillation de celui-ci afin qu'elle soit toujours inférieure à la fréquence maximale de travail du compteur pour éviter un mauvais verrouillage du système. Pour le second, il a été rajouté une voie supplémentaire dont la fréquence de travail est identique à celle des signaux synthétisés au cœur du circuit afin de permettre l'observation des signaux pour les standards de la gamme 5-6 GHz. Tous ces blocs furent alors simulés et assemblés. Une étude temporelle et fréquentielle du comportement de la boucle pour les deux standards extrêmes de la bande de fréquence de travail a permis de valider la fonctionnalité du circuit au niveau transistor. De même qu'une étude du comportement de la boucle lors d'un changement de facteur de multiplication du système a confirmé, de nouveau, la stabilité inconditionnelle du circuit. Nous avons alors réalisé le dessin des masques de ce dernier. Mais, lors de la conception précédente, il était apparu que deux points pouvaient être améliorés : l'erreur de quadrature de phase et la consommation globale du système. Pour améliorer ces points, nous avons alors réalisé une seconde boucle à verrouillage de délai factorisée. La différence principale réside au niveau de la ligne d'éléments à retard contrôlable. En effet, la nouvelle version génère directement la quadrature de phase des signaux de sortie au niveau de cette chaîne. Ainsi, il est n'est plus nécessaire de générer une fréquence double au niveau du cœur du système, ce qui diminue la consommation du circuit.

Le bloc « Sortie » a donc été également modifié, puisqu'il n'a plus besoin de générer la quadrature de phase. La réalisation de cette seconde version fut l'objet de la fin de ce chapitre.

Le dernier chapitre présente la caractérisation des deux boucles à verrouillage de délai factorisées. Après avoir présenté le contexte expérimental, nous nous sommes consacrés aux mesures du premier circuit, au sein duquel la quadrature de phase des signaux de sortie est générée en divisant par deux la fréquence du signal synthétisé. Ces mesures se divisent en deux catégories, d'une part les temporelles, d'autres part les fréquentielles. La gamme de fréquence de travail s'est révélée plus grande que prévu et s'étale de 900 MHz à 5,8 GHz. En revanche, les limitations de la précision de la quadrature de phase en fonction de la fréquence synthétisée ont bien été vérifiées. Par ailleurs, l'étude de la réponse du système lors d'un changement de standard a montré l'existence d'un pôle parasite non prévu initialement, qui a pour conséquence majeure de ralentir la dynamique de la boucle et de créer une instabilité là où théoriquement le système ne l'était pas. La présence de se dernier semble être confirmé lors des mesures fréquentielles. En effet, une étude sur le bruit de phase en sortie du système a montré une bonne suivie du bruit de la consigne seulement jusqu'aux environs de 20 kHz. Divers tests ont alors été effectués pour déterminer l'origine de cette remontée, et notamment afin de d'estimer l'étendue de la bande passante. Nous en sommes alors arrivés à la conclusion qu'elle ne semble pas être déterminée par le filtre de boucle mais par un pôle généré par des éléments parasites dont nous n'avons pu trouver l'origine. Par ailleurs, la décroissance du bruit hors de la bande passante ne correspondait pas à celle de l'oscillateur non asservi simulé. Il semblerait que ce bruit soit une spécificité du SOI, à savoir le bruit de Kink. Par ailleurs, l'étude des spectres des signaux de sortie a mis en avant la présence de raies parasites structurelles produites par la boucle. Des rétro-simulations comportementales sur le système, en incorporant à notre modèle de nombreuses imperfections ont permis de localiser la cause de ces imperfections : une erreur de phase statique. Une observation temporelle d'une trame de signaux de sortie de durée égale à la période du signal de référence nous laisse à penser que la pompe de charge serait à l'origine de cette erreur de phase. Puis, nous avons procédé à des tests similaires pour la seconde version de la DLL factorisée au sein de laquelle la quadrature de phase des signaux est générée par la chaîne d'éléments à retard contrôlable. Cette version a présenté une bande de fréquence de travail plus restreinte que celle souhaitée puisque les normes de la gamme 5-6 GHz n'ont pas été réalisées. En revanche, une norme plus basse en fréquence, le 900 MHz a été, une nouvelle fois, atteinte. Les tests fréquentiels ont de nouveau montré ce que nous interprétons comme étant un pôle dominant qui limite la bande passante du système. En revanche, les objectifs qui ont motivé la conception de cette seconde version sont atteints. En effet, la précision quant à la quadrature de phase entre les signaux de sortie est désormais inférieure à 5° qui est la limite usuellement fixée par les systèmes d'émission-réception radiofréquences. De plus, une diminution d'un facteur proche de trois de la consommation de courant a été constatée pour la seconde version de la DLL factorisée. Les circuits ayant été simulés au moyen des modèles de la technologie 130nm bulk de STMicroelectronics, nous avons également réalisé ces deux derniers dans cette technologie. Ces circuits ont été portés directement en utilisant le même dessin des masques. Les mêmes mesures ont alors été appliquées à chacun de ces deux derniers en utilisant rigoureusement les mêmes cartes et bancs de test. Elles ont permis notamment de confirmer l'hypothèse émise précédemment, selon laquelle la remontée du bruit de phase est liée à un phénomène propre de la technologie SOI : le bruit de Kink. Ces mesures ont également démontré une amélioration de la vitesse de fonctionnement de l'ordre de 20%, ainsi qu'une réduction de la consommation de courant au maximum de l'ordre de 26% pour la technologie SOI par rapport à son homologue bulk.

En conclusion, ces travaux de thèse ont permis de démontrer la faisabilité d'un synthétiseur de fréquence reprogrammable, totalement intégrable et travaillant sur une large bande de fréquence. Ce circuit a été réalisé à l'aide de la technologie CMOS SOI 130 nm de STMicroelectronics. Ainsi, ces travaux ont contribué au développement de cette technologie pour ce fondeur en démontrant, d'une part que cette dernière pouvait être utilisée pour de la synthèse de fréquence, d'autre part en permettant par sa caractérisation de contribuer au développement de modèles plus approfondis. Par ailleurs, les imperfections détectées lors de la caractérisation des deux circuits réalisés ainsi que les recherches menées pour déterminer l'origine de celles-ci ont permis de mettre en avant les points critiques qui nécessitent une attention toute particulière lors de la conception d'un circuit de ce type. Dans le cadre du prolongement de ces travaux de recherche, une nouvelle version des circuits devrait être réalisée en concevant notamment une nouvelle pompe de charge, et de préférence en utilisant des modèles adéquats ainsi qu'un extracteur d'éléments parasites afin de bien modéliser le circuit. Ainsi, ce circuit, en raison de son architecture semi-numérique, pourrait à terme devenir un synthétiseur de fréquence large bande de type IP (« Intellectual Property »), portable directement d'une technologie à l'autre. Enfin, l'utilisation des techniques de sommation DOD conjuguée à l'aptitude du système à couvrir une grande plage de fréquence permettrait de convertir ce synthétiseur de fréquence en un générateur d'impulsions très sophistiqué pour les applications Ultra Wide Band, et ainsi d'élargir le spectre des applications possibles de ce système.

PRODUCTION SCIENTIFIQUE

Communications internationales avec Comité de Lecture et Actes (4)

[Cint1] **C. Majek**, N. Deltimple, H. Lapuyade, J.-B. Bégueret, E. Kerhervé et Y. Deval, « *A 2-6 GHz CMOS Factorial Delay Locked Loop Dedicated to Multi-Standard Frequency Synthesis* », Proceedings of the IEEE International Symposium on Industrial Electronics ISIE2004, pp. 157-161, Ajaccio, Corse, 5-7 Mai 2004.

[Cint2] **C. Majek**, N. Deltimple, H. Lapuyade, J.-B. Bégueret, E. Kerhervé et Y. Deval, « *A Programmable CMOS RF Frequency Synthesizer for Multi-standard Wireless Applications* », Proceedings of the 2nd annual IEEE Northeast Workshop on Circuits and Systems (NEWCAS2004), pp. 289-292, Montreal, Canada, 20-23 Juin 2004.

[Cint3] N. Deltimple, **C. Majek**, H. Lapuyade, J.-B. Bégueret, E. Kerhervé et Y. Deval, « *Synthétiseur de Fréquence à base de DLL Factorisée pour application HiperLAN* », Actes du colloque TELECOM'2003 & 3èmes JFMMA, pp. 330-333, Marrakech, Maroc 15-17 Octobre 2003.

[Cint4] N. Deltimple, **C. Majek**, H. Lapuyade, J.-B. Bégueret, E. Kerhervé et Y. Deval, « *The Factorial DLL : Application to a 5 GHz Frequency Synthesizer* », IEEE Proceedings of Design of Circuits and Integrated Systems (DCIS2003), pp. 192-196, Ciudad Real, Espagne, 19-21 Novembre 2003.

[Cint5] Y.Deval, O. Mazouffre, **C. Majek**, H. Lapuyade, T. Taris, et J-B. Bégueret, « *Disruptive Design Solutions for Frequency Generation in Silicon RFIC* », IEEE international Workshop on Radio Frequency Integration Technology, pp. 97-100, 30 novembre-2 Décembre 2005, Singapore, Papier Invité.

Workshops Européens (2)

[Work1] J-B. Bégueret, **C. Majek**, Y. Deval, « *Multi-standard DLL and CDR Circuits in SOI Technology* », MEDEA+ T206 SOI Workshop, 25-26 Novembre 2004, Crolles, France.

[Work2] **C. Majek,** J-B. Bégueret, « *Multi-standard DLL* », MEDEA+ T206 SOI Workshop, 4-5 Avril 2006, Crolles, France.

Ces travaux portent sur l'étude et la réalisation d'un synthétiseur de fréquence pour objets communicants multistandards. A partir d'une horloge de référence de 50 MHz, le circuit fournit deux signaux de sortie en quadrature de phase dont la plage de fréquences de travail varie de manière continue entre 900 MHz et 5,8 GHz. Il est construit à partir d'une architecture originale de boucle à verrouillage de délai reprogrammable dite factorisée.
Le flot de conception adopté suit une méthodologie de type descendante. Aussi la première étape est-elle la détermination de l'architecture en ayant recours à une étude comportementale. Cette dernière se réalise au moyen du langage VHDL-AMS et du logiciel ADVanceMS de Mentor Graphics. Puis, vient alors la phase de conception qui s'effectue à partir du logiciel Cadence et du simulateur SpectreRF. Celle-ci conduit à la réalisation de deux versions du système qui diffèrent dans la technique utilisée pour générer la quadrature de phase. L'une génère celle-ci de manière indirecte en divisant par deux la fréquence du signal synthétisé, l'autre crée le déphasage directement au niveau de sa ligne de retard. Ces circuits sont réalisés à l'aide des technologies 130nm CMOS SOI et BULK de STMicroelectronics. La dernière étape consiste donc en la caractérisation de ces circuits par des mesures temporelles et fréquentielles. Celles-ci permettent, d'une part de valider la fonctionnalité de l'architecture présentée dans ces travaux, d'autre part de confirmer l'apport de la technologie SOI pour les circuits radiofréquences en termes d'augmentation de la fréquence de fonctionnement de ces derniers et de diminution de leur consommation.

Mots clés : Synthèse de fréquence multistandard, boucle à verrouillage de délai, technologie Silicium sur isolant (SOI), conception et mesures de circuits.

This work deals with the study and the realization of a multistandard frequency synthesizer dedicated to wireless system. From a 50 MHz reference clock, the circuit provides two output signals in quadrature phase whose working frequency varies, in a continuous way, between 900 MHz and 5.8 GHz. It is built with an original architecture of reprogrammable Delay Locked Loop known as factorial DLL. The methodology of design adopted is the Down-Up one. So the first stage is the architecture's determination by having recourse to a behavioral study which uses VHDL-AMS language and ADVanceMS software from Mentor Graphics. Then, the next step consists in the design phase which uses Cadence software and SpectreRF simulator. It leads to the realization of two versions of the system which differ in the technique used to generate the quadrature phase. One generates it in an indirect way while dividing by two the synthesized signal frequency, the other creates dephasing directly on its delay line. These circuits were realized using 130nm CMOS SOI and BULK technologies from STMicroelectronics. The last stage consists of the characterization of these circuits. Thus, temporal and frequential measurements are then carried out. Those allow, on the one hand, to validate the functionality of the architecture presented in this work, and, on the other hand, to confirm the contribution of SOI technology dedicated to radiofrequency circuits in terms of operation frequency increase and power consumption reduction.

Keywords: Multistandard frequency synthesis, delay locked loop, Silicon On Insulator (SOI) technology, Circuits design and tests.