



Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant

Radoslava Mitova

► To cite this version:

Radoslava Mitova. Intégration de l'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant. Autre. Institut National Polytechnique de Grenoble - INPG, 2005. Français. NNT: . tel-00011937

HAL Id: tel-00011937

<https://theses.hal.science/tel-00011937>

Submitted on 13 Mar 2006

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THESE

pour obtenir le grade de

DOCTEUR DE L'INPG

Spécialité : « Génie électrique »

préparée au Laboratoire d'Electrotechnique de Grenoble (LEG)
dans le cadre de l'Ecole Doctorale « E.E.A.T.S. »
présentée et soutenue publiquement

par

Radoslava MITOVA

Ingénieur UTS (Sofia)

le 27 Octobre 2005

Titre :

**Intégration de l'alimentation de la commande
rapprochée d'un interrupteur de puissance à
potentiel flottant**

Directeur de thèse : Christian Schaeffer

Jury

Mme Nadine Guillemot

M. Jean-Louis Sanchez

M. Stéphane Lefebvre

M. Christian Schaeffer

M. Jean-Christophe Crébier

M. Laurent Aubard

Présidente

Rapporteur

Rapporteur

Directeur de thèse

Co-encadrant

Co-encadrant

Remerciements :

Enfin, le moment des remerciements est arrivé, peut être un des meilleurs moments d'une thèse.

Tout d'abord, merci aux membres de l'équipe électronique de puissance du Laboratoire d'Electrotechnique de Grenoble qui m'ont accueilli et plus particulièrement à M. Robert Perret. Je voudrais remercier M. Christian Schaeffer directeur de cette thèse, qui de par ses relations avec l'Université Technique de Sofia (UTS) m'a permis (ainsi qu'à mes collègues de l'UTS) de découvrir le LEG à travers un stage, et qui m'a proposé ce sujet de thèse.

Je continue les remerciements avec mes deux autres encadrants MM. Jean-Christophe Crébier et Laurent Aubard pour leurs attentions quotidiennes.

Je tiens à exprimer mes sincères remerciements à MM. Jean-Louis Sanchez et Stéphane Lefebvre pour l'honneur qu'ils m'ont fait d'accepter d'être rapporteurs de ce travail de thèse et pour les nombreuses critiques constructives qu'ils ont émis. Merci aussi à Mme Nadine Guillemot d'avoir présidé la soutenance de la thèse.

Merci également à toutes les personnes qui assurent le bon fonctionnement du laboratoire, la direction, les personnels administratifs et techniques ainsi que les enseignants.

Je pense aussi à M. Jacques Arnould qui malheureusement n'est plus parmi nous et qui a aidé avec ses conseils et son expérience pour les prototypes réalisés pendant cette thèse.

Enfin, je tiens à terminer par les jeunes chercheurs du laboratoire pour leur soutien, leur aide, leur amitié et les bons moments que l'on a passé ensemble. Je pense en particulier aux membres de l'équipe électronique de puissance et aux utilisateurs de la salle EPTE : d'abord les anciens Martin, Guillaume V., Yvan, Jimmy, Ludo, Raph, Seb, le monsieur CEM Beber, Goubs (tenant la recette secrète de la vodka caramel), Damien, Hervé et les plus jeunes : Kiki (le chasseur), Frank, Alex (il faut arrêter de manger autant !!!), Benj, Xav (ton progrès en bulgare est impressionnant) et bien sur tous les membre de l'invasion bulgare au LEG : Maryia, Nathalyia, Max, Diana, Delcho, Vanya, Lora.

Merci à tous pour les bons moments qu'on a partagé ensemble.

Enfin un merci particulier à ma famille pour m'avoir motivée, encouragée, et soutenue durant l'ensemble de mes études. Mon dernier merci est pour PO, merci d'avoir été à côté de moi pendant toutes ces années.

Sommaire

CHAPITRE 1 : Les techniques d'alimentation de la commande rapprochée d'un interrupteur de puissance à potentiel flottant.....	17
I. L'intégration en électronique de puissance.....	19
I.1. L'intégration hybride.....	21
I.2. L'intégration monolithique.....	23
I.3. L'Intégration des composants passifs.....	25
II. Principe de l'auto alimentation pour le « high-side switch » - Présentation de la problématique du « high-side switch ».....	26
II.1. Présentation du principe.....	26
II.2. Techniques de la réalisation de la commande de « high-side switch ».....	28
II.2.a. Transformateurs d'impulsion.....	28
II.2.b. Bootstrap.....	29
II.2.c. Pompe à charge.....	30
II.2.d. L'auto - alimentation.....	31
III. Les topologies de l'auto-alimentation.....	34
III.1. Solution MOSFET/MOSFET.....	34
III.1.a. Comportement dynamique.....	35
III.1.b. Validation expérimentale.....	39
III.1.c. Performances.....	42
III.1.d. Limites de fonctionnement.....	43
III.1.e. Estimation des pertes.....	47
III.2. Solution MOSFET/JFET.....	52
III.2.a. Présentation de la topologie.....	52
III.2.b. Simulation de la topologie.....	53
III.2.c. Intégration de la solution d'auto-alimentation.....	57
III.3. L'intégration de la solution MOSFET/MOSFET.....	59
III.4. Validation expérimentale.....	60
CHAPITRE 2 : Conception et réalisation technologique du transistor MOSFET de puissance.....	69
I. Structure du MOSFET de puissance.....	72
I.1. Principe de fonctionnement du MOSFET de puissance vertical.....	73
I.2. La capacité MOS.....	73
I.3. Le canal du MOSFET de puissance.....	75

I.4. Caractéristiques électriques en régime statique	75
I.5. Fonctionnement en régime dynamique du MOSFET	77
I.6. Comportement en commutation, approche dynamique en 7 phases	80
I.7. Paramètres critiques du MOSFET à optimiser	82
I.7.a. Tension de seuil du MOSFET	82
I.7.b. Résistance à l'état passant $R_{DS(on)}$	84
I.7.c. Tenue en tension du MOSFET	86
II. Conception du MOSFET pour l'application de l'auto-alimentation	88
II.1. Cahier des charges	89
II.2. Paramètres physiques et géométriques de MOSFET	90
II.3. Paramètres physiques du MOSFET	91
II.3.a. Choix des caractéristiques du substrat de silicium	91
II.3.b. L'épaisseur de l'oxyde de grille	92
II.3.c. L'électrode de la grille	93
II.3.d. Caractéristiques physiques et électriques du porte-canal	93
II.3.e. Contact et court-circuit source-porte-canal	96
II.3.f. Optimisation de l'espace intercellulaire	98
II.4. Incidence des caractéristiques électriques d'entrée sur la structure du MOSFET	102
II.5. Dimensions principales d'une cellule élémentaire du MOSFET	105
II.6. Dimensionnement des terminaisons de tenue en tension	106
II.7. Dimensions principales des cellules élémentaires	108
II.8. Optimisation de la surface active	109
II.9. Présentation du diagramme de cheminement du MOSFET double diffusé	113
II.10. Présentation des motifs de MOSFET	115
III. Optimisation du procédé de fabrication	117
III.1. Dopage P+ du porte-canal	117
III.2. Dopage P- du porte-canal	119
III.3. Dopage de la source	120
III.4. Résultats de contrôle du procédé de fabrication	122
III.5. Résultats de mesures des composants fabriqués	123
III.6. Caractérisation électrique – paramètres statiques	123
III.7. Composants MOSFET/MOSFET	126
III.8. Etude des joints de fonction	126

III.9. Dimensions principales du composant MOSFET-MOSFET	130
III.9.a. Dessin du composant MOSFET/MOSFET	131
III.9.b. Mesures et tests	132
CHAPITRE 3 : La topologie d'auto-alimentation avec un JFET vertical de puissance	139
I. La fonction d'auto-alimentation utilisant le JFET vertical	142
I.1. Le JFET, caractéristiques électriques	142
I.2. Le JFET vertical de puissance	144
I.2.a. Structures du JFET vertical de puissance	144
I.2.b. Caractéristiques électriques de sortie du JFET vertical de puissance	147
I.2.c. Formules analytiques pour le fonctionnement du JFET vertical en mode penthode	148
I.2.d. JFET vertical de puissance en mode triode	150
I.3. Réalisation technologique du JFET vertical	153
II. Conception du JFET	157
II.1. Modélisation de la structure élémentaire du JFET	158
II.1.a. Modèles basés sur les caractéristiques électriques du JFET vertical	158
II.1.b. Simulations par éléments finis	161
II.2. Dopage des grilles	163
II.3. Optimisation du seuil de pincement du JFET vertical	165
II.3.a. Modèle empirique d'Adler	165
II.3.b. Modèle BULCEA	167
II.3.c. Tentative d'amélioration du modèle JFET	175
II.3.d. Principe de l'approche analytique	176
II.4. Mise en oeuvre de l'approche analytique développée pour la conception du JFET vertical	182
II.4.a. Largeur de la zone de source du JFET	184
II.4.b. Optimisation des amenées du courant de source	186
II.5. Dessin complet du JFET vertical	189
II.5.a. Variantes des structures du JFET	190
II.5.b. Layout de la zone active du JFET	191
II.6. Dessin des masques	192
II.7. Les MOSFET/JFET	192
II.8. Résultats de mesure des composants réalisés	193
Bibliographie	197

Annexe I. Diagramme de cheminement pour la réalisation d'un MOSFET avec les éléments de la commande rapprochée.....	205
Annexe II. Approche dynamique en 7 phases pour le MOSFET en commutation.....	215
Annexe III. Masques pour la réalisation du JFET	221

Constantes physiques

K	Constante de Boltzman	$1,38.10^{-23} \text{ J.K}^{-1}$
q	Charge de l'électron	$1,6.10^{-19} \text{ C}$
ϵ_0	Permittivité diélectrique du vide	$8,85.10^{-14} \text{ F.cm}^{-1}$

Constantes du silicium

ϵ_{Si}	Constante diélectrique relative du silicium	11,9
ϵ_{Si}	Constante diélectrique du silicium	$10^{-12} \text{ F.cm}^{-2}$
ni	Concentration intrinsèque à l'équilibre (T=300K)	$1,26.10^{10} \text{ cm}^{-3}$
v_{sat}	Vitesse de déplacement limite des électrons dans le silicium	10^7 cm.s^{-1}
E_0	Champ électrique singulier atteint pour $v = v_{\text{sat}}$	7000 V.cm^{-1}
μ_{no}	Mobilité des électrons maximale à E_0 (T=300 K)	$1420 \text{ cm}^2.\text{V}^{-1}.\text{cm}^{-1}$
μ_{p0}	Mobilité des trous maximale à E_0 (T=300 K)	$480 \text{ cm}^2.\text{V}^{-1}.\text{cm}^{-1}$
μ_{ns}	Mobilité des électrons en surface	$600 \text{ cm}^2.\text{V}^{-1}.\text{cm}^{-1}$
E	Champ électrique	V.cm^{-1}

Constantes de l'oxyde de silicium

ϵ_{SiO_2}	Constante diélectrique de l'oxyde	$0,35.10^{-12} \text{ F.cm}^{-1}$
$\epsilon_{\text{SiO}_2\text{r}}$	Constante diélectrique relative de l'oxyde	3,9
E_{MAXSiO_2}	Champ électrique maximal dans l'oxyde de silicium	3MV.cm^{-1}

Nomenclature des variables et des symboles utilisés

α	Rapport cyclique	
2a	Largeur de canal du JFET	μm
C_{GS}	Capacité grille-source	pF
C_{DS}	Capacité drain-source	pF
C_{GD}	Capacité grille-drain	pF
$D_{\text{p,n}}$	Coefficient de diffusion des électrons et des trous	$\text{cm}^2.\text{s}^{-1}$
e_v	Epaisseur du substrat de tenue en tension d'un MOSFET	μm
$e_{\text{ox}}, e_{\text{SiO}_2}$	Epaisseur d'oxyde thermique	μm
e_{Grille}	épaisseur de la grille en silicium polycristallin	μm

F	Fréquence	Hz
Φ, ϕ	Tension de diffusion	V
ϕ_{ms}	Travail de sortie métal-silicium	V
ϕ_{min}	Potentiel minimal dans le canal du JFET	V
ϕ_G	Potentiel de grille	V
ϕ_{BO}, ϕ_0	Tensions de seuil entre la source et le canal et entre la grille et le canal dans un JFET	V
G	Gain de pincement du JFET	V
G_{canal}	Conductance du canal du JFET	S
I_{DS}	Courant drain-source	A
I_{canal}, I_{MOS}	Courant dans le MOSFET, JFET	A
J_0	Densité maximale de courant dans le silicium en régime atteinte pour $v=v_{sat}$	A.cm ⁻²
L_{canal}	Longueur du canal d'un MOSFET	μm
$L_{intercell}$	Distance intercellulaire	μm
L_{cell}	Largeur du motif élémentaire d'un MOSFET, JFET	μm
L_p	Largeur de la zone de contact entre l'aluminium et le porte-canal	μm
L_{p+}	Largeur du caisson de court-circuit dopé P+	μm
L_N	Largeur de la zone de contact entre l'aluminium et de la source d'un MOSFET	μm
L_{CONTG}, L_{CONTS}	Largeur de l'ouverture de contact sur la grille et sur la source d'un MOSFET	μm
$L_{gravure}$	Largeur de la gravure entre deux contacts	μm
LargeurG, LargeurG_JFET,	Largeur de l'amené de courant principale de la grille sur le layout du MOSFET, JFET	μm
LargeurS, LargeurS_JFET	Largeur de l'amené de courant principale de la source sur le layout du MOSFET, JFET	μm
LargeurdoigtS	Largeur d'un doigt de la source d'un MOSFET, JFET	μm

Lactive, Cutile	Longueur de la surface active de MOSFET, JFET	μm
LdoigtSMOS,	Longueur d'un doigt de la source sur le layout de MOSFET, JFET	μm
L	Profondeur de canal du JFET	μm
μ_n, μ_p	Mobilité des électrons et des trous	$\text{cm}^2 \cdot \text{V}^{-1} \cdot \text{cm}^{-1}$
Nbre_doigtMOS	Nombre des doigts d'un MOSFET	
η	Rendement	%
Qf	Charges fixes dans l'oxyde	$\text{C} \cdot \text{cm}^{-2}$
Q_{grille}	Charge de la grille d'un MOSFET	nC
ρ	Résistivité	$\Omega \cdot \text{cm}$
ρ_v	Résistivité du substrat v de tenue en tension d'un MOSFET	$\Omega \cdot \text{cm}$
ρ_{Al}	Résistivité d'aluminium	$3 \cdot 10^{-6} \Omega \cdot \text{cm}$
$R_{\text{CP}}, R_{\text{CN}}$	Résistivité de contact de silicium dopé P ou N	$\Omega \cdot \text{cm}^{-2}$
$R_{\text{P}}, R_{\text{N}}$	Résistance de contact sur silicium dopé P ou N	Ω
R_{canal}	Résistance du canal d'un MOSFET	Ω
R_{acc}	Résistance de la zone d'accumulation sous la grille d'un MOSFTE	Ω
R_v	Résistance de la zone v d'un MOSFER	Ω
T_s	Période	s
T	Température absolue	$^{\circ}\text{K}$
t	Température	$^{\circ}\text{C}$
$V_{\text{GS}}, V_{\text{aGa}}$	Tension grille-source	V
$V_{\text{DS}}, V_{\text{DaSa}}$	Tension drain-source (pour le MOSFET ou le JFET)	V
$V_{\text{GD}}, V_{\text{GaDa}}$	Tension grille-drain	V
V_{p}	Tension de pincement	V
V_{canal}	Chute de tension le long du canal d'un MOSFET	V
V_{th}	Tension de seuil	V
V_{BR}	Tension d'avanalnce	V
$w_{\text{A}}, w_{\text{D}}$	Zone de charge d'espace dans la zone P et N d'une jonction PN	μm

Z	Périmètre ou largeur totale du canal d'un MOSFET, JFET	cm μm
	Densité volumique	
N_a	Dopants accepteurs dans le silicium dopé P	cm^{-3}
N_d, N_v	Dopants accepteurs dans le silicium dopé N ou v	cm^{-3}

Introduction Générale

Le sujet de ce mémoire de thèse traite de l'intégration monolithique des composants de puissance à semi-conducteurs. Ce thème de recherche est en vogue depuis quelques années car il offre des perspectives intéressantes en terme de performances, de densité de puissance, de fiabilité et de fonctionnalité. Néanmoins, bons nombres de contraintes technologiques, fonctionnelles ou structurelle limitent l'intégration monolithique de fonctions au sein des composants de puissance moyenne et haute tension à structure verticale. L'un des défis majeur consiste alors à trouver, comment et sous quelles conditions, des fonctions ou briques élémentaires essentielles peuvent être intégrées au sein de ces composants, sans en diminuer les performances et sans en complexifier le procédé technologique de fabrication.

La brique élémentaire qui a fait l'objet d'une étude spécifique en vue de son intégration monolithique correspond au dispositif qui alimente le circuit de commande rapprochée (l'allumeur) de l'interrupteur de puissance. Ce circuit permet de mettre en forme, d'amplifier et de conditionner l'ordre de commande appliqué à l'interrupteur. Pour ce faire, il doit être alimenté par une source extérieure qui, dans le cas général, doit être isolée et référencée au potentiel de source ou d'émetteur de l'interrupteur à commander (dans le cas classique des composants à grille isolée). Les alimentations doivent alors fournir de petite quantité d'énergie, sous tension réduite et à travers un dispositif d'isolation galvanique performant. L'intégration de cette brique fonctionnelle au sein du composant de puissance à commander consiste à éliminer ces alimentations en les remplaçant par un dispositif compact, performant et intégrable au sein du composant.

De nombreuses solutions ont été envisagées pour simplifier et fiabiliser la mise en oeuvre des commandes rapprochées et de leurs alimentations [BERND01, ZVEREV97]. Seules quelques unes pouvaient prétendre à leur intégration. L'une d'elles présente un certain nombre d'avantages qui nous ont poussé à tenter son intégration monolithique au sein du composant de puissance à piloter [IR93]. La solution consiste à prélever l'énergie aux bornes du composant de puissance à piloter lorsque celle-ci est disponible, c'est à dire dans notre cas lorsque le transistor est bloqué. Durant cette phase à l'état bloquée, un petit transistor fonctionnant en linéaire recharge puis régule la tension aux bornes d'un condensateur. Lorsque l'interrupteur est passant, le condensateur alimente la commande rapprochée de manière autonome. Cette solution simple présente l'avantage de limiter à un condensateur les éléments passifs la constituant. Par ailleurs, l'ensemble des composants semble pouvoir être réalisé via le procédé technologique de fabrication du transistor principal. Des variantes proches permettent de simplifier ce processus d'intégration.

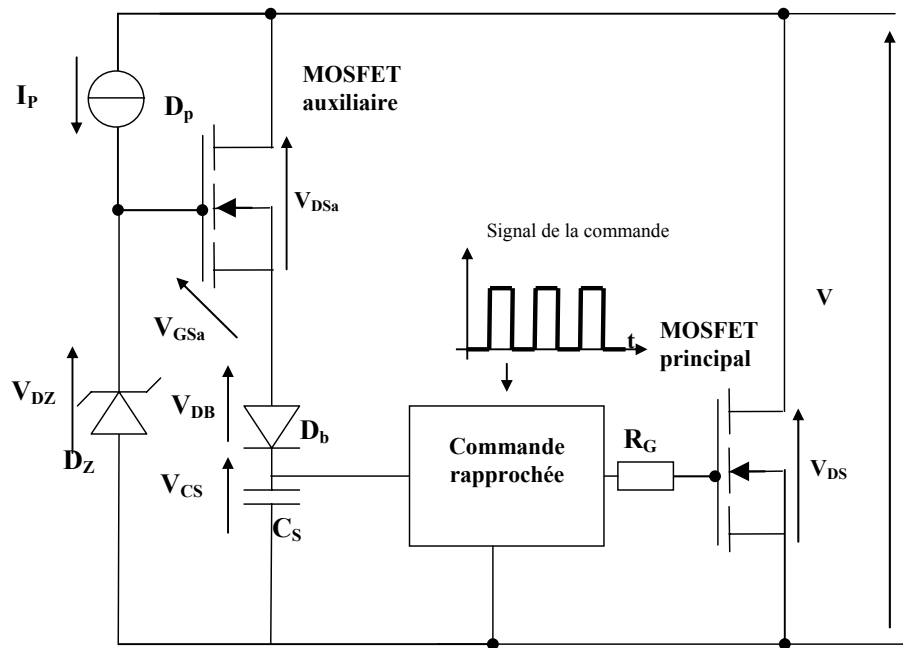


Figure 1. Schéma de principe de l'auto-alimentation

L'intégration d'un dispositif auxiliaire est toujours complexe car elle favorise l'effet des éléments parasites tels que les couplages capacitifs, magnétiques ou encore thermiques. Notre travail a donc consisté à étudier et à analyser les comportements "système" de nos solutions pour évaluer les meilleures conditions et principes de fonctionnement. Par ailleurs, nous nous sommes attachés à qualifier l'intégration des solutions d'auto-alimentation vis-à-vis des contraintes technologiques. Il nous a été nécessaire d'évaluer les conditions dans lesquelles nous allions pouvoir réaliser cette intégration et les conséquences qu'elles allaient avoir sur le bon fonctionnement du système. Enfin, nous avons conçu, dimensionné puis réalisé des démonstrateurs que nous avons mis en œuvre dans des structures d'électronique de puissance. Ce rapport de thèse est articulé à la manière de ces quelques phrases.

Tout d'abord, nous présenterons en détails le dispositif d'auto-alimentation que nous avons étudié. Au cours de ce chapitre nous serons amenés à présenter deux solutions distinctes et complémentaires, toutes deux intégrables. La première solution dite "MOSFET-MOSFET" sera présentée sur la base d'études en simulations et expérimentales à bases de composants discrets mais aussi à partir des composants que nous avons réalisés. La seconde solution, a priori plus élégante est dite "MOSFET-JFET". Cette solution sera présentée et étudiée quasi exclusivement à base de travaux de simulation. Ces deux parties constituent la partie "système" de ce travail de thèse. On y trouvera une description détaillée du principe de fonctionnement des solutions retenues et une validation pratique à base de composants discrets. C'est dans ce même chapitre que les résultats de la thèse seront présentés avec la mise en œuvre concrète des composants de

puissance réalisés intégrant les premiers éléments de l'auto-alimentation. Le fonctionnement et le principe seront alors validés et complétés par une étude sur les performances du dispositif. En fin de chapitre, les limites fonctionnelles de ce type de solution seront présentées.

Le second chapitre présente la conception, le dimensionnement et la réalisation d'un transistor MOSFET de puissance en vue de l'intégration d'un dispositif d'auto-alimentation. Une bonne partie de ce chapitre présente la méthode que nous avons développé pour dimensionner nos composants de puissance. Les conditions d'intégration d'un second transistor MOSFET dit "MOS auxiliaire" sont ensuite abordées. Le cas spécifique du "joint de fonction" entre les deux transistors fera l'objet d'une étude particulière. En fin de chapitre, des résultats de caractérisation des différentes familles de composants ainsi créées sont présentés. Quelques éléments de validation de notre démarche de dimensionnement mais aussi du calage des paramètres technologiques viennent compléter ce second chapitre. Il est bon de noter dès l'introduction de ce travail que, pour la réalisation de nos composants prototypes, nous avons bénéficié d'un soutien scientifique et technique important de la part des personnels du CIME.

Le troisième et dernier chapitre aborde la conception et le dimensionnement d'une fonction "MOSFET-JFET" en vue de la création d'une fonction auto-alimentation complètement intégrée. Le comportement du transistor JFET de puissance à structure verticale est tout d'abord abordé. Sa modélisation en vue de son dimensionnement est ensuite étudiée sur la base d'une recherche bibliographique. La suite du chapitre présente le dimensionnement à proprement parlé du transistor JFET à travers les contraintes technologiques imposées par le transistor principal, un MOSFET dans notre cas. Pour conclure ce chapitre, quelques résultats de caractérisation, en statique, du transistor JFET vertical sont présentés.

***CHAPITRE 1 : Les techniques d'alimentation de la
commande rapprochée d'un interrupteur de
puissance à potentiel flottant***

Introduction

Actuellement beaucoup d'efforts sont concentrés sur l'amélioration des convertisseurs à découpage. Dans ce contexte l'intégration en électronique de puissance est une réponse aux problématiques de réduction des coûts, d'amélioration de la fiabilité et des performances des convertisseurs à découpage.

Ces dernières années de nouveaux composants interrupteurs ont été développés, contenant des fonctions de protection et de contrôle intégrées [DARTIGUES01],[INFINEON]. Cependant, l'intégration de l'alimentation de la commande rapprochée permettant une isolation galvanique est encore problématique. Cette isolation est absolument nécessaire pour l'intégration de composants à grilles isolées (donc commandés en tension) dans des structures contenant un potentiel flottant comme les onduleurs, les gradateurs, les matrices de convertisseurs, ainsi que pour la mise en série de composants de puissance.

Nous allons présenter ici deux topologies permettant de réaliser une « auto-alimentation » de la commande rapprochée, ce qui permet d'éliminer l'isolation galvanique pour l'alimentation de cette dernière. L'avantage principal de ces solutions est qu'elles peuvent être intégrées monolithiquement (à l'exception de la capacité de stockage) avec l'interrupteur principal en utilisant le même procédé de fabrication, donc pratiquement sans augmentation des coûts de production. Dans ce chapitre, nous allons présenter le principe de fonctionnement de cette auto-alimentation de la commande rapprochée dans une structure de type hacheur série réalisée à l'aide de composants discrets. Nous présenterons notamment des résultats de mesures de formes d'ondes sur cette structure et nous effectuerons une analyse des avantages et des inconvénients de cette solution. Ensuite nous présenterons les possibilités d'intégration de cette solution ainsi que des résultats expérimentaux de la solution intégrée.

Nous allons commencer par présenter la problématique de l'alimentation de la commande rapprochée.

I. L'INTEGRATION EN ELECTRONIQUE DE PUISSANCE

Les convertisseurs à découpage ont de larges gammes d'utilisation, à partir de quelques mW dans les téléphones portables, puis de quelques Watts à quelques centaines de Watts dans les ordinateurs portables, dans certaines applications automobile, dans des applications domotiques et jusqu'à quelques MWatts dans les applications pour la traction ferroviaire et dans les réseaux électriques. Etant donnée l'importance du marché pour les convertisseurs à découpage, les fabricants ont pour double objectif l'amélioration des performances et la réduction des coûts de

conception et de fabrication. Ces objectifs sont ainsi les principaux moteurs du développement de l'intégration en électronique de puissance.

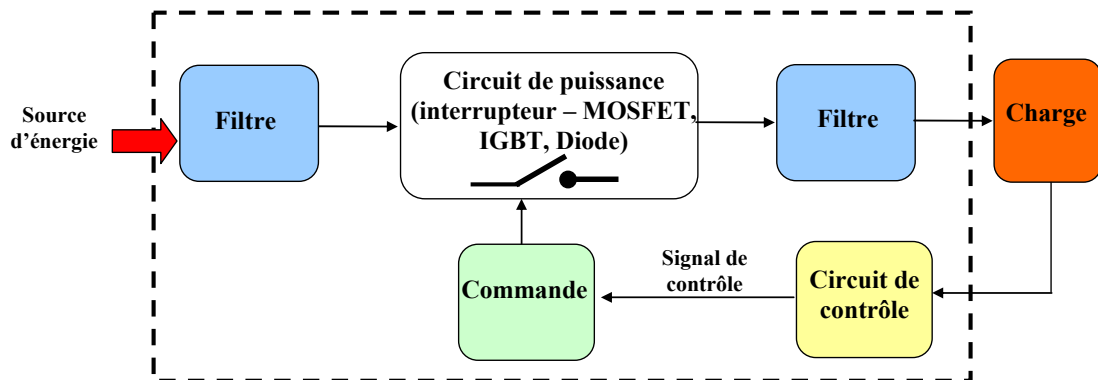


Figure 1-1. Blocs principaux constituant un convertisseur statique

Les blocs principaux constituant un convertisseur statique sont présentés sur la Figure 1-1. Le convertisseur statique permet de régler le transfert d'énergie entre un générateur et un récepteur. Ce transfert peut être réversible dans certains cas. A l'entrée et à la sortie du convertisseur nous avons des filtres constitués par des composants passifs de type inductif et/ou capacitif. Le cœur du traitement de l'énergie d'un convertisseur statique est la partie découpage. Technologiquement elle est constituée par des composants actifs – les interrupteurs de puissance (MOSFET, IGBT, Diode, transistor Bipolaire, thyristors, triacs, GTO...) et leurs commandes associées. Le transfert d'énergie est réglé en commandant l'ouverture et la fermeture des interrupteurs à l'aide d'une commande appropriée. La structure et la taille d'un convertisseur statique peuvent varier en fonction des applications.

Selon les niveaux de puissance, l'intégration des convertisseurs statiques peut être hybride ou monolithique. On peut encore distinguer l'intégration des composants actifs qui assurent les fonctions de commutation et de protection (l'interrupteur de puissance avec sa commande rapprochée et les capteurs de courant et de tension...) et des composants passifs assurant les fonctions de stockage et de filtrage. Sur la Figure 1-2 est présenté le schéma de principe de la commande et du contrôle des commutations d'un convertisseur.

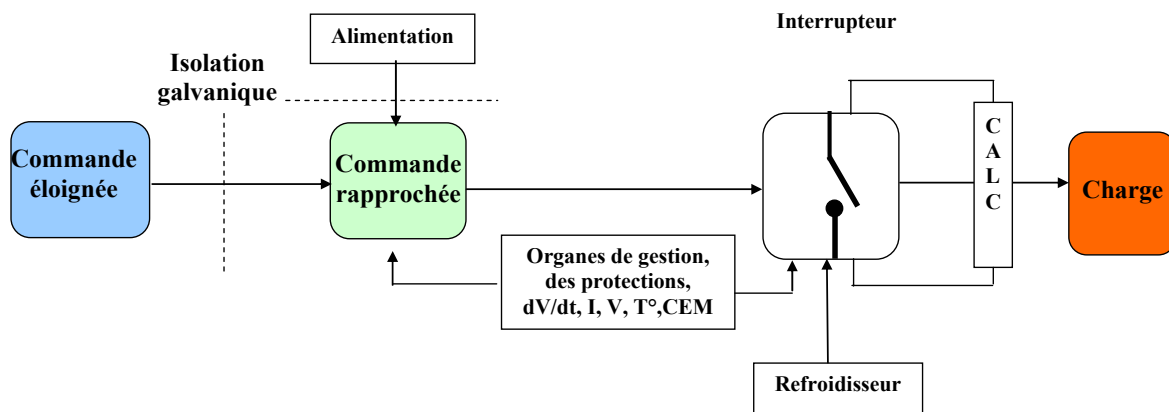


Figure 1-2. Schéma de principe de la commande des interrupteurs de puissance dans un bras d'onduleur.

Il existe plusieurs possibilités d'intégration hybride ou monolithique des éléments de cette structure avec l'interrupteur principal qui sont :

- L'intégration de plusieurs composants de puissance (composants à grille isolée avec diodes de roue libre en parallèle par exemple) dans un module de puissance, en parallèle ou en série pour la réalisation de la fonction interrupteur, afin d'augmenter les calibres en courant ou en tension ;
- Les organes de protection et de gestion du composant (contrôle du dV/dt , capteur de courant, de tension et de température)
- Les circuits d'aide à la commutation (CALC)
- La commande rapprochée
- L'alimentation de la commande rapprochée (bootstrap, pompe à charge, auto-alimentation)
- Le refroidisseur (caloducs, refroidisseur à microcanaux).

I.1. L'intégration hybride

L'intégration hybride est principalement utilisée pour des applications de courant ou/et de tension élevés ($600V < V < 1200V$, $1A < I < 100A$). Le principe de cette intégration est de placer dans un boîtier plusieurs puces différentes. On peut distinguer plusieurs niveaux d'intégration des modules de puissance :

Niveau 1 : Les modules standards de puissance contenant plusieurs composants identiques mis en parallèle ou en série, ou encore l'association au sein du même boîtier des différents éléments constitutifs d'une cellule de commutation ou d'un bras de convertisseur. Ces modules ne contiennent pas de fonctions intelligentes [EUPEC].

Niveau 2 –Intelligent Power Module (IPM) ou bien Application Specific Intelligent Power Module (ASIPM) – La caractéristique principale de ce type de module est la présence d'un circuit

de commande pour les composants de puissance, ainsi que d'autres fonctionnalités comme des capteurs de courant, de tension et de température, l'alimentation de la commande rapprochée. Un tel exemple est le module (IRAMS10UP60A - 600V 10A) de la société International Rectifier [IR-IPM], contenant les interrupteurs de puissance, leurs commandes rapprochées alimentées par la technique de bootstrap, des protections thermiques et contre les court-circuits.

Niveaux 3 - Integrated Drive Module (*IDM*) contiennent toutes les fonctionnalités des niveaux de 1 à 3 plus un microprocesseur, un générateur PWM, des entrées - sorties numériques et analogiques et des bus de communication [SEMIPOWER]. Sur la Figure 1-3 est présenté un exemple d'un tel module (7 kW -460V).

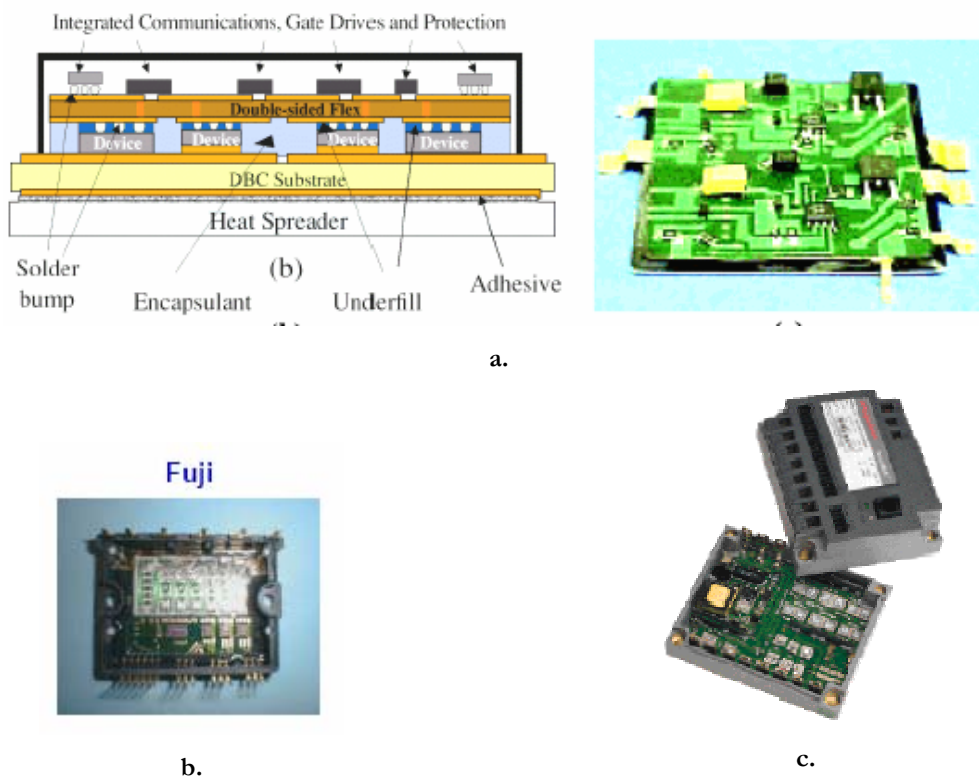


Figure 1-3. Exemple d'intégration hybride d'un module de puissance a. schéma de principe à gauche et prototype à droite [YONG03], b. module industriel de Fuji [FIJU], c. « Integrated Drive Module » (IDM) [SEMIPOWER]

Les modules de puissance sont réalisés classiquement sur un substrat de type DBC (Direct Bounded Copper) [CURAMIK] sur lequel sont reportées les puces. Les connexions en face avant des puces sont généralement réalisées par des bondings en aluminium. L'ensemble est ensuite noyé dans un gel permettant principalement la protection contre les risques d'arcs électriques.

Les modules de puissance nécessitent un bon système de refroidissement, compte tenu des puissances dissipées en conduction et en commutation. De plus, une des raisons de défaillance de

ces modules est la fatigue thermique due aux différents coefficients de dilation des différents matériaux les constituants. Les bondings sont particulièrement vulnérables aux cycles thermiques.

I.2. L'intégration monolithique

L'intégration monolithique consiste à réaliser sur une même puce un ou plusieurs interrupteurs, ainsi que plusieurs fonctions de commande, de protection ou de contrôle. Dans le cas d'intégration monolithique, on peut distinguer l'intégration de type «circuits intégrés de puissance» et l'intégration fonctionnelle.

Les circuits intégrés de puissance intègrent avec le composant principal des circuits faible tension de traitement de signaux et de contrôle - commande. Un tel exemple est présenté sur la Figure 1-4 [INFINEON]. Selon les niveaux de tension, les composants de puissance sont latéraux (5 - 60V) ou bien verticaux (>60V). Ces types de composants intégrés sont appelés encore «Smart power» [MURARI00] (Figure 1-5). Pour la première génération de ces composants, la partie «signal» était fabriquée avec les procédés technologiques du composant principal. Les nouvelles générations «Smart power» peuvent être décrites comme une technologie VLSI (Very Large Scale of Integration) avec des fonctions de puissance [CONTIERO98]. Cette technologie permet l'intégration des circuits numériques très complexes comme des microprocesseur DSP ou des microcontrôleurs.

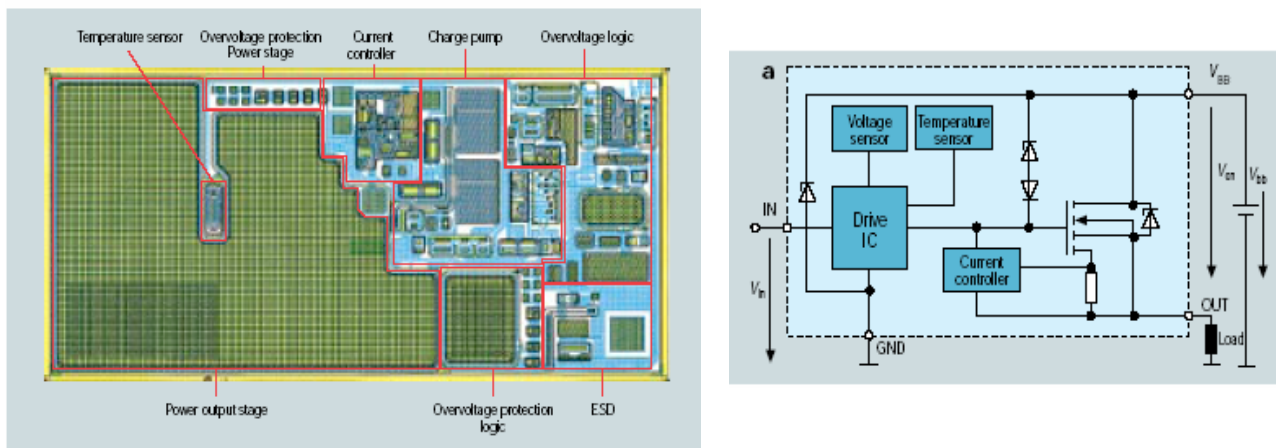


Figure 1-4. Exemple d'intégration monolithique d'un composant de puissance (20-60V) avec la protection, l'alimentation de la commande rapprochée et les capteurs de surtension et de courant. Mini-Profet [INFINEON]

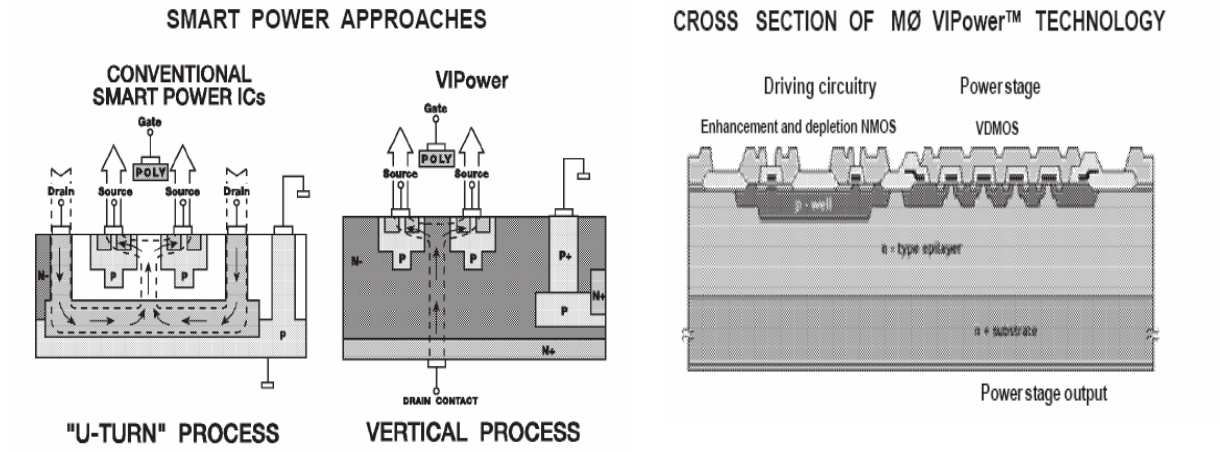


Figure 1-5 . Exemple d'intégration des composants de puissance avec circuit de « commande rapprochée » [MURARI00]

L'intégration fonctionnelle est un niveau plus poussé de l'intégration monolithique. Les nouvelles fonctions de protection ou de commutation sont réalisées en utilisant judicieusement les interactions électriques entre les différentes couches de semiconducteur. Un exemple d'intégration fonctionnelle est la technologie ASDTM développée par ST Microelectronics et présenté sur la Figure 1-6. [ST].

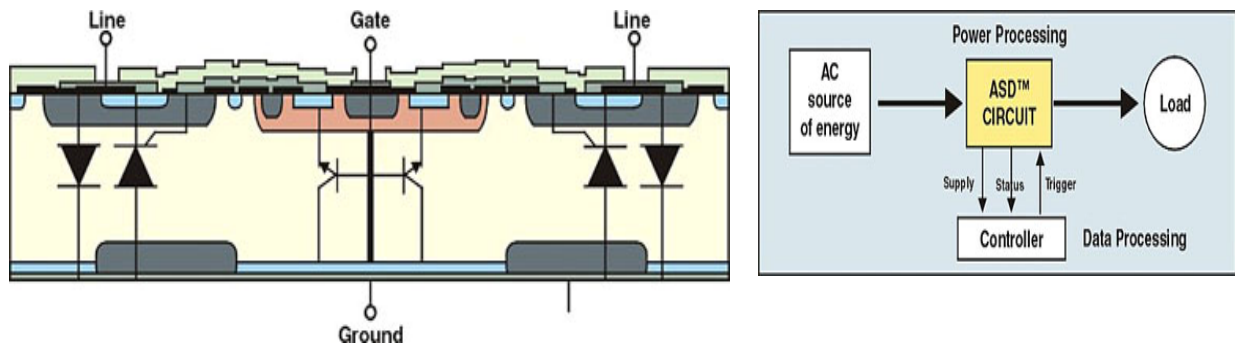


Figure 1-6. Exemple d'intégration monolithique fonctionnelle d'un composant fabriqué avec la technologie ASDTM de la société ST Microelectronics

La surface des composants de puissance varie en fonction de leur calibre en courant. Dans le cas des composants supérieurs à quelques ampères, la surface de la partie du composant principal est alors majoritaire (par rapport aux autres fonctions intégrées monolithiquement). Il est intéressant de réaliser toutes les fonctions adjointes en minimisant les étapes technologiques supplémentaires pour réduire les coûts de production.

Dans le cas de l'intégration monolithique il faut limiter au maximum les interactions entre les différentes parties, en particulier entre la partie puissance et la partie signal. Plusieurs solutions sont possibles – une isolation par jonction, une auto-isolation (par des jonctions polarisées en inverse) ou encore une isolation par diélectriques (Figure 1-7) [MARMOUGET00]. Pour des

applications faible tension de quelques dizaines de volts, l'isolation par jonction est préférée en raison de son faible coût. L'isolation par diélectrique est indispensable dans les applications de haute tension mais cette technologie d'isolation est plus complexe à réaliser que l'isolation par jonction. Cependant ces dernières années de nouvelles techniques moins coûteuses et moins complexes ont été développées. [BERTRAND04].

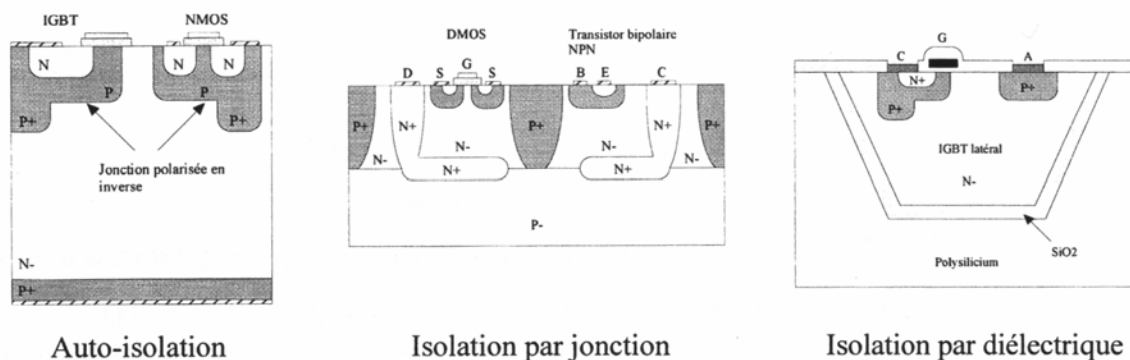


Figure 1-7. Technique d'isolations en intégration monolithique

I.3. L'Intégration des composants passifs

La réalisation de l'intégration monolithique des composants passifs tels que les résistances, les inductances et les condensateurs, dépend aussi de leurs calibres en courant et en tension. Leur fabrication fait appel aux techniques de microfabrication comme la gravure ionique profonde (Reactive Ion Etching- RIE), la lithographie à haute résolution, le procédé LIGA (de Lithographie, Galvanoformung, Abformung – Lithographie profonde par rayons X/Moulage) [BALLANDRAS95]. Certains de ces procédés imposent d'avoir des équipements et des produits chimiques (comme des résines de grande viscosité) très évolués. La réalisation des composants passifs peut aussi nécessiter le dépôt de matériaux magnétiques ou d'autres types qui ne sont pas encore très courant en microélectronique. Pour ces raisons technologiques, la fabrication des ces composants est limitée. De plus la réalisation de ces composants reste complexe et coûteuse en terme de surface de silicium et pour l'instant la réalisation d'une intégration monolithique des composants passifs est limitée à une puissance de quelques watts.

La puissance maximale qui peut supporter une résistance intégrée sur silicium est très limitée et des valeurs de résistance supérieure à $200\text{k}\Omega$ sont difficilement réalisables. Les capacités intégrées sur silicium atteignent une valeur maximale de 10nF par mm^2 pour une tension de 20V [DEK98], [HAKIM01]. Les valeurs maximales d'inductances intégrées atteignent quelques centaines de nH voir quelques μH [LIAKOPOLOUS99], [AHN93], pour un courant maximal de quelques centaines de mA.

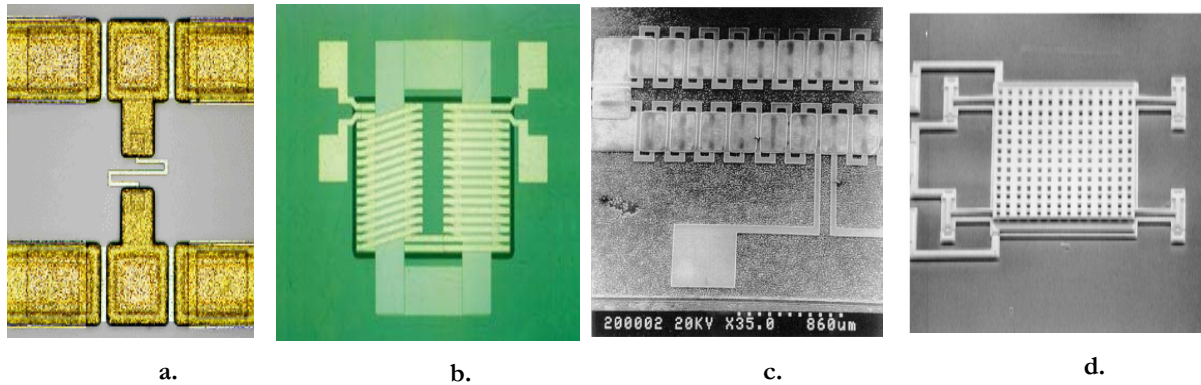


Figure 1-8.Exemples de composants passifs intégrés sur Silicium : a. résistance, b. micro-transformateur [LETI], c. inductance[AHN93], d. capacité[DEK98]

Pour des puissances plus élevées, de l'ordre de quelques kilowatts, l'intégration monolithique des composants passifs sur silicium n'est plus envisageable. Dans de tels convertisseurs la réduction de la taille et du volume est primordiale. Dans ce cas les composants magnétiques passifs sont réalisés en structure planar et intégrés de manière hybride avec les autres composants.

L'intégration monolithique semble présenter bon nombre d'avantages en s'affranchissant de problèmes de connectique et en proposant une réduction significative du volume des convertisseurs. Cependant elle est limitée par :

- les performances des matériaux utilisés (pour les composants passifs et actifs)
- les compatibilités entre les niveaux de courant et de tension
- les contraintes thermo-mécaniques (le refroidissement et le vieillissement)
- les contraintes liées aux compatibilités des filières technologiques des différents composants.

II. PRINCIPE DE L'AUTO ALIMENTATION POUR LE « HIGH-SIDE SWITCH » - PRESENTATION DE LA PROBLEMATIQUE DU « HIGH-SIDE SWITCH »

II.1. Présentation du principe

Dans les convertisseurs de puissance, chaque interrupteur est piloté via une commande rapprochée. Celui-ci doit être alimentée et elle assure la mise en forme des signaux issus de la commande éloignée (Figure 1-9). Ce dispositif de commande peut être relié à une référence de tension flottante nécessitant l'emploi d'une isolation galvanique pour véhiculer l'ordre et l'énergie de commande. Les solutions assurant à la fois l'isolation galvanique et la transmission de puissance (les transformateurs d'impulsion notamment) sont actuellement difficiles à intégrer.

Afin de résoudre ce problème il est possible d'utiliser d'autres principes d'alimentation de la commande rapprochée qui n'ont pas besoin d'une alimentation galvaniquement isolée. Il y a les solutions classiques comme l'alimentation bootstrap [ZVEREV97] et la pompe à charge [LEFEBVRE03]. Dans ce mémoire nous allons aborder une structure de type auto-alimentation. Cette structure permet de réaliser la fonction d'alimentation de la commande rapprochée d'un interrupteur de puissance en éliminant la nécessité d'une isolation galvanique. L'avantage de cette structure d'auto-alimentation est qu'elle peut être intégrée monolithiquement (à l'exception de la capacité de stockage) avec l'interrupteur principal en respectant les mêmes étapes technologiques de fabrication que pour l'interrupteur de puissance (MOSFET).

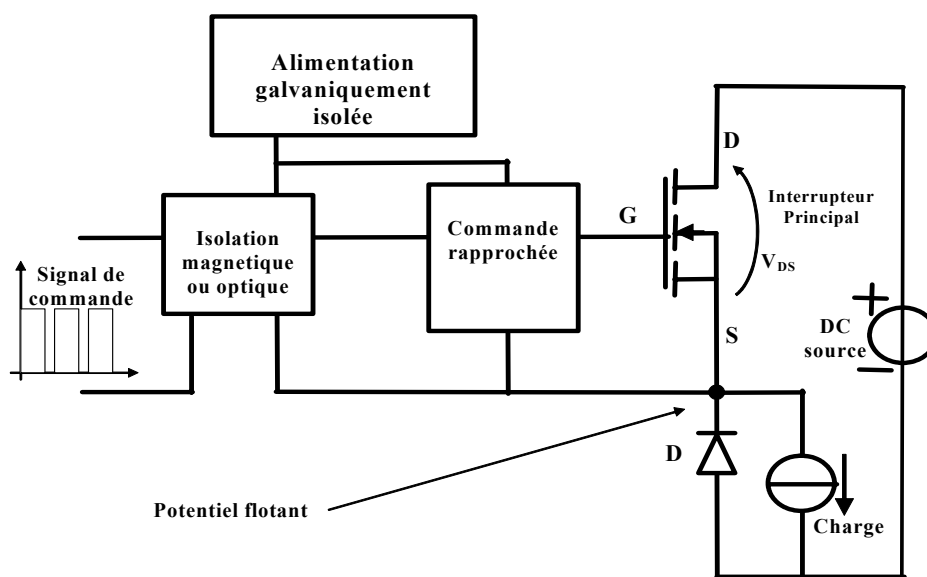


Figure 1-9. Schéma de principe de la commande d'un interrupteur dans un hacheur série

Pour la réalisation de cette solution nous nous sommes imposés plusieurs contraintes :

- Les étapes technologiques nécessaires pour sa réalisation ne doivent pas être très compliquées et le nombre d'étapes technologiques supplémentaires doit être limité ;
- Les étapes technologiques doivent être entièrement compatible avec les étapes technologiques de l'interrupteur de puissance ;
- L'alimentation de la commande rapprochée doit rajouter une surface minimale sur la puce de silicium ;
- Les interactions électriques et thermiques entre la partie puissance et la partie commande doivent être minimales ;
- Les procédés technologiques et des caractéristiques électriques des composants réalisés doivent être reproductibles ;

- La possibilité d'intégration complète de l'interrupteur de puissance et de sa commande associée (à l'exception des éléments de stockage- inductances et capacités) ;
- Une large gamme de fonctionnement.

II.2. Techniques de la réalisation de la commande de « high-side switch »

Nous utiliserons le vocabulaire « interrupteur high-side » pour désigner un interrupteur de puissance à grille isolée (MOSFET ou IGBT) ayant l'électrode de la source (MOFSET) ou de l'émetteur (IGBT) à un potentiel flottant. Cette électrode étant la référence pour la tension de commande du composant, elle sera donc la référence pour la tension d'alimentation de la commande rapprochée.

Nous allons présenter trois techniques permettant la réalisation de l'isolation galvanique de l'alimentation de la commande rapprochée d'un interrupteur « high -side » :

- Les transformateurs d'impulsion pour des isolations pouvant être supérieures au kilovolt ;
- La technique de la pompe à charge pour des solutions inférieures à 100V et 50A ;
- La technique de bootstrap pour des tensions jusqu'à environ 1200V ;
- L'auto-alimentation.

II.2.a. Transformateurs d'impulsion

Une solution très classique (Figure 1-10) repose sur l'utilisation des transformateurs d'impulsion [BERND01], [STRZALKOWSKI01]. Le transformateur peut être magnétique ou bien piézo-électrique [VASIC01]. Cette solution a l'avantage de pouvoir transmettre à la fois les signaux de commande et l'énergie nécessaire à la commutation des interrupteurs. En ajoutant un troisième enroulement, il est facile de réaliser une commande bipolaire entre ($\pm 15V$, 0V). Cette solution est fiable et elle permet tous les modes de fonctionnement.

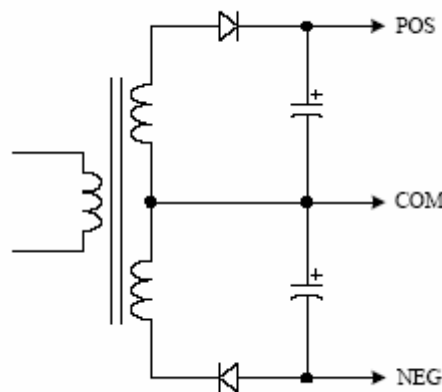


Figure 1-10. Technique d'isolation de la commande rapprochée par des transformateurs d'impulsion

Cependant l'utilisation des transformateurs d'impulsion présente quelques inconvénients :

- Elle nécessite une alimentation continue externe avec plusieurs connexions de sortie selon le nombre des Sources/ Emetteurs flottants dans le convertisseur
- Elle crée des chemins additionnels de propagation pour les perturbations CEM (compatibilité électromagnétique) en mode commun
- Elle est coûteuse
- L'intégration monolithique des transformateurs d'impulsion est encore difficile [BOGGETTO02], [SULLIVAN96].

II.2.b. Bootstrap

Une autre solution devenue très à la mode est le principe de bootstrap [ZVEREV97]. Elle est présentée sur la Figure 1-11.

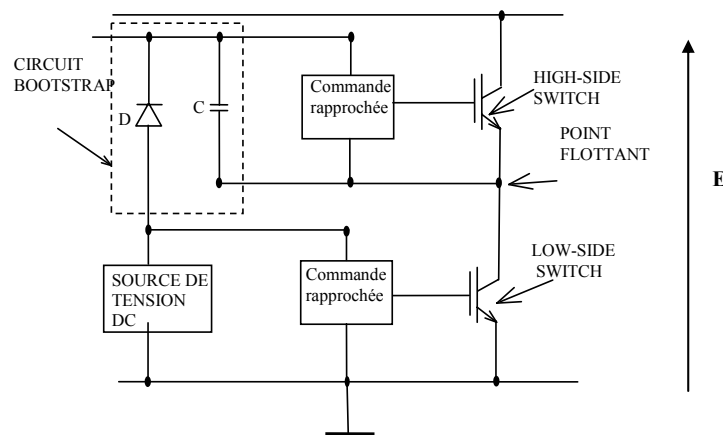


Figure 1-11. Schéma de principe de la technique d'alimentation bootstrap

Le principe de fonctionnement est basé sur la création d'une alimentation flottante pour l'interrupteur « high-side » par stockage d'énergie dans un élément capacitif. Lorsque l'interrupteur « low-side » conduit, la capacité est chargée à travers la diode par la tension d'alimentation continue. Quand l'interrupteur « low-side » se bloque, la commande rapprochée est alimentée par la charge stockée dans la capacité. Pendant cette phase la diode D supporte la tension totale E (Figure 1-11). Pour cette raison une diode capable de supporter la tension nominale du convertisseur est requise. Cependant cette solution a besoin d'une alimentation continue externe. La technique bootstrap est une solution économiquement intéressante. Cependant elle a quelques inconvénients :

- Le fonctionnement est impossible en régime statique et déconseillées pour les applications basses fréquences

- Cette solution demande une alimentation externe pour la commande
- La tension d'alimentation est de type unipolaire (0, 15V)
- L'intégration monolithique de la diode avec des composants verticaux n'est pas possible, car l'anode et le drain du MOSFET n'ont pas les mêmes potentiels.

II.2.c. Pompe à charge

Le principe de fonctionnement de la pompe à charge [LEFEBVRE03] est de créer une alimentation de la commande rapprochée à partir de la tension de puissance V_{DC} et la tension issue de la commande V_{CC} (Figure 1-12.a). Cette solution est très utilisée dans des applications de télécommunications ou bien automobile dans le cadre d'application basse tension.

Un schéma illustrant le principe de fonctionnement de la pompe à charge est présenté sur la Figure 1-12b. Quand la sortie du circuit de commande est au niveau bas, la capacité C_1 est chargée sous le potentiel V_{DC} . Lorsque la sortie du circuit de commande passe à V_{CC} , en supposant initialement la capacité C_2 déchargée, la diode D_1 commence à conduire et une partie de la charge de la capacité C_1 est transférée vers le condensateur C_2 . La répétition du cycle permet de charger la capacité C_2 à une tension proche de V_{CC} . Le potentiel de la grille peut être porté à $V_{DC}+V_{CC}$ et rend possible la commande à la fermeture de l'interrupteur « high-side ».

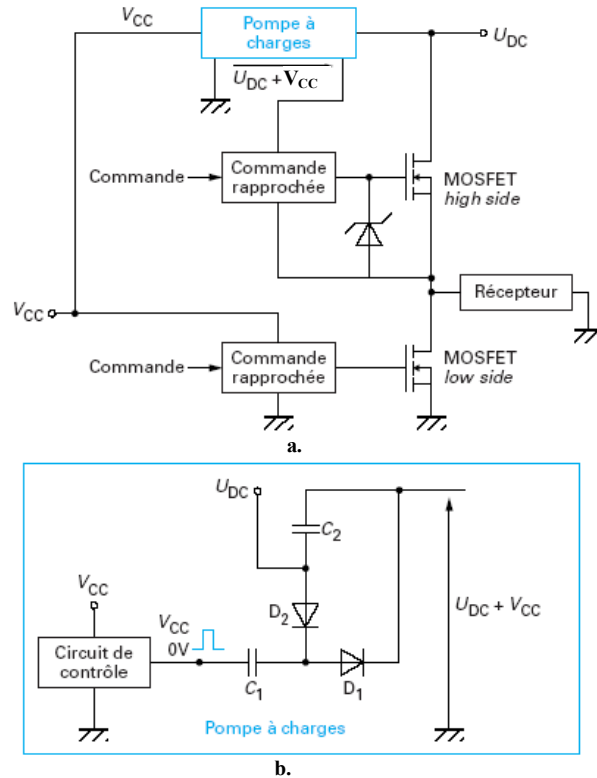


Figure 1-12. Principe de fonctionnement de la pompe à charge pour l'alimentation de la commande rapprochée d'un interrupteur high-side [LEFEBVRE03]

La valeur de la capacité C_2 dépend des vitesses de commutation des interrupteurs et de la charge nécessaire pour charger la grille de l'interrupteur de puissance. Plus la vitesse de commutation est élevée plus la charge nécessaire pour charger la grille de l'interrupteur principal est grande. Donc la valeur de la capacité C_2 doit augmenter en conséquence. Pour des valeurs de la capacité C_2 élevée ($C > 10\text{nF}$), on rencontre des problèmes d'intégration monolithique.

Cette solution est simple et intégrable (pour des valeurs de C_2 faibles). Cependant son inconvénient est qu'elle demande une alimentation externe V_{CC} pour la recharge de la capacité. Cette solution n'est applicable qu'en basse et moyenne tension. Un exemple d'un interrupteur intelligent fabriqué par la société International Rectifier est présenté sur la Figure 1-13 [IR-IPS].

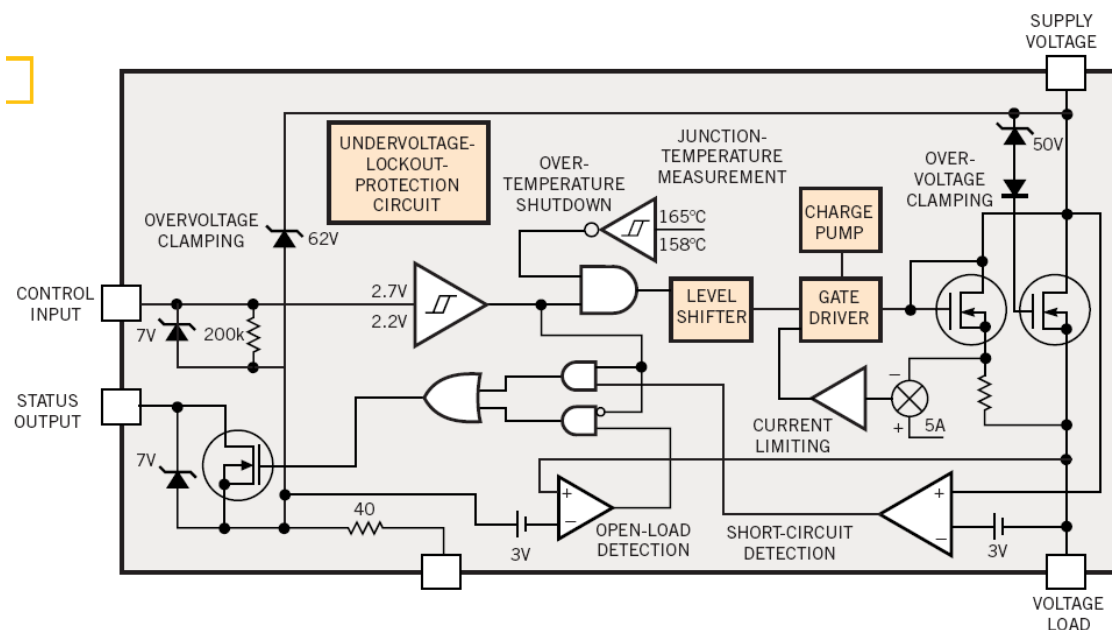


Figure 1-13. Exemple d'un interrupteur intelligent de IR- IPS511 avec la commande rapprochée et une pompe à charge pour son alimentation

II.2.d. L'auto - alimentation

Une quatrième solution a été présentée par International Rectifier [IR93] (Figure 1-14). Cette solution fonctionne sur le principe de l'auto-alimentation. L'avantage de cette solution est qu'il n'y a pas besoin d'une alimentation externe de la commande.

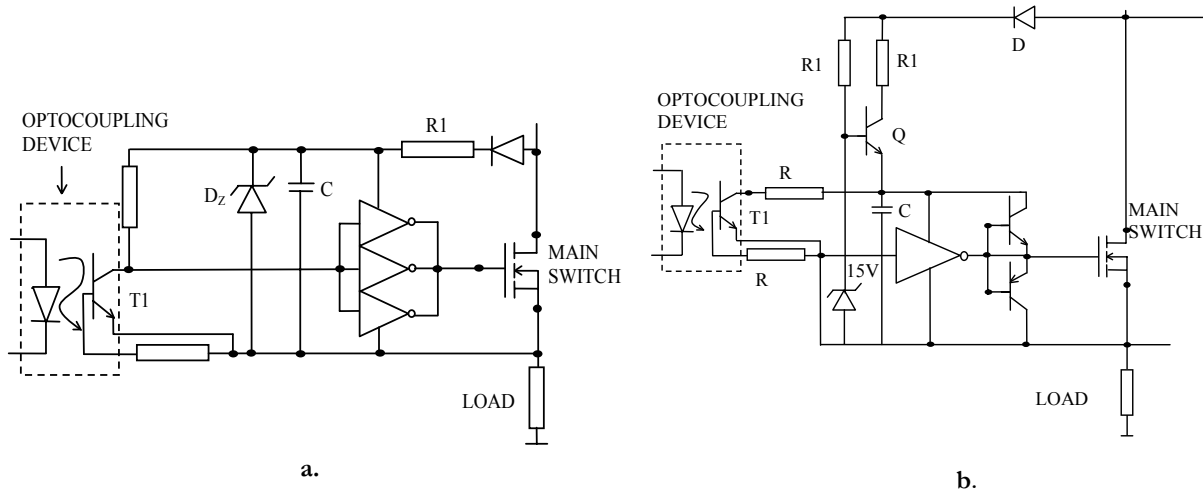


Figure 1-14. Techniques de réalisation de l'alimentation de la commande rapprochée avec une auto-alimentation d'après [IR93]

L'énergie nécessaire pour l'alimentation de la commande rapprochée est prélevée sur le circuit de puissance. Le principe de fonctionnement est basé sur le principe de la régulation linéaire. Quand l'interrupteur principal est bloqué il y a une tension disponible à ses bornes. On prélève une petite énergie pour l'alimentation de la commande rapprochée. Cette énergie est stockée dans la capacité C (Figure 1-14.a). La charge est effectuée à l'aide d'une branche de polarisation mise en parallèle avec l'interrupteur principal. Cette branche contient une résistance et une diode Zener. La tension aux bornes de la capacité est régulée par la diode Zener. Sur la Figure 1-14.b une autre topologie, permettant d'effectuer la régulation aux bornes de la capacité C et fonctionnant sur le même principe, a été proposée. Dans cette solution le transistor Q limite le courant dans la capacité dès que la tension aux bornes de ce dernier a atteint la valeur de la tension de régulation de la diode Zener moins la chute de tension V_{BE} aux bornes du transistor Q. Dans tous les cas, une diode est nécessaire afin de prévenir la décharge de la capacité C. Les valeurs de R, C et les caractéristiques de Q dépendent de la fréquence de fonctionnement, du rapport cyclique, de la consommation de la commande rapprochée et de la charge nécessaire pour la commande de l'interrupteur.

Les contraintes de ces solutions sont pratiquement les mêmes que celles du système bootstrap en ce qui concerne la fréquence de fonctionnement. Les performances dynamiques dépendent de la constante de temps du circuit $R1C$, donc pour diminuer le temps de charge il faut diminuer la valeur des résistances R1. Une faible valeur de R1 conduit à augmenter le courant de polarisation de la diode Zener, et donc des pertes. Cette augmentation des pertes serait un inconvénient dans la perspective de l'intégration. Par ailleurs, le fait que la diode Zener

dévie une partie du courant de charge constitue un autre inconvénient de ce dispositif. Donc une amélioration permettant de réguler la tension aux bornes de condensateur s'avère indispensable.

Une étude sur une telle structure a été réalisée dans [ROUX01]. Une réalisation utilisant des composants discrets (Figure 1-15) a montré qu'il est possible d'obtenir une auto-alimentation régulée sur une large gamme de fréquence de commutation de l'interrupteur principal, mais nécessite un effort d'intégration trop poussé, même si la structure ne contenait que des composants intégrables de manière monolithique et compatible avec la filière technologique du MOSFET.

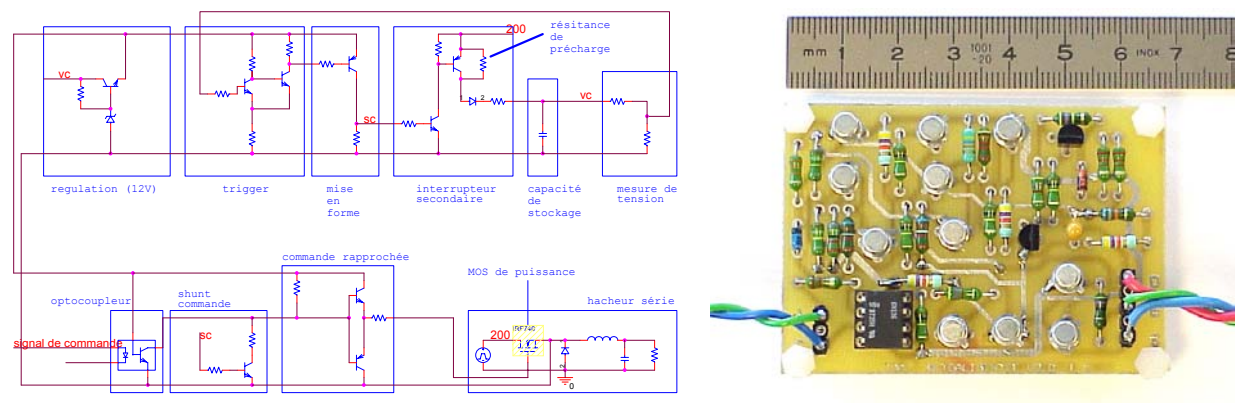


Figure 1-15. Auto-alimentation régulée en composants discrets [ROUX01]

Cette solution offrait toutefois l'avantage de pouvoir faire fonctionner le composant principal (MOSFET) en régime statique grâce à une régulation permettant de recharger la capacité C par l'ouverture du transistor MOSFET durant un court instant, sans pour autant modifier le courant dans la charge qui est seulement utilisé pour recharger la capacité C de stockage. Cette recharge se fait donc sans trop perturber la commutation du transistor principal.

Cette solution a été abandonnée en raison du trop grand nombre de paramètres (gains de transistors bipolaires, valeurs de résistances...), bien qu'elle puisse être envisageable dans le cas d'une intégration hybride.

Nous nous sommes orientés vers d'autres solutions, dans lesquelles la régulation de la tension de la capacité C est assurée par un interrupteur auxiliaire. Nous nous sommes posé comme principale contrainte le fait que la solution ne doit faire appel qu'à des composants intégrables sur silicium en veillant à ce que tous les composants soient entièrement compatibles avec la filière technologique de l'interrupteur principal. De plus on a fait attention à limiter le nombre d'étapes technologiques supplémentaires.

Deux solutions ont été retenues, ces solutions ont été présentées dans [VERNEAU01], [VINCENT00] à savoir :

- une première solution contenant un MOSFET comme interrupteur principal et un MOSFET comme interrupteur auxiliaire. Cette solution sera appelée par la suite « solution MOSFET/MOSFET »
- La seconde contenant un MOSFET comme interrupteur principal et un JFET comme interrupteur auxiliaire. Cette solution sera appelée par la suite MOSFET/JFET.

L'avantage de ces solutions est qu'elles contiennent un faible nombre de composants et que ces derniers sont tous intégrables suivant le même procédé de fabrication (sauf la capacité de stockage) de l'interrupteur principal.

III. LES TOPOLOGIES DE L'AUTO-ALIMENTATION

III.1. Solution MOSFET/MOSFET

La topologie de la fonction de l'auto-alimentation contenant deux composants MOSFET est décrite sur la Figure 1-16.

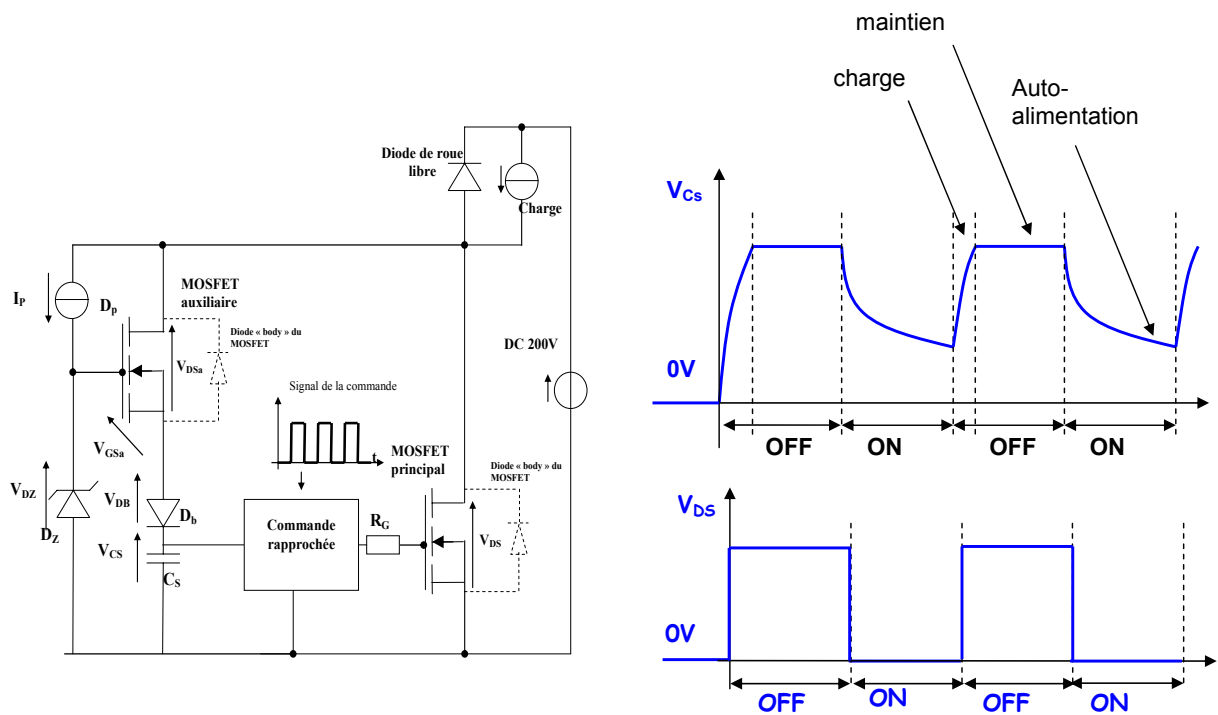


Figure 1-16. Structure de l'auto-alimentation et formes d'ondes illustrant son principe de fonctionnement

On retrouve là, une structure très classique de régulateur linéaire mis en parallèle avec l'interrupteur principal (le MOSFET principal). Lorsque l'interrupteur principal est bloqué, le régulateur linéaire recharge, puis régule la tension aux bornes du condensateur C_s. Lorsque l'interrupteur principal devient passant, le condensateur C_s alimente la commande rapprochée.

Une diode D_B empêche la décharge du condensateur via la diode de structure de l'interrupteur auxiliaire (le MOSFET auxiliaire) lorsque l'interrupteur principal est passant. La polarisation de la grille de l'interrupteur auxiliaire est assurée par une diode « Zener » D_Z . Cette diode limite la tension V_{GS} aux bornes du composant à 18-20V. Pour faire travailler la diode dans cette zone, on la polarise via une source de courant I_p . Cette source de courant peut alors être, soit une résistance, soit une diode de puissance en inverse (dont on utilise le courant de fuite). Il est à noter que, dans cette configuration simple, l'interrupteur principal doit commuter à une fréquence pas trop basse afin d'assurer une recharge périodique du condensateur de stockage C_s .

Cette solution a comme avantages :

- Que tous les éléments sont intégrables suivant le procédé technologique de l'interrupteur principal ;
- Qu'elle contient un faible nombre de composant ;
- Qu'elle ne nécessite pas une alimentation externe.

III.1.a. Comportement dynamique

Le principe de fonctionnement du circuit de l'auto-alimentation est basé sur la recharge de la capacité C_s durant les phases « OFF » de l'interrupteur principal. Pour analyser le fonctionnement en dynamique de l'auto-alimentation [MITOVA05], il faut simuler l'ensemble de la topologie après avoir caractérisé en dynamique tous les composants.

Pour la modélisation des MOSFETs, nous avons utilisé des modèles décrivant leur comportement dynamique basés sur la technique de la localisation des charges dans le silicium. Cette technique est présentée dans le chapitre II. Le principe de modélisation consiste à représenter les valeurs des capacités inter-électrodes et la source du courant du modèle équivalent du MOSFET, en fonction de deux potentiels indépendants (potentiel de drain et de source). Les diodes D_p et D_z sont polarisées en inverse, pour cette raison dans notre modélisation, nous ne considérons que leurs courants de fuite et leurs capacités parasites. Quand la diode D_B conduit, nous considérons sa chute de tension à l'état passant. En polarisation inverse, nous prendrons en compte le courant de fuite de la diode D_B . La capacité de stockage C_s sera considérée comme parfaite (on néglige notamment son courant de fuite). Dans cette modélisation, nous ne prendrons pas en compte les effets du câblage. Le circuit équivalent pour cette modélisation est présenté sur la Figure 1-17.

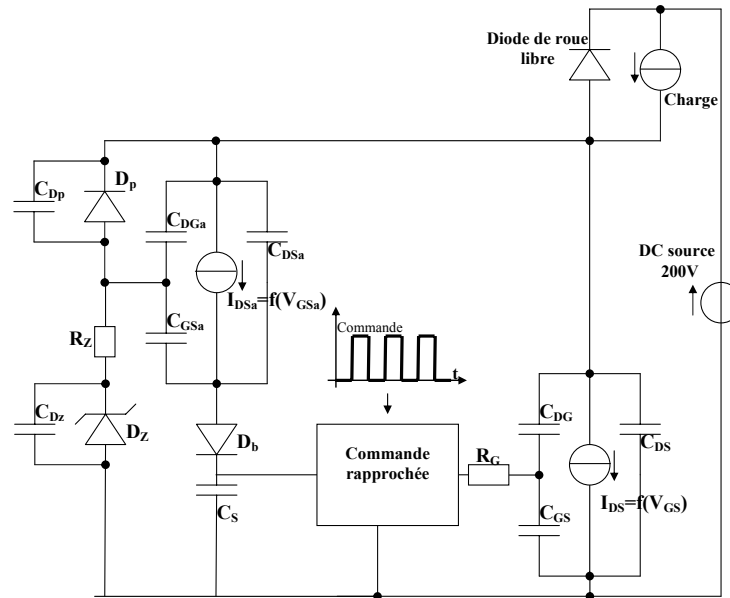


Figure 1-17. Modèle dynamique du système d'alimentation de commande de grille - implantation type hacheur série

Afin d'analyser le fonctionnement du circuit de l'auto-alimentation, nous avons introduit cette topologie sous Pspice (Figure 1-18). Nous avons simulé la structure d'un hacheur série dont l'interrupteur principal est auto-alimenté. Nous avons simulé la structure pour une tension d'entrée de 200V et une valeur de la capacité C_S de 22nF. Nous avons supposé une consommation de la commande rapprochée de quelques milliampères. En effet pour simplifier les interactions dans le circuit et faciliter la convergence des simulations, le bouclage de l'alimentation de la commande rapprochée n'est pas effectif dans un premier temps.

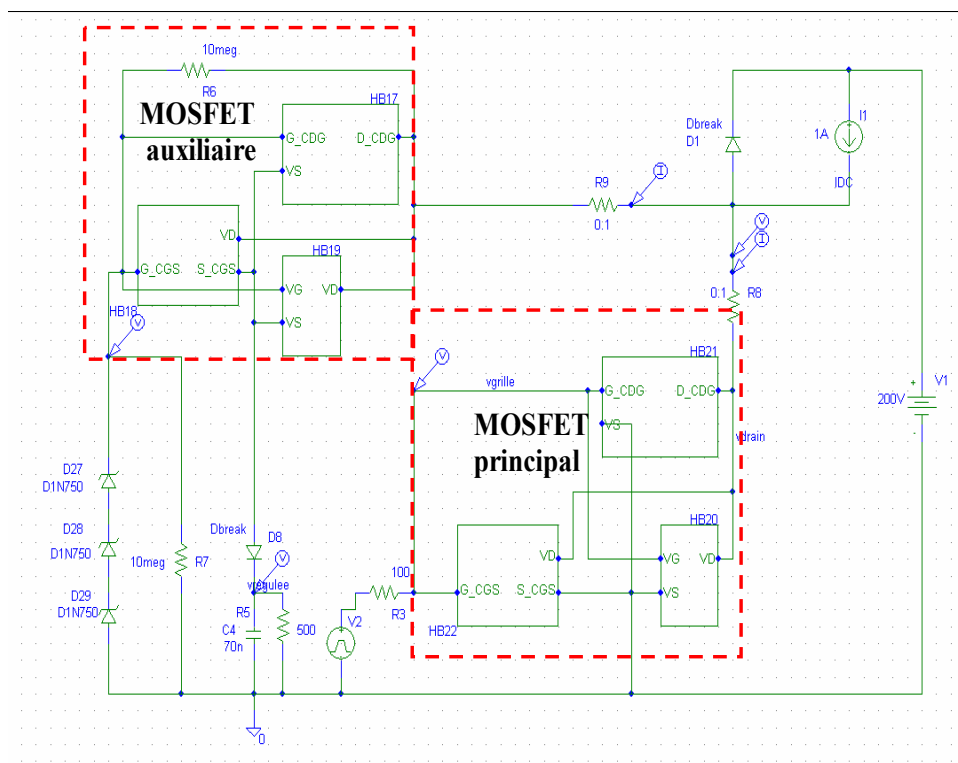


Figure 1-18. Structure du hacheur série et de l'auto-alimentation de la commande rapprochée simulée sous Pspice

Sur la Figure 1-19 sont présentés les résultats de simulation de la structure simulée.

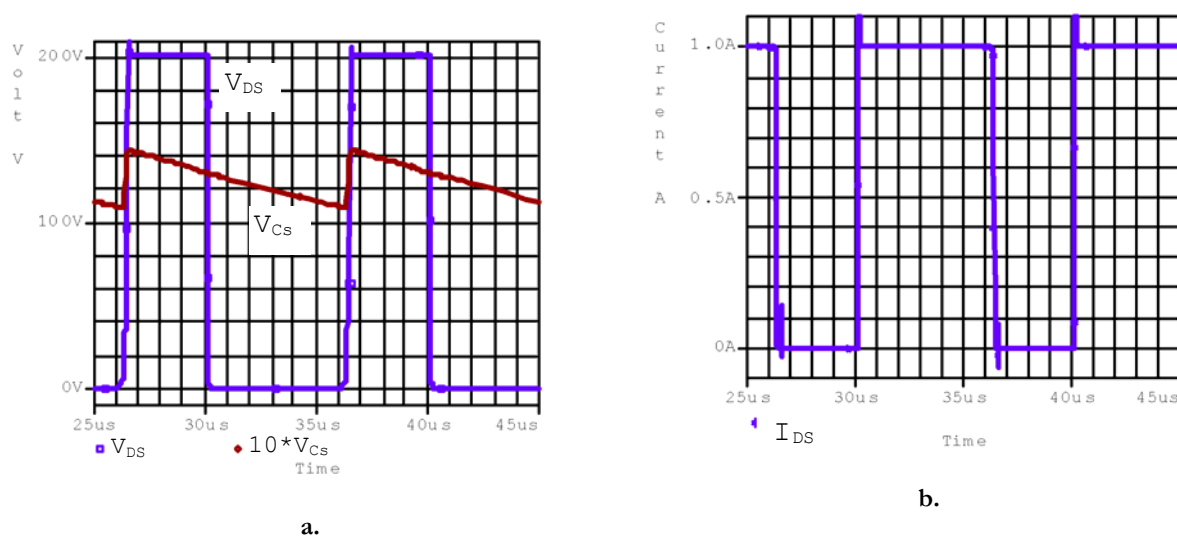


Figure 1-19. Formes d'ondes (V_{DS} , I_{DS}) de l'interrupteur principal et de la tension V_{CS} aux bornes de la capacité C_S

Quand l'interrupteur principal s'ouvre, la montée de la tension V_{DS} est retardée par le circuit de l'auto-alimentation. Comme on peut le voir sur les oscillogrammes de la Figure 1-20, le courant principal passe par l'interrupteur auxiliaire et charge la capacité C_S .

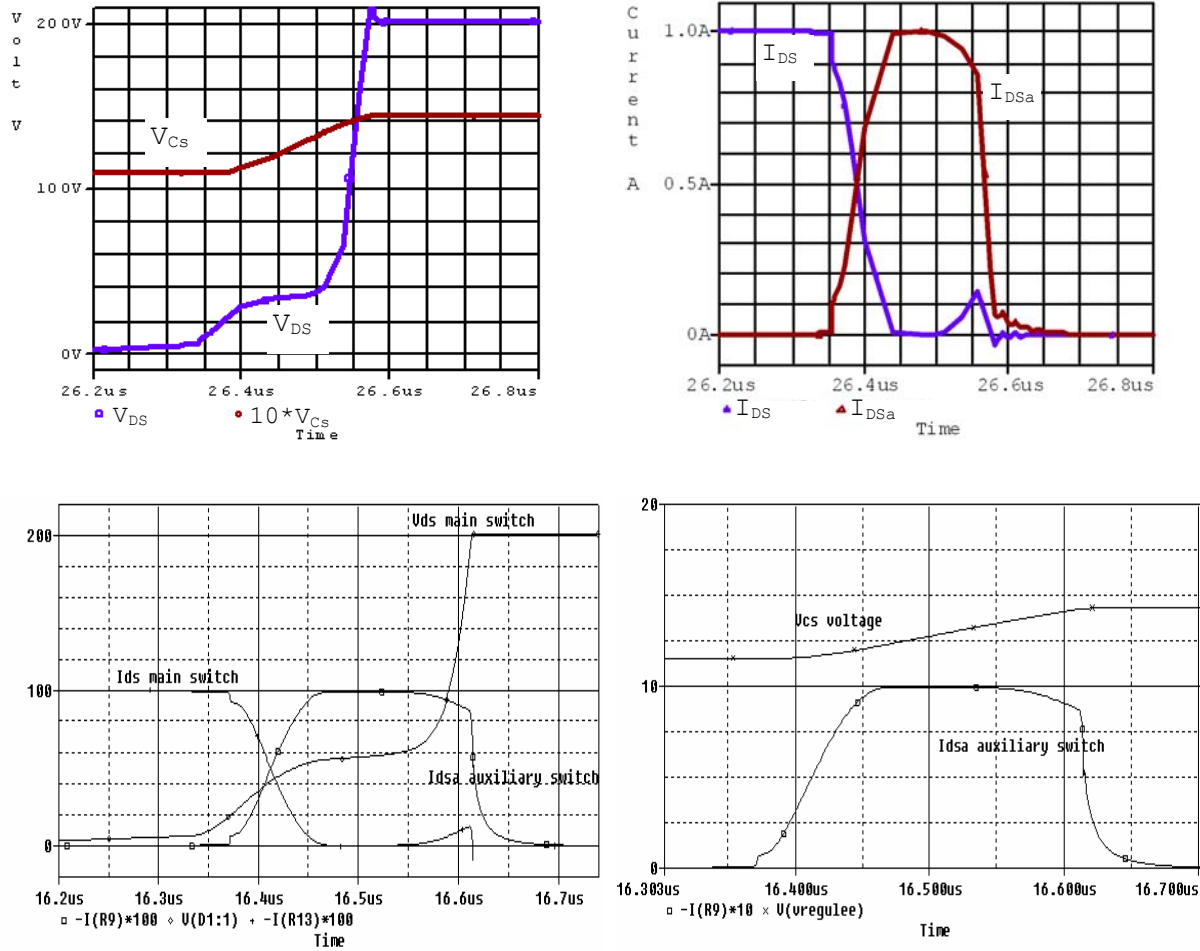


Figure 1-20. Formes d'ondes obtenues en simulation pendant l'ouverture du MOSFET principal

Le circuit de l'auto-alimentation procure l'effet d'un CALC. La charge de la capacité C_s est terminée avant que la tension V_{DS} ait atteint sa valeur nominale de 200V. En effet la charge de la capacité est régulée par le MOSFET auxiliaire. La mise en conduction du MOSFET auxiliaire dépend de la valeur de la tension V_{GaSa} . Si cette valeur est supérieure à la tension de seuil du composant, ce dernier conduit. La diode Zener est polarisée par le courant de fuite de la diode D_p . La tension Zener V_Z est appliquée aux bornes de l'ensemble entre grille et source du MOSFET auxiliaire, diode D_B et capacité C_s . Quand la tension V_{DS} aux bornes de l'interrupteur principal commence à augmenter le potentiel de la grille du MOSFET auxiliaire suit. Dès que V_{Ga} devient supérieure à $V_{tha} + V_{Db} + V_{CS}$, le MOSFET auxiliaire devient passant. Quand la charge de la capacité C_s débute, la montée de la tension V_{DS} est légèrement retardée par l'effet CALC. La capacité C_s se charge et V_{CS} croît. Comme la tension V_{Ga} est écrêté à V_Z , la tension V_{GaSa} va commencer à diminuer jusqu'à descendre au-dessous de V_{th} . Le MOSFET auxiliaire s'arrête alors de conduire.

En fait, la branche de l'auto-alimentation n'est pas alimentée par une tension continue, mais par une tension rectangulaire (tension V_{DS} aux bornes de l'interrupteur principal). Ainsi, lorsque ce dernier est soumis au dv/dt créé par la commutation à l'ouverture du composant principal, le pont diviseur capacitif créé par les capacités parasites C_{GaDa} et C_{GaSa} associées au condensateur C_S parvient à mettre en conduction le transistor MOSFET auxiliaire. La tension se répartit entre les différentes capacités ce qui permet à V_{GaSa} de franchir la tension de seuil du MOSFET et ainsi permettre sa mise en conduction. Lorsque la tension V_{Ga} du transistor auxiliaire atteint le seuil de la diode « Zener », l'écrêtage entre en action et la régulation commence. Ainsi, la grille de l'interrupteur auxiliaire est protégée tout en assurant la fonction de régulation en tension du condensateur de stockage C_S . Lorsque la tension aux bornes de la capacité C_S a atteint sa valeur régulée la tension de V_{GaSa} passe en dessous de la valeur de la tension de seuil V_{th} du MOSFET auxiliaire. Ce point est très important du point de vue du dimensionnement de la branche de polarisation. Comme le système d'auto-alimentation fonctionne sous l'effet de la polarisation des capacités du MOSFET auxiliaire, une partie de la branche de polarisation du transistor auxiliaire peut être retirée. Ceci permet de simplifier la structure, de favoriser son intégration mais aussi d'augmenter le rendement de cette alimentation.

Les résultats de simulations montrent que pour augmenter la tension de la capacité de 3V il faut une phase de recharge de 200ns. Après cette période, l'énergie stockée dans la capacité est utilisée pour l'alimentation de la commande rapprochée. Cela montre qu'il est nécessaire d'avoir une estimation précise des besoins énergétiques de la commande rapprochée et de la grille du MOSFET principal. La capacité C_S doit être choisie en fonction de ces besoins.

III.1.b. Validation expérimentale

Un banc de test utilisant des composants discrets a été réalisé afin de valider le fonctionnement de la topologie de l'auto-alimentation (Figure 1-21). Ce banc de test reprend le schéma électrique utilisé pour les simulations, soit un hacheur série et sa commande rapprochée auto-alimentée.

Les caractéristiques électriques sont les suivantes :

$$V_{\text{entrée}}=245\text{V}, V_{\text{sortie}}=122.5\text{V}, R_{\text{charge}}=50\Omega; F_s=30\text{kHz}, \alpha=0.5$$

Les éléments du filtre de sortie sont : $L_{\text{sortie}}=1,6\text{mH}$, $C_{\text{sortie}}=220\mu\text{F}$.

Les paramètres d'alimentation de la commande rapprochée sont : $V_{Dz} = 18\text{V}$, $C_S=22\text{nF}$.

L'opto-coupleur est un HCPL2200 [AGILENT-1] et la commande rapprochée est constituée de portes inverseuses MM74C914 [FAIRCHILD].

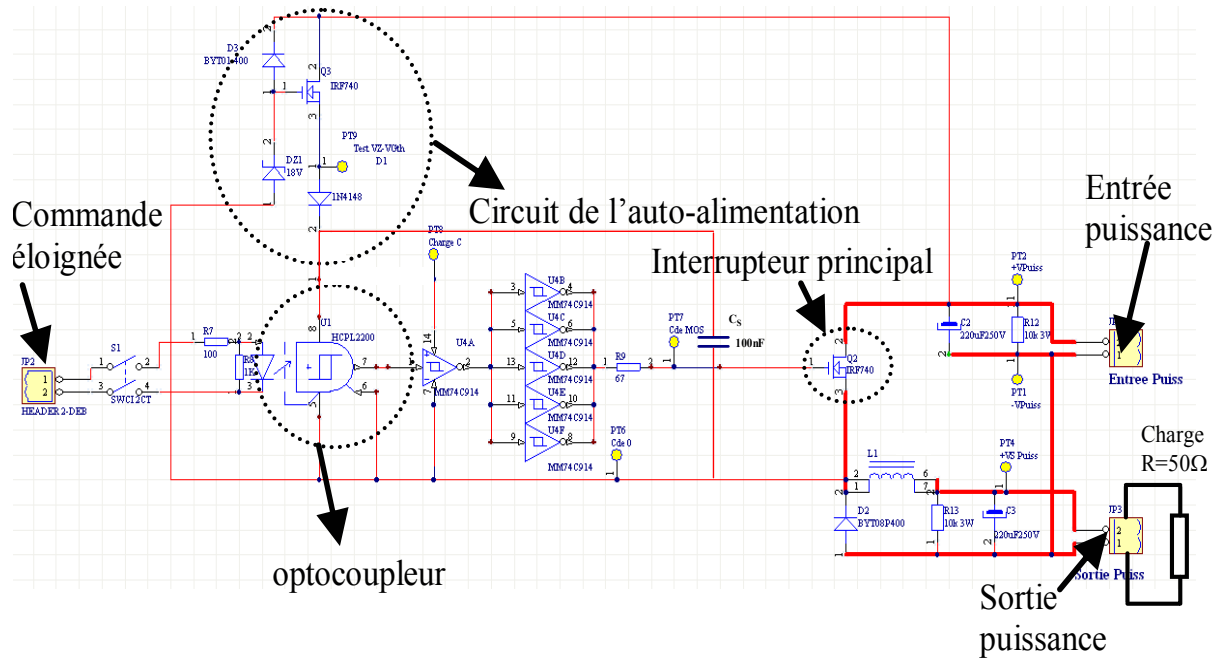


Figure 1-21. Schéma du hacheur série utilisée pour valider le fonctionnement du système d'auto-alimentation de la commande rapprochée d'un interrupteur de puissance

Sur la Figure 1-22 sont présentées les formes d'ondes de la tension V_{DS} aux bornes de l'interrupteur principal, de la tension V_{CS} aux bornes de la capacité de stockage C_S et l'allure d'onde du courant I_{DS} traversant l'interrupteur principal.

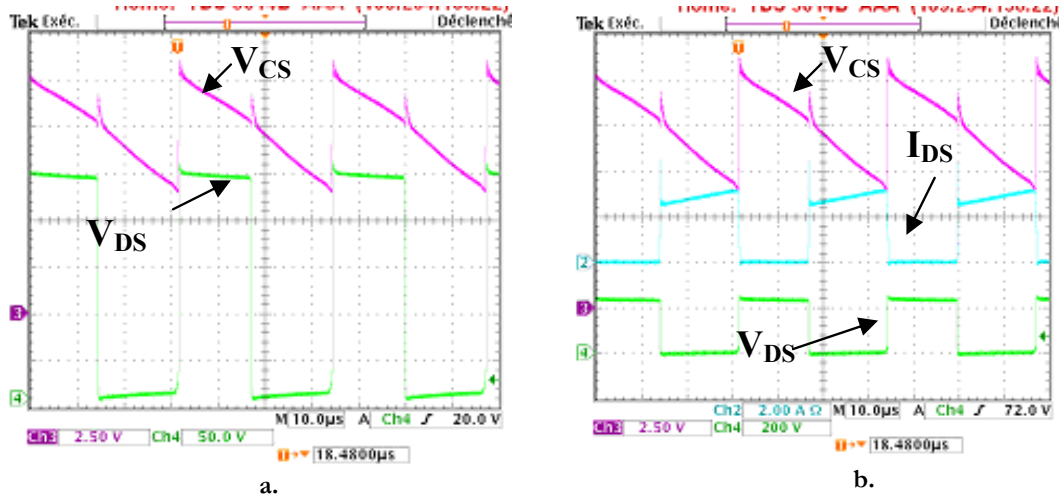


Figure 1-22. Formes d'ondes expérimentales V_{DS} , I_{DS} et V_{CS} dans un hacheur série avec auto-alimentation de la commande rapprochée

De ces résultats de mesure, on peut voir que la capacité se charge sous 13.5V à l'ouverture de l'interrupteur principal. La tension maximale aux bornes de la capacité est égale à la tension régulée par la diode Zener (18V) moins la tension de seuil de l'interrupteur principal (4V) et moins la chute de tension aux bornes de la diode de D_b passante (environ 0.6V). Pendant le reste

de la période de découpage la capacité se décharge linéairement à cause de la consommation de la commande rapprochée. Une recharge a lieu pendant la fermeture de l'interrupteur principal correspondant à une augmentation de 2V de la tension aux bornes de la capacité C_s . Cette recharge est peut être due aux inductances parasites du montage. Durant une période de commutation, la tension aux bornes de la capacité diminue de 7V pour atteindre une valeur minimale d'environ 6,5V.

Les résultats de mesures de la Figure 1-22, montrent que le système d'auto-alimentation fonctionne en mode « impulsional » - c'est à dire que la capacité ne se recharge que pendant la commutation de l'interrupteur principal. Nous avons pu observer aussi un autre mode de fonctionnement avec une recharge de la capacité de stockage C_s durant toute la phase de l'état bloqué de l'interrupteur principal. En fait le mode de fonctionnement dépend du point de fonctionnement, des caractéristiques des composants du système d'auto-alimentation. Des études plus approfondies doivent être menées afin de déterminer l'influence des différents paramètres du système d'auto-alimentation sur son mode fonctionnement.

Sur les oscillogrammes de la Figure 1-23 sont présentés les zooms des formes d'ondes lors de la commutation, ce qui permet de mieux voir le fonctionnement du système de l'auto-alimentation.

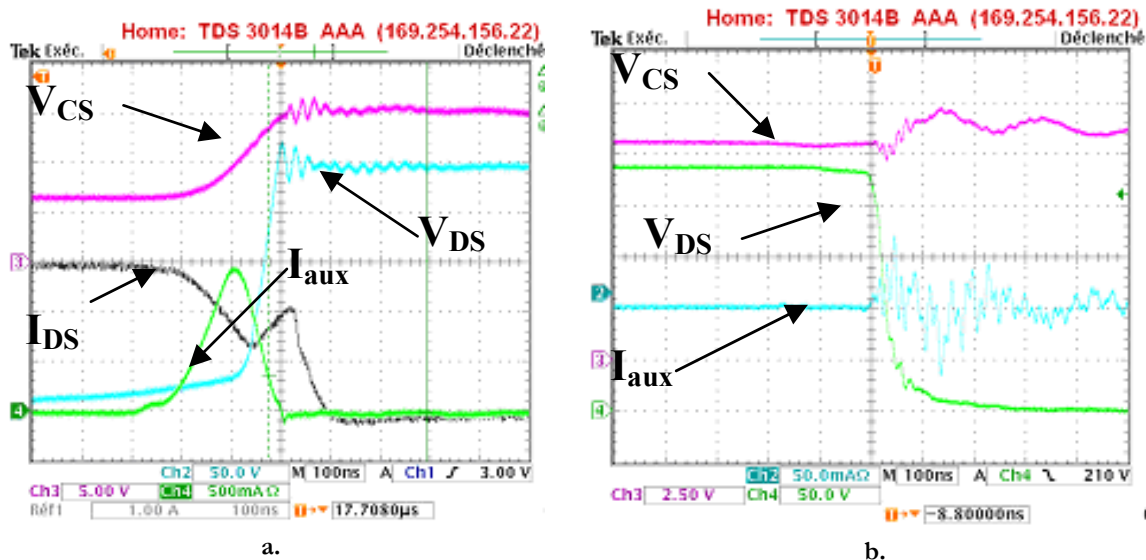


Figure 1-23. Zoom des formes d'ondes expérimentales de la tension V_{DS} , du courant I_{DS} et de la tension V_{CS} dans le cas d'un hacheur série avec auto-alimentation de la commande rapprochée a. à l'ouverture de l'interrupteur principal et b. à la fermeture de l'interrupteur principal

Sur la Figure 1-23a. on peut voir la forme d'onde montrant le courant dans l'interrupteur auxiliaire qui recharge la capacité pendant la remontée de la tension V_{DS} de l'interrupteur principal. En fait le courant qui recharge la capacité C_s est dévié de l'interrupteur principal. Le

courant dans l'interrupteur principal commence à diminuer avant la remontée de la tension de ce dernier. Cela est très intéressant au niveau pertes parce que la montée en tension s'effectue sous faible courant ce qui réduit les pertes par commutation dans l'interrupteur principal. La faible recharge de C_s durant la fermeture de l'interrupteur principal peut être provoquée par les inductances parasites du montage, qui créent une surtension aux bornes du circuit de l'auto-alimentation.

La recharge de la capacité est réalisée en 300ns.

III.1.c. Performances

Le fonctionnement du système d'auto-alimentation et les besoins énergétiques dépendent de plusieurs paramètres :

- La valeur de la capacité de stockage C_s
- La fréquence de découpage
- La consommation de la commande rapprochée
- La consommation due à la charge de grille de l'interrupteur principal
- Le rapport cyclique
- La valeur de la variation de tension ΔV_{CS} tolérée aux bornes de la capacité durant la période d'auto-alimentation.

En fonction de la valeur de la capacité C_s et de la consommation de l'étage de commande, nous allons avoir une plage de valeurs possibles pour la fréquence de découpage ainsi que pour le rapport cyclique. Nous pouvons faire une estimation de ces paramètres dans notre cas.

La valeur minimale de la capacité peut être estimée en fonction de la valeur maximale de décharge de la tension aux bornes de C_s que l'on considère acceptable durant la période de découpage. Nous avons pris une valeur de $\Delta V_{CS} < 9V$ afin d'éviter que la tension sur la grille du MOSFET principal ne devienne trop basse et que ce dernier passe en régime linéaire. Ainsi la valeur de la tension aux bornes de la capacité sera toujours supérieure à 4,5V. Un autre élément important pour le dimensionnement de la capacité C_s est la consommation de la commande rapprochée. La consommation de cette dernière dans ce cas dépend des éléments suivants :

- de la consommation de l'opto-coupleur. Selon les données constructeurs (vérifiées en pratique) l'opto-coupleur HCPL-2200, consomme autour de 3mA continu
- de la quantité de charge amenée sur la grille du MOSFET principal (donc de C_{iss})
- de la consommation de la commande rapprochée. Nous avons pu négliger la consommation des portes inverseur MM74C914 car celle-ci était très faible devant celle de l'opto-coupleur [FAIRCHILD].

En ce qui concerne l'estimation de la consommation de la grille, il faut utiliser le modèle de localisation des charges présenté dans l'annexe II. Cependant la valeur totale des besoins énergétiques de la grille du MOSFET peut être estimée à partir des données constructeurs. La consommation de la grille du transistor principal IRF740 est de 60nC (d'après les données du constructeur).

Dans ce cas la quantité de charge totale de la commande sur une période T_s sera de :

$$Q_{tot} = I_{opto} \cdot T_s + Q_{grille} = 3.10^{-3} \cdot 33\mu s + 60.10^{-9} = 1,7.10^{-7} C.$$

I_{opto} est le courant consommée par l'opto-coupleur et Q_{grille} est la charge de grille nécessaire au MOSFET IRF740.

Dans ce cas on peut estimer la valeur minimale de la capacité pour une décharge de 9V.

$$C_s = \frac{Q_{tot}}{\Delta V_{CS}} = \frac{1,7.10^{-7} C}{9V} = 18nF$$

Les consommations énergétiques peuvent être réduites en utilisant un étage de commande dont la consommation est moins élevée, par exemple le circuit HCPL3150 [AGILENT-2] qui intègre un opto-coupleur et un circuit de polarisation de la grille. Cet ensemble ne consomme que 1mA). Le MOSFET principal peut être conçu pour limiter ses besoins énergétiques [VERNEAU03]. Donc, en réduisant la consommation de l'étage de la commande, la valeur de la capacité de stockage peut être réduite. Plus la valeur de cette capacité sera petite, plus facile sera son éventuelle intégration. L'augmentation de la fréquence de découpage va aussi réduire les besoins pour Q_{tot} donc C_s .

III.1.d. Limites de fonctionnement

Nous pouvons estimer les limites de fonctionnement de notre système en fonction du rapport cyclique et de la fréquence de découpage. Pour cela il nous faut tout d'abord connaître la quantité de charges de grille nécessaire à la commutation. Nous avons donc mesuré la consommation de la grille du MOSFET IRF740. Pour cela nous avons mesuré la tension de grille du MOSFET et la tension de commande avant la résistance de grille. Cela nous a permis de déduire le courant puis la charge de la grille.

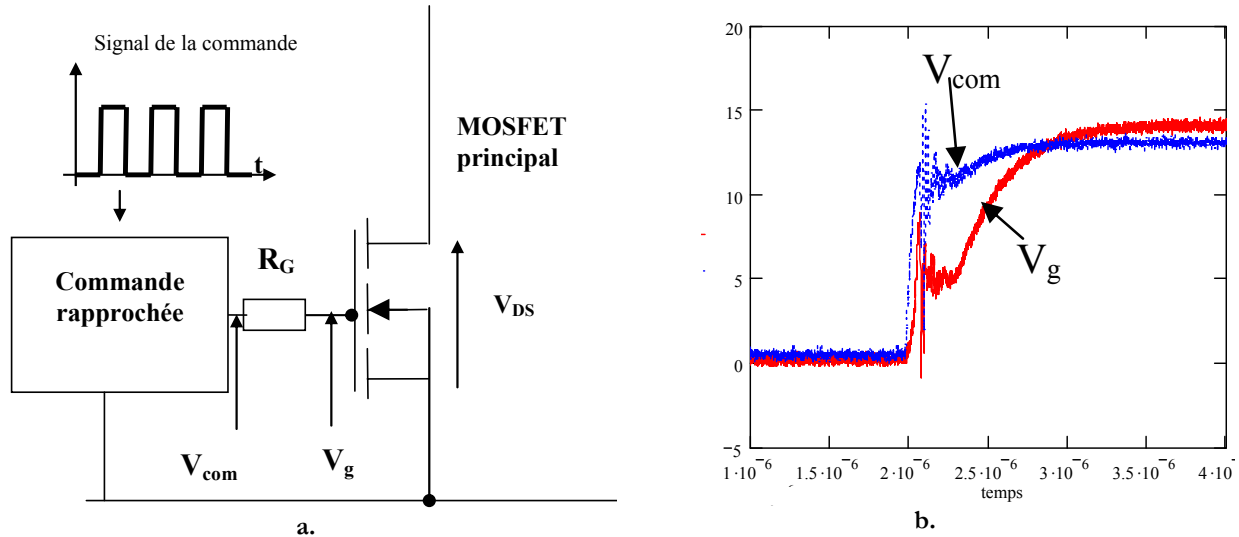


Figure 1-24. Mesure des charges de grille du MOSFET IRF740

Les résultats de mesure sont présentés sur la Figure 1-24.

La charge de grille nécessaire pour commuter 1A sous 200V vaut :

$$Q_{grille} = \int_0^{\alpha T} \frac{(V_{com}(t) - V_g(t))}{R_g} dt \quad \text{Eq. 1-1}$$

$$Q_{grille} = 71 \text{ nC}$$

αT est le temps de charge de la grille, R_g est la résistance de la grille 50Ω .

V_{DS} (V)	I_{DS} (A)	F_s (kHz)	$Q_{grille} \text{ (turn ON) (nC)}$	Nominal V_{CC} (V)
200	1	30	71	15

Tableau 1-1. Résultats de mesure pour la charge de la grille du MOSFET IRF740

Le courant consommé par l'opto-coupleur alimenté sous 15V est du 3mA.

Comme on l'a vu dans la partie III.3, la capacité se charge sous 13.5V à l'ouverture du MOSFET principal puis décroît pendant toute la période T. On peut déterminer un seuil minimal de la tension aux bornes de la capacité au-dessous duquel cette tension ne doit pas descendre. Cette tension doit obligatoirement être supérieure à la tension de seuil du MOSFET principal pour ne pas perturber le fonctionnement du convertisseur. Elle doit aussi, si possible être largement supérieure pour ne pas trop pénaliser les pertes en conduction qui seraient induites par une $R_{DS(on)}$ trop élevée. Comme la tension de seuil du MOSFET principal est de 4V (IRF740), le seuil minimum pour V_{CS} que nous allons prendre est de 5V (nous prenons 1V de marge de sécurité). Nous pouvons estimer les besoins énergétiques du système d'auto-alimentation sans prendre en compte cette recharge de 2V. La charge totale disponible Q_t pour alimenter l'opto-coupleur et la grille du MOSFET si la tension aux bornes de la capacité baisse de 9V sera égale à :

$$Q_t = C \cdot \Delta V, Q_t = 198 \text{ nC}$$

$$\text{Où } \Delta V = 9 \text{ V et } C = 22 \text{ nF}$$

Alors la charge disponible pour alimenter l'opto-coupleur sera :

$$Q_t - Q_{\text{grille}} = 198 \text{ nC} - 71 \text{ nC} = 127 \text{ nC}$$

et le temps pendant lequel l'opto-coupleur pourrait être alimenté est :

$$T_{\text{MAX}} = \frac{Q_t - Q_{\text{grille}}}{I_{\text{opto-coupleur}}}$$

$$T_{\text{MAX}} = 56 \mu\text{s}$$

Si on considère que la capacité n'est rechargée qu'à l'ouverture de l'interrupteur principal et que le reste du temps la commande rapprochée est alimentée par la capacité, alors la fréquence minimale de fonctionnement dans ces conditions sera égale à :

$$F_{\text{min}} = \frac{1}{T_{\text{MAX}} + T_{\text{charge_CS}}} = 17 \text{ kHz}$$

En ce qui concerne le rapport cyclique, le temps pendant lequel l'interrupteur est « OFF » doit être au minimum le temps nécessaire à la recharge de la capacité à 13.5V – soit dans notre cas 300ns. Donc on peut déterminer la fréquence maximale de fonctionnement en fonction du rapport cyclique pour un temps de recharge de la capacité de 300ns. Cependant en augmentant la fréquence de fonctionnement le temps d'alimentation de la commande rapprochée va diminuer, ainsi que la décharge de la capacité. Nous avons étudié le temps de recharge de la capacité en fonction de sa valeur et du point de fonctionnement du l'hacheur série pour quatre différents cas qui sont présentés dans le Tableau 1-2:

	$F(\text{KHz})$	$I_{\text{out}} (\text{A})$	$C_s (\text{nF})$
1	25	1	68
2	25	1	1000
3	25	2	68
4	200	1	68

Tableau 1-2. Récapitulatif des conditions de mesures pour différents points de fonctionnement du hacheur série pour $\alpha=0.5$

Les relevées correspondantes à ces différents points de fonctionnement sont présentés sur la Figure 1-25.

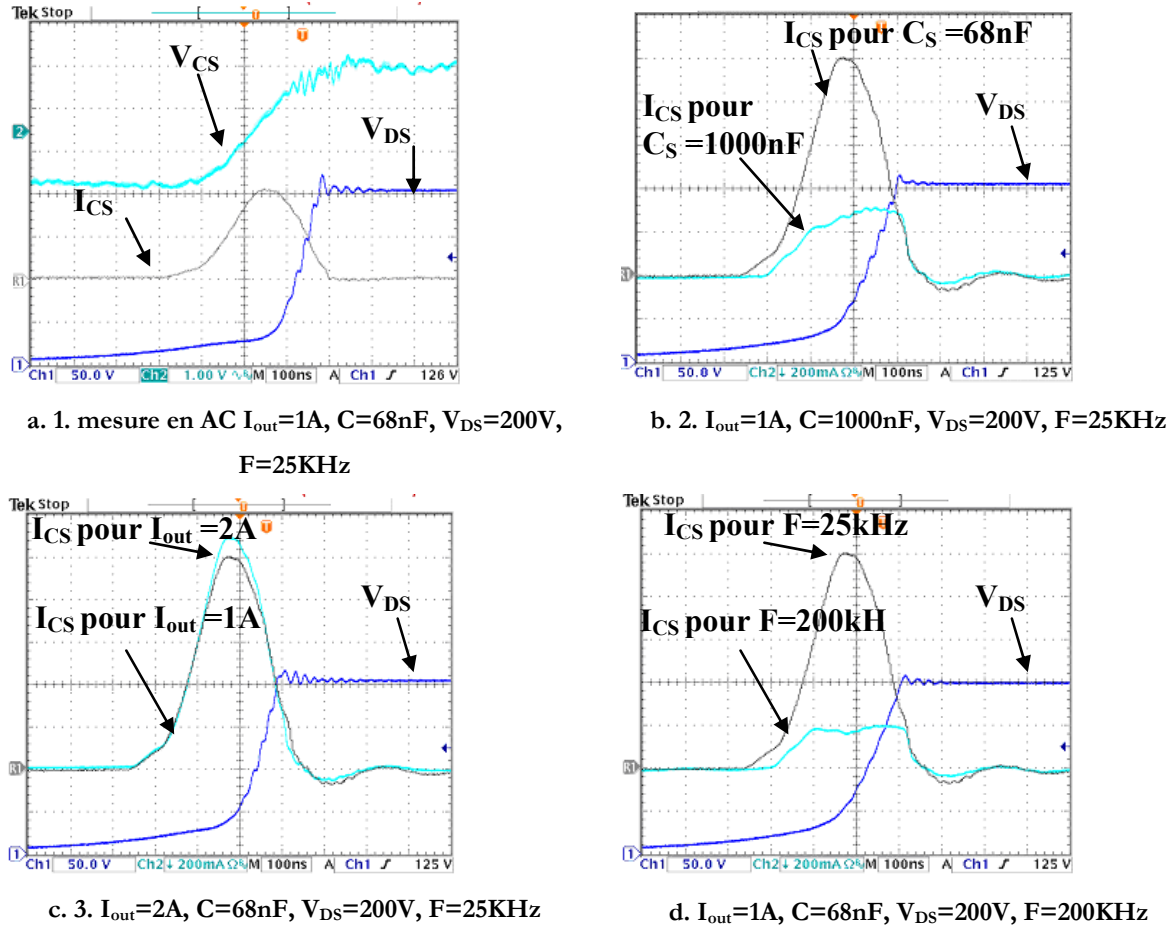


Figure 1-25. Résultats de mesures des différents points de fonctionnement du hacheur série

Nous avons comparé les résultats de mesures avec les résultats de simulations de notre modèle présenté dans la partie III.1. Cette comparaison est présentée dans le Tableau 1-3.

	1	2	3	4
Simulation	300ns	350ns	400ns	350ns
Mesure	380ns	360ns	380ns	350ns

Tableau 1-3. Temps de recharge de la capacité C_S pour des différents points de fonctionnement d'hacheur série. Comparaison mesure/simulation

D'après les résultats des mesures et des simulations on peut voir que le temps de recharge de la capacité est peu dépendant du point de fonctionnement du hacheur série, ainsi que de la valeur de la capacité C_S . Donc on peut déduire à partir de cette analyse la fréquence maximale de fonctionnement du système de l'auto-alimentation.

$$F_{MAX} < \frac{1 - \alpha_{max}}{T_{charge_CS}}$$

Le graphe de cette équation est présenté sur la Figure 1-26 :

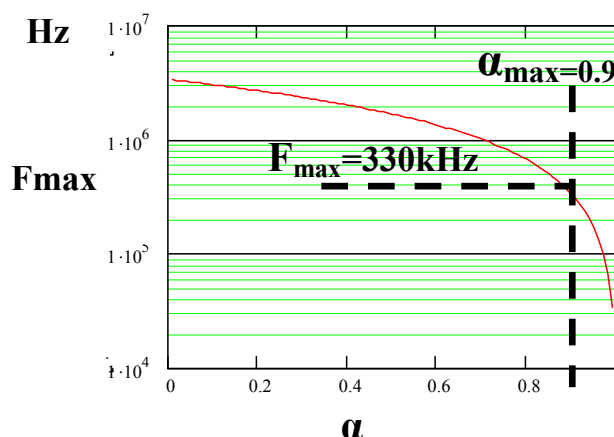


Figure 1-26. Plage de fréquence de découpage maximale du hacheur avec l'auto-alimentation en fonction du rapport cyclique pour un temps de charge de la capacité C_s de 300ns

On peut voir que, pour un rapport cyclique de 0.1, la fréquence maximale de fonctionnement doit être inférieure à 3MHz et pour un rapport cyclique de 0.9 la fréquence doit être inférieure 330kHz.

III.1.e. Estimation des pertes

Le principe de l'auto-alimentation que nous avons présenté est basé sur la régulation impulsionnelle. Ce principe est rarement utilisé en électronique de puissance à cause de son rendement. Dans le cas d'un régulateur fonctionnant en continu, le rendement est donné par la formule :

$$\eta = \frac{V_{Cs}}{V_{DS}}$$

Néanmoins, dans notre configuration, le bilan est plutôt positif. En fait, quand on regarde la structure qui est réalisée, on remarque que cela revient à mettre en parallèle avec l'interrupteur principal, une structure R-C commandable, qui ressemble à un circuit d'aide à la commutation.

Ainsi, lorsque l'interrupteur principal se bloque, la tension à ses bornes augmente. Rapidement, le MOSFET auxiliaire devient passant et la majeure partie du courant principal commuté est déviée dans le condensateur C_s , comme le montre la Figure 1-23.

Ce courant, circulant sous tension réduite dans l'interrupteur auxiliaire, recharge avec un meilleur niveau de rendement, le condensateur C_s . Après la charge de C_s la commutation en tension se termine classiquement. Avec pour avantage que l'énergie stockée dans le condensateur est ensuite utilisée pour alimenter la commande rapprochée de l'interrupteur principal.

De fait, les pertes dans l'interrupteur auxiliaire restent faibles. Ce résultat est directement lié au fait que la tension apparaît aux bornes du régulateur linéaire de manière discontinue et que le

courant de recharge de C_s est impulsionnel. En jouant à la fois de cet effet sur la polarisation et sur la phase de recharge, on bénéficie d'un fonctionnement avantageux. Sur la Figure 1-27 sont comparées les formes d'ondes en commutation d'un interrupteur dont la commande rapprochée est auto-alimentée avec le cas d'une alimentation externe du circuit de commande.

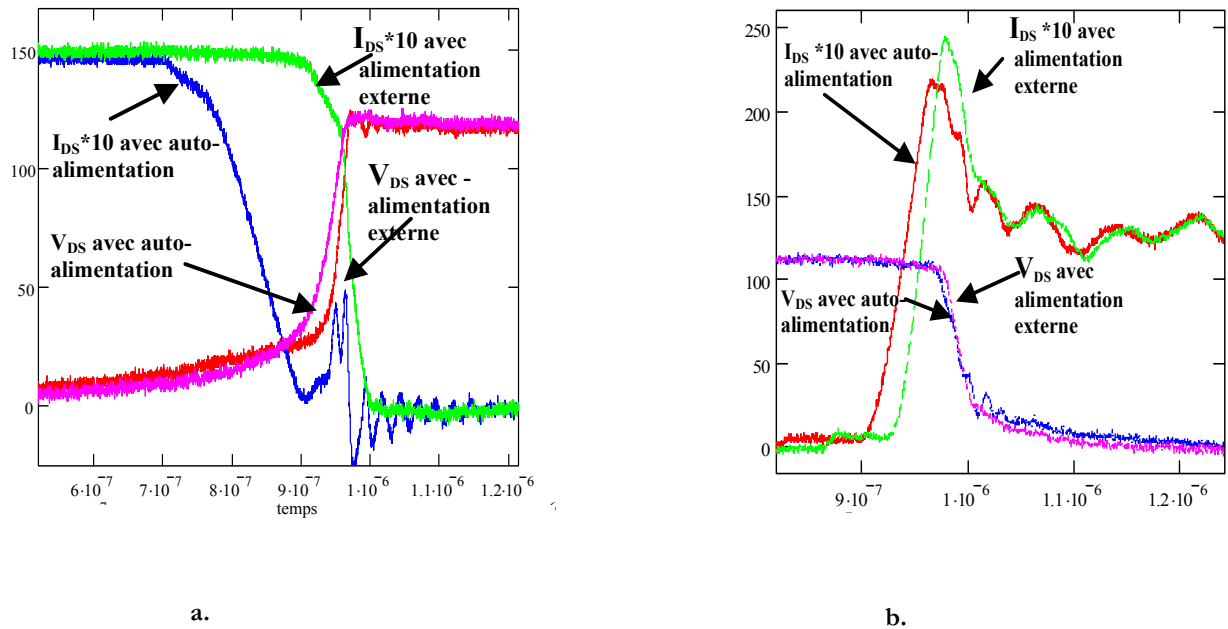


Figure 1-27. Allures de V_{DS} et I_{DS} avec et sans auto-alimentation a. à l'ouverture de l'interrupteur principal et b. à la fermeture de l'interrupteur principal

On peut voir que dans le cas de l'auto-alimentation, la commutation en tension est retardée. Par contre le courant dans l'interrupteur principal commence à diminuer plus tôt que dans une commutation sans le système d'auto-alimentation. Cela vient du fait que le courant principal est dévié dans l'interrupteur auxiliaire et recharge la capacité de stockage. En effet, la phase de recharge s'effectue principalement lorsque l'interrupteur principal commute. Durant cette phase, l'interrupteur principal est le siège des pertes en commutation. En soustrayant une partie du courant dans l'interrupteur principal pour effectuer la recharge du condensateur de stockage, cela revient à utiliser une partie des pertes en commutation pour recharger le condensateur C_s . Cela est un phénomène classique des circuits d'aide à la commutation, ce mode de fonctionnement permet ainsi de minimiser le coût énergétique de cette solution car l'énergie stockée dans le pseudo-CALC sert désormais à alimenter la commande rapprochée du MOSFET principal. Ensuite, selon les éléments du circuit et les conditions de commutation, la régulation peut être ou ne pas être maintenue durant la phase bloquée de l'interrupteur principal. Dans ce dernier cas, on abouti alors à une fonction de régulation « impulsionnelle » à haut rendement. La charge de C_s se

fait alors de manière quasi-instantanée pendant la montée de la tension de l'interrupteur principal. Le reste de la période de découpage, il n'y a plus de courant qui charge la capacité.

Sur cette commutation le courant dans le cas de l'auto-alimentation remonte un peu plus rapidement que dans le cas d'une alimentation externe, mais sans grande différence globale.

Pour valider cette approche, nous avons fait une série de mesures pratiques temporelles sur une structure discrète. Les meilleurs résultats de rendement que nous ayons obtenu sont présentés sur les Figure 1-28 et Figure 1-29.

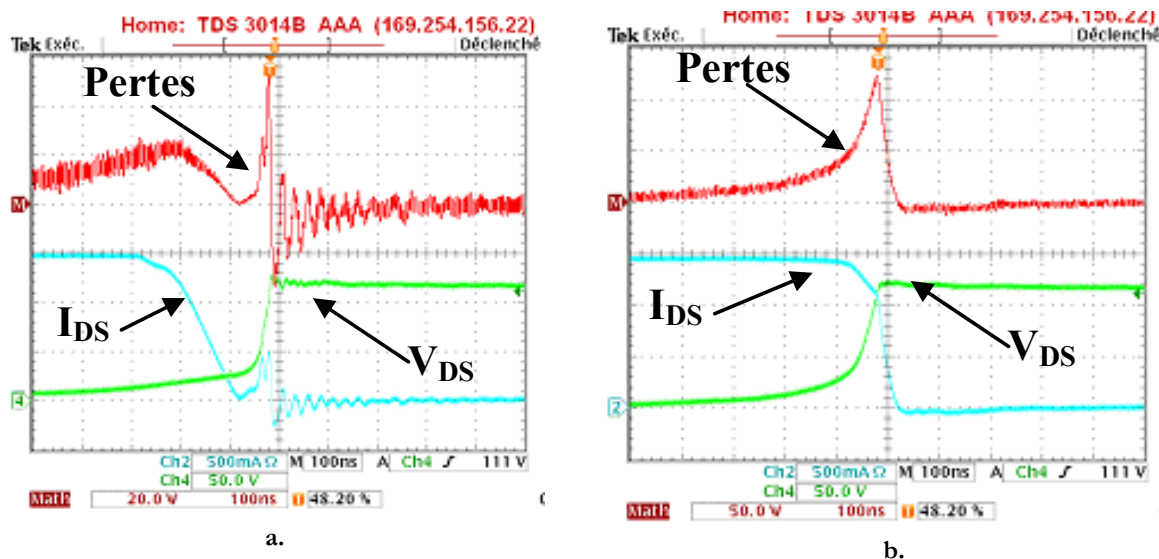


Figure 1-28. Formes d'ondes de la tension V_{DS} , du courant I_{DS} du transistor MOSFET principal a. avec auto-alimentation et b. sans auto-alimentation

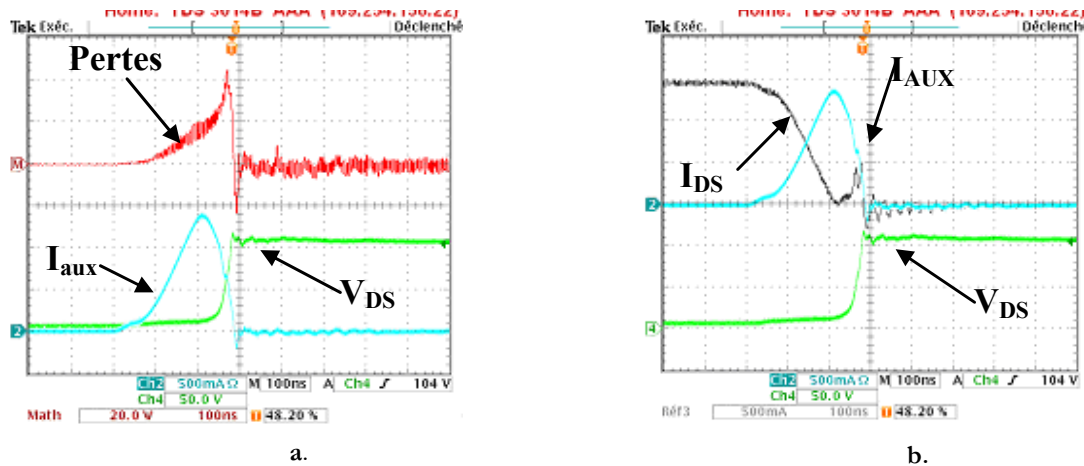


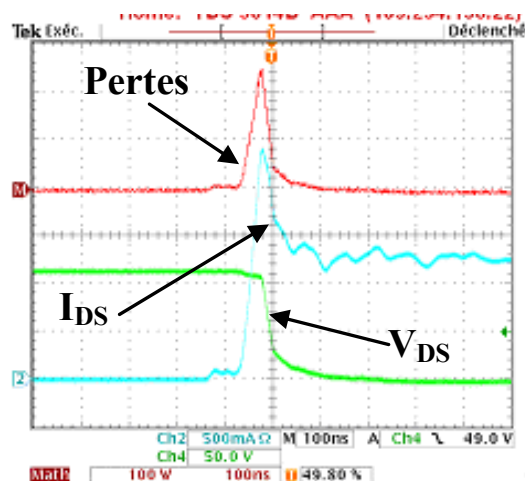
Figure 1-29. a. Formes d'onde de la tension V_{ds} , du courant I_{ds} et des pertes de commutation du transistor MOSFET auxiliaire. b. Formes d'onde de la tension V_{ds} , du courant I_{ds} dans le transistor MOSFET auxiliaire et du courant I_{ds} dans le transistor MOSFET principal

D'après ces mesures, les pertes en commutation sont comparables dans le cas de la topologie utilisant l'interrupteur auto-alimenté et dans le cas de la topologie utilisant l'interrupteur avec une alimentation externe pour la commande. Les conditions de mesure sont les suivantes :

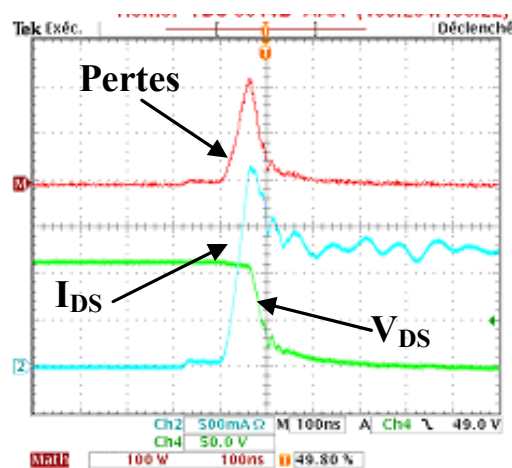
$V_{\text{entrée}}=150\text{V}$, $C=22\text{nF}$, $V_{\text{sortie}}=75\text{V}$, $I_{\text{charge}}=1.5\text{A}$, $L_{\text{sortie}}=1,6\text{mH}$, $C_{\text{sortie}}=220\mu\text{m}$, $\alpha=0.5$, $F=30\text{KHz}$.

Les oscillogrammes présentent les formes d'ondes du courant, de la tension et les pertes en commutation lors de l'ouverture dans les interrupteurs principaux et auxiliaire dans le cas avec auto-alimentation de la commande rapprochée (Figure 1-28.a) et dans le cas avec alimentation externe de la commande rapprochée (Figure 1-28.b).

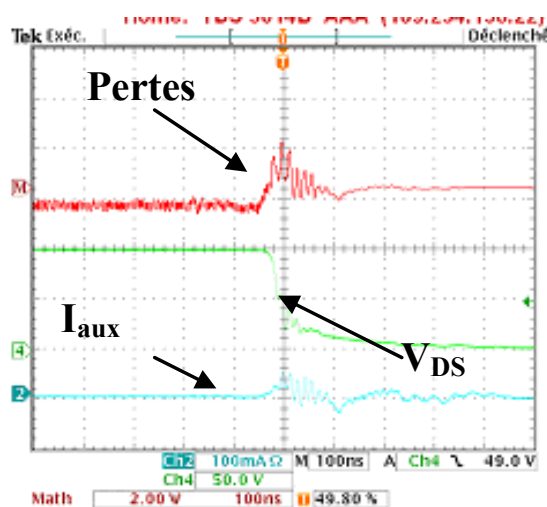
Nous avons faits les mêmes mesures dans les deux cas lors de la fermeture des interrupteurs principaux.



a. sans auto-alimentation



b. Pertes dans l'interrupteur principal dans le cas avec auto-alimentation



c. Pertes dans l'interrupteur auxiliaire dans le cas avec auto-alimentation

Figure 1-30. Formes d'onde en fermeture d'un interrupteur avec et sans auto-alimentation

Nous avons fait le calcul des pertes dans chaque interrupteur et les résultats sont présentés dans le Tableau 1-4.

Interrupteur	Commutation OFF	Commutation ON
Principal	0.25W	0.41W
Auxiliaire	0.08W	0.01W
Somme	0.33W	0.42W

Interrupteur	Commutation OFF	Commutation ON
Principal (alim. ext.)	0.46W	0.26W

Tableau 1-4. Niveaux de pertes dans chaque élément pour une fréquence de découpage de 30kHz)

Somme totale des pertes en commutation :

Pertes totales en commutation avec auto-alimentation: 0.75W

Pertes totales avec alimentation externe : 0.72W

Dans le cas d'une alimentation externe de la commande rapprochée nous n'avons pas pris en compte l'énergie issue de cette source externe. Cette énergie est égale à environ 50mW. Ces résultats démontrent que sur cet exemple le système de l'auto-alimentation ne génère pas de pertes supplémentaires. De plus, une partie des pertes en commutation est utilisée pour alimenter la commande rapprochée. Même pour des applications haute tension (qqkV) ou fort courant, cette solution peut être retenue.

III.2. Solution MOSFET/JFET

III.2.a. Présentation de la topologie

La première topologie que nous avons présentée contenait un MOSFET auxiliaire. Son inconvénient était qu'il nécessitait la présence de deux composants supplémentaires qui permettaient de polariser la grille du MOSFET auxiliaire pour le mettre en conduction et assurer la fonction de régulation en tension. Une autre solution utilisant un composant « normalement passant » permet de résoudre ce problème. Un MOSFET à appauvrissement aurait été envisageable mais sa réalisation technologique plus délicate [IMBERNON02] nous a plutôt orienté vers une solution utilisant un transistor JFET. Dans ce cas, nous n'avons plus besoin d'une branche de polarisation pour mettre en conduction ce composant (Figure 1-31), ce qui réduit le nombre total de composants nécessaires à la réalisation de la fonction « d'auto-alimentation ». Nous avons alors besoin de trois composants : le JFET vertical, la diode de

blocage D_b et la capacité C . La topologie et son fonctionnement ont été présentés dans [MITOVA04-2].

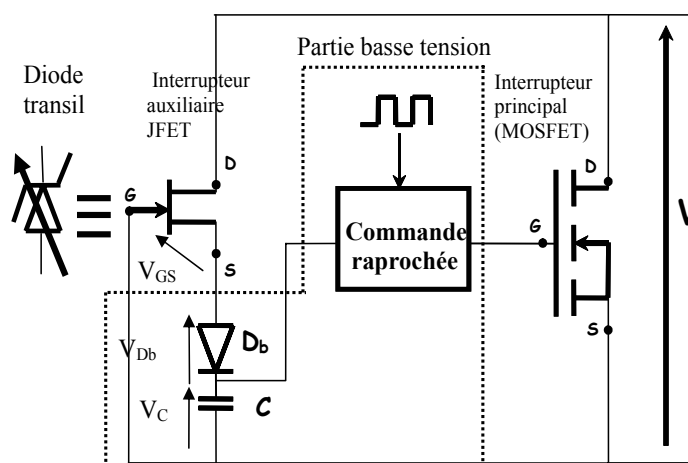


Figure 1-31. Topologie de l'auto-alimentation avec un JFET vertical

Quand l'interrupteur principal (MOSFET) est bloqué, la même tension est supportée par le circuit d'auto-alimentation constitué du JFET, de la diode D_b et de la capacité C en série. Supposons la tension nominale V_{DS} égale à 200V, qu'il faille charger la capacité sous 15V et que la chute de tension en direct de la diode est 0,6V ; il faut alors que le JFET soit dimensionné pour que sa tension de blocage soit environ de 15.6V pour une tension V_{DS} de 200V. Si la tension aux bornes de la capacité C est inférieure à cette valeur, la tension V_{GS} n'est pas suffisante pour bloquer le composant. Le JFET est alors passant et la capacité se charge. La diode D_b empêche la décharge de la capacité à travers le JFET lorsque la tension V_{DS} devient très faible (MOSFET principal « ON »).

Les contraintes de tenue en tension et de topologie (drain commun) nous ont imposé l'utilisation d'un JFET vertical. Le comportement électrique (triode ou pentode) de ce composant est fortement dépendant de ses formes géométriques. Dans la partie III.2, nous allons présenter des simulations validant le fonctionnement électrique de ce composant et du système d'auto-alimentation. Nous utiliserons une structure du composant JFET dont l'optimisation sera présentée dans la partie III.

III.2.b. Simulation de la topologie

Nous avons effectué des simulations en utilisant un logiciel à éléments finis (Atlas–Mixedmode de SILVACO) afin de valider le fonctionnement de notre topologie à partir d'une description physique. Nous avons simulé un transistor JFET optimisé pour la fonction de

régulation du système d'auto-alimentation. Les contraintes de conception et d'optimisation du composant seront présentées ultérieurement dans ce chapitre.

La topologie a été simulée en régime transitoire et en régime établi. Le schéma de la topologie simulée est montré Figure 1-32.

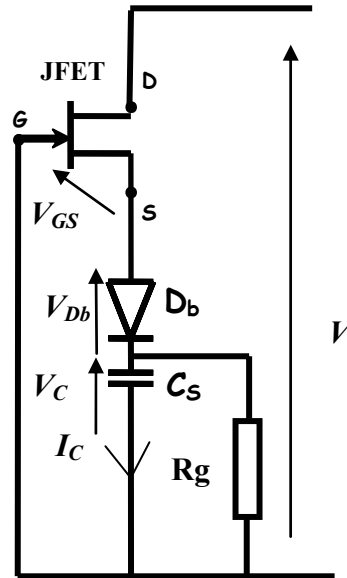


Figure 1-32. Topologie simulée

Nous avons appliqué une rampe de tension de 0 à 400V sur l'interrupteur principal (Figure 1-33). La valeur de la capacité C_s est de 10nF et la résistance R_g vaut 1k Ω ; cette dernière rendant compte de la consommation du circuit de commande rapprochée. Dès la montée de la tension, le courant passe dans le JFET et la capacité commence à se charger. Cette charge continue tant que la tension aux bornes de la capacité ne permet pas le blocage du JFET. Puis le JFET se bloque et la capacité ne se charge plus. La tension V conduisant au pincement du JFET dépend de ses caractéristiques géométriques et physiques. Celles-ci ont dues être optimisées pour que le JFET se bloque après que la tension de la capacité ait atteint 15V environ (pour une tension d'alimentation de 400V). En doublant cette tension commutée, la simulation montre que ce même JFET a un seuil de pincement tel qu'il conduit à une tension V_{cs} proche de 20V.

La charge de la capacité est terminée en environ 0.5 μ s, ce qui permet d'envisager de travailler à des fréquences élevées (où à des rapports cycliques faibles).

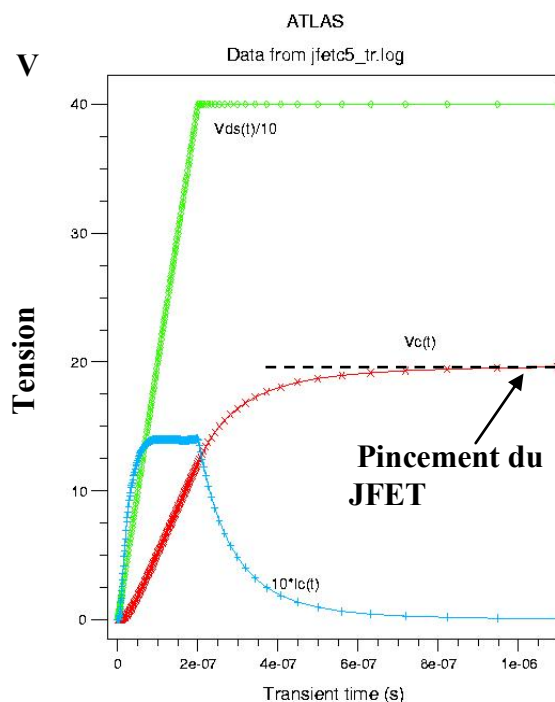


Figure 1-33 : Simulation de la charge initiale de la capacité C_s

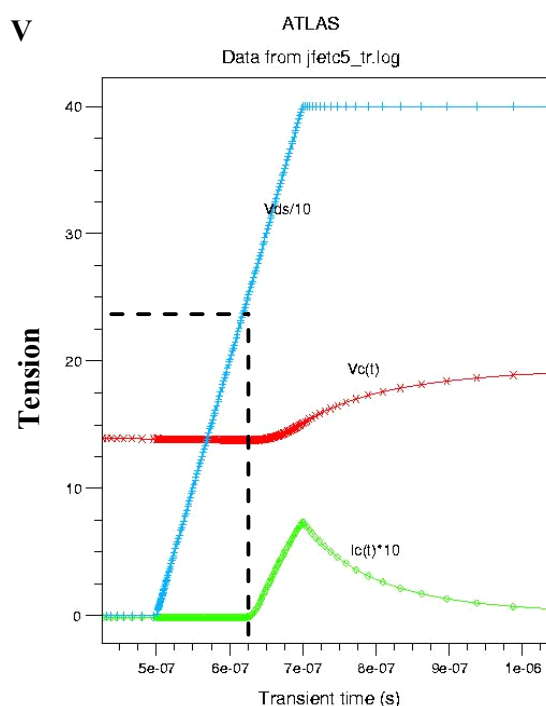


Figure 1-34. Cas de la commutation à l'ouverture de l'interrupteur principal montrant la recharge de la capacité

La Figure 1-33 présente les formes d'ondes obtenues par simulation de la première charge de la capacité C_s après la mise sous tension du système de l'auto-alimentation. La Figure 1-34 présente le fonctionnement en régime établi lors des commutations à l'ouverture du transistor principal. Dans ce cas, la charge de la capacité initiale n'est pas nulle et la valeur minimale de la tension V_C avant recharge est d'environ 14V car le JFET est bloqué tant que la tension V est au-dessous de 250V. La charge nécessaire au bon fonctionnement de la commande rapprochée est assurée en $0.5\mu s$ environ après le blocage du MOSFET principal. Les formes d'ondes lors de la fermeture de l'interrupteur principal sont présentées sur la Figure 1-35.

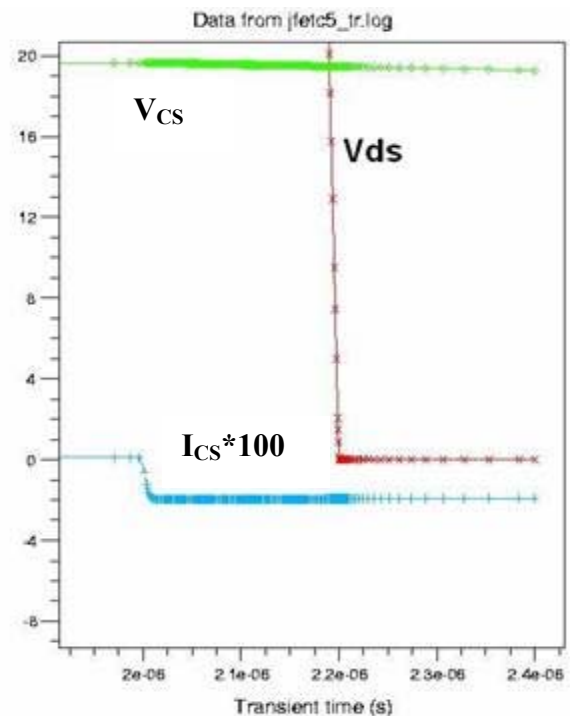


Figure 1-35. Commutation à la fermeture de l'interrupteur principal

Les limites de fonctionnement de cette topologie dépendent fortement de la valeur de la capacité de stockage C et de la consommation de la commande rapprochée. Cette solution semble avoir un meilleur rendement énergétique que la solution contenant un MOSFET auxiliaire, car elle ne contient pas de diode Zener. L'autre avantage est le nombre réduit des composants nécessaires pour sa réalisation.

Compte tenu des contraintes technologiques imposées par le procédé de fabrication du MOSFET principal double diffusé, le transistor JFET vertical a des caractéristiques de sortie de type triode. Ce composant peut donc être vu grossièrement comme une diode à avalanche dont la tension de seuil serait ajustable par une tension de commande V_{GS} . Ce comportement du JFET conduit dans notre application à une tension de charge de C_s dépendante de la tension commutée V . Autrement dit, il nous faut ici parfaitement connaître la tension commutée V_{DS} si l'on souhaite optimiser la géométrie du JFET conduisant à une tension particulière d'alimentation du circuit de commande, ce qui est l'inconvénient majeur de cette solution si l'on souhaite fonctionner avec une large gamme de tension V_{DS} .

Les applications visées pour notre structure d'auto-alimentation sont dans la gamme des tensions moyennes (200V-600V) ; nous allons donc réaliser cette structure à l'aide de composants verticaux. Comme dans le cas de la solution avec deux MOSFETs nous n'allons intégrer que la partie haute tension contenant le JFET auxiliaire et le MOSFET principal. Il ne manquera alors que la diode de blocage pour achever l'intégration de cette solution. Etant donnée que le

MOSFET et le JFET ont un drain commun, le JFET aura aussi une structure verticale. Le JFET vertical de puissance manifeste un comportement différent de celui du JFET latéral. Les caractéristiques électriques de sortie du JFET vertical sont fortement dépendantes des ses paramètres géométriques (longueur et profondeur du canal), ainsi que de ses paramètres physiques (formes des grilles, profondeurs des diffusions et niveaux de dopages). Les structures et les différents comportements du JFET vertical de puissance seront présentés dans le chapitre 3 de ce mémoire.

III.2.c. Intégration de la solution d'auto-alimentation

Comme nous l'avons souligné, nous avons proposé deux solutions appelées MOSFET/MOSFET et MOSFET/JFET pour la réalisation de la fonction de l'auto-alimentation technologiquement compatibles avec la réalisation du MOSFET principal. En ce qui concerne la solution MOSFET/MOSFET, les deux composants MOSFET et la diode de polarisation D_p partagent les mêmes contraintes de tension, ils ont des drains communs et peuvent donc être intégrés ensemble. Les diode Zener et D_b sont des composants de faibles tensions en tension et ils peuvent être fabriqués en même temps que les autres composants en utilisant les mêmes étapes technologiques aux seins de la même périphérie. Par contre, l'intégration de la capacité C_s présente des difficultés technologiques.

Pour la fabrication de ces solutions nous nous sommes basés sur les étapes de fabrication de l'interrupteur principal, dans notre cas celle d'un MOSFET. Donc, selon les performances désirées de l'interrupteur MOSFET, nous allons déterminer les paramètres technologiques du procédé. Tous les autres composants doivent utiliser ces mêmes paramètres technologiques. Dans le tableau 4 sont présentées les étapes du procédé de fabrication du MOSFET vertical double diffusé et leurs utilisations pour la réalisation des autres composants.

Procédé	MOSFETs		Diodes		Terminaison de tenue en tension	JFET
	Principal	Auxiliaire	Zener	Grille		
Implantation de P+	Court-circuit de la source		Création de l'anode		Anneaux de garde	
Gravure de l'oxyde	Ouverture de la zone utile		Ouverture de la zone active			Ouverture de la zone active
Dépôt de silicium polycristallin	Création de la grille					Protection de la zone du canal
Implantation de P-	Porte-canal					Grille du JFET
Gravure Polysilicium						Dégagement de la zone du canal
Implantation de N+	Electrode de source					Electrode de la source
Gravure de l'oxyde LTO / Gravure de l'aluminium	Ouverture des zones de contact		Ouverture des zones de contact		Ouverture des zones de contact	Ouverture des zones de contact

Tableau 1-5. Etapes principales pour la réalisation du système de l'auto-alimentation et de l'interrupteur principal

Le diagramme de cheminement détaillé sera présenté dans la chapitre II de ce mémoire pour la solution MOSFET/MOSFET et dans le chapitre III pour la solution MOSFET/JFET. Ici nous ne citons que les étapes principales qui nous permettre de réaliser l'intégration de l'auto-alimentation des deux solutions. Sur la Figure 1-36a. est présenté une coupe verticale des structures intégrées MOSFET/ MOSFET et et sur la Figure 1-36b. la coupe de la solution MOSFET/JFET.

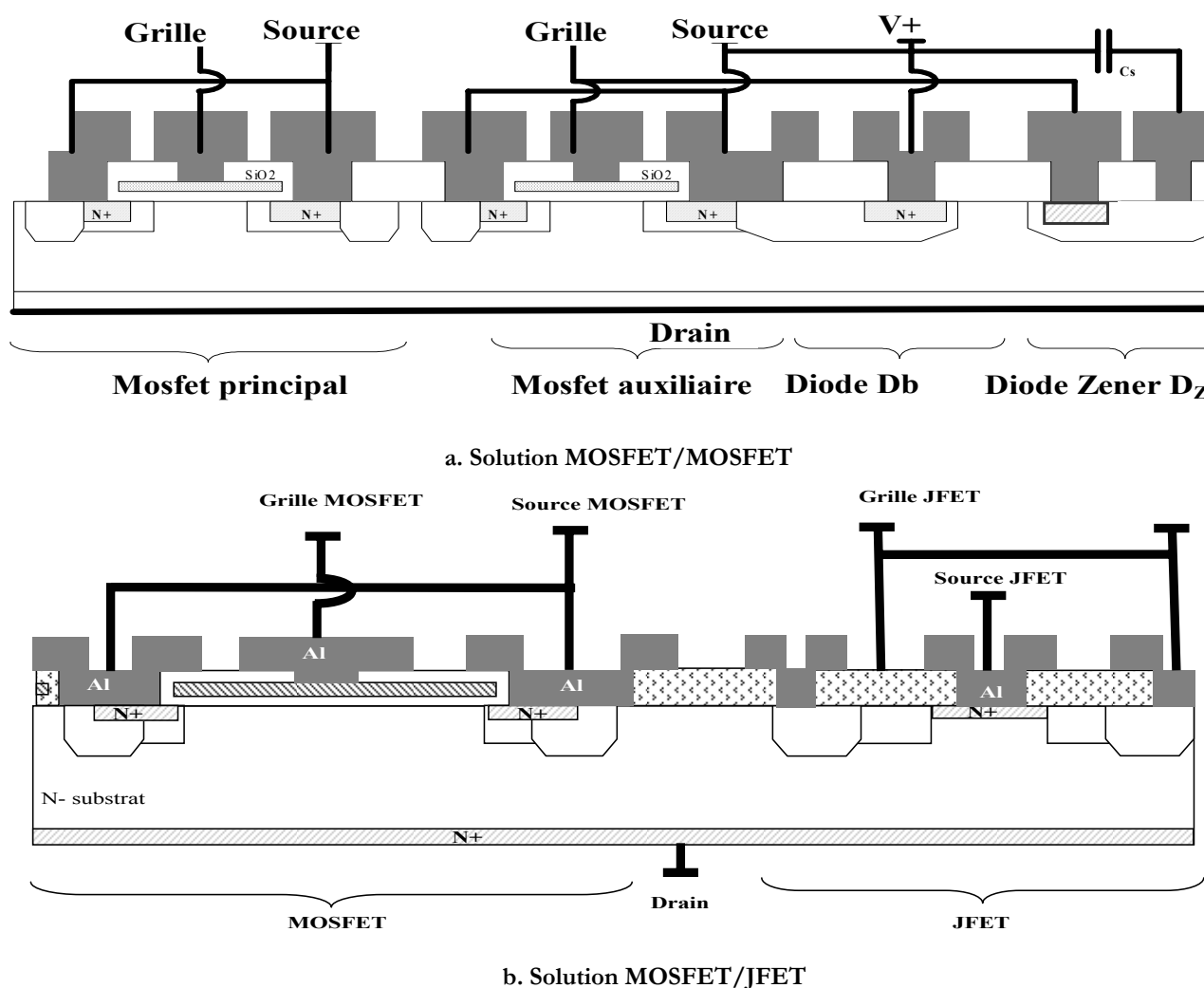
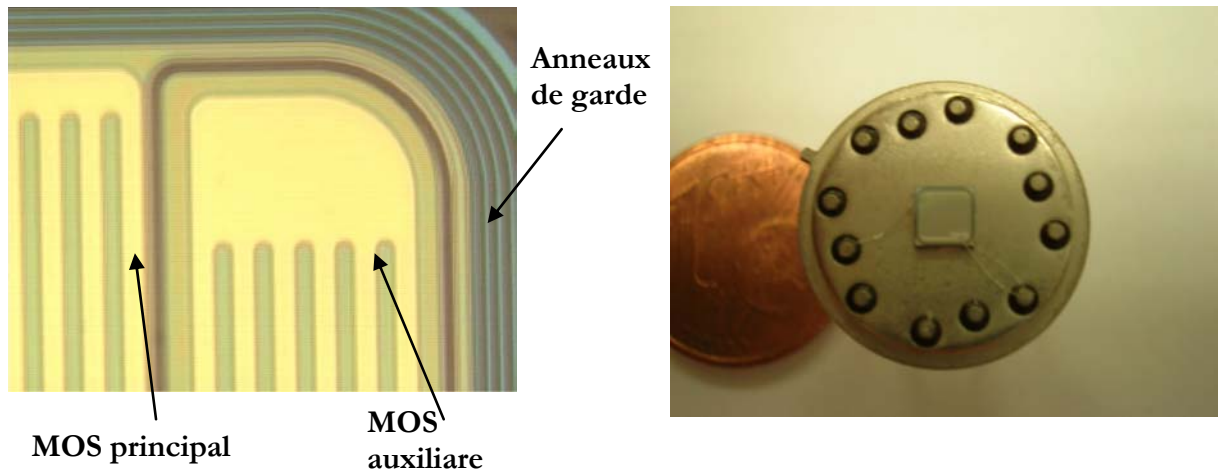


Figure 1-36. Coupe verticale montrant la possibilité d'intégrer tous les composants de la topologie de l'auto-alimentation

III.3. L'intégration de la solution MOSFET/MOSFET

Afin de valider le fonctionnement de l'auto-alimentation et la faisabilité de l'intégration, nous avons réalisé un premier composant intégrant les deux interrupteurs MOSFET's – auxiliaire et principal. Le détail de la conception et le dimensionnement de ces composants seront présentés dans le chapitre II. Ces composants ont été dimensionnés pour avoir une tenue en tension de 600V. Comme ils partagent les mêmes contraintes en tension, nous les avons mis au sein de la même périphérie – dans notre cas des anneaux de garde (Figure 1-37).



a. Détails d'un composant intégrant deux MOSFETs

b. le composant réalisé mis en boîtier

Figure 1-37. Photographie d'un des composants réalisés intégrant le MOSFET principal et le MOSFET auxiliaire

Nous avons alloué les 4/5 de la surface active au composant principal et 1/5 au composant auxiliaire. Le composant auxiliaire sollicite moins de courant. Pour ces raisons il n'a pas besoin d'un état passant très performant. Le dimensionnement du MOSFET auxiliaire en terme de calibre en courant doit être fait en fonction des besoins énergétiques de la commande. Les éléments parasites du MOSFET peuvent être dimensionnés en jouant sur certains paramètres géométriques (par exemple, pour diminuer la valeur de la capacité C_{DG} il faut diminuer l'espace intercellulaire).

Les détails de conception sont présentés dans le chapitre II.

III.4. Validation expérimentale

Afin de tester en situation les composants intégrant les deux composants MOSFETs au sein de la même puce, nous avons réalisé un banc de test expérimental Figure 1-38, c'est une structure hacheur série qui reprend le même principe que [AUBARD99]. Dans ce hacheur série, à la place de l'interrupteur principal nous avons mis deux interrupteurs en parallèle ; un MOSFET du commerce IRF740 et notre composant intégrant les deux MOSFETs sur la même puce.

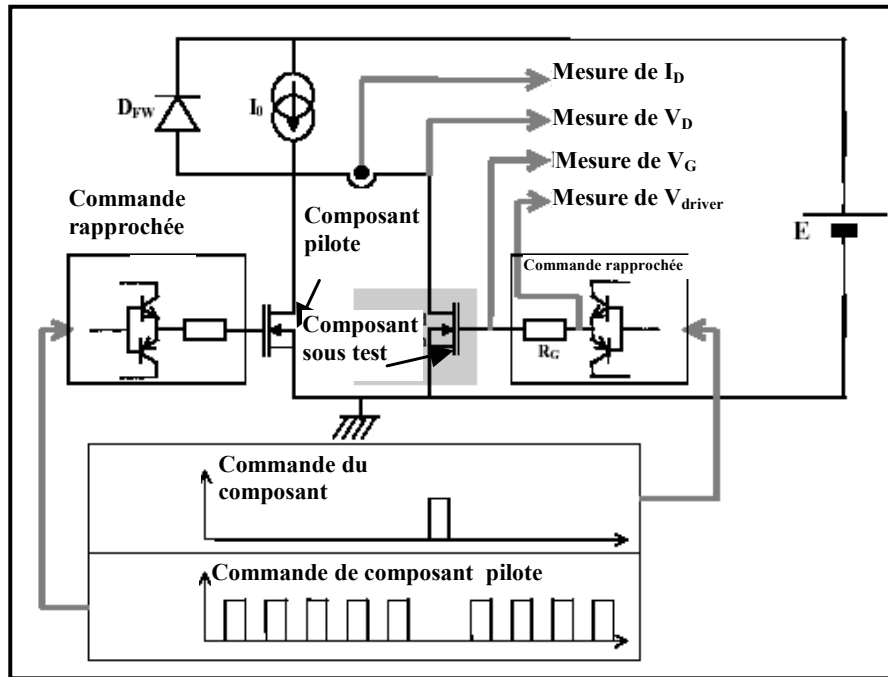


Figure 1-38. Schéma illustrant le principe de fonctionnement du banc de mesure

Etant donné que le boîtier du composant réalisé, ne possède pas des caractéristiques thermiques performantes, afin de préserver notre composant, on le fait commuter une fois toutes les 1024 commutations de l'interrupteur pilote (l'IRF740). Une carte de commande réalisée avec un composant programmable CPLD génère les signaux de commande pour chaque interrupteur. Le circuit de commande du composant sous test est auto-alimenté.

Des mesures ont été effectuées dans les conditions suivantes :

Paramètres électriques : $V_{entrée} = 100V$, $V_{sortie} = 50V$.

-Paramètres de commande : $F_s = 20kHz$, $\alpha = 0.5$.

-Paramètres de sortie : $L_{sortie} = 1,6mH$, $C_{sortie} = 220\mu F$, $R_{charge} = 50\Omega$.

-Paramètres du circuit d'auto-alimentation : $V_{Dz} = 18V$, $C_s = 22nF$.

La polarisation de la grille du MOSFET auxiliaire dans ce cas est réalisée avec une résistance.

Sur la Figure 1-39 sont présentées les formes d'ondes générales du fonctionnement du système de l'auto-alimentation avec les composants que nous avons réalisés, dans le cas de la solution intégrant deux MOSFETs. Le composant testé est un composant de la famille G1 (cette dénomination fait référence à la présentation effectuée au chapitre II). La conduction du MOSFET sous test a lieu durant l'impulsion V_{com} (Figure 1-39). En observant V_{CS} on peut voir une décharge rapide au moment de la mise en conduction qui est due à l'alimentation de la grille

de l'interrupteur principal. Les composants fabriqués ont une résistance $R_{\text{DS(on)}}$ élevée d'environ $6\ \Omega$ (voir chapitre II) et on peut voir sur la courbe de la tension V_{DS} que l'état passant du composant testé est moins bon que celui du composant du commerce commutant en parallèle.

Sur la Figure 1-39.b sont présentées les formes d'ondes du courant et de la tension aux bornes de l'interrupteur principal sous test. Sur la Figure 1-39c est présentée la tension aux bornes de la diode Zener V_{Z} .

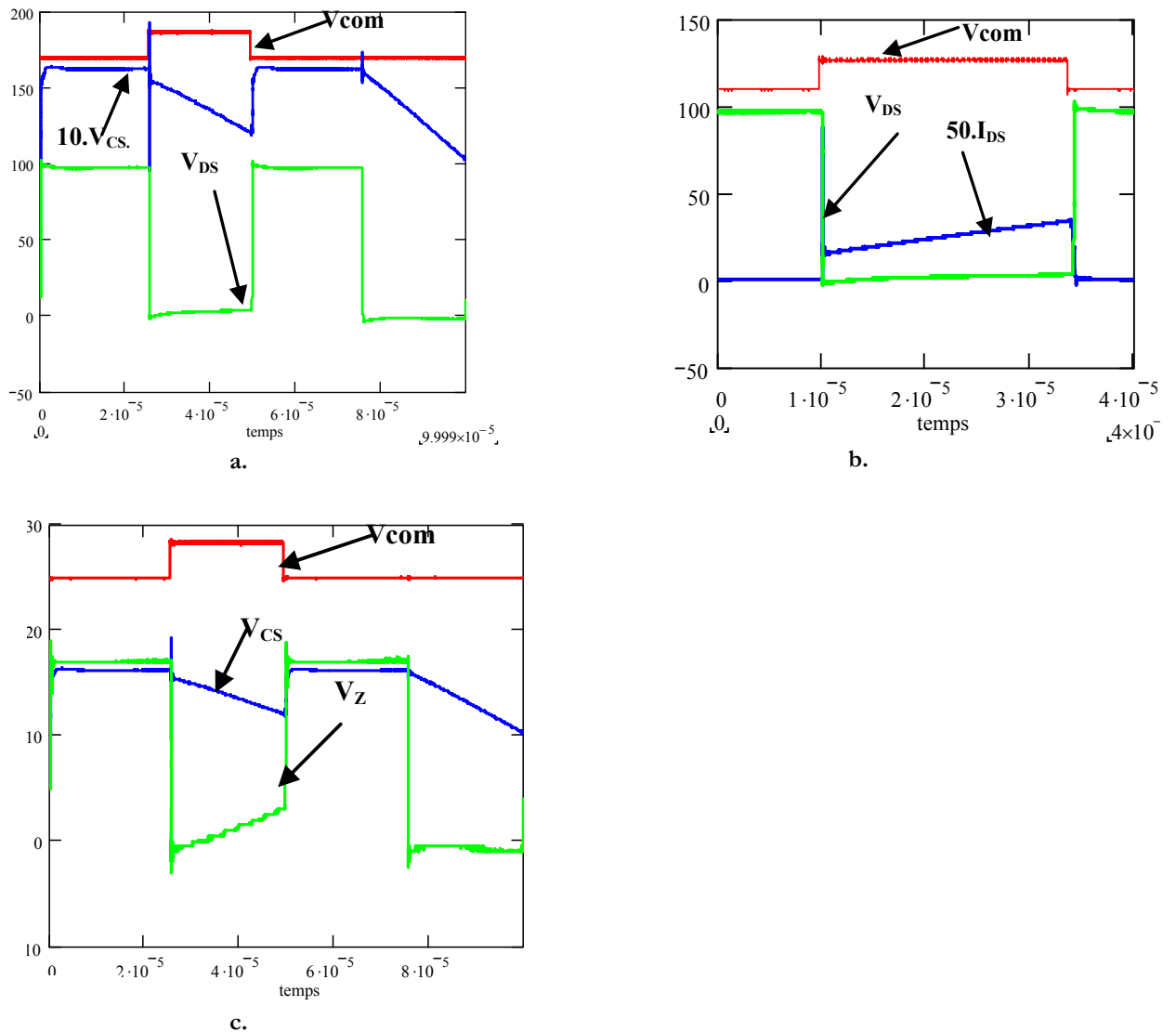


Figure 1-39. Mesures d'ondes du fonctionnement de l'auto-alimentation avec les composants intégrant deux MOSFETs

D'après l'allure de V_{CS} on peut remarquer que le système d'auto-alimentation fonctionne en mode linéaire – la capacité de stockage est chargée pendant toute la phase d'ouverture du composant principal car nous avons utilisé une résistance pour la polarisation de la grille du

MOSFET auxiliaire. Les résultats de mesure montrant ce courant dans l'interrupteur auxiliaire sont présentés sur la Figure 1-40.

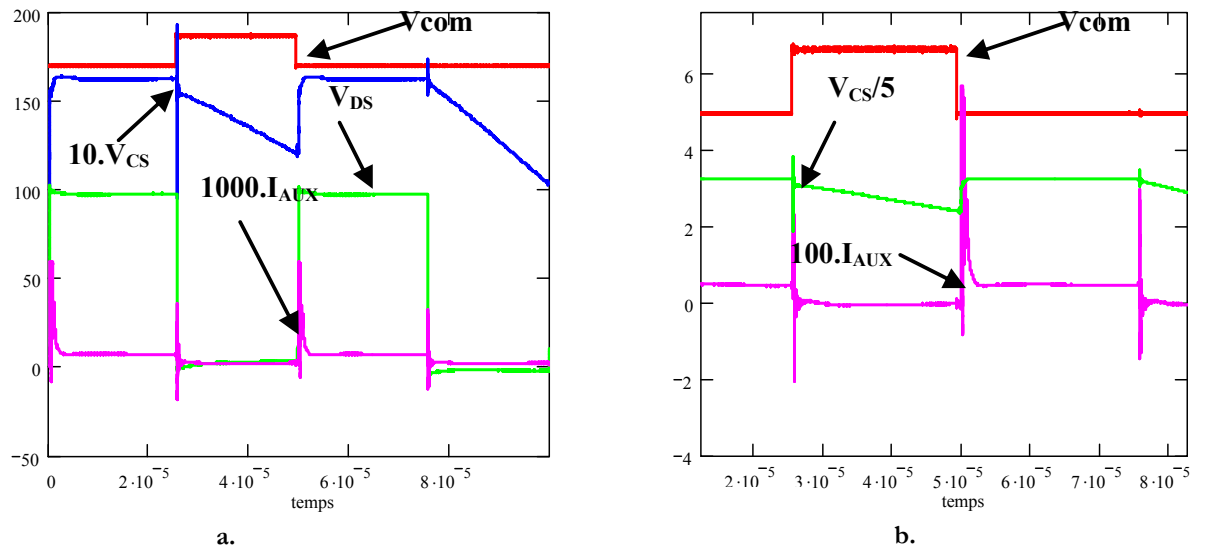


Figure 1-40. Formes d'ondes expérimentales pour le composant intégrant deux MOSFETs sur une même puce pour la fonction auto-alimentation. a. et b. allures de la tension V_{DSa} du courant I_{DSa} dans l'interrupteur auxiliaire, de la tension V_{CS} et du signal de commande V_{com} b. zoom sur les formes d'ondes

Un zoom sur les formes d'ondes en commutation du composant sous test est présenté sur la Figure 1-41.

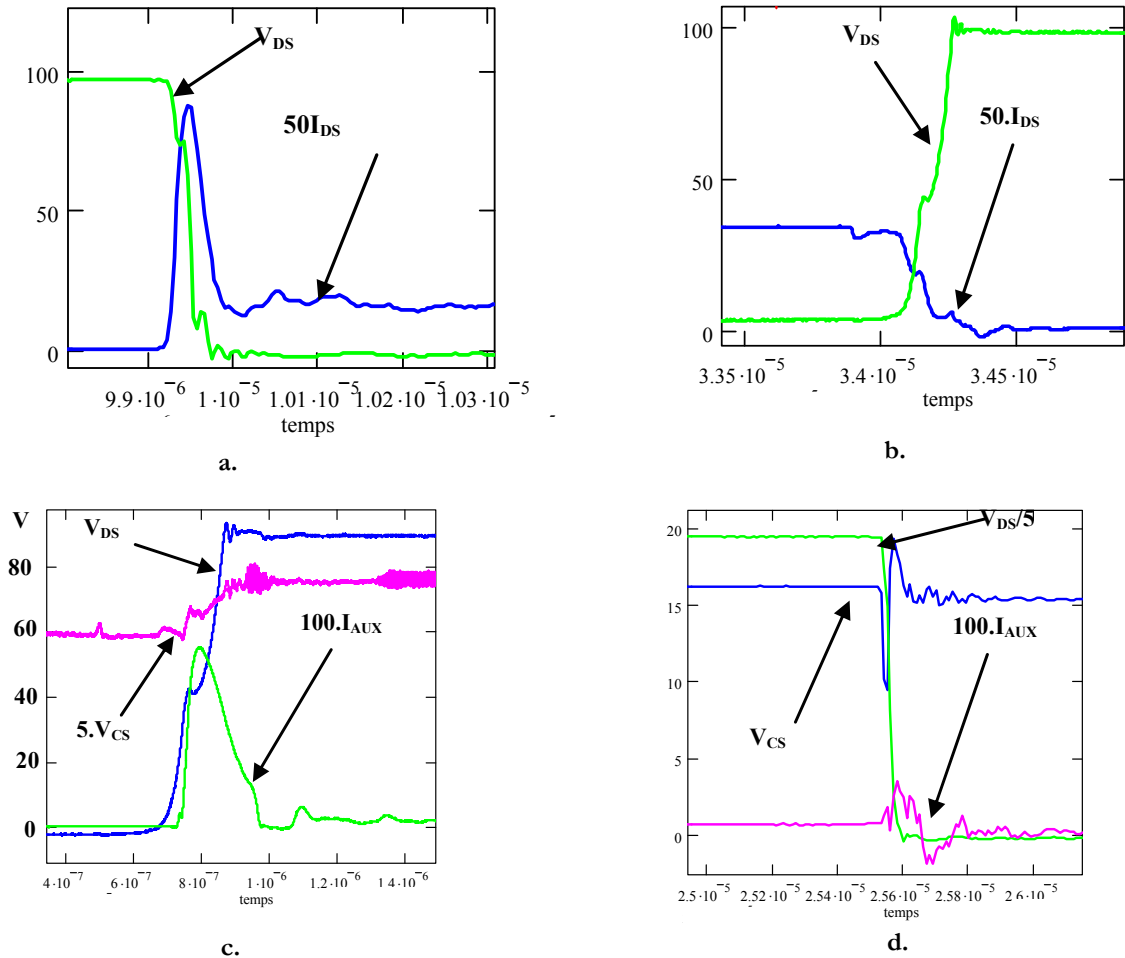


Figure 1-41. Zoom sur les formes d'ondes expérimentales du composant intégrant deux MOSFETs en fonctionnement en auto-alimentation

Avec le composant fabriqué nous retrouvons des formes d'ondes comparables à ce qui à été observé dans le cas des composants discrets. La capacité se charge sous une tension réduite pendant la montée de la tension de l'interrupteur principal. En observant V_{DS} on peut noter un ralentissement de la charge de la capacité C_S . A la fermeture de l'interrupteur principal on observe une recharge de faible valeur de C_S .

La charge de la capacité de stockage s'effectue en 200ns. Pendant la mise en conduction du MOSFET principal, on peut observer, comme dans le cas de la réalisation en composant discrets, une petite recharge de C_S . Le MOSFET principal commute en 200ns à la fermeture et à 60ns pour l'ouverture.

Les résultats de mesures des composants fabriqués dans le hacheur série valident l'intégrabilité de la solution de l'auto-alimentation. Le bon fonctionnement de l'auto-alimentation avec les composants intégrant l'interrupteur principal et l'interrupteur auxiliaire confirme la

possibilité de cohabitation du système de l'auto-alimentation au sein de la même périphérie avec l'interrupteur de puissance.

En ce qui concerne la solution JFET-MOSFET, bien que l'utilisation d'un transistor JFET vertical semblait profitable pour créer le dispositif d'auto-alimentation, les contraintes technologiques liées à sa réalisation ne nous ont pas permis de réaliser des composants aux performances escomptées. De fait, la solution "MOSFET-JFET", qui était a priori la plus intéressante, s'avère être moins simple à réaliser et surtout moins fonctionnelle.

Conclusion

Dans ce premier chapitre, nous nous sommes intéressés à l'intégration de l'alimentation de la commande rapprochée. Pour cela nous avons étudié les principales solutions et leurs possibilités d'intégration monolithique ou hybride. Nous avons présenté ensuite le principe de l'auto-alimentation contenant deux transistors MOSFETs. Nous avons pu valider son fonctionnement à l'aide d'une implantation sous le logiciel Pspice et avec un banc de test réalisé avec des éléments discrets. L'avantage de cette structure est que tous les composants du circuit de l'auto-alimentation sont entièrement compatibles avec le procédé technologique de réalisation de l'interrupteur principal et ils peuvent être intégrés ensemble sans étape supplémentaire. Nous avons étudié les limites de fonctionnement du système avec des composants discrets et nous avons estimé le rendement du système par rapport à un système d'alimentation externe de la commande d'un interrupteur de puissance.

Nous avons pu tester les composants réalisés, intégrant monolithiquement les deux MOSFETs dans un banc de test. Les résultats expérimentaux obtenus montrent un bon fonctionnement des composants intégrés et valident le principe d'intégrabilité de cette solution.

BIBLIOGRAPHIE

[AGILENT-1] HPCL-2200 Technical Data – Low Input Current Logic Gate Optocouplers

[AGILENT-2] HPCL-3150 Technical Data 0.5Amps Output Current IGBT Gate Driver Optocoupler

[AHN93] C.H.Ahn, M. Allen, « A planar micromachined spiral inductor for integrated magnetic microactuator application », Journal Micromech. Microeng., vol. 3, 1993, pp. 37-44

[AUBARD99] A. Aubard « Modélisation des transistors MOS de puissance pour l'électronique de commutation », Thèse de doctorat, INPG, 1999.

[BALLANDRAS95] S. Ballandras, W. Daniau, S. Basrour, L. Robert, M. Roullia, P. Blind, D. Robert, S. Rocher, D. Hauden, S. Megtert, A. Labeque, Z. Liu, H. Dexpert, R. Comes, F. Rousseaux, M.F. Ravet, H. Launois « Deep etch X-Ray lithography using silicon-gold masks fabricated by deep etch UV lithography and electroforming », J. Micromech. Microeng., 5, 203, 1995

[BERND01] A. Bernd et al, « Size advantage of coreless transformers in the MHz range » Graz, EPE, 2001

[BERTRAND04] I.Bertrand, J.M. Dilhac, P.Renaud, C. Ganibal « Large Area Recrystallization of Thick polysilicon Films for Low Cost Partial SOI Power Devices », ISPS 04, Prague, 2004

[BOGGETO02] J.M. Boggetto et al, « Microfabricated inductor on silicon », IEEE PESC'02, Australia, 2002

[CURAMIK] <http://www.curamik.com>

[CONTIERO98] C. Contiero, P. Galbiati, M. Palmieri, G. Ricotti, R. Stella, « Smart power approaches VLSI complexity », Proc. On International Symposium On Power Semiconductor Devices, ISPSD'98, pp11-15.

[DARTIGUES01] A. Dartigues « Etude des interactions dans un circuit de puissance monolithique » thèse de doctorat de l'INPG, 2001.

[DEK98] A.DEK and K. Suyama « Micromachined Electro-Mechanically Tunable Capacitors and Their Applications to RF IC'S », IEEE Transaction on Microwave Theory and Techniques, vol. 46, No 12, December 1998

[HAKIM01] H.HAKIM « Intégration de composants passifs sur Silicium » thèse de doctorat, LAAS, Toulouse 2001.

[EUPEC] Module Eupec 1200V-450A, référence constructeur : FS450R12KE3

[FAIRCHILD] Technical Data MM74C914 Hex Schmitt Trigger with Extended Input Voltage

[FUJI] <http://www.fujielectric.co.jp>

[INFINEON] <http://www.infineon.com>, Datasheet MiniProfet BSP 350

[IR93] Power MOSFET Designer's Manual, International Rectifier, Vol.1, pp7 and 131, 1993

[IR-IPM] Technical Data Plug N Drive Integrated Power Module for Appliance Motor Drive - IRAMS10UP60A - 600V 10A, International Rectifier

[IR-IPS] IR-IPS511, Datasheet Intelligent Power Switch 1 Channel High Side Driver in a TO-220FL Package International Rectifier.

[LIAKOPOULOS99] T. M. Liakopoulos and Ch. H. Ahn, « 3-D Microfabricated Toroidal Planar Inductors with Different Magnetic Core Schemes for MEMS and Power Electronic Applications », IEEE Transaction On Magnetics, vol. 35, no 5, September 1999

[LEFEBVRE03] S. Lefebvre et B. Multon « MOSFET et IGBT: circuit de commande », les Technique de l'ingénieur

[LETI] Leti, composants passifs intégrés http://www-leti.cea.fr/leti/fr/Pages/micro_techno/mtech44.htm

[MARMOUGET00] M. Marmouget, « Contribution au développement d'outils d'aide à la conception de dispositif de puissance basés sur le mode d'intégration fonctionnelle », Thèse de doctorat du LAAS Toulouse, 2000

[MATHIEU87] H. Mathieu « Physique des semi-conducteurs et des composants électriques » 1987, Masson.

[MITOVA05] R. Mitova, J.-C. Crebier, L. Aubard, C. Schaeffer, « Fully integrated gate driver supply around power switches », IEEE Transaction on Integration in Power electronics, Vol. 20, No.3., May 2005

[MITOVA04] R. Mitova, J.-C. Crebier, L. Aubard, C. Schaeffer, « Integrated driver supply for power MOSFET based on vertical JFET », International symposium on Power Devices (ISPS'04), Prague, Czech Republic, 2004.

[MITOVA04-2] R. Mitova, J.-C. Crebier, L. Aubard, C. Schaeffer, « Integrated driver supply with JFET as "linear" regulator », IEEE Power electronics specialist conference (PESC'04), Aachen, Germany, 2004.

[MURARI00] B. Murari, C. Contiero, R. Gariboldi, S. Sueri, A. Russo « Smart Power Technologies Evolution », IEEE IAS Annual Meeting, 2000

[ROUX01] C. Roux, « Etude et conception d'une commande rapprochée auto-alimentée », DEA INPG, 2001.

[SANCHEZ99] J. L. Sanchez « State of the art and trends in power integration » International Conférence on Modeling and Simulation of Microsystems, Semiconductors, Sensors and Actuators (MSM'99), San Juan (Porto Rico), 19-21 Avril 1999, pp.20-29

[SEMIPOWER] www.manufacturingcenter.com/dfx/archives/0698/698mctrl.htm
SemiPower Systems Inc.

[STRZALKOWSKI01] B. Strzalkowski « A monolithic transformer in control circuitry of power electronics » in Proc.EDPE'01, Kosice, Slovak Republic, 2001.

[ST]STMicroelectronics,
<http://www.st.com/stonline/products/families/discretes/asd/overview/overview.htm>

[SULLIVAN96] C.R. Sullivan, et al, « Design of microfabricated transformers and inductors for high frequency power conversion », IEEE Transaction on Power Electronics, Vol.11, N°2, March 1996

[TOSHIBA] Toshiba, <http://www.toshiba.co.jp>

[VINCENT00] L. Vincent « Réalisation d'un gradateur à commande forcée auto-alimentée » Rapport de stage IUT GEII, 2002.

[VERNEAU03] G. Verneau « Optimisation géométrique de MOSFET de puissance en vue d'intégrer l'alimentation de l'étage de commande », Thèse de doctorat, INPG, 2003.

[VASIC01] Vasic D. et al, « A new MOSFET & IGBT gate device insulated by a piezoelectric transformer », PESC01, Ireland, Vol.3 pp.1479-84, 2001

[YONG03] Bo Yong, <http://scholar.lib.vt.edu/theses/available/etd-09152003-180228/>
« Topology investigation of front end DC/DC converter for distributed power system », Thèse de doctorat Virginia Polytechnic Institute, 2003

[ZVEREV97] I. Zverev et al, « Comparison of state of the art gate drive techniques for high side switch », Trondheim, EPE'97, p4.250-4.255, 1997

***CHAPITRE 2 : Conception et réalisation
technologique du transistor MOSFET de puissance***

Introduction

Le transistor MOSFET (Metal Oxide Semiconductor Field Effect Transistor) est aujourd'hui extrêmement utilisé en microélectronique. Les composants les plus miniaturisés fonctionnent sous quelques volts et ont des dimensions actuellement de quelques dizaines de nanomètres. Ces dimensions sont limitées principalement par la résolution du procédé de photolithographie. Le composant MOSFET possède plusieurs avantages :

- facilité de commande (commande en tension) ;
- état à priori bloqué (normalement off) ;
- absence d'effet de stockage de porteurs ;
- stabilité thermique (pas de risque d'emballement thermique).

Pour ces avantages, le transistor MOSFET s'est imposé comme un des principaux composants pour la réalisation de la fonction interrupteur de puissance dans les convertisseurs à découpage de petite et moyenne tension. Pour répondre aux exigences de capacité en courant et de tenue en tension propres aux applications de puissance, le MOSFET de puissance a une structure différente du MOSFET de signal, tout en gardant le même principe de fonctionnement. Les MOSFETs de puissance, selon leurs gammes de tension peuvent avoir une structure latérale (jusqu'à quelques dizaines de volts) ou verticale (d'une centaine de volts jusqu'à environ 1kV). Contrairement aux composants classiquement utilisés en microélectronique, le substrat des composants verticaux ne sert pas uniquement de support mécanique mais aussi de zone de tenue en tension. Une autre différence est que les MOSFETs de puissance sont composés de plusieurs cellules élémentaires toutes identiques, mises en parallèle, ce qui permet d'augmenter leur calibre en courant. Aujourd'hui, les MOSFETs de puissance intègrent des fonctionnalités qui simplifient et facilitent leur mise en œuvre.

Dans la première partie de ce chapitre nous allons présenter la structure du MOSFET vertical de puissance et son principe de fonctionnement. Dans un deuxième temps nous présenterons les étapes de dimensionnement qui nous ont permis l'intégration de la fonction d'auto-alimentation.

I. STRUCTURE DU MOSFET DE PUISSANCE

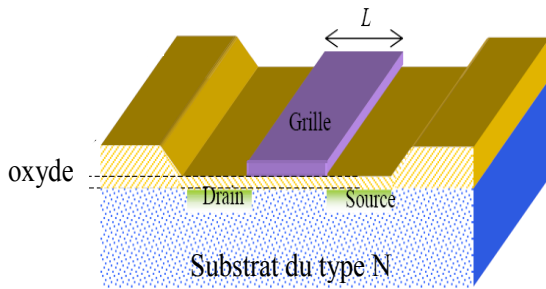


Figure 2-1. Structure du MOS latéral

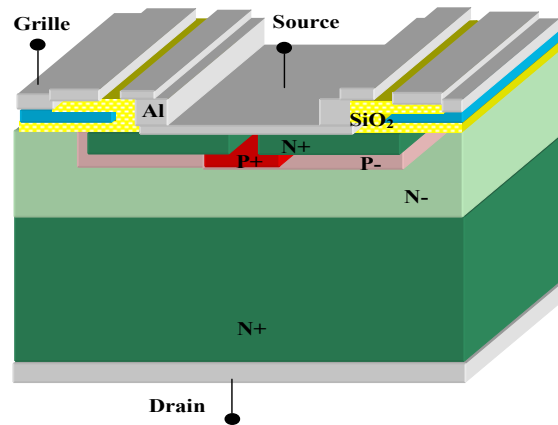


Figure 2-2. Structure du MOSFET vertical (VDMOS)

Le MOSFET de puissance est un composant à trois électrodes : drain, grille et source. A partir d'un substrat fortement dopé N+, une couche faiblement dopée est créée à l'aide d'une croissance épitaxiale (les substrats du type N sont beaucoup plus utilisés que ceux de type P en raison de la plus grande mobilité des électrons que des trous). L'épaisseur et la résistivité de la couche épitaxiale dépendent du calibre en tension du composant. Le canal est formé à la surface de la couche épitaxiale par une diffusion latérale sous la grille d'une implantation de Bore (type P). Cette zone de diffusion sera nommée par la suite porte-canal. La source est formée par une implantation de Phosphore (type N) dans le caisson du porte-canal. Ces deux implantations sont auto-alignées par rapport à la grille en silicium polycristallin pendant le procédé de fabrication. Ceci garantit une longueur du canal homogène sur l'ensemble des cellules formant le composant. La grille est réalisée en silicium polycristallin dopé N+. Elle est isolée électriquement par une couche d'oxyde de silicium dont l'épaisseur varie en fonction de la tenue en tension maximale souhaitée pour la grille du VDMOS. La grille est recouverte par une couche plus épaisse d'oxyde de silicium.

La source et le porte-canal sont court-circuités afin d'éviter le déclenchement intempestif du transistor bipolaire formé par la source, le porte canal et le substrat. La création d'une jonction P+ P dans la zone de porte canal réduit la résistance d'accès à la base R_p .

La partie active du composant est constituée de plusieurs cellules élémentaires connectées en parallèle, qui peuvent avoir une forme carrée, hexagonale, triangulaire ou être en bandes (doigts)..... La densité des cellules conduit à un compromis à trouver entre la largeur totale du canal Z et la capacité d'entrée du MOSFET C_{iss} . La partie active du composant est entourée par une terminaison de tenue en tension qui peut être une électrode de champ, des anneaux de garde

ou bien des poches. La Figure 2-3 présente la coupe d'un MOSFET vertical double diffusé à cellules élémentaires carrées.

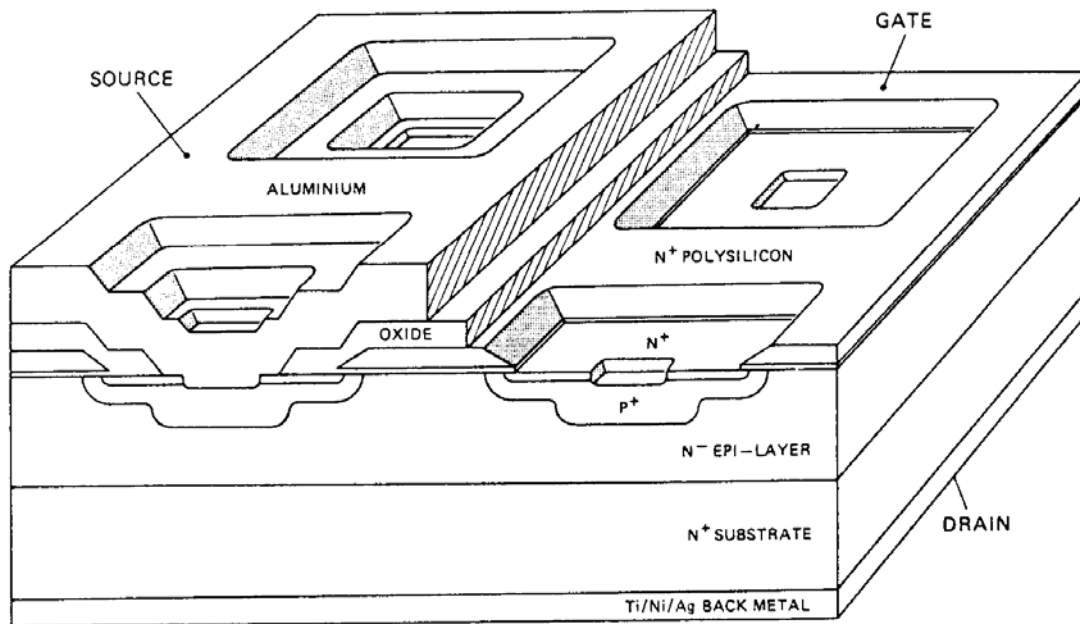


Figure 2-3. MOSFET vertical à cellules carrées [PHILIPS95]

I.1. Principe de fonctionnement du MOSFET de puissance vertical

Le fonctionnement du MOSFET est basé sur l'effet du champ électrostatique à l'aide duquel on peut moduler une quantité des charges mobiles dans un canal. L'élément de base de cette structure est la capacité MOS (Métal-Oxyde-Semiconducteur) formé par la grille, l'oxyde de grille et le porte-canal.

I.2. La capacité MOS

La structure d'une capacité MOS est présentée sur la Figure 2-4. Elle est réalisée à partir d'un substrat de semiconducteur N ou P. Sur ce substrat, par croissance thermique, une couche d'oxyde de quelques nanomètres est créée. La qualité de cette couche d'oxyde est très importante pour le bon fonctionnement de la capacité MOS. La grille est créée par déposition de métal ou de silicium polycristallin fortement dopé. Cette structure peut être assimilée à un condensateur plan constitué d'une électrode en métal (silicium polycristallin), d'un isolant (l'oxyde) et une deuxième électrode en silicium (substrat). Cet empilement forme la capacité MOS.

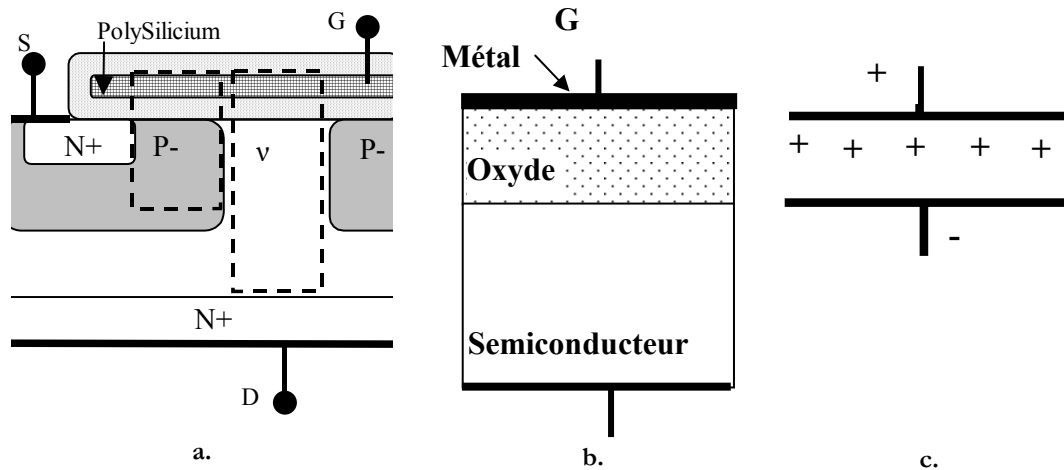


Figure 2-4. Structure d'une capacité MOS a. et sa localisation dans la structure du VDMOS b.

Selon les niveaux des tensions appliquées on peut distinguer trois régimes de la structure :

- accumulation ;
- déplétion ;
- inversion.

Prenons l'exemple d'une structure composée d'un semiconducteur du type N. Une polarisation positive de la grille par rapport au substrat crée une accumulation des charges négatives mobiles à la surface entre le substrat et l'oxyde (Figure 2-5.a)

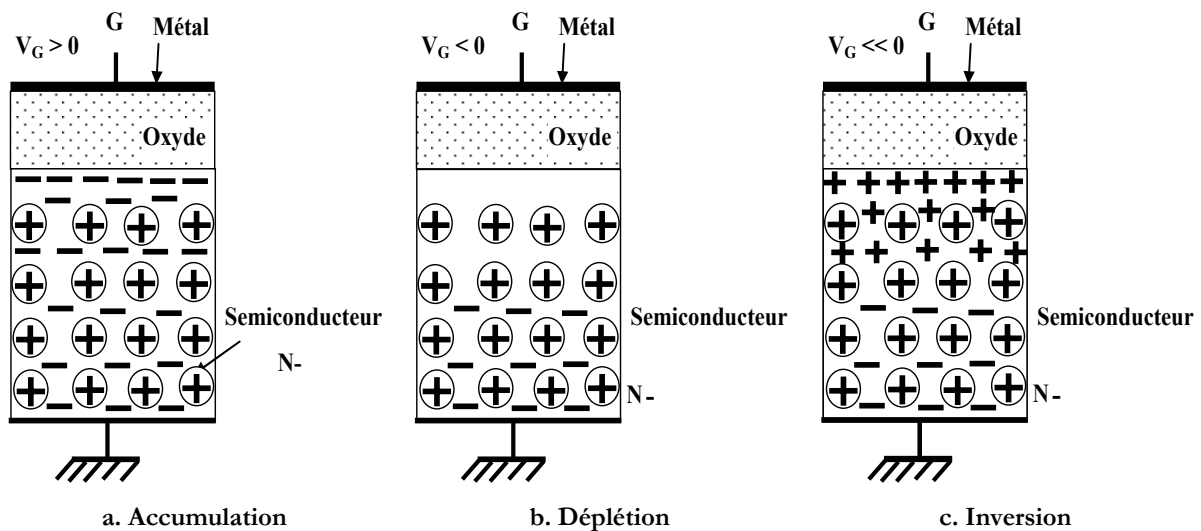


Figure 2-5. Localisation des charges dans une capacité MOS de type N en fonction de la polarisation grille - substrat

Si l'on polarise négativement la grille par rapport au substrat nous obtenons un dépeuplement de la surface du substrat en porteurs négatifs (Figure 2-5.b) sur une distance variable suivant la tension appliquée. Au-delà d'une tension V_{th} et si la variation de la polarisation est lente, on peut observer une apparition des porteurs positifs à la surface. C'est le phénomène d'inversion (Figure 2-5.c).

I.3. Le canal du MOSFET de puissance

Le canal dans le MOSFET est créé grâce au phénomène d'inversion sous la grille : en cas de polarisation positive de la grille, une couche d'inversion à l'interface entre l'oxyde et le semiconducteur est créée. Si la tension V_G est inférieure à V_{th} le canal est déplété, en augmentant V_G au-delà de V_{th} , une couche d'inversion est alors créée, cette couche forme le « canal » et permettra la circulation d'un courant en fonction du niveau d'inversion. La mise en conduction des porteurs majoritaires est donc une conséquence directe de l'effet de champ.

I.4. Caractéristiques électriques en régime statique

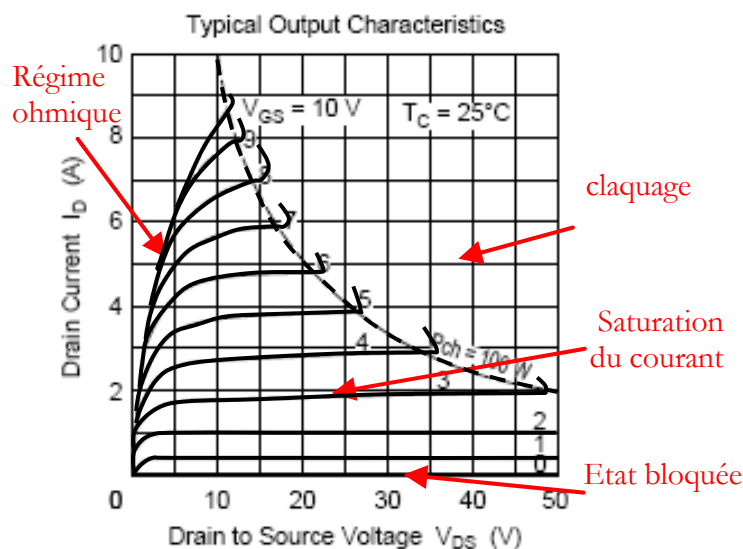


Figure 2-6. Caractéristiques électriques du MOSFET :2SK158 de la société [HITACHI]

Pour décrire le fonctionnement en régime statique du MOSFET, nous allons utiliser le réseau de caractéristiques électriques $I_{DS}(V_{DS})_{V_{GS}=\text{const}}$ présenté sur la Figure 2-6. A partir de ce réseau nous pouvons distinguer quatre états fonctionnement du composant :

1. état bloqué.
2. fonctionnement en régime ohmique.
3. fonctionnement en régime saturé - $V_{DS} \geq V_{DS\text{sat}}$.
4. état de claquage.

A l'état bloqué, la tension de la grille est inférieure à la tension de seuil $V_{GS} < V_{th}$ et le canal n'est pas inversé, le courant I_{DS} est nul.

L'état de claquage du composant est lié à la valeur trop élevée la tension V_{DS} . Si cette tension est supérieure à la tension maximale supportée par le composant V_{DSBR} , le courant commence à augmenter vers l'infini, ce qui entraîne une destruction rapide du composant.

En régime ohmique la tension de grille est supérieure à la tension de seuil du MOSFET ($V_{GS} > V_{th}$) et la tension de drain est faible, dans les limites $0 < V_{DS} < V_{DSsat}$. Dans ce cas la tension de la grille induit une couche d'inversion dans le canal et un courant commence à circuler. Ce courant crée une chute de tension longitudinale le long du canal. En conséquence l'oxyde de grille n'est plus soumis à une tension constante et la quantité des charges induites n'est plus constante le long du canal. La valeur du courant circulant dans le canal, vaut [MATHIEU]:

$$I_{canal} = C_0 \cdot \left[V_{GS} - V_{th} - \frac{V_{canal}}{2} \right] \cdot V_{canal} \quad \text{Eq. 2-1}$$

où

$$C_0 = \frac{Z}{L} \cdot \mu_n \frac{\epsilon_{SiO_2} \cdot \epsilon_0}{e_{SiO_2}} \quad \text{Eq. 2-2}$$

L est la longueur du canal et Z est sa largeur. Dans cette équation le canal est supposé homogène.

Le maximum du courant $I_{canalmax}$, correspondant à la limite de validité de cette équation est donné pour $V_{GS} - V_{th} = V_{canal}$. On observe alors le phénomène de pincement du canal. Le composant passe dans le régime de saturation de courant.

En régime de plateau, la valeur de courant est donnée par la relation suivante [MATHIEU] :

$$I_{canal} = \frac{C_0}{2} (V_{GS} - V_{th})^2 = C_0 V_{canal}^2 \quad \text{Eq. 2-3}$$

Le phénomène de pincement du canal du MOSFET est le résultat de champs électriques longitudinaux très élevés à l'interface Si/SiO₂. Les électrons atteignent leur vitesse maximale de saturation v_{sat} .

Dans les composants haute tension un phénomène de quasi-saturation du courant I_{DS} a été observé à partir de certaines valeurs des tensions V_{DS} et V_{GS} pour de très forts courants. Les réseaux de caractéristiques $I_{DS}(V_{GS}, V_{DS})$ sont alors fortement modifiés. Une étude de ce phénomène a été menée dans [BOUCHET00]. Ce phénomène est localisé dans la zone intercellulaire et dans le volume du composant (donc hors canal). Lorsque la densité de courant dans cette ZCE devient telle que les porteurs libres se déplaçant atteignent une concentration supérieure à celle de la concentration en impureté, il peut y avoir retournement de champ. Les porteurs libres circulent à la vitesse limite. Le courant n'est alors plus contrôlé par le canal mais limité par les caractéristiques du substrat (épaisseur, dopage) et de la taille intercellulaire.

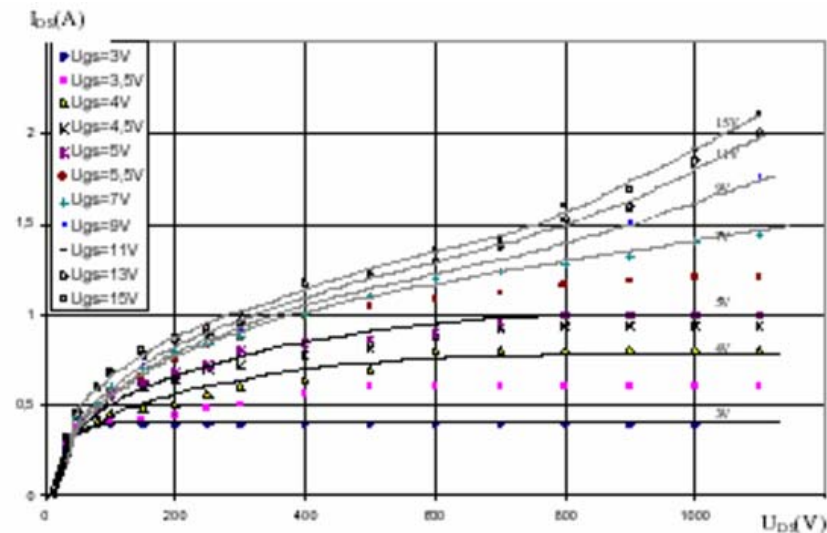


Figure 2-7. Réseau de caractéristiques montrant l'effet ZCEM [VERNEAU02]

I.5. Fonctionnement en régime dynamique du MOSFET

Classiquement le MOSFET de puissance est présenté par un schéma équivalent contenant trois capacités inter-électrodes variables, une source de courant liée et une résistance à l'état passant (Figure 2-8). En régime dynamique ses performances ne sont limitées que par les constantes de temps de charge et décharge des capacités inter-électrodes, dont les valeurs dépendent de sa structure physique. Sur le schéma équivalent présenté sur la Figure 2-8 les inductances parasites créées par le câblage et le boîtier ne sont pas représentées.

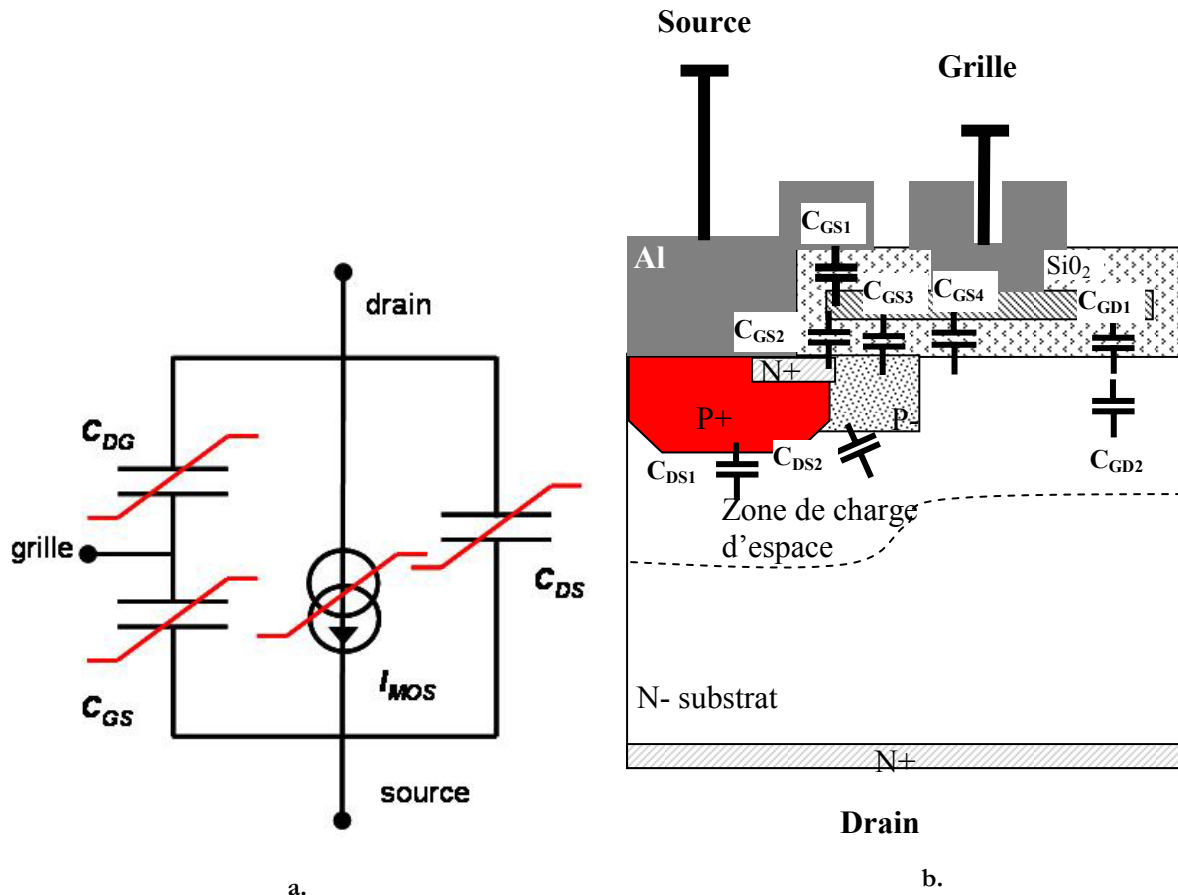


Figure 2-8. a.Circuit équivalent du MOSFET et b. localisation des différents éléments capacitifs dans sa structure physique

Les capacités sont fortement non-linéaires et dépendent des potentiels appliqués aux électrodes du MOSFET (V_{DS} et V_{GS}).

La capacité grille-source C_{GS} peut être décomposée en 4 capacités :

- Une capacité fixe C_{GS1} due à la métallisation de la source ;
- La capacité entre la zone N+ de source et l'oxyde de grille (C_{GS2}) ;
- La capacité entre l'oxyde de grille et le canal (C_{GS3}) ;
- La capacité entre la grille et la zone intercellulaire (C_{GS4}).

Ces capacités permettent d'être estimées à partir des dimensions géométriques des cellules élémentaires du MOSFET et de l'oxyde de grille [VERNEAU03].

La capacité drain-source C_{DG} est fortement non linéaire et elle correspond à la capacité MOS sur semiconducteur du type v. Elle est principalement responsable de l'effet Miller durant la commutation du MOSFET. La capacité C_{DS} est une capacité de jonction (P+/v et P-/v). Elle est aussi fortement non linéaire. La capacité C_{DG} est déterminée par la capacité d'oxyde C_{DG1} et la capacité liée à la ZCE de l'espace intercellulaire C_{DG2} . Durant la commutation les charges de grille se repartissent entre les capacités C_{GS} et C_{DG} . Dans [AUBARD99], l'estimation de la position de

l'équipotentielle V_G permettant de séparer les charges de ces 2 capacités a été définie -« y » sur (Figure 2-9).

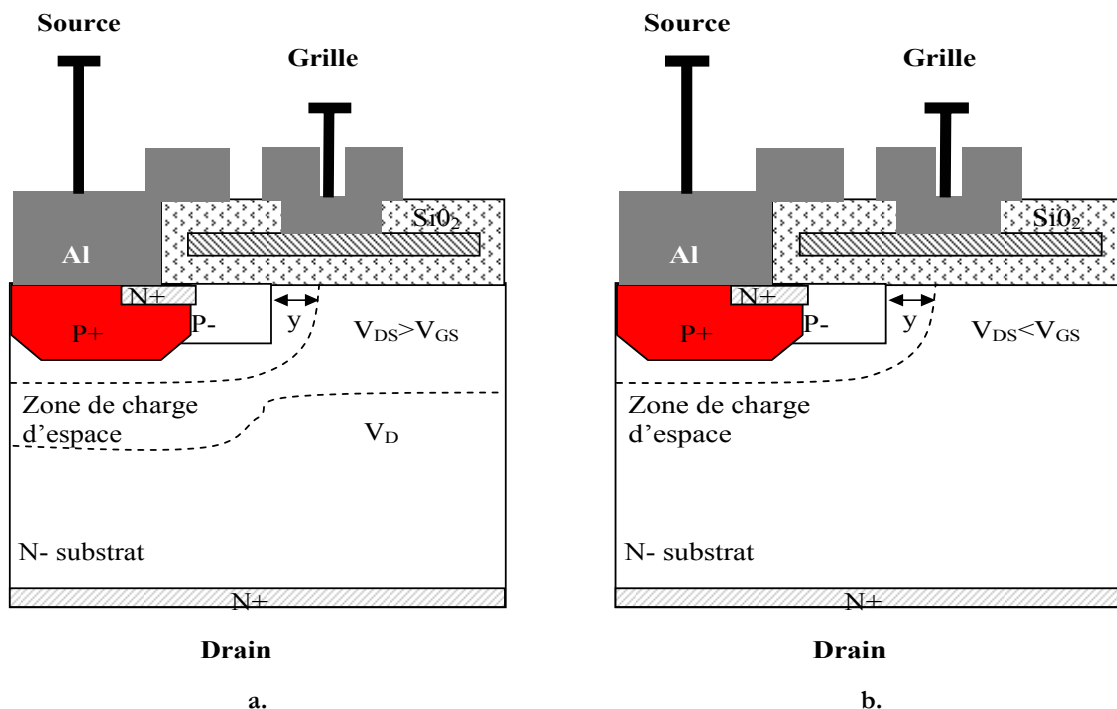


Figure 2-9. Illustration de la position de la frontière relative « y » séparant les charges des 2 capacités C_{DS} et C_{GS}

Quand V_{DS} est inférieure à V_{GS} , la capacité C_{DG} a la valeur de la capacité d'oxyde C_{DG1} (en tenant compte de la surface donc de y). Lorsque la tension V_{DS} devient supérieure à V_{GS} , une zone de déplétion apparaît et diminue la valeur de la capacité C_{DG2} .

Par la mesure on n'accède pas aux capacités présentées ci-dessous, mais aux combinaisons liées par les relations suivantes :

$$C_{iss} = C_{GS} // C_{GD} - \text{capacité d'entrée}$$

$$C_{oss} = C_{GD} // C_{DS} - \text{capacité de sortie}$$

$$C_{rss} = C_{GD} - \text{capacité Miller}$$

Que l'on retrouve aussi dans les documents des constructeurs (Figure 2-10). Les valeurs des capacités inter-électrodes ne sont pas suffisantes pour la conception de la commande rapprochée. Elle va dépendre aussi de la charge nécessaire pour charger la grille du MOSFET. Pour cette raison les constructeurs fournissent aussi la charge nécessaire à fournir à la grille pour faire commuter le MOSFET.

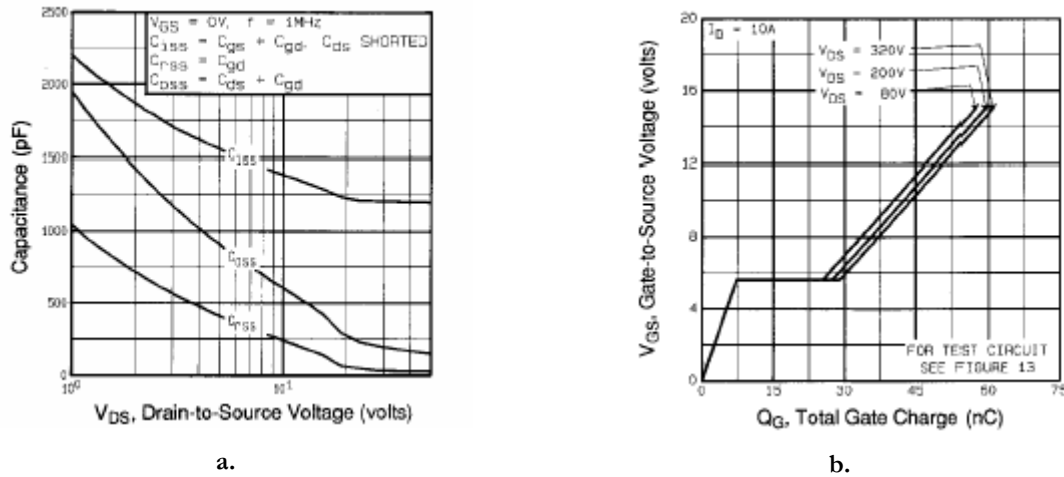


Figure 2-10. Exemple des données constructeur pour a. les capacités inter-électrode d'un transistor MOSFET de puissance de type IRFI740G ($V_{DSMAX}400V$, $I_D=5.4A$) [IRF740] et b. la quantité de charge nécessaire pour charger la grille

I.6. Comportement en commutation, approche dynamique en 7 phases

Pour illustrer les formes d'onde en commutation forcée, nous avons pris l'exemple d'un hacheur série avec un MOSFET (Figure 2-11). Nous avons supposé dans ce cas que la charge absorbe un courant constant I_L et que la diode de roue libre n'a pas de recouvrement. Dans ce cas, en commutation le MOSFET passe d'un état bloqué à un état passant en suivant la trajectoire présentée sur la (Figure 2-12).

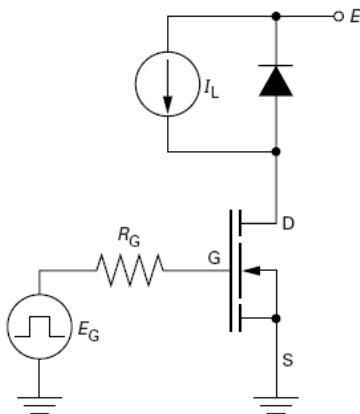


Figure 2-11. Hacheur série

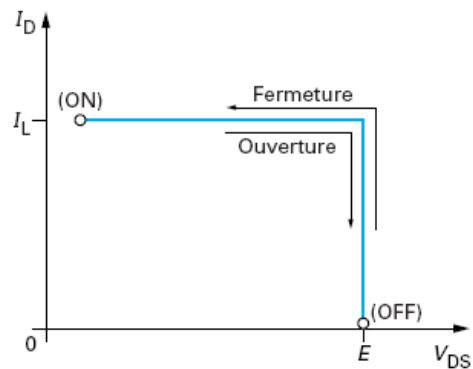


Figure 2-12. Trajectoire de commutation dans le plan $I_D(V_{DS})$

Sur la Figure 2-13 sont présentées les formes d'ondes à la fermeture du MOSFET. La tension de grille passe de 0 à 15V. On peut alors distinguer 4 phases :

- t_{don} (les phases 1,2 et 3) est le temps de retard de mise en conduction du MOSFET, la tension de grille monte de 0 à V_{GSth} et le courant I_D est nul.

- t_{ri} (phase 4) correspond à la montée du courant, la tension de drain est pratiquement maintenue à V_{DSmax} (si l'effet de l'inductance de maille est négligeable) aussi longtemps que le courant est inférieur à I_L , et que la diode de roue libre conduit.

- Une fois que le courant a atteint sa valeur nominale I_L et que la diode de roue libre s'est bloquée, la tension V_{DS} commence à diminuer en deux phases. Pendant ces deux phases la tension de grille reste constante (V_{GS} « plateau »).

Durant première partie de la décroissance de la tension du drain (phase 5), V_{DS} passe de sa valeur nominale à une valeur proche de $V_{GSplateau}$, durant cette phase le composant est encore dans sa zone active. Lors de la phase suivante 6, la tension V_{DS} décroît presque linéairement car C_{DG} est très élevée est quasi-constante.

Lors de la phase 7, le composant entre dans la zone ohmique et la tension de grille se remet à augmenter pour attendre sa valeur maximale.

L'ouverture se fait par la même succession d'étapes mais dans l'ordre inverse.

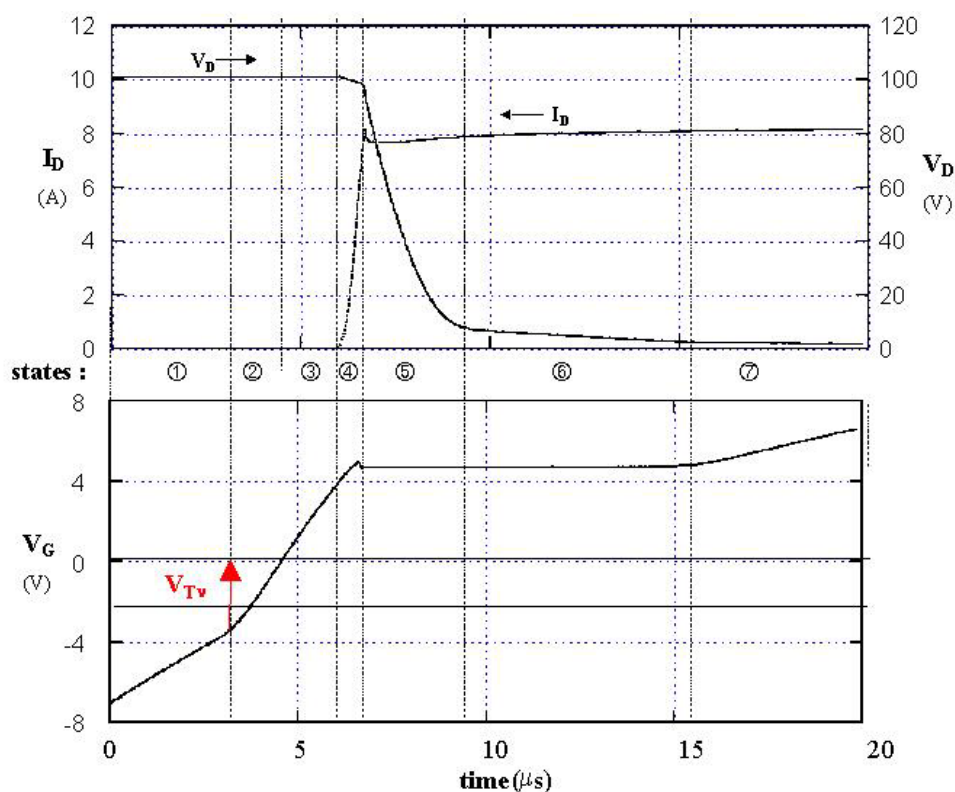


Figure 2-13. Exemple de décomposition en 7 phases d'une commutation d'un MOSFET APT5024BVRX commutant sous 8A sous 100V [AUBARD99]

Pour la conception du MOSFET dans l'application de l'auto-alimentation, un modèle tenant compte de la géométrie du composant a été développé dans [VERNEAU03]. Ce modèle permet d'estimer les besoins énergétiques d'un MOSFET lors d'une commutation et d'en déduire les transferts de charges intervenant au niveau des capacités inter-électrodes. Ce modèle est

présenté dans l'annexe II. Nous allons préciser les paramètres de MOSFET nécessaires à la prédiction des commutation et que nous avons utilisés pour le dimensionnement des composants MOSFET que nous avons réalisés pour la fonction de l'auto-alimentation.

I.7. Paramètres critiques du MOSFET à optimiser

I.7.a. Tension de seuil du MOSFET

La tension de seuil du MOSFET peut être définie comme la tension V_{GS} qui doit être appliquée entre la source et la grille pour que le courant entre la source et le drain atteigne une certaine valeur.

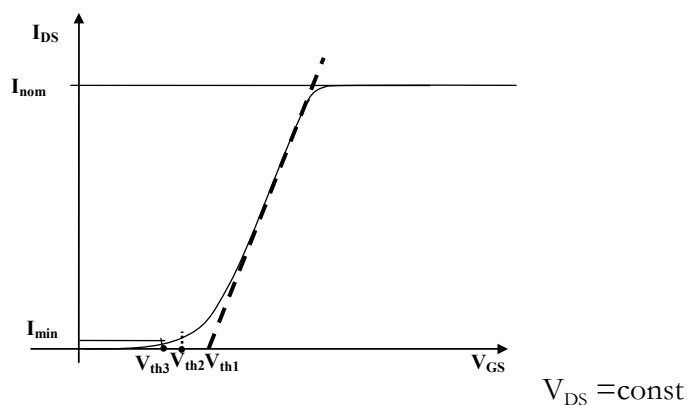


Figure 2-14. Tension de seuil de MOSFET

Ce seuil peut être définie de trois manières :

1. V_{th1} la valeur de la tension de seuil est obtenue comme l'intersection de la tangente de la courbe $I_{DS} - V_{GS}$ avec l'axe de V_{GS} ;
2. V_{th2} : la valeur de la tension de seuil est obtenue lorsque la concentration des charges dans la région du canal est la même qu'au départ, mais les porteurs de nature opposée. C'est la définition que nous allons utiliser ensuite ;
3. V_{th3} est obtenue au passage d'une valeur I_{MIN} de courant dans le canal (Figure 2-14).

En général ces trois valeurs de tension de seuil sont différentes :

La valeur du seuil de tension dépend des paramètres suivants ;

- la concentration en surface du porte-canal P- ;
- l'épaisseur d'oxyde de grille ;
- la nature et le dopage du matériau de la grille ;
- Des paramètres du procédé technologique parfois mal maîtrisés comme les conditions de croissance de l'oxyde de grille peuvent faire piéger des charges à l'interface oxyde de grille/substrat et même dans l'oxyde. Ces charges modifient la valeur de la tension de

seuil. Pour cette raison, la croissance d'oxyde doit être effectuée dans des conditions très propres. Pour les composants de puissance, le seuil de tension V_{th} varie entre 2,1 et 4V. La tension de seuil diminue lorsque la température augmente.

La formule analytique qui nous donne la relation entre les paramètres physiques et le seuil de tension est :

$$V_{th} = \left(V_{FB} + 2 \cdot \frac{k.T}{q} \cdot \ln \left(\frac{N_a}{ni} \right) \right) + \frac{\sqrt{2 \cdot q \cdot N_a \cdot \epsilon_0 \cdot \epsilon_{Sir}} \cdot \sqrt{2 \cdot \frac{k.T}{q} \cdot \ln \left(\frac{N_a}{ni} \right)}}{\frac{\epsilon_0 \cdot \epsilon_{Sir}}{e_{ox}}} \quad \text{Eq. 2-4} \quad [\text{VERNEAU03}]$$

N_a est le dopage supposé uniforme ici de la zone de porte canal, V_{FB} est la tension de bandes plates

$V_{FB} = \phi_{ms} - Q_f/C_0$ (ϕ_{ms} est la différence entre le travail de sortie ϕ_m du métal de grille et l'affinité électronique de silicium ϕ_s ; pour le silicium polycristallin de type N+, $\phi_{ms} = -0.56V$, Q_f sont les charges piégées dans l'oxyde, leurs valeurs varie selon le procédé technologique [[TRAPP85] ; nous avons pris une valeur de $Q_f = 3 \cdot 10^{11} \text{ e/cm}^2$ $C_0 = \frac{\epsilon_0 \cdot \epsilon_{SiO2r}}{e_{ox}}$ est la capacité

d'oxyde par unité de surface et e_{ox} l'épaisseur d'oxyde de grille. Cette formule permet d'estimer la valeur moyenne du seuil de mise en conduction du MOSFET. En effet, comme le canal est réalisé par une double diffusion, le dopage du porte-canal n'est pas uniforme le long de celui-ci. Pour un calcul plus précis il faudrait prendre en compte le profil de la diffusion et l'inclure dans l'équation.

Parmi tous les paramètres cités ci-dessous, pour l'optimisation de la tension de seuil nous ne pouvons agir que sur deux paramètres physiques : l'épaisseur de la grille et le dopage du porte-canal. Nous avons choisi comme matériau pour la grille du silicium polycristallin, dopé N. Cependant un dopage de type P de la grille aurait été très intéressant, selon les études réalisées dans [VERNEAU03]. Un tel dopage aurait pu permettre d'augmenter la tension d'auto-ecrantage du MOSFET (tension de seuil de la zone v) et ainsi l'immunité aux amorçages intempestifs du MOSFET. Cependant, le dopage au Bore du silicium polycristallin de la grille a un effet néfaste sur le bon fonctionnement du MOSFET. Le problème provient du fait que le Bore diffuse beaucoup dans l'oxyde de silicium et le risque est d'avoir un oxyde de grille avec beaucoup de charges piégées, ce qui les dégraderait les performances électriques du MOSFET.

1.7.b. Résistance à l'état passant $R_{DS(ON)}$

La résistance à l'état passant d'un MOSFET est composée de plusieurs éléments, et leur importance relative dans la résistance totale varie en fonction du calibre du composant (Figure 2-15). Pour des composants de faible tension la résistance du canal est prédominante tandis que pour des composants hautes tensions la couche épitaxiale v est prédominante. Nous allons détailler chacune des résistances composant $R_{DS(ON)}$.

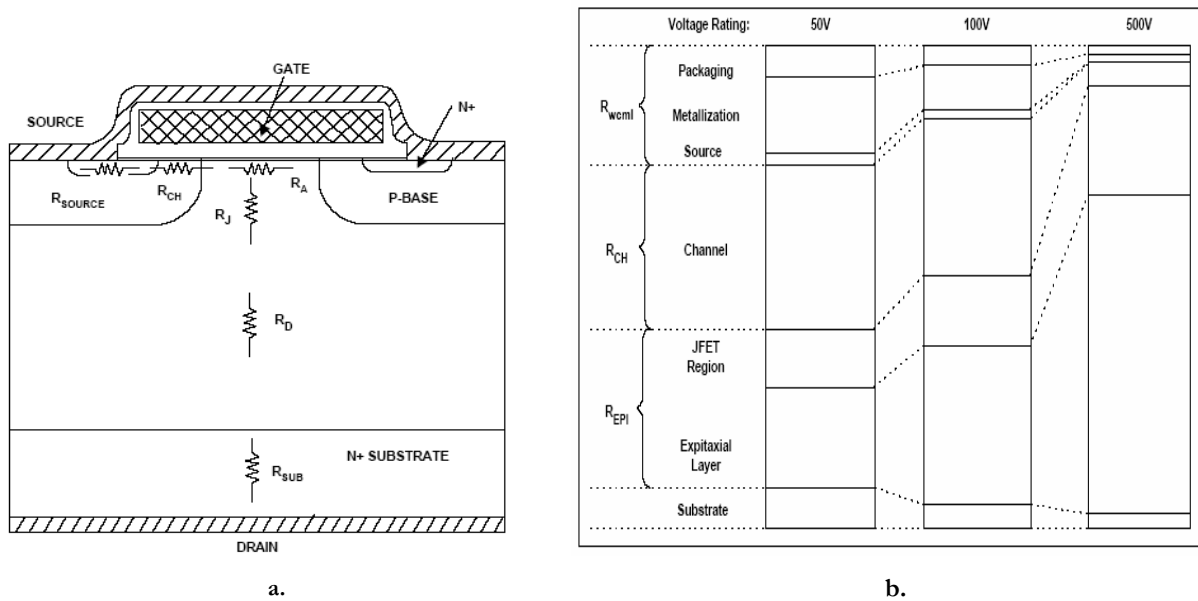


Figure 2-15. a. Les différentes éléments composant la résistance $R_{DS(ON)}$ du MOSFET b. et leur prépondération pour des MOSFETs de différents calibre en tension [IR]

La résistance à l'état passant $R_{DS(ON)}$ est composée de résistances connectées en série : la résistance des contacts métalliques de la source R_{Ω_S} , celle de la zone de la source N+, celle du canal d'inversion P-, celle de la zone d'accumulation sous la grille R_{acc} , celle de la zone verticale R_V , celle de la zone du drain N+ et celle du contact métallique du drain R_{Ω_D} .

- Les contacts ohmiques R_{Ω_S} et R_{Ω_D} et les amenées de courant du composant ajoutent une résistance de quelques miliohms à la résistance totale. Ils sont en général négligeables par rapport aux autres résistances.
- La résistance de la zone de la source N+ est elle aussi faible, car habituellement cette zone est très fortement dopée (supérieure à $5 \cdot 10^{19}$ at/cm³).
- La résistance du canal R_{canal} est déterminée par la longueur et la largeur du canal, l'épaisseur d'oxyde, la mobilité des porteurs, la tension de seuil et la tension de grille appliquée au composant. Elle est inversement proportionnelle à son périmètre Z . Pour la réduire, il suffit donc d'augmenter le nombre de cellules élémentaires du MOSFET.

$$R_{canal} = \frac{L_{canal} \cdot e_{SiO_2}}{\mu_{nS} \cdot \epsilon_{SiO_2} \cdot \epsilon_0 \cdot Z \cdot (V_G - V_{th})} \quad \text{Eq. 2-5}$$

- La résistance de la région d'accumulation R_{acc} (la région v sous la grille) [LETURCQ99] a une faible valeur lorsque les 2 conditions suivantes sont remplies :

- La tension de la grille est supérieure à la tension de seuil
- Le substrat sous la grille est en régime d'accumulation

$$R_{acc} = \frac{L_{intercell}}{4 \cdot \mu_{na} \cdot Z \cdot C_{ox} [V_{GS} - V_{DS}^*]} \quad \text{Eq. 2-6}$$

μ_{na} est la mobilité effective des porteurs dans la couche accumulée, $C_{ox} = \epsilon_{ox} / e_{ox}$ la capacité de l'oxyde de grille par unité de surface, V_{DS}^* la tension drain-source.

- La résistance de la zone R_v du substrat qui n'est pas simple à déterminer. Pour évaluer cette résistance il faut prendre en compte un épanouissement du courant dans la zone v comme illustre Figure 2-16.

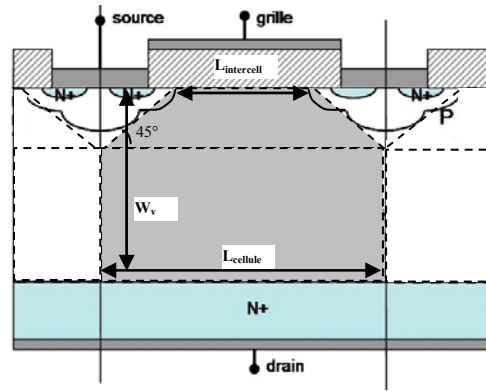


Figure 2-16. Epanouissement des lignes de courant permettant le calcul de la surface équivalente d'un motif élémentaire

La résistance de cette zone v est :

$$R_v = \frac{W_v}{q \cdot N_v \cdot \mu_n \cdot S} \quad \text{Eq. 2-7}$$

W_v étant l'épaisseur, S la surface équivalente d'un motif élémentaire. Par surface équivalente d'un motif élémentaire, nous entendons la surface qui est obtenue en effectuant un calcul de moyenne géométrique tenant compte de l'épanouissement sous la cellule élémentaire.

Alors la résistance totale du MOSFET est :

$$R_{DS(on)} = R_{source+contact+boitier} + R_{canal} + R_{acc} + R_v \quad \text{Eq. 2-8}$$

Donc la résistance à l'état passant dépend des formes géométriques du MOSFET (périmètre de la cellule, longueur du canal, espace intercellulaire), des paramètres technologiques comme la

résistivité du substrat, les niveaux de dopages du porte-canal et de la zone de source et de drain, ainsi que de l'épaisseur de l'oxyde de grille. En fonction du calibre en tension du composant, différents éléments composant le $R_{DS(ON)}$ peuvent être prédominants (voir Figure 2-15):

- Pour les composants de faible calibre en tension (jusqu'à 50V), la résistance du canal et la résistance d'accumulation sont prédominantes. On cherche alors à réduire la résistance $R_{DS(ON)}$ en augmentant la densité des cellules.
- Pour les composants de calibre en tension moyen (jusqu'à 100V), la résistance du canal R_{canal} , la résistance de la zone d'accumulation R_{acc} et de la zone du substrat R_v ont les mêmes importances relatives. Donc la réduction des paramètres géométriques des cellules et la distance intercellulaire ne sont pas si bénéfiques. Une réduction de la résistance d'accumulation R_{acc} entraîne une augmentation de la résistance du substrat R_v , donc il y a un compromis à faire entre ces deux résistances.
- Pour les composants de fort calibre en tension (jusqu'à 800V), la résistance de drift R_v est prépondérante. Donc une réduction des géométries des cellules et de la distance intercellulaire n'est pas prépondérante. Dans ce cas le $R_{DS(ON)}$ est principalement fixé par l'épaisseur et le dopage de la zone de tenue en tension.

Des améliorations sont envisageables pour accroître les performances de zone de tenue en tension en créant des structures innovantes comme dans le cas des composants CoolMOS de Infineon [LORENZ99] ou MDMesh [GALLUZZO00] de ST Microelectronics. On peut jouer encore sur la surface du composant, mais les caractéristiques en commutation seront influencées. Là encore tout est question de compromis.

I.7.c. Tenue en tension du MOSFET

La tenue en tension inverse du transistor MOSFET dépend de la tenue en tension de la jonction formée par la zone de porte-canal et le substrat N_v . La tenue en tension d'une telle jonction dépend des dopages des deux zones et de l'épaisseur du substrat. Dans le cas d'un MOSFET vertical à canal N la tension est supportée presque entièrement par la partie peu dopée N_v . La tenue en tension du substrat est fonction de sa résistivité et de son épaisseur. Pour augmenter la tenue en tension il faut augmenter les deux grandeurs. Bien sur, cela va augmenter la résistance à l'état passant qui est dépendante de la tension de claquage. Pour cette raison, selon l'application il y a un compromis à faire entre la tenue en tension et les performances électriques en commutation et en régime statique du MOSFET. Pour plus d'information se rapporter à [ARNOULD92].

Afin d'obtenir en pratique une tenue en tension proche de la théorie, il est indispensable de réaliser des terminaisons. Celles-ci servent à réduire le champ électrique dans les régions périphériques où il deviendrait trop élevé sous l'effet des courbures de champ (d'une jonction cylindrique). Pour des gammes de tension inférieure à 500V la solution utilisée est une électrode de champ (Figure 2-17.a).

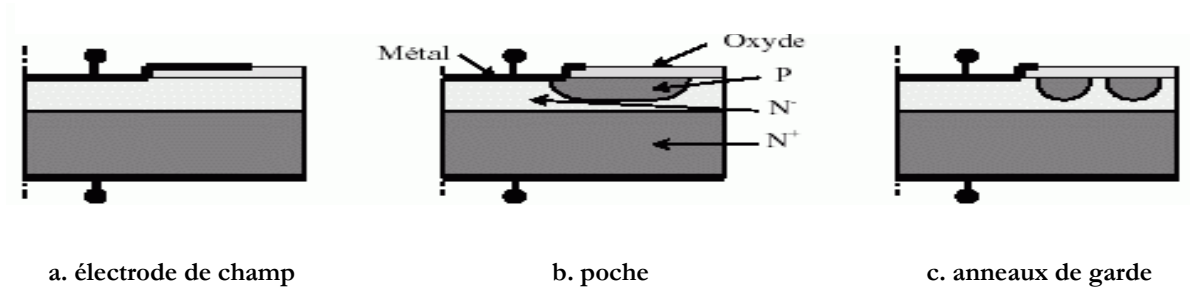


Figure 2-17. Structure Planar des terminaisons de tenue en tension des composant de puissance

L'électrode de champs répartie les lignes de champ électrique horizontalement à la surface du composant et ainsi réduit la valeur du champ au coin de l'anneau de garde P+. Une première électrode est formée à l'aide du silicium polycristallin de la grille et la deuxième avec la couche de métallisation d'aluminium de la source. Cela empêche l'accumulation de charges positives en surface du substrat NV et améliore la stabilité du composant. L'aluminium couvre le silicium polycristallin et fait un écran électrostatique contre les ionisations externes et assure une stabilité en état de blocage.

Pour des composants dont la tenue en tension de l'ordre de 1000 à 1500V, une structure avec des anneaux de garde est utilisée (Figure 2-17c). Le nombre des anneaux, ainsi que l'espacement entre eux dépend du calibre en tension du composant et des caractéristiques du procédé de fabrication.

Les terminaisons de tenue en tension de type poche permettent des tensions de claquage plus élevées (1000 à 4000V) (Figure 2-17b). C'est une implantation d'une zone latérale faiblement dopée en périphérie du composant. Elles imposent à la zone de charge d'espace de s'étaler largement, latéralement, dans le silicium. La distribution du champ électrique est alors modifiée, les équipotentielles se répartissent plus largement et la tenue en tension est améliorée. Cependant pour obtenir le maximum de la tenue en tension du dispositif, il est important d'optimiser certains paramètres comme la dose implantée, les profondeur et longueur de poche [HWANG84], [AHMAD85], [SANCHEZ92].

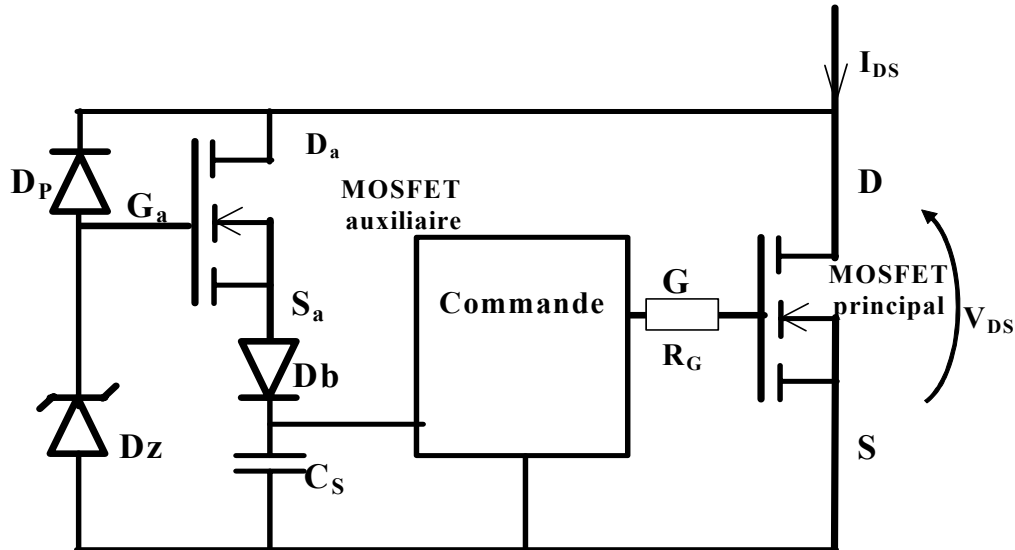


Figure 2-18. Schéma de principe de la structure de l'auto-alimentation contenant entre autres deux MOSFETs de puissance

La structure peut être séparée en deux parties : une partie haute tension, contenant les deux MOFSETs, la diode de polarisation D_p et une partie basse tension, qui contient la diode de blocage D_b , la diode Zener D_z , la capacité C_s et la commande rapprochée. Les composants de la partie haute tension sont placés en parallèle et ils partagent les mêmes contraintes en tension. Nous pouvons donc les intégrer au sein de la même périphérie. De plus, un MOSFET de puissance est constitué de plusieurs cellules élémentaires. Donc pour intégrer les deux MOSFETs au sein de la même périphérie, il suffit de réserver quelques cellules pour le MOSFET auxiliaire. Le MOSFET auxiliaire doit avoir un calibre un courant suffisant pour permettre la recharge de la capacité C_s dans des conditions dynamiques acceptables. Une autre contrainte est liée au fait que lorsque la capacité sera chargée à sa tension maximale, cela imposera une différence de potentiel entre les sources des deux MOSFETs. C'est une contrainte qui sera prise en compte lors de la conception du « layout » des deux composants.

Les autres composants de la fonction de l'auto-alimentation sont la diode D_b , la diode Zener D_z et la capacité C_s . Les deux premiers composants peuvent être facilement rajoutés dans

un deuxième temps sans prévoir de modification dans le procédé technologique. Ces deux éléments peuvent être conçus et fabriqués au sein de la commande rapprochée. Actuellement l'intégration de la capacité C_s semble plus difficile et dépend de sa valeur.

Afin de valider la faisabilité d'une intégration monolithique de la structure de l'auto-alimentation nous commençons par l'intégration de la partie haute tension de la structure de l'auto-alimentation : les deux composants MOSFETs.

II.1. Cahier des charges

Nous allons présenter la démarche que nous avons menée pour la conception et la réalisation d'un MOSFET de puissance en tentant compte de l'intégration de la fonction de l'auto-alimentation de la commande rapprochée. Nous allons définir les paramètres physiques du MOSFET à partir des caractéristiques électriques de l'interrupteur de puissance « désiré ». Dans un premier temps nous allons présenter la démarche de conception d'un MOSFET seul. Puis la réalisation de la fonction de l'auto-alimentation en réalisant deux composants MOSFETs au sein de la même périphérie. Ces composants élémentaires auront les mêmes paramètres physiques.

Dans [VERNEAU03] des études sur l'optimisation géométrique et physique d'un MOSFET pour la réalisation de la fonction de l'auto-alimentation ont été présentées. Pour notre conception nous avons pris en compte ces résultats d'optimisation.

Les composants visés dans notre réalisation doivent avoir une tenue en tension de 600V et ils doivent commuter un courant d'environ 1A (le courant dépend de la surface active du composant). La tension maximale de commande de la grille doit être de 15V.

Nous allons d'abord présenter les paramètres imposés par le calibre en courant et en tension : la tension de seuil V_{th} et la résistance à l'état passant $R_{DS(on)}$ (dopage du substrat). Dans un deuxième temps nous allons présenter l'optimisation des paramètres technologiques (niveau des dopages des différentes implantations et des différentes profondeurs de diffusion) et géométriques (dimensions d'une cellule élémentaire, largeur de l'espace intercellulaire...) du MOSFET. Ces paramètres détermineront des caractéristiques électriques comme la tension de seuil V_{th} , la résistance à l'état passant $R_{DS(on)}$. A partir de ces paramètres nous allons créer le « layout » du MOSFET. Pour le layout nous devons définir les dimensions et les géométries surfaciques (amenées de courant de la grille et de la source) sur la puce en prenant en compte les distances minimales entre les différents niveaux de masquage.

II.2. Paramètres physiques et géométriques de MOSFET

Pour la conception du MOSFET nous devons définir les valeurs de plusieurs paramètres physiques (le dopage de la zone porte canal, le dopage de la source, la résistivité de la zone de tenue en tension et son épaisseur, l'épaisseur de l'oxyde de grille), des paramètres géométriques (la longueur du canal, la distance intercellulaire ...). Pour le layout du MOSFET nous devons prendre en compte les valeurs de ces paramètres, ainsi que les contraintes technologiques (valeurs minimales des ouvertures de contacts, tolérances sur les masques, marges d'alignement...).

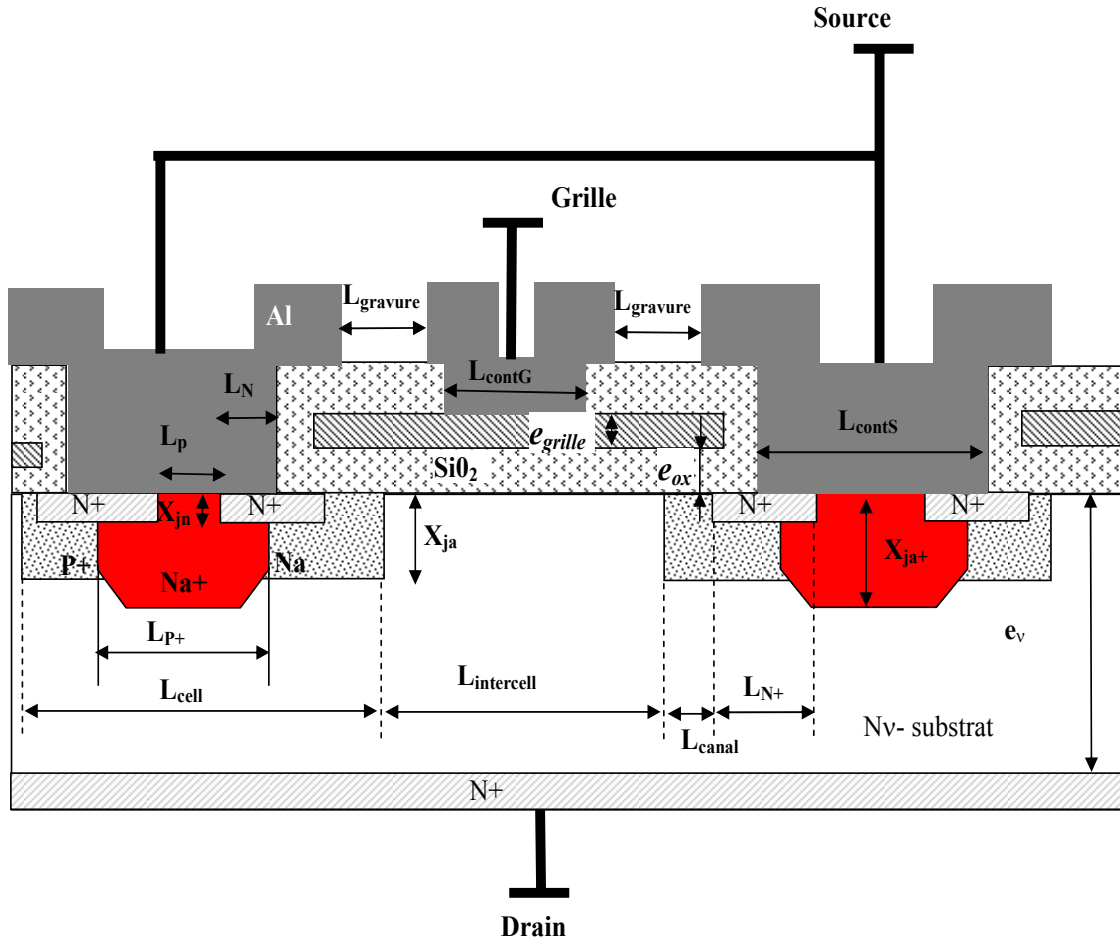


Figure 2-19. Paramètres du MOSFET

La liste des paramètres physiques du MOSFET que nous devons déterminer sont :

N_a (at/cm²) : dose en surface du porte-canal de type P-

X_{ja} (μm) : profondeur de la zone du porte-canal de type P-

N_{a+} (at/cm²) : dose en surface du court-circuit de type P+

X_{ja+} (μm) : profondeur de la zone du court-circuit de type P+

N_v (at/cm³) : dopage de la zone intercellulaire en fonction du calibre de tenue en tension du composant.

N_d (at/cm²) : dose en surface de la source

X_{jn} (μm) : profondeur de la zone de source

e_{ox} (μm) : épaisseur de l'oxyde de grille

e_v (μm) : épaisseur de l'électrode de grille en silicium polycristallin

Niveau et type du dopage du silicium polycristallin de grille.

Les paramètres géométriques que nous devons dimensionner sont :

L_{cell} (μm) : largeur du motif élémentaire

$L_{intrecell}$ (μm) : espacement entre deux motifs élémentaires (zone intercellulaire)

L_{p+} (μm) : largeur du court-circuit P+

N_{cell} : nombre de motifs élémentaires (dépendant de l'espace intercellulaire et de la taille totale du composant)

L_{canal} (μm) : longueur du canal (dépendante des profondeurs de jonction X_{ja} et de X_{jn})

L_{contS} , L_{contG} (μm) : largeur de l'ouverture de contact sur la source et la grille

L_p (μm) : largeur du contact ohmique entre l'aluminium et le porte-canal

L_N (μm) : largeur du contact ohmique entre l'aluminium et la source

$L_{gravure}$ (μm) : largeur minimale entre deux contacts métalliques

Les dimensions des masques seront déterminées en fonction des valeurs de ces paramètres en prenant une marge de ± 1 micron supplémentaire (pour des raisons de défauts possibles d'alignement des masques). Pour le layout il faut aussi prendre en compte la taille minimale d'un motif qui peut être réalisé par photolithographie.

Nous allons maintenant présenter le dimensionnement du MOSFET pour la réalisation de la fonction auto-alimentation.

II.3. Paramètres physiques du MOSFET

II.3.a. Choix des caractéristiques du substrat de silicium

Pour la réalisation de notre composant, le choix de la résistivité du substrat en silicium est dépendant de la tenue en tension. Nous avons choisi un calibre en tension du MOSFET de 600V donc le dopage du substrat devra être de [ARNOULD92]:

$$N_v = 1,47 \cdot 10^{18} (V_{BR})^{-4/3} \quad \text{Eq. 2-9}$$

$$N_v = 2,9 \cdot 10^{14} \text{ at/cm}^3.$$

Compte tenue des disponibilités chez les fournisseurs de tranches de silicium, nous avons pris des substrats ayant un dopage de $2 \cdot 10^{14} \text{ at/cm}^3$, ce qui nous donne une résistivité de :

$$\rho_v = \frac{44.10^{14}}{N_v} = 15 \Omega.cm \quad \text{Eq. 2-10}$$

et une épaisseur optimale de la zone de tenue en tension de :

$$e_v = 2,32.10^{-2} (V_{BR})^{7/6} = 40\mu m \quad \text{Eq. 2-11}$$

Nous avons pris des tranches de silicium ayant une épaisseur de la zone de tenue en tension N_v de $50\mu m$. Cette couche de faible résistivité est créée par un procédé d'épithaxie sur un substrat de $450\mu m$ fortement dopé N^+ .

Les tranches ont une épaisseur totale de $500\mu m$. Cette épaisseur est imposée par des conditions de rigidité mécanique. L'orientation cristalline est de type $\langle 100 \rangle$ pour avoir une plus grande mobilité des électrons dans le canal d'inversion. En effet selon [HELL86] il existe un rapport 2 entre les mobilités des électrons entre des substrats d'orientation cristalline de $\langle 111 \rangle$ et de $\langle 100 \rangle$.

II.3.b. L'épaisseur de l'oxyde de grille

Pour la réalisation de la fonction de l'auto-alimentation, le choix de la tension de seuil du MOSFET est très important, car de part notre structure, nous n'avons pas la possibilité d'avoir une tension de commande négative qui permettrait d'avoir une immunité plus importante face aux amorçages intempestifs. Il sera donc intéressant d'avoir une tension de seuil relativement élevée. Notre choix s'est orienté vers une tension de seuil $V_{th} = 3V$. Nous pouvons ajuster la tension de seuil du MOSFET en fonction du dopage du porte-canal et de l'épaisseur d'oxyde de grille à l'aide de la formule du paragraphe I.7.a, Eq. 2-4. A l'aide de cette formule nous avons pu calculer la variation de la tension de seuil V_{th} en fonction du dopage du porte-canal N_a pour différentes épaisseurs d'oxyde e_{ox} , ainsi que la variation de V_{th} en fonction de l'épaisseur d'oxyde e_{ox} à N_a constante. Dans ce cas nous avons supposé que le dopage du porte-canal est homogène. Les résultats sont présentés sur les figures suivantes :

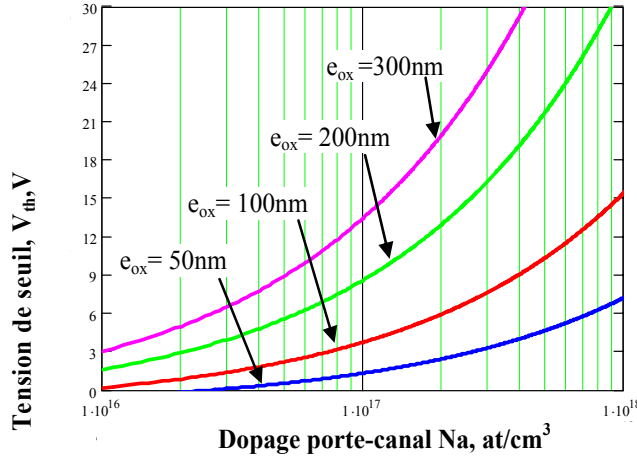


Figure 2-20. Tension de seuil en fonction du dopage du porte-canal pour différentes épaisseurs de l'oxyde de grille

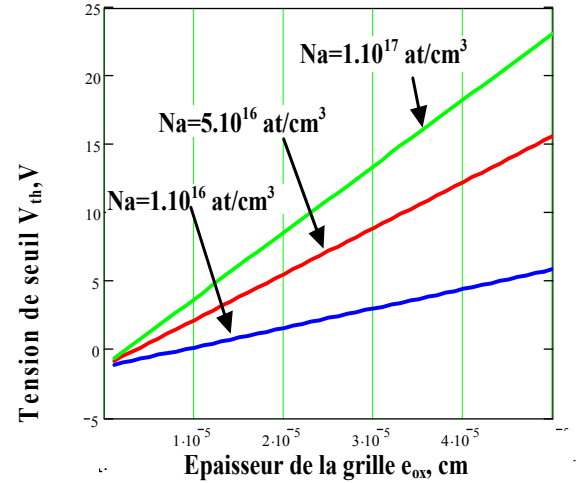


Figure 2-21. Tension de seuil en fonction de l'épaisseur de la grille pour un dopage du porte-canal de 1.10^{17} at/cm³

Pour modifier la tension de seuil, nous pouvons donc jouer sur le dopage en surface N_a du porte-canal et sur l'épaisseur de l'oxyde de grille e_{ox} . Dans notre cas, l'oxyde de grille, doit supporter une tension supérieure à 15V. Le champ maximal E_{SiO_2} supporté par un oxyde de silicium de qualité moyenne est de $3MV.cm^{-1}$. Donc, l'épaisseur d'oxyde minimale pour que cette dernière tienne une tension de commande de 20V est :

$$e_{SiO_2} = \frac{V_{GS}}{E_{SiO_2}} = 66nm$$

Nous avons choisi une épaisseur d'oxyde de 100nm.

II.3.c. L'électrode de la grille

L'électrode de la grille sera réalisée en silicium polycristallin fortement dopé avec du Phosphore afin de diminuer sa résistivité. L'épaisseur du silicium polycristallin de la grille doit être suffisante pour que les électrons ne traversent pas l'oxyde de grille pendant les étapes d'implantations. Nous avons réalisé quelques tests technologiques sur des tranches de silicium sur lesquelles un dépôt de silicium polycristallin a été effectué. Ceux-ci nous ont conduit à choisir une épaisseur de 400nm pour le silicium polycristallin de grille.

II.3.d. Caractéristiques physiques et électriques du porte-canal

Concernant le dopage de la zone du porte-canal, nous avons plusieurs contraintes. Comme on peut le voir sur la Figure 2-22 dans la structure de MOSFET il existe un transistor bipolaire parasite entre la source, le porte-canal et le drain.

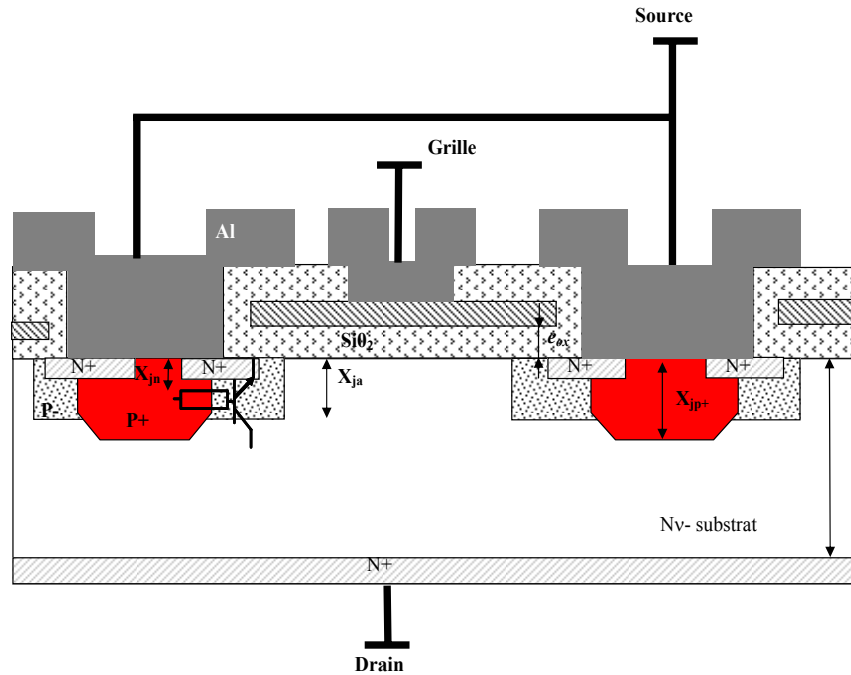


Figure 2-22. Structure de MOSFET

Le transistor bipolaire peut provoquer des dysfonctionnements du MOSFET pour deux raisons :

1. Lorsque une tension positive est appliquée entre le drain et la source du MOSFET, la zone de charge d'espace développée dans le porte-canal peut atteindre la jonction source - porte-canal et provoquer son perçage. Afin d'éviter ce perçage la profondeur et le dopage de la zone du porte canal doivent être optimisés.
2. Le transistor bipolaire peut être amorcé sous un dV/dt important, si la résistance de sa base formée par la zone de porte-canal P- est trop élevée. Pour cette raison la valeur de la résistance du porte-canal doit être réduite et le court-circuit entre la source et le porte-canal assuré.

Nous visons une tension de seuil proche de 3V, donc selon l'Eq. 2-4, avec une épaisseur d'oxyde de 100nm, le porte-canal doit avoir un dopage en surface supérieure à 1.10^{17} at/cm³ (voir Figure 2-20).

Afin d'éviter le perçage entre la jonction du porte-canal et la source, nous pouvons estimer la profondeur nécessaire à la jonction en fonction du dopage du porte-canal.

La profondeur de cette jonction doit être suffisante pour que la zone de charge d'espace développée côté P reste inférieure à cette profondeur de jonction sous pleine tension de drain.

Le champ maximal à la jonction entre la zone du porte-canal et le drain, peut être calculé en utilisant la formule :

$$E_{MAX} = \frac{V + \frac{q \cdot N_v \cdot w_D^2}{\epsilon_0 \cdot \epsilon_{Sir}}}{w_D} \quad \text{Eq. 2-12}$$

V est la tension inverse appliquée, w_D est la zone de charge d'espace côté drain (. On néglige alors la part de la tension tenue le porte-canal.

Pour une largeur de la zone de charge d'espace $w_D = 50\mu\text{m}$ et une tension $V = 600\text{V}$, le champ maximal à la jonction est $E_{MAX} = 196\text{KV.cm}^{-1}$, en sachant que le champ critique pour le silicium de forte résistivité de type v ($2 \cdot 10^{14} \text{ at/cm}^3$) est d'environ $E_{CR} = 250\text{KV.cm}^{-1}$.

A partir de la valeur du champ maximal au niveau de la jonction, il suffit de résoudre l'intégrale de l'équation Eq. 2-13 afin de trouver l'étendue de la zone de charge d'espace dans le porte-canal.

$$\frac{q}{\epsilon_0 \epsilon_{Sir}} \int_{xj-wa}^{xj} N_a(x) \cdot e^{\frac{-x^2}{2\sqrt{D_n t}}} dx = E_{MAX} \quad \text{Eq. 2-13}$$

Les résultats de la profondeur minimale de la jonction du porte-canal en fonction de son dopage sont présentés sur la Figure 2-23.

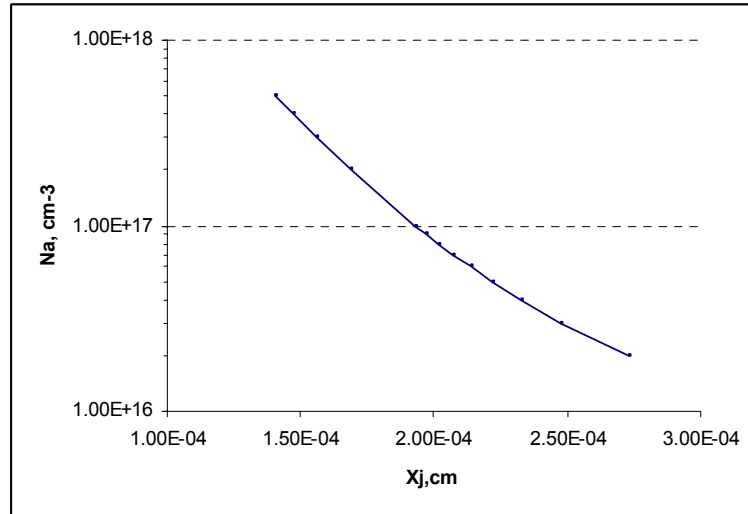


Figure 2-23. Profondeur minimale de la jonction de porte-canal pour éviter le perçage

Pour des dopages de porte-canal compris entre $2 \cdot 10^{16}$ et $1 \cdot 10^{17} \text{ at/cm}^3$, la profondeur de la jonction du porte-canal doit être comprise entre 2 et $2.5\mu\text{m}$, non compris la profondeur de la source. Pour obtenir la valeur finale de la profondeur de la jonction de porte-canal, il faut tenir compte de la profondeur de la zone de source. Cela nous conduit à une profondeur de jonction du porte-canal comprise entre 2.5 et $3\mu\text{m}$ et une légère augmentation du dopage en surface.

II.3.e. Contact et court-circuit source-porte-canal

La taille d'une cellule élémentaire L_{cell} de MOSFET (Figure 2-24) dépend des largeurs du double contact de source et du P+ assurant le court-circuit de la jonction base-émetteur du transistor bipolaire parasite. Ces largeurs doivent être suffisantes pour assurer de bons contacts ohmiques. Nous pouvons déterminer les surfaces des deux zones de la source et du court-circuit P+ en fonction de la résistance de contact entre ces deux régions et l'aluminium.

La résistance R de contact sur silicium monocristallin ou polycristallin dépend de :

1. La surface de la zone de contact.
2. La concentration en surface.
3. La propreté de surface.
4. Les conditions de dépôt du métal.

Mais pour des procédés bien contrôlés, les conditions 1 et 2 sont prépondérantes.

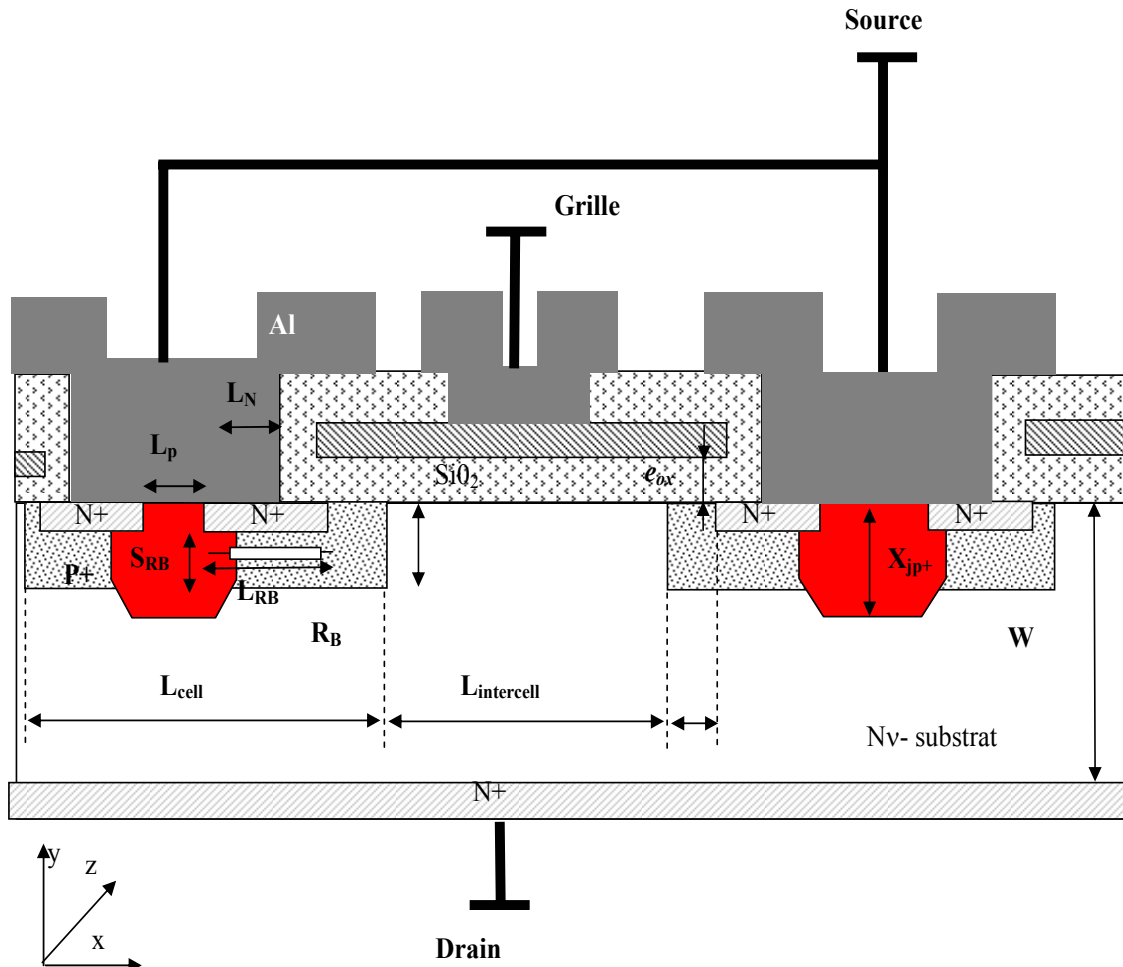


Figure 2-24. La résistance parasite R_B dans la région du porte-canal

D'après les abaques présentés dans [TRAPP85] donnant les résistances de contact en fonction du niveau de dopage du silicium, le contact sur N^+ n'est ohmique qu'au-delà d'une valeur proche de 5.10^{19} at/cm³. De plus, la résistance de contact est beaucoup plus élevée sur du

silicium dopé N+ que P+. D'après les abaques donnant la résistivité de contact en fonction du dopage, il est possible d'extraire les formules empiriques suivantes :

La résistivité de contact du silicium dopé P est:

$$R_{CP+} = 4.6041.10^6.C_S^{-0.677} \quad \text{Eq. 2-14}$$

La résistivité de contact du silicium dopé N est:

$$R_{CN+} = 5,0625.10^{74} C_S^{-4} \quad \text{Eq. 2-15}$$

où C_S est le dopage en $[\text{cm}^{-3}]$ et R_{CN+} et R_{CP+} en $[\Omega.\text{cm}^2]$

A l'aide de ces formules nous avons fait une estimation du rapport des surfaces dont nous avons besoins pour avoir un contact ohmique comparable entre l'aluminium et la zone de la source dopé N+ d'une part et la zone du porte canal dopé P+ d'autre part.

D'après les résultats obtenus lors des tests technologiques (voir partie III de ce chapitre) au CIME, la concentration maximale de Phosphore en surface que nous pouvons obtenir est de l'ordre de $5.10^{19} \text{ at/cm}^3$. Si nous partons de l'hypothèse d'une même valeur de résistance de contact, nous obtenons une surface de contact N+ 28 fois plus grande que la surface de contact P+, pour des dopages de N et de P respectivement de $5.10^{19} \text{ at/cm}^3$ et de $1.10^{18} \text{ at/cm}^3$. Une telle largeur de la zone de la source va diminuer significativement la zone active de notre composant. De plus comme le porte-canal forme sous la source une résistance R_B de la base du transistor bipolaire parasite (voir Figure 2-24), en augmentant la largeur de la source nous allons augmenter la longueur du porte-canal, et donc la valeur de cette résistance. Cette dernière, pouvant être responsable d'un possible déclenchement intempestif du transistor bipolaire parasite, doit être minimisée. [PERSIANO99].

Nous allons utiliser un autre principe de dimensionnement. Le principe est d'imposer le rapport entre la résistance à l'état passant R_{DSON} et la résistance de contact sur la source N+. Ce rapport doit être suffisamment grand pour que, dans le dispositif final, le contact ohmique de source soit effectivement négligeable devant la résistance à l'état passant du transistor. On peut noter qu'ici le rapport choisi sera toujours plus faible que dans la réalité puisque les résistances de canal et d'accès sont négligées ; or celles-ci peuvent devenir significatives par rapport à R_v dans le cas de dispositifs faibles tensions (comme nous l'avons présenté au paragraphe I.7.b).

$$R_{N+} = \frac{R_{CN}}{L_N z} \quad \text{Eq. 2-16}$$

z est l'épaisseur de motifs et L_N est la largeur de la surface de contact sur la source. La largeur de la surface de contact sur P+ sera notée L_P .

A l'aide des formules Eq. 2-5, Eq. 2-6, Eq. 2-7, Eq. 2-8, nous pouvons estimer la valeur de la résistance à l'état passant d'un motif avec des paramètres suivant : $L_{intercell}=30\mu m$, $L_{cell}+L_{intercell}=50\mu m$, $V_{GS}=15V$, $V_{DS}=400V$, $e_{ox}=0.1\mu m$, $L_{can}=1.5\mu m$, $z=13cm$, $N_{p+}=1.10^{18} \text{ at/cm}^3$, $N_{N+}=5.10^{19} \text{ at/cm}^3$, $N_{p-}=5.10^{16} \text{ at/cm}^3$, $X_{jp-}=3\mu m$, $X_{jn+}=0.5\mu m$. Dans ce cas $R_{DSON} \cong 6\Omega$. Donc pour avoir une résistance de contact 1000 fois plus petite, nous pouvons déterminer à partir de l'équation Eq. 2-16, la largeur de contact de la source. Pour obtenir une valeur de résistance à l'état passant $R_{DSON} \cong 6\Omega$, il faut avoir $L_{N+}=11\mu m$. Afin de réaliser un court-circuit efficace nous allons laisser une largeur de surface de contact sur le P+ de $L_p=6\mu m$. Ainsi, la résistance de contact sur cette surface sera de l'ordre de $0.3m\Omega$.

II.3.f. Optimisation de l'espace intercellulaire

La distance intercellulaire $L_{intercell}$ dépend de plusieurs paramètres : la valeur maximale de la capacité C_{GD} , la résistance R_{DSON} et la valeur maximale du courant dans le composant. Afin d'améliorer les performances dynamiques du composant la valeur de la capacité C_{GD} doit être minimale. Par contre pour améliorer les performances à l'état passant il faut diminuer R_{DSON} donc augmenter $L_{intercell}$. Pour les calibres en tension qui nous intéressent la distance intercellulaire sera assez importante et issue d'un compromis.

Dans notre application nous avons choisi la résistance à l'état passant R_{DSON} comme critère d'optimisation pour notre structure de MOSFET. Le principe est de considérer le cas d'un composant en régime ohmique à l'état passant. Dans ce cas, la tension V_{DS} est faible (quelques volts). Dans ce cas nous pouvons estimer la chute de tension à l'état passant du MOSFET, dans la zone ohmique de la caractéristique $I(V_{DS})$ (Figure 2-6), zone dans laquelle le canal n'est pas pincé.

Nous avons fait un premier calcul qui nous a permis d'estimer la variation de R_{DSON} en fonction de la distance intercellulaire. Les calculs ont été faits pour une surface totale active du MOSFET supposée constante. Nous avons choisi arbitrairement un pas de demi-cellule plus une demi-distance intercellulaire de $40\mu m$ ($\frac{L_{cell}}{2}=20\mu m$ et $\frac{L_{intercell}}{2}=20\mu m$).

Les autres paramètres de la structure simulée sont :

- L'épaisseur de la zone de tenue en tension et sa résistivité $W=50\mu m$, $\rho=15 \Omega.cm$.
- La largeur de la demi-distance inter-cellulaire $L_{intercell}/2$ varie entre 1 et $100\mu m$.
- La largeur d'un motif en direction de z est de $13cm$.

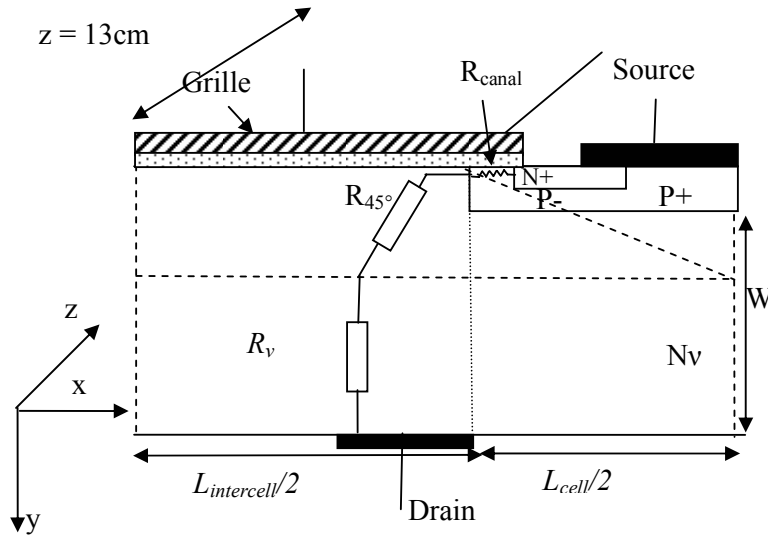


Figure 2-25. Paramètres principaux pour l'optimisation de la distance intercellulaire

Les équations permettant d'estimer la résistance R_{DSON} sont :

- R_{45° : résistance d'accès au canal. Dans cette zone, nous avons supposée un épanouissement du courant à 45° sous la source.

$$R_{45^\circ} = \frac{\rho}{z} \int_{\frac{L_{\text{intercell}}}{2}}^{\frac{L_{\text{cell}}}{2} + \frac{L_{\text{intercell}}}{2}} \frac{1}{\frac{L_{\text{intercell}}}{2} + y} dy \quad \text{Eq. 2-17}$$

- R_v : résistance de la demi-zone intercellulaire. Dans cette zone, nous avons supposé un épanouissement total. Ainsi cette résistance varie uniquement en fonction de la distance intercellulaire.

$$R_v = \frac{\rho \cdot \left(W - \frac{L_{\text{cell}}}{2} \right)}{z \cdot \left(\frac{L_{\text{intercell}}}{2} + \frac{L_{\text{cell}}}{2} \right)} \quad \text{Eq. 2-18}$$

La résistance totale R_v de la demi-zone intercellulaire est égale à :

$$R = R_{45^\circ} + R_v \quad \text{Eq. 2-19}$$

Nous avons calculé la valeur de la résistance de canal à l'aide de la formule de Eq. 2-5. Pour un canal de $1.5\mu\text{m}$ $R_{\text{canal}} = 6\Omega$ (pour une demi-distance intercellulaire de $L_{\text{intercell}}/2$ le canal a une longueur totale de 13cm). Puis nous appliquons un facteur correctif pour tenir compte de la réduction de la largeur totale du canal, due à l'augmentation de la distance intercellulaire, puisque nous travaillons à surface de zone active fixe.

$$R_{canal} = R_{canal} \cdot \frac{\left(\frac{L_{intercell}}{2} + \frac{L_{cell}}{2} \right)}{40.10^{-4}} \quad \text{Eq. 2-20}$$

Où le facteur correctif est $\frac{\left(\frac{L_{intercell}}{2} + \frac{L_{cell}}{2} \right)}{40.10^{-4}}$

Donc la résistance totale $R_{DS(on)}$ sera égale à

$$R_{DS(on)} = R + R_{canal}$$

Nous devons prendre en compte le fait que en augmentant la distance intercellulaire, la résistance R va diminuer, et en même temps la résistance du canal R_{canal} va augmenter puisque la largeur totale Z diminuera.

Les résultats de cette optimisation sont présentés sur la Figure 2-26.

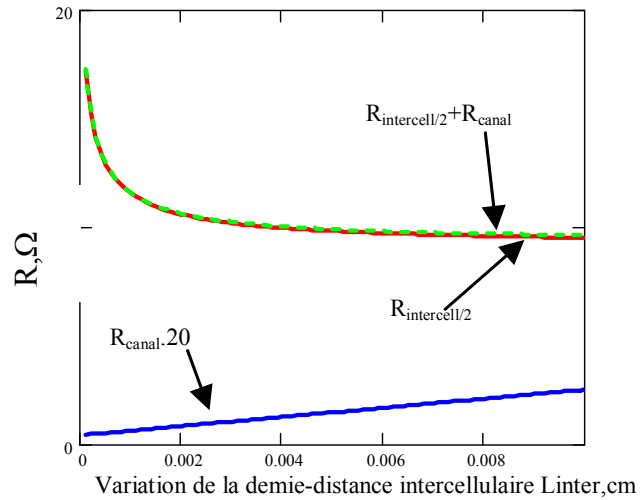


Figure 2-26. Résultats de calcul de la demie-distance intercellulaire optimale

Ces résultats montrent qu'à partir d'un demi-espace intercellulaire de 20μm la résistance totale ne diminue presque plus. Donc, une augmentation plus importante de la distance intercellulaire n'aura que peu d'effet sur la diminution de $R_{DS(on)}$.

Afin de valider nos calculs, nous avons réalisé plusieurs simulations numériques à l'aide du logiciel Atlas, ce qui nous a permis de dégager une tendance de comportement plus précise dans cette zone dite ohmique. La structure simulée est la même que celle présentée sur la Figure 2-25.

La largeur d'une demi-cellule ($L_{cell}/2$) est constante = 23μm, la demi-distance intercellulaire $L_{intercell}/2$ varie entre 1 et 50μm, la tension du drain V_{DS} est imposée constante à 3V et la tension de la grille V_{GS} est maintenue à 15V. Dans ce cas le transistor fonctionne en régime ohmique. Cela va nous permettre d'évaluer l'état passant du composant.

Le courant total de la structure simulée en fonction de la demi-distance intercellulaire est présenté sur la Figure 2-27. Il faut noter que le courant augmente car la taille du motif augmente. Afin de comparer les résultats nous avons calculé les densités de courant par μm^2 dans chacune de nos simulations. Les résultats obtenus sont représentées sur la Figure 2-28.

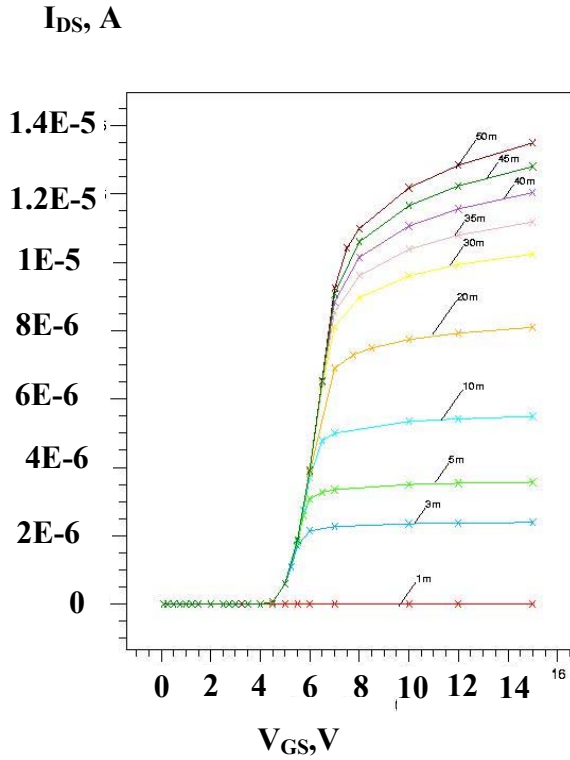


Figure 2-27. Caractéristiques $I_D=f(V_{GS})$ pour plusieurs demies distances intercellulaires ($V_{DS}=3\text{V}$)

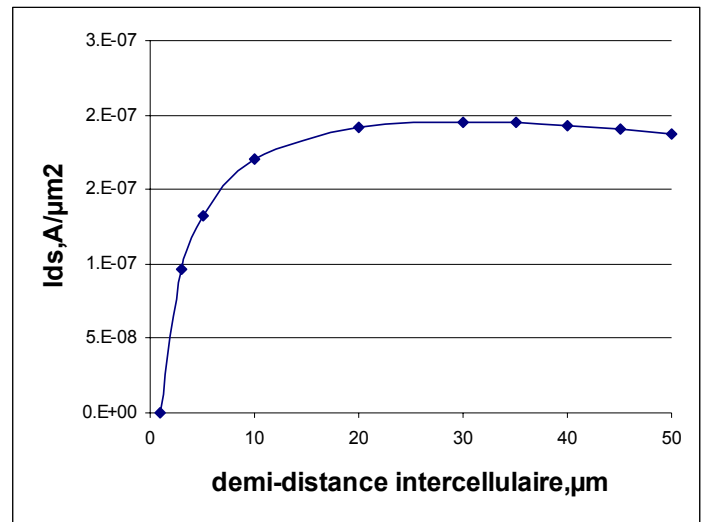


Figure 2-28. Densité du courant totale en fonction de $L_{intercell}/2$ (demi-distance intercellulaire du MOS) ($V_{DS}=3\text{V}$ $V_{GS}=15\text{V}$)

Les Figure 2-29.a,b montrent la distribution des lignes de courant pour deux distances intercellulaire : $L_{intercell}/2 = 40\mu\text{m}$ et $L_{intercell}/2 = 10\mu\text{m}$. Nous voyons ici clairement les limites de l'hypothèse de lignes de courant s'épanouissant à 45° sous le motif élémentaire.

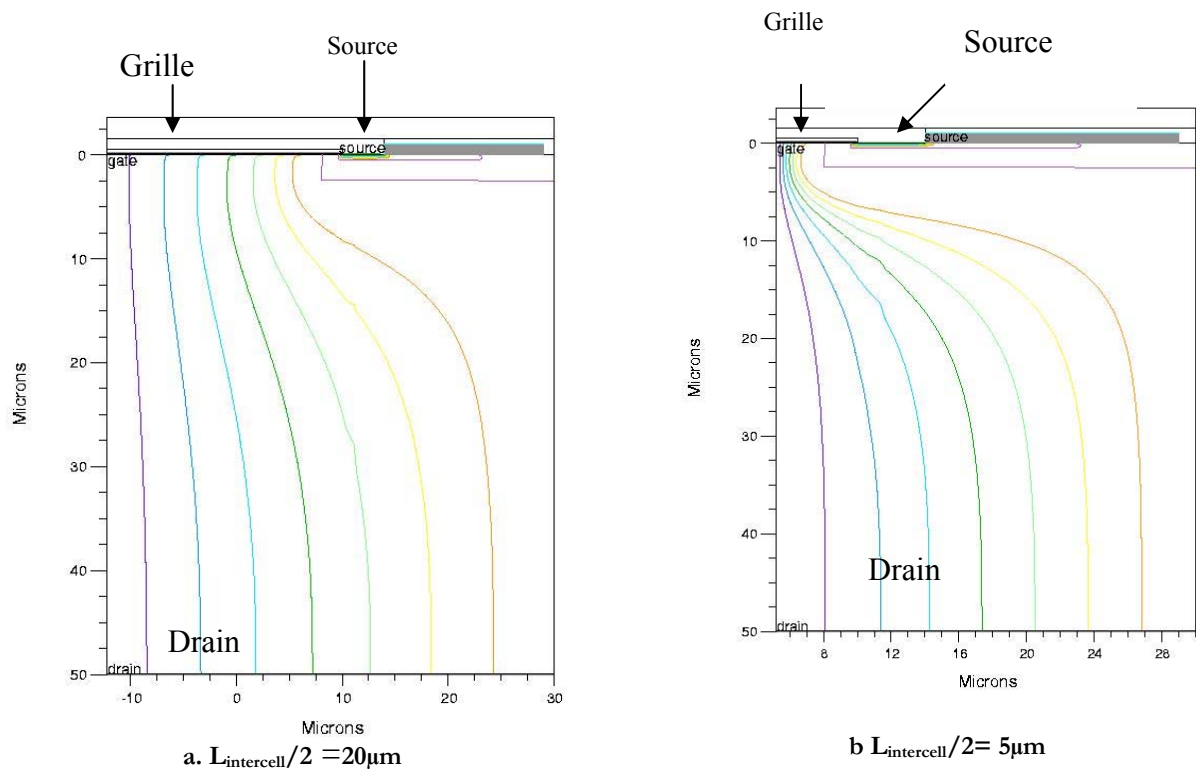


Figure 2-29. Visualisation des lignes de courant pour une demi distance intercellulaire de $20\mu m$ et de $5\mu m$

Les résultats de simulations montrent qu'à partir d'une certaine demi-distance intercellulaire, la densité de courant ne semble plus augmenter. Celle-ci semble redescendre légèrement offrant ainsi un maximum dans notre cas situé pour une valeur de la demi-distance intercellulaire comprise entre 20 et $35\mu m$. Les densités de courant obtenues en simulation sont de l'ordre de $20 A/cm^2$.

Nous avons comparé ces résultats d'optimisation avec des données issues de documents constructeur [IRF93]. Les résultats présentés dans ce databook montrent que cet optimum se trouve pour un rapport de 0.5 entre la taille d'une distance intercellulaire et la taille d'une cellule. L'avantage d'avoir un espace intercellulaire réduit est que la valeur de la capacité C_{GD} sera également réduite, ce qui se traduit par des composants moins sensibles aux perturbations, mais aussi plus rapide à la commande. D'après les résultats obtenus par les calculs analytiques et par les simulations à éléments finis et d'après nos critères d'optimisation, nous avons choisi comme distance intercellulaire de nos MOSFET des valeurs comprises entre 40 et $70\mu m$.

II.4. Incidence des caractéristiques électriques d'entrée sur la structure du MOSFET

Nous pouvons faire une synthèse sur l'incidence des caractéristiques électriques d'entrée sur la structure du MOSFET. La structure du MOSFET est définie par des paramètres physiques (dopage, diffusion...) et géométriques (dimensions des cellules...). Sur la Figure 2-30 nous

rappelons les paramètres physiques et géométriques du MOSFET que nous avons étudié afin d'optimiser ses paramètres électriques.

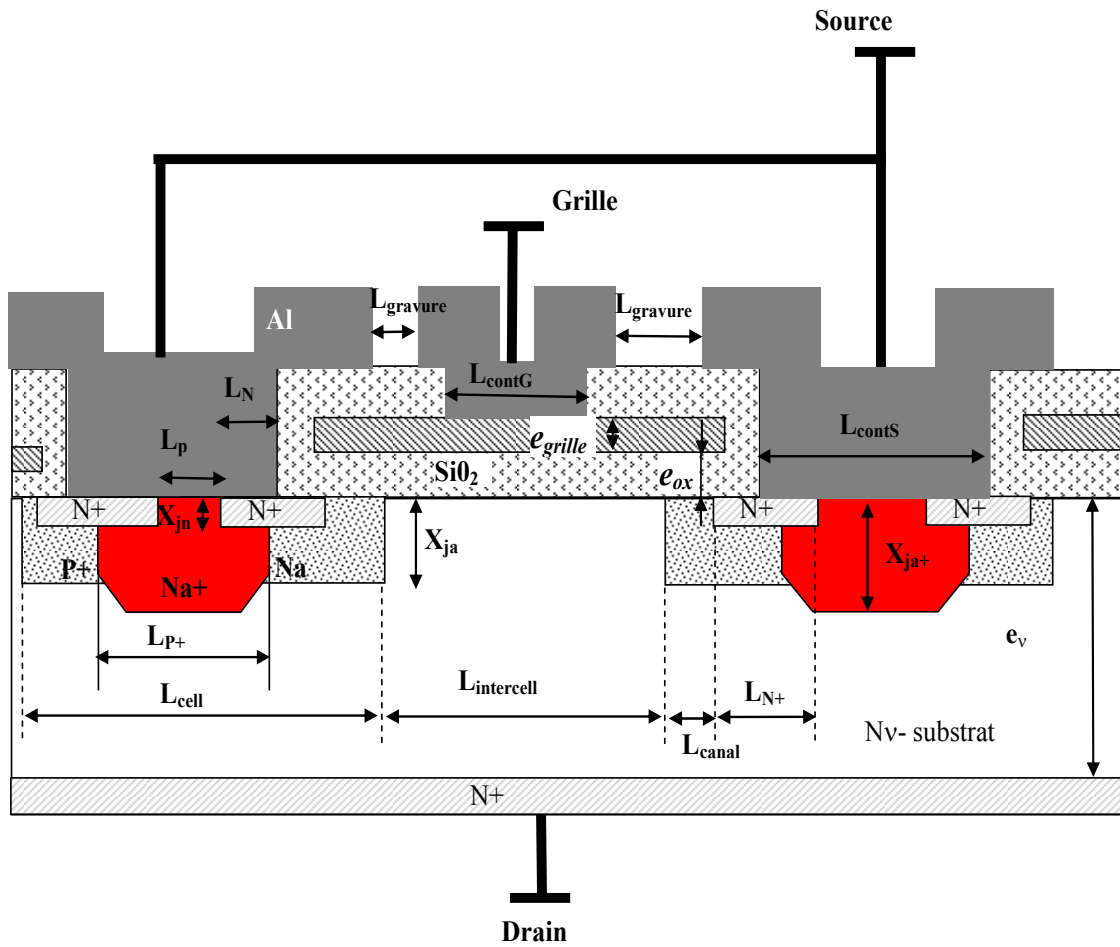


Figure 2-30. Paramètres du MOSFET

Le synoptique de la Figure 2-31 permet de relier les grandeurs électriques d'entrée aux grandeurs physiques du composant qui correspondent aux grandeurs de sortie du synoptique et de voir leurs implications sur la structure.

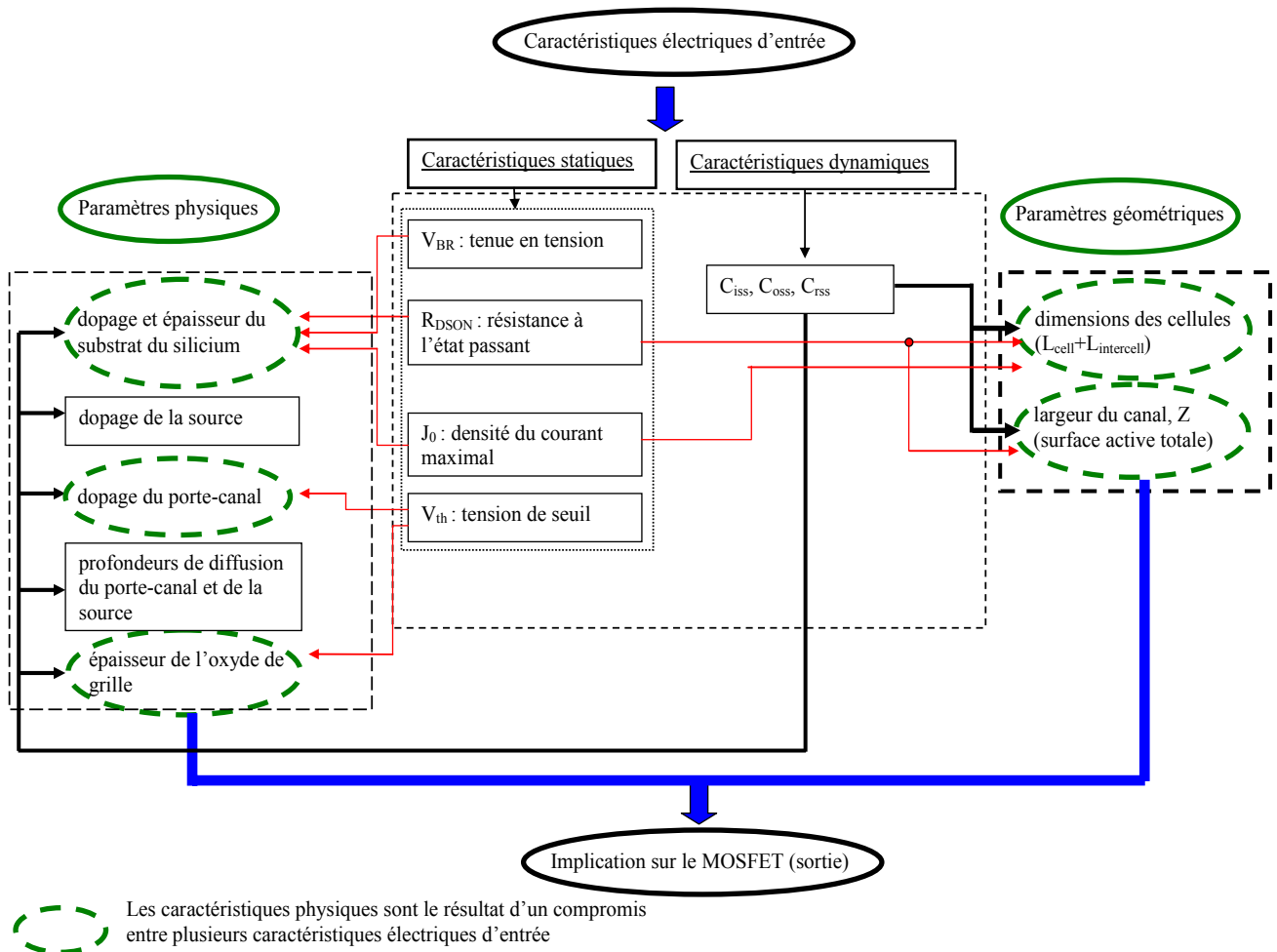


Figure 2-31. Synoptique de l'incidence des grandeurs d'entrées déterminant la structure du MOSFET

On peut faire les commentaires suivants sur le synoptique :

- Les choix de la résistivité et de l'épaisseur du substrat du silicium sont imposés directement par la tenue en tension du composant. La densité de courant critique J_0 dépend également de la résistivité (et de la surface totale du MOSFET).
- La tension de seuil dépend de l'épaisseur de l'oxyde de grille et du dopage du porte-canal.
- Les capacités inter-électrodes du MOSFET, la résistance à l'état passant, ainsi que le courant maximal dans le composant pour une tension V_{DS} donnée dépendent de la surface totale du MOSFET.

Comme il faut donc connaître la surface allouée au composant afin d'estimer toutes ces caractéristiques, nous avons choisi de prendre le problème en sens inverse, c'est à dire à partir d'une taille de puce du composant définie, de déterminer ses capacités, sa résistance à l'état passant et son courant maximal. Donc nous avons d'abord défini la taille d'un motif élémentaire ($L_{cell} + L_{intercell}$). Ensuite, nous avons choisi arbitrairement la taille de la puce du MOSFET : un carré de 3mm de côté. Nous avons alors dimensionné la périphérie de tenue en tension et nous

avons déterminé la surface quelle représentait sur la puce. Tout cela nous a permis de déterminer la surface active disponible du composant. Dans la surface active nous allons placer plusieurs motifs élémentaires en fonction de leurs tailles.

II.5. Dimensions principales d'une cellule élémentaire du MOSFET

En prenant en compte les résultats que nous avons obtenu pour le dopage des zones de la source et du porte-canal présentés dans la deuxième partie de ce chapitre, nous avons déterminé les paramètres physiques et géométriques de notre MOSFET pour un motif élémentaire.

Les paramètres physiques du MOSFET que nous avons déterminés sont :

N_v : le dopage du substrat de silicium de 2.10^{14} at/cm³

e_v : l'épaisseur de la zone de tenue en tension de 50μm

N_a : le dopage en surface du porte-canal de 5.10^{16} at/cm³

X_{ja} : la profondeur de diffusion de la zone porte-canal de 3μm

N_d : le dopage en surface de la zone de la source supérieur à 5.10^{19} at/cm³

X_{jn} : la profondeur de diffusion de la source de 0.5μm

N_{a+} : le dopage de la zone P+ du porte-canal de 1.10^{18} at/cm³

X_{ja+} : la profondeur de diffusion de la zone du porte-canal dopé P+ est de 3μm

e_{ox} : l'épaisseur de l'oxyde de grille est de 0.1μm

e_{grille} : l'épaisseur de la grille en silicium polycristallin de 0.4μm

Les paramètres géométriques (toutes les dimensions sont des côtes masques) :

L_{cell} : la largeur du motif élémentaire de 23μm

L_{N+} : la largeur de la zone de la source N+ de 14μm

L_N : la largeur du contact ohmique entre l'aluminium et la source N+ de 10μm

L_{P+} : la largeur du court-circuit dopé P+ de 20μm

L_P : la largeur de la zone de contact sur le court-circuit dopé P+ de 12μm

L_{contG} : largeur de l'ouverture de contact sur la grille 8μm, 18μm, 28μm respectivement pour

$L_{intercell}$ = 30, 40, 50μm

L_{contS} : la largeur de l'ouverture de contact sur la la source et le court-circuit est de 30μm

$L_{gravure}$: la gravure entre les métallisations de la grille et de la source : 8μm

$L_{intrecl}$: l'espacement entre deux motifs élémentaires (zone intercellulaire) 30, 40 et 50μm

L_{canal} : la longueur du canal de 1.5μm

Nous avons conçu trois différentes familles de composants MOSFET. La seule différence entre ces familles a été la largeur de la distance intercellulaire de 30, 40 ou 50μm.

Après avoir déterminé les paramètres géométriques et physiques du motif élémentaire du MOSFET, nous allons présenter son jeu de masque. Nous allons d'abord présenter les éléments communs pour les trois familles de composants. Ensuite nous détaillerons la conception de la zone active du MOSFET puis les « layouts » complets de ces composants. La conception des masques des composants MOSFET seuls nous a réservé pour la réalisation des composants intégrant les deux MOSFETs au sein de la même périphérie. Dans un deuxième temps nous présenterons la conception des composants doubles qui seront utilisés afin de valider le principe de fonctionnement de l'auto-alimentation de la commande rapprochée de l'interrupteur de puissance.

II.6. Dimensionnement des terminaisons de tenue en tension

Pour la réalisation des terminaisons périphériques, nous avons la contrainte que leur technologie de réalisation soit compatible avec les autres procédés technologiques de réalisation des composants. Pour cette raison, nous avons examiné seulement 2 possibilités pour les terminaisons de tenue en tension – l'utilisation d'une poche ou celle d'anneaux de garde. Bien, que la solution de la poche permette sans doute d'avoir une meilleure tenue en tension et que sa conception soit plus souple [NGO97], nous n'avons pas retenu cette solution pour des raisons de durée de temps de diffusion trop importante, ceci nous a permis aussi l'élimination d'un niveau de masquage. Nous avons donc choisi des anneaux de garde. Pour réaliser ces derniers nous utiliserons le même dopage de Bore que nous avons utilisé pour réaliser le plot central du court-circuit. Cela nous permet de ne pas ajouter d'étapes technologiques supplémentaires.

Les paramètres principaux qui influencent la tenue en tension des anneaux de gardes sont : [MODAL02]

- Le dopage du substrat ;
- Le rayon de courbure de l'anneau et de la jonction principale (X_{jp+}) ;
- Le profil de concentration de la jonction principale et des anneaux ;
- La densité de charges dans l'oxyde ;
- L'espacement entre les anneaux..

La combinaison d'électrodes de champs avec les anneaux de garde améliore au niveau de la jonction principale le rayon de courbure des équipotentielles et donc la tenue en tension.

Nous avons réalisé le dimensionnement des anneaux de gardes à l'aide du logiciel Atlas. Les simulations, nous ont permis d'optimiser le nombre d'anneaux de garde ainsi que la distance qui les sépare. Un exemple de simulation de tenue en tension des périphéries avec anneaux de gardes sont présentées sur la Figure 2-32.

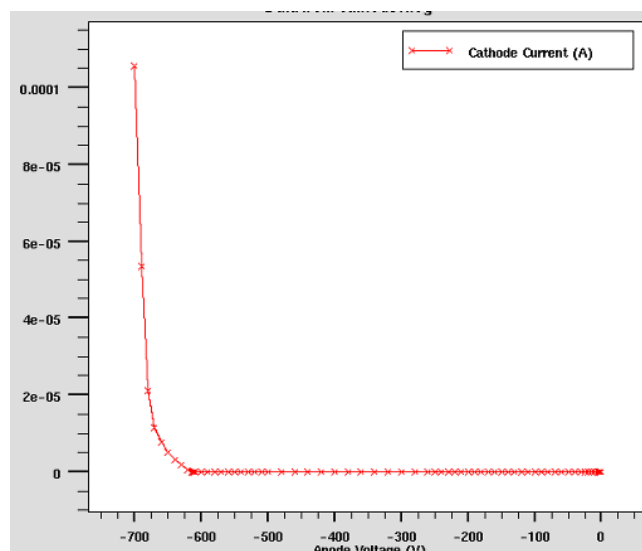
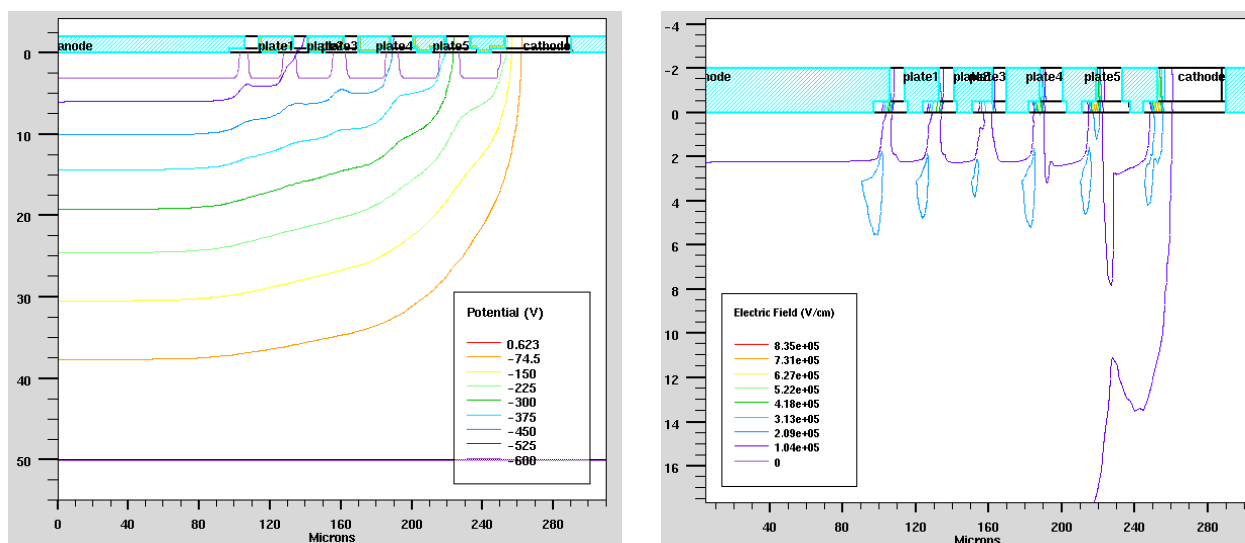


Figure 2-32. Tenue en tension des anneaux de garde

Nous avons choisi pour la taille de notre puce de MOSFET un carré de 3mm*3mm. Sur les bords du composant, nous avons réservé une distance de 70μm pour les chemins de découpe. Cette distance va servir pour la découpe du composant du wafer. Ces chemins de découpe doivent être obligatoirement nettoyés après chaque procédé. En effet, des restes d'oxyde ou d'autres couches telle que le silicium polycristallin ou l'aluminium peuvent abîmer les dents de scie pendant la phase de découpe des composants.

La partie extérieure de la périphérie comprend le « stop canal » ; c'est une bande de N+. Cette bande servira à éloigner les équipotentiels du bord de la puce quand le composant est sous tension afin d'éviter un claquage. Cette bande de N+ a une largeur de 50μm.

Figure 2-33. Carte des équipotentiels au bord du composant quand $V_{DS} \sim 600V$

Entre la jonction principale et le stop canal N+ sont placés les anneaux de garde. Ils ont une largeur de 150μm. Les angles des anneaux de garde doivent être arrondis afin de ne pas

degrader leur tenue en tension. Plus particulièrement la tenue en tension dépend du rayon de courbure de la jonction entre le P+ des anneaux de garde et le substrat. Afin de limiter l'intensité de champ électrique autour de ces jonctions, il faut étaler les lignes de champ sur une plus grande surface. Des études sur la tenue en tension en fonction du rayon de courbure ont été faites dans [SZE66]. Les résultats de ces études montrent que la tenue en tension maximale est celle d'une jonction dont le rayon de courbure tend vers l'infini. Pour cette raison nous avons défini le rayon de courbure de l'extérieur de la périphérie 5 fois plus grand que sa largeur - $500\mu\text{m}$. Toutes les autres courbures vers l'intérieur du composant sont déduites de cette valeur (la bande P+, les plots de contacts).

A l'intérieur des anneaux de garde, une bande de P+ fait le tour du composant (sa largeur varie entre 40 et $60\mu\text{m}$ selon la famille du MOSFET). Elle doit être liée au potentiel le plus bas (dans notre cas au potentiel de la source) du composant afin d'assurer un potentiel uniforme aux bords du composant.

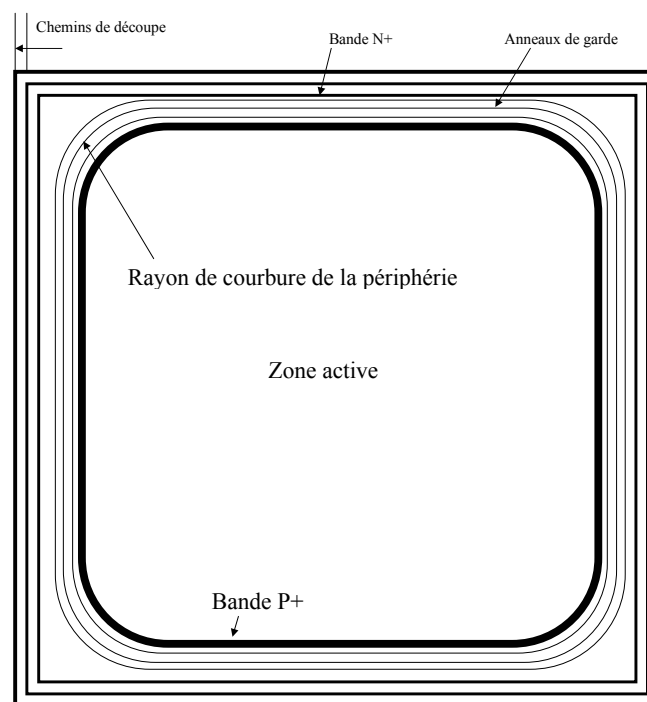


Figure 2-34. Dimensions principales de la périphérie du layout du MOSFET

II.7. Dimensions principales des cellules élémentaires

Différentes structures des MOSFETs de puissance existent : carrées, hexagonales, triangulaires, doigts... Les avantages d'une structure par rapport à une autre sont discutables et le choix doit être fait en fonction de l'application. Les principales contraintes sont liées aux capacités inter-électrodes et au calibre en courant ; donc pour disposer d'un composant rapide et performant en courant il faut combiner un large périmètre avec de faibles surfaces intercellulaires.

Nous avons choisi pour notre MOSFET une structure en diogts, car la conception du « layout » nous semble plus facile en terme de dessin. De plus elle permet d'avoir une capacité C_{GS} a priori moins élevée que dans le cas d'une structure à cellules carrées (l'aluminium de la source est séparé de celui de la grille au lieu d'être reparti sur toute la surface dans le cas de l'utilisation de cellules carrées). De plus la surface totale de la zone intercellulaire recouverte d'oxyde et de silicium polycristallin sera réduite et conduira à une capacité C_{DG} réduite. Cette structure est plus fiable au niveau de la réalisation technologique du court-circuit Al-N+Source-P+.

II.8. Optimisation de la surface active

Pour la réalisation du layout du MOSFET nous devons déterminer les largeurs des amenées principales de courant de grille et de source. Etant donné que le courant de source est plus grand que celui de grille, nous avons choisi arbitrairement un rapport de 1/5 entre l'amenée principale de la source et l'amenée principale de la grille. Le dimensionnement a tenu compte de la densité de courant maximale admissible dans l'aluminium permettant d'éviter les phénomènes d'électromigration – $J_{MAX} < 10^5 A/mm^2$.

Nous avons fait un dimensionnement pour les amenées de courant de la grille et de la source. Ce dimensionnement a été fait en fonction du rapport des largeurs principales de l'amenée de courant de la grille **LargeurG** de l'amenée principale du courant de la source **LargeurS** et de densité maximale de courant admissible dans l'aluminium J_{MAX} .

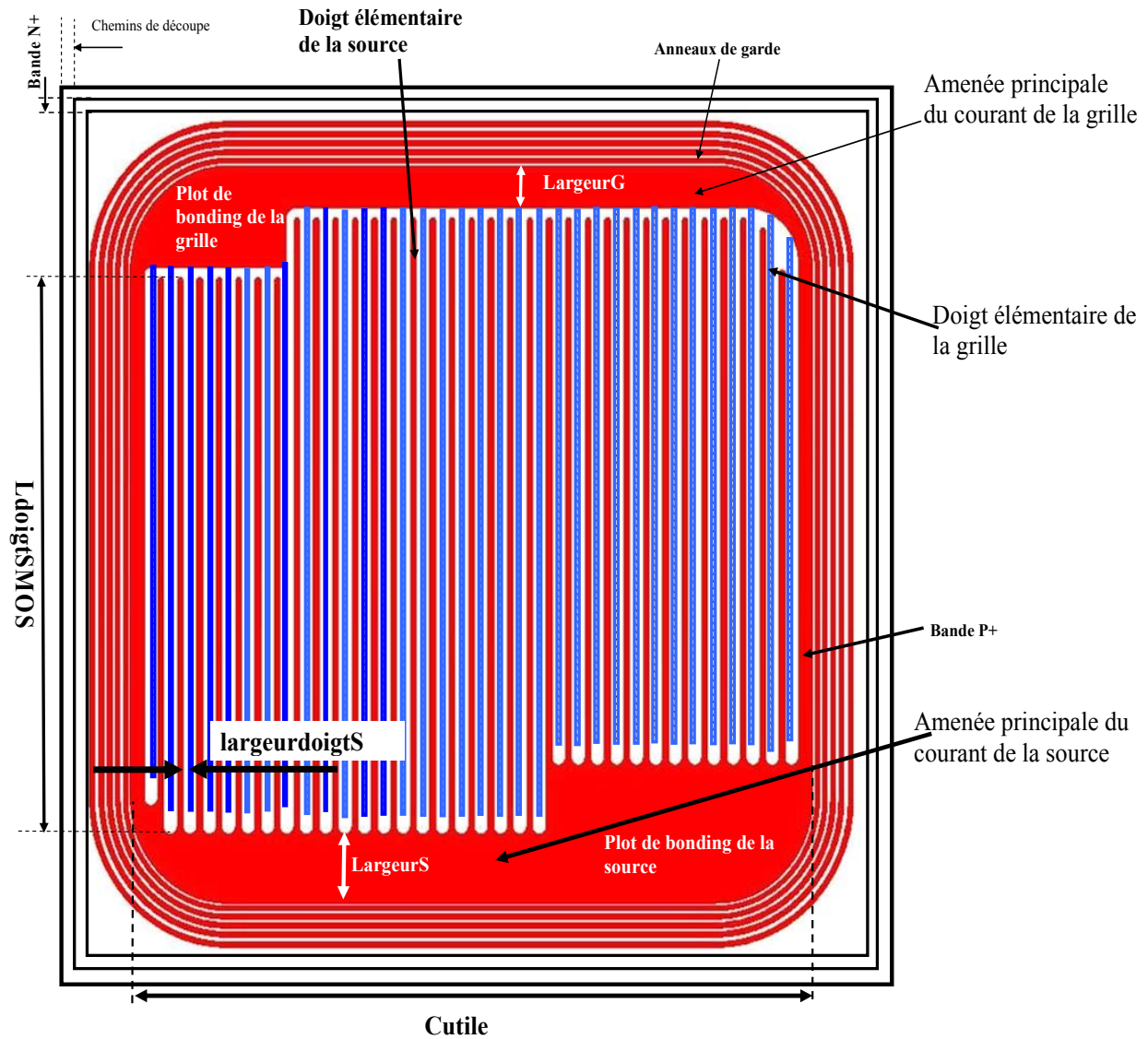


Figure 2-35. Layout du MOSFET

Les contraintes prises en compte dans notre dimensionnement ont été :

1. Le rapport entre les largeurs des amenées de courant de la source et de la grille, dans notre cas arbitrairement égal à 5 (Eq. 2-21).
2. Une condition sur la densité critique de courant dans chaque doigt élémentaire de la source donnée par l'inégalité Eq. 2-22 (nous avons multiplié par 0.75 par mesure de sécurité).
3. Une condition sur la densité de courant totale dans l'amenée de courant principal de la source (Eq. 2-23).
4. La longueur d'un doigt élémentaire de la source est calculée en fonction des largeurs des amenées de courant de grille et de source (le doigt élémentaire de la grille a la même longueur).Eq. 2-24.

$$l_{arg eurS} = 5.l_{arg eurG} \quad \text{Eq. 2-21}$$

$$J_{MAX} > \frac{L_{doigtSMOS} \cdot I_{MOS} \cdot 0,75}{E_{Al} \cdot l_{arg eurdoigtS}} \quad \text{Eq. 2-22}$$

$$J_{MAX} = \frac{L_{doigtSMOS} \cdot N_{bre doigtMOS} \cdot I_{MOS} \cdot 0,75}{E_{Al} \cdot l_{arg eurS}} \quad \text{Eq. 2-23}$$

$$L_{doigtSMOS} = (Cutile - l_{arg eurS} - l_{arg eurG}) \quad \text{Eq. 2-24}$$

$$N_{bre_doigtMOS} = \frac{Cutile}{L_{demicellule} + L_{demiintercellule}} \quad \text{Eq. 2-25}$$

E_{Al} est l'épaisseur d'aluminium – 2µm. La densité maximale de courant admissible dans l'aluminium est de 0.1 A/µm². La valeur du courant principal circulant dans le MOS a été estimé par simulation (Sylvaco) : $I_{MOS} = 5.10^{-6}$ A/µm². **Cutile** est la largeur de la zone active.

Les résultats d'optimisation que nous avons obtenu sont les suivants :

$$\begin{aligned} l_{arg eurS} &= 250\mu\text{m}, \\ l_{arg eurG} &= 50\mu\text{m}, \\ L_{doigtSMOS} &= 2080\mu\text{m}. \end{aligned}$$

Pour le « layout » nous avons doublé la largeur de l'amenée de courant de la grille. Les valeurs que nous avons finalement retenu pour le layout sont les suivantes :

$$\begin{aligned} l_{arg eurS} &= 230\mu\text{m}, \\ l_{arg eurG} &= 100 \mu\text{m}, \\ L_{doigtSMOS} &= 2100\mu\text{m}. \end{aligned}$$

Nous allons estimer la chute de tension le long de l'amenée principale et d'un doigt élémentaire de la source afin d'éviter la création de points chauds à la surface du composant.

La résistance d'un petit élément de l'amenée de la source ΔR_s sera alors :

$$\Delta R_s = \frac{\rho_{Al}}{L_{arg eurS} \cdot E_{Al}} \quad \text{Eq. 2-26}$$

Comme la densité du courant n'est pas uniforme le long de l'amenée principale de courant de la source, celle-ci diminue au fur et à mesure que l'on se dirige vers l'extrémité de source. Cela est dû au fait qu'une partie du courant est déviée dans les doigts de la source. La prise en compte de ce phénomène nous permet l'estimation suivante :

$$V(x)_{amenée_source} = \Delta R_s \cdot I_{MOS} \left(x - \frac{x^2}{2 \cdot C_{utile}} \right) \quad \text{Eq. 2-27}$$

Sur la Figure 2-36 sont présentés les résultats du calcul de la chute de tension le long de l'amenée principale de la source. Les résultats des calculs issus des équations Eq. 2-26 et Eq. 2-27 sont comparés à ceux considérant une chute de tension le long de l'amenée principale de la

source avec densité du courant égale à J_{MAX} - densité critique du courant dans l'aluminium (Eq. 2-28).

$$V2(x)_{amenée_source} = J_{MAX} \cdot \rho \cdot x \quad \text{Eq. 2-28}$$

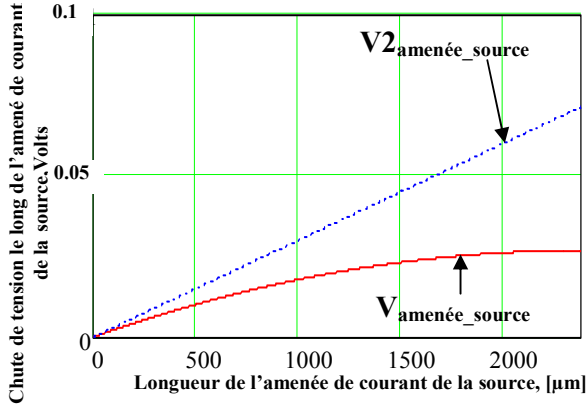


Figure 2-36. Chute de tension le long de l'amenée principale de la source

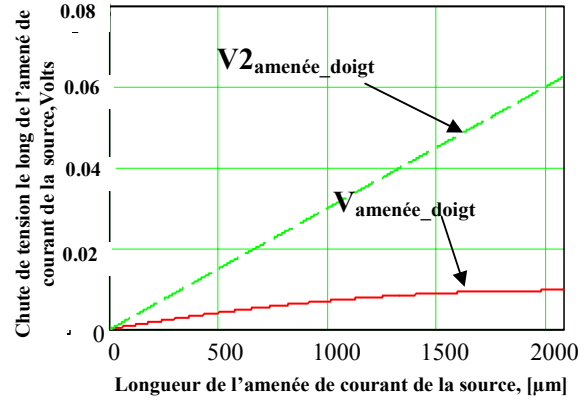


Figure 2-37. Chute de tension le long d'un doigt de la source

Pour obtenir la chute de tension le long d'un doigt élémentaire de la source, on utilise les équations Eq. 2-27 (pour estimer $V_{amenée_doigt}$ la chute de tension avec une répartition non uniforme du courant) et Eq. 2-28 (pour estimer $V2_{amenée_doigt}$ pour une densité de courant maximale égale à J_{MAX}). Les résultats sont présentés sur la Figure 2-37. Pour la valeur de courant dans chaque doigt nous avons pris :

$$I_{MOS_doigt} = \frac{I_{MOS}}{Nb_doigtsMOS} \quad \text{Eq. 2-29}$$

On peut voir que la chute de tension le long de l'amenée principale de la source avec l'estimation d'une répartition non uniforme du courant est d'environ 25mV. Dans le cas le plus critique correspondant à la densité de courant maximale admissible dans l'aluminium, la chute de tension le long de l'amenée principale de source sera de 70mV.

Pour la chute de tension maximale (en bout de doigt) le long d'un doigt de source, nous obtenons une valeur de 9mV. Si dans l'amenée d'un doigt élémentaire la densité de courant atteint la valeur critique J_{MAX} , la chute de tension est estimée à 62mV.

Nous devons prendre en compte que sur les amenées de courant de la grille et de la source, il y aura des prises de contacts par des bondings. Les tailles de ces prises de contacts doivent avoir des dimensions minimales de $300\mu m \times 400\mu m$.

Avec tous ces résultats nous pouvons concevoir le layout du MOSFET. Nous allons d'abord rappeler le diagramme de cheminement, ce qui va nous permettre ensuite de préciser le nombre de masques nécessaires à la réalisation du composant.

II.9. Présentation du diagramme de cheminement du MOSFET double diffusé

Pour la réalisation technologique des deux composants MOSFET nous allons utiliser un procédé de MOSFET vertical double diffusé. Nous avons voulu garder le même enchaînement d'étapes de réalisation que celles présentées dans la thèse de G. Verneau [VERNEAU 03]. La réalisation du procédé complet fait appel à 8 niveaux de masquage. Les étapes principales associées sont présentées dans le tableau ci-dessous :

	Masques	Etape	MOSFET
	PPLUS	Ouverture périphérie, P+ court-circuit	Court-circuit de la source
1.		Implantation P+	
	OZUT	Ouverture Zone utile	Overture de la zone active
2.		Gravure d'oxyde	
3.		Croissance thermique d'oxyde fin	Oxyde de grille du MOSFET
4.		Dépôt de silicium polycristallin	Electrode de grille
	POLY	Ouverture des zones de source (porte canal P-)	Création de la grille et la zone de source
5.		Gravure de Silicium polycristallin et de l'oxyde fin	
6.		Implantation de P-	Création du Porte-canal P-
*	JFET	Dégagement des chemins de découpe de silicium polycristallin	
7.		Deuxième gravure Silicium polycristallin	Ouverture des sources JFET, création canal.
	NPLUS	Ouverture caissons de la source	
8.		N+ implantation	Création des caissons de la Source
9.		Dépôt d'oxyde épais (LTO)	Isolation entre zones
	OCON	Ouverture des contacts	Ouverture des zones de contact
10.		Gravure LTO	
11.		Dépôt d'aluminium	
	GALU	Séparation des contacts	Création des électrodes
12.		Gravure d'aluminium	Séparation des contacts
13.		Passivation par Si_3N_4 du composant	
14.		Réalisation du contact sur la face arrière	
15.		Gravure de la couche de passivation	Ouverture des zones pour le bonding

Tableau 2-1. Etapes principales pour la fabrication d'un MOSFET

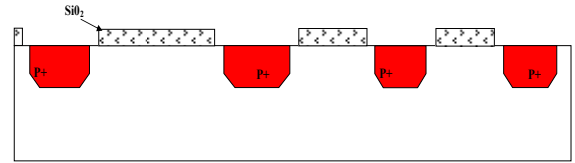
Les étapes principales sont présentées dans le Tableau 2-2.

L'étape « * » de deuxième gravure du silicium polycristallin sera expliquée en détails dans le troisième chapitre de ce mémoire, présentant une autre solution permettant la réalisation de la fonction de l'auto-alimentation avec un JFET à la place du MOSFET auxiliaire.



MOSFET principal

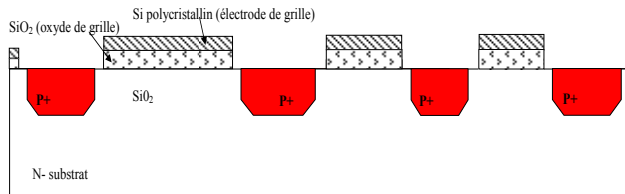
MOSFET auxiliaire



MOSFET principal

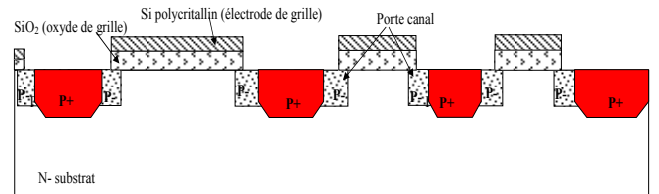
MOSFET auxiliaire

Etape 1.



MOSFET principal

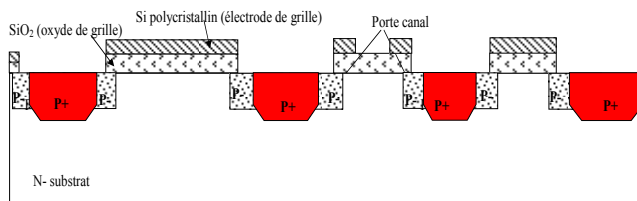
MOSFET auxiliaire



MOSFET principal

MOSFET auxiliaire

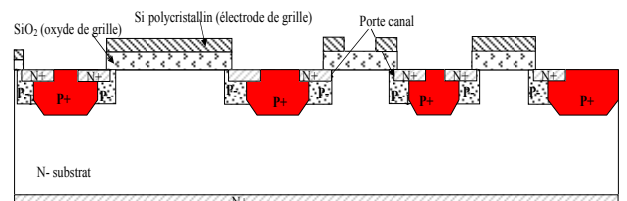
Etapes 2,3,4,5.



MOSFET principal

MOSFET auxiliaire

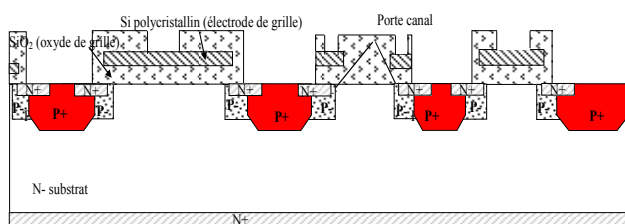
Etape 6



MOSFET principal

MOSFET auxiliaire

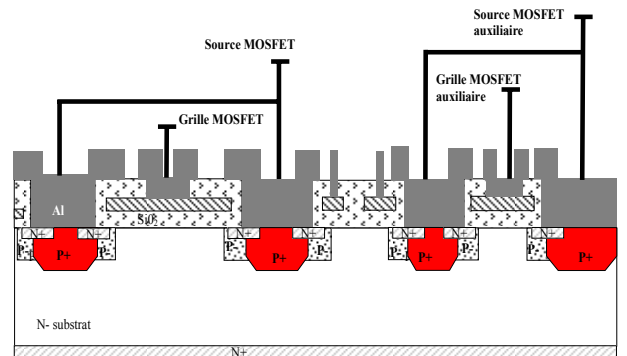
Etape 7



MOSFET principal

MOSFET auxiliaire

Etape 8



MOSFET principal

MOSFET auxiliaire

Etape 9 et 10

Etape 11 et 12

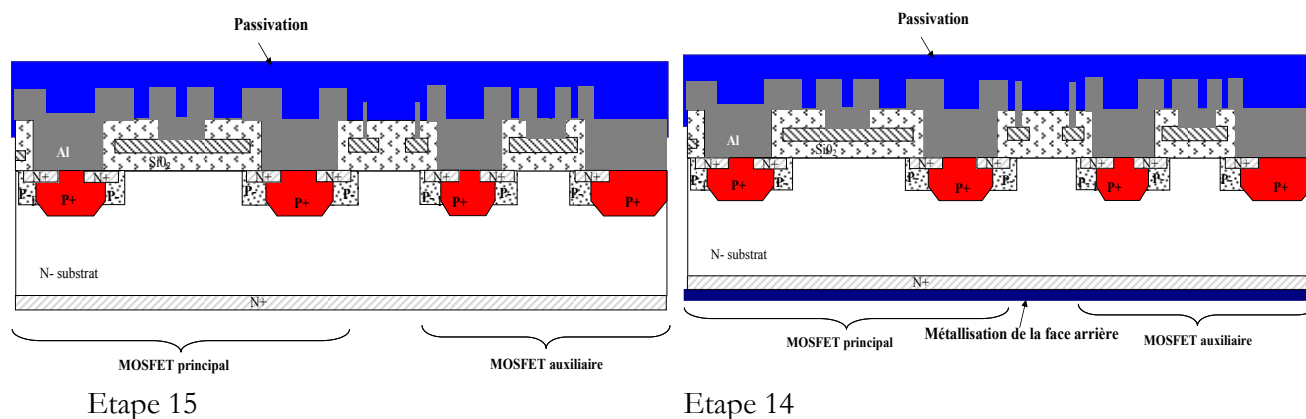


Tableau 2-2. Les étapes principales pour la réalisation du MOSFET

Le diagramme de cheminement détaillé peut être consulté dans l'Annexe I.

II.10. Présentation des motifs de MOSFET

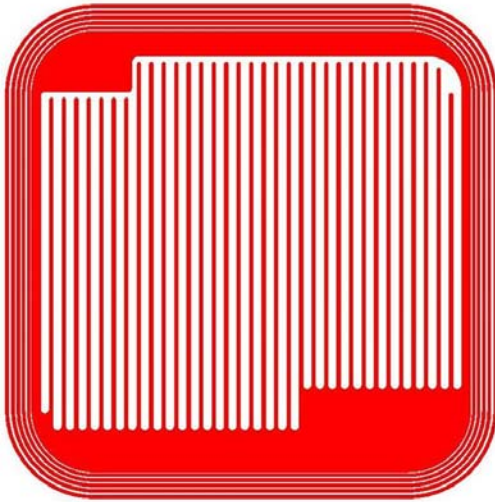
Nous avons conçu trois MOSFETs de distances intercellulaires différentes. La périphérie a les mêmes dimensions pour tous les composants. Les layouts ont été réalisés avec le logiciel CADENCE.

Les principaux paramètres géométriques spécifiques aux différentes familles sont présentés dans le tableau suivant :

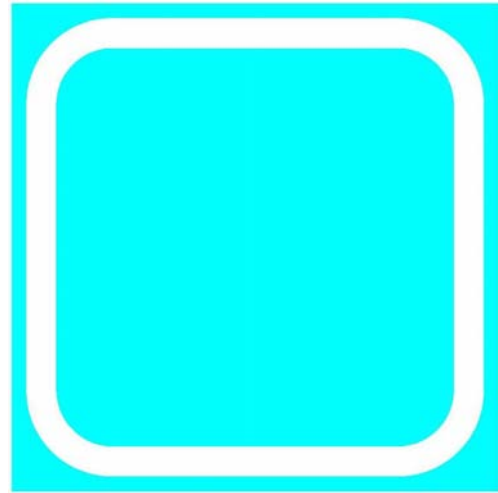
Famille	Distance intercellulaire	Nombre des doigts	Largeur de la bande P+ contournant la surface active
MOSFET A1	30	33	50
MOSFET A2	40	29	40
MOSFET A3	50	25	70

Tableau 2-3. Présentation des familles des MOSFETs réalisés

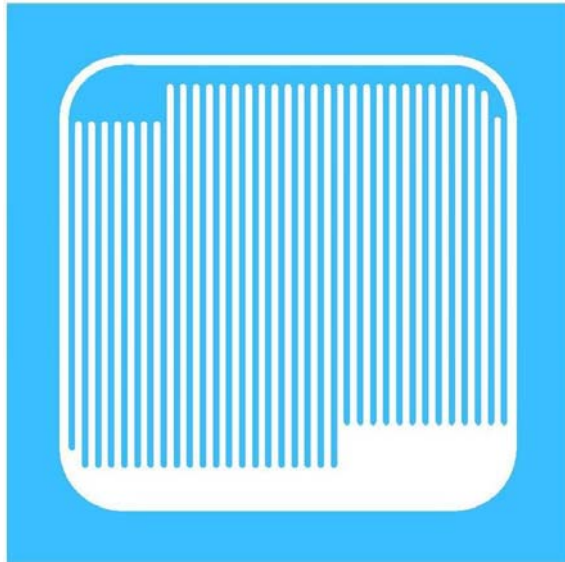
Nous présentons ici à titre d'exemple, le jeu de masque détaillé pour le MOSFET A1.



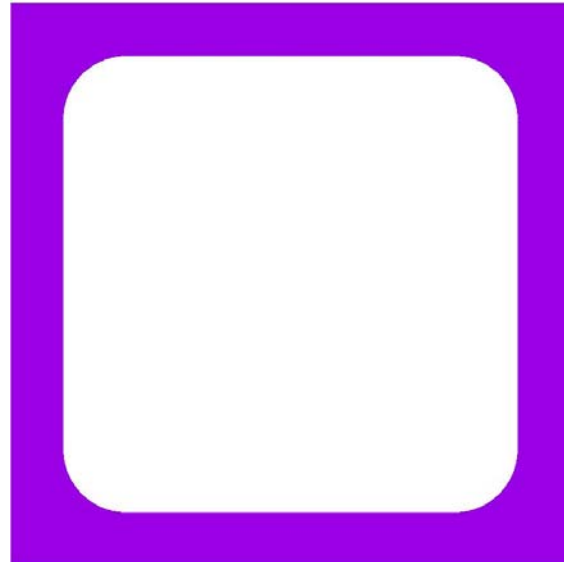
Masque PPLUS, pour l'étape 1



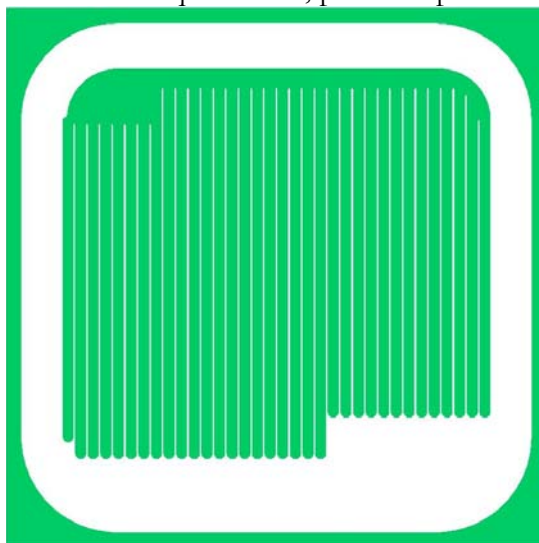
Masque OZUT, pour l'étape 2



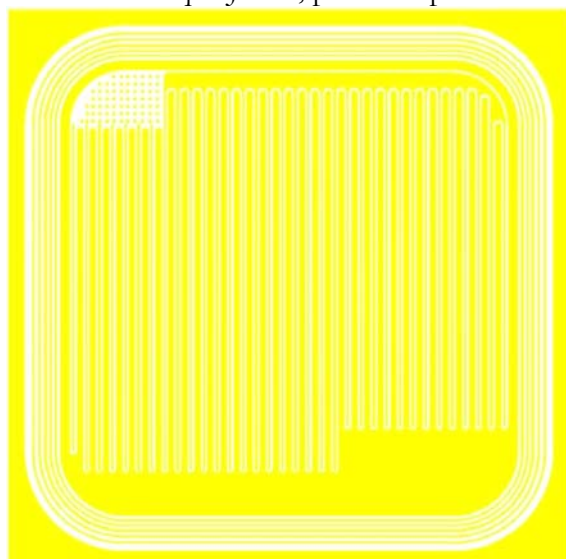
Masque POLY, pour l'étape 5



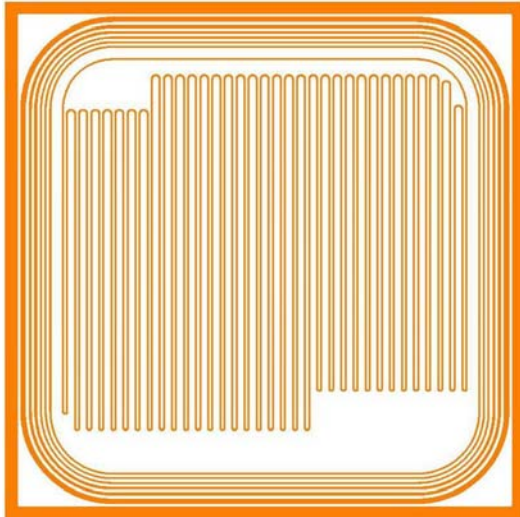
Masque JFET, pour l'étape 7



Masque NPLUS, pour l'étape 8



Masque OCON, pour l'étape 10



Masque GALU, pour l'étape 12



Masque OSCON, pour l'étape

III. OPTIMISATION DU PROCEDE DE FABRICATION

Le bon fonctionnement d'un composant dépend directement de la qualité des procédés utilisés pour sa réalisation. Ses performances peuvent être affectées si une étape de fabrication technologique est mal maîtrisée. Pour cette raison, avant de processor nos MOSFETs nous avons effectué plusieurs tests sur tranches afin d'ajuster au mieux tous les paramètres technologiques de notre réalisation.

Les paramètres que nous avons eu besoin de vérifier ont été :

- Les doses implantées pour le porte-canal dopé P+ ;
- Les doses et l'énergie d'implantation pour le porte-canal dopé P ;
- Les doses et l'énergie d'implantation pour la source dopée N+ ;
- La durée et les conditions de diffusion du porte-canal dopé P- ;
- La durée et les conditions de diffusion de la source.

III.1. Dopage P+ du porte-canal

La zone centrale du porte-canal doit être fortement dopée P+ puis P- afin de réduire la résistance d'accès du transistor bipolaire parasite (voir Figure 2-24). La première diffusion (P+) doit être courte afin d'éviter de prendre trop d'avance par rapport à la diffusion suivante (P-) du porte-canal. Ceci évite une réduction de la tenue en tension du composant engendrée par la réduction de l'épaisseur de drift et de la courbure des lignes de champ le long de la jonction P+/P-.

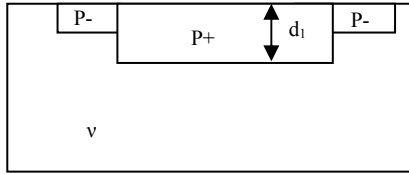


Figure 2-38. Effet de courbure important pour une longue diffusion du P+ ($d_1 > d_2$)

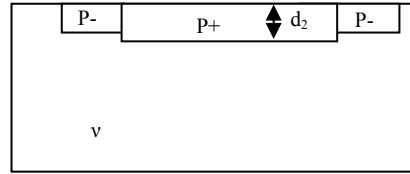


Figure 2-39 Effet de courbure faible pour une courte diffusion du P+ ($d_1 > d_2$)

Nous avons implanté une dose de 1.10^{15} at/cm² en effectuant un recuit à 950°C pendant 15min. Cela nous a permis de mesurer la dose en surface après implantation de P+. L'épaisseur de l'oxyde formé pendant le recuit était de 23nm. Le résultat de mesure par « Spreading Resistance » (SRP) est présenté sur la Figure 2-40.

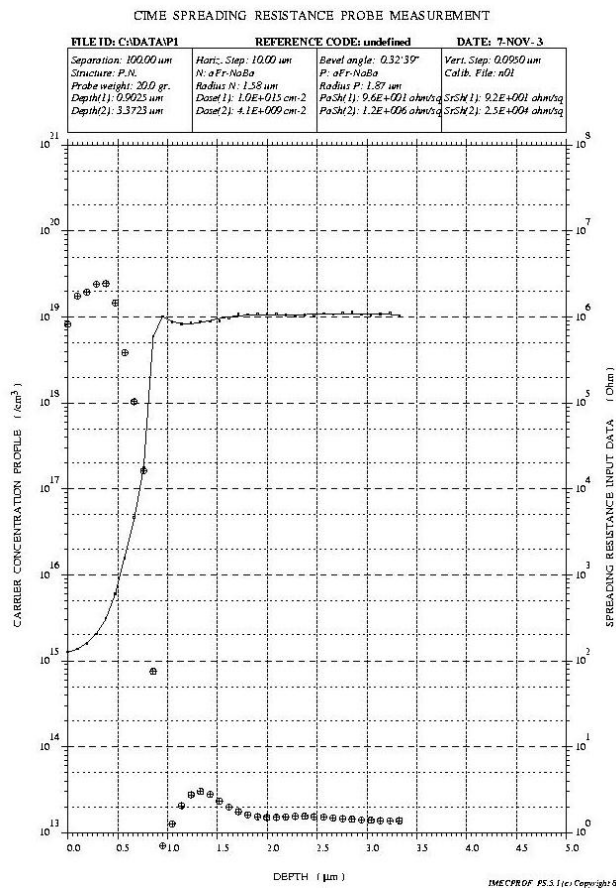


Figure 2-40. « Spreading Resistance » d'une tranche dopé N (concentration initiale de 1.10^{13} at/cm³) implantée de Bore (dose de 1.10^{15} at/cm²) suivi d'un recuit d'activation à 950°C pendant 15 min

Le SRP permet de vérifier la dose qui a été implantée. La concentration en surface est de 9.10^{18} at/cm³ et la dose totale est de 6.10^{14} at/cm² ce qui donne un rendement de l'implantation autour de 70%.

III.2. Dopage P- du porte-canal

Nous avons fait plusieurs simulation à l'aide du logiciel Athena afin d'obtenir une concentration en surface de 5.10^{16} at/cm³ et une profondeur de jonction P-/N_v de 3μm.

Les résultats des simulations sont présentés dans le tableau suivant :

Dose d'implantation (at/cm ²)	Température de diffusion (°C)	Temps de la diffusion (min)	Profondeur de la jonction (μm)	Concentration en surface (at/cm ³)
1.10^{13}	1100	300	3,1	6.10^{16}
1.10^{13}	1100	150	2,4	6.10^{16}
$0.5.10^{13}$	1100	300	2,9	2.10^{16}
1.10^{13}	1050	300	2,1	6.10^{16}
1.10^{13}	1000	300	1,5	6.10^{16}

Tableau 2-4. Résultats de simulation à l'aide du logiciel Athena pour différentes doses d'implantation et conditions de diffusion pour réalisation le porte-canal

Nous avons réalisé des tests technologiques sur une tranche en implantant une dose de 1.10^{13} at/cm² avec une énergie de 160KeV, et un temps de diffusion de 300min sous N₂ à une température de 1100°C.

Le résultat est présenté sur la Figure 2-41.

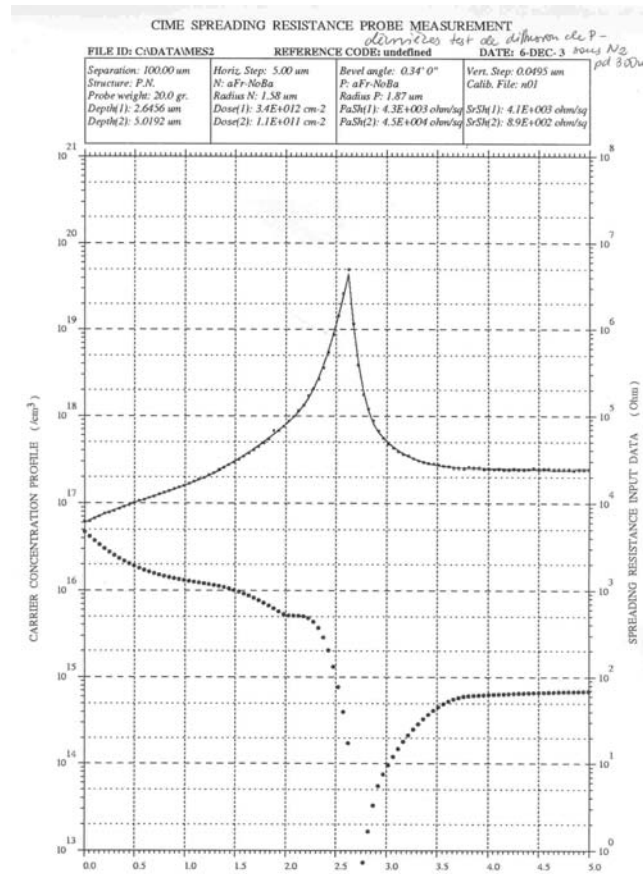


Figure 2-41. Résultat de mesure d'une implantation de Bore à 160 KeV, dose de 1.10^{13} at/cm² puis diffusion de 300min sur une tranche dopée N de concentration : 1.10^{12} at/cm³

Nous avons obtenu une profondeur de jonction de 2,7µm et une concentration en surface de 5.10^{16} at/cm³. Les résultats obtenus pour la concentration en surface et la profondeur de la jonction sont satisfaisants.

III.3. Dopage de la source

Nous avons voulu tester l'implantation N+. Pour cela, nous avons traité une tranche de substrat de type P et de résistivité $0.2-0.4\Omega\cdot\text{cm}$ ($0.5-1.10^{17}$ at/cm³) comme suit.

La tranche a été oxydée à 1050°C, pendant 72 min et l'épaisseur d'oxyde mesurée à l'issue a été de 0.1µm. L'oxyde a été aminci puis a subi une implantation de Phosphore à une énergie d'implantation de 100KeV et une dose de 5.10^{15} at/cm² (concentration visée de 1.10^{20} at/cm³). L'oxyde fin a été conservé avant implantation afin d'éviter l'exodiffusion du phosphore. La plaquette a subi une diffusion pendant 15min à une température de 1050°C. La SRP effectuée à l'issue est présentée sur la Figure 2-42.

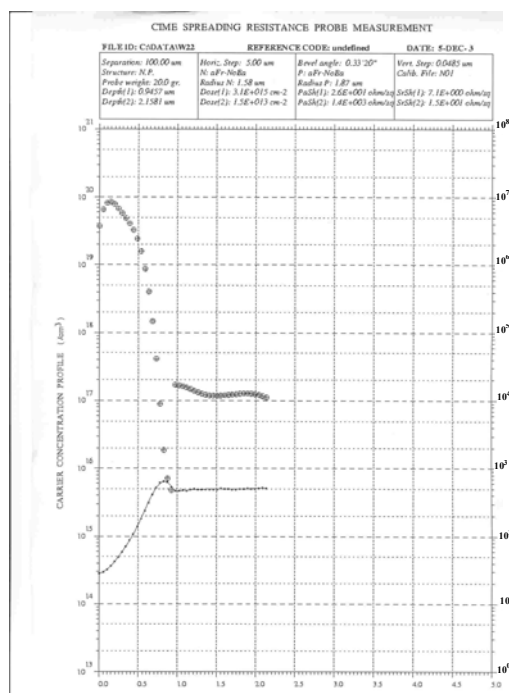


Figure 2-42. Résultats de mesure SRP dans le cas d'une implantation de phosphore à 100keV de dose $5.10^{15} \text{ cm}^{-2}$ suivi d'une diffusion de 15min à 1050°C

La dose implantée après diffusion est de $3.10^{15} \text{ at/cm}^2$ (rendement 60%).

La profondeur de la jonction est de $0.9 \mu\text{m}$. Cette profondeur est plus importante que la profondeur prévue. Donc pour diminuer la profondeur de diffusion il faut diminuer la température ou le temps de diffusion. Nous avons réalisé une simulation avec le logiciel Athena qui nous a permis d'estimer la profondeur de la jonction dans le cas d'une diffusion à une température de 1000°C pendant 20min.

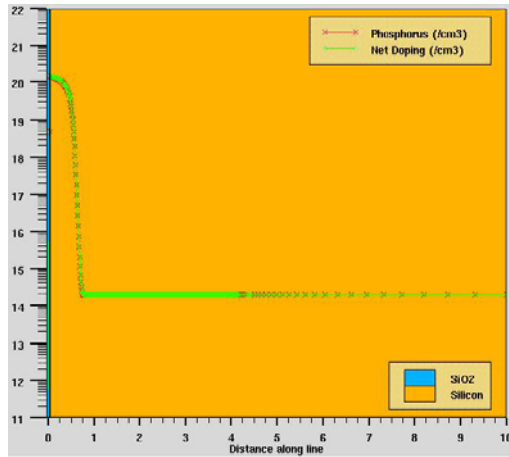


Figure 2-43. Résultats de simulation sous le logiciel Athena d'une diffusion de Phosphore (N+) pendant 20min à 1000°C ; dose implantée de 5.10^{15} at/cm² et énergie d'implantation de 100KeV

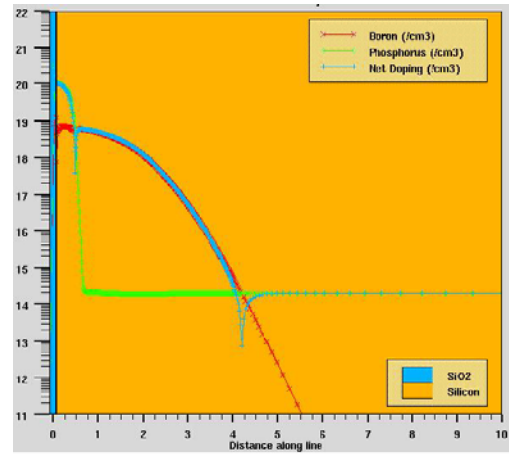


Figure 2-44. Enchaînement des deux implantations : P+ (Bore) pendant 300min (à 1100°C) avec une dose de 1.10^{15} at/cm² et une énergie de 160KeV puis Phosphore (N+) pendant 20min (à 1000°C) avec une dose d'implantation de 5.10^{15} at/cm² et une énergie d'implantation de 100KeV

III.4. Résultats de contrôle du procédé de fabrication

Afin d'obtenir les paramètres physiques des composants que nous avons réalisés, nous avons fait des mesures à l'aide de SRP sur des motifs de test prévus à cet effet.

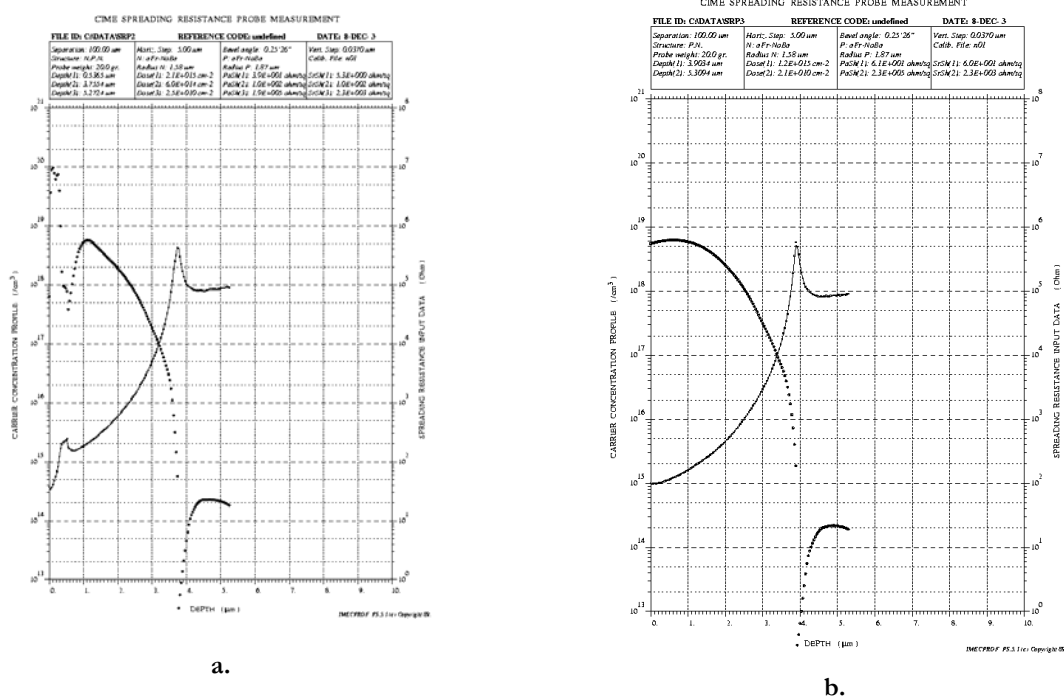


Figure 2-45. Résultats des mesures par SRP sur des motifs de test implantés : a. N+/P+ et b. P+

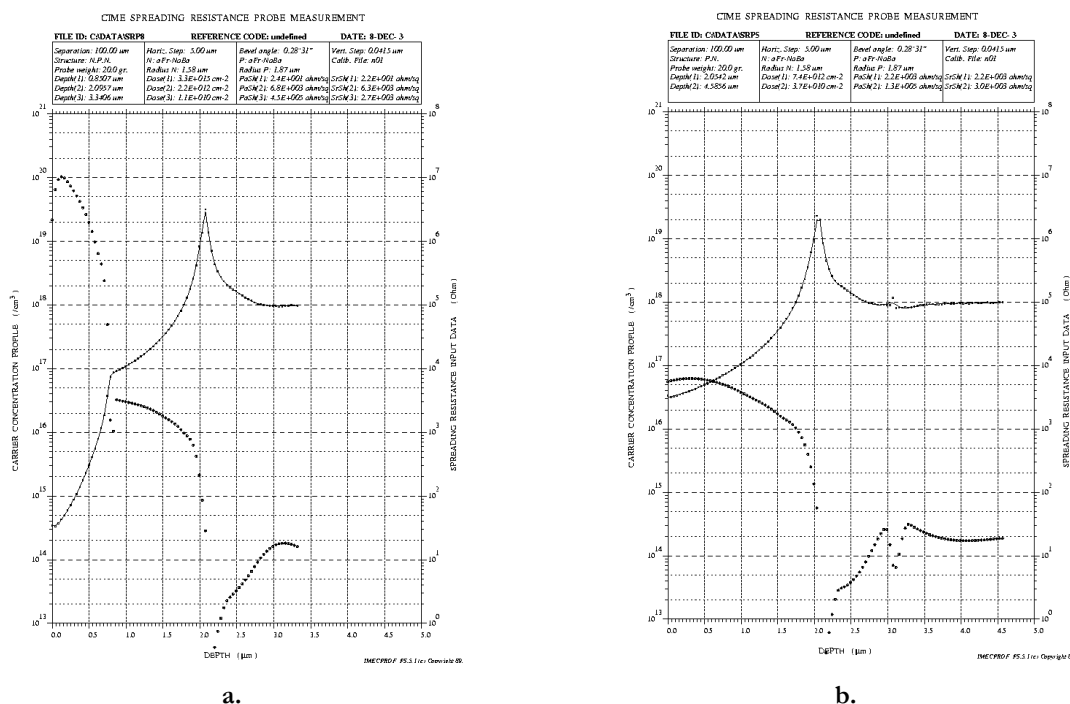


Figure 2-46. Résultats des mesures par SRP sur des motifs de test implantés : a. N+/P- et b. P-

La profondeur du dopage N+ est d'environ 0.7μm avec une concentration en surface entre 2.10^{19} et $3.5.10^{19}$ at/cm³. La profondeur de la jonction P+/v est d'environ 4μm avec une concentration en surface de 5.10^{19} at/cm³. La profondeur de la jonction P-/v du porte-canal est de 2.2μm avec une concentration en surface de $5.5.10^{16}$ at/cm³.

Les résultats de mesures des profondeurs de jonctions et des concentrations en surface sont en accord avec nos attentes.

III.5. Résultats de mesures des composants fabriqués

Après la réalisation des composants, nous avons mené une campagne de caractérisation sur les tranches de silicium (tests sous pointes). Après avoir déterminé une cartographie des composants fonctionnant pour chaque tranche, nous les avons monté en boîtier pour l'étape de validation expérimentale.

Pour les motifs de MOSFET nous avons pu constater un rendement de fabrication d'environ 50%, ce qui est correct pour une première tentative !

III.6. Caractérisation électrique – paramètres statiques

Les caractérisations statiques ont pour but de déterminer les paramètres tels que la tension de seuil, la résistance à l'état passant $R_{DS(on)}$. Nous avons monté en boîtier des composants de chaque famille de MOSFET. Pour la caractérisation statique, nous avons utilisé un traceur HP371A. La particularité de ce traceur est qu'il effectue des mesures à puissance constante, nous

ne pouvons donc pas vérifier les performances des composants en haute valeur de courant et en haute valeur de tension en même temps. (Le composant peut chauffer pendant le tracé de la caractéristique car le temps de mesure de chaque point est fixe et non paramétrable.)

Sur les figures suivantes sont présentées les caractéristiques statiques des trois familles de motifs A1, A2 et A3.

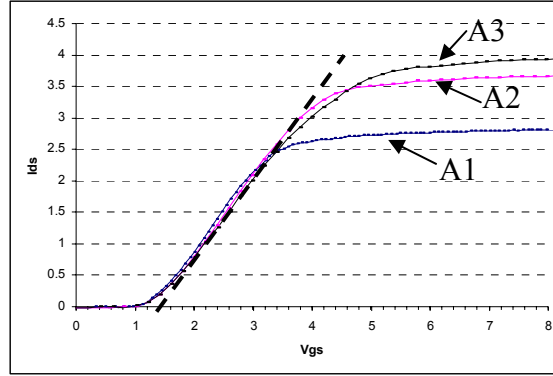
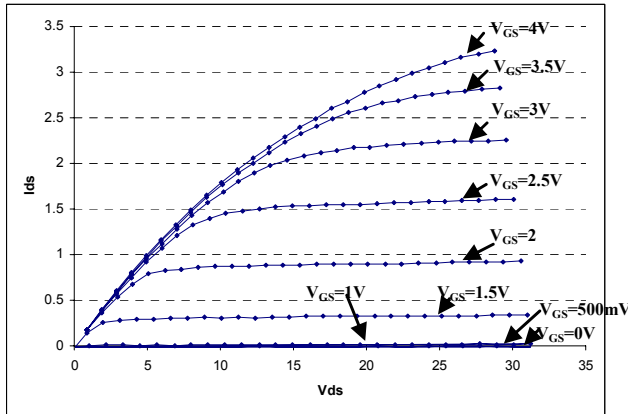
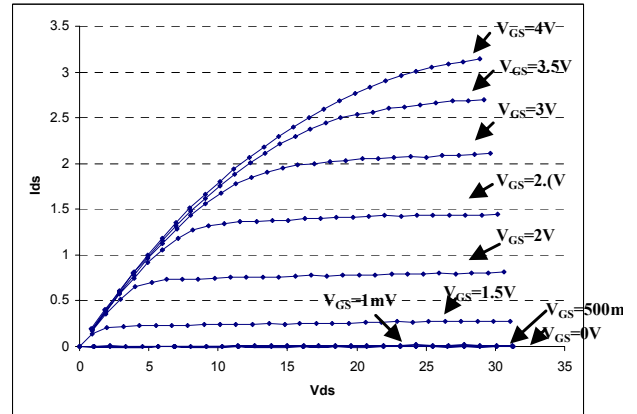


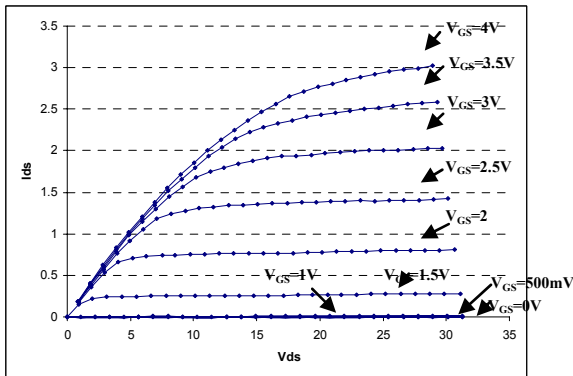
Figure 2-47. Exemple de mesure des caractéristiques de transfert $I_{DS}(V_{GS})$ pour les trois familles de composants A1, A2 et A3 (pour $V_{DS}=15V$)



a. A1



b. A2



c. A3

Figure 2-48. Caractéristiques $I_{DS}(V_{DS})$ pour les trois familles de composants A1, A2 et A3 (V_{GS} entre 0 et 3.5V par pas de 500mV)

Les résultats présentés ci-dessus sont respectivement des résultats des mesures de $I_{DS}(V_{GS})$ et $I_{DS}(V_{DS})$ pour chaque famille des composants. Chacune de ces trois familles ont la même tension de seuil de 1.5V. Cette valeur est proche de la valeur calculée par l'équation Eq. 2-4, avec $N_a = 5.10^{16} \text{ at/cm}^3$ et $e_{ox} = 100\text{nm}$, de 1.8V. L'écart peut provenir de charges piégées dans l'oxyde de grille ou de différences sur le niveau de dopage du canal (diffusion trop importante, mauvaise dose d'implantation ou bien mauvais rendement d'implantation). Selon les résultats de mesures de « spreading resistance » présentés dans le paragraphe III.4, les implantations du porte-canal ont donné une concentration en surface de $5,5.10^{16} \text{ at/cm}^3$. Il aurait fallu effectuer quelques mesures pour connaître la qualité de l'oxyde de grille et quantifier les charges piégées dans celui-ci, malheureusement ces mesures n'ont pu être effectuées par faute de temps. En ce qui concerne la résistance à l'état passant $R_{DS(ON)}$, la famille A1, A2 et A3 possèdent respectivement des valeurs de 6.15Ω , 5.5Ω et 5Ω pour des valeurs espérées de respectivement 4.9Ω , 4.04Ω et 3.63Ω . Ce qui est peu suprenant puisque les calculs théoriques étaient approchés et ne prenaient pas en compte les différentes résistances de contact dues à la mise en boîtier.

Les tenues en tension de ces mêmes trois familles ont été vérifiées. Les résultats sont présentés Figure 2-49.

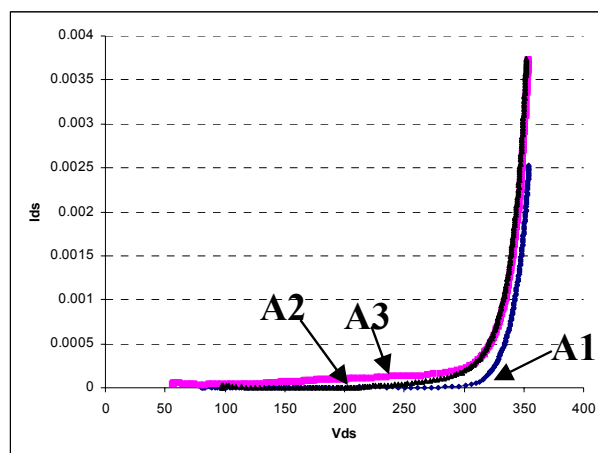


Figure 2-49. Tenue en tension des composants MOSFET pour les trois familles A1, A2 et A3

Les trois familles de composants supportent une tension d'environ 300V. Cette tenue en tension est bien moins élevée que la tenue en tension théorique de 600V. L'écart important entre la pratique et la mesure n'est pas expliqué. Il est peut être dû à un mauvais dimensionnement des anneaux de gardes (nous avons déjà évoqué l'extrême sensibilité des dimensions de ces anneaux sur la tenue en tension) ou au manque de passivation en surface ou encore au charges piégées dans l'oxyde des anneaux de gardes.

III.7. Composants MOSFET/MOSFET

Pour la réalisation de la fonction d'auto-alimentation contenant deux composants MOSFET, nous avons conçu un composant intégrant les deux MOSFET – un interrupteur dit principal et un interrupteur dit auxiliaire. Comme les deux composants partagent les mêmes contraintes en tension, nous avons décidé de les intégrer au sein de la même périphérie ; de plus ils auront le même drain en face arrière.

Nous avons utilisé les mêmes principes de conception que pour les MOSFET seuls. Pour des raisons pratiques, nous avons utilisé la même taille de la puce 3mm*3mm et la même structure pour la périphérie. Nous avons choisi de réaliser le composant auxiliaire sur une surface égale à 1/5 de la surface totale du composant MOSFET présenté précédemment, dans la mesure où l'interrupteur auxiliaire est moins sollicité en courant que le composant principal.

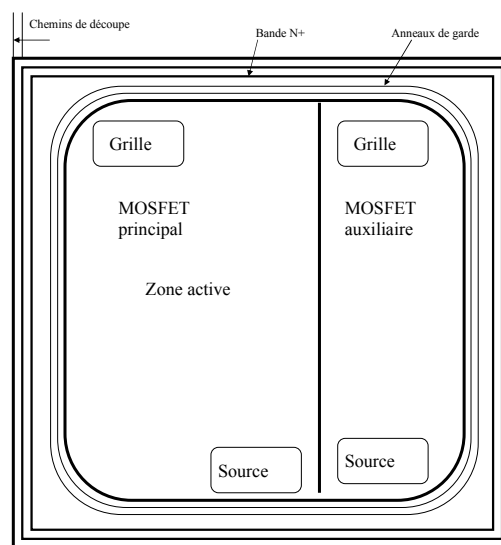


Figure 2-50. Disposition des deux composants MOSFETs sur la puce de 3x3mm

III.8. Etude des joints de fonction

Compte tenu du fonctionnement de notre système d'auto-alimentation, une étude doit être menée sur la tenue en tension de la « jonction » entre les deux MOSFET intégrés. Les deux composants ont un drain commun et deux grilles et deux sources séparées (Figure 2-51).

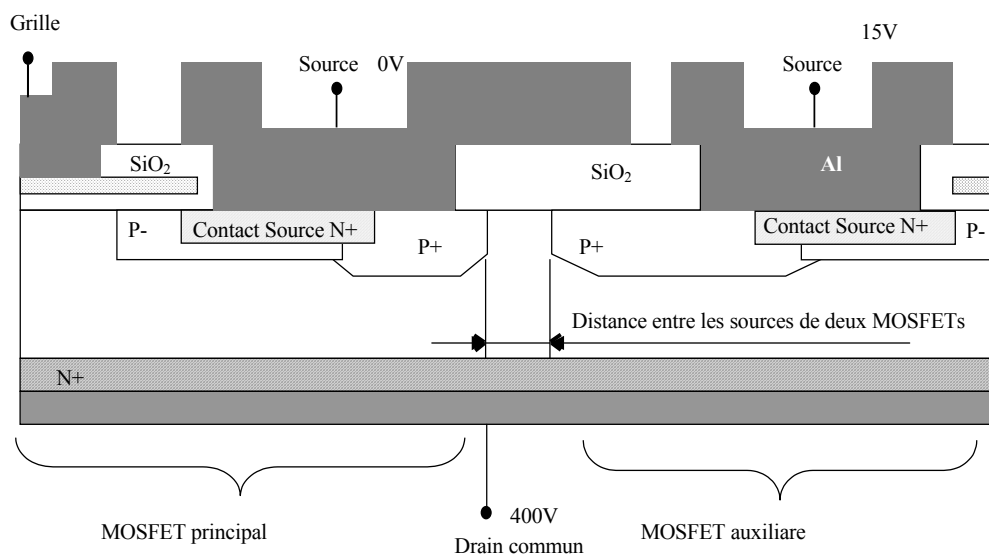


Figure 2-51. Coupe verticale de la « jonction » réalisée entre les deux MOSFET au sein de la même périphérie

Lorsque la capacité C_S est chargée, la différence de potentiel entre la source du MOSFET auxiliaire et la source du MOSFET principal est égale à la tension présente aux bornes de la capacité. Le caisson P+ du composant principal est relié au potentiel de référence (source du MOSFET principal), tandis que le caisson P+ du composant auxiliaire est relié à celui de la capacité C_S . La charge de la capacité peut atteindre les 20V. Nous avons étudié le comportement de cette jonction entre les deux composants. Cette étude nous a permis de déterminer la distance nécessaire entre les deux caissons P+ pour que le composant contenant les deux MOSFETs puisse fonctionner correctement dans la structure de l'auto-alimentation. Afin d'accentuer le phénomène d'écrantage des équipotentiels, nous avons créé une électrode de champ à l'aide de la métallisation de la source de MOSFET principal.

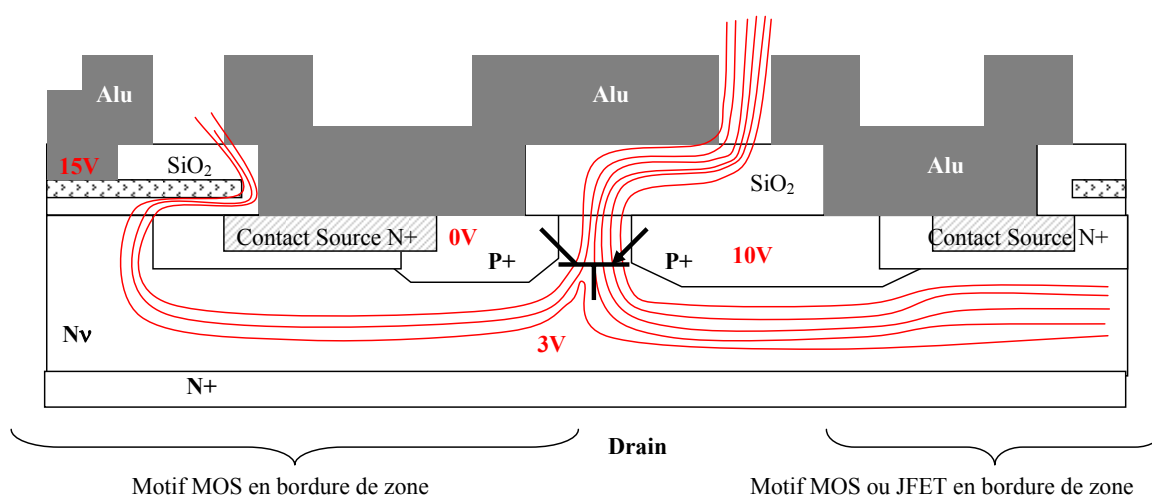


Figure 2-52. Allure des équipotentiels entre les deux composants pour une faible polarisation de drain (composant « ON »)

On remarque sur cette figure que, la juxtaposition des régions P+, N₀ et P+ crée un transistor PNP parasite. Ce composant parasite doit tenir la tension appliquée entre les deux sources. Cela signifie que les zones de tenue en tension des jonctions latérales doivent être suffisamment importantes pour garantir l'annulation du champ électrique dans la pseudo base. De plus il faut tenir compte du risque d'amorçage parasite sous V_{CEO} car la base du transistor voit son potentiel flottant.

Nous avons estimé, à l'aide de calculs approchés, les tenues en tension pour divers cas de polarisation des électrodes de notre composant « multi-électrodes » (estimations validées ensuite par la simulation). Il apparaît que sous faible polarisation de drain, le risque de claquage du transistor parasite reste limité si la distance entre les deux plots P+ est supérieure à : w=10μm après diffusion, la cote masque devra donc être choisie en conséquence (calcul fait avec N_d=2.10¹⁴ at/cm³ : V_{MAX}= 18V).

$$V_{\max} = \frac{q \cdot N_d \cdot w^2}{\epsilon_o \cdot \epsilon_{sir} \cdot 2},$$

$$E_{\max} = \frac{q \cdot N_d \cdot w}{\epsilon_o \cdot \epsilon_{sir}}$$

Pour ce qui est des fortes valeurs de polarisation de drain, le problème est différent car les champs ne se développent pas uniquement dans le sens vertical. En effet une forte composante radiale vient modifier fortement la cartographie du champ autour de notre joint de fonction. La projection des niveaux du champ électrique sur les axes permet d'extraire la part de champ radiale au niveau de la jonction étudiée. Dans ce cas le problème est comparable au cas précédent puisque les différents potentiels de surface sont inchangées. Le champ électrique au voisinage de la zone étudiée sera assez proche du cas précédent. L'ensemble de la zone sera dépletée et il nous faut vérifier le comportement du transistor parasite.

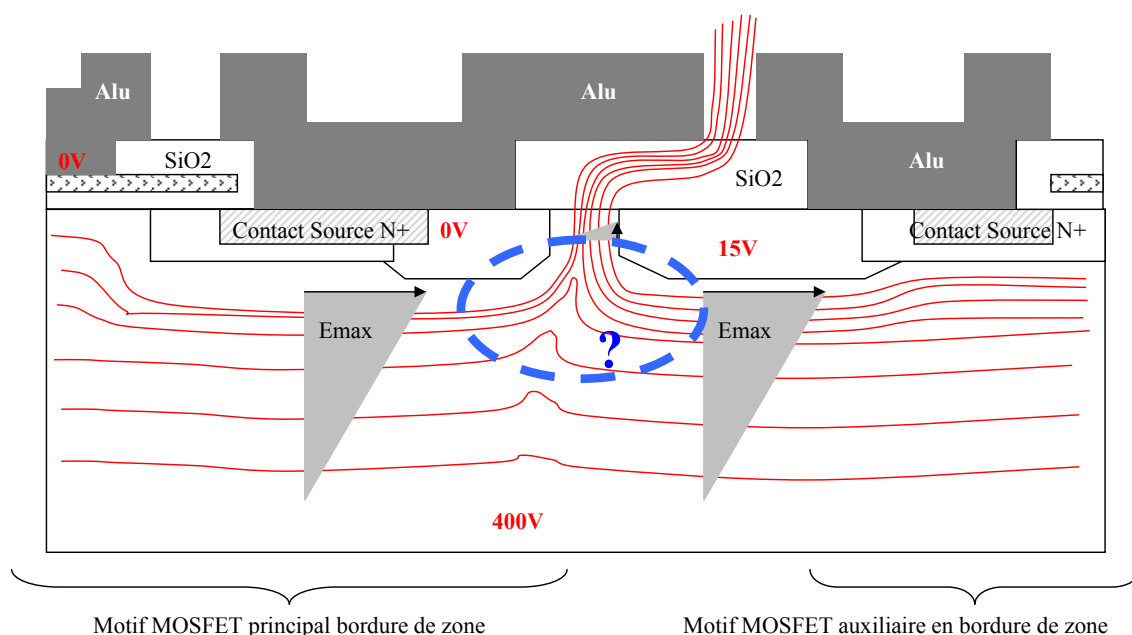


Figure 2-53. Allure des équipotentielle autour du joint de fonction sous forte polarisation de drain

Afin d'étudier ce comportement, nous avons réalisé des simulations de type éléments finis à l'aide du logiciel Atlas. La source du MOSFET auxiliaire est polarisée à 15V et le drain à 400V. La distance entre les deux caissons est de 10 μ m.

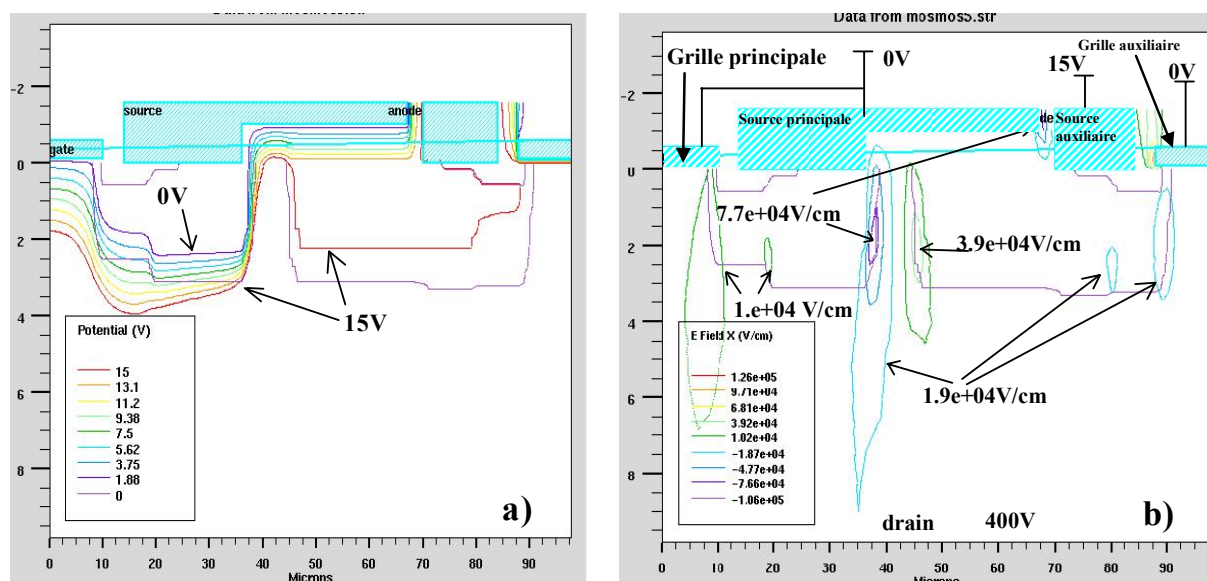


Figure 2-54. a. Equipotentielles b. et champ électrique entre les deux MOSFETs ($V_{DS} = 400V$, $V_{source\ auxiliaire} = 15V$, $V_{grille\ et\ V_{source\ principal}} = 0V$)

On peut voir que le champ électrique n'a pas atteint la valeur critique (dans notre cas environ 300kVcm⁻¹). Un autre point à respecter est la distance entre les contacts d'aluminium. En effet, dans l'air, le champ de claquage est de l'ordre de 1000V/cm. Cette valeur augmente lorsque les distances diminuent (loi de Paschen). Pour des distances de l'ordre de quelques microns, le champ de claquage au voisinage des contacts aluminium avoisine 10⁴V/cm. Ceci signifie que pour

une distance inter-contact d'aluminium d'environ $8\mu\text{m}$, on peut tenir 1V par μm , ce qui est relativement faible. Bien sur, l'utilisation d'une passivation améliorerait cette tenue en tension. Dans le cas présent, les valeurs de tenue en tension dans les joints de fonction sont limitées sans l'emploi d'une passivation adéquate. Les dimensions finales des composants double fonction sont présentées dans le paragraphe suivant.

III.9. Dimensions principales du composant MOSFET-MOSFET

Nous avons dimensionné la surface active de la même manière que pour le MOSFET seul en ajustant le nombre de doigts de chaque composant. Dans le tableau suivant sont présentées les familles de composants MOSFET-MOSFET conçues pour la réalisation de la fonction d'auto-alimentation :

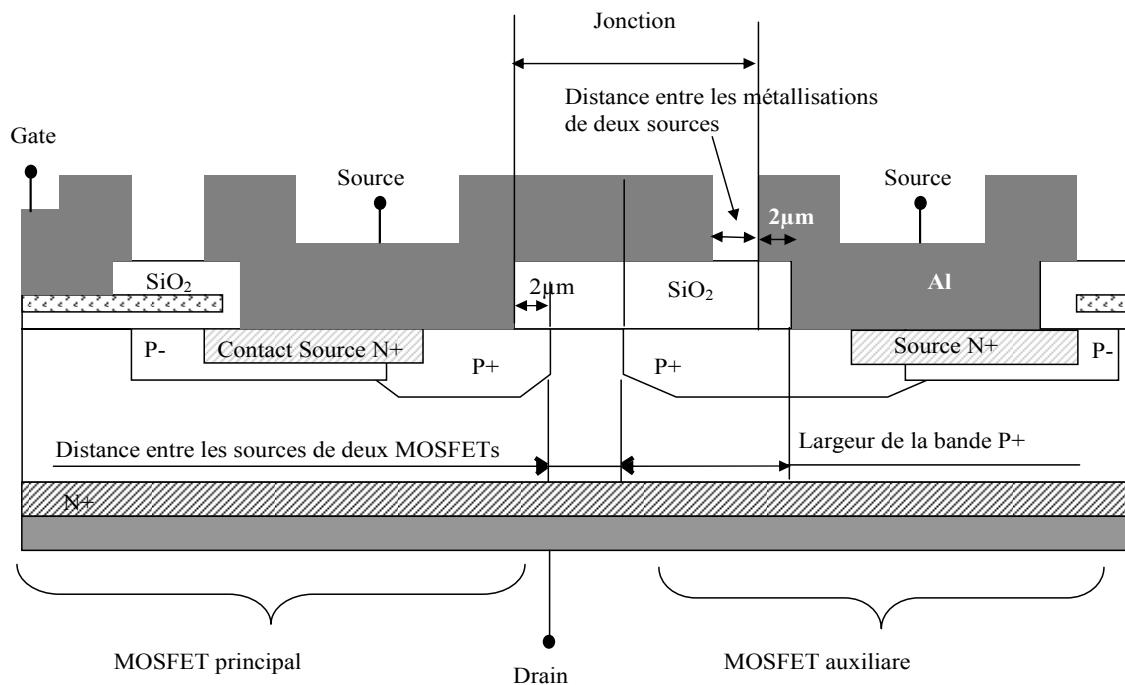
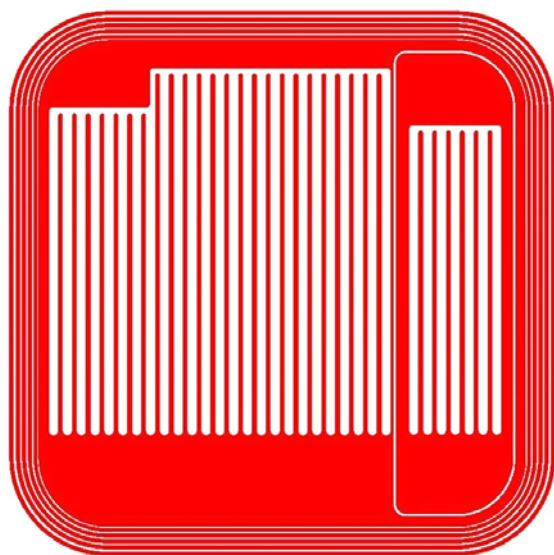


Figure 2-55. Dimensions principales de la jonction entre les deux composants MOSFET au sein de la même puce

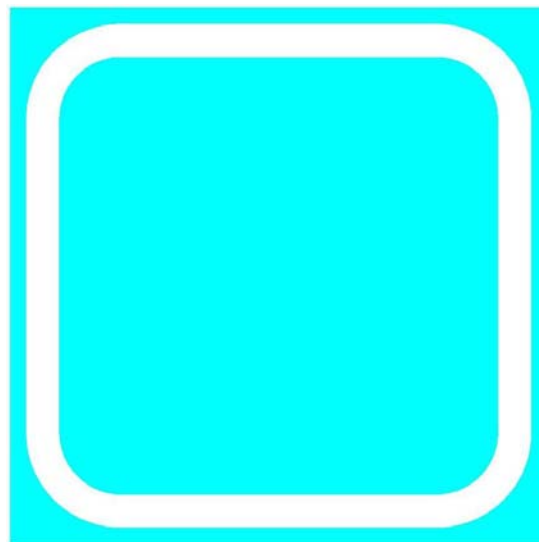
	MOSFET G1	MOSFET G2	MOSFET G3
Distance intercellulaire du MOSFET principal	30	40	50
Distance intercellulaire du MOSFET auxiliaire	30	40	50
Nombre des doigts du MOSFET principal	25	22	19
Nombre des doigts du MOSFET auxiliaire	8	7	6
Bande P+	50	40	50
Jonction	70	80	40

III.9.a. Dessin du composant MOSFET/MOSFET

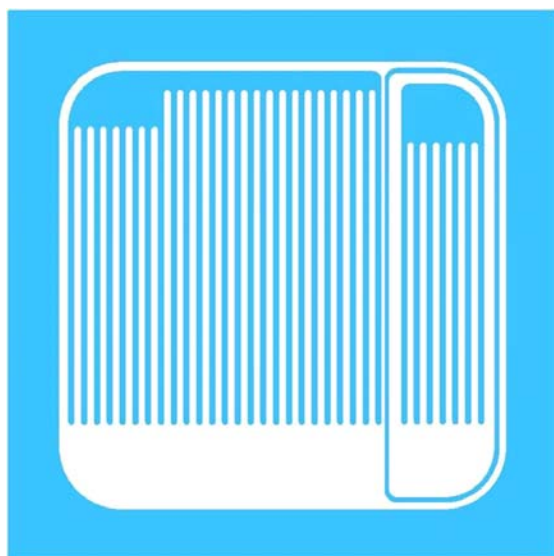
Sur la Figure 2-56 sont présentés à titre d'exemple, les différents niveaux de masquage pour le MOSFET/MOSFET A1.



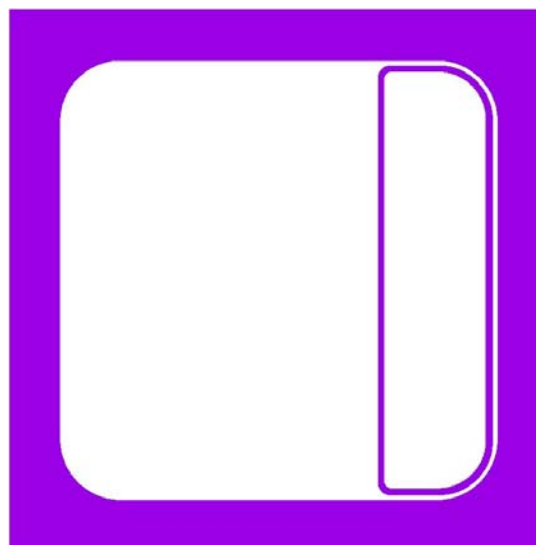
MASQUE PPLUS



MASQUE OZUT



MASQUE POLY



MASQUE JFET

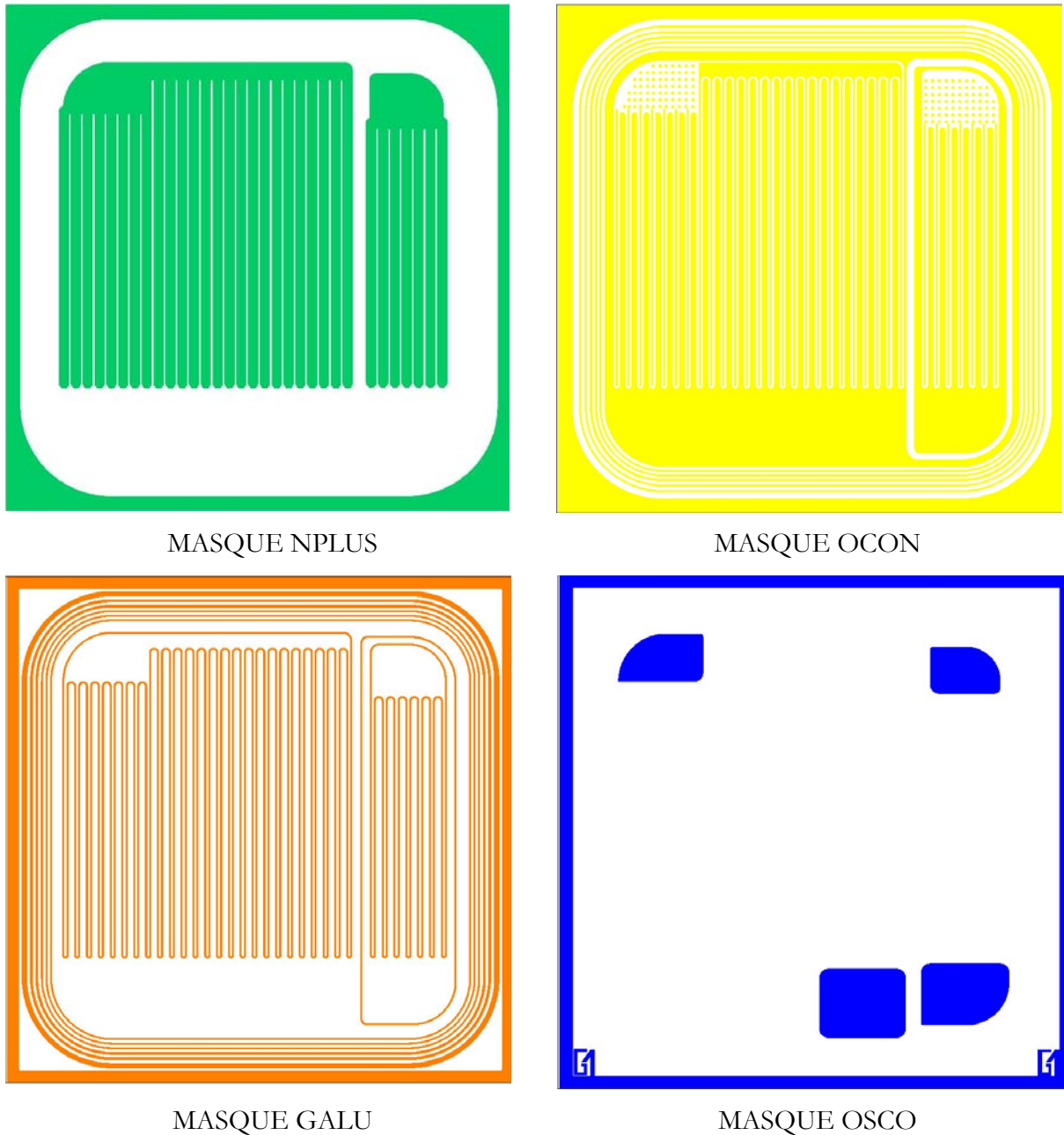


Figure 2-56. « Layout » des composants MOSFET/MOSFET

III.9.b. Mesures et tests

Nous avons pu caractériser les composants réalisés de la même manière que précédemment (réalisation des composants MOSFETs seuls). Nous avons utilisé le traceur HP371A.

Un exemple de résultats de mesure en tenue en tension d'un des composants des trois familles est présenté sur la Figure 2-57.

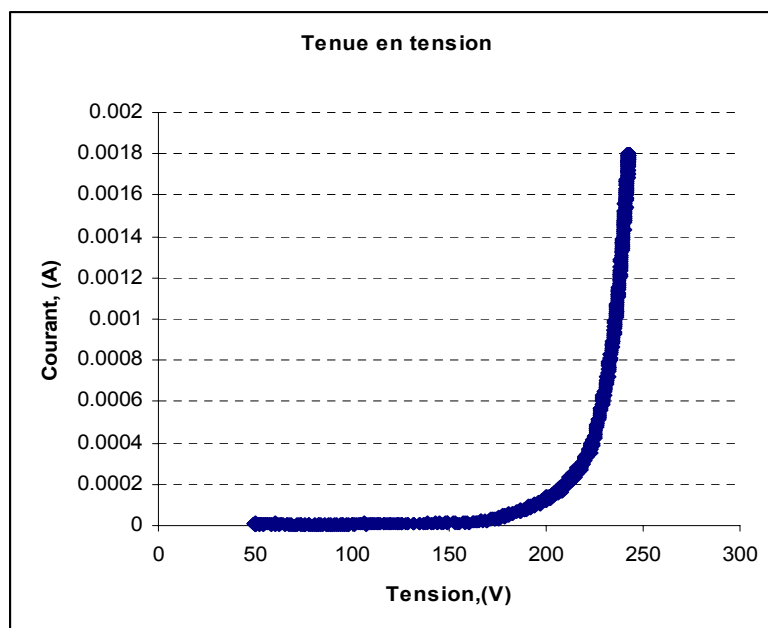


Figure 2-57. Exemple de tenue en tension d'un composant MOSFET/MOSFET de la famille G1

La tenue en tension de chaque transistor de cette puce est du même ordre de grandeur (entre 200 et 300V) que pour des composants MOSFET seuls présentés précédemment. Les composants contenant deux MOSFETs ont même périphérie et ont été testés sans passivation, ce qui nous fait supposer que cette relativement faible tenue en tension est peut-être due à cela. Sur les figures suivantes sont présentées des mesures effectuées sur chacun des deux transistors de ces composants doubles. On y observe les réseaux de type de $I_{DS} (V_{GS})$ et $I_{DS} (V_{DS})$ pour chaque transistor.

Cependant les valeurs théoriques ne prenaient pas en compte le boîtier que nous avons en pratique.

Sur les figures ci-dessous sont présentés les résultats de mesures des caractéristiques électriques en régime statique des composants contenant deux composants MOSFET.

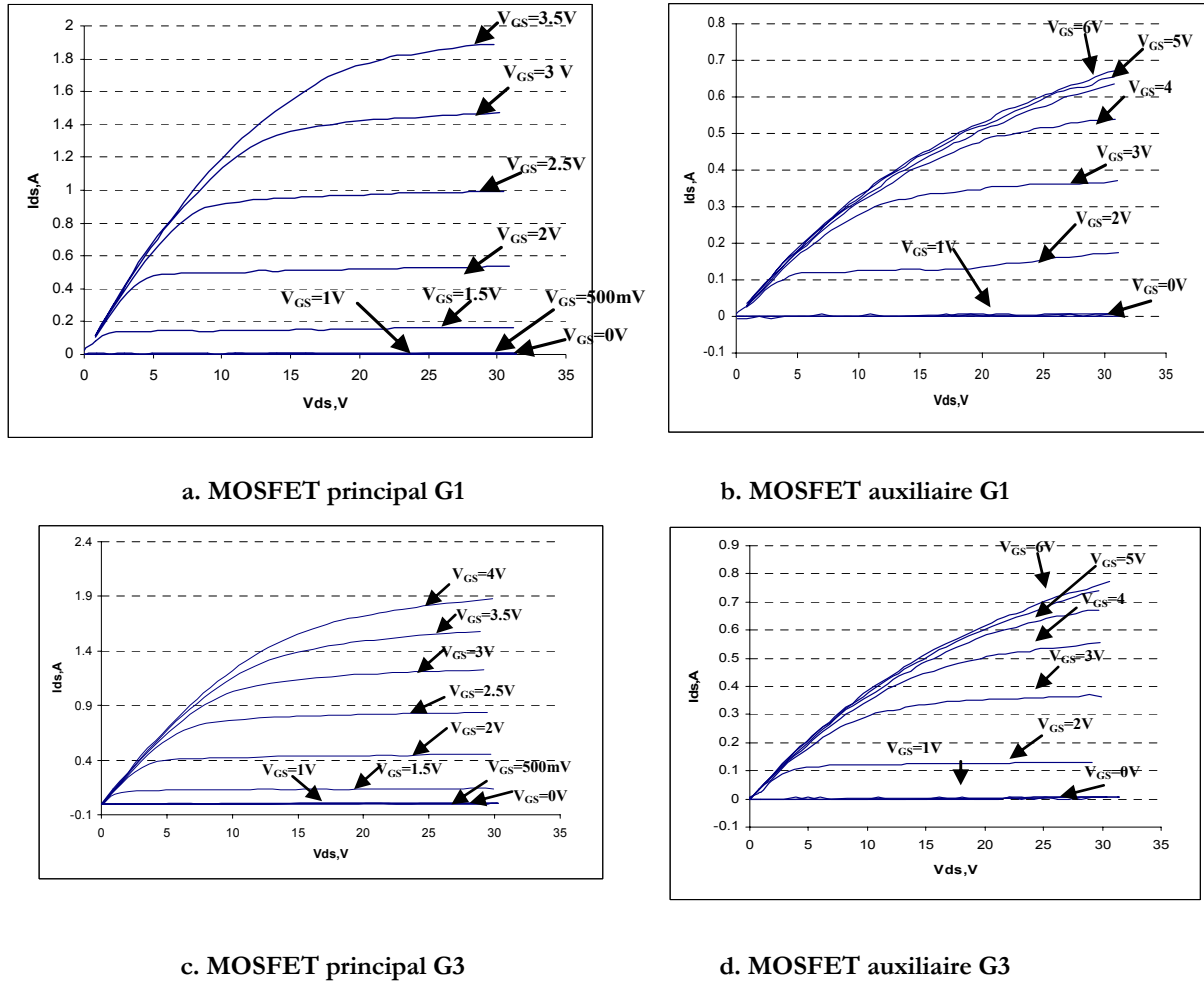


Figure 2-58. Mesure de caractéristiques statiques de a. MOSFET principal et b. MOSFET auxiliaire

La résistance à l'état passant $R_{DS(on)}$ pour la famille G1 est de 7.5Ω pour le MOSFET principal et 28Ω pour le MOSFET auxiliaire. Pour les composants de la famille G3, nous avons 7.7Ω pour le MOSFET principal et 23Ω pour l'auxiliaire. L'estimation théorique de la résistance à l'état passant des composants à deux MOSFETs est plus délicate. En effet, les deux transistors étant réalisés sur la même puce, il est difficile d'estimer la façon dont s'épanouiront les lignes de courant dans le volume sans passer par des simulations.

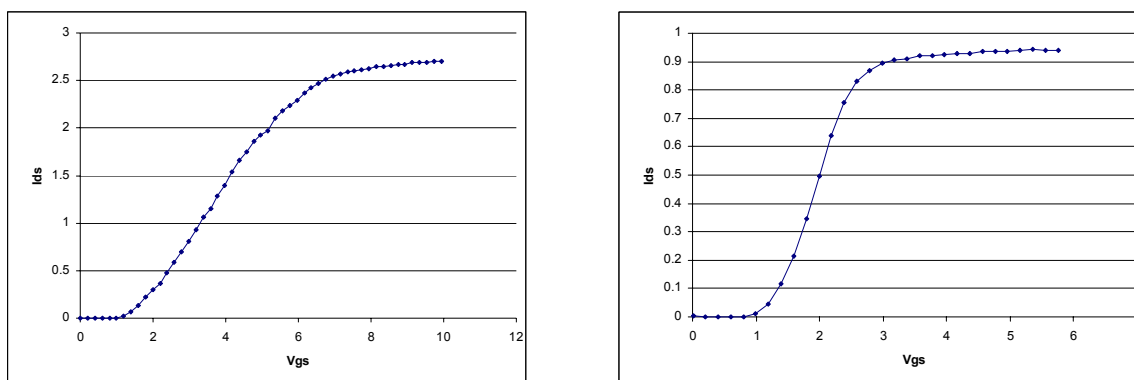


Figure 2-59. Mesure des caractéristiques $I_{ds}(V_{gs})$ de la famille A3 ; a. MOSFET principal à $V_{ds}=10V$ et b. MOSFET auxiliaire $V_{ds}=6V$

Les trois familles de composant ont la même tension de seuil de 1.5V que pour les MOSFET seuls. Cette valeur est proche de la valeur théorique de 1.8V calculée par la formule donnée par l'Eq. 2-4 avec $N_a = 5.10^{16} \text{ at/cm}^3$ et $e_{ox} = 100\text{nm}$. Comme nous l'avons déjà discuté, cette différence peut provenir d'une mauvaise qualité de l'oxyde de grille, de charges piégées ou d'un écart sur la concentration dans le canal (diffusion trop importante, mauvaise dose d'implantation ou mauvais rendement d'implantation). Selon les résultats de mesures de « spreading resistance » présentés dans le paragraphe III.4, les implantations du porte-canal ont donné une concentration en surface de $5,5.10^{16} \text{ at/cm}^3$.

Conclusion

Dans ce chapitre nous nous sommes intéressés à la conception de composants MOSFET pour la réalisation de la fonction d'auto-alimentation de la commande rapprochée d'un interrupteur de puissance. Nous avons débuté par quelques rappels sur le fonctionnement d'un MOSFET de puissance. En particulier, nous avons détaillé les expressions analytiques permettant d'obtenir à partir des caractéristiques physiques les paramètres électriques comme la tension de seuil, la résistance à l'état passant $R_{ds(on)}$. Nous avons présenté les étapes de conception en partant du dimensionnement d'une cellule élémentaire de MOSFET jusqu'à la réalisation de son « layout ». En complément, nous avons précisé le diagramme de cheminement et le jeu de masques du MOSFET réalisé. Nous avons ensuite utilisé la même démarche de conception afin de réaliser l'intégration de deux composants MOSFET, partageant la même périphérie. Cette démarche s'inscrit dans la perspective d'intégration de l'alimentation de la commande rapprochée du composant. Une caractérisation électrique des composants réalisés nous a permis de valider notre démarche de conception.

BIBLIOGRAPHIE

[AHMAD85] S.Ahmad and J.Akhtar « A Proposed Planar Junction Structure with near Ideal Breakdown Characteristics », IEEE Transaction on Electron Devices, Vol.ED.6, N°9, September 1985, pp 456-467.

[ARNOULD92] J. Arnould, P. Merle , « Dispositifs de l'électronique de puissance », volume 1&2, traité des nouvelles technologies, 1992.

[BOUCHET01] T. Bouchet, « Zone de charge d'espace mixte (ZCEM) dans le drain des MOS haute tension », thèse de doctorat de l'Université des Sciences d'Aix-Marseille III, 2001

[BOUCHET00] T. Bouchet, G. Verneau, F. Torregrossa, J. Arnould, « Striction unicellulaire dans les MOS haute tension. Modèle ZCEM en remplacement de celui de TEC à jonction parasite vertical », EPF'00 Lille, 2000.

[GALLUZZO00] A. Galluzzo, M. Melito, S. Musumeci, M. Saggio « A New High-Voltage Power MOSFET for Power Conversion Applications », 2000

[HELLEY86] M. Le Helley « Etude et modélisation de la tenue en tension des transistor VDMOS de puissance », Thèse de doctorat, n°86-51,1986

[HITACHI] Application Note 2SK1058, Hitachi Semiconductors.

[HWANG84] K. Hwang, D. Navon « Breakdown Voltage Optimisation of Silicon Planar Junction Diodes ». IEEE Transaction on Electron Devices, Vol ED.31, N°9, September 1984, pp 1126-1134.

[IR] International Rectifier « Power MOSFET Basics », Application notes

[IRF93] Power MOSFET Designer's Manual, International Rectifier, Vol.1, pp7 and 131, 1993.

[IRF740] International Rectifier MOSFET IRF740 Datasheets.

[PHILIPS95] Philips Semiconductors "Applications handbook" 1995 Chapter 1 - Introduction to Power Semiconductors.

[LORENTZ99] L. Lorentz « CoolMOS A New Approach toward an Idealized Power Switch » Proceedings of the 8th European Conference on Power Electronics and Applications EPE'99, Lausanne, Swiss, 7-9 September 1999, pp.1-10.

[NGO97] L.T. Ngo « Optimisation et réalisation d'une périphérie Planar haute tension à poche », Thèse de doctorat INPG, 1997.

[PERSIOANO99] G.V. Persiano, F. Iannuzzo, G. Busatto, P. Spirito « Numerical Analysis of the activation of the Parasitic BJT during the Reverse Recovery of Power MOSFET Internal Diode », EPE'99, Lausanne, 1999.

[ST99] ST Microelectronics, High Side Gate Driver , Application Note,1999

[SEONG-DONG95] « An accurate on-model for low voltage VDMOS devices » Seong-Dong Kim, Il-Jung Kim, Min, Koo- Han and Yarn-Ik Choi, Solid state electronics Vol.38, No 2, pp 345-350, 1995)

[SZE66] S.M.Sze and G. Gibbons « Effect of Junction Curvature on Breakdown Voltage in Semiconductors », Solid State Electronics Vol.9, n°9, pp.831-845, 1966

[TRAPP85] O.D. Trap, R.A. Blanchard, L.J Lopp, T.I. Kamins, « Semiconductor Technology Handbook », 1985

[VERNEAU03] G. Verneau « Optimisation géométrique de MOSFETs de puissance en vue d'intégrer l'alimentation de l'étage de commande », thèse de doctorat de l'INPG, 2003

[SANCHEZ92] J.L. Sanchez et G. Charitat « Evolution des Techniques de Terminaison de Jonction pour les Composants Haute Tension Discrets et Intégrables », L'Onde Electriques- Juillet - Août 1992, vol.72 N°4.

[VERNEAU02] G. Verneau, L. Aubard, T. Bouchet, J. Arnould, P. Brosselard, F. Nallet, D. Planson, « Composant NvN pour l'étude de la ZCEM des transistors MOS », EPF'02, Montpellier, 2002.

***CHAPITRE 3 : La topologie d'auto-alimentation
avec un JFET vertical de puissance***

Introduction

Ce chapitre traite d'une seconde topologie permettant la réalisation d'une fonction d'auto-alimentation de la commande rapprochée pour un interrupteur à grille isolée. La solution présentée ici contient un JFET à la place du MOSFET auxiliaire du chapitre précédent. Le JFET est très peu utilisé en électronique de puissance en raison de son état normalement passant. Dans notre cas, son utilisation permet de s'affranchir de plusieurs composants qui étaient nécessaires à la polarisation de la grille de l'interrupteur auxiliaire lorsque celui était un MOSFET (voir chapitre I). De plus, la réalisation d'un JFET est compatible avec celle d'un MOSFET vertical double diffusé. Elle nécessite cependant quelques modifications dans le procédé de fabrication et une étude assez conséquente pour aboutir à son dimensionnement afin d'obtenir des caractéristiques électriques compatibles avec l'application visée ici.

Chacune des deux solutions (contenant un MOSFET ou un JFET) offre des avantages et des inconvénients et nous avons choisi d'étudier les deux afin de mieux se rendre compte des possibilités de chacune et de pouvoir les comparer.

Après un bref rappel sur le fonctionnement du JFET et de ses caractéristiques électriques, nous allons présenter la topologie de l'auto-alimentation de la commande rapprochée contenant un JFET. Nous allons ensuite présenter les réflexions que nous avons menées afin de pouvoir réaliser le JFET auxiliaire et le MOSFET principal en utilisant le même procédé technologique et en essayant de limiter au maximum le surcoût engendré (i.e. le nombre d'étapes et leur complexité). La conception et la réalisation simultanée des deux composants reposent sur certains compromis au niveau de leurs caractéristiques physiques (niveaux des dopages, profondeurs des diffusions, etc.). Celles-ci influenceront leurs caractéristiques électriques. Pour parvenir à dimensionner et concevoir correctement l'interrupteur principal et son JFET associé, nous nous sommes basés sur une approche modélisation.

La modélisation du comportement du JFET vertical a fait l'objet de nombreuses publications. Cependant, les modèles présentés dans la littérature ne sont pas suffisamment universels et font appel à des hypothèses qui les rendent inutilisables dans notre cas. Nous avons donc été amenés à développer un modèle semi-analytique qui nous a aidé à dimensionner le JFET vertical pour notre application. Nous allons présenter ici la démarche menée à l'aide d'outils de simulation. Dans la dernière partie de ce chapitre nous présenterons la conception et l'optimisation du dessin des masques du JFET.

I. LA FONCTION D'AUTO-ALIMENTATION UTILISANT LE JFET VERTICAL

I.1. Le JFET, caractéristiques électriques

Nous allons commencer par rappeler très brièvement le fonctionnement du JFET classique (à canal long) idéalisé. Nous considérerons d'office le seul JFET à canal N car les composants de puissances à grilles isolées que sont MOSFET et IGBT sont généralement réalisés sur des substrats épitaxiés (zone de « drift » de tenue en tension) de type N ; or nous verrons que ce substrat constituera nécessairement le canal du JFET dans notre application.

Le JFET est un composant à trois électrodes. Une coupe schématique du JFET est présentée sur la Figure 3-1. Il est souvent réalisé sur un substrat de type N pour bénéficier de la plus grande mobilité des électrons. Les régions de source et de drain sont formées de part et d'autre du canal. Deux régions de type P forment les grilles. La zone du canal est délimitée par la variation des zones de charge d'espace des jonctions PN entre la grille et le canal.

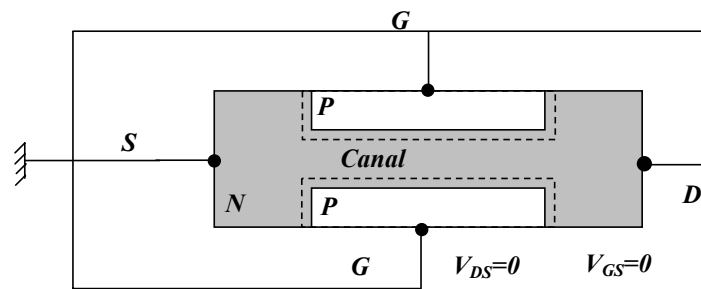
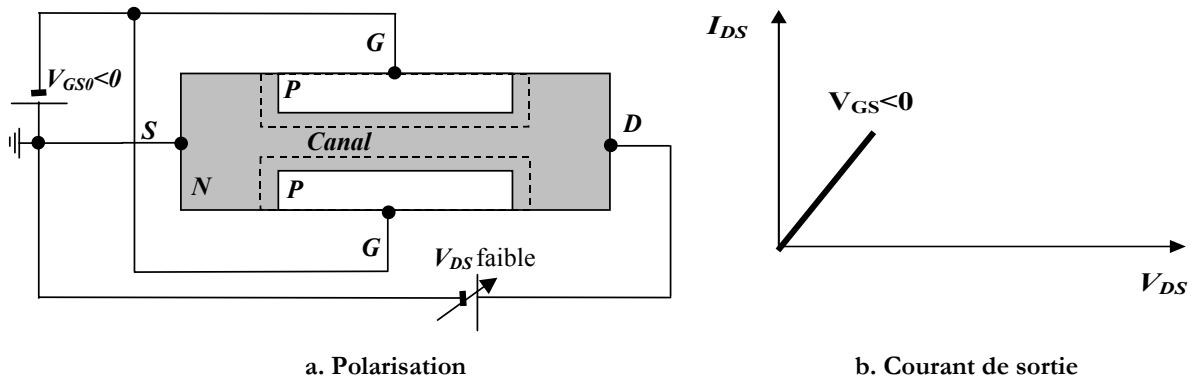
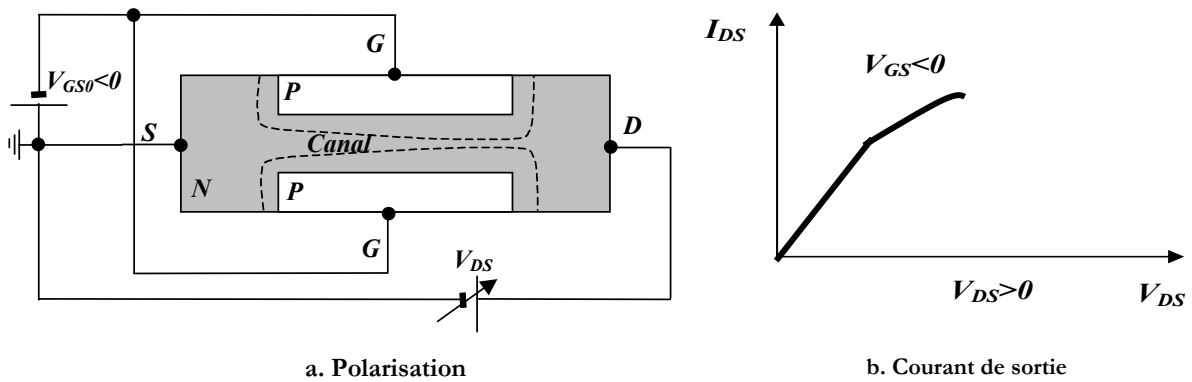
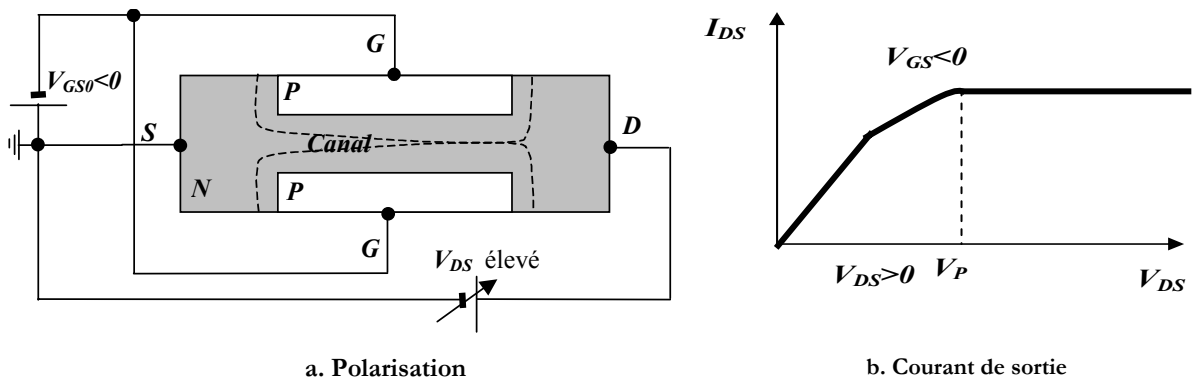


Figure 3-1. Le JFET

Le fonctionnement du JFET est basé sur l'effet de champ de la jonction qui contrôle le courant passant dans le composant. La source étant choisie comme le potentiel de référence, en l'absence de polarisation des électrodes de grille et de drain on sera dans le cas de la Figure 3-1. La section des canaux conducteurs est contrôlée par l'extension de la zone de charge d'espace de la jonction grille-source normalement polarisée en inverse Figure 3-2. En appliquant une tension entre le drain et la source un courant commence à traverser le composant. Plus le potentiel de drain augmente, plus le courant augmente. La croissance du courant crée une chute de tension le long du canal. Celle-ci augmente d'autant plus l'extension de la ZCE que l'on se rapproche du drain, ce qui a pour conséquence d'augmenter la résistance apparente du canal et de ralentir la croissance du courant (Figure 3-3). Si les deux zones de charge d'espace se rejoignent il y a un pincement du canal et le courant I_{DS} atteint sa valeur de saturation et n'évolue quasiment plus, même si le potentiel de drain continue d'augmenter. La tension V_{GS} pour laquelle la saturation du courant se produit s'appelle tension de pincement V_p (Figure 3-4).

Figure 3-2. Cas où V_{DS} est faible (zone ohmique)Figure 3-3. Cas où $V_{DS} < V_P$ (zone quadratique)Figure 3-4. Cas où $V_{DS} > V_P$ (zone de saturation du courant)

Pour observer l'effet de la tension grille–source sur l'évolution de I_{DS} , nous allons nous placer dans le cas où la tension V_{DS} est inférieure à V_P . En augmentant la tension grille–source (il faut noter que le potentiel de grille doit toujours être négatif par rapport à la source et au drain pour que la jonction PN soit toujours polarisée en inverse) l'épaisseur de la zone de charge d'espace le long de la grille augmente jusqu'à pincement du canal. Le courant atteint une valeur de saturation qui dépend de la valeur de la tension appliquée à la grille. Plus la valeur de V_{GS} est négative, plus cette saturation s'effectue pour une faible valeur de V_{DS} (Figure 3-5).

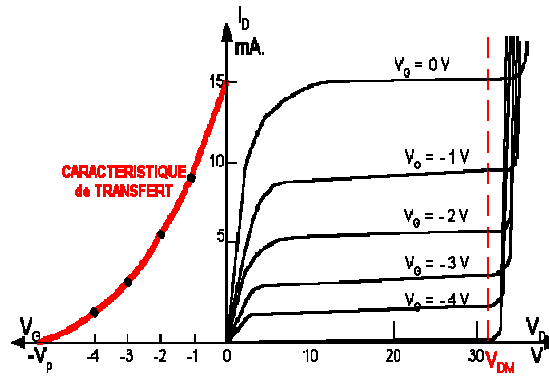


Figure 3-5. Réseau de caractéristiques $I_D (V_{DS})$ de sortie du JFET

Ce transistor peut être utilisé en structure de régulation linéaire de tension. C'est dans cette configuration que nous allons l'utiliser.

I.2. Le JFET vertical de puissance

Le Transistor à Effet de Champ – le JFET (Junction Field Effect Transistor) ou encore le SIT (Static Induction Transistor) est connu depuis une quarantaine d'année. Avant la naissance des composants à grille isolée, il a été étudié afin d'être utilisée comme un interrupteur dans les convertisseurs statiques de puissance. Le JFET vertical est un composant dont les caractéristiques électriques sont fortement dépendantes de ses paramètres géométriques, physiques et technologiques. Pour disposer d'une section de passage du courant maximale et d'une zone de tenue en tension importante, les JFET de puissance sont verticaux. Les régions de la source et du drain sont formées en face opposées du substrat par des dopages du type N. Les régions de la grille sont établies à quelques microns de profondeurs sous la source (Figure 3-6 et Figure 3-7).

Son état normalement passant a limité ses applications dans le domaine des convertisseurs statiques. Cependant dans le cas de la fonction de l'auto-alimentation, il peut être une solution intéressante (voir le chapitre I – IV.1).

I.2.a. Structures du JFET vertical de puissance

Différentes structures ont été développées afin de modifier et d'améliorer certaines de ses caractéristiques. Il existe des structures avec des régions de grilles formées en profondeurs sous la région de la source (grilles enterrées Figure 3-6) [WANG04]. Ces grilles sont réalisées à l'aide de couches épitaxiales. D'autres structures ont des grilles en surfaces (Figure 3-7) [BALIGA82].

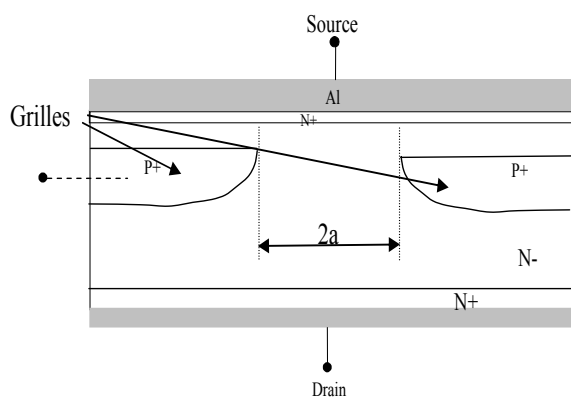


Figure 3-6. JFET avec grilles enterrées (Buried Gate)
[WANG04]

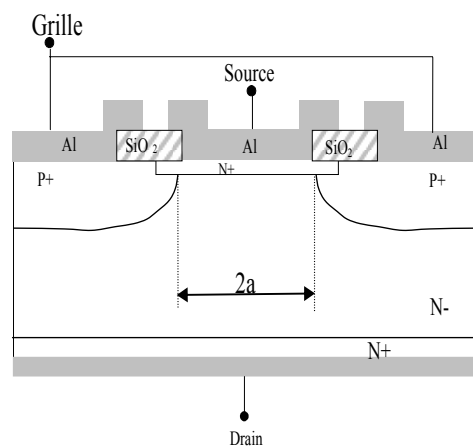


Figure 3-7. JFET avec grilles en surface
[BALIGA82]

Un autre composant très proche du JFET vertical est le Static Induction Thyristor (SITh) [NAKAMURA96]. La différence est qu'en face arrière la couche dopée N+ est remplacé par une couche de type P+ (Figure 3-8).

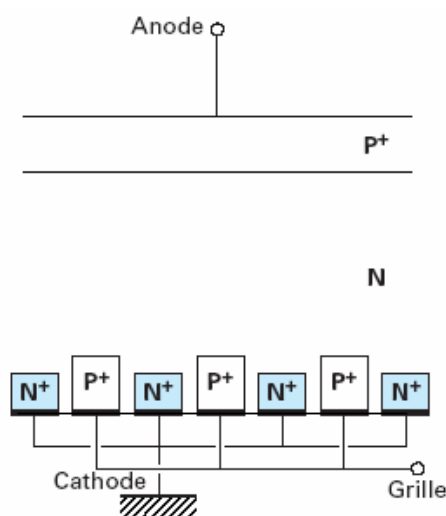


Figure 3-8. Le SITh (Static Induction Thyristor) [LETURCQ03]

Le SITh, ainsi que le SIT peuvent fonctionner en Mode Bipolaire [LI94][TADANO95], en polarisant les électrodes de grille avec une tension positive. L'injection de porteurs minoritaires par la grille est utilisée afin d'obtenir des gains de courant importants et une résistance à l'état passant très faible, grâce à l'effet de modulation. La méthode de blocage utilisée est la même que pour le JFET vertical - en appliquant une tension inverse entre grille et cathode. Dans la littérature on peut trouver ces composants aussi sous le nom de « Field Terminated Diode » [HOUSTON76] ou « Field Controlled Thyristor » [WESSELS78].

Comme nous l'avons mentionné au début, le JFET est un composant à priori passant. Pour éliminer cet inconvénient, des essais sur la fabrication des composants normalement bloqués ont été faits [CARUSO88]. L'idée est d'utiliser un substrat à haute résistivité et des régions de grille fortement dopées. La zone de charge d'espace de la jonction grille-canal s'étale dans la zone du canal. Si la largeur du canal est comparable à la largeur de la ZCE, la dernière forme une barrière de potentiel, lorsque la tension à la grille est nulle. La valeur de cette barrière est d'environ la valeur du seuil d'une jonction PN. L'inconvénient de cette structure est la résistance élevée à l'état passant.

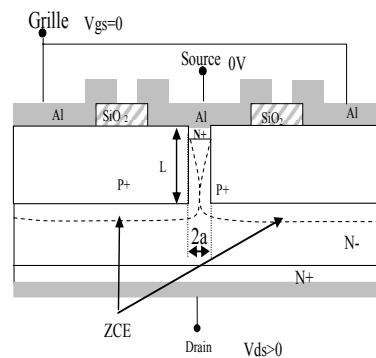


Figure 3-9. Structure d'un JFET normally-off

La forme des grilles influe sur la barrière de potentiel (Figure 3-10). Plus elles sont verticales et droites, plus il est facile de bloquer le composant avec des tensions de grille faibles. Par contre, lorsque les zones sont diffusées, le potentiel du drain pénètre plus facilement dans le canal de sorte que l'on a un canal très large. Cela peut mener à des difficultés ou à l'impossibilité de bloquer le composant. Les technologies actuelles permettent de réaliser des grilles en tranchées de plusieurs dizaines de microns de profondeur, mais le procédé technologique est coûteux.

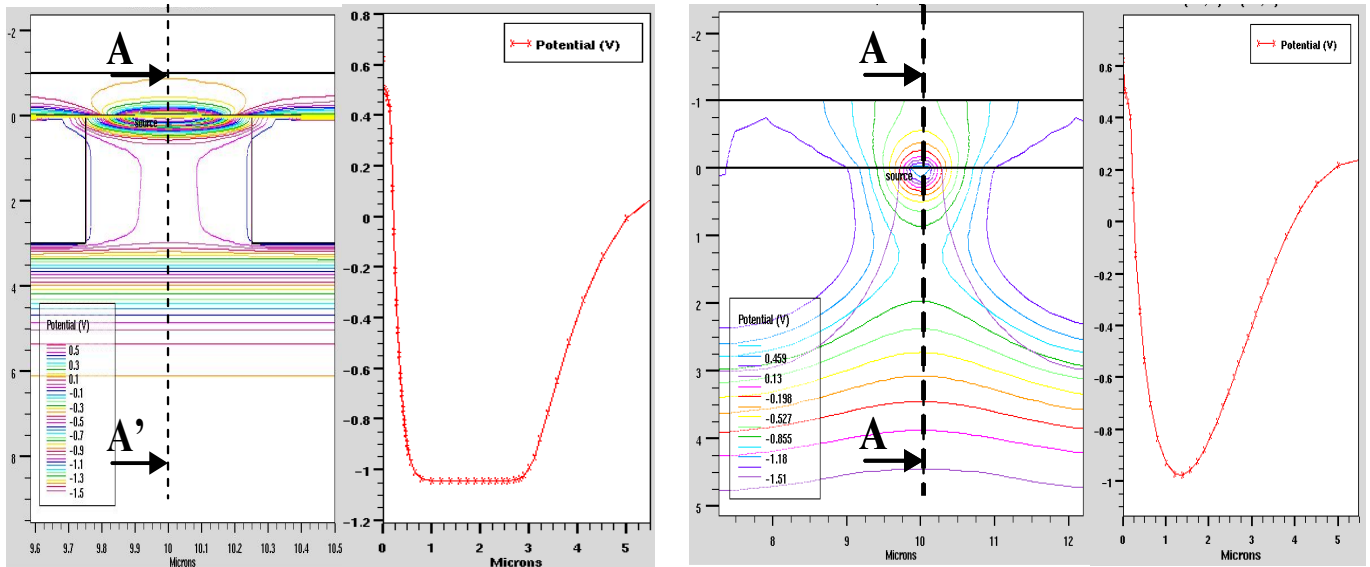


Figure 3-10. Comparaison de la barrière de potentiel dans un JFET à grilles verticales et un JFET vertical à grilles diffusées

I.2.b. Caractéristiques électriques de sortie du JFET vertical de puissance

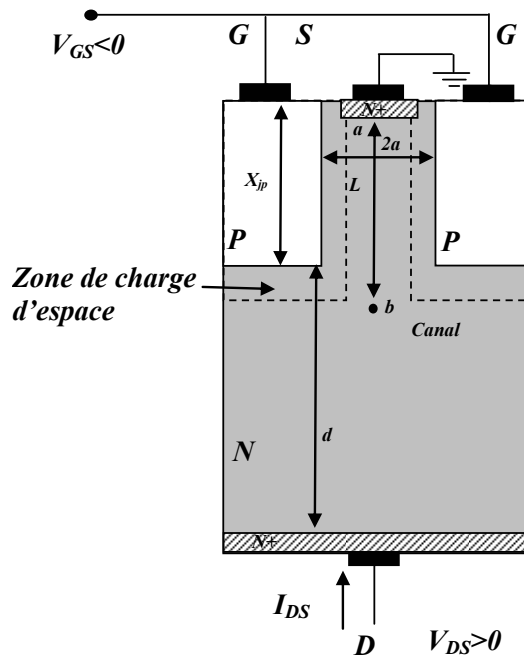


Figure 3-11. Structure d'un JFET vertical

Faisons ici l'hypothèse de zones P et N uniformément dopées. En fonction du rapport géométrique existant entre la largeur ($2a$) et la longueur du canal (L), les JFET verticaux ont deux types de comportements. Si le rapport entre la largeur et la profondeur du canal d'un JFET est très supérieur à l'unité, ils ont une caractéristique électrique de sortie de type penthode (Figure 3-12). Les JFET possédant des canaux courts manifestent des caractéristiques électriques de

sortie du type triode (Figure 3-13). Il est possible selon la forme des zones de grille et le rapport géométrique entre la profondeur et la largeur du canal, que le JFET vertical conduise à des caractéristiques de type penthode à faible tension de drain (Figure 3-12) et à des caractéristiques de type triode à forte tension de drain (Figure 3-13) [LETURCQ03], [NISHIZAWA00].

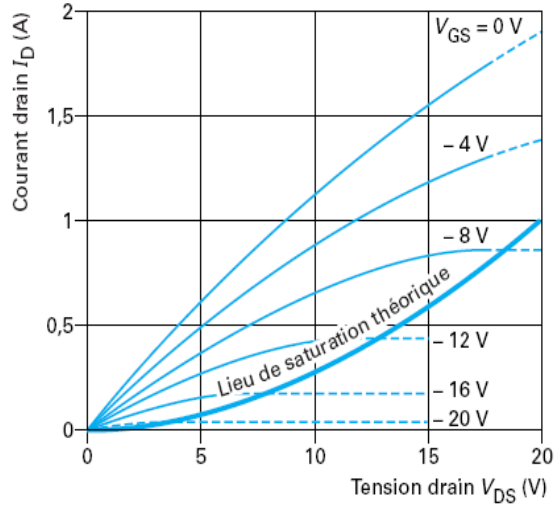


Figure 3-12. Caractéristiques de sortie de type penthode [LETURCQ03]

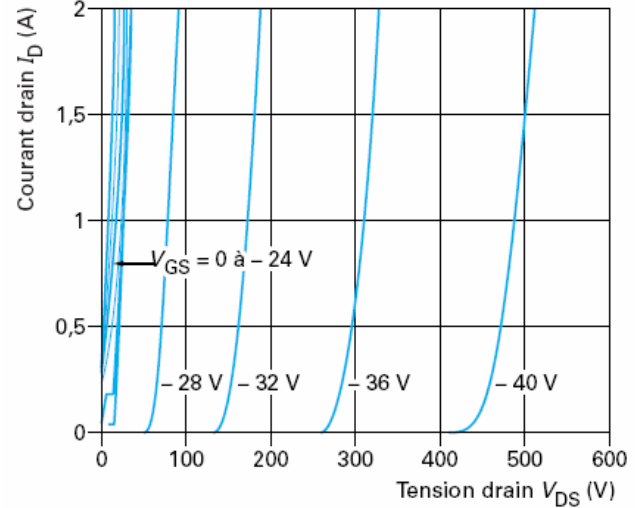


Figure 3-13. Caractéristiques de sortie de type triode. [LETURCQ03]

I.2.c. Formules analytiques pour le fonctionnement du JFET vertical en mode penthode

Pour le JFET de la Figure 3-11, en régime non pincé, on peut écrire l'expression du courant du drain :

$$I_D = G_{canal} \left\{ V_{DS}^* - \frac{2}{3} \frac{(\Phi + |V_{GS}| + V_{DS}^*)^{3/2} - (\Phi + |V_{GS}|)^{3/2}}{(V_P + \Phi)^{1/2}} \right\} \quad \text{Eq. 3-1} \quad [\text{LETURCQ03}]$$

V_{DS}^* est la tension entre le pseudo drain (à l'extrémité du canal : point b sur la Figure 3-11) et la source,

G_{canal} représente la conductance de canal sans zone de charges d'espace :

$$G_{canal} = \frac{q\mu_n N_D Z 2a}{L} \quad \text{Eq. 3-2} \quad [\text{LETURCQ03}]$$

Z est la largeur cumulée de l'ensemble des canaux,

Φ le potentiel de diffusion des jonctions grille-substrat,

V_p est la tension de pincement (la valeur absolue de la tension grille-source $|V_{GS}|$ qui entraîne une fermeture des canaux à une tension $V_{DS}^* = 0$).

$$V_p = \frac{qN_D(2a)^2}{8\epsilon} - \Phi \quad [\text{LETURCQ03}] \quad \text{Eq. 3-3}$$

L'équation Eq. 3-3 est valable pour un dopage de la grille N_A très supérieur au dopage du substrat N_D .

La tension V_{DS} effective vaut:

$$V_{DS} = V_{DS}^* + R_D I_D$$

Où la résistance R_D «de drift» dopée homogène vaut :

$$R_D = \varsigma \frac{e_v}{q\mu_n N_D S} \quad [\text{LETURCQ03}] \quad \text{Eq. 3-4}$$

Où S est la section du dispositif, e_v est l'épaisseur de la zone de drift et ς est un facteur de correction géométrique, toujours supérieur à l'unité, qui permet de rendre compte que le flux de porteur ne peut être tenu pour unidimensionnel, sauf approximation. On peut exprimer la résistance totale à l'état passant du composant :

$$R_{DSON} = R_D + \frac{1}{G_{canal} \left\{ 1 - \frac{\Phi^{1/2}}{(V_p + \Phi)^{1/2}} \right\}} \quad [\text{LETURCQ03}] \quad \text{Eq. 3-5}$$

Pour un composant basse tension, le terme $\frac{1}{G_{canal} \left\{ 1 - \frac{\Phi^{1/2}}{(V_p + \Phi)^{1/2}} \right\}}$ correspondant à la résistance du canal est plus important que le premier terme. Dans ce cas, une diminution du facteur géométrique $\frac{L}{22a}$ réduit R_{DSON} .

Pour les composants haute tension (au-delà de quelques dizaines de volts), la résistance de « drift » R_D domine et devient importante, ce qui réduit l'intérêt des composants à effet de champ pour la haute tension.

Les caractéristiques statiques des JFET verticaux de type pentode, sont présentées sur la Figure 3-12. A une tension V_{GS} constante on peut observer une saturation du courant du drain à l'approche d'un lieu $I_{Dsat}=f(V_{DSsat})$ d'allure parabolique. Ce lieu correspond au pincement du canal (les deux zones de charges d'espaces se joignent tout juste côté drain et $V_{DSsat}^*=V_P - |V_{GS}|$).

Ces formules donnent les principales tendances ; pour une analyse plus précise il faut tenir compte de la dépendance de la mobilité μ_n des porteurs en fonction du champ électrique dans le canal. De plus, ces formules ne prennent pas en compte les effets bidimensionnels qui à forte tension de drain peuvent aller jusqu'à une modification du comportement pour aller vers des caractéristiques de sortie de type triode (Figure 3-13). C'est ce que nous allons voir.

I.2.d. JFET vertical de puissance en mode triode

La saturation des caractéristiques de sortie est typique pour des composants à canaux « longs » - c'est à dire pour des composants dont le rapport $L/2a$ est bien supérieur à l'unité. La plupart des JFET montrent une transition du comportement : les caractéristiques statiques à tension de commande de grille V_{GS} constante ont d'abord une allure de type « penthode » qui évoluent vers le type « triode » lorsque V_{DS} augmente.

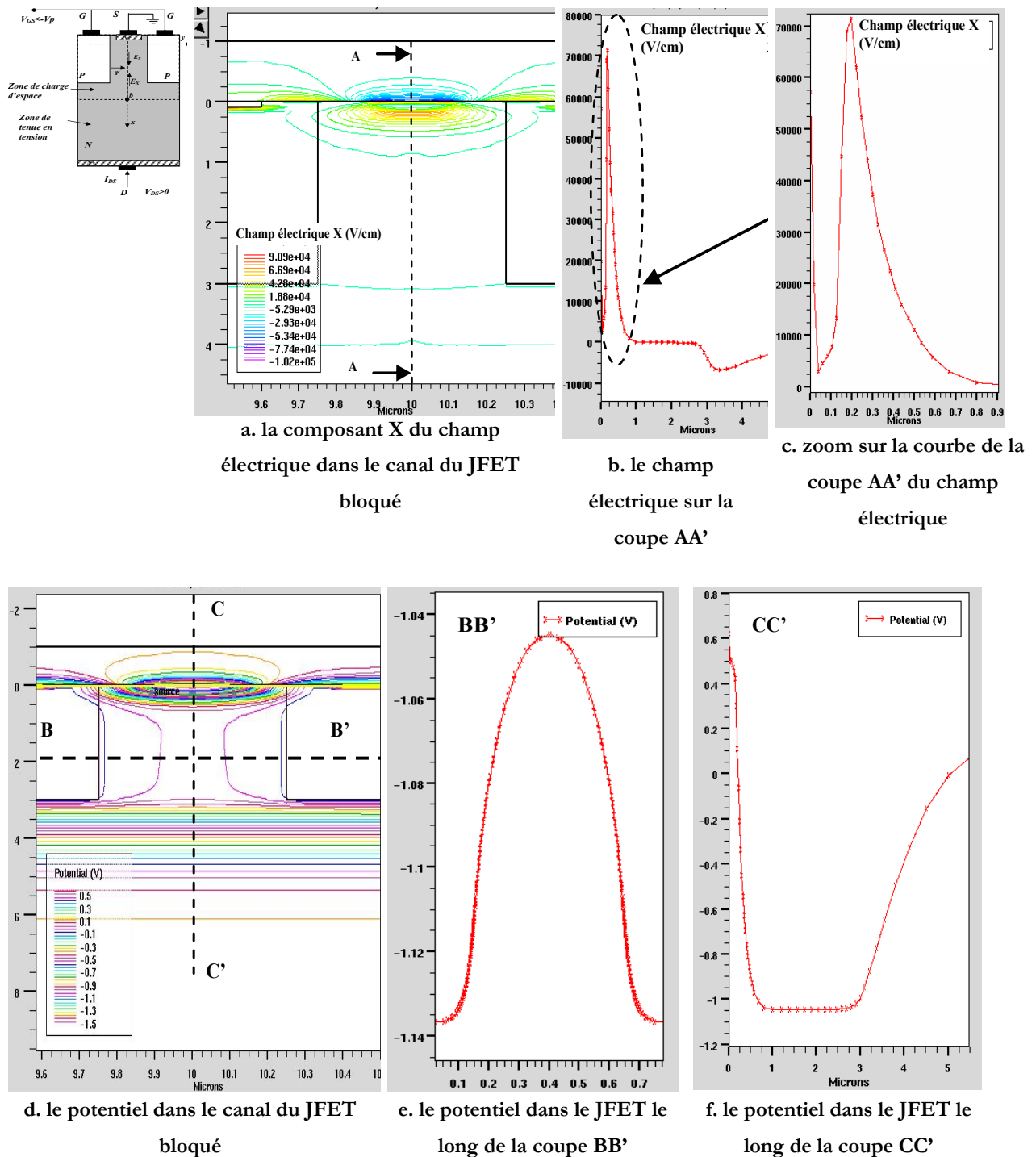


Figure 3-14. JFET vertical en situation de blocage

Pour analyser le mécanisme de transition nous allons prendre l'exemple du JFET vertical de la Figure 3-11. On applique sur les électrodes de grilles un potentiel tel que le canal est dépeuplé ; sur la Figure 3-11, cette se zone situe entre les points « a » et « b ». Ces points se trouvent respectivement aux potentiels de source et du pseudo drain, soit 0 et V_{DS} . La tension appliquée côté grille est :

$$\Phi + |V_{GS}| \quad \text{Eq. 3-6}$$

Et du côté drain :

$$\Phi + |V_{GS}| + V_{DS} \quad \text{Eq. 3-7}$$

Par contre au centre du canal (sur l'axe central du canal Ox voir la Figure 3-11), la charge d'espace ne supporte que la tension Ψ qui est une approximation unidimensionnelle de l'équation de Poisson.

$$\Psi = \frac{qN_D(2a)^2}{8\epsilon} [\text{LETURCQ03}] \quad \text{Eq. 3-8}$$

Le potentiel au centre du canal (sur l'axe central du canal Ox , voir la Figure 3-11) par rapport à la source est donc :

$$V_C = \frac{qN_D(2a)^2}{8\epsilon} - \Phi - |V_{GS}| = V_P - |V_{GS}| [\text{LETURCQ03}] \quad \text{Eq. 3-9}$$

Ce potentiel V_C est négatif pour $|V_{GS}| > V_P$, impliquant la présence d'une barrière de potentiel infranchissable pour les électrons de hauteur $|V_{GS}| - V_P$. Autrement dit, la composante longitudinale E_X du champ électrique au centre du canal change de signe lorsque l'on se déplace de la source vers le drain de sorte que les porteurs libres présents dans les régions quasi neutres de source et de drain s'y trouvent confinés. La barrière de potentiel évoquée ci-dessus est responsable de l'état bloqué du composant. Dans ce cas on a $V_{GS} \leq -V_P$. Pour un tel V_{GS} , si on augmente la tension de drain, cette barrière de potentiel va diminuer jusqu'à disparaître : le composant devient alors passant. Le seuil de mise en conduction ne dépend pas uniquement de V_{GS} mais aussi de V_{DS} (voir réseau de caractéristiques $I_D(V_{DS})$ pour différentes valeurs de V_{GS} Figure 3-13). Il est important de remarquer ici que plus le canal du composant est long et plus la hauteur de cette barrière de potentiel est indépendante de la tension du drain. Pour les transistors JFET verticaux que nous fabriquerons, nous aurons nécessairement un rapport de forme favorisant le comportement de type triode car les poches P de grilles seront « planar » et conduiront à des longueurs équivalentes de canaux faibles.

Le phénomène expliqué ci-dessus est en fait bidimensionnel et son analyse précise passe par des campagnes de simulations numériques 2D par éléments finis, ce qui sera fait par la suite. Néanmoins il est possible d'estimer la valeur du seuil de mise en conduction d'un tel composant [BULCEA87]. Ce modèle sera présenté dans la partie II.3. Ce modèle permet, à V_{GS} donnée,

d'estimer la valeur limite $V_{DSbloquage}$ de la tension du drain, pour laquelle la barrière de potentiel disparaît. Pour le JFET vertical, les seuils de blocage peuvent être définis comme le rapport entre la tension du drain V_{DS} et la tension de commande V_{GS} .

$$G = \frac{V_{DS}}{|V_{GS}|} \quad [\text{BULCEA87}] \quad \text{Eq. 3-10}$$

Nous appellerons G gain de pincement du JFET vertical.

Une étude plus détaillée sur le principe de fonctionnement physique du JFET vertical, ainsi que sur la dépendance des caractéristiques électriques du JFET vertical en fonction de ses paramètres géométriques sera donnée plus loin dans ce mémoire, dans la partie concernant les modèles analytiques (voir II.1).

Pour notre application, la réalisation simultanée du JFET et du MOSFET impose un procédé technologique identique pour les deux composants, c'est-à-dire que les dopages et les profondeurs de diffusion de P+, P et N+ doivent être les mêmes. Compte tenu de cet impératif, le JFET doit être dimensionné de telle manière que, pour une tension nominale entre drain et source (V_{DS} lorsque le MOSFET principal est bloqué), il doit cesser de conduire dès que la tension V_{CS} aux bornes de la capacité C_s de stockage ait atteint la valeur souhaitée (usuellement 15V). Cela signifie que la jonction grille-source doit tenir au moins 16V.

Dans la partie suivante, nous allons décrire le diagramme de cheminement qui nous permettra la réalisation simultanée du MOSFET principal et du JFET auxiliaire. A partir de ce diagramme de cheminement nous déterminerons les étapes technologiques du MOSFET que nous pourrons utiliser pour la réalisation de la structure du JFET vertical, puis nous déterminerons les géométries permettant l'ajustement de la tension de commande V_C et les tenues en tension correspondantes.

I.3. Réalisation technologique du JFET vertical

Comme nous l'avons déjà mentionné la solution MOSFET-JFET est intéressante de part le nombre réduit des composants nécessaires pour réaliser la fonction de l'auto-alimentation. De plus, le MOSFET et le JFET possèdent des filières technologiques à priori compatibles ce qui les rend réalisables avec un nombre minimal d'étapes technologiques, donc à moindre coût. Cette première étape d'intégration des deux composants, pourra être complétée ultérieurement par l'intégration de la diode D_b et éventuellement la capacité C_s en fonction de sa valeur (Figure 3-15). L'approche a été la suivante : en utilisant au maximum les étapes technologiques

permettant la réalisation du MOSFET, comment obtenir un JFET compatible avec notre application :

- sans dégrader les performances de l'interrupteur principal ;
- en ajoutant un nombre minimal d'étapes technologiques et de niveaux de masquage ;
- en dimensionnant le JFET auxiliaire de telle manière qu'il ait les valeurs appropriées de tensions de pincement permettant de réguler la tension souhaitée aux bornes de la capacité C_S .

Nous allons ici décrire le diagramme de cheminement qui a permis de réaliser les deux composants ensemble avec un surcoût minimal par rapport à celui du MOSFET seul (voir chapitre II).

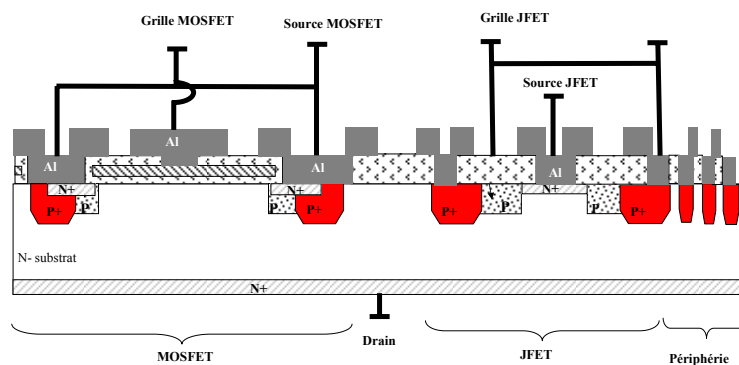
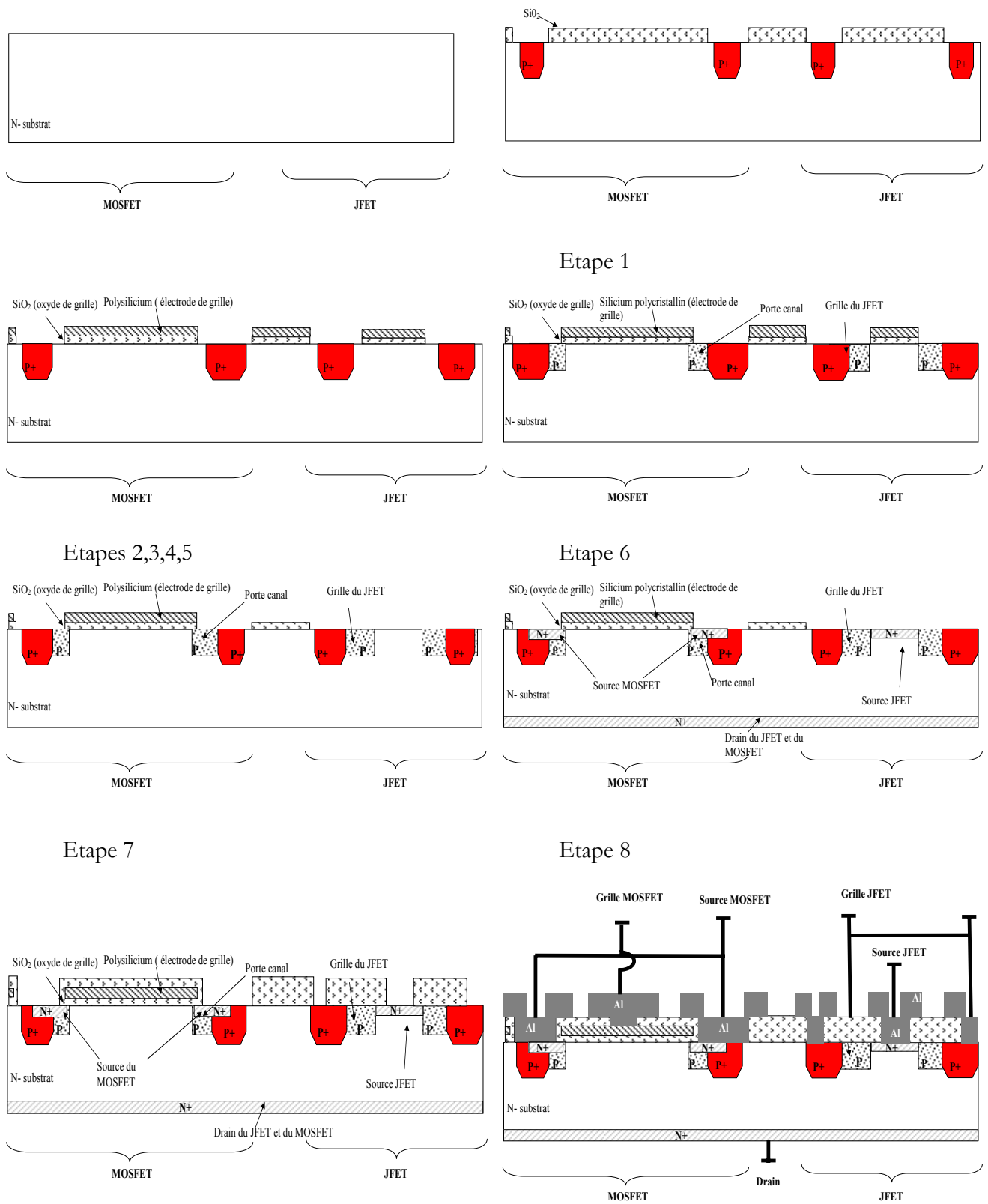


Figure 3-15. Composant intégrant un MOSFET avec un JFET au sein de la même périphérie

Le procédé de fabrication du MOSFET commence par l'étape d'implantation de P+ qui sert dans le cas d'un MOSFET d'une part à inhiber les transistors parasites N+/P-/v par un court-circuit N+/P- (via P+) (voir la Figure 3-15) et d'autre part à réaliser les anneaux de garde en périphérie. Nous pouvons utiliser cette implantation pour réaliser les zones de grilles du JFET (Figure 3-16, étape 1). Les étapes 2, 3, 4, 5 servent respectivement à ouvrir la zone active du MOSFET principal, déposer l'oxyde de grille, le silicium polycristallin et enfin à graver les grilles. Lors de l'étape 6 nous implantons du P (Bore) partout où les zones ne sont pas protégées par le silicium polycristallin de la grille. Cette implantation peut être aussi utilisée pour la réalisation des zones des grilles du JFET. Nous pouvons dès maintenant remarquer que selon le niveau de dopage choisi pour les zones de grilles, le pincement du canal sera plus ou moins aisé. De plus nous avons vu précédemment que la jonction grille-source doit supporter une tension inverse correspondant au minimum à la tension V_C maximale. Donc il y a un compromis à faire entre le niveau de dopage, la facilité de blocage du composant et la tenue en tension inverse de la jonction grille-source. Pour former le canal du JFET nous avons besoin d'une région homogène v. Donc pendant l'implantation des grilles, la région du canal doit être protégée. Nous avons choisi de

protéger la zone du canal avec du silicium polycristallin qui forme l'électrode de la grille du MOSFET. Nous avons introduit une deuxième gravure du silicium poly cristallin - une étape supplémentaire aux étapes de fabrication d'un MOSFET double diffusé. Cette étape nous permettra d'éliminer le silicium polycristallin qui protège la zone du canal du JFET. Ce niveau de masquage protège entièrement la zone du MOSFET donc cette gravure n'affecte en rien sa fabrication. Ensuite nous implantons du Phosphore (N+) pour former les sources du JFET et du MOSFET (étape 8). Les dernières étapes consistent à ouvrir les zones de contact, à métalliser et à réaliser les séparations entre les électrodes de grilles et de sources. La principale difficulté technologique à laquelle nous avons été confrontés est l'imprécision sur l'alignement des masques N+/P+ car nous n'avons pas ici d'auto-alignement par la grille comme dans le cas du MOSFET vertical. Un tel défaut d'alignement de la source par rapport aux grilles peut mener à une impossibilité de bloquer le composant. De plus pour une faible largeur du canal (1 à 2 μm) chaque variation de la profondeur de la diffusion des zones des grilles va changer ses paramètres géométriques et ainsi ses caractéristiques électriques.

Dans le tableau suivant, sont détaillées les étapes technologiques principales de la réalisation simultanée des deux composants.



Etape 9 et 10

Etape 11 et 12

Figure 3-16. Etapes principales de réalisation simultanée du MOSFET et du JFET

Le Tableau 3-1 présenté ci-dessous synthétise les principales étapes du procédé.

	Etape		
		MOSFET	JFET
1.	Implantation P+	Court-circuit du porte-canal	Grille
2.	Gravure d'oxyde	Ouverture de la zone active	
3.	Dépôt d'oxyde fin	Oxyde de grille du MOSFET	
4.	Dépôt de polysilicium	Electrode de grille	
5.	Gravure de Polysilicium et de l'oxyde fin	Création de la grille	Protection de la zone du canal
6.	Implantation de P-	Création du porte-canal	Grille du JFET
7.	Gravure Polysilicium	-	Dégagement de la zone du canal
8.	N+ implantation	Création des sources	
9.	Dépôt d'oxyde épais (LTO)		
10.	Gravure LTO	Ouverture des zones de contact	
11.	Dépôt d'aluminium	Création des électrodes	
12.	Gravure d'aluminium	Séparation des contacts	

Tableau 3-1. Présentation des étapes technologiques principales de la réalisation du MOSFET et du JFET

Nous obtenons un JFET vertical dont les régions de grille sont peu profondes et fortement évasées. Celui-ci aura donc un comportement électrique de type triode et sa géométrie devra être optimisée afin de répondre aux objectifs énoncés §I.3.d ; ce que nous nous proposons de faire maintenant.

II. CONCEPTION DU JFET

L'étape de conception du JFET consiste d'abord à déterminer son type de comportement électrique. Nous allons présenter ici une étude bibliographique portant sur différents modèles analytiques du JFET vertical, donnant des relations entre les paramètres géométriques et les caractéristiques électriques. Nous compléterons ces modèles par des simulations de type éléments finis pour dimensionner notre JFET et préciser toutes les côtes d'un motif élémentaire. La deuxième phase de conception consistera, en partant du motif « élémentaire », à réaliser son layout complet des différents niveaux de masquage. Il faudra alors prendre en compte les contraintes technologiques que sont les dimensions minimales réalisables pour les motifs (limitations liées aux précisions de réalisation des masques et à la qualité des gravures) et les défauts d'alignement entre les différents niveaux de masquage.

II.1. Modélisation de la structure élémentaire du JFET

II.1.a. Modèles basés sur les caractéristiques électriques du JFET vertical

Afin de déterminer le comportement du JFET vertical tel que celui décrit par le procédé de fabrication précédent et compatible avec la réalisation du MOSFET, nous avons considéré les paramètres géométriques principaux qui sont la longueur (L) et la largeur ($2a$) du canal (Figure 3-11). Il faut aussi tenir compte du dopage de la région du canal (dopage du substrat v), de l'épaisseur du substrat epitaxié, des profondeurs des diffusions de la région de la source et des régions des grilles, des concentrations dans la source et dans la grille et enfin du facteur de diffusion γ (rapport entre la profondeur de la jonction et son avancement latéral). Dans [NEWMARK67] les auteurs ont défini un facteur géométrique en fonction duquel on peut prévoir le comportement électrique du JFET. Ce facteur est :

$$k = \frac{\pi L}{2a} \quad \text{Eq. 3-11}$$

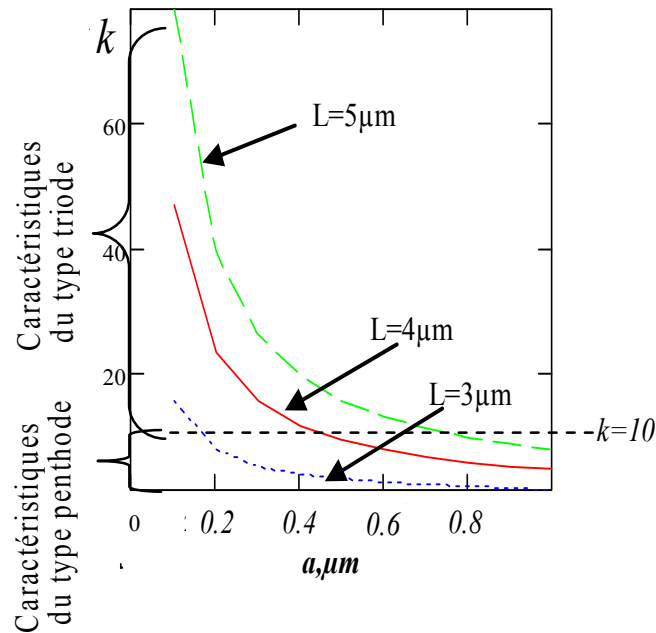


Figure 3-17. Types des caractéristiques de sortie du JFET vertical en fonction de ses géométries d'après la formule de l'Eq. 3-11 [NEWMARK67]

Si ce facteur est plus grand que 10 le JFET a des caractéristiques de type penthode et s'il est inférieur à 10, le JFET a des caractéristiques de sortie de type triode.

Une autre publication [WANG04] donne des relations plus précises entre les caractéristiques de sortie et les paramètres géométriques et physiques. Pour déterminer le type de

caractéristique de sortie, ils définissent un paramètre β qui rend compte du type de caractéristique de sortie.

$$\beta = 2a / a_0 \quad \text{Eq. 3-12}$$

où a est la demie-largeur du canal et a_0 la zone déplétée de la jonction P+/N- entre la grille et le canal lorsque $V_{GS} = 0V$, β sera nommé facteur de pincement du canal. Il détermine le degré de pincement du canal qui correspond aux différentes caractéristiques de sortie (Figure 3-18).

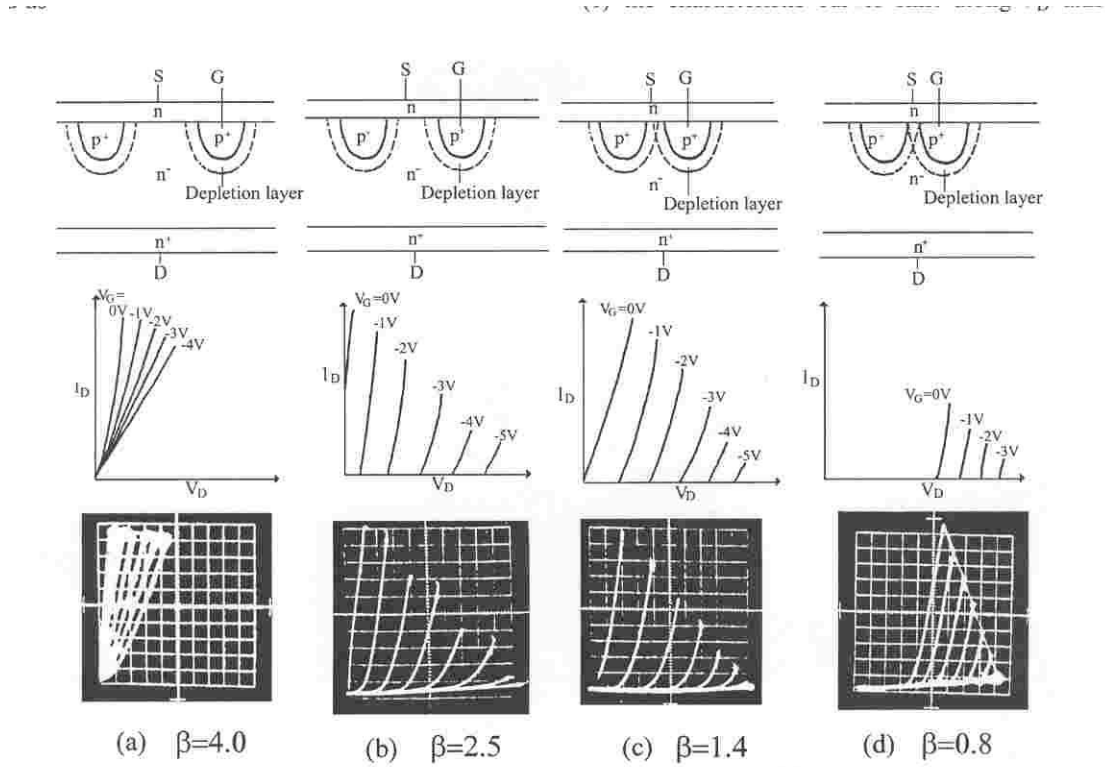


Figure 3-18. Caractéristiques de sortie de JFET vertical pour différents β [WANG04]

Plus le β est petit, plus le canal est pincé et la barrière de potentiel est élevée. Si $\beta \geq 4$ (largeur du canal est $a \geq 4a_0$), le canal n'est jamais pincé et les caractéristiques du JFET sont celles de la Figure 3-18 a. Quand $\beta = 2.5$ le canal est encore passant à $V_{GS} = 0V$ et peut se pincer pour des valeurs de V_{GS} plus faibles que -0.5 à $-1V$; les caractéristiques de sortie sont mixtes suivant les polarisations et peuvent passer du comportement pentode à celui de triode. Quand β diminue autour de 1.4, le canal se trouve initialement (i.e. à faible V_{DS}) à la limite du pincement et les caractéristiques sont de type triode (Figure 3-18 c). En diminuant encore β pour se rapprocher de 0.8, le canal est initialement pincé, le JFET est normalement bloqué (Figure 3-18 d) et ne peut conduire qu'à V_{DS} élevé. Les caractéristiques sont encore de type triode.

En ajustant β on peut obtenir les caractéristiques de sortie souhaitées. Par exemple pour avoir un composant de type mixte, le canal ne doit pas être pincé pour $V_{GS}=0V$ et il doit se pincer pour une tension négative V_{Goff} .

Dans le Tableau 3-2 sont donnés des exemples de types de caractéristiques de sortie d'un JFET pour différentes valeurs de paramètres géométriques et physiques.

$N_D(10^{14} \text{ cm}^{-3})$	$a_0(\mu)$	$3a_0(\mu)$	$d_c = \beta a_0(\mu)$	β	$L(\mu m)$	$L/2a$	$L/3a_0$	$I-V$ characteristics type
2.0	2.2	6.6	15.1	6.88	3.0	0.20	0.45	Resistance
2.0	2.2	6.6	5.0	2.27	2.0	0.40	0.30	Triode-like
10.0	1.0	3.0	2.5	2.47	1.0	0.40	0.33	Triode-like
10.0	1.0	3.0	2.4	2.40	1.0	0.42	0.33	Triode-like
2.0	2.2	6.6	6.0	2.73	2.8	0.47	0.42	Mixed
2.0	2.2	6.6	6.0	2.73	3.0	0.50	0.45	Mixed
2.0	2.2	6.6	5.4	2.45	2.8	0.52	0.42	Mixed
10.0	1.0	3.0	2.5	2.50	1.4	0.56	0.47	Mixed with more pentode
2.0	2.2	6.6	4.8	2.16	2.7	0.56	0.41	Mixed with more pentode
2.0	2.2	6.6	4.7	2.14	2.7	0.57	0.41	Mixed with more pentode
10.0	1.0	3.0	2.4	2.40	2.0	0.83	0.67	Less saturating pentode
3.0	1.8	5.4	4.2	2.30	3.7	0.83	0.69	Less saturating pentode

Tableau 3-2. Type des caractéristiques de sortie pour les différentes géométries du canal du JFET
[WANG04]

Selon le rapport $L/3a_0$ on peut décrire les caractéristiques de sorties pour un composant normalement passant :

- Si $L/3a_0$ a une valeur comprise entre 0.3 et 0.5, les caractéristiques du transistor JFET sont du type pentode ou mixte.
- Quand la valeur de $L/3a_0$ approche la valeur de 0.7, les caractéristiques de sortie sont de type pentode.
- Quand la valeur de $L/3a_0$ s'approche de 1, le JFET a des caractéristiques de type pentode.
- Pour un JFET ayant un long canal (rapport L/a très grand), l'effet de modulation créé par la barrière de potentiel disparaît, le fonctionnement s'approche à celui du JFET latéral classique (réseau de type pentode).

Dans ce qui vient d'être présenté, nous voyons qu'il est possible d'estimer le comportement du JFET vertical à partir de certains de ses paramètres géométriques. Les quelques résultats donnés ci-dessus sont issus d'expérimentations effectuées sur un nombre limité de dispositifs. Ils ne nous permettent pas par extrapolation de conclure sur le dimensionnement du JFET dans notre application. En effet ces approches ne proposent pas de modèles analytiques permettant la prédiction des caractéristiques I-V de dispositifs quelconques. Les phénomènes évoqués étant au moins bidimensionnels, une approche analytique du problème est délicate ; mais

elle sera quand même tentée un peu plus loin. Par contre, la simulation par éléments finis (Sylvaco dans notre cas) reste l'outil privilégié pour bien comprendre les phénomènes mis en jeu, c'est pourquoi nous allons maintenant présenter quelques résultats de simulation avant de tenter une modélisation analytique simplifiée du problème. Le simulateur aura quoiqu'il en soit le dernier mot pour ajuster finement le dessin de notre JFET.

II.1.b. Simulations par éléments finis

Des simulations par éléments finis nous ont permis d'obtenir des résultats plus précis et complets pour les caractéristiques de sortie du JFET vertical.

Compte tenu du diagramme de cheminement imposé par la réalisation du MOSFET principal, nous avons deux possibilités de dopage pour les régions de grille : le P+ et le P (voir chapitre 2). La profondeur de jonction P+/N- ne doit pas excéder 4 à 5 μm si l'on ne veut pas pénaliser les caractéristiques du porte-canal du MOSFET principal. Pour le caisson P, la valeur de la profondeur de jonction est imposée par la réalisation du canal du MOSFET principal. Le paramètre principal du JFET sur lequel nous pourrions jouer est la largeur du canal ; sa valeur nous permettra d'ajuster le seuil V_{GS} de pincement (pour un V_{DS} donné). On peut noter qu'il faudra prendre soin de vérifier la tenue en tension de la jonction grille-source, cet aspect du dimensionnement sera en effet assez critique. Afin de déterminer les types de caractéristiques de notre JFET, nous avons effectué des simulations par éléments finis. Ces simulations nous ont permis d'obtenir un dimensionnement des paramètres géométriques, physiques et technologiques du JFET. La zone active de la structure simulée est montrée sur la Figure 3-19. Les profondeurs des caissons de grille ont été de 5 μm avec une concentration en surface de $3.10^{16} \text{ at/cm}^3$ et pour une largeur de canal de 3.5 μm (toutes les dimensions sont après diffusion). Ces valeurs sont tirées du procédé du MOSFET principal et seront optimisées par la suite afin d'obtenir les bons seuils de pincement du JFET pour notre application.

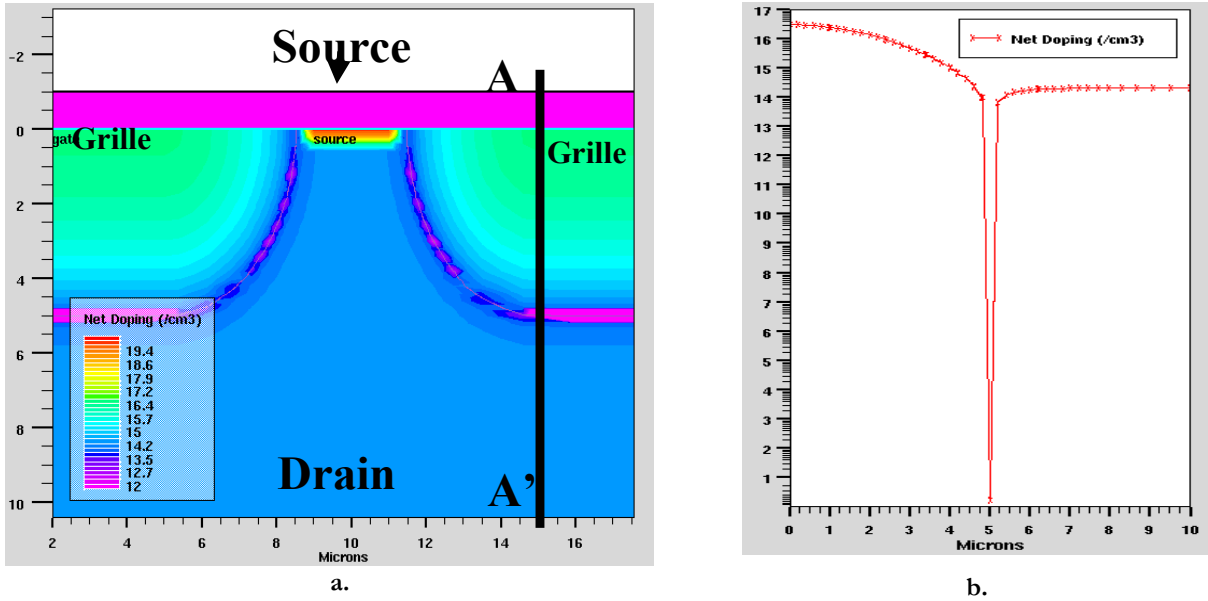


Figure 3-19. a. Structure simulée du JFET vertical avec $2a=2\mu\text{m}$ et $L=5\mu\text{m}$ et b. le profil du dopage de grille

Sur la Figure 3-20 nous pouvons voir les caractéristiques de sortie I_{DS} (V_{DS}) et I_{DS} (V_{GS})

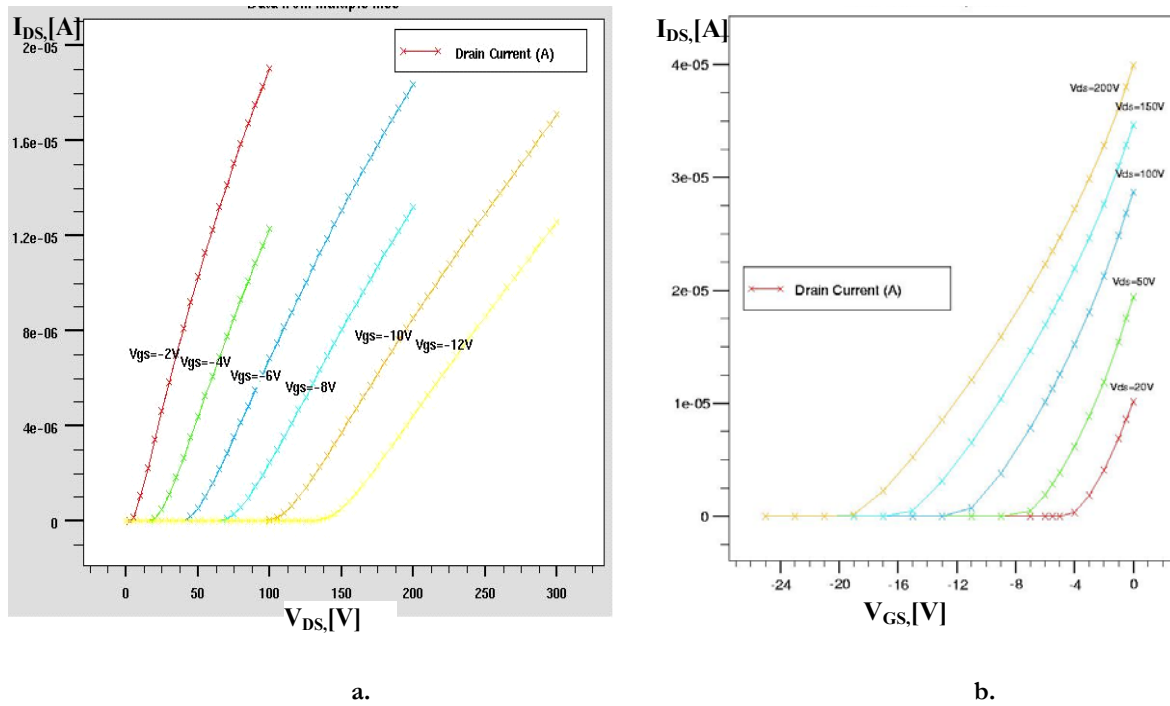


Figure 3-20. Caractéristiques de sortie a. $I_{\text{DS}}(V_{\text{DS}})$ et b. $I_{\text{DS}}(V_{\text{GS}})$ du JFET vertical avec une distance entre les zones de grille de $2a=0.8\mu\text{m}$

Nous vérifions par la simulation que le JFET vertical a des caractéristiques de sortie de type triode. Le but de notre dimensionnement sera d'obtenir un JFET vertical qui pince pour une tension V_{DS} de 400V et une tension $V_{\text{GS}} = -15\text{V}$. Afin de faire cette optimisation nous avons mené une étude bibliographique sur les modèles du JFET vertical, ce qui nous permet d'obtenir les seuils de pincement en fonction des paramètres géométriques, physiques et technologiques. Nous allons faire un point sur ces modèles et les possibilités de les utiliser pour le

dimensionnement de notre JFET dans la partie II-3. Pour obtenir les bonnes valeurs de la tension de pincement du JFET vertical on peut jouer sur la distance entre les grilles. Plus les zones des grilles sont éloignées de la source, meilleure est la tenue en tension de la grille. Cependant, les grilles et la source ne doivent pas être trop éloignées sinon on risque de ne plus pouvoir bloquer le composant (Figure 3-18). Si les zones de la source et de la grille se touchent, il faut que la jonction ait une marge de tenue en tension supérieure à la tension de charge maximale de la capacité C. C'est alors, un compromis à faire entre la tenue en tension des jonctions grille-substrat et source-substrat et les seuils de pincement. Nous pouvons choisir entre les valeurs de dopage P+ ou bien P du porte-canal du MOSFET. Nous avons fait une étude sur la tenue en tension selon les valeurs des dopages des régions des grilles et de la source.

II.2. Dopage des grilles

Compte tenu de la structure du JFET vertical que nous cherchons à réaliser, il nous faudra vérifier la tenue en tension de notre dispositif ; une des régions critiques étant la jonction grille-source. En effet, si la largeur du canal est très faible, les grilles peuvent toucher la zone N+ de source qui elle-même devra avoir une largeur minimale liée aux contraintes technologiques (finesses des lithographies, imprécisions sur les alignements des masques...).

Compte tenu du nombre et de la complexité des paramètres (dopage des caissons de grille P+ ou P dont les profils varient de manière importante dans la zone critique grille-source, largeur de canal, largeur du contact de source, ...), nous avons préféré utiliser des simulations à éléments finis plutôt que les formules analytiques existantes afin de prévoir la tenue en tension d'une jonction PN. En effet ces dernières ne sont pas suffisamment précises pour notre application, les effets bidimensionnels de la répartition du champ électrique ne sont notamment pas pris en compte. La structure que nous avons étudiée est présentée sur la Figure 3-21. Pour les simulations, la dose en surface de la zone de la source est de 5.10^{19} at/cm³ et nous avons fait varier la dose en surface de la zone de grille.

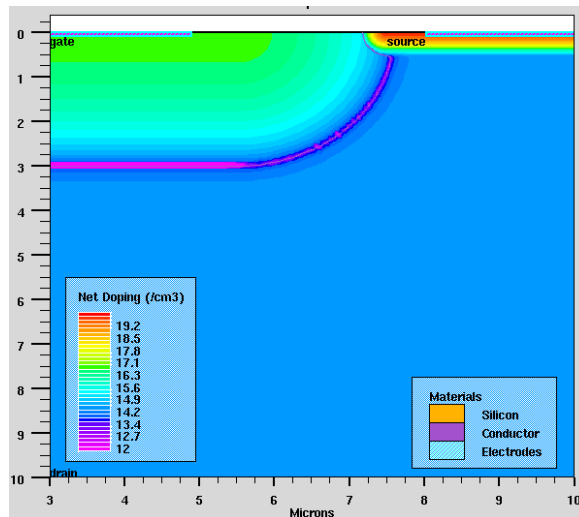


Figure 3-21. Structure étudiée pour la tenue en tension de la jonction grille-source

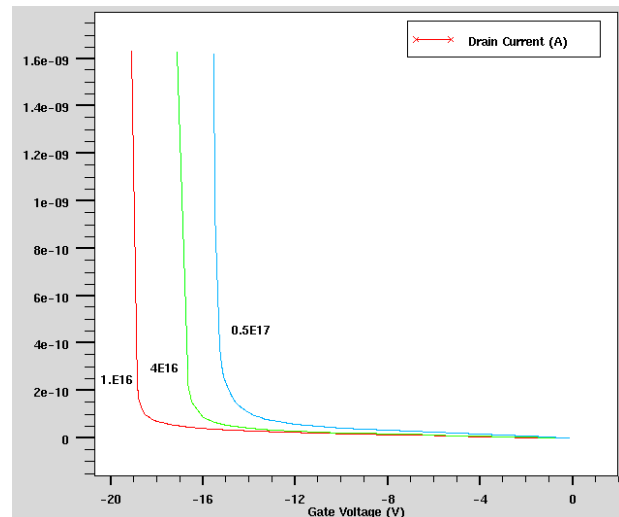


Figure 3-22. Résultats de simulation de la tenue en tension de la jonction grille-source pour des différents dopages de la grille

D'après les résultats on peut voir que si on veut que notre jonction supporte une tension grille-source supérieure ou égale à 15V, la dose en surface de la zone P ne doit pas excéder $5.10^{16} \text{ at/cm}^3$. D'un autre côté une faible dose de P va diminuer le seuil de tension du MOSFET principal.

Après avoir estimé le dopage adéquat, il faudra connaître l'évolution du seuil de mise en conduction de notre JFET en fonction de V_{GS} et V_{DS} . Ce seuil dépend de la géométrie du JFET. Les derniers paramètres qu'ils nous restent à déterminer et qui influent sur ce seuil sont la largeur $2a$ et la profondeur du canal L . En fait, nous avons plus de liberté pour faire varier la largeur du canal que la profondeur des grilles. Comme nous allons nous servir du caisson P, qui forme le porte-canal du MOSFET principal pour les grilles du JFET, nous ne pouvons pas faire varier de plus sa profondeur, que nous considérons optimisée par le composant principal (MOSFET). On peut noter qu'une autre possibilité pour réaliser des caissons de grilles plus profonds aurait été d'utiliser les diffusions P d'une terminaison de tenue en tension du type poche. Dans notre réalisation nous n'avons pas prévu la réalisation de ce type de terminaison, mais c'est une possibilité qu'il resterait à étudier. Les zones de grilles du JFET auraient alors eues une profondeur plus importante. Cependant, étant donnée le faible niveau de dopage des poches, leurs capacités à bloquer le canal du JFET auraient été plus faibles ; la largeur du canal dans ce cas aurait été petite et plus difficile à contrôler à cause d'un avancement latéral et vertical important des zones diffusées des grilles.

II.3. Optimisation du seuil de pincement du JFET vertical

Nous avons menées une étude bibliographique sur les modèles existants du JFET fonctionnant en mode triode, afin de faciliter notre conception. Notre étude s'est plus particulièrement portée sur des modèles donnant les seuils de pincement d'un JFET vertical en fonction de ses caractéristiques géométriques [BULCEA87], [STROLLO91], [WANG99], [GUPTA82], [WANG04-2], [ADLER80]. Dans les paragraphes suivants nous allons détailler certains de ces modèles afin de démontrer leurs limites pour notre application.

II.3.a. Modèle empirique d'Adler

Dans [ADLER80] (Figure 3-23) une relation empirique pour le pincement du JFET est donnée :

$$\mathbf{G} = 2,04 \cdot 10^{-3} \cdot e^{9,528\sqrt{\mathbf{A}}} (\mathbf{V} - 1)^2 \quad \text{Eq. 3-13}$$

$\mathbf{G}$ est le gain de pincement du JFET, $\mathbf{V}$ est la tension de grille réduite comme nous l'avons mentionnée dans le paragraphe précédent. $\mathbf{A}$ est le rapport entre la profondeur de la zone de grille ($\mathbf{L}$) et la distance entre les deux grilles ($2a$) (sur la Figure 3-23 indiquée comme « aspect ratio »).

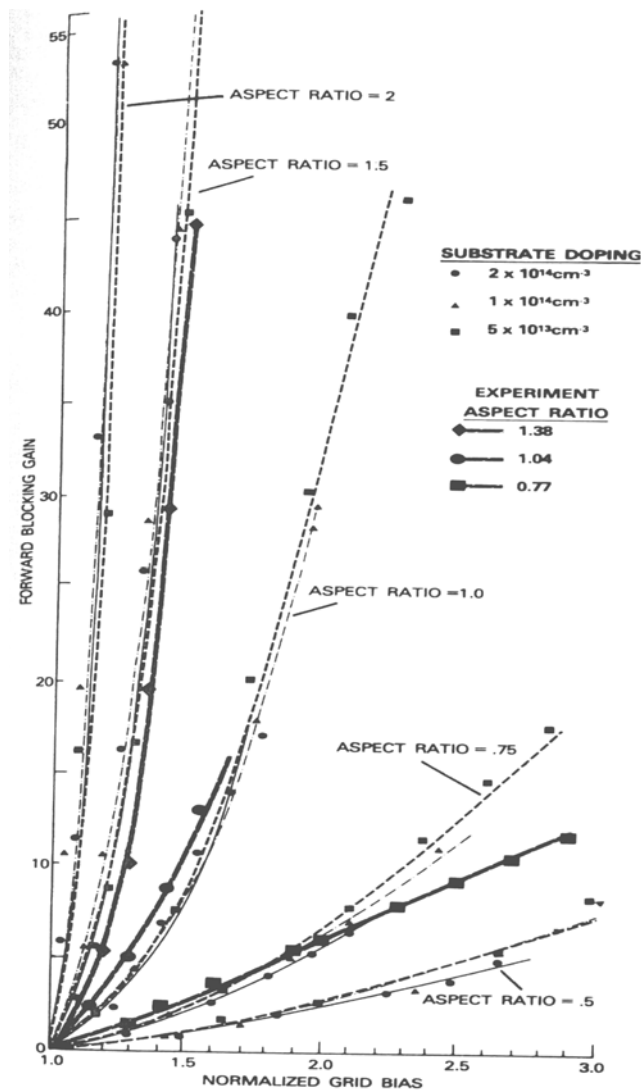


Figure 3-23. Gain du JFET vertical expérimental et calculé par une formule empirique proposée par [ADLER80] pour des différents rapport $A=L/2a$

Sur la Figure 3-23 sont présentés les résultats expérimentaux et issus de la formule pour variation du gain de pincement en fonction du rapport $L/2a$. Le gain de pincement est présenté en fonction de la tension de grille « réduite », c'est-à-dire rapporté à une tension de grille correspondant à un gain nul (cette tension appliquée aux grilles pour la quelle les zones des charges d'espaces autour les grilles se touchent et forment une barrière de potentiel, dans ces conditions les potentiels du drain et de la source sont égales à zéro). Cette présentation à l'intérêt d'être peu dépendante des valeurs de paramètres autres que le rapport $L/2a$ (comme le dopage du substrat ou les grilles). Cette expression analytique nous donne le gain d'un transistor JFET vertical en fonction du rapport $L/2a$. Elle est valable pour un composant à caissons de grilles rectangulaires ce qui n'est malheureusement pas notre cas puisque nous avons un composant dont les caractéristiques électriques sont fortement dépendantes de paramètres technologiques. Il faut remarquer aussi que pour deux composants ayant le même rapport géométrique $L/2a$, mais

avec des profondeurs de grille et des largeurs du canal différentes, les gains sont différents. Cela est dû au fait qu'en augmentant la profondeur des grilles, le potentiel du drain pénètre plus difficilement dans le canal. Donc le composant se bloque pour une tension V_{GS} moins grande par rapport à un autre composant ayant des régions de grille moins profondes.

II.3.b. Modèle BULCEA

Le modèle développé par Bulcea [BULCEA87] permet d'obtenir le gain d'un JFET vertical en fonction de ses paramètres géométriques et physiques. Ce modèle définit une fonction analytique qui permet de décrire la cartographie du potentiel et du champ électrique dans le canal. Le modèle permet aussi de calculer la valeur et la position de la barrière de potentiel. On peut déterminer alors, en fonction des tensions appliquées sur les électrodes, si le composant est passant ou bloqué. Nous rappelons ici la Figure 3-14 illustrant le champ électrique et le potentiel dans un JFET en situation de blocage.

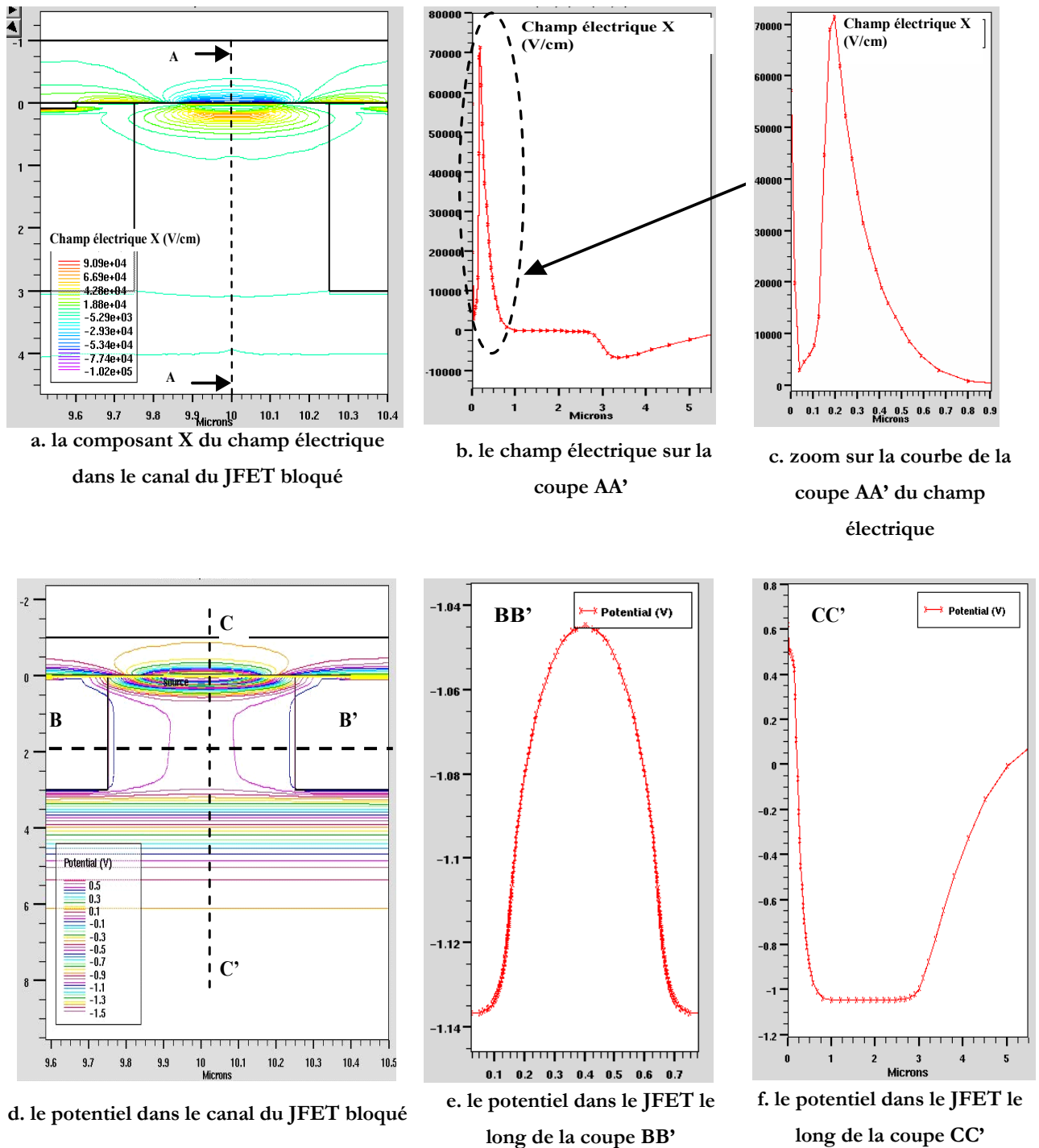


Figure 3-24. Le JFET en situation du blocage

L'interaction entre les deux champs électriques créés par la polarisation grille-source et drain-source crée une barrière de potentiel qui empêche la circulation des porteurs (des électrons) dans le composant. La position du retournement de champ au centre du canal (sur la droite AA' sur la Figure 3-24) dépend des niveaux de potentiels appliqués sur la grille et sur le drain.

Le courant traversant la barrière est contrôlé par la hauteur de la barrière $|\phi_{\min} - \phi(0,0)|$, où $\phi_{\min}$ est le potentiel minimum dans le canal et $\phi(0,0)$ le potentiel de canal en $\mathbf{x}=\mathbf{0}$. Ainsi, en déterminant une fonction analytique $\phi(x,y)$ qui décrit le potentiel électrostatique en 2D, on peut avoir l'état du composant en fonction de ces paramètres géométriques, physiques et les valeurs de polarisation des électrodes.

Nous avons utilisée ce modèle pour déterminer le gain de pincement de notre JFET vertical. Pour notre application nous avons besoin d'un gain proche de 14 car nous visons une tension d'alimentation de notre commande rapprochée de 15V pour une tension commutée de 400V ($G=400V/15V$). Les profondeurs des zones de grille ne doivent pas excéder les 4 à 5 μm et la largeur du canal est à déterminer. Nous devons donc dimensionner le rapport $L/2a$ permettant d'obtenir le gain adéquat.

Détermination de la fonction $\phi(x,y)$

On suppose le composant bloqué. Pour simplifier l'analyse on accepte que la région du canal (rectangle AA'BB') soit complètement déplétée (Figure 3-25). Nous nommerons la région située dans le rectangle AA'BB' « région intrinsèque » (région dans la quelle se trouve la barrière de potentiel) et la zone délimitée par le rectangle CDD'C' « région extrinsèque ». Pour simplifier l'analyse nous considérerons au bout du canal un drain intrinsèque polarisé sous V_{DS}^* . La relation entre V_{DS}^* et V_{DS} est donnée par l'équation Eq. 3-4. Pour les conditions limites nous allons admettre que les potentiels le long de la jonction grille-canal sont constants (sur la Figure 3-25 les côtés du rectangle AB et A'B').

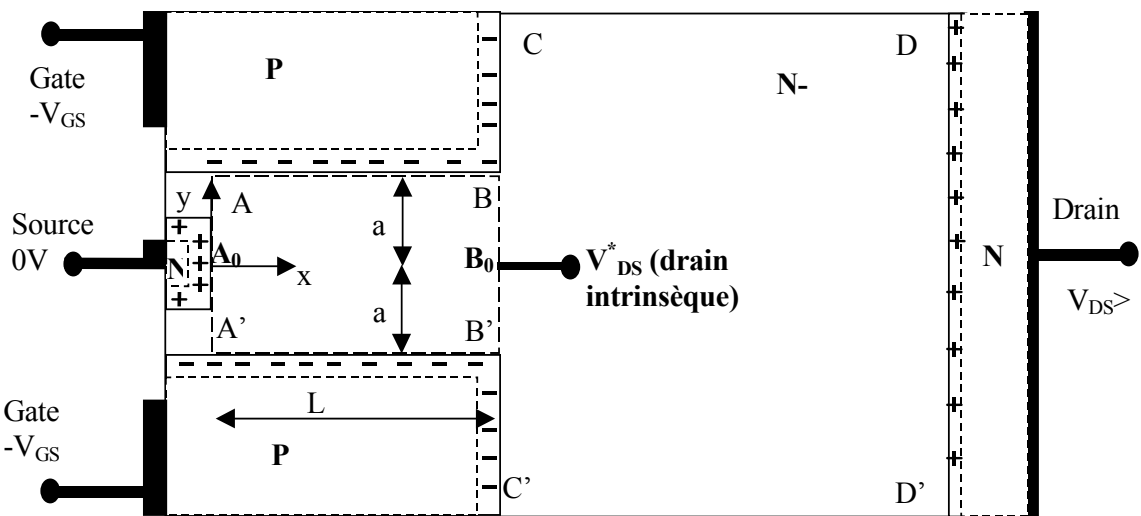


Figure 3-25. Structure du JFET vertical utilisée dans le modèle de Baliga

La fonction de potentiel doit satisfaire l'équation de Poisson :

$$\frac{\partial^2 \phi(x, y)}{\partial x^2} + \frac{\partial^2 \phi(x, y)}{\partial y^2} = -\frac{qN_D^-}{\epsilon_0 \epsilon_{Sir}} \quad \text{Eq. 3-14}$$

q est la charge élémentaire, et N_D^- est le dopage du canal.

En utilisant le principe de superposition, on peut écrire la fonction de potentiel dans le canal comme suit :

$$\phi(x, y) = \phi_p(y) + \phi_0(x, y) \quad \text{Eq. 3-15}$$

où $\phi_p(y)$ est la composante de Poisson de la fonction $\phi(x, y)$ due aux charges dans le canal et $\phi_0(x, y)$ est la composante 2D de Laplace qui représente le potentiel dans le canal créé par les tensions appliquées aux électrodes.

Tous les potentiels sont référencés à la source ($\phi(0,0)=0V$) et N_A et N_D^+ sont les dopages respectifs de la grille et des contacts de source et de drain.

La composante de Poisson est définie selon l'expression classique basée sur l'approximation de la zone de déplétion :

$$\phi_p(y) = \phi_p \left[1 - \left(\frac{y}{a} \right)^2 \right] + \phi_G \quad \text{Eq. 3-16}$$

où ϕ_G est le potentiel de la grille : $\phi_G = -|V_{GS}| - \phi_{BO}^- - \phi_0$,

ϕ_{BO}^- et ϕ_0 sont les tensions de seuil entre la source et le canal et entre la grille et le canal, calculées comme suit :

$$\phi_{BO}^- = \frac{kT}{q} \ln \frac{N_D^- \cdot N_A}{n_i^2} > 0 \quad \text{Eq. 3-17}$$

$$\phi_0 = \frac{kT}{q} \ln \frac{N_D^+}{N_D^-} > 0 \quad \text{et} \quad \text{Eq. 3-18}$$

$$\phi_p = \frac{qN_D^- \cdot a^2}{2\epsilon_0 \epsilon_{Sir}} > 0 \quad \text{Eq. 3-19}$$

Alors on peut écrire pour la tension de pincement V_p

$$V_p = \phi_p - \phi_{BO}^- > 0 \quad \text{Eq. 3-20}$$

en remplaçant ϕ_G dans Eq. 3-16 on obtient

$$\phi_p(y) = -(|V_{GS}| - V_p + \phi_0) - \phi_p \left(\frac{y}{a} \right)^2 \quad \text{Eq. 3-21}$$

La fonction ϕ_0 vaut :

$$\phi_0(x, y) = \left[V_A \exp\left(\frac{-\pi x}{2a}\right) + V_B \exp\left(\frac{\pi y}{2a}\right) \right] \quad \text{Eq. 3-22}$$

où V_A et V_B sont des constantes à déterminer.

L'expression complète de la fonction de potentiel devient :

$$\phi(x, y) = -(|V_{GS}| - V_P + \phi_0) - \phi_P \left(\frac{y}{a}\right)^2 + \left[V_A \exp\left(\frac{-\pi x}{2a}\right) + V_B \exp\left(\frac{\pi y}{2a}\right) \right] \cos\left(\frac{\pi y}{2a}\right) \quad \text{Eq.3-23}$$

Les constantes V_A et V_B sont déterminées en imposant des conditions limites aux points A_0 et B_0 .

$$\phi(0,0) = 0 ; \phi(L,0) = V_{DS}^*$$

ce qui donne :

$$V_A = \frac{\mu_0}{\mu_0 + 1} \left[(|V_{GS}| - V_P + \phi_0) - \frac{V_{DS}^*}{\mu_0 - 1} \right] \quad \text{Eq. 3-24}$$

$$V_B = \frac{\mu_0}{\mu_0^2 - 1} \left[V_{DS}^* + \frac{\mu_0 - 1}{\mu_0} (|V_{GS}| - V_P + \phi_0) \right], \text{ où} \quad \text{Eq. 3-25}$$

$$\mu_0 = \exp\left(\frac{\pi L}{2a}\right) > 1 \quad \text{Eq. 3-26}$$

μ_0 est appelé gain électrostatique intrinsèque. Il caractérise l'importance relative du drain par rapport à la grille pour le contrôle du potentiel électrostatique dans le canal.

Cartographie du potentiel

La résolution de la fonction $\phi(x, y)$ nous donne une cartographie du potentiel dans la région intrinsèque en 2D selon les tensions appliquées sur les électrodes de la grille et du drain. Dans le cas de la Figure 3-26, $|V_{GS}| - V_P = 10V$ et $V_{DS}^* = 40V$. Cette cartographie est donnée pour la surface délimitée par le rectangle AA'BB'. Les paramètres du JFET donnés dans le tableau 3 sont ceux qui ont servi aux calculs donnant la cartographie de la Figure 3-26.

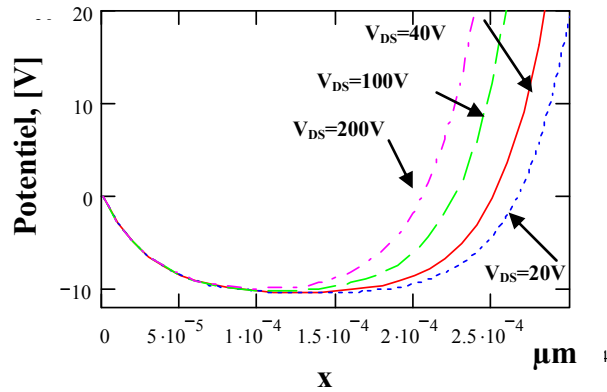


Figure 3-27. Evolution du potentiel ($\phi(x,0)$) pour $|V_{GS}| - V_P = 10V$ et pour différentes valeurs de V_{DS}^*

« Gain de pincement » du JFET vertical

Le « gain de pincement » du JFET vertical est défini comme étant le rapport entre la tension appliquée sur le drain et la tension nécessaire à appliquer sur la grille afin de bloquer le dispositif.

$$G^* = \frac{V_{DST}^*}{|V_{GST}|} \quad \text{Eq. 3-30}$$

où V_{DST}^* et V_{GST} sont les tensions de drain et de grille correspondant à la limite du blocage.

Le gain peut être calculé à partir de l'équation Eq. 3-31 pour une hauteur $\phi_{\min}$ de la barrière de potentiel. On suppose ici le seuil de conduction $\phi_{\min} = 0V$.

$$-|V_{GS}| + V_P - \phi_0 + 2\sqrt{V_A(V_{GS}, V_{DS}^*)V_B(V_{GS}, V_{GS}^*)} = \phi_{\min} \quad \text{Eq. 3-31}$$

Les résultats obtenus pour le gain de pincement en fonction des différents rapports $L/2a$ sont présentés sur la Figure 3-28.

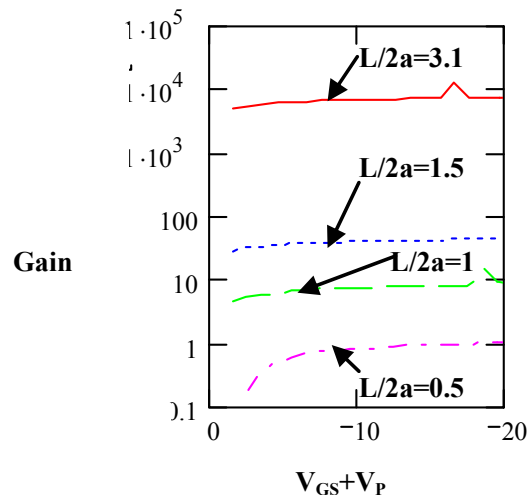


Figure 3-28. Gain du JFET vertical pour différents rapports géométriques

Il faut rappeler que ce modèle considère que les zones de grilles sont parallèles et homogènes. Or, dans le JFET réel réalisé, les zones de grille sont diffusées et la largeur du canal est non constante. De plus comme ces zones sont peu profondes, il est difficile de déterminer précisément une longueur et une largeur de canal. Un autre inconvénient de ce modèle est qu'il ne prend pas en compte la largeur de la source. En effet, étant donnée la faible largeur du canal vers laquelle le dimensionnement va nous conduire, la diffusion N+ permettant le contact de source va nécessairement pénétrer dans les caissons de grille. Or, nous verrons plus loin dans la partie traitant du dessin du JFET que la largeur de la source a une forte influence sur le gain de pincement. Il nous faut donc estimer la précision d'un tel modèle compte tenu de ses hypothèses simplificatrices et savoir s'il peut nous permettre de dimensionner notre JFET sans avoir recours à une phase d'optimisation par des simulations de type éléments finis. Nous avons cependant effectué une série de simulations par éléments finis afin d'estimer l'écart existant entre ce modèle et le JFET avec des grilles homogènes. Les résultats sont synthétisés sur la Figure 3-29 et dans le Tableau 3-4.

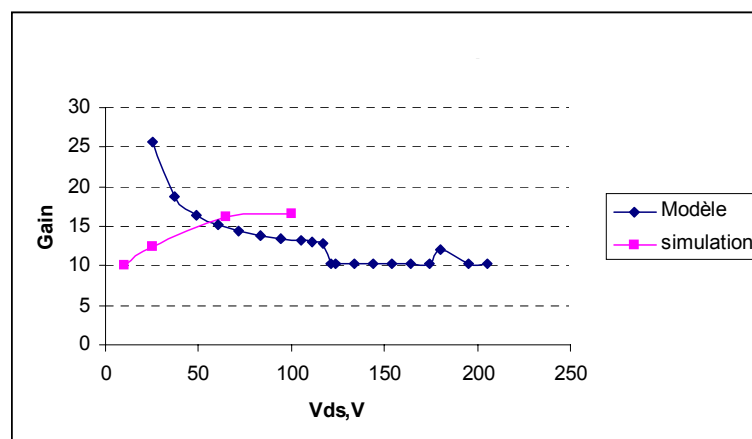


Figure 3-29. Comparaison des valeurs issues de simulations sous Sylvaco et du modèle analytique pour le calcul du gain de pincement du JFET vertical en fonction de V_{DS} et pour un rapport géométrique de $L/2a=1$ pour un JFET avec des grilles homogènes

Gain $L/2a=1$	V_{DS} (V)	V_{GS} (V)
10	10	-1
12.5	25	-2
16.25	65	-4
16.6	100	-6

Gain $L/2a=1.5$	V_{DS} (V)	V_{GS} (V)
60	60	-1
60	120	-2

Tableau 3-4. Gain du JFET pour $L/a=1$ et $L/a=1.5$ (simulation Sylvaco)

La Figure 3-29 et le tableau 3-4 montrent que le modèle analytique décrit précédemment donne des résultats pas très éloignés des résultats de simulation. Cependant les gains de pincement des JFET ayant le même rapport géométrique $L/2a$, mais l'un avec des grilles homogènes et l'autre avec des grilles diffusée, sont très différents. Pour cette raison nous ne pouvons pas utiliser ce modèle. C'est pourquoi nous allons tenter d'améliorer celui-ci.

II.3.c. Tentative d'amélioration du modèle JFET

Afin de faciliter la conception et de réduire le nombre de simulations nécessaires au dimensionnement du JFET dans notre application, nous avons cherché à développer un modèle semi-analytique assez précis. Ce modèle permet d'obtenir correctement le gain de pincement, ce qui va nous permettre de dimensionner la largeur du canal de notre JFET tout en en tenant compte des contraintes liées à la réalisation des caissons de grille et du contact de la source. Ce modèle a été présenté dans [MITOVA04]. Des simulations nous ont permis de comprendre l'influence des paramètres géométriques et physiques du JFET vertical sur les caractéristiques de

sortie et plus précisément sur le gain de pincement. En effet, pour prendre en compte les effets bidimensionnels liés aux caractéristiques des caissons de grille diffusés et les effets de proximité, il n'est pas possible d'en rester à une approche purement analytique et le recours à la simulation par éléments finis est indispensable. Néanmoins, il nous a semblé intéressant de tenter d'élaborer un modèle analytique empirique basé sur un nombre limité de simulations. En effet, toutes les simulations effectuées nous ont permis de remarquer que pour une structure donnée du JFET vertical, la cartographie des potentiels de la zone de canal au moment du pincement est quasiment la même pour tous les couples V_{DS} - V_{GS} . En particulier l'équipotentielle 0V se trouve toujours quasiment au même endroit dans le canal au moment du pincement.

Donc si nous connaissons l'emplacement de cette équipotentielle pour un couple V_{DS} - V_{GS} conduisant à un seuil de pincement, on peut en déduire les autres valeurs de tout autre couple V_{DS} - V_{GS} en résolvant l'équation de Poisson de façon unidimensionnelle.

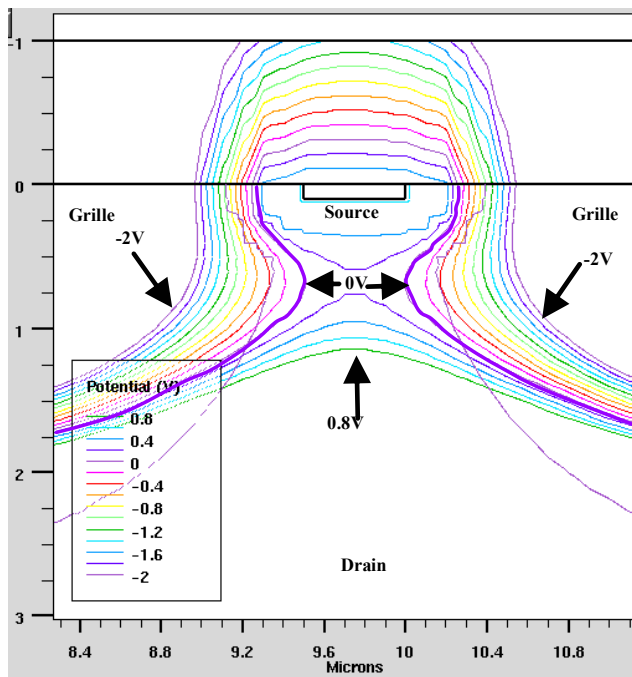


Figure 3-30. Cartographie du potentiel pour un seuil de pincement à $V_{GS}=-9V$ et $V_{DS}=108V$

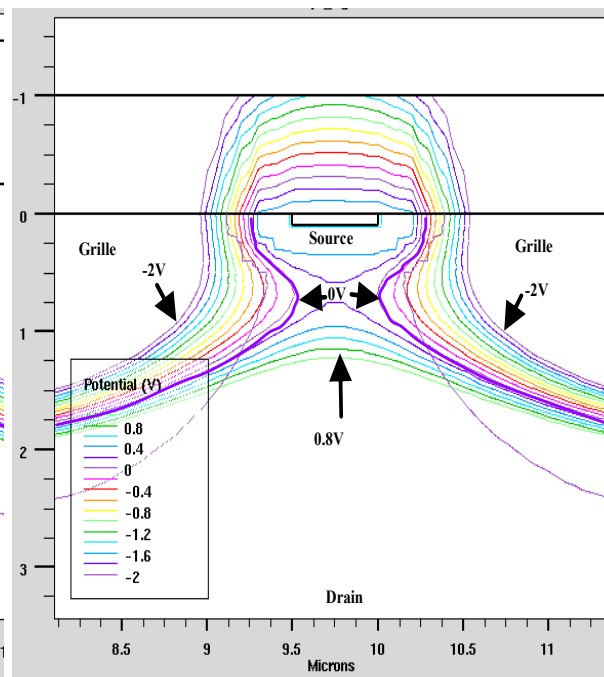
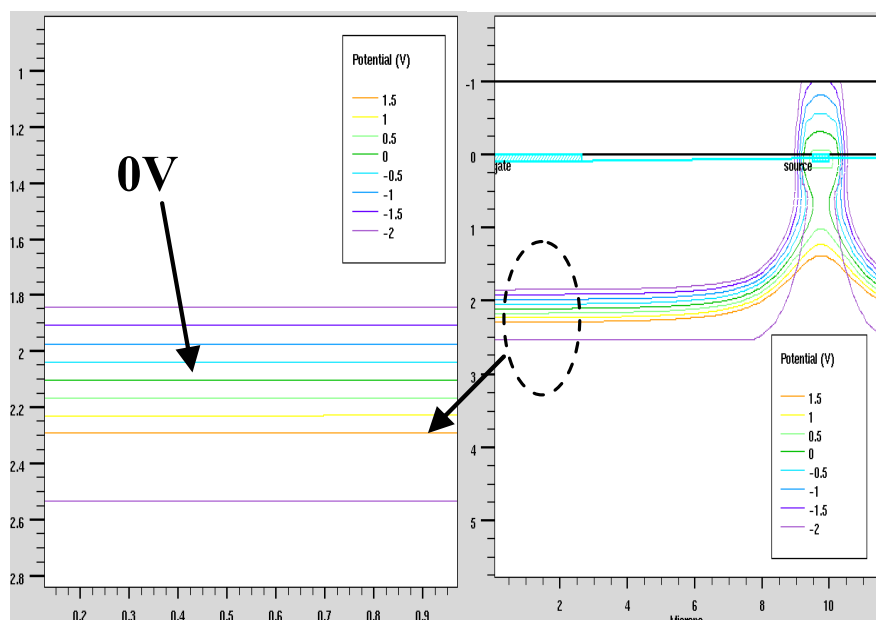


Figure 3-31. Cartographie du potentiel pour un seuil de pincement à $V_{GS}=-6V$ et $V_{DS}=94V$

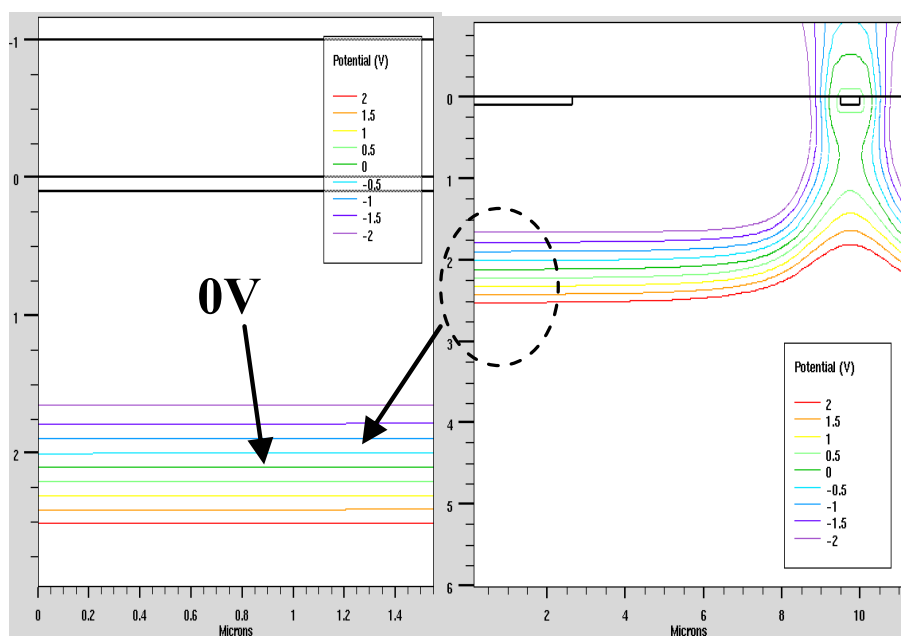
II.3.d. Principe de l'approche analytique

L'idée est d'observer la position de l'équipotentielle 0V lorsque l'on se trouve à la limite de pincement. Si l'on observe la jonction P-/Nv assez loin de la zone de canal de sorte que l'évolution du champ électrique et des équipotentielles soient unidirectionnelle (à droite sur les coupes données Figure 3-33), les diverses simulations ont montré que la position de l'équipotentielle 0V se trouvait quasiment toujours à la même distance de la jonction

métallurgique. Comme d'une part la position de cette équipotentielle ne dépend que des potentiels de grille et de drain et du profil de dopage du caisson P- et que d'autre part les phénomènes sont dans la zone quasi unidirectionnels, il est facile d'estimer par simulation la position de cette équipotentielle dans un cas particulier du couple V_{DS} - V_{GS} , puis d'extrapoler à tous les autres couples possibles en résolvant l'équation de Poisson dans cette zone.



a.



b.

Figure 3-32. Cartographie du potentiel dans un JFET au seuil de blocage montrant le même emplacement de l'équipotentielle 0V pour deux différentes polarisations de V_{GS} et de V_{DS} a. $V_{DS}=108V$, $V_{GS}=-6V$ b. $V_{DS}=42V$, $V_{GS}=-3V$

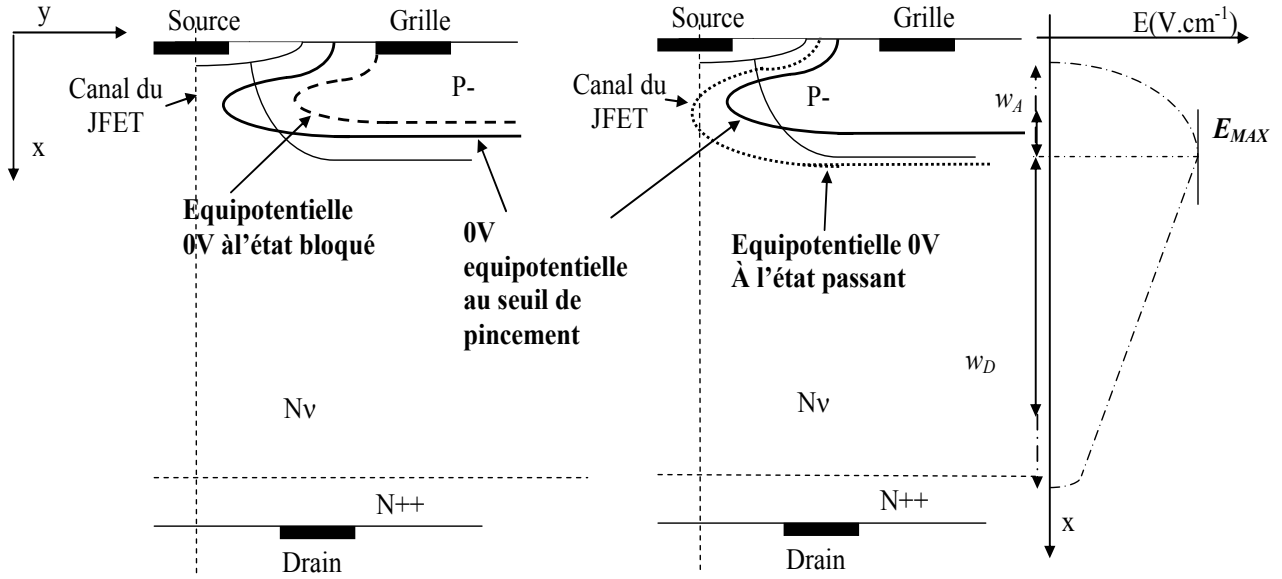


Figure 3-33. Jonction PN polarisée

Equations du modèle

A l'équilibre thermodynamique, l'équipotentielle de 0V se trouve très proche de la jonction métallurgique (pour une jonction plane). A l'aide de l'équation de Poisson nous pouvons calculer facilement le champ électrique et le potentiel le long de la jonction et en déduire l'extension des zones de charge d'espace de part et d'autre de la jonction ainsi que la valeur du champ maximal (pour des concentration homogènes et une jonction non tronquée).

$$E_{MAX} = \frac{q \cdot N_D \cdot w_D}{\epsilon_{sir} \cdot \epsilon_0} = \frac{q \cdot N_A \cdot w_A}{\epsilon_{sir} \cdot \epsilon_0} \quad \text{Eq. 3-32}$$

où N_A est la concentration des accepteurs (at/cm³),

N_D est la concentration des donneurs (at/cm³)

w_A la largeur de la ZCE dans la zone P (en µm)

w_D la largeur de la ZCE dans la zone N (en µm)

Comme le champ dérive du potentiel, il est facile en intégrant l'équation Eq. 3-32 d'obtenir la tension totale tenue par la jonction.

$$V_{PN} = \frac{q \cdot N_D \cdot w_D^2}{2 \cdot \epsilon_{sir} \cdot \epsilon_0} = \frac{q \cdot N_A \cdot w_A^2}{2 \cdot \epsilon_{sir} \cdot \epsilon_0} \quad \text{Eq. 3-33}$$

La jonction de la grille a un profil diffusé et une telle jonction a une tenue en tension supérieure à une jonction abrupte. Nous avons donc introduit dans les équations pour la région de la grille l'expression de la variation du dopage en fonction de la profondeur :

$$N(x) = N_A e^{\frac{-x^2}{4D_{n2}t_2}} \quad \text{Eq. 3-34}$$

$N(x)$ est la concentration du dopant à une distance x de la surface du substrat (voir Figure 3-34),

N_A est la concentration en surface (atomes/cm³),

D_2 est le coefficient de diffusion du dopant à température donnée et t_2 est le temps de diffusion.

Les équations précédentes deviennent :

$$V_{PN} = \frac{q}{\epsilon_0 \epsilon_{sir}} \left(\int_{xj-w_A}^{xj} \int_{xj-w_A}^x N_A e^{\frac{-\alpha^2}{4D_{n2}t_2}} d\alpha dx + \frac{1}{2} N_D w_D^2 \right) + \phi \quad \text{Eq. 3-35}$$

$$\left(\int_{xj-w_A}^{xj} N_A e^{\frac{-\alpha^2}{4D_{n2}t_2}} d\alpha \right) = N_D w_D \quad \text{Eq. 3-36}$$

V_{PN} est la tension appliquée aux bornes de la jonction ($V_{DS} - V_{GS}$),

xj est la profondeur de jonction grille-substrat (P-/N_v),

ϕ est la tension de diffusion.

Si on applique une tension aux bornes de cette jonction, la zone de charge d'espace va s'étendre et le champ maximal augmenter (Figure 3-34).

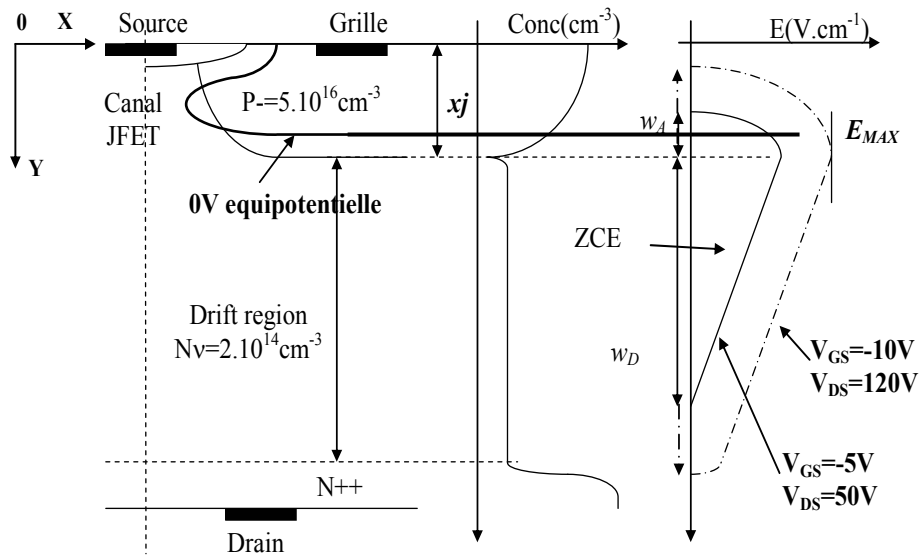


Figure 3-34. Coupe verticale du JFET montrant l'emplacement de l'équipotential 0V

Le problème est de calculer la position de l'équipotential 0V. Nous allons distinguer deux cas : celui où l'équipotentielle 0V est située dans le caisson P- et celui où elle se situe côté N_v. Dans le premier cas nous pouvons trouver son emplacement grâce à l'équation suivante :

$$0 = I + V_{GS} - \phi \quad \text{Eq. 3-37}$$

Dans le second cas cette équation devient :

$$0 = I + V_{GS} - \phi + E_{MAX} w_A - \int_0^{w_0} \int_0^x \frac{N_D q}{\epsilon_0 \epsilon_{sir}} dx dx \quad \text{Eq. 3-38}$$

où V_{GS} est la tension appliquée entre grille et source, E_{MAX} le champ électrique maximum et I la tension supportée par la partie P- de la jonction :

$$I = \int_{w_0}^{x_j} \int_{w_0}^x \frac{q N_A e^{\frac{-x^2}{4Dn_2t_2}}}{\epsilon_0 \epsilon_{sir}} dx dx \quad \text{Eq. 3-39}$$

avec w_0 distance entre la jonction métallurgique et l'équipotentielle 0V.

Il est important d'avoir à l'esprit que w_0 est une grandeur constante pour une géométrie donnée et est déterminée par simulation.

Donc nous pouvons déterminer tous les couples $V_{GS} - V_{DS}$ pour lesquels l'équipotentielle 0V a le même emplacement. Nous allons distinguer deux cas :

1. Quand la tension appliquée à la jonction P+/ N_v est inférieure à la tension d'apparition de la troncature
2. Quand la tension appliquée à la jonction P+/ N_v est supérieure à la tension d'apparition de la troncature

Dans le premier cas le système d'équation qui nous donne les couples des tensions de pincement $V_{DS} - V_{GS}$ est :

$$-V_{GS} - \frac{\phi}{2} = \left(\frac{q}{\epsilon_0 \epsilon_{sir}} \int_{w_a}^{x_j} \int_{w_a}^x N_A e^{\frac{-\alpha^2}{\sqrt{Dn_2t_2}}} d\alpha dx \right) + \int_0^{w_0} \frac{q}{\epsilon_0 \epsilon_{sir}} N_D (w_D - x) dx \quad \text{Eq. 3-40}$$

$$V_{DS} = \left(\frac{q}{\epsilon_0 \epsilon_{sir}} \int_{w_A}^{x_j} N_A e^{\frac{-\alpha^2}{\sqrt{Dn_2t_2}}} d\alpha \right) \cdot \frac{1}{2} (w_D - w_0) - \frac{\phi}{2} \quad \text{Eq. 3-41}$$

Quand la tension appliquée à la jonction est supérieure à la tension correspondante à l'apparition de la troncature V_{tr} les équations Eq. 3-35 et Eq. 3-36 deviennent :

$$V_{pn} = \left(\frac{q}{\epsilon_0 \epsilon_{sir}} \int_{x_j-w_a}^{x_j} \int_{x_j-w_a}^x N_A e^{\frac{-\alpha^2}{\sqrt{Dn_2t_2}}} d\alpha dx + \frac{N_D}{2} w_D \right) + E_{tr} \cdot w_D + \phi \quad \text{Eq. 3-42}$$

$$\left(\int_{xj-w_A}^{xj} N_A e^{\frac{-\alpha^2}{4D_2t_2}} d\alpha \right) = N_D w_D + E_{tr} \quad \text{Eq. 3-43}$$

Dans ce cas, w_D est constante et elle est égale à l'épaisseur du substrat. Les inconnus sont w_A et E_{tr} . Et les équations pour les couples V_{DS} - V_{GS} sont :

$$-V_{GS} - \frac{\phi}{2} = \left(\frac{q}{\epsilon_0 \epsilon_{Sir}} \int_{w_a}^{x_j} \int_{w_a}^x N_A e^{\frac{-\alpha^2}{\sqrt{D_{n2}t_2}}} d\alpha dx \right) + \left(\frac{q}{\epsilon_0 \epsilon_{Sir}} N_D w_D + E_{tr} \right) w_D - \frac{q N_D w_D^2}{2 \epsilon_0 \epsilon_{Sir}} \quad \text{Eq. 3-44}$$

$$V_{DS} = \left(\frac{q}{\epsilon_0 \epsilon_{Sir}} \int_{w_A}^{xj} N_A e^{\frac{-\alpha^2}{\sqrt{D_{n2}t_2}}} d\alpha - \frac{q}{\epsilon_0 \epsilon_{Sir}} N_D w_D + E_{tr} \right) \cdot \frac{1}{2} (w_D - w_0) - \frac{\phi}{2} \quad \text{Eq. 3-45}$$

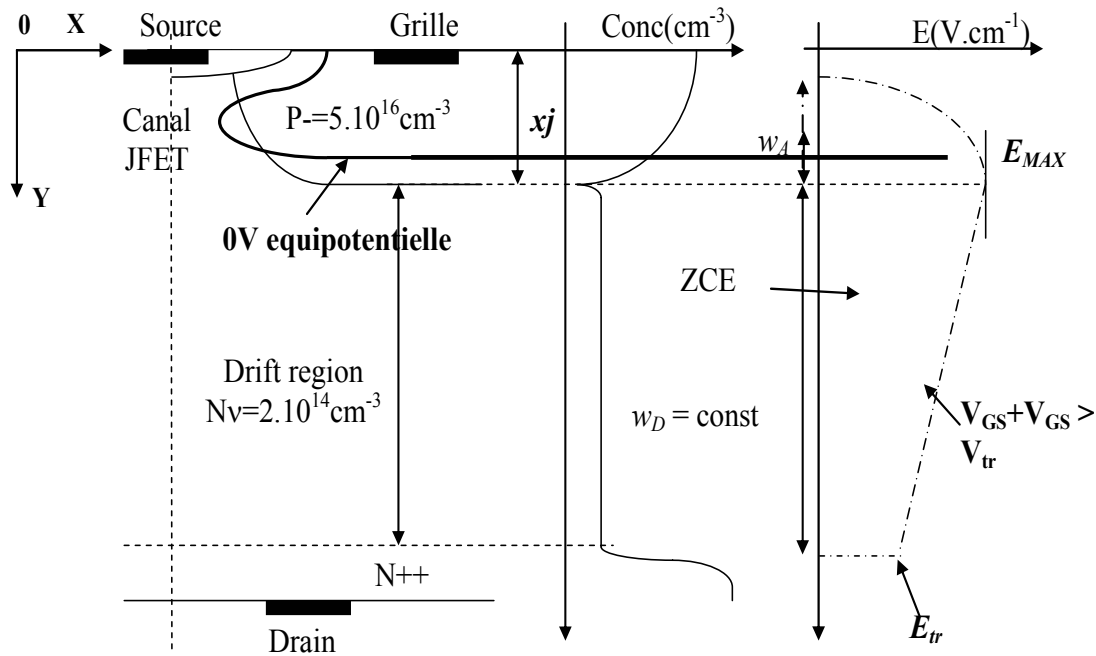


Figure 3-35. Coupe vertical du JFET montrant l'emplacement de l'équipotentiel 0V pour une tension appliquée supérieure à la tension d'apparition de la troncature $V_{pn} > V_{tr}$

Sur les figures Figure 3-36 et Figure 3-37 sont comparés les résultats de simulations des couples V_{DS} - V_{GS} conduisant à la limite de conduction.

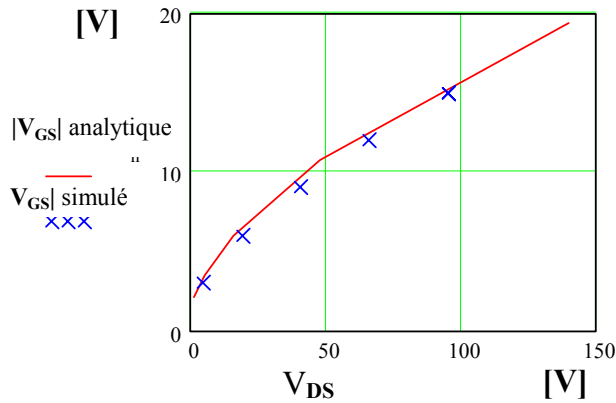


Figure 3-36. Comparaison entre le modèle analytique et la simulation pour un canal de largeur $2\mu\text{m}$

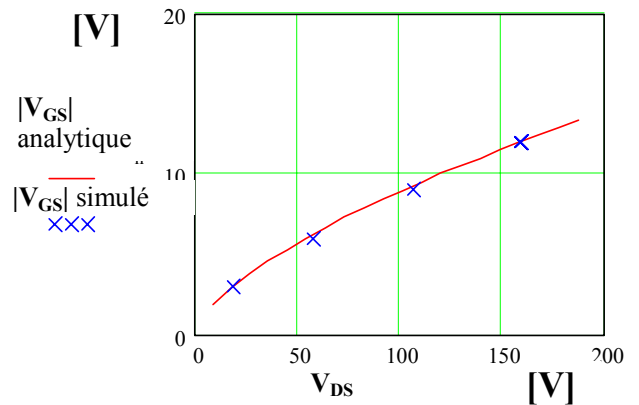


Figure 3-37. Comparaison entre le modèle analytique et la simulation pour un canal de largeur $1.5\mu\text{m}$

La position de l'équipotentielle 0V (ψ_0) est déterminée à partir d'une simple simulation.

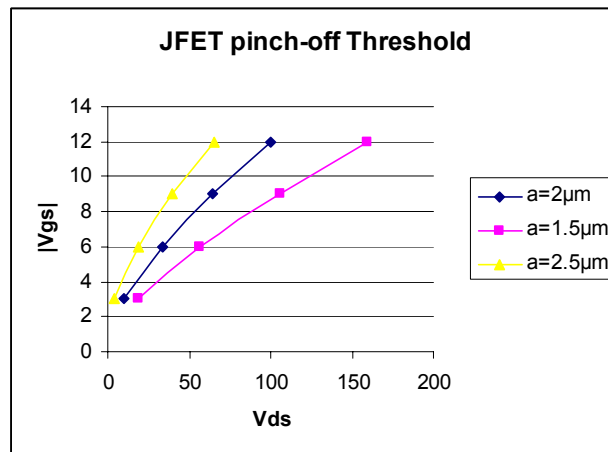


Figure 3-38. Couples V_{DS} - V_{GS} à la limite du pincement pour différentes largeurs de canal

II.4. Mise en oeuvre de l'approche analytique développée pour la conception du JFET vertical

Le modèle nous a aidé à optimiser la structure de notre JFET. Le résultat de cette optimisation nous a conduit à un JFET dont la largeur de canal vaut $0.8\mu\text{m}$ et sa profondeur $3\mu\text{m}$. Les zones de grilles ont une concentration en surface de $3 \cdot 10^{16} \text{ at/cm}^3$. Les diffusions de P+ créent une jonction à $3\mu\text{m}$ de profondeur et ont une concentration en surface de $3 \cdot 10^{19} \text{ at/cm}^3$. Cette structure optimisée est présentée Figure 3-39. Les résultats de simulations électriques sont présentés Figure 3-40 et Figure 3-41 en échelle linéaire et semi-logarithmique. On peut noter que sous 400V le seuil de pincement correspond à V_{GS} proche de -15V , ce qui correspond à la tension recherchée pour l'alimentation de notre commande rapprochée.

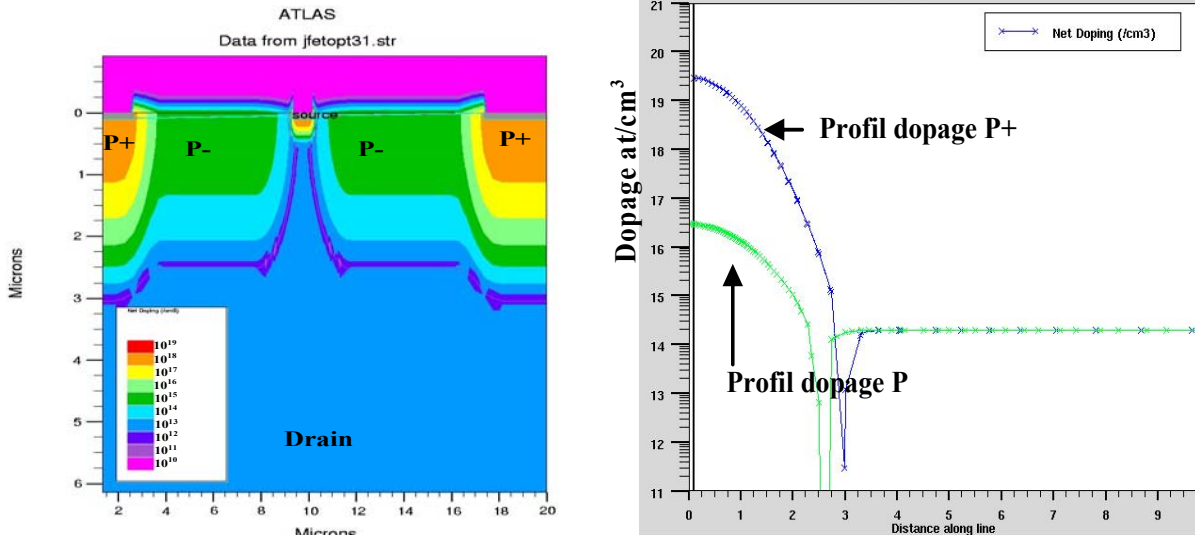
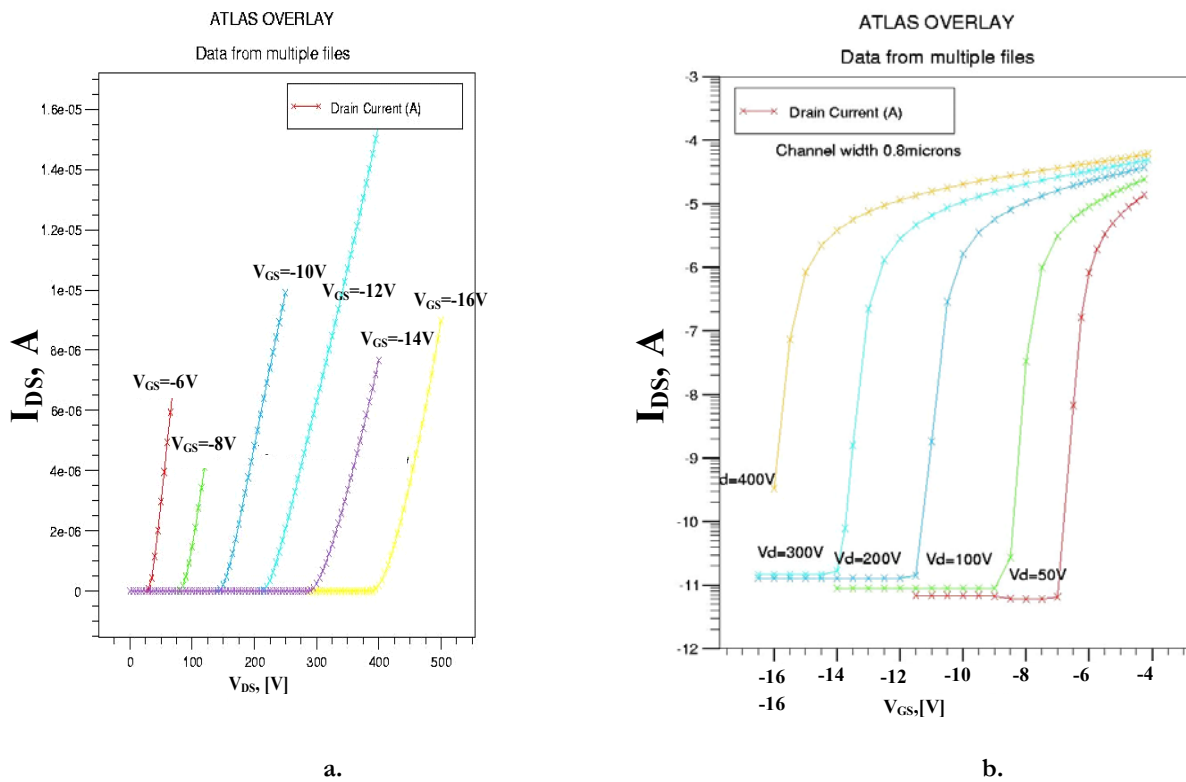


Figure 3-39. Structure du JFET optimisée


 Figure 3-40. Caractéristiques de sortie $I_D(V_{DS})$ du JFET vertical optimisé

La Figure 3-41 donne les caractéristiques de sortie $I_D(V_{GS})$.

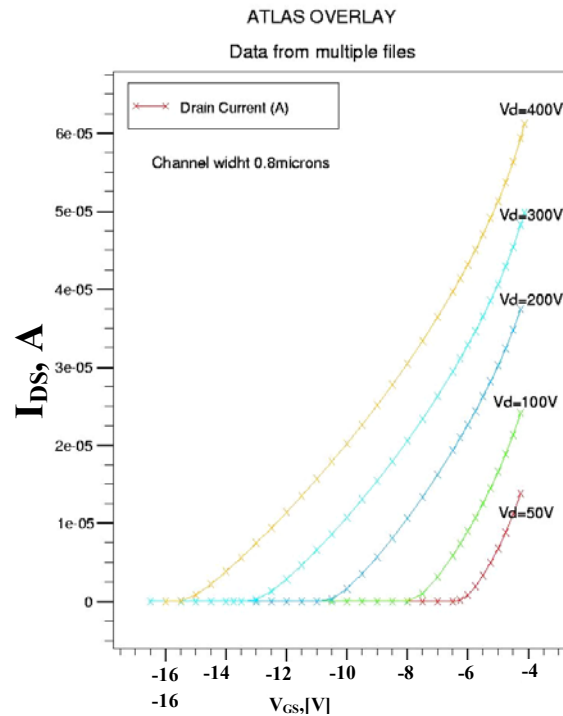


Figure 3-41. Caractéristiques de sortie $I_D(V_{GS})$ du JFET vertical

La simulation nous a permis de vérifier la tension de claquage de la jonction grille-source ; celle-ci tenant jusqu'à 24V.

Notre approche analytique nous a donc permis de bien comprendre les phénomènes conduisant au pincement du JFET vertical et nous a aidé au dimensionnement de celui-ci. Nous avons ainsi pu obtenir un composant dont le seuil de pincement est compatible avec l'application visée. Cependant la réalisation technologique et les effets bidimensionnels entre la jonction de la grille et de la source nous ont imposés des nouvelles contraintes. Compte tenu de ces nouvelles contraintes, il nous a fallu réajuster par simulations le seuil de pincement du JFET.

II.4.a. Largeur de la zone de source du JFET

La réalisation technologique impose des contraintes liées à la taille minimale des motifs sur les masques. Cette limitation vient en partie des imperfections de certaines étapes technologiques (comme par exemple les gravures) mais elle vient essentiellement des défauts d'alignement qui, compte tenu de nos équipements au CIME, on été fixés à $\pm 1\mu\text{m}$. Donc le motif le plus petit que nous pouvons réaliser est de $2\mu\text{m}$ (côte masque minimum). Or, nous avons précédemment déterminé une largeur de source de la structure de $0.8\mu\text{m}$, ce qui est une valeur très petite.

Nous avons donc effectué une campagne de simulation pour voir l'influence de l'augmentation de la largeur de la source sur les caractéristiques électrique du JFET. Nous avons fait varier la largeur de la zone de la source et la largeur du canal tout en cherchant à maintenir un seuil de pincement de notre JFET compatible avec notre application. Sur les résultats de

simulation présentés Figure 3-42 nous pouvons voir que plus la zone de source pénètre dans les zones des grilles et plus le blocage du transistor devient difficile car la jonction présente entre la grille et la source claqué avant d'atteindre le blocage du composant. Il a donc fallu trouver un compromis entre une avancée suffisante de la zone de contact N⁺ de source dans le caisson P de grille et une tenue en tension de cette jonction supérieure à 15,6V.

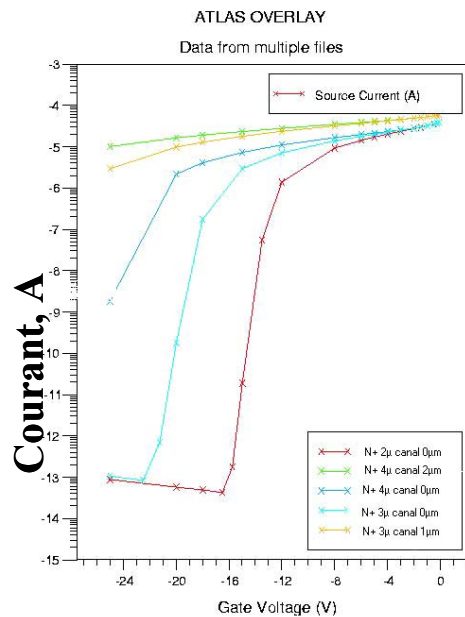


Figure 3-42. Seuils de pincement du JFET pour différentes largeurs du canal et de contact de source

De nombreuses simulations nous ont permis de choisir une largeur de canal comprise entre 0 et 1μm. La largeur de 0μm signifie que les deux zones de grilles vont en théorie juste se toucher. Nous avons vu plus haut que la zone de source ne doit pas excéder les 4μm. Cette largeur n'est pas suffisante pour réaliser un bon contact. Comme la structure retenue pour nos JFET est de type bande, la solution que nous avons retenue est de réaliser des plots de contact répartis le long des bandes N⁺ de source (Figure 3-43). Nous avons dû optimiser la distance séparant chaque plot de contact afin d'équilibrer le courant sur toute la surface active du JFET, ce que nous allons détailler maintenant.

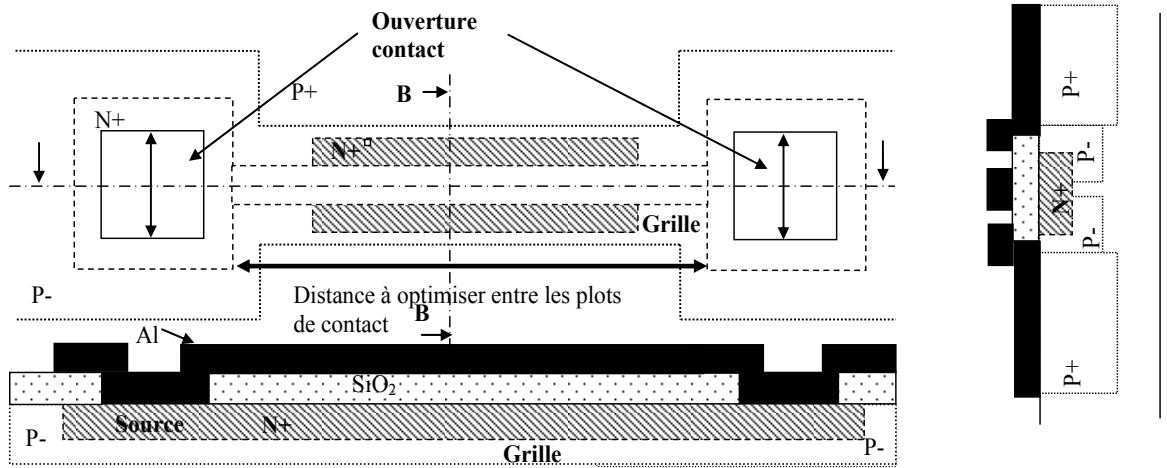
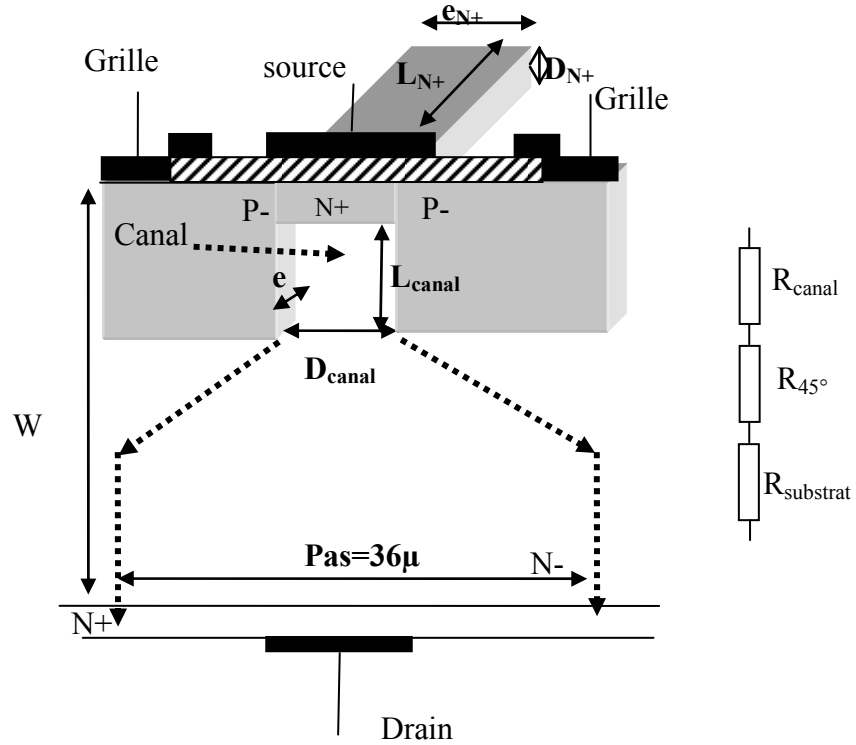


Figure 3-43. Amenées du courant de la source du JFET

II.4.b. Optimisation des amenées du courant de source

Pour que le courant dans les bandes de source du JFET ne modifie que faiblement le point de polarisation du composant le long des bandes, nous avons fait en sorte que la résistance équivalente d'accès à la source R_{ac} (résistance de la bande N+ de la source) soit très faible par rapport à la résistance du JFET lorsque le canal est complètement ouvert. Il nous faut pour cela estimer cette dernière (notée R_{DS}), ce qui va être fait sur la base du schéma de la Figure 3-44. Cette valeur sera ensuite comparée à la résistance d'amenée de courant (R_{ac}) entre 2 plots de contact.

Figure 3-44. Résistance totale du JFET canal ouvert (R_{DS})

$$R_{DS} = R_{\text{canal}} + R_{45^\circ} + R_{\text{substrat}} \quad \text{Eq. 3-46}$$

Pour la résistance d'accès R_{ac} , nous allons estimer la résistivité carrée de la bande N+ de la source pour une largeur unitaire. Pour cela avons pris en compte une résistivité variable en fonction du dopage de la source.

Le profil du dopage de la source N+ est décrit par l'expression :

$$N(x) = N_s \cdot e^{\frac{-(x)^2}{x1}} \quad \text{Eq. 3-47}$$

où x est la distance par rapport à la jonction N+/N_v, N_s est le dopage en surface de la zone de source et $x1$ est l'écart type.

$$x1 = \frac{-(xj)^2}{\ln\left(\frac{Nd}{N_s}\right)} \quad \text{Eq. 3-48}$$

xj est la profondeur de la jonction et N_d est le dopage du substrat.

Nous avons pris en compte la variation de la mobilité en fonction des concentrations des impuretés. Il faut donc commencer par calculer la mobilité des porteurs en fonction du dopage [COYAUD02] et en déduire la résistivité.

$$\mu_0 = \mu_{\min} e^{\frac{P_C}{N(x)}} + \frac{\mu_L \left(\frac{T}{300} \right)^{-\varepsilon} - \mu_{\min 2}}{1 + \left(\frac{N(x)}{Cr} \right)^\alpha} - \frac{\mu_1}{1 + \left(\frac{Cs}{N(x)} \right)^\beta} \quad \text{Eq. 3-49}$$

où les constantes sont :

$$\mu_{\min}=52.2 \text{ cm}^2.\text{V}^{-1}.\text{s}^{-1}, P_C= 0 \text{ cm}^{-3}, \mu_L=1417 \text{ cm}^2.\text{V}^{-1}.\text{s}^{-1}, \varepsilon=2.2, \mu_{\min 2}=52.2 \text{ cm}^2.\text{V}^{-1}.\text{s}^{-1} \\ Cr=9.68.10^{16} \text{ cm}^{-3}, \alpha=0.68, \mu_1=43.4 \text{ cm}^2.\text{V}^{-1}.\text{s}^{-1}, \beta=2, T=300 \text{ K}.$$

Donc la résistivité de la bande N+ de la source en fonction du dopage est :

$$\rho = \frac{1}{\int_0^{x_j} \mu_0(x) N(x) q dx} \quad \text{Eq. 3-50}$$

$$\text{AN : } \rho=243 \Omega.\square$$

Alors la résistivité carré de la bande de la source pour une longueur unitaire ($L_{N+}=1\mu\text{m}$), une profondeur de $D = 0.5\mu\text{m}$ et une largeur $e_{N+}=4\mu\text{m}$ est :

$$R = \rho \frac{L_{N+}}{e_{N+}} \quad \text{Eq.3-51}$$

$$\text{A.N. } R_{ac} = 63\Omega$$

La résistance du canal pour une épaisseur de $1\mu\text{m}$ ($e=1\mu\text{m}$), $L_{canal} = 2.5\mu\text{m}$ et $D=1\mu$.

$$R_{canal} = \rho_{substrat} \frac{L_{canal}}{D_{canal} e} \quad \text{Eq. 3-52}$$

$$R_{canal}=200K\Omega$$

De la même manière on calcule les résistances équivalentes pour $R_{45^\circ} = 250k\Omega$ et $R_{substrat}=182 k\Omega$.

$\rho_{substrat}$ est la résistivité du substrat N et le pas est la largeur d'un motif élémentaire de JFET ($36\mu\text{m}$) alors la résistance R_{DS} sera égale à :

$$R_{DS} = R_{canal} + R_{45^\circ} + R_{substrat} = 1M\Omega$$

Nous choisissons arbitrairement un rapport entre la résistance d'accès R_{ac} et la résistance R_{DS} de 1/50.

Il reste alors à déterminer la distance minimale séparant 2 plots de contact connaissant la résistivité des zones N+ (de profondeur $0.5\mu\text{m}$ et de largeur $4\mu\text{m}$). La résistance R_{DS} pour une épaisseur E doit être 50 fois plus grande que la résistance d'accès R_{ac} pour la même épaisseur.

$$\frac{R_{DS}}{50.E} = R_{ac}.E \quad \text{Eq. 3-53}$$

d'où la longueur E entre deux plots de contacts doit être de :

$$E=18\mu\text{m}.$$

Cette distance calculée correspond à un demi pas, un pas étant la distance qui sépare deux plots. Nous avons considéré ici le cas le plus défavorable, c'est à dire lorsque le courant total circule sur toute la longueur de l'amenée du courant. En réalité le courant décroît en s'éloignant du plot de contact pour tendre vers 0 entre deux plots. Cette décroissance étant linéaire, il est possible d'augmenter encore d'un facteur la distance entre deux plots de courant, soit $72\mu\text{m}$. Finalement nous avons choisi une distance de $60\mu\text{m}$ entre deux plots de contacts.

Nous avons fait une estimation de la chute de tension le long de la source du JFET à l'aide de la formule de l'Eq. 2-27 pour une longueur de $30\mu\text{m}$ et une résistivité. En effet cette chute de tension doit être inférieure à la chute de tension à l'état passant du JFET, pour ne pas modifier son point de fonctionnement. D'après les résultats présentés sur la Figure 3-45 elle est d'environ 0.3V .

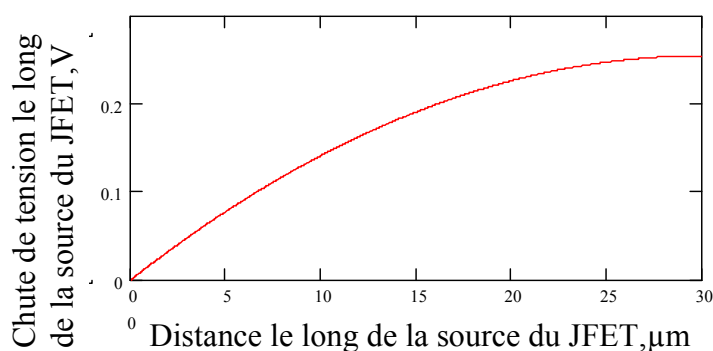


Figure 3-45. Chute de tension le long de la source du JFET

Il reste maintenant à présenter les étapes de conception et de dessin de l'ensemble de la puce du JFET comprenant tous les niveaux de masquage.

II.5. Dessin complet du JFET vertical

Nous allons tout d'abord présenter la conception des dessins (layouts) des masques des différentes variantes des JFET verticaux seuls. Nous avons réalisé des JFETs verticaux seuls sur puce (sans la double fonction d'auto-alimentation) afin de pouvoir valider la conception de ces composants. Pour les puces contenant les deux composants MOSFET/JFET nous avons utilisé les mêmes côtes pour les motifs élémentaires mais en modifiant la surface de l'ensemble du composant afin de pouvoir allouer des surfaces différentes respectivement pour le composant principal et le composant auxiliaire ; chaque puce complète (avec ou sans la double fonction) ayant la même surface. Pour les motifs à deux composants, les prises de contacts sont au nombre de quatre en face avant : deux pour le MOSFET principal et deux pour le JFET (grille et source à

chaque fois). Comme dans la solution à deux MOSFETs, la séparation physique des deux sources est nécessaire.

II.5.a. Variantes des structures du JFET

Après avoir déterminé la largeur de la source et la largeur du canal du JFET théoriquement nécessaires, nous avons lors de la réalisation prévu un certain nombre de variantes.

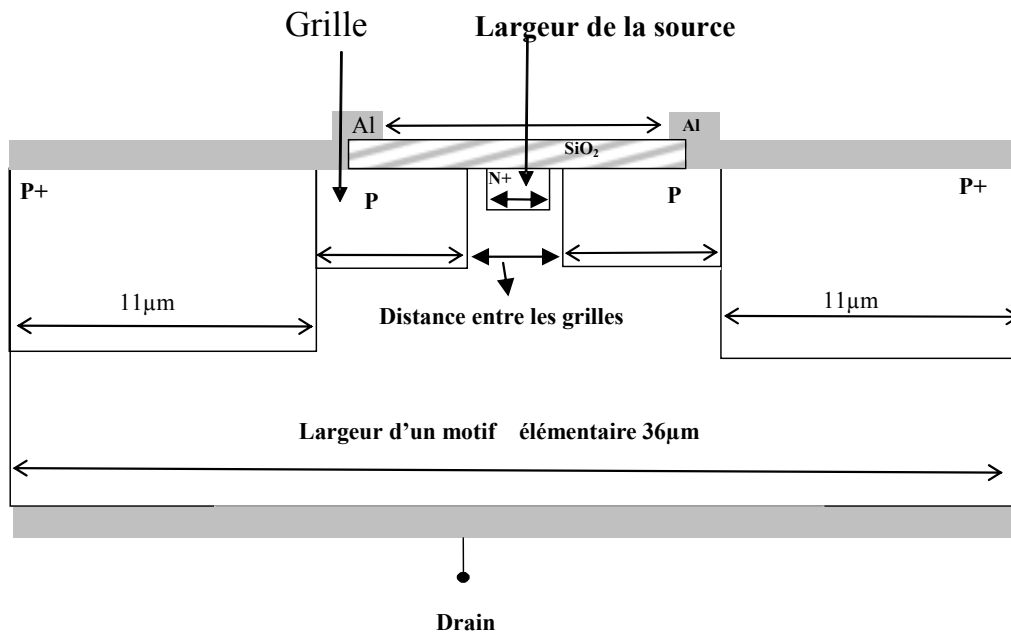


Figure 3-46. Côtes masque du JFET

Nous avons fait varier autour des valeurs théoriques déterminées précédemment le type de caisson de grille : soit des caissons P forment le canal (avec du P⁺ rajouté loin du canal pour assurer un bon contact de grille) comme illustré sur la Figure 3-46, soit de simples caissons P⁺ formant directement le canal. Nous avons chaque fois prévu trois variantes pour la largeur effective de canal (cotes masque des distances entre les implantations des grilles respectivement de 4, 6 μm). Enfin nous avons prévu quelques variantes pour ce qui concerne la largeur du contact N⁺ de source.

Dans le tableau suivant sont présentés les variantes (toutes les dimensions sont des cotes masques) des différents JFET que nous avons conçus.

Famille JFET	D1	D2	D3	D6
Largueur de la source N ⁺	2μm	2μm	8μm	2μm
Distances entre les grilles	4μm	4μm	6μm	6μm
Dopage des grilles	P	P ⁺	P ⁺	P

Tableau 3-5. Les cotes masques des JFETs réalisés

Pour ce qui est de la largeur du canal, il faut noter que les dimensions effectives seront différentes des cotes masque puisqu'il y aura diffusion latérale des caissons (P ou P+). Les profondeurs des dopages P+ et P sont imposées par le procédé de l'interrupteur principal MOSFET et doivent être respectivement de $3\mu\text{m}$ et de $2.5\mu\text{m}$.

II.5.b. Layout de la zone active du JFET

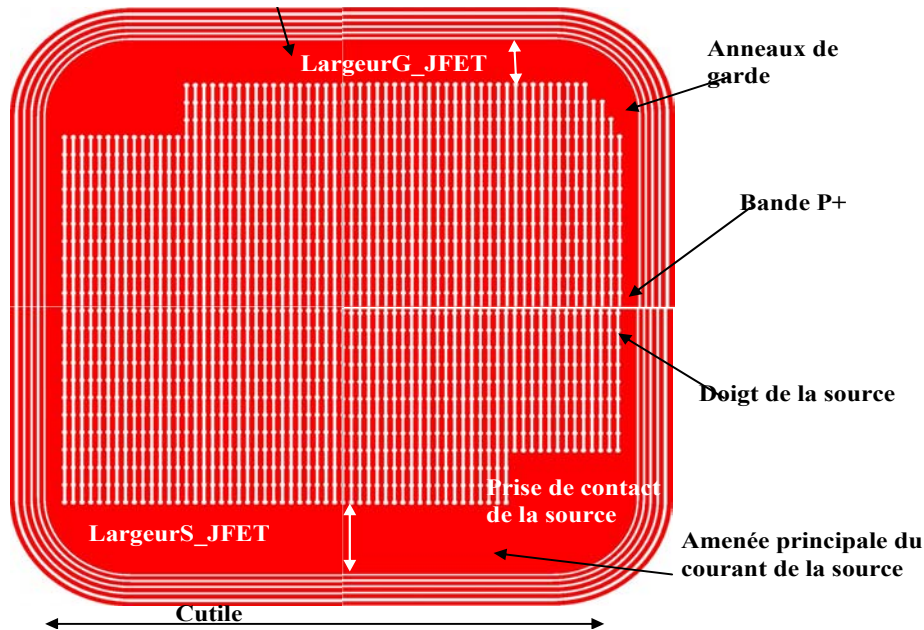


Figure 3-47. Layout d'une puce seule du JFET vertical

Les cellules seront en bandes. Nous avons repris les mêmes périphéries que pour le MOSFET (anneaux de garde). Voici comment nous avons déterminé le nombre de bandes entrant dans notre puce.

La largeur d'un motif élémentaire du JFET est de $36\mu\text{m}$; cela détermine notre pas. Le nombre des bandes que nous pouvons placer dans la surface active sera égal à la surface utile du JFET **Cutile** divisée par le pas du motif élémentaire.

Lorsque le nombre de bandes n'était pas entier, nous avons fait varier la largeur de la bande P+ située en périphérie de la zone active.

Il nous a fallu aussi dimensionner les amenées du courant vers la source et la grille. Nous avons pris les mêmes contraintes comme pour le MOSFET (voir chapitre II) (la densité maximale du courant dans une piste d'aluminium permettant d'éviter le phénomène d'électromigration et un courant maximal dans le composant de $5.10^{-6}\text{A}/\mu\text{m}$ (résultats issus de simulation). Nous avons pris un rapport entre courants de source et de grille de 1/5.

Finalement des résultats de dimensionnement pour la largeur de l'amenée de courant de grille **LargeurG_JFET** nous avons choisi de $150\mu\text{m}$ et pour la largeur de l'amenée de courant de la source **LargeurS_JFET** : $250\mu\text{m}$.

Les longueurs des doigts de la source et de la grille en découlent et valent $2000\mu\text{m}$. Nous avons aussi calculé la chute de tension le long de l'amenée principale de la source et le long d'un doigt de la source suivant la méthode que nous avons présenté dans le chapitre II. Les résultats sont comparables aux ceux obtenus pour les MOSFETs.

II.6. Dessin des masques

Nous proposons maintenant les huit niveaux de masquage permettant la réalisation des JFET verticaux avec une périphérie en anneaux de garde.

niveau	sigle	signification
1.	PPLUS	Ouverture P+
2.	OZUT	Ouverture des zones utiles du JFET
3.	POLY	Ouverture des zones des grilles P
4.	JFET	Seconde gravure de Polysilicium pour dégager la zone de la source
5.	NPLUS	Implantation de N+
6.	OCN	Ouverture des contacts
7.	GALU	Gravure de l'aluminium
8.	OSCO	Ouverture des seconds contacts

Tableau 3-6. Les niveaux de masquage réalisé pour le JFET vertical

Le masque JFET, comme nous l'avons déjà présenté dans la partie I.3, nous sert à faire une deuxième gravure de polysilicium qui permet la réalisation du canal du JFET. Sur la Figure 3-48 est présentée une photographie du JFET après l'étape de photolithographie du masque N+.

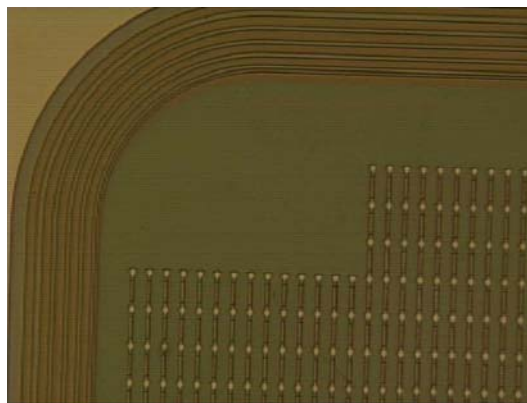


Figure 3-48. Photographie du JFET vertical après l'étape de photolithographie de masque N+

II.7. Les MOSFET/JFET

Pour l'intégration du MOSFET-JFET, nous avons prévu là encore quelques variantes. Les deux composants sont des familles MOSFET et JFET déjà présentés. Le composant principal

MOSFET occupe les 4/5 de la surface active du composant et le JFET en occupe 1/4. Les différentes familles sont présentées dans le tableau qui suit :

Famille du composant principal (MOSFET)	MOSFET A2	MOSFET A3	MOSFET A2	MOSFET A3	MOSFET A2
Famille du composant auxiliaire	JFET D6	JFET D6	JFET D2	JFET D2	JFET D3
Famille du composant MOSFET/JFET	E1	E2	E3	E4	E5

Tableau 3-7. Présentation des différentes familles de composants contenant MOSFET et JFET

Nous avons associé des MOSFET d'une distance intercellulaire de 40 μ m puis 50 μ m avec des JFET de largeur de source et de canal respectivement de 6 (D3) et 1 μ m (D6) et de 0 μ m (D2) (effectives, i.e. après diffusions). Nous avons ensuite réalisé des versions avec JFET à caissons P+ (pas de 40 μ m pour le MOSFET) puis à caissons P et à largeur de la source N+ de 8 μ m (pas de 50 μ m pour le MOSFET).

Sur la Figure 3-49 est présenté, en coupe verticale le joint de fonction entre les deux composants de la même puce.

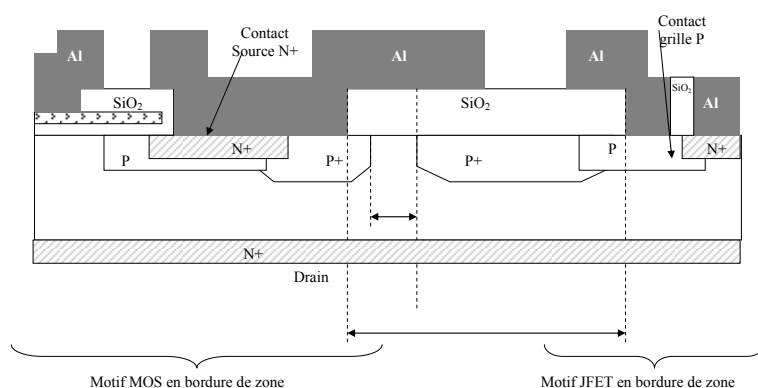


Figure 3-49. Joint de fonction entre les deux composants de la même puce

L'ensemble des dessins des masques pour les différentes variantes est disponible dans l'Annexe III.

II.8. Résultats de mesure des composants réalisés

Nous avons effectué des mesures sur les composants réalisés en utilisant un banc de test sous pointes. Afin de mesurer les caractéristiques électriques nous avons réalisé le câblage suivant :

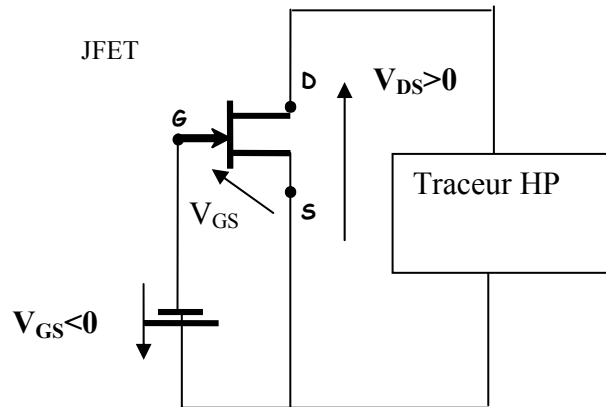


Figure 3-50. Banc de test pour la mesure des caractéristiques électriques des JFET

Quelques résultats de mesures effectuées sur un JFET de la famille D6 sont présentés sur les figures suivantes.

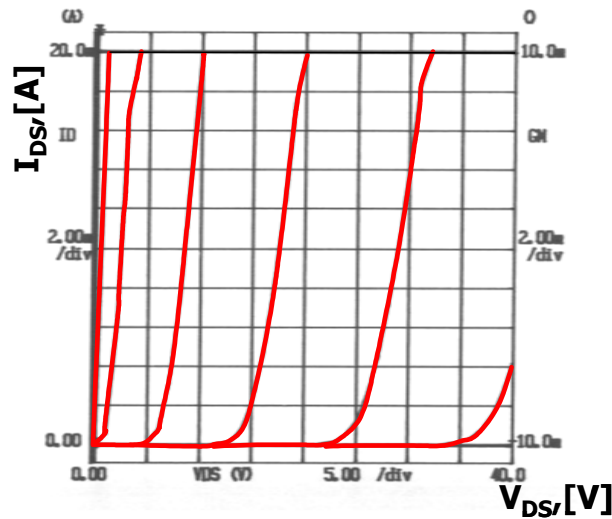


Figure 3-51. Résultats des mesures des deux JFETs verticaux de la famille D6

La Figure 3-52 montre l'évolution du gain de pincement pour différents motifs ayant une largeur de source de $6\mu\text{m}$ (cote masque). La largeur du canal peut être déterminée à l'aide d'une mesure de spreading résistance présentée dans le chapitre 2.

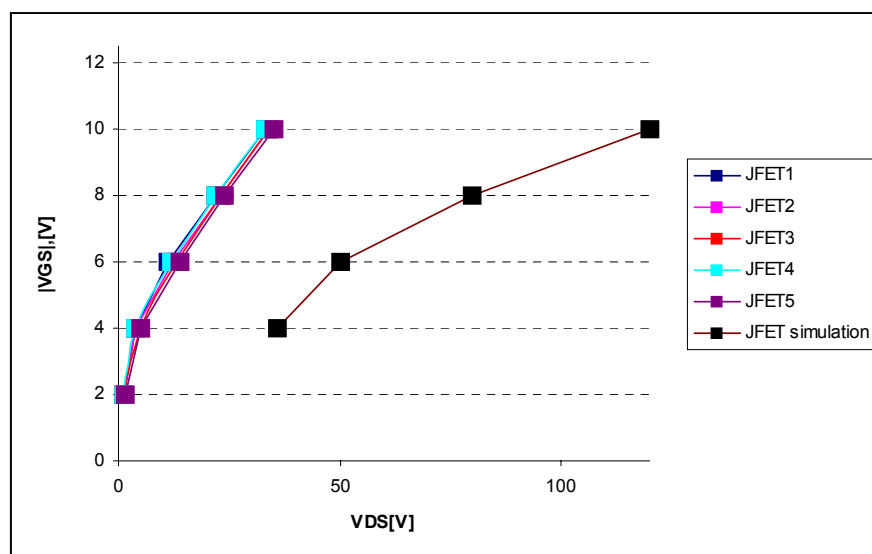


Figure 3-52. Mesure du gain de pincement pour différents JFET de la famille D6 (tranche 1)

D'après les résultats de caractérisation nous avons pu constater que seuls les JFETs de la famille D6 fonctionnent, ainsi que les JFETs de la même famille dans les composants doubles fonction. Ces JFETs ont des gains compris entre 2 et 10, qui est inférieure aux résultats obtenus des simulations à élément finis. Cela pourrait venir du fait que les régions P qui forment les grilles du JFET ont été fabriquées un peu moins profondes que nous avons prévu (figure . Comme nous l'avons vu les seuils de pincement du JFET sont très dépendants des formes géométriques des grilles. Chaque variation de la profondeur des grilles va influencer ces seuils de pincement. Nous pouvons comparer les résultats de mesures des JFET avec les résultats de simulation de la structure que nous avons optimisée. D'après ces simulations (Figure 3-52), on peut constater que le gain de pincement de la structure optimisée est compris entre 4 et 10.

La réalisation des JFET est donc délicate, et ces résultats confirment notre étude bibliographique qui montre que les caractéristiques électriques du JFET sont fortement variables en fonction de la géométrie des zones de grille, et donc très sensibles aux variations des paramètres technologiques du process de fabrication.

Conclusion

Dans ce chapitre nous avons présenté une topologie de l'auto-alimentation de la commande rapprochée dont le composant principal est un MOSFET et le composant auxiliaire un JFET vertical. Celle-ci a l'avantage de ne nécessiter qu'un petit nombre de composants pour réaliser la fonction d'auto-alimentation. Étant donné que les deux composants ont des procédés technologiques extrêmement compatibles, le coût d'une telle réalisation s'en trouve minimisé. Nous avons présenté les étapes de conception du JFET vertical nécessaire à l'obtention de

caractéristiques électriques compatibles avec le fonctionnement désiré pour l'auto-alimentation. Une étude bibliographique sur les modèles analytiques permettant la description fine du comportement du JFET vertical a été menée. Les limitations des modèles existants nous ont amené à réfléchir à un modèle pseudo-analytique (ne modélisant que le seuil de blocage du JFET en fonction des deux tensions indépendantes que sont les tensions drain-source et grille-source) permettant de nous aider à concevoir notre JFET vertical compte tenu des particularités de notre application. Une fois le motif élémentaire optimisé, nous avons dessiné quelques variantes de masques pour notre JFET en intégrant ou non l'interrupteur principal (MOSFET) sur la même puce. Il a fallu tenir compte des nombreuses contraintes technologiques liées au procédé de fabrication du MOSFET principal (que nous ne voulions pas changer) pour déterminer toutes les cotes des différents masques. Ces masques ont été réalisés et des mesures ont été présentées pour valider de ce travail.

Il est apparu, que cette topologie possède un inconvénient majeur lié à la contrainte issue du procédé technologique du MOSFET ; le JFET réalisé possède un canal peu profond et très évasée qui rend ses caractéristiques électriques fortement dépendantes de son point de fonctionnement. Cela veut dire que le JFET se bloquera pour différentes tensions de charge de la capacité de stockage suivant la tension commutée. Ainsi, la charge stockée dans la capacité peut s'avérer insuffisante pour alimenter la commande rapprochée dans le cas où l'on commuterait des tensions faibles. L'idéal serait de pouvoir redimensionner le JFET pour chaque tension commutée, ce qui rend cette solution peu attrayante en définitive.

Une autre solution qui peut être intéressante est de remplacer le JFET avec un MOSFET à canal préformé. Cela va nous permettre d'avoir une tension de régulation de la capacité de stockage indépendante de la tension commutée. Cette solution n'a pas été étudiée à cause d'impossibilité de réaliser le procédé de fabrication des MOSFET à canal préformé au CIME.

BIBLIOGRAPHIE

[ADLER80] M.S. Adler and B.J. Baliga, « A simple method for predicting the forward blocking gain of gridded field effect devices with rectangular grids », Solid-State Electronics, vol.23, pp. 735-740, 1980.

[BALIGA80] B.J. Baliga, « A power Junction Gate Field-Effect Transistor Structure with High Blocking Gain », IEEE Trans. On Electron Dev., vol.ED-27, no.2, February 1980

[BALIGA82] B.J. Baliga « High-voltage junction-gate field effect transistor with recessed gates » IEEE Trans. Electron Devices, Vol. 29, pp 1560-1570, 1982

[BULCEA87] C. Bulcea, A. Rusu « A First-Order Theory of the static Induction Transistor », Solid-State Electronics, Vol.30, No. 12, pp.1227-1242,1987

[CARUSO88] A.Caruso, P. Spirito, G. Vitale, G.Busato, G. Ferla, S. Musumeci « Performance Analysis of a bipolar Mode FET (BMFET) with Normally Off Characteristics », IEEE Transaction on power Electronics, vol. 3 no. 2. April, 1988.

[COYAUD02] M. Coyaud « Caractérisation Fonctionnelle de Composants en Carbure de Silicium », Thèse INPG 2002.

[GUPTA82] R. Gupta « Static I-V characteristics of static induction transistor », Journal of Appl. Phys.53(3), March 1982.

[HOUSTON76] D.E. Houston, S. Krishna, D.E. Piccone, R.J. Finke and Y.S. Sun, « A Field Terminated Diode », IEEE Transaction on Electron Dev., vol. ED – 23, no. 8, pp. 905 – 911, August 1976.

[IMBERNON02] E. Imbernon « Etude et optimisation d'une filière technologique flexible adaptée au mode d'intégration fonctionnelle », Thèse de doctorat, LAAS, Toulouse, Septembre 2002.

[LETURCQ03] Ph. Leturcq, « Semi-conducteur de puissance unipolaire et mixtes » (partie 1), Les Techniques de l'Ingénieur, 2003.

[LI94] S. Li, J. Yang, S. Lui «Control of the electrical performance of bipolar mode static induction transistor (BSIT) », Proc. IPEMC'94 1994;1:33

[NAKAMURA96] Y. Nakamura, H. Tadano, M. Takigawa, I. Igarashi, and J. Nishizawa « Very high speed static induction thyristor », Elec. Eng. Jpn., vol. 116, no.3, pp.107-115, 1996.

[NISHIZAWA00] J.Nishizawa, K. Motoya, A. Itoh, « The 2.45 GHz 36W CW Si Recessed Gate Type SIT with High Gain and High Voltage Operation »,IEEE Trans. On Electron Devices, vol.42, no.2, February 2000.

[NEWMARK67] G.F. Neumark and E.S. Ritter, « Transition from pentode – to triode-like characteristics in field effect transistor », *Solid-State Electronics*, vol. 10, pp. 299- 304, 1967.

[PLOTKA75] P. Plotka and B. Wiliamosky, « Interpretation of exponential type drain characteristics of the static induction transistor », *Solid-State Electron.*, vol.23, pp.693-694, 1980.

[MITOVA04] R. Mitova, J-C. Crebier, L. Aubard, C. Schaeffer, « Integrated driver supply for power MOSFET based on vertical JFET », *International symposium on Power Devices (ISPS)*, Prague, Czech Republic

[STROLLO91] A. Strollo, P. Spirito, « A Self-Consistent Model for the SIT DC Characteristics », *IEEE Trans. On Electron Devices*, vol.38, no.8 August, 1991

[TADANO95] H. Tadano, M. Ishiko, S. Kawaji, Y. Taga « Low static induction devices (transistors and thyristors) », *Proc. 20th Int. Conf. Microélectron. (MIEL'95)*, vol.1, NIS, Serbia, 12-14, September 1995

[TESZNER64] S. Teszner and R. Gicquel, « Gridistor – A new field effect device », *Proc. IEEE* vol.52, pp.1502-1513 (1964).

[TESZNER72] S. Teszner, « Gridistor development for microwave power region » *IEEE Trans. Electron Dev. ED – 19*, pp.335- 364 (1972).

[WANG99] J. Wang, B. Williams « A New Static Induction Thyristor (SITh) Analytical Model », *IEEE Trans. On power electronics*, Vol.14, No. 5, September 1999.

[WANG04] Y. Wang, S. Li, J. Yang and D. Hu « A novel buried-gate static induction transistor with diffused source region », *Semiconductor Science and Technology*, Vol.19, 2004, pp.152-156.

[WANG04-2] Y. Wang, S. Li, D. Hu, « Dependence of I-V characteristics on structural parameters of static induction transistor », *Solid-State Electronics*, vol. 48 pp. 55-59, 2004.

[WESSELS78] B.W. Wessels and B. J. Baliga, « Vertical channel field controlled thyristors with high gain and fast switching speeds », *IEEE Transaction Electron Devices*, vol.ED-25, pp.1261-1265, 1978.

[YAMAMOTO87] T. Yamamoto, K. Matsumoto, and A. Yusa, « Analysis of SIT I-V characteristics by two-dimensional simulation », *Solid-State Electronics*, vol.30, pp.549-557, 1987

Conclusion Générale

Dans ce rapport de thèse, nous avons présenté l'intégration d'une fonction d'auto-alimentation de la commande rapprochée d'un transistor VD-MOSFET de puissance. Deux solutions techniques ont permis de dégager des méthodes de dimensionnement et de conception tenant compte des conditions et des contraintes technologiques propres aux composants de puissance à structure verticale. Plusieurs "familles" de prototypes ont été conçues, dimensionnées et réalisées avec pour objectif de valider notre concept, la démarche de conception, les principes de fonctionnement et l'"intégrabilité" d'une fonction d'auto-alimentation. Il ressort de ce travail de thèse un certain nombre de conclusions importantes :

-Notre travail de conception et de dimensionnement, le premier du genre dans notre groupe de travail, se solde par un résultat plutôt encourageant puisque globalement nos composants ont des caractéristiques et des performances proches de celles que nous attendions. C'est l'ensemble de la chaîne de conception, de dimensionnement et de réalisation de composants VD-MOSFET, transistor bipolaire et transistor JFET vertical en partenariat avec le CIME que nous validons à travers ce travail de thèse. C'est l'occasion pour nous de remercier les personnels du CIME pour leur aide dans la réalisation des composants, aide sans laquelle, aucun composant ne serait sorti de la salle blanche.

-Les dispositifs d'auto-alimentation que nous venons d'étudier sont intégrables et fonctionnels. L'intégration de ces fonctions au sein du composant de puissance ne pose pas de problème majeur en terme de compatibilité technologique, électrique mais aussi thermique. L'ensemble des composants, pour les deux solutions, peut être réalisé et intégré au sein du composant de puissance (au sein de sa structure périphérique) exception faite du condensateur de stockage. Les performances du composant "principal" et du dispositif d'auto-alimentation semblent maintenues pour le premier et intéressante pour le second.

-Bien que l'utilisation d'un transistor JFET vertical semblait profitable pour créer le dispositif d'auto-alimentation, les contraintes technologiques liées à sa réalisation ne nous ont pas permis de réaliser des composants aux performances escomptées. De fait, la solution "MOS-JFET", qui était a priori la plus intéressante, s'avère être moins simple à réaliser et surtout moins fonctionnelle. Un autre candidat comparable et peut être plus compatible serait le MOS à canal préformé qui comme le JFET est un composant normally ON mais dont les caractéristiques statiques semblent pouvoir être plus compatible avec notre application.

-Le principe de régulation impulsionnelle présente un mode de fonctionnement avantageux vis-à-vis des performances et en particulier vis-à-vis du rendement. L'utilisation de ou d'une partie de l'énergie de commutation au blocage du composant pour recharger le condensateur de l'auto-alimentation permettrait de maximiser le rendement du dispositif et donc le rendement global du

convertisseur. Ce principe semble aussi profitable pour les applications fortes tensions où le fait de recharger le condensateur de stockage de l'alimentation dès le début de la commutation maximise le rendement de cette petite source.

L'ensemble de ce travail de recherche dégage un certain nombre de pistes et de perspectives de recherche sur le support de l'intégration monolithique de fonctions autour et au sein du composant de puissance. En effet, en incluant un dispositif d'alimentation basse tension au sein de la puce du composant de puissance, on favorise ainsi l'intégration de fonctions annexes et tout aussi vitales. Les perspectives de ce travail de thèse peuvent être classées en deux grandes familles, celle qui touche directement le travail en cours avec les possibles améliorations mais aussi tout simplement la poursuite de l'étude de certains points qui n'ont pu être abordés. Et puis, il y a la seconde famille, celle qui touche les perspectives offertes par ce premier travail sur l'intégration d'une fonction au sein de la puce d'un interrupteur de puissance.

-Tout d'abord, il reste à tester, caractériser et comparer correctement l'ensemble des familles de composants en vue de valider totalement les approches "conception" que nous avons développées. Pour se faire, nous disposons maintenant de composants dont nous détenons toutes les caractéristiques physiques et géométriques ce qui devrait nous permettre de caler en totalité les modèles physiques qui ont été développés au laboratoire. Cela passe bien évidemment par une campagne de caractérisation importante sur les différentes familles de composants réalisés.

-En ce qui concerne les dispositifs d'auto-alimentation à base de transistor JFET à structure verticale, il reste à tenter une mise en œuvre concrète de cette solution sur la base des composants que nous avons obtenus. Peut être que des solutions à base de transistor MOSFET à canal préformé pour cette application serait un sujet intéressant de coopération entre le LEG et le LAAS.

-La mise en œuvre du système d'auto-alimentation dans un gradateur est en cours. Ce travail permettra de valider pleinement le principe et les conditions de bon fonctionnement du dispositif de l'auto-alimentation. Plusieurs premiers résultats encourageant ont été obtenus au sein du groupe mais il nous reste la aussi à approfondir notre travail.

-Pour ce qui est de l'extension des performances et des plages de fonctionnement du dispositif d'auto-alimentation, un travail de Master poursuivi par un travail de thèse est en cours en vue d'étendre le fonctionnement du dispositif aux applications faible fréquence de découpage et fonctionnement statique. Ce travail se poursuit avec pour contrainte essentielle, celle de rester cohérent en terme d'intégration, de compatibilité électrique mais aussi et surtout technologique.

-Bien sur, l'intégration de l'auto-alimentation serait parfaitement complétée si l'on parvenait à intégrer, sur la même puce de silicium, un dispositif de commande rapprochée. C'est la une des perspective importante qui fait suite à ce travail avec pour objectif, à l'image de ce que nous venons de faire de créer un dispositif intégrable, compatible aux niveaux technologique et électrique et surtout performant et optimal pour le composant à piloter.

ANNEXE I. DIAGRAMME DE CHEMINNEMENT POUR LA REALISATION D'UN MOSFET AVEC LES ELEMENTS DE LA COMMANDE RAPPROCHEE

1.1.1. Diagramme de cheminement

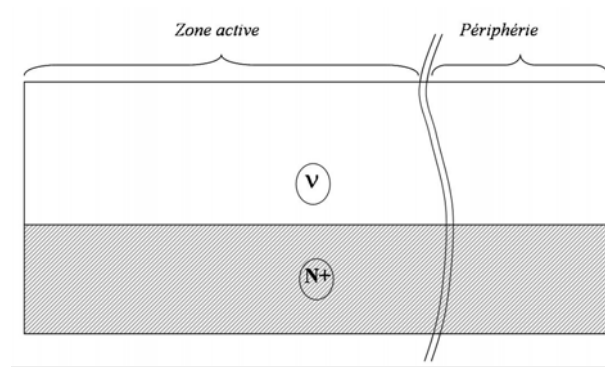


Figure 1. Etat initial du wafer

1.1.1.1. Préparation du substrat

E010 : Les tranches sont tout d'abord marquées en face arrière.

E012 : Elles sont ensuite nettoyées de leur oxyde natif. Elles sont plongées 30s dans une solution HF5%, puis rincées à l'eau (contrôle de résistivité supérieure à 15MΩ.cm), elles sont ensuite immergées dans un mélange $H_2SO_4 + H_2O_2$ (50%+50%), et rincées à l'eau de nouveau. Les wafers sont ensuite replongés dans la solution HF 5% durant 30s, puis rincés à l'eau (même contrôle de résistivité). Enfin, les tranches sont séchées en centrifugeuse.

E013 : L'étape suivante consiste à réaliser un oxyde de champ, d'une épaisseur de 0.5μm, destiné à supporter la première photolithographie. Il s'agit d'une oxydation humide, réalisée en face avant et face arrière, qui sera réutilisée ensuite pour l'oxyde de champ périphérique. Cette opération s'avère indispensable, notamment pour les croix de centrage et autres motifs destinés à l'alignement des masques. Cette oxydation est réalisée par le cycle suivant :

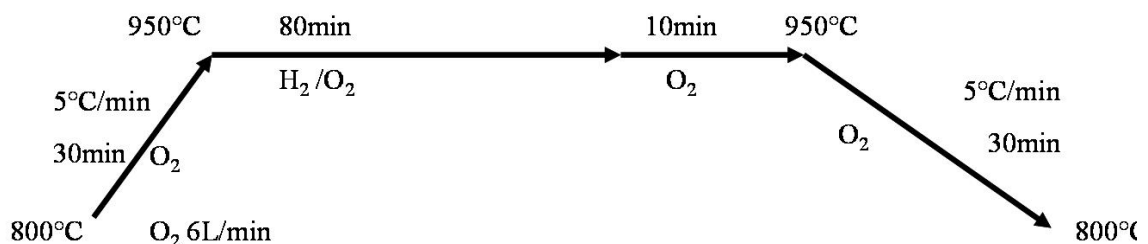


Figure 2. Cycle thermique d'oxydation de champ

Cette étape est ensuite contrôlée à l'ellipsomètre. L'épaisseur d'oxyde est de 0.47μm.

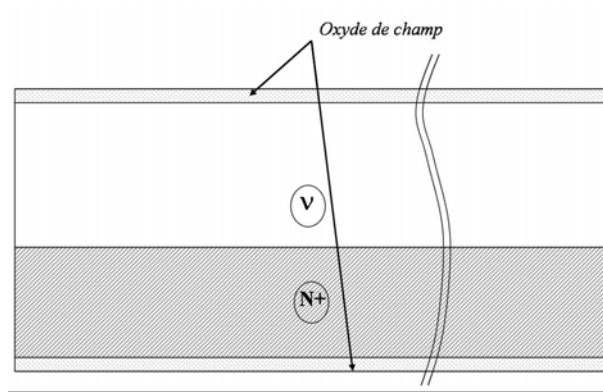


Figure 3. Etat du wafer après E013

1.1.1.2. Réalisation du P+ central et des anneaux de garde de la périphérie

E201 : La première étape consiste à réaliser la photolithographie. Après dépôt de promoteur HMDS en face avant du wafer, une couche de résine JSR1813 de $1.2\mu\text{m}$ est déposée et recuite sur plaque chauffante, durant 2,30 min à 120°C . Le wafer est ensuite exposé au masque 1, PPLUS, puis la résine est développée durant 1min. Suit ensuite un second recuit de 2min sur plaque chauffante à 130°C .

E202 : L'oxyde de champ est gravé par attaque de SiO_2 aux endroits définis par la lithographie. D'abord les tranches sont mises dans un bac à ultrason pendant 4s et après plonné dans la solution HF/HFH_4 de gravure humide à une température de 30°C . Dans ces conditions, la vitesse de gravure de la silice thermique est égale à $1350\text{\AA}/\text{min}$

Durée=4.12 min, profondeur de la gravure mesuré $1.73\mu\text{m}$ (oxyde + résine).

E203 : La résine est ensuite retirée du wafer, par immersion dans un mélange $\text{H}_2\text{SO}_4 + \text{H}_2\text{O}_2$ à 130°C .

Les tranches sont ensuite, de la façon décrite précédemment, nettoyées, rincées, puis séchées en centrifugeuse.

E204 : Les wafers entrent ensuite dans le four pour réaliser la pré-diffusion P+, qui sera complétée ultérieurement par la double diffusion du canal MOS:

E205 : Le lot subit une implantation de Bore à $110^{15} \text{ at}/\text{cm}^{-2}$ sous 160keV d'après les résultats des test technologiques afin d'obtenir une concentration en surface de $5.10^{19} \text{ cm}^{-3}$.

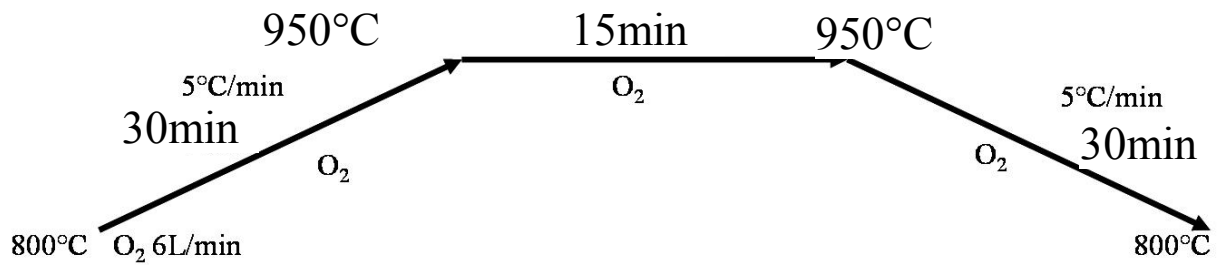


Figure 4. Cycle thermique d'activation de P+ central et de la périphérie en Anneaux de Garde
Après le recuit d'activation, l'épaisseur d'oxyde ajoutée est mesurée ($e_{ox} = 0.5\mu m$)

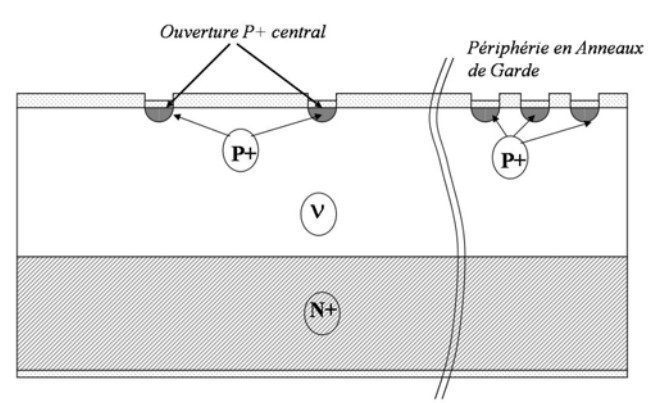


Figure 5. Etat du wafer après E205 (cas d'une périphérie en anneaux de garde)

1.1.1.3. Réalisation de la grille

E301 : La première étape consiste à réaliser la photolithographie, similaire en tout point à la précédente, mais avec le masque 2, OZUT.

E302 : L'oxyde de champ, réduit précédemment, est gravé par attaque de SiO_2 par mélange FH/ FNH_4 comme précédemment, aux endroits définis par la lithographie. Cette opération est suivie d'un contrôle. Le temps de gravure est de 4.45s.

E303 : La résine est ensuite retirée du wafer, par immersion dans un mélange $H_2SO_4 + H_2O_2$ à $130^\circ C$.

E304 : Les tranches sont ensuite, de la façon décrite précédemment, nettoyées, rincées, puis séchées en centrifugeuse.

E305 : L'oxyde fin de grille est ensuite réalisé par oxydation thermique, selon le cycle :

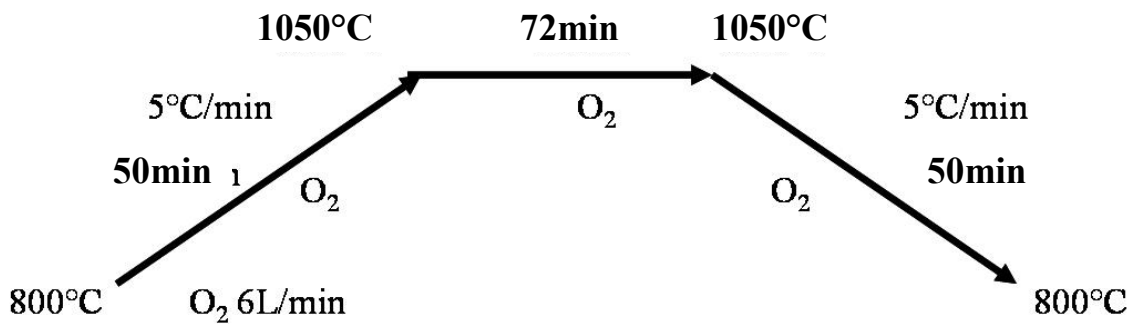


Figure 6. Cycle thermique d'oxydation de grille

L'épaisseur de l'oxyde de grille réalisé est ensuite mesurée (100nm).

E306 : Un wafer témoin est ensuite ajouté au lot, avant de réaliser le dépôt de Silicium polycristallin sur une épaisseur de 400nm. Cette étape est réalisée par dépôt LPCVD de SiH_4 sous 630°C , durant 50min.

E307 : Après ce dépôt, les wafers sont, de la façon décrite précédemment, nettoyés, rincés, puis séchés en centrifugeuse.

E308 : Le silicium polycristallin est ensuite dopé en subissant le cycle suivant:

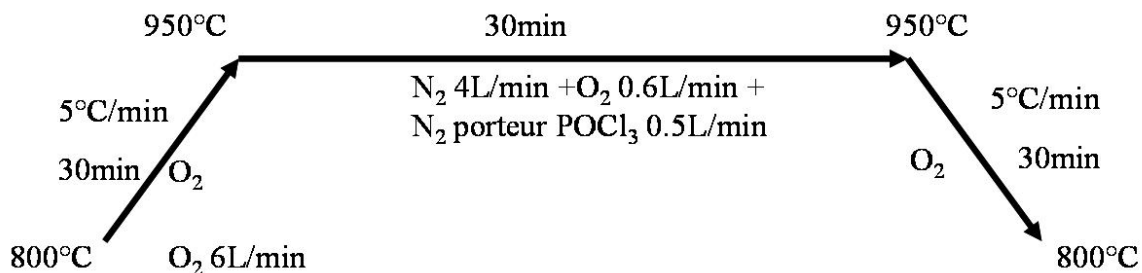


Figure 7. Cycle thermique de dopage du Silicium polycristallin

E309 : Il est ensuite nécessaire de retirer l'oxyde PSG, créé durant le dopage par POCl_3 du Silicium polycristallin. Cette étape est réalisée par attaque FH à 10% durant 15s.

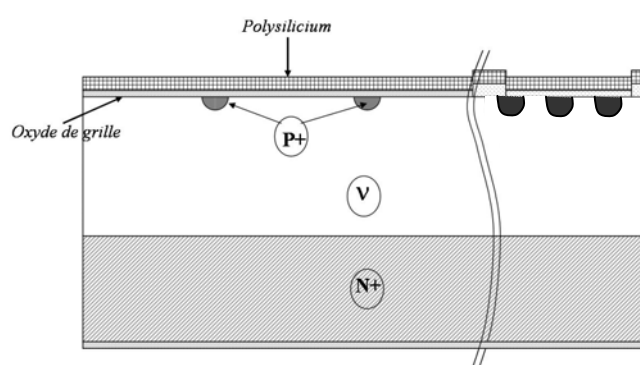


Figure 8. Etat du wafer après E309

1.1.1.4. Réalisation du porte-canal.

E401 : Une photolithographie similaire à la précédente est réalisée à l'aide du masque 3 POLY.

E402 : Le silicium polycristallin est ensuite gravé aux endroits non protégés par la résine, par attaque plasma RIE (attaque ionique réactive).

E403 : Une implantation de Bore est réalisée à 1.10^{13} at/cm² sous 160keV.

E404 : La résine est ensuite retirée par plasma O₂.

E405 : Les wafers sont nettoyés avant la diffusion, de manière classique (HF, rinçage H₂O, mélange H₂SO₄+H₂O₂, rinçage, HF et rinçage H₂O).

E406 : La diffusion P- est ensuite assurée par le cycle suivant:

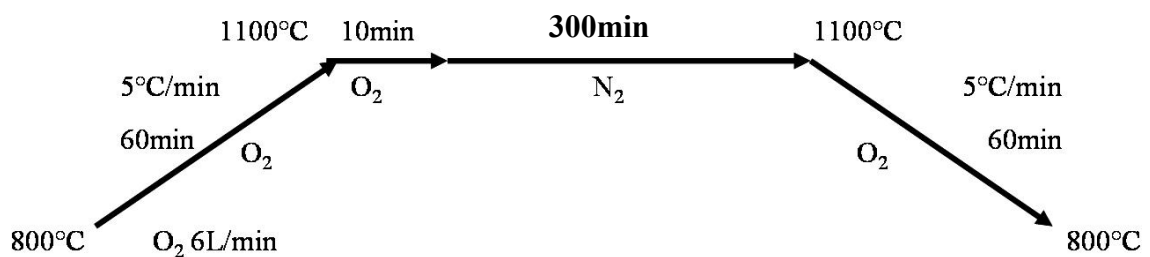


Figure 9. Cycle thermique de diffusion P- porte canal

1.1.1.5. Masque JFET

E501 Une photolithographie, réalisée selon la procédure décrite précédemment, permet de définir les zones à graver qui protègent la zone du canal du JFET. Ce masque permet de dégager le silicium polycristallin sur la périphérie.

E502 : Le silicium polycristallin est ensuite gravé aux endroits non protégés par la résine, par attaque plasma RIE (attaque ionique réactive).

E503 : L'oxyde de silicium réalisé durant la diffusion ($e_{ox}=120\text{nm}$) est retiré par attaque partielle, afin de ne laisser environ $0.04\mu\text{m}$. Un contrôle par résistance carrée et mesure SRP permet de contrôler la profondeur de diffusion ($2.2\mu\text{m}$) et la concentration de surface (5.10^{16} at/cm³).

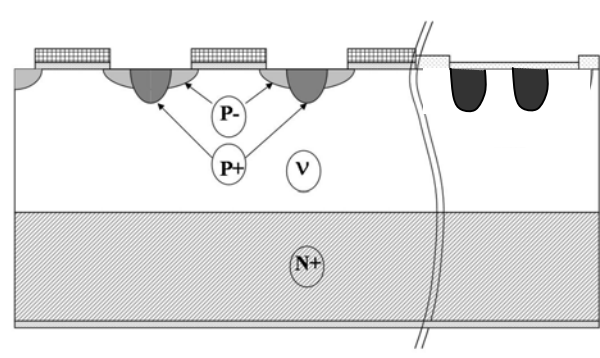


Figure 10. Etat du wafer après E407

1.1.1.6. Réalisation des zones N⁺ de source en face avant et N⁺ de drain en face arrière

E601 : Une photolithographie, réalisée selon la procédure décrite précédemment, permet de définir les zones à doper N⁺ en face avant (îlots de source et silicium polycristallin de grille), à l'aide du masque 5 NPLUS.

E602 : L'oxyde, partiellement retiré précédemment, est conservé.

E603 : L'implantation de Phosphore en face avant est réalisée à 5.10^{15} at/cm² sous 100keV.

La dose visée en surface est de 1.10^{20} at/cm³.

E604 : La résine est ensuite retirée par plasma O₂.

E605 : Une nouvelle couche de résine est appliquée en face avant, pour la protéger durant les prochaines étapes destinées à la réalisation du drain en face arrière.

E606 : Le Silicium polycristallin et l'oxyde accumulé en face arrière durant les précédentes étapes sont retirés par attaque plasma RIE.

E607 : L'implantation de Phosphore en face arrière est réalisée à 5.10^{15} at/cm² sous 100keV.

E608 : La résine de protection de la face avant est ensuite retirée avec de remover.

E609&610 : Les wafers sont nettoyés avant la diffusion, de manière classique (HF, rinçage H₂O, mélange H₂SO₄+H₂O₂, rinçage, HF et rinçage H₂O), avant de subir une passivation (isolation).

E611 : La diffusion du Phosphore N⁺ en face avant et face arrière est réalisée de la manière suivante :

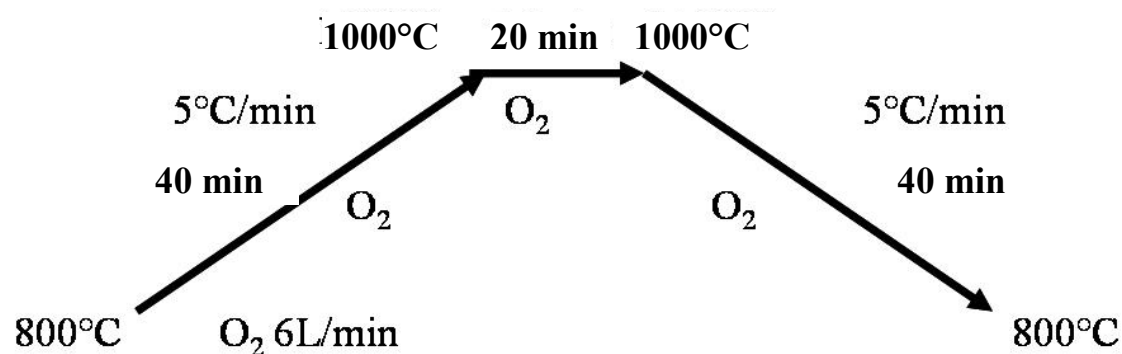


Figure 11. Cycle thermique de diffusion N⁺

Après diffusion, la profondeur est mesurée à l'aide des motifs de test SRP (0.7μm) ainsi que la concentration en surface 2.10^{19} at/cm³.

E612 : Un dépôt d'oxyde APCVD Pyrox est ensuite réalisé à 400°C, à l'aide d'un mélange SiH_4 , O_2 , P_2H_3 (épaisseur de 0.7 μm).

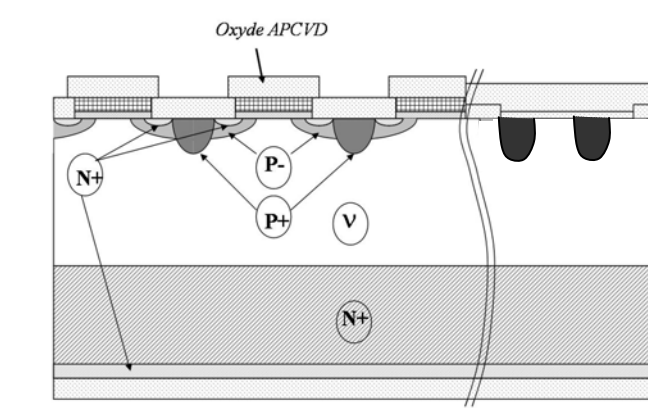


Figure 12. Etat du wafer après E

1.1.1.7. Réalisation des contacts

E701 : La photolithographie, effectuée de manière classique, est réalisée avec le masque 6, OCON.

E702 : Les zones d'oxyde ainsi définies sont ensuite gravées par la gravure humide

E703 : La résine est ensuite retirée par attaque plasma O_2 .

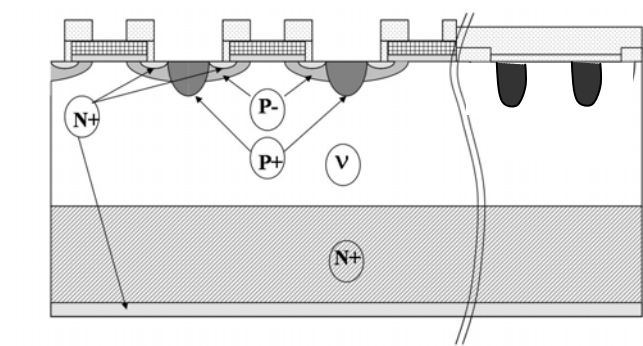


Figure 13. Etat du wafer après E703

1.1.1.8. Dépôt de l'aluminium

E801&802 : Après une étape de désoxydation (identique à celle décrite plus haut), le dépôt Al/Si est réalisé sous 350°C, sur une épaisseur de 2 μm . Mesure d'épaisseur d'aluminium sur une tranche témoin - 1.6 μm .

E803 : S'en suit une étape de photolithographie à l'aide du masque 7, GALU, pour la gravure de l'aluminium déposé en face avant, afin d'isoler source et grille.

E804 : Une fois la résine insolée, et après contrôle du développement, l'aluminium est gravé par attaque plasma RIE.

E805 : La résine est ensuite retirée par attaque plasma O_2 .

E806 : L'aluminium subit ensuite un recuit sous N_2 , à $450^\circ C$ durant 20min.

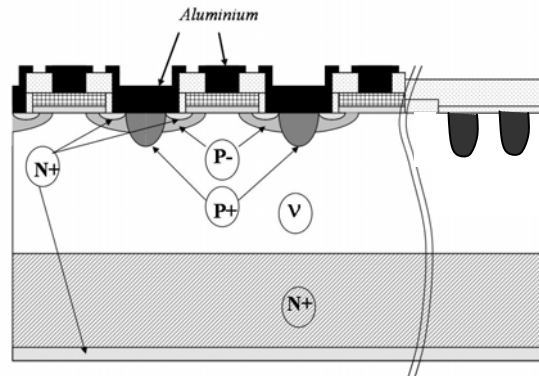


Figure 14. Etat du wafer après E806

1.1.1.9. Passivation et soudure

E901 : Une étape de passivation est assurée par dépôt de SiH_4/NH_3 , par la technique PECVD ASM, à $380^\circ C$, sur une épaisseur de $1\mu m$.

E902 : Une étape de photolithographie est ensuite réalisée à l'aide du masque 8, OSCO, pour définir les zones de prises de contact de bondings en face avant pour la source et la grille.

E903 : La gravure de l'oxyde de passivation définie par la lithographie est réalisée par attaque plasma RIE.

E904 : La résine est ensuite retirée par attaque plasma O_2 .

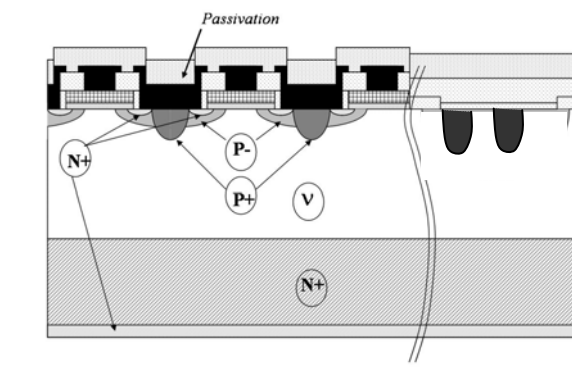


Figure 15. Etat du wafer après E904

1.1.1.10. Réalisation des contacts de face arrière

E1001 : Une couche de résine protectrice est appliquée en face avant.

E1002 : La face arrière est nettoyée, puis un dépôt de $Ti/Ni/Ag$ est réalisé ($Ti=100nm$; $Ni=100nm$; $Ag=1\mu m$).

E1003 : La résine protectrice en face avant est retirée par attaque plasma O_2 .

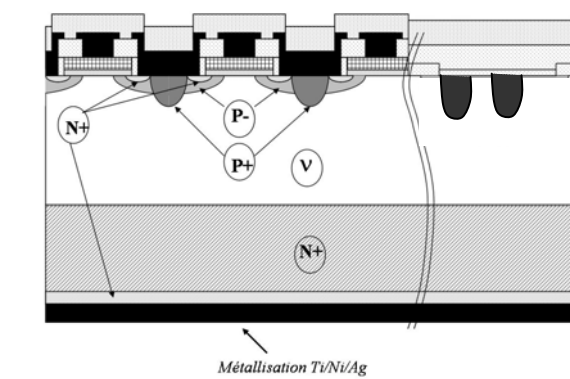


Figure 16. Etat du wafer après E1003

ANNEXE II. APPROCHE DYNAMIQUE EN 7 PHASES POUR LE MOSFET EN COMMUTATION

Nous allons présenter le principe de modélisation du MOSFET décrit dans [AUBARD99]. Ce modèle nous permet de relier les paramètres physiques du MOSFET (dopage de la zone epitaxiale, épaisseur de l'oxyde de grille, dopage de la zone porte canal, longueur du canal) avec ses caractéristiques électriques en régimes statique et dynamique.

Le modèle d'estimation des besoins énergétiques du MOSFET lors d'une commutation est basé sur une approche de commutation en 7 phases présentée dans [VERNEAU03]. Dans ce mode de description, les capacités inter-électrodes sont dépendantes des tensions appliquées aux bornes des électrodes du transistor. Le modèle est basé sur une décomposition des commutations des phases distinctes, en déterminant les tensions de seuils qui séparent les différentes phases. Les expressions des 3 capacités C_{GS} , C_{DS} , C_{DG} pour chaque phase ont été établies, ainsi que celle de la source de courant liée et de la résistance à l'état passant.

L'approche en 7 phases est basée sur la description des différents états de la structure MIS interne au composant et permet de distinguer les différentes phases sur les relevés expérimentaux de commutation.

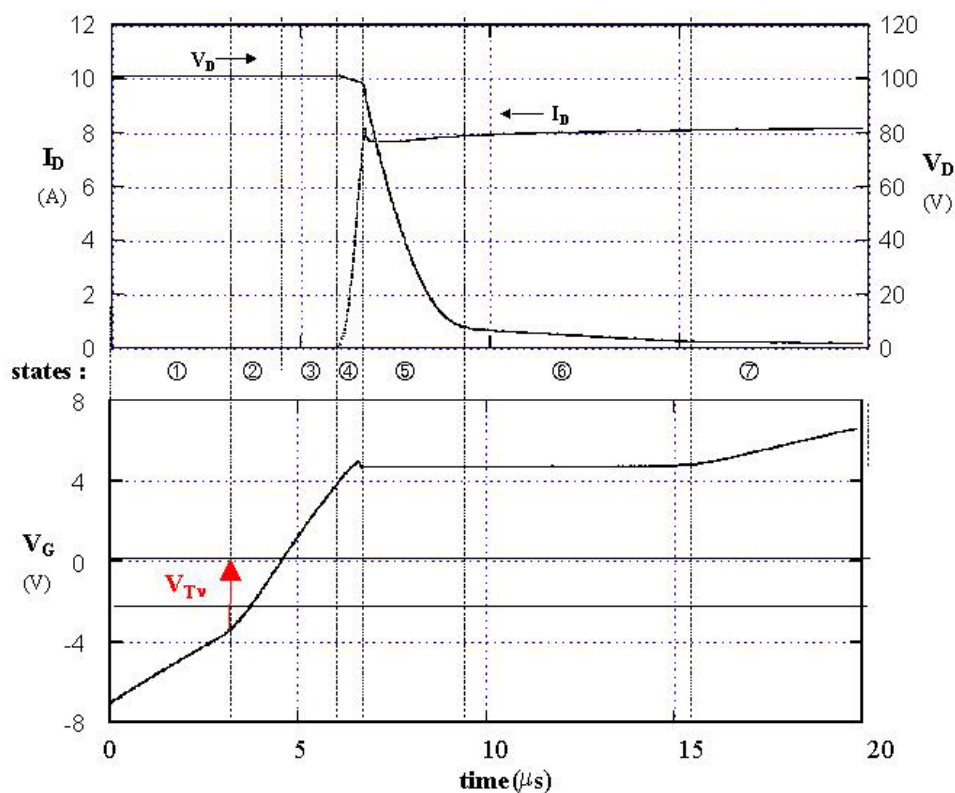


Figure 0.1 Exemple de décomposition en 7 phases de l'amorçage d'un MOSFET APT5024BVRX commutant sous 8A et 100V

En choisissant le potentiel de la source comme référence il est possible de déterminer en fonction des potentiels V_G et V_D , les tensions de seuils des états respectifs de la structure MIS. Dans la description des 7 phases nous allons utiliser les tensions de bande plate V_{FB} et V_{FBV} respectivement dans la zone P de porte canal et dans la zone intercellulaire v et V_T et V_{TV} les tensions de seuils dans les mêmes zones.

Pendant la phase d'amorçage du composant on peut distinguer les 7 phases suivantes :

Phase 1 : $V_G < V_{TV}$ et $V_D \gg 0V$, la zone P porte canal est accumulée et la zone intercellulaire v est inversée. La capacité d'entrée est alors maximale.

Phase 2 : $V_{TV} < V_G < V_{FB}$ et $V_D \gg 0V$, la zone P porte canal est accumulée et la zone intercellulaire v passe de l'état d'inversion à celui de la déplétion. La capacité d'entrée est beaucoup plus faible que lors de phase 1.

Phase 3 : $V_{FB} < V_G < V_T$ et $V_D \gg V_G - V_{FBV}$, la zone porte canal P passe d'accumulation à la déplétion. La zone intercellulaire v reste déplétée. La capacité d'entrée décroît faiblement.

Phase 4 : $V_T < V_G < V_{plateau}$ et $V_D > V_G - V_{FBV}$, la zone P porte canal passe en régime d'inversion. Le courant principal I_0 croît jusqu'à la valeur du courant I_{DS} qu'on cherche à commuter.

Phase 5 : $V_G = V_{plateau}$ et $V_D > V_G - V_{FBV}$, la zone P porte canal est inversée et la zone intercellulaire v est déplétée. Dans cette phase le potentiel de drain décroît rapidement car la capacité de réaction est faible. Le courant principal $I = I_{DS}$ n'évolue plus, ainsi que le potentiel de la grille V_G .

Phase 6 : $V_G = V_{plateau}$ et $V_D < V_G - V_{FBV}$, la zone P porte canal est inversée et la zone intercellulaire v passe en régime d'accumulation d'où une augmentation de la capacité de réaction. La capacité vue de l'entrée redevient alors importante et un ralentissement de la décroissance de V_D est observé, I_D et V_G restent constants.

Phase 7 : $V_G > V_{plateau}$ et V_D devient très faible, la zone P porte canal est inversée et on évolue dans la zone de saturation du réseau de caractéristiques statiques. Le potentiel de grille peut donc de nouveau évoluer. La capacité d'entrée est de nouveau maximale.

Sur la Figure est présentée l'évolution de la structure MIS durant l'amorçage du MOSFET.

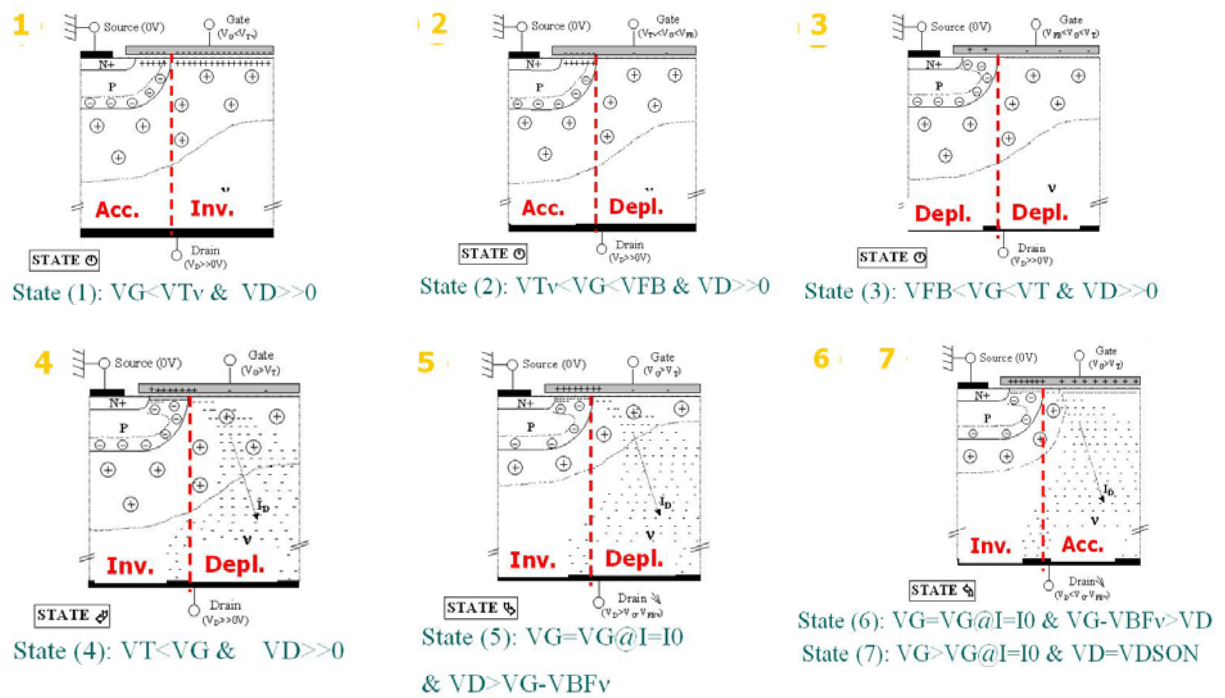


Figure 0.2. L'évolution de la structure MIS durant l'amorçage du MOSFET

En résumé on peut donner toutes les formules donnant les tensions de seuils dans chaque phase et les expressions donnant les valeurs des capacités C_{GD} , C_{GS} , C_{DS} pour chaque phase durant l'amorçage et le blocage du MOSFET.

Expression pour les tensions de seuils :

Seuil	Tension	phénomène
Phase 1/2	$V_G = V_{TV}$	La zone intercellulaire passe de l'inversion à la déplétion
Phase 2/3	$V_G = V_{FB}$	La zone porte canal passe de l'accumulation à la déplétion
Phase 3/4	$V_G = V_{Th}$	La zone de porte canal passe de la déplétion à l'inversion, le courant I_{DS} croît jusqu'à sa valeur nominale.
Phase 4/5	$V_G = V_{G(IDS)} = V_{Gplateau}$	La tension V_{DS} commence à décroître
Phase 5/6	$V_D = V_X = V_{Gplateau} - V_{FBV}$	La zone intercellulaire passe de la déplétion à l'accumulation. La tension V_{DS} continue à décroître plus lentement.
Phase 6/7	$V_D = V_{DSON}$	La tension V_{DS} est à son minimum, la tension V_{GS} augmente jusqu'à $+V_{GS}$.

Tableau 0-1. Expressions les tensions de seuils pendant les différentes phases de la commutation d'un MOSFET

Les expressions donnant les tensions de seuils pour V_{Th} et V_{TV} sont :

$$V_T = \left(V_{FB} + 2 \cdot \frac{k.T}{q} \cdot \ln \left(\frac{Na}{ni} \right) \right) + \frac{\sqrt{2 \cdot q \cdot Na \cdot \epsilon_0 \cdot \epsilon_{Si}} \cdot \sqrt{2 \cdot \frac{k.T}{q} \cdot \ln \left(\frac{Na}{ni} \right)}}{\frac{\epsilon_0 \cdot \epsilon_{Si}}{\epsilon_{ox}}} \quad \text{Eq. 3-54}$$

$$V_{Tv} = \left(V_{FB} - 2 \cdot \frac{k.T}{q} \cdot \ln \left(\frac{Nv}{ni} \right) \right) - \frac{\sqrt{2 \cdot q \cdot Na \cdot \epsilon_0 \cdot \epsilon_{Si}} \cdot \sqrt{V_0 + 2 \cdot \frac{k.T}{q} \cdot \ln \left(\frac{Nv}{ni} \right)}}{\frac{\epsilon_0 \cdot \epsilon_{Si}}{\epsilon_{ox}}} \quad \text{Eq. 3-55}$$

Pour la capacité C_{DS} , les expressions qui donnent sa valeur durant les différentes phases de commutation sont :

Phases	Expression $C_{DS}=f(V_{DS})$
1 à 4	$C_{DS} = \text{cte} = C_{DS\min} = C_{DS}(V_0)$
5 à 6	$C_{DS}(V_{DS}) = \frac{C_{DS0}}{\sqrt{1 + \frac{V_{DS}}{\phi_{DS}}}} \quad \text{où} \quad C_{DS0} = N_{cell} \cdot S_{cell} \cdot \sqrt{\frac{q \cdot Na \cdot Nv \cdot \epsilon_{Si} \cdot \epsilon_0}{2(Na + Nv) \cdot \phi_{DS}}}$ $\text{et } \phi_{DS} = \frac{k.T}{q} \ln\left(\frac{Na \cdot Nv}{ni^2}\right)$
7	$C_{DS} = \text{cte} = C_{DS\max} = C_{DS}(V_{DSON})$

Tableau 0-2. Expressions des valeurs de la capacité C_{DS} pendant les différentes phases de commutation d'un MOSFET

Pour la capacité C_{DG} :

Phases	Expression $C_{DG}=f(V_{GS}, V_{DS})$
1	$C_{DG}(V_{GS}, V_{DS}) \approx 0$
2 à 5	$C_{DG}(V_{GS}, V_{DS}) = \frac{S_0 \cdot C_{ox}^* \cdot [1 - 2 \cdot \chi \cdot V_{DS} + \chi \cdot (V_{GS} - V_{FBV}) + 2 \cdot \chi \cdot \sqrt{V_{DS} \cdot (V_{DS} - V_{GS} + V_{FBV})}]}{\sqrt{1 + \frac{2 \cdot C_{ox}^{*2} \cdot (V_{DS} - V_{GS} + V_{FBV})}{q \cdot Nv \cdot \epsilon_0 \epsilon_{Si}}}}$
6 et 7	$C_{DG}(V_{GS}, V_{DS}) = S_0 \cdot C_{ox}^{*2} \cdot (1 - \chi \cdot V_{DS})$

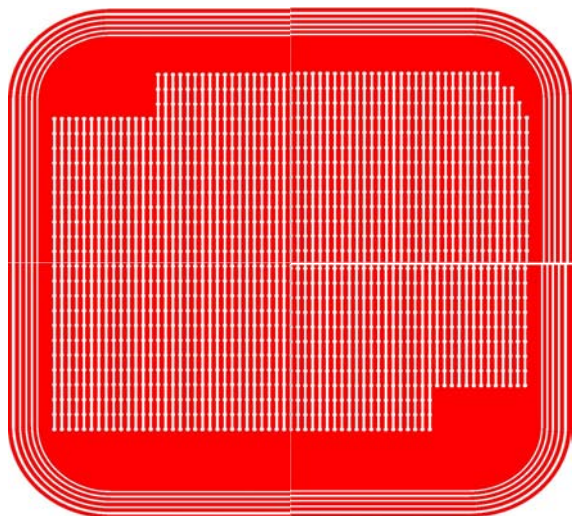
Tableau 0-3. Expressions des valeurs de la capacité C_{DG} pendant les différentes phases de commutation d'un MOSFET

et pour la capacité C_{GS} :

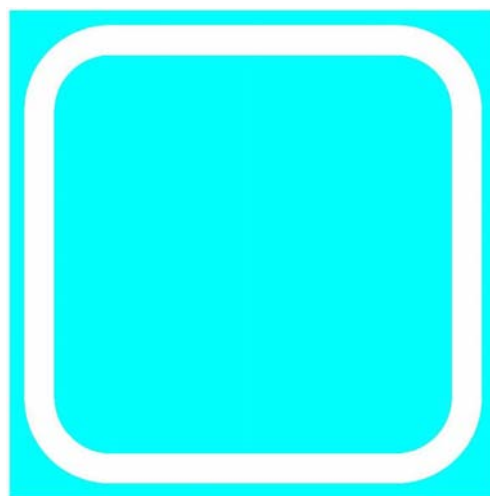
Phases	Expression $C_{GS}=f(V_{GS})$
1	$C_{GS} = C_{GS0} + C_{DG0}$, où $C_{GS0} = \frac{\epsilon_0 \cdot \epsilon_{Si} \cdot S_{rec}}{T_i} + \frac{\epsilon_0 \cdot \epsilon_{ox} \cdot (S_{rec} - S_0)}{e_{ox}}$
2 et 3	$C_{GS} = C_{GS1} + C_{GS2} + C_{GS3} = C_{GS0}$
4 et 5	$C_{GS} = C_{GS0} [1 + \chi_G (V_{GS} - V_{Th})]$
6 et 7	$C_{GS} = C_{GS0}$

Tableau 0-4. Expressions des valeurs de la capacité C_{GS} pendant les différentes phases de commutation d'un MOSFET

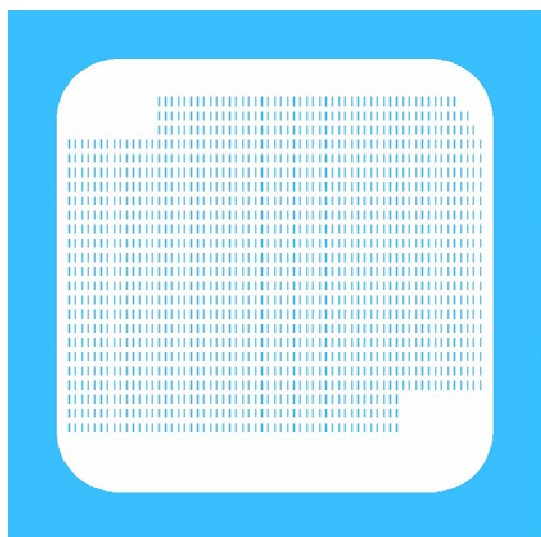
ANNEXE III. MASQUES POUR LA REALISATION DU JFET



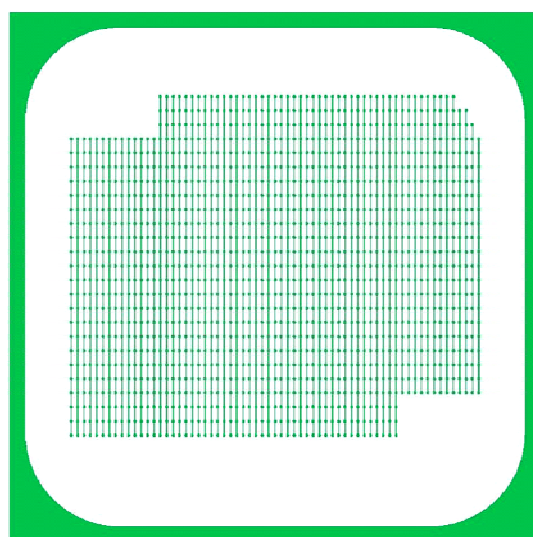
Masque PPLUS



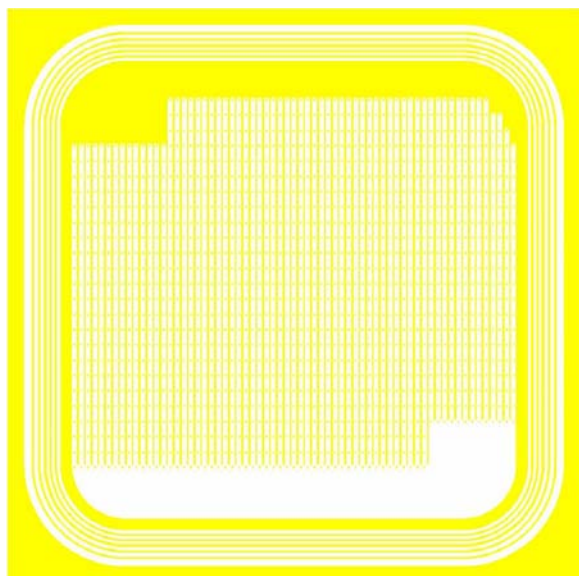
Masque OZUT



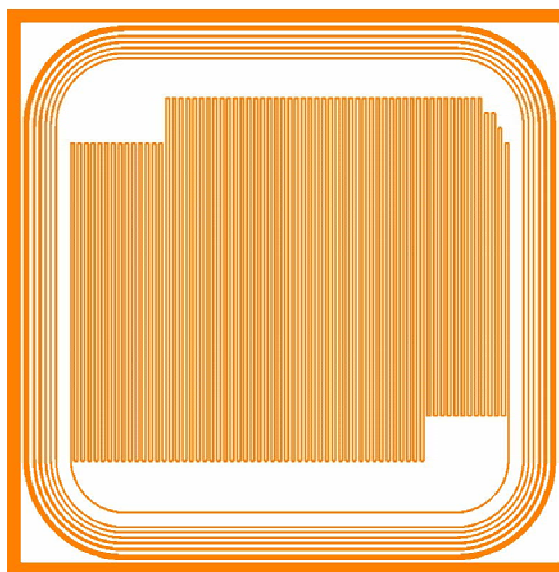
Masque POLY



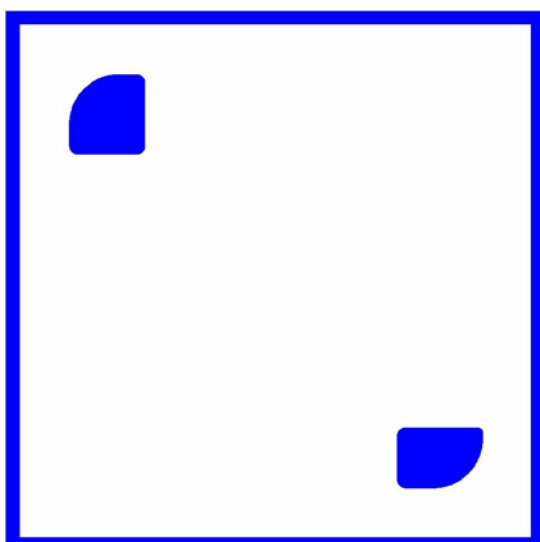
Masque NPLUS



Masque OCON



Masque GALU



Masque OSCO