



HAL
open science

Capteur d'image logarithmique avec compensation "on-chip" du bruit spatial fixe

Karine Matou

► **To cite this version:**

Karine Matou. Capteur d'image logarithmique avec compensation "on-chip" du bruit spatial fixe. Micro et nanotechnologies/Microélectronique. Université Paris Sud - Paris XI, 2003. Français. NNT : . tel-00010586

HAL Id: tel-00010586

<https://theses.hal.science/tel-00010586>

Submitted on 13 Oct 2005

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

N° D'ordre :

UNIVERSITE PARIS XI
UFR SCIENTIFIQUE D'ORSAY

THESE

Présentée

Pour obtenir

LE GRADE DE DOCTEUR EN SCIENCES

DE L'UNIVERSITE PARIS XI ORSAY

PAR

Karine MATOU

Sujet :

**CAPTEUR D'IMAGE LOGARITHMIQUE CMOS AVEC
COMPENSATION "ON-CHIP" DU BRUIT SPATIAL FIXE**

Soutenue le : 17 Juillet 2003 devant la commission d'examen

M. Francis DEVOS	<i>président</i>
M. Eric BELHAIRE	<i>examineur</i>
M. Serge WEBER	<i>examineur</i>
M. Gérard BOUVIER	<i>rapporteur</i>
M. Guy CATHEBRAS	<i>rapporteur</i>
M. Yang NI	<i>directeur de thèse</i>

**A ma mère,
à ma sœur Sabine,
à mon frère Jean-Alexandre,
et à Aurore.**

J'adresse tous mes remerciements,

au Professeur Bernadette Dorizzi pour m'avoir accueillie au sein du département Electronique Physique de l'Institut National Télécommunication,

au Professeur Yang Ni pour avoir dirigé cette thèse en me faisant bénéficier une grande partie de ses connaissances pratiques et théoriques. Qu'il me soit permis par ce manuscrit de lui témoigner ma profonde reconnaissance pour la disponibilité et le soutien qu'il m'a accordés,

au Professeur Francis Devos pour m'avoir permis de découvrir la micro-électronique pour laquelle j'éprouve une grande passion et pour avoir accepté de présider mon jury,

au Professeur Gérard Bouvier et au Docteur Guy Cathebras pour avoir accepté de juger ce manuscrit,

au Professeur Serge Weber et au Docteur Eric Belhaire pour avoir accepté de participer à mon jury,

à Monsieur Christian Perpère et à Monsieur Jean-Pierre Levrey pour leur gentillesse, leur humour et de m'avoir permis de découvrir l'enseignement,

au Docteur Muriel Muller pour son soutien, sa gentillesse, son amitié et de m'avoir grandement aidé pour la correction de mon manuscrit.

à Monsieur Jean-Claude Lafont pour sa gentillesse et ses conseils,

à l'équipe du département EPH, le Docteur Nel Samama, Monsieur François Delavault, le Docteur Yaneck Gottesman, le Docteur Marc François, Monsieur Alain Lebègue, Monsieur Antoine Martin, Madame Marie-Thérèse Courcier et Madame Yolande Aubineau pour leur gentillesse, leur disponibilité et leur aide tout au long de ces quatre années de travail,

Et à Xavier et Dominique pour leur soutien, leurs encouragements.

Résumé

Cette thèse s'articule autour du concept "système de vision à base de rétine électronique". Le travail de cette thèse porte plus particulièrement sur la conception et la réalisation d'un capteur d'image CMOS logarithmique avec une fonction de compensation *on-chip* du BSF (Bruit Spatial Fixe). Les expériences récentes montrent qu'un capteur d'image ayant une réponse logarithmique, similaire à celle de l'œil humain, est très adapté pour des applications de vision. Cette réponse logarithmique donne non seulement un signal image directement proportionnel au contraste optique mais aussi une plage dynamique de fonctionnement très étendue liée à la compression opérée par la fonction logarithmique.

L'un des principaux problèmes dans un capteur d'image logarithmique, est le BSF. Ce bruit réduit la qualité de l'image et limite l'utilisation de ce type de capteur dans des applications de vision. Dans cette thèse, nous avons exploré une structure radicalement différente de celle utilisée par beaucoup d'autres chercheurs : utilisation d'une photodiode en mode photovoltaïque plutôt qu'en mode photoconducteur. Cette photodiode combinée avec un transistor d'initialisation permet de générer un signal de référence noir dans n'importe quelle condition lumineuse. Cette nouvelle approche ouvre la voie à une compensation *on-chip* du BSF simple et efficace.

Ce photorécepteur a été intensément étudié dans cette thèse. Un circuit prototype a été conçu et fabriqué dans une technologie CMOS standard 0,8 μ m via le service CMP français. Il a été entièrement testé et caractérisé. Le résultat expérimental a non seulement validé les prédictions théoriques mais aussi a démontré une bonne qualité de l'image et aussi une bonne sensibilité en condition de faible illumination. Certains problèmes de conception et phénomènes électriques ont été également étudiés dans cette thèse. Des solutions proposées à ces problèmes peuvent être intéressantes pour les concepteurs et les chercheurs dans ce domaine. A la fin, quelques questions en suspens sur le capteur d'image logarithmique ont été soulignées et des directions de recherche correspondantes ont été précisées.

Abstract

This thesis is inserted in the research project on «Vision System by Silicon Retina». The research work of this thesis is focused on the design and realisation of a CMOS logarithmic imager with an on-chip FPN (Fixed Pattern Noise) compensation in standard CMOS technology. Recent experiences have shown that an image sensor with logarithmic response, similar to that of human eyes, is very adapted to vision applications. This logarithmic response gives not only an image signal proportional to the optical contrast but also a wide dynamic range thanks to the logarithmic compression.

One of the most critical problems is the FPN from a logarithmic pixel array, which reduces the quality of image and limits its utility in real applications. In this thesis, we have explored a structure radically different from these used by many other researchers: using a photodiode working in solar cell mode rather than in photoconductor mode. Besides this photodiode is combined with a reset transistor which permits the generation of dark reference signal under illumination conditions. This new approach opens the way to an easy and effective *on-chip* compensation of FPN.

This photoreceptor has been intensively studied in this thesis and a 160x120-pixel prototype chip has been designed and fabricated in 0.8 μ m CMOS technology via French CMP service. This prototype chip has been fully tested and characterised. The results of this experimentation has not only validated the theoretical predictions but also demonstrated a good image quality and a high sensitivity. Some design and electrical problems and phenomena in this sensor chip have been also investigated in this thesis and the solutions to these problems could be interesting to designers and researchers in this area. At the end some open questions on the logarithmic imager have been underlined and correspondent research directions have been pointed out.

Table des matières

Chapitre 1- INTRODUCTION.....	1
Chapitre 2- ÉTAT DE L'ART DES CAPTEURS D'IMAGE.....	5
2.1. LES CAPTEURS D'IMAGES CLASSIQUES.....	7
2.1.1. <i>Capteur CCD</i>	7
2.1.2. <i>Capteurs d'images CMOS</i>	10
2.1.2.1. Capteur d'image CMOS à pixel passif - PPS.....	11
2.1.2.2. Capteur APS.....	15
2.2. LES CAPTEURS D'IMAGE INTELLIGENTS.....	20
2.2.1. <i>Capteur adaptatif contrôle automatique du temps d'intégration local</i>	21
2.2.2. <i>Capteur à adaptation locale à contre - réaction</i>	23
2.2.3. <i>Capteur adaptatif à égalisation d'histogramme</i>	25
2.2.4. <i>Capteur APS multi-sensibilité</i>	28
2.2.5. <i>Capteur adaptatif à multiple expositions spatiale</i>	30
2.3. CONCLUSION.....	33
Chapitre 3- CAPTEUR D'IMAGE LOGARITHMIQUE.....	35
3.1. PIXELS LOGARITHMIQUES.....	37
3.2. MODÉLISATION DES SOURCES DE BRUIT SPATIAL FIXE.....	40
3.3. TECHNIQUE DE COMPENSATION DE BSF "OFF-CHIP".....	42
3.3.1. <i>Technique "off-chip" numérique</i>	42
3.3.2. <i>Technique "off-chip" analogique-numérique mixte</i>	43
3.3.3. <i>Conclusion</i>	44
3.4. TECHNIQUES DE COMPENSATION DE BSF "ON-CHIP".....	45
3.4.1. <i>Technique de compensation basée sur une référence "grise"</i>	45
3.4.2. <i>Technique de compensation "on-chip" basée sur une référence "super brillante"</i>	47
3.5. CONCLUSION.....	49
Chapitre 4- PHOTORÉCEPTEUR LOG-PV.....	51
4.1. PHOTORÉCEPTEUR PHOTOVOLTAÏQUE.....	52
4.1.1. <i>Utilisation d'une photodiode en mode Photovoltaïque</i>	52
4.1.2. <i>Photorecepteur Log-PV</i>	53
4.1.3. <i>Modélisation</i>	55
4.2. RÉPONSE À UNE SOURCE OPTIQUE STATIQUE.....	58
4.3. INFLUENCES DU TRANSISTOR DE COMMUTATION.....	62
4.3.1. <i>Courant sous-seuil</i>	63
4.3.2. <i>Injection de charge</i>	65
4.4. RÉPONSE À UNE SOURCE OPTIQUE DYNAMIQUE.....	70
4.5. CONCLUSION.....	74
Chapitre 5- CONCEPTION ET RÉALISATION D'UN CAPTEUR PROTOTYPE LOG-PV.....	75
5.1. STRUCTURE GÉNÉRALE.....	76
5.2. STRUCTURE PIXEL.....	77
5.2.1. <i>Suiveur PMOS</i>	78
5.2.2. <i>Temps de stabilisation</i>	80
5.2.3. <i>Dessin de masque du pixel</i>	83
5.3. CIRCUIT DE LECTURE.....	84
5.3.1. <i>Injection de charge</i>	85
5.3.2. <i>Vitesse de commutation de l'E/B</i>	86
5.3.3. <i>Temps de stabilisation du circuit de lecture</i>	88
5.3.4. <i>Dessin de masque du circuit de lecture</i>	91

5.4.	CIRCUIT DE COMPENSATION DU BSF.....	91
5.4.1.	<i>Analyses de fonctionnement général</i>	94
5.4.2.	<i>Analyse des imperfections</i>	97
5.4.2.1.	Injection de charge des transistors NMOS.....	97
5.4.2.2.	Analyse en fonction de la zone de réponse du photorécepteur.....	103
5.4.3.	<i>Dessin de masque</i>	107
5.5.	REGISTRE À DÉCALAGE.....	108
5.6.	CIRCUIT DRIVER DE LIGNE.....	112
5.7.	ÉTAGE SORTIE VIDÉO.....	115
5.8.	DESSIN DE MASQUE DU CIRCUIT PROTOTYPE LOG-PV.....	116
5.9.	CONCLUSION.....	117
Chapitre 6- EXPÉRIMENTATIONS.....		119
6.1.	CIRCUIT DE PILOTAGE ET D'INTERFACE.....	120
6.2.	DISPOSITIF OPTIQUE EXPÉRIMENTAL.....	121
6.3.	RÉPONSE DU PROTOTYPE LOG-PV À UNE SOURCE LUMINEUSE STATIQUE.....	123
6.3.1.	<i>Tests, mesures, analyses et modélisation de la réponse d'un pixel</i>	123
6.3.1.1.	Temps de stabilisation du pixel.....	126
6.3.1.2.	Injection de charge du transistor d'initialisation.....	129
6.3.1.3.	Extraction des paramètres électriques d'un pixel Log-PV.....	129
6.3.1.4.	Effets du $I_{Bias_{pixel}}$ sur des images acquises.....	130
6.3.2.	<i>Tests, mesures et analyses du circuit de lecture</i>	131
6.3.2.1.	Temps de stabilisation.....	132
6.3.2.2.	Injection de charge du transistor d'échantillonnage.....	133
6.3.2.3.	Acquisition d'images montrant l'effet du courant de polarisation $I_{Bias_{lec}}$	133
6.3.3.	<i>Test, mesure et analyse du circuit de compensation du BSF</i>	134
6.3.3.1.	L'influence du courant de polarisation de l'AOP sur le temps de stabilisation.....	134
6.3.3.2.	Temps de stabilisation pendant le balayage d'une ligne.....	137
6.3.3.3.	Injection et absorption de charge.....	139
6.3.3.4.	Problème d'uniformité.....	140
6.3.3.5.	L'effet du courant de polarisation I_{AOP} sur l'image de sortie.....	146
6.3.4.	<i>Le Bruit Spatial Fixe</i>	146
6.4.	REGISTRE À DÉCALAGE.....	151
6.5.	COMPORTEMENT DU PROTOTYPE LOG-PV VIS À VIS UNE SOURCE LUMINEUSE VARIABLE.....	153
6.6.	IMAGES À LA SORTIE DU CAPTEUR LOG-PV.....	155
6.7.	CONCLUSION.....	157
Chapitre 7- CONCLUSION ET PERSPECTIVES.....		159
7.1.	CONCLUSION.....	159
7.2.	PERSPECTIVES.....	161
REFERENCE BIBLIOGRAPHIQUE.....		163
ANNEXE 1: CARACTÉRISTIQUES OPTOÉLECTRONIQUES DES JONCTIONS DANS UNE TECHNOLOGIE CMOS STANDARD.....		171
A.1.	PRINCIPE DE FONCTIONNEMENT D'UNE PHOTODIODE.....	172
A.2.	CALCUL DU RENDEMENT QUANTIQUE ET DU FACTEUR DE CONVERSION D'UNE JONCTION PN.....	174
A.3.	ESTIMATION DES PROPRIÉTÉS PHOTOÉLECTRIQUES À PARTIR DES PARAMÈTRES SPICE.....	177
A.4.	CHOIX DES JONCTIONS PN POUR UN CAPTEUR D'IMAGE CMOS.....	180
ANNEXE 2 : PUBLICATIONS AU COURS DE LA THÈSE.....		183

Chapitre 1

Introduction

La vision est l'un des moyens de perception les plus importants, par lequel nous saisissons la grande majorité des informations de notre environnement. Ceci reste également vrai pour une machine artificielle dite intelligente. Les systèmes de vision des êtres vivants dans ce monde sont très divers, mais tous possèdent une efficacité remarquable pour leurs tâches de survie respectives. De nombreuses équipes de recherche s'en inspirent pour une réalisation efficace des systèmes de vision artificielle [Moini97] [Ali94] [Sandi00] [Hyun01].

L'une des différences majeures entre une machine de vision artificielle et un système de vision biologique est l'existence des pré-traitements au sein même des photorécepteurs. Ces pré-traitements engendrent des propriétés très intéressantes pour les traitements postérieurs et pour l'interprétation des images acquises. Grâce à l'avancement de la technologie VLSI (Very Large Scale Integration), un capteur d'image muni de circuits de pré-traitements au sein d'une matrice de pixels devient réalisable. Cette structure donne un nouveau paradigme qui associe l'acquisition et le traitement au sein d'un même capteur dit « intelligent » que nous pouvons alors appeler « une rétine électronique ».

Une rétine électronique est donc un système de vision intégré compact associant sur un même substrat des opérateurs d'acquisition d'image, des opérateurs de traitement, des circuits de contrôle et des convertisseurs analogique/numérique (CAN). L'un des problèmes majeurs dans ces machines de vision est lié à la grande variabilité lumineuse des scènes naturelles. Celles-ci exigent une très grande dynamique de fonctionnement pour les capteurs d'image. En effet toutes les informations primaires dans une machine de vision proviennent du ou des capteurs d'image mis en jeu, ils doivent supporter cette grande dynamique pour conserver les informations pertinentes.

Pour résoudre ce problème, des équipes de recherche ont travaillé sur des capteurs ayant une plage dynamique étendue, possédant une bonne sensibilité tout en conservant une résolution spatiale suffisante.

Les technologies d'intégration actuelles sont basées sur une implantation planaire (2D). Donc nous sommes sans cesse confronté à un dilemme entre la complexité des traitements dans un pixel et la résolution accessible dans une technologie donnée. Les rétines électroniques actuellement proposées [Ni93c][Ni94][Arion95][Ni97][Ni00][Schan00] sont souvent conçues pour des applications bien ciblées. Les pré-traitements mis en jeu conduisent à une taille de pixel très élevée et une trop faible résolution pour être généralisable. Si le progrès en circuits et traitements numériques fait que beaucoup de traitements implantés en analogique auparavant sont réalisables et efficaces en numérique, une implantation analogique au sein d'un pixel est toujours incontournable pour l'extension de la plage dynamique. Ceci exige un effort de recherche pour des solutions simples et compactes.

Une réponse photoélectrique logarithmique, similaire à celle de l'œil humain, est très intéressante pour les systèmes de vision. D'une part cette réponse en Log est proportionnelle directement au contraste de l'image optique, d'autre part elle donne une plage dynamique de fonctionnement très étendue liée à la compression opérée par la fonction logarithmique. De plus, cette loi logarithmique est omniprésente dans beaucoup de phénomènes physiques et électriques. Elle peut conduire à des structures analogiques intrinsèquement simples et compactes.

La plupart des capteurs d'image logarithmiques existants, réalisés dans une technologie CMOS, utilisent une photodiode en mode photoconducteur et exploitent la loi logarithmique entre la tension grille/source et le courant drain d'un transistor MOS fonctionnant en faible inversion. Cette structure donne une réalisation très simple et très compacte. Malgré sa simplicité, la variation de la tension de seuil, même si elle est faible, du transistor MOS dans un tel pixel donne un Bruit Spatial Fixe (BSF) très important. Par ailleurs, le courant de fuite dans le transistor de conversion logarithmique, qui devient de plus en plus important avec les technologies avancées, limite sérieusement la sensibilité de ces capteurs en cas de faible luminosité. Dans ces mêmes conditions, le photorécepteur logarithmique génère également une large traînée sur l'image du au fait qu'il n'est pas initialisé après chaque acquisition d'image et que la structure composée du transistor et de la photodiode constitue un filtre passe-bas dont la constante de temps est d'autant plus importante que le photocourant est faible.

Différentes techniques ont été explorées afin de compenser le bruit BSF du capteur d'image logarithmique CMOS. La plupart de ces techniques sont basées sur un principe simple : 1° acquisition d'une image de référence dans l'obscurité ; 2° soustraction des images

acquises par cette image de référence. Ce principe de compensation peut se faire soit avec un soustracteur numérique soit avec un soustracteur analogique. Il peut fonctionner correctement seulement sous certaines conditions :

- 1) la chaîne de lecture du capteur doit être très linéaire afin d'avoir un BSF le plus additif possible ;
- 2) l'image de référence doit contenir seulement le BSF ;
- 3) une image noire de référence doit être renouvelée fréquemment pour qu'elle soit précise vis à vis des changements environnementaux ;
- 4) les conditions de travail du capteur doivent être stables vis à vis de la température, de la tension d'alimentation, etc. .

Le point 2) mérite d'être expliqué plus en détail. Comme nous l'avons expliqué précédemment, l'image de référence permet, par une simple soustraction, de supprimer le BSF c'est à dire une composante continue. Mais en réalité, cette image de référence est composée non seulement du BSF mais aussi du logarithme du courant d'obscurité de la photodiode (voir chapitre 3). Ce dernier est très variable entre l'acquisition des deux images, par conséquent la compensation de ce courant ne peut être satisfaisante. Ceci illustre bien la difficulté d'acquérir une image de référence adéquate.

De plus dans de tel capteur logarithmique, une image noire de référence ne peut être obtenue que de façon optique, il est difficile d'actualiser l'image de référence pendant l'usage de ce système. Par conséquent, l'exploitabilité d'un capteur d'image logarithmique dans des systèmes de vision exige les améliorations suivantes :

- Une méthode simple, stable et précise pour compenser le bruit BSF.
- Une amélioration de la sensibilité optique.
- Une réduction des traînées sur l'image dans les conditions de faible luminosité.

Ce travail de thèse est essentiellement motivé par ces améliorations pour un capteur logarithmique utilisable dans un système de vision. Ce mémoire décrit une approche radicalement différente : nous proposons d'utiliser dans notre pixel logarithmique une photodiode en mode photovoltaïque contrairement au mode photoconducteur classique associé à un transistor MOS de conversion. Cette approche innovante donne la possibilité de compenser le bruit BSF à l'intérieur du circuit grâce à des circuits analogiques classiques. De

plus, nous montrerons que ce mode de fonctionnement élimine les problèmes dus au courant de fuite dans le transistor MOS de conversion et ainsi augmente substantiellement la sensibilité photoélectrique dans des conditions de faible éclairage.

Ce nouveau photorécepteur, que nous nommerons 'Log-PV', a été implanté dans un circuit prototype de 120 x 160 pixels. Ce prototype a été conçu et réalisé dans une technologie CMOS standard 0,8 μ m via le service CMP français.

Le présent mémoire est organisé de la manière suivante :

- Le chapitre 2 présente un aperçu des capteurs d'image classiques : les capteurs CCD et les capteurs CMOS. Nous ferons également une rétrospective des capteurs intelligents existants visant à élargir la plage dynamique de fonctionnement.
- Le chapitre 3 présente les différents types de photorécepteur logarithmique. Nous analysons ensuite les sources de Bruit Spatial Fixe (BSF) existantes en général dans un capteur d'image logarithmique CMOS. Enfin nous décrivons plusieurs techniques de réduction du BSF pour ce type de capteurs.
- Le chapitre 4 est consacré à l'étude du photorécepteur Log-PV. Nous présenterons le premier photorécepteur conçu et réalisé par Y. Ni dont la photodiode fonctionne en mode photovoltaïque. Ensuite nous décrivons le principe de fonctionnement du photorécepteur Log-PV. Une attention particulière sera portée dans ce chapitre à sa modélisation, qui nous permettra d'étudier son comportement vis à vis d'une source lumineuse soit statique soit dynamique.
- Le chapitre 5 détaille la structure du prototype Log-PV : 1° le pixel ; 2° le circuit de lecture ; 3° le circuit de compensation ; 4° le registre à décalage ; 5° le circuit de sélection et d'initialisation d'une ligne de pixels ; 6° le circuit permettant d'avoir à la sortie un signal vidéo. Les simulations électriques et les différents masques seront présentés.
- Le chapitre 6 présente les résultats de test du prototype Log-PV. Il aborde en détail les fonctionnements du nouveau photorécepteur Log-PV ainsi que du circuit permettant de compenser le bruit BSF. Une analyse de la performance de ce prototype sera présentée dans ce chapitre. Nous y présenterons également des problèmes découverts dans ce circuit et proposerons des solutions d'améliorations.
- Le chapitre 7 conclue sur les travaux réalisés au cours de cette thèse, et donne les perspectives.

Chapitre 2

État de l'art des capteurs d'image

Le rôle d'un imageur, dans les machines de vision, est de convertir une image optique en une image électronique (charge, tension ou courant) en conservant les informations pertinentes en fonction des applications visées. Dans un capteur à l'état solide, cette opération est effectuée par le biais d'un échantillonnage spatio-temporel de la scène observée à l'aide d'une matrice de pixels.

Tout à commencer en 1887, quand le physicien allemand H. Hertz [Hertz87] a découvert l'effet photoélectrique en illuminant deux surfaces métalliques sous tension au moyen d'une lampe à arc (lumière à courte longueur d'onde), il s'est produit une étincelle électrique entre ces deux plaques. En 1905, A. Einstein a rétabli l'aspect corpusculaire de la lumière, en introduisant le concept du photon, afin d'expliquer l'effet photoélectrique. Cette découverte est à la base de tous les capteurs d'image à l'état solide. Le développement considérable de la technologie des semi-conducteurs nous a permis aujourd'hui de réaliser des capteurs d'image performants et miniaturisés.

Parmi les multiples structures des capteurs d'image, on retrouve deux familles principales : le capteur CCD et le capteur MOS.

Le capteur CCD (Charge Coupled Device) est le type de capteurs le plus utilisé aujourd'hui. On le trouve dans de nombreux domaines d'applications grâce à leurs performances en terme de qualité d'image et en terme de sensibilité optique. Mais la technologie CCD fait appel à un procédé de fabrication spécial qui limite l'intégration des fonctions de manipulation d'image au strict minimum.

Malgré son apparition très précoce, le capteur MOS est le premier capteur à l'état solide commercialisé [Koike80][Ohba80]. Sa faible performance vis à vis du CCD fait qu'il est quasiment occulté par le capteur CCD. Cependant remarquons qu'un capteur (C)MOS fait appel à un procédé de fabrication standard CMOS. Cela lui donne un avantage considérable en vue d'une intégration des fonctions de traitement d'image au sein du capteur voire du

pixel. De plus, la diminution de la lithographie CMOS rend possible cette approche Système-sur-une-Puce (SoC : System-on-a-Chip) [Fossum95a][Fossum95b][Min98].

En 1968 P. Noble [Noble68] décrit le fonctionnement des capteurs MOS : PPS (Passive Pixel Sensor) et APS (Active Pixel Sensor). Dans son article, P. Noble est le premier à proposer une amplification active au sein du pixel (APS). Cette proposition offre non seulement des solutions à plusieurs inconvénients du CCD : 1° forte consommation électrique liée à la génération des horloges rapides et de grande amplitude ; 2° cherté due à sa technologie particulière ; 3° impossibilité d'avoir un adressage aléatoire des pixels de la matrice. Alors que cette fonctionnalité est très intéressante pour un système de vision.

En effet, avec les progrès considérables dans la technologie d'intégration CMOS, il est envisageable d'intégrer dans le pixel d'un capteur APS un mini-système de traitement sans sacrifier la résolution de l'image [Fossum93][Ni93b][Fossum95a][Fossum95b][Fossum97][Fang98][Hille00]. Mais le niveau de bruit dans un capteur (C)MOS est beaucoup plus élevé que celui d'un capteur CCD. Ceci conduit non seulement à un faible rapport signal sur bruit de l'image mais aussi à une faible dynamique de fonctionnement. Les sources de bruits dans un capteur CMOS sont multiples : bruits de commutation (KTC), bruits spatiaux fixes (BSF) liés à la dispersion paramétrique des transistors, la contamination par les bruits générés par les circuits de traitement, etc. Beaucoup d'efforts sont consacrés à la réduction de ces bruits dans un capteur CMOS [Sugik00][Yonem00][Fujim00][Meyna01][Pain01][Tabet01].

Dans ce chapitre nous donnerons un bref aperçu de ces différents types de capteurs d'image classiques : CCD, CMOS (PPS et APS). Enfin nous détaillerons les différentes techniques permettant d'élargir la dynamique intra-scène du capteur CMOS.

2.1. Les capteurs d'images classiques

2.1.1. Capteur CCD

Le concept de base du capteur CCD est né en 1970 dans les laboratoires Bell grâce aux travaux des ingénieurs W. Boyle, G. Smith et G.G. Amlio [Boyle70]. Initialement utilisé pour réaliser des lignes à retard, des filtres analogiques, etc., ce concept a rapidement évolué vers des applications d'imageries. En 1974, les ingénieurs de Fairchild Electronics ont créé le premier capteur d'image en CCD d'une résolution de 100 x 100 pixels.

La cellule de base d'un CCD est basée sur une capacité MOS. La figure 2-1 montre qu'une capacité MOS est composée d'une électrode grille M (par exemple : en métal), d'un substrat semi-conducteur de type P relié à la masse et d'une couche isolante SiO₂.

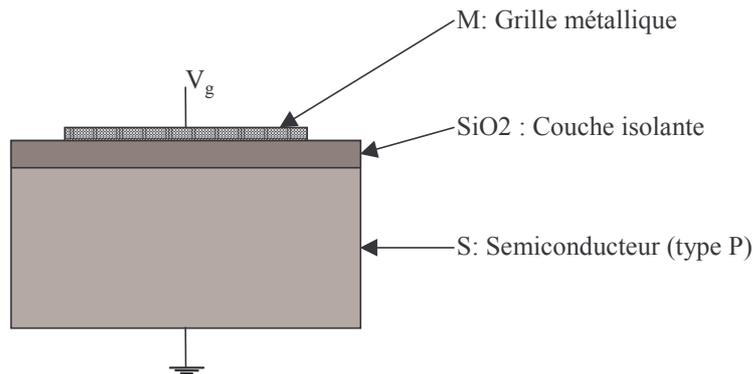


Figure 2-1 : La structure d'une capacité MOS.

Quand sa grille est polarisée par une tension de grille V_g supérieure à une tension de seuil V_{th} , ceci crée un champ électrique qui repousse les charges libres du substrat et ainsi forme une région de déplétion sous la grille dans le substrat (appelée aussi zone de charge d'espace ZCE), comme le montre dans la figure 2-2. La profondeur de la zone de charge d'espace peut être contrôlée par la tension appliquée sur la grille.

Nous mettons une deuxième capacité MOS à côté de la première, nous pouvons faire transiter les charges accumulées de l'une à l'autre en créant des puits de potentiel successifs.

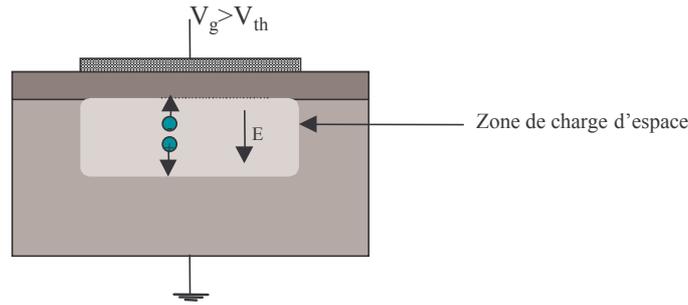


Figure 2-2 : L'accumulation des charges dans une capacité MOS.

Si la lecture d'une seule cellule est simple, la lecture d'un ensemble de cellules dans une grande matrice n'est pas triviale. C'est dans cette phase de lecture que nous faisons intervenir un dispositif CCD. La structure d'un CCD, comme le montre la figure 2-3, permet un déplacement des charges électriques stockées sous les grilles à recouvrement. Ce déplacement des paquets de charge est contrôlé par une horloge à phases multiples. Par conséquent, à la fin d'un temps d'intégration, on active ce décalage des paquets de charge. En plaçant un détecteur de charge à l'extrémité de cette chaîne CCD, on peut facilement lire la quantité de charge de chaque paquet de façon séquentielle.

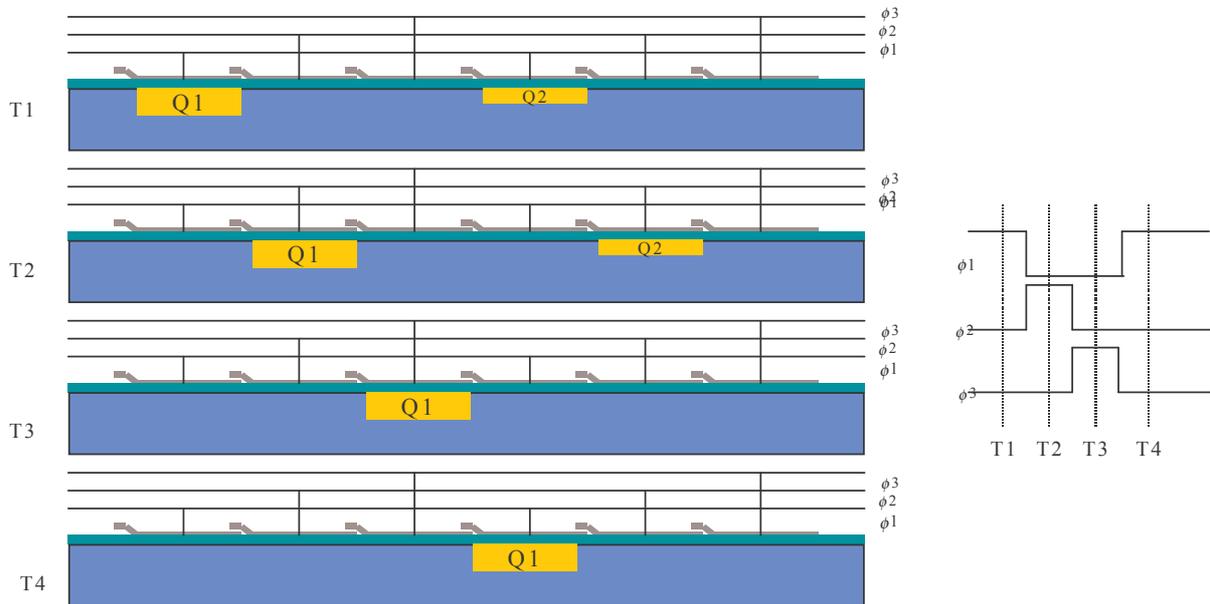


Figure 2-3 : Transfert de charge avec un CCD à trois phases.

Dans un capteur CCD matriciel, les capacités MOS forment deux CCDs : un dans le sens vertical et l'autre dans le sens horizontal. Comme le montre la figure 2-4, la lecture d'une image électronique se fait en deux phases : 1° décalage vertical de l'image, cette phase charge la ligne en bas de l'image dans le dispositif CCD horizontal ; 2° décalage horizontal, cette phase décale la ligne d'image chargée dans le CCD horizontal vers le détecteur de charge pixel par pixel. Ce détecteur de charge convertit la quantité de charge en une tension selon un facteur de conversion constant. C'est cette tension que l'on reçoit à la sortie d'un capteur CCD.

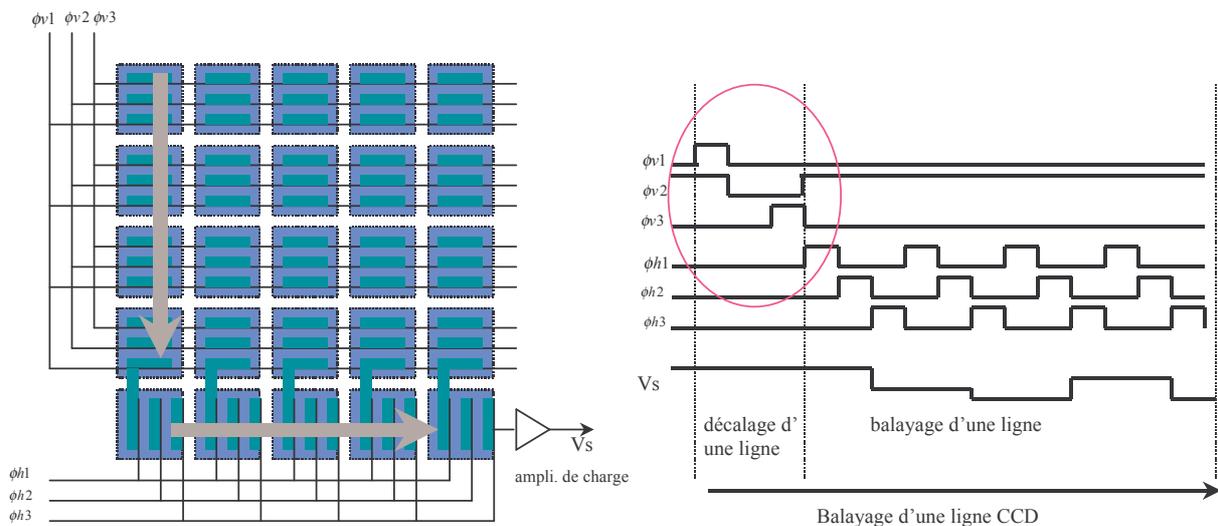


Figure 2-4 : Principe de la lecture séquentielle ligne par ligne avec le mécanisme CCD.

De nos jours, les capteurs CCD sont implantés selon trois architectures principales [Theuw95] :

- 1) transfert de trame progressif
- 2) transfert de trame parallèle - série
- 3) transfert de trame interligne.

Les CCDs possédant plus de 1000x1000 pixels sont de taille 'médium'. Le plus grand capteur CCD récemment développé contient 7000x9000 pixels (soit 63 millions de pixels) [Kreider02]. De telles résolutions sont demandées pour des applications comme l'astronomie, l'imagerie médicale ou la photographie d'art numérique. Ce type de capteurs CCDs de grande dimension nécessite une très bonne maîtrise de sa technologie et un taux de transfert de charge (CTE : Charge Transfert Efficiency) le plus proche possible de l'unité.

La taille du pixel CCD varie entre 3 μm et 25 μm , répondant à des critères standards en résolution spatiale des systèmes optiques. Les capteurs CCDs offrent des performances très intéressantes grâce à un niveau de bruit très faible et aussi à une excellente uniformité d'image [Theuw95].

Cependant, cette technologie possède quelques lacunes si elle est utilisée dans un système de vision. Tout d'abord, un accès aléatoire à un pixel de la matrice est impossible. En effet, on ne peut avoir accès à la valeur de chaque pixel qu'en accédant à tous les pixels des lignes et colonnes qui le précèdent dans la matrice. Ensuite, pour une bonne efficacité de transfert de charges au sein d'un CCD, plusieurs niveaux de tensions sont nécessaires pour les différentes phases d'horloge. De plus, l'intégration des fonctions de traitements est quasiment impossible sur la même puce (figure 2-5 (a)).

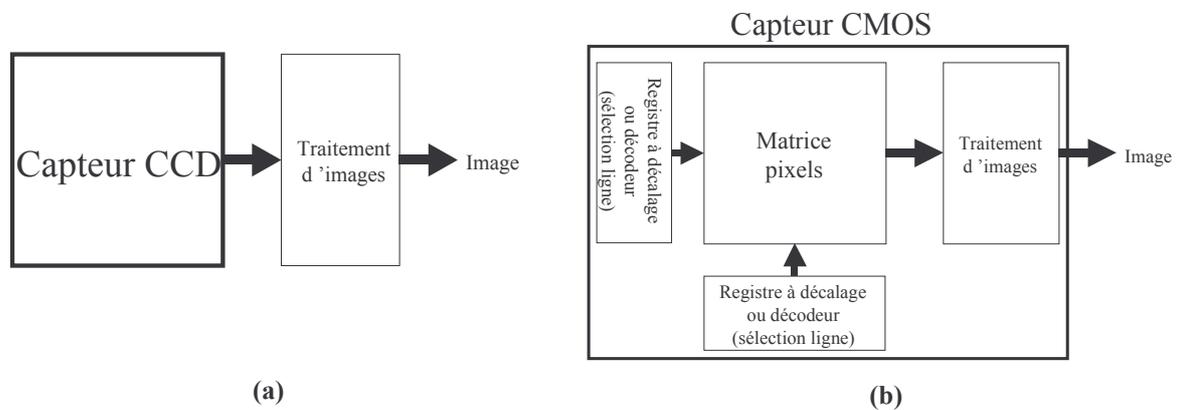


Figure 2-5 : Système de vision à base d'un : (a) Capteur CCD ; (b) Capteur CMOS.

La prolifération de la technologie CMOS fait que celle-ci est non seulement largement disponible et bon marché mais aussi capable d'intégrer des formes de traitements du signal performants (analogiques comme numériques) sur une même puce (figure 2-5 (b)). Par conséquent, la structure d'un capteur CMOS compatible avec le procédé CMOS standard est devenue très intéressante et ce surtout pour une machine de vision embarquée, malgré ses défauts qui seront évoqués dans le paragraphe suivant.

2.1.2. Capteurs d'images CMOS

Tous les capteurs d'image à l'état solide utilisent le même mécanisme de phototransduction. L'interaction entre les photons et les électrons génère des charges mobiles. Ces charges mobiles collectées par un champ électrique forment une image électronique.

Dans un capteur CMOS et un capteur CCD, on dispose des différentes structures pour cette collecte de charges photoélectriques : une diode à jonction, un photogate, un photoMOS, etc. .

Contrairement à un capteur CCD où la lecture d'une matrice se fait par un décalage général des paquets de charge via le mécanisme CCD, un capteur CMOS utilise un accès direct via un bus et un système d'adressage/décodage. Ce qui est un avantage indispensable pour une machine de vision.

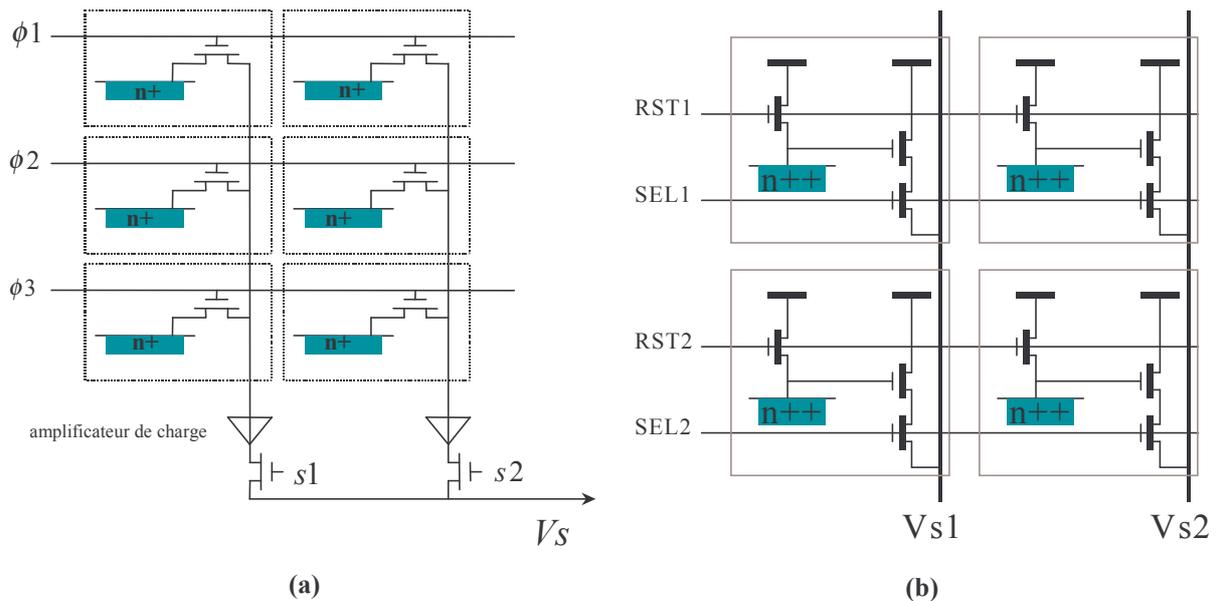


Figure 2-6 : Deux principaux types des capteurs CMOS : (a) à pixel passif (PPS) ; (b) à pixel actif (APS).

Ce mode de lecture des pixels dans un capteur CMOS via un bus repose sur le même principe que celui des mémoires dynamiques (DRAMs) [Denye93]. Par un jeu d'adressage, l'information d'un pixel est directement recueillie par un circuit de traitement électronique sans transiter par d'autres pixels.

2.1.2.1. Capteur d'image CMOS à pixel passif - PPS

Le premier pixel passif a été suggéré par G.P. Weckler en 1967 à Fairchild [Weckl67]. Il a proposé d'utiliser une jonction PN fonctionnant en mode d'intégration pour recueillir le flux de photons. Les paires électron-trou générées par les photons sont séparées par le champ électrique dans une jonction et les électrons sont collectés et accumulés dans la capacité de jonction C_j . La lecture directe de cette charge donne une image électronique. Un

capteur d'image peut être réalisé en ajoutant, dans chaque pixel, un transistor d'accès entre la photodiode et un bus analogique de lecture comme le schématise la figure 2-7 (a).

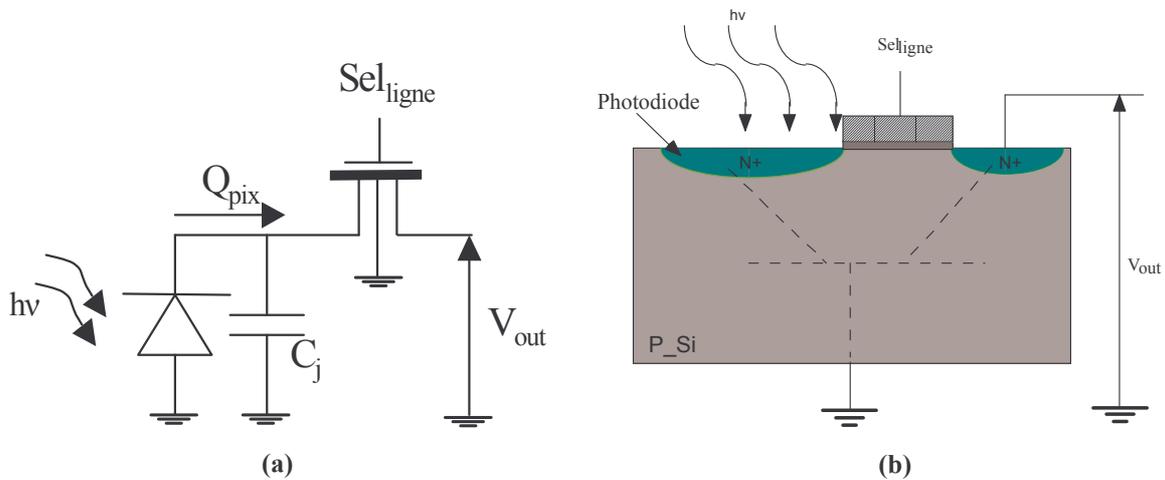


Figure 2-7 : (a) Structure schématique d'un pixel PPS ; (b) Structure physique d'un pixel. On distingue le transistor NPN latéral responsable de l'effet blooming dans ce type de pixel.

La première génération de capteur MOS fonctionne avec un seul bus. Ce type de capteurs fut le premier capteur d'image MOS commercialisé par la société Hitachi [Koike80][Ohba80]. Mais cette structure souffre énormément de la capacité parasite du bus de lecture, qui réduit l'amplitude du signal vidéo et génère beaucoup de bruit KTC. La seconde génération de ce type de capteur a été proposée avec une amplification par colonne dite (L)AMI ((Line) Amplified MOS Imager) [Kyoma91][Ozaki91][Kawas93][Sugaw94][Takay95][Yamaw96]. La figure 2-8 (a) montre cette architecture (L)AMI. Un amplificateur opérationnel, configuré comme un amplificateur de charge, est connecté sur chaque bus colonne de la matrice. Cet amplificateur de charge permet un transfert quasi total de la charge photoélectrique accumulée dans la photodiode vers la capacité d'intégration C_f . Grâce à la masse virtuelle de l'entrée de cet amplificateur de charge, la tension sur la photodiode est initialisée à la tension de référence après une lecture. Après la phase d'initialisation de l'amplificateur de charge par une impulsion positive sur la grille du transistor d'initialisation M_2 , une impulsion positive sur la grille du transistor de sélection M_1 déclenche le transfert de la charge $Q_{\text{pix}}(T_{\text{exp}})$ vers la capacité d'intégration C_f . On obtient sur la sortie de l'amplificateur de charge une tension V_{out} :

$$V_{out} = Q_{pix}(T_{exp}) \frac{1}{C_f} \quad (2-1)$$

La quantité de photocharge Q_{pix} accumulée pendant un temps d'exposition T_{exp} (aussi appelé temps d'intégration) se calcule par :

$$Q_{pix}(T_{exp}) = I_{ph} T_{exp} \quad (2-2)$$

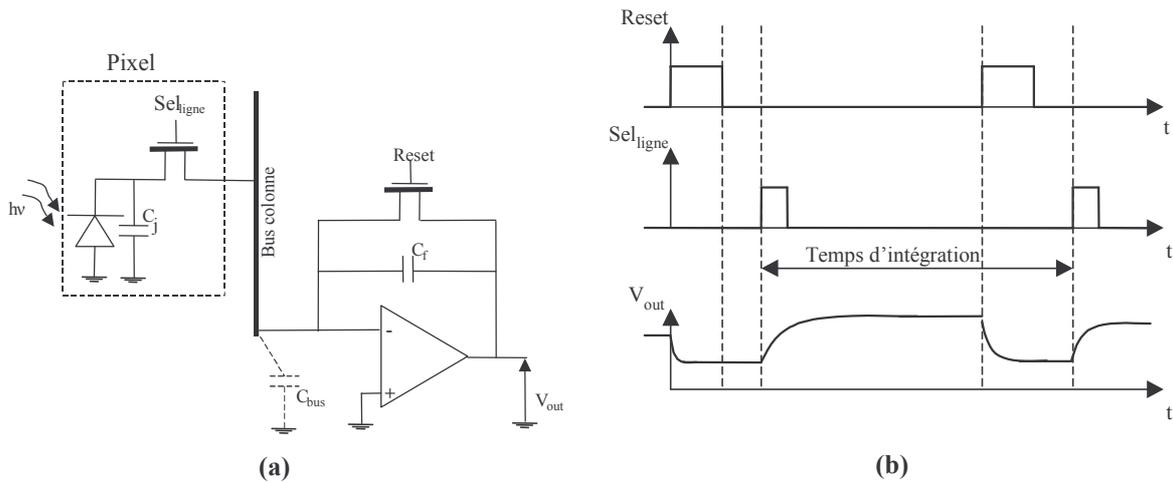


Figure 2-8 : (a) Structure d'un pixel PPS et d'un amplificateur de charge dans un capteur (L)AMI ; (b) Chronogramme de fonctionnement.

Dans cette architecture, l'affaiblissement de l'amplitude du signal de la photodiode est fortement amélioré grâce à la suppression de l'effet de la capacité C_{bus} par l'amplificateur de charge. Mais le bruit de lecture (appelé aussi bruit KTC) que génère le transistor de remise à zéro dans cette capacité pendant les commutations reste inchangé.

Ce bruit peut être soit exprimé en quantité de charge (nombre d'électrons) soit en tension (V_{rms}) aux bornes de la capacité. Si nous considérons que le temps de la remise à zéro du pixel est suffisant pour atteindre un niveau stable, nous pouvons le calculer comme ce qui suit :

$$\langle n_{KTC} \rangle_{e^-} = \frac{\sqrt{KTC}}{q} \quad \text{ou} \quad V_{KTC_{rms}} = \sqrt{\frac{KT}{C}} \quad (2-3)$$

Ici T est la température absolue en Kelvin, K la constante de Boltzmann et C la capacité du condensateur.

Pour une température ambiante $T=300^\circ\text{K}$, la formule (2-3) se simplifie en :

$$\langle n_{KTC} \rangle = 400\sqrt{C(pF)} \quad (2-4)$$

A titre d'exemple, prenons un capteur de 256×256 pixels. On suppose que l'amplificateur de charge est parfait, que le bus colonne a une capacité parasite $C_{bus} = 2pF$ et que les capacités de jonction de photodiode et d'intégration sont toutes deux à $10fF$. La quantité de charge de bruit KTC de ces trois capacités a pour valeur : $\langle n_{KTC_{C_{bus}}} \rangle \cong 566e^-$ et $\langle n_{KTC_{C_j}} \rangle = \langle n_{KTC_{C_f}} \rangle = 40e^-$. Si l'accumulation des charges photoélectriques permet d'avoir une tension aux bornes de la photodiode de $1V$, cela donne une quantité de charge dans la photodiode de $\langle n_s \rangle = 62500e^-$. On peut alors calculer le rapport signal sur bruit (S/B) à la sortie de l'amplificateur de charge :

$$\frac{S}{B} = 10 \log \left(\frac{\langle n_s \rangle^2}{\langle n_{KTC_{C_{bus}}} \rangle^2 + \langle n_{KTC_j} \rangle^2 + \langle n_{KTC_f} \rangle^2} \right) \cong 41dB \quad (2-5)$$

Dans ce calcul, nous n'avons pas tenu compte du bruit de grenaille provenant du courant photoélectrique.

Ce rapport signal sur bruit n'est pas bon, même s'il s'agit du meilleur cas ! On voit très bien que ce faible rapport S/B est du à la contribution énorme du bruit KTC de la capacité C_{bus} . Quand on augmente la taille d'une matrice PPS, la capacité C_{bus} augmente dans la même proportion. Ceci indique qu'une architecture PPS n'est exploitable que pour des capteurs de petite taille.

Dans le cas d'un capteur de petite taille, la structure PPS présente de nombreux avantages. D'abord cette structure permet un accès direct et aléatoire à n'importe quel pixel dans la matrice. Ensuite la simplicité d'un pixel PPS donne un pixel très compact et un très bon facteur de remplissage (le rapport entre la surface photosensible et la surface totale d'un pixel).

Un autre phénomène à prendre en compte dans un capteur PPS est l'effet *blooming* (éblouissement) en cas de forte illumination. Ce phénomène de *blooming* est lié à un transistor bipolaire NPN latéral parasite dans le transistor MOS de sélection (voir figure 2-7 (b)). Cela

se produit quand la capacité de jonction de la photodiode est complètement déchargée et que cette photodiode est éclairée par une source lumineuse de forte intensité [Fujim00]. Par conséquent la tension grille/source V_{gs} du transistor de sélection est supérieure à la tension de seuil. Alors le transistor de sélection devient passant ainsi il y a propagation d'un courant parasite entre les pixels environnants. Ce phénomène peut être limité par un transistor en plus dans chaque pixel dit transistor *antiblooming*.

Malgré les différentes techniques de réduction de bruits expérimentées comme les méthodes de double échantillonnage corrélé (CDS) et de double échantillonnage différentiel (DDS) [Wang00][Fujim00], le bruit KTC en provenance de la capacité du bus de colonne persiste.

2.1.2.2. Capteur APS

Nous venons de voir que le rapport S/B, pour un capteur PPS, est limité par le bruit KTC en provenance de la capacité du bus de colonne. Une solution pour éliminer le bruit KTC est d'insérer un amplificateur tampon entre la photodiode et le bus colonne. Le concept d'un capteur APS repose sur ce principe. Contrairement à un capteur PPS, où le signal véhiculé est constitué de la charge accumulée dans la capacité de jonction de la photodiode, le pixel actif (APS) transmet un signal, à sa sortie, soit en courant soit en tension, selon le choix du concepteur. L'idée d'incorporer des transistors actifs dans un pixel n'est pas nouvelle [Noble68][Chamb69]. C'est seulement durant ces dernières années que ce concept a commencé à devenir intéressant en raison de la diminution de taille de transistors en technologie CMOS.

La figure 2-9 montre la structure élémentaire d'un pixel APS. Il est composé d'une photodiode, d'un transistor d'initialisation M_1 , d'un transistor de signal M_2 et d'un transistor de sélection M_3 . Ce pixel actif fonctionne de la manière suivante : 1° la photodiode est initialisée par le transistor M_1 . Après cette initialisation, la tension sur la photodiode est pré-chargée à une valeur fixe (V_{rst}) ; 2° la photodiode intègre les charges photoélectriques pendant le temps d'exposition. Cette intégration fait chuter la tension sur cette photodiode ; 3° la tension de la photodiode est lue via les transistors M_2 et M_3 . Quand le transistor M_3 est passant, le pixel est sélectionné. Les transistors M_2 et M_4 forment un amplificateur suiveur de tension, ce qui permet au bus de lire la tension de la photodiode.

On voit bien ici que la capacité C_{bus} n'a plus d'interaction directe avec la photodiode. La photodiode joue deux rôles simultanés : 1° collecteur des charges photoélectriques et 2° convertisseur charge/tension. Pour maintenir une sensibilité élevée, il faut minimiser la capacité totale sur la photodiode. Il est également clair ici que le seul élément photosensible est la photodiode (les autres ne le sont pas). Par conséquent, une technologie CMOS très fine favorise non seulement la sensibilité mais aussi le facteur de remplissage. Mais malgré tout, le facteur de remplissage dans un pixel APS reste inférieur à celui d'un pixel PPS. Typiquement aujourd'hui le taux de remplissage est entre 25% et 50%, similaire à celui d'un capteur CCD à transfert de trame interligne.

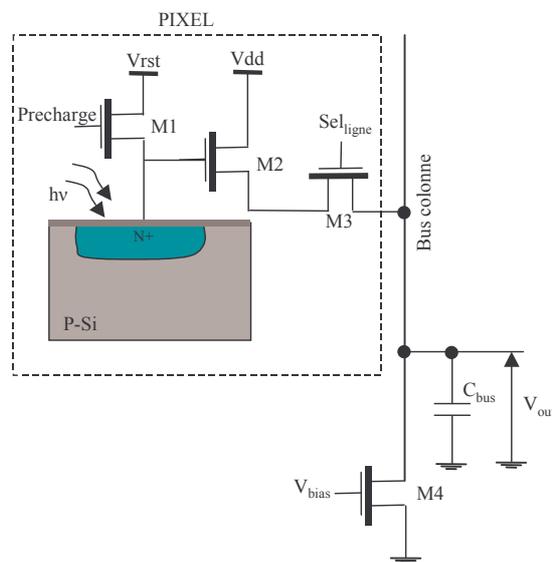


Figure 2-9 : Structure d'un pixel APS à photodiode .

La technologie CMOS offre beaucoup de possibilités pour réaliser un élément photosensible. Ce large éventail de choix donne également un large champs d'imagination pour les chercheurs et les ingénieurs. On peut citer par exemple : la photodiode à jonction [Panic96][Tu98][Shyh99], le photogate [Fossum95a][Mendi97], CMD (Charge Modulation Device) [Matsu91][Ogata91][Nomot93][Takay93], BCMD (Barried Charge Modulation Device) [Hyne91], SIT (Static Induction Transistor) [Nish90][Mizog91]. Le choix parmi toutes ces structures dépend d'une part de son adéquation avec les applications visées et d'autre part de l'évolution des procédés de fabrication CMOS. Par exemple, un photogate demande une grille Polysilicium transparente à la lumière et il est peu utilisable dans un procédés CMOS où le Polysilicium est opaque.

Par conséquent, nous allons plutôt nous intéresser au fonctionnement d'un pixel APS dit « classique » à base de photodiode. Nous allons regarder plus en détail la structure et le fonctionnement d'un pixel APS.

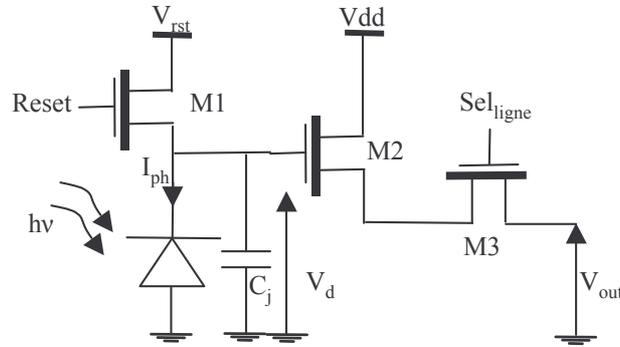


Figure 2-10 : Structure du pixel APS à base de photodiode en mode intégration.

Au début de l'intégration, la photodiode est initialisée en inverse à la tension V_{rst} , ce qui fixe la tension aux bornes de la capacité de jonction C_j . Ensuite sous l'action du photocourant I_{ph} , la capacité C_j tend à se décharger. Ceci entraîne une décroissance, en fonction du temps et du photocourant I_{ph} , de la tension V_d de la photodiode.

L'expression de la tension V_d est obtenue par :

$$V_d(T_{exp}) = V_{rst} - \frac{1}{C_j} \int_0^{T_{exp}} I_{ph}(t) dt \quad (2-6)$$

Pour connaître le niveau du signal ΔV_d reçu par la photodiode, il faut faire la différence entre la tension mesurée juste après la désactivation du transistor $M_1 - V_{rst}$ et la tension mesurée après un temps d'exposition de la photodiode à la lumière - $V_d(T_{exp})$:

$$\Delta V_d = V_{rst} - V_d(T_{exp}) \quad (2-7)$$

Pour une lumière statique, l'expression de ΔV_d est alors :

$$\Delta V_d = \frac{I_{ph} T_{exp}}{C_j} \quad (2-8)$$

A partir de l'équation 2-8 nous remarquons que le niveau du signal utile ΔV_d est proportionnel au rapport I_{ph}/C_j et au temps d'exposition T_{exp} . La capacité de jonction C_j de la photodiode dépend de sa surface et de son périmètre mais aussi de la tension V_d (voir annexe A), elle doit également inclure la capacité de grille du transistor M_2 . La valeur de l'ensemble des capacités est souvent exprimé par le facteur de conversion capacitif (Volt/électron) :

$$F_{cap} = \frac{q}{C_{int}} \quad (2-9)$$

où C_{int} est la capacité équivalente utilisée pour l'intégration du photocourant. Par exemple pour une capacité totale C_{int} de 10fF, nous avons un facteur de conversion capacitif de $16\mu V/e^-$. Ce facteur doit être optimisé pour avoir une meilleure sensibilité.

Ici on voit clairement que la capacité du bus de colonne est isolée. Par conséquent, sa contribution en termes de bruit KTC est supprimée. Mais la capacité sur la photodiode a toujours un bruit KTC. Celui-ci est beaucoup plus faible que celui du capteur PPS et de plus n'est pas dépendant de la taille de la matrice. Donc l'architecture APS est parfaitement adaptée à des capteurs de grande taille.

Par contre l'introduction des transistors actifs dans un pixel fait émerger une autre source de bruit. Cette source est liée à la dispersion paramétrique des transistors au sein des pixels dans une matrice. Ce bruit ne change pas ou très peu avec le temps. Il est appelé bruit spatial fixe (BSF). Dans un APS CMOS, ce bruit est essentiellement créé par l'offset de la tension de seuil du transistor de lecture (M_2) et les sources de courant de polarisation des bus de colonnes. Sans une compensation du BSF, les images d'un capteur APS ne sont pas de bonne qualité.

Le principe de cette compensation est simple. Rappelons que le signal d'image est représenté par une variation de la tension sur la photodiode (2-8) et non pas par sa valeur absolue et que le BSF est un signal statique. Donc une compensation peut être implantée avec une procédure différentielle : 1° Lecture d'un pixel après un temps d'exposition. Cette lecture nous donne la tension en valeur absolue sur la photodiode ; 2° Lecture de ce même pixel immédiatement après une initialisation. Ici la seconde lecture a lieu juste après l'initialisation, donc le temps d'exposition peut être considéré comme nul ; 3° Soustraction entre ces deux lectures. Une soustraction entre ces deux lectures permet d'extraire la variation en tension aux

bornes de la photodiode. Sachant que le BSF est statique, il est donc éliminé avec cette procédure différentielle à condition que l'ensemble de la chaîne de lecture soit linéaire. Cette opération nécessite une conception soignée et de faible bruit [Deger00][Tabet01].

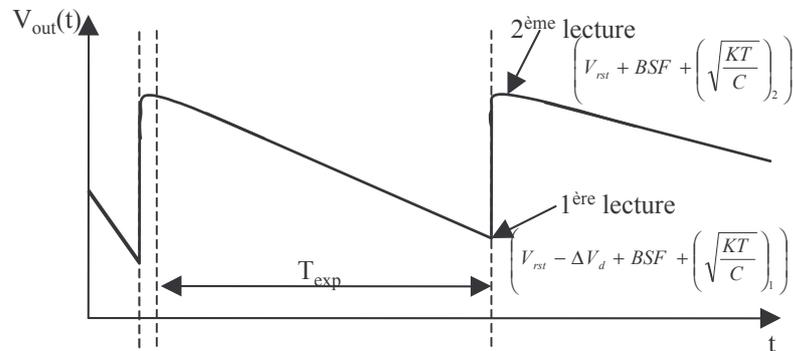


Figure 2-11 : Procédure de lecture différentielle du capteur APS classique pour la compensation du BSF.

La figure 2-11 illustre la procédure de lecture du circuit à double échantillonnage différentiel (DDS), grâce à laquelle le BSF peut être fortement réduit voire supprimé. Cette procédure ne permet pas de supprimer le bruit KTC mais au contraire, elle amplifie ce bruit par un facteur $\sqrt{2}$, car les deux bruits KTC dans les deux lectures sont provoqués par deux commutations, donc ils ne sont pas corrélés. L'opération de soustraction additionne ces deux bruits KTC.

A titre d'exemple, nous reprenons les paramètres de l'exemple du capteur PPS. La contribution en termes du bruit KTC de la capacité de jonction de la photodiode a pour valeur $V_{KTC_j} = 0,64mV_{rms}$. Par conséquent, le rapport signal sur bruit sans opération de compensation BSF :

$$\frac{S}{B} = 10 \log \left(\frac{V_S^2}{V_{KTC_j}^2} \right) \cong 64dB$$

Mais si une opération de compensation BSF a lieu, ce rapport signal sur bruit sera :

$$\frac{S}{B} = 10 \log \left(\frac{V_S^2}{2V_{KTC_j}^2} \right) \cong 61dB$$

Ce rapport signal sur bruit est honorable. Par conséquent, les capteurs APS se trouvent aujourd'hui dans de nombreuses applications où la performance absolue n'est pas critique.

Donnons comme exemple des caméras WebCam ou bien certaines caméras sur les téléphones mobiles où la consommation électrique est critique. Il faut néanmoins souligner que le bruit aléatoire KTC est peu perceptible par l'œil humain contrairement au BSF dans une séquence d'image animée. Donc la plupart des efforts actuels dans les capteurs APS reposent sur la suppression du BSF.

2.2. *Les capteurs d'image intelligents*

Comme nous l'avons vu, les capteurs classiques que se soit CCD ou CMOS fonctionnent selon une loi de conversion photoélectrique linéaire. Dans un régime de fonctionnement linéaire, la plage dynamique est définie comme l'amplitude maximale du signal d'image par rapport au plancher de bruit. Ceci correspond au rapport signal sur bruit maximum d'un capteur. Si nous prenons les exemples précédents, nous avons 40dB pour un capteur PPS et 61dB pour un capteur APS muni d'une compensation BSF.

Or le signal à la sortie d'un capteur classique dépend également du temps d'exposition. Donc par un contrôle du temps d'exposition, un capteur classique peut accommoder une très grande variation des conditions de lumière. Par exemple un caméscope grand public peut fonctionner de 0,5 lux (à la lueur d'une bougie) jusqu'à 100.000 lux (en plein soleil d'été sur la plage).

Mais quand il s'agit d'une grande dynamique optique intrascène, ces capteurs se heurtent à leur limite. Tous les réglages (du temps d'exposition, de l'ouverture de l'objectif, etc.) ne peuvent pas éviter les problèmes de sur-exposition ou de sous-exposition de certaines zones d'une même scène. Si nous prenons un temps d'exposition adéquat pour une zone fortement illuminée, alors les zones mal éclairées ne seront pas visibles (en dessous du plancher de bruit du capteur). Mais si nous prenons un temps d'exposition long pour les zones mal éclairées, les zones fortement illuminées seront complètement saturées.

Si ce problème n'est pas toujours critique en imagerie électronique, il ne peut pas être ignoré dans une machine de vision et ce surtout s'il s'agit d'une machine de vision embarquée qui doit être confronter à toutes les conditions de lumière. Par exemple pour une machine de vision pour la voiture intelligente de demain, le capteur d'image doit pouvoir supporter une dynamique intrascène supérieure à 100dB [Sege93], qui dépasse très largement ce que peut fournir un capteur d'image classique (de 50dB à 70dB).

Les solutions les plus évidentes pour augmenter la plage dynamique intrascène sont l'adaptation de façon spatiale du temps d'intégration. Il peut être contrôlé à l'extérieur ou à l'intérieur du capteur de façon soit globale soit locale. Mais ces solutions sont difficiles à mettre en œuvre. D'autres solutions ont été proposées par des équipes de recherche [Ni93b][Delbr94][Ni97][Sodin98][Mitsun99][Wandel99][Hamam00], qui utilisent le fait que l'on puisse intégrer dans un capteur APS une variété de circuits de traitement au sein même du pixel. Dans cette section, nous passerons en revue les solutions existantes visant à élargir la plage dynamique d'un capteur d'image CMOS.

2.2.1. Capteur adaptatif contrôle automatique du temps d'intégration local

T. Hamamoto a proposé un capteur d'image CMOS dont le temps d'exposition équivalent est contrôlé selon l'intensité lumineuse sur chaque pixel [Hamam00]. La figure 2-12 montre le schéma interne dans un pixel de ce capteur adaptatif. Le pixel est composé d'une photodiode en mode d'intégration et d'un suiveur. Un circuit de détection de saturation est connecté sur chaque colonne de la matrice du capteur d'image.

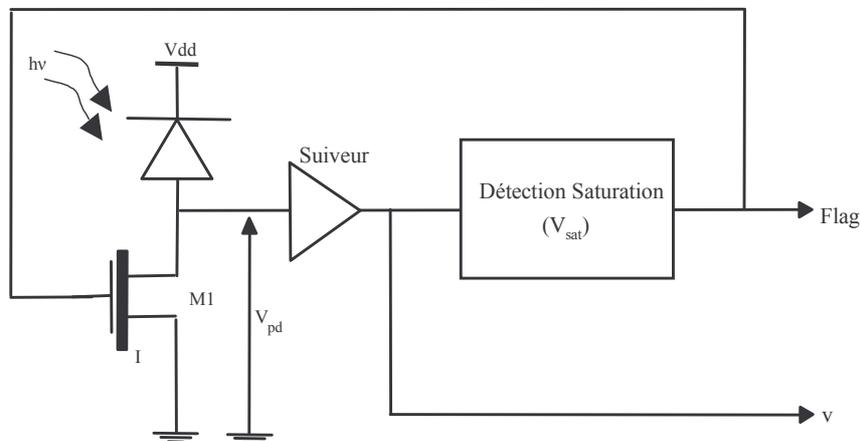


Figure 2-12 : Description du traitement dans chaque pixel.

Le contrôle du temps d'intégration se fait ligne par ligne. La tension $V_{pd}(t)$ de la photodiode est surveillée continuellement ligne à ligne. Si la lumière incidente est de forte intensité, la tension $V_{pd}(t)$ dépasse la tension de saturation V_{sat} . Cette saturation est détectée par le détecteur de saturation. Dans ce cas, ce détecteur génère un signal Flag (qui sera mémorisé dans un accumulateur) et il active l'initialisation de ce pixel. Mais dans le cas où

l'illumination est faible, la tension $V_{pd}(t)$ croît jusqu'à la fin de l'exposition. Comme un capteur APS conventionnel, la tension à la sortie du pixel est produite dans un intervalle fixe T_{exp} comme le montre la figure 2-13.

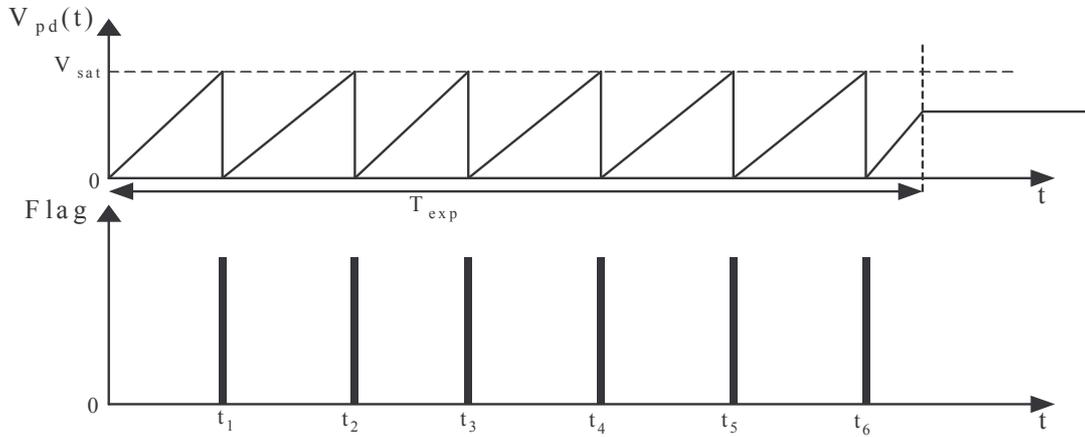


Figure 2-13 : Réponse de la diode et du circuit de détection saturation.

A la fin de l'intervalle T_{exp} , la tension à la sortie du pixel a pour équation :

$$V_{out} = nV_{sat} + v \quad (2-10)$$

où n est le nombre de Flag générés par le détecteur de saturation et v la tension résiduelle sur la photodiode.

Avec cette méthode, la durée équivalente d'intégration d'un pixel qui reçoit une forte intensité lumineuse est raccourcie par des initialisations précoces et les saturations de la photodiode sont enregistrées. Ceci ressemble à une numération fractionnelle : le nombre de saturation représente la partie entière et le signal résiduel sur la photodiode représente la partie fractionnelle. La représentation de la tension V_{out} à la sortie du capteur adaptatif, pour l'exemple de la figure 2-13, est montré par la figure 2-14.

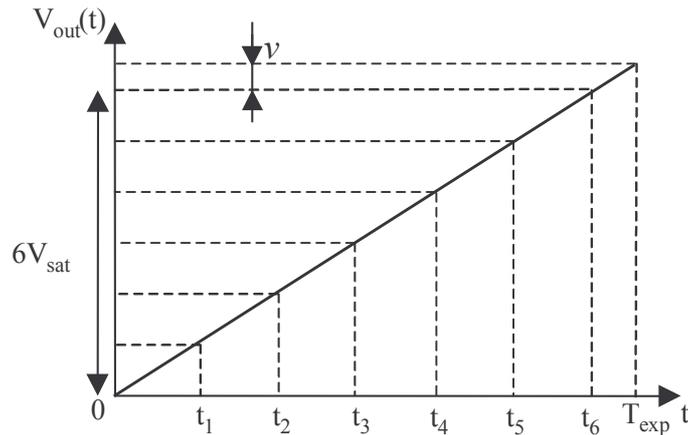


Figure 2-14 : Allure de la tension V_{out} à la sortie du capteur APS adaptatif basé sur le contrôle automatique du temps d'intégration local.

Cette méthode est intéressante puisqu'elle conserve la sensibilité d'un capteur classique APS. Mais la détection de saturation dépend d'une lecture assez rapide afin d'avoir une bonne résolution temporelle. L'extension de la plage dynamique dépend en effet de cette résolution temporelle. Pour une matrice de grande taille, ceci peut devenir assez problématique.

2.2.2. Capteur à adaptation locale à contre - réaction

Une méthode classique pour étendre la plage dynamique est d'appliquer une contre-réaction comme par exemple le contrôle automatique de gain dans un récepteur radio. Cette méthode peut être également appliquée dans un capteur d'image à condition de pouvoir intégrer les composants actifs dans un pixel. Ceci forme une adaptation locale au sein du pixel.

Le premier capteur à adaptation locale a été proposé par T. Delbruck [Delbr94]. Son schéma électrique est illustré dans la figure 2-15 (a). Il se compose d'un étage d'entrée constitué d'une photodiode et d'un transistor monté en suiveur puis d'un circuit de comparaison et enfin d'un circuit d'adaptation. Ce dernier est dans la boucle de contre-réaction. Le circuit utilise un modèle interne pour faire une prédiction du signal d'entrée. Le niveau de la sortie du photorécepteur vient d'une comparaison entre le signal généré par l'étage d'entrée et la prédiction.

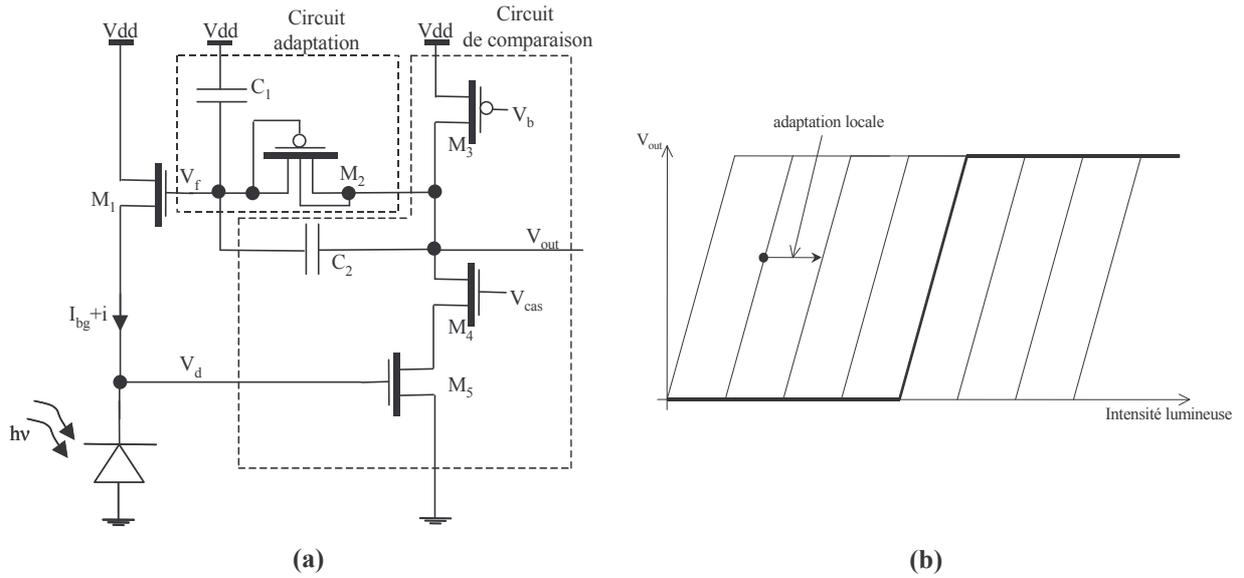


Figure 2-15 : (a) Photorécepteur à adaptation locale proposé; (b) Réponse du photorécepteur en fonction de la lumière incidente.

Ce circuit peut s'adapter à l'intensité lumineuse globale par une fonction de transfert logarithmique à son état équilibré. Cela est dû à un circuit adaptatif et une capacité C_2 dans la boucle de contre - réaction. En outre, le transistor cascode M_4 a été rajouté pour annuler la capacité de Miller de la grille/source du transistor M_5 et pour augmenter le gain de l'amplificateur. Le circuit est donc capable de fournir pour des variations faibles un gain élevé et l'expression de la tension de sortie du pixel est donnée par :

$$V_{out} = V_{th} \frac{1}{\kappa} \frac{C_1 + C_2}{C_2} \frac{i}{I_{bg}} \quad (2-11)$$

où i représente la variation locale du photocourant et I_{bg} représente la composante liée à la lumière du fond.

Dans le cas des variations élevées, le transistor de contre-réaction M_1 fonctionne en faible inversion, la fonction de transfert entre le photocourant produit par la photodiode et la tension de sortie est logarithmique. La tension de sortie s'écrit alors :

$$V_{out} = V_{th} \left(\log I_b + \frac{1}{\kappa} \log \left(\frac{I_{bg} + i}{I_o} \right) \right) \quad (2-12)$$

Le comportement de ce pixel est très amusant : il réagit sensiblement à une petite variation de la lumière et il déplace son point de fonctionnement en fonction d'une grande variation de lumière comme le montre la figure 2-15 (b). Grâce à cette propriété, ce pixel peut fonctionner correctement sur au moins 6 décades de dynamique optique. Mais il possède un certain nombre de défauts :

- 1) le temps d'adaptation est fixé par les paramètres des composants à la conception ;
- 2) les informations statique et dynamique d'une scène sont mélangées à la sortie du pixel ;
- 3) un fort BSF difficile à compenser ;
- 4) la structure du pixel est assez complexe.

2.2.3. Capteur adaptatif à égalisation d'histogramme

Nous savons qu'en traitement d'image, la méthode de l'égalisation d'histogramme permet de restaurer le contraste d'une image mal éclairée. La réalisation en temps réel d'un opérateur à égalisation d'histogramme est simple en VLSI moderne.

L'application de ce mécanisme de régularisation dans le pixel, permet de surpasser le problème de saturation du photorécepteur dans la réalisation numérique, et crée un comportement adaptatif. Le photorécepteur à égalisation par histogramme, concrétisé par Y. Ni [Ni97], a démontré clairement une adaptabilité en acquisition d'image dans une large plage dynamique.

Son principe est montré sur la figure 2-16. Les sorties des photorécepteurs primaires (photorécepteurs en mode d'intégration) $P(i, j)$ sont comparées avec un signal de référence rampe. Les sorties des comparateurs contrôlent le générateur de courant constant et également l'échantillonneur - bloqueur à l'entrée d'une mémoire analogique. La rampe provoque le basculement successif des comparateurs, et l'ordre de basculement est lié à l'amplitude des signaux appliqués. Les générateurs de courant constant des cellules commutées sont connectés sur une même ligne. Par conséquent sur cette ligne, on construit un histogramme cumulé des pixels commutés de l'image concernée. Instantanément, ce signal d'histogramme cumulé en courant, est converti en tension et distribué à nouveau à tous les pixels. Le basculement du comparateur échantillonne ce signal, le stocke dans la mémoire analogique locale. La simultanéité entre la construction d'un histogramme cumulé et l'échantillonnage de cet histogramme forme une image de sortie régularisée dans la mémoire analogique.

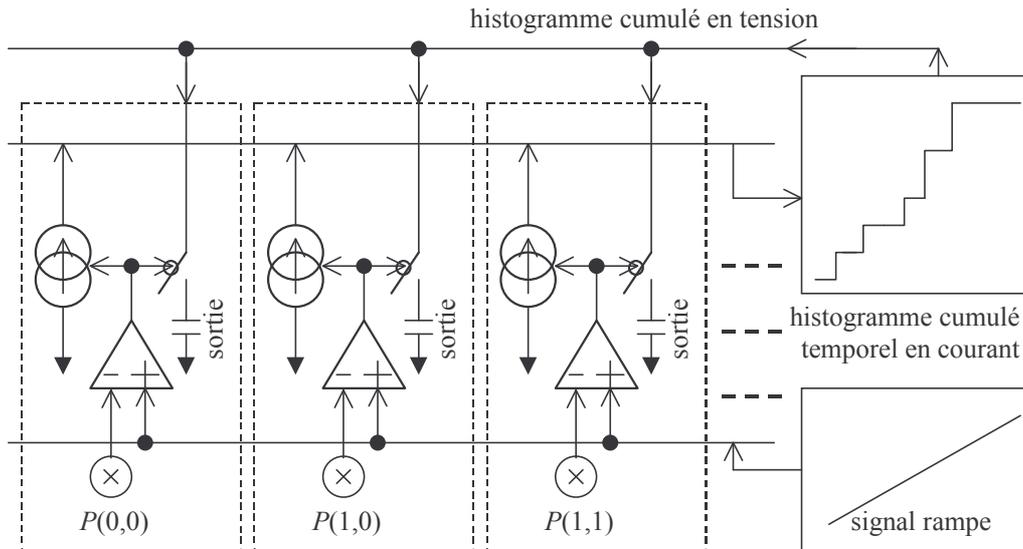


Figure 2-16 : Schéma principe du capteur à égalisation d'histogramme.

Ce concept peut s'appliquer à presque toutes les sortes de photorécepteur aux prix d'une petite adaptation. Nous avons réalisé un capteur de ce type en utilisant les photodiodes à précharge. La figure 2-17 montre une adaptation à un photorécepteur de base en mode d'intégration. Etant donnée la nature décroissante de la tension sur une photodiode, le signal de rampe n'est plus nécessaire et il est remplacé par une simple tension constante de référence. La pente de décharge proportionnelle à l'illumination sur la photodiode fait d'office de rampe de comparaison, car les photodiodes les plus éclairées basculent avant les photodiodes les moins éclairées. Le point clé de cette réalisation est la mémoire analogique (C_{mem}) recevant le signal régularisé. L'image de sortie est construite progressivement pendant l'acquisition dans cette mémoire.

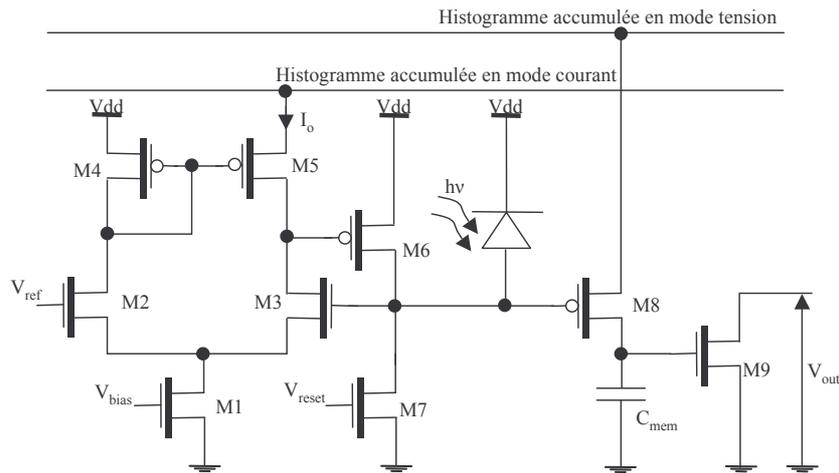


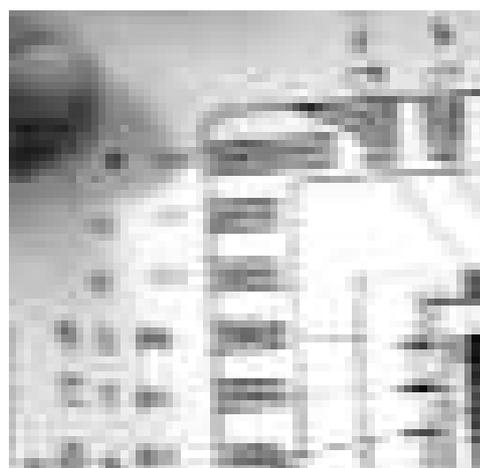
Figure 2-17 : Schéma électrique d'un photorécepteur à égalisation d'histogramme.

Le capteur présente les avantages suivants :

- Une plage d'excursion constante du signal de sortie qui peut non seulement simplifier la conception des circuits de traitement en aval, mais aussi améliorer la précision globale du traitement.
- Un comportement adaptatif avec une égalisation d'histogramme, la variation de l'éclairage uniforme n'a aucun effet sur l'image régularisée. En plus il permet une adaptation instantanée à la variation de l'éclairage global. Ceci est très utile pour un système de vision qui doit évoluer dans un environnement dans lequel la luminosité varie rapidement comme la vision automobile.



(a)



(b)

Figure 2-18 : Deux images acquises à la sortie du capteur à égalisation d'histogramme.

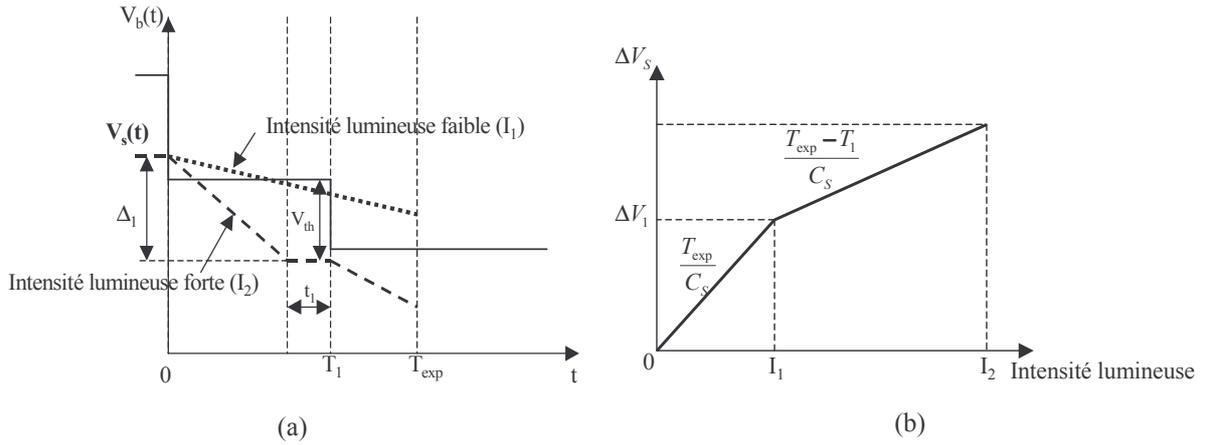


Figure 2-20 : Allure de (a) $V_s(t)$, (b) $\Delta V_S(I)$ pour une tension de commande $V_b(t)$ en forme de deux paliers et pour deux intensités lumineuse différentes.

Contrairement à un pixel APS classique, la tension de commande du transistor de précharge M_2 n'est plus un signal binaire (tout ou rien) mais une forme d'onde complexe. La tension $V_b(t)$ est un signal à multiple paliers décroissants comme le montre la figure 2-20. Le premier palier remet la capacité C_S et la capacité de jonction C_j de la photodiode à leur état initial. Ensuite à chaque rechute du signal $V_b(t)$, la tension sur la capacité C_S décroît en fonction du courant photoélectrique. Sur la figure 2-20, nous pouvons voir que la décharge de C_S par le photocourant est limité par Δ_1 entre les paliers du signal $V_b(t)$. En effet, la baisse de la tension V_S sur la capacité C_S déclenche l'ouverture du transistor M_2 dont le courant contre balance le courant photoélectrique et bloque la tension V_S à un niveau fixe pendant une durée t_1 . Nous pouvons dire qu'une partie des charges photoélectriques est perdue pendant la durée t_1 . Mais cette perte de charges a lieu seulement quand le courant photoélectrique dépasse un seuil. Par conséquent, nous pouvons calculer de façon générale la courbe de réponse de ce pixel :

$$\Delta V_S(I) = I_n \frac{T_{exp} - \sum_{i=1}^n T_{n-1}}{C_S} + \sum_{i=1}^n \Delta_{n-1} \quad \text{avec } T_0 = 0s \text{ et } \Delta_0 = 0V \quad (2-13)$$

Cette approche est très intéressante car la programmation de la courbe de sensibilité repose entièrement sur un simple pixel APS compact. Toutefois, pour une matrice il est

nécessaire de générer une série de tension $V_b(t)$ et une forme d'onde par ligne de pixels. La mise en œuvre devient complexe lorsqu'il faut générer un grand nombre de paliers. Dans une utilisation pratique, le signal $V_b(t)$ prend généralement une allure exponentielle et ceci engendre une courbe de réponse semblable à une courbe logarithmique.

2.2.5. Capteur adaptatif à multiple expositions spatiale

Une méthode simple d'étendre la plage dynamique d'un capteur est la superposition des images prises avec des temps d'exposition différents [Wandel99]. Mais cette méthode ne fonctionne qu'avec des scènes statiques. Pour une scène dynamique, les objets en mouvement ne se trouvent pas à la même position pendant ces différentes prises de vue. Nous pensons que les travaux sur une superposition des images différemment exposées ne sont pas pertinents pour une machine de vision à l'exception la méthode SVE (Spatially Varying Exposure).

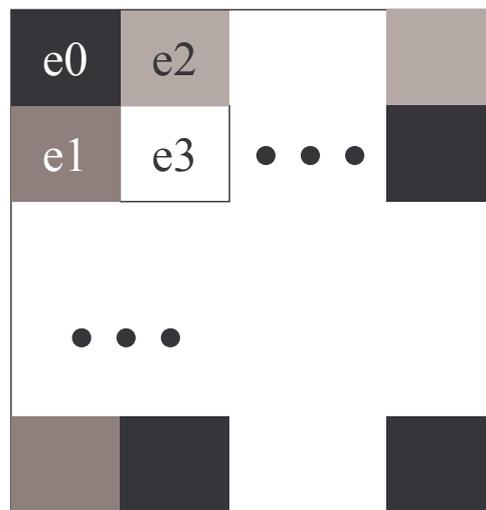
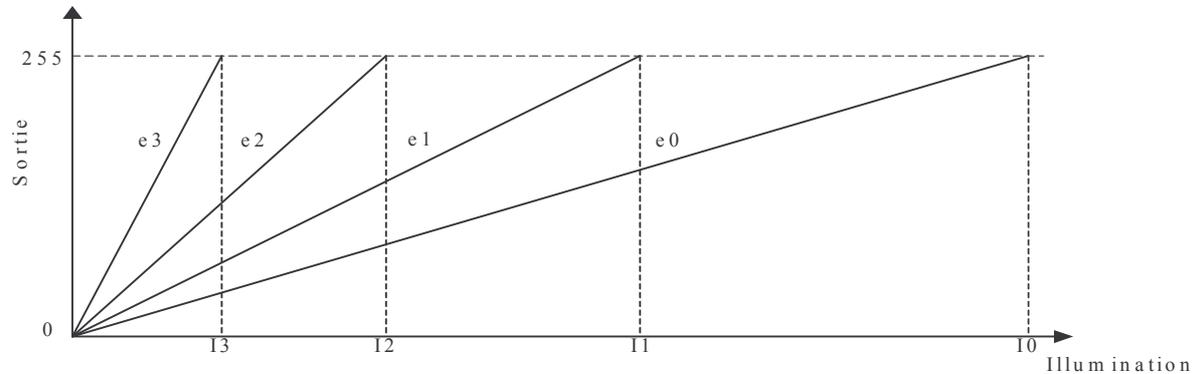


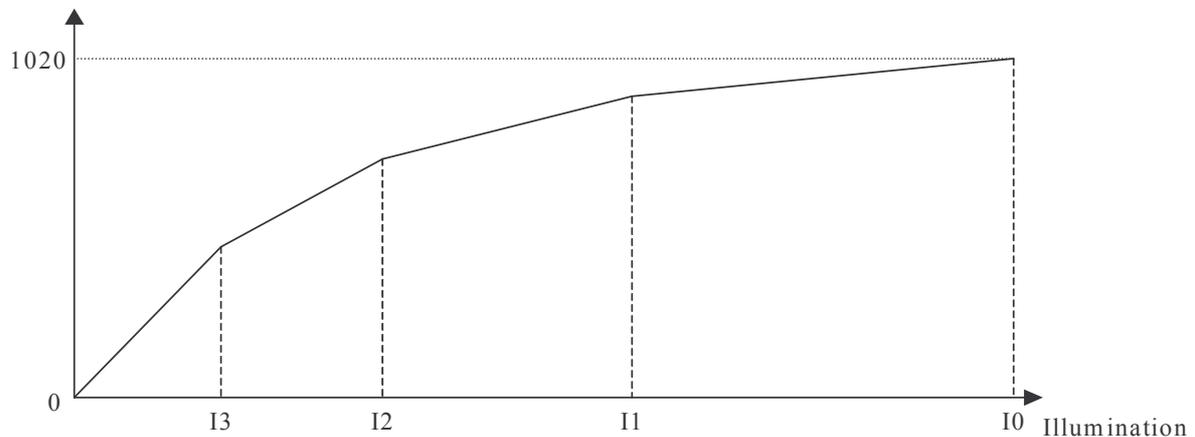
Figure 2-21 : Une implantation possible de SVE à l'aide d'un masque de transparence sur un capteur.

La méthode SVE proposée par [Mitsun99][Nayar00][Nayar02] consiste à créer les pixels de différentes sensibilités dans un voisinage. Une implantation possible est montrée dans la figure 2-21, les pixels sont regroupés par groupe de 4 pixels. Dans chaque groupe, les 4 pixels ont les sensibilités notées de e_0 à e_3 . Ici elles sont réalisées par un masque optique sur un capteur d'image. Nous pouvons très bien imaginer d'autres solutions tel qu'un capteur APS spécialement conçu. La figure 2-22 (a) montre la courbe de réponse linéaire de ces quatre pixels en fonction de l'illumination. Par conséquent, à la fin d'une exposition nous

obtenons quatre sous-images pour une même scène observée. Par un traitement numérique simple de ces quatre sous-images (un moyennage local ou une interpolation), nous pouvons reconstituer une image de dynamique plus élevée comme le montre la figure 2-22 (b).



(a)



(b)

Figure 2-22 : (a) Réponse de quatre pixels de sensibilité différentes en fonction de l'illumination ; (b) Résultat après un traitement numérique par moyennage local des quatre réponses. Ce résultat montre une plus grande dynamique de ce capteur.

La figure 2-23 montre un exemple de simulation fourni par les concepteurs de cette méthode. Les images (a)-(d) sont les quatre images des différents temps d'exposition. L'image (e) représente une image issue d'un capteur SVE. L'image (f) est le résultat final après un traitement local par interpolation.

Cette technique est très élégante. Les sous-images différemment exposées sont prises en parallèle, donc cela ne pose pas de problème pour une scène dynamique. De plus, si on utilise un traitement plus sophistiqué on peut obtenir une image finale ayant une résolution proche de celle du capteur initial. Le seul inconvénient est que l'extension de la plage

dynamique est limitée par le nombre de pixels dans un voisinage et qu'un grand voisinage entraîne une réduction de la résolution finale de l'image.

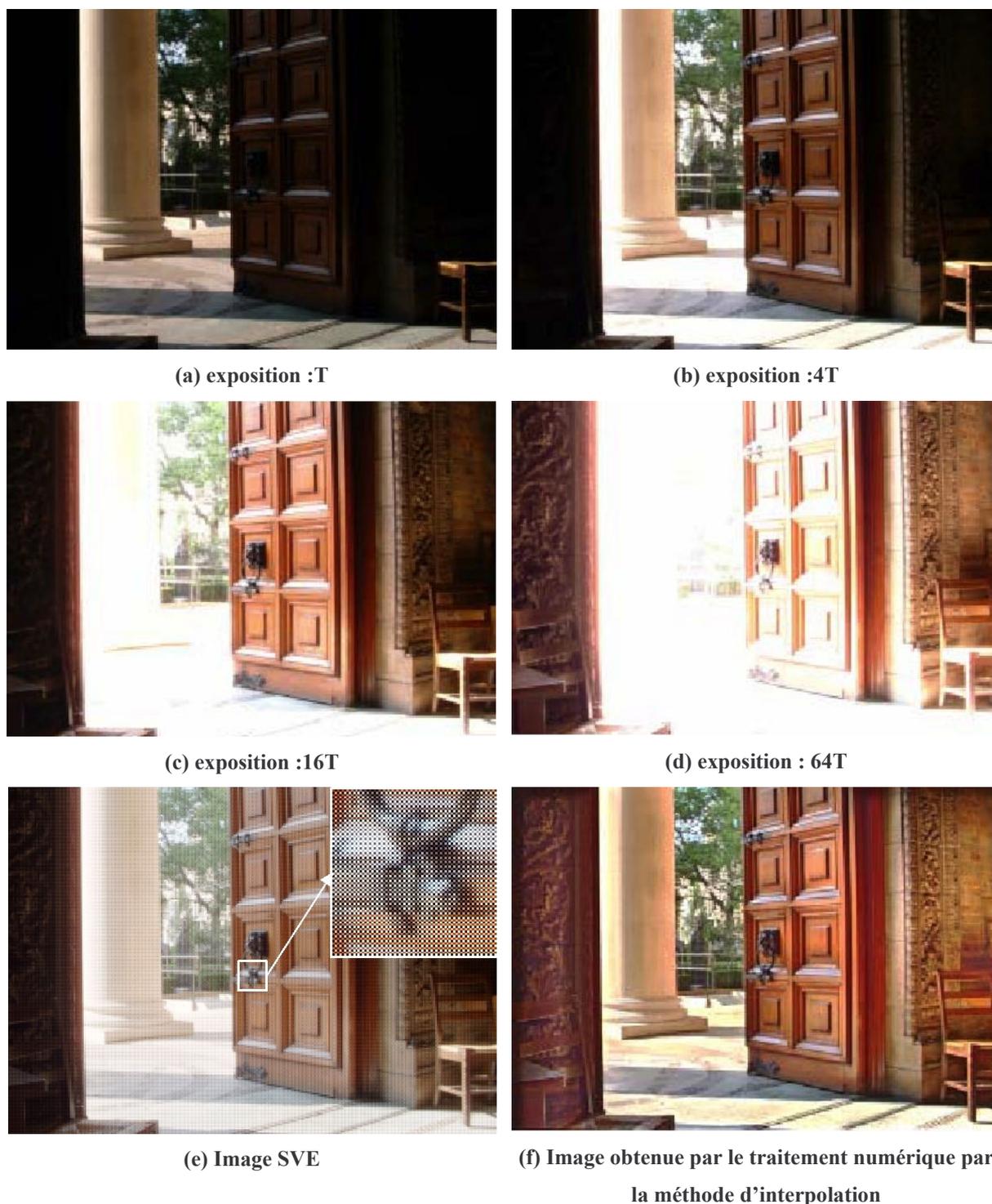


Figure 2-23 : Images (a)-(d) : images pour 4 temps d'exposition différentes ; Image (e) : image issue d'un capteur SVE en 8-bit ; Image (f) : Résultat après un traitement numérique par la méthode d'interpolation.

2.3. Conclusion

Nous avons présenté dans ce chapitre les différents capteurs d'image : les capteurs d'image classiques (CCD et CMOS) et les capteurs intelligents essentiellement CMOS qui visent principalement à étendre la plage dynamique intrascène. Nous avons omis de parler des capteurs d'image logarithmiques CMOS dans ce chapitre, puisque les travaux de cette thèse portent sur ce sujet. Nous allons les consacrer dans le chapitre suivant.

Chapitre 3

Capteur d'image logarithmique

La plupart des capteurs APS classiques utilisent une photodiode en mode d'intégration. Ce mode de fonctionnement donne une réponse linéaire. Les méthodes d'extension de la dynamique, présentées dans le chapitre précédent, reposent sur une création d'un temps d'exposition équivalent local en fonction de la lumière que reçoit un pixel. Ces méthodes génèrent une réponse linéarisée par morceaux. Mais elles présentent plusieurs inconvénients. D'abord la réponse du capteur n'est pas continue et en présence des dispersions des transistors, on peut voir apparaître un BSF multiplicatif, qu'il est difficile de corriger.

Sachant que le phénomène logarithmique ou exponentiel est omniprésent dans la nature, y compris bien entendu dans des circuits électroniques, ceci nous conduit à des structures analogiques permettant d'avoir une réponse logarithmique de façon naturelle. Cette réponse a deux avantages majeurs :

1. une très grande dynamique de fonctionnement

Un système à réponse logarithmique est un système à gain variable selon l'intensité du signal à l'entrée. Cette variation du gain permet une accommodation à une plage dynamique très large du stimuli. En effet un système de vision qui évolue dans un environnement réel doit s'accommoder d'une variation de l'éclairement moyen sur plus de 6 décades (de 0,1 lux en pleine lune à 100.000 lux sur une plage ensoleillée).

2. une invariance vis à vis de l'éclairage moyen

Dans le spectre visible, une image optique est principalement créée par la réflexion d'une ou plusieurs sources d'éclairage : $I = R \times E$, où R est le coefficient de réflexion de la surface visuelle et E est l'éclairement sur cette surface. Pour un capteur à réponse linéaire, I dépend non seulement de R mais aussi de E . Mais pour un capteur à réponse logarithmique, la réponse sera donnée par $\text{Log } I = \text{Log } R + \text{Log } E$. Par conséquent la variation de l'éclairement

d'une scène est vue comme une simple translation du niveau continu à la sortie du capteur logarithmique. Cette invariance à l'éclairement global est une propriété intéressante dans la vision dont l'objectif est d'analyser une scène indépendamment de l'éclairement global.

Cette réponse logarithmique sur une grande plage dynamique ne peut être obtenue que par une fonction de conversion photoélectrique non-linéaire au sein d'un photorécepteur. En effet une telle plage dynamique exclut toute solution basée sur la transformation des niveaux de gris à la sortie d'un capteur à réponse linéaire ayant une très faible plage dynamique.

La plupart des capteurs logarithmiques existants souffrent du BSF dû à la forte compression du signal d'image. L'amplitude du signal exempté du bruit, pour une scène normalement éclairée, est de l'ordre de 20mV et dans un process CMOS standard, la dispersion de la tension de seuil du transistor MOS est du même ordre de grandeur. Par conséquent, nous obtenons un rapport signal sur bruit trop faible pour une bonne exploitation de l'image à la sortie du capteur. Des équipes de recherche ont travaillé sur des capteurs d'image logarithmiques munis d'un mécanisme de compensation du BSF.

Dans ce chapitre, nous présenterons les différents capteurs d'image logarithmiques existants puis nous détaillerons les différentes sources de BSF générées dans ce type de capteur. Et enfin nous détaillerons les techniques permettant de compenser le BSF d'un capteur d'image logarithmique.

3.1. Pixels logarithmiques

La plupart des travaux sur les capteurs logarithmiques sont basés sur la relation de nature exponentielle qui existe entre le courant drain I_D d'un transistor MOS et la tension grille/source V_{GS} en régime sous-seuil. La figure 3-1 montre quelques réalisations.

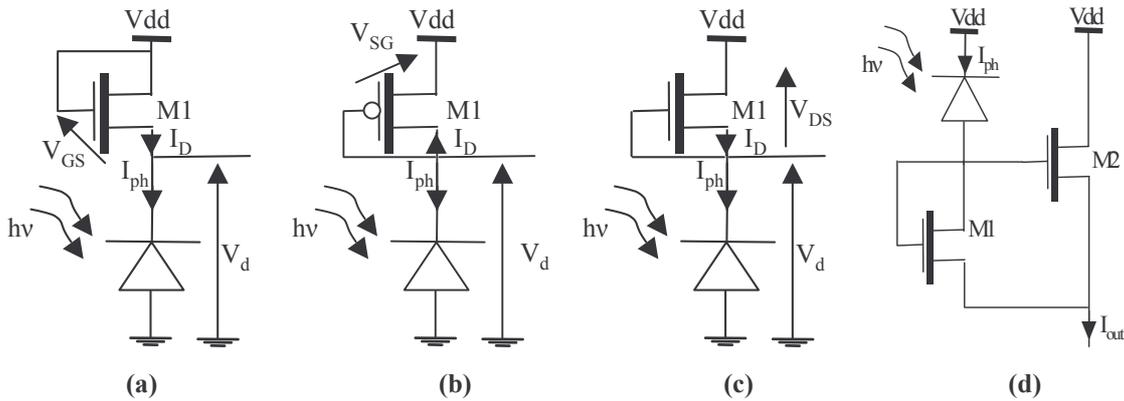


Figure 3-1 :Schéma électrique de quelques réalisations de photorécepteurs logarithmiques en technologie CMOS avec : (a) un transistor NMOS ; (b) un transistor PMOS ; (c) un transistor NMOS à canal court ; (d) un miroir de courant.

Cette figure montre que la conversion logarithmique peut se faire à l'aide soit (a) d'un montage en suiveur de source soit (b) d'un transistor PMOS connecté en diode [Mead85] [Sivol87] soit (c) d'un abaissement de barrière par le potentiel du drain dans un canal court [Chamb84] et soit (d) d'un miroir de courant [Hong01].

La figure 3-2 montre la structure d'un pixel logarithmique le plus utilisé par les groupes de recherche travaillant dans ce domaine logarithmique et le plus simple à réaliser [Ricqu92], [Dieri96], [Pardo97], [Schef97], [Pardo98]. Dans cette structure, le transistor M_1 opère dans la région de faible inversion. En effet, le courant de drain de M_1 est le photocourant dans la photodiode. En utilisation normale, ce courant est inférieur à quelques nA. Un transistor MOS en régime sous le seuil vérifie une loi exponentielle entre le courant de drain I_D et la tension entre la grille et la source V_{GS} [Antog82] :

$$I_D = I_s' e^{\frac{V_{GS}}{\kappa U_T}} \left(1 - e^{-\frac{V_{DS}}{U_T}} \right) \quad (3-1)$$

Pour un transistor à canal court réalisé dans un process CMOS moderne, le courant de fermeture I_{off} doit généralement être pris en compte dans des applications à courant faible. Par conséquent le courant de drain total du transistor M_1 s'écrit :

$$I_{DA} = I_D + I_{off} \quad (3-2)$$

Quand la tension $V_{GS} \gg U_T$, $\left(1 - e^{-\frac{V_{DS}}{U_T}}\right) \cong 1$. Dans ce cas, la tension V_{GS} du transistor

M_1 s'écrit en fonction notamment du courant photoélectrique I_{ph} selon la relation :

$$V_{GS}(I_{ph}) = \kappa U_T \log\left(\frac{I_{ph} + I_{obs} - I_{off}}{I'_s}\right) \quad (3-3)$$

Ici κ est le facteur de l'effet du substrat et il varie entre 1 et 2 en fonction des paramètres du procédé, I_{obs} est le courant d'obscurité de la photodiode et $I'_s = \mu_n C_{dep} \frac{W}{L} U_T^2 e^{-\frac{V_{thn}}{\kappa U_T}}$ est le courant de canal résiduel pour une tension $V_G = \kappa V_s$ et $V_D \gg V_s$ [Behza00].

On s'intéresse à la tension V_d qui se calcule suivant :

$$V_d(I_{ph}) = V_{dd} - \kappa U_T \log\left(\frac{I_{ph} + I_{obs} - I_{off}}{I'_s}\right) \quad (3-4)$$

Cette tension V_d sera lue dans le pixel par les transistors M_2 et M_3 selon le même mode de fonctionnement qu'un pixel APS classique. D'après la relation (3-4), la réponse photoélectrique de ce pixel est une relation de nature logarithmique du courant photoélectrique.

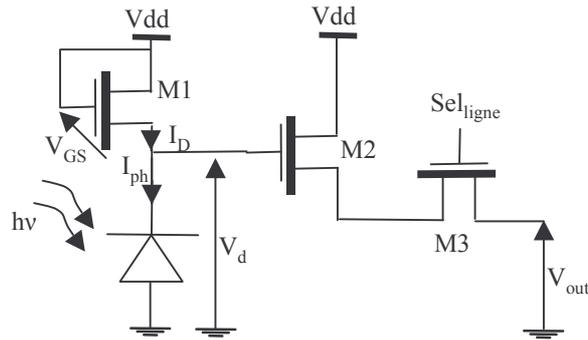


Figure 3-2 : Structure d'un pixel logarithmique utilisant une photodiode en mode photocourant.

Cette structure est très simple, très compacte et permet d'avoir une plage dynamique optique supérieure à 5 décades comme le montre la figure 3-3.

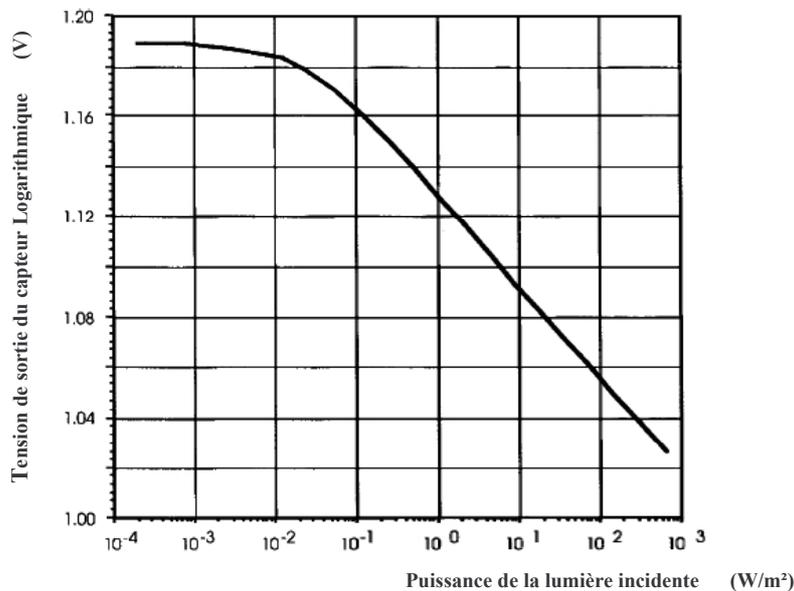


Figure 3-3 : Réponse de la tension de sortie du capteur Logarithmique en fonction de la puissance de la lumière incidente [Schef97].

Malgré ses avantages, il présente plusieurs inconvénients :

1. Un BSF très important

Deux types de BSF sont observés : 1° un BSF additif qui provient des dispersions sur la tension de seuil des transistors (particulièrement M_1 et M_2) ; 2° un BSF multiplicatif qui provient des dispersions du transistor de conversion M_1 . De plus la forte compression de la réponse logarithmique accentue encore plus l'impact de ces BSFs.

2. Une perte totale de sensibilité en faible luminosité

Quand le photocourant est très faible, l'effet du courant I_{off} ne peut plus être négligé. Ce courant parasite engendre alors une perte de sensibilité dans la faible luminosité. Quand le courant photoélectrique devient inférieur à I_{off} , on observe une perte totale de sensibilité. Nous savons que le courant parasite I_{off} augmente très vite avec la réduction de dimension dans un process CMOS, donc ce pixel souffre de l'effet « scaling down ».

3. Une présence de traînées en faible luminosité

Ce pixel fonctionne de manière continue, donc il n'y plus de reset et d'intégration. La réponse dynamique de ce pixel n'est pas symétrique dans les sens brillant/sombre et sombre/brillant. Cela génère des traînées pour les objets brillants en mouvement dans une scène.

4. Une dépendance directe à la température

La réponse logarithmique de ce pixel a une dépendance directe avec la température. Un changement de température peut introduire un changement d'aspect des images de sortie.

3.2. Modélisation des sources de Bruit Spatial Fixe

L'un des problèmes qui limite l'utilisation d'un capteur logarithmique est le bruit spatial fixe. Comme nous l'avons constaté dans la section précédente, le BSF ne peut être négligé, principalement à cause de la forte compression du signal d'image. En effet, le capteur comportant ce type de photorécepteur a un rapport signal sur bruit très faible en raison de l'existence du BSF.

Pour une compensation efficace, toutes les sources de BSF d'un imageur doivent être prises en compte. De manière générale, on peut identifier trois sources principales comme le montre la figure 3-4 :

- La composante nI

Cette composante BSF représente tous les BSFs au sein d'un photorécepteur. Elle peut être soit additive soit multiplicative. Ici nous nous limitons seulement à un BSF additif, car la compensation du BSF multiplicatif est très difficile à compenser. Mais heureusement parmi

les photorécepteurs logarithmiques réalisables en CMOS, beaucoup possèdent un BSF multiplicatif très faible. Ce critère doit être pris en compte quant au choix de la structure d'un photorécepteur logarithmique.

- La composante $n2$

Cette composante représente les offsets des transistors MOS dans l'amplificateur de lecture au sein d'un pixel. Elle est généralement additive quand cet amplificateur est en configuration suiveur de tension. Si au contraire cet amplificateur possède du gain, on risque alors d'avoir du BSF multiplicatif. Mais dans ce cas le signal à la sortie du pixel est de plus grande amplitude, il y a donc des compromis à faire par les concepteurs.

- La composante $n3$

Dans un capteur matriciel, on lit presque toujours ligne par ligne. Chaque ligne lue est bufferisée par une batterie d'amplificateurs. Cet arrangement permet un balayage rapide des pixels de cette ligne. Cependant, cette structure génère également un BSF dû aux offsets dans les amplificateurs buffers.

Le BSF total (BSF_{tot}) dans un capteur d'image est la somme de ces composantes BSF, c'est à dire $BSF_{tot} = n1 + n2 + n3$. Afin de pouvoir compenser efficacement et facilement l'ensemble des bruits BSF, la chaîne de lecture doit être maintenue la plus linéaire possible.

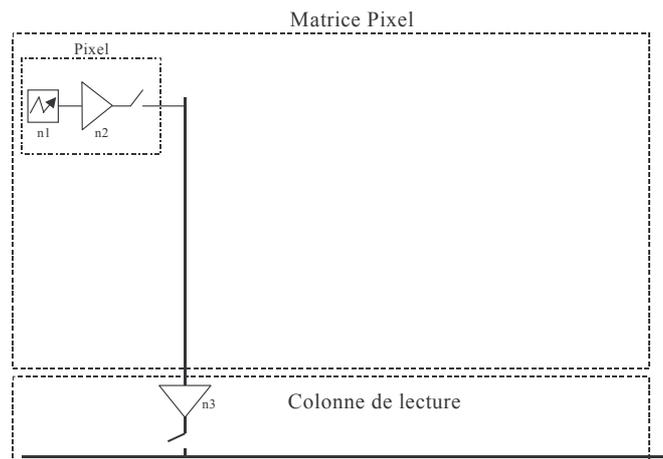


Figure 3- 4 :Modélisation du BSF dans un capteur d'image par trois sources.

Avec toutes les hypothèses évoquées, une image à la sortie d'un capteur logarithmique peut être modélisée comme une somme entre une image propre, exempte des BSFs, et une

image BSF_{tot} . De ce fait, le principe de base d'une compensation du BSF consiste à faire une soustraction entre une image de référence (BSF_{tot}) et une image captée (contenant image + BSF_{tot}). Ce principe s'applique, comme le montre la figure 3-5, en deux étapes :

- $\Phi = '1'$ (l'interrupteur est fermé) : Acquisition d'une image de référence et stockage dans une mémoire
- $\Phi = '0'$ (l'interrupteur est ouvert) : Lecture de l'image capturée et soustraction entre ces deux images.

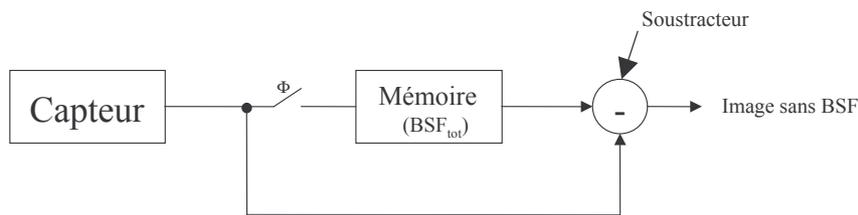


Figure 3-5 : Principe de base d'une compensation du BSF.

Beaucoup d'efforts ont déjà été consacrés à l'implantation de circuit de compensation du BSF. Et ces réalisations ont été faites soit dans le domaine digital soit dans le domaine analogique. Dans les sections suivantes, nous allons balayer différents types de réalisations existantes.

3.3. Technique de compensation du BSF "off-chip"

3.3.1. Technique "off-chip" numérique

La figure 3-6 montre une méthode simple pour réduire le BSF [Scheff97]. Une image de référence est capturée, numérisée et ensuite mémorisée. Cette prise de l'image de référence est faite à l'aide d'un obturateur mécanique qui masque de façon optique le capteur. En l'absence de signal optique, cette image est supposée contenir que du BSF_{tot} . Une fois l'image de référence mise en mémoire, l'obturateur mécanique est ouvert. Pour chaque image capturée par le capteur, on fait une soustraction entre cette image acquise et celle de référence. Ainsi, tous les bruits BSF additifs sont éliminés par cette procédure différentielle.

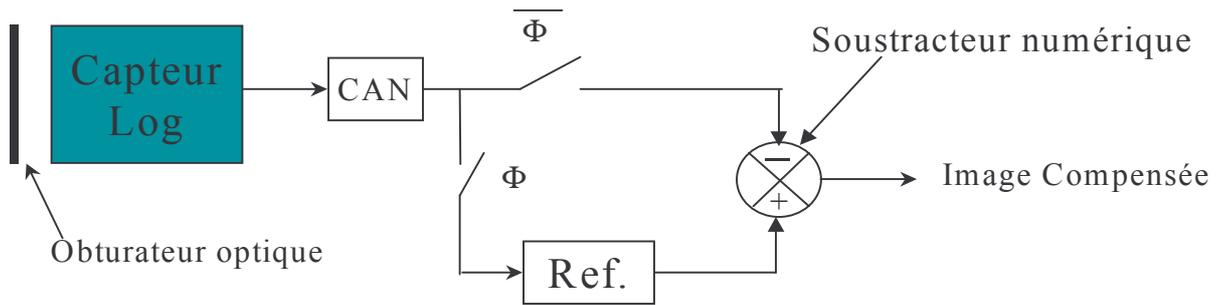


Figure 3-6 : Concept de compensation purement numérique.

Cette réalisation purement digitale a démontré son utilité dans des réalisations concrètes. Mais plusieurs problèmes restent sans réponse. D'abord, cette méthode nécessite une mémoire de la taille de l'image entière. Cette mémoire de grande taille limite la possibilité d'une intégration monolithique avec le capteur d'image sur une même puce.

De plus, le convertisseur ADC doit avoir une plage de conversion suffisamment large pour accommoder l'ensemble de l'excursion du signal de sortie du capteur. Nous avons constaté que le BSF dans une image peut avoir une amplitude comparable voire supérieure à celle de l'image utile. Donc pour une certaine précision de conversion de l'image corrigée, il faut une précision beaucoup plus élevée pour le convertisseur ADC.

3.3.2. Technique "off-chip" analogique-numérique mixte

Pour surmonter ces deux problèmes, l'équipe de l'IMS (Institute for Microelectronics Stuttgart) [IMS] a travaillé sur une approche analogique/numérique mixte. Cette méthode consiste à appliquer la soustraction entre l'image de référence et l'image brute dans le domaine analogique.

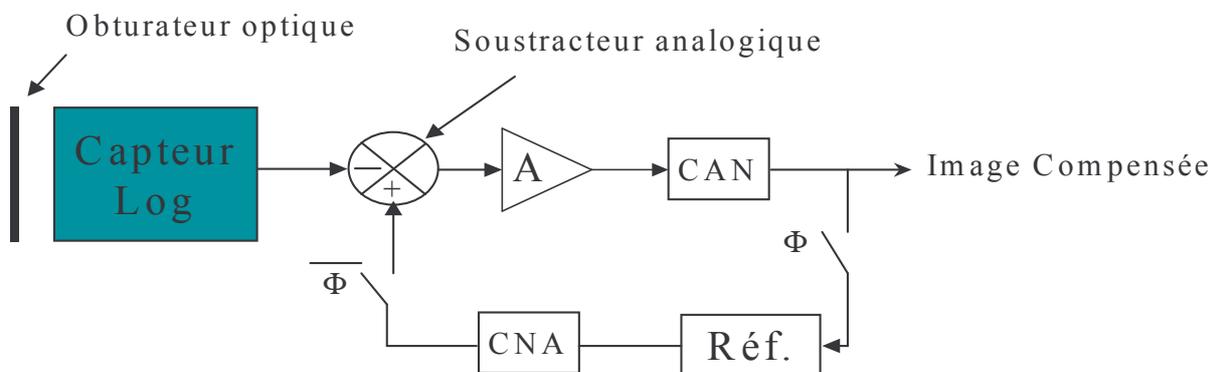


Figure 3-7 : Concept de la technique de compensation mixte par IMS.

La figure 3-7 montre le schéma bloc de cette réalisation. Dans cette configuration, le convertisseur ADC ne traite que les images corrigées du BSF. Cela donne deux avantages : 1° la plage de conversion Analogique/Numérique est entièrement consacrée à l'image utile ; 2° une amplification est possible avant la conversion analogique/numérique. Cela permet d'améliorer non seulement la qualité de conversion mais aussi la sensibilité du capteur. Au contraire dans une réalisation purement numérique, cette amplification est difficile car la forte amplitude du BSF limite sérieusement le gain que l'on peut appliquer.

3.3.3. Conclusion

Nous avons présenté deux approches de compensation du BSF dans un capteur logarithmique. Malgré leur efficacité certaine, nous pouvons constater que d'importantes améliorations sont nécessaires. Si le progrès technologique peut résoudre le problème de l'intégration de la mémoire de référence, les deux problèmes suivants restent ouverts :

1. Besoin d'un obturateur mécanique

Selon les structures des pixels logarithmiques existants, il est impossible de générer une image de référence de façon entièrement électronique sur le capteur. Le seul moyen d'obtenir une image de référence est d'employer un obturateur optique. Ceci est fort contraignant dans une application réelle. Il est difficile de trouver un temps mort pour mettre à jour l'image de référence dans une voiture équipée d'un tel système de vision.

2. Faible fréquence de mise à jour de l'image de référence

La conséquence directe de l'utilisation d'un obturateur mécanique est la faible fréquence de mise à jour de l'image de référence. Cela pose un sérieux problème sur la précision de compensation. Comme nous avons déjà évoqué qu'il y a une dépendance entre la réponse logarithmique du capteur et la température de fonctionnement, cette faible fréquence de mise à jour réduit fortement l'efficacité et la précision de la compensation BSF. Cette conclusion est aussi vraie pour toutes variations des conditions de fonctionnement du capteur : la température, la tension d'alimentation, etc.

Toutes ces raisons donnent une forte motivation à la recherche d'une compensation *in-situ* de façon stable et continue. Cette compensation "on-chip" simplifie non seulement l'utilisation d'un tel capteur mais aussi rend la compensation BSF quasi-invariante vis à vis

des changements des conditions environnementales. Nous verrons dans le paragraphe suivant que cette compensation *in-situ* ne fait pas appel à une mémorisation explicite d'une image de référence et que cette dernière est créée à chaque opération de compensation.

3.4. Techniques de compensation du BSF "on-chip"

Dans cette section nous allons présenter quelques techniques de compensation analogiques du BSF *in-situ* dans un capteur logarithmique. Le principe de base de ces techniques reste le même que celui de la compensation "off-chip". La seule différence est que l'image de référence doit être générée et mémorisée au sein du capteur. Donc l'opération clé dans cette approche est la génération d'une référence pour chaque pixel et aussi sa mémorisation (sous forme analogique). Une fois cette référence obtenue, la soustraction du BSF peut se faire soit avec un circuit de différentiation dans les pixels soit avec un circuit sur le bord de la matrice. Nous allons présenter deux approches récemment proposées et expérimentées par les autres groupes de recherche.

3.4.1. Technique de compensation basée sur une référence "grise"

La première approche est proposée par M. Loose [Loose01]. Le concept de cette approche est très simple et direct. La figure 3-8 montre le schéma électrique d'un pixel et les circuits de compensation associés. Chaque pixel est composé de nombreux transistors et d'une mémoire analogique à capacité.

Le photorécepteur intrinsèque est une structure classique avec un transistor de conversion linéaire/logarithmique connecté en diode (M_2). Ce photorécepteur est alimenté par la tension stockée dans la mémoire analogique à travers un suiveur en tension (M_1). L'offset statique du photorécepteur (BSF) peut être compensé par une tension adéquate de cette mémoire analogique. Par conséquent, cette tension de compensation est créée par une boucle de contre-réaction.

Les signaux CS (sélection de calibration) et \overline{RS} (sélection ligne) permettent de contrôler et de configurer le pixel soit en mode calibration soit en mode d'acquisition.

Avec cette technique, le BSF_{tot} résiduel est de $10,7mV_{rms}$ c'est à dire 3,8% d'une décade due à la pente de 250mV par décade pour une matrice de 384 x 288 pixels à une puissance lumineuse de $1W/m^2$. La taille du pixel est de $24\mu m \times 24\mu m$ dans un process CMOS de $0,6\mu m$. Cette grande taille du pixel est due à la complexité du pixel (10 transistors et une capacité). Dans ce circuit prototype, la phase de calibration est en parallèle avec la phase de lecture, donc le capteur génère une image vidéo en continue.

Plusieurs lacunes existent dans cette solution. D'abord, chaque pixel possède une mémoire analogique à capacité et cette mémoire analogique pose des problèmes de fuite. Ils proviennent d'une part des courants de fuite des jonctions (sources et drains des transistors) et d'autre part des courants photoélectriques parasites, qui peuvent être critiques en cas de forte illumination malgré un masquage par une couche de métal.

Ensuite les courants de références pour calibrer les pixels sont générés par une structure en miroir de courant. Cette génération de référence ne peut difficilement être uniforme et ce surtout en cas de très faible courant. De plus ces courants de référence simulent une intensité lumineuse assez élevée qui ne correspond pas toujours à un fonctionnement normal du capteur. La déviation de la réponse logarithmique d'un pixel réduit également l'efficacité de cette compensation.

3.4.2. Technique de compensation "on-chip" basée sur une référence "super brillante"

Une autre approche de compensation a été proposée par l'équipe d'IMEC (Interuniversity MicroElectronics Center) [Kavad00]. Cette approche évite une mémorisation d'une image de référence complète au sein de la matrice. La compensation se fait ligne à ligne pendant la lecture de la matrice.

La figure 3-9 montre la structure d'un tel pixel et des circuits périphériques associés. Le principe de base est le suivant :

1. Sélection et lecture d'une ligne de la matrice

Par le signal Sel, on sélectionne une ligne de la matrice. Cette ligne sélectionnée est lue via le bus de colonne. Le résultat de lecture est stocké dans un buffer de ligne sur le bord de la matrice. On retrouve dans cette première lecture le signal image et le BSF que l'on peut exprimer de la manière suivante :

$$V_{out_1} = V_{bias} - \kappa U_T \log\left(\frac{I_{ph}}{I_s}\right) - \sqrt{\frac{2I_{bias}}{g_{m_2}}} - (V_{th_1} + V_{th_2}) \quad (3-7)$$

où V_{th_1} et V_{th_2} sont respectivement les tensions de seuil des transistors M_1 et M_2 , la somme de ces deux tensions représente le bruit BSF, g_{m_2} est la transconductance du transistor M_2 .

2. Calibration et lecture des pixels

Par le signal ϕ_c , on connecte une batterie de capacités déchargées en parallèle sur les photodiodes. Puisque les capacités sont vides, les transistors de conversion (M_1) vont charger ces capacités vers une tension haute. Ce chargement provoque un courant capacitif I_{cal} dans les transistors de conversion. Ces courants sont en parallèle avec les courants photoélectriques des photodiodes. Si la deuxième lecture est faite à un instant adéquat, les courants capacitifs dans les pixels restent encore largement supérieurs à la valeur des photocourants. A ce moment là, les transistors de conversion (M_1) travaillent en forte inversion. Le résultat de cette lecture s'écrit :

$$V_{out_2} = V_{bias} - \sqrt{\frac{2I_{cal}}{g_{m_1}}} - \sqrt{\frac{2I_{bias}}{g_{m_2}}} - (V_{th_1} + V_{th_2}) \quad (3-8)$$

où g_{m_1} est la transconductance du transistor M_1 .

3. Compensation du BSF

Avec les résultats des deux lectures, le BSF s'auto-compense en faisant une soustraction entre ces résultats :

$$\Delta V = V_{out_1} - V_{out_2} = \kappa U_T \log\left(\frac{I_{ph}}{I_s}\right) + \sqrt{\frac{2I_{cal}}{g_{m_1}}} \quad (3-9)$$

Cela conduit à une suppression du bruit BSF.

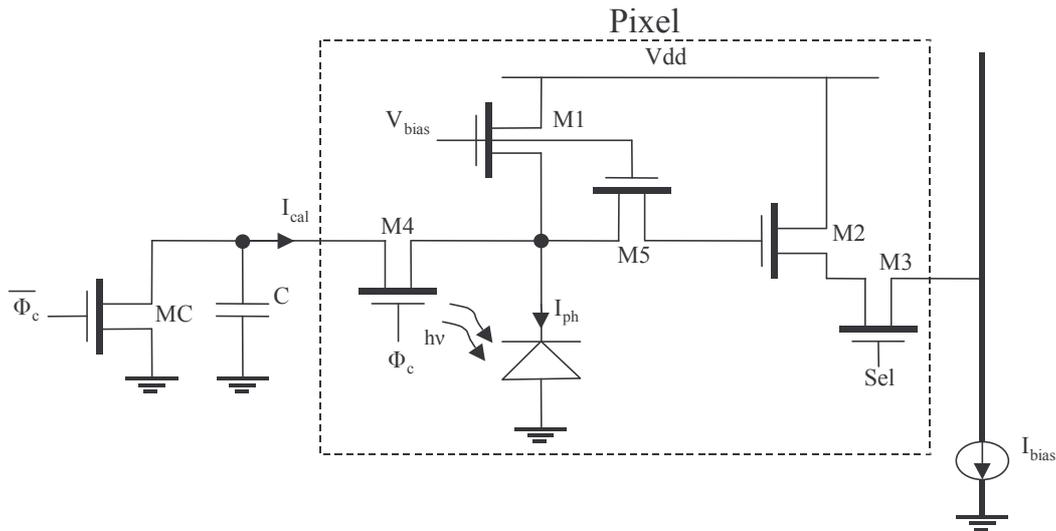


Figure 3-9 : Pixel logarithmique avec compensation "on-chip" basée sur une référence "super brillante".

Le pixel proposé (figure 3-9) n'est composé que de 5 transistors NMOS. Ceci donne une structure plus compacte. Cette approche montre que les offsets dus aux variations des tensions de seuil dans la matrice pixel de ce capteur logarithmique peuvent être supprimés. Cependant, les offsets dus aux variations de la transconductance g_{m_1} affectent le résultat (3-9) et induisent un autre BSF à la sortie du capteur. De plus, la transition dynamique sur la capacité C et le transistor de conversion n'est pas uniforme parmi les pixels dans la matrice. Avec cette technique, le BSF_{tot} résiduel est annoncé à 2,5% par décade optique. Mais la qualité d'image montrée dans l'article [Kavad00] laisse penser que le BSF dépasse cette valeur annoncée.

3.5. Conclusion

Dans ce chapitre, nous avons présenté les différentes structures de capteurs logarithmiques. Les pixels de ces capteurs utilisent essentiellement une combinaison entre une photodiode en mode d'intégration et un transistor MOS en régime sous seuil. Nous avons montré que cette structure engendre un fort BSF dans l'image de sortie. Ensuite, nous avons dégagé le concept de base des méthodes de compensation de BSF (méthodes "off-chip" et méthode "on-chip"). Nous avons illustré ces méthodes par les travaux au sein de quelques équipes de recherche.

Parmi ces travaux sur les techniques de compensation du bruit BSF, nous remarquons qu'il n'y a pas de modèle physiquement clair sur la génération de la référence permettant de compenser le bruit BSF.

Dans le chapitre suivant, nous présenterons un photorécepteur ayant une photodiode fonctionnant en mode photovoltaïque. Grâce à ce mode, nous pouvons avoir des améliorations significatives par rapport à des solutions existantes.

Chapitre 4

Photorécepteur Log-PV

Comme nous l'avons déjà évoqués dans le chapitre précédent, les principaux obstacles à une utilisation réelle des capteurs logarithmiques sont : 1° un niveau de bruit spatial fixe élevé et 2° une perte de sensibilité en faible illumination.

Nous avons exploré une approche radicalement différente des autres : nous utilisons une photodiode en mode photovoltaïque contrairement au mode photoconducteur. Ce mode permet de faire la compression logarithmique grâce au comportement physique de la photodiode. Par conséquent, il n'y a plus besoin de faire appel à un transistor MOS de conversion. Cela évite les effets néfastes du courant de fermeture et de la variation de la tension de seuil de ce transistor.

Dans ce chapitre, nous donnerons un bref aperçu du premier photorécepteur photovoltaïque proposé et réalisé par notre équipe de recherche. Ce photorécepteur donne une amélioration sensible en terme de sensibilité photoélectrique. Sur la base de ce travail, nous allons présenter un nouveau photorécepteur qui permet une compensation "on-chip" du bruit spatial fixe dans une matrice composée de ce photorécepteur. Un ensemble d'analyses et de modélisations de ce photorécepteur sera présenté.

4.1. Photorécepteur Photovoltaïque

4.1.1. Utilisation d'une photodiode en mode Photovoltaïque

Une photodiode en mode photovoltaïque génère naturellement une tension en fonction du logarithme de l'intensité de la lumière reçue. L'utilisation de ce mode de fonctionnement a été proposée et expérimentée en 1994 par notre équipe de recherche [Ni94]. Ce mode de fonctionnement élimine le transistor de conversion donc élimine une des principales sources du bruit spatial fixe. De plus, cette configuration sans transistor de conversion réduit la déformation de la courbe de réponse en raison de l'absence du courant de fuite de ce transistor.

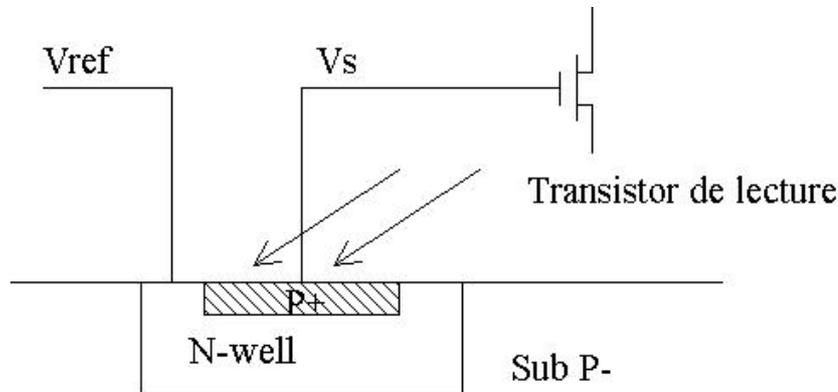


Figure 4-1 : Photorécepteur en mode photovoltaïque.

Une photodiode dans le substrat génère une tension en dehors de la plage Vdd-Gnd qui est difficile à traiter par des circuits en aval. Pour résoudre ce problème, ce photorécepteur utilise une jonction P⁺N logée dans un caisson Nwell comme le montre la figure 4-1. En polarisant le caisson Nwell à une tension de référence adéquate, on peut placer ce signal photovoltaïque dans la plage Vdd-Gnd. L'expression de la tension à la sortie de ce photorécepteur est donnée par :

$$V_S = V_{ref} + U_T \ln\left(\frac{I_{ph} + I_s}{I_s}\right) \quad (4-1)$$

où V_{ref} est la tension de polarisation du caisson.

La figure 4-2 montre la réponse photoélectrique de ce photorécepteur logarithmique mesurée sur un circuit prototype réalisé en technologie CMOS 2,4 μ m. Ce circuit de test contient 3 pixels reliés à trois amplificateurs opérationnels connectés en suiveur de tension. La variation de la luminosité a été réalisée par superposition de filtres d'atténuation optique neutres.

Les tensions d'offset entre les trois courbes de réponse restent strictement constantes sur toute la plage dynamique. Ceci montre que ces offsets proviennent principalement des amplificateur-suiveurs de lecture et que les offsets entre ces photorécepteurs sont faibles. Le seuil de détection se situe à une intensité de 1nW prélevé par un photomètre muni d'une photodiode de 5mm de diamètre, cette intensité correspond à un éclairage direct de 0,03lux sur la surface du circuit.

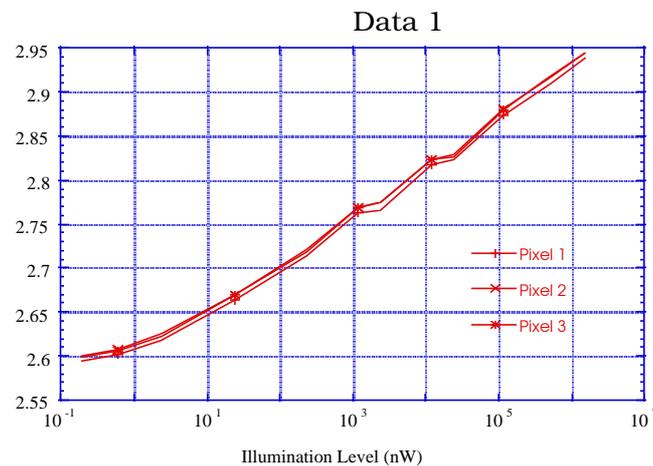


Figure 4-2 : Réponse photoélectrique de trois photorécepteurs logarithmiques en mode photovoltaïque.

Cette sensibilité est au moins 1000 fois supérieure à celle du photorécepteur proposé par D. Scheffer [Schef97]. Malgré cette performance, il s'avère qu'une matrice formée de ce photorécepteur souffre encore d'un fort BSF en provenance de la chaîne de lecture.

4.1.2. Photorécepteur Log-PV

Suivant la conclusion précédente, on peut imaginer que si ce photorécepteur peut générer une référence noire uniquement composée des tensions d'offset, la compensation du BSF peut être résolue. Comme nous avons constaté que ce BSF provient principalement de la

chaîne de lecture, on peut maintenir de façon relativement facile une bonne linéarité de cette chaîne de lecture. Par conséquent leur contribution au BSF peut être compensée par une opération différentielle. Tout le problème maintenant se trouve dans la génération d'une référence noire électronique.

Sachant que la tension de sortie d'une photodiode en mode photovoltaïque est nulle lorsque celle-ci est dans l'obscurité, nous pouvons considérer que la valeur de cette tension est connue et identique pour tous les pixels. Pour obtenir cette tension, nous avons eu l'idée de mettre un transistor MOS de commutation 'à cheval' sur la photodiode. Quand ce transistor est bloqué, la photodiode fonctionne normalement. Mais quand ce transistor est passant, il court-circuite la photodiode et donne une tension très proche de zéro. En fonctionnement normal, le photocourant de la photodiode est très faible et la tension générée par ce courant sur la résistance de ce transistor de commutation est quasiment nulle.

La figure 4-3 montre le schéma électrique du photorécepteur. Il est composé d'un transistor NMOS et d'une photodiode en mode photovoltaïque. Cette structure est extrêmement simple et compacte. Nous l'appellerons '*photorécepteur Log-PV*'.

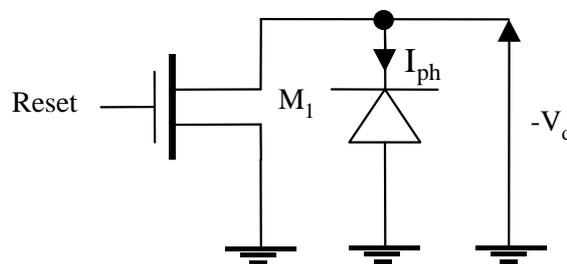


Figure 4-3 : Schéma électrique du photorécepteur Log-PV.

Avec cette possibilité de générer une référence noire dans un photorécepteur Log-PV, toutes les méthodes de compensation du bruit spatial fixe peuvent être utilisées. Cette compensation se fait en deux étapes :

1. Capture d'une image de référence noire

En rendant le transistor M_1 passant, la photodiode est court-circuitée. Dans ce cas, une lecture de la matrice permet de capturer une image de référence noire (une image BSF). Dans cette configuration, il n'y a nullement besoin de mettre la matrice dans une obscurité totale, ce qui nous affranchit de l'utilisation d'un obturateur mécanique.

2. Capture d'image normale et compensation du BSF

En bloquant le transistor M_1 , la photodiode est en fonctionnement normal. La lecture de la matrice donne une image entachée du BSF. Une soustraction entre cette image et l'image de référence noire acquise pendant la phase 1 donne une image exemptée du BSF.

Dans ce travail de thèse, je m'intéresse à une compensation "on-chip" du BSF au sein du capteur. Avec ce mécanisme de génération de l'image de référence, des solutions simples et efficaces peuvent être inspirées des méthodes couramment utilisées dans les capteurs classiques APS. Nous le reverrons dans le chapitre suivant.

4.1.3. Modélisation

Afin de dégager les comportements fins du photorécepteur Log-PV, une modélisation de ce photorécepteur est nécessaire. Le modèle du photorécepteur que nous proposons est montré dans la figure 4-4. La photodiode ici est modélisée simplement par une diode idéale en parallèle avec un générateur de courant direct simulant le courant photoélectrique I_{ph} et une capacité de jonction (C_j).

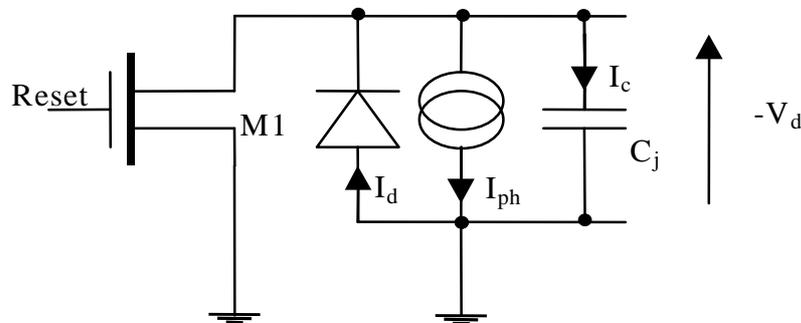


Figure 4-4 : Schéma électrique du photorécepteur avec le modèle équivalent de la photodiode photovoltaïque.

Cette photodiode travaille en circuit ouvert quand le transistor M_1 est bloqué. Ainsi la somme des courants dans ces branches reste nulle :

$$0 = I_s \left(e^{\frac{V_d}{U_T}} - 1 \right) - I_{ph} - I_c \quad (4-2)$$

où $U_T = kT/q \approx 26mV$ est la tension thermique de la photodiode.

En développant l'équation (4-2), nous obtenons :

$$C_j(V_d) \frac{dV_d}{dt} = I_{ph} - I_s \left(e^{\frac{V_d}{U_T}} - 1 \right) \quad (4-3)$$

Dans cette équation, nous avons modélisé le stockage de charge dans la jonction PN par une capacité C_j non-linéaire en fonction de la tension V_d . En supposant que la jonction ait un profil abrupt, la capacité de jonction a pour expression :

$$C_j(V_d) = \frac{C_j(0)}{\sqrt{1 - \frac{V_d}{\phi_i}}} \quad (4-4)$$

où $\phi_i = 0,7654V$ est le potentiel intrinsèque de la jonction PN et $C_j(0)$ est la capacité de jonction à $V_d = 0V$.

Par conséquent, l'équation (4-3) peut s'écrire :

$$\frac{C_j(0)}{\sqrt{1 - \frac{V_d}{\phi_i}}} \frac{dV_d}{dt} = I_{ph} - I_s \left(e^{\frac{V_d}{U_T}} - 1 \right) \quad (4-5)$$

L'équation ne peut être résolue analytiquement à cause des paramètres $\sqrt{1 - V_d/\phi_i}$ et $e^{\frac{V_d}{U_T}}$, nous avons donc procédé à une résolution par intégration numérique. En faisant une discrétisation explicite de l'équation (4-5), nous avons :

$$\Delta V_d = \left(I_{ph} - I_s \left(e^{\frac{V_d^n}{U_T}} - 1 \right) \right) \frac{\sqrt{1 - \frac{V_d^n}{\phi_i}}}{C_j(0)} h \quad (4-6)$$

$$V_d^n = V_d^{n-1} + \Delta V_d$$

où h est le pas de discrétisation du temps.

En supposant que la photodiode est illuminée par une lumière indicielle, nous avons résolu l'équation (4-6) sous Matlab. Nous avons fait deux simulations : l'une avec C_j non-linéaire et l'autre avec C_j linéaire ayant sa valeur constante $C_j(0)$. La figure 4-5 montre les résultats des deux simulations (a) et la comparaison entre ces résultats (b). Nous pouvons constater que ces deux résultats sont très proches et que la différence se trouve essentiellement dans la phase transitoire.

Nous avons pris comme exemple les paramètres de la photodiode suivants :

- La tension thermique $U_T = 26mV$
- Le Condensateur de jonction $C_j(0) = 86fF$
- Le courant de saturation inverse $I_s = 0,017 fA$
- Le potentiel intrinsèque de la jonction $\phi_i = 0,7654V$

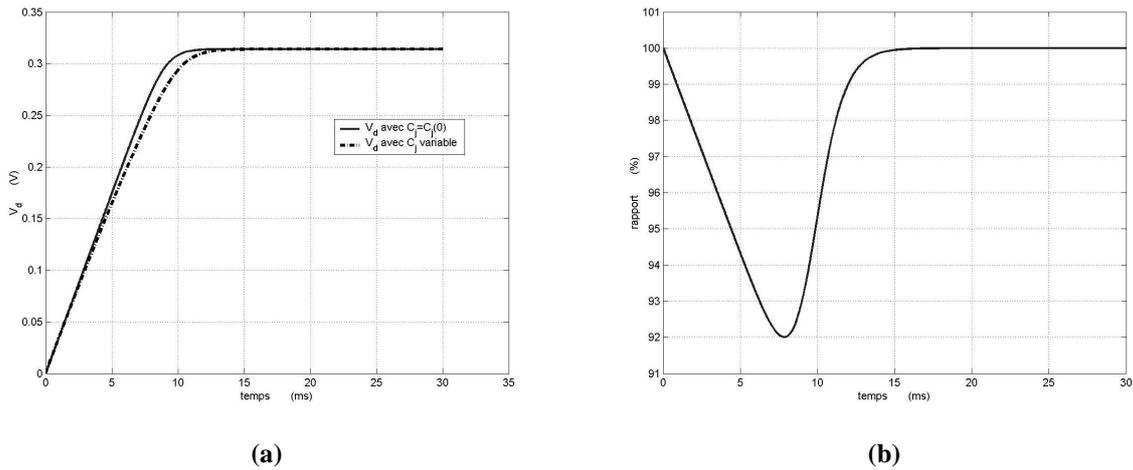


Figure 4-5 : (a) Simulation de la réponse du photorécepteur en fonction du temps ; (b) Rapport entre la courbe dont la capacité de jonction varie et celle dont la capacité de jonction est fixe.

En conséquence, nous pouvons donc simplifier cette analyse en considérant que la capacité de jonction est linéaire avec $C_e = C_j(0)$. L'équation (4-3) devient alors :

$$\int_{V_i}^{V_d} \frac{1}{\left(I_{ph} - I_s \left(e^{\frac{V_d}{U_T}} - 1 \right) \right)} dV_d = \int_0^t \frac{dt}{C_e} \quad (4-7)$$

où V_i est la tension initiale aux bornes de la photodiode à $t = 0$.

L'équation (4-7) sera utilisée dans toutes nos analyses du comportement du photorécepteur Log-PV.

4.2. Réponse à une source optique statique

Dans ce paragraphe, nous étudions la réponse du photorécepteur Log-PV quand il est éclairé par une source lumineuse de puissance constante. Par conséquent, la photodiode génère un photocourant constant.

On se place dans l'hypothèse de compensation du bruit BSF "on-chip". Donc la réponse du photorécepteur Log-PV est une réponse après une génération de référence, nous avons la tension initiale V_i à 0V. Cette réponse peut être calculée en résolvant l'intégrale de l'équation (4-7). Nous obtenons :

$$V_d(t) = U_T \ln \left(\frac{I_{ph} + I_s}{I_{ph} e^{-\frac{t}{R_d C_e}} + I_s} \right) \quad (4-8)$$

où $R_d = U_T / I_{ph}$ la résistance dynamique de la jonction.

Ou encore, si l'on fixe le temps d'exposition en supposant que $I_{ph} \gg I_s$, la tension finale peut être exprimée :

$$V_d(I_{ph}) = \frac{I_{ph} T_{exp}}{C_e} + U_T \ln \left(\frac{I_{ph}}{I_{ph} + I_s e^{\frac{T_{exp}}{R_d C_e}}} \right) \quad (4-9)$$

Si nous traçons l'équation (4-8) à l'aide du logiciel Matlab, nous obtenons une courbe illustrée dans la figure 4-6. Dans cette évaluation, nous avons fixé la durée de l'intégration T_{exp} à 20ms. Nous verrons plus tard que ce temps correspond à un fonctionnement normal de notre capteur Log-PV.

Cette simulation a été faite avec les paramètres de la photodiode suivants :

- La tension thermique $U_T = 26mV$
- Condensateur de jonction $C_e = 86fF$
- Le courant de saturation inverse $I_s = 0,017fA$

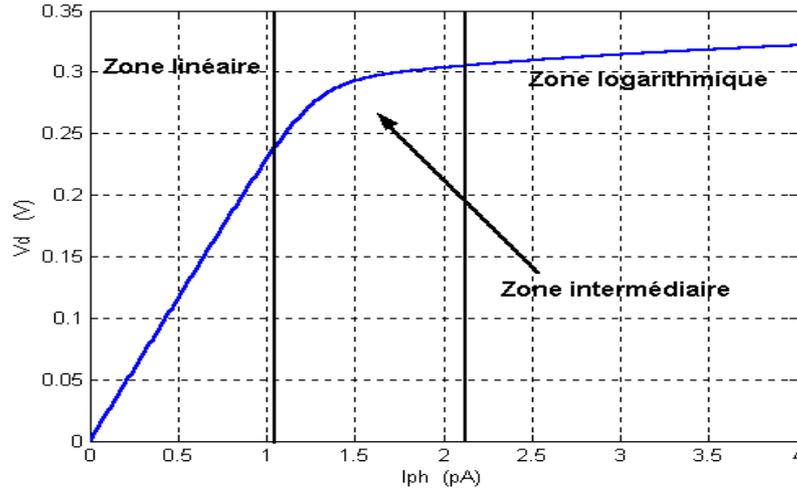


Figure 4-6 : Simulation de la réponse de la photodiode, $V_d=f(I_{ph})$.

Nous remarquons que la réponse du photorécepteur est composée de 3 zones :

1. Zone linéaire :

Quand le photorécepteur est faiblement éclairé, le courant photoélectrique n'a pas le temps de charger la capacité de jonction de la photodiode en 20ms. Dans ce cas, la photodiode conduit peu. Une lecture de la tension V_d de la photodiode donne un signal similaire à celui d'une photodiode en mode d'intégration. Comme la valeur de la résistance dynamique de la photodiode est très grande, l'équation (4-8) peut être simplifiée en :

$$V_d(t) = I_{ph} \frac{t}{C_e} \quad (4-10)$$

La valeur de la tension lue est donc proportionnelle au produit temps et photocourant. En conclusion, en faible illumination, nous avons une réponse linéaire du photorécepteur Log-PV.

2. Zone logarithmique :

Quand le photorécepteur est fortement éclairé, le fort courant photoélectrique charge la capacité de jonction rapidement. Dans ce cas, la tension de la photodiode est fixée par son comportement en direct :

$$V_d(t) = U_T \ln\left(\frac{I_{ph}}{I_s}\right) \quad (4-11)$$

La tension V_d est uniquement en fonction du photocourant. Nous avons une réponse logarithmique du photorécepteur Log-PV.

3. Zone intermédiaire :

Nous observons une zone de transition entre les zones linéaire et logarithmique, dans laquelle le déblocage de la photodiode se fait progressivement. Dans cette zone dite intermédiaire, la réponse de la photodiode n'évolue de façon ni linéaire ni logarithmique. L'expression de la tension aux bornes du condensateur garde l'expression donnée par l'équation (4-9).

Avec ce comportement multi-modal, il est important de connaître le mode de fonctionnement d'un photorécepteur Log-PV en fonction du temps d'exposition et de l'intensité lumineuse.

Si nous fixons l'intensité optique (c'est à dire un courant photoélectrique constant dans la photodiode), l'évolution de la tension $V_d(t)$ peut être obtenue par la formule (4-8). Cette évolution de $V_d(t)$ avec un photocourant de 2pA est donnée par la figure 4-7. Cette courbe d'évolution montre clairement deux zones : la zone d'intégration qui correspond à un chargement de la capacité de jonction de la photodiode et la zone de stabilisation qui correspond à une entrée en mode logarithmique de la photodiode.

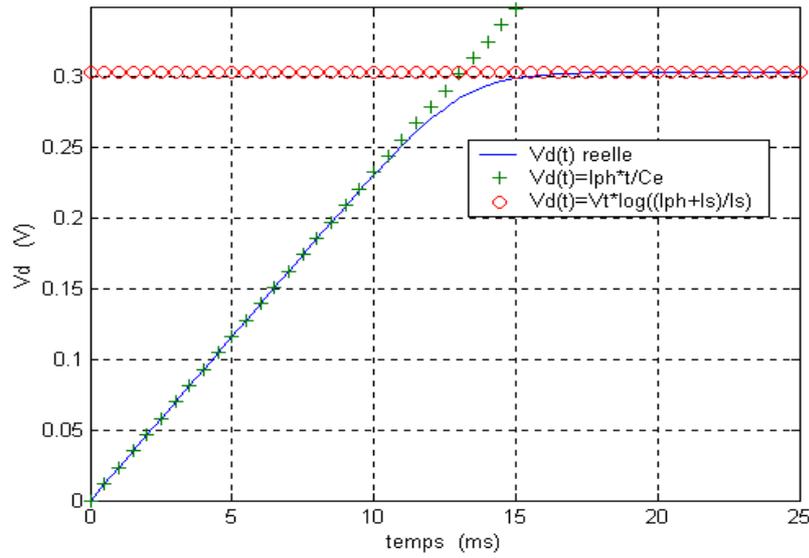


Figure 4-7 : Simulation de la réponse de la photodiode et des différentes courbes limitant les zones de fonctionnement.

Ici nous voulons obtenir un critère simple permettant de modéliser cette transition de mode du photorécepteur Log-PV. Ce critère nous permettra de savoir à partir de quel instant le pixel passe de la zone linéaire à la zone logarithmique pour un photocourant donné. Nous l'appellerons le temps de stabilisation t_{stab} .

Le critère que nous avons adopté est :

$$I_{ph}e^{\frac{-t_{stab}}{R_d C_e}} + I_s = 2I_s \quad (4-12)$$

C'est à dire que le terme transitoire est égal au courant de fuite de la jonction. Par conséquent, l'expression de t_{stab} en fonction du courant photoélectrique est donnée par :

$$t_{stab} = C_e \frac{U_T}{I_{ph}} \ln \left(\frac{I_{ph}}{I_s} \right) \quad (4-13)$$

La simulation de l'évolution de ce temps de stabilisation en fonction du photocourant est représentée dans la figure 4-8. Elle montre clairement que ce temps de stabilisation peut être assez long quand le photocourant est faible. Nous pouvons également observer que ce temps décroît assez vite avec le photocourant. Cela démontre que cette structure possède une zone de transition inévitable entre le mode linéaire et logarithmique en cas de faible

éclairement. A partir de la courbe de la figure 4-8, nous pouvons déterminer que la réponse du photorécepteur est une fonction logarithmique quand $I_{ph} \geq 1,26 pA$ pour un temps d'exposition de 20ms (selon les paramètres supposés dans la simulation).

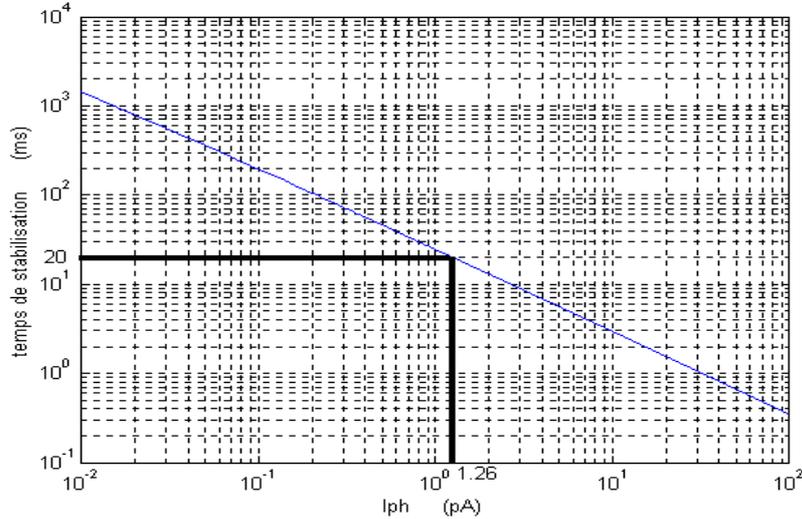


Figure 4-8 : Simulation du temps de stabilisation de la tension aux bornes de la photodiode en fonction du photocourant.

De l'équation (4-13), nous pouvons conclure que seuls les paramètres I_{ph} et C_e peuvent être optimisés pour réduire le temps de stabilisation t_{stab} . Il est possible de diminuer la capacité de jonction C_e en réduisant la taille du pixel mais cela réduirait aussi le photocourant I_{ph} pour une même intensité lumineuse. Deux solutions sont possibles pour résoudre ce problème : 1° utiliser des jonctions moins capacitives. Par exemple une jonction Nwell/P-sub possède une capacité de jonction beaucoup plus faible qu'une jonction N+/P-sub (voir annexe A) ; 2° utilisation des microlentilles. Elle consiste à placer des micros lentilles à chaque pixel. Cette structure à micro lentille est couramment utilisée dans les capteurs classiques CCD comme CMOS. Elle a l'effet de diminuer la taille de la photodiode (réduire la capacité de jonction) tout en conservant le photocourant.

4.3. Influences du transistor de commutation

Dans les analyses précédentes, nous avons supposé que le transistor M_1 dans un photorécepteur Log-PV est un transistor MOS idéal. Sachant que dans un procédé CMOS

moderne, un transistor à canal court est très éloigné de ce fonctionnement idéal, nous nous intéressons à deux phénomènes dans ce transistor de court-circuit : 1° le courant sous-seuil ; et 2° l'injection de charge pendant la commutation.

4.3.1. Courant sous-seuil

Pendant un fonctionnement normal, le transistor M_1 est bloqué. On peut supposer que sa grille est connectée à la masse (voir figure 4-9). La tension V_d aux bornes du photorécepteur photovoltaïque diminue progressivement en fonction du nombre de photons reçus. Le transistor NMOS travaille en mode faible inversion. Il provoque un courant sous-seuil, I_{DS} .

Pour un transistor à canal long, ce courant sous-seuil I_{DS} peut être exprimé par l'équation suivante [Behza00]:

$$I_{DS} = I'_s e^{\frac{V_{GS}}{\kappa U_T}} \left(1 - e^{-\frac{V_{DS}}{U_T}} \right) \quad (4-14)$$

Où $I'_s = \mu_n C_{dep} \frac{W}{L} U_T^2 e^{-\frac{V_{th}}{\kappa U_T}}$ est le courant de canal résiduel,

$C_{dep} = \sqrt{q \epsilon_{si} N_A} / 4 \phi_i$ représente la capacité de la région de déplétion sous la grille du transistor, $C_{ox} = \epsilon_{ox} / t_{ox}$ représente la capacité de l'oxyde mince de la grille et $\kappa = 1 + C_{dep} / C_{ox}$ est le facteur du substrat ($\kappa > 1$).

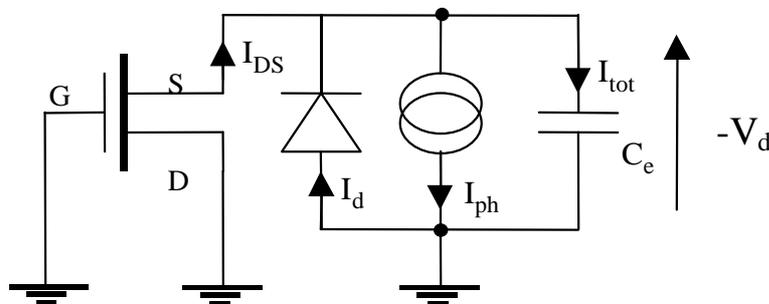


Figure 4-9: Schéma électrique du photorécepteur avec prise en compte du courant sous-seuil I_{DS} .

Le courant I_{tot} traversant le condensateur de jonction C_e a pour expression :

$$I_{tot} = I_{DS} + I_d - I_{ph} \quad (4-15)$$

La figure 4-9 montre que $V_{GS} = V_{DS} = V_d$, d'où :

$$C_e \frac{dV_d}{dt} = I_{ph} - I_s \left(e^{\frac{V_d}{U_T}} - 1 \right) - I'_s e^{\frac{V_d}{\kappa U_T}} \left(1 - e^{-\frac{V_d}{U_T}} \right) \quad (4-16)$$

L'équation précédente ne peut pas être résolue analytiquement à cause du paramètre κ dans l'une des fonctions exponentielles. Nous avons procédé à une résolution numérique de cette équation sur Matlab afin d'évaluer l'influence du courant sous-seuil sur le comportement du photorécepteur Log-PV.

$$\Delta V_d = \frac{I_{ph} - I_s \left(e^{\frac{V_d^n}{U_T}} - 1 \right) - I'_s e^{\frac{V_d^n}{\kappa U_T}} \left(1 - e^{-\frac{V_d^n}{U_T}} \right)}{C_e} * h \quad (4-17)$$

$$V_d^n = V_d^{n-1} + \Delta V_d$$

Avec h le pas de discrétisation et n un entier qui représente le numéro de l'échantillon de la tension V_d .

Dans un process CMOS moderne, ce facteur de substrat a une valeur d'environ 1,3. La figure suivante montre les résultats de la simulation sous Matlab avec $\kappa = 1,3$.

Nous avons pris comme exemple les paramètres suivants :

- le courant de saturation inverse de la diode $I_s = 0,017 \text{ fA}$ (pour $\kappa = 1,3$)
- le courant de canal résiduel $I'_s = 0,022 \text{ fA}$
- le photocourant $I_{ph} = 3 \text{ pA}$.

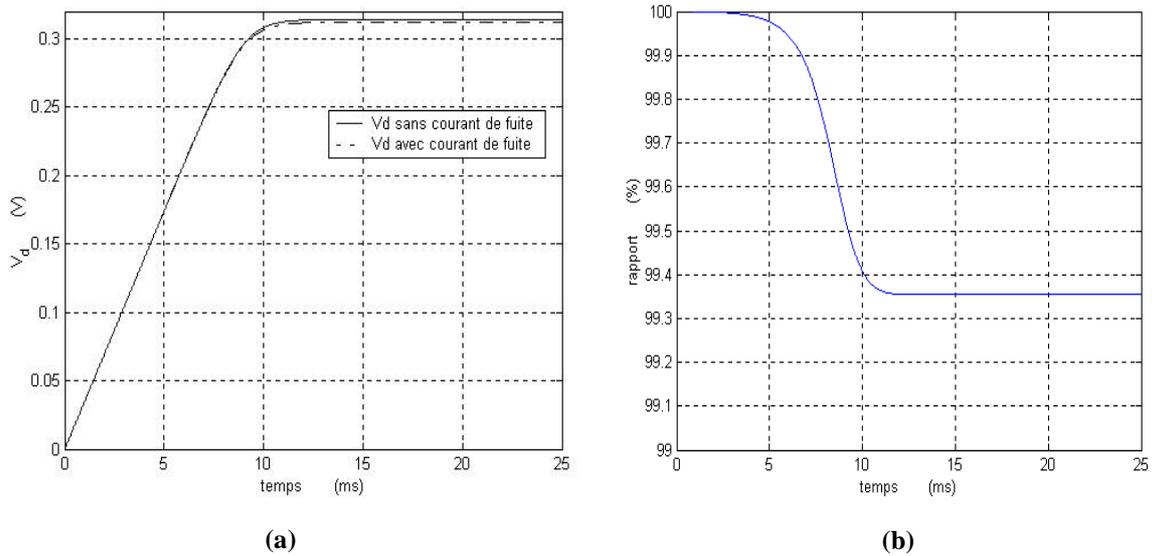


Figure 4-10: (a) Simulation des courbes de V_d en fonction du temps avec et sans le courant de fuite du transistor d'initialisation NMOS ; (b) rapport entre les tensions V_d avec et sans courant de fuite en fonction du temps.

En regardant cette figure nous pouvons remarquer que l'influence du courant de fuite sur la réponse du photorécepteur est minime. Ce phénomène peut s'expliquer par le fait que le courant sous-seuil du transistor M_1 augmente beaucoup moins vite que le courant direct de la photodiode en raison du facteur de substrat $\kappa > 1$. De plus, ce courant sous-seuil évolue avec le photocourant : quand le photocourant est faible, la tension sur la photodiode est faible donc le courant sous-seuil est faible. Par contre quand le photocourant augmente, le courant sous-seuil augmente également mais beaucoup moins vite.

Nous pouvons conclure que l'effet de ce courant sous-seuil sur la réponse du photorécepteur Log-PV est relatif au courant photoélectrique et que cette influence relative permet de conserver la sensibilité du photorécepteur Log-PV dans une condition de lumière faible. Ce phénomène bénéfique n'existe pas dans les photorécepteurs logarithmiques classiques.

4.3.2. Injection de charge

Quand le photorécepteur Log-PV passe du mode d'initialisation au mode d'acquisition, le transistor M_1 passe de l'état conducteur à l'état bloqué. A cette transition, le transistor M_1 va injecter une partie de la charge stockée sous la grille dans la photodiode

(figure 4-11). Quand ce transistor est passant, la quantité de charge sous la grille peut se calculer comme :

$$Q_{ch} = WLC_{ox}(V_h - V_{tho}) \quad (4-18)$$

où W et L sont respectivement la largeur et la longueur de grille du transistor MOS et C_{ox} sa capacité d'oxyde.

Quand le transistor est coupé, une partie de cette charge sera injectée dans la photodiode. La répartition de cette charge entre le drain et la source est un phénomène très complexe [Vitto85][Weinb88][Einch90][Mayes91][Ding00]. Ici nous allons prendre le pire cas, c'est à dire que la totalité de cette charge est injectée dans la photodiode. Dans ce cas, cette injection de charge va induire une erreur en tension sur la photodiode qui peut s'exprimer comme suit :

$$V_{ch} = \frac{Q_{ch}}{C_e} \quad (4-19)$$

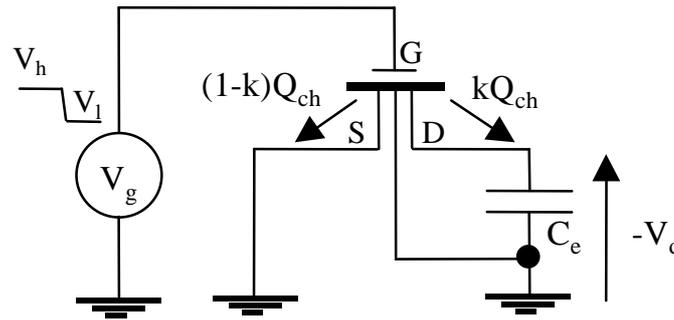


Figure 4-11 : Modélisation de l'injection de charge induite par le transistor d'initialisation.

Dans l'étude de la réponse statique du photorécepteur (paragraphe 4.2), nous avons supposé que la tension initiale sur la photodiode est de zéro. Si nous incluons cette injection de charge dans notre analyse précédente, la tension initiale de la photodiode ne sera plus 0V mais de la valeur V_{ch} . Nous reformulons l'expression (4-7) en utilisant cette tension initiale

V_{ch} :

$$\int_0^t \frac{dt}{C_e} = \int_{V_{ch}}^{V_d} \frac{dV_d}{I_{ph} - I_s \left(e^{\frac{V_d}{U_T}} - 1 \right)} \quad (4-20)$$

Donc nous avons maintenant une nouvelle expression de l'évolution de la tension $V_d(t)$ sur la photodiode :

$$V_d(t) = \frac{tI_{ph}}{C_e} + U_T \ln \left(\frac{I_{ph}}{I_{ph} e^{-\frac{V_{ch}}{U_T}} + I_s \left(e^{\frac{t}{C_e R_d}} - 1 \right)} \right) \quad (4-21)$$

La figure 4-12 présente la réponse du photorécepteur avec ou sans l'injection de charge pour un temps d'exposition de 20ms avec une tension d'erreur $V_{ch} = 0,08V$.

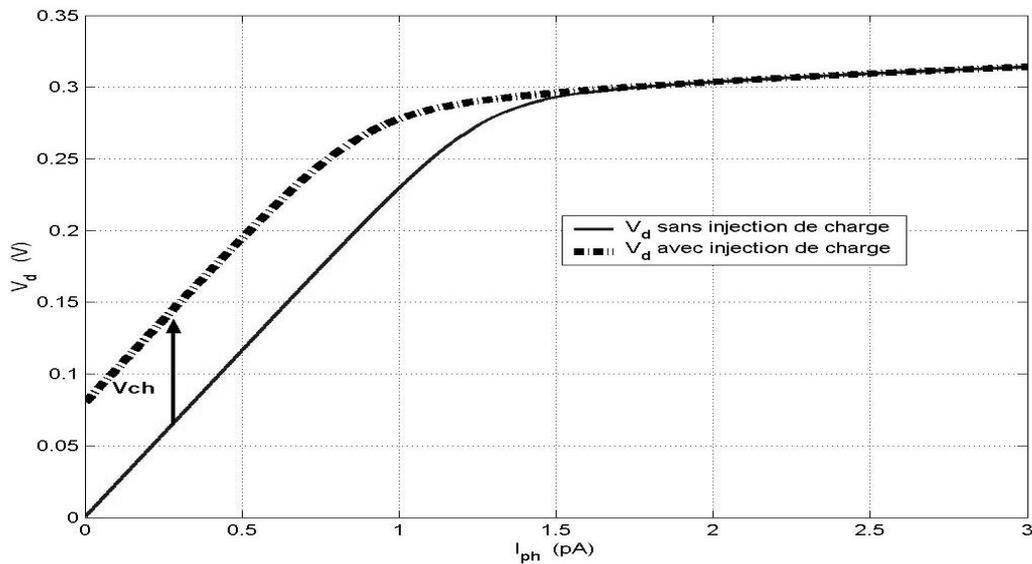


Figure 4-12 : Résultats de simulation avec et sans injection de charge de la tension aux bornes du condensateur de jonction $V_d=f(I_{ph})$.

Les résultats de la simulation montrent que cette injection de charge provoque un décalage de la courbe de réponse dans la zone linéaire du photorécepteur Log-PV. Ce décalage représente l'erreur induite par la charge injectée du transistor MOS. Quand le photorécepteur fonctionne en mode linéaire, la photodiode est très peu conductrice et cette erreur en charge est totalement conservée dans sa capacité de jonction. Dès que le photorécepteur passe en mode logarithmique, cette erreur en charge est entièrement absorbée par la photodiode. Donc il n'y a plus d'écart entre les deux courbes.

Quand le photocourant et le temps d'exposition sont faibles, le photorécepteur travaille dans la zone linéaire, le termes $I_s \left(e^{\frac{t}{C_e R_d}} - 1 \right)$ est proche de zéro. Donc l' expression (4-21) devient :

$$V_d(t) = \frac{t I_{ph}}{C_e} + V_{ch} \quad (4-22)$$

Donc cette injection de charge a tendance à accélérer la stabilisation du photorécepteur Log-PV vers le régime logarithmique. Cette accélération va réduire le temps de stabilisation de façon proportionnelle à la tension d'injection de charge :

$$t_{stab} = t_{stab_o} - \frac{C_e V_{ch}}{I_{ph}} \quad (4-23)$$

où t_{stab_o} est le temps de stabilisation dont l'expression est donnée par l'équation (4-13).

Ce phénomène est illustré dans la figure 4-13 par une simulation sous le logiciel Matlab.

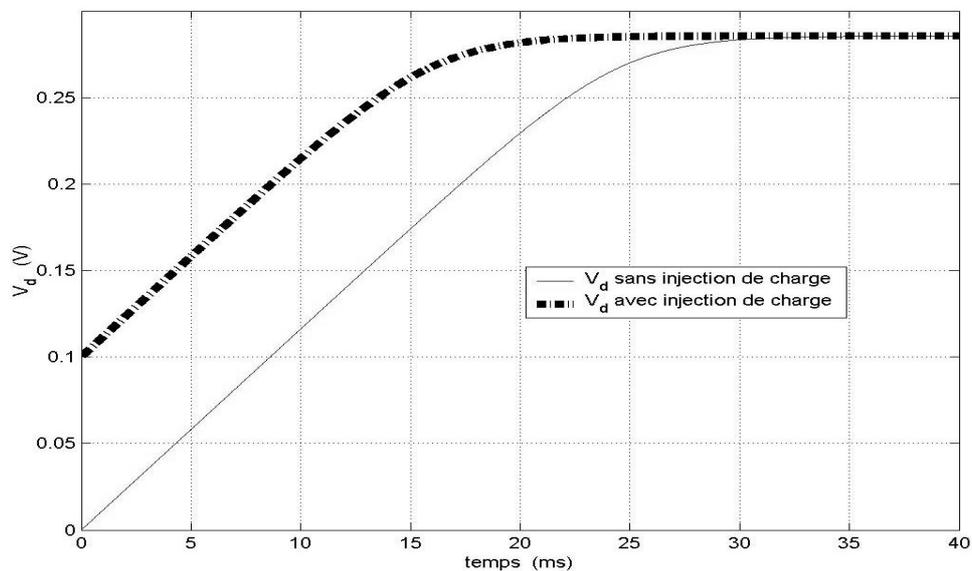


Figure 4-13 : Tension aux bornes du condensateur de jonction pour une tension d'erreur $V_{ch}=0,1V$ avec un photocourant $I_{ph}=1pA$.

La figure 4-14 montre les résultats des simulations effectuées avec une tension d'erreur d'injection de charge fixée à 0,13V. Les photocourants représentent les différents photocourants dans la photodiode. Ces résultats montrent que même si l'injection de charge permet de réduire le temps de stabilisation de la tension aux bornes du condensateur de transition, celui-ci reste élevé quand le photocourant est très faible.

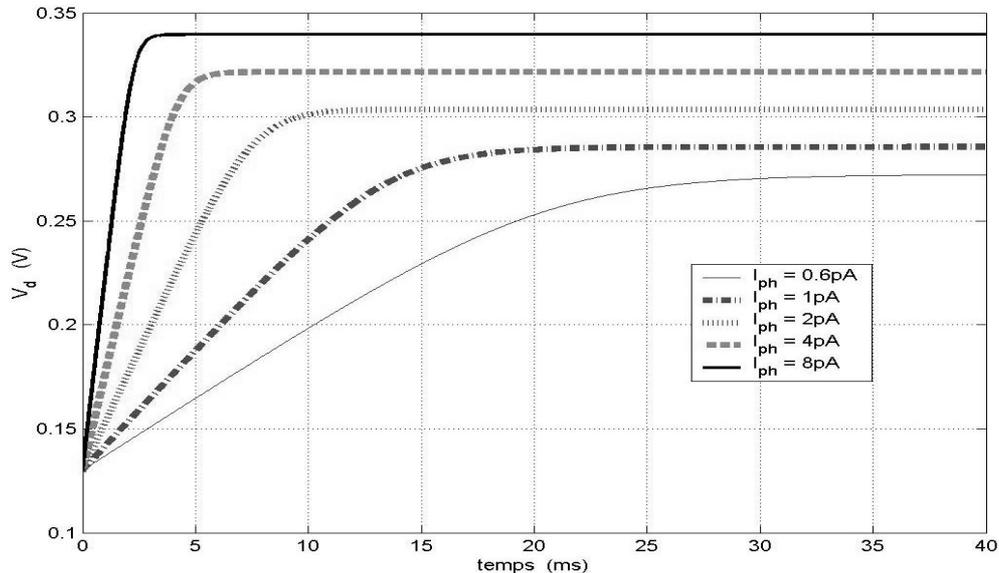


Figure 4-14 : Tension aux bornes du condensateur de jonction pour une tension d'erreur $V_{ch}=0,13V$ avec différents photocourants.

En conclusion, nous pouvons dire que cette injection de charge induit une erreur quand le photorécepteur travaille en zone linéaire et que cette même injection a l'effet de raccourcir le temps de stabilisation de la photodiode. Par conséquent, dans la zone intermédiaire, nous aurons un comportement difficile à maîtriser. L'une des solutions est d'augmenter volontairement cette injection de charge pour que le photorécepteur passe le plus rapidement possible en mode logarithmique. Nous pouvons par exemple utiliser un transistor ayant un grand L pour augmenter la capacité de grille et en même temps une tension de commande élevée afin d'augmenter la quantité de charge injectée.

4.4. Réponse à une source optique dynamique

Dans le paragraphe précédent, nous avons vu que la réponse statique du nouveau photorécepteur n'est pas une réponse logarithmique pure. Elle est composée de deux parties reliées par une transition douce : linéaire et logarithmique. Si le signal optique varie pendant la durée d'exposition, le comportement du photorécepteur Log-PV ne peut plus être modélisé par les résultats précédents. Pour un système de vision, cette situation se produit en présence de sources de lumière artificielle, par exemple, à base de lampes à décharge. Par conséquent une analyse du comportement de ce photorécepteur Log-PV est nécessaire.

Dans cette étude, nous modélisons l'évolution de l'intensité de la lampe à décharge comme une variation sinusoïdale. En conséquence, l'expression temporelle du photocourant créé par ce type de sources est donnée (voir la figure 4-15) ci-dessous :

$$i_{ph}(t) = I_o |\sin(2\pi ft)| \quad (4-24)$$

où I_o est l'amplitude maximale du photocourant et f est la fréquence de l'alimentation, qui est, dans la plupart de cas, à 50Hz. Pour cette raison, nos analyses sont faites à cette fréquence.

En remplaçant le photocourant statique par un photocourant dynamique dans la formule (4-7), nous pouvons calculer la réponse du photorécepteur Log-PV :

$$\int_0^{v_d} dv_d(t) = \int_0^t \left(\frac{i_{ph}(t) - I_s \left(e^{\frac{v_d(t)}{U_T}} - 1 \right)}{C_e} \right) dt \quad (4-25)$$

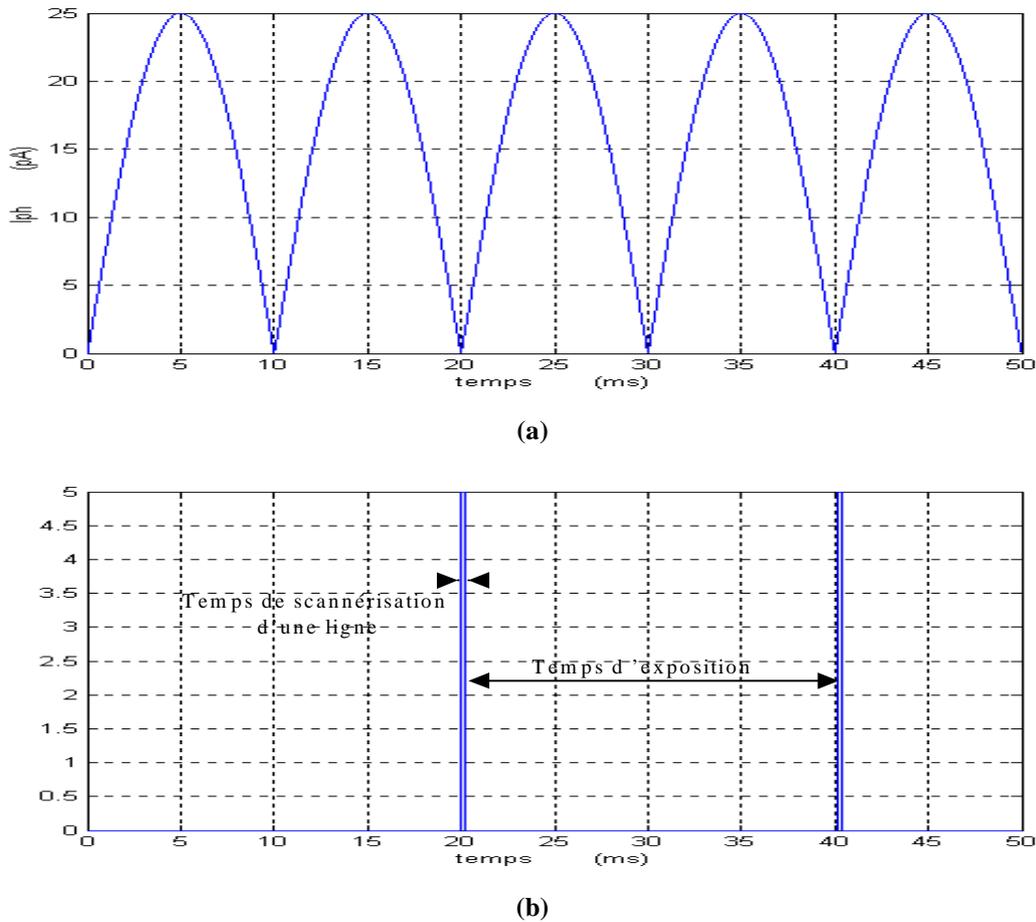


Figure 4-15 : Simulation de (a) de la forme d'onde du photocourant I_{ph} ; (b) signal représentant l'envoi des données de deux lignes de pixels de la matrice vers la sortie du capteur.

L'équation ne peut être résolue analytiquement car v_d et i_{ph} varient en fonction du temps. Pour étudier son comportement dynamique, une résolution discrète est la plus simple à mettre en œuvre avec Matlab. Les équations programmées sur Matlab sont :

$$\Delta v_d = \frac{\left(i_{ph}^n - I_s \left(e^{\frac{v_d^n}{U_T}} - 1 \right) \right)}{C_e} h \quad (4-26)$$

$$v_d^n = v_d^{n-1} + \Delta v_d$$

où Δv_d est la différence entre deux échantillonnages de la tension v_d , h est le pas de discrétisation et n est un nombre entier qui représente l'indice de l'échantillonnage de la tension de la capacité de jonction.

Dans un capteur matriciel, les pixels sont lus de façon séquentielle ligne par ligne. Le temps d'exposition T_{exp} est le même pour toutes les lignes, mais leurs instants de démarrage et de lecture ne sont pas les mêmes.

Nous allons prendre comme exemple une matrice de 120 lignes. Dans cette configuration, si nous démarrons la capture à l'instant zéro, pour la ligne n de la matrice il y a un retard de $\frac{T_{exp}(n-1)}{120}$. Ce retard est répercuté sur le photocourant dans la ligne n par un déphasage :

$$i_{ph}^n = I_o \left| \sin \left(2\pi f \left(t + \frac{T_{exp}(n-1)}{120} \right) \right) \right| \quad (4-27)$$

La fréquence de ce signal dynamique est de 100Hz et le temps d'exposition du photorécepteur est de 20ms. C'est à dire que la durée d'exposition est de deux périodes du signal optique. Nous savons que dans cette configuration, un capteur d'image classique en mode d'intégration ne voit pas la variation du signal optique car il intègre toujours sur des périodes complètes de ce signal. Mais ceci n'est pas le cas pour un capteur logarithmique.

La figure 4-15 (b) montre que le signal qui représente l'envoi des données produites par une ligne de pixels à la sortie du capteur, retarde le temps d'exposition de la ligne suivante par rapport à la source lumineuse.

Nous avons fait des simulations sous Matlab en résolvant numériquement l'équation (4-25). Les résultats des simulations sont présentés sur la figure 4-16.

Quand le photocourant est très faible, le temps d'exposition fixé à 20ms fait que le capteur travaille en mode linéaire. Donc nous pouvons déjà prédire que son comportement devrait être similaire à un capteur classique à intégration. Le résultat de simulation présenté dans la figure 4-16 confirme cette conclusion.

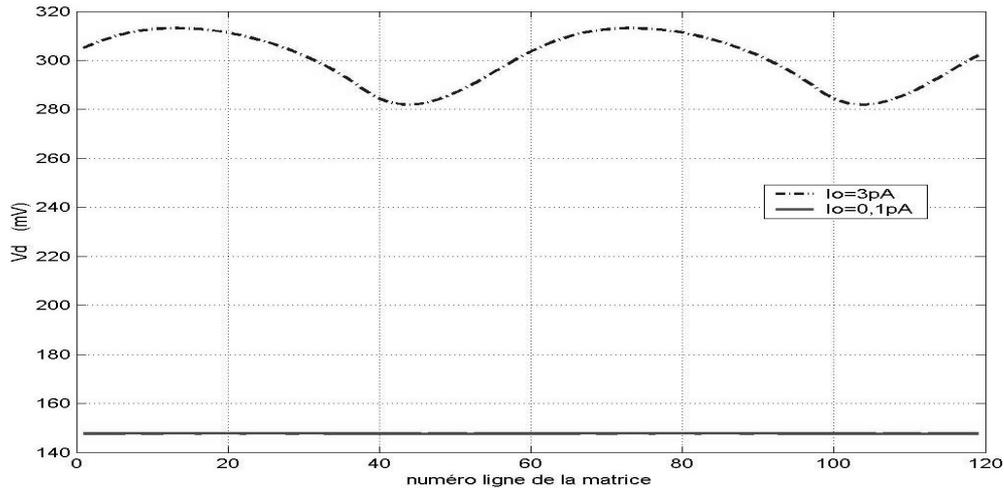


Figure 4-16 : Simulation du comportement dynamique d'une colonne d'une matrice de pixels pour deux photocourants $I_0=0,1pA$ (mode linéaire) et $I_0=25pA$ (mode logarithmique) et, un temps d'exposition de 20ms (la variation de très faible amplitude provient des erreurs de calcul sous Matlab).

Quand le photocourant est important, le capteur travaille en mode logarithmique. Dans ce cas, une variation dans l'image de sortie sera inévitable. Nous pouvons voir sans surprise, sur la figure précédente, que l'image à la sortie du capteur comporte des fortes ondulations provoquées par la source d'éclairage.

Nous pouvons conclure que vis à vis d'une source dynamique le capteur Log-PV se comporte tantôt comme un capteur linéaire (dans sa zone de fonctionnement linéaire) et tantôt comme un capteur logarithmique (dans sa zone de fonctionnement logarithmique). Ce phénomène est typique dans un capteur logarithmique et il peut être très gênant pour une machine de vision. L'origine de ce problème est la lecture séquentielle des pixels dans une matrice. Donc deux solutions sont possibles, la première solution est d'incorporer une mémoire analogique dans chaque pixel. Dans ce cas, la sortie du photorécepteur sera d'abord échantillonnée et mémorisée dans cette mémoire analogique et ce en parallèle dans une matrice. Ensuite une lecture séquentielle de l'image mémorisée ne pose plus de problème. La seconde solution est de faire une lecture ultra rapide de la matrice. Si on peut incorporer un mécanisme de lecture ultra rapide dans un capteur Log-PV, ce problème sera fortement atténué. Une cadence vidéo standard peut être maintenue via une mémoire tampon.

4.5. Conclusion

Dans ce chapitre, nous avons présenté un nouveau photorécepteur logarithmique. Ce photorécepteur nommé Log-PV exploite avantageusement le fonctionnement photovoltaïque d'une photodiode. Les analyses théoriques effectuées ici ont permis de dégager l'ensemble des caractéristiques de notre photorécepteur Log-PV. Ce photorécepteur apporte deux améliorations considérables par rapport à des solutions existantes :

1. génération électronique d'une référence noire stable et précise. Cette génération de référence permet d'envisager une compensation du bruit BSF "on-chip" simple et efficace ;
2. élimination de l'effet du courant sous-seuil de(s) transistor(s) au sein du photorécepteur. Cette élimination permet non seulement d'améliorer la sensibilité du photorécepteur Log-PV mais aussi d'intégrer ce photorécepteur dans un process CMOS submicronique profond.

Chapitre 5

Conception et réalisation d'un capteur prototype Log-PV

Nous avons démontré dans le chapitre précédent que le nouveau photorécepteur Log-PV permet des améliorations substantielles en terme de sensibilité photoélectrique et d'efficacité de la compensation du bruit BSF par rapport à des solutions existantes. Afin de valider ce nouveau concept, nous avons conçu et réalisé un capteur prototype Log-PV.

Nous avons opté pour une technologie CMOS DPDM (Double Poly et Double Métal) 0,8 μ m de AMS via le service CMP Grenoble. L'ensemble de la conception a été faite à l'aide des outils CAO de Tanner Research sur PC (L-edit & T-spice).

Dans ce chapitre, nous allons présenter l'ensemble de la conception et de la réalisation du capteur prototype.

5.1. Structure générale

Notre objectif premier est de valider le concept du photorécepteur Log-PV et de démontrer ses qualités et défauts intrinsèques. Par conséquent, nous avons adopté une structure nécessaire et simple : une lecture séquentielle munie d'une compensation du bruit BSF en mode ligne.

Le fonctionnement général du prototype est le suivant :

- Sélectionner une ligne de la matrice
- Lire cette ligne et mémoriser le résultat dans une mémoire analogique
- Court-circuiter les photodiodes dans les pixels de cette ligne
- Lire une seconde fois cette ligne et soustraire avec le résultat de la première lecture pour compenser le bruit BSF.
- Sortir le résultat de compensation de la matrice.

Nous avons ajouté un *driver* multi-mode de ligne dans ce capteur grâce auquel nous pouvons avoir deux options de visualisation du signal à la sortie du prototype. La première est le signal analogique brut pour faire des mesures et l'autre est un signal vidéo standard permettant de connecter ce capteur directement sur un moniteur TV ou sur la carte vidéo d'un PC.

La figure 5-1 résume la structure générale envisagée. Elle se compose des éléments suivants :

- Une matrice de 160x120 pixels
- Une cellule de lecture et de compensation analogique du BSF
- Un sélectionneur de ligne et de colonne
- Une sortie analogique brute OOTS
- Une sortie vidéo OUTP

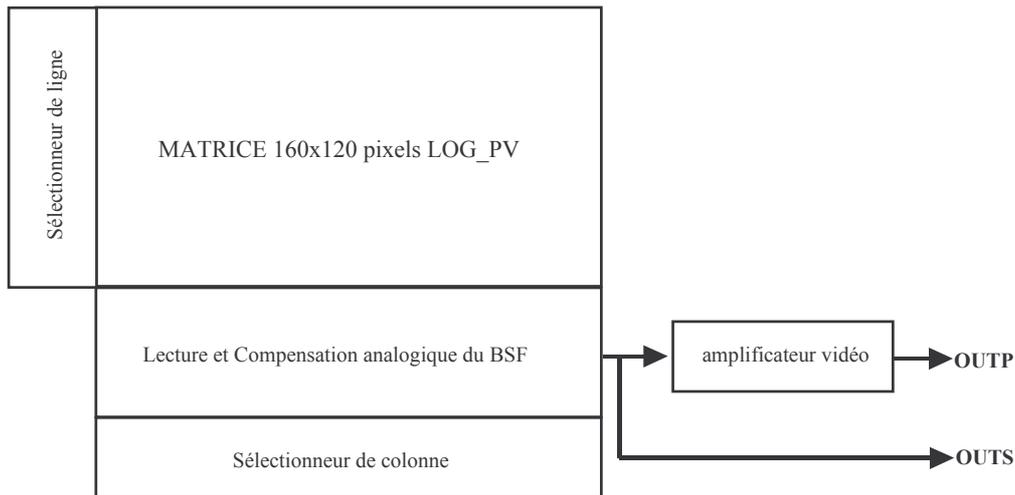


Figure 5-1: Architecture générale du prototype.

5.2. Structure Pixel

Nous avons opté, afin de réaliser la photodiode, pour une jonction Nwell/P-sub. Ce type de jonction permet de minimiser le temps de stabilisation de la réponse du photorécepteur car sa capacité de jonction a une plus faible valeur que celle des autres types de jonction (voir annexe A).

Sachant que la tension de sortie de cette jonction est une valeur négative, il faut un circuit de lecture capable de lire cette tension négative et de la rehausser. Pour cela nous avons eu l'idée d'utiliser un suiveur composé de transistors PMOS qui permet de lire cette tension et de la transposer en une tension positive. La structure proposée est illustrée dans la figure 5-2 .

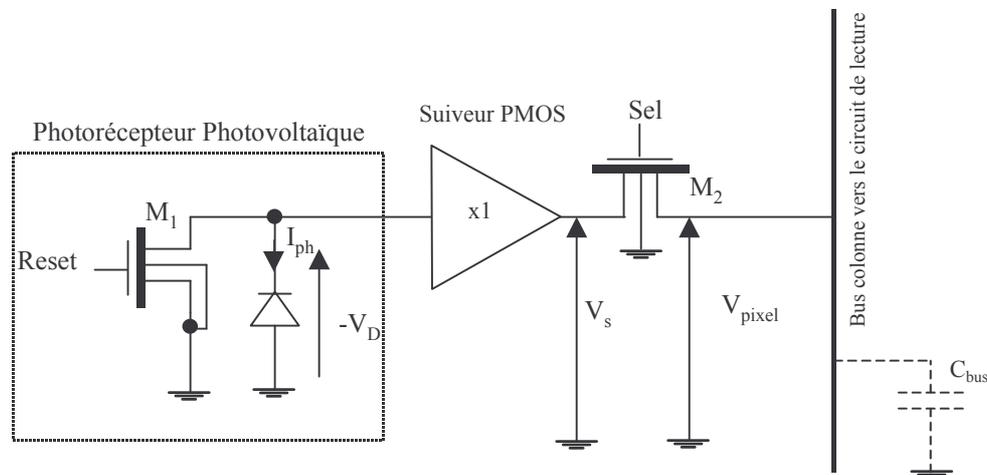


Figure 5-2: Structure du pixel Log-PV.

5.2.1. Suiveur PMOS

Dans une technologie CMOS standard, seul un transistor PMOS peut être utilisé pour lire une tension négative. Par conséquent, le suiveur PMOS, représenté sur la figure 5-3, a été réalisé afin de lire ce type de tension et de l'envoyer vers le bus colonne. Le transistor M_1 a pour rôle de lire la tension, le transistor M_2 joue le rôle d'une source de courant de polarisation. Pour optimiser la linéarité du suiveur, les deux transistors PMOS sont logés dans deux caissons séparés. La valeur de ce courant se calcule par (5-1).

$$I_{Bias_{pixel}} = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_2 (V_{dd} - Bias_{pixel} - |V_{th2}|)^2 \quad (5-1)$$

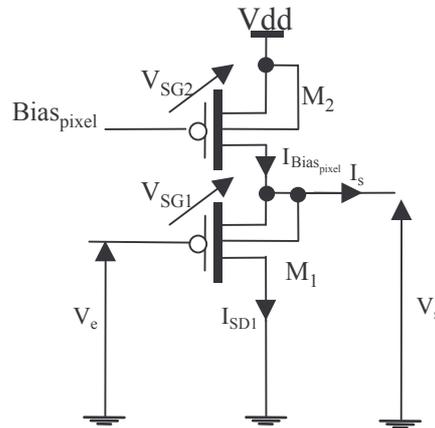


Figure 5-3: Schéma électrique du suiveur PMOS.

La tension source/drain V_{SD1} du transistor M_1 est égale à la tension de sortie V_s et la tension source/grille V_{SG1} est égale à la différence entre V_s et V_e . Pour que ce transistor soit considéré comme une source de courant commandée en tension il faut que $V_{SD1} > V_{SG1} - |V_{th1}|$ donc que $-V_e < |V_{th1}|$. Par nos simulations dans l'étude du photorécepteur photovoltaïque, nous pouvons supposer que la tension à ses bornes varie de 0V à environ -0,4V. Cette tension est plus faible que la tension de seuil car la valeur typique de cette dernière est d'environ -0,7V. L'expression du courant drain de ce transistor est alors :

$$I_{SD1} = \frac{1}{2} \mu_p C_{ox} \left(\frac{W}{L} \right)_1 (V_s - V_e - |V_{th1}|)^2 \quad (5-2)$$

Pour un bus purement capacitif à la stabilisation, le courant de sortie I_s du suiveur est égal à 0, c'est à dire $I_{Bias_{pixel}} = I_{SD_2}$. Nous avons utilisé deux transistors PMOS de la même dimension. La tension de sortie du suiveur V_s en fonction de la tension d'entrée V_e et de la tension de polarisation $Bias_{pixel}$ a pour expression :

$$V_s = V_{dd} - Bias_{pixel} + V_e + (|V_{th_1}| - |V_{th_2}|) \quad (5-3)$$

Cette équation peut aussi s'écrire en fonction du courant de polarisation $I_{Bias_{pixel}}$:

$$V_s = V_e + \sqrt{\frac{2I_{bias_{pixel}}}{C_{ox}\mu_p} \left(\frac{L}{W}\right)^2} + |V_{th_1}| \quad (5-4)$$

Dans l'équation (5-3), la différence entre les tensions de seuil $|V_{th_1}|$ et $|V_{th_2}|$ représente la variation ΔV_{th} dans chaque suiveur de la chaîne de lecture. Cette variation, liée à la dispersion de fabrication des transistors PMOS, produit dans un capteur d'images un bruit spatial fixe (BSF).

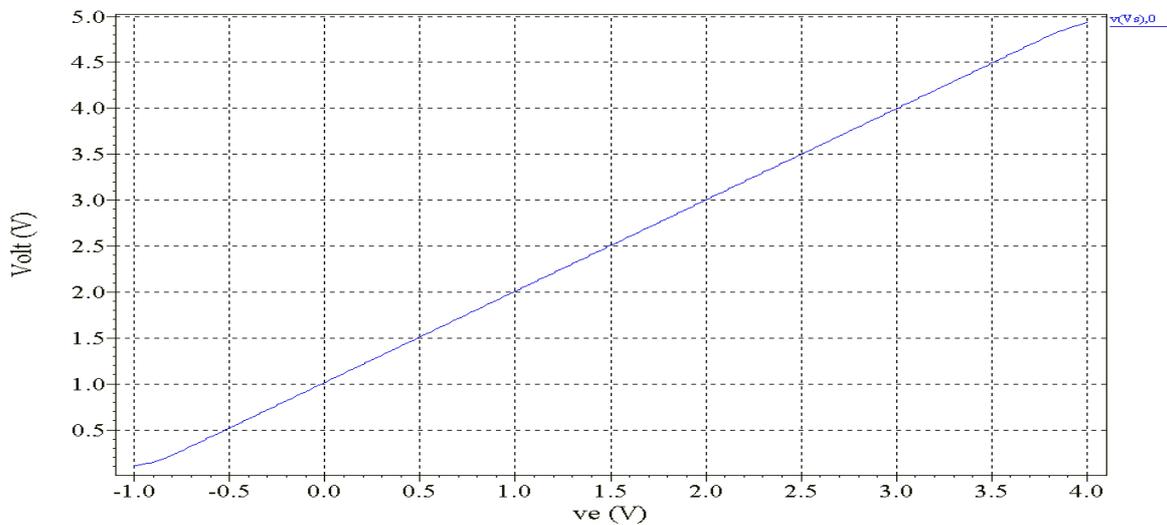


Figure 5-4: Simulation du suiveur PMOS sur T-Spice .

La simulation du suiveur PMOS, réalisée avec le logiciel T-Spice, représentée sur la figure 5-4 a été obtenue avec un courant de polarisation $I_{Bias_{pixel}}$ de $0,5\mu A$ et des transistors PMOS de dimension $W/L = 2\mu m/2\mu m$.

Le résultat de la simulation montre que la tension de sortie du suiveur PMOS suit parfaitement la forme de la tension d'entrée même dans la partie négative. Le gain du suiveur

est très proche de 1 (absence de l'effet de substrat). La figure 5-3 montre que les substrats des deux transistors PMOS sont reliés respectivement aux sources de ces transistors, cela permet de rendre les tensions de seuil indépendantes de la tension d'entrée et de sortie. Le suiveur est donc linéaire. Mais cela entraîne un surplus en surface dans la réalisation du dessin de masque du suiveur, car il faudra laisser un grand espace entre les deux caissons.

5.2.2. Temps de stabilisation

La figure 5-5 (a) montre qu'à la sortie du suiveur PMOS, il y a deux charges capacitives, l'une est la capacité parasite du bus de lecture C_{bus} et l'autre est la capacité de lecture C_{lec} dans le circuit de lecture (voir 5.3).

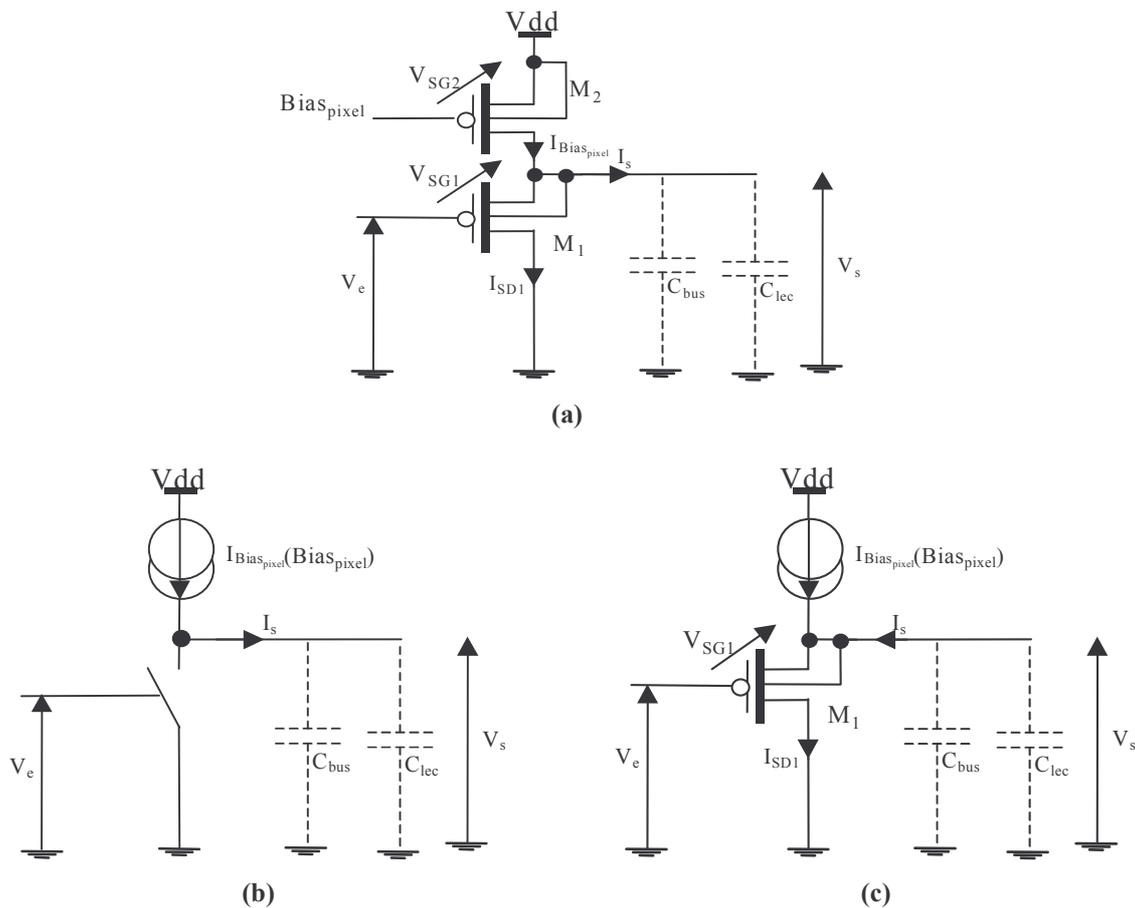


Figure 5-5: (a) Représentation du suiveur PMOS du pixel et, des deux capacités C_{bus} et C_{lec} ; (b) modèle équivalent du suiveur pour la charge des condensateurs; (c) modèle équivalent du suiveur pour la décharge des condensateurs.

Afin d'analyser le comportement dynamique de ce suiveur, nous avons tracé l'évolution des courants $I_{Bias_{pixel}}$ et I_{SD_1} dans le transistor de signal (M_1) et dans le transistor de polarisation (M_2). Nous avons utilisé une dimension $W/L = 2\mu\text{m}/2\mu\text{m}$ pour les deux transistors du suiveur. La figure 5-6 montre le résultat de cette simulation en fonction de la tension de sortie V_s pour différentes tension d'entrée V_e allant de 0V à 2V par pas de 0,5V.

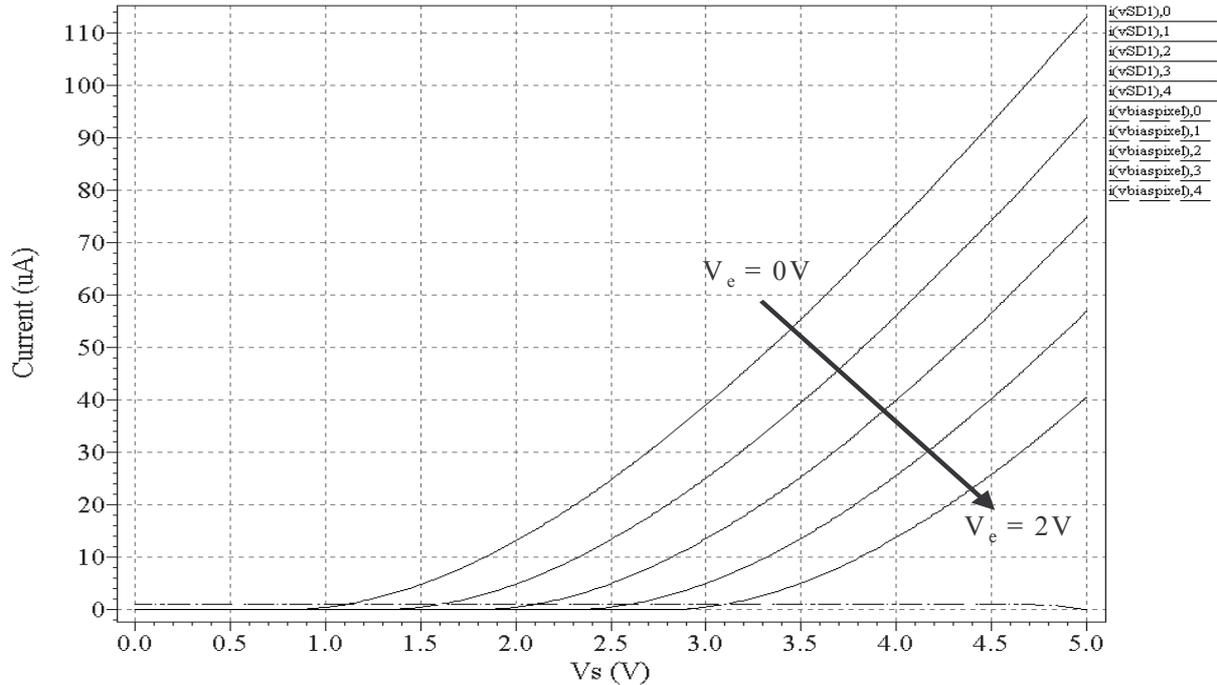


Figure 5-6: Résultats de la simulation du suiveur PMOS du pixel.

De ce résultat, nous déduisons que le courant effectif dans la charge capacitive n'est pas symétrique. Pour une tension d'entrée V_e donnée, en fonction de la tension initiale V_s sur la charge capacitive, il y a deux zones principales. Dans la première zone, la tension initiale V_s est inférieure à sa valeur stable. Dans ce cas, le transistor M_1 est d'abord bloqué ($I_{SD_1} = 0$). Par conséquent la capacité se charge seulement par le courant de polarisation $I_{Bias_{pixel}}$. La figure 5-5 (b) montre le schéma équivalent de ce fonctionnement.

Quand la tension initiale V_s est supérieure à sa valeur stable, le suiveur fonctionne dans la seconde zone où le transistor M_1 est passant. La figure 5-5 (c) montre le schéma équivalent de ce fonctionnement. Le courant effectif dans la charge capacitive provient essentiellement du transistor de signal M_1 .

La tension à la sortie du suiveur PMOS peut être exprimée par l'équation suivante :

$$V_s(t) = \frac{(a - V_e - |V_{th}|)(a + V_e + |V_{th}|) \left(1 - e^{\left(\frac{-g_m}{C_{bus} + C_{lec}} (t - t_i) \right)} \right) + V_i \left(a + 1 + e^{\left(\frac{-g_m}{C_{bus} + C_{lec}} (t - t_i) \right)} \right) + (V_e + |V_{th}|) \left(1 - e^{\left(\frac{-g_m}{C_{bus} + C_{lec}} (t - t_i) \right)} \right)}{a \left(1 + e^{\left(\frac{-g_m}{C_{bus} + C_{lec}} (t - t_i) \right)} \right) + (V_i - V_e - |V_{th}|) \left(1 - e^{\left(\frac{-g_m}{C_{bus} + C_{lec}} (t - t_i) \right)} \right)} \quad (5-5)$$

où V_i et t_i sont respectivement la tension de sortie initiale et le temps initial,

$g_m = \mu_p C_{ox} \frac{W}{L} a$ est la transconductance du suiveur PMOS avec $a = \sqrt{\frac{2I_{bias_pixel}}{C_{ox}\mu_p} \left(\frac{L}{W} \right)_2}$. La

constante de temps ici est égale à $(C_{bus} + C_{lec})/g_m$.

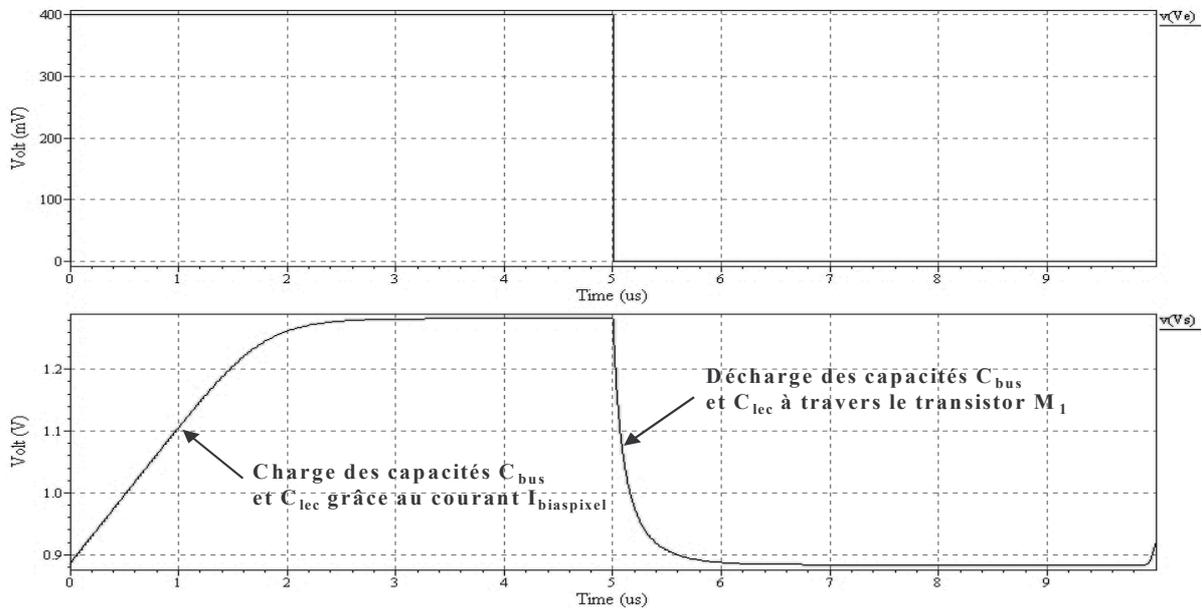


Figure 5-7: Simulation sur T-Spice de la tension de sortie du suiveur PMOS du pixel .

La figure 5-7 présente la réponse en tension de la sortie du suiveur. Les paramètres utilisés dans cette simulation sont les mêmes que ceux de la simulation précédente. Nous voyons clairement que le temps de montée est plus long que le temps de descente. La transition de la montée comporte une montée linéaire du fait que le transistor M_1 est bloqué et que seul le courant de polarisation charge la capacité de sortie.

Par conséquent, le temps de monté (c'est à dire la rapidité de stabilisation) du suiveur est essentiellement limitée par le courant de polarisation I_{Bias_pixel} . Le temps de descente est assez rapide grâce au courant fort circulant dans le transistor M_1 . Pour minimiser la taille du pixel, nous utilisons la dimension minimale pour ces deux transistors. Par conséquent, nous

ajustons le courant de polarisation afin d'avoir une rapidité compatible avec la cadence vidéo, préalablement fixée.

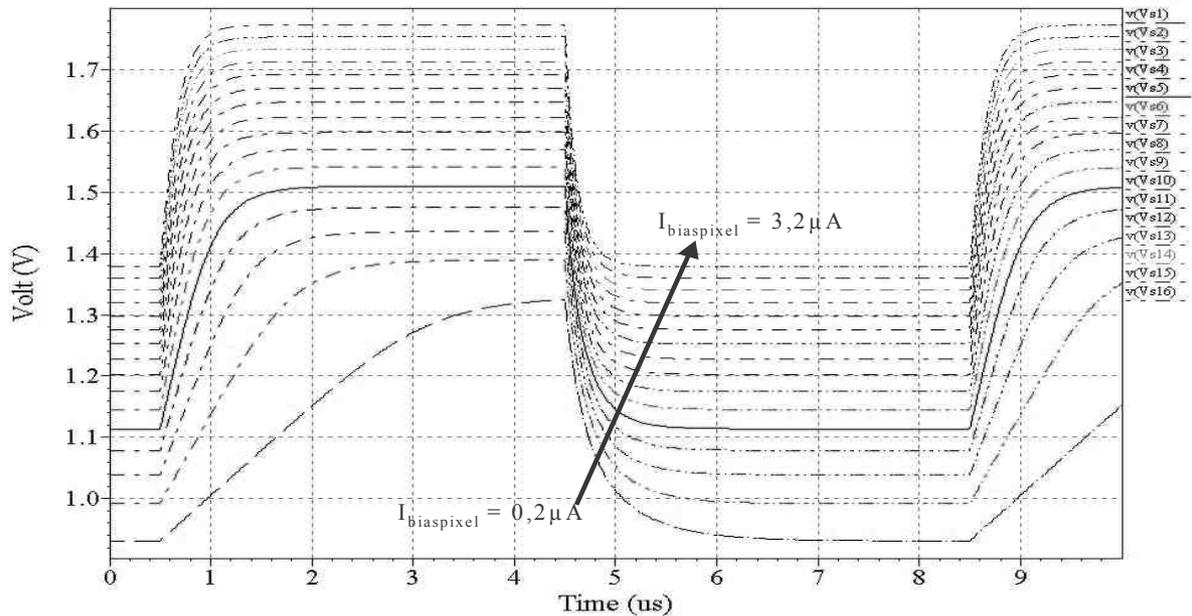


Figure 5-8: Simulation de la tension de sortie du suiveur PMOS du pixel pour différents courants de polarisation.

La figure 5-8 montre une simulation de la tension V_s à la sortie du suiveur PMOS pour différents courants de polarisation allant de $0,2\mu\text{A}$ à $3,2\mu\text{A}$ par pas de $0,2\mu\text{A}$. Nous ciblons la cadence vidéo, par conséquent la double-lecture d'une ligne d'image et la compensation du bruit BSF doit se faire en moins de $12\mu\text{s}$ pendant la période de suppression de ligne. Un temps de stabilisation inférieur à $4\mu\text{s}$ est nécessaire, c'est à dire $4\mu\text{s}$ pour la lecture du pixel dont $1\mu\text{s}$ pour le circuit de lecture et $2\mu\text{s}$ pour l'initialisation du photorécepteur Log-PV. A partir de cette simulation, nous constatons qu'un courant de polarisation de l'ordre de $1\mu\text{A}$ est largement suffisant.

5.2.3. Dessin de masque du pixel

La figure 5-9 montre le dessin de masque du pixel, sa dimension est de $30,1\mu\text{m} \times 30,1\mu\text{m}$. La surface photosensible est de $197,64\mu\text{m}^2$ donc le facteur de remplissage est de 21,81%. La photodiode est réalisée en diffusion Nwell afin de minimiser la capacité de jonction et le courant noir. Les transistors PMOS composant le suiveur ont été insérés dans deux caissons NWell séparés afin d'éliminer l'effet substrat.

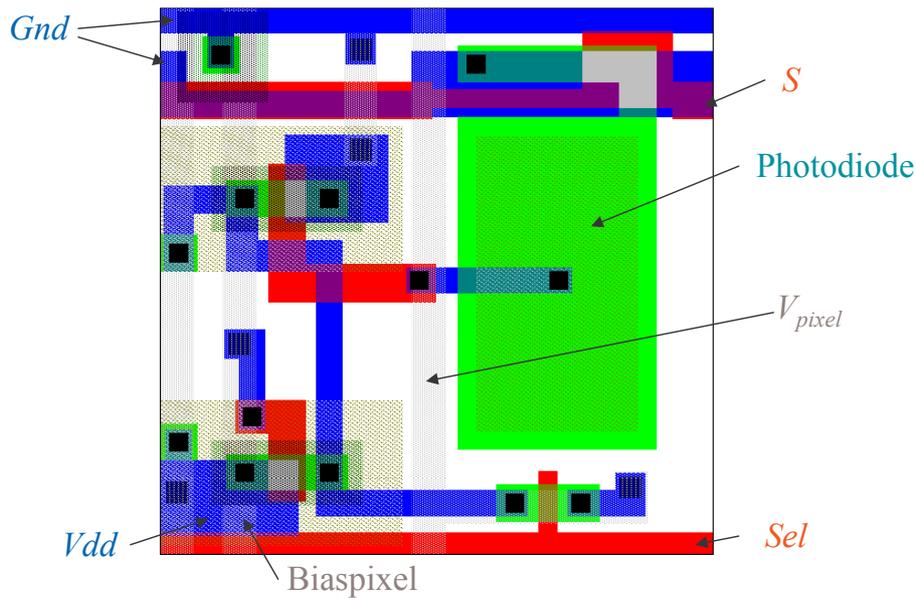


Figure 5-9: Dessin de masque du pixel Log-PV.

5.3. Circuit de lecture

Afin d'avoir un temps d'exposition identique parmi tous les pixels d'une ligne, il nous faut un circuit échantillonneur/bloqueur, c'est à dire un circuit de lecture. Il est réalisé avec un échantillonneur/bloqueur (E/B) et un suiveur PMOS comme le montre la figure 5-10. Le rôle de cet E/B (composé d'un transistor M_1 et d'un condensateur C_{lec}) est de lire tous les pixels d'une ligne au même instant. Le signal stocké sur le condensateur C_{lec} est bufferisé par un simple suiveur PMOS que nous avons déjà analysé précédemment.

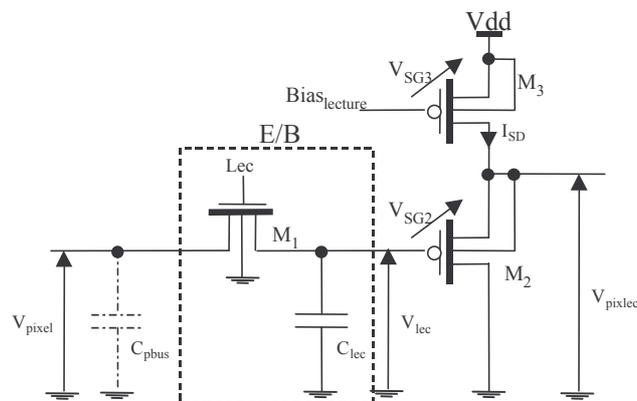


Figure 5-10: Schéma électrique du circuit de lecture.

Deux phénomènes doivent être pris en compte dans le dimensionnement des transistors de ce circuit : 1° l'injection de charge du transistor M_1 dans le condensateur C_{lec} ; 2° la vitesse de commutation de l'E/B.

5.3.1. Injection de charge

Dans le paragraphe 4.3.2 est expliqué que lorsque nous utilisons un transistor MOS comme interrupteur, il induit une tension d'offset dans le condensateur de stockage due à l'injection de charge. Nous pouvons modéliser cette tension d'offset par l'équation suivante :

$$\Delta V_{lec} = \frac{mW_1L_1C_{ox}(V_{GS_1} - V_{th_1}(V_{SB_1}))}{C_{lec}} \quad (5-6)$$

où m représente le partage de la quantité de charge entre la source et le drain du transistor M_1 .

La tension source du transistor M_1 est $V_{S_1} = V_{pixel}$. Si l'on tient compte de l'effet du substrat du transistor M_1 , sa tension de seuil est dépendante de la tension de sortie (entrée), l'équation (5-6) devient alors :

$$\Delta V_{lec} = \frac{mW_1L_1C_{ox}\left(V_{dd} - V_{pixel} - \left(V_{th_0} + \gamma\left(\sqrt{|V_{pixel} + 2\Phi_F|} - \sqrt{|2\Phi_F|}\right)\right)\right)}{C_{lec}} \quad (5-7)$$

Puisque ce circuit de lecture attaque le circuit de compensation du bruit BSF, un offset constant ne pose pas de problème. Ce qui pose problème, c'est la tension de seuil $V_{th_1}(V_{pixel})$ qui est une composante non-linéaire de cette tension d'offset ΔV_{lec} (5-7). Une solution directe est de mettre un condensateur de plus forte valeur afin d'atténuer cette tension de façon globale. Mais quand on utilise un condensateur plus grand, il faut faire attention à la vitesse de commutation de cet E/B.

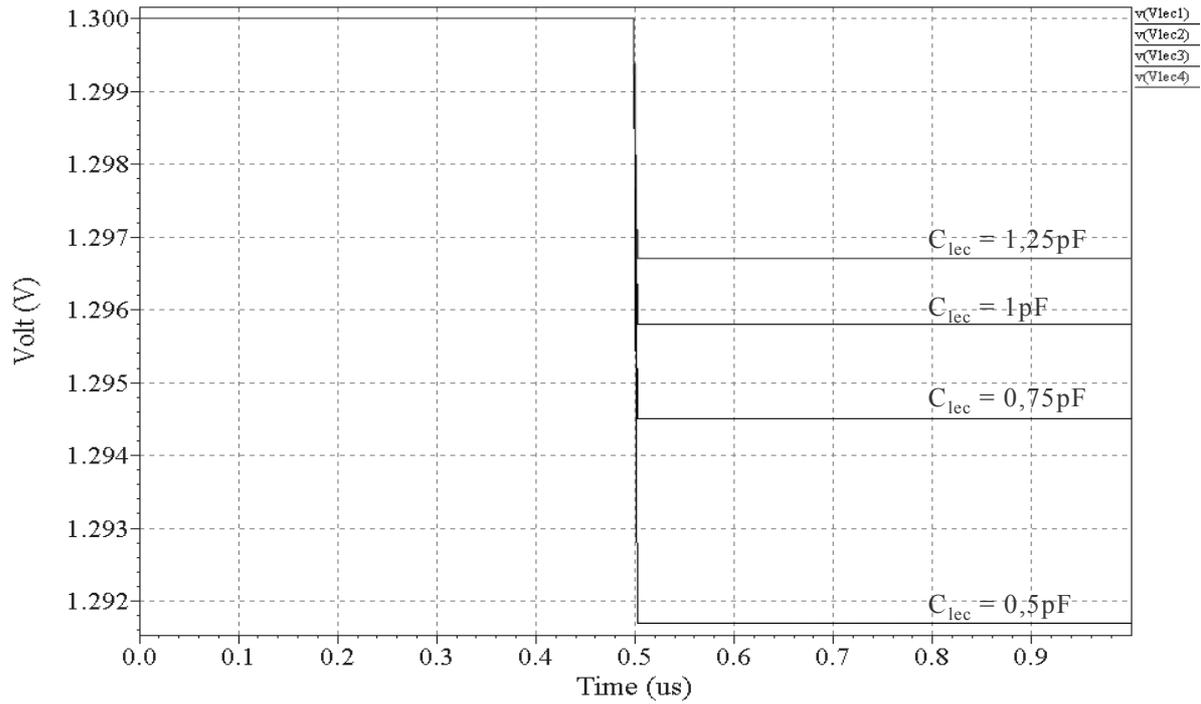


Figure 5-11: Simulation sur T-Spice de la tension d'erreur ΔV_{lec} pour différentes capacités de lecture.

La figure 5-11 montre la simulation de la tension d'erreur induite par l'injection de charge du transistor d'échantillonnage pour différentes capacités de lecture variant de 0,5pF à 1,25pF par pas de 0,25pF. Nous avons utilisé une dimension $W/L = 2\mu\text{m}/1\mu\text{m}$ pour le transistor d'échantillonnage et une capacité C_{bus} de 0,5pF. Nous voyons qu'il y a moins d'erreur due à l'injection quand le condensateur C_{lec} est de forte valeur. A partir de cette simulation, nous constatons qu'une capacité de lecture de 1pF est suffisante.

5.3.2. Vitesse de commutation de l'E/B

Le transistor M_1 est commandé par le signal de commande Lec comme le montre la figure 5-11 (a). Quand le signal Lec est à l'état '1', la figure 5-11 (b) montre que le transistor fonctionne en mode triode. C'est à dire qu'il fonctionne comme une résistance R_{on} commandée en tension ($V_{GS_1} = V_{dd} - V_{pixel}$, $V_{DS_1} < V_{GS_1} - V_{th_1}$). Son expression est donnée par :

$$R_{on}(V_{pixel}) = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{dd} - V_{pixel} - V_{th_1})} \quad (5-8)$$

Théoriquement cette résistance varie en fonction de la tension d'entrée V_{pixel} . Puisque la tension à la sortie d'un pixel Log-PV ne varie que dans une plage très faible, nous pouvons raisonnablement supposer que cette résistance est constante et calculée avec la tension d'un pixel initialisé.

L'Échantillonneur/Bloqueur est connecté au pixel sélectionné, ce qui donne la résistance de sortie $R_{out} = 1/g_m$ (g_m étant la transconductance du transistor M_1 du suiveur dans le pixel). Si l'on considère la résistance de commutateur de l'E/B, la capacité parasite C_{bus} du bus et la capacité C_{lec} , cela équivaut à un circuit RC du second ordre. Mais en tenant compte du courant de polarisation du suiveur dans le pixel, la résistance du transistor de commutation R_{on} est très inférieure à la résistance de sortie R_{out} du suiveur dans le pixel. Dans ce cas, nous pouvons simplifier ce circuit en un circuit RC simple en mettant la capacité C_{bus} et C_{lec} en parallèle. Cela veut dire que la capacité de l'E/B C_{lec} doit être fixée en fonction de la puissance du suiveur dans le pixel.

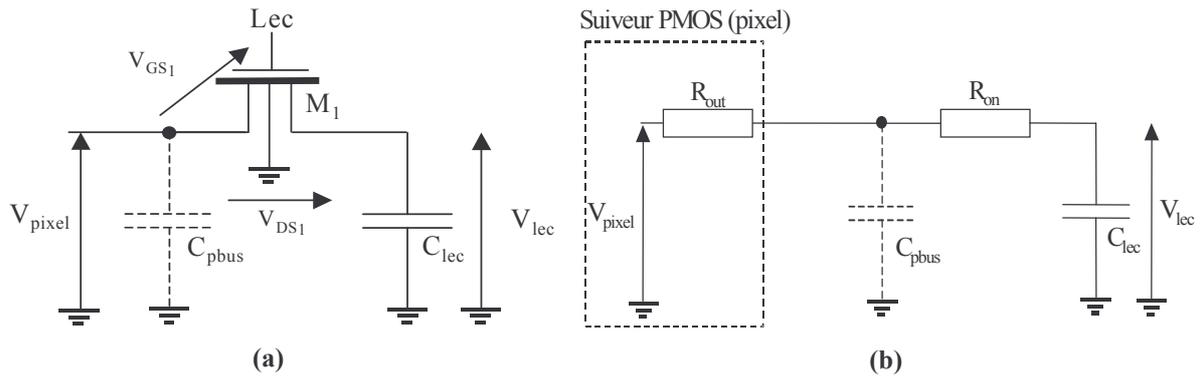


Figure 5-12: (a) Schéma électrique de l'échantillonneur - bloqueur ; (b) Schéma équivalent de l'E/B et de la sortie du pixel.

L'expression de la tension de sortie V_{lec} de ce filtre est :

$$V_{lec}(t) = V_{pixel_f} \left(1 - e^{-\frac{t}{\tau_{lec}}} \right) + V_{pixel_i} e^{-\frac{t}{\tau_{lec}}} \quad (5-9)$$

où V_{pixel_i} , V_{pixel_f} sont les valeurs de la tension d'entrée V_{pixel} respectivement initiale et finale et

$\tau_{lec} = R_{out} (C_{bus} + C_{lec})$ est la constante de temps du filtre.

Nous supposons que le condensateur est complètement chargé quand la tension V_{lec} est égale à 95% V_{pixel_f} . Par conséquent le temps de stabilisation a pour équation :

$$t_{stab_{lec}} = 3\tau_{lec} \quad (5-10)$$

Nous remarquons bien que pour stabiliser rapidement la tension de sortie, le temps de stabilisation $t_{stab_{lec}}$ doit être de faible valeur. Nous pouvons constater que ce temps de stabilisation est essentiellement limité par le suiveur se trouvant dans le pixel.

5.3.3. Temps de stabilisation du circuit de lecture

La figure 5-13 représente le schéma électrique complet du circuit de lecture et en sortie de ce circuit le condensateur d'entrée C du circuit de compensation du BSF que nous allons détailler dans le paragraphe 5.4.

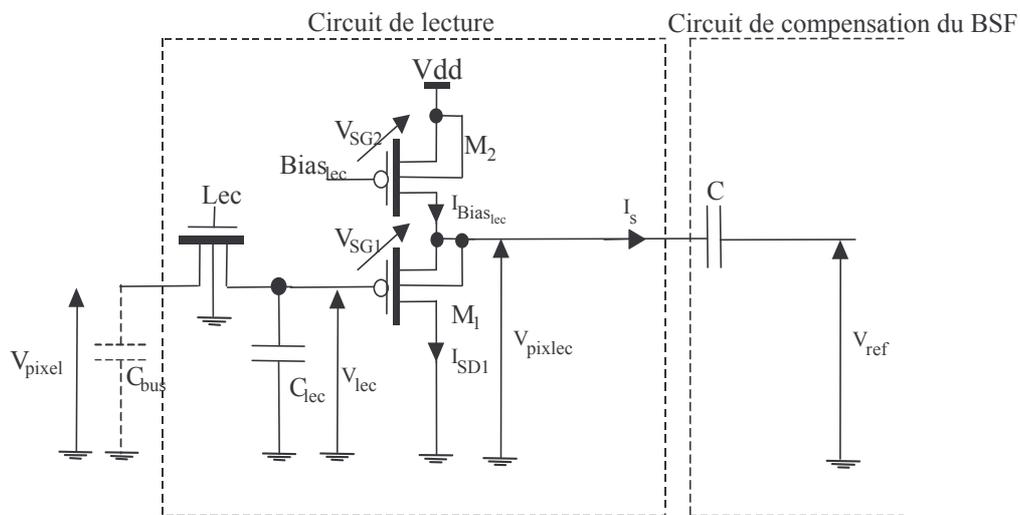


Figure 5-13 : Schéma électrique de l'ensemble circuit de lecture permettant de déterminer le temps de stabilisation.

Nous avons schématisé la première phase du circuit de compensation du BSF car c'est le cas le plus critique. Le temps de stabilisation de la tension de sortie du circuit de lecture est alors le plus long.

Le suiveur PMOS utilisé dans le circuit de lecture est le même que celui du pixel. Le temps de stabilisation de la tension de sortie a déjà été étudié dans le paragraphe 5.2.2. Mais,

au lieu d'avoir le condensateur de sortie connecté à la masse, comme montré dans la figure précédente, il est polarisé à la tension V_{ref} . Comme cette tension est fixe, nous obtenons pour l'expression de la tension de sortie V_{pixlec} la même équation que celle exprimée dans le paragraphe 5.2.2.

La figure 5-14 montre le résultat des simulations de la tension de sortie V_{pixlec} pour différents courants de polarisation $I_{Biaslec}$ variant de $0,25\mu\text{A}$ à $1\mu\text{A}$ par pas de $0,25\mu\text{A}$. Les transistors PMOS du suiveur sont de dimension $W/L = 2\mu\text{m}/2\mu\text{m}$.

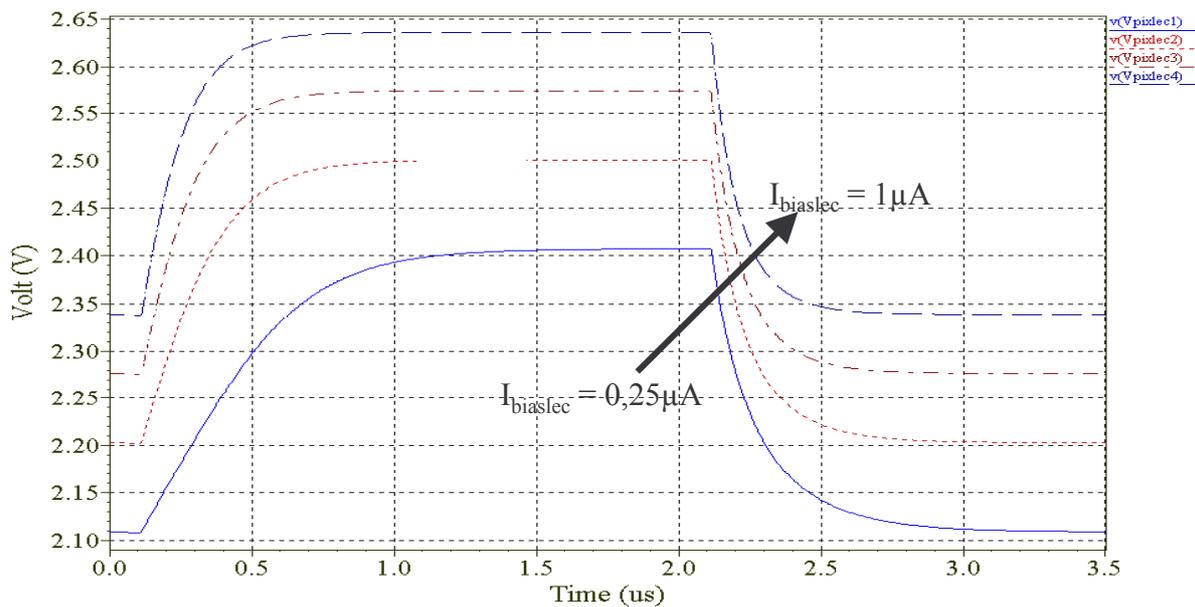


Figure 5-14 : Simulation de la tension de sortie du circuit de lecture pour différents courants de polarisation.

La figure 5-15 représente le résultat de la simulation de la tension de sortie V_{pixlec} pour les différentes largeurs W des transistors PMOS composants le suiveur de sortie variant de $2\mu\text{m}$ à $17\mu\text{m}$ par pas de $5\mu\text{m}$. Le courant de polarisation $I_{Biaslec}$ a été fixé à $0,2\mu\text{A}$ et la longueur L est fixée à $2\mu\text{m}$.

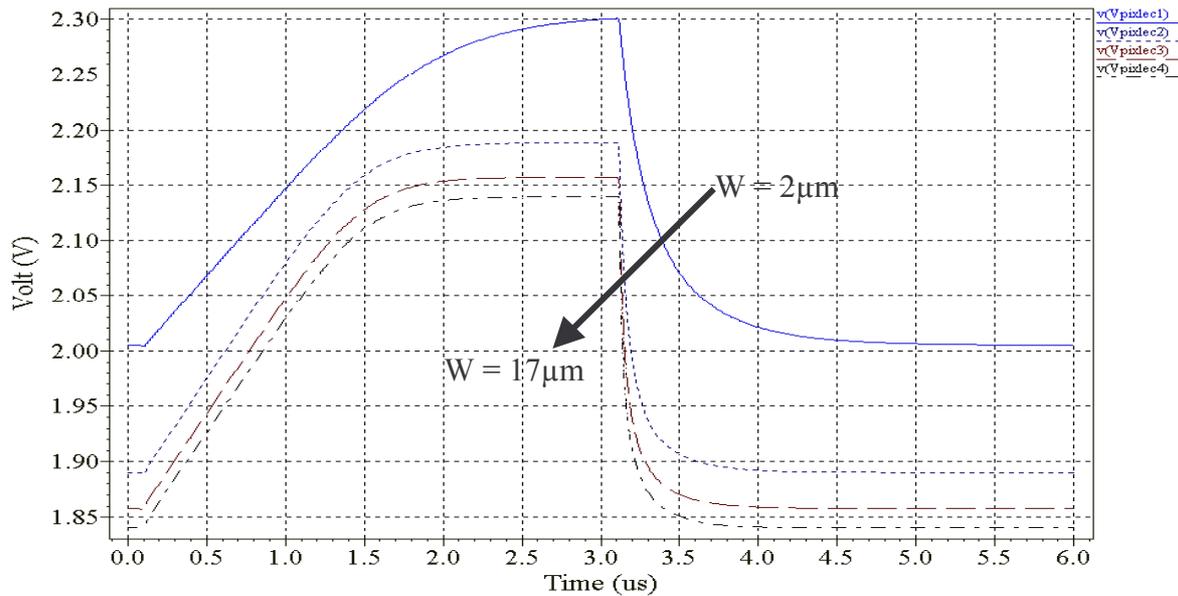


Figure 5-15 : Simulation de la tension de sortie du circuit de lecture pour différentes largeurs des transistors composants le suiveur PMOS.

En observant ces deux figures, nous pouvons en conclure que pour réduire le temps de stabilisation :

- Si la dimension des transistors est fixe, il faut augmenter le courant de polarisation $I_{bias_{tec}}$. Par conséquent, il faut payer le prix d'une augmentation de la consommation du circuit.
- Si $I_{bias_{tec}}$ est fixe, il faut augmenter le rapport W/L soit en augmentant la largeur W soit en diminuant la longueur L des transistors. Le prix à payer est une augmentation de la surface du circuit.

Par ces conclusions, nous pouvons voir clairement ce doublet 'surface – consommation' dans une conception analogique.

Lors de la conception de l'imageur, nous devons faire un compromis entre l'augmentation du courant de polarisation et l'augmentation du rapport W/L . Nous avons décidé que la largeur W et la longueur L des transistors PMOS seraient fixées à $2\mu\text{m}$ et que le courant de polarisation serait de l'ordre de $0,5\mu\text{A}$ pour obtenir un temps de stabilisation inférieur ou égal à $2\mu\text{s}$.

Nous pouvons aussi remarquer ici que le temps de montée du signal de sortie est largement supérieur au temps de descente. Par conséquent, si nous préchargeons la sortie du

circuit de lecture à une tension supérieure à la tension maximale que peut produire ce circuit pour un fonctionnement normal. Le temps de stabilisation sera beaucoup plus rapide avec un courant de polarisation et un rapport W/L de faible valeur.

5.3.4. Dessin de masque du circuit de lecture

Le dessin de masque du circuit de lecture est présenté dans la figure 5-16. Le condensateur C_{lec} est fait en double poly. Afin d'éviter des photocourants parasites, ce circuit est protégé de la lumière par une couche de métal 2 qui véhicule en même temps l'alimentation V_{dd} .

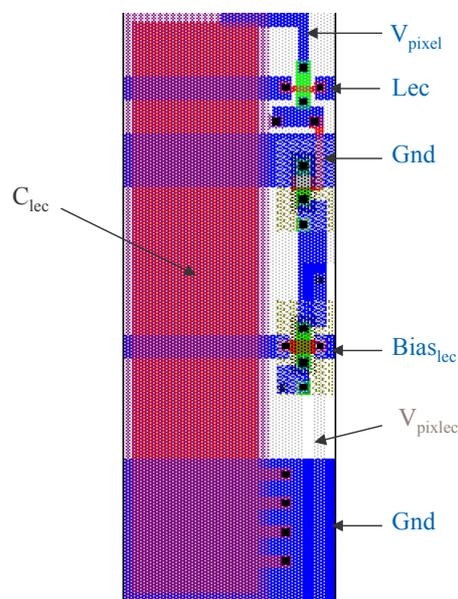


Figure 5-16: Dessin de masque du circuit de lecture.

5.4. Circuit de compensation du BSF

Le circuit de compensation du BSF est l'un des circuits critiques dans cet imageur (chapitre 3). Le Bruit Spatial Fixe est un bruit additif superposé au signal image qui peut être réduit efficacement en faisant une lecture différentielle comme le montre la figure 5-17. La première lecture permet d'acquérir la tension à la sortie du pixel composée de l'information utile additionnée au BSF induit par les chaînes de lecture. La seconde lecture se fait pendant

la phase d'initialisation (c'est à dire quand la photodiode est court-circuitée), la tension à la sortie du pixel ne contient alors que du BSF.

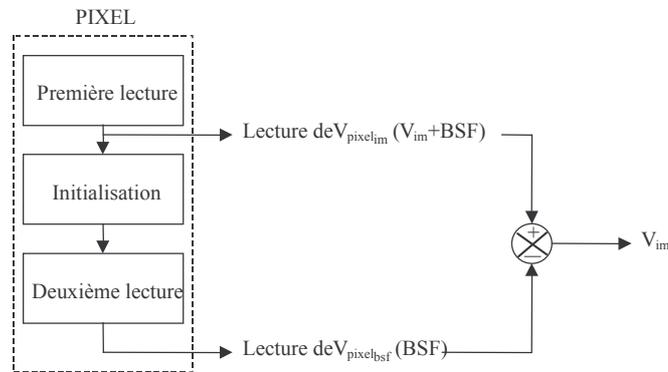


Figure 5-17: Principe de la compensation du BSF.

Le circuit de compensation réalisé est constitué d'un simple amplificateur opérationnel (AOP) composé de 5 transistors (figure 5-18 (a)) et d'un réseau de capacités commutées.

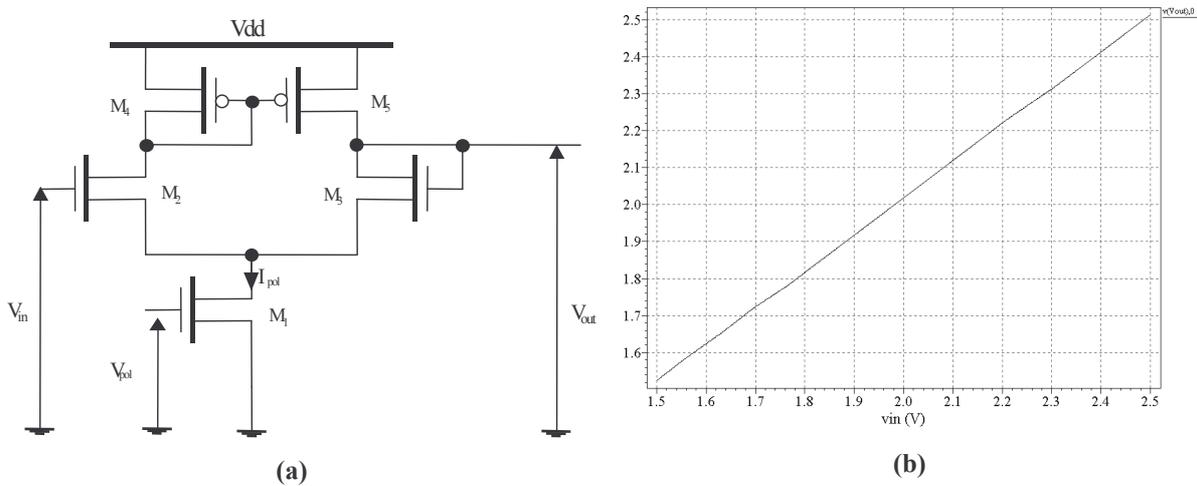


Figure 5-18: AOP connecté en suiveur : (a) Schéma électrique ; (b) Simulation sur T-Spice de $V_{out}=f(V_{in})$.

Le circuit de compensation est connecté à chaque colonne de la matrice de pixels comme le montre la figure 5-19. L'AOP est connecté en suiveur et dirige la tension vers le bus de sortie quand le transistor de sélection colonne M_6 est passant. Par conséquent, ici le circuit de compensation joue un double-rôle : 1° compensateur du BSF et 2° "buffer" de sortie. Cette configuration élimine le besoin de commutations analogiques pendant le balayage des pixels. Ainsi les perturbations dues à l'horloge sont minimisées.

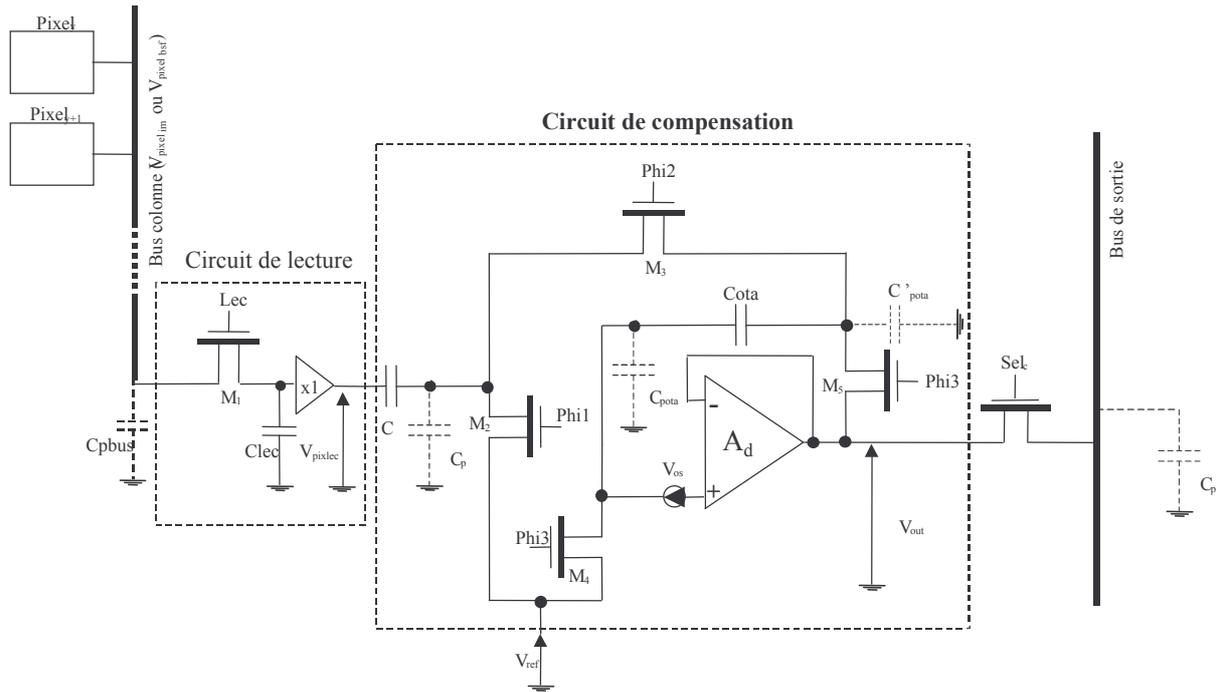


Figure 5-19: Schéma électrique du circuit de lecture et de compensation du BSF.

Nous avons représenté, sur la figure 5-19, C_p , C_{pota} et C'_{pota} qui sont les capacités parasites des condensateurs respectifs de C et C_{ota} . Les valeurs de ces capacités parasites valent 10% de la valeur des capacités C et C_{ota} . Nous avons aussi représenté la tension d'offset globale de l'AOP par une tension appelée V_{os} . Cette tension est la somme de deux composantes d'offset. La première composante que nous appellerons l'offset aléatoire (V_{osa}) est due aux dispersions des paramètres des transistors MOS composants l'AOP. La seconde que nous appellerons l'offset systématique (V_{osy}), est comme son nom l'indique un offset qui est produit systématiquement par un AOP quand ce dernier est réalisé dans une technologie CMOS. Il est dû au passage de l'AOP du mode différentiel au mode commun. Pour vérifier ceci, nous avons simulé la réponse de la tension V_{out} de l'AOP monté en suiveur en fonction de la tension d'entrée V_{in} sur T-Spice comme le montre la figure 5-18 (b). Nous avons pris les paramètres suivant :

- La dimension du transistor M1 : $L = 18\mu m$ et $W = 34\mu m$
- La dimension des transistors M2 et M3 : $L = 1\mu m$ et $W = 8\mu m$
- La dimension des transistors M4 et M5 : $L = 18\mu m$ et $W = 40\mu m$
- Le courant de polarisation : $I_{pol} = 24\mu A$

- La tension d'offset aléatoire : $V_{osa} = 0V$

Dans cette simulation, nous pouvons aussi remarquer que la valeur de la tension de sortie V_{out} est décalée par rapport à celle de V_{in} . Ce décalage est produit par la tension d'offset systématique. La valeur de cet offset à la sortie du suiveur varie de 24mV à 13,55mV quand l'entrée V_{in} varie de 1,5V à 2,5V. Cette variation de la valeur de l'offset à la sortie du suiveur est due au fait que le gain différentiel de l'AOP compte une erreur qui varie en fonction de l'entrée. Nous pouvons remarquer aussi que grâce à cette simulation, nous pouvons déterminer approximativement le gain différentiel du suiveur en calculant la pente de la droite du signal représenté. La relation qui lie le gain différentiel est :

$$A_d = \frac{pente}{1 - pente} \quad (5-11)$$

La pente est de 0,9895 donc le gain différentiel A_d est environs égal à 94.

5.4.1. Analyses de fonctionnement général

Dans toutes nos analyses, nous supposons que le signal de commande Phi3 est identique au signal Phi1.

Ce circuit de compensation du BSF est contrôlé par deux signaux de commande Phi1 et Phi2. La figure 5-20 montre la séquence d'opération du circuit.

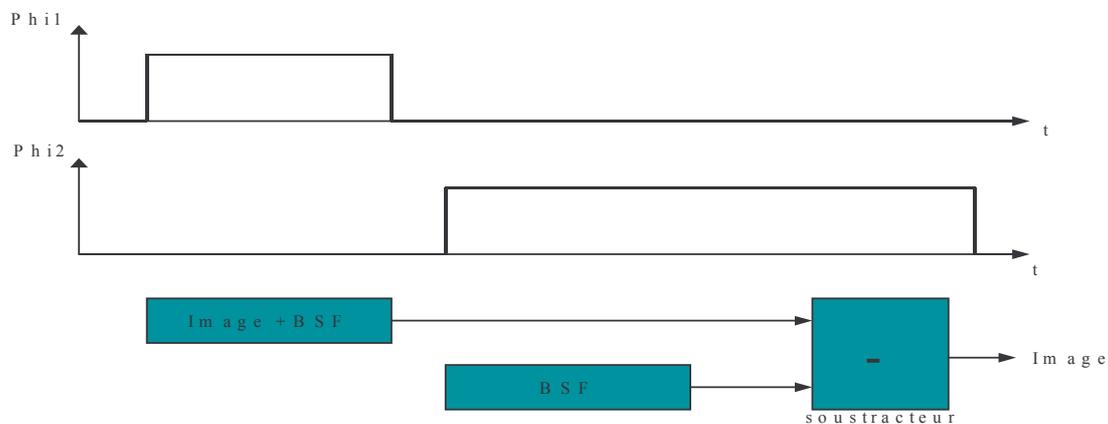


Figure 5-20: Algorithmme du circuit de compensation du BSF.

Cette compensation se fait en deux phases :

- Première phase : $\Phi_1 = '1'$ et $\Phi_2 = '0'$.

La première configuration du circuit est présentée sur la figure 5-21. La tension sortant du pixel est le signal image + BSF ($V_{pixel_{im}}$). A la sortie de l'AOP, la tension a pour expression :

$$V_{out}^1 = \frac{A_d}{1 + A_d} (V_{ref} - V_{os}) \quad (5-12)$$

où A_d est le gain différentiel de l'AOP et V_{os} représente la tension d'offset de l'AOP.

Les charges mémorisées dans les condensateurs C , C_p , C_{ota} , C_{pota} et C'_{pota} sont données par :

$$Q_C^1 = C(V_{ref} - V_{pixlec_{im}}) \quad (5-13)$$

$$Q_{C_p}^1 = C_p V_{ref} \quad (5-14)$$

$$Q_{C_{ota}}^1 = C_{ota} (V_{ref} - V_{out}^1) \quad (5-15)$$

$$Q_{C_{pota}}^1 = C_{pota} V_{ref} \quad (5-16)$$

$$Q_{C'_{pota}}^1 = C'_{pota} V_{out}^1 \quad (5-17)$$

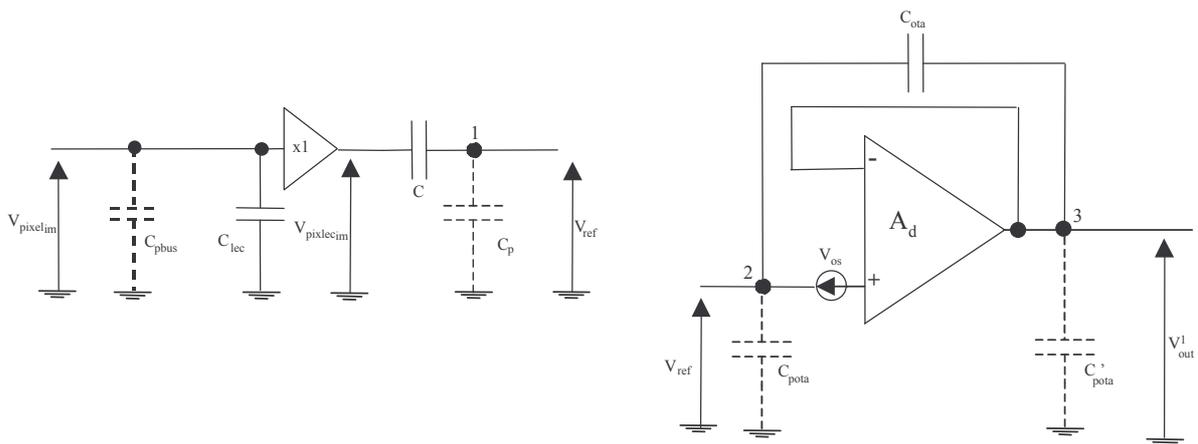


Figure 5-21: Première phase du circuit de lecture et de compensation du BSF.

Pendant cette première phase, la tension $V_{pixlec_{im}}$ est stockée dans le condensateur C et la tension d'offset de l'AOP est mémorisée dans le condensateur C_{ota} .

- Deuxième phase : $\Phi_1 = 0^\circ$, $\Phi_2 = 180^\circ$.

La configuration du circuit est présentée sur la figure 5-22. Dans les pixels, la photodiode est court-circuitée à la masse. La tension à l'entrée du circuit de lecture et du circuit de compensation est $V_{pixel_{bsf}}$ représentant l'image noire constituée du BSF.

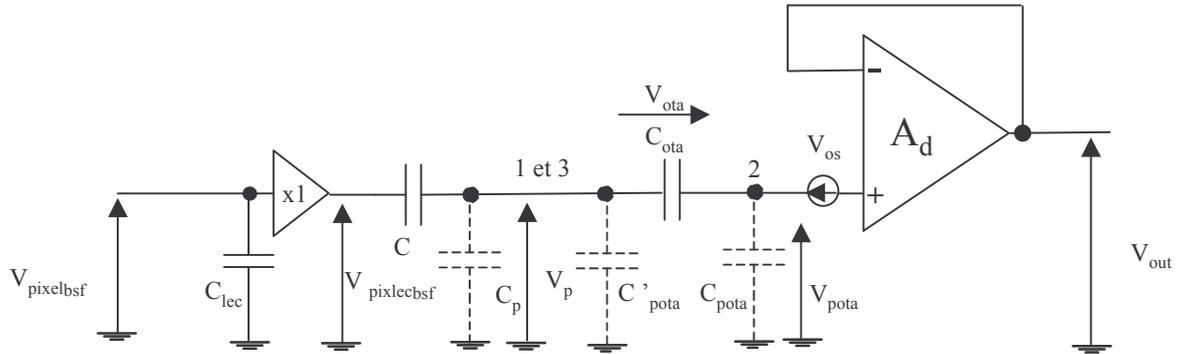


Figure 5-22: Deuxième phase des circuits de lecture et de compensation du BSF.

La tension de sortie du circuit est donnée par :

$$V_{out} = \frac{A_d}{1 + A_d} (V_{pota} - V_{os}) \quad (5-18)$$

Les charges mémorisées dans les condensateurs C , C_p , C_{ota} et C_{pota} ont pour expression :

$$Q_C^2 = C(V_p - V_{pixel_{bsf}}) \quad (5-19)$$

$$Q_{C_p}^2 = CV_p \quad (5-20)$$

$$Q_{C_{ota}}^2 = C_{ota}(V_{pota} - V_p) \quad (5-21)$$

$$Q_{C_{pota}}^2 = C_{pota}V_{pota} \quad (5-22)$$

$$Q_{C'_{pota}}^2 = C'_{pota}V_p \quad (5-23)$$

En utilisant la méthode de conservation des charges à chaque nœud, on peut écrire les relations suivantes :

$$\text{Pour les nœuds 1 et 3 : } Q_C^1 + Q_{C_p}^1 - Q_{C_{ota}}^1 + Q_{C'_{pota}}^1 = Q_C^2 + Q_{C_p}^2 - Q_{C_{ota}}^2 + Q_{C'_{pota}}^2 \quad (5-24)$$

$$\text{Pour le nœud 2 : } Q_{C_{ota}}^1 + Q_{C_{pota}}^1 = Q_{C_{ota}}^2 + Q_{C_{pota}}^2 \quad (5-25)$$

La tension de sortie de l'AOP a pour expression :

$$V_{out} = \frac{A_d}{1+A_d} \left(V_{pixlec_{bsf}} - V_{pixlec_{im}} \right) \frac{C}{(C+C_p+C'_{pota} \left(1+\frac{C_{pota}}{C_{ota}} \right) + C_{pota}} + V_{ref} \frac{\left((C+C_p) \left(\frac{2+A_d}{1+A_d} + \frac{C_{pota}}{C_{ota}} \right) + C_{pota} + C'_{pota} + \frac{C_{pota} C'_{pota}}{C_{ota}} \right)}{(C+C_p+C'_{pota} \left(1+\frac{C_{pota}}{C_{ota}} \right) + C_{pota}} + V_{os} \left(\frac{A_d}{1+A_d} \frac{C+C_p}{(C+C_p+C'_{pota} \left(1+\frac{C_{pota}}{C_{ota}} \right) + C_{pota}} - 1 \right) \right) \quad (5-26)$$

Le premier terme de l'équation (5-26) représente un signal d'image exempté du Bruit Spatial Fixe. Les deuxième et troisième termes représentent les erreurs de compensation. De plus, le troisième terme engendre un nouveau BSF dû à la tension d'offset V_{os} de l'AOP qui est différente à chaque colonne.

Le BSF créé par le pixel et le circuit de lecture est bien supprimé mais il y a un résidu de BSF à la sortie de l'imageur dû à l'offset des AOPs colonnes. Ce résidu de BSF est le même pour toutes les lignes de l'image, il se manifeste comme des traits verticaux sur une image de sortie.

A titre d'exemple, nous avons un gain différentiel de l'AOP $A_d = 94$, deux capacités $C = C_{ota} = 1pF$ et, leur composante parasite $C_p = C_{pota} = 0,1pF$ et $C'_{pota} = 0,01pF$. Avec ces paramètres, la tension d'offset V_{os} de l'AOP est réduite d'environ 83%.

5.4.2. Analyse des imperfections

5.4.2.1. Injection de charges des transistors NMOS

Les transistors NMOS sont utilisés comme interrupteurs dans le circuit de compensation du BSF. Ils induisent, quand les signaux de contrôle passent de '1' à '0', une injection de charges dans les condensateurs C , C_p , C_{ota} , C_{pota} et C'_{pota} .

La figure 5-23 (a) montre les injections de charges induites par les transistors M_2 , M_4 et M_5 commandés par le signal Φ_1 passant de l'état conducteur à l'état bloqué. Ces charges ont pour expression :

$$Q_{ch2} = W_2 L_2 C_{ox} \left(V_{dd} - V_{ref} - \left(V_{tho2} + \gamma \left(\sqrt{|V_{ref} + 2\Phi_F|} - \sqrt{|2\Phi_F|} \right) \right) \right) \quad (5-27)$$

$$Q_{ch4} = W_4 L_4 C_{ox} \left(V_{dd} - V_{ref} - \left(V_{tho4} + \gamma \left(\sqrt{|V_{ref} + 2\Phi_F|} - \sqrt{|2\Phi_F|} \right) \right) \right) \quad (5-28)$$

$$Q_{ch5} = W_5 L_5 C_{ox} \left(V_{dd} - \frac{A_d}{A_d + 1} (V_{ref} - V_{os}) - \left(V_{tho5} + \gamma \left(\sqrt{\left| \frac{A_d}{A_d + 1} (V_{ref} - V_{os}) + 2\Phi_F \right|} - \sqrt{|2\Phi_F|} \right) \right) \right) \quad (5-29)$$

Afin de simplifier les analyses, nous supposons qu'il y a une injection totale. C'est à dire que l'ensemble des charges d'un transistor va soit vers le drain soit vers la source. Nous pouvons déterminer les variations de tension mémorisées dans les condensateurs C , C_p , C_{ota} , C_{pota} et C'_{pota} induites par les injections de charge en supposant qu'initialement, il n'y a pas de variations. En utilisant la méthode de conservation des charges à chaque nœud, on peut alors écrire les relations suivantes :

$$\text{Pour le nœud 1 : } (C + C_p) \Delta V_1^1 + Q_{ch2} = 0 \quad (5-30)$$

$$\text{Pour le nœud 2 : } C_{pota} \Delta V_2^1 + C_{ota} (\Delta V_2^1 - \Delta V_3^1) + Q_{ch4} = 0 \quad (5-31)$$

$$\text{Pour le nœud 3 : } C'_{pota} \Delta V_3^1 + C_{ota} (\Delta V_3^1 - \Delta V_2^1) + Q_{ch5} = 0 \quad (5-32)$$

En résolvant ce système d'équations, nous obtenons :

$$\Delta V_1^1 = - \frac{Q_{ch2}}{C + C_p} \quad (5-33)$$

$$\Delta V_2^1 = - \frac{(C_{ota} + C'_{pota}) Q_{ch4} + C_{ota} Q_{ch5}}{C_{pota} (C_{ota} + C'_{pota}) + C_{ota} C'_{pota}} \quad (5-34)$$

$$\Delta V_3^1 = \frac{C_{ota} Q_{ch4} - Q_{ch5} (C_{ota} + C_{pota})}{C_{pota} (C_{ota} + C'_{pota}) + C_{ota} C'_{pota}} \quad (5-35)$$

La variation de la tension de sortie ΔV_{out}^1 de l'AOP est alors :

$$\Delta V_{out}^1 = \frac{A_d}{A_d + 1} \Delta V_2^1 \quad (5-36)$$

L'équation (5-35) montre qu'il y a un abaissement de la tension de sortie V_{out} dû à l'injection de charges des transistors M_4 et M_5 dans les différentes capacités du circuit de compensation.

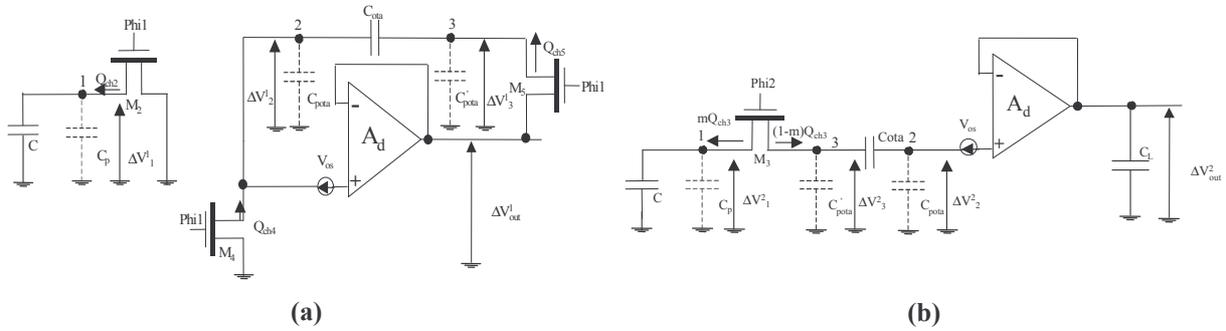


Figure 5-23: (a) Injections de charge des transistors commandés par Phi1; (b) absorption de charge par le transistor commandé par Phi2.

Quand le signal Phi2 passe de '0' à '1', le transistor M_3 passe de l'état bloqué à l'état conducteur comme le montre la figure 5-23 (b), il absorbe une charge sous son canal dont l'expression est la suivante :

$$Q_{ch3} = W_3 L_3 C_{ox} \left(- \left(V_{ref} - \frac{Q_{ch2}}{C + C_p} \right) - \left(V_{tho2} + \gamma \left(\sqrt{\left(V_{ref} - \frac{Q_{ch2}}{C + C_p} \right)^2 + 2\Phi_F} - \sqrt{|2\Phi_F|} \right) \right) \right) \quad (5-37)$$

En utilisant la méthode de conservation des charges à chaque nœud, les relations deviennent :

Pour les nœuds 1 et 3:

$$(C + C_p) \Delta V_1^2 - m Q_{ch3} + C_{ota} (\Delta V_3^2 - \Delta V_2^2) + C'_{pota} \Delta V_3^2 - (1-m) Q_{ch3} = 0 \quad (5-38)$$

$$\text{Pour le nœud 2 : } C_{ota} (\Delta V_2^2 - \Delta V_3^2) + C_{pota} \Delta V_2^2 = 0 \quad (5-39)$$

Les variations mémorisées dans les différentes capacités sont alors :

$$\Delta V_1^2 = \Delta V_3^2 = \frac{C_{ota} + C_{pota}}{(C_{ota} + C_{pota})(C'_{pota} + C_p + C) + C_{ota} C_{pota}} Q_{ch3} \quad (5-40)$$

$$\Delta V_2^2 = \frac{C_{ota} (C_{ota} + C_{pota})}{(C_{ota} + C_{pota})(C_{ota} + C_{pota})(C'_{pota} + C_p + C) + C_{ota} C_{pota}} Q_{ch3} \quad (5-41)$$

La variation de la tension de sortie ΔV_{out}^2 du circuit de compensation est :

$$\Delta V_{out}^2 = \frac{A_d}{A_d + 1} \Delta V_2^2 \quad (5-42)$$

L'équation précédente montre qu'il y a un rehaussement de la tension de sortie V_{out} dû au fait que le transistor M_3 absorbe des charges quand il passe de l'état bloqué à l'état passant. La tension de sortie qui sera balayée pour être lue à la sortie de l'imageur, a comme expression :

$$V_{out} = V_{out_0} + \varepsilon_{chinj} \quad (5-43)$$

où $\varepsilon_{chinj} = \frac{A_d}{A_d + 1} (\Delta V_2^1 + \Delta V_2^2)$ est la tension d'erreur due aux injections de charges et V_{out_0} est la tension de sortie calculée sans prendre en compte les injections et absorptions de charges dans le paragraphe précédent dont l'équation est (5-25).

La figure 5-24 montre la simulation pour laquelle les paramètres du circuit de compensation du BSF sont les suivants :

- Les capacités : $C_{ota} = C = 1pF$
- Les capacités parasites : $C_{pota} = C_p = 0,1pF$ et $C'_{pota} = 0,01pF$
- La dimension des transistors de commutation : $L = 2\mu m$ et $W = 1\mu m$
- La tension de référence : $V_{ref} = 2V$
- La tension d'offset aléatoire : $V_{osa} = 0V$

Nous avons appliqué à l'entrée, pendant toute la procédure de la compensation, une tension constante et nous avons mis à zéro la tension d'offset aléatoire. Cela montre l'effet de l'injection et l'absorption de charge, des transistors commandés respectivement par phi1 et phi2, sur le signal de sortie V_{out} du circuit de compensation. Nous pouvons observer sur la figure qu'il y a, quand phi2 passe de l'état bas à l'état haut, une instabilité du signal de sortie. Par conséquent, le balayage de ce pixel doit se faire après que la tension de sortie soit stable.

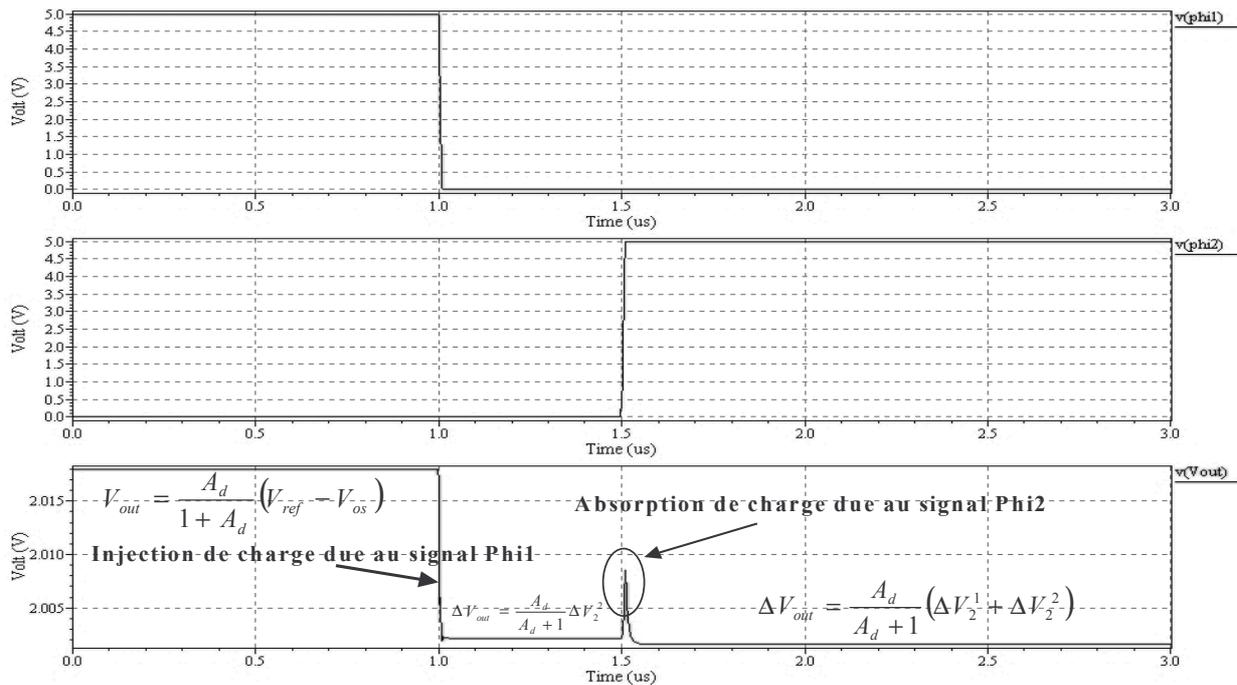


Figure 5-24: Simulation sur T-Spice du circuit de compensation du BSF.

La figure 5-25 montre l'évolution de la tension de sortie V_{out} pour différentes tensions d'offset aléatoire V_{osa} allant de $-0,02\text{V}$ à $0,02\text{V}$ par pas de $0,01\text{V}$. Nous pouvons remarquer ici que cette offset est considérablement réduit par le circuit de compensation pendant la deuxième lecture. Comme nous l'avons prédit dans l'analyse théorique (paragraphe 5.4.1), il reste un résidu d'environ 15% de la valeur initiale. Ce résidu est dû au stockage de cet offset dans les capacités parasites.

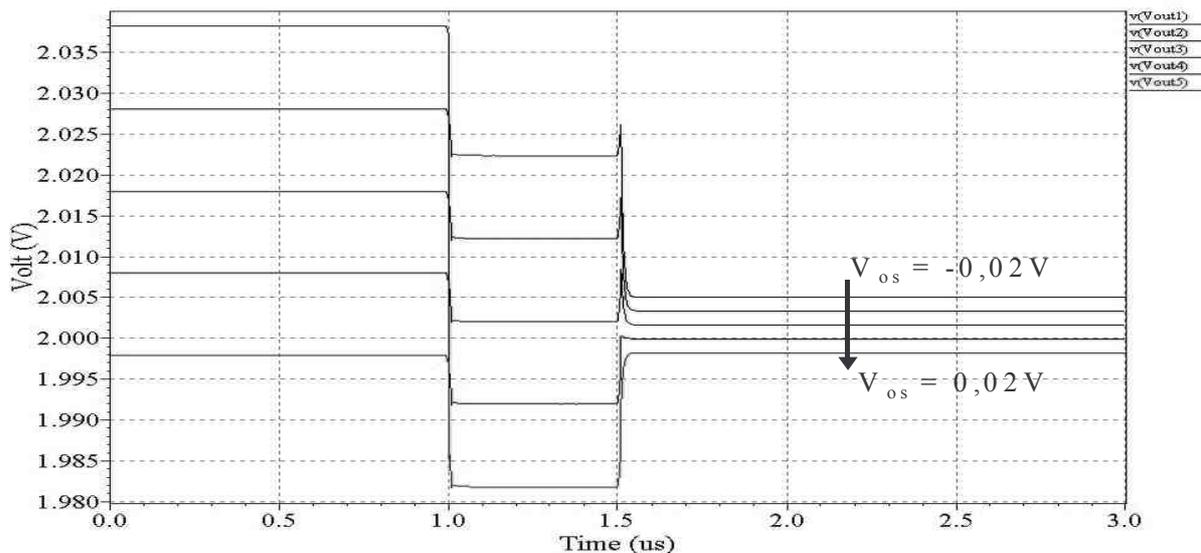


Figure 5-25: Simulation sur T-Spice de la tension de sortie pour différentes tensions d'offset aléatoires de l'AOP.

La figure 5-26 montre l'allure des signaux de contrôle Reset (précharge la photodiode), Lecture. Cette figure montre aussi l'évolution des tensions V_{pixel} (tension à l'entrée du circuit de lecture) et V_{out} pour différentes tension d'offset du suiveur PMOS du pixel. La valeur de cette tension d'offset V_{offset} varie de $-0,02V$ à $0,02V$ par pas de $0,01V$. Dans cette simulation, les commandes du pixel et de la chaîne de lecture sont à la cadence réelle utilisée pour traiter et lire un pixel du capteur prototype Log-PV. Nous pouvons observer qu'à la deuxième lecture, l'offset produit par le suiveur PMOS est complètement supprimé.

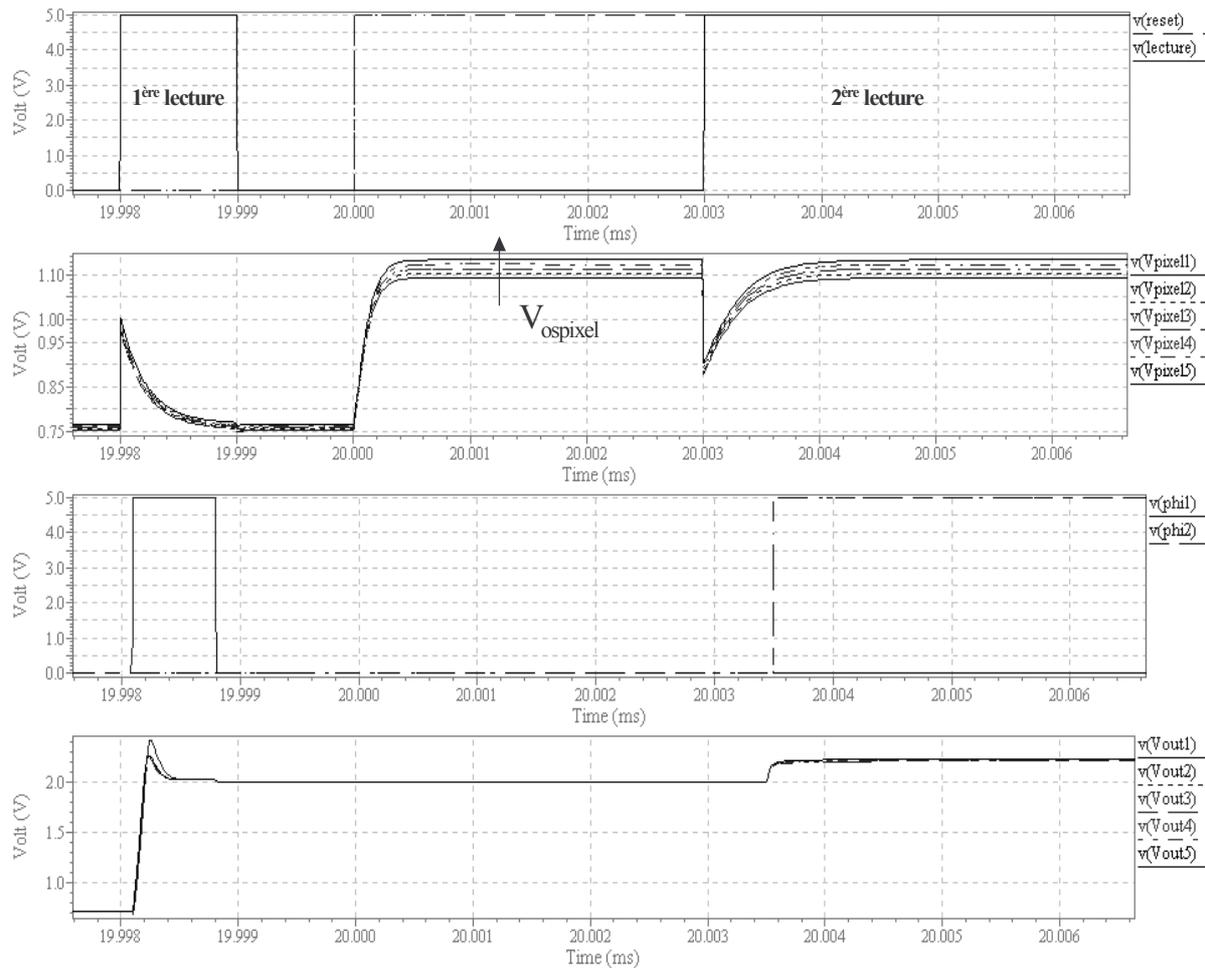


Figure 5-26: Simulation sur T-Spice de la tension de sortie pour différentes tensions d'offset du suiveur PMOS du pixel.

Par ces différentes simulations effectuées sur T-Spice, nous pouvons conclure que le circuit de compensation supprime parfaitement les offsets du pixel et du circuit de lecture et compense l'offset de l'AOP d'environ 85%.

5.4.2.2. Analyse en fonction de la zone de réponse du photorécepteur

Nous avons vu dans le chapitre 4 que la réponse du photorécepteur Log-PV possède une réponse bi-modale en fonction du niveau de l'intensité lumineuse incidente : une partie linéaire et l'autre partie logarithmique. Dans ces deux cas, l'injection de charge dans la photodiode par le transistor de mise à la masse ne se répercute pas de la même manière sur l'image. Cette injection est totalement absorbée par la photodiode quand la réponse est logarithmique mais seulement peu ou partiellement quand la réponse n'est pas logarithmique (linéaire ou intermédiaire).

Par conséquent, deux scénarios de fonctionnement de la compensation BSF peuvent être envisagés :

- Scénario dans la zone logarithmique :

La première lecture se fait juste avant l'initialisation. La réponse du photorécepteur photovoltaïque est dans la zone logarithmique. La tension mémorisée dans le condensateur C_{lec} est donnée par :

$$V_{lec} = Vdd - Bias_{pixel} - U_T \ln\left(\frac{I_{ph}}{I_s}\right) + \Delta V_{th_{pixel}} \quad (5-44)$$

La tension de sortie du suiveur PMOS a pour expression :

$$V_{pixlec_{im}} = 2Vdd - Bias_{lec} - Bias_{pixel} - U_T \ln\left(\frac{I_{ph}}{I_s}\right) + \Delta V_{th_{pixel}} + \Delta V_{th_{lec}} \quad (5-45)$$

Pour supprimer le BSF (c'est à dire $\Delta V_{th_{pixel}} + \Delta V_{th_{lec}}$) le signal de contrôle d'initialisation du pixel doit être activé pendant la deuxième lecture pour que le transistor d'initialisation du pixel n'induisse pas d'erreur :

$$V_{pixlec_{bsf}} = 2Vdd - Bias_{lec} - Bias_{pixel} + \Delta V_{th_{pixel}} + \Delta V_{th_{lec}} \quad (5-46)$$

Avec ces deux lectures il est clair qu'une simple soustraction permet de supprimer parfaitement le bruit spatial fixe. La figure 5-27 montre le chronogramme des signaux pour ce scénario.

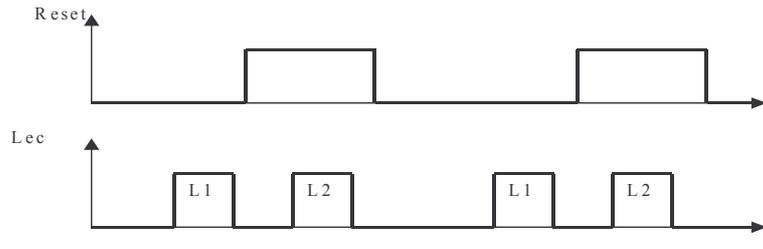


Figure 5-27: Chronogramme des signaux de contrôle en mode logarithmique du photorécepteur Log-PV.

La figure 5-28 présente le résultat d'une simulation à l'aide de T-Spice. Elle montre l'évolution des tensions V_{pixel} et V_{out} en fonction du temps. Nous avons pris comme exemple, pour une forte intensité lumineuse, un photocourant $I_{ph} = 5pA$ et un temps d'exposition de 20ms.

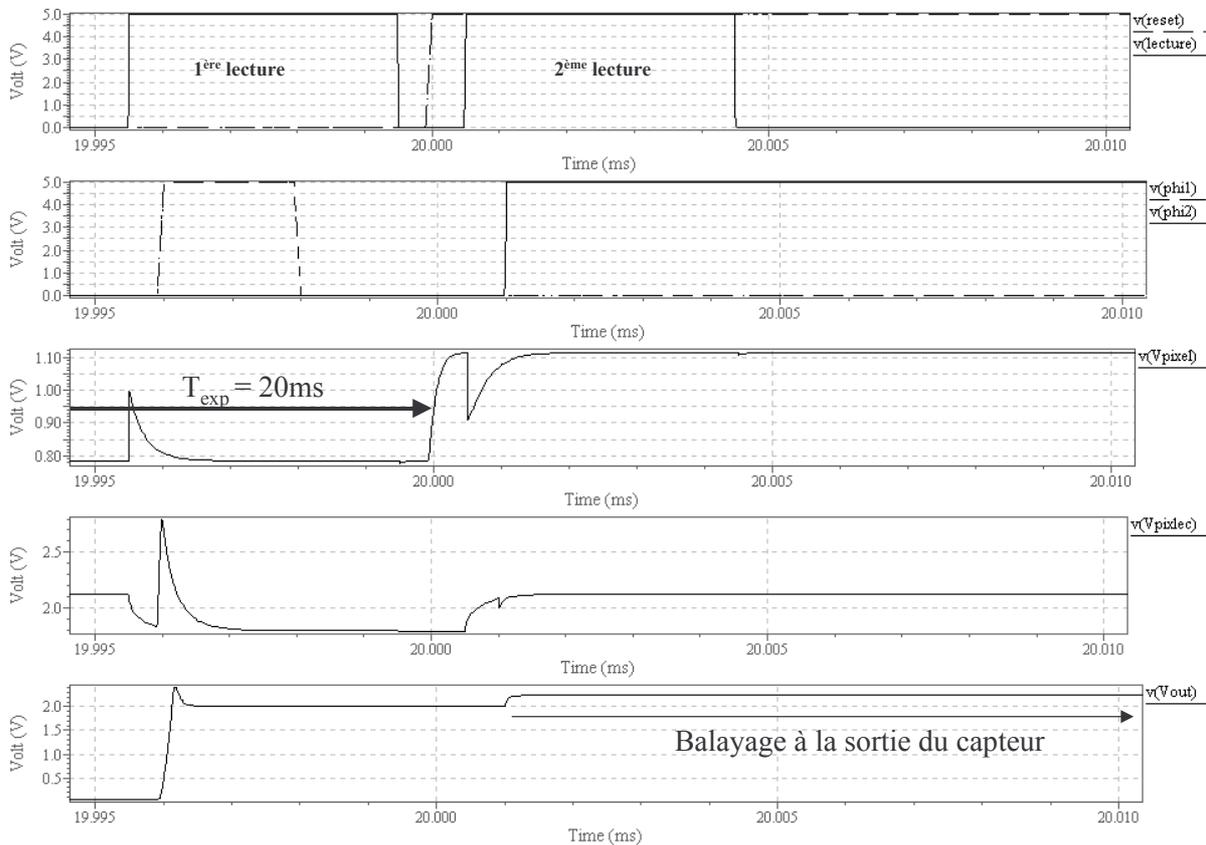


Figure 5-28: Simulation sous T-Spice de la réponse V_{pixel} et de la tension de sortie V_{out} du circuit de compensation en fonction des commandes Reset, Lecture, Phi1 et Phi2 quand le photorécepteur fonctionne dans la zone logarithmique.

- Scénario dans la zone linéaire :

Comme pour le premier scénario, la première lecture se fait juste avant l'initialisation. La réponse du photorécepteur Log-PV en mode linéaire est mémorisée dans le condensateur C_{lec} :

$$V_{lec} = Vdd - Bias_{pixel} - \left(\frac{tI_{ph}}{C_e} + V_{ch} \right) + \Delta V_{th_{pixel}} \quad (5-47)$$

La tension à la sortie du suiveur PMOS a pour expression :

$$V_{pixlec_{im}} = 2Vdd - Bias_{lec} - Bias_{pixel} - \left(\frac{tI_{ph}}{C_e} + V_{ch} \right) + \Delta V_{th_{lec}} + \Delta V_{th_{pixel}} \quad (5-48)$$

Donc ici nous avons le choix de faire soit la deuxième lecture avec le signal d'initialisation relâché soit avec ce signal maintenu. Si nous faisons cette deuxième lecture avec le signal d'initialisation relâché, nous avons une réponse à la sortie du circuit de lecture qui peut s'écrire suivant l'équation (5-48) :

$$V_{pixlec_{bsf}} = 2Vdd - Bias_{pixel} - Bias_{lec} - V_{ch} + \Delta V_{th_{pixel}} + \Delta V_{th_{lec}} \quad (5-49)$$

Mais si nous maintenons le signal d'initialisation du pixel, nous obtenons une réponse comme dans le scénario précédent, c'est à dire (5-45).

Nous voyons ici que la réponse (5-48) permet de supprimer l'erreur de l'injection de charge au sein du pixel. Ceci conduit à un scénario de fonctionnement comme l'indique le chronogramme de la figure 5-29.

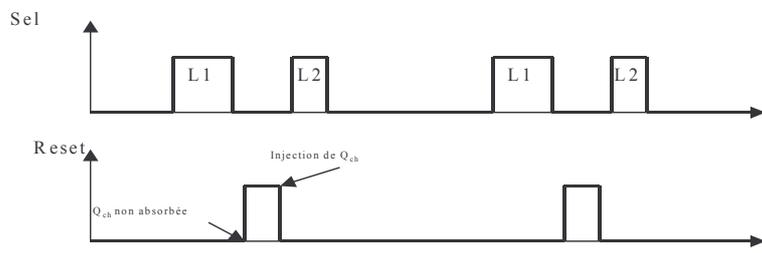


Figure 5-29: Chronogramme des signaux de contrôle en mode linéaire du photorécepteur Log-PV.

La figure 5-30 montre le résultat de la simulation réalisée grâce au logiciel T-Spice. Elle montre l'évolution des tensions V_{pixel} et V_{out} dans ce mode de fonctionnement. Nous

avons simulé un pixel exposé à une faible intensité lumineuse en mettant un photocourant de faible valeur $I_{ph} = 0,1pA$. Son temps d'exposition à cette intensité lumineuse est de 20ms.

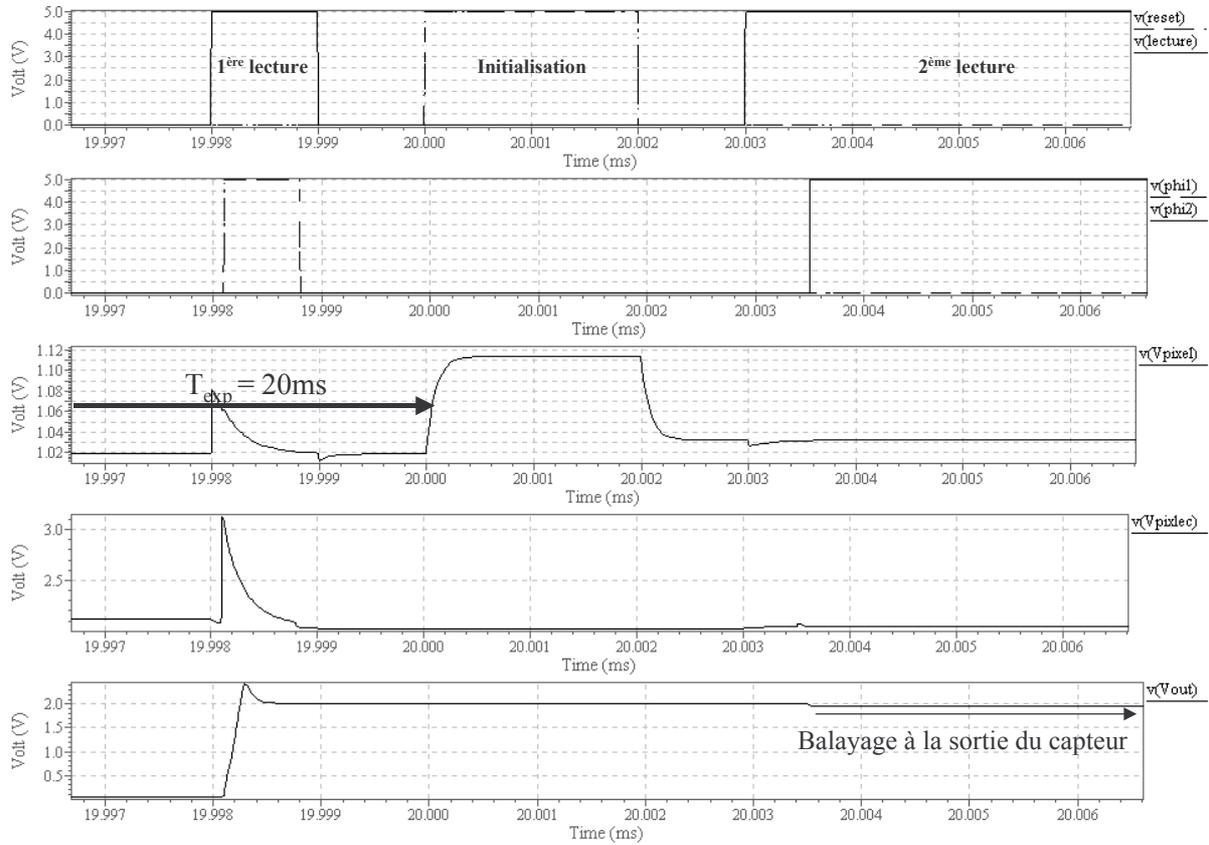


Figure 5-30: Simulations sur T-Spice des réponses V_{pixel} et V_{out} quand le photorécepteur Log-PV fonctionne dans la zone linéaire.

Il n'y a pas de difficulté pour mettre en œuvre ces deux scénarios. Mais la difficulté est de savoir le mode de fonctionnement de tous les pixels d'une matrice. Théoriquement nous pouvons utiliser un circuit de détection, qui permet de détecter la stabilisation de la tension sur la photodiode. Le principe de cette détection est le suivant :

$$V_{d_n} = V_d(t_n) \quad \text{avec } n \in \mathbb{N}^+$$

$$V_{d_{n+1}} = V_d(t_{n+1})$$

Si $V_{d_{n+1}} - V_{d_n} < \delta$ alors la photodiode est déjà en mode logarithmique, sinon elle est en mode linéaire ou intermédiaire.

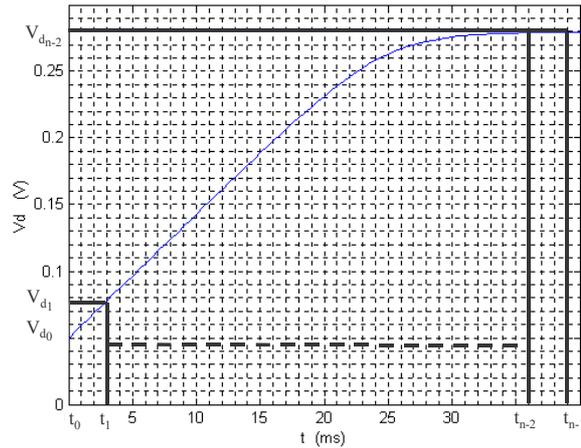


Figure 5-31: Réponse du photorécepteur Log-PV avec la procédure de détection.

5.4.3. Dessin de masque

Le dessin du masque du circuit de compensation est présenté dans la figure 5-32. Les différents condensateurs sont réalisés en double-poly. Le circuit est protégé des photons incidents parasites par le métal 2 qui véhicule en même temps la tension Vdd.

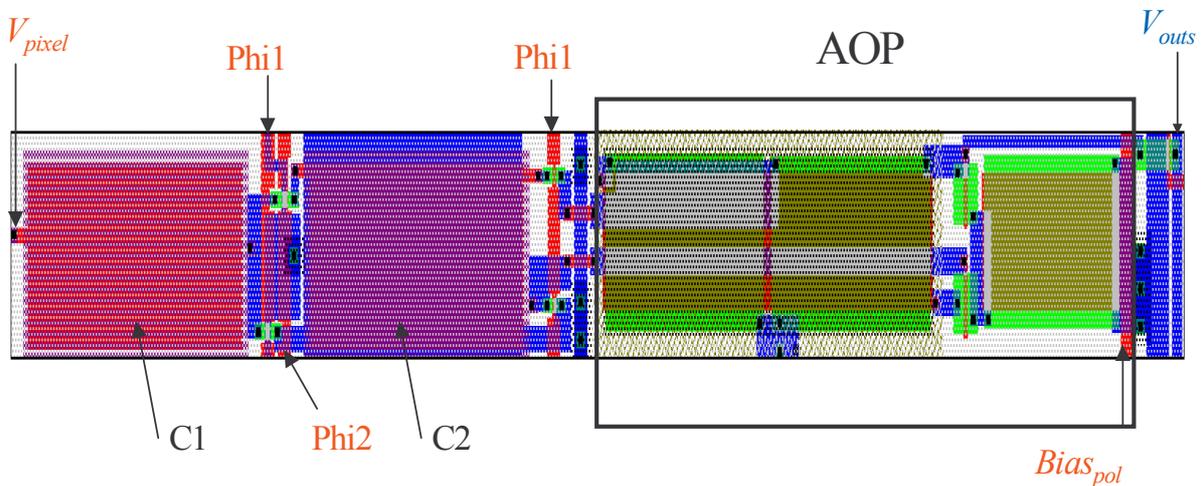


Figure 5-32: Dessin de masque du circuit de compensation du BSF réalisés en technologie CMOS 0,8µm.

Le transistor de sélection, présenté dans la figure 5-32, est commandé par un registre à décalage. Il permet de sélectionner une des colonnes de la matrice en abscisse pendant la lecture d'image.

5.5. Registre à décalage

Afin de minimiser les bruits de commutations, nous avons opté pour le registre à décalage proposé par C.A. Mead [Mead91]. Comme illustré dans la figure 5-33, c'est un registre à décalage statique. L'horloge H est un signal monophasé alternant entre l'état haut et bas. Comme ce registre à décalage est statique, nous pouvons visualiser un pixel particulier continuellement en arrêtant son horloge. Les sorties des registres à décalage sont entièrement restaurées soit à '1' (c'est à dire à la tension d'alimentation Vdd) soit à '0' (la masse Gnd) quand l'horloge H est à l'état haut.

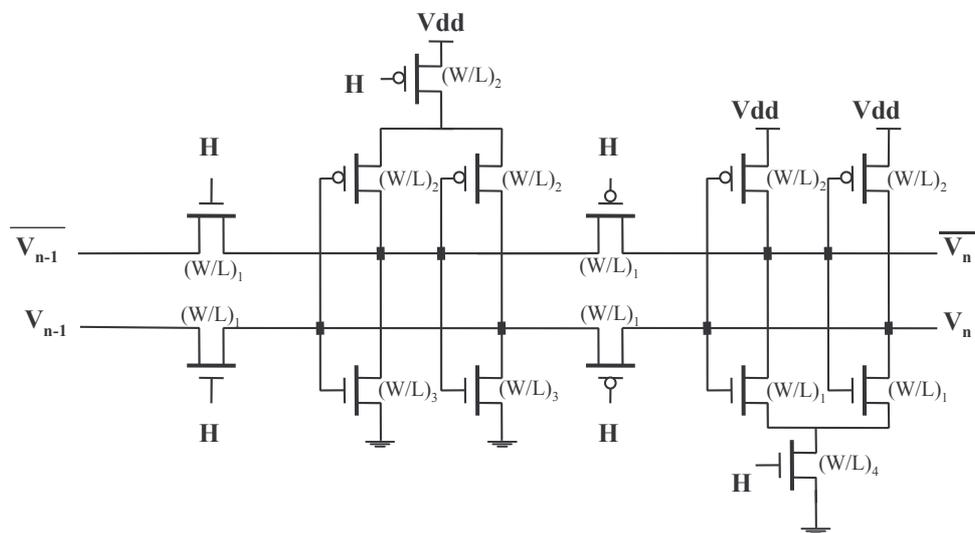


Figure 5-33: Schéma électrique d'un étage du registre à décalage (RD).

Ce registre à décalage est composé de deux paires d'inverseurs CMOS interconnectés, avec deux transistors de passage de type NMOS connectant l'entrée à la première paire, et de deux transistors de passage de type PMOS connectant la première à la seconde paire. Les inverseurs sont des inverseurs CMOS avec une alimentation commutée. Pour la paire d'inverseurs gauche, l'alimentation Vdd est fournie via un transistor. Pour l'autre paire, la masse Gnd est fournie via un transistor NMOS.

Les sorties de ce registre sont complémentaires (V_n et $\overline{V_n}$). Lorsque les inverseurs interconnectés ne sont pas alimentés, les bits générés, soit par la première paire d'inverseurs de l'étage soit par l'étage précédent du registre à décalage, sont chargés sur leurs entrées. Ce

chargement est la fonction des transistors de passage reliant cette étage à l'étage précédent et reliant la première paire d'inverseurs interconnectés à la seconde.

Mais pour rendre les étages du registre unidirectionnel, il faut que la taille des transistors de passage soit suffisamment faible par rapport à celle des transistors fournissant les alimentations. Cela implique que l'étage piloté ne peut pas changer l'état de l'étage pilotant.



Figure 5-34: Simulation électrique de deux étages du registre à décalage avec une horloge de type CMOS.

La taille correcte de ces transistors assurera l'unidirectionnalité du transfert de l'information. Cette contrainte en taille des transistors doit assurer que le courant de saturation des transistors d'alimentation soit au moins 4 fois supérieur à celui des transistors de transfert. Si cette restriction de la taille est respectée, le registre à décalage fonctionnera correctement avec n'importe quel type d'horloge d'entrée. En effet, un oscillateur sinusoïdal ou une horloge de type CMOS peut être utilisé comme horloge d'entrée comme le montre les figures 5-34 et 5-35. Pour faire cette simulation sur T-Spice, nous avons pris les paramètres extraits d'un layout.

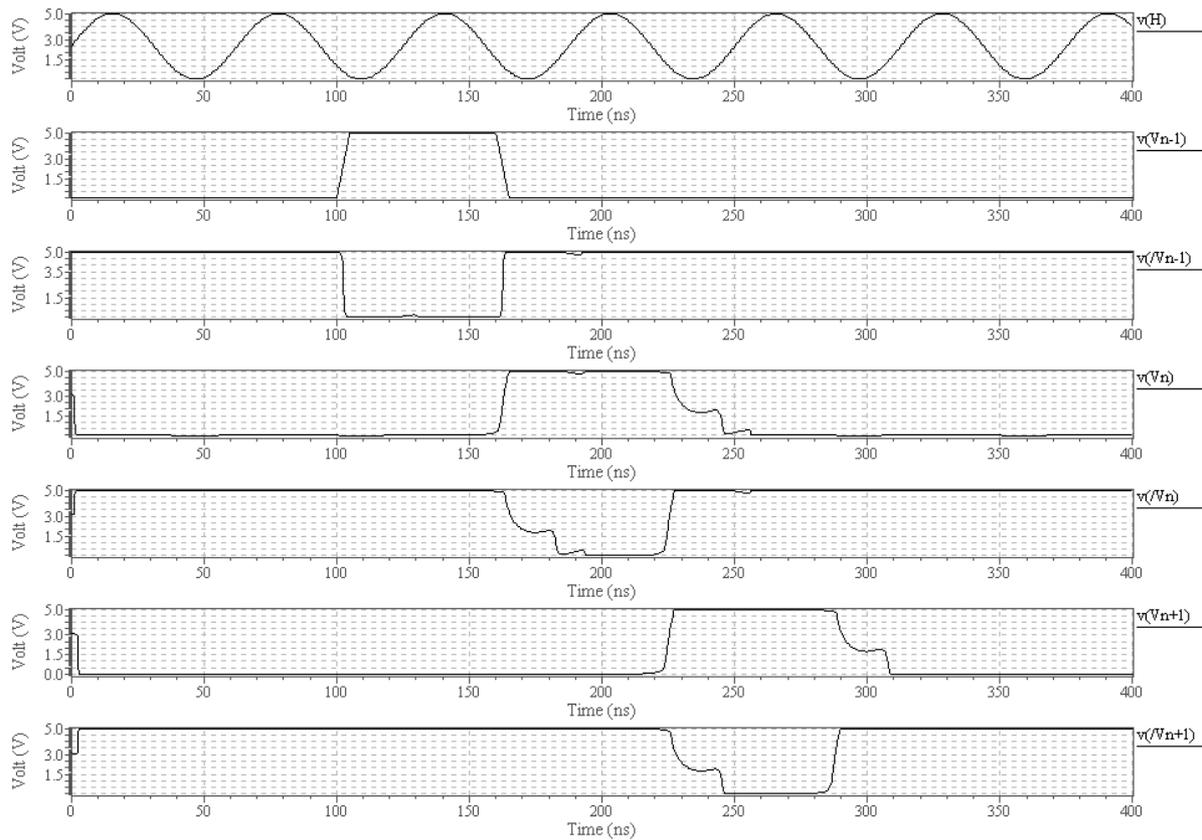


Figure 5-35: Simulation électrique de deux étages du registre à décalage avec une horloge de type sinusoïdal.

Les figures 5-34 et 5-35 montrent qu'il y a propagation de l'information appliquée aux entrées du registre à décalage. Par contre nous remarquons qu'il y a un chevauchement soit de l'état '1' soit de l'état '0' tout dépend quelle sortie du registre à décalage où nous observons. Ce chevauchement est un inconvénient. En effet, si l'on utilise deux registres à décalage de ce type pour le balayage des lignes et des colonnes d'une matrice de pixels, une erreur de sélection peut se produire.

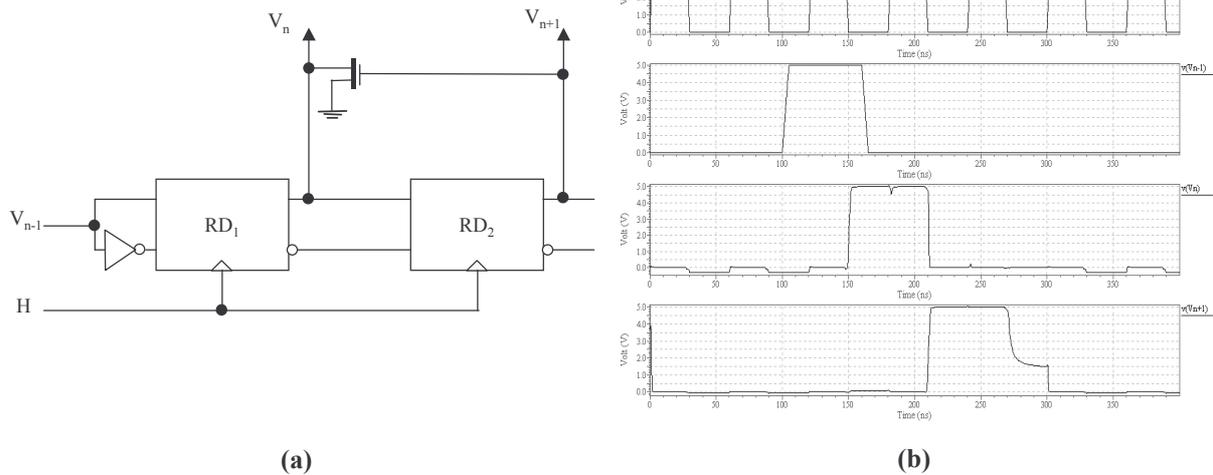


Figure 5-36: (a) Schéma de deux étages du registre à décalage avec ajout du transistor NMOS; (b) Simulation électrique.

Nous avons donc modifié ce registre à décalage en ajoutant un transistor qui génère une exclusion mutuelle entre les étages. Nous avons utilisé l'une des sorties des registres à décalage pour balayer la matrice de pixels de notre capteur. Par conséquent, nous avons mis à la sortie de chaque étage un transistor NMOS commandé par le signal de sortie de l'étage suivant pour forcer les signaux de sortie de ces registres, comme le montre la figure 5-36 (a). Les résultats de la simulation sur T-Spice sont représentés sur la figure 5-36 (b). Le dernier étage n'aura pas sa sortie forcée à zéro, ce qui ne représente pas un inconvénient majeur dans notre application (sinon nous pouvons ajouter un étage "dummy"). Le dessin de masque d'un étage du registre à décalage est donné ci-dessous, figure 5-37.

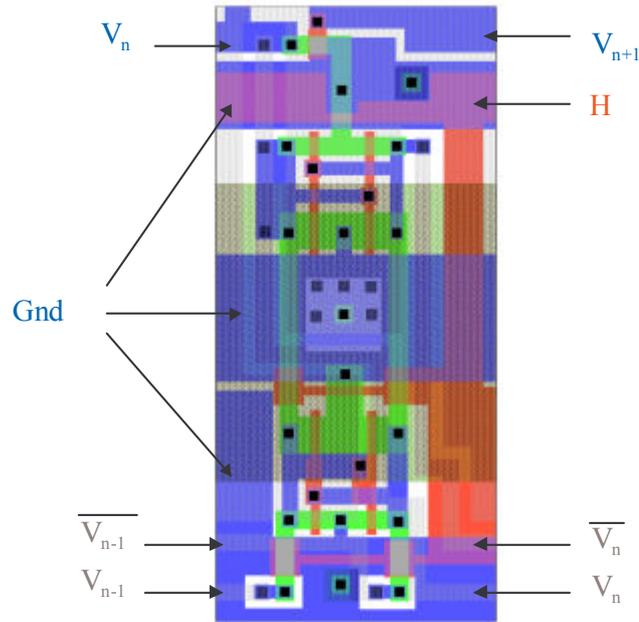


Figure 5-37: Dessin de masque d'un étage du registre à décalage.

5.6. Circuit driver de ligne

Le circuit driver de ligne permet d'appliquer les signaux de commande Sélection et INIT sur une ligne de pixels de la matrice sélectionnée par le registre à décalage vertical. Il génère deux signaux locaux Sel_i et $Reset_i$ correspondant à '1' dans le registre à décalage de ligne. Avec ces signaux, on peut sélectionner (mettre la sortie sur le bus de lecture) et/ou initialiser une ligne de pixels.

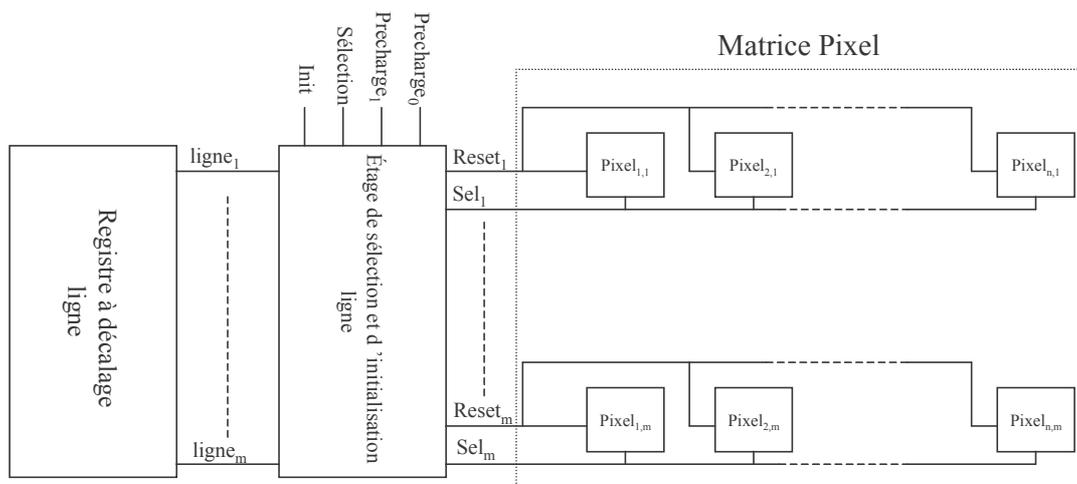


Figure 5-38: Structure de la génération de commandes Sel_i et $Reset_i$.

Nous avons vu dans le paragraphe 4.5 que pour avoir une faible tension d'offset induite par l'injection de charge due aux transistors d'initialisation du pixel, il faut une tension de commande d'initialisation de faible valeur (c'est à dire environ 1V). Sachant que si nous utilisons des signaux de commandes externes générés par un microcontrôleur (μC) ou un Pal (en anglais : Programmable Array Logic, en français : Réseau logiques programmables), nous aurons des signaux compatibles TTL ou CMOS variant de 0V à 5V. Nous avons donc réalisé (figure 5-38) un étage de sélection et d'initialisation commandé par des signaux de contrôle externes qui permet, avec des potentiomètres à l'extérieur, de régler la valeur de la tension du Reset. Nous avons prévu une entrée 'Precharge₀' négative qui permet d'expérimenter l'effet sous-seuil du transistor d'initialisation du pixel.

Nous présentons dans le tableau 5-1 ci-dessous, la table de vérité de ce circuit de pilotage de ligne.

Registre	Init	Sélection	Sel _i	Reset _i	Commentaire
0	X	X	0	0	La ligne, n'est pas sélectionnée
1	0	0	0	Precharge ₀	Initialisation à 'Precharge ₀ ' des pixels de la ligne _i
1	0	1	1	Precharge ₀	Sélection et initialisation à 'Precharge ₀ ' des pixels de la ligne _i
1	1	0	0	Precharge ₁	Initialisation à 'Precharge ₁ ' des pixels de la ligne _i
1	1	1	1	Precharge ₁	Sélection et initialisation à 'Precharge ₁ ' des pixels de la ligne _i

Tableau 5-1 : Table de vérité des signaux de commandes d'une ligne de pixels.

Le schéma du circuit, présenté sur la figure 5-39 (a), permet de générer les signaux de contrôle dans ce tableau 5-1. Les résultats de la simulation électrique de ce circuit sont représentés sur la figure 5-39 (b).

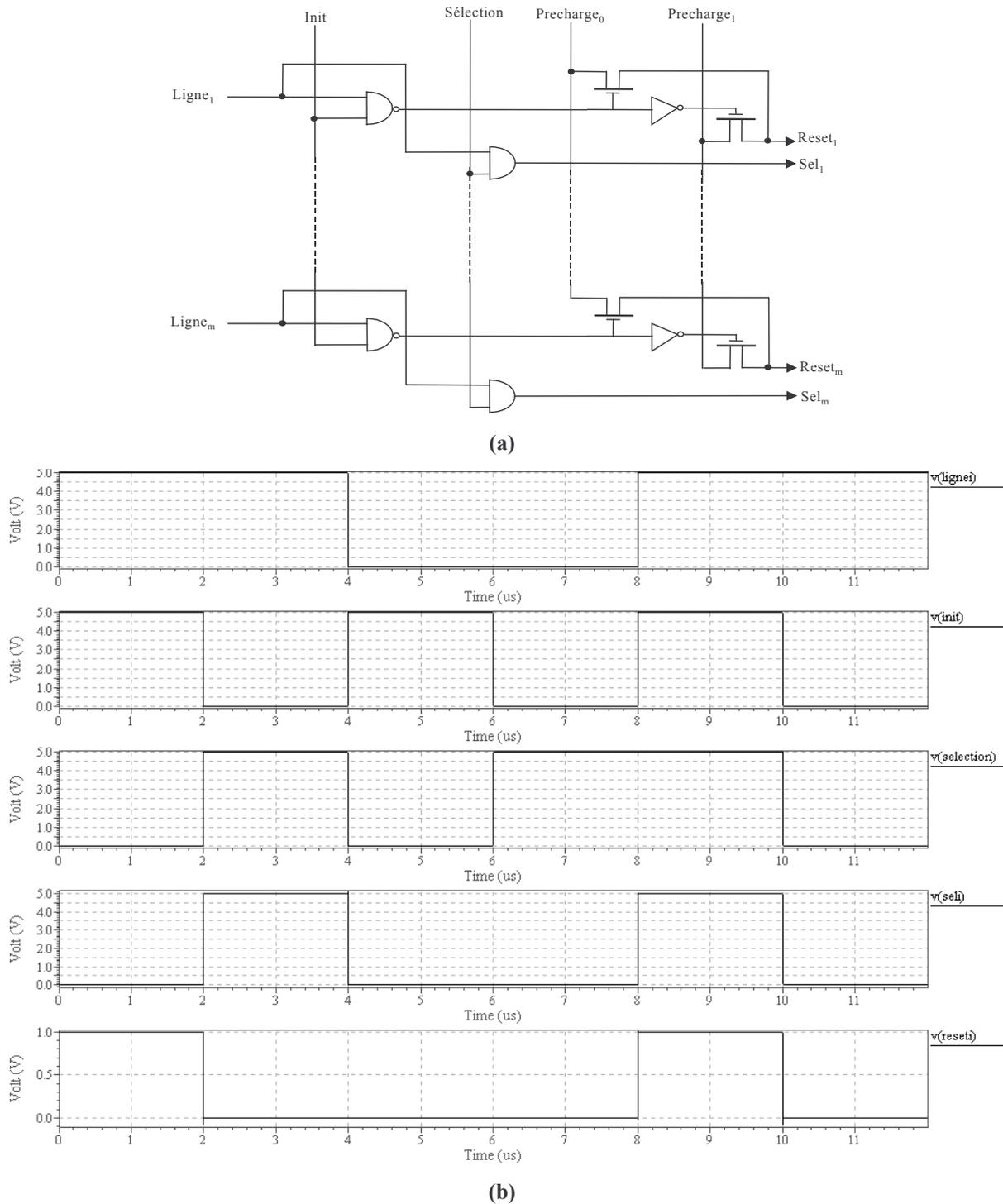


Figure 5-39: (a) Schéma électrique de la génération des commandes d'une ligne de pixels ; (b) Chronogramme des signaux de commande.

Son dessin de masque est présenté sur la figure 5-40.

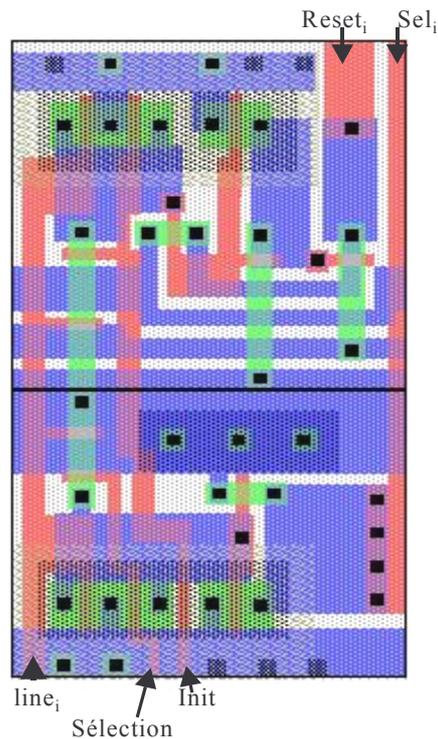


Figure 5-40: Dessin du masque de l'étage de sélection et d'initialisation d'une ligne de pixels.

5.7. Étage sortie vidéo

Le but de cet étage est la mise en forme d'un signal vidéo analogique. Ceci nous permettra de visualiser l'image produite par le prototype sur un moniteur TV.

Ce signal doit comporter un top de synchronisation, une tension de référence et le signal image comme représenté sur la figure 5-41. Il faut donc introduire 3 signaux de commande qui vont commander des transistors NMOS:

- S1=1 : sortie de l'image Log-PV
- S2=1 : sortie du niveau de référence noire
- S3=1 : sortie du niveau de synchronisation

Nous avons ajouté un signal 'Clamp' qui permet de mettre une tension de référence sur le bus de sortie quand les transistors de sélection sont bloqués. Ce signal est très important car s'il n'y avait pas cette commande, le bus de sortie serait en haute impédance ce qui provoquerait du bruit sur l'écran du moniteur.

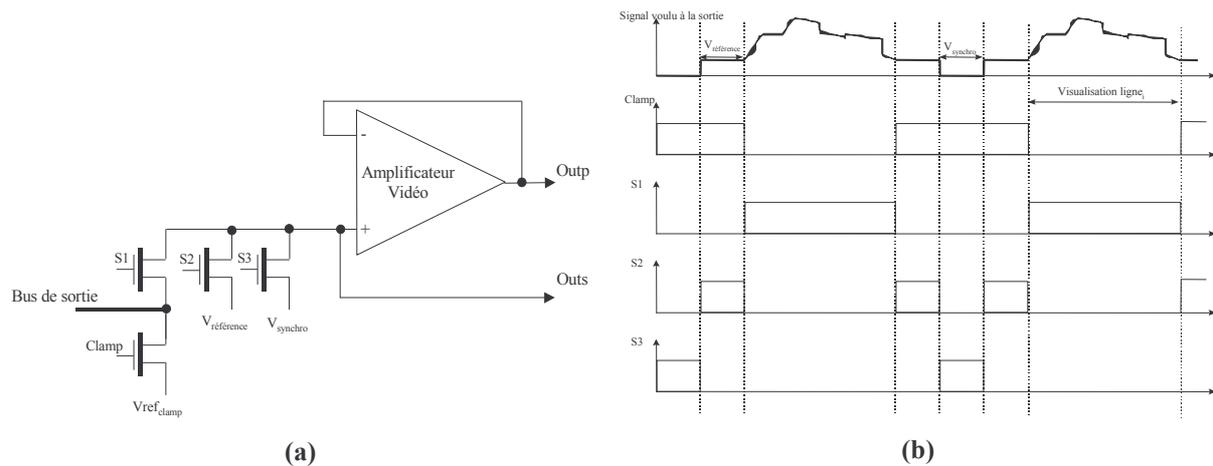


Figure 5-41: (a) Schéma électrique du circuit de transformation vidéo; (b) Chronogramme des commandes pour la transformation en un signal vidéo.

La sortie de l'amplificateur vidéo doit être capable de pousser directement une charge de 75Ω . Nous avons utilisé un amplificateur opérationnel vidéo connecté en suiveur fourni par le fondeur AMS.

5.8. Dessin de masque du circuit prototype Log-PV

L'ensemble des blocs sont assemblés à l'aide du logiciel L-edit. Nous avons utilisé systématiquement la couche de métal 2 pour protéger tous les dispositifs sensibles à la lumière parasite et pour véhiculer l'alimentation Vdd. Le dessin de masque du prototype est montré dans la figure 5-42. Il occupe une surface de $5,3\text{mm} \times 7,7\text{mm}$. La matrice de pixels représente une surface de $4800\mu\text{m} \times 3600\mu\text{m}$. Ce choix est essentiellement motivé en premier lieu un format QCIF (160×120) et ensuite un format optique de $1/3$ de pouce. Ceci facilitera un affichage de l'image directement sur un moniteur TV.

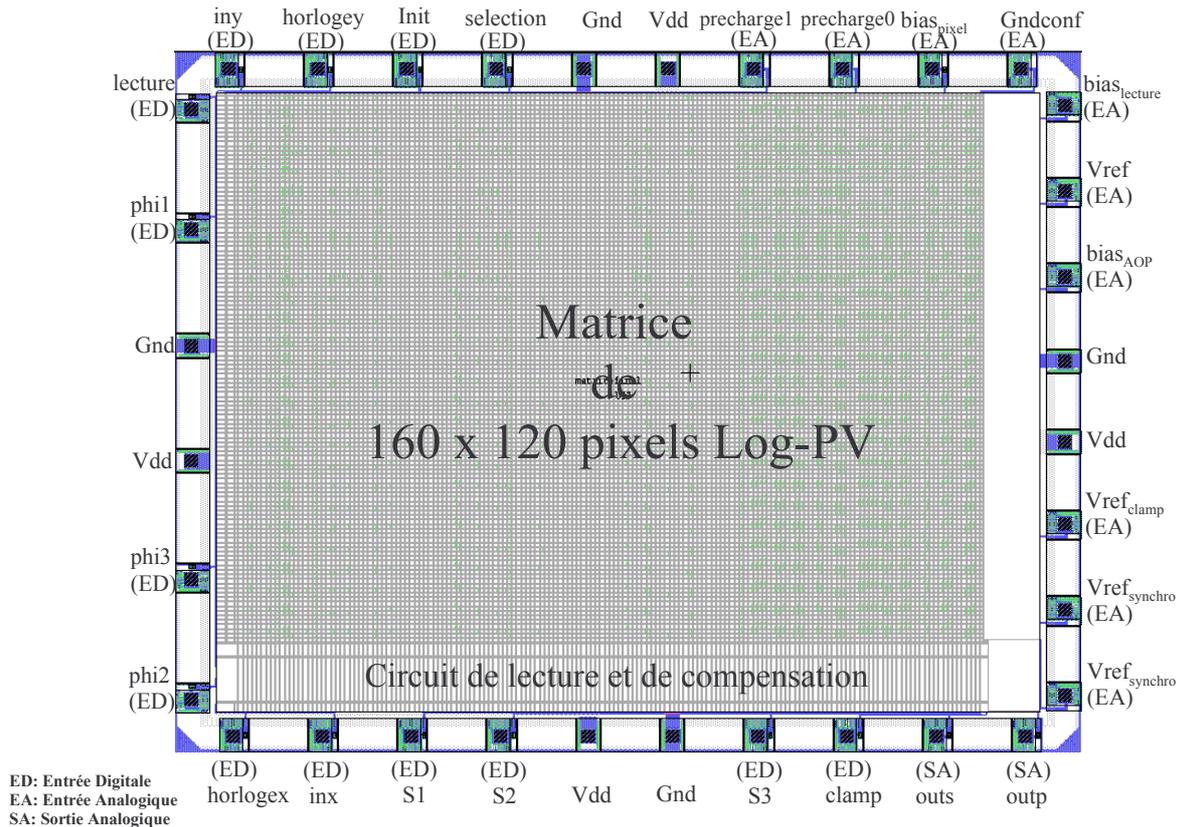


Figure 5-42: Dessin du masque du prototype Log-PV.

Nous avons séparé par l'alimentation (Gnd et Vdd) les signaux analogiques et digitaux pour qu'il n'y ait pas de perturbations (du bruit) dans les tensions analogiques. Ce circuit réalisé est appelé prototype Log-PV. Dans le chapitre 6, nous testerons ce prototype pour valider le pixel Log-PV.

5.9. Conclusion

Dans ce chapitre, nous avons détaillé l'ensemble conception et réalisation d'un capteur prototype Log-PV. Notre motivation première est de valider la conception du photorécepteur Log-PV et d'évaluer ses performances photoélectriques. Dans cette optique, nous avons adopté une structure minimaliste avec une matrice de pixel et un circuit de lecture séquentiel à compensation du bruit BSF. Ce circuit prototype a été conçu sous l'environnement Tanner (L-edit et T-Spice) sur PC. Nos expériences montrent que cet environnement également minimaliste s'avère très efficace dans ce type de conception analogique cellulaire.

Chapitre 6

Expérimentations

Dans ce type de travail expérimental, la réalisation du circuit de pilotage et d'interface est souvent très laborieuse. Nous avons initialement envisagé une génération directe du signal vidéo standard à la sortie du capteur Log-PV. Mais comme nous le verrons dans ce chapitre, une erreur de conception du registre à décalage a limité le balayage des colonnes à une vitesse très faible, non compatible avec le format vidéo standard. Par conséquent, nous avons construit un circuit de pilotage et d'interface permettant de le connecter au PC à l'aide d'une mémoire FIFO. Ce circuit permet de faire fonctionner le capteur Log-PV à une vitesse réduite et de transférer les images de sortie numérisées directement vers un PC. Toutes les analyses quantitatives sont faites sous le logiciel Matlab.

6.1. Circuit de pilotage et d'interface

Le circuit de pilotage et d'interface est réalisé sous la forme d'une carte imprimée. La structure de cette carte est montrée dans la figure 6-1. Cette carte est connectée au port parallèle de l'ordinateur. Les données sont ainsi récupérées, visualisées et enregistrées dans des fichiers « .dat » par un programme écrit en Visual Basic. Ces fichiers peuvent être ensuite analysés par le logiciel Matlab.

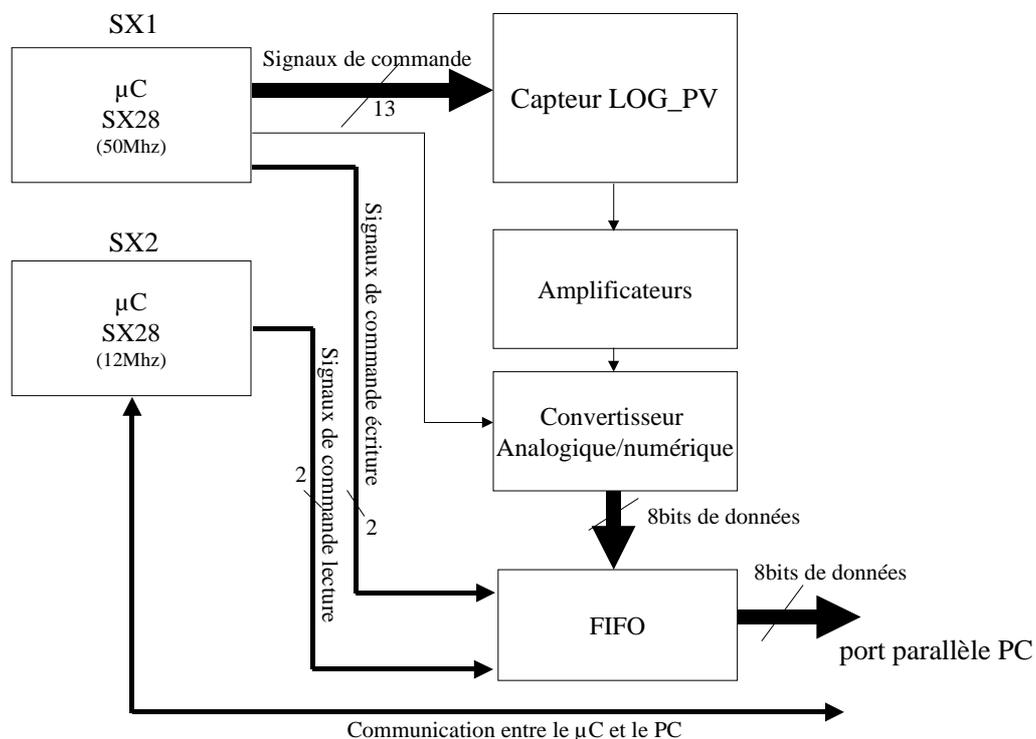


Figure 6-1: Structure de la carte de pilotage et d'interface.

Nous avons utilisé deux microcontrôleurs, l'un (SX1) permet de piloter le prototype Log-PV, le convertisseur analogique/numérique (Max153) et la mémoire FIFO (MSM518221A) en mode écriture et l'autre (SX2) permet de piloter la mémoire FIFO en mode lecture et de communiquer avec le PC.

La figure 6-2 montre la photographie de la carte de test. Nous avons utilisé des potentiomètres pour générer les différentes tensions de polarisation de notre prototype Log-PV. Nous avons eu besoin d'un amplificateur (Max474) pour amplifier le signal provenant du prototype Log-PV pour utiliser, au maximum, la plage de conversion du convertisseur

analogique/numérique car l'amplitude du signal direct du capteur Log-PV est au maximum à 1V (visualisation du soleil) comme nous le verrons dans ce chapitre.

Grâce à un commutateur, nous avons le choix de visualiser soit le signal directement à la sortie du prototype Log-PV soit le signal après l'amplification.

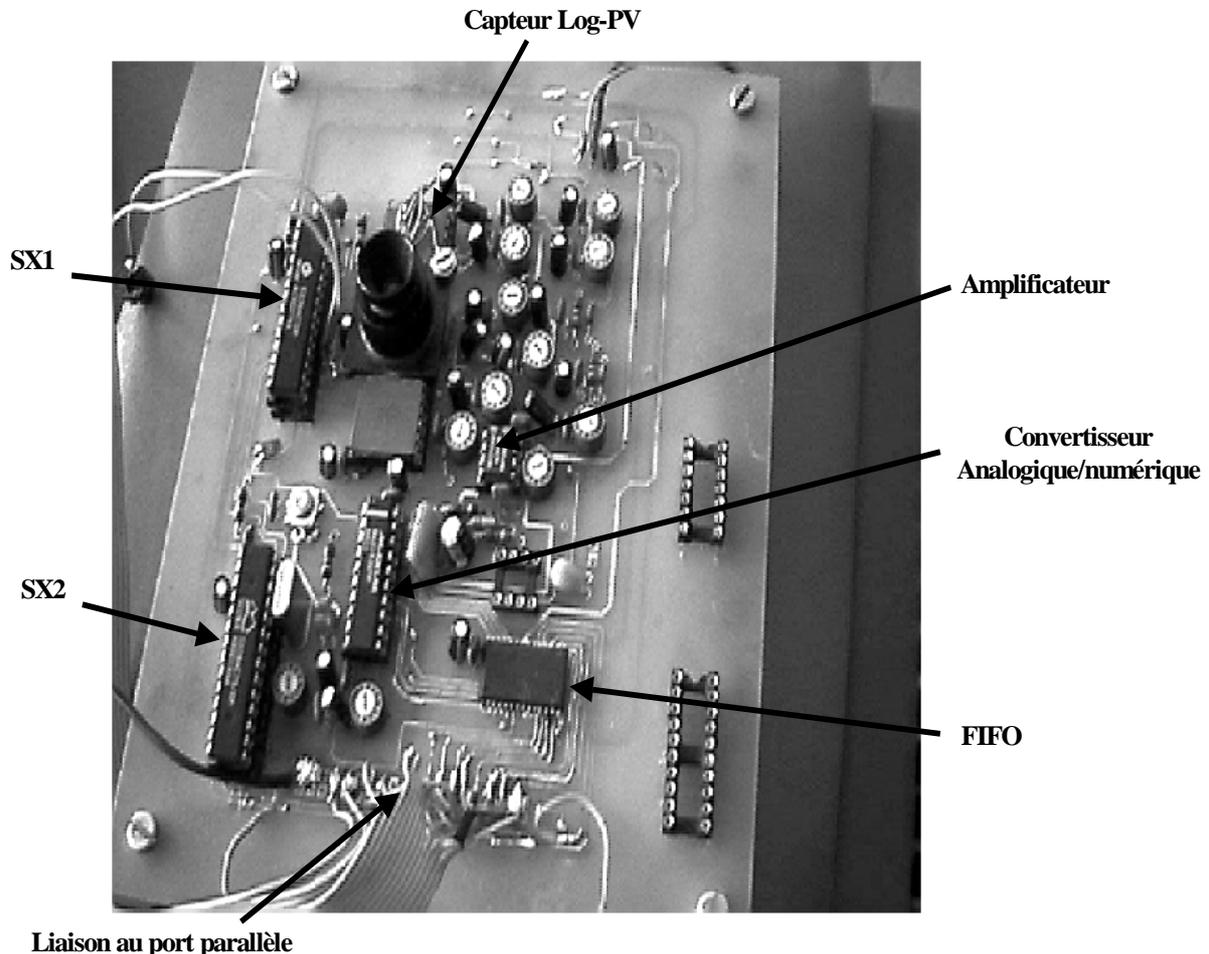


Figure 6-2: Photographie de la carte de test.

6.2. Dispositif optique expérimental

Il est indispensable de disposer d'une source lumineuse stable afin d'étudier les comportements statiques et dynamiques du capteur Log-PV. Pour cela nous avons utilisé une diode électroluminescence infrarouge (DEL-IR) comme le montre la figure 6-3. Cette diode est alimentée par un courant continu ajustable grâce à un potentiomètre. La proportionnalité quasi-parfaite entre le courant de polarisation et la puissance optique émise par la DEL-IR permet une mesure facile de la puissance optique relative incidente. Ce courant est mesuré avec un ampèremètre.

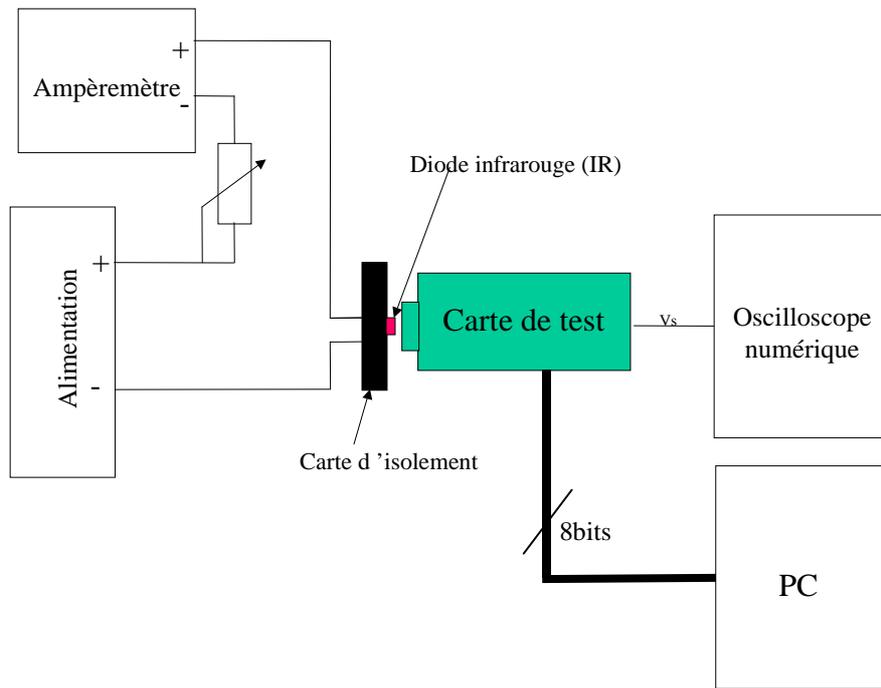


Figure 6-3 : Dispositif de mesure.

La carte opaque où se trouve la DEL-IR est directement collée sur le support de lentille du capteur Log-PV. Ceci permet d'isoler la matrice de pixels des sources lumineuses parasites. Après s'être assuré de cet isolement, nous pouvons procéder à différentes mesures à l'aide de la programmation du microcontrôleur SX1 (voir figure 6-4).

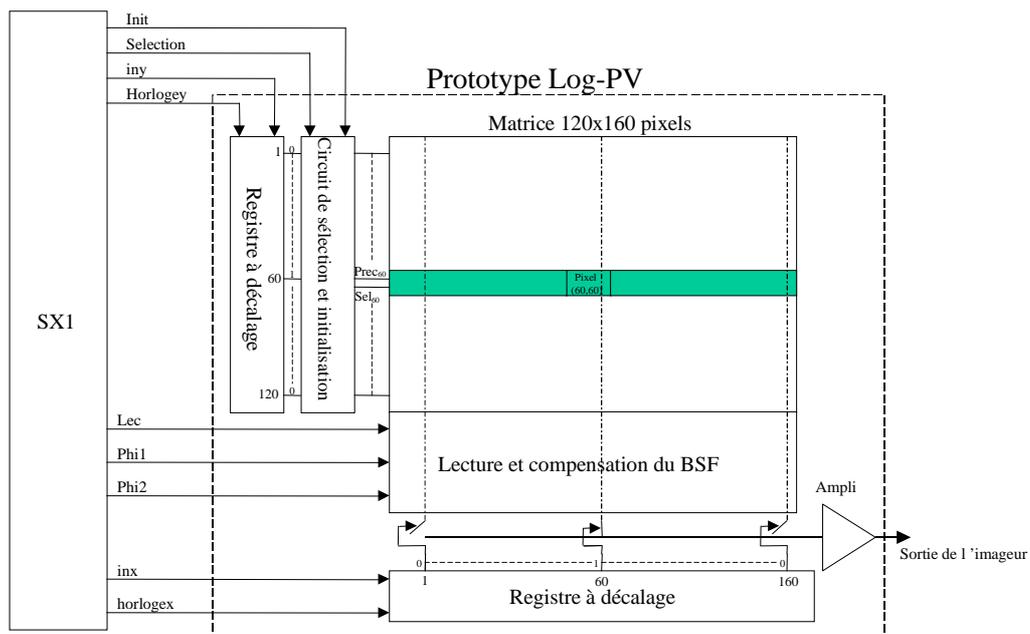


Figure 6-4 : Exemple de Sélection d'un pixel (60,60) ou d'une ligne à l'adresse 60.

Les différentes mesures décrites dans ce chapitre ont été effectuées soit sur une ligne soit sur un pixel. Elles ont été réalisées à l'aide d'un PC secondé d'un oscilloscope numérique. Ce dernier permet de mémoriser les courbes mesurées dans un fichier ".cvs". L'exploitation de ces mesures a été faite avec le logiciel Matlab sur PC.

6.3. Réponse du prototype Log-PV à une source lumineuse statique

6.3.1. Tests, mesures, analyses et modélisation de la réponse d'un pixel

Nous avons vu dans le chapitre 4 que la réponse du photorécepteur Log-PV a deux zones de fonctionnement principales (la zone linéaire et la zone logarithmique), qui dépendent de la puissance optique incidente et du temps d'exposition. Pour visualiser la réponse à la sortie d'un pixel, nous avons programmé le microcontrôleur SX1 pour qu'il génère les commandes Init, Phi1 et Phi2 selon le chronogramme illustré dans la figure 6-5. Nous avons fixé les signaux de commande Sel, Lec, S1 à '1' et S3, S2 à '0' afin d'avoir une observation directe et continue de la réponse de ce pixel sélectionné.

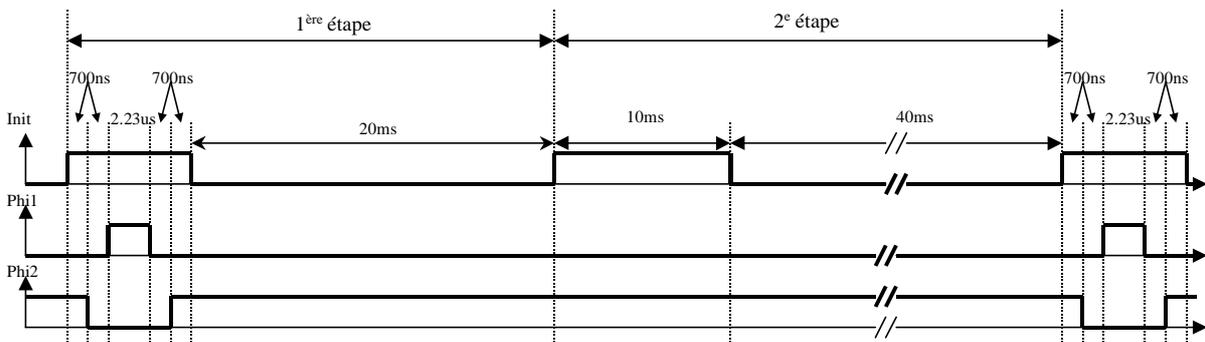


Figure 6-5 : Allure des signaux de contrôle générés par le microcontrôleur SX1 (visualisation du comportement du pixel sélectionné).

Cette configuration des signaux de commande (figure 6-5) permet dans la première étape de compenser le BSF du chemin de lecture. Ensuite nous procédons à une initialisation de ce pixel et nous observons sa réponse. Cette seconde étape permet de visualiser la réponse sans être gêné par les injections de charge des différents transistors du circuit de

compensation. Nous pouvons observer, avec cet arrangement, la réponse intrinsèque du photorécepteur Log-PV (avec un offset constant, bien entendu).

La figure 6-6 montre les formes d'onde du pixel (60,60) pendant la seconde étape. Cette mesure a été faite avec différents courants de polarisation (I_{DEL}) de la DEL-IR progressant en octave. Nous pouvons observer que les réponses du pixel changent presque de façon linéaire.

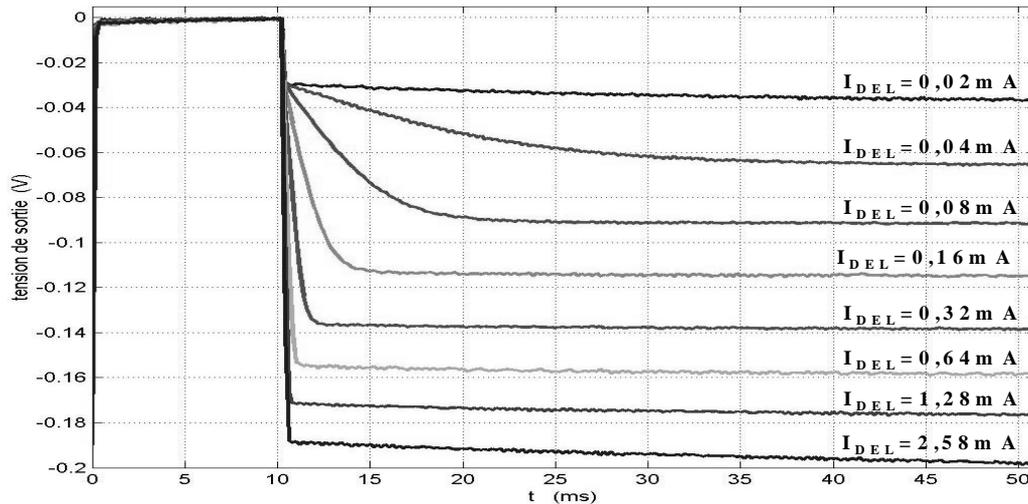


Figure 6-6 : Réponse d'un pixel pour différents courants de polarisation I_{DEL} de la DEL-IR.

La figure 6-7 montre la courbe de réponse de la tension de sortie du pixel à l'adresse (60,60) en fonction du courant de polarisation de la diode infrarouge. Cette courbe a été faite en mesurant la tension à la sortie du pixel 20ms après son initialisation. Nous remarquons que la courbe suit correctement la courbe théorique prédite par notre modèle du photorécepteur Log-PV établi dans le chapitre 4.

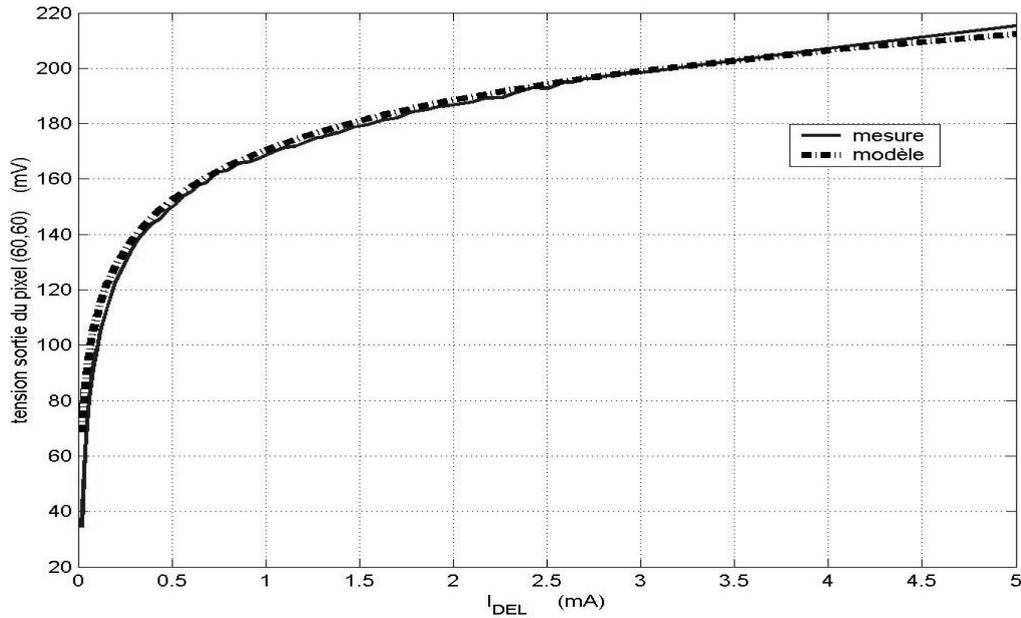


Figure 6-7 : Courbe de réponse d'un pixel mesurée en fonction du courant de polarisation (puissance optique relative). Cette courbe de réponse coïncide bien avec une courbe logarithmique idéale.

Nous pouvons observer que le pixel sélectionné travaille exclusivement dans la zone logarithmique. En effet, cette mesure a été faite avec une DEL-IR possédant un rendement élevé. Si nous voulons réduire le courant de polarisation afin d'observer la réponse dans la zone linéaire, nous nous confrontons à un problème de réglage du courant de la DEL-IR. Nous avons donc refait cette mesure avec une DEL-IR moins efficace dont la durée de trame de test est fixée à 40ms.

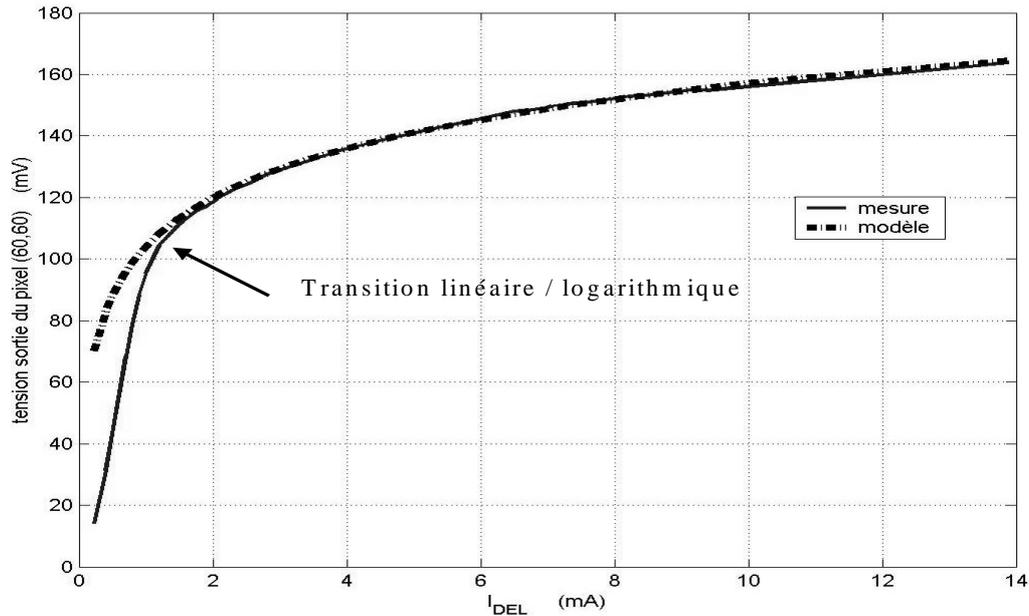


Figure 6-8 : Autre courbe de réponse d'un pixel mesurée avec une diode IR de faible puissance. La comparaison avec une courbe logarithmique idéale montre clairement la transition entre le mode linéaire et le mode logarithmique d'un photorécepteur Log-PV.

Nous obtenons la nouvelle courbe de réponse du pixel pour une DEL-IR de faible puissance, cette courbe est représentée sur la figure 6-8. La caractéristique de sortie confirme notre prédiction théorique du chapitre IV. La réponse possède bien deux zones principales (linéaire et logarithmique) et une zone de transition. La sensibilité logarithmique mesurée est de 53mV/décade. Pour un photorécepteur Log-PV intrinsèque, cette sensibilité se trouve à 59mV/décade. Cette diminution de la sensibilité est due à un gain inférieur à 1 du suiveur PMOS dans le pixel. Nous allons voir dans les mesures suivantes que ce gain diminue avec le courant de polarisation du suiveur PMOS.

6.3.1.1. Temps de stabilisation du pixel

Chaque pixel est connecté sur un bus de lecture via un transistor de sélection. La capacité parasite de ce bus de lecture peut être importante. Il faut mesurer le temps de stabilisation quand un pixel est sélectionné. Pour mesurer ce temps de stabilisation en fonction du courant de polarisation, nous avons utilisé une DEL-IR dont le courant de polarisation I_{DEL} est fixé à 0,13mA. Comme il est impossible de mesurer directement le

courant de polarisation $I_{Bias_{pixel}}$ d'un seul suiveur PMOS, nous avons relevé le courant de polarisation $I_{tot_{Bias_{pixel}}}$ total de la matrice entière au niveau de l'alimentation du circuit. Ensuite, pour connaître le courant de polarisation appliqué à un seul suiveur, nous divisons $I_{tot_{Bias_{pixel}}}$ par le nombre de pixels ($160 \times 120 = 19200$). Nous pouvons déterminer de la même manière les courants de polarisation du suiveur PMOS du circuit de lecture et de l'AOP du circuit de compensation mais il faut diviser le courant mesuré par 160 (nombre de cellules se trouvant sur la même ligne).

Les signaux de sélection du pixel et de lecture sont tous les deux à '1'. Le chronogramme programmé pour mesurer le temps de stabilisation de la tension de sortie du pixel est représenté dans la figure 6-9.

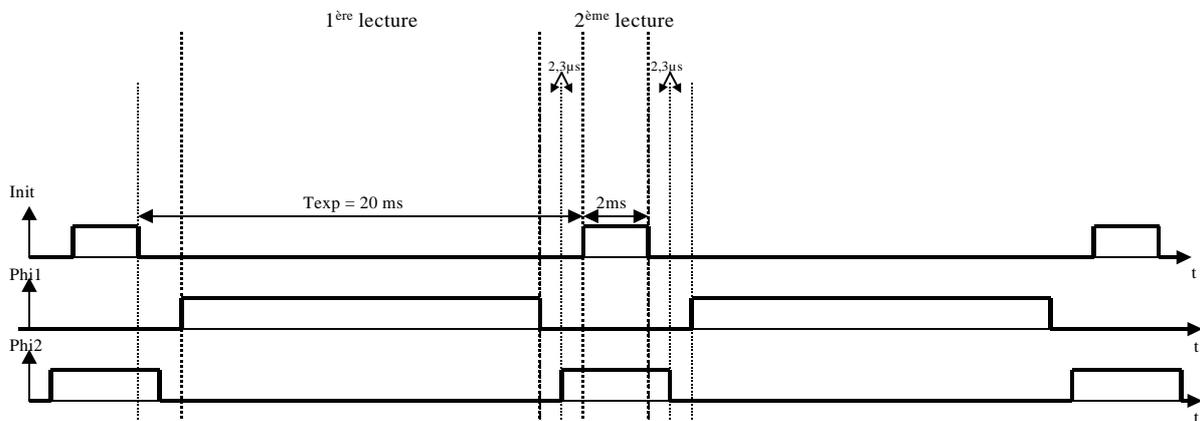


Figure 6-9 : Chronogramme des commandes pour mesurer le temps de stabilisation de la tension à la sortie du pixel Log-PV.

Les courants de polarisation appliqués au circuit de lecture et au circuit de compensation, $I_{Bias_{lec}}$ et I_{AOP} sont fixés respectivement à $1,9\mu A$ et à $14\mu A$. D'après les mesures ultérieures (figures 6-14 et 6-19), ces courants de polarisation assurent une rapidité suffisante pour cette mesure. La figure 6-10 montre la réponse du pixel Log-PV, pour différents courants de polarisation $I_{Bias_{pixel}}$, pendant la deuxième lecture. Elle représente le début de la phase d'initialisation du pixel.

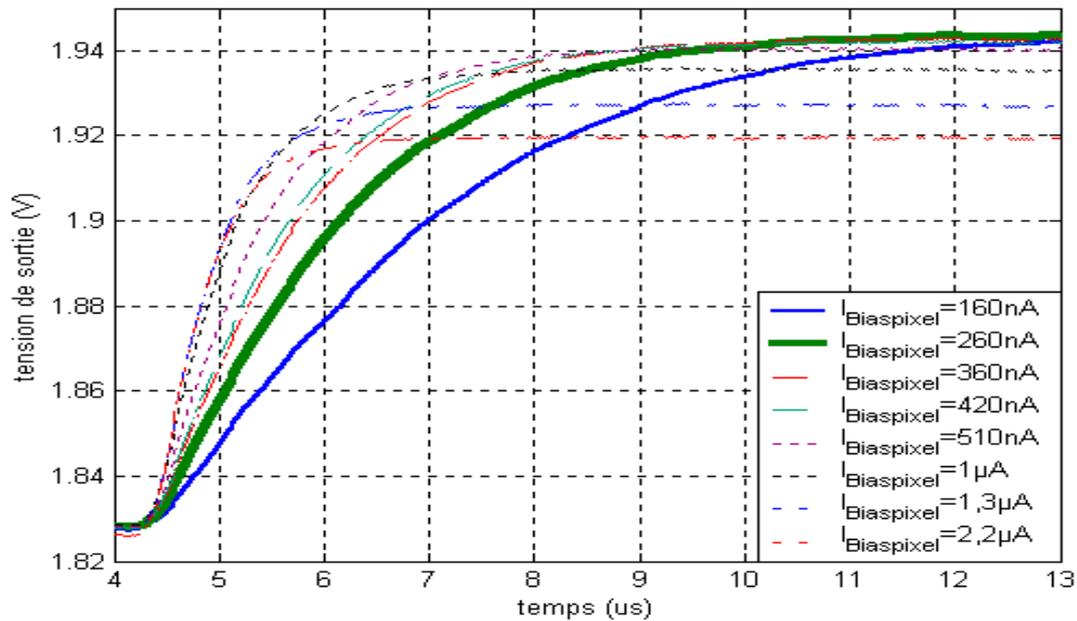


Figure 6-10 : Réponse du pixel avec différents courants de polarisation du suiveur PMOS du pixel (les courants de polarisation $I_{Bias_{lec}}$ et I_{AOP} sont fixés respectivement à 1,9 μA et 14 μA).

Pendant la deuxième lecture, la commande d'initialisation du pixel est activée (Init à '1'). Cette mise à 1 de l'initialisation du pixel provoque un changement rapide sur l'entrée du suiveur pixel. Ceci nous a permis de mesurer le temps de stabilisation du pixel. Nous observons que le temps de stabilisation diminue avec l'augmentation du courant de polarisation $I_{Bias_{pixel}}$ comme le prévoit notre simulation. Mais nous avons également un autre phénomène : quand $I_{Bias_{pixel}}$ dépasse une certaine valeur (0,8 μA), le gain du suiveur pixel diminue. Cette diminution du gain explique le fait que la sensibilité mesurée est inférieure à la prédiction théorique.

Ce phénomène est la conséquence de la faible taille du transistor de charge du suiveur PMOS (choisi pour minimiser la taille du pixel) et qu'un fort courant de polarisation diminue son impédance de sortie.

Nous voulons que le prototype Log-PV travaille à une cadence vidéo, il faut donc que la réponse soit stable à moins de 4 μs . A partir de ces mesures, nous pouvons constater qu'un courant de polarisation d'environ 1,3 μA est largement suffisant pour atteindre ce but. A cette valeur, nous perdons environ 10% de l'amplitude du signal à la sortie du pixel. Ceci reste acceptable.

6.3.1.2. Injection de charge du transistor d'initialisation

Dans le chapitre 4, nous avons analysé l'injection de charge due au transistor d'initialisation dans un pixel. Nous avons mesuré expérimentalement cette injection de charge. Ici nous observons la réponse d'un pixel juste avant et après son initialisation, nous pouvons voir qu'il y a une diminution brutale de la tension de sortie provoquée par cette injection de charge. Ceci est clairement illustré dans la figure 6-11. Nous mesurons sur cette courbe la tension d'erreur, liée à l'injection de charge, qui est d'environ 29mV. Dans cette mesure, nous avons appliqué une tension de 5V pour l'initialisation du pixel. Cette valeur mesurée (29mV) correspond au pire cas de cette injection de charge.

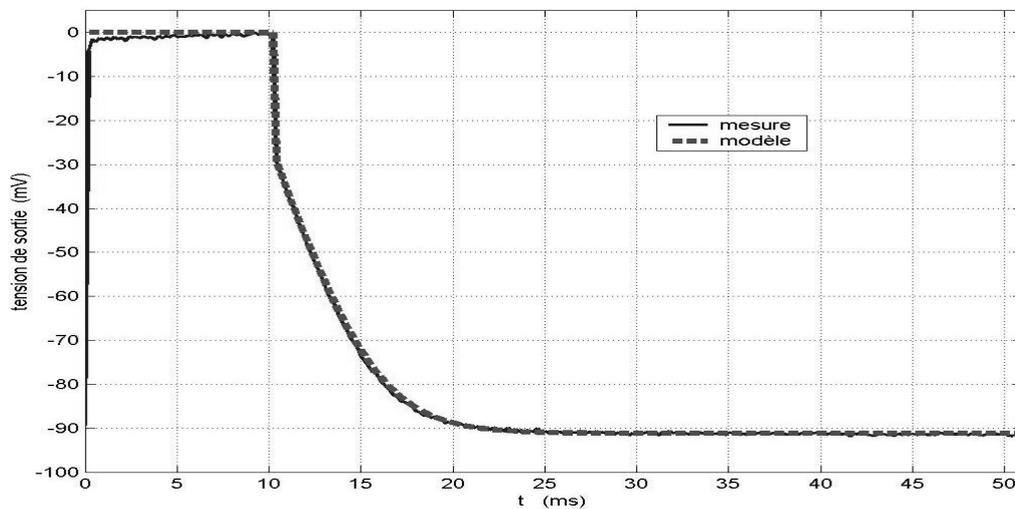


Figure 6-11 : Forme d'onde de la tension de sortie du capteur d'un pixel pour un courant de polarisation de la diode infrarouge $I_{DEL}=0,08\text{mA}$. Nous avons superposé le résultat de simulation à l'aide de Matlab avec les paramètres mesurés extraits du pixel.

6.3.1.3. Extraction des paramètres électriques d'un pixel Log-PV

Grâce à la mesure de l'injection de charge dans un pixel Log-PV, nous pouvons extraire les paramètres électriques de celui-ci. Si nous regardons l'équation de la réponse d'un pixel Log-PV (équation 4-20 du chapitre 4), nous pouvons extraire tous les paramètres inconnus de cette équation. Ces paramètres inconnus sont : I_{ph} , I_s et C_e , car les autres paramètres sont soit connus, soit mesurés. Nous prenons le résultat de la mesure de l'injection

de charge, et nous procédons à une approximation comparative à l'aide de Matlab et nous obtenons le résultat suivant :

- la capacité de jonction $C_e = 82 \text{ fF}$
- le courant de saturation inverse $I_s = 0,3 \text{ fA}$
- le photocourant $I_{ph} = 0,4 \text{ pA}$

Nous avons retracé cette réponse modélisée en la superposant avec la réponse mesurée comme le montre la figure 6-11. Nous pouvons constater une bonne coïncidence entre les deux.

6.3.1.4. Effets du $I_{Bias_{pixel}}$ sur des images acquises

La figure 6-12 montre deux images d'une lampe de puissance 75W vue directement par le capteur Log-PV. Elles ont été acquises avec deux courants de polarisation $I_{Bias_{pixel}}$ différents : (a) $0,5\mu\text{A}$ et (b) $1,25\mu\text{A}$. (Les points noirs sur les images représentent la poussière se trouvant sur la lentille).

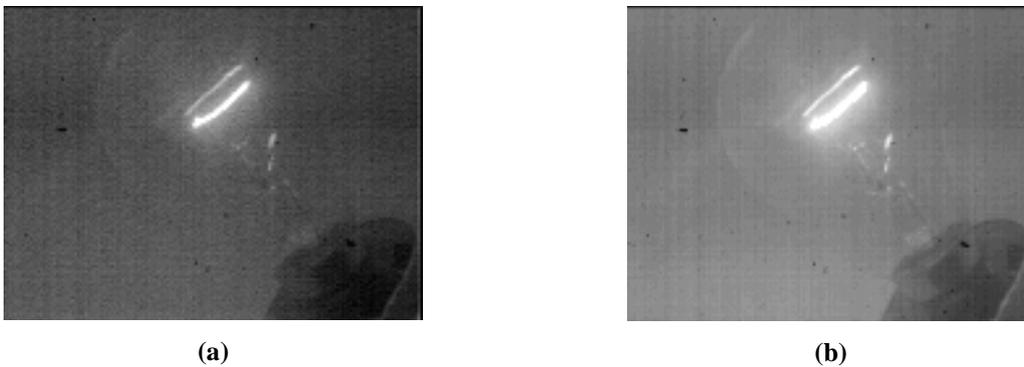


Figure 6-12 : Images acquises avec deux courants de polarisation $I_{Bias_{pixel}}$ différents: (a) $0,5\mu\text{A}$; (b) $1,25\mu\text{A}$ (Les courants de polarisation $I_{Bias_{lec}}$ et I_{AOP} fixés respectivement à $2,5\mu\text{A}$ et $17\mu\text{A}$).

Quand $I_{Bias_{pixel}}$ est faible (figure 6-12 (a)), les doubles lectures, pendant la compensation du BSF, n'ont pas le temps de s'achever complètement. L'image finale obtenue manque de contraste car cette double-lecture prématurée diminue fortement l'amplitude du signal du pixel. Ceci crée également un bruit aléatoire de petits grains sur l'image. Ce bruit granulaire est produit essentiellement par la non-stabilisation du signal du pixel.

Quand la vitesse de lecture du pixel est suffisamment rapide, nous retrouvons un contraste normal comme le montre la figure 6-12 (b). Dans ce cas, la tension à la sortie de tous les pixels de la matrice a le temps de se stabiliser pendant la double-lecture. Par conséquent, nous observons sur l'image qu'il n'y a plus cette effet granuleux. Mais nous distinguons clairement un bruit BSF résiduel en trait vertical, qui est dû à des bruits BSF non-compensés des AOPs dans le circuit de compensation. Nous reviendrons sur ce point dans le paragraphe 6.3.4.

6.3.2. Tests, mesures et analyses du circuit de lecture

La figure 6-13 représente le chronogramme des signaux de commande Init, Phi1, Phi2 et Lec. Ce chronogramme permet de mesurer :

- Le temps de stabilisation en fonction des différents courants de polarisation $I_{Bias_{lec}}$ appliqués au suiveur PMOS du circuit de lecture. Cette mesure se fait quand la commande de lecture passe de '0' à '1'.
- L'injection de charge du transistor d'échantillonnage quand la commande de Lec passe de '1' à '0'.

Pendant toutes ces mesures, nous avons fixé à '1' les commandes de sélection. De plus nous fixons à $1,4\mu A$ le courant de polarisation du pixel $I_{Bias_{pixel}}$ et à $17\mu A$ le courant de polarisation de l'AOP I_{AOP} . Le courant de polarisation I_{DEL} de la DEL-IR est fixé à $0,24mA$.

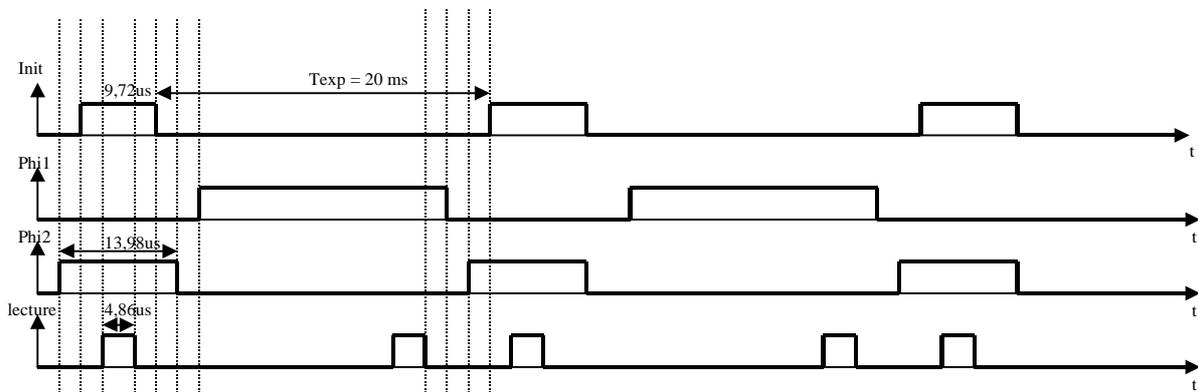


Figure 6-13 : Chronogramme des signaux commandant un pixel et la chaîne de lecture associée du capteur Log-PV permettant de mesurer le temps de stabilisation et l'injection de charge du circuit de lecture.

6.3.2.1. Temps de stabilisation

Nous obtenons les courbes de mesure présentées dans la figure 6-14. Ces courbes ont été mesurées pendant la deuxième lecture, c'est à dire quand Phi2 est à '1'. Nous observons que lorsque le signal de commande de lecture 'Lec' du pixel passe de '0' à '1', la réponse du capteur prend du temps à se stabiliser. Ce temps de stabilisation, comme nous l'avons prédit dans le chapitre 5, est en fonction du courant de polarisation $I_{Bias_{lec}}$ du suiveur PMOS du circuit de lecture. Nous pouvons faire la remarque que ce courant de polarisation n'a pas beaucoup d'influence sur le temps de stabilisation global de la réponse du prototype Log-PV.

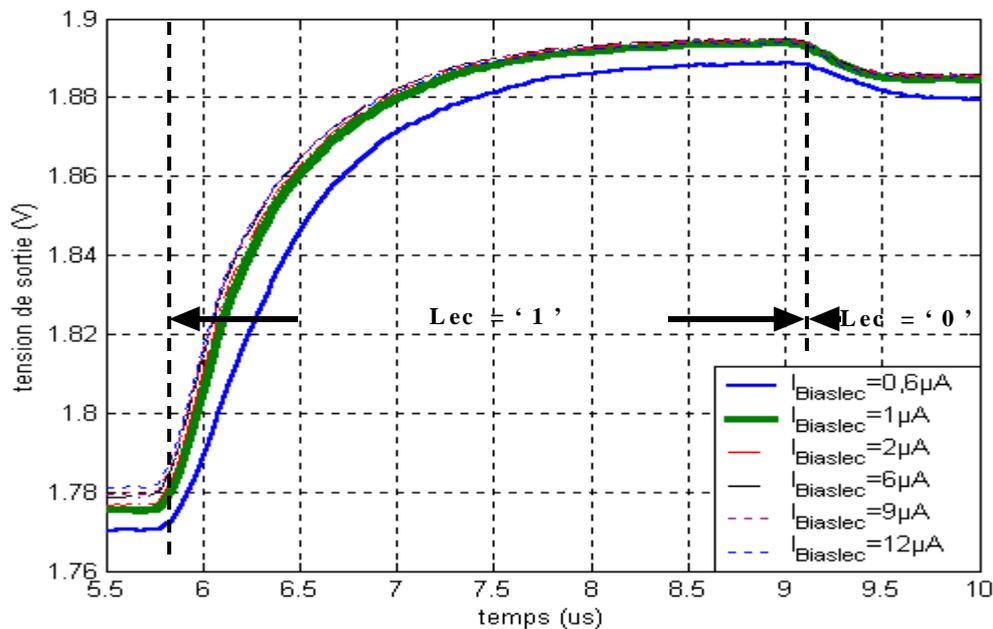


Figure 6-14 : Réponse de la tension de sortie du capteur Log-PV pendant la phase d'initialisation pour différents courants de polarisation $I_{Bias_{lec}}$ du circuit de lecture (les courants de polarisation $I_{Bias_{pixel}}$ et I_{AOP} sont fixés respectivement à 1,4 μA et à 17 μA)

Ce phénomène montre que la vitesse du suiveur de lecture est très grande puisqu'il pousse une charge capacitive assez faible. Le temps de stabilisation observé est lié à un partage de charge entre la capacité de mémorisation à l'entrée du suiveur de lecture. En effet, ce temps de stabilisation ici est plutôt lié à la vitesse du suiveur PMOS du pixel. Cela explique bien cette relative invariance du temps de stabilisation en fonction du courant de polarisation $I_{Bias_{lec}}$ quand celui-ci dépasse une certaine valeur.

Pour que ce capteur atteigne une cadence vidéo, nous avons fixé pendant la conception du circuit de lecture, un temps de stabilisation d'environ $2\mu\text{s}$. Par conséquent, le courant de polarisation $I_{Bias_{lec}}$ de valeur $1\mu\text{A}$ est suffisant pour obtenir ce temps.

6.3.2.2. Injection de charge du transistor d'échantillonnage

La figure 6-15 montre la réponse du circuit de lecture dont le courant de polarisation $I_{Bias_{lec}}$ est fixé à $2\mu\text{A}$.

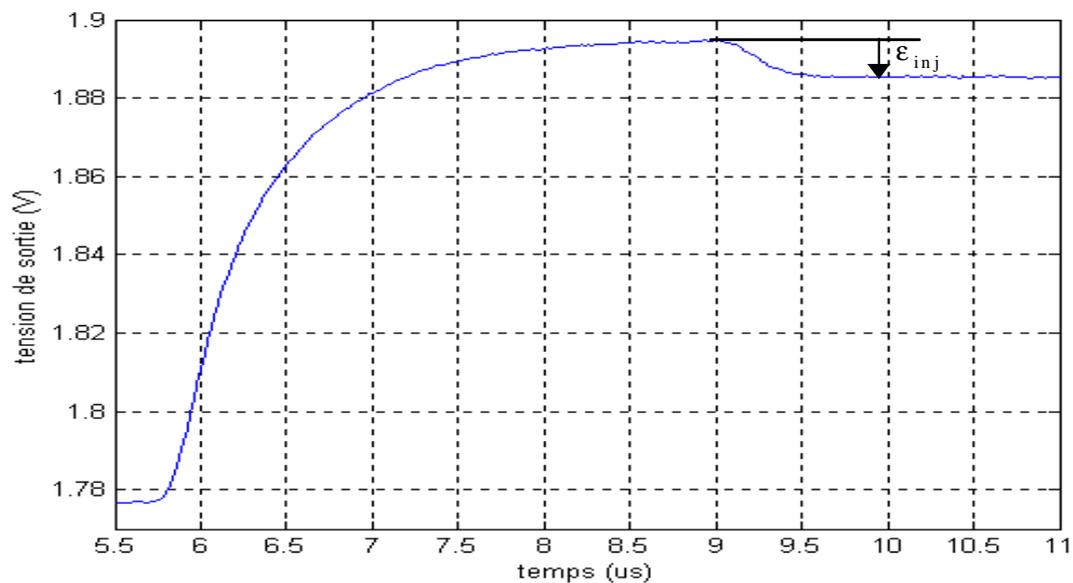


Figure 6-15 : Mesure de l'injection de charge du transistor d'échantillonnage.

Nous observons un abaissement de la tension de sortie dû à l'injection de charge quand le transistor d'échantillonnage passe de l'état passant à l'état bloqué. Cette tension d'erreur ϵ_{inj} est d'environ 9mV .

6.3.2.3. Acquisition d'images montrant l'effet du courant de polarisation $I_{Bias_{lec}}$

Les images représentées sur la figure 6-16 ont été acquises en fixant les courants de polarisation $I_{Bias_{pixel}}$ à $1,4\mu\text{A}$ et I_{AOP} à $17\mu\text{A}$.

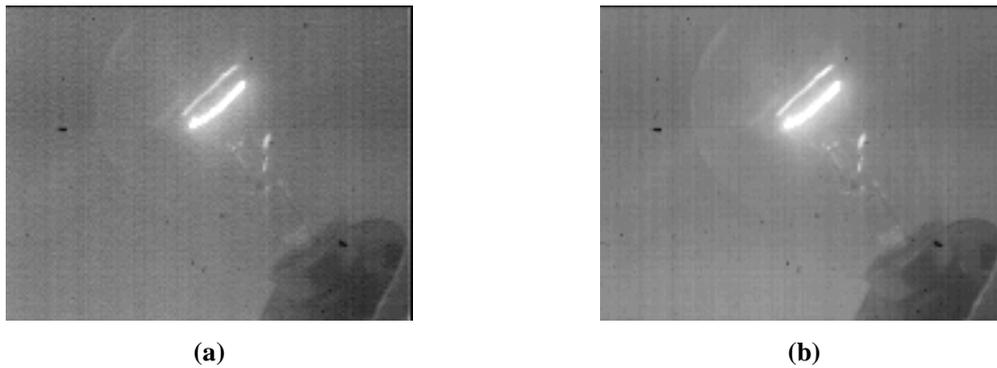


Figure 6-16 : Images acquises avec différents courants de polarisation $I_{Bias_{lec}}$ du circuit de lecture :
 (a) $0,6\mu A$; (b) $2,5\mu A$. Les courants de polarisation $I_{Bias_{pixel}}$ et I_{AOP} fixés respectivement à $1,4\mu A$ et $17\mu A$.

La figure 6-16 (a) montre le cas où le courant de polarisation du suiveur du circuit de lecture $I_{Bias_{lec}}$ est très faible (ici $0,6\mu A$). L'image se trouvant sur la figure 6-16 (b) est obtenue quand le courant de polarisation est égal à $2,5\mu A$. Nous observons un effet similaire à celui du courant de polarisation $I_{Bias_{pixel}}$ du suiveur du pixel, comme nous l'attendions.

6.3.3. Test, mesure et analyse du circuit de compensation du BSF

6.3.3.1. L'influence du courant de polarisation de l'AOP sur le temps de stabilisation

Pour mesurer l'influence du courant de polarisation I_{AOP} du circuit de compensation du BSF, nous avons configuré les signaux de contrôle du pixel et du circuit de compensation du BSF comme le montre la figure 6-17. Nous avons utilisé les signaux S1 et S2 qui contrôlent les transistors de sortie (voir paragraphe 5.7). Dans cette mesure, le signal S1 permet de connecter la sortie du circuit de compensation à la sortie du capteur. Le signal S2 la polarise à une certaine tension (ici à $1,49V$), ceci évite que la sortie soit flottante pendant la non sélection du pixel. Le courant de polarisation I_{DEL} de la DEL-IR est fixé à $0,24mA$ et les courants de polarisation du pixel et du circuit de lecture sont respectivement fixés à $1,4\mu A$ et à $2\mu A$.

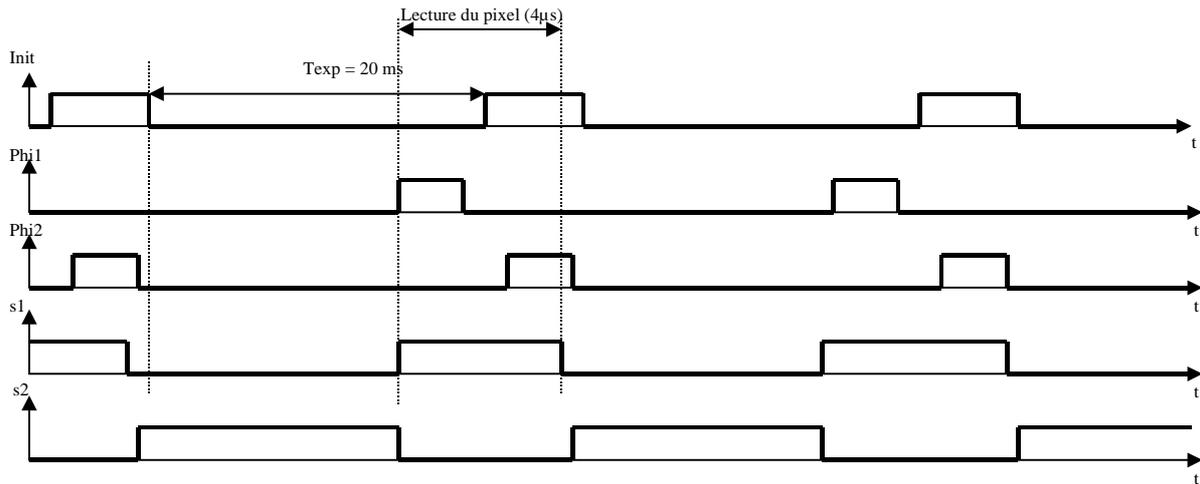


Figure 6-17 : Chronogramme des signaux commandant un pixel et la chaîne de lecture associé du capteur Log-PV permettant de mesurer l'influence de la tension de polarisation de l'AOP.

La figure 6-18 montre les réponses obtenues, dans la phase de lecture du pixel, pour différents courants de polarisation I_{AOP} . Quand le transistor commandé par le signal Phi2 est activé, l'AOP génère un signal de sortie compensé de BSF. Nous pouvons remarquer que le temps de stabilisation du signal diminue rapidement quand le courant de polarisation augmente. Ce temps de stabilisation représente la vitesse de fonctionnement pour la compensation du BSF.

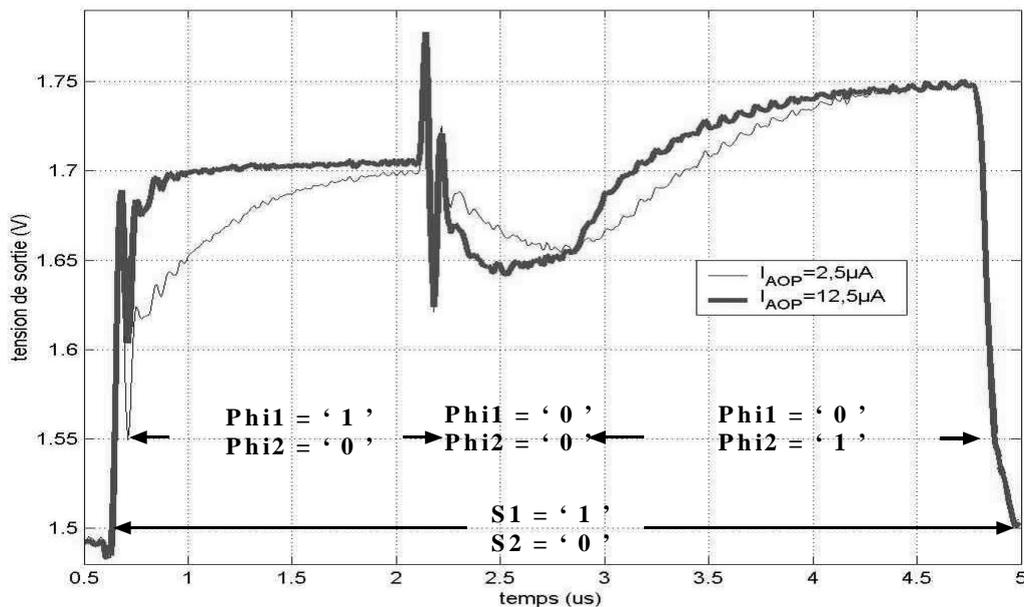


Figure 6-18 : Réponse du pixel pour différents courants de polarisation I_{AOP} de l'AOP. Les courants de polarisation $I_{Biaspixel}$ et $I_{Biaslec}$ sont fixés respectivement à $1,4\mu A$ et à $2\mu A$.

Afin de mesurer la vitesse intrinsèque de l'AOP (en configuration suiveur), nous avons observé la réponse du circuit de compensation quand le signal Phi1 passe de '0' à '1'. La figure 6-19 montre le résultat de cette mesure avec différents courants de polarisation I_{AOP} . Le signal Init est activé tout au long de cette mesure (simulation de l'obscurité totale). Nous remarquons que ce temps de stabilisation décroît rapidement avec le courant I_{AOP} , lorsqu'il est supérieur à $6\mu\text{A}$, ce temps est inférieur à $1\mu\text{s}$.

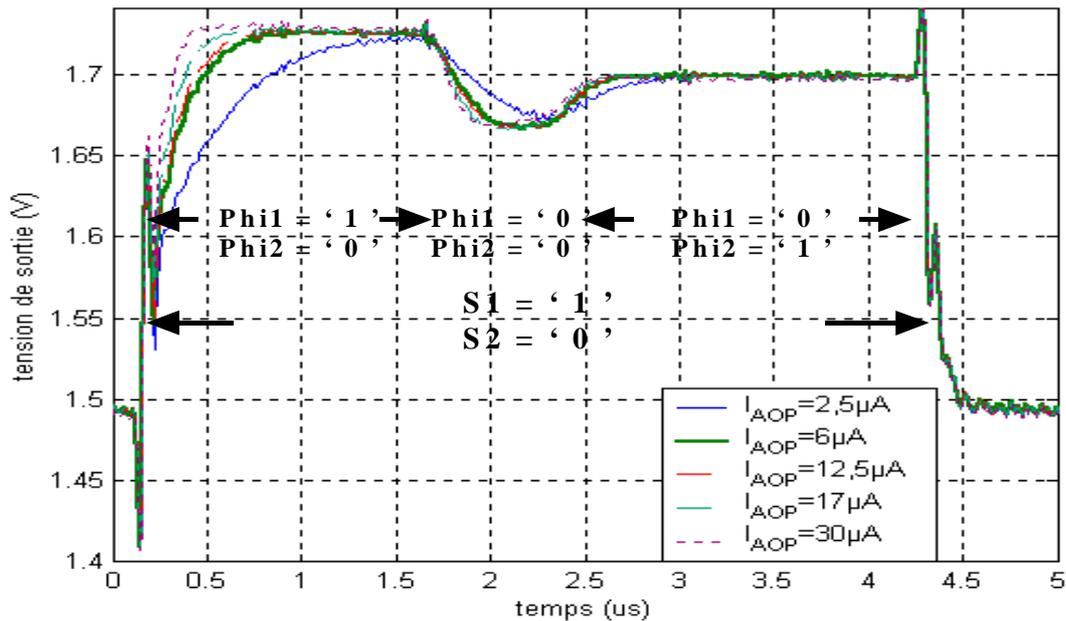


Figure 6-19 : Temps de montée et de stabilisation de la tension de sortie du circuit de compensation pour différents courants de polarisation I_{AOP} . Les courants de polarisation $I_{Biaspixel}$ et $I_{Biaslec}$ sont fixés respectivement à $1,4\mu\text{A}$ et à $2\mu\text{A}$.

Nous voulons, comme nous l'avons dit précédemment, un temps de lecture du pixel de $4\mu\text{s}$ dont $2\mu\text{s}$ pour chaque lecture. Les figures 6-18 et 6-19 montrent que le temps de stabilisation le plus critique est quand le signal phi2 est activé, c'est à dire pendant la lecture du résultat de la compensation du BSF. Par conséquent, il nous faudra par la suite fixer le courant de polarisation I_{AOP} de l'ordre de $17\mu\text{A}$ pour être sûr que le temps de stabilisation pendant cette phase soit inférieur à $2\mu\text{s}$.

6.3.3.2. Temps de stabilisation pendant le balayage d'une ligne

Le circuit de compensation du BSF joue deux rôles. Premièrement il permet de compenser le bruit spatial fixe pendant la lecture d'une ligne de la matrice. Deuxièmement il permet de pousser le bus de sortie pendant le balayage de cette ligne. Par conséquent, il doit assurer une vitesse de balayage suffisante pour une cadence vidéo (c'est à dire la lecture d'une ligne de 52µs).

Dans le paragraphe précédent, nous avons mesuré le temps de stabilisation intrinsèque de cet AOP dans le circuit de compensation. Nous devons maintenant mesurer le temps de stabilisation de l'AOP en mode balayage, pour nous assurer que celui-ci permettra de faire un balayage de la ligne compensée à la cadence vidéo. Pour obtenir cette cadence, il faut que le temps de balayage d'un pixel soit de 325ns.

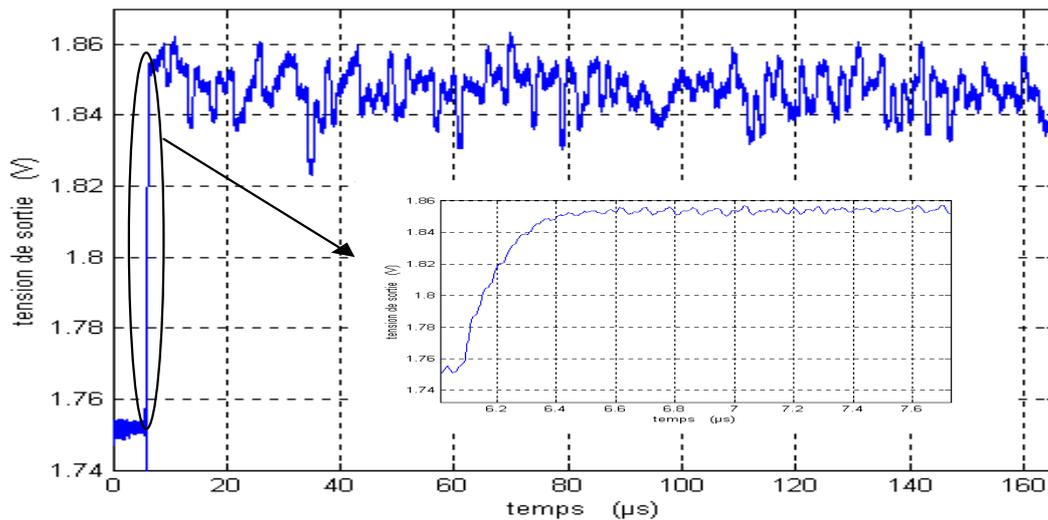


Figure 6-20 : Réponse de balayage quand Phi1 est activé et Phi2 est désactivé pendant les deux lectures (les courants de polarisation $I_{Bias_{pixel}}$, $I_{Bias_{lec}}$ et I_{AOP} sont fixés respectivement à 1,4µA et 2µA et 17µA).

Pour faire cette mesure, nous avons fixé constamment le signal Phi1 à '1' et nous faisons un balayage avec différents courants de polarisation I_{AOP} . La figure 6-20 montre cette forme d'onde du balayage avec les courants de polarisation $I_{Bias_{pixel}}=1,4\mu A$, $I_{Bias_{lec}}=2\mu A$ et $I_{AOP}=17\mu A$. La sortie de ce balayage correspond en fait aux tensions d'offset des différents AOPs et nous utilisons ce BSF pour mesurer la vitesse de balayage. Nous avons représenté sur la figure 6-20 un agrandissement de la réponse du premier circuit de compensation. Nous

pouvons observer que le temps de stabilisation, pour un courant de polarisation I_{AOP} de $17\mu\text{A}$, est de 248ns . Ce courant est suffisant pour atteindre la cadence vidéo.

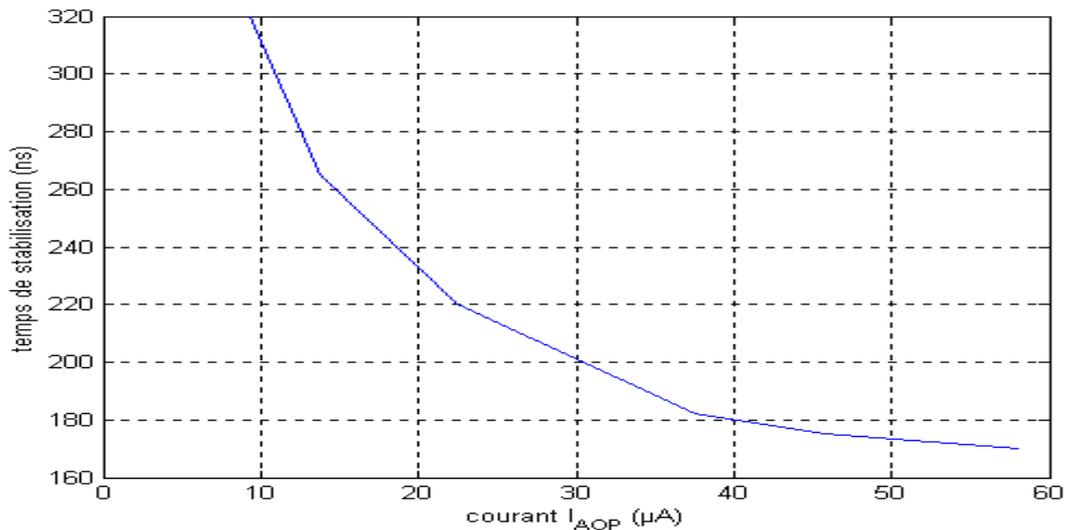


Figure 6-21 : Temps de stabilisation de l'AOP en mode balayage en fonction de son courant de polarisation I_{AOP} .

La figure 6-21 montre la relation entre le courant de polarisation I_{AOP} de l'AOP et le temps de stabilisation. Nous pouvons remarquer que le temps de stabilisation est proportionnel à $1/\sqrt{I_{AOP}}$. Ceci montre que nous pouvons difficilement augmenter la rapidité de l'AOP par une augmentation de son courant de polarisation quand celui-ci dépasse un certain seuil. Une autre solution permettant de réduire le temps de stabilisation tout en limitant la consommation de l'AOP est d'augmenter le rapport W/L des transistors dans l'AOP.

Nous pouvons aussi observer sur la figure 6-20 que la réponse de la ligne de circuits de compensation n'est pas égale à la tension de référence V_{ref} . Cela est dû au fait que la tension d'offset V_{os} (composée des tensions d'offset V_{osa} et V_{osy}) de chaque AOP n'est pas identique.

6.3.3.3. Injection et absorption de charge

Pour visualiser l'influence des injections de charge dues aux transistors du circuit de compensation commandés par Phi1 et Phi2, nous avons configuré les signaux de contrôle pour qu'ils fonctionnent en mode de compensation BSF. Mais pendant toute la mesure nous avons fixé le signal d'initialisation Init à '1' (simulation d'une obscurité totale), le courant de polarisation de l'AOP I_{AOP} à $17\mu A$ et la tension de référence du transistor commandé par le signal S2 à 1,76V.

La figure 6-22 montre l'évolution du signal à la sortie du capteur. Nous remarquons que, quand Phi1 passe de l'état '1' à '0', la tension de sortie s' abaisse à cause de l'injection de charge des transistors commandés par ce signal.

Quand Phi2 passe de l'état '0' à '1', le transistor commandé par ce signal absorbe des charge. Grâce à cette mesure, nous pouvons estimer la tension d'offset de l'AOP, et de l'injection et de l'absorption de charge induites par des transistors de commutation.

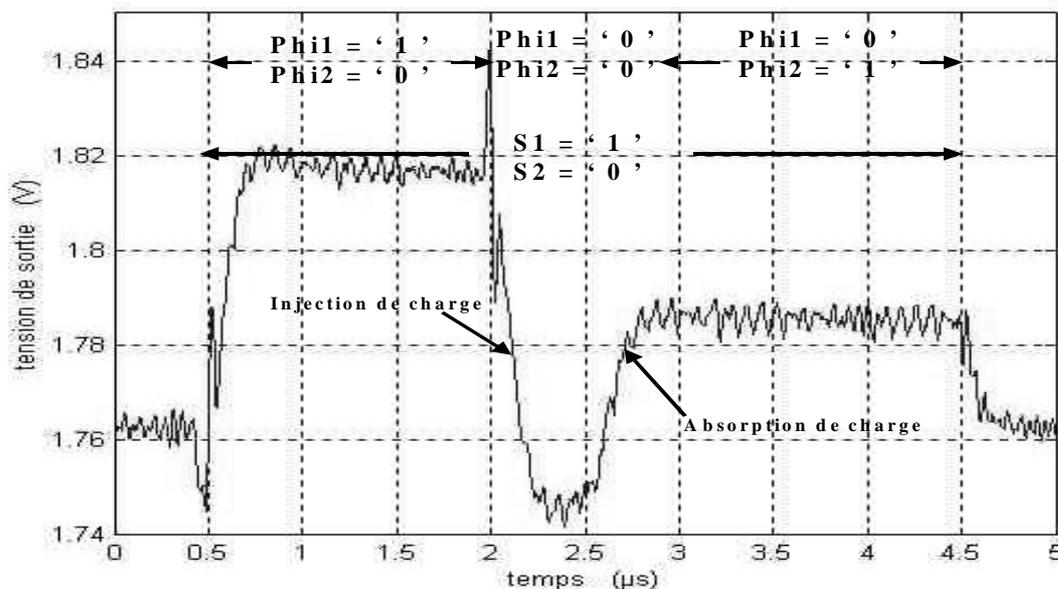


Figure 6-22 : Influence de l'injection et de l'absorption de charge induites par les transistors commandés par Phi1 et Phi2.

Grâce à cette mesure et sachant que la tension de référence V_{ref} du circuit de compensation est de 1,8V et que le gain différentiel de l'AOP est d'environ 94, nous pouvons déterminer les tensions d'erreur dues à l'injection et à l'absorption de charge induites par les transistors composants le circuit de compensation.

Pendant la phase où Phi1 est à '1', la tension d'offset V_{os} due à l'AOP peut être estimée à -49mV (voir 5-11). Quand le signal Phi1 passe de '1' à '0', la tension d'erreur ΔV_2^1 induite par l'injection de charge des transistors commandés par celui-ci sur la tension de sortie est égale à -71mV (voir 5-35). Dans la phase où Phi2 est à '1', la tension d'erreur ε_{inj} (composée des tensions d'erreur dues à l'injection ΔV_2^1 et à l'absorption de charge ΔV_2^2) lue à la sortie du capteur pendant le balayage du pixel est estimée à 18mV (5-42). Cela correspond à une tension de sortie de 18mV en-dessous de la tension de référence V_{ref} .

Nous voyons bien par ces mesures, que la tension de sortie du capteur après la compensation BSF sera composée du signal image mais aussi des erreurs dues à l'injection et à l'absorption de charge. Mais l'erreur dominante est celle induite par l'injection de charge des transistors commandés par le signal Phi1. En effet, si ce signal n'a pas le même temps de descente sur toute la ligne de circuit de compensation, l'injection de charge sera différente sur toute une ligne. Par conséquent, nous allons mesurer et analyser la forme de la réponse pour différents pixels sur la même ligne dans le paragraphe suivant.

6.3.3.4. Problème d'uniformité

Afin de mesurer cette uniformité de l'image, nous avons mesuré les tensions de sortie de différents circuits de compensation tout en maintenant une initialisation permanente d'une ligne de pixels de la matrice. La figure 6-23 montre les mesures de trois pixels de la ligne 60 de la matrice avec les courants de polarisation $I_{Bias_{pixel}}=1,4\mu A$, $I_{Bias_{lec}}=2\mu A$ et $I_{AOP}=17\mu A$. Nous observons que sur cette ligne, les pixels n'ont pas la même quantité de charge injectée quand Phi1 passe de '1' à '0' et cela se répercute quand Phi2 est à '1'.

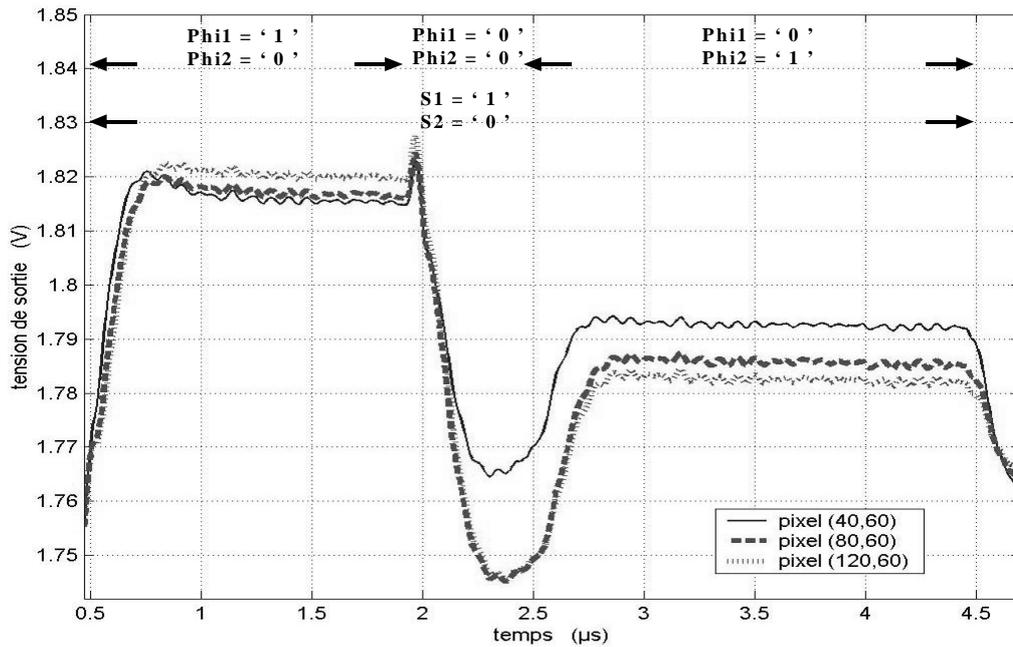


Figure 6-23 : Réponse de trois pixels de la ligne 60 dont les ordonnées sont 40, 80 et 120.

Après une analyse approfondie, nous avons identifié que ceci est l'effet de l'utilisation d'une ligne de polysilicium pour véhiculer les signaux de commande $\Phi 1$, $\Phi 2$ et $\Phi 3$ (voir Fig. 5-19). En effet le process CMOS que nous avons utilisé ne possède pas de lignes Poly en silice, la résistance de ligne Poly est beaucoup plus élevée par rapport à notre estimation. Cette ligne Poly fortement résistive forme un réseau de filtres passe-bas, elle peut être modélisée par le schéma représenté dans la figure 6-24. Dans cette modélisation Φ_{ix} représente les signaux $\Phi 1$, $\Phi 2$ et $\Phi 3$, Φ_{ix_n} (n allant de 1 à 160) est connecté au n^{ième} circuit de compensation et R_{in} est la résistance d'entrée.

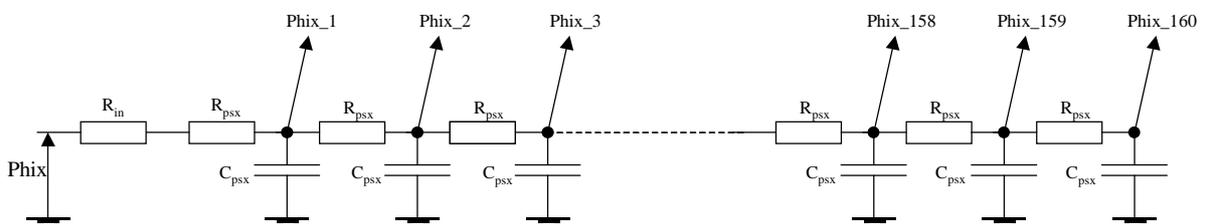


Figure 6-24 : Modélisation d'une ligne en polysilicium.

Les temps de montée et de descente des signaux de commande sont différents pour chaque pixel de la même ligne, comme le montre les simulations réalisées à l'aide du logiciel

T-Spice dans la figure 6-25. Ces simulations ont été faites en prenant les valeurs de la résistance et de la capacité de la ligne de polysilicium extraites à partir du dessin de masque sur L-Edit. Nous obtenons pour la ligne de polysilicium qui véhicule le signal Phi1 : $R_{in} = 100\Omega$, $R_{ps1} \cong 450\Omega$ et $C_{ps1} \cong 14 fF$. Nous avons fixé le temps de montée et le temps de descente du signal Phi1 à 10ns.

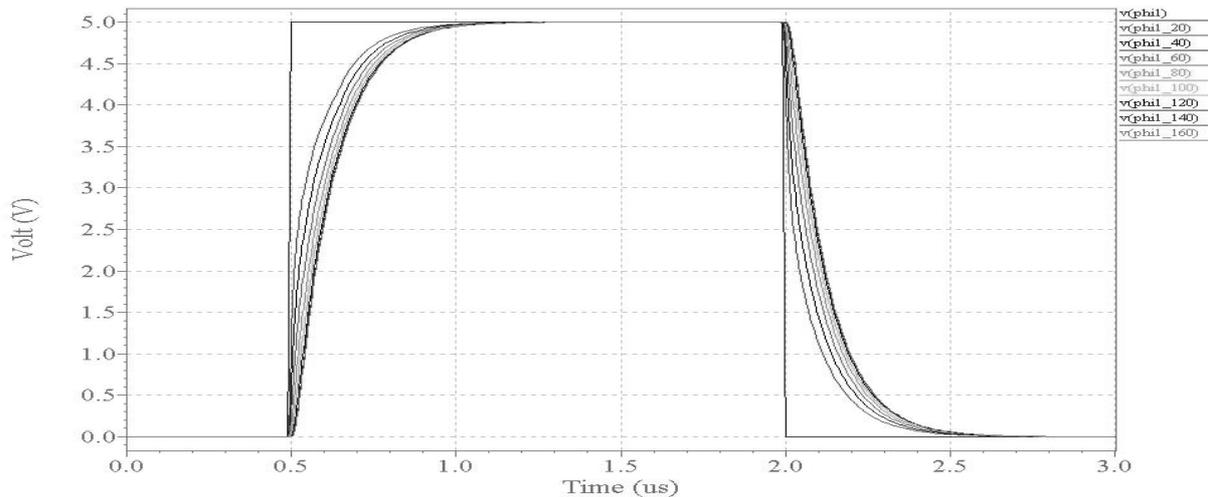


Figure 6-25 : Allure du signal de commande Phi1 pour les circuits de compensation n°1, 20, 40, 80, 120, 140 et 160.

Nous pouvons voir sur le résultat de simulation (figure 6-25), que les signaux Phi1_n ne possèdent pas la même forme d'onde selon leur position. Cela introduit différentes quantités de charge injectées dans le circuit à capacité commutée associé à chaque circuit de compensation. En effet, la quantité de charge injectée dépend du temps de descente du signal qui commande ces transistors.

Dans toutes nos analyses théoriques (voir paragraphe 5.4.1), nous avons supposé que le signal de commande Phi3 est identique au signal Phi1. Mais physiquement sur la puce, ils sont véhiculés par deux lignes Poly différentes, ces deux signaux n'ont pas la même forme d'onde. Par conséquent, leur réseau de filtres passe bas ne sont pas identiques. Nous avons extrait les composantes de la ligne du signal Phi3 : sa résistivité $R_{ps3} \cong 370\Omega$ et sa valeur capacitive $C_{ps3} \cong 13 fF$. Pour le signal Phi2, nous obtenons $R_{ps2} \cong 488\Omega$ et $C_{ps2} \cong 14 fF$.

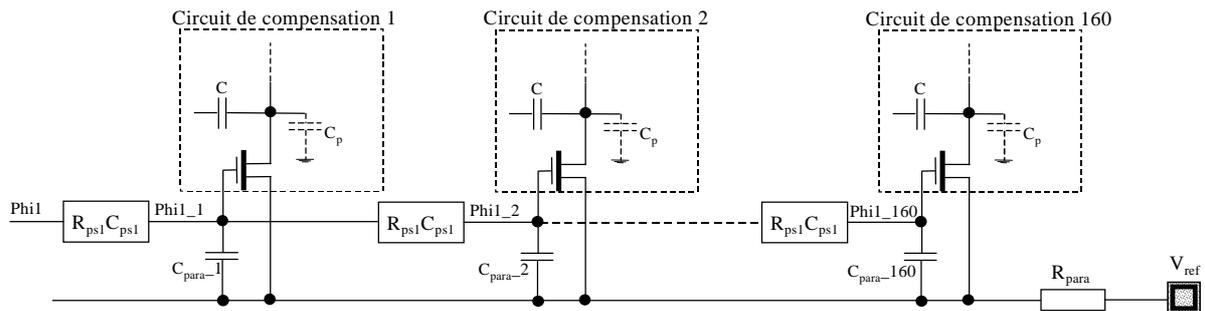


Figure 6-26 : Schématisation de l'effet parasite entre le signal Phi1 et la tension de référence du circuit de compensation du BSF.

Une ligne en métal1 a été utilisée pour véhiculer la tension de référence V_{ref} dans les circuits de compensation, mais ce signal est connecté sur un plot analogique via une ligne Poly ayant une résistance $R_{para} \cong 200k\Omega$. Dû à un effet capacitif, il y a une dépendance de V_{ref} par rapport au signal Phi1. Cet effet est schématisé dans la figure 6-26 où $C_{para} = 0,5 pF$ est la capacité représentant la somme de toutes les capacités parasites C_{para_n} entre la ligne Phi1 et la ligne V_{ref} .

Le résultat de la simulation obtenue est représenté sur la figure 6-27. Nous constatons le même phénomène que celui observé d'après les mesures représentées sur la figure 6-24.

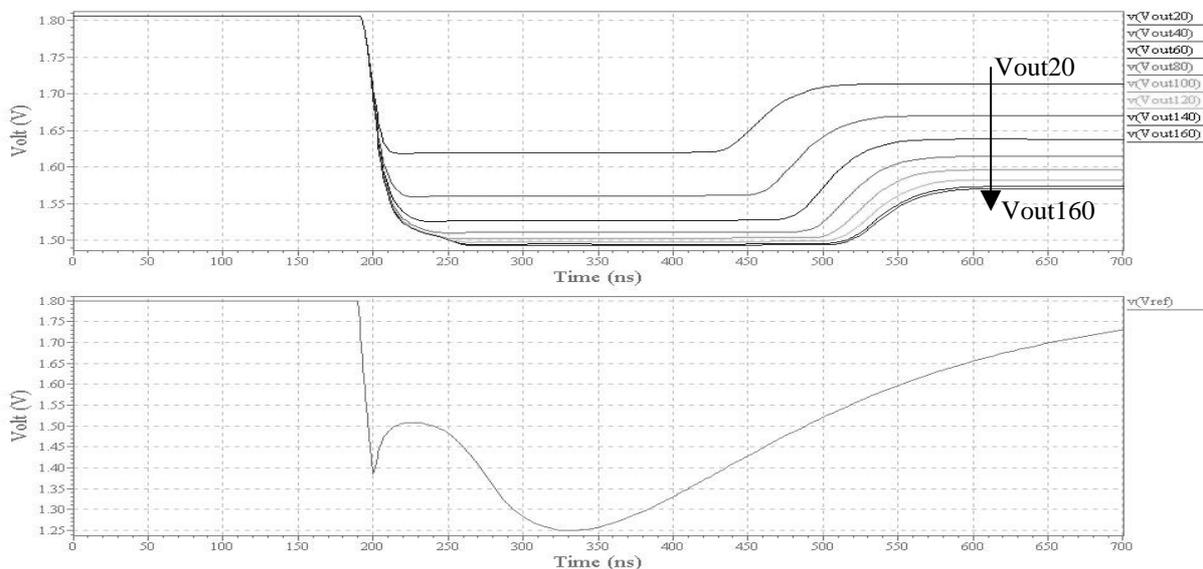


Figure 6-27 : Simulation sur T-Spice de la réponse de huit circuits de compensation.

Nous pouvons conclure que le problème d'uniformité est dû à la différence de quantité de charge injectée dans le réseau capacitif des circuits de compensation. En effet, nous avons

utilisé des lignes en polysilicium très résistives et capacitives (réseau de filtre passe-bas) pour véhiculer les signaux de commande. Mais aussi il y a un effet capacitif entre la tension de référence V_{ref} et le signal Phi1. Par conséquent, cette tension est instable quand le signal Phi1 transite de '1' à '0'.

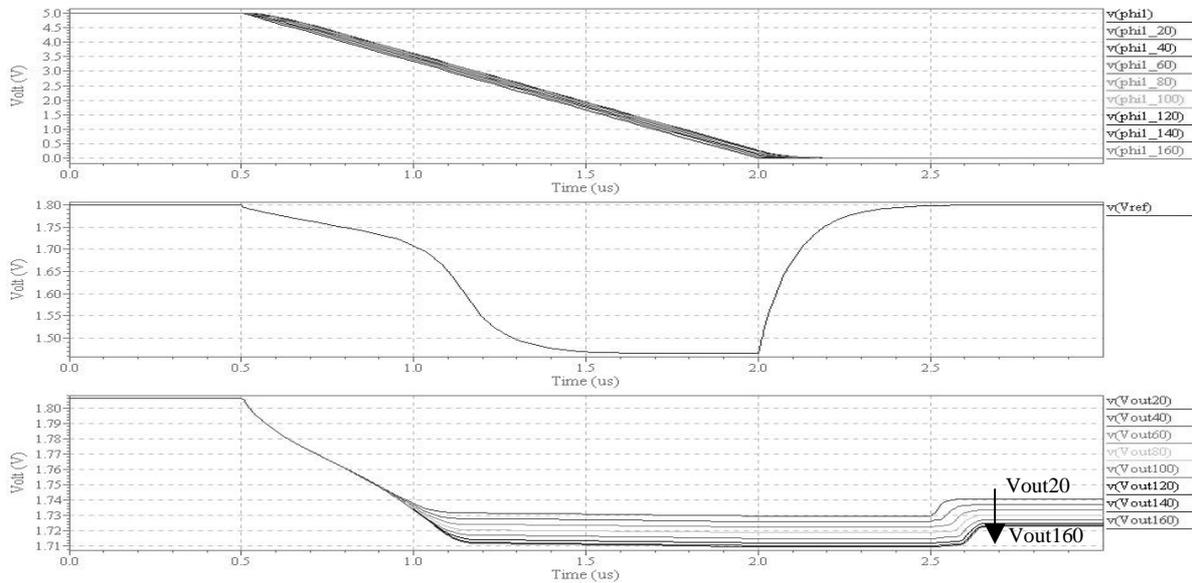


Figure 6-28 : Simulation de la réponse de huit circuits de compensation dont le front descendant du signal Phi1 dure 1,5µs.

Par simulation, nous pouvons réduire ces deux problèmes en augmentant le temps de descente du signal Phi1. Si le signal Phi1 a un front descendant lent, les signaux Phi1_n à différentes positions deviennent presque identiques à l'exception d'un délai entre eux (voir figure 6-28). Pour l'injection de charge, c'est la forme d'onde qui importe mais pas le délai. Ce 'ralentissement' du signal Phi1 réduit également l'effet capacitif entre la tension de référence V_{ref} et le signal Phi1.

Afin de vérifier cette conclusion, nous avons procédé à une expérience avec un signal Phi1 de différents temps de descente. Cette expérience a été faite avec un réseau RC entre la sortie d'un microcontrôleur et le plot d'entrée Phi1 du capteur Log-PV. La figure 6-29 montre les résultats de cette expérience. Nous pouvons constater que la ligne d'image devient uniforme quand le temps du front descendant est égal ou supérieur à 1,85µs. Nous observons qu'il y a un bruit spatial fixe résiduel à la sortie de chaque circuit de compensation mais que ce bruit spatial fixe est identique dans toutes les mesures. Ce BSF résiduel du circuit de compensation sera mesuré et analysé dans le paragraphe 6.3.4.

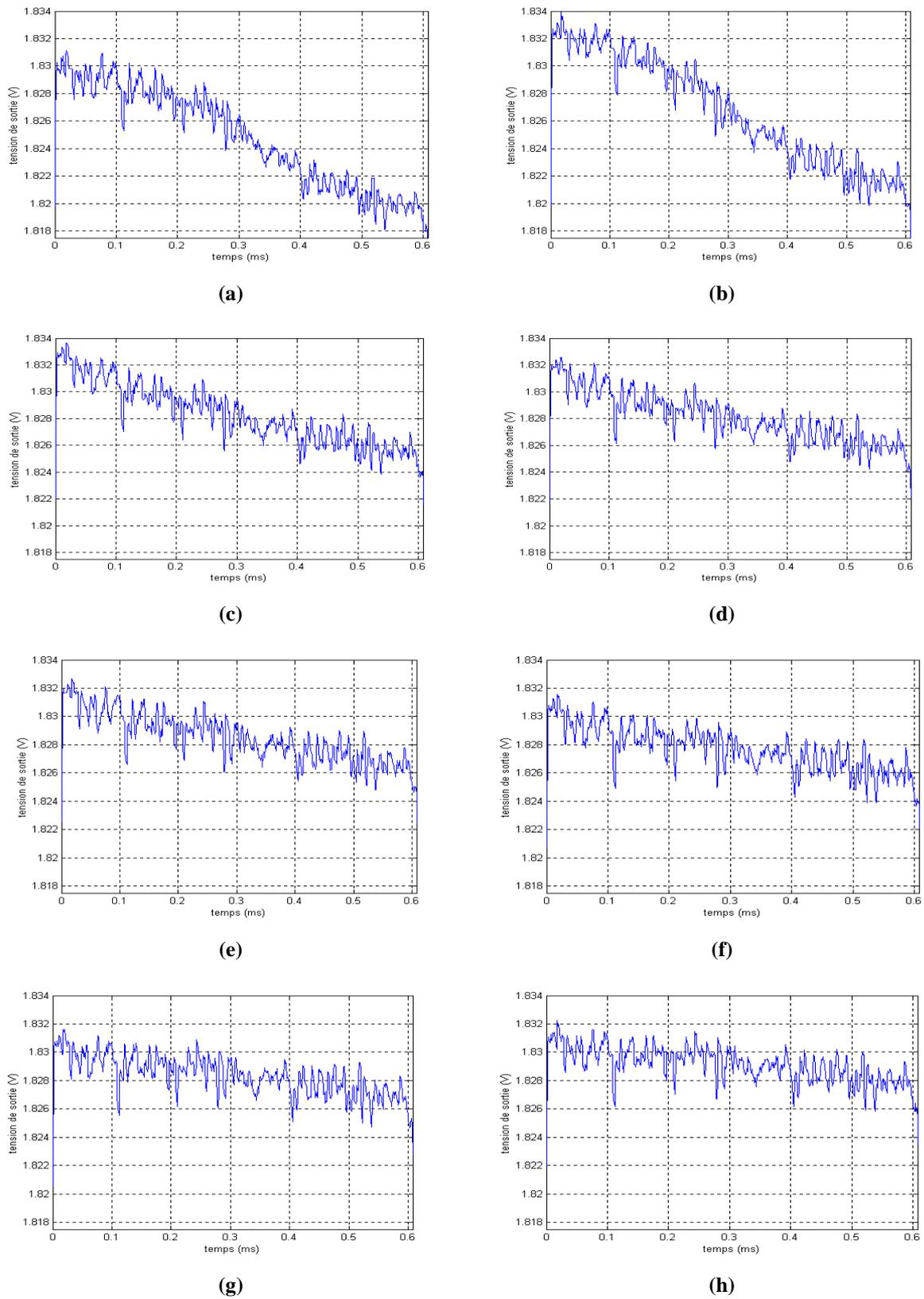


Figure 6-29 : Réponse des circuits de compensation du BSF du capteur Log-PV en fonction du temps de descente de Phi1 : (a) $t_{\text{descente}}=20\text{ns}$; (b) $t_{\text{descente}}=120\text{ns}$; (c) $t_{\text{descente}}=1,14\mu\text{s}$; (d) $t_{\text{descente}}=1,6\mu\text{s}$; (e) $t_{\text{descente}}=1,85\mu\text{s}$; (f) $t_{\text{descente}}=2,28\mu\text{s}$; (g) $t_{\text{descente}}=2,78\mu\text{s}$; (h) $t_{\text{descente}}=3,25\mu\text{s}$.

6.3.3.5. L'effet du courant de polarisation I_{AOP} sur l'image de sortie

Les images représentées sur la figure 6-30 ont été acquises avec deux courants de polarisation de l'AOP. Dans cette acquisition les courants $I_{Bias_{pixel}}$ et $I_{Bias_{tec}}$ sont fixés à $1,4\mu A$ et à $2\mu A$. Ces courants de polarisation permettent une rapidité de fonctionnement suffisante afin d'observer seulement l'influence du courant de polarisation I_{AOP} sur les images à la sortie du capteur.

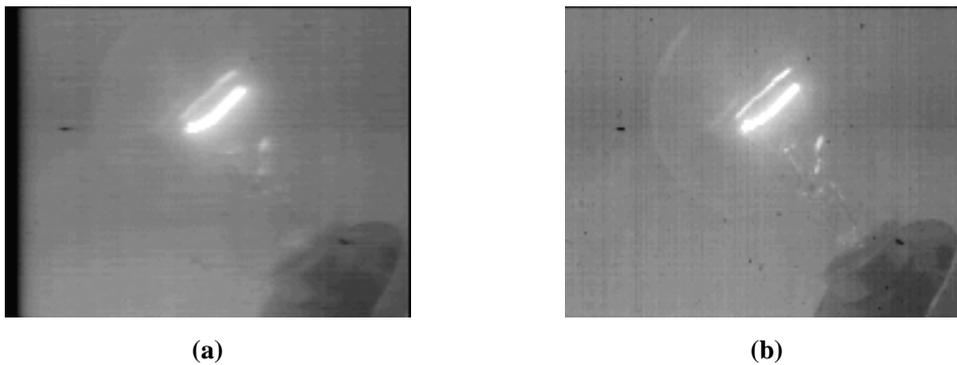


Figure 6-30 : Images acquises pour différents courants de polarisation I_{AOP} de l'AOP du circuit de compensation: (a) $0,6\mu A$; (b) $14\mu A$. Les courants de polarisation $I_{Bias_{pixel}}$ et $I_{Bias_{tec}}$ sont fixés respectivement à $1,4\mu A$ et $2\mu A$.

L'image de la figure 6-30 (a) est acquise avec un I_{AOP} très faible ($0,6\mu A$). En effet, quand cette polarisation est faible, le courant de sortie produit par les circuits de compensation est trop faible pour pousser le bus de sortie. La bande noire observée dans cette image montre bien l'effet d'une trop faible vitesse de fonctionnement des circuits de compensation pendant le balayage. De plus, nous remarquons aussi que cette faible vitesse de fonctionnement entraîne également un effet de « lissage » sur l'image de sortie. Quand nous augmentons ce courant I_{AOP} à un niveau correct ($14\mu A$), nous avons une image de sortie correcte comme la montre la figure 6-30 (b).

6.3.4. Le Bruit Spatial Fixe

Nous avons acquis des images en initialisant tous les pixels de la matrice pendant toute la procédure et en fixant les courants de polarisation $I_{Bias_{pixel}}$, $I_{Bias_{tec}}$ et I_{AOP} respectivement à

$1,4\mu\text{A}$, $2\mu\text{A}$ et $17\mu\text{A}$. La tension de sortie du capteur Log-PV a été amplifiée puis numérisée. Le gain de l'amplification est de 11. La plage de conversion du convertisseur Max153 (8-bit) a été fixée entre 1,64V et 2,6V et ceci donne un pas de discrétisation de 3,75mV. Par conséquent, chaque pas de quantification correspond à une tension de 0,34mV à la sortie du capteur.

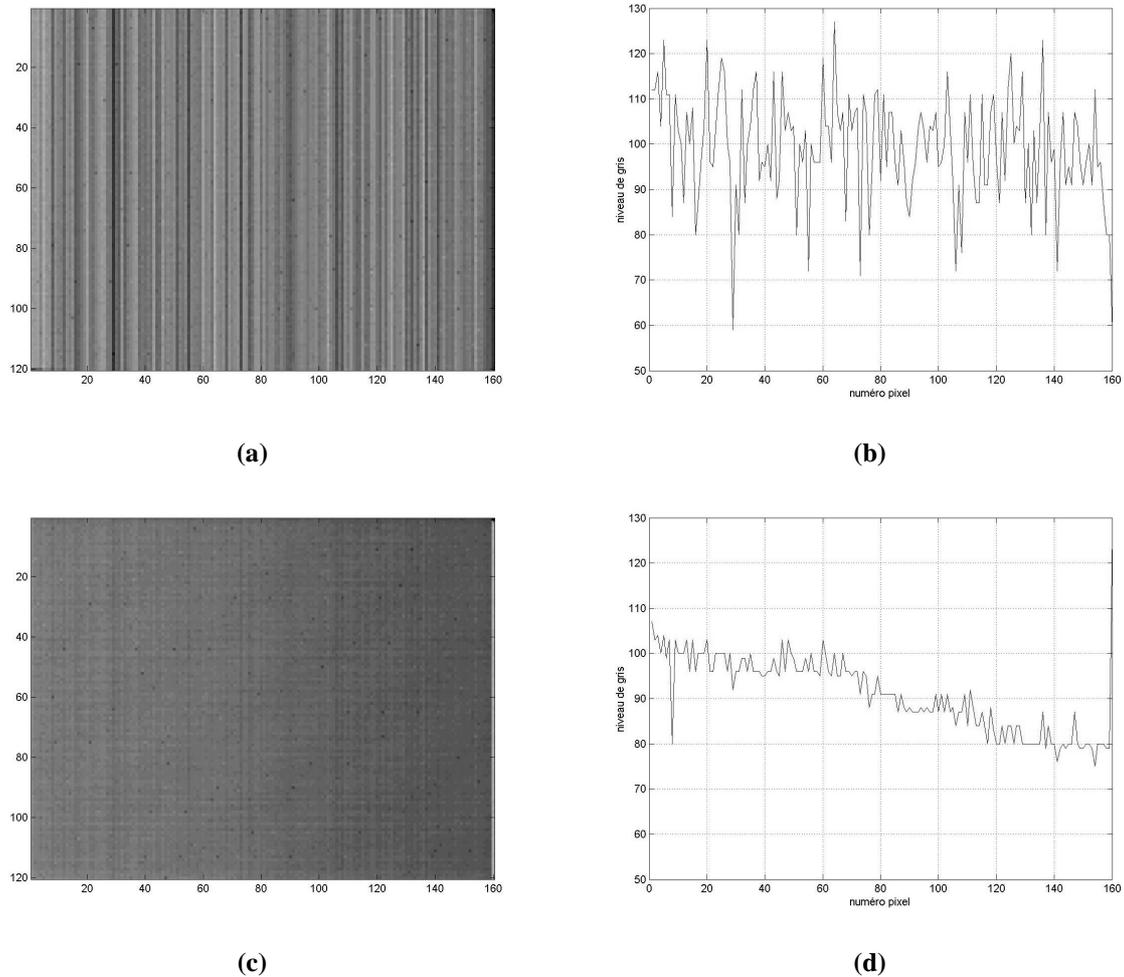


Figure 6-31 : (a) Image BSF des circuits de compensation ; (b) visualisation de la ligne 60 de cette image; (c) Image après les circuits de compensation; (d) visualisation de la ligne 60 de cette image.

L'image représentée sur la figure 6-31 (a) a été obtenue en fixant constamment les signaux Φ_1 à '1' et Φ_2 à '0'. Cette configuration permet de connecter en suiveur tous les AOPs des circuits de compensation. Par conséquent, cette image représente la tension d'offset V_{os} générée par les AOPs. Nous observons sur l'image des traits verticaux car ces AOPs sont partagés par toutes les lignes de la matrice. Ces AOPs génèrent des tensions d'offset V_{os} différentes comme le montre la courbe de réponse du capteur Log-PV représentée sur la

figure 6-31 (b). La variation crête à crête de cette courbe est entre 59 et 127 en niveau de gris, c'est à dire 23,1mV à la sortie du capteur et un écart-type σ_{BSF} de 4,12mV. Sachant que la sensibilité par décade de notre capteur est de 53mV par décade, le rapport signal sur bruit est d'environ 22,2dB par décade. Notons qu'avec la structure de ce capteur prototype, il nous est impossible de mesurer directement le bruit spatial fixe du suiveur de tension dans les pixels. Donc nous prenons cette valeur comme la valeur minimale du bruit spatial fixe sans compensation de ce capteur.

Le pouvoir de discrimination en contraste d'un capteur logarithmique peut être représenté par le contraste minimal C_{\min} (6-2) perceptible par ce capteur. La tension relative à la sortie d'un tel capteur en fonction d'un contraste C peut être exprimée comme :

$$\Delta V = k \log C + \sigma_{BSF} \quad (6-1)$$

Ici le k représente la sensibilité par décade du capteur.

Dans ce cas, nous pouvons définir le contraste minimal quand le signal utile est égal au signal BSF :

$$C_{\min} = 10^{\frac{\sigma_{BSF}}{k}} \quad (6-2)$$

Donc pour un capteur idéal, ce contraste minimal est égal à 1. Plus ce facteur est proche de 1 meilleur sera le pouvoir de discrimination d'un capteur et également meilleure sera la qualité d'image. Nous obtenons, dans le cas où le bruit BSF n'est pas compensé, $C_{\min} = 1,2$, ce qui est très élevé par rapport au contraste minimal de l'œil humain. A titre d'exemple, l'œil humain peut discriminer un contraste minimal de 1,03 dans le meilleur cas.

La figure 6-31 (c) représente l'image après la compensation du bruit spatial fixe. Nous pouvons remarquer qu'à l'œil nu, nous ne voyons plus le BSF en forme de traits mais une image non-uniforme pour les raisons que nous avons déjà évoquées (voir paragraphe 6.3.3.4). Si nous excluons cette non-uniformité, nous observons aussi qu'il reste un résidu du BSF colonne dont l'écart-type $\sigma_{BSF_{res}}$ est de 1,13mV. Par conséquent, nous obtenons un rapport signal sur bruit de 33,4dB par décade et un contraste minimal C_{\min} d'environ 1,05. Conformément à notre prédiction théorique, ce circuit de compensation permet de réduire le BSF d'environ 80%. Ce bruit BSF résiduel provient essentiellement d'une compensation

imparfaite des offset des AOPs liée à un partage de charge entre les condensateurs C , C_{ota} et de leurs capacités parasites C_p , C_{pota} et C'_{pota} (voir paragraphe 5.4.1).

Afin d'apprécier visuellement l'impact de la compensation BSF sur les images, nous montrons trois images dans la figure 6-32. Ces trois images sont obtenues de la manière suivante : l'image (a) est acquise par le capteur Log-PV. Dans cette image, nous avons un BSF résiduel dû à la compensation imparfaite. Avec le BSF résiduel en ligne que nous avons obtenu, nous l'avons soustrait de l'image (a), ceci donne une image beaucoup plus propre – l'image (b). Puisqu'il est impossible d'avoir une image sans compensation à la sortie du capteur, nous avons créé une image sans compensation BSF par logiciel en ajoutant le BSF en ligne à l'image (b) – l'image (c). Bien entendu dans cette image de synthèse, nous n'avons pas tenu compte des BSF dans la matrice.

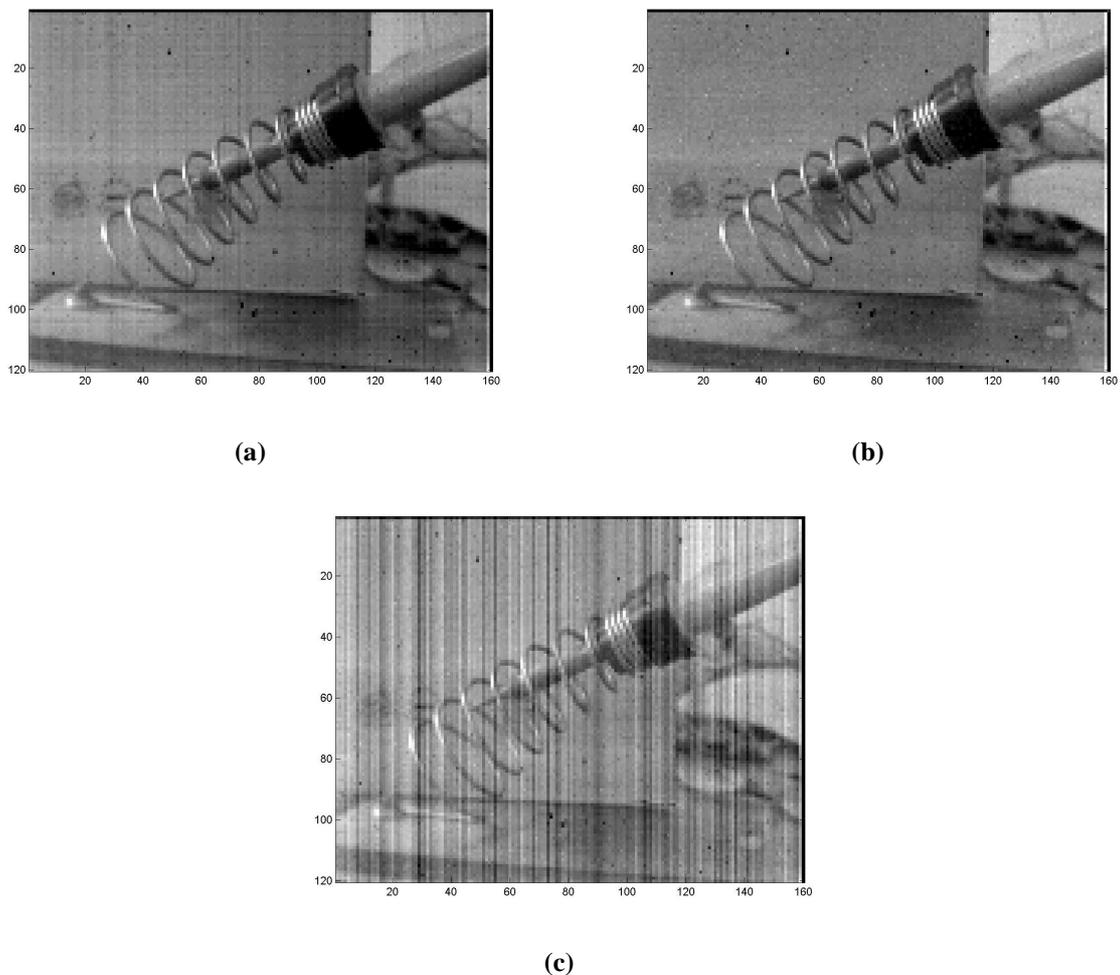


Figure 6-32 : Images exemples : (a) avec BSF résiduel; (b) sans BSF résiduel ; (c) sans compensation BSF. Les courants de polarisation $I_{\text{Biaspixel}}$, I_{Biaslec} et I_{AOP} fixés respectivement à $1,4\mu\text{A}$, $2\mu\text{A}$ et $17\mu\text{A}$. (Temps d'exposition de 20ms)

Ces trois images montrent bien l'importance de la compensation BSF dans un capteur logarithmique. Sans une compensation efficace, l'image à la sortie d'un capteur logarithmique n'est pas utilisable.

Si le BSF résiduel est enlevé par logiciel, l'écart-type du BSF à la sortie du capteur est d'environ 1,09mV. Nous obtenons un rapport signal sur bruit de 33,7dB par décade.

Afin de réduire davantage le bruit BSF résiduel dû à la tension d'offset de l'AOP, nous avons proposé une solution [Matou02]. C'est un circuit de compensation plus précis que celui utilisé dans notre prototype Log-PV. Il est constitué d'un AOP et d'un circuit à capacité commutée permettant de compenser théoriquement tous les bruits BSF si le gain de l'AOP est suffisamment grand. La différence fondamentale par rapport au circuit actuel est que la tension offset de l'AOP est compensée explicitement par une capacité commutée comme le montre la figure 6-33.

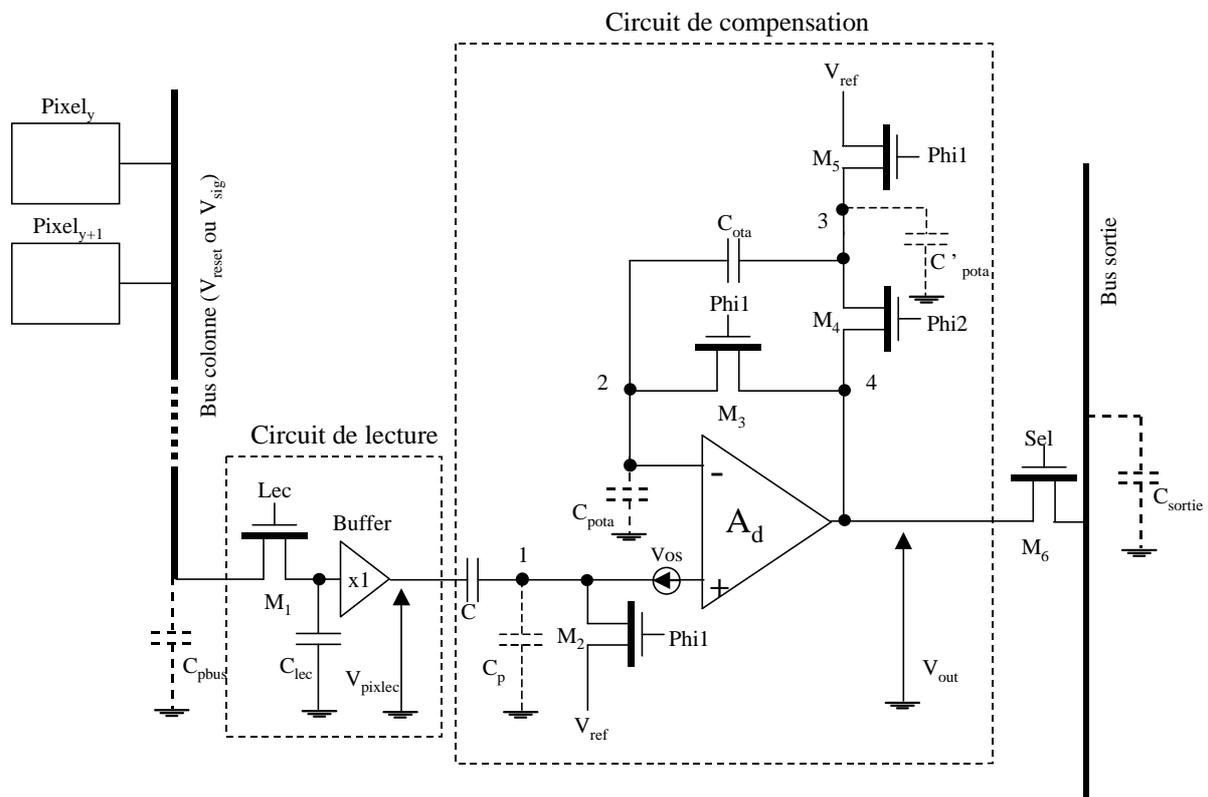


Figure 6-33 : Nouveau circuit de compensation du BSF qui permet théoriquement de compenser tous les bruits BSF du capteur Log-PV si le gain de l'AOP est suffisamment grand.

L'expression de la tension de sortie de ce nouveau circuit de compensation est donnée par (6-3).

$$V_{out} = \frac{A_d(C_{ota} + C_{pota})}{C_{pota} + C_{ota}(A_d + 1)} \left[\frac{C}{C_p + C} (V_{pixel_{sf}} - V_{pixel_{sm}}) - \frac{1}{A_d + 1} V_{os} + \left(\frac{C}{C_p + C} - \frac{A_d}{A_d + 1} + \frac{C_{ota}}{C_{pota} + C_{ota}} \right) V_{ref} \right] \quad (6-3)$$

Dans cette expression, nous avons ignoré les effets dus aux quantités de charge injectées par les différents transistors MOS constituant le circuit de compensation sur la tension de sortie.

Par cette expression, nous voyons bien que le facteur multiplicatif de la tension d'offset de ce nouveau circuit de compensation n'est en fonction que des capacités C_{ota} et C_{pota} . C'est à dire que cette tension d'offset est partagée entre ces deux capacités contrairement au circuit de compensation actuel. Par conséquent, nous pouvons obtenir une réduction significative de cette tension d'offset.

A titre d'exemple, nous avons un gain différentiel de l'AOP $A_d = 94$, deux capacités $C = C_{ota} = 1pF$ et leur composante parasite $C_p = C_{pota} = 0,1pF$. Avec ces paramètres, le nouveau circuit de compensation du BSF réduit la tension d'offset V_{os} de l'AOP d'environ 98%. Par conséquent, ce circuit de compensation est très prometteur car il permettra de compenser efficacement la tension d'offset induite par l'AOP et d'avoir un meilleur rapport signal sur bruit. Donc ce nouveau circuit de compensation permettrait d'obtenir une meilleure qualité d'image.

6.4. Registre à décalage

Le registre à décalage est initialement conçu pour fonctionner à la cadence vidéo, c'est à dire au minimum 3Mhz. Mais lors de la conception de ce registre, nous avons utilisé une ligne de polysilicium pour véhiculer l'horloge et la forte résistivité de cette ligne a limité la vitesse de fonctionnement de ce registre à décalage à seulement 1Mhz. Nous avons analysé dans le paragraphe 6.3.3.3 qu'une ligne de polysilicium, dans le process CMOS utilisé, peut être modélisée comme un réseau RC.

La simulation du comportement du registre à décalage vis à vis de l'atténuation du signal de l'horloge due à ce réseau RC est montrée sur la figure 6-35. Ces résultats représentent les sorties du registre à décalage par pas de 20 comme le montre la modélisation présentée sur la figure 6-34. Nous avons pris le soin dans cette simulation de rajouter un délai

entre les registres en faisant un réseau de 20 cellules RC dont les paramètres sont : la résistance $R_{horl_n} = 310\Omega$ et la capacité $C_{horl_n} = 83fF$. Cette configuration réduit le nombre de registres à décalage dans la simulation.

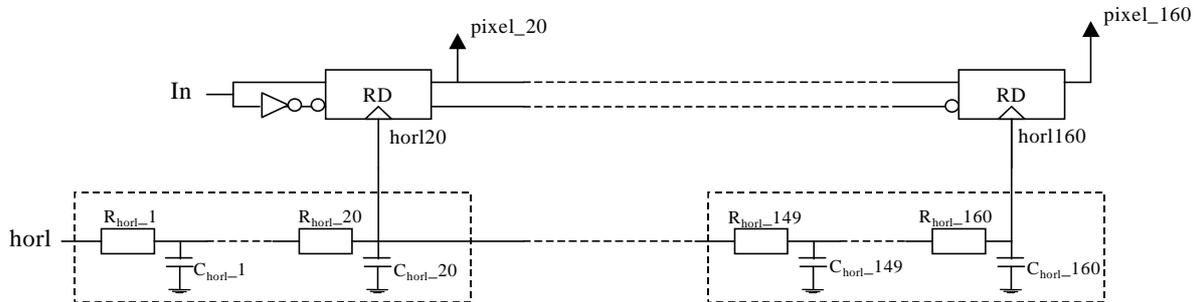


Figure 6-34 : Modélisation de la ligne en polysilicium véhiculant l'horloge du registre à décalage.

Dans cette simulation, l'horloge *horl* est à la cadence vidéo. C'est à dire qu'il faut que le balayage d'une ligne soit de $52\mu s$ donc que la période de l'horloge soit de $325ns$. Nous observons qu'au début (jusqu'à *horl*40) l'amplitude de l'horloge permet un bon fonctionnement du registre à décalage. Mais ensuite, l'amplitude de l'horloge est trop atténuée pour que les transistors commandés par ce signal commutent. Le résultat est que le registre à décalage s'arrête au *pixel*_40.

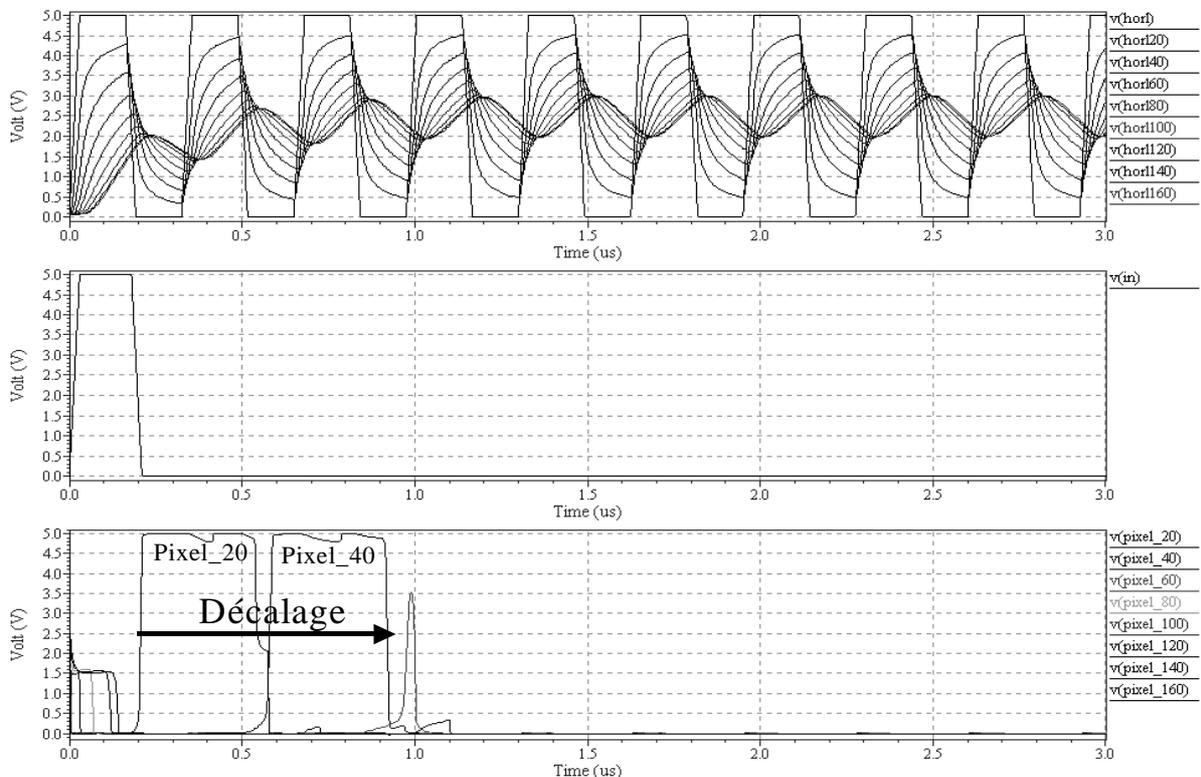


Figure 6-35 : Signaux de sélection des pixels d'une ligne provenant du registre à décalage à la cadence vidéo.

La figure 6-36 montre des images acquises par le PC avec différentes vitesses du registre à décalage : (a) 840ns et (b) 1 μ s. Nous n'avons pas pu visualiser l'image obtenue à la cadence vidéo car le temps de conversion du convertisseur analogique/numérique employé nous limite à 840ns. Ces images montrent qu'en vitesse rapide (figure 6-36 (a)), le registre à décalage à un moment donné ne peut plus suivre. Ceci se traduit sur l'image par un arrêt de balayage sur le dernier pixel sélectionné. Mais quand nous réduisons la vitesse d'horloge à 1Mhz, l'image obtenue est complète (figure 6-36 (b)).

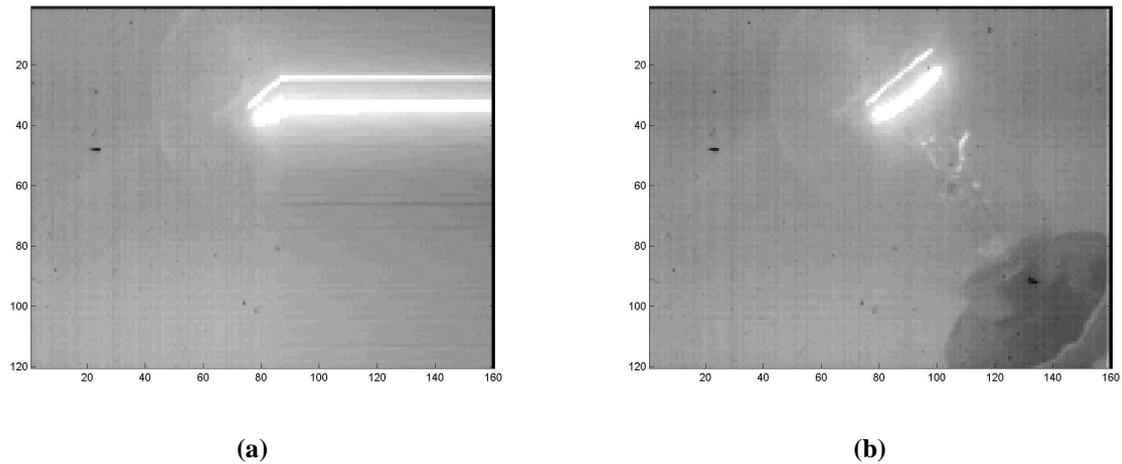


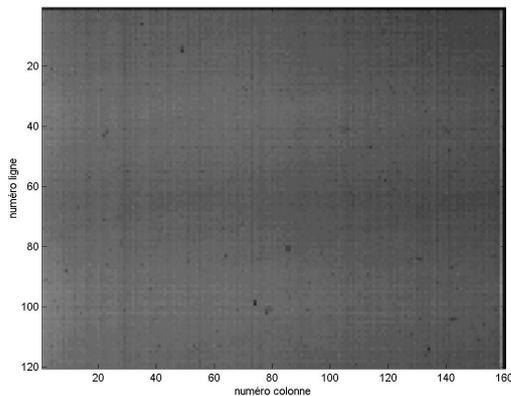
Figure 6-36 : Image de la lampe acquise pour différentes vitesses de l'horloge du registre à décalage colonne : (a) 840ns ; (b) 1 μ s.

6.5. Comportement du prototype Log-PV vis à vis une source lumineuse variable

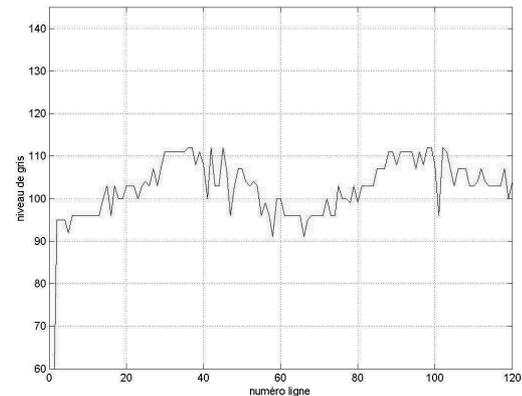
Dans le paragraphe 4.3, nous avons analysé théoriquement la réponse d'une colonne de 120 pixels Log-PV vis à vis d'une source de lumière variable. Nous avons constaté que la réponse de cette colonne de pixels comporte peu d'ondulation quand la puissance de cette source est faible. Par contre si sa puissance est forte, la réponse de cette colonne comporte de fortes ondulations ressemblant à l'allure du signal reçu. Ceci est dû à la lecture séquentielle des pixels de la matrice et à la propriété bi-modale d'un photorécepteur Log-PV.

Pour tester ce phénomène, nous avons éclairé directement la matrice de pixels du prototype Log-PV avec une DEL-IR. Cette diode est alimentée par un générateur de fonction. Ce dernier nous a permis de générer un signal créneau de fréquence 100Hz. Nous avons utilisé une résistance variable en série avec la DEL-IR pour contrôler sa puissance optique.

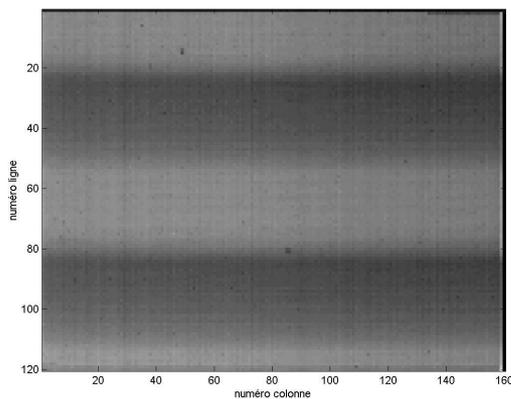
Nous obtenons les images représentées sur la figure 6-37 pour deux puissances différentes de la DEL-IR. Ces images ont été acquises avec un temps d'exposition de 20ms. Les courants de polarisation $I_{Bias_{pixel}}$, $I_{Bias_{lec}}$ et I_{AOP} ont été fixés respectivement à $1,4\mu A$, $2,135\mu A$ et $17\mu A$. La plage de conversion du convertisseur 8 bits a été fixée entre 1,68V et 2,64V et ceci donne un pas de discrétisation de 3,8mV (3,55mV reportée à la sortie du capteur).



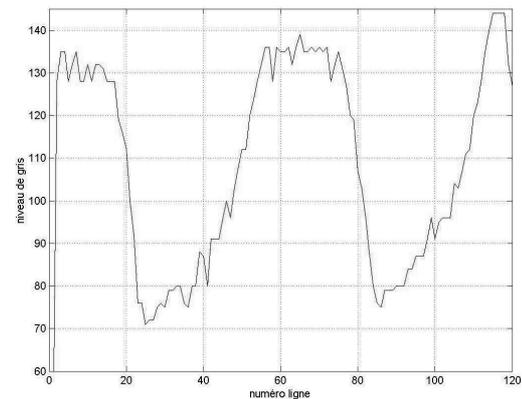
(a-1)



(a-2)



(b-1)



(b-2)

Figure 6-37 : Visualisation des images (a-1), (b-1) et des réponses (a-2), (b-2) de la colonne 80 de la matrice de pixels pour la valeur du courant du signal de la DEL-IR respectivement $50\mu A$ et $180\mu A$.

Nous pouvons conclure grâce à ces deux images que lorsque :

- Le courant de polarisation est de $50\mu A$ (figures 6-37 (a-1) et (a-2)) : la puissance lumineuse produit par la DEL-IR est faible. La réponse des photorécepteurs est dans la zone linéaire. Par conséquent, de faibles ondulations peuvent être observées sur cette colonne.

- Le courant de polarisation est de $180\mu\text{A}$ (figures 6-37 (b-1) et (b-2)) : la puissance lumineuse émise par la DEL-IR est forte. Par conséquent, la réponse des photorécepteurs suit cette variation en passant de la zone linéaire à la zone logarithmique. Nous pouvons donc observer que la réponse de la colonne 80 a de fortes ondulations.

Ces deux images confirment les prédictions théoriques faites dans le paragraphe 4.3.

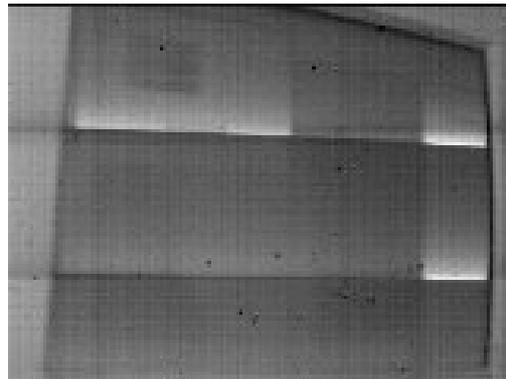


Figure 6-38 : Image d'un moniteur d'ordinateur.

La figure 6-38 montre un exemple d'acquisition d'une image d'une source dynamique, cette image représente un moniteur d'ordinateur. Nous observons des traits sur cette image. En effet ces traits sont des ondulations dues aux rafraîchissement de l'écran qui a lieu environ toutes les 12ms.

Ce phénomène est non seulement gênant pour la visualisation des images mais aussi problématique dans une machine de vision artificielle. Si un capteur en mode d'intégration peut réduire ce problème avec une acquisition synchronisée avec la variation des sources de lumière, ce problème a besoin d'être traité différemment dans un capteur logarithmique.

6.6. Images à la sortie du capteur Log-PV

Les images représentées dans les figures de ce paragraphe ont été acquises avec un temps d'exposition de 20ms.

La figure 6-39 représente une lampe : (a) allumée et (b) éteinte. Ces deux images montrent bien que le prototype Log-PV possède effectivement une grande dynamique grâce à sa réponse logarithmique.

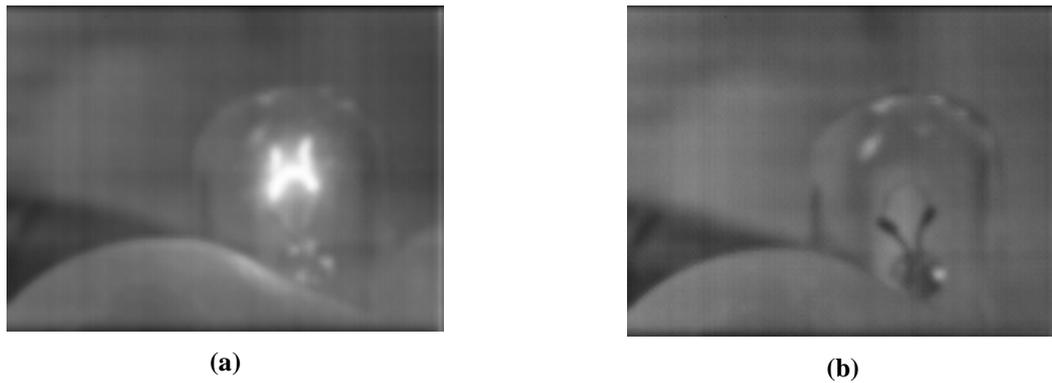


Figure 6-39 : Images d'une lampe allumée (a) et éteinte (b). Cet exemple montre bien la plage étendue de fonctionnement du capteur Log-PV.

La figure 6-40 (a) montre une image acquise dans une pièce éclairée à 3,3lux. Cette image démontre la bonne sensibilité du capteur Log-PV. A notre connaissance, ce capteur Log-PV est le premier capteur logarithmique CMOS pouvant conserver une bonne sensibilité à ce niveau d'éclairage. Si on applique une compensation logicielle du BSF résiduel, on obtient l'image (b). Cette image montre la bonne qualité intrinsèque de notre photorécepteur Log-PV. Cette image indique qu'une amélioration de la compensation BSF de l'actuel capteur donnera une amélioration significative en qualité d'image.



Figure 6-40 : (a) Image acquise d'une scène éclairée à 3,3lux ; (b) Image après une compensation logicielle du BSF résiduel.

Les images représentées sur la figure 6-41 ont été acquises avec deux éclairages différents – 440 lux et 20.000 lux. Malgré cet écart énorme de l'éclairage, nous remarquons que les deux images donnent les mêmes contrastes, conformément à une réponse logarithmique du capteur Log-PV.

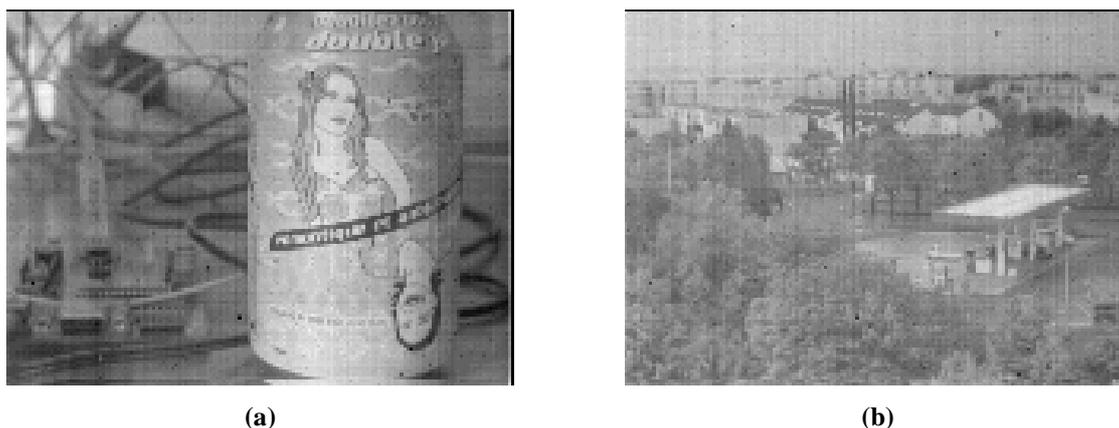


Figure 6-41 : Images acquises de deux scènes éclairées à 440lux (a) et à 20.000lux (b).

6.7. Conclusion

Dans ce chapitre, nous avons présenté les différentes mesures et caractérisations sur le capteur prototype Log-PV. Ces expérimentations démontrent que ce capteur prototype possède non seulement une grande plage dynamique de fonctionnement mais aussi une très bonne sensibilité. La sensibilité de ce capteur prototype dépasse celle de tous les capteurs d'images logarithmiques existants. Le tableau suivant résume les caractéristiques principales de ce capteur.

Technologie :	CMOS DPDM 0,8 μ m
Taille Pixel :	30 μ m x 30 μ m
Résolution spatiale :	160 x 120
Dynamique de fonctionnement :	> 6 décades
Bruit Spatial fixe * :	5,7mV
Bruit Spatial fixe ° :	2,5mV
Puissance de consommation :	75mW

Tableau 6-1 : Tableau récapitulatif des caractéristiques du capteur Log-PV. (* BSF global, ° BSF après suppression des traits verticaux du BSF résiduel)

Chapitre 7

Conclusion et perspectives

7.1. Conclusion

Le travail présenté dans ce mémoire concerne l'étude d'un nouveau photorécepteur logarithmique en technologie CMOS. Ce photorécepteur, déjà partiellement étudié dans notre laboratoire [Ni94], exploite le fonctionnement photovoltaïque d'une jonction PN. Il a permis de mettre en évidence une grande dynamique et une bonne sensibilité photoélectrique en conditions de faible luminosité. Malgré sa faible dispersion photoélectrique, il souffre d'un fort bruit spatial fixe (BSF) une fois mis dans un capteur matriciel. Ce fort bruit spatial fixe est principalement lié aux différents circuits de la chaîne de lecture.

Nous avons donc modifié ce photorécepteur en lui ajoutant un transistor MOS qui a pour rôle de court-circuiter la photodiode quand il est activé. Cette modification donne un nouveau photorécepteur dit « Log-PV ». En effet, une photodiode en mode photovoltaïque lorsqu'elle est court-circuitée, génère une tension nulle, ce qui permet d'obtenir un signal de référence noir physiquement correct. Cette modification donne la possibilité de compenser efficacement le bruit BSF dans un capteur matriciel par une simple lecture différentielle. Nous avons étudié et analysé ce nouveau photorécepteur et dégagé un modèle théorique de son fonctionnement.

Premièrement, nous avons constaté que le photorécepteur Log-PV a un comportement bi-modal. En effet sa réponse photoélectrique peut avoir deux zones de fonctionnement principales selon la vitesse de lecture et l'intensité lumineuse reçue : 1° quand la vitesse de lecture est rapide par rapport à un certain niveau d'éclairement, le chargement de la capacité parasite de jonction de la photodiode donne une réponse linéaire similaire à celle d'un photorécepteur en mode intégration ; 2° quand la vitesse de lecture est lente par rapport à un certain niveau d'éclairement, la capacité de jonction de la photodiode est complètement

chargée, le photorécepteur donne une réponse logarithmique. Ce comportement est dû à la mise en court-circuit (phase d'initialisation permettant de générer la référence pour la compensation BSF) de la photodiode après chaque acquisition.

Deuxièmement, nous avons constaté que l'injection de charge du transistor MOS d'initialisation de la photodiode a deux effets sur la réponse du photorécepteur : 1° elle induit une tension d'erreur quand le photorécepteur se trouve dans sa zone linéaire ; 2° cette tension d'erreur a un effet accélérateur qui pousse le photorécepteur à sortir de la zone linéaire. En effet la charge injectée par ce transistor contribue au chargement de la capacité parasite de jonction de la photodiode après la phase d'initialisation.

Enfin, nous avons constaté que le courant de fermeture de ce transistor MOS a une influence infime sur la réponse du photorécepteur Log-PV. Ceci est dû à l'effet substrat d'un transistor MOS qui freine le courant sous-seuil de ce transistor en fonction de la tension grille-source. Ce phénomène est très intéressant ! Car l'une des difficultés majeures dans l'implantation des circuits de vision en CMOS submicronique est justement la valeur élevée du courant sous-seuil des transistors. Par conséquent ce photorécepteur constitue, à notre connaissance, une solution élégante à ce problème.

Nous avons concrétisé ce photorécepteur logarithmique dans un capteur prototype avec une compensation du BSF incorporé. Ce capteur, d'une résolution spatiale de 160x120 pixels, a été conçu et fabriqué avec succès en technologie CMOS standard 0,8 μ m DLDM via le service CMP français. Le capteur d'image Log-PV était initialement conçu pour travailler à une cadence vidéo de 50 images par seconde (la vitesse de balayage d'une ligne est de 52 μ s c'est à dire une fréquence de balayage par pixel d'environ 3Mhz), mais à cause d'un défaut de conception que nous avons évoqué dans le chapitre 6, ce capteur n'a pu atteindre qu'une fréquence maximale de balayage de 1Mhz. Pour surmonter ce problème, nous avons dû créer une interface matérielle avec un PC via le port parallèle. Un environnement logiciel a été programmé afin de visualiser et analyser les images.

Avec cet environnement de test, les diverses expériences ont été faites sur ce capteur prototype. Les résultats ont confirmés les prévisions théoriques escomptées :

- Une grande plage dynamique optique intra-scène (> 6 décades avec 53mV/décade) ;
- Une bien meilleure sensibilité en faible illumination par rapport aux autres capteurs existants ;

- Un faible bruit BSF résiduel (5,7mV) après la compensation incorporée. Les sources de ce bruit résiduel ont été analysées dans les chapitres 5 et 6. Ces analyses ont montré qu'une amélioration substantielle est encore possible.

7.2. Perspectives

Nos expériences et analyses sur ce capteur prototype ont montré que de nombreuses améliorations sont possibles sur ce capteur Log-PV. Nous envisageons d'apporter ces améliorations dans le prochain circuit prototype :

- Amélioration de la cadence vidéo :

Si la faible vitesse de lecture de ce prototype est liée à une erreur de conception qui est facile à corriger, la vitesse de lecture d'un capteur Log-PV est critique dans beaucoup d'applications. Cette vitesse de lecture rapide permet non seulement d'avoir une cadence d'image rapide mais aussi de réduire des effets néfastes d'une source lumineuse variable. Nous avons montré dans les chapitres 5 et 6 qu'une source d'éclairage variable, comme une lampe à décharge, crée des bandes d'ondulations sur une image. Ce phénomène est très gênant pour l'analyse de cette image dans une application. La racine de ce problème est que les photorécepteurs sont lus de façon séquentielle, une vitesse de lecture très rapide permettrait une amélioration significative.

- Amélioration du circuit de compensation du BSF :

Le circuit de compensation réalisé élimine efficacement le BSF du pixel. Mais il reste un résidu des tensions d'offset des AOPs dû aux partages de charge entre les différentes capacités commutées. Par conséquent, nous envisageons d'implanter, dans cette prochaine version, un circuit de compensation du BSF plus précis[Matou02]. Ce circuit a été présenté dans le paragraphe 6.3. Théoriquement, nous pouvons obtenir, grâce à ce circuit, un rapport signal sur bruit de 42,8dB (dans le cas d'une pièce éclairée normalement) au lieu de 36dB (S/B du prototype actuel).

➤ Réduction de la non-uniformité :

La non-uniformité à la sortie du capteur prototype est la conséquence des injections de charge des transistors composant le circuit de compensation du BSF et de la dépendance entre la tension de référence et le signal de commande Φ_1 . Cette non-uniformité peut être réduite en tenant compte de ces couplages au niveau layout du circuit.

➤ Recherche d'un mode d'acquisition simultanée :

Comme nous l'avons déjà évoqué, la lecture séquentielle de pixels pose des problèmes dans un environnement dynamique. Nous envisageons de rajouter une mémoire analogique dans chaque pixel. En effet, pendant la phase d'acquisition, tous les photorécepteurs peuvent être exposés en même temps. La tension produite par ces photorécepteurs peut être mémorisée dans une mémoire. Dans ce cas, une lecture séquentielle en sélectionnant chaque ligne de la matrice de pixels ne pose plus de problèmes. Mais les contraintes sur la compacité et la protection de la mémoire analogique contre une éventuelle forte illumination restent un défi à relever.

A part ces améliorations essentiellement sur la conception et la réalisation d'un capteur plus performant, il y a une analyse plus fondamentale que nous n'avons pas abordée dans ce travail de thèse : analyse des bruits thermiques dans le photorécepteur Log-PV. Contrairement à un photorécepteur à intégration où le bruit thermique dans une photodiode est traduit en un bruit de commutation KTC, le photorécepteur Log-PV fonctionne en continu après chaque initialisation. Dans cette configuration, le bruit thermique ne peut être réduit en bruit KTC et une analyse fondamentale reste à faire.

REFERENCE BIBLIOGRAPHIQUE

- [Ali94] H.H. Ali and M.E. Zaghoul, 'CMOS dynamic retina', Proceedings of the 37th Midwest Symposium on Circuits and Systems, Vol.1, pp. 78 -82, 1994.
- [Antog82] P. Antognetti, D.D. Caviglia and E. Profumo, 'CAD Model for Threshold Conduction in MOSFET's', IEEE Journal of Solid-State Circuits, Vol. SC-17, No.3, pp. 454-458, June 1982.
- [Arion95] B. Arion, Y. Ni and F. Devos, 'An Analog Visual Feature Extraction Retina for real-time Stereovision', ESSIRC'95, , Lille, France, pp. 246-249, 1995.
- [Behza00] R. Behzad, 'Designs of CMOS integrated Cicruits', Preview Edition, 2000.
- [Boyle70] W.S. Boyle and G.E. Smith, 'Charge-coupled semiconductor devices', Bell Systems Technical Journal, Vol.49, pp. 587 - 593, 1970.
- [Chamb69] S.G. Chamberlain, 'Photosensitivity and Scanning of Silicon Image Detector Arrays', IEEE Journal of Solid-State Circuits, Vol 4, No. 6, pp. 333 - 342, 1969.
- [Chamb84] S.G. Chamberlain, J. Lee, 'A Novel Wide Dynamic Range Silicon Photoreceptor and Linear Imaging Array', IEEE Journal of Solid-State Circuits, Vol. SC-19, No. 1, pp. 41-48, Feb. 1984.
- [Deger00] Y. Degerli, F. Lavernhe, P. Magnan, and P.J. Farry, 'Column readout circuit with global charge amplifier for CMOS APS imager', Electronics Letter, Vol.36, No.17, pp. 1457-1459, 2000.
- [Delbr94] T. Delbrück, and C.A. Mead, 'Analog VLSI Phototransduction by continuous – time, adaptive, logarithmic photoreceptor circuits', California Institute of Technology, Computation and Neural Systems program, CNS Memorandum 30, CA 91125, 1994.
- [Denye93] P.B. Denyer, D. Renshaw, W. Guoyu, L. Mingying, 'CMOS image sensors for multimedia applications', IEEE 1993 Custom Integrated Circuits Conference, pp. 11.5.1 -11.5.4, 1993.
- [Dieri96] B. Dierickx, D. Scheffer, G. Meynants, W. Ogiers and J. Vlummens, 'Random addressable active pixel image sensors', Proceedings SPIE, Vol. 2950, pp. 2-7, Berlin, 1996.

- [Ding00] Y. Ding, and R. Harjani, 'A Universal Charge Injection Model and Its Applications', IEEE International Symposium on Systems, ISCAS2000, pp. I_144 – I_147, 2000.
- [Eiche90] C. Eichenberger, and W. Guggenbuhl, 'On Charge in Analog MOS switches and dummy switch compensation techniques', IEEE Transactions on Circuits and Systems, Vol.37, No.2, pp. 256 - 264, 1990.
- [Fang98] W.-C. Fang, 'A system-on-chip design of a low-power smart vision system', IEEE Workshop on Signal Processing Systems, SIPS 98., pp. 63 -72, 1998.
- [Fossum93] E. R. Fossum, 'Active pixel sensors: Are CCDs dinosaurs?', SPIE, 1993.
- [Fossum95a] E.R. Fossum, 'Low power camera-on-a-chip using CMOS active pixel sensor technology', IEEE Symposium on Low Power Electronics, pp. 74 - 77, 1995.
- [Fossum95b] E.R. Fossum, 'CMOS image sensors: electronic camera on a chip', International Electron Devices Meeting, Washington D.C., pp. 17 - 25, 1995.
- [Fossum97] E.R. Fossum, 'CMOS image sensors : electronic camera-on-a-chip', IEEE Transactions on Electron Devices, Vol.44, Issue 10, pp. 1689 – 1698, 1997.
- [Fujim00] I.L. Fujimori, C. Wang, and C.G. Sodom, 'A 256 x 256 CMOS Differentiel Passive Pixel Imager with FPN Reduction Techniques', IEEE Journal of Solid-State Circuits, Vol.35, No.12, pp. 2031 - 2037, 2000.
- [Hamam00] T. Hamamoto, and K. Aizama, 'A computational Image Sensor with pixel – based integration time control', IEEE ICIP'00, Vol.1, pp. 729 - 732, 2000.
- [Hertz87] H. Hertz, Annalen der Physik, 33, pp. 983, 1887.
- [Hille00] M. Hillebrand, N. Stevanovic, B.J. Hosticka, J.E. Santos Conde, A. Teuner, M. Schwarz, 'High speed camera system using a CMOS image sensor', Proceedings of the IEEE Intelligent Vehicles Symposium 2000, pp. 656 - 661, 2000.
- [Hong01] C. Hong, and R.I Hornsey (2001) , 'Inverted Logarithmic Active Pixel with current readout' 2001 IEEE Workshop on CCDs and Advanced Image Sensors, Crystal Bay, Nevada, 2001.
- [Hynec91] J. Hynec, 'BCMD-An improved photosite structure for high-density image sensors', IEEE Transactions on Electron Devices, Vol. 38, No. 5 , pp. 1011 –1020, 1991.

- [Hyun01] K. Hyun-Soo, P. Dae-Sik, L. Soo-Kyung, K. Jeong-Hwan, L. Minho and S. Jang-Kyoo, 'A CMOS foveated retina chip for edge detection', 2001. TENCON. Proceedings of IEEE Region 10 International Conference on Electrical and Electronic Technology, Vol.1 , pp. P8 -P11, 2001.
- [Kavad00] S. Kavadias, B. Dierickx, D. Scheffer, A. Alaerts, D. Uwaerts, and J. Bogaerts, 'A logarithmic Response CMOS Image Sensor with On-Chip Calibration', IEEE Journal of Solid – State Circuits, Vol.35, No.8, 2000.
- [Kawas93] H. Kawashima, F. Andoh, N. Murata, K. Tanaka, M. Yamawaki, and K. Taketoshi, 'A 1/4 inch format 250 K pixel amplified MOS image sensor using CMOS process', Electron Devices Meeting, 1993. Technical Digest., International, pp. 575 –578, 1993.
- [Koike80] N. Koike, I. Takemoto, K. Satoh, S. Hanamura, S. Nagahara, and M Kubo, 'MOS Area Sensor: Part I - Design Consideration and Performance of an n-p-n Structure 484 x 384 Element Color MOS Imager', IEEE Journal of Solid-State Circuits, Vol. 15, No.4, pp. 741 – 746, 1980.
- [Kreider02] G. Kreider, and J.T. Bosiers, 'An mK/spl times/nK bouxblock CCD image sensor family. I. Desing', IEEE Transactions on Electron Devices, Vol.49, No.3, pp. 361-369, 2002.
- [Kyoma91] M. Kyomasu, 'A new MOS imager using photodiode as current source', IEEE Journal of Solid-State Circuits', Vol.26, No.8, pp. 1116 – 1122, 1991.
- [Loose01] M. Loose, K. Meier, and J. Schemmel, 'A Self - Calibrating Single - Chip CMOS Camera with Logarithmic Response', IEEE Journal Solid - State Circuits, Vol.36, No.4, pp. 586 - 596, 2001.
- [Matou02] K. Matou and Y. Ni, 'Precise FPN compensation circuit for CMOS APS [imager]', Electronics Letters , Vol.38, No.19, pp. 1078 –1079, 2002.
- [Matsu91] K. Matsumoto, 'The operation mechanism of a charge modulation device (CMD) image sensor', IEEE Transaction Electron Devices, vol.38, pp.989 - 998, 1991.
- [Mayes91] M.K. Mayes, and R.R. Chen, 'Charge Injection in Analog-to-Digital Converters', IEEE International Sympoisum on Circuits and Systems, Vol.5, pp. 3086 –3089, 1991.
- [Mead85] C.A. Mead, 'A Sensitive electronic photoreceptor', 1985 Chapelle Hill Conf. on VLSI, pp. 463-471, 1985.

- [Mead91] C.A. Mead, and T. Delbrück, 'Scanners for Visualizing Activity of Analog VLSI Circuitry', Computation and Neural Systems Program, pp. 139 - 174, 1991.
- [Mendi97] S.K. Mendis, S.E. Kemeny, R.C. Gee, C.O. Staller, Q. Kim, and E.R. Fossum, 'CMOS active Pixel Image Sensors for Highly Integrated Systems', IEEE Journal of Solid-State Circuits, Vol.32, No.2, pp. 187 - 197, 1997.
- [Meyna01] G. Meynants, B. Dierickx, D. Uwaerts and J. Bogaerts, 'Fixed pattern noise suppression by differential readout chain for radiation-tolerant image sensor', 2001 IEEE Workshop on CCDs and AISs.
- [Min98] C. Min-Hwa, 'Technologies for high performance CMOS active pixel imaging system-on-a-chip', Proceedings. 5th International Conference on Solid-State and Integrated Circuit Technology, pp. 180 - 183, 1998.
- [Mitsun99] T. Mitsunaga and S. K. Nayar, 'Radiometric Self Calibration', Proceedings of IEEE Conference on Computer Vision and Pattern Recognition, Fort Collins, 1999.
- [Mizog91] T. Mizoguchi, I. Takayanagi, E. Shimizu, H. Nakajima, S. Hashimoto, S. Yokoyama, J. Nakamura and M. Imai, 'A 250 k-pixel SIT image sensor operating in its high-sensitivity mode', IEEE Transactions on Electron Devices, Vol.38, No.5, pp. 1021 -1027, 1991.
- [Moini93] A. Moini, A. Bouzerdoum, A. Yakovleff, D. Abbott, O. Kim, K. Eshraghian and R.E. Bogner, 'An analog implementation of early visual processing in insects', Proc. 1993 Int. Symp. VLSI Technology, Systems, and Applications, Taipei, Taiwan, pp.283-287, 1993.
- [Moini97] A. Moini, A. Bouzerdoum, K. Eshraghian, A. Yakovleff, N. Xuan Thong A. Blanksby, R. Beare, D. Abbott and R.E. Bogner, 'An insect vision-based motion detection chip', IEEE Journal of Solid-State Circuits, Vol.32 No. 2, pp.279 -284, 1997.
- [Nayar00] S. K. Nayar and T. Mitsunaga, 'High Dynamic Range Imaging: Spatially Varying Pixel Exposures', Proceedings of IEEE Conference on Computer Vision and Pattern Recognition, Hilton Head Island, South Carolina, 2000.
- [Nayar02] S. K. Nayar and Srinivasa G. Narasimhan, 'Assorted Pixels : Multi-Sampled Imaging With Structural Models', Proc. of European Conference on Computer Vision (ECCV), Copenhagen, 2002.

- [Ni93a] Y. Ni, I. Skuras, and B. Arion, 'Towards a fully integrated analog 2D Marr-Hildreth filtre', Proc. of World Congress on Neural Networks 1993, pp. 810 – 812, 1993.
- [Ni93b] Y. Ni, F. Devos, 'An analog smart sensor for active obstacle detection' , IEEE International Symposium on Circuits and Systems, ISCAS '93, Vol.2, pp. 1101 –1103, 1993.
- [Ni94] Y. Ni, F. Lavainne, and F. Devos, ' CMOS compatible photoreceptor for high – contrast car vision', Intelligent Vehicle Highway Systems, SPIE's International Symposium on Photonics for Industrial Applications, pp. 246 - 252, 1994.
- [Ni97] Y. Ni, F. Devos, M. Boujrad, and J.H. Guan, 'Histogram – Equalization – Based Adaptive Image Sensor for Real – time Vision', IEEE Journal of Solid-State Circuits, pp. 1027 - 1036, 1997.
- [Ni00] Y. Ni and J. Guan, 'A 256 256 Pixel Smart CMOS Image Sensor for Line-Based Stereo Vision Applications', IEEE JOURNAL OF SOLID-STATE CIRCUITS, Vol.35, No.7, pp. 1055- 1061, 2000.
- [Nish90] J. Nishizawa, T. Tamamushi, M. Ushirozawa and J.H. Kim, 'Spectral response of an SIT image sensor with an improved structure', IEEE Electron Device Letters, Vol.11, No.4, pp. 143- 145, 1990.
- [Noble68] P. Noble, 'Self-scanned silicon image detector arrays', IEEE Transactions on Electron Devices, Vol. ED-15, pp. 202 - 209, 1968.
- [Nomot93] T. Nomoto, 'A 2/3-inch 2M-pixel CMD image sensor with multi-scanning function', ISSCC 93, pp.196-197, 1993.
- [Ogata91] M. Ogata, 'A small pixel CMD image sensor', IEEE Trans. Electron Devices, vol.38, pp.1005-1010, 1991.
- [Ohba80] S. Ohba, M. Nakai, H. Ando, S. Hanamura, S. Shimda, K. Satoh, K. Takahashi, M. Kubo, and T. Fujita, 'MOS Area Sensor: Part II - Low-Noise MOS Area Sensor with Antiblooming Photodiodes', IEEE Journal of Solid-State Circuits, Vol.15, No.4, pp. 747 - 752, 1980.
- [Ozaki91] T. Ozaki, H. Kinugasa, and T. Nishida, 'A Low-Noise Line-Amplified MOS Imaging Devices', IEEE Transactions on Electron Devices, Vol.38, No.5, pp. 969 - 975, 1991.

- [Pain01] B. Pain, S. Seshadri, M. Ortiz, C. Wrigley and G. Yang, 'CMOS imager with charge-leakage compensated frame difference and sum output', The 2001 IEEE International Symposium on Circuits and Systems, Vol.5 , pp. 223-226, 2001.
- [Panic96] R.A. Panicacci, S.E. Kemeny, P.D. Jones, C. Staller, and E.R. Fossum, '128 Mb/s multiport CMOS binary active-pixel image sensor', 1996 IEEE International Solid-State Circuits Conference, pp. 100 -101, 427, 1996.
- [Pardo97] F. Pardo, B. Dierickx and D. Scheffer, 'CMOS foveated image sensor: signal scaling and small geometry effects', IEEE Transactions on Electron Devices, Vol.44, No. 10 , pp. 1731 - 1737, 1997.
- [Pardo98] F. Pardo, B. Dierickx and D. Scheffer, 'Space-variant nonorthogonal structure CMOS image sensor design', IEEE Journal of Solid-State Circuits, Vol.33, No.6, pp. 842 -849, 1998.
- [Ricqu92] N. Ricquier and B. Dierickx, 'Pixel structure with logarithmic response for intelligent and reflexible imager architectures', ESSDERC'92, Vol. 19, p. 631, 1992.
- [Sandi00] G. Sandini, P. Questa, D. Scheffer, B. Diericks, A. Mannucci, 'A retina-like CMOS sensor and its applications', Sensor Array and Multichannel Signal Processing Workshop. 2000. Proceedings of the 2000 IEEE , 2000. Page(s): 514 -519
- [Schan00] M. Schanz, C. Nitta, A. Bussmann, B.J. Hosticka and R.K. Wertheimer, 'A high-dynamic-range CMOS image sensor for automotive applications', IEEE Journal of Solid-State Circuits, Vol.35, No.7 , pp. 932 -938, 2000.
- [Scheff97] D. Scheffer, B. Dierickx, and G. Meynants, 'Random Addressable 2048 x 2048 Active Pixel Sensor', Transactions on Electron Devices, Vol.44, No.10, pp. 1716 -1720, 1997.
- [Sege93] U. Seger, & al., 'Vision Assistance in Scenes with Extreme Contrast', IEEE MICRO, pp. 50-56, 1993.
- [Shyh99] M. Shyh-Yih and C. Liang-Gee, 'A single chip CMOS APS camera with direct frame difference output', 1999. Proceedings of the IEEE Custom Integrated Circuits, pp. 287 - 290, 1999.
- [Sivol87] M. Sivilotti, M.A. Mahowald, and C. Mead, 'Real-time Visual Computations Using Analog CMOS Processing Arrays', in Conf. Advanced Research in VLSI, pp. 295-312, 1987.

- [Sodin98] C.G. Sodini, and S.J. Decher, 'A 256 x 256 CMOS Brightness Adaptive Imaging Array with Column – Parallel Digital Output', IEEE International Conference on Intelligent Vehicles, pp. 347 - 352, 1998.
- [Sugaw94] M. Sugawara, H. Kawashima, F. Andoh, N. Murata, Y. Fujita, M. Yamawaki, 'An amplified MOS imager suited for image processing', Solid-State Circuits Conference, pp. 228 - 229, 1994.
- [Sugik00] T. Sugiki, S. Ohsawa, H. Miura, M. Sasaki, N. Nakamura, I. Inoue, M. Hoshino, Y. Tomizawa, T. Arakawa, 'A 60 mW 10 b CMOS image sensor with column-to-column FPN reduction', 2000 IEEE International Solid-State Circuits Conference, pp. 108 -109, pp. 450, 2000.
- [Tabet01] M. Tabet, and R. Hornsey, 'CMOS image sensor camera with focal plane edge detection', Electrical and Computer Engineering, Canadian Conference on 2001, Vol.2, pp. 1129 - 1133, 2001.
- [Takay93] I. Takayanagi, T. Isokawa, F. Nakamura, J. Nakamura, 'A multiple output CMD imager for real-time image processing', 1993 International IEEE Electron Devices Meeting, pp. 579 – 582, 1993.
- [Takay95] I. Takayanagi, K. Nagai, H. Tetsuka, Y. Inoue, S. Araki, S. Mochimaru, Y. Iketaki, Y. Horikawa, K. Matsumoto, 'Amplified MOS imager for soft X-ray imaging', IEEE Transactions on Electron Devices, Vol. 42, No. 8, pp. 1425-1432, 1995.
- [Theuw95] A. J.P. Theuwissen, 'Solid-State Imaging with Charge-Coupled Devices', Kluwer Academic Publishers, Solid-State Science and Technology Library.
- [Tu98] N. Tu, R. Hornsey, and S.G. Ingram, 'CMOS Active Pixel Image Sensor with Combined Linear and Logarithmic Mode Operation', Proceedings of IEEE Canadian Conference on Electrical and Computer Engineering, Waterloo, Ontario, Canada, pp. 754 - 757, 1998.
- [Vitto85] E.A. Vittoz, 'The design of High Performance Analog Circuits on Digital CMOS Chips', IEEE Journal of Solid State Circuits, Vol.SC-20, pp. 657 - 665, 1985.
- [Wandel99] B. Wandell, P. Catrysse, J. DiCarlo, D. Yang and A. El Gamal 'Multiple Capture single Image Architecture with a CMOS sensor', Proceedings of the International Symposium on Multispectral Imaging and Color Reproduction for Digital Archives, pp. 11-17, Chiba, Japan, October 21-22 1999. (Society of Multispectral Imaging of Japan.)

- [Wang00] Ching-Chun Wang, I.L. Fujimori, C.G. Sodini, 'A 256×256 CMOS differential passive pixel imager with FPN reduction techniques', IEEE Journal of Solid-State Circuits, Vol. 35 Issue: 12 , pp. 2031-2037, Dec 2000
- [Weckl67] G.P. Weckler, 'Operation of PN junction photodetectors in a photon flux integration mode', IEEE Journal of Solid-State Circuits, Vol. SC-2, pp. 65-73, 1967.
- [Wong98] H. Wong, R. Chang, E. Crabbe, P. Agnello, "CMOS active pixel image sensors fabricated using a 1.8-V, 0.25- μ m CMOS technology", IEEE Trans. Electron Devices, Vol.45, No.4, pp.889-894, 1998.
- [Xu02] Chen Xu, Wing-Hung Ki, and Mansun Chan, 'A Low-Voltage CMOS Complementary Active Pixel Sensor (CAPS) Fabricated Using a 0.25_μm CMOS Technology', IEEE Electron Device Letters, Vol.23, No.7, pp. 398-400, 2002.
- [Yadid97] O. Yadid – Pecht, and E.R. Fossum, 'Wide Intra-scene Dynamic Range CMOS Aps Using Dual Sampling', IEEE Transaction on Electron Devices, Vol.44, No.10, pp. 1721 - 1723, 1997.
- [Yamaw96] M. Yamawaki, H. Kawashima, N. Murata, F. Andoh, M. Sugawara, Y. Fujita, 'A pixel size shrinkage of amplified MOS imager with two-line mixing', IEEE Transactions on Electron Devices, Vol. 43, No.5, pp. 713-719, 1996.
- [Yonem00] K. Yonemoto, H. Sumi, R. Suzuki, T. Ueno, 'A CMOS image sensor with a simple FPN-reduction technology and a hole accumulated diode', 2000 IEEE International Solid-State Circuits Conference, pp. 102-103, 2000.
- [Zarno91] J. Zarnowski, B. Williams, M. Pace, M. Joyner, J. Carbone, C. Borman, F.S. Arnold, and Mark Wadsworth, 'Selectable One to Four Port Very, High speed 512 X 512 CID', SPIE CCD and Solid State Optical Sensors Vol. 1447-18, 1991.
- [Zhu94] Y. Zhu, E. Belhaire, Y. Ni and P. Garda, 'Autocompensated capacitive circuit for stochastic neural networks', Electronics Letters , Vol.30, No.4 , pp. 330 -331, 1994.
- [Zhu95] Y. Zhu, F. Devos, and Y. Ni, 'Capteur Photosensible programmable compatible avec la technologie VLSI CMOS', Rapport Technique, IEF, Université Paris Sud, 1995.
- [IMS] http://www.ims-chips.de/content/08/media/HDRC_Imager_Camera_Feature2.pdf

Listes des figures

Figure 2-1 : La structure d'une capacité MOS.....	7
Figure 2-2 : L'accumulation des charges dans une capacité MOS.....	8
Figure 2-3 : Transfert de charge avec un CCD à trois phases.....	8
Figure 2-4 : Principe de la lecture séquentielle ligne par ligne avec le mécanisme CCD.....	9
Figure 2-5 : Système de vision à base d'un : (a) Capteur CCD ; (b) Capteur CMOS.....	10
Figure 2-6 : Deux principaux types des capteurs CMOS : (a) à pixel passif (PPS) ; (b) à pixel actif (APS).....	11
Figure 2-7 : (a) Structure schématique d'un pixel PPS ; (b) Structure physique d'un pixel. On distingue le transistor NPN latéral responsable de l'effet blooming dans ce type de pixel.....	12
Figure 2-8 : (a) Structure d'un pixel PPS et d'un amplificateur de charge dans un capteur (L)AMI ; (b) Chronogramme de fonctionnement.....	13
Figure 2-9 : Structure d'un pixel APS à photodiode.....	16
Figure 2-10 : Structure du pixel APS à base de photodiode en mode intégration.....	17
Figure 2-11 : Procédure de lecture différentielle du capteur APS classique pour la compensation du BSF.....	19
Figure 2-12 : Description du traitement dans chaque pixel.....	21
Figure 2-13 : Réponse de la diode et du circuit de détection saturation.....	22
Figure 2-14 : Allure de la tension V_{out} à la sortie du capteur APS adaptatif basé sur le contrôle automatique du temps d'intégration local.....	23
Figure 2-15 : (a) Photorécepteur à adaptation locale proposé; (b) Réponse du photorécepteur en fonction de la lumière incidente.....	24
Figure 2-16 : Schéma principe du capteur à égalisation d'histogramme.....	26
Figure 2-17 : Schéma électrique d'un photorécepteur à égalisation d'histogramme.....	27
Figure 2-18 : Deux images acquises à la sortie du capteur à égalisation d'histogramme.....	27
Figure 2-19 : Schéma électrique d'un pixel multi-sensibilité proposé par C. G. Sodini.....	28
Figure 2-20 : Allure de (a) $V_s(t)$, (b) $\Delta V_s(I)$ pour une tension de commande $V_b(t)$ en forme de deux paliers et pour deux intensités lumineuse différentes.....	29
Figure 2-21 : Une implantation possible de SVE à l'aide d'un masque de transparence sur un capteur.....	30
Figure 2-22 : (a) Réponse de quatre pixels de sensibilité différentes en fonction de l'illumination ; (b) Résultat après un traitement numérique par moyennage local des quatre réponses. Ce résultat montre une plus grande dynamique de ce capteur.....	31
Figure 2-23 : Images (a)-(d) : images pour 4 temps d'exposition différentes ; Image (e) : image issue d'un capteur SVE en 8-bit ; Image (f) : Résultat après un traitement numérique par la méthode d'interpolation.....	32
Figure 3-1 :Schéma électrique de quelques réalisations de photorécepteurs logarithmiques en technologie CMOS avec : (a) un transistor NMOS ; (b) un transistor PMOS ; (c) un transistor NMOS à canal court ; (d) un miroir de courant.....	37
Figure 3-2 : Structure d'un pixel logarithmique utilisant une photodiode en mode photocourant.....	39
Figure 3-3 : Réponse de la tension de sortie du capteur Logarithmique en fonction de la puissance de la lumière incidente [Schef97].....	39
Figure 3-4 :Modélisation du BSF dans un capteur d'image par trois sources.....	41
Figure 3-5 : Principe de base d'une compensation du BSF.....	42
Figure 3-6 : Concept de compensation purement numérique.....	43
Figure 3-7 : Concept de la technique de compensation mixte par IMS.....	43
Figure 3-8 : Compensation "on-chip" basé sur une référence "grise".....	46
Figure 3-9 : Pixel logarithmique avec compensation "on-chip" basé sur une référence "super brillante".....	49
Figure 4-1 :Photorécepteur en mode photovoltaïque.....	52
Figure 4-2 : Réponse photoélectrique de trois photorécepteurs logarithmiques en mode photovoltaïque.....	53
Figure 4-3 : Schéma électrique du photorécepteur Log-PV.....	54
Figure 4-4 : Schéma électrique du photorécepteur avec le modèle équivalent de la photodiode photovoltaïque.....	55
Figure 4-5 : (a) Simulation de la réponse du photorécepteur en fonction du temps ; (b) Rapport entre la courbe dont la capacité de jonction varie et celle dont la capacité de jonction est fixe.....	57
Figure 4-6 : Simulation de la réponse de la photodiode, $V_d=f(I_{ph})$	59
Figure 4-7 : Simulation de la réponse de la photodiode et des différentes courbes limitant les zones de fonctionnement.....	61

Figure 4-8 : Simulation du temps de stabilisation de la tension aux bornes de la photodiode en fonction du photocourant.	62
Figure 4-9: Schéma électrique du photorécepteur avec prise en compte du courant sous-seuil I_{DS}	63
Figure 4-10: (a) Simulation des courbes de V_d en fonction du temps avec et sans le courant de fuite du transistor d'initialisation NMOS ; (b) rapport entre les tensions V_d avec et sans courant de fuite en fonction du temps.....	65
Figure 4-11 : Modélisation de l'injection de charge induite par le transistor d'initialisation	66
Figure 4-12 : Résultats de simulation avec et sans injection de charge de la tension aux bornes du condensateur de jonction $V_d=f(I_{ph})$	67
Figure 4-13 : Tension aux bornes du condensateur de jonction pour une tension d'erreur $V_{ch}=0,1V$ avec un photocourant $I_{ph}=1pA$	68
Figure 4-14 : Tension aux bornes du condensateur de jonction pour une tension d'erreur $V_{ch}=0,13V$ avec différents photocourants.	69
Figure 4-15 : Simulation de (a) de la forme d'onde du photocourant I_{ph} ; (b) signal représentant l'envoi des données de deux lignes de pixels de la matrice vers la sortie du capteur.....	71
Figure 4-16 : Simulation du comportement dynamique d'une colonne d'une matrice de pixels pour deux photocourants $I_o=0,1pA$ (mode linéaire) et $I_o=25pA$ (mode logarithmique) et, un temps d'exposition de 20ms (la variation de très faible amplitude provient des erreurs de calcul sous Matlab).	73
Figure 5-1: Architecture générale du prototype.	77
Figure 5-2: Structure du pixel Log-PV.	77
Figure 5-3: Schéma électrique du suiveur PMOS.....	78
Figure 5-4: Simulation du suiveur PMOS sur T-Spice	79
Figure 5-5: (a) Représentation du suiveur PMOS du pixel et, des deux capacités C_{bus} et C_{lec} ; (b) modèle équivalent du suiveur pour la charge des condensateurs ; (c) modèle équivalent du suiveur pour la décharge des condensateurs	80
Figure 5-6: Résultats de la simulation du suiveur PMOS du pixel.	81
Figure 5-7: Simulation sur T-Spice de la tension de sortie du suiveur PMOS du pixel	82
Figure 5-8: Simulation de la tension de sortie du suiveur PMOS du pixel pour différents courants de polarisation.	83
Figure 5-9: Dessin de masque du pixel Log-PV.	84
Figure 5-10: Schéma électrique du circuit de lecture.....	84
Figure 5-11: Simulation sur T-Spice de la tension d'erreur ΔV_{lec} pour différentes capacités de lecture.	86
Figure 5-12: (a) Schéma électrique de l'échantillonneur - bloqueur ; (b) Schéma équivalent de l'E/B et de la sortie du pixel.....	87
Figure 5-13 : Schéma électrique de l'ensemble circuit de lecture permettant de déterminer le temps de stabilisation.	88
Figure 5-14 : Simulation de la tension de sortie du circuit de lecture pour différents courants de polarisation.....	89
Figure 5-15 : Simulation de la tension de sortie du circuit de lecture pour différentes largeurs des transistors composants le suiveur PMOS.....	90
Figure 5-16: Dessin de masque du circuit de lecture.	91
Figure 5-17: Principe de la compensation du BSF.....	92
Figure 5-18: AOP connecté en suiveur : (a) Schéma électrique ; (b) Simulation sur T-Spice de $V_{out}=f(V_{in})$	92
Figure 5-19: Schéma électrique du circuit de lecture et de compensation du BSF.	93
Figure 5-20: Algorithme du circuit de compensation du BSF.....	94
Figure 5-21: Première phase du circuit de lecture et de compensation du BSF.....	95
Figure 5-22: Deuxième phase des circuits de lecture et de compensation du BSF.....	96
Figure 5-23: (a) Injections de charge des transistors commandés par Phi1; (b) absorption de charge par le transistor commandé par Phi2.....	99
Figure 5-24: Simulation sur T-Spice du circuit de compensation du BSF.....	101
Figure 5-25: Simulation sur T_Spice de la tension de sortie pour différentes tensions d'offset aléatoires de l'AOP.....	101
Figure 5-26: Simulation sur T-Spice de la tension de sortie pour différentes tensions d'offset du suiveur PMOS du pixel.	102
Figure 5-27: Chronogramme des signaux de contrôle en mode logarithmique du photorécepteur Log-PV.....	104
Figure 5-28: Simulation sous T-Spice de la réponse V_{pixel} et de la tension de sortie V_{out} du circuit de compensation en fonction des commandes Reset, Lecture, Phi1 et Phi2 quand le photorécepteur fonctionne dans la zone logarithmique.	104
Figure 5-29: Chronogramme des signaux de contrôle en mode linéaire du photorécepteur Log-PV.....	105

Figure 5-30: Simulations sur T-Spice des réponses V_{pixel} et V_{out} quand le photorécepteur Log-PV fonctionne dans la zone linéaire.....	106
Figure 5-31: Réponse du photorécepteur Log-PV avec la procédure de détection.	107
Figure 5-32: Dessin de masque du circuit de compensation du BSF réalisés en technologie CMOS 0,8 μm	107
Figure 5-33: Schéma électrique d'un étage du registre à décalage (RD).	108
Figure 5-34: Simulation électrique de deux étages du registre à décalage avec une horloge de type CMOS....	109
Figure 5-35: Simulation électrique de deux étages du registre à décalage avec une horloge de type sinusoïdal.	110
Figure 5-36: (a) Schéma de deux étages du registre à décalage avec ajout du transistor NMOS; (b) Simulation électrique.	111
Figure 5-37: Dessin de masque d'un étage du registre à décalage.	112
Figure 5-38: Structure de la génération de commandes Sel _i et Reset _i	112
Figure 5-39: (a) Schéma électrique de la génération des commandes d'une ligne de pixels ; (b) Chronogramme des signaux de commande.	114
Figure 5-40: Dessin du masque de l'étage de sélection et d'initialisation d'une ligne de pixels.	115
Figure 5-41: (a) Schéma électrique du circuit de transformation vidéo; (b) Chronogramme des commandes pour la transformation en un signal vidéo.	116
Figure 5-42: Dessin du masque du prototype Log-PV.	117
Figure 6-1: Structure de la carte de pilotage et d'interface.	120
Figure 6-2: Photographie de la carte de test.	121
Figure 6-3 : Dispositif de mesure.....	122
Figure 6-4 : Exemple de Sélection d'un pixel (60,60) ou d'une ligne à l'adresse 60.	122
Figure 6-5 : Allure des signaux de contrôle générés par le microcontrôleur SX1 (visualisation du comportement du pixel sélectionné).	123
Figure 6-6 : Réponse d'un pixel pour différents courants de polarisation I_{DEL} de la DEL-IR.....	124
Figure 6-7 : Courbe de réponse d'un pixel mesurée en fonction du courant de polarisation (puissance optique relative). Cette courbe de réponse coïncide bien avec une courbe logarithmique idéale. ...	125
Figure 6-8 : Autre courbe de réponse d'un pixel mesurée avec une diode IR de faible puissance. La comparaison avec une courbe logarithmique idéale montre clairement la transition entre le mode linéaire et le mode logarithmique d'un photorécepteur Log-PV.....	126
Figure 6-9 : Chronogramme des commandes pour mesurer le temps de stabilisation de la tension à la sortie du pixel Log-PV.	127
Figure 6-10 : Réponse du pixel avec différents courants de polarisation du suiveur PMOS du pixel (les courants de polarisation I_{Biaslec} et I_{AOP} sont fixés respectivement à 1,9 μA et 14 μA).....	128
Figure 6-11 : Forme d'onde de la tension de sortie du capteur d'un pixel pour un courant de polarisation de la diode infrarouge $I_{\text{DEL}}=0,08\text{mA}$. Nous avons superposé le résultat de simulation à l'aide de Matlab avec les paramètres mesurés extraits du pixel.....	129
Figure 6-12 : Images acquises avec deux courants de polarisation $I_{\text{Biaspixel}}$ différents: (a) 0,5 μA ; (b) 1,25 μA (Les courants de polarisation I_{Biaslec} et I_{AOP} fixés respectivement à 2,5 μA et 17 μA).....	130
Figure 6-13 : Chronogramme des signaux commandant un pixel et la chaîne de lecture associée du capteur Log-PV permettant de mesurer le temps de stabilisation et l'injection de charge du circuit de lecture.	131
Figure 6-14 : Réponse de la tension de sortie du capteur Log-PV pendant la phase d'initialisation pour différents courants de polarisation I_{Biaslec} du circuit de lecture (les courants de polarisation $I_{\text{Biaspixel}}$ et I_{AOP} sont fixés respectivement à 1,4 μA et à 17 μA).....	132
Figure 6-15 : Mesure de l'injection de charge du transistor d'échantillonnage.	133
Figure 6-16 : Images acquises avec différents courants de polarisation I_{Biaslec} du circuit de lecture : (a) 0,6 μA ; (b) 2,5 μA . Les courants de polarisation $I_{\text{Biaspixel}}$ et I_{AOP} fixés respectivement à 1,4 μA et 17 μA	134
Figure 6-17 : Chronogramme des signaux commandant un pixel et la chaîne de lecture associé du capteur Log-PV permettant de mesurer l'influence de la tension de polarisation de l'AOP.....	135
Figure 6-18 : Réponse du pixel pour différents courants de polarisation I_{AOP} de l'AOP. Les courants de polarisation $I_{\text{Biaspixel}}$ et I_{Biaslec} sont fixés respectivement à 1,4 μA et à 2 μA	135
Figure 6-19 : Temps de montée et de stabilisation de la tension de sortie du circuit de compensation pour différents courants de polarisation I_{AOP} . Les courants de polarisation $I_{\text{Biaspixel}}$ et I_{Biaslec} sont fixés respectivement à 1,4 μA et à 2 μA	136
Figure 6-20 : Réponse de balayage quand Phi1 est activé et Phi2 est désactivé pendant les deux lectures (les courants de polarisation $I_{\text{Biaspixel}}$, I_{Biaslec} et I_{AOP} sont fixés respectivement à 1,4 μA et 2 μA et 17 μA).	137

Figure 6-21 : Temps de stabilisation de l'AOP en mode balayage en fonction de son courant de polarisation I_{AOP}	138
Figure 6-22 : Influence de l'injection et de l'absorption de charge induites par les transistors commandés par $\Phi 1$ et $\Phi 2$	139
Figure 6-23 : Réponse de trois pixels de la ligne 60 dont les ordonnées sont 40, 80 et 120.....	141
Figure 6-24 : Modélisation d'une ligne en polysilicium.....	141
Figure 6-25 : Allure du signal de commande $\Phi 1$ pour les circuits de compensation n°1, 20, 40, 80, 120, 140 et 160.....	142
Figure 6-26 : Schématisation de l'effet parasite entre le signal $\Phi 1$ et la tension de référence du circuit de compensation du BSF.....	143
Figure 6-27 : Simulation sur T-Spice de la réponse de huit circuits de compensation.....	143
Figure 6-28 : Simulation de la réponse de huit circuits de compensation dont le front descendant du signal $\Phi 1$ dure 1,5 μ s.....	144
Figure 6-29 : Réponse des circuits de compensation du BSF du capteur Log-PV en fonction du temps de descente de $\Phi 1$: (a) $t_{descente}=20$ ns; (b) $t_{descente}=120$ ns; (c) $t_{descente}=1,14$ μ s; (d) $t_{descente}=1,6$ μ s; (e) $t_{descente}=1,85$ μ s; (f) $t_{descente}=2,28$ μ s; (g) $t_{descente}=2,78$ μ s; (h) $t_{descente}=3,25$ us.....	145
Figure 6-30 : Images acquises pour différents courants de polarisation I_{AOP} de l'AOP du circuit de compensation: (a) 0,6 μ A; (b) 14 μ A. Les courants de polarisation $I_{Biaspixel}$ et $I_{Biaslec}$ sont fixés respectivement à 1,4 μ A et 2 μ A.....	146
Figure 6-31 : (a) Image BSF des circuits de compensation; (b) visualisation de la ligne 60 de cette image; (c) Image après les circuits de compensation; (d) visualisation de la ligne 60 de cette image.....	147
Figure 6-32 : Images exemples : (a) avec BSF résiduel; (b) sans BSF résiduel; (c) sans compensation BSF. Les courants de polarisation $I_{Biaspixel}$, $I_{Biaslec}$ et I_{AOP} fixés respectivement à 1,4 μ A, 2 μ A et 17 μ A. (Temps d'exposition de 20ms).....	149
Figure 6-33 : Nouveau circuit de compensation du BSF qui permet théoriquement de compenser tous les bruits BSF du capteur Log-PV si le gain de l'AOP est suffisamment grand.....	150
Figure 6-34 : Modélisation de la ligne en polysilicium véhiculant l'horloge du registre à décalage.....	152
Figure 6-35 : Signaux de sélection des pixels d'une ligne provenant du registre à décalage à la cadence vidéo.....	152
Figure 6-36 : Image de la lampe acquise pour différentes vitesses de l'horloge du registre à décalage colonne : (a) 840ns; (b) 1 μ s.....	153
Figure 6-37 : Visualisation des images (a-1), (b-1) et des réponses (a-2), (b-2) de la colonne 80 de la matrice de pixels pour la valeur du courant du signal de la DEL-IR respectivement 50 μ A et 180 μ A.....	154
Figure 6-38 : Image d'un moniteur d'ordinateur.....	155
Figure 6-39 : Images d'une lampe allumée (a) et éteinte (b). Cet exemple montre bien la plage étendue de fonctionnement du capteur Log-PV.....	156
Figure 6-40 : (a) Image acquise d'une scène éclairée à 3,3lux; (b) Image après une compensation logicielle du BSF résiduel.....	156
Figure 6-41 : Images acquises de deux scènes éclairées à 440lux (a) et à 20.000lux (b).....	157
Figure A-1 : Photo-génération de paires électrons-trous capturées par la jonction PN.....	173
Figure A-2 : Courbes caractéristiques V-I d'une jonction PN non-éclairée et éclairée.....	174
Figure A-3 : La profondeur de jonction X_j et l'épaisseur de la zone de charge d'espace w_d d'une jonction PN.....	175
Figure A-4 : Le coefficient d'absorption α (en m^{-1}) d'un photon dans une jonction PN en silicium en fonction de la longueur d'onde λ de la lumière incidente (en nm).....	175
Figure A-5 : Courbe du facteur de conversion photoélectrique F en fonction de la longueur d'onde λ pour deux types de jonction : CCD avec $X_j=0,25$ μ m, $w_d=3$ μ m; N+/Pwell avec $X_j=0,3$ μ m, $w_d=0,4$ μ m.....	176
Figure A-6 : Facteur de conversion des trois types de jonction PN en fonction de la longueur d'onde.....	179
Figure A-7 : Sensibilité en fonction de la longueur d'onde des trois types de jonction PN dans un capteur APS.....	181