



Méthodes de simulation des erreurs transitoires à plusieurs niveaux d'abstraction

S. Saleh

► To cite this version:

S. Saleh. Méthodes de simulation des erreurs transitoires à plusieurs niveaux d'abstraction. Micro et nanotechnologies/Microélectronique. Institut National Polytechnique de Grenoble - INPG, 2005. Français. NNT: . tel-00009587

HAL Id: tel-00009587

<https://theses.hal.science/tel-00009587>

Submitted on 24 Jun 2005

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

INSTITUT NATIONAL POLYTECHNIQUE DE GRENOBLE

N° attribué par la bibliothèque

□□□□□□□□□□

T H E S E

pour obtenir le grade de

DOCTEUR DE L'INPG

Spécialité : MICROELECTRONIQUE

préparée au laboratoire **TIMA**

dans le cadre de l'Ecole Doctorale

ELECTRONIQUE, ELECTROTECHNIQUE, AUTOMATIQUE, TELECOMMUNICATIONS, SIGNAL

présentée et soutenue publiquement

par

Susi SALEH

le 21 juin 2005

Titre :

**Méthodes de simulation des erreurs transitoires à plusieurs niveaux
d'abstraction**

Directeur de thèse :

Lorena ANGHEL

JURY

M. Régis LEVEUGLE
M. Abbas DANDACHE
M. Matteo SONZA-REORDA
Mme. Lorena ANGHEL
M. Bernard COURTOIS
M. Michel NICOLAIDIS

, Président
, Rapporteur
, Rapporteur
, Directeur de thèse
, Co-encadrant
, Examineur

REMERCIEMENTS

Je tiens à exprimer ma reconnaissance à :

Monsieur Abbas DANDACHE, pour avoir accepté d'être rapporteur de ce travail, et les nombreuses corrections qui ont amélioré le manuscrit.

Monsieur Matteo SONZA-REORDA, pour avoir accepté d'être rapporteur de ce travail, et de s'être déplacé de si loin pour la soutenance.

Monsieur Régis LEVEUGLE pour l'honneur qu'il m'a fait en acceptant de présider le jury de cette thèse.

Monsieur Michel NICOLAIDIS pour m'avoir fait l'honneur de faire partie de ce jury.

Je remercie Madame Lorena ANGHEL pour avoir acceptée de diriger cette thèse et pour toute l'aide qu'elle m'a apportée tout au long de cette thèse. Toute ma reconnaissance pour son soutien et sa patience qu'elle a su m'accorder pour mener à bien ce manuscrit.

Je tiens tout particulièrement à remercier Monsieur Bernard Courtois, directeur du laboratoire TIMA, pour m'y avoir accueillie et pour l'encadrement de ma thèse.

Toute ma gratitude au personnel fort sympathique de TIMA, CMP et du CIME :

Professeurs, Maîtres de conférence, doctorants, administrateurs réseaux et secrétaires, pour leur aide et leur assistance.

Je souhaite maintenant adresser toute ma sympathie à mes collègues et amis du laboratoire TIMA, dont la liste est longue pour tenir dans une page.

Mes compatriotes en France qui m'ont soutenue pendant les moments difficiles.

Aussi, je ne remerciais jamais assez mon petit ange Rita, mon mari et mes chers parents, mes frères et ma sœur pour leur soutien tout au long de ce travail.

Enfin, je tiens à remercier le gouvernement syrien qui a financé mes études en France.

Table des Matières

REMERCIEMENTS.....	3
Introduction	18
Chapitre 1: L'environnement radiatif et ses effets sur les circuits intégrés	24
1.1. L'environnement radiatif spatial.....	24
1.1.1. Le vent solaire	25
1.1.2. Les ceintures de radiations.....	25
1.1.3. Les éruptions solaires	25
1.1.4. Le rayonnement cosmique	26
1.2. L'environnement radiatif atmosphérique.....	28
1.3. Les différentes interactions	29
1.3.1. Les interactions entre un ion lourd et le silicium	30
1.3.2. Les interactions avec les photons.....	30
1.3.3. Les interactions avec les particules chargées.....	30
1.3.3.1. Les interactions avec les protons.....	31
1.3.3.2. Les interactions avec les particules alpha	31
1.3.4. Les interactions avec les neutrons	31
1.4. Les effets d'ionisation sur les composants microélectroniques.....	32
1.4.1. Définitions.....	32
1.4.2. Effets induits par radiation sur les circuits intégrés CMOS.....	34
1.4.2.1. Les effets singuliers irréversibles	35
1.4.2.1.1 <i>SEL (Single Event Latch-up)</i>	35
1.4.2.1.2 <i>SEGR (Single Event Gate Rupture)</i>	35
1.4.2.1.3 <i>SES (Single Event Snapback)</i>	36
1.4.2.2. Les effets singuliers réversibles	36
1.4.2.2.1 <i>SET (Single Event Transient)</i>	36
1.4.2.2.2 <i>SEU (Single Event upset)</i>	40
1.4.2.2.3 <i>MBU (Multiple Bit Upset)</i>	42
1.5. Evaluation des impacts des phénomènes transitoires.....	43
1.6. Influence de l'avancement technologique sur la tenue aux radiations ..	44
1.7. Conclusion.....	51
Chapitre 2: Modélisation des impulsions transitoires SETs au niveau transistor et portes logiques élémentaires	54
2.1. Simulation de l'impact d'une particule avec le composant.....	54
2.1.1 Méthode de simulation numérique.....	54
2.1.2. Méthode de simulation mixte Composant/SPICE	55
2.1.3. Simulateur numérique choisi.....	56
2.1.4. Modélisation 2-D des composants PMOS et NMOS.....	57
2.1.5. Modélisation de l'impact d'une particule chargée avec le composant.....	58
2.1.6. Modélisation de la trace d'une particule	60

2.2. Caractérisation des SETs au niveau transistor	61
2.2.1. Caractérisation des SETs pour un NMOS.....	61
2.2.1.1. Influence de l'angle d'incidence (θ)	61
2.2.1.2. Influence de la valeur du LET	71
2.2.1.3. Influence des dimensions du transistor « W_n »	73
2.2.1.4. Influence de la localisation de l'impact.....	76
2.2.1.5. Modélisation du courant I_d	81
2.2.1.6. Conclusion sur la caractérisation d'un transistor NMOS	85
2.2.2. Caractérisation des SETs pour un PMOS	86
2.2.2.1. Influence de l'angle d'incidence (θ)	86
2.2.2.2. Influence de la valeur du LET	89
2.2.2.3. Influence des dimensions du transistor « W_p »	90
2.2.2.4. Influence de la localisation de l'impact.....	92
2.2.2.5. Modélisation du courant I_d	97
2.2.2.6. Conclusion sur la caractérisation d'un transistor PMOS	100
2.2.3. Méthodologie de la prédiction du courant transitoire d'une porte logique CMOS.....	101
2.2.3.1. Exemple 1: Cas d'une porte de type inverseur.....	103
2.2.3.2. Exemple 2: Cas d'une porte de type NAND	106
Chapitre 3: Analyse de la propagation des impulsions transitoires dans un circuit numérique.....	112
3.1. Fautes transitoires dans un circuit combinatoire.....	112
3.2. Simulation avec injection de fautes transitoires.....	114
3.2.1. Simulations électriques des fautes transitoires.....	117
3.2.1.1. Durée de l'impulsion de tension au nœud d'injection.....	117
3.2.1.2. Propagation de l'impulsion injectée	119
3.2.1.3. Probabilité de transformation d'un SET en SEU	122
3.2.1.4. Simulations et résultats expérimentaux.....	123
3.2.2. Simulation mixte (électrique/numérique) des fautes transitoires.....	124
3.2.2.1. Simulations mixtes et résultats expérimentaux	130
3.2.3. Simulations numériques des fautes transitoires.....	132
3.2.3.1. Simulations et résultats expérimentaux.....	134
3.3. Comparaison entre les trois méthodes de simulations des SETs	136
3.4. Conclusion.....	139
Chapitre 4: Injection et simulation des SETs et SEUs dans un microprocesseur.....	142
4.1. Introduction	142
4.2. Choix d'un microprocesseur	142
4.2.1. Description du microcontrôleur mc68HC11	143
4.2.1.1. Plan Mémoire	144
4.2.1.2. Registres	145
4.2.1.3. Mode d'adressage.....	146
4.2.1.4. Jeu d'instructions.....	147
4.3. Flot de conception.....	147

4.3.1. Description VHDL d'un 6800	149
4.3.2. Synthèse logique de 68HC11	151
4.3.3. Simulation après synthèse	152
4.3.4. Placement-Routage	152
4.3.5. Simulation Post P/R	154
4.3.6. P&R sur FPGA	154
4.4. Injection et simulations des SETs et SEUs.....	154
4.4.1. Modèle logique d'une faute transitoire.....	154
4.4.2. Stratégie utilisée pour l'injection de fautes transitoires.....	155
4.4.3. Injection de fautes transitoires de type SET dans le mc6800.....	156
4.4.3.1. Rappel de l'analyse statistique des résultats:	156
4.4.3.2. Algorithme final d'injection de fautes transitoires de type SET:.....	158
4.4.3.3. Résultats expérimentaux	159
4.4.3.3.1. Sensibilité pour l'application des vecteurs de test aléatoires	159
4.4.3.3.2. Exécution d'un programme par le microprocesseur: une multiplication de deux matrices 7X7.....	162
4.4.4. Injection des SEUs dans le mc6800	164
4.4.4.1. Analyse statistique des probabilités des SEUs	165
4.4.4.2. Algorithme d'injection des SEUs.....	166
4.4.4.3. Résultats expérimentaux	167
4.4.4.3.1. Vecteurs de test aléatoires.....	167
4.4.4.3.2. Exécution d'un programme par le microprocesseur: une multiplication de deux matrices 7X7.....	168
4.5. Réalisation d'une cartographie de sensibilité	170
4.5.1. Outil de cartographie de sensibilité.....	171
4.6. Evaluation de la valeur de FIT du mc6800 par des simulations numériques.....	176
4.6.1. Présentation de l'environnement radiatif proposé	176
4.6.2. Valeur de la section efficace	177
4.6.3. Algorithme de simulation de SET et SEU et méthode de calcul du FIT.....	178
4.6.4. Méthode de calcul du FIT	180
4.7. Conclusion	182
Conclusions	184
Annexe A	187
Annexe B	191
Références	204

Table des Figures

Table des Figures

Figure 1: SER pour deux types de mémoires SRAM et DRAM [Con-03].....	18
Figure 1.1: Abondance relative des ions cosmique ($Z \geq 3$).....	26
Figure 1.2: Spectres de quelques éléments représentatifs du rayonnement cosmique, d'après CREME96 [Poi-01]..	27
Figure 1.3: Cascade de particules induites dans l'atmosphère par le rayonnement cosmique [Ziegl-96].....	28
Figure 1.4: (a) Courbes de LET pour plusieurs ions dans le Silicium.....	33
(b) Profondeur de pénétration des ions dans le Silicium.....	33
Figure 1.5: Exemple de courbe de section efficace en fonction de LET.....	34
Figure 1.6: Déclenchement de la structure NPNP.....	35
Figure 1.7: Coupe d'une jonction pn traversée par un ion lourd.....	36
Figure 1.8: Mécanismes d'évolution de charges dans une jonction.....	37
Figure 1.9: Impulsion de courant transitoire.....	38
Figure 1.10: Mécanismes d'impact pour une porte logique, (a): impact dans le drain P (OFF), (b): impact dans le drain P (ON), (c): impact dans le drain N (OFF), (d): impact dans le drain N (ON).....	39
Figure 1.11: SEU dans un point mémoire.....	41
Figure 1.12: SET dans une porte logique.....	42
Figure 1.13 (a): LET seuil simulé en fonction de la longueur de grille (L_g), dans une technologie développée sur substrat N.....	48
(b): LET seuil simulé en fonction de la longueur de grille (L_g), dans une technologie développée sur substrat P.....	48
Figure 1.14: (a): Charge critique nécessaire en fonction de la longueur de grille (L_g), (b): Valeur de LET avec la longueur de grille (L_g).....	49
Figure 1.15: Charge collectée par la source en fonction de la longueur de grille (L_g).....	49
Figure 1.16: Durée de l'impulsion transitoire vers la longueur de la grille [Mav-02].....	51
Figure 2.1: Description 3-D d'une cellule mémoire SRAM contenant 4 transistors.....	55
Figure 2.2: Cellule de mémoire simulée par la méthodologie dite mixte. Le transistor NMOS est présenté par un simulateur numérique 3-D, le reste du circuit est présenté par un simulateur SPICE.....	56
Figure 2.3: Description 2-D des transistors NMOS et PMOS pour une technologie 0,18 μm	57
Figure 2.4: Angles d'incidence pour un transistor NMOS.....	62
Figure 2.5: Evolution des courants transitoires aux électrodes d'un NMOS bloqué.....	63
Figure 2.6: Evolution des courants transitoires obtenus au drain d'un NMOS bloqué pour une valeur de LET=0,141 pC/ μm et quelques angles d'incidence.....	64
Figure 2.7: Amplitude des courants transitoires sur les trois électrodes Source, Drain et Substrat d'un NMOS bloqué pour différents angles d'incidence (θ) et pour une valeur de LET=0,141 pC/ μm	65
Figure 2.8: Concentration des charges dans le transistor NMOS bloqué après l'impact d'un ion d'une valeur de LET =0,141 pC/ μm pour deux angles d'incidence: (a) $\theta = 0^\circ$ et (b) $\theta = 5^\circ$	66
Figure 2.9: Concentration des charges pour un angle $\theta = 60^\circ$ et LET=0,141 pC/ μm	67
Figure 2.10: Schéma d'une incidence proche de 90°	68
Figure 2.11: Concentration des charges pour un angle $\theta = -88^\circ$ et LET=0,141 pC/ μm	68
Figure 2.12: Charges collectées aux trois électrodes (Source, Drain, Substrat), pour deux valeurs de LET, un angle d'incidence $\theta = 0^\circ$	69
Figure 2.13: Courants et Charges collectées aux trois électrodes (Source, Drain, Substrat), pour FBB et RBB.....	70
Figure 2.14: Evolution des charges collectées aux trois électrodes: Drain, Source, Substrat d'un NMOS bloqué en fonction de l'angle d'incidence pour une valeur de LET=0,141 pC/ μm et une $W_n = 0,70 \mu\text{m}$	71
Figure 2.15: Amplitude du courant de drain heurté I_d en fonction de la LET simulé pour un impact dans un transistor NMOS bloqué.....	72
Figure 2.16: Charges Q_d collectées au drain en fonction de deux valeurs simulées du LET pour un impact dans un transistor NMOS bloqué de $W_n = 0,70 \mu\text{m}$	73
Figure 2.17: Evolution en fonction de W_n des courants transitoires obtenus au drain N d'un NMOS bloqué pour une valeur du LET=0,141 pC/ μm et un angle d'incidence $\theta = 0^\circ$	74
Figure 2.18: Courant de drain heurté d'un NMOS bloqué en fonction de W_n	75
Figure 2.19: Charges collectées au drain heurté d'un NMOS bloqué en fonction de W_n	75
Figure 2.20: Six différentes localisations d'un impact sur un NMOS.....	76
Figure 2.21: Amplitude du courant de drain heurté pour les trois localisations.....	77
Figure 2.22: Amplitudes du courant de drain pour des impacts localisés dans la grille d'un NMOS.....	78
Figure 2.23: Amplitude du courant de drain pour des incidences angulaires dans la source d'un NMOS.....	79

Table des Figures

Figure 2.24: Courant de drain I_d d'un NMOS en fonction de la localisation d'un impact pour des angles d'incidence négatifs.	80
Figure 2.25: Courant de drain I_d d'un NMOS en fonction de la localisation d'un impact pour des angles d'incidence positifs.	80
Figure 2.26: Evolution des deux constantes de temps τ_a et τ_b en fonction de l'angle d'incidence et de la largeur W_n du transistor pour une valeur du LET=0,141 pC/ μ m.	81
Figure 2.27: Evolution des deux constantes de temps τ_a et τ_b en fonction du LET et de l'angle d'incidence, pour une $W_n=0,70$ pC/ μ m.	82
Figure 2.28: Evolution de la constante de temps τ_a en fonction de la localisation d'un impact: a) impact localisé dans le drain, b) impact localisé dans la grille, c) impact localisé dans la source.	82
Figure 2.29: Evolution de la constante de temps τ_b en fonction de la localisation d'un impact: a) impact dans le drain, b) impact dans la grille, c) impact dans la source.	83
Figure 2.30: Constantes de temps τ_a et τ_b d'un NMOS en fonction de la localisation d'un impact pour: (a) des angles d'incidence négatifs, (b) des angles d'incidence positifs.	84
Figure 2.31: Courant de drain I_d (LET=0,141 pC/ μ m, angle d'incidence égale à 0° et $W_n=1,42\mu$ m. Les constantes de temps pour le modèle double exponentielle son t: $\tau_a=3.10^{-10}$ (s), $\tau_b=5.10^{-12}$ (s)	85
Figure 2.32: Evolution des courants transitoires obtenus au drain P d'un PMOS bloqué pour une valeur du LET=0,141 pC/ μ m et pour plusieurs angles d'incidence.	87
Figure 2.33: Evolution de l'amplitude des trois courants I_d , I_s , et I_{sub} en fonction de l'angle d'incidence pour un transistor de type PMOS.	87
Figure 2.34: Evolution des charges collectées aux trois électrodes: Drain, Source, Substrat d'un PMOS bloqué en fonction de l'angle d'incidence pour une valeur du LET=0,141 pC/ μ m et une $W_p=1,24\mu$ m.	89
Figure 2.35: Amplitude du courant de drain heurté I_d en fonction de la valeur du LET simulée pour un impact dans un transistor PMOS bloqué.	90
Figure 2.36: Evolution en fonction de W_p des courants transitoires obtenus au drain d'un PMOS bloqué pour une valeur du LET=0,141 pC/ μ m et un angle d'incidence $\theta=0^\circ$	91
Figure 2.37: Courant de drain heurté d'un PMOS bloqué en fonction de W_p	91
Figure 2.38: Charges collectées au drain heurté d'un PMOS bloqué en fonction de W_p	92
Figure 2.39: Amplitude du courant de drain heurté pour les trois localisations.	93
Figure 2.40: Amplitude du courant de drain heurté pour des impacts localisé dans la grille.	94
Figure 2.41 : Amplitude du courant de drain heurté pour des incidences angulaires dans la source.	95
Figure 2.42: Courant de drain I_d en fonction de la localisation d'un impact pour des angles d'incidence positifs.	96
Figure 2.43: Courant de drain I_d en fonction de la localisation d'un impact pour des angles d'incidence négatifs.	96
Figure 2.44: Evolution des deux constantes de temps τ_a et τ_b et en fonction de l'angle d'incidence et de la largeur W_p du transistor pour une valeur du LET=0,141 pC/ μ m.	97
Figure 2.45: Evolution des deux constantes de temps τ_a et τ_b en fonction du LET et de l'angle d'incidence, pour une $W_p=1,24[\mu$ m].	98
Figure 2.46: Evolution de la constante de temps τ_a en fonction de la localisation d'un impact: a) impact dans le drain, b) impact dans la grille, c) impact dans la source.	98
Figure 2.47: Evolution de la constante de temps τ_b en fonction de la localisation d'un impact: a) impact dans le drain, b) impact dans la grille, c) impact dans la source.	99
Figure 2.48: Constantes de temps τ_a et τ_b d'un PMOS en fonction de la localisation d'un impact pour: (a) des angles d'incidence négatifs, (b) des angles d'incidence positifs.	100
Figure 2.49: Porte de type inverseur CMOS.	103
Figure 2.50: Mise en évidence de l'efficacité de la méthodologie de prédiction du courant I_d pour un impact quelconque. Comparaison des valeurs du courant I_d déterminées par le modèle de prédiction et par les simulations 2-D: (a) le courant I_d en fonction de l'angle d'incidence pour un impact localisé au centre de drain N bloqué et une valeur du LET égale à 0,141 [pC/ μ m]. (b) le courant I_d en fonction du LET pour un angle d'incidence $\theta=0^\circ$. (c) le courant I_d en fonction de la localisation d'un impact pour un LET=0,34 [pC/ μ m] et un angle d'incidence $\theta=0^\circ$	104
Figure 2.51: Mise en évidence de l'efficacité de la méthodologie de prédiction du courant Id pour un impact quelconque. Comparaison des valeurs du courant Id déterminées par le modèle de prédiction et par les simulations 2-D: (a) le courant Id en fonction de l'angle d'incidence pour un impact localisé au centre de drain P bloqué et une valeur due LET égale à 0,141 [pC/ μ m].(b) le courant Id en fonction du LET pour un angle d'incidence $\theta=0^\circ$. (c) le courant Id en fonction de la localisation d'un impact pour un LET=0,34 [pC/ μ m] et un angle d'incidence $\theta=0^\circ$	105
Figure 2.52: Porte de type NAND.	106
Figure 2.53: Mise en évidence de l'efficacité de la méthodologie de prédiction du courant Id pour un impact dans le transistor P1 bloqué. Comparaison des valeurs du courant Id déterminées par le modèle de prédiction et par	

Table des Figures

les simulations 2-D: (a) le courant I_d en fonction de l'angle d'incidence pour un impact localisé au centre de drain P bloqué et une valeur du LET égale à $0,141 \text{ pC}/\mu\text{m}$. (b) le courant I_d en fonction du LET pour un angle d'incidence $\theta=0^\circ$. (c) le courant I_d en fonction de la localisation d'un impact pour un LET= $0,141 \text{ pC}/\mu\text{m}$ et un angle d'incidence $\theta=0^\circ$	108
Figure 2.54: Mise en évidence de l'efficacité de la méthodologie de prédiction du courant I_d pour un impact dans le transistor N1 bloqué. Comparaison des valeurs du courant I_d déterminées par le modèle de prédiction et par les simulations 2-D: (a) le courant I_d en fonction de l'angle d'incidence pour un impact localisé au centre de drain N bloqué et une valeur de LET égale à $0,141 \text{ pC}/\mu\text{m}$. (b) le courant I_d en fonction du LET pour un angle d'incidence $\theta=0^\circ$. (c) le courant I_d en fonction de la localisation d'un impact pour un LET= $0,141 \text{ pC}/\mu\text{m}$ et un angle d'incidence $\theta=0^\circ$	109
Figure 3.1: Exemple typique d'un circuit séquentiel.....	113
Figure 3.2: Illustration graphique des différents cas expliquant la possibilité de capturer une impulsion transitoire.	114
Figure 3.3: Présentation des trois méthodes de simulation	116
Figure 3.4: Exemple de circuit contenant des portes de type inverseur et bascules.	117
Figure 3.5: Largeur de l'impulsion au nœud d'injection en fonction de la capacité du nœud et de la forme du courant.	118
Figure 3.6: Scénario de la création d'une faute transitoire dans un circuit.	119
Figure 3.7: Evolution d'une impulsion traversant un inverseur.	120
Figure 3.8: Largeur des impulsions propagées dans un inverseur en fonction de la largeur de l'impulsion injectée	121
Figure 3.9: Etapes essentielles pour la mise en place des simulations mixtes.....	126
Figure 3.10: Exemple de la modélisation d'un circuit utilisé pour la simulation mixte	127
Figure 3.11: Eléments d'interface: (a) D2A, (b) A2D.....	127
Figure 3.12: Influence de la pente d'un signal d'entrée sur le temps de commutation.	128
Figure 3.13 Exemple d'un fichier «.tlf», (a) une partie du fichier «.tlf», (b) répartition des données présentées dans cette partie en fonction de la capacité de charge et de la valeur d'«input slew».	129
Figure 3.14: Exemple de l'Influence de la valeur de slew- rate d'un signal d'entrée sur le signal de sortie d'une porte de type inverseur.....	130
Figure 3.15: (a) Représentation de l'impulsion transitoire au nœud heurté, (b) Impulsion rectangulaire de largeur Δt_{inj}	132
Figure 3.16: Changement de la forme d'un signal provoqué par l'injection d'une impulsion transitoire.....	133
Figure 3.17: Exemple qui montre la possibilité de la propagation d'une faute transitoire dans un circuit logique...	136
Figure 4.1: Architecture du microcontrôleur mc68HC11.	144
Figure 4.2: Registres du 68HC11	145
Figure 4.3: Flot de conception.....	148
Figure 4.4: Exemple de module élémentaire dans le cas de l'instruction «transférer A to B: TAB» pour le microprocesseur MC6800.....	150
Figure 4.5: Résultats de la synthèse du processeur 68HC11	152
Figure 4.6: Placement Routage (a) une vue générale, (b) Succession d'opérations à effectuer	153
Figure 4.7: Microprocesseur mc6800 après placement et Routage.....	153
Figure 4.8: Représentation d'une impulsion transitoire	155
Figure 4.9: Sensibilité d'une porte logique de type NAND (a) Sensibilité en fonction de la fréquence d'horloge, (b) Sensibilité en fonction de la durée de l'impulsion.....	160
Figure 4.10: Sensibilité d'une porte logique de type Inverseur (a) Sensibilité en fonction de la fréquence d'horloge, (b) Sensibilité en fonction de la durée de l'impulsion.	160
Figure 4.11: Sensibilité du microprocesseur mc6800 (a) Sensibilité en fonction de la fréquence d'horloge, (b) Sensibilité en fonction de la durée de l'impulsion.....	161
Figure 4.12: Sensibilité du mc6800 en fonction de la fréquence d'horloge	161
Figure 4.13: Sensibilité du mc6800 en fonction de la durée de l'impulsion injectée.....	162
Figure 4.14: Sensibilité de mc6800 en fonction de la fréquence d'horloge en appliquant des séquences de vecteurs de test aléatoires et une application choisie.	163
Figure 4.15: Sensibilité de mc6800 en fonction de la durée de l'impulsion injectée en appliquant des séquences de vecteurs de tests aléatoires et une application choisie.	163
Figure 4.16: SET dans le latch FF1	165
Figure 4.17: Sensibilité de quelques registres en fonction de la fréquence d'horloge.....	167
Figure 4.18: Sensibilité totale du microprocesseur mc6800 face aux SEUs.	168

Table des Figures

Figure 4.19: Sensibilité de quelques registres pendant l'application des séquences de test aléatoire et d'une multiplication de deux matrices.	169
Figure 4.20: Sensibilité total de du microprocesseur mc6800 face aux SEUs pendant l'application des séquences de test aléatoire et pendant celle d'une multiplication de deux matrices.	170
Figure 4.21: Exemple d'une liste de sensibilité extraite par l'algorithme proposé pour une impulsion injectée de 50 [ps] et une fréquence de 25[MHz].	170
Figure 4.22: Etapes essentielles de la création de l'outil de cartographie de sensibilité.	171
Figure 4.23: Exemple de la transformation des valeurs discrètes de la sensibilité de plusieurs portes voisines.	172
Figure 4.24: Représentation discrète de la sensibilité sur la vue layout du microprocesseur mc6800.	173
Figure 4.25: Vue 2D de la cartographie de la sensibilité montrant les zones les plus sensibles sur la surface du circuit étudié, une distribution continue de la sensibilité.	174
Figure 4.26: Vue 3D de la cartographie de la sensibilité montrant les pics de sensibilité des zones sensibles sur la surface du circuit étudié.	175

Liste des Tables

Tableau 1.1: Description des différentes composantes de l'environnement radiatif spatial. Variations des flux de particules en fonction de leur énergie.....	24
Tableau 1.2: Evolution des semi-conducteurs concernant le progrès technologique, les mémoires (DRAM, SDRAM) et la logique combinatoire [SIA-01].....	46
Tableau 1.3: Valeurs de SER et FIT pour plusieurs mémoires.....	50
Tableau 2.1: Différents ions, différentes énergies et différentes distances de pénétration dans le silicium.....	72
Tableau 2.2: Etat de chaque transistor d'une porte NAND en fonction des vecteurs de test appliqués aux entrées.....	106
Tableau 3.1: Résultats obtenus pour des portes de type inverseur par des simulations électriques.....	124
Tableau 3.2: Résultats obtenus pour des portes de type inverseur, par des simulations mixtes (en modifiant les valeurs d'input-slew).....	130
Tableau 3.3: Résultats obtenus pour des portes de type inverseur, par des simulations mixtes (sans modifier les valeurs d'input-slew).....	131
Tableau 3.4: Résultats obtenus pour des portes de type inverseur par des simulations numériques.....	135
Tableau 3.5: Résultats obtenus par les trois méthodes de simulation.....	138
Tableau 3.6 Temps CPU en fonction de la méthode utilisée pour un ensemble de vecteurs de test complet.....	138
Tableau 4.1: Plan Mémoire du mc6800.....	145
Tableau 4.2: Comparaison entre les valeurs chargées dans le registre CCR et les valeurs observées.....	151
Tableau 4.3: Principales caractéristiques de quelques environnements radiatifs.....	176
Tableau 4.4: Exemple de la valeur de section efficace de SEU des mémoires SRAM et DRAM [Norm-96a].....	178
Tableau 4.5: Résultats de simulation.....	181
Tableau 4.6: Estimation des valeurs de AER_{total} pour chaque environnement proposé.....	181
Tableau 1: Résultats de test de CCR.....	191
Tableau 2: Résultat de Test de TSX.....	192
Tableau 3: Résultat de test de TXS.....	193
Tableau 4: Résultats de test de DAA.....	193
Tableau 5: Résultats de test de CPX avec adressage immédiat.....	194
Tableau 6: Résultats de test de CPX avec adressage direct.....	195
Tableau 7: Résultats de test de CPX avec adressage étendu.....	196
Tableau 2: Résultats de test de CPX avec adressage indexé.....	196

Glossaire

- **AE:** Nombre d'erreurs d'application
- **AER:** Taux d'erreurs d'application [AE/sec]
- **FBB:** Forward Body Bais
- **FIT:** Failures in Time, ou les défaillances dans le temps [défaillance par billion d'heures de fonctionnement]
- **ISE:** Integrated Systems Engineering
- **I_d** ou **I_{drain}**: Courant du drain d'un transistor
- **I_s** ou **I_{source}**: Courant de la source d'un transistor
- **I_{sub}** ou **I_{substrat}**: Courant du substrat d'un transistor
- **LET:** Linear Energy Transfer, soit en français Transfert d'Energie Linéique
- **L_g**: Longueur de la grille d'un transistor
- **L_s**: LET seuil.
- **Q_d** ou **Q_{drain}**: Charges collectées au drain d'un transistor
- **Q_s** ou **Q_{source}**: Charges collectées à la source d'un transistor
- **Q_{sub}** ou **Q_{substrat}**: Les charges collectées au substrat d'un transistor
- **RBB:** Reverse Body Bais
- **SEE:** Single Event Effect, ou phénomènes singuliers
- **SER:** Single Error Rate, ou taux d'erreurs
- **SET:** Single Event Transient
- **SEU:** Single Event Upset
- **W_n**: Largeur d'un transistor de type NMOS
- **W_p**: Largeur d'un transistor de type PMOS
- **ZBB:** Zero Body Bais
- **ZCE:** Zone de charge d'espace d'une jonction PN
- **σ_{SAT}**: Section efficace à saturation
- **θ:** Angle d'incidence d'un ion sur le composant

Introduction

Introduction

Le progrès technologique de la microélectronique représenté par la réduction des tailles des transistors et de la tension d'alimentation (Vdd), mais aussi par l'augmentation de la fréquence d'horloge et la densité d'intégration ont, à part les bénéfices inestimables, un impact très important sur la fiabilité des futures systèmes intégrés. Un des principaux problèmes est l'augmentation sans précédent des fautes transitoires et intermittentes. En effet, la réduction de la géométrie des transistors et des interconnexions ainsi que l'augmentation de la fréquence de fonctionnement font apparaître de plus en plus d'erreurs ayant pour cause la violation des spécifications temporelles. D'autre part, la variation du procédé de fabrication et des éventuels éléments résiduels conduit à une augmentation de fautes intermittentes. De plus, la diminution de la taille des transistors et de la tension d'alimentation résulte en une augmentation considérable de la sensibilité face aux neutrons et aux particules alpha. Le nombre de fautes transitoires ayant pour cause l'impact des particules énergétiques sur des circuits intégrés augmente considérablement d'une technologie à l'autre. La figure 1 illustre cette tendance.

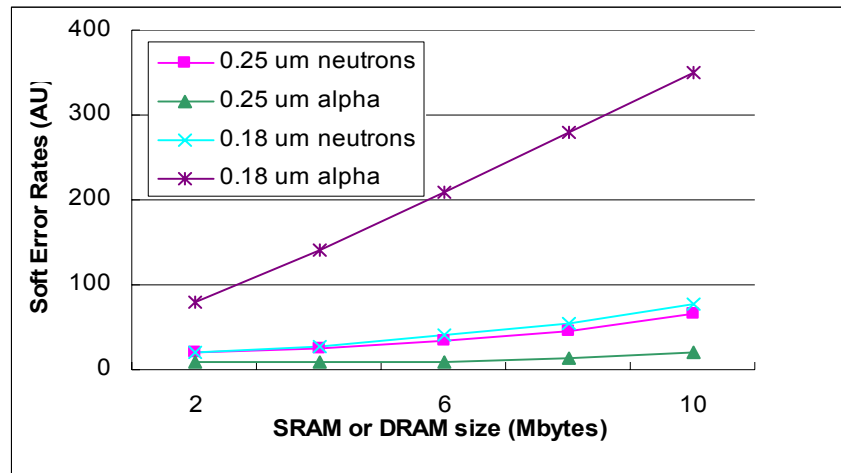


Figure 1: SER pour deux types de mémoires SRAM et DRAM [Con-03].

Sur cette figure sont présentées les mesures de SER (*Single Error Rate*) induites par les neutrons et particules alpha. Ces mesures ont été réalisées sur des mémoires SRAM fabriquées en technologie 0,25 μm (technologie à 2 V) et sur 0,18 μm (technologie à 1,6 V) en accélérateur à Los Alamos, USA, et elles montrent que les effets des particules alpha augmentent 30 fois lorsque on passe de la technologie 0,25 μm à la technologie 0,18 μm tandis que pour les neutrons l'effet est moindre, restant tout de même important (le SER augmente de 20%). Cette augmentation s'explique par le fait que dans les technologies très fines, la taille du transistor et la charge critique des nœuds sont de plus en plus faibles. En conséquence, la plupart des neutrons et particules alpha, même ayant une faible énergie, seront capables de basculer la valeur logique d'une cellule de mémoire. De plus, les matrices de mémoires étant de plus en plus denses et de grande taille sont aussi sensibles aux erreurs multiples, dont le taux ne cesse d'augmenter.

L'augmentation du taux d'erreurs due aux particules énergétiques se confirme aussi lorsque on passe à une technologie encore plus fine, par exemple à la 130nm. Par contre, le taux d'erreurs augmente très peu pour la technologie 90nm. Ces analyses ont été publiées très

récemment en Design & Test of Computers, février 2005 par les chercheurs de chez Intel, USA [Mit-05] et proviennent d'une campagne très importante des mesures expérimentales en accélérateur de particules. La même étude montre l'apparition des *latch-up* dans les mémoires fabriquées dans les technologies nanométriques très avancées.

Plusieurs incidents ayant pour cause l'environnement radiatif ont été rapportés ces dernières années. En 2000, la compagnie SUN Microsystems admet que plusieurs crashes des systèmes ont été observés sur les serveurs Entreprise provenant des impacts cosmiques sur les mémoires cache [Baum-02]. En contrepartie, la compagnie Fujitsu Ltd annonce que dans les architectures SPARC 80% de *latches* sont protégés par la parité en 130nm. IBM fixe le niveau des FIT à 114 (le taux de SER se mesure en FIT- *Failures in Time* ce qui signifie 1 erreur par 10^9 heures de fonctionnement). Ceci signifie un temps moyen d'erreur de 1000 ans. Cependant, les résultats de mesure en accélérateur ou en vol montrent déjà une moyenne 1000 FIT par mégabit (neutrons et alpha) pour des latches et SRAM conçus en technologie de 130 nm [Draf-04].

En plus des points mémoire et latches, les parties combinatoires des systèmes séquentiels deviennent elles mêmes de plus en plus sensibles. Ceci est dû principalement à la diminution des temps de commutation des portes logiques, devenu beaucoup plus petit qu'une impulsion transitoire générée par un impact, et à l'augmentation de la fréquence de l'horloge. Il est important de signaler que les réseaux des portes logiques présentent tout de même moins de sensibilité par rapport aux mémoires, et ceci est dû au masquage logique, électrique ou temporel. Le masquage logique survient quand aucun chemin de propagation n'existe entre la porte affectée par une particule et les sorties ou les latches. Le masquage électrique fait référence à l'atténuation de l'impulsion transitoire résultante de l'impact au long du chemin de propagation, alors que le masquage temporel survient quand l'impulsion transitoire arrive aux Flip-Flop à un moment autre que le front montant de l'horloge. Chacun de ces trois facteurs de masquage présente une barrière à la création des *erreurs softs* dans les parties combinatoires. Dans les nouvelles technologies on assiste à une réduction considérable de ces barrières. Il est d'ailleurs prévu que le taux d'*erreurs softs* des parties logiques combinatoires sera comparable à celui des mémoires non protégées aux alentours des années 2011[Shi-02].

Il est important de noter qu'en ce qui concerne les parties combinatoires par rapport aux mémoires, la sensibilité des nœuds appartenant à un réseau de portes logiques n'est pas uniforme d'un nœud à l'autre. La probabilité qu'une impulsion transitoire apparue à un nœud quelconque soit transformée en erreur peut être jusqu'à un ordre de grandeur plus important que pour un autre nœud du même circuit.

En conséquence, il est très important d'identifier les nœuds les plus sensibles d'un réseau de portes logiques et de connaître les probabilités qu'une impulsion transitoire soit transformée en erreur logique voir en erreur d'application. Ensuite, des mesures de durcissement locales peuvent être mises en place afin de réduire le taux global d'erreurs d'un circuit combinatoire.

L'analyse de la sensibilité face aux fautes transitoires des circuits combinatoires et séquentiels est une tâche essentielle aujourd'hui. Afin de concevoir des systèmes intégrés avec un taux d'erreurs faible, les concepteurs doivent pouvoir analyser et estimer avec précision le taux d'erreurs. Si dans le cas des mémoires, les expériences de tests sous radiation nous permettent de calculer aisément le taux de SER (les cellules mémoires sont toutes identiques, constituant une population statistiquement significative), ceci n'est pas le cas des circuits combinatoires. Dans ces circuits, nous l'avons déjà mentionné, chaque nœud a

une sensibilité différente. La probabilité qu'une impulsion transitoire soit transformée en erreur nécessite la prise en compte de plusieurs phénomènes et paramètres qui tiennent à la fois de l'environnement, de la technologie, de la topologie du circuit et des vecteurs d'entrée (autrement dit de l'application). Tous ces phénomènes et paramètres doivent être pris en compte, et ceci est une tâche difficile, car un certain nombre de phénomènes sont de nature aléatoire, étant très difficiles à formaliser. L'évaluation du taux d'erreurs pour ces circuits ne pourra se faire que par simulation avec injection de fautes. Pour cela, le concepteur doit pouvoir simuler tout le processus de génération, propagation d'une impulsion transitoire et sa transformation en erreur logique et/ou d'application. Ceci implique un travail concurrent de simulation du niveau physique jusqu'au niveau système, en prenant en compte les environnements radiatif et électrique ce qui implique la prise en compte d'un nombre très important de fautes transitoires des formes et durées différentes, (selon le type de particule, son énergie, son point d'impact, le type de porte et sa capacité de sortie) pour un nombre encore plus important de vecteurs de test (selon l'application choisie, plus ou moins complexe). Et de plus, et ce qui est encore plus important, la simulation de fautes doit être très rapide; elle ne doit pas affecter le *Time to Market*.

Plusieurs méthodes analytiques, cherchant à contourner la simulation de fautes, sont à l'étude en ce moment dans la communauté scientifique [Draf-04]. La plupart des auteurs utilisent le calcul probabiliste de génération des impulsions transitoires (SETs) ou des upsets (SEUs) et de propagation et transformation en erreur. Cependant, ces modèles ne sont pas complets, car un certain nombre de paramètres ne sont pas pris en compte. Dans cette thèse, nous proposons un lien entre les phénomènes physiques de l'impact des particules et les erreurs logiques, voir les erreurs d'applications qui peuvent être générées suite à ces impacts. Nous avons tenté de développer une nouvelle méthodologie d'évaluation très rapide et efficace, basée sur une combinaison de calcul probabiliste d'apparition de fautes transitoires avec la simulation de fautes.

L'originalité de cette thèse consiste non seulement en la combinaison de ces deux aspects mais également en le découpage du problème d'évaluation des effets des *erreurs softs* en plusieurs types et méthodes d'analyses. Pour arriver à une méthodologie de simulation de fautes rapide et en même temps précise, nous avons adopté une stratégie de type «divide et conquer» consistant à appliquer une méthode de simulation par niveau d'abstraction (simulations physiques 2-D, simulation électrique au niveau transistor et simulation numérique, ou mixte au niveau portes logiques, calcul formel au niveau système). Cette stratégie nous permettra d'appliquer:

- La simulation physique 2-D au niveau composant ou porte logique élémentaire qui consiste en la caractérisation de toutes les cellules/portes d'une technologie par rapport aux fautes transitoires une fois pour toutes. Une famille de courbes de courant sera obtenue pour chaque cellule de bibliothèque et un domaine de valeurs de l'amplitude et des durées de l'impulsion de courant sera établi.
- La simulation SPICE au niveau porte pour la transformation des impulsions de courant en impulsions de tension, afin de pouvoir prendre en considération l'impact de l'impédance de sortie de chaque porte. Une famille de courbes de tension transitoire sera établie pour chacune des portes de la technologie sélectionnée.
- La simulation logique au niveau réseau de portes, prenant en compte un modèle logique de la faute transitoire, afin d'analyser la propagation de fautes à travers le réseau de portes et sa transformation en erreur logique. L'impulsion rectangulaire obtenue en

comparant sa valeur avec le seuil de commutation de la cellule logique suivante sera utilisée lors des simulations numériques, beaucoup plus rapides, qui pourront prendre en compte plusieurs dizaines de milliers de vecteurs d'entrée générés aléatoirement ou provenant d'une application.

- Par calcul direct du taux d'erreurs d'application au niveau système, en prenant en compte le nombre d'erreurs obtenu précédemment et la probabilité qu'une erreur se transforme en défaillance.

Au passage, les méthodes de simulations de fautes transitoires proposées, au niveau électrique, mixte (électrique-numérique) et numérique sont comparées afin d'évaluer la différence en ce qui concerne la précision des résultats et la vitesse en simulation.

Cette thèse s'articule autour de quatre chapitres. Le premier chapitre est consacré à la présentation des contraintes radiatives et des environnements relatifs aux milieux spatial, aérospatial et terrestre. Ce chapitre présente l'interaction entre différentes particules et le silicium, une présentation des effets des radiations sur les circuits intégrés et une description des mécanismes de collection de charge déposée par une particule chargée. Une description du phénomène de SET et de SEU est finalement présentée suivie par l'étude de l'influence de la technologie sur la tenue aux radiations.

Dans la première partie du deuxième chapitre nous nous attachons à la modélisation de la trace d'une particule chargée au sein d'un simulateur numérique. La modélisation physique 2-D de chaque type de transistor NMOS et PMOS que nous avons utilisé au long de cette thèse est aussi présentée. La deuxième partie de ce chapitre est consacrée à la caractérisation par simulation de chaque type de transistor d'une technologie donnée CMOS 0,18 μ m face aux phénomènes transitoires de type SET. Suite à la caractérisation de chaque transistor, une famille de courbes de courants transitoires est extraite. Nous étudions l'influence de l'angle d'incidence puis l'influence de la valeur du *LET* sur l'amplitude et la forme du courant, et finalement l'influence de la localisation d'un impact transitoire généré sur la surface de la structure. Nous nous intéressons également à la détermination de la forme du courant transitoire en calculant les constantes de temps pour chaque courant de drain obtenu. En s'appuyant sur les courants obtenus par l'étude de ces influences, nous proposons une méthodologie qui permet de prédire le courant transitoire de n'importe quel type de porte élémentaire face aux fautes transitoires. Enfin, nous terminons le deuxième chapitre par la validation de la méthodologie sur deux exemples: une porte de type inverseur et une porte de type NAND.

Dans le troisième chapitre, nous étudions la simulation et l'analyse de la propagation d'une impulsion transitoire dans un circuit logique en utilisant trois méthodes de simulations: électrique, mixte et numérique. Nous commençons par la présentation des simulations électriques. En fait, en s'appuyant sur les courants obtenus au niveau physique, et en utilisant un simulateur électrique tel SPICE, nous déterminons la durée de l'impulsion de tension provoquée par l'injection d'un courant transitoire en fonction de l'impédance physique de sortie d'une porte. Nous présentons également une autre méthode de simulation: les simulations mixtes (électriques-numériques). La dernière méthode proposée est l'utilisation d'un simulateur numérique afin d'étudier la propagation d'une impulsion transitoire et sa transformation en erreur. Ce chapitre se termine par une comparaison entre ces trois méthodes de simulation en utilisant un circuit logique complexe synchrone dans lequel les sorties sont capturées par des *latches*. Cette comparaison nous permet d'évaluer l'efficacité de détection, les avantages et les inconvénients de chaque méthode de simulation.

Dans le quatrième chapitre, nous analysons la sensibilité face aux fautes transitoires de type SET mais également SEU d'un circuit complexe à base de microprocesseur en utilisant des simulations numériques. Nous commençons par la présentation du microprocesseur Motorola mc6800 utilisé comme circuit de test. Un algorithme d'injection des fautes transitoires a été mis en oeuvre afin d'injecter des fautes transitoires et d'évaluer les résultats dans le cas de cette analyse. A partir de ces résultats une cartographie de sensibilité d'un circuit complexe est réalisée. Cette cartographie nous permet de déterminer les zones les plus sensibles du circuit étudié et éventuellement de décider d'un durcissement ponctuel des portes sensibles. Enfin, nous terminons ce chapitre par l'estimation des défaillances dans le temps (FIT) dues à l'injections des fautes transitoires.

Chapitre 1

L'environnement radiatif et ses effets sur les circuits intégrés

Chapitre 1: L'environnement radiatif et ses effets sur les circuits intégrés

L'interaction des particules existantes dans un environnement radiatif avec les matériaux constitutifs d'un circuit intégré peut induire des défaillances de la fonctionnalité de celui-ci. L'étude des effets des radiations sur les circuits intégrés est nécessaire pour prédire la diminution de la fiabilité des circuits et des systèmes électroniques fonctionnant en environnement radiatif.

Dans ce chapitre, nous décrivons les différents environnements radiatifs auxquels un composant électrique peut être confronté: l'environnement radiatif spatial et l'environnement radiatif atmosphérique. Les différentes interactions de la radiation avec les matériaux employés dans la fabrication des circuits intégrés sous-microniques seront ensuite mentionnées. Nous abordons, enfin, les phénomènes résultant de l'interaction des particules énergétiques avec les composants sous-microniques.

1.1. L'environnement radiatif spatial

En milieu radiatif, le comportement d'un composant électrique dépend notamment de la nature et du flux du rayonnement incident. En milieu spatial, ces contraintes peuvent être classées en quatre catégories [Bar-97], [Bar-00]:

- Les ceintures de radiations.
- Le rayonnement cosmique.
- Le vent solaire.
- Les éruptions solaires.

Le tableau 1.1 résume le flux¹ et l'énergie des particules rencontrées dans chaque catégorie.

Catégorie	Type de la particule	Energie de la particule	Flux de la particule (particule/cm ² .s)
Vent solaire	Protons Electrons Particules α (7 à 8%)	<100 keV <qq.keV	10^8 à 10^{10}
Ceintures de radiations	Protons Electrons	<qq. 100MeV <7MeV	100 à 10^6 10^{-2} à 10^7
Eruptions solaires	Protons Particules α Ions Lourds	10 MeV à qq.100 MeV 10 Mev à qq.100 GeV	10^{10} $\sim 10^2$ à 10^3
Rayons cosmiques	Protons (87%) Particules α (12%) Ions Lourds (1%)	10^2 à 10^6 MeV Fortes énergies 1 Mev à 10^{14} MeV	1 - 100 MeV 10^{-4} - 10^6 MeV

Tableau 1.1: Description des différentes composantes de l'environnement radiatif spatial. Variations des flux de particules en fonction de leur énergie.

¹ Le nombre de particules arrivant par unité de surface et de temps est le *flux*, donné en particules/cm².s.

1.1.1. Le vent solaire

Il est constitué essentiellement d'électrons, de protons et d'hélium d'une énergie inférieure à 100 KeV. En raison de leur faible énergie, ces particules sont très rapidement arrêtées et n'arrivent pas en contact avec les composants.

1.1.2. Les ceintures de radiations

Le champ magnétique terrestre forme un dipôle captant les particules chargées traversant l'espace et constitue des ceintures de radiations autour de la terre, appelées ceintures de Van Allen. La distribution et le type de particules varient suivant la position géographique et l'altitude. La perturbation la plus importante dans leurs dispositions est l'anomalie de l'Atlantique sud (South Atlantic Anomaly-SAA) où les ceintures s'approchent très près de la terre (moins de 500 Kms).

Les électrons occupent principalement dans ces ceintures, deux zones bien distinctes. La ceinture interne, qui est fine et très proche de la terre, est située à environ 5000 km d'altitude. Cette ceinture contient des électrons de faible énergie (<5MeV). La deuxième, qui est plus éloignée et beaucoup plus large, est la ceinture externe. Elle s'étire entre 20000 km et 36000 km d'altitude. Elle est principalement constituée d'électrons à haute énergie (autour de 1MeV). Ces deux ceintures ne représentent pas de danger pour les engins spatiaux.

La distribution des protons dans les ceintures, beaucoup plus uniforme, varie proportionnellement à leur énergie et à l'inverse de leur distance à la terre. Les énergies vont de 1 MeV pour les protons les plus éloignés, à quelques centaines de MeV pour les plus énergétiques se situant à environ 2,4 rayons terrestres. Leurs dispositions et leurs énergies varient en fonction de trois facteurs: ils suivent de manière inverse le rythme de l'activité solaire, ils sont influencés par les orages magnétiques et les éruptions solaires, ils sont sensibles au changement progressif du champ magnétique terrestre. Ces protons peuvent affecter les engins spatiaux suivant plusieurs orbites (LEO et HEO)².

1.1.3. Les éruptions solaires

L'activité du soleil comporte un cycle moyen de 11 ans (mais peut varier de 9 à 13 ans). Il peut être divisé en 4 années de faible activité et 7 années durant lesquelles il survient un grand nombre d'éruptions solaires. Seule cette dernière période est prise en compte pour le calcul de la durée de vie des missions spatiales. Les éruptions ont une durée pouvant aller de quelques heures à plusieurs jours. Une partie de la matière solaire est éjectée produisant un rayonnement de particules principalement composé de protons et d'ions lourds. Les protons ont un spectre d'énergie pouvant aller jusqu'à quelques centaines de MeV, tandis que les ions lourds ont un spectre d'énergie allant de quelques dizaines à quelques centaines de GeV. Normalement, les particules des éruptions solaires sont freinées par la magnétosphère terrestre. En fait, les protons et les ions lourds des éruptions solaires constituent un danger pour les engins spatiaux décrivant les orbites: LEO, HEO et GEO.

² LEO(Low Earth Orbit): ou les orbites basses

HEO : Highly Elliptical Orbit: ou les orbites très elliptiques

GEO: Geostationary Orbits: ou les orbites géostationnaires

1.1.4. Le rayonnement cosmique

Le rayonnement cosmique est constitué par des particules chargées très énergétiques provenant de l'extérieur du système solaire. Il comporte tous les éléments naturels de la table périodique, dans un état d'ionisation probablement totale, avec des énergies pouvant atteindre 10^{21} eV. Les ions lourds (numéro atomique $Z \geq 3$) ne représentent que 1% environ du flux total. Cependant, comme nous le verrons par la suite, leur grande charge leur confère un pouvoir d'ionisation dans une cible beaucoup plus important que les ions légers (comme par exemple les protons qui représentent 87%, et des noyaux d'hélium qui représentent 12% du flux total).

Ces ions lourds sont une composante essentielle de l'environnement radiatif spatial et ils sont responsables d'un certain nombre de défaillances des circuits intégrés.

La figure 1.1 présente l'abondance relative des ions cosmiques [Bar-98]

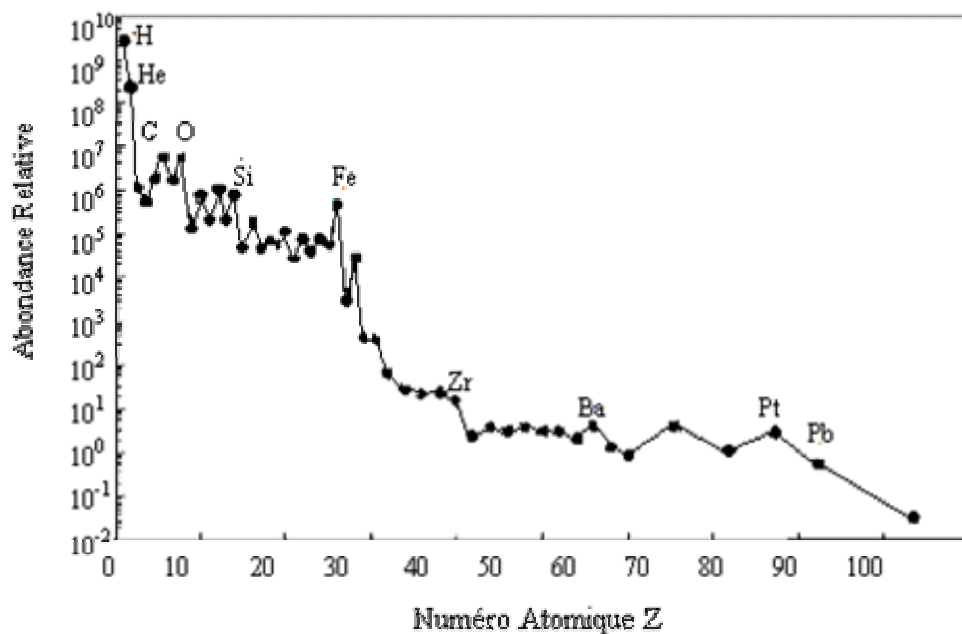


Figure 1.1: Abondance relative des ions cosmique ($Z \geq 3$).

Selon la figure 1.1, l'abondance relative des différents ions chute rapidement pour des éléments plus lourds comme le fer Fe ($Z=26$). L'ion de Fe est considéré comme l'un des ions lourds le plus significatif parmi les ions lourds du rayonnement cosmique [Bar-98].

Il est cependant très utile d'analyser le flux de quelques ions cosmiques en fonction de leur LET (*Transfert d'Energie Lineaire*, qui correspond à la perte d'énergie de la particule par unité de longueur « dE/dx » dans le matériau, (voir paragraphe 1.4.1).

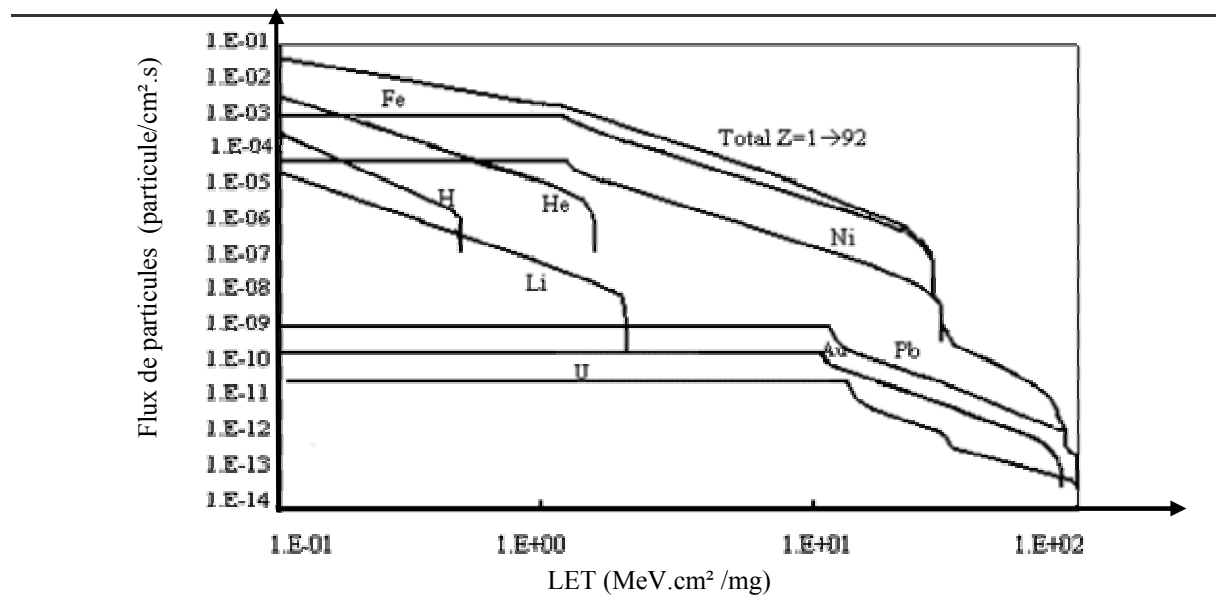


Figure 1.2: Spectres de quelques éléments représentatifs du rayonnement cosmique, d'après CREME96³ [Poi-01].

Sur cette figure, nous pouvons observer que:

- Les ions les plus légers ont des faibles LET (de 0,1 à 1 [MeV.cm²/mg]).
- Les ions les plus lourds ont des LET assez élevés (de 30 à 100 [MeV.cm²/mg]). Cependant le flux de ces particules est beaucoup plus petit.
- Les deux ions Fe et Ni sont dominants pour les valeurs de LET qui varient entre 1 et 30 [MeV.cm²/mg].

Après cette brève présentation de l'environnement radiatif spatial, nous pouvons conclure que les sources principales de radiations énergétiques présentes dans l'espace pouvant provoquer des défaillances au niveau système intégré microélectronique spatial sont les suivantes:

1. Les protons et électrons piégés dans les ceintures de Van Allen.
2. Le rayonnement cosmique (proton et ions lourds).
3. Les protons et les ions lourds provenant des éruptions solaires.

³ CREME96: Cosmic Ray Effects on MicroElectronics model, qui est un modèle élaboré de l'environnement des rayons cosmiques.

1.2. L'environnement radiatif atmosphérique

L'environnement radiatif atmosphérique (ou terrestre) est dû principalement à l'interaction du rayonnement cosmique avec les atomes de l'atmosphère composée d'environ 80% d'azote et 20% d'oxygène. Cependant, les rayons cosmiques sont filtrés avant d'atteindre l'atmosphère sous l'effet du vent solaire et du champ magnétique terrestre, qui refoulent dans l'espace une partie des particules de faible énergie. Après avoir subi ces effets filtrants, les particules primaires vont interagir avec les atomes de l'atmosphère soit en perdant une partie de leur énergie par ionisation, soit, dans le cas d'une particule plus énergétique, en provoquant des réactions nucléaires. La plus grande partie de ces réactions est due aux protons primaires les plus abondants (~87% du rayonnement cosmique incident). Ces réactions vont engendrer une multitude de particules secondaires, principalement des neutrons (>92 %), qui sont prédominants aux altitudes de vol mais qui peuvent aussi atteindre le sol [Norm-96a]. De même, on retrouve également des protons (~2%), des électrons, des muons, des pions (~4%) et des photons. La figure 1.3 illustre la cascade de particules induite dans l'atmosphère par le rayonnement cosmique.

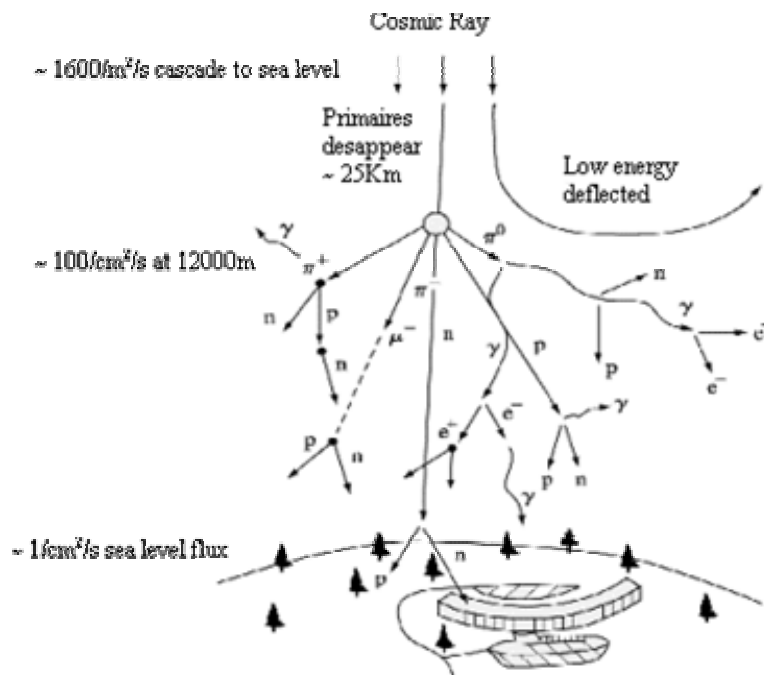


Figure 1.3: Cascade de particules induites dans l'atmosphère par le rayonnement cosmique [Ziegl-96].

Le flux des différentes particules créées diminue avec l'altitude. Aux altitudes concernant l'aéronautique (1000~15000m), les applications spatiales volant à ces altitudes sont essentiellement exposées aux neutrons, et aux protons [Norm-96b].

Même si on met de côté certains systèmes électroniques évoluant dans des environnements particuliers comme les centrales nucléaires ou au voisinage des accélérateurs de particules, les circuits sont en permanence soumis à un environnement radiatif ambiant.

En fait, au niveau terrestre, les neutrons atmosphériques constituent la principale menace pour l'électronique. Ces particules sont des particules non ionisantes, n'ayant aucun effet direct sur le fonctionnement d'un composant électronique à condition qu'ils n'entrent pas en collision avec le noyau d'un atome du réseau cristallin traversé. Il y a alors une réaction de spallation avec l'émission de particules légères et le recul du noyau restant (devenu plus léger). Les neutrons créent des particules légères très ionisantes qui eux sont directement des causes de défaillances. Il y a une probabilité très faible pour qu'ils interagissent avec les atomes de matériaux, mais ils ont alors des effets indirects importants. Nous allons revenir à ce type d'interaction plus loin dans ce chapitre.

Le spectre des neutrons atmosphériques (également appelés neutrons cosmiques en raison de leur origine) s'étend de quelques eV à quelques MeV (dans le cas de neutrons thermiques) à plusieurs dizaines de MeV (20-300MeV).

Concernant le flux des neutrons présents dans l'atmosphère terrestre, il est important de noter que ce flux varie beaucoup avec l'altitude. Il atteint, par exemple 14.4 neutrons par $\text{cm}^2/\text{heures}$ dans la ville de New York, dans le cas de neutrons d'une énergie >10 MeV) [JESD-89].

Une autre source de radiation rencontrée au niveau terrestre résulte de la désintégration radioactive d'atomes lourds (comme l'Uranium 238 et Thorium 232). Ces impuretés radioactives sont présentes en faible quantité dans tous les matériaux et plus particulièrement dans les métaux. La présence de ces impuretés provoque une contamination radioactive des circuits notamment par des eaux de lavage au cours du processus de fabrication ou encore par les boîtiers contenant ces mêmes circuits [Ziegl-96].

La décroissance radioactive de ces ions peut en particulier émettre des particules ionisantes comme les particules alpha de quelques MeV (3 – 6 MeV). Ces particules ont une profondeur de pénétration de 15 à 30 μm dans le silicium [Kar-04]. Elles provoquent une pollution radioactive dans les composants et peuvent produire, au plus, 3 millions de paires électron-trou à travers le cristal de silicium sur lequel sont fabriqués les composants. Nous allons revenir à l'interaction de ces particules avec les matériaux dans les paragraphes suivants. Par conséquent, tous les circuits intégrés sont exposés intérieurement à des particules alpha résultant de la décroissance radioactive naturelle des matériaux contaminant les boîtiers des circuits intégrés. Des efforts conséquents ont donc été entrepris afin d'assainir les matériaux servant à la conception des circuits intégrés et de faire diminuer le taux d'émission en particules alpha de ces matériaux. Des méthodes actuelles peuvent diminuer les taux d'émission jusqu'à 0,001 $\alpha/\text{cm}^2/\text{h}$ [Lan-96]. Mais, ce n'est pas suffisant pour les exigences de l'industrie du semi-conducteur. Donc, nous avons besoin d'autres nouveaux matériaux ou d'autres méthodes qui peuvent diminuer les taux d'émission jusqu'à 0,0001 $\alpha/\text{cm}^2/\text{h}$ [Sema-01].

Après cette présentation de différents types d'environnements radiatifs auxquels peut être soumise l'électronique moderne, nous allons décrire par la suite les interactions de ces environnements avec les matériaux composant les circuits intégrés sous-microniques.

1.3. Les différentes interactions

Les particules rencontrées dans les différents environnements radiatifs interagissent avec les matériaux composant un circuit intégré, notamment les matériaux semi-conducteurs, en déposant tout ou une partie de leur énergie. Nous avons identifié comme particules

nuisibles pour les circuits intégrés les particules légères, comme les photons, les neutrons, les électrons, les protons ainsi que les ions lourds.

Nous allons donc décrire les interactions entre ces différentes particules et le silicium.

1.3.1. Les interactions entre un ion lourd et le silicium

Un ion lourd, heurtant un semi-conducteur tel le silicium, interagit avec celui-ci par interaction électromagnétique coulombienne avec les électrons et les atomes de la structure cristalline. Ces interactions entraînent une perte d'énergie de l'ion.

Les électrons directement excités par l'ion incident ont en général suffisamment d'énergie pour ioniser d'autres atomes (l'énergie moyenne nécessaire pour créer une paire électron-trou dans le silicium est de 3,6 eV) et créer ainsi une cascade d'électrons dans laquelle le nombre d'électrons libres ne cesse d'augmenter tandis que leur énergie moyenne décroît. Par interactions successives, les électrons libres ainsi générés perdent de l'énergie pour finalement atteindre une énergie proche de l'ordre de l'énergie de liaison du matériau.

Simultanément, les atomes ionisés, chargés positivement, réarrangent leurs électrons de façon à faire apparaître des trous dans la bande de valence. En conclusion, le passage d'un ion lourd dans le silicium se traduit donc par la création d'une colonne de paires électron-trou dans une zone axée sur la trace de l'ion incident.

1.3.2. Les interactions avec les photons

Les photons sont des particules qui ont une charge électrique nulle. Ces photons, qui se déplacent à la vitesse de la lumière, sont capables de pénétrer profondément les matériaux.

Ceux-ci sont alors appelés rayons X ou rayons γ suivant la façon dont ils ont été produits. Ils interagissent alors avec les atomes du matériau sous trois formes.

L'effet photoélectrique: si le photon incident a une énergie inférieure à quelques dizaines de KeV, il communique son énergie à un électron. Ce dernier peut récupérer assez d'énergie pour être arraché à son atome (ionisation) ou changer de couche orbitale (excitation).

L'effet Compton: si l'énergie du photon incident est plus importante (entre quelques dizaines de KeV et plusieurs MeV), celui-ci transfère une partie de son énergie à l'électron percuté et continue sa trajectoire dans le matériau, alors que l'électron est éjecté de son atome (il est alors appelé électron de Compton).

La matérialisation: dans le cas des photons très énergétiques (> 20 MeV), ceux-ci se transforment en deux particules: un électron et un positron.

Dans le silicium, l'effet photoélectrique est dominant pour des énergies inférieures à 50 KeV. Les électrons libérés peuvent à leur tour ioniser d'autres atomes ou se thermaliser par interaction avec le réseau. En conclusion, les photons, tels que les rayons X et γ , créent des paires électron-trou dans les semi-conducteurs et les isolants.

1.3.3. Les interactions avec les particules chargées

Les particules chargées comme les protons ou les particules alpha, ont un LET (*Transfert d'Énergie Linéique*) relativement faible et insuffisante pour que ces particules

puissent induire des effets électriques gênants dans les composants par une ionisation directe. En plus de ces effets directs, ces particules peuvent produire des réactions nucléaires en interagissant avec les noyaux atomiques de la cible lorsque leur énergie est assez grande. Les fragments, qui en résultent, peuvent être des ions lourds secondaires. Ceux-ci ont la propriété d'affecter le bon fonctionnement des technologies depuis quelques années.

1.3.3.1. Les interactions avec les protons

Les protons d'origine solaire ou cosmique, ainsi que ceux piégés dans les ceintures de radiation peuvent induire une réaction nucléaire avec les noyaux du silicium des composants. Cette réaction peut conduire au recul d'un noyau lourd accompagné par l'émission de radiations de type γ , protons ou neutrons, ou à la fragmentation du noyau de silicium. Ces ions secondaires ont un parcours dans la matière très faible (quelques microns) mais dont l'origine peut se situer dans la partie active du composant. Ils peuvent donc être à l'origine de certaines défaillances.

En ce qui concerne les atomes de recul et les fragments de noyaux ils peuvent à leur tour, agir comme les ions lourds en déposant assez d'énergie dans le volume sensible d'un dispositif pour produire une défaillance et des phénomènes singuliers SEEs (*Single Event Effects*) rencontrés en environnement spatial [Coli-97].

1.3.3.2. Les interactions avec les particules alpha

La contamination radioactive des boîtiers des circuits intégrés a certes pour origine des atomes lourds, mais la cause des perturbations électriques vient d'une particule ionisante: la particule alpha. Les particules alpha sont des noyaux d'Hélium chargés, émis par des atomes lourds (de l'uranium au thorium) durant l'extinction radioactive.

Les particules alpha ne génèrent qu'une faible ionisation directe dans le silicium, mais peuvent provoquer le recul d'atomes du réseau ou induire des réactions nucléaires.

Donc, ces particules sont aussi responsables des phénomènes singuliers tels que SEU (*Single Event Upset*) et SET (*Single Event Transient*) en ionisant le matériau traversé par la création de paires électron-trou.

1.3.4. Les interactions avec les neutrons

Les neutrons sont des particules sans charge électrique, ils ne peuvent être arrêtés que lors d'une collision avec un noyau. Lors de cette collision, différents phénomènes peuvent survenir:

- Des phénomènes qui ont pour conséquence la déformation du réseau matériel avec des atomes qui quittent la maille cristalline;
- Des phénomènes qui ont pour conséquence des émissions secondaires de rayons γ ou de particules alpha selon l'énergie incidente du neutron.

Les neutrons sont classés en trois catégories suivant leurs énergies: les neutrons lents ($< 1\text{eV}$) comprenant les neutrons thermiques (d'une énergie de 26 meV), intermédiaires (ayant une énergie entre 1 eV et 100 KeV) et rapides (énergie $> 100\text{ KeV}$).

Les neutrons ne produisent pas de phénomènes SEE de façon directe ou des effets de dose cumulée car ils sont électriquement neutres. Cependant, ils ont des effets indirects importants. Ces effets indirects sont dus aux réactions nucléaires avec les noyaux de silicium

qui peuvent conduire au recul d'un noyau lourd accompagné par l'émission de radiations de type γ , protons ou neutrons, ou à la fragmentation du noyau de silicium.

En 1979 les premières erreurs ayant pour source les neutrons et les protons ont été observées par des expériences de laboratoire, au niveau terrestre [Guen-79]. Depuis, plusieurs fabricants de circuits intégrés se sont penchés sur ce problème. Ce n'est toutefois qu'en 1992 que le premier *upset* dû à un neutron a été observé dans un système complexe embarqué à bord d'un vol [Olse-93]. Les chercheurs responsables de cette expérience établissent par la suite une corrélation entre le taux d'erreurs en vol et le flux de neutrons d'énergies comprises entre 1-10MeV [Tabe-93].

Un autre phénomène a été également identifié ayant pour cause l'interaction entre les neutrons atmosphériques de faible énergie et les atomes de l'isotope B^{10} qui existe dans les couches de passivations en verre de borophosphosilicate (BPSG ou Boro-Phospho-Silicate Glass) dans les technologies récentes. A cause de ce type d'interaction qui peut produire *un noyau de Lithium* et une *particule alpha*, un effort particulier a été réalisé, dans les technologies récentes pour éliminer cette cause d'erreur. Néanmoins la réduction des technologies conduit à une augmentation des concentrations en produits dopants dont le Bore. L'ordre de grandeur de la concentration en bore actuellement utilisée se situe autour de 10^{19} atomes par cm^3 dans la zone active et la probabilité d'interaction neutron atmosphérique/Bore devient prédominante par rapport à l'interaction neutron /silicium à partir d'une concentration en Bore de $10^{20} cm^{-3}$. Ce type d'interaction, n'étant plus négligeable vis à vis de l'interaction neutron/silicium, augmente la probabilité d'erreurs imputables aux neutrons. [Baum-95], [Baum-01].

En vue de ces données, les événements induits par les neutrons doivent être prises en compte dans la fiabilité des systèmes terrestres modernes.

On remarque qu'il n'est donc plus possible aujourd'hui d'affirmer que les phénomènes SEE sont des problèmes restreints au domaine spatial. Les particules légères, présentes en abondance dans l'environnement terrestre, ont actuellement la même nuisance pour les applications commerciales que celle induite par les ions lourds depuis 20 ans vis à vis des applications électroniques à bord des satellites.

Dans la suite de ce mémoire, nous ne parlerons plus de SEE induit par les ions lourds mais plutôt des SEE induit par les particules ionisantes au sens large.

1.4. Les effets d'ionisation sur les composants microélectroniques

Suivant les environnements radiatifs, les effets induits à prendre en compte sur les composants électroniques sont d'une part les effets cumulatifs ou «effet de dose» et d'autre part les effets singuliers (SEEs).

Avant de commencer la description de ces effets, quelques définitions doivent être prises en compte.

1.4.1. Définitions

Le nombre de particules arrivant par unité de surface et de temps est le *flux*, donné en particules/ $cm^2.s$. L'intégration de ce flux sur le temps donne la densité de particules ou *fluence* (F) exprimée en particules/ cm^2 .

Quand un ion énergétique passe par un matériel, il perd l'énergie par des interactions avec ce matériel. Ce dépôt d'énergie de l'ion par unité de longueur (dE/dx) correspond à la création de paires électron-trou le long de sa trajectoire. La quantité dE/dx est appelée pouvoir d'arrêt ou *LET* (*Linear Energy Transfer soit en français Transfert d'Energie Linéique*), exprimée en MeV.cm²/mg, ou en pC/μm. Ces deux unités sont équivalentes à un facteur 100 dans du silicium: 1pC/μm=100 MeV.cm²/mg.

A partir des données issues des tables de Ziegler qui présentent, pour chaque ion, la valeur du LET en fonction de son énergie et du matériau traversé, il est possible de tracer les courbes du LET en fonction de l'énergie initiale de la particule pour différentes particules ionisantes et pour différents matériaux. Il est aussi possible de calculer la profondeur de pénétration, correspondant à la distance que parcourt la particule avant d'avoir perdu son énergie initiale. Les tables de Ziegler peuvent être aussi calculées au travers d'un outil appelé SRIM disponible sur Internet [SRIM-03].

La figure (1.4) représente les valeurs de LET et la profondeur de pénétration pour différents ions lourds (Au, I, Br, Ni, Ti, Cl, Mg, F, C, Be, Li, He, et H). Elle est tracée à partir des données de SRIM. [SRIM-03].

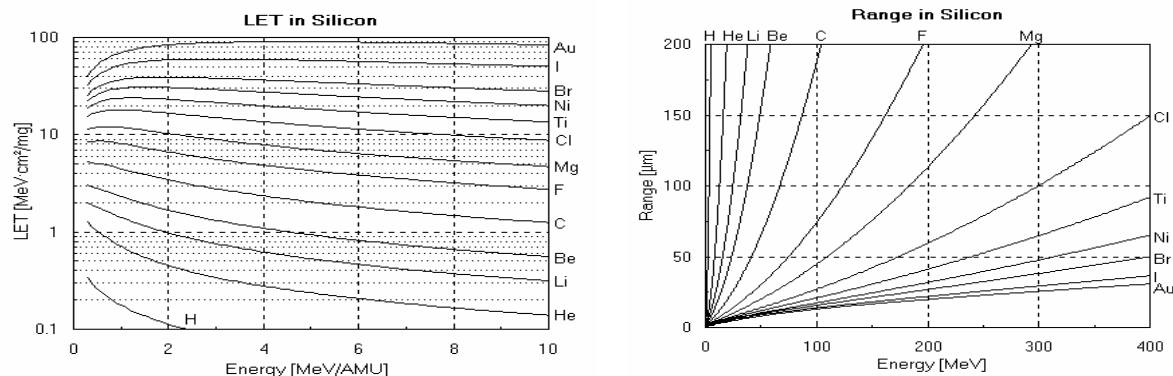


Figure 1.4: (a) Courbes de LET pour plusieurs ions dans le Silicium. (b) Profondeur de pénétration des ions dans le Silicium.

En fait, de manière générale, la valeur de LET croît avec le numéro atomique de l'ion incident. Plus cet ion est lourd, plus son LET est élevé.

Pour caractériser la sensibilité des circuits intégrés face aux particules, nous avons besoin d'utiliser deux paramètres. Il s'agit de la *section efficace* et du *seuil de sensibilité* ou LET seuil. La *section efficace* (σ) est donnée par le rapport entre le nombre de perturbations et la *fluence* reçue, elle est donc exprimée en cm²/composant ou en cm²/bit. Le *seuil de sensibilité* est lié à la charge minimale déposée par une particule nécessaire pour perturber le fonctionnement d'un circuit. Le *LET seuil* (L_s) est défini comme étant le LET minimum que doit avoir une particule pour perturber le fonctionnement d'un circuit.

La caractérisation de la sensibilité d'un composant se fait en analysant la courbe de section efficace en fonction du LET (figure (1.5)). Donc, pour chaque composant nous avons deux paramètres à déterminer (L_s , σ_{SAT}) où σ_{SAT} est la section efficace à saturation représentant la surface totale sensible du composant testé, et L_s est le LET seuil.

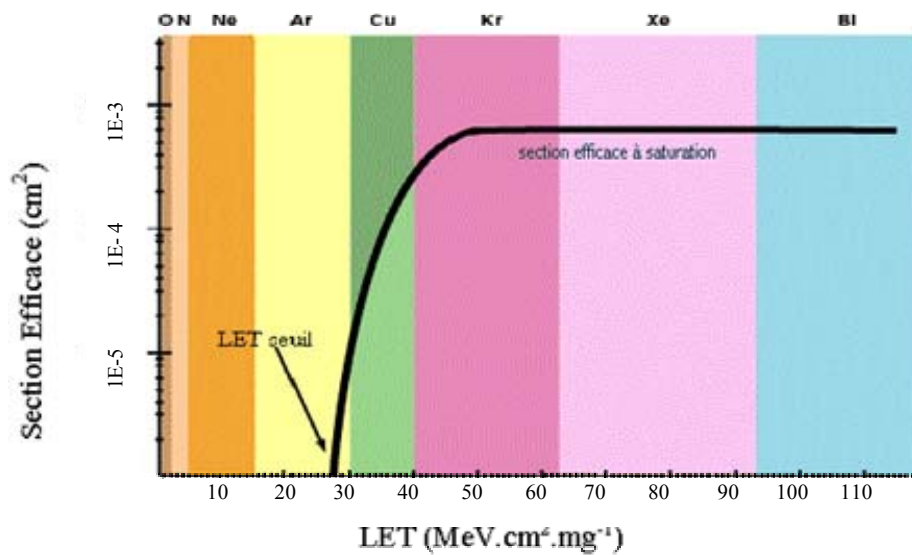


Figure 1.5: Exemple de courbe de section efficace en fonction de LET.

1.4.2. Effets induits par radiation sur les circuits intégrés CMOS

Les effets de l'impact d'une particule chargée sur un circuit intégré peuvent être divisés en deux catégories: les *effets de la dose cumulée* pouvant influencer des paramètres électriques et électroniques du composant (tension de seuil pour les transistors CMOS ou modification du gain des transistors β pour les technologies bipolaires), et les effets non récurrents nommés aussi effets singuliers SEE (*Single Event Effects*).

Dans la suite de ce chapitre nous nous attacherons à la description de ces effets singuliers (SEE) et plus particulièrement aux effets SEUs (*Single Event Upset*) et SETs (*Single Event Transient*).

Nous commençons par la description de ces effets singuliers, puis, nous expliquons les mécanismes d'apparition d'un SEU et d'un SET dans un circuit combinatoire, et nous terminons ce paragraphe en mettant l'accent sur l'impact de la dimension des dimensions de composant sur le SEE.

Les événements singuliers (SEE) peuvent être considérés comme des défaillances temporaires ou permanentes. C'est pourquoi ils sont généralement classés en deux sous-catégories:

- Les effets réversibles, non destructifs, appelés aléas logiques ou "Erreurs Soft".
- Les effets irréversibles, destructifs appelés " Erreurs permanentes".

La suite du chapitre décrit les différents événements singuliers rencontrés dans les circuits intégrés.

1.4.2.1. Les effets singuliers irréversibles

1.4.2.1.1 SEL (Single Event Latch-up)

La proximité des transistors NMOS et PMOS dans les technologies CMOS induit la présence d'une structure parasite de type NPNP appelée thyristor.

La mise en conduction de cette structure par le passage d'une particule conduit à une amplification du courant avec un gain infini qui se traduit par un court-circuit entre les bornes d'alimentation (figure 1.6). Si le gain en courant de la boucle formée par les deux transistors bipolaires du thyristor est plus grand que '1', le thyristor reste allumé même après le passage de la particule qui l'a activé. Si l'alimentation du circuit n'est pas coupée rapidement, le courant qui circule dans le thyristor parasite et qui connecte les deux alimentations (V_{dd} et V_{ss}) peut détruire le circuit [Ma-89].

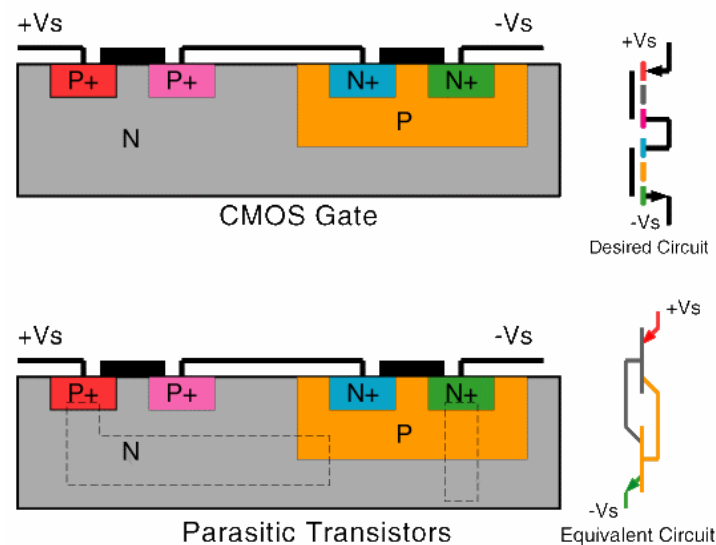


Figure 1.6: Déclenchement de la structure NPNP.

Le phénomène de *latch-up* joue un rôle très important surtout pour les systèmes spatiaux. L'évolution technologique augmente la sensibilité au *latch-up* des futurs circuits intégrés, et le phénomène devient de plus en plus gênant dans les circuits à faible tension d'alimentation et à faible consommation. Parfois, le phénomène de *latch-up* peut entraîner de faibles changements au niveau de courants de fuite dans les circuits, rendant le test I_{DDQ} inutile pour la détection de ces types de fautes [Shir-01], [Mit-05].

1.4.2.1.2. SEGR (Single Event Gate Rupture)

Le phénomène de SEGR est provoqué par le passage d'un ion lourd à travers la grille d'un transistor MOS et correspond à la destruction de l'oxyde de grille. Il peut survenir dans le cas où il existe un champ électrique suffisamment élevé, comme lors des opérations d'écriture des mémoires EEPROM ou dans des transistors MOS de puissance. Cependant la réduction des épaisseurs d'oxyde de grille dans les technologies récentes fortement intégrées semble être à l'origine d'une augmentation des SEGR dans les circuits nanométriques.

Ce phénomène est dû à la manifestation combinée du passage d'une particule et du champ électrique appliqué. Lorsqu'un ion lourd traverse le diélectrique, il se forme un

filament de plasma entre le silicium et la grille qui va permettre aux charges déposées de diffuser vers l'interface Si/SiO₂. L'accumulation de charges à cette interface entraîne l'augmentation du champ électrique dans l'oxyde. Lorsque ce champ est suffisamment important, il peut entraîner la rupture locale de l'oxyde de grille. Les charges sont alors collectées à travers l'oxyde, occasionnant une surchauffe locale de la structure. Sous l'effet de la température, le diélectrique peut fondre localement créant un court-circuit permanent à travers l'oxyde de grille [Alle-96] [Sext-97] [Alle-95].

1.4.2.1.3. SES (Single Event Snapback)

Ce phénomène est dû à la mise en conduction du transistor bipolaire parasite inhérent à un transistor MOS. Dans ce cas, l'impact d'un ion conduit à un phénomène d'avalanche près de la région de drain du transistor. Il s'agit alors, comme pour le SEL, d'un phénomène qui produit un courant élevé, et une surchauffe locale pouvant aboutir à la destruction du composant.

Le phénomène de SES concernait surtout les technologies microniques et n'apparaît plus dans les technologies sous-microniques actuelles car les phénomènes de SEU ou de SEL se déclenchent en premier.

1.4.2.2. Les effets singuliers réversibles

1.4.2.2.1. SET (Single Event Transient)

Un SET ou un aléa transitoire est initié lorsqu'une particule ionisante heurte la jonction bloquée d'un transistor MOSFET en provoquant une impulsion de courant qui se propage par la suite dans le circuit.

Dans ce paragraphe, nous nous proposons de décrire brièvement les mécanismes de la collection des charges déposées par ces particules. Pour se faire, nous avons pris le cas simple d'une jonction PN polarisée en inverse traversée par une particule ionisante (figure 1.7).

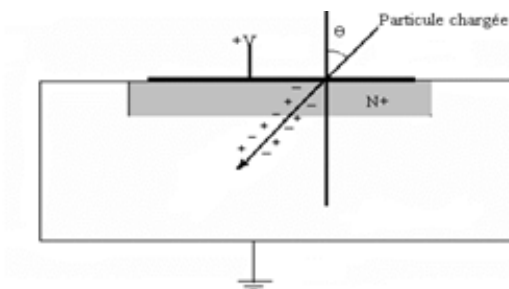


Figure 1.7: Coupe d'une jonction pn traversée par un ion lourd.

Quand une particule ionisante traverse une jonction PN polarisée en inverse, elle produit sur son chemin des paires électron-trou, le long de la trace par l'excitation directe des électrons et par l'ionisation des autres atomes (une présentation plus détaillée de ces deux phénomènes peut être trouvée en [Pouge-00]).

La colonne de paires électron-trou évolue selon trois mécanismes:

1. **La recombinaison directe** (Auger recombinaison) des porteurs. En effet, cette recombinaison peut réduire la collection des charges d'une trace dense dans un

composant en silicium [Zout-90]. On néglige souvent la recombinaison des porteurs pour simplifier l'analyse de la colonne [Musse-91].

2. Les électrons et les trous diffusent ensemble conservant ainsi la neutralité du semi-conducteur. Généralement, la charge totale collectée est calculée en supposant que le transport des charges est régi par une équation de diffusion ambipolaire avec des durées de vie des porteurs et un coefficient de diffusion supposés constants et uniformes (le coefficient de diffusion D est de l'ordre de $20 \text{ cm}^2/\text{s}$).
3. La séparation des porteurs sous l'effet de champ électrique qui règne dans **la zone de charge d'espace ZCE** ou **la zone désertée** située entre deux zones neutres. Cette zone, qui existe au voisinage de la jonction métallique, est une zone dépourvue de porteurs majoritaires et présentant des charges fixes (atomes d'impuretés ionisés).

Ces mécanismes contribuent à réduire la densité des porteurs en excès. Les deux derniers permettent la collection des charges aux électrodes du dispositif. De nombreuses études sont toujours en cours afin de déterminer la meilleure façon de décrire l'évolution de la colonne de charges [Dodd-98].

La figure (1.8) illustre les mécanismes de l'évolution de la colonne de charges.

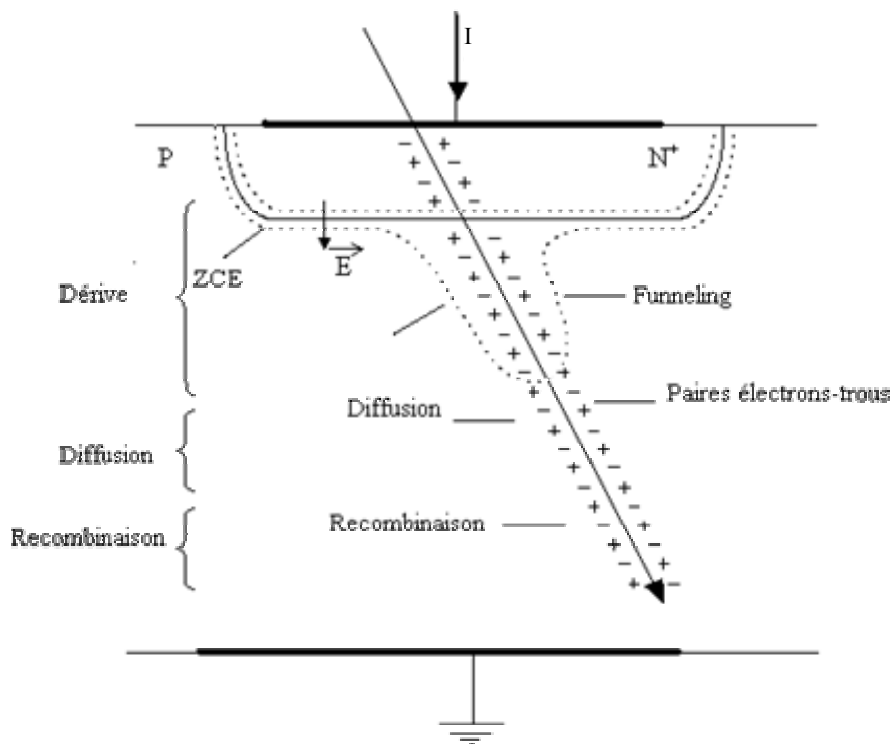


Figure 1.8: Mécanismes d'évolution de charges dans une jonction.

Les paires électron-trou générées au voisinage d'une jonction sont séparées par le champ électrique localisé dans la zone de déplétion (la zone de charge d'espace (ZCE)) de cette jonction. Les porteurs sont accélérés par ce champ jusqu'à ce qu'ils atteignent la zone dans laquelle ils sont respectivement majoritaires. Les lignes de potentiel normalement confinées dans cette zone se déploient dans le substrat. Le champ électrique est alors réparti sur un volume beaucoup plus large et entraîne ainsi la collection par dérive de porteurs générés au-delà de la limite inférieure de la ZCE initiale (figure 1.8). Ce phénomène porte le

nom de **funneling**. L'explication du déploiement des lignes de potentiel dépend naturellement des propriétés de conduction attribuées à la colonne de charge très dense (plasma) générée par un ion.

Les porteurs non soumis à un champ électrique évoluent dans le volume du semi-conducteur suivant le gradient de leur concentration par diffusion ambipolaire. Ils peuvent être séparés et collectés si cette diffusion les amène à entrer sous l'influence du champ d'une ZCE. Dans le cas contraire, ils finissent par se recombiner. Alors que la collection des charges par dérive ne peut s'effectuer qu'au voisinage immédiat d'une jonction, la portée de la diffusion s'étend sur plusieurs microns autour du point d'impact de l'ion.

Les mécanismes de collection par dérive, assistés de « funneling », et par diffusion sont respectivement à l'origine des composantes rapide et lente du courant induit. Enfin, les électrons et les trous collectés par ces mécanismes de collection sont à l'origine de l'apparition d'une impulsion de courant transitoire dans le circuit. La figure 1.9 présente la forme de ce courant.

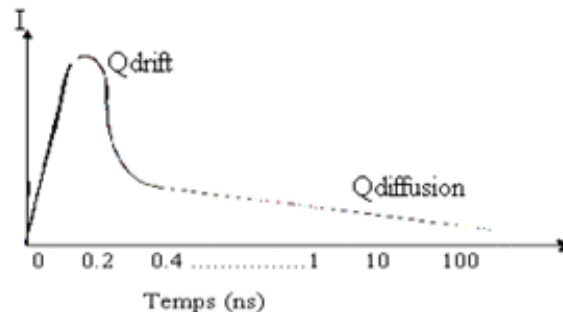


Figure 1.9: Impulsion de courant transitoire.

La forme de ce courant transitoire, met en évidence la succession des phénomènes de collection par conduction (ou dérive) (Q_{Drift}), appelée aussi l'effet de "funneling", puis par diffusion ($Q_{\text{diffusion}}$) [Dodd'-96]. Les durées caractéristiques des courants de dérive vont d'une dizaine à plusieurs centaines de picosecondes, alors qu'un courant de diffusion peut subsister jusqu'à plusieurs centaines de nanosecondes après l'impact.

L'amplitude et la durée de l'impulsion transitoire de courant dépend de plusieurs facteurs ou paramètres.

- paramètres caractéristiques de l'environnement radiatif comme par exemple l'énergie de la particule incidente, l'angle d'incidence, la localisation de l'impact sur la structure du composant.
- paramètres caractéristiques de la structure du composant comme par exemple la dopage, l'épaisseur de l'oxyde, les dimensions internes du transistor et son état de polarisation.

Ce courant transitoire est difficilement mesurable. Les chercheurs préfèrent mesurer l'intégrale de ce courant qui, quand la recombinaison est négligeable donne ce que l'on appelle *la charge déposée* par la particule. Le paramètre *charge déposée* est donc devenu d'usage courant et on a naturellement cherché à exprimer la sensibilité d'un circuit au travers de ce paramètre.

❖ Impulsion transitoire (SET) dans une porte logique

Au niveau d'une porte logique élémentaire nous allons parler d'une impulsion transitoire de tension (SET). En effet, l'impulsion transitoire de courant produite par une particule au niveau du composant est transformée en impulsion de tension d'une amplitude et d'une durée qui dépendent des paramètres de la porte logique, comme par exemple la capacité de sortie, le temps de montée, le temps de descente et les conditions de polarisation de la porte, surtout dans le cas d'une porte complexe.

Nous allons analyser le cas d'une impulsion de tension SET sur un inverseur CMOS. La figure 1.10 montre la réponse d'un inverseur CMOS à l'impact d'une particule chargée sur des transistors N et P, et pour les deux états du transistor: passant (ON) et bloqué (OFF).

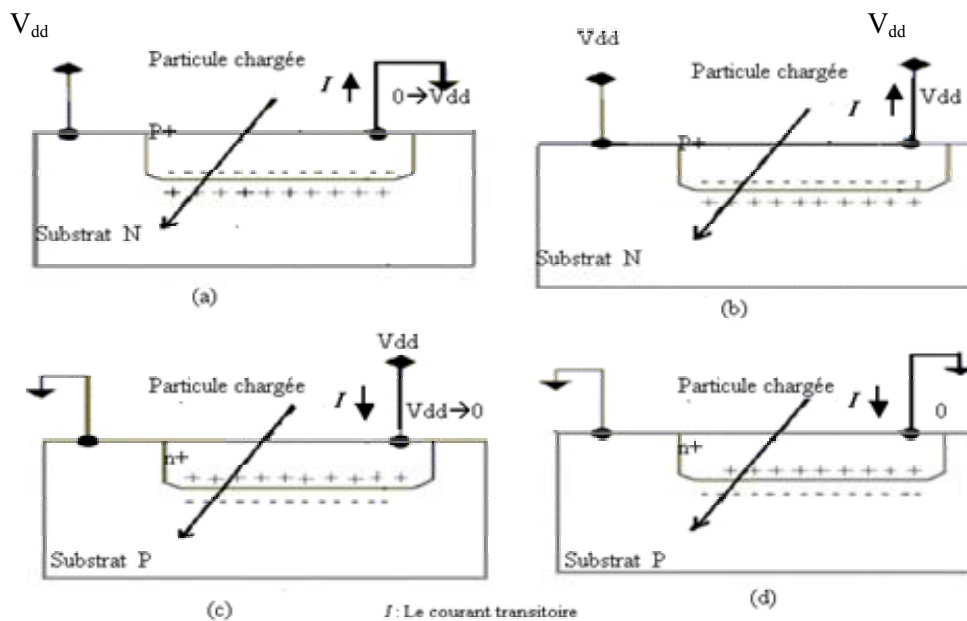


Figure 1.10: Mécanismes d'impact pour une porte logique, (a): impact dans le drain P (OFF), (b): impact dans le drain P (ON), (c): impact dans le drain N (OFF), (d): impact dans le drain N (ON).

Selon la figure précédente, quatre cas différents peuvent être analysés:

1- Pour un impact dans le drain P (OFF), (Figure 1.10 –a), le courant induit par le passage d'une particule sort du drain du transistor PMOS traversé par cette particule. Cette orientation commune du courant conduit à une augmentation de la tension du nœud heurté et en conséquence provoque un changement temporel de la valeur électrique de la tension du nœud heurté. En conséquence, il est possible d'avoir une faute transitoire de type SET.

2- Pour un impact dans le drain P (ON), (Figure 1.10 –b), le courant sort aussi du drain heurté par la particule et conduit de nouveau à une augmentation de la tension du nœud heurté, mais dans cette configuration ce courant renforce l'état logique initial. Ce type d'impact ne provoque jamais des SETs.

3- Pour un impact dans le drain N (OFF), (Figure 1.10 –c), le courant induit par le passage de la particule tire vers le bas le potentiel du nœud heurté, provoquant un changement de la valeur logique du nœud heurté. Donc il est possible d'avoir un SET dans ce cas.

4- Pour un impact dans le drain (N) ON (figure 1.10 -d) le sens du courant conduit à une diminution du potentiel au nœud n+ heurté en renforçant l'état logique initial. Ce type d'impact ne provoque jamais de SET.

Nous pouvons remarquer que les cas (b) et (d), n'influencent pas l'état logique du circuit parce que le nœud est déjà au potentiel considéré, par contre les cas (a) et (c) affectent temporairement la valeur électrique de la tension du nœud provoquant une impulsion transitoire de la tension.

Il est important de noter que le drain bloqué (NMOS sur substrat P et PMOS sur substrat N) a été identifié comme la région la plus sensible aux impacts de particules chargées par Dodd en 1995[Dodd-95].

En fait, la réponse d'une porte logique à l'impact d'une particule chargée se manifeste par une variation de la tension (dV) d'un des nœuds de la porte provoquée par la charge collectée dQ en fonction de la capacité de ce nœud selon l'équation $dV=dQ/C$. Dans cette équation dQ est la charge collectée par le nœud après le passage de la particule et C est la capacité du nœud.

Après cette description des mécanismes d'apparition d'une impulsion transitoire dans une porte logique, nous allons présenter en bref l'apparition du phénomène d'upset «SEU» dans un point mémoire afin de pouvoir comprendre la transformation d'un SET en un SEU.

1.4.2.2.2. SEU (Single Event upset)

L'aléa logique ou le SEU (Single Event Upset), est un effet réversible (non destructif). Il se manifeste par la modification intempestive de l'état logique d'un point mémoire. Il peut être déclenché par deux événements:

- 1) soit par l'impact des particules ionisantes sur les points mémoires en déposant une certaine charge. Ces charges sont collectées ensuite par un des nœuds du point mémoire en provoquant le basculement de l'état logique de celui-ci.
- 2) soit par la transformation d'un aléa transitoire SET en une erreur logique ou un SEU.

A) Description du phénomène de SEU dans un point mémoire

Les mécanismes d'apparition du phénomène de SEU ont été beaucoup étudiés dans le passé. Une étude a été conduite par P.E. Dodd et F.W.Sexton [Dodd-96] pour analyser des mécanismes d'apparition d'un «upset» en fonction de la localisation de l'impact de l'ion sur un transistor d'une mémoire SRAM pour une technologie CMOS sur substrat (N), et par analogie, les mêmes conclusions qu'ils ont obtenues s'appliquent directement à une technologie CMOS sur substrat (P).

La principale conclusion de cette analyse pour le processus conduisant à un SEU est la suivante: le basculement d'une cellule ne peut survenir que dans le cas où la particule chargée heurterait la zone la plus sensible d'un transistor. Cette zone a été identifiée comme étant le drain du transistor NMOS bloqué d'une cellule ou bien le drain bloqué d'un PMOS.

Une autre approche qui présente le mécanisme électrique de SEU dans un point mémoire est illustrée dans la figure (1.11).

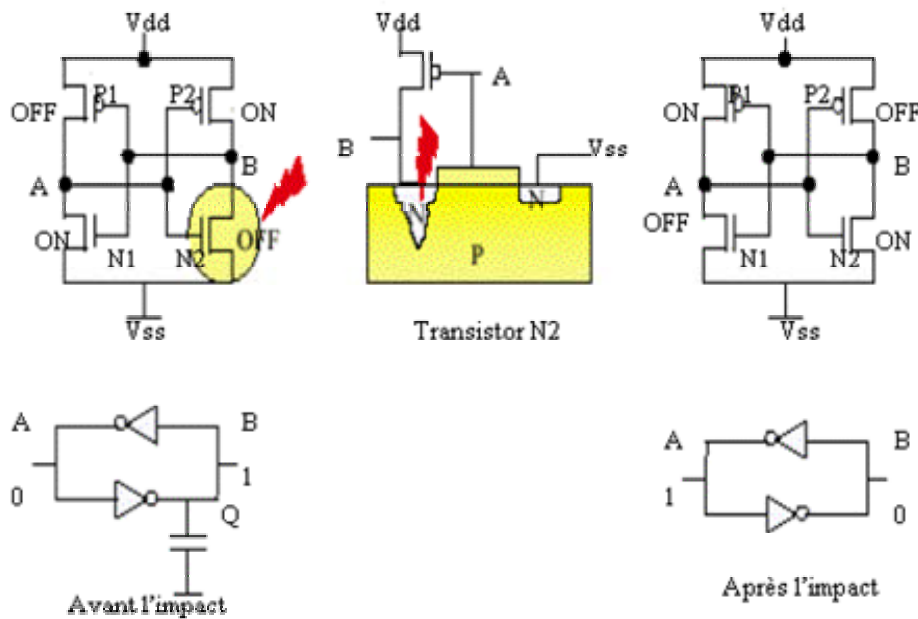


Figure 1.11: SEU dans un point mémoire

En considérant le point mémoire représenté à la figure (1.11), et le passage d'une particule chargée dans le transistor NMOS bloqué (N2 dans ce cas là), les porteurs générés le long de la trace sont collectés et produisent une impulsion de courant au nœud heurté. Cette impulsion de courant produite dans le nœud B produit à son tour un changement de son potentiel. Si cette variation de tension du nœud B est suffisante pour provoquer la modification de l'état du transistor P1, le nœud A passe alors de l'état bas à l'état haut. Si, de plus, cette variation de l'état du nœud A est maintenue suffisamment longtemps pour que la mémorisation intervienne, il y aura un basculement logique ou un upset.

En fait, la sensibilité d'un point mémoire est caractérisée par sa *charge critique*. Si la charge collectée après l'impact d'une particule chargée est supérieure à la charge critique, l'état logique du point mémoire sera basculé. La valeur de cette charge critique est fortement dépendante de la capacité du nœud heurté ainsi que de la tension d'alimentation, donc de la technologie et des conditions de fonctionnement.

Les mémoires de type SRAM en technologie CMOS sont plus sensibles à ce phénomène par rapport aux mémoires de types DRAM [Dodd-98] [Dodd-97] [Dodd-96].

B) Transformation d'un SET en SEU

Un aléa transitoire SET peut devenir la cause d'une erreur logique ou SEU s'il parvient à l'entrée d'une bascule en synchronisation avec le signal d'écriture ou encore s'il se produit en amont sur la logique d'écriture (exemple: arbre d'horloge, logique de décodage).

Trois conditions doivent être réunies pour qu'un aléa transitoire puisse se transformer en erreur:

- L'impulsion doit présenter une amplitude et une largeur suffisantes pour être propagée à travers la logique combinatoire sans atténuation importante.

- Le *chemin de propagation* entre la porte affectée et une bascule (registre) doit être activé, permettant ainsi la propagation de l'impulsion.
- L'*impulsion* doit parvenir à l'entrée d'un registre, en respectant les temps de «setup» et de «hold» dans le cas des registres synchrones et le temps de commutation de l'entrée dans le cas des registres asynchrones. Dans ce cas, l'impulsion SET peut provoquer un SEU [Baze-97] [Alex'-02].

La figure 1.12 présente un exemple simple qui sert à expliquer la possibilité d'avoir un SEU à partir d'un SET dans un réseau des portes combinatoires.

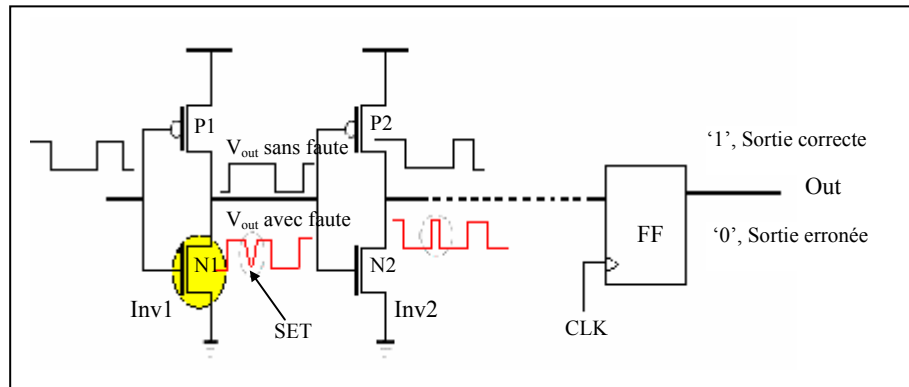


Figure 1.12: SET dans une porte logique

A la figure 1.12 est représenté l'impact d'une particule chargée dans le drain N1 de l'inverseur Inv1 qui affecte temporairement la valeur électrique de la tension de la sortie de cet inverseur. En conséquence, une impulsion transitoire de tension «SET» apparaît sur la sortie.

Si la durée de cette impulsion transitoire est plus grande que le temps de transition des portes logiques existantes sur ce chemin de propagation, elle peut se propager aux sorties de ce block et apparaîtra par la suite à l'entrée du *latch*. Cette impulsion pourra être interprétée comme une valeur erronée ou une erreur soft si elle arrive à l'entrée du *latch* au moment du front actif de l'horloge.

1.4.2.2.3. MBU (Multiple Bit Upset)

Un MBU est défini comme un aléa unique provoquant un ensemble d'erreurs logiques en différents points mémoires voisins. Dans les circuits dynamiques, la propagation d'un événement transitoire (SET) peut induire des erreurs multiples lorsqu'il parvient à l'entrée de plusieurs points de mémorisation en satisfaisant leurs conditions d'écriture. Un cas similaire survient lorsqu'un SET affecte la logique de décodage d'adresses d'une mémoire. Dans les mémoires, les erreurs multiples peuvent aussi résulter de l'interaction d'une particule unique avec plusieurs régions sensibles. Par exemple, lorsque les charges induites par la particule diffusent sur plusieurs jonctions voisines ou encore lorsque l'angle d'incidence de la particule lui permet de traverser plusieurs jonctions appartenant à des cellules différentes. Du fait de l'augmentation de la densité d'intégration des transistors et interconnexions, les technologies de l'avenir seront de plus en plus sensibles aux MBU. Par conséquent, les jonctions sont de plus en plus rapprochées, en augmentant la probabilité des impulsions transitoires multiples.

Pour le reste de cette thèse, nous nous intéresserons à l'analyse des deux effets (SEU et SET) et plus particulièrement à l'effet SET. En fait, l'analyse de l'un de ces effets singuliers

nécessite la compréhension des mécanismes de la collection de charges lors du passage d'une particule ionisante dans un composant.

1.5. Evaluation des impacts des phénomènes transitoires

Pour garantir un fonctionnement sans défaillances ainsi qu'une durée de vie optimale pour une application informatique critique, spatiale, et même terrestre, nous avons besoin d'un moyen d'évaluer et d'analyser les effets transitoires générés par la radiation ionisante.

Pour cela, traditionnellement des tests sous radiation ou en accélérateurs de particules sont effectués et un calcul de prédiction de défaillances est réalisé. L'irradiation des composants en accélérateur de particules est un des moyens le plus couramment utilisé pour caractériser les effets singuliers sur un circuit destiné à une application spatiale. De même, l'utilisation des moyens de test sous radiation est aussi très efficace pour déterminer la sensibilité d'une matrice de cellules de mémoire face aux SEUs. La sensibilité de tels composants peut être facilement calculée, car on dispose d'un nombre statistiquement significatif de cellules de mémoire identiques.

L'évaluation de la tenue aux radiations d'un composant pour une application donnée passe par la description de l'environnement radiatif d'opération et par la caractérisation du composant dans cet environnement. Partant du principe qu'il est extrêmement difficile de reproduire l'environnement radiatif d'opération (spectre énergétique et nature des rayonnements), le choix des moyens d'irradiation doit être guidé par le souci de choisir les rayonnements qui correspondent au mieux au mode de dégradation principal du dispositif (effet ionisant, ou déplacement d'atomes). Le circuit sous test est placé sous un faisceau d'ions de charge et d'énergie (LET) déterminées, et son fonctionnement est contrôlé pour détecter l'occurrence de SEE.

L'utilisation d'un accélérateur de particules pour le test des composants face aux ionisations pose deux problèmes liés au coût élevé des tests expérimentaux et leur accessibilité. Par exemple, le prix d'utilisation d'un faisceau s'étale entre 500\$ et 1000\$ par heure de test [LBN-00]. Cette facturation inclut : le temps nécessaires aux réglages du faisceau qui peut durer plusieurs heures, et le temps nécessaire aux changements d'ion ou d'énergie, qui peut varier entre 5min à 1h selon les dispositifs, et au changement du composant sous test. Un autre problème concernant le test sous radiation est la disponibilité du faisceau qui reste conditionnée à une réservation de 1 à 6 mois avant la date prévue du test.

En ce qui concerne les circuits complexes tels que les processeurs et les systèmes «SoCs», la détermination de leur sensibilité aux radiations requiert l'observation de millions d'événements transitoires. La différence principale entre les points mémoires et les réseaux des portes logiques consiste dans le fait que pour les circuits complexes la sensibilité est différente d'un nœud à l'autre et qu'elle peut être différente, pour le même nœud, en fonction des stimuli d'entrée. Il est donc important pour le calcul de la sensibilité de prendre en compte les paramètres de chaque nœud, les stimuli ainsi que l'instant d'impact de la particule avec le circuit combinatoire considéré. De plus, l'évaluation de la sensibilité d'un circuit complexe est souvent nécessaire pendant la phase de conception d'un circuit afin d'identifier les parties ou les nœuds les plus sensibles et de pouvoir choisir des techniques appropriées de durcissement ou des architectures globales tolérant des défaillances.

Les tests sous radiation sont peu efficaces pour tester les circuits complexes, car ils induisent un nombre limité d'événements transitoires. De plus, les tests sous radiations

interviennent après la fabrication d'un circuit complexe, rendant difficile voir impossible l'introduction d'éventuelles techniques de tolérance aux fautes.

Face à ce problème, la seule méthode d'évaluation de la sensibilité d'un circuit complexe face aux phénomènes transitoires reste la simulation avec injection de fautes. La simulation de fautes transitoires peut être faite à plusieurs niveaux de complexité et d'abstraction, pouvant aller du niveau transistor jusqu'au niveau système. L'avantage de la simulation de fautes transitoires au niveau transistor est une très bonne précision, mais elle nécessite des temps de simulation très longs, et ne s'adresse qu'à des circuits constitués d'un très faible nombre de composants (quelques transistors). La simulation au niveau système présente des avantages de vitesse et peut considérer des structures beaucoup plus complexes (voir processeurs, mémoires, ...) en présentant par contre des résultats de prédiction d'erreurs trop optimistes. La simulation au niveau système ne peut pas mener à des prévisions réalistes si elle n'utilise pas un modèle des fautes transitoires résultant de la prise en compte des effets du passage d'une particule chargée dans un transistor PMOS ou NMOS. Ces effets sont le plus souvent des impulsions de courant dépendantes des paramètres de la particule ionisante, des dimensions des transistors heurtés, des conditions de fonctionnement (tension de polarisation, vecteurs d'entrée, *fanout*).

Dans la suite du document nous nous intéressons à la présentation des techniques de simulation de fautes transitoires au niveau transistor et électrique, et ceci pour déduire une méthodologie de caractérisation du comportement de fautes transitoires en fonction des paramètres des particules, dimensions des transistors, conditions de fonctionnement.

1.6. Influence de l'avancement technologique sur la tenue aux radiations

Selon la loi de Moore, un doublement de la densité d'intégration tous les 18 mois a été prévu. Cette augmentation de la densité d'intégration se traduit par la conception de circuits toujours plus rapides avec de plus en plus de fonctionnalités et des puissances de calcul de plus en plus importantes.

En fait, un des principes de la miniaturisation consiste à réduire la longueur de la grille des transistors afin d'accroître la vitesse de commutation des portes. D'une manière générale, lorsque les dimensions diminuent, il est nécessaire de faire évoluer d'autres paramètres afin de préserver le fonctionnement correct des circuits. C'est ainsi qu'avec chaque génération technologique, les dopages des zones actives augmentent tandis que les profondeurs des jonctions et les épaisseurs d'oxyde diminuent. Ensuite, afin de réduire la consommation de puissance et de maintenir un champ électrique acceptable dans le diélectrique, il est nécessaire de réduire la tension d'alimentation. La mise en place des nouvelles technologies a toujours fonctionné ainsi. Cependant certains de ces paramètres atteignent aujourd'hui leurs valeurs limites et il semble difficile de continuer à réduire les dimensions sans le besoin de remplacement de certains matériaux par d'autres nouveaux matériaux avec des propriétés physiques mieux adaptées. Par exemple l'introduction des isolants à forte constante diélectrique (high K) est prévue pour succéder à l'oxyde de grille et les interconnexions en cuivre remplace déjà celles en aluminium dans les technologies récentes, car elles sont moins sensibles aux phénomènes d'électromigration tout en apportant une conductivité plus élevée.

Cette intégration de plus en plus poussée et la miniaturisation constante dans les circuits intégrés entraînent de nouveaux problèmes avec quasiment chaque génération de processus technologique. Ces problèmes affectent la fiabilité des circuits intégrés, par exemple:

1. Les problèmes liés à l'intégrité du signal, de plus en plus affecté par les différentes sources de bruits provenant du couplage capacitif (crosstalks), inductif et de substrat.
2. Les chutes de tension d'alimentation (IR-Drop) ou le « ground bounce ».
3. L'augmentation des courants de fuite et en conséquence l'augmentation de la consommation de puissance statique.
4. Les retards dans les lignes d'interconnexion.
5. L'augmentation de la sensibilité face aux particules ionisantes.

Ces problèmes de fonctionnement, qui concernent tous les secteurs associés à la réalisation des circuits, ingénieurs de procès, fabricants, concepteurs de circuits, spécialistes du test et concepteurs de systèmes, sont capables d'arrêter la continuation de la loi de Moore et donc d'arrêter le progrès technologique.

Pour ces raisons, l'innovation et la recherche en électronique sont en majorité portées par la prévision, l'examen et la résolution des problèmes futurs.

Dans notre étude, nous allons nous intéresser au problème lié à l'interaction de l'environnement radiatif et en particulier des particules ionisantes avec les circuits intégrés.

Il est donc important de voir comment l'évolution des différents paramètres entraînés par la miniaturisation peut influencer les erreurs liées aux phénomènes qui nous préoccupent.

Le tableau 1.2 présente les paramètres importants liés à la variation des règles de conception dans les semi-conducteurs de l'année 1999 jusqu'en 2014.

Année	1999	2001	2003	2005	2008	2012	2014
Technologie	180nm	130nm	100nm	80nm	70nm	50nm	34nm
Progrès							
V _{dd} (V)	1.5-1.8	1.2-1.5	0.9-1.2	0.6-0.9	0.6-0.9	0.5-0.6	0.5-0.6
V _T (V)	0.450	0.375	0.3	0.225	0.225	0.175	0.175
T _{oxyde} (nm)	3-4	2-3	1.5-2	<1.5	<1.5	<1	<1
Champ max E (MV/cm)	5	5	>5	>5	>5	>6	>6
Epaisseur ligne métal (μm)	0.45	0,34	0.26	0.2	0.2	0.14	>0.14
Espacement des pistes métalliques (μm)	0.23	0.17	0.13	0.13	0.1	0.07	>0.07
Mémoires							
Taille de la mémoire DRAM (bits)	256M	512M	1G	2G	6G	16G	48G
Taille de la mémoire SRAM (bits)	16G	64G	256G	-	-	-	-
Circuits Combinatoires							
Microprocesseur million Transistors/Chip	23.8	47.6	95.2	190	539	1523	4308
Circuits Combinatoires Million Transistors/cm ²	6.6	13	24	44	109	269	664
Vitesse d'horloge (Hz)	750M	1.68G	2.31G	5.17G	6.47G	11.5G	19.3G
Temps de propagation des portes (ps)	16-17	12-13	10-12	9-10	7	4-5	3-2

Tableau 1.2: Evolution des semi-conducteurs concernant le progrès technologique, les mémoires (DRAM, SDRAM) et la logique combinatoire [SIA-01].

Ce tableau illustre que les dimensions des transistors CMOS sont en réduction constante (de 0,25 microns, il y a quelques années, à 0,09 microns de nos jours, et continuent à réduire à 0,034 microns, en 2014. Ce passage d'une génération technologique à une autre, entraîne une réduction de toutes les dimensions physiques de dispositif (comme l'épaisseur d'oxyde de porte T_{oxyde}, la tension d'alimentation,...).

Dans la suite, nous allons essayer de résumer les effets de ces dimensions physiques sur la sensibilité des dispositifs aux fautes transitoires.

➤ L'effet des dimensions de l'oxyde

Le tableau précédent indique que les dimensions liées à l'oxyde diminuent avec les avancées technologiques. Mais, afin d'assurer une fiabilité acceptable pour l'oxyde de grille, il est nécessaire de maintenir un champ électrique plus petit que 5 à 6 MV/cm. De plus, si l'épaisseur de l'oxyde est inférieure à 2 nm, nous remarquons une augmentation importante des courants de fuite due au phénomène de courant tunnel direct à travers la couche d'oxyde de grille.

Cette importance croissante du courant tunnel direct limite probablement l'épaisseur de l'oxyde de grille à l'entour de 2 nm avec une marge limite de 1 nm pour les technologies les plus petites.

Un autre paramètre important est la capacité de l'oxyde de grille qui peut être calculée à partir de la constante diélectrique du SiO_2 et des dimensions de composant. Cette capacité joue un rôle déterminant dans la sensibilité des composants aux particules ionisantes. En technologie CMOS, l'évolution de la capacité du diélectrique est en rapport direct avec la charge critique d'un dispositif. Lorsque cette capacité diminue, la charge critique diminue et la sensibilité de la technologie augmente.

➤ L'effet de la réduction de la géométrie (L, W)

Comme la miniaturisation consiste à réduire la longueur de la grille des transistors (L), elle consiste aussi à réduire la largeur des transistors (W).

Cette diminution de la taille du transistor, entraîne une réduction de la capacité des nœuds de sortie d'une porte logique et une augmentation de la vitesse de commutation. Ainsi les portes logiques ont des temps de propagation très courts. Des impulsions transitoires générées suite à l'impact d'une particule chargée dans un transistor appartenant à une porte logique ne seront plus atténuées, même pour des particules d'énergie réduite.

➤ L'effet de la tension d'alimentation et des tensions de seuil

La tension d'alimentation V_{dd} et la tension de seuil V_{th} ont un effet important sur la variation de la charge critique. Le meilleur moyen pour diminuer la consommation de puissance, consiste à réduire la tension d'alimentation. Mais, cette réduction entraîne une diminution du potentiel aux bornes du diélectrique et permet de conserver un champ électrique acceptable dans l'isolant malgré la diminution de son épaisseur. Il en résulte une diminution de la charge critique et par conséquent une augmentation de la sensibilité.

La diminution de la tension de seuil entraîne une augmentation du courant de fuite sous-seuil ($I_{leakage}$) ainsi que l'apparition d'un courant de *tunneling* du substrat vers la grille à travers la barrière de potentiel de l'oxyde de grille (I_{GIDL}) très dépendant des conditions de polarisation du transistor. Ces courants jouent un rôle très important sur les phénomènes de collection de charge au niveau de la jonction de la source d'un transistor, pouvant influencer l'impulsion de courant du drain traversé par la particule chargée. En l'occurrence, la source commence à collecter la charge électrique conduisant à la diminution de la charge collectée par le drain.

➤ L'effet de la fréquence d'horloge

La vitesse de fonctionnement joue un rôle important dans la sensibilité des circuits aux effets transitoires. Cette sensibilité peut être évaluée en fonction de la fenêtre de vulnérabilité liée à la fois à la fréquence d'horloge et à la durée des événements transitoires générés. La fenêtre de vulnérabilité d'un élément séquentiel est définie comme le rapport entre la durée de l'événement transitoire mesuré à l'entrée d'un registre et la période d'horloge. En réalité, si l'impulsion transitoire se trouve entre le début du temps de *setup* et la fin du temps de *hold* de l'élément séquentiel, elle affectera la valeur logique de la bascule, contribuant ainsi à l'augmentation de la sensibilité du circuit.

Les effets de l'avancement technologique sur la tenue aux radiations des composants sont les suivants.

1. Pour les mémoires

Concernant les mémoires, nous remarquons que la diminution des géométries s'accompagne d'une augmentation notable de la taille de chaque type de mémoire (SRAM et

DRAM). Par exemple, aux alentours de l'an 2014, des mémoires DRAM à 48 Gbits seront conçues en technologie de 34 nm ayant une dimension d'environ $0,004\mu\text{m}^2$ par cellule.

Mais, cette augmentation a aussi des effets néfastes sur leur sensibilité aux diverses sources de radiation.

Plusieurs études ont été consacrées à l'analyse de l'évolution de la sensibilité des différents transistors d'un point mémoire SRAM avec la diminution des dimensions des composants. La figure (1.13) présente une de ces études réalisée par [Dodd -96]

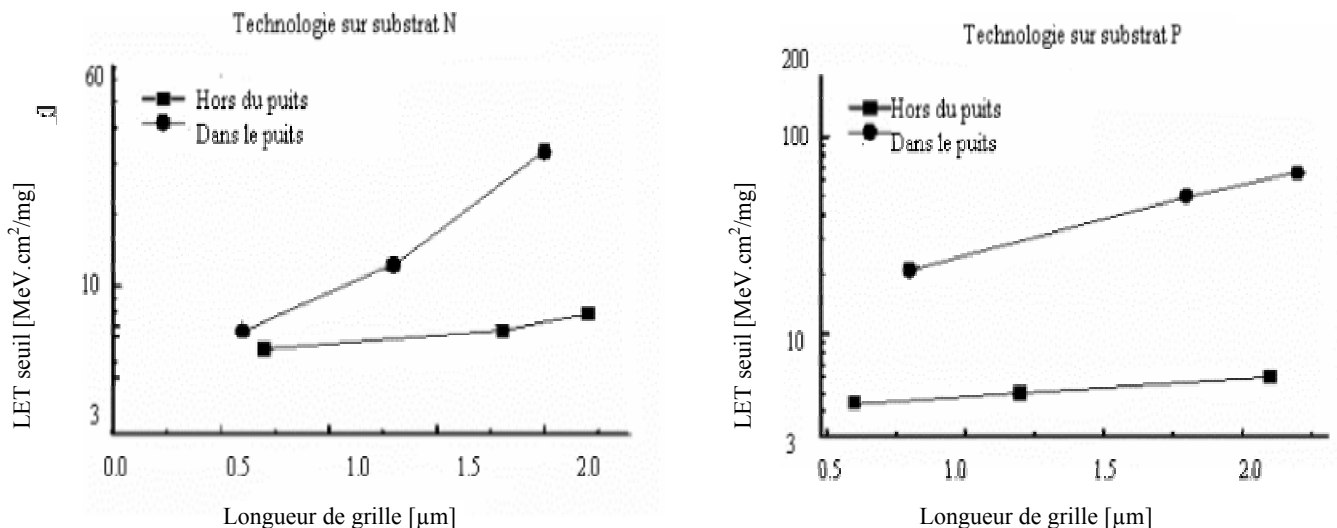


Figure 1.13 (a): LET seuil simulé en fonction de la longueur de grille (L_g), dans une technologie développée sur substrat N

(b): LET seuil simulé en fonction de la longueur de grille (L_g), dans une technologie développée sur substrat P

En observant ces courbes, nous pouvons remarquer que la valeur de LET seuil nécessaire pour provoquer un upset (un SEU) diminue avec l'intégration des technologies. Autrement dit, la sensibilité aux SEUs augmente avec l'intégration des technologies, pour les deux types de substrat. L'explication de cette augmentation, selon [Dodd-96] est due à l'effet bipolaire parasite qui a été défini comme le facteur déclenchant des SEUs. La base de ce transistor parasite est effectivement constituée par la région du canal. De ce fait, l'effet bipolaire croît avec la diminution de la longueur de grille.

Selon la figure (1.13), on peut remarquer que l'augmentation de la sensibilité SEU est plus prononcée pour les technologies sur substrat N que sur substrat P. Les auteurs de cette étude de sensibilité [Dodd-96] expliquent cette tendance par le fait que les transistors bipolaires parasites associés à la structure d'un transistor sont du type PNP pour le substrat P et NPN pour le substrat N. Comme la mobilité des trous est inférieure à celle des électrons, le gain d'un transistor PNP est estimé au tiers de celui d'un NPN. En conséquence, l'effet bipolaire est plus faible pour une technologie sur substrat P que sur substrat N. Il en serait donc de même pour la sensibilité SEU associée à ces technologies, qui serait déterminée par cet effet parasite.

Très récemment, une autre étude réalisée par P.K. Saxena [Saxe-03] a montré que pour la technologie CMOS $0,18\mu\text{m}$ la valeur de LET nécessaire pour le déclenchement du SEU atteint sa valeur minimale, puis, cette valeur augmente avec l'avancement technologique (figure

1.14.b) même si la charge critique continue à diminuer. Dans le reste de ce document, nous allons nous intéresser à l'analyse de la sensibilité de la technologie CMOS 0,18 μm (pire cas) face aux fautes transitoires.

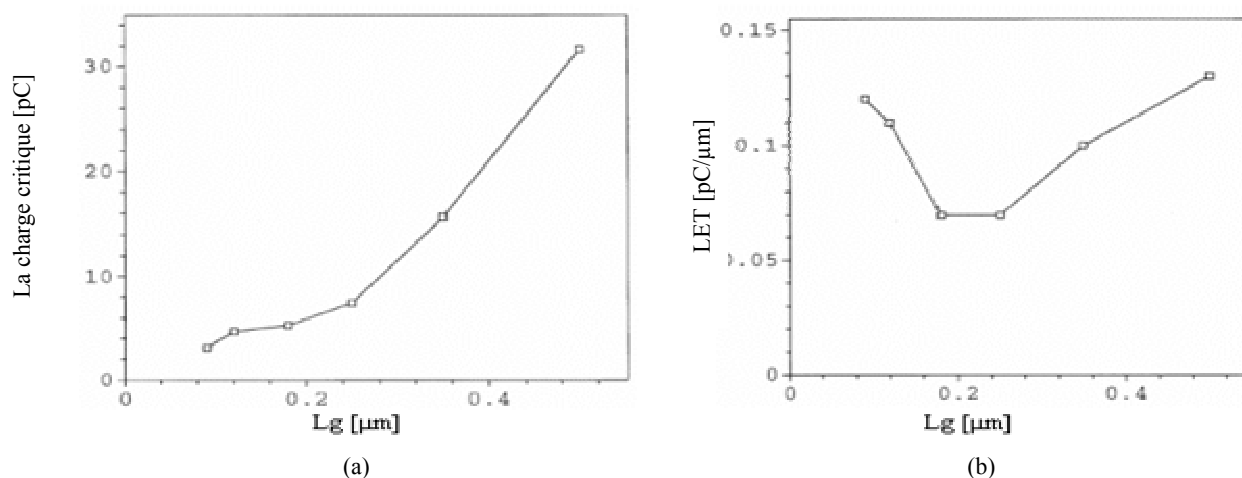


Figure 1.14: (a): Charge critique nécessaire en fonction de la longueur de grille (Lg), (b): Valeur de LET avec la longueur de grille (Lg).

En fait, pour une longueur de grille $Lg \leq 0,18\mu\text{m}$ et à cause des courants de fuite, la source collecte une partie significative de la charge déposée par une particule heurtant le drain (les charges positives sur la figure 1.15). Donc, cette partie ne va pas contribuer au déclenchement d'un SEU au drain. L'amplitude du courant transitoire au drain diminue donc pour les technologies à l'avenir, et ceci dû aux courants de fuite.

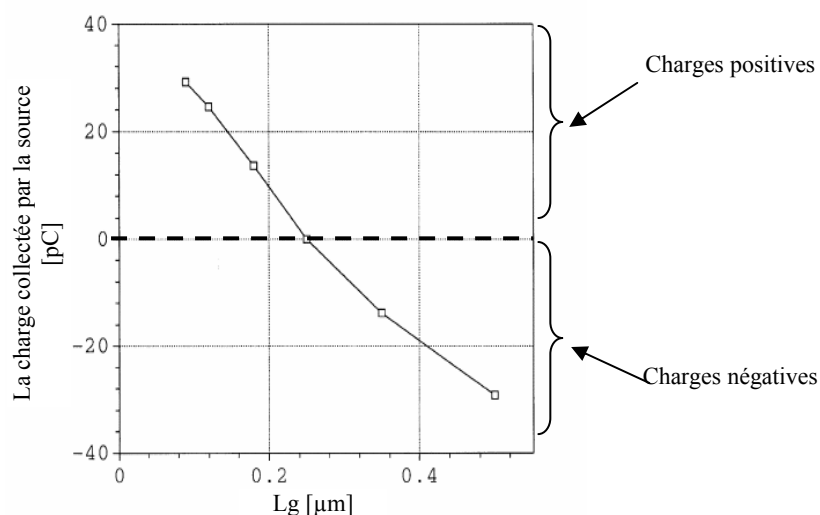


Figure 1.15: Charge collectée par la source en fonction de la longueur de grille (Lg).

Nous pouvons noter aussi que les particules légères, présentes en abondance dans l'environnement terrestre, peuvent actuellement provoquer des erreurs softs (des upsets) dans les mémoires utilisées au niveau du sol où une gamme de 10^{-12} à $2 \cdot 10^{-12}$ upset/bit-heure est constatée.

Le tableau 1.3 présente d'autres données concernant la valeur de SER et FIT de plusieurs types de mémoire [Tezz-04].

Type de mémoire	La valeur de SER	Erreur /bit-heure	FIT/Mbit
DRAM à la vitesse nominale	De qq. centaines à qq. milles de FIT	–	–
SRAM de 0,25µm et dessous	10000 – 100000 FIT	–	–
Mémoire commerciale de CMOS	>1E-5 – 1E-7 per bit-jour	>4E-7 – 4.2E-9	4 million – >400 million
La 0,13µm technologie	10,000 ou 100,000 FIT/Mbit	1E-11 – 1E-10	10000 – 100000
Mémoire de 1Gbit de la technologie 0,25µm	Une erreur par semaine	6E-12	6000
4M SRAM	<1E-10 upset/bit-jour	<4.2E-12	<4200
DRAM de 1Gbit (Nite Hawk)	2.3E-12 upset/bit-heure	2.3E-12	2300
SRAM et DRAM	1 – 2 E-12 upset/bit-heure	1 – 2E-12	1000 – 2000
SRAM de ~ 8,2 Gbit (CRAY YMP-8)	1.3E-12 upset/bit-heure	1.3E-12	1300
SRAM	1000 FIT/Mbit	1E-12	1000
256 MByte	une erreur par mois	7E-13	700
DRAM de 160 Gbit (Fermilab)	2.5 erreurs par jour	7E-13	700
DRAM de 32 Gbit (CRAY YMP-8)	6E-12 upset/bit-heure	6E-13	600

Tableau 1.3: Valeurs de SER et FIT pour plusieurs mémoires.

Enfin quelques données concernant la valeur de FIT mesurée pendant une campagne de test sous radiation, en Dec 2002, par iRoC Technologies sur environ 80 mémoires fabriquées en technologie CMOS 0,13 µm montrent que le taux des erreurs induites par des particules alpha et des neutrons atmosphériques, même au niveau de la mer, est assez important et non acceptable pour certaines applications (par exemple des applications d'avionique civile, équipements de commutation de grande vitesse utilisés dans le télécommunications).

2. Pour les circuits logiques

Concernant l'impact de la **réduction des dimensions** sur la sensibilité des portes et circuits logiques face aux phénomènes transitoires SETs, nous remarquons, d'une part, que la charge qui représente l'information liée au nœud heurté par une particule ($Q = C \cdot V_{dd}$) devient de plus en plus petite avec la réduction des dimensions des composants, car la capacité du nœud électrique et la tension d'alimentation diminuent. En conséquence, la probabilité d'avoir une impulsion transitoire, d'une durée « Δt_r » notable et non négligeable, augmente. D'autre part, comme le temps de propagation d'une porte diminue, cette impulsion transitoire peut se propager aux sorties sans atténuation et peut provoquer une erreur soft.

En conséquence, les parties logiques considérées pratiquement insensibles par le passé sont aussi maintenant affectées par la radiation.

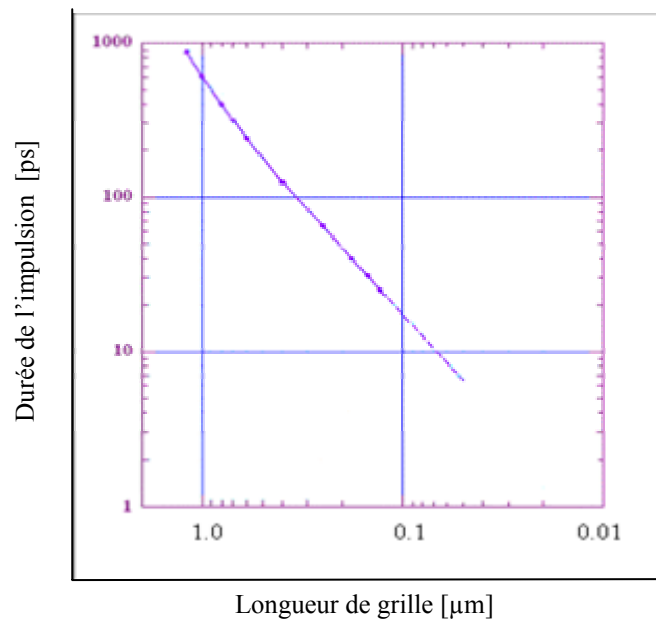


Figure 1.16: Durée de l'impulsion transitoire vers la longueur de la grille [Mav-02].

La figure précédente montre la durée minimale de l'impulsion qui peut se propager jusqu'aux sorties d'un circuit sans atténuation, pour chaque technologie. Il est important de noter que la durée de l'impulsion nécessaire pour se propager dans un circuit décroît quand la longueur de grille de la technologie diminue [Baz-97], [Mav-02].

1.7. Conclusion

Dans ce chapitre, nous avons décrit les différents types de radiation présents dans l'espace et au niveau terrestre ainsi que leurs interactions avec les matériaux composant les circuits intégrés.

Les différents problèmes résultant de ces interactions ont aussi été discutés. Les effets singuliers ont été identifiés comme conduisant à des défaillances critiques des composants sous-microniques (mémoires et portes logiques).

Enfin, pour conclure ce chapitre, nous avons résumé brièvement les conséquences de la miniaturisation sur le comportement des circuits en milieu radiatif terrestre.

Chapitre 2

Modélisation des impulsions transitoires SETs au niveau transistor et portes logiques élémentaires

Chapitre 2: Modélisation des impulsions transitoires SETs au niveau transistor et portes logiques élémentaires

Dans ce chapitre nous présenterons une méthodologie de modélisation et d'analyse des effets d'une particule ionisante sur des composants microélectroniques de type transistor (NMOS et PMOS). Plusieurs paramètres rentrent en jeu lors de l'impact d'une particule ionisante avec ces composants, l'impulsion de courant transitoire qui en résulte (amplitude, durée) étant très dépendante de ces paramètres.

Nous proposerons une méthodologie nous permettant d'estimer les courants transitoires provoqués par l'impact d'une particule chargée en prenant en compte les paramètres physiques des composants et des particules ionisantes. Une comparaison des résultats obtenus par l'utilisation du simulateur 2-D et par l'application de la méthodologie proposée est également présentée.

2.1. Simulation de l'impact d'une particule avec le composant

2.1.1 Méthode de simulation numérique

Quand une particule ionisante traverse un composant, elle produit sur son chemin des paires électron-trou, le long de la trace par l'excitation directe des électrons et par l'ionisation des autres atomes. Un simulateur numérique d'un composant doit être capable de reproduire mathématiquement par des fonctions analytiques le fonctionnement de ce composant et de résoudre les équations fondamentales des semi-conducteurs comme l'équation de Poisson et l'équation de continuité en prenant en compte la génération de ces paires électron-trou. Un simulateur numérique de composant doit aussi être capable d'intégrer les effets de la radiation. L'impact des particules ionisantes doit être modélisé alors par des équations numériques.

L'intérêt majeur de ce type de simulation est tout en permettant la réduction des coûts de test associés à une campagne de test sous radiation

Selon les variables d'espace que le simulateur peut traiter, nous pouvons distinguer deux types de simulateurs: le simulateur à deux dimensions (2-D) et le simulateur à trois dimensions (3-D).

La plupart des simulateurs numériques sont des simulateurs (2-D). Ces simulateurs peuvent traiter de vraies structures à trois dimensions (3-D) si elles ont une symétrie de révolution. La révolution dans ce cas se fait en coordonnées cylindriques. Dans les simulateurs 2-D travaillant en coordonnées cartésiennes, la troisième dimension nécessaire à la définition de grandeur de nature volumique est implicitement introduite en considérant une tranche du composant d'épaisseur constante, généralement un micron. Ceci revient à dire qu'il est supposé que la symétrie du composant soit telle qu'il se reproduit identique à lui-même dans la troisième dimension. Les grandeurs de sortie du programme sont ramenées à l'unité d'épaisseur. Ainsi les courants sont donnés en A/ μm .

Cependant, les simulateurs numériques (3-D) considèrent en fait un empilement d'un petit nombre de couches. La géométrie de la structure dans la troisième dimension n'est pas libre.

Utiliser des simulateurs 3-D est de plus en plus nécessaire dans les technologies du futur, ceci est dû à la grande densité d'intégration des composants qui se trouvent alors de plus en plus rapprochés, et les phénomènes transitoires multiples peuvent apparaître, à cause des phénomènes de recombinaison de charges dans les trois dimensions. Une présentation et une comparaison plus détaillées de tous les types de simulateurs numériques peuvent être trouvées en [Dodd-96]. La figure 2.1 présente une description en 3-D d'une cellule mémoire SRAM contenant 4 transistors.

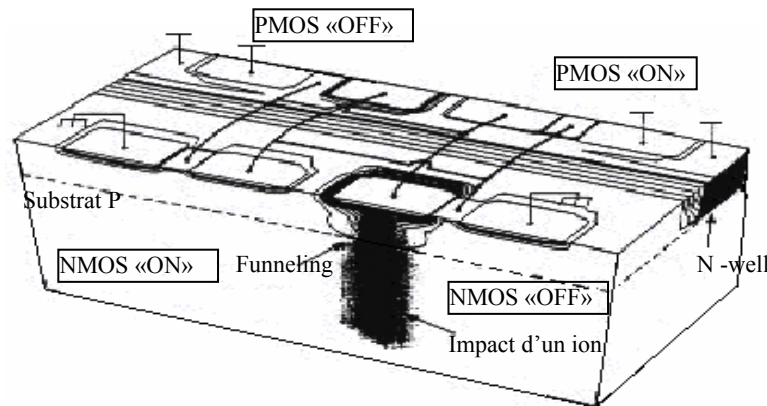


Figure 2.1: Description 3-D d'une cellule mémoire SRAM contenant 4 transistors.

L'inconvénient de ce simulateur est le temps de simulation, absolument long. Pour simuler une structure de type inverseur modélisée en 2-D, 11 heures de simulation sont nécessaires. De plus, la création des modèles 3-D pour les cellules complexes s'avère nécessaire car souvent ces modèles ne sont pas disponibles chez certains fabricants de librairies.

2.1.2. Méthode de simulation mixte Composant/SPICE

Pour réduire le temps de simulation d'un simulateur numérique, une autre méthode pour modéliser la collection de charges et les effets singuliers dans un composant consiste en l'utilisation de deux types de simulateurs en même temps: un simulateur numérique au niveau composant pour représenter en 2-D ou 3-D le transistor heurté, et un simulateur électrique (par exemple SPICE) pour représenter le reste des transistors du circuit.

Le principe de cette méthode qu'on appellera dans la suite du document Composant/SPICE est de limiter l'utilisation du simulateur de composant au transistor heurté par la particule, censé résoudre les équations du semi-conducteur, alors que le reste du circuit est représenté par des éléments SPICE, afin de simuler l'effet de l'impulsion de courant générée sur les autres transistors.

La figure 2.2 présente le couplage de deux niveaux de simulations.

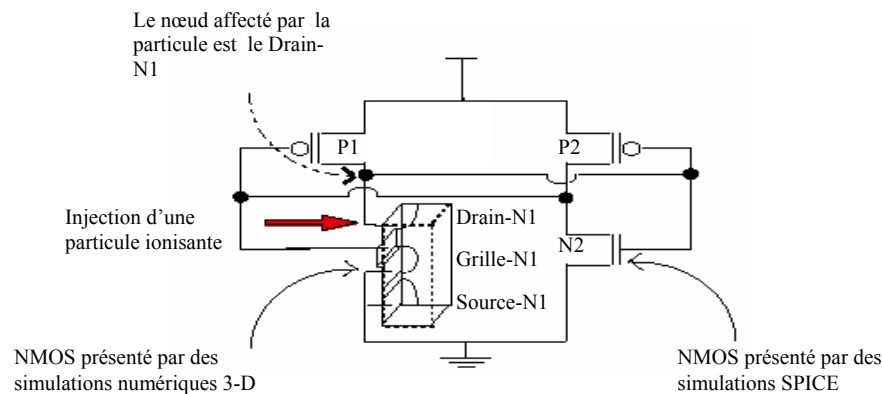


Figure 2.2: Cellule de mémoire simulée par la méthodologie dite mixte. Le transistor NMOS est présenté par un simulateur numérique 3-D, le reste du circuit est présenté par un simulateur SPICE.

Le bénéfice de l'utilisation du simulateur SPICE en plus du simulateur de composant est la réduction du temps total de simulation. Les simulations mixtes composant/SPICE ont été largement utilisées ces dernières années pour étudier le SEU sur des cellules de mémoire SRAM [Rouch-99].

Il est important de noter que les deux types de méthodes de simulations numériques (2-D et 3-D) utilisent une modélisation spécifique de la particule chargée heurtant les composants, celle-ci sera décrite plus tard dans ce chapitre.

2.1.3. Simulateur numérique choisi

Au niveau international, trois sociétés principales TMA (*Technology Modeling Associates*), SILVACO, ISE (*Integrated Systems Engineering*), dominent le marché mondial de la simulation de composants. La société ISE a été rachetée récemment par le géant des outils CAO Synopsys. Dans la suite du document, on continuera d'appeler ce simulateur ISE.

Le choix d'un simulateur numérique doit se baser sur trois critères principaux: la puissance de calcul du simulateur, la flexibilité dans le choix des paramètres du composant et une très bonne modélisation de la particule ionisante.

En revenant sur ces conditions, on trouve que le simulateur ISE est pratiquement le meilleur simulateur parmi ces trois puisqu'il remplit les trois conditions mentionnées ci-dessus pour les raisons suivantes[Rouch'-99]:

- Concernant la rapidité d'exécution de la tâche, la gestion dynamique de la mémoire liée au langage de programmation utilisé dans le noyau d'un simulateur électrique 2-D appelé DESSIS et développé en C++, justifie le choix de ISE comme étant le meilleur simulateur entre les trois en terme de vitesse du temps de calcul.
- Concernant la flexibilité dans le choix des paramètres du composant, l'utilisation du simulateur GENESIS de ISE permet de paramétrer facilement différentes quantités dans nos simulations (LET, positions d'impacts, modèles physiques activés,...) simultanément à des niveaux différents de simulations (description de la structure, polarisation des électrodes, simulation de la particule,...) et d'agencer ces simulations dans un même projet afin de les comparer aisément.

- Concernant la modélisation d'une particule ionisante, la commande HEAVYION permet de bien prendre en compte la localisation de l'impact sur la structure du transistor, l'angle d'incidence, la profondeur de pénétration et l'énergie (ou bien le LET) d'une particule.

La suite de ce sous chapitre consiste en l'étude d'une méthode de caractérisation de phénomènes transitoires pouvant apparaître dans les composants de type transistor d'une technologie sous-micronique donnée, par exemple $0,18\ \mu\text{m}$. Cette étude se base tout d'abord sur des simulations numériques en 2-D effectuées sur des transistors NMOS et PMOS élémentaires. Au cours de cette thèse, nous allons utiliser un simulateur 2-D (ISE) en raison de la non disponibilité d'une technologie sous-micronique où le transistor sera décrit en 3-D au sein de notre laboratoire.

2.1.4. Modélisation 2-D des composants PMOS et NMOS

La réalisation des structures 2-D de ces deux transistors peut être faite à partir d'une dizaine de profils 1-D de dopage en profondeur. Ces profils initiaux ont été générés par le simulateur de procédé de fabrication MESH-ISE. Ce simulateur prend en compte, entre autres étapes de fabrication, les implantations, diffusions, recuits et oxydations. Ces profils initiaux correspondent aux concentrations de différents types de dopants utilisés dans le procédé de fabrication (Arsenic, Phosphore, Bore), qui évoluent en profondeur à différentes positions normales à la surface (canal, LDD, contacts). La principale difficulté pour la définition des structures a consisté à agencer ces profils 1-D en deux dimensions.

La figure (2.3) présente la concentration de dopants pour les deux types de transistors en technologie $0,18\ \mu\text{m}$ que nous avons utilisés pour les simulations 2-D.

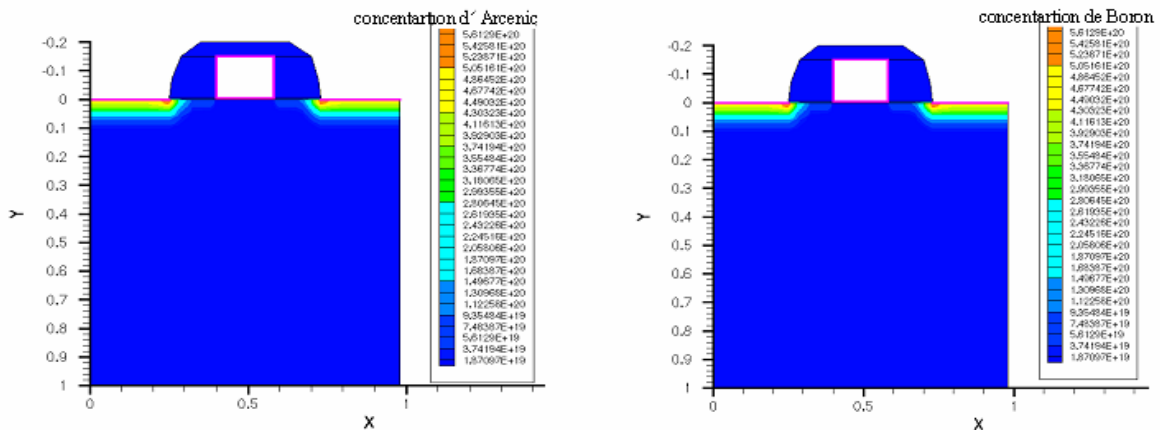


Figure 2.3: Description 2-D des transistors NMOS et PMOS pour une technologie $0,18\ \mu\text{m}$.

Les largeurs des transistors, qui sont à définir obligatoirement en 2-D pour convertir les courants d'unité $\text{A}/\mu\text{m}$ en A, sont choisies égales à W_n et W_p pour chaque transistor.

Pour ces descriptions, on peut noter les points suivants:

- Les contacts de substrat pour les deux types de transistors sont localisés au fond de la structure, et les autres contacts sont alignés sur la surface.

b) La longueur de grille des transistors NMOS et PMOS est égale à 0,18µm, la tension d'alimentation est de 1,8 V, et l'épaisseur de l'oxyde de grille est de 30 Å.

c) La substrat est polarisé à 0 V pour le transistor NMOS et à Vdd = 1,8 V pour le PMOS.

De plus, plusieurs modèles physiques spécifiques (de mobilité, de recombinaison,...) doivent être mis en œuvre pour représenter correctement le comportement d'un transistor.

Pour obtenir des composants sous-microniques avec des caractéristiques de fonctionnement correctes, les phénomènes parasites liés aux faibles dimensions des régions actives du transistor ainsi que les effets de canal court sont considérés dans la modélisation de ces transistors.

En ce qui concerne le simulateur DESSIS-ISE, les modèles que nous avons pris en compte dans nos simulations permettent de décrire [DESSIS]:

- La dépendance de la mobilité avec le champ électrique (DopingDep), sa variation suivant le champ électrique normal à la grille (Enormal) et sa saturation à fort champ (HighFieldSaturation).
- La variation de mobilité due aux interactions entre porteurs décrite par le modèle semi-empirique de Brooks-Herring (CarrierCarrier(BrooksHerring)). Cet effet est important quand la concentration des électrons et des trous présents dans le composant est élevée, ce qui est le cas en particulier dans la trace de l'ion.
- La recombinaison Shockley-Read-Hall classique avec une durée de vie dépendante de la concentration (Concentration dependent Shockley-Read-Hall, SRH (dopingDep)).
- La recombinaison Auger, indispensable quand la concentration de porteurs dans le matériau est supérieure au dopage (cas de forte injection), ou quand le matériau est dégénéré, selon le modèle (Auger).
- L'effet dit de "Band Gap Narrowing" lié au rétrécissement du gap (la bande interdite) d'un matériau pouvant apparaître lorsque celui-ci est dégénéré. Les dopages de certaines régions atteignant 10^{20} atomes.cm⁻³, ce modèle (*EffectiveIntrinsicDensity(Slotboom)*) sera pris en compte dans nos simulations.

2.1.5. Modélisation de l'impact d'une particule chargée avec le composant

Comme nous l'avons mentionné auparavant, la fonction des simulateurs numériques est de reproduire mathématiquement le fonctionnement de l'impact d'une particule chargée dans un composant.

Ces simulations se basent sur la résolution des équations fondamentales des semi-conducteurs telles que l'équation de Poisson et l'équation de continuité:

- L'équation de Poisson représente une relation entre le potentiel et la densité des porteurs:

$$\varepsilon \cdot \Delta V = -\rho(x, y, z) \quad (2.1)$$

$$\rho(x, y, z) = e(-n + p - N_a + N_d) \quad (2.2)$$

où N_a , N_d sont les concentrations des dopants accepteurs et donneurs ionisés, ε est la permittivité diélectrique du semi-conducteur, V est le potentiel et n , p sont les densités de porteurs.

→ L'équation de continuité régit les variations de la concentration des porteurs de charge dans un semi-conducteur. Les expressions de l'équation de continuité relative aux électrons et aux trous sont:

$$\frac{\partial n}{\partial t} = G_n - U_n + \frac{1}{e} \text{div } \vec{j}_n \quad (2.3)$$

$$\frac{\partial p}{\partial t} = G_p - U_p + \frac{1}{e} \text{div } \vec{j}_p \quad (2.4)$$

où G est le taux de génération, U est le taux de recombinaison.

Les densité de courant j_n et j_p ont les formes suivantes:

$$\vec{j}_n = en\mu_n \vec{E} + eD_n \overrightarrow{\text{grad}} n \quad (2.5)$$

$$\vec{j}_p = ep\mu_p \vec{E} - eD_p \overrightarrow{\text{grad}} P \quad (2.6)$$

$$\vec{E} = - \overrightarrow{\text{grad}} V \quad (2.7)$$

où μ_n , μ_p sont respectivement les mobilités des électrons et des trous, D_n , D_p sont les constantes de diffusion, E est le champ électrique.

Selon les équations (2.6) et (2.7), nous remarquons que pour chaque type de porteur, le courant résulte de deux termes: le premier correspond à l'entraînement des charges par le champ électrique E , le deuxième correspond à la diffusion des porteurs.

Maintenant, supposons que le composant ait été exposé à une source de radiation. Donc, pour pouvoir prendre en compte les effets des radiations dans un simulateur numérique, on se base sur l'hypothèse suivante:

La génération des porteurs dans un semi-conducteur provient soit d'effet d'une excitation externe, soit d'une façon interne quand les porteurs ont assez d'énergie pour pouvoir provoquer l'ionisation.

Le taux de génération de porteurs dans le semi-conducteur est donné par l'équation:

$$G = \alpha_n \frac{J_n}{e} + \alpha_p \frac{J_p}{e} \quad (2.8)$$

où les coefficients d'ionisation α sont des fonctions de termes exponentiels de la forme $e^{-\text{Ecrit}/E}$

La génération de paires électron-trou selon le passage d'une particule est prise en compte dans les équations de continuité par le traitement du taux de génération G ($\text{cm}^{-3} \text{s}^{-1}$). De ce fait, nous pouvons prendre en compte l'effet des radiations dans les équations traitées par un simulateur numérique, par l'intermédiaire du terme de génération G , en reliant ce terme G aux paramètres d'irradiation.

Normalement, en ce qui concerne l'incidence d'une particule ionisante très énergétique sur un semi-conducteur, l'énergie de cette particule incidente est captée par un électron de la bande de valence qui passe dans la bande de conduction. Dans un tel processus, il y a formation d'un électron libre sur la bande de conduction et d'un trou libre sur la bande de valence.

Donc, l'énergie de telle particule incidente est progressivement cédée au matériau, sous forme d'excitations électroniques, jusqu'à ce qu'elle tombe au-dessous d'un seuil pour lequel les chocs directs avec les atomes du réseau deviennent possibles. Cependant, l'arrêt de l'ion est obtenu à l'issue d'un petit nombre de chocs.

Donc, nous pouvons déterminer, pour chaque type d'ion d'énergie initiale donnée, l'énergie cédée par unité de longueur le long de sa trajectoire dE/dl (LET) ainsi que la profondeur de pénétration de l'ion l_{max} [Ziegl-85].

Les électrons directement excités par la particule ionisante interagissent avec d'autres électrons qui à leur tour interagissent avec d'autres électrons et ainsi de suite. Dans le cas des semi-conducteurs, cette cascade d'interactions a pour effet de faire passer de nombreux électrons de la bande de valence à la bande de conduction. Connaissant l'énergie moyenne E_{ehp} nécessaire à la création d'une paire électron-trou, on peut traduire le LET en nombre de paires électron-trou par unité de longueur:

$$\frac{dN_{ehp}}{dl} = \frac{1}{E_{ehp}} \frac{dE}{dl} \quad (2.9)$$

Les simulateurs de composants prennent en compte dans leurs équations la création de paires électrons-trous par le traitement du taux de génération G , nombre de paires générées par cm^3 et par seconde. Il faut donc associer à chaque point de la trajectoire de la particule ionisante une fonction de distribution spatiale et temporelle des paires créées. Actuellement, le taux de la génération G peut être exprimé par le modèle suivant:

$$G(r,l,t)=L(l) * R(r) * T(t) \quad (2.10)$$

où $L(l)$ est la composante longitudinale traduisant la quantité de charges générées en fonction de la profondeur l , $R(r)$ est la composante radiale et $T(t)$ est la composante temporelle.

L'Annexe 1 présente le modèle G qui est utilisé dans le simulateur utilisé tout au long de notre étude.

2.1.6. Modélisation de la trace d'une particule

Les paramètres choisis pour la modélisation de la trace d'une particule chargée sont:

- 1- Une forme gaussienne pour la composante temporelle $T(t)$.
- 2- Une forme aussi gaussienne pour la composante radiale $R(r)$ avec un diamètre de la colonne de charge d'environ $0,2 \mu m$.
- 3- Une valeur constante exprimée en $[pC/\mu m]$ pour la composante longitudinale $L(l)$. Dans toutes les simulations effectuées au cours de notre étude, la valeur du LET est choisie constante en fonction de la profondeur de pénétration.

2.2. Caractérisation des SETs au niveau transistor

La suite du document concerne l'étude de l'influence d'un certain nombre de paramètres sur l'amplitude et la durée du courant transitoire généré par l'impact des particules

En général, pour caractériser la sensibilité exacte d'une structure face aux particules ionisantes, plusieurs variables doivent être prises en compte. Ces variables sont:

1. La gamme de l'énergie ou du LET des ions qui s'étend de quelques fractions de MeV.cm²/mg jusqu'aux centaines de MeV.cm²/mg.
2. L'angle d'incidence d'un ion sur le composant (θ) qui peut varier entre 0°-180°.
3. La localisation de l'impact d'un ion qui peut heurter le transistor n'importe où sur sa surface. Exemple: directement dans les électrodes (Drain, Source, Grille et Substrat), ou entre les électrodes.
4. Les dimensions du transistor étudié, c'est à dire le W_n dans le cas d'un transistor NMOS et W_p pour un transistor PMOS.

2.2.1. Caractérisation des SETs pour un NMOS

Ce paragraphe est consacré à la caractérisation du courant de drain d'un transistor NMOS bloqué face aux fautes transitoires. A partir de l'analyse des formes de courants et de charges collectées obtenues par les simulations 2-D nous allons étudier l'impact de différents paramètres sur le courant de drain du transistor NMOS et établir des relations de dépendance.

2.2.1.1. Influence de l'angle d'incidence (θ)

a) . Influence de (θ) sur les courants

Plusieurs études ont été consacrées à l'étude du déclenchement d'une SEU dans une cellule de mémoire en fonction de l'angle d'incidence normal (un angle d'incidence $\theta=0^\circ$, voir figure 2.4).[Rouch-99], [Rouch-98], [McN-99].

Pour des incidences obliques, c'est à dire une incidence d'un ion avec un angle positif qui varie entre (0° et 90°, voir figure 2.4) ou un angle négatif qui varie entre (-90 et 0°), l'étude de la dépendance angulaire de la sensibilité d'une SRAM a été faite il y a quelques années [Wood-93], [Dodd-97]. Il est généralement admis que, pour des incidences obliques, la valeur réelle du LET de l'ion doit être remplacée par la valeur efficace LET_{eff} obtenue en divisant le LET par le cosinus de l'angle. Des simulations numériques sur des points de mémorisation SRAM [Dodd-97], ont montré que la dépendance du LET seuil et les charges collectées en fonction de l'angle d'incidence ne pouvait finalement pas se résumer à une simple loi en $1/\cos\theta$. Donc, l'utilisation de la loi du cosinus n'était pas correcte pour estimer ou expliquer les phénomènes transitoires «SEU» dans le cas d'une incidence oblique sur des points de mémorisation.

En revenant sur les fautes transitoires SETs provoquées par le passage d'une particule ionisante dans une porte logique, une question très importante peut être posée: est-ce que la loi du cosinus est valable pour estimer les phénomènes SETs dans des blocs combinatoires?

Afin de répondre à cette question, nous allons commencer par l'étude de l'influence des impacts obliques sur un seul transistor de type NMOS ou PMOS.

Afin de montrer cette influence, nous avons suivi les règles suivantes:

- 1- Toutes les injections sont localisées dans le drain d'un transistor NMOS bloqué.
- 2- L'angle proposé θ est un angle entre le point de contact d'une électrode et l'axe d'ordonnées (Y).
- 3- Un angle positif est un angle qui correspond à une injection orientée vers la source. Ces angles sont compris entre $\theta=0^\circ$ et $\theta=90^\circ$.
- 4- Un angle négatif est un angle qui correspond à une injection en s'éloignant de la source (ces angles varient entre $\theta=-90^\circ$ et $\theta=0^\circ$).

La figure 2.4 indique ces angles.

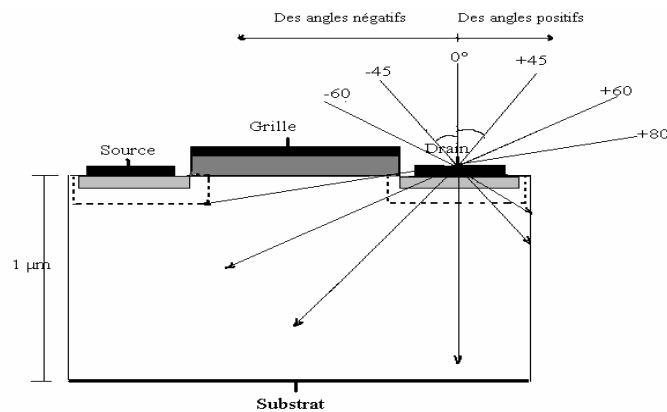


Figure 2.4: Angles d'incidence pour un transistor NMOS.

Nous commençons cette étude en considérant le cas d'une incidence normale localisée dans le drain. La figure 2.5 montre l'évolution des courants transitoires aux électrodes d'un NMOS bloqué, (I_d : le courant du drain, I_s le courant de la source, et I_{sub} le courant du substrat), pour une valeur simulée de LET égale à $0,141 \text{ pC}/\mu\text{m}$ et une incidence normale. Ces courants sont les courants totaux obtenus suite à la simulation numérique ISE. Ils correspondent aux courants d'électrons pour les régions dopées N et aux courants de trous pour les régions dopées P.

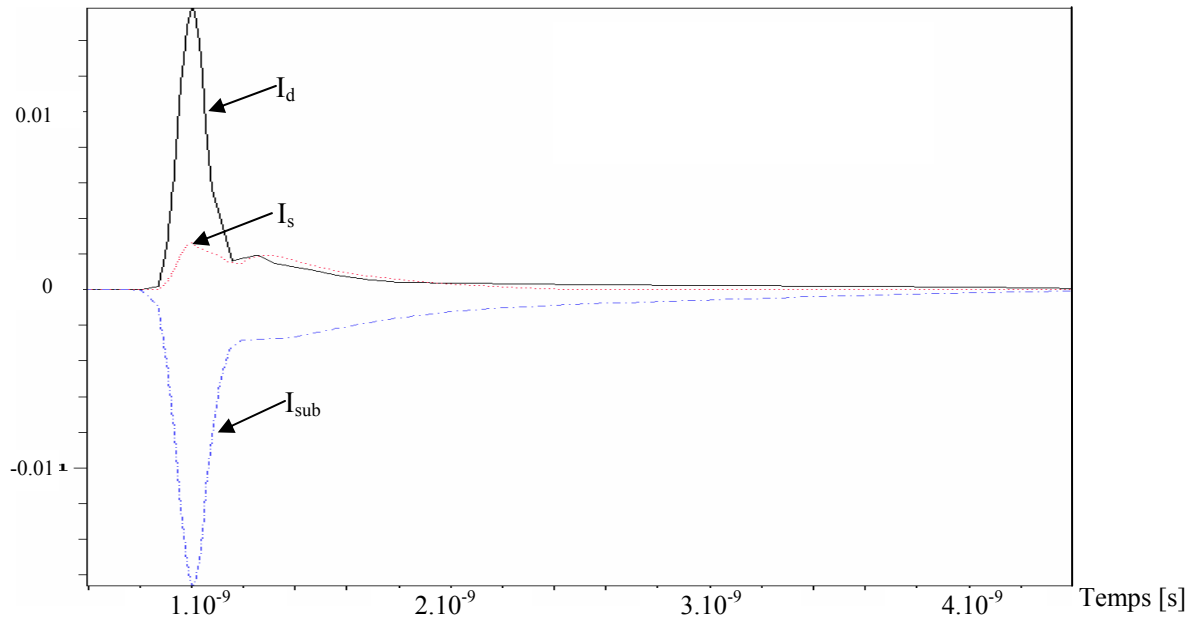


Figure 2.5: Evolution des courants transitoires aux électrodes d'un NMOS bloqué.

Dans la suite, nous allons expliquer le comportement de trois types de courant.

1-Le courant de drain I_d : la figure 2.5 montre que l'impulsion de courant du drain (I_d) a l'amplitude la plus importante par rapport aux autres courants (de source, de substrat) pour une incidence normale. Ce courant est dû principalement à la polarisation en inverse de la jonction drain/substrat. Cette polarisation contribue à la collection des électrons déposés par le passage de l'ion. D'autre part l'activation d'un transistor bipolaire parasite horizontal (Source/Canal/Drain) inhérent à la technologie MOS qui conduit à une injection d'électrons allant de la source vers le drain, contribue à la valeur de ce courant, mais nous allons voir que cette contribution est négligeable.

2- Le courant de source I_s : ce courant se constitue de deux phases:

- La première phase est celle d'injection d'électrons de la source vers le drain due à l'activation du transistor bipolaire parasite durant les premières picosecondes, et elle est due à la polarisation directe de la jonction source/substrat. Il est important de noter que les porteurs de la colonne dans cette phase n'ont pas le temps d'atteindre la région de la source, donc, la plupart des charges déposées sont collectées par les contacts de drain et de substrat tant que la source est en phase d'injection des charges.

- La deuxième phase est celle de la collection de charges ou plus précisément la collection des électrons par la source. Cette phase succède à la première phase. Dans cette phase, les porteurs de la colonne ont eu le temps de se déplacer (sous l'influence des gradients de concentration de porteurs et du champ électrique) jusqu'au voisinage de la jonction source/substrat. Le courant I_s résultant maintenant de la séparation des paires électron-trou dans la zone de charge d'espace de cette jonction.

D'après la figure précédente, nous pouvons dire d'une part, que l'injection des électrons de la source vers le drain correspondant à la valeur négative du courant I_s est négligeable pour une structure complète 2-D. En fait, cette négligence de l'effet du transistor bipolaire est due à la diminution des dimensions du dispositif comme nous l'avons présenté dans le paragraphe 1.6, figure 1.15. D'autre part, et comme nous l'avons déjà mentionné, pour les technologies

sous-microniques, l'augmentation de courants de fuite sous-seuil ($I_{leakage}$) ainsi que l'apparition d'un courant de *tunneling* du substrat vers la grille à travers la barrière de potentiel de l'oxyde de grille (I_{GIDL}) jouent un rôle très important sur les phénomènes de collection de charges au niveau de la jonction de la source d'un transistor pouvant influencer l'impulsion de courant du drain traversé par la particule chargée. En conséquence, la source commence à collecter une partie significative de la charge déposée par une particule heurtant le drain, conduisant à la diminution de la charge collectée par le drain (voir paragraphe 1.6).

- 4- **le courant de substrat I_{sub}** : ce courant est exclusivement constitué de trous entraînés sous l'action du champ de la colonne de charges vers la prise substrat.

En ce qui concerne la dépendance angulaire de l'amplitude du courant de drain du transistor NMOS, plusieurs angles ont été simulés (0° , 5° , 30° , 45° , 60° , 80° , 89° , -5° , -30° , -45° , -60° , -80°), pour une localisation de l'impact au centre du drain du transistor bloqué.

L'évolution des courants transitoires obtenus au drain N d'un NMOS bloqué pour une valeur simulée du LET égale à $0,141 \text{ pC}/\mu\text{m}$ et plusieurs angles d'incidence est représentée à la figure 2.6.

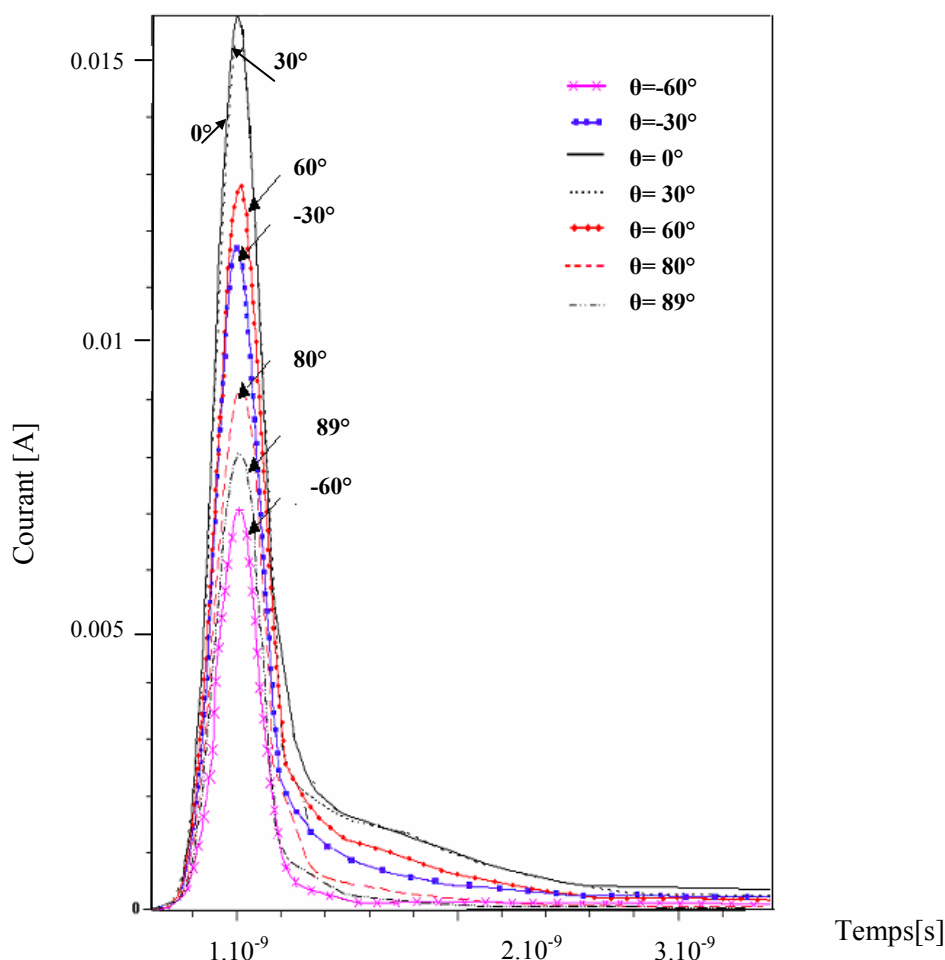
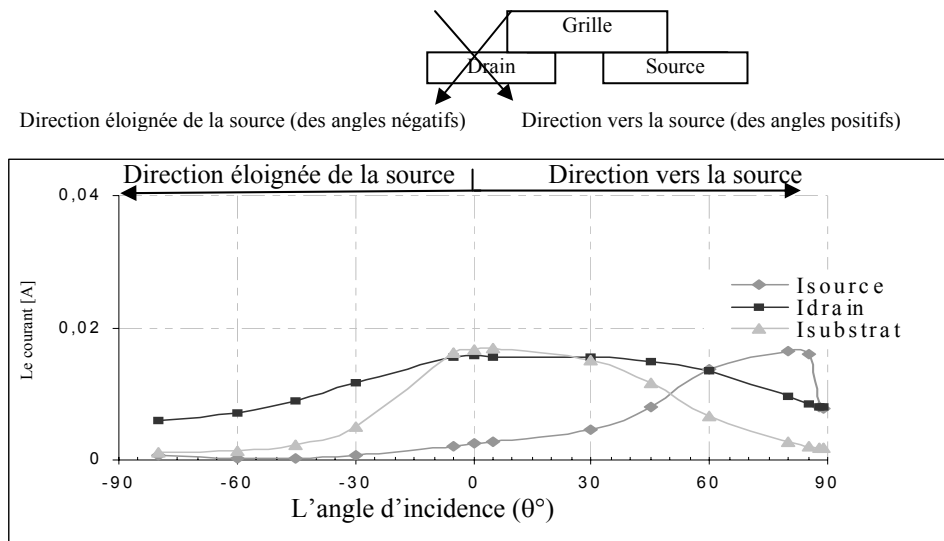


Figure 2.6: Evolution des courants transitoires obtenus au drain d'un NMOS bloqué pour une valeur de $LET=0,141 \text{ pC}/\mu\text{m}$ et quelques angles d'incidence.

La comparaison des résultats présentés sur cette figure indique que l'angle d'incidence a une influence importante sur l'amplitude des courants de drain et sur la durée.

La figure 2.7 montre les résultats des amplitudes des trois courants I_{drain} (I_d), I_{source} (I_s), et I_{substrat} (I_{sub}) en fonction de l'angle d'incidence.

Figure 2.7: Amplitude des courants transitoires sur les trois électrodes Source, Drain et Substrat d'un



NMOS bloqué pour différents angles d'incidence (θ) et pour une valeur de $LET=0,141 \text{ pC}/\mu\text{m}$.

D'après la figure précédente, nous distinguons 4 cas:

Premier cas: l'angle de l'ion injecté varie autour de l'incidence normale

$(-5^\circ \leq \theta \leq +5^\circ)$.

Les paires électron-trou générées par le passage de l'ion sont essentiellement situées en dessous de la zone de charge d'espace (ZCE) de cette jonction (drain/substrat). Ces charges sont séparées par le champ électrique dominant. Ensuite, elles sont collectées par les mécanismes de collection par dérive, par *funneling*, et par diffusion. Donc, une grande partie de ces charges est collectée par le drain, et seulement quelques porteurs de la colonne de charges ont eu le temps de se déplacer sous l'influence des gradients de concentration de porteurs et du champ électrique jusqu'au voisinage de la jonction source/substrat.

La figure 2.7 démontre que pour ces angles d'incidence le courant de drain atteint sa valeur maximale grâce à la collection de la majorité d'électrons. De plus, le courant de source dû à la collection de seulement quelques électrons reste faible. Le courant de substrat résulte de la collection des trous et ce courant atteint aussi sa valeur maximale à cause de la profondeur de pénétration de la particule qui atteint à peu près le fond de la structure.

Remarque: nous avons traité ici les valeurs absolues du courant de substrat pour simplifier l'étude.

La figure 2.8 montre comment sont réparties les charges déposées par l'impact d'un ion sur le drain d'un transistor NMOS pour deux angles $\theta = 0^\circ$ et $\theta = 5^\circ$.

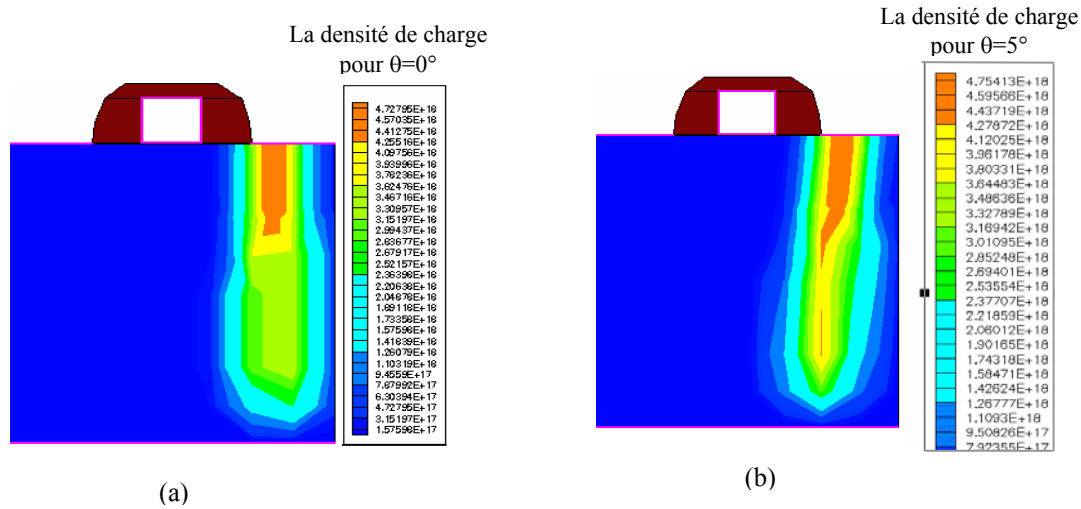


Figure 2.8: Concentration des charges dans le transistor NMOS bloqué après l'impact d'un ion d'une valeur de $LET = 0,141 \text{ pC}/\mu\text{m}$ pour deux angles d'incidence: (a) $\theta = 0^\circ$ et (b) $\theta = 5^\circ$.

2- Deuxième cas: l'angle de l'ion injecté dans le drain est positif et plus grand que 5°

Dans le cas d'une trajectoire en incidence normale, une petite partie des charges déposées a le temps d'arriver jusqu'à la zone de charge d'espace de la jonction source/substrat et de former le courant de source. Dû à l'angle d'incidence positif et $> 5^\circ$, les paires électrons-trous générées par le passage de l'ion, sont maintenant déposées beaucoup plus proche de la zone de charge d'espace (ZCE) de la source.

Cependant, une grande partie de ces charges est collectée par la jonction (source/substrat) polarisée à « 0 ». D'autre part, la jonction drain/substrat polarisée en inverse collecte seulement une petite partie de ces charges déposées par l'ion. Donc, la contribution de la jonction de source réduit la quantité des charges collectées par le drain, par conséquent, le courant I_d induit par cet impact angulaire décroît.

De plus, le courant de drain I_d diminue légèrement avec l'augmentation de l'angle positif alors que le courant de source augmente avec l'angle d'incidence positif et $> 5^\circ$ grâce à l'augmentation des charges collectées par cette électrode.

En ce qui concerne le courant de substrat, nous remarquons que ce courant décroît avec l'augmentation de l'angle à cause de la diminution de la profondeur de pénétration de la particule qui s'éloigne petit à petit du fond de la structure avec l'augmentation de l'angle.

La concentration des charges déposées pour un angle $\theta = 60^\circ$ et une valeur de $LET = 0,141 \text{ pC}/\mu\text{m}$ est représentée à la figure 2.9

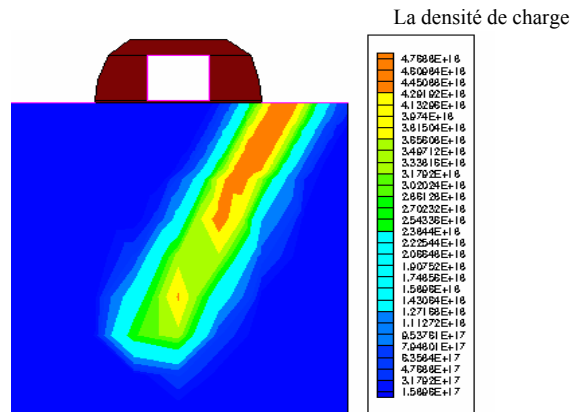


Figure 2.9: Concentration des charges pour un angle $\theta = 60^\circ$ et $LET = 0,141 \text{ pC}/\mu\text{m}$.

3- troisième cas: il correspond aux impacts d'une incidence éloignée de la source (des angles négatifs ($0^\circ > \theta \geq -90^\circ$)).

Les résultats obtenus dans ce cas indiquent que le courant de drain décroît avec l'augmentation de l'angle d'incidence. Cette diminution du courant I_d est due principalement à la diminution des charges collectées par le drain. Ces résultats ne correspondent pas aux résultats obtenus par [Dodd-97] qui a démontré que les charges collectées par un drain heurté augmentent d'une manière significative pour les angles négatifs, et que cette quantité de charge atteint sa valeur maximale pour $\theta \approx -90^\circ$. Ces différences de résultats sont dues également à l'extension du volume de silicium (substrat) qui entoure le drain. En comparant la structure de notre transistor simulé et celui utilisé par Dodd, nous remarquons que la structure de notre transistor a le drain étendu jusqu'au bord de cette structure, n'ayant pas un volume suffisant autour du drain. En fait, le volume du substrat qui entoure le drain joue un rôle important pour les charges déposées par une particule avec trajectoire avec un angle négatif. Plus le volume du silicium se trouvant autour du drain est important plus les charges peuvent être diffusées librement. Ainsi les charges collectées par le drain selon les mécanismes de collection seront plus importantes. En conséquence, le courant de drain est plus faible par rapport aux résultats obtenus dans [Dodd-97]. Il est important donc que la structure physique 2-D du transistor soit correcte sans effets de bord pour des résultats plus proches de la réalité.

En ce qui concerne les autres courants, il faut signaler que les courants de source et même de substrat sont aussi très faibles à cause de la petite quantité de charges collectée par ces deux électrodes.

4- quatrième cas: il correspond aux impacts d'une incidence avec des angles de près de 90° ou autrement dit une incidence proche de l'incidence parallèle à la surface du semi-conducteur ($\theta \approx 90^\circ$) («*grazing incidence*» en anglais).

Dans ce cas les lignes de potentiel normalement confinées dans la zone de charge d'espace de la jonction drain/substrat se déploient dans le substrat (voir figure 2.10).

Le champ électrique est alors réparti sur un volume beaucoup plus large et entraîne ainsi la collection par dérive de porteurs générés au-delà de la limite inférieure de la ZCE initiale.

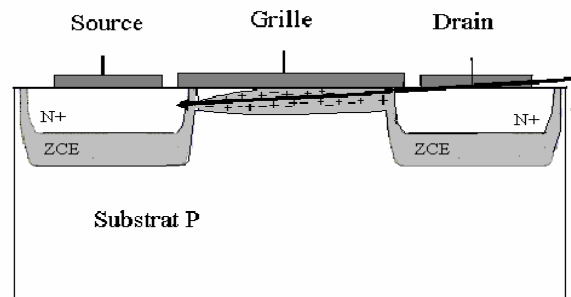


Figure 2.10: Schéma d'une incidence proche de 90° .

En revenant aux mécanismes de collection de charges, les charges collectées par le drain décroissent à cause de la diminution des charges collectées par diffusion. Cette diminution est due à l'extension temporelle de la ZCE de la jonction drain/substrat vers la ZCE de l'autre jonction source/substrat. Donc, une partie très importante des charges déposées peut être séparée et collectée par la ZCE de la jonction source/substrat.

Les résultats obtenus par simulation montrent que les deux courants I_s et I_d ont à peu près les mêmes amplitudes, c'est à dire que les charges sont également collectées par les deux électrodes. La figure 2.11 illustre ce phénomène.

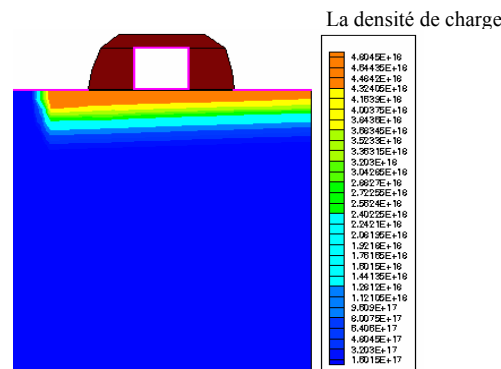


Figure 2.11: Concentration des charges pour un angle $\theta = -88^\circ$ et $LET=0,141 \text{ pC}/\mu\text{m}$.

b) Influence de (θ) sur la charge collectée

Après l'étude de l'influence de l'angle d'incidence sur le courant de chaque électrode, I_s , I_d et I_{sub} , nous allons, maintenant, montrer l'évolution des charges collectées au drain, à la source et au substrat en fonction de l'angle d'incidence .

Au début, nous allons commencer par les charges collectées à chaque électrode, autrement dit, l'intégration des courants transitoires à ces électrodes pour une incidence normale . La figure 2.12 illustre les charges pour l'impact d'une particule à incidence normale dans le drain d'un transistor NMOS.

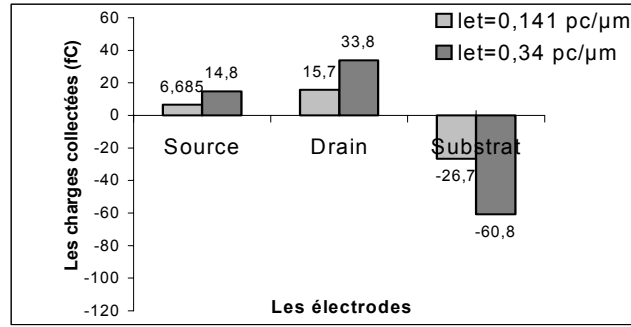


Figure 2.12: Charges collectées aux trois électrodes (Source, Drain, Substrat), pour deux valeurs de LET, un angle d'incidence $\theta = 0^\circ$.

Quelques commentaires sur cette figure sont à faire selon:

- La charge collectée à chaque électrode dépend de la valeur du LET. Il est à noter que cette charge augmente avec l'augmentation du LET à cause de l'augmentation de l'énergie et donc du nombre de paires électron-trou déposées.
- Les charges collectées par l'électrode du substrat sont uniquement des trous.
- Pour l'incidence normale, une partie importante des charges déposées est collectée par le drain, et une petite fraction de ces charges peut être collectée par la source.

Concernant cette dernière remarque, et comme le canal du transistor est formé (le NMOS était initialement bloqué) après le passage de l'ion, la zone de collection, initialement localisée autour de la zone de charge d'espace de la jonction source/substrat, s'étend alors jusque sous la grille. Donc, plusieurs porteurs peuvent être collectés par l'électrode de source.

De plus le courant de fuite sous-seuil ($I_{leakage}$), qui doit être pris en compte lorsque le transistor travail en régime sous seuil (ou faible inversion) alors que la tension de grille V_{gs} est inférieure à la tension de seuil V_t ($V_{gs} < V_t$), joue un rôle important sur les phénomènes de collection de charges au niveau de la jonction de la source d'un transistor. Ce courant s'exprime de la façon suivant [Muk-03]:

$$I_D = K \cdot e^{(V_{gs} - V_t)q / nkT} (1 - e^{V_{ds}q / kT}) \quad (2.11)$$

Où kT/q est la tension thermique,

n est le facteur de la pente en faible inversion

K est une constante donnée par l'équation suivante:

$$K = \frac{W}{L} \mu \sqrt{\frac{q\epsilon_i N}{2\phi_s}} \quad (2.12)$$

où W et L sont respectivement la largeur et la longueur du transistor, μ est la mobilité des porteurs dans le canal, ϕ_s est le potentiel de surface et N est la concentration en impurité du canal de l'oxyde de grille,

Nous pouvons déduire, à partir de ces deux équations, que le courant de drain sous seuil est très dépendant de W et L , V_{gs} , V_{ds} , T et la tension de seuil V_t .

En fait, à cause de l'augmentation de ce courant dans les circuits sous-microniques, plusieurs approches ont été considérées pour trouver des solutions et des techniques qui permettent de diminuer cet effet:

1-La première technique s'appelle FBB(Forward Body Bais) [Bor-03]. Elle consiste à appliquer une tension positive égale à 450mV sur le substrat. Dans ce cas, la tension de seuil V_t qui est une fonction entre le potentiel du substrat et de la source V_{BS} va être modulée conduisant à une modulation du courant $I_{leakage}$

2- La deuxième technique du nom de RBB(Reverse Body Bais) consiste à appliquer une tension positive égale à -500mV sur le substrat qui permet de diminuer le courant $I_{leakage}$

En ce qui concerne notre étude, la figure 2.13 montre l'effet de RBB et de FBB sur d'une part les courants I_{drain} , I_{source} et $I_{substrat}$, et d'autre part sur les charges Q_{drain} , Q_{source} , $Q_{substrat}$.

En conclusion, il convient de remarquer que même pour une incidence normale localisée dans le drain, une partie des chargés déposées par l'ion est collectée par l'électrode de la source.

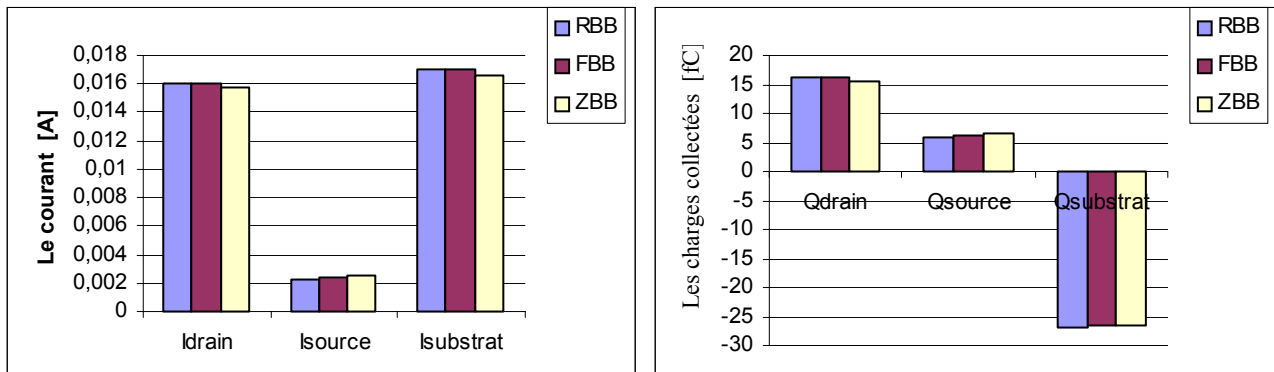


Figure 2.13: Courants et Charges collectées aux trois électrodes (Source, Drain, Substrat), pour FBB et RBB.

Selon cette figure nous remarquons que d'une part les charges collectées par le substrat augmentent légèrement pour RBB par rapport aux techniques FBB et ZBB (Zero Body Bais) et d'autre part pour RBB et FBB les charges collectées par la source diminuent légèrement par rapport aux FBB.

En ce qui concerne la dépendance angulaire des charges collectées à chaque électrode, plusieurs angles ont été simulés ((0, 5, 30, 45, 60, 80, 89, -5, -30, -45, -60,-80) pour une localisation de l'impact au centre de drain du transistor NMOS bloqué. La figure 2.14 représente les charges collectées aux trois électrodes pour une valeur simulée du LET= 0,141 [pC/μm] et plusieurs angles d'incidence.

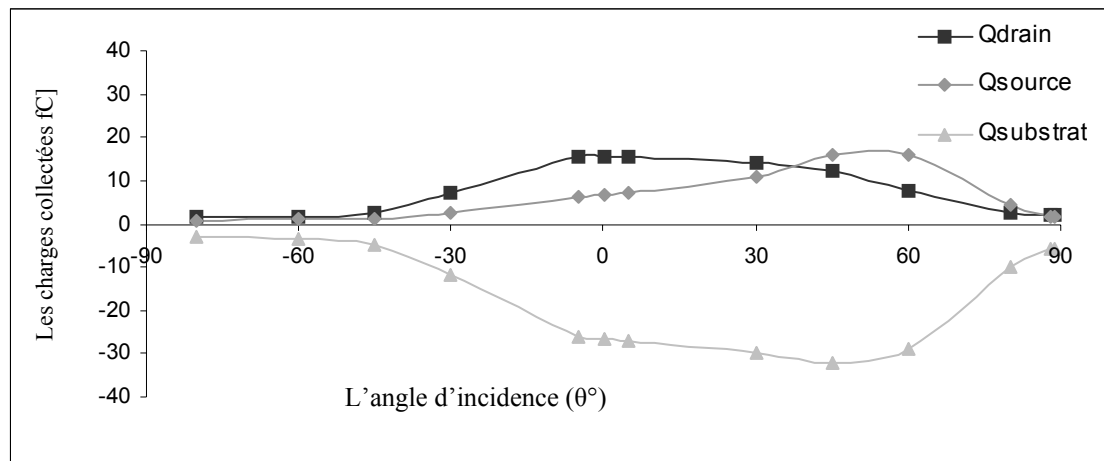


Figure 2.14: Evolution des charges collectées aux trois électrodes: Drain, Source, Substrat d'un NMOS bloqué en fonction de l'angle d'incidence pour une valeur de $LET=0,141 \text{ pC}/\mu\text{m}$ et une $W_n=0,70\mu\text{m}$.

A partir de l'observation de cette figure, nous pouvons constater que l'évolution de la charge collectée à chaque électrode ressemble à l'évolution des courants. Donc, la même analyse peut être faite pour expliquer l'évolution des charges collectées. Par exemple, si l'angle d'incidence de la particule touchant le drain varie autour de l'incidence normale ($\theta=0^\circ$ et $\theta=\pm 5^\circ$), la plupart des électrons déposés par l'ion sont collectés par le contact de drain, et une petite partie de ces électrons peut être collectée par d'autres électrodes comme la source. Cependant, les trous déposés par l'ion seront collectés par le substrat.

Les mêmes analyses restent valables pour les autres angles d'incidence

2.2.1.2. Influence de la valeur du LET

Comme nous l'avons déjà mentionné, le courant du drain heurté est déterminé uniquement par la conductivité de la colonne de charges. Cette conductivité est déterminée par la concentration en porteurs et dépend fortement de la valeur du LET de la particule incidente. Se basant sur cette hypothèse, nous allons chercher une relation entre le courant de drain induit par le passage d'une particule chargée et le LET de cette particule.

Nous considérons trois valeurs du LET ($LET=0,141 \text{ pC}/\mu\text{m}$, $LET=0,34 \text{ pC}/\mu\text{m}$ et $LET=0,5 \text{ pC}/\mu\text{m}$), correspondant à plusieurs ions de différentes énergies. Une remarque importante s'impose: on peut avoir le même LET pour différents ions ayant différentes énergies et différentes profondeurs de pénétration dans le silicium (figure 1.4 du chapitre 1). Le tableau 2.1 présente plusieurs ions de différentes énergies et profondeurs de pénétration dans le silicium. L'ion de Chlore, Argon et Brome d'énergie et de profondeur de pénétration différentes ont pourtant le même LET. De même pour le Krypton, Brome et Iode qui présentent un LET de $0,34 \text{ pC}/\mu\text{m}$ et pour le Xénon et Iode qui présentent un LET de $0,5 \text{ pC}/\mu\text{m}$.

De plus, l'ion Brome d'énergies et profondeurs de pénétration différentes peut donner deux valeurs différentes du LET.

Ion	Energie de l'ion [MeV]	Energie de l'ion [MeV/AMU]	LET [pC/μm]	Profondeur de pénétration dans le silicium [μm]
Chlore (Cl)	126,2	3,628	0,141	35,08
Argon (Ar)	182,2	4,559	0,141	48,29
Brome (Br)	2914	36,93	0,141	594,1
Brome (Br)	440,5	5,582	0,34	55,26
Krypton (Kr)	538	6,412	0,34	65,68
Iode (I)	3458	27,25	0,34	335,5
Iode (I)	1313	10,35	0,5	107,6
Xenon (Xe)	1486	11,27	0,5	119,8

Tableau 2.1: Différents ions, différentes énergies et différentes distances de pénétration dans le silicium

La figure 2.15 illustre l'évolution de l'amplitude du courant de drain heurté d'un NMOS bloqué en fonction du LET et de l'angle d'incidence.

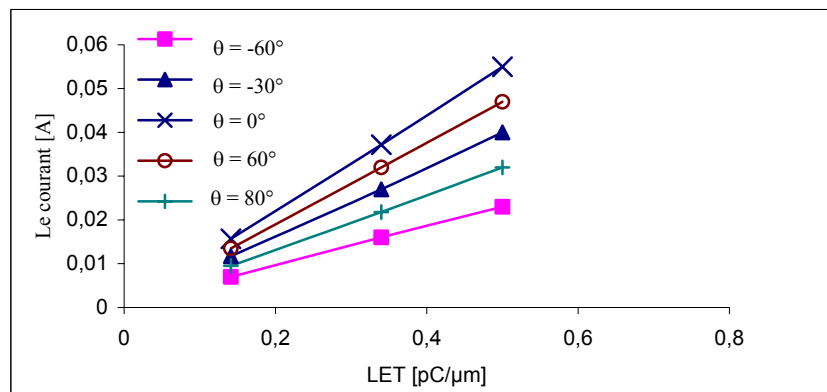


Figure 2.15: Amplitude du courant de drain heurté I_d en fonction du LET simulé pour un impact dans un transistor NMOS bloqué.

La figure 2.15 indique que le LET agit directement sur l'amplitude de courant I_d et que les explications concernant l'influence de l'angle d'incidence sont toujours valables pour n'importe quelle valeur du LET de la particule.

En revenant à la figure 2.15, on observe une relation linéaire entre l'amplitude du courant de drain heurté I_d et le LET, mais la pente de cette relation est différente d'un angle à l'autre. Si nous supposons que ce courant résulte des porteurs de la colonne de charges, nous pouvons exprimer ce courant I_d comme:

$$I_d = \int \vec{j} \cdot d\vec{s} = \iint q \cdot n \cdot \mu \cdot \vec{E} \cdot d\vec{s} \quad (2.13)$$

où l'intégrale est effectuée sur une section normale à la colonne. L'équation 2.13 peut se simplifier, en utilisant des valeurs moyennes comme suit:

$$I_d = \langle \mu \cdot E \rangle \iint q \cdot n \cdot d\vec{s} = \langle \mu \cdot E \rangle \cdot LET \quad (2.14)$$

où j est la densité de courant, n est la densité des porteurs (les électrons dans ce cas), E est le champ électrique, μ est la mobilité des porteurs et q est la charge élémentaire ($q=1,60218 \text{ C}$).

Par exemple, supposons que nous avons deux valeurs du LET: LET_1 et LET_2 où la relation entre elles est la suivante: $LET_1/LET_2=A$.

Nous pouvons donc estimer l'amplitude maximale du courant (I_d) de LET_2 pour n'importe quel angle d'incidence en prenant en compte le courant I_d de LET_1 pour le même angle, équation 2.15.

$$I_d (LET_1)|_{\theta} = A * I_d (LET_2)|_{\theta} \quad (2.15)$$

Afin de terminer l'analyse de l'influence de la valeur de LET de la particule sur le courant I_d , il est important de montrer l'évolution des charges Q_d collectées au drain en fonction de l'angle d'incidence et de la valeur du LET (figure 2.16).

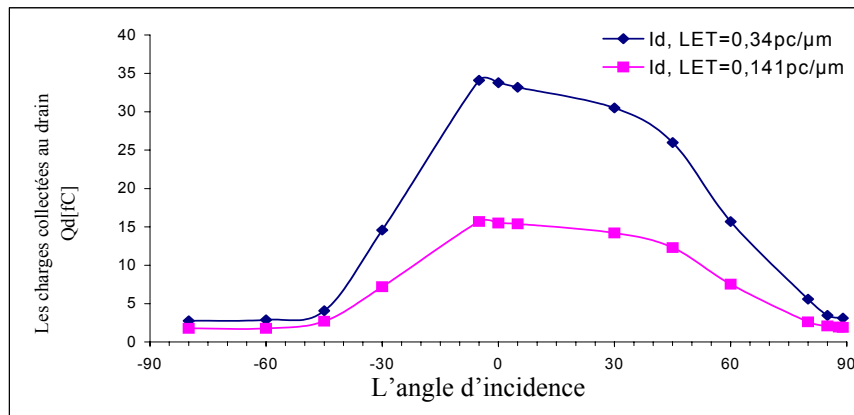


Figure 2.16: Charges Q_d collectées au drain en fonction de deux valeurs simulées du LET pour un impact dans un transistor NMOS bloqué de $W_n=0,70 \mu\text{m}$.

Selon cette figure, nous remarquons que l'augmentation de la valeur de LET amène une augmentation de la quantité des charges déposées et des charges collectées. Le profile de la courbe de charges collectées reste la même quand la valeur du LET change.

2.2.1.3. Influence des dimensions du transistor « W_n »

Dans toutes les simulations qui ont été présentées jusqu'à maintenant, nous avons traité un transistor de type NMOS d'une largeur $W_n=0,70 \mu\text{m}$. Des transistors de différentes largeurs (W_n) seront considérés par la suite, toujours pour des impacts avec des angles d'incidence différents et avec une localisation de l'impact au centre du drain bloqué d'un transistor NMOS en technologie $0,18 \mu\text{m}$. Cette étude a pour objectif d'établir les relations entre le courant de drain heurté et les dimensions de transistor NMOS heurté (W_n).

La figure 2.17 présente l'évolution des courants transitoires obtenus à l'électrode heurtée (le drain N d'un NMOS bloqué) en utilisant une valeur simulée du LET égale à 0,141 pC/ μm et plusieurs largeurs W_n .

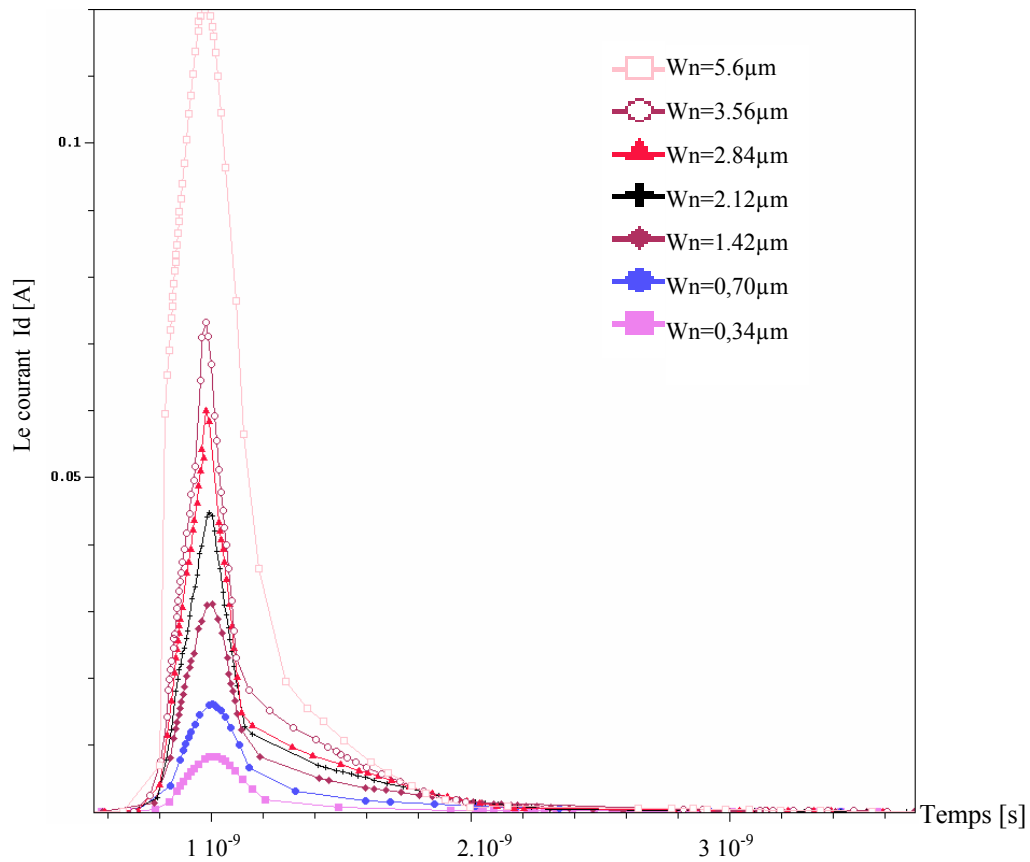


Figure 2.17: Evolution en fonction de W_n des courants transitoires obtenus au drain N d'un NMOS bloqué pour une valeur du $\text{LET}=0,141 \text{ pC}/\mu\text{m}$ et un angle d'incidence $\theta=0^\circ$.

Cette figure indique que la largeur W_n d'un transistor agit directement sur la forme du courant de drain I_d . Lorsque W_n augmente la largeur et l'amplitude de ce courant augmentent.

L'étape suivante consiste en l'analyse de l'influence de W_n sur l'amplitude du courant de drain I_d en fonction de l'angle d'incidence. La figure 2.18 présente les résultats obtenus de cette analyse.

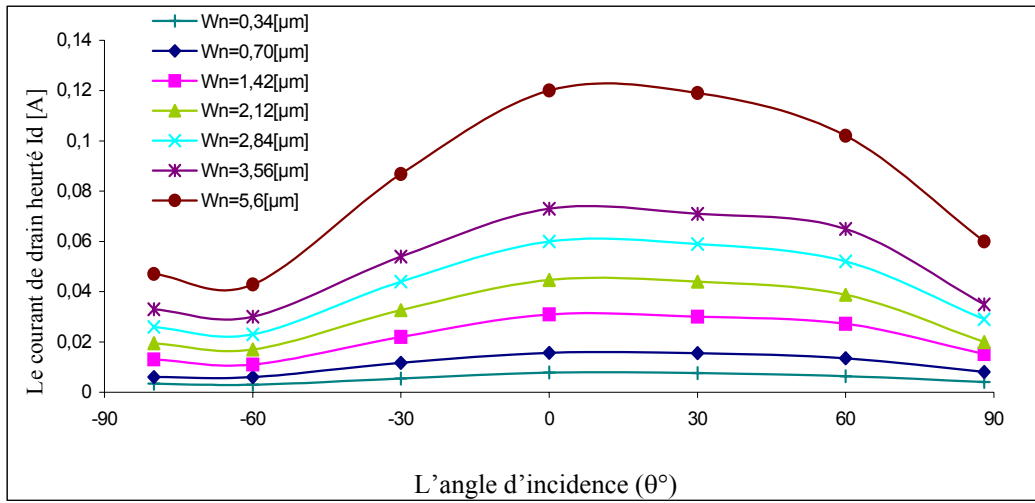


Figure 2.18: Courant de drain heurté d'un NMOS bloqué en fonction de W_n .

Cette figure 2.18 indique que l'amplitude du courant de drain heurté I_d augmente d'une façon linéaire avec l'augmentation de la largeur W_n du transistor pour chaque angle d'incidence.

En vue d'expliquer la relation entre W_n et le courant I_d , nous devons nous référer au courant sous seuil du transistor (équation 2.12).

Par exemple, supposons que nous avons deux transistors avec deux largeurs NMOS₁(W_{n1}) et NMOS₂(W_{n2}) où la relation entre ces deux valeurs est: $W_{n1}/W_{n2}=B$. Nous pouvons donc estimer l'amplitude maximale du courant (I_d) pour n'importe quel angle d'incidence en prenant en compte le courant I_d du transistor NMOS₂(W_{n2}) pour le même angle, équation (2.16).

$$I_d(W_1)|_0 = B * I_d(W_2)|_0 \quad (2.16)$$

Enfin, il est important d'étudier l'analyse de l'influence de W_n sur les charges Q_d collectées Q_d en fonction de l'angle d'incidence (figure 2.19).

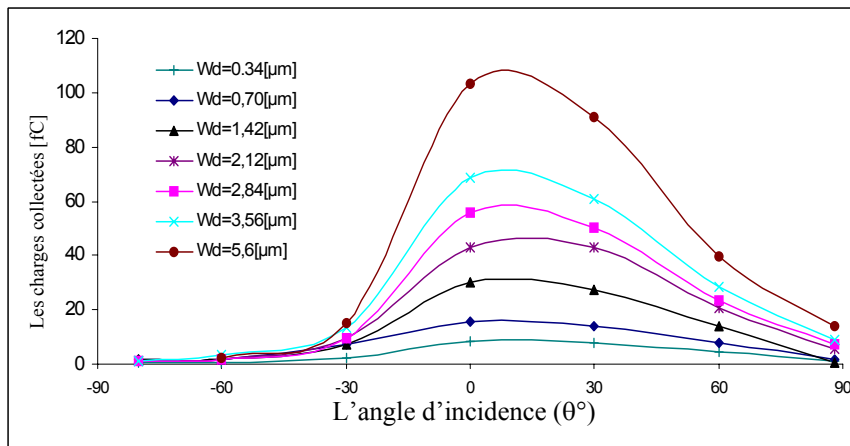


Figure 2.19: Charges collectées au drain heurté d'un NMOS bloqué en fonction de W_n .

Les données sur la figure 2.18 montrent clairement que les charges collectées par le drain d'un transistor augmentent quand sa largeur W_n augmente. Pour pouvoir expliquer cette tendance, nous revenons sur l'équation de la capacité de drain C_{gd} d'un NMOS qui dépend de la longueur L , de la largeur W_n et de la capacité de l'oxyde C_{oxyde} :

$$C_{gd} = W_n \cdot \frac{L}{2} C_{oxyde} \quad (2.17)$$

Alors, plus la largeur du transistor est grande, plus la capacité de drain d'un transistor C_{gd} est importante, en conséquence le transistor est capable de collecter une partie importante des charges déposées par une particule ionisante.

2.2.1.4. Influence de la localisation de l'impact

L'analyse des résultats que nous allons présenter dans cette partie indique que la localisation d'un impact sur la structure d'un transistor a une influence sur les formes et les amplitudes des courants de drain induits par l'impact d'une particule.

Pour étudier en détail cette tendance, nous avons simulé six localisations différentes de l'impact sur un transistor NMOS. Ces localisations sont présentées sur la figure 2.20.

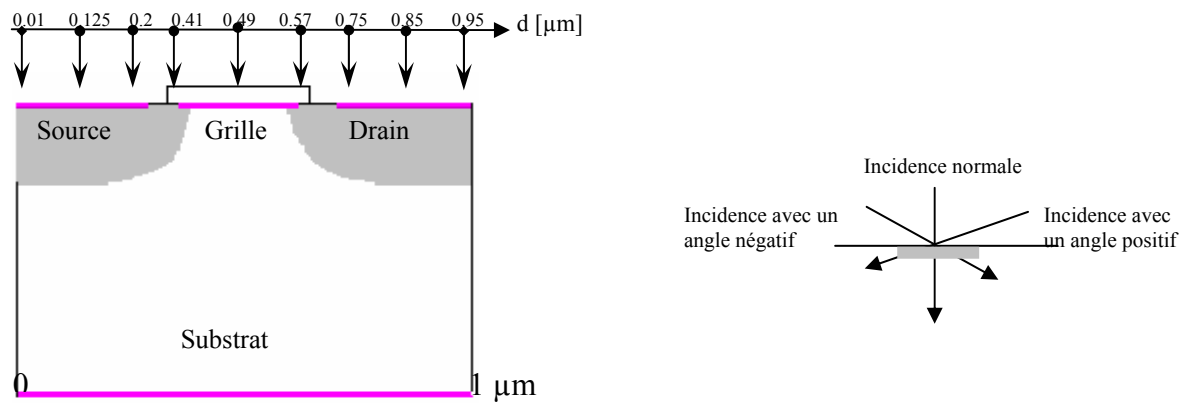


Figure 2.20: Six différentes localisations d'un impact sur un NMOS

Dans les paragraphes précédents, nous avons considéré des localisations de l'impact au centre du drain d'un NMOS bloqué. Dans la suite, nous nous proposons d'étudier l'influence de la localisation d'un impact sur le courant I_d , en fonction des angles d'incidence de la particule.

Pour faciliter cette analyse, nous commençons par des impacts localisés dans le drain, puis par des impacts localisés dans la grille et nous terminons par des impacts localisés dans la source.

Note: Pour toute la suite de cette partie, nous avons choisi un transistor NMOS d'une largeur $W_n=0,70\mu m$ et une particule qui a une valeur de $LET=0,141 pC/\mu m$.

❖ Impacts localisés dans le drain

La figure 2.21 présente les résultats obtenus pour trois localisations différentes d'un impact sur le drain d'un NMOS bloqué:

- $d=0,95$: impact au bord du drain du côté extérieur de la structure.
- $d=0,85$: impact au centre du drain.
- $d=0,75$: impact au bord du drain du côté grille.

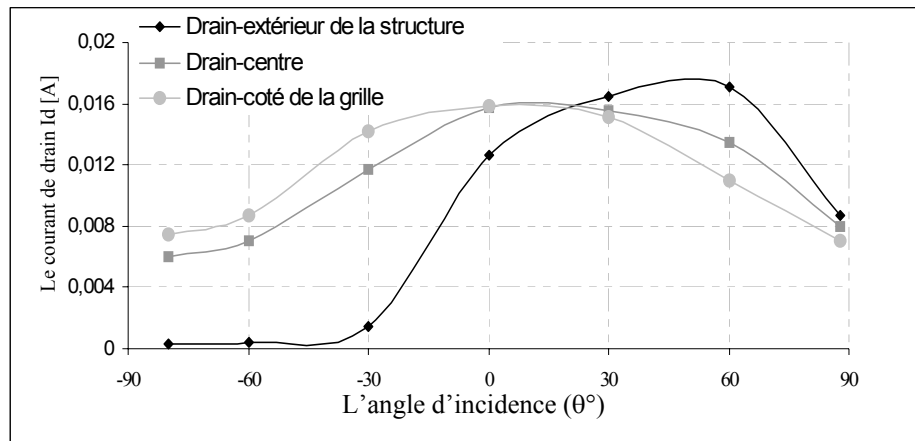


Figure 2.21: Amplitude du courant de drain heurté pour les trois localisations.

A partir de cette figure, quelques remarques s'imposent:

1. Pour les impacts d'une incidence avec des angles négatifs ($0^\circ > \theta \geq -90^\circ$) nous remarquons que l'amplitude du courant I_d diminue avec l'augmentation de l'angle d'incidence négatif pour les trois localisations. Mais, les impacts qui sont localisés au bord du drain du côté grille sont les plus sensibles à ce type d'impacts.
2. Dans le cas de l'incidence normale où $\theta=0^\circ$, nous remarquons que le courant de drain I_d atteint sa valeur maximale pour l'impact localisé au centre de drain et l'impact localisé au bord du drain du côté grille. De plus, dans le cas d'un impact sur le bord extérieur du drain avec un angle $\theta=0^\circ$, le courant I_d est important mais plus petit que pour les autres localisations.
3. En ce qui concerne l'impact d'une incidence avec des angles positifs ($0^\circ < \theta$), nous distinguons deux cas:
 - Le premier est consacré aux impacts localisés au bord du drain du côté grille et au centre du drain. Dans ces deux localisations, l'amplitude du courant I_d diminue avec l'augmentation de l'angle d'incidence. Cette tendance est due principalement à la diminution de la quantité des charges déposées directement au-dessous du contact de drain.
 - Le deuxième cas correspond aux impacts localisés dans le drain à l'extérieur de la structure. Dans ce cas nous remarquons que, d'une part, le courant de drain atteint sa valeur maximale à l'angle d'incidence égale à 60° au lieu de l'angle 0. D'autre part, plus l'angle d'incidence augmente ($\theta > 0^\circ$), plus le courant augmente car de plus en plus de charges sont déposées directement au-

dessous du drain. Donc une partie essentielle de ces charges (plutôt des électrons) peut être collectée par le contact de drain conduisant à une augmentation du courant I_d .

4. Pour les impacts d'une incidence avec des angles d'environ 90° ou autrement dit une incidence proche de l'incidence parallèle à la surface ($\theta \cong 90^\circ$), nous remarquons que le courant I_d diminue pour les trois points de localisations. Cette diminution est due de la formation d'un court-circuit entre le drain et la source, donc, une partie très importante des charges peut être collectée par la source.

❖ Impacts localisés dans la grille

La figure 2.22 présente les résultats obtenus pour trois localisations différentes d'un impact dans la grille d'un NMOS bloqué:

- $d=0,57$: impact au bord de la grille du côté drain.
- $d=0,49$: impact au centre de la grille.
- $d=0,41$: impact au bord de la grille du côté source.

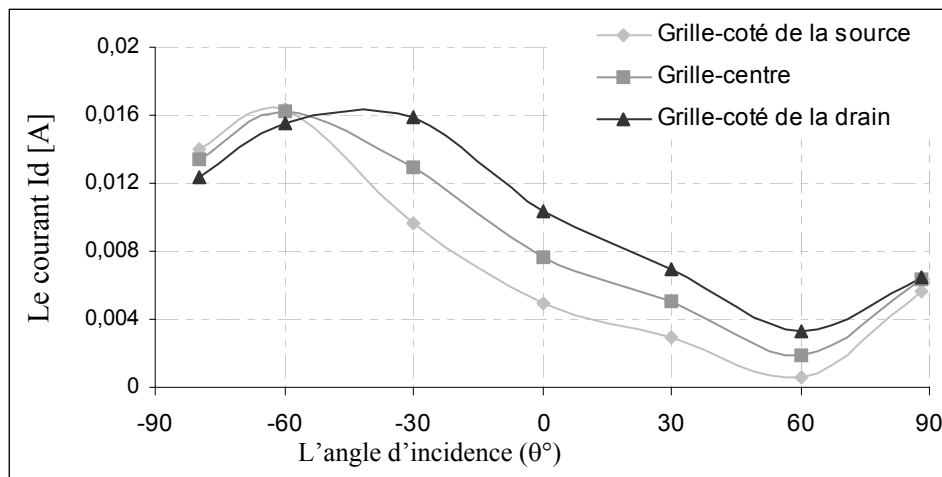


Figure 2.22: Amplitudes du courant de drain pour des impacts localisés dans la grille d'un NMOS.

Cette figure impose quelques remarques sur l'évolution de l'amplitude de courant I_d :

1-pour des impacts avec des angles compris entre $(-60^\circ$ et $-30^\circ)$, le courant de drain I_d atteint sa valeur maximale quelque soit la localisation. Cette tendance est due au fait que les charges sont déposées, dans ce cas, près du drain. Donc, le drain peut collecter une partie importante de ces charges.

2- concernant l'angle d'incidence $\theta \approx 90^\circ$, l'amplitude du courant I_d diminue par rapport aux autres angles négatifs. Cette diminution est due à la possibilité d'avoir un court-circuit entre la source et le drain à cause des petites dimensions de la technologie sous-micronique. Donc, la source contribue à la collection des charges déposées par la particule diminuant, en conséquence, la quantité des charges collectées par le drain.

3- pour les impacts ayant des angles d'incidence compris entre 60° et 90° , nous remarquons que le courant I_d augmente à cause d'un court-circuit conduisant à une collection de charge par le drain plus important.

Donc, des impacts localisés dans la grille d'un NMOS bloqué peuvent provoquer des courants de drain I_d avec des amplitudes importantes (environ 16[mA]). Ces courants peuvent être responsables de l'apparition des SETs dans un composant.

❖ Impacts localisés dans la source

A présent, nous allons nous intéresser à l'effet de l'impact angulaire d'une particule dans la source, sur l'amplitude de courant de drain.

Nous avons choisi trois localisations pour cette étude:

- $d=0,2$: impact au bord de la source du côté grille.
- $d=0,125$: impact au centre de la source.
- $d=0,01$: impact au bord de la source du côté extérieur de la structure.

La figure 2.23 présente l'évolution de ces courants I_d pour plusieurs angles d'incidence.

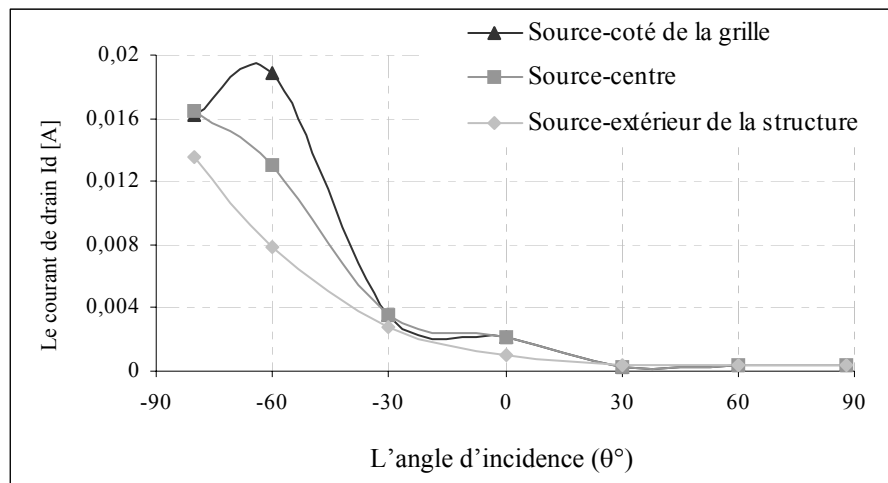


Figure 2.23: Amplitude du courant de drain pour des incidences angulaires dans la source d'un NMOS.

Cette figure indique que:

- 1- Les injections localisées dans la source d'un transistor et orientées vers le drain (des angles négatifs entre -30° et -60°) peuvent provoquer des courants I_d avec des amplitudes suffisantes pour provoquer des SETs ($I_d=18\text{mA}$ pour $\theta=-60^\circ$).
- 2- Pour les impacts ayant des angles d'incidence compris entre 60° et 90° autrement dit des impacts éloignés du drain, le courant I_d diminue. Dans ce cas, la plupart des charges sont déposées près de la source, en conséquence le drain peut collecter seulement une très petite partie de ces charges.

Après cette analyse de l'influence de la localisation d'un impact sur le courant de drain d'un transistor de type NMOS à l'état bloqué, nous pouvons constater que, non seulement les impacts localisés dans le centre d'un drain bloqué sont responsables de l'apparition des courants transitoires importants provoqués par le passage d'une particule I_d , mais aussi que des impacts localisés dans les autres contacts comme la source et la grille sont également des facteurs susceptibles de modifier le courant de drain I_d d'un transistor pouvant provoquer à leur tour des impulsions transitoires SETs importantes.

Finalement, nous allons résumer l'effet de la localisation d'un impact sur l'amplitude du courant de drain I_d d'un NMOS sur les figures 2.24 et 2.25, et ceci en fonction de l'angle d'incidence.

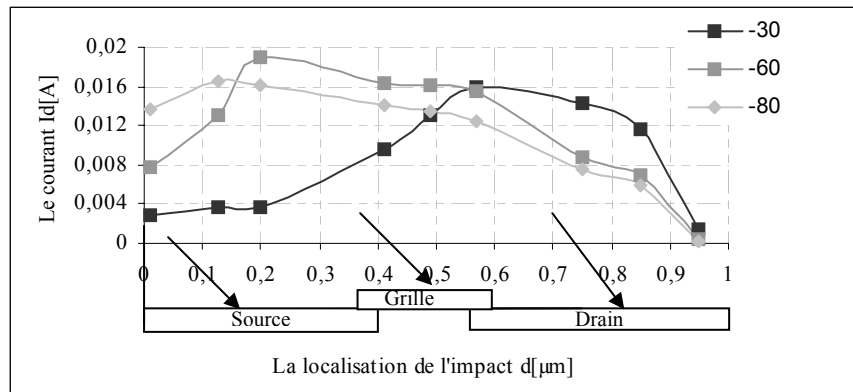


Figure 2.24: Courant de drain I_d d'un NMOS en fonction de la localisation d'un impact pour des angles d'incidence négatifs.

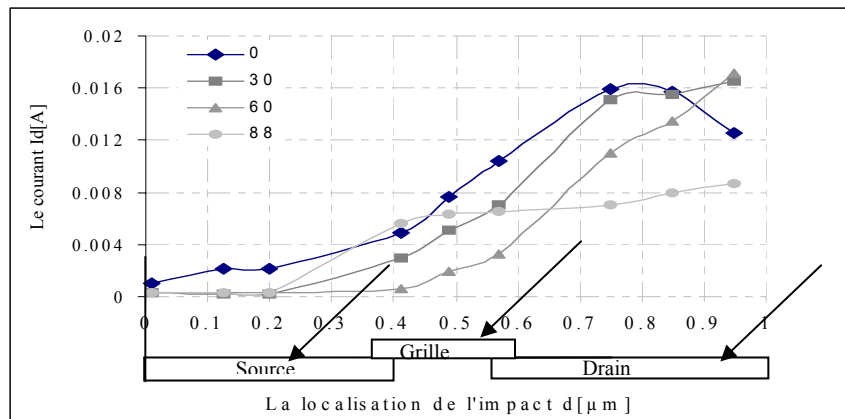


Figure 2.25: Courant de drain I_d d'un NMOS en fonction de la localisation d'un impact pour des angles d'incidence positifs.

Selon ces deux figures, nous pouvons résumer l'influence de la localisation d'un impact comme suit:

- Concernant les angles positifs, le courant I_d augmente quand la localisation de l'impact se rapproche de plus en plus du drain. Ce courant atteint ses valeurs maximales quand une particule touche directement la zone du drain quel que soit l'angle d'incidence.
- Pour les angles négatifs, nous remarquons que l'amplitude de I_d est très dépendante de l'angle d'incidence et de la localisation. Donc, pour des impacts localisés dans la source, le courant croît quand l'angle augmente parce que, pour ces impacts, les charges sont déposées près du drain. En conséquence, le drain peut collecter une partie importante de ces charges. En ce qui concerne les impacts localisés dans la grille et la source, nous constatons que le courant I_d a aussi des amplitudes importantes, mais ces amplitudes décroissent quand les impacts se rapprochent de plus en plus du bord de la structure.

2.2.1.5. Modélisation du courant I_d :

L'évolution temporelle de ce courant a été déjà présentée dans la figure 2.5 ou 2.17 et il correspond à une double exponentielle décroissante. La forme de ce courant peut donc être modélisée par une double exponentielle [Mess-82]:

$$I(t) = I_0 (e^{-t/\tau_\alpha} - e^{-t/\tau_\beta}) \quad (2.18)$$

où I_0 est l'amplitude maximale de l'impulsion, τ_α est le temps de collection de charge de la jonction p/n et τ_β est le temps d'établissement de la trace initiale créée par la particule.

En nous appuyant donc sur les résultats des simulations obtenus dans les paragraphes précédents, nous allons maintenant nous attacher à déterminer les deux constantes de temps τ_α et τ_β pour chaque courant I_d obtenu de la technologie CMOS 0.18 μ m. Pour pouvoir déterminer ces deux constantes, nous avons utilisé un script écrit pour le logiciel «MATLAB» nous permettant de calculer τ_α et τ_β .

L'évolution des deux constantes de temps τ_α et τ_β en fonction de l'angle d'incidence est donnée à la figure 2.26 pour plusieurs largeurs « W_n ».

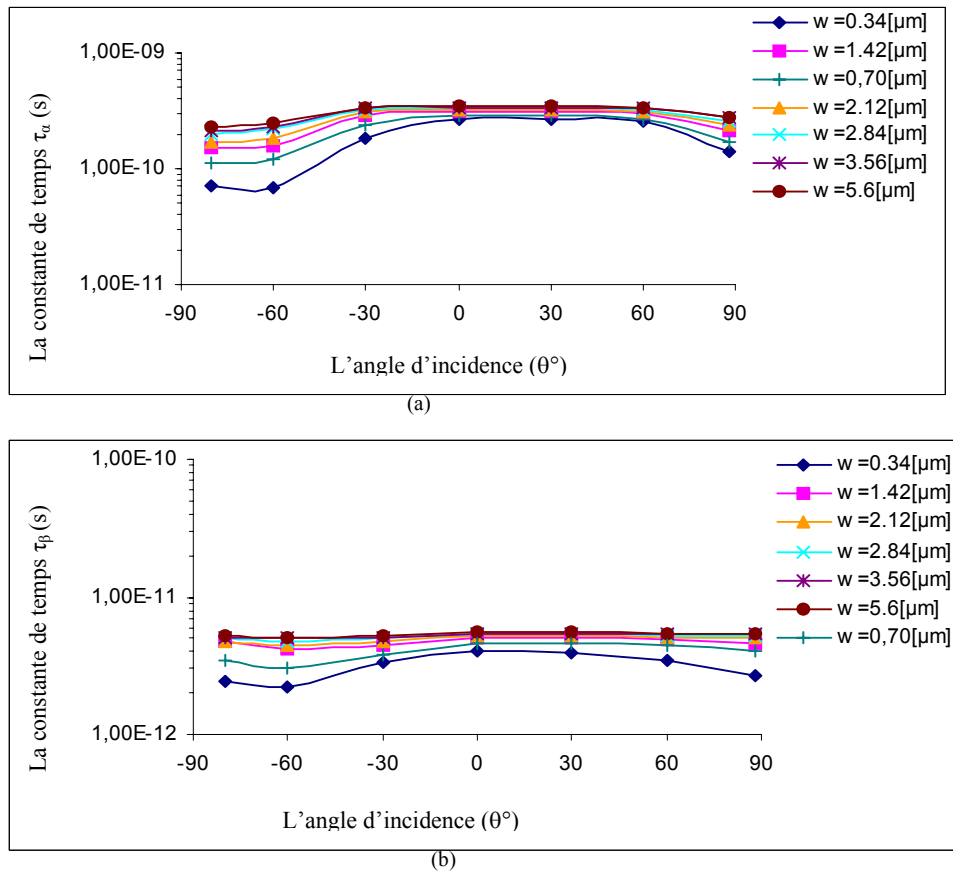


Figure 2.26: Evolution des deux constantes de temps τ_α et τ_β en fonction de l'angle d'incidence et de la largeur W_n du transistor pour une valeur du LET=0,141pC/ μ m.

Les figures 2.26(a) et 2.26(b) présentent l'évolution des constantes τ_α et τ_β en fonction de l'angle d'incidence et pour plusieurs valeurs de W_n . Globalement, les valeurs de τ_α et de τ_β augmentent pour des grandes valeurs de W_n , mais ces valeurs fluctuent très peu autour de $1-3,5 \cdot 10^{-10}$ pour τ_α et de $3-5,5 \cdot 10^{-12}$ pour τ_β . Nous observons tout de même que pour de faibles

valeurs de W_n , τ_α et τ_β sont dépendantes de l'angle d'incidence (θ), ayant une valeur maximale de $2,7 \cdot 10^{-10}$ pour τ_α et de $4 \cdot 10^{-12}$ pour τ_β . La dépendance entre ces deux constantes τ_α , τ_β et l'angle d'incidence (θ) est de type exponentiel. L'exponentielle devient quasiment une droite pour des W_n importantes

Un autre aspect important est l'évolution de ces deux constantes de temps en fonction de LET qui est présenté à la figure 2.27.

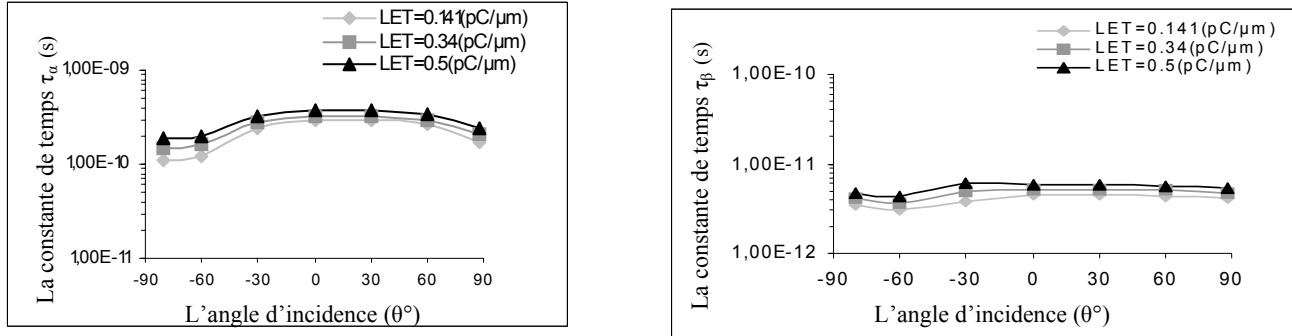


Figure 2.27: Evolution des deux constantes de temps τ_α et τ_β en fonction du LET et de l'angle d'incidence, pour une $W_n = 0,70 \text{ pC}/\mu\text{m}$.

Cette figure indique que les deux constantes de temps τ_α et τ_β dépendent aussi de la valeur du LET d'une particule. Plus le LET est important, plus τ_α et τ_β sont importantes. Pour terminer notre étude des constantes de temps, nous présentons la variation de τ_α et τ_β en fonction de la localisation de l'impact (figures 2.28 et 2.29).

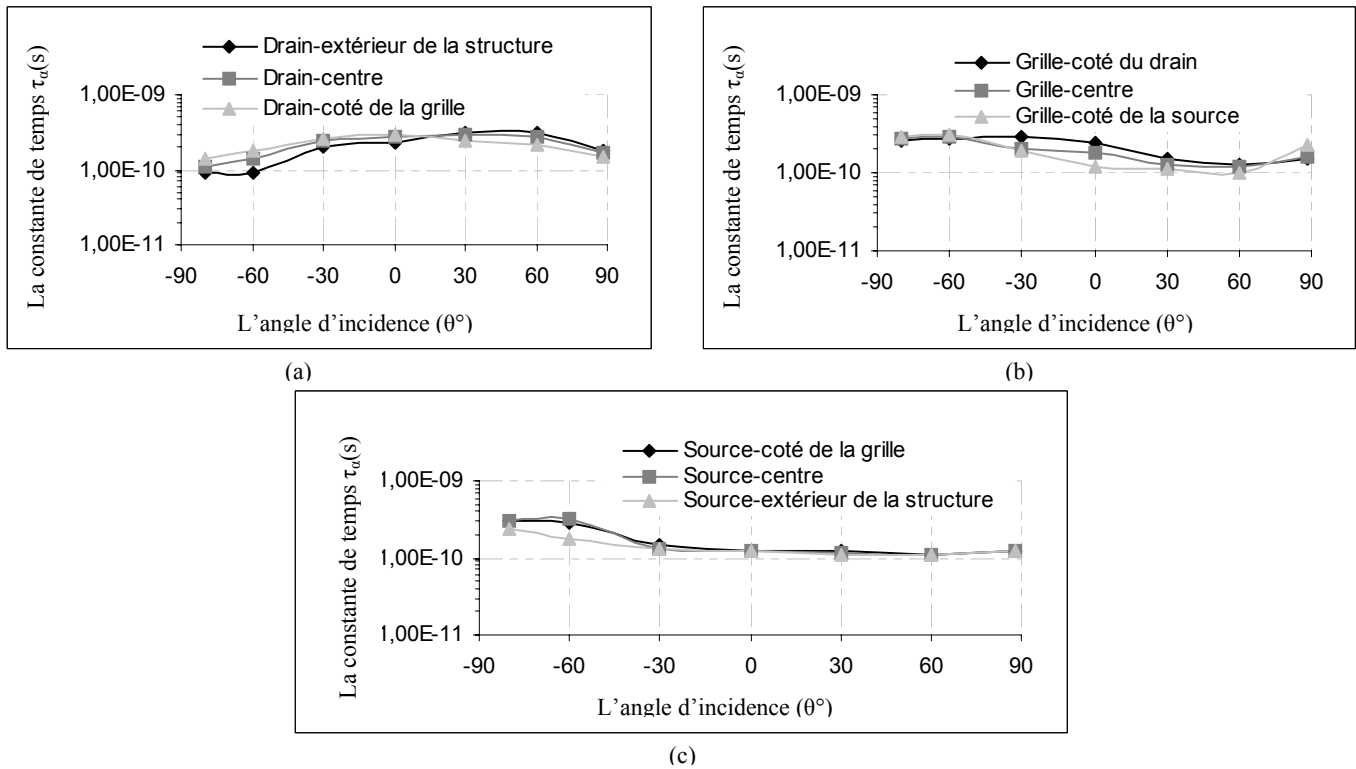


Figure 2.28: Evolution de la constante de temps τ_α en fonction de la localisation d'un impact: a) impact localisé dans le drain, b) impact localisé dans la grille, c) impact localisé dans la source.

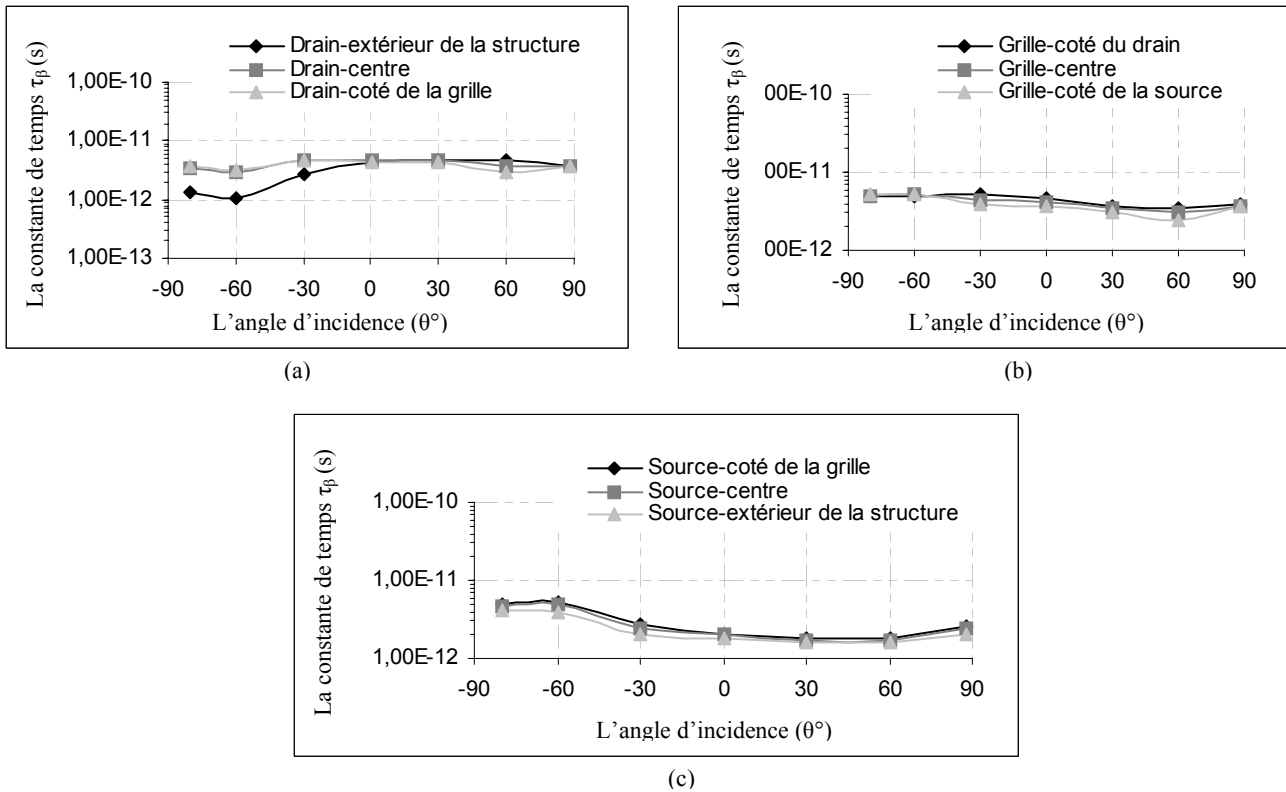


Figure 2.29: Evolution de la constante de temps τ_β en fonction de la localisation d'un impact: a) impact dans le drain, b) impact dans la grille, c) impact dans la source

Les deux figures (2.28 et 2.29) montrent que l'évolution des deux constantes de temps τ_α et τ_β en fonction de la localisation d'un impact ressemble à l'évolution de l'amplitude du courant I_d en fonction de la localisation «d», (voir paragraphe 2.2.1.4). Par exemple, pour des impacts localisés dans le drain, les mêmes remarques concernant l'évolution de l'amplitude du courant I_d en fonction de la localisation «d» s'imposent:

1. Pour les impacts d'une incidence avec des angles négatifs ($0^\circ > \theta \geq -90^\circ$), nous observons que les valeurs de ces deux constantes diminuent avec l'augmentation de l'angle d'incidence négatif pour les trois localisations.
2. Dans le cas de l'incidence normale où $\theta = 0^\circ$, nous remarquons que les deux constantes τ_α et τ_β atteignent leurs valeurs maximales pour l'impact localisé au centre du drain et l'impact localisé au bord du drain du côté grille. De plus, dans le cas d'un impact sur le bord extérieur du drain avec un angle $\theta = 0^\circ$, ces deux constantes sont importantes mais plus petites que pour les autres localisations.
3. En ce qui concerne l'impact d'une incidence avec des angles positifs ($0^\circ < \theta$), nous distinguons deux cas:
 - Le premier est consacré aux impacts localisés au bord du drain du côté grille et au centre du drain. Dans ces deux localisations, les deux constantes τ_α et τ_β diminuent avec l'augmentation de l'angle d'incidence.
 - Le deuxième cas correspond aux impacts localisés dans le drain à l'extérieur de la structure. Dans ce cas nous remarquons que, d'une part, le courant de

drain atteint sa valeur maximale à l'angle d'incidence égale à 60° au lieu de l'angle 0 . D'autre part, plus l'angle d'incidence augmente ($\theta > 0^\circ$), plus les deux constantes τ_α et τ_β augmentent.

5. Pour les impacts d'une incidence avec des angles d'environ 90° ou autrement dit une incidence proche de l'incidence parallèle à la surface ($\theta \approx 90^\circ$), nous remarquons que les deux constantes τ_α et τ_β diminuent pour les trois points de localisations.

La figure 2.30 résume l'influence de la localisation de l'impact sur les deux constantes τ_α et τ_β pour des angles d'incidence positifs et des angles négatifs.

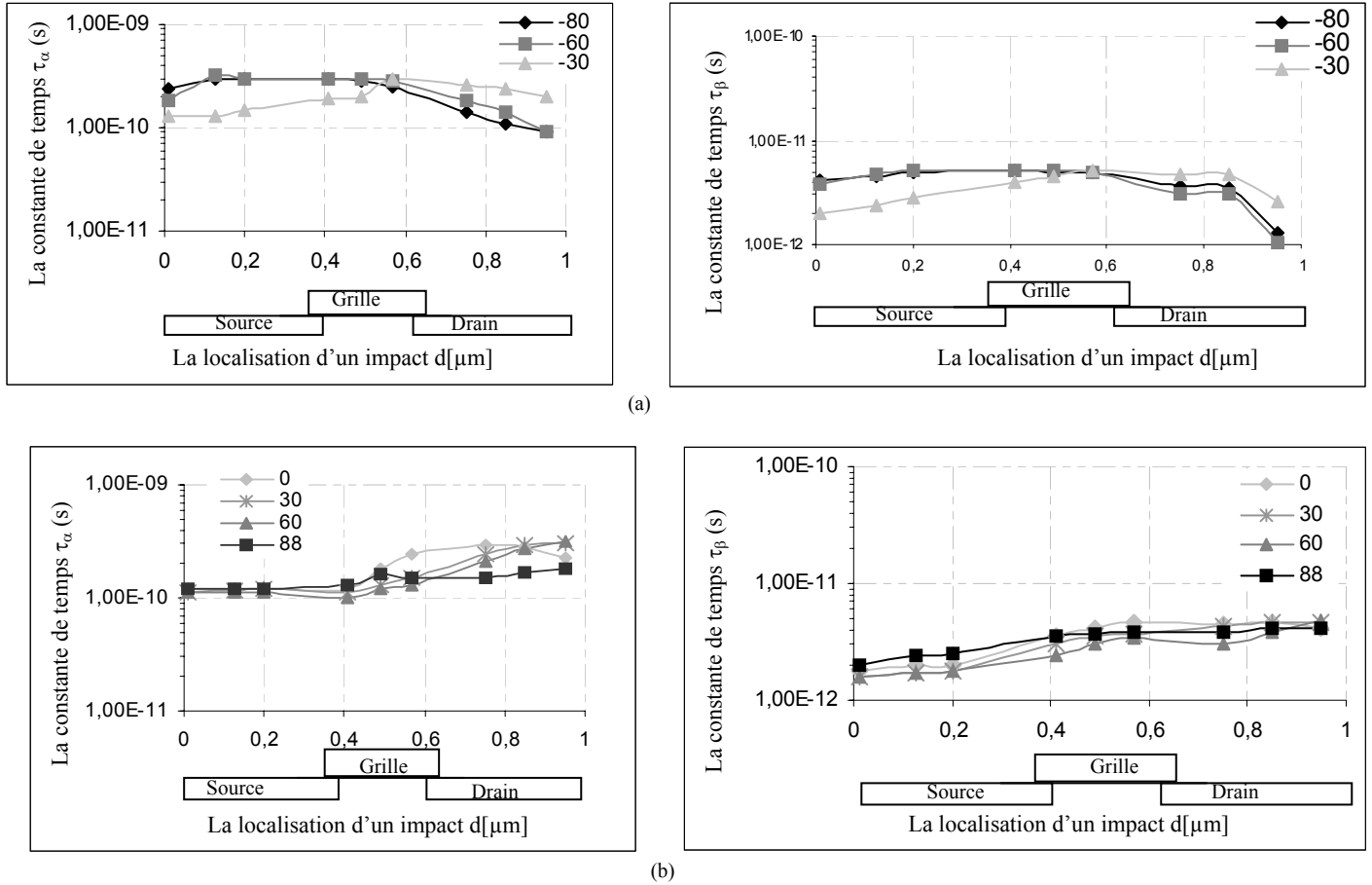


Figure 2.30: Constantes de temps τ_α et τ_β d'un NMOS en fonction de la localisation d'un impact pour: (a) des angles d'incidence négatifs, (b) des angles d'incidence positifs

A partir de ces collections de courbes établies pour τ_α et τ_β en fonction de tous ces paramètres, nous pouvons déduire n'importe quelle forme de courant I_d à partir de ces différents paramètres.

Supposons qu'on veut établir la forme de courant I_d résultant de l'impact d'une particule localisée dans le centre du drain d'un transistor NMOS bloqué avec un angle d'incidence $\theta=0^\circ$, un LET= $0,141 \text{ pC}/\mu\text{m}$ et une largeur W_n égale à $1,42 \mu\text{m}$. Selon les graphiques présentés dans les figures (2.26–2.30) nous obtenons $\tau_\alpha=3.10^{-10}$ (s), $\tau_\beta=5.10^{-12}$ (s).

Enfin, la figure 2.31 montre la comparaison de la forme du courant I_d obtenue par des simulations physiques et celle obtenue par l'application de l'équation 2.18 en utilisant les valeurs de τ_α , τ_β obtenues précédemment

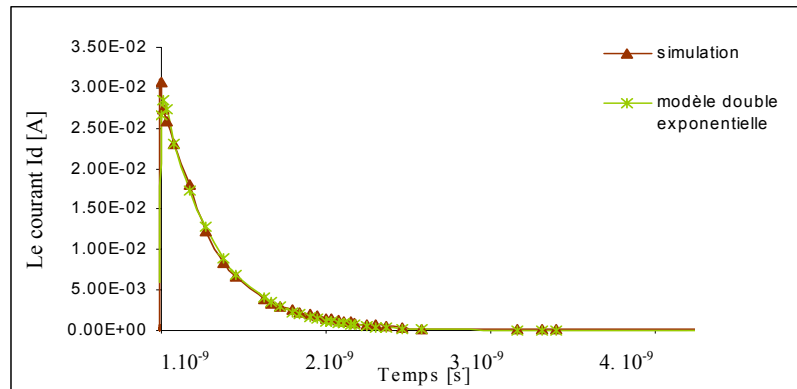


Figure 2.31: Courant de drain I_d ($LET=0,141 \text{ pC}/\mu\text{m}$, angle d'incidence égale à 0° et $W_n=1,42\mu\text{m}$. Les constantes de temps pour le modèle double exponentielle sont $t: \tau_\alpha=3.10^{-10}(\text{s})$, $\tau_\beta=5.10^{-12}(\text{s})$

La figure 2.31 indique que la détermination des deux constantes de temps τ_α et τ_β nous permet de prédire la forme du courant I_d induit par l'impact d'une particule chargée.

2.2.1.6. Conclusion sur la caractérisation d'un transistor NMOS

Des transistors NMOS de plusieurs largeurs (W_n) d'une technologie CMOS $0,18 \mu\text{m}$ ont été modélisés au cours de ce travail. Sur ces transistors, des impacts de particules ionisantes, en incidence normale et en incidence oblique, ont été simulés dans la région la plus sensible du transistor: le drain du transistor NMOS à l'état bloqué, mais également dans la grille et dans la source.

La comparaison des résultats obtenus par des simulations 2-D a montré que le courant induit par la particule dépend de l'angle d'incidence de la particule. Cette comparaison a également démontré que l'amplitude du courant de drain dépend de façon linéaire de la largeur du transistor (W_n) et de la valeur du LET de la particule incidente. Des modèles simples, ont été proposés pour mettre en relation:

1. L'amplitude maximale du courant I_d avec la largeur du transistor W_n .
2. L'amplitude maximale du courant I_d avec la valeur du LET.
3. L'amplitude maximale du courant I_d avec la localisation de l'impact (d).

L'évolution de deux constantes de temps τ_α et τ_β en fonction de mêmes paramètres a été déterminée aussi afin de pouvoir modéliser le courant I_d en utilisant une double exponentielle.

Pour finir, nous allons résumer le pire cas et le cas le plus probable d'amplitude et de forme de courant I_d pour le transistor le plus utilisé de la bibliothèque standard de la technologie $0,18\mu\text{m}$ et pour une valeur du $LET=0,141\mu\text{m}/\text{pC}$.

Concernant le pire cas, nous cherchons le courant I_d de la plus grande amplitude. En revenant sur tous les résultats obtenus, nous remarquons que le pire cas correspond à un impact dans la source du côté grille avec un angle d'incidence $\theta = -60^\circ$. Le courant I_d dans ce cas atteint une valeur maximale égale à $I_d=0,0189\mu\text{A}$ avec des constantes de temps égales à: $\tau_\alpha=2,90.10^{-10}(\text{s})$ et $\tau_\beta=5,20.10^{-12}(\text{s})$.

Pour le cas le plus probable, nous cherchons l'amplitude et la forme du courant le plus probable, c'est à dire la famille de courant ayant une amplitude variant entre 0,0156 et 0,0165 (A). On considère toujours le cas du transistor NMOS d'une $W_n=0,70$ (μm) et un $\text{LET}=0,141$ ($\text{pC}/\mu\text{m}$). Les constantes de temps correspondant à ces courants sont: $\tau_\alpha \approx 2.90.10^{-10}$ (s) et $\tau_\beta \approx 4.60.10^{-12}$ (s).

Finalement, il est important de montrer le cas le moins nuisible. Ce cas correspond aux courants qui ont les amplitudes les plus faibles. Selon les résultats obtenus, nous extrairons des amplitudes de moins de 0,0002 [A]. Ces courants ne provoquent pas de fautes transitoires dans un composant. Dans ce cas, les constantes de temps sont très petites (τ_α entre $1,10.10^{-10}$ (s) et $1,20.10^{-10}$ (s) et τ_β entre $1,60.10^{-12}$ (s) et $1.70.10^{-12}$ (s).

2.2.2. Caractérisation des SETs pour un PMOS

Après la caractérisation du courant de drain d'un transistor PMOS bloqué de la technologie CMOS 0,18 μm face aux fautes transitoires et à partir de l'analyse des formes de courants et de charges collectées obtenues par les simulations 2-D nous allons étudier l'impact de différents paramètres sur le courant de drain du transistor PMOS et établir des relations de dépendance.

2.2.2.1. Influence de l'angle d'incidence (θ)

a) Influence de (θ) sur les courants

Afin de déterminer la dépendance angulaire de l'amplitude du courant de drain du transistor PMOS, plusieurs angles ont été simulés: (0° , 30° , 60° , 89° , -30° , -60° , -80° , voir figure 2.4) pour une localisation de l'impact au centre du drain du transistor bloqué.

La figure 2.32 montre l'évolution des courants transitoires obtenus au drain P d'un PMOS bloqué pour une largeur $W_p=1,24$ μm , une valeur simulée du LET égale à 0,141 $\text{pC}/\mu\text{m}$ et plusieurs angles d'incidence.

Il est important de noter que le courant de drain I_d d'un transistor PMOS est constitué des trous collectés par le drain PMOS et qu'il est considéré comme un courant négatif. Mais, pour le reste de cette étude, nous avons traité les valeurs absolues de ce courant.

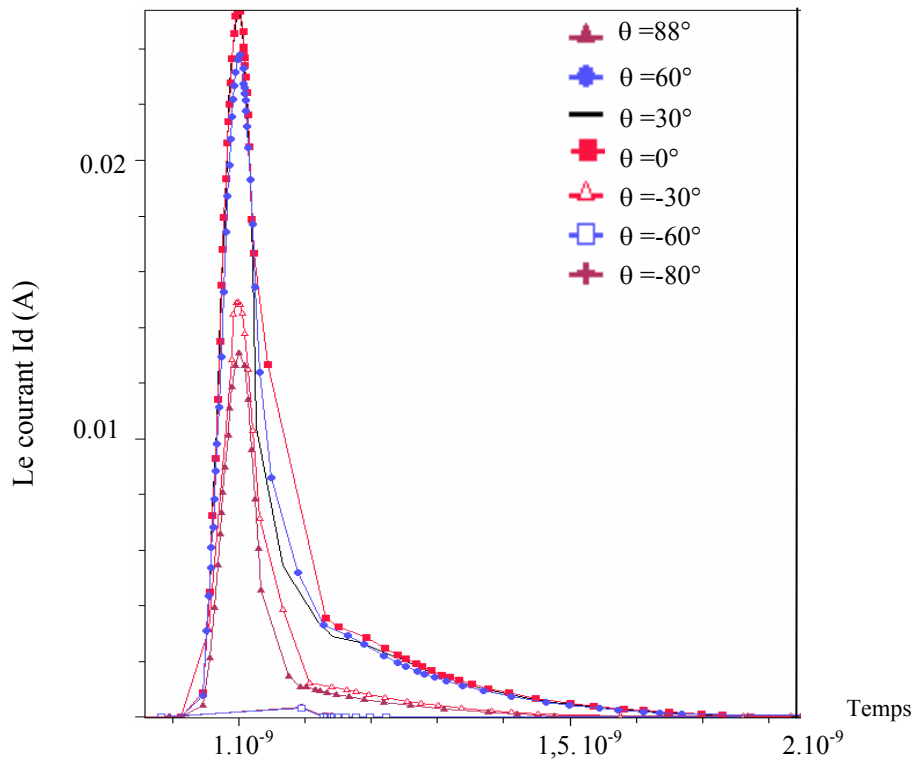


Figure 2.32: Evolution des courants transitoires obtenus au drain P d'un PMOS bloqué pour une valeur du LET=0,141 pC/μm et pour plusieurs angles d'incidence.

La comparaison des résultats présentés dans cette figure indique que l'influence de l'angle d'incidence sur les courants I_d du transistor PMOS est identique à celle de transistor NMOS. Donc la même analyse, qui a été faite pour le transistor NMOS, s'applique directement au transistor PMOS. La figure 2.33 montre les résultats des amplitudes des trois courants I_{drain} (I_d), I_{source} (I_s), et I_{substrat} (I_{sub}) en fonction de l'angle d'incidence pour un transistor de type PMOS.

Remarque: Les valeurs de l'amplitude des courants sont des valeurs absolues.

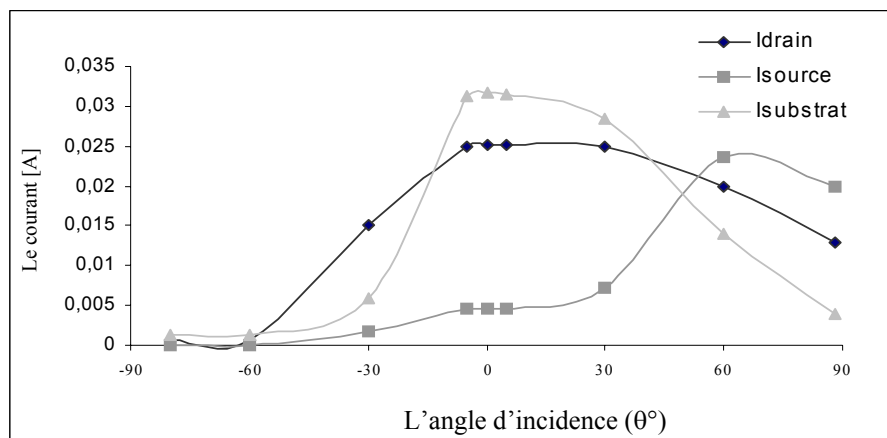


Figure 2.33: Evolution de l'amplitude des trois courants I_d , I_s , et I_{sub} en fonction de l'angle d'incidence pour un transistor de type PMOS.

Selon cette figure, nous remarquons que l'évolution de ces trois courants ressemble à l'évolution de I_d , I_s et I_{sub} d'un transistor NMOS (voir figure 2.6). Donc, les mêmes analyses discutées dans le cas d'un NMOS peuvent être utilisées pour le transistor PMOS:

Premier cas: l'angle de l'ion injecté varie autour de l'incidence normale ($-5^\circ \leq \theta \leq +5^\circ$).

La figure 2.33 démontre que pour ces angles d'incidence le courant de drain, dû à la collection d'une grande partie de ces charges par le drain, atteint sa valeur maximale. De plus le courant de source, dû à la collection d'une très petite partie de charges déposées, reste faible. Le courant de substrat résulte de la collection des électrons et ce courant, à cause de la profondeur de pénétration de la particule qui atteint à peu près le fond de la structure, atteint aussi sa valeur maximale.

2- Deuxième cas: l'angle de l'ion injecté dans le drain est positif et plus grand que 5° .

Dans ce cas, la source commence à collecter une partie importante des paires électron-trou générées par le passage d'une particule ionisante. Ces paires électron-trou sont maintenant déposées beaucoup plus près de la zone de charge d'espace (ZCE) de la source.

La contribution de la jonction de source réduit la quantité des charges collectées par le drain; par conséquent, le courant I_d induit par cet impact angulaire décroît.

De plus, le courant de drain diminue légèrement avec l'augmentation de l'angle positif alors que le courant de source augmente avec l'angle d'incidence positif et $>5^\circ$ grâce à l'augmentation des charges collectées par cette électrode.

En ce qui concerne le courant de substrat, nous remarquons que ce courant décroît avec l'augmentation de l'angle à cause de la diminution de la profondeur de pénétration de la particule qui s'éloigne petit à petit du fond de la structure avec l'augmentation de l'angle.

3- troisième cas: il correspond aux impacts d'une incidence éloignée de la source (des angles négatifs ($0^\circ > \theta \geq -90^\circ$)).

Les résultats obtenus dans ce cas indiquent que le courant de drain décroît avec l'augmentation de l'angle d'incidence. Cette diminution du courant I_d est due principalement à la diminution des charges collectées par le drain.

En ce qui concerne les autres courants, il faut signaler que les courants de source et même le courant de substrat sont aussi très faibles à cause de la petite quantité de charges collectée par ces deux électrodes.

4- quatrième cas: Ce cas correspond aux impacts d'une incidence avec un angle près de 90° ou autrement dit une incidence proche de l'incidence parallèle à la surface du semi-conducteur ($\theta \approx 90^\circ$) («*grazing incidence*» en anglais).

Dans ce cas, les charges collectées par le drain décroissent à cause de la diminution des charges collectées par diffusion. Cette diminution est due à l'extension temporelle de la ZCE de la jonction drain/substrat vers la ZCE de l'autre jonction source/substrat. Donc, une partie très importante des charges déposées peut être séparée et collectée par la ZCE de la jonction source/substrat.

Les résultats obtenus par simulation montrent que les deux courants I_s et I_d ont à peu près les mêmes amplitudes, c'est à dire que les charges sont également collectées par les deux électrodes.

b) Influence de (θ) sur la charge collectée

Après l'étude de l'influence de l'angle d'incidence sur le courant de chaque électrode, I_s , I_d et I_{sub} , nous allons, maintenant, montrer l'évolution des charges collectées au drain, à la source et au substrat en fonction de l'angle d'incidence (figure 2.34).

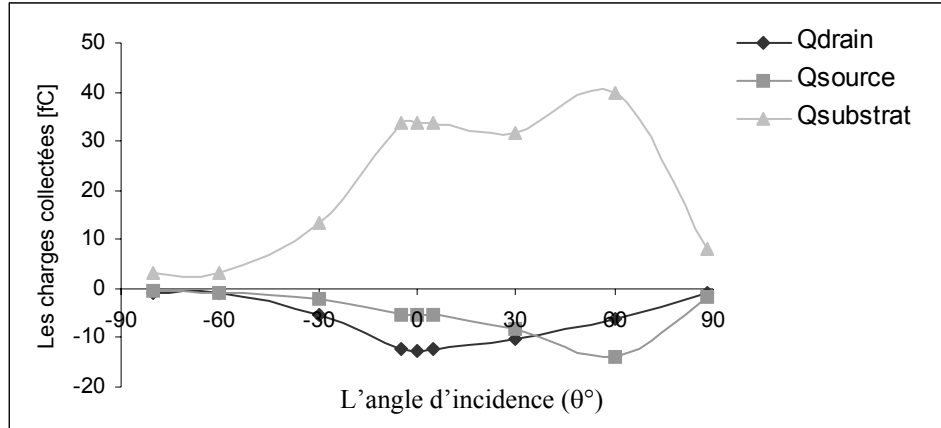


Figure 2.34: Evolution des charges collectées aux trois électrodes: Drain, Source, Substrat d'un PMOS bloqué en fonction de l'angle d'incidence pour une valeur du LET=0,141 pC/ μ m et une $W_p=1,24\mu$ m.

A partir de cette figure, nous pouvons constater que l'évolution de la charge collectée à chaque électrode ressemble à l'évolution des courants. Donc, la même analyse peut être utilisée pour expliquer l'évolution des charges collectées. Par exemple, si l'angle de l'ion injecté dans le drain varie autour de l'incidence normale ($\theta=0^\circ$ et $\theta=\pm 5^\circ$), la plupart des trous déposés par l'ion sont collectés par le drain, et une petite partie de ces trous peut être collectée par d'autres électrodes comme la source. Cependant, les électrons déposés par l'ion seront collectés par le substrat.

2.2.2.2. Influence de la valeur du LET

Afin de trouver la relation entre le courant de drain d'un transistor PMOS induit par le passage d'une particule chargée et le LET de cette particule, nous considérons les mêmes trois valeurs de LET (LET=0,141 pC/ μ m, LET=0,34 pC/ μ m et LET=0,5 pC/ μ m).

La figure 2.34 illustre l'évolution de l'amplitude du courant de drain heurté pour un PMOS bloqué en fonction du LET et des angles d'incidence différents.

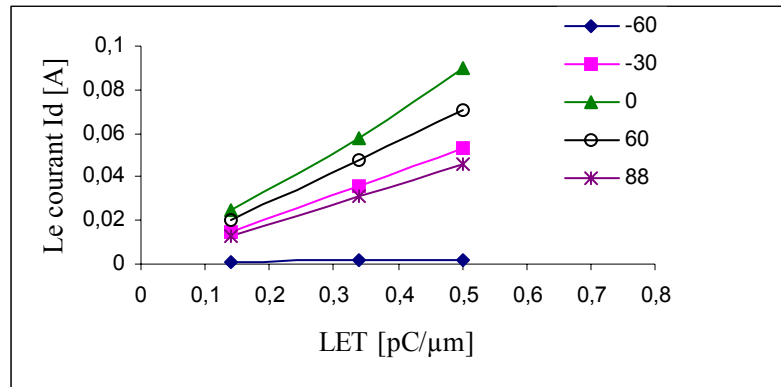


Figure 2.35: Amplitude du courant de drain heurté I_d en fonction de la valeur du LET simulée pour un impact dans un transistor PMOS bloqué.

La figure 2.35 indique que même pour un transistor PMOS, la relation entre l'amplitude du courant de drain heurté I_d et le LET pour chaque angle d'incidence reste toujours linéaire. Donc l'équation (2.15) est valable pour l'analyse de l'influence de LET sur le courant I_d d'un transistor PMOS.

2.2.2.3. Influence des dimensions du transistor « W_p »

Dans toutes les simulations qui ont été présentées jusqu'à maintenant, nous avons choisi un transistor PMOS d'une largeur $W_p=1,24\mu m$. Des transistors de différentes largeurs (W_p) seront considérés par la suite, toujours pour des impacts avec des angles d'incidence différents et avec une localisation de l'impact au centre du drain bloqué d'un transistor PMOS en technologie $0,18\mu m$. Cette étude a pour objectif d'établir les relations entre le courant de drain heurté et les dimensions de transistor PMOS heurté (W_p).

La figure 2.36 présente l'évolution des courants transitoires obtenus à l'électrode heurtée (le drain P d'un PMOS bloqué) en utilisant une valeur simulée du LET égale à $0,141\text{ pC}/\mu m$ et plusieurs largeurs W_p .

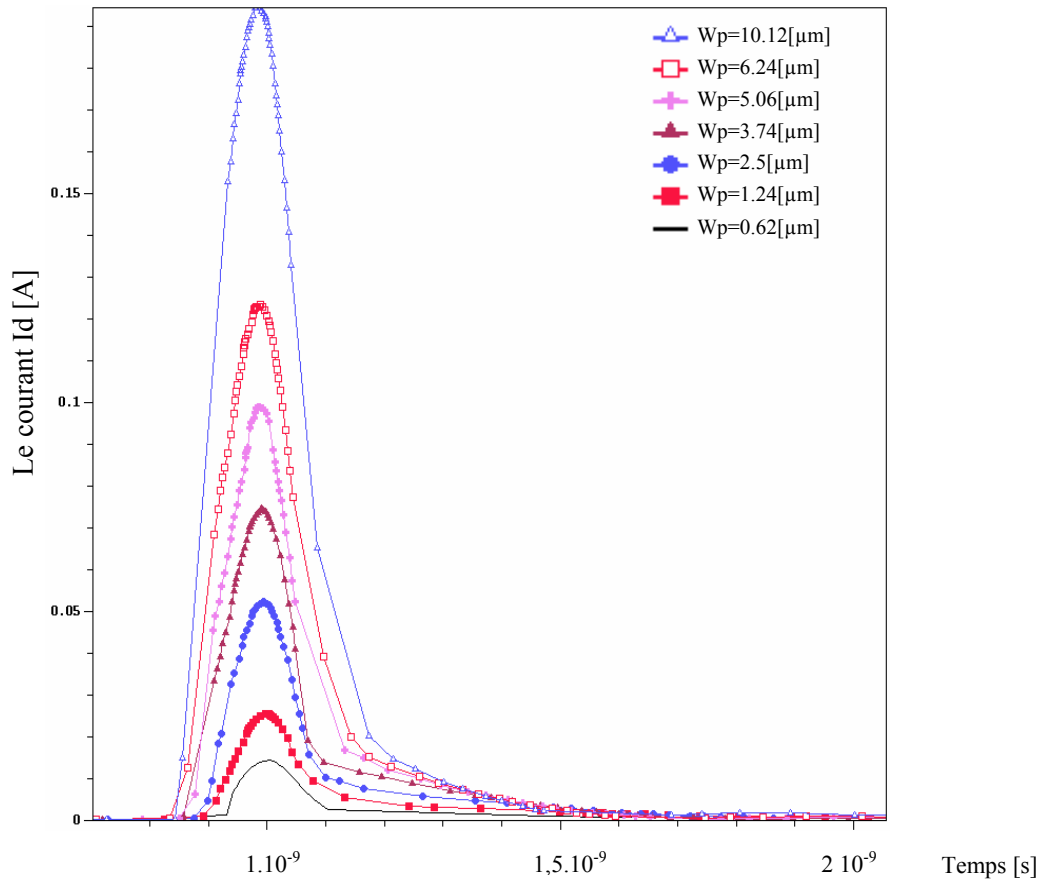


Figure 2.36: Evolution en fonction de W_p des courants transitoires obtenus au drain d'un PMOS bloqué pour une valeur du $LET=0,141 \text{ pC}/\mu\text{m}$ et un angle d'incidence $\theta=0^\circ$.

Cette figure indique que la largeur W_p d'un transistor agit directement sur la forme du courant de drain I_d . Lorsque W_p augmente, la largeur et l'amplitude de ce courant deviennent plus grandes.

Dans la suite, nous allons présenter l'influence de W_p sur l'amplitude du courant de drain I_d et les charges collectées Q_d en fonction de l'angle d'incidence. Les figure 2.37 et 2.38 présentent les résultats de cette analyse

Remarque: les valeurs de I_d et Q_d sont des valeurs absolues.

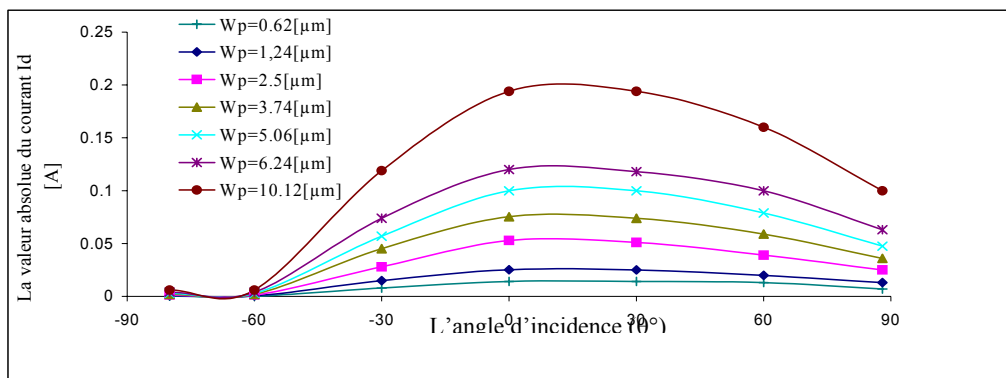


Figure 2.37: Courant de drain neutre d'un PMOS bloqué en fonction de W_p .

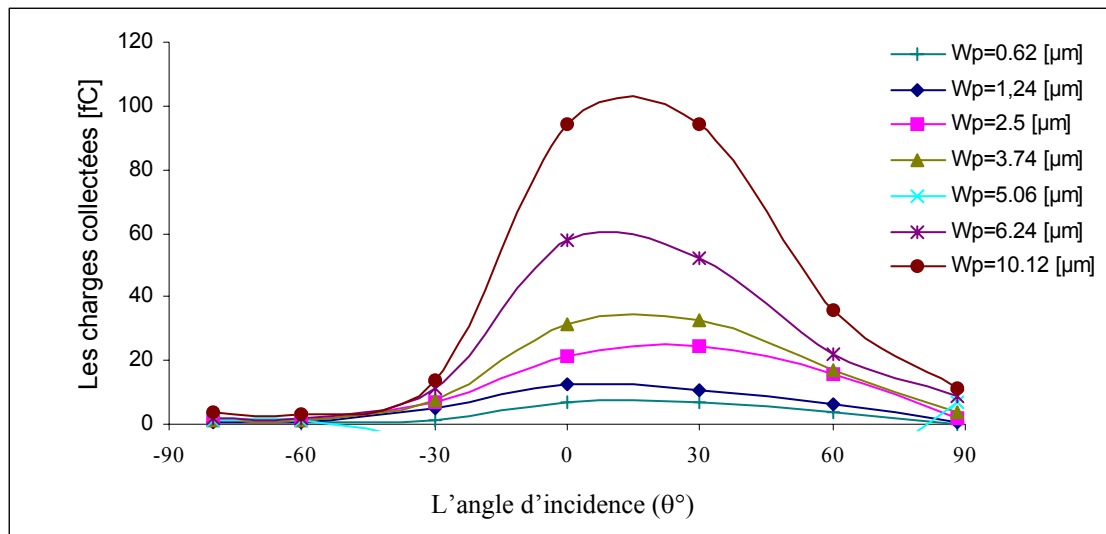


Figure 2.38: Charges collectées au drain heurté d'un PMOS bloqué en fonction de W_p .

La figure 2.38 indique que l'amplitude du courant de drain heurté I_d d'un transistor PMOS augmente d'une façon linéaire avec l'augmentation de la largeur W_p du transistor pour chaque angle d'incidence. De ce fait, l'équation 2.16 qui a été utilisée pour un transistor NMOS peut être utilisée aussi dans le cas d'un transistor PMOS.

En ce qui concerne les charges collectées Q_d , nous remarquons plus W_p est grande plus la quantité des charges collectée par le drain heurté est grande.

2.2.2.4. Influence de la localisation de l'impact

Pour étudier l'influence de la localisation d'un impact sur le courant I_d d'un PMOS, nous avons choisi les mêmes six localisations de l'impact utilisées dans l'objectif de la caractérisation du transistor NMOS (voir figure 2.20).

Pour effectuer cette analyse, nous avons aussi choisi un transistor PMOS d'une largeur $W_p=1,24\mu\text{m}$, et une particule ayant une valeur du LET=0,141 pC/μm.

❖ Impacts localisés dans le drain

La figure 2.39 présente les résultats obtenus pour trois différentes localisations d'un impact sur le drain d'un PMOS bloqué:

- $d=0,95$: impact au bord du drain du côté extérieur de la structure.
- $d=0,85$: impact au centre du drain.
- $d=0,75$: impact au bord du drain du côté grille.

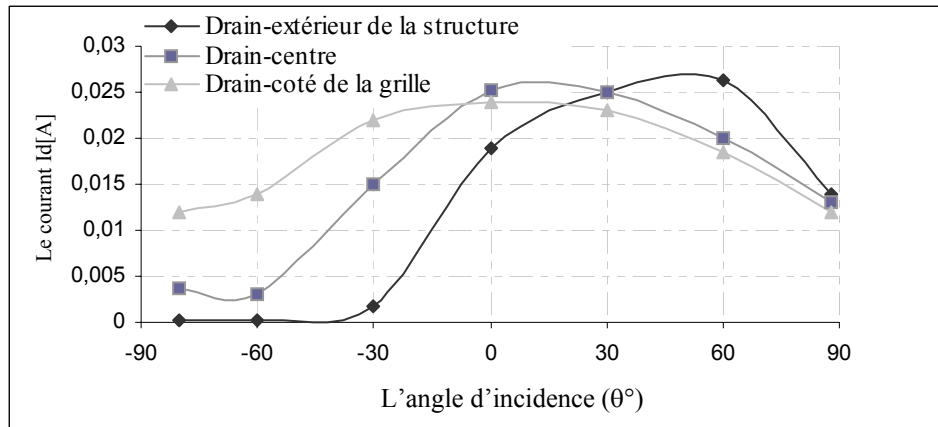


Figure 2.39: Amplitude du courant de drain heurté pour les trois localisations.

La figure 2.39 montre que l'évolution des amplitudes de courant I_d d'un transistor PMOS est identique à l'évolution des amplitudes de courant I_d d'un transistor PMOS. Ces amplitudes dépendent de la localisation de l'impact (d) et des angles d'incidences. Cette dépendance ressemble à:

1. Premièrement, pour les impacts d'une incidence avec des angles négatifs ($0 > \theta \geq -90$) nous remarquons que l'amplitude de courant I_d diminue avec l'augmentation de l'angle d'incidence négatif pour les trois localisations. Mais, les impacts qui sont localisés au bord du drain du côté grille sont les plus sensibles à ce type d'impacts.
2. Deuxièmement, en ce qui concerne l'incidence normale où $\theta = 0^\circ$, dans ce cas nous remarquons que le courant de drain I_d atteint sa valeur maximale pour l'impact localisé au centre de drain et l'impact localisé au bord du drain du côté grille. De plus, dans le cas d'un impact sur le bord extérieur du drain avec un angle $\theta = 0^\circ$, le courant I_d est important mais plus petit que pour les autres localisations.
3. Troisièmement, pour l'impact d'une incidence avec des angles positifs ($0 < \theta$), nous distinguons deux cas:
 - Le premier est consacré aux impacts localisés au bord du drain du côté grille et au centre du drain. Dans ces deux localisations, l'amplitude de courant I_d diminue avec l'augmentation de l'angle d'incidence. Cette tendance est due principalement à la diminution de la quantité des charges déposées directement au-dessous du contact de drain.
 - Le deuxième cas correspond aux impacts localisés dans le drain à l'extérieur de la structure. Dans ce cas nous remarquons que, d'une part, le courant de drain atteint sa valeur maximale à l'angle d'incidence égale à 60° au lieu de l'angle 0° , et que d'autre part, plus l'angle d'incidence augmente ($\theta > 0^\circ$), plus le courant augmente car de plus en plus des charges sont déposées directement au-dessous du drain. Donc une grande partie de ces charges (plutôt des trous) peut être collectée par le contact de drain conduisant à une augmentation du courant I_d .
4. Enfin, le cas où les impacts ont une incidence avec des angles près de 90° ou autrement dit une incidence proche de l'incidence parallèle à la surface ($\theta \approx 90^\circ$). Dans ce cas, nous remarquons que le courant I_d diminue pour les trois points de localisations. Cette

diminution est due à la formation d'un court-circuit entre le drain et la source, aussi, une partie très important des charges peut être collectée par la source.

❖ Impacts localisés dans la grille

La figure 2.40 présente les résultats obtenus pour trois différentes localisations d'un impact sur la grille d'un PMOS bloqué:

- $d=0,57$: impact au bord de la grille du côté drain.
- $d=0,49$: impact au centre de la grille.
- $d=0,41$: impact au bord de la grille du côté source.

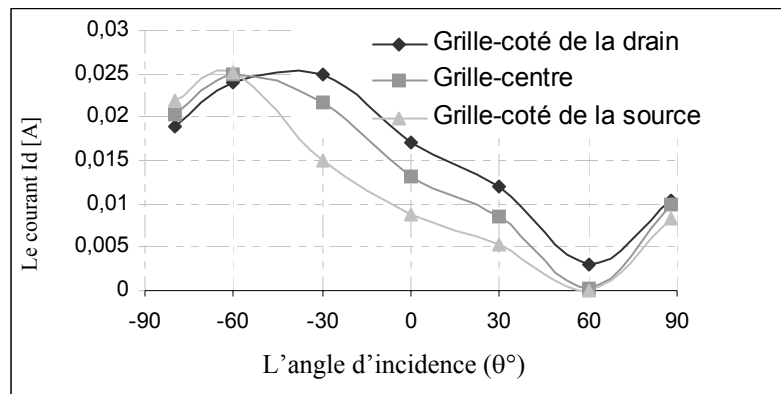


Figure 2.40: Amplitude du courant de drain heurté pour des impacts localisé dans la grille.

A partir de cette figure, nous pouvons remarquer que:

1. pour des impacts avec des angles compris entre $(-60^\circ$ et $-30^\circ)$, le courant de drain I_d atteint sa valeur maximale quelque soit la localisation. Cette tendance est due au fait que les charges sont déposées, dans ce cas, près du drain. Donc, le drain peut collecter une partie importante de ces charges.
2. concernant l'angle d'incidence $\theta \approx -90^\circ$, l'amplitude du courant I_d diminue par rapport aux autres angles négatifs. Cette diminution est due à la possibilité d'avoir un court-circuit entre la source et le drain à cause des petites dimensions de la technologie sous-micronique. Donc, la source contribue à la collection des charges déposées par la particule diminuant, en conséquence, la quantité des charges collectées par le drain.
3. pour les impacts ayant des angles d'incidence compris entre 60° et 90° , nous remarquons que le courant I_d augmente à cause d'un court-circuit conduisant à une collection de charges par le drain plus importante.

Donc, des impacts localisés dans la grille d'un PMOS bloqué peuvent provoquer des courants de drain I_d avec des amplitudes importantes (environ 25[mA]). Ces courants peuvent être responsables de l'apparition des SETs dans un composant.

❖ Impacts localisés dans la source

L'effet de l'impact angulaire d'une particule dans la source sur l'amplitude de courant de drain d'un transistor PMOS est présenté par la suite.

Nous avons choisi trois localisations pour cette étude:

- $d=0,2$: impact au bord de la source du côté grille.
- $d=0,125$: impact au centre de la source.
- $d=0,01$: impact au bord de la source du côté extérieur de la structure.

La figure 2.41 présente l'évolution de ces courants I_d pour plusieurs angles d'incidence.

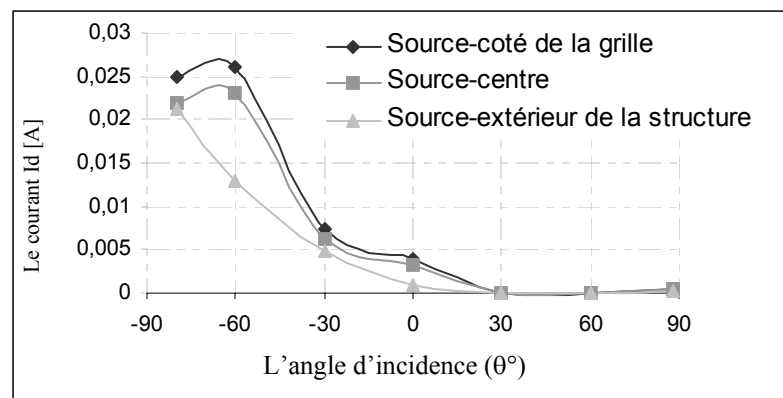


Figure 2.41 : Amplitude du courant de drain heurté pour des incidences angulaires dans la source.

Cette figure impose quelques remarques sur l'évolution de l'amplitude de courant I_d :

1. Les injections localisées dans la source d'un transistor et orientées vers le drain (des angles négatifs entre -30° et -60°) peuvent provoquer des courants I_d avec des amplitudes suffisantes pour provoquer des erreurs softs SETs ($I_d=27\text{mA}$ pour $\theta=-60^\circ$).
2. Pour les impacts ayant des angles d'incidence compris entre 60° et 90° , autrement dit des impacts éloignés du drain, le courant I_d diminue. Dans ce cas, la plupart des charges sont déposées près de la source, ainsi le drain ne peut collecter qu'une très petite partie de ces charges.

L'analyse de l'influence de la localisation d'un impact sur le courant de drain d'un transistor de type PMOS bloqué, nous permet de constater que, non seulement les impacts localisés dans le centre d'un drain bloqué sont les responsables de l'apparition des courants transitoires importants provoqués par le passage d'une particule I_d , mais des impacts localisés dans les autres contacts comme la source et la grille sont aussi des facteurs susceptibles de modifier le courant de drain I_d d'un transistor pouvant provoquer à leur tour des impulsions transitoires SETs aussi importantes.

Finalement, nous allons résumer l'effet de la localisation d'un impact sur l'amplitude du courant de drain I_d d'un PMOS (figures 2.42 et 2.43).

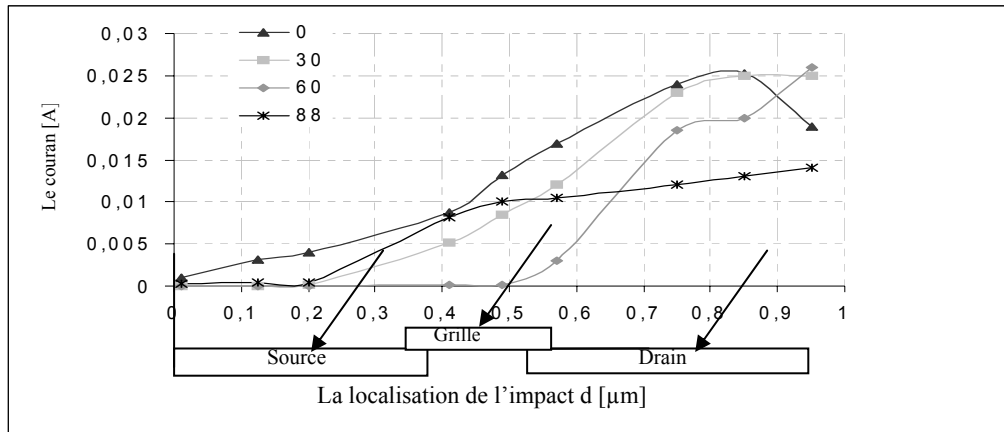


Figure 2.42: Courant de drain I_d en fonction de la localisation d'un impact pour des angles d'incidence positifs.

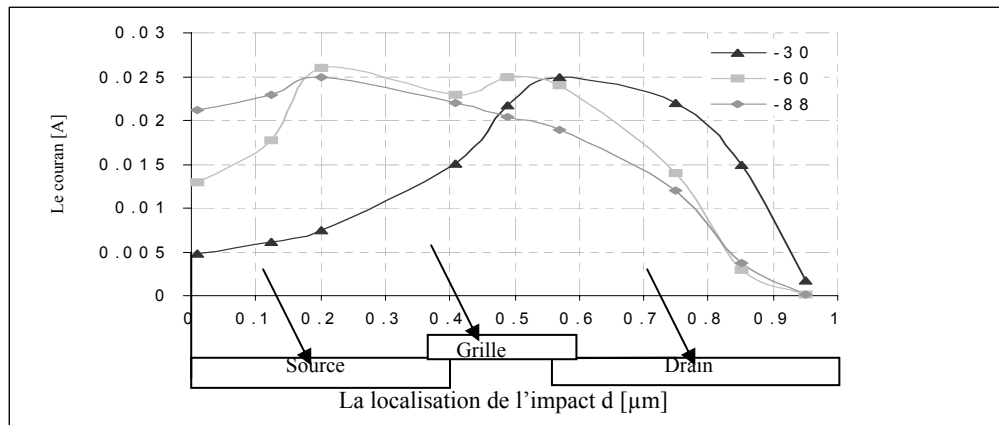


Figure 2.43: Courant de drain I_d en fonction de la localisation d'un impact pour des angles d'incidence négatifs.

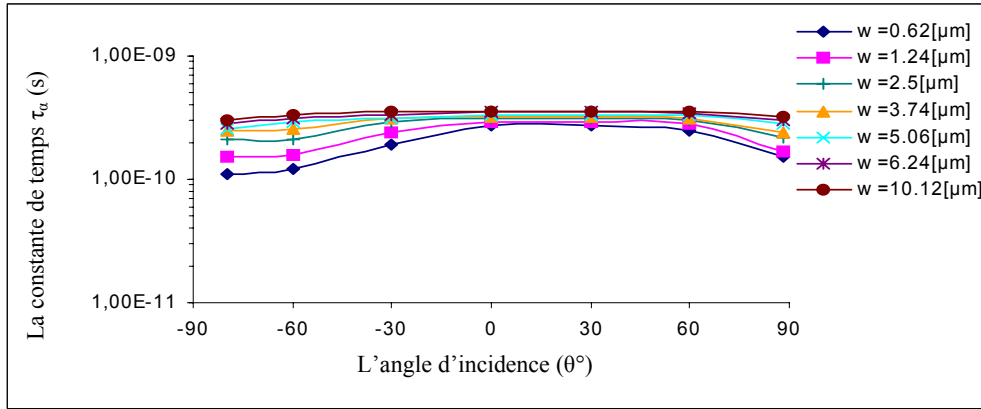
Selon ces deux figures, nous pouvons résumer l'influence de la localisation d'un impact comme suit:

- Concernant les angles positifs, le courant I_d augmente quand la localisation de l'impact se rapproche de plus en plus du drain. Ce courant atteint ses valeurs maximales quand une particule touche directement la zone du drain quel que soit l'angle d'incidence.
- Pour les angles négatifs, nous remarquons que l'amplitude de I_d est très dépendante de l'angle d'incidence et de la localisation. Donc, pour des impacts localisés dans la source, le courant croît quand l'angle augmente parce que, pour ces impacts, les charges sont déposées près du drain. Par conséquent, le drain peut collecter une partie importante de ces charges. En ce qui concerne les impacts localisés dans la grille et la source, nous constatons que le courant I_d a aussi des amplitudes importantes, mais ces amplitudes décroissent quand les impacts se rapprochent de plus en plus du bord de la structure.

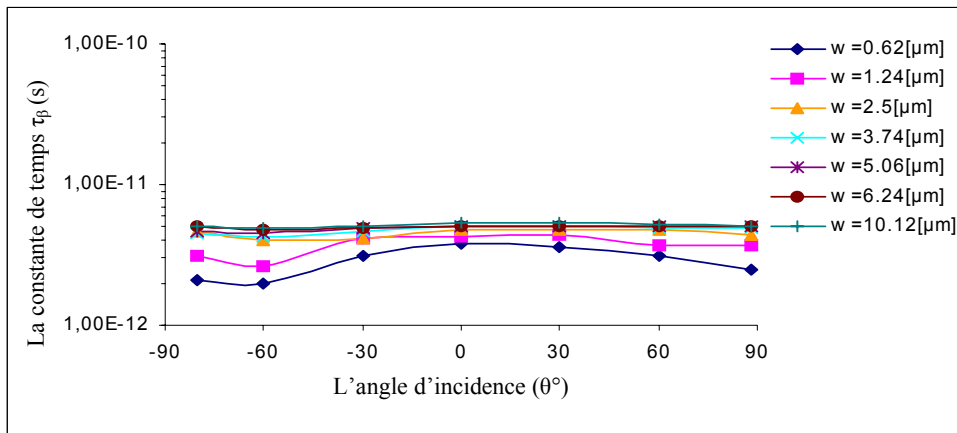
2.2.2.5. Modélisation du courant I_d

Afin de terminer la caractérisation du courant de drain d'un transistor PMOS bloqué face aux fautes transitoires, nous allons nous attacher à déterminer les deux constantes de temps τ_α et τ_β de la forme temporelle du courant I_d en s'appuyant sur les résultats des simulations obtenus dans les paragraphes précédents.

L'évolution des constantes τ_α et τ_β en fonction de l'angle d'incidence est présentée aux figures 2.44 a et b pour plusieurs valeurs de W_p .



(a)



(b)

Figure 2.44: Evolution des deux constantes de temps τ_α et τ_β en fonction de l'angle d'incidence et de la largeur W_p du transistor pour une valeur du $LET=0,141pC/\mu m$.

Cette figure indique que les deux constantes τ_α et τ_β du courant de drain P d'un transistor PMOS augmentent pour de grandes valeurs de W_p , mais la valeur varie très peu autour de $1-3,5 \cdot 10^{-10}$ (s) pour τ_α et de $2,6-5 \cdot 10^{-12}$ (s) pour τ_β . (les valeurs de τ_α et τ_β dans le cas d'un PMOS sont très proches de celle d'un NMOS). Nous observons tout de même que pour de faibles valeurs de W_p , τ_α et τ_β sont dépendantes de l'angle d'incidence (θ), elles ont respectivement une valeur maximale de $2,7 \cdot 10^{-10}$ (s) pour τ_α et de $3,8 \cdot 10^{-12}$ (s) pour τ_β . La dépendance entre ces deux constantes τ_α , τ_β et l'angle d'incidence (θ) est de type exponentiel. L'exponentielle devient quasiment une droite pour des W_n importantes.

Un autre aspect important est l'évolution de ces deux constantes de temps en fonction du LET présenté à la figure 2.45.

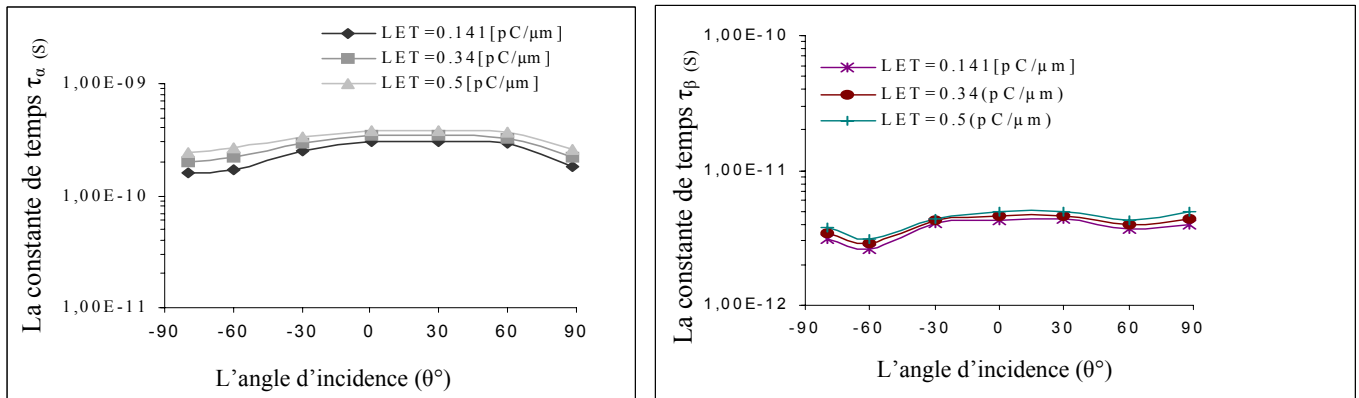


Figure 2.45: Evolution des deux constantes de temps τ_α et τ_β en fonction du LET et de l'angle d'incidence, pour une $W_p = 1,24 [\mu m]$.

Cette figure indique que les deux constantes de temps τ_α et τ_β dépendent aussi de la valeur du LET d'une particule. Plus le LET est important, plus τ_α et τ_β sont importantes.

Pour terminer notre étude des constantes de temps, nous présentons la variation de τ_α et τ_β en fonction de la localisation de l'impact (figures 2.46, 2.47).

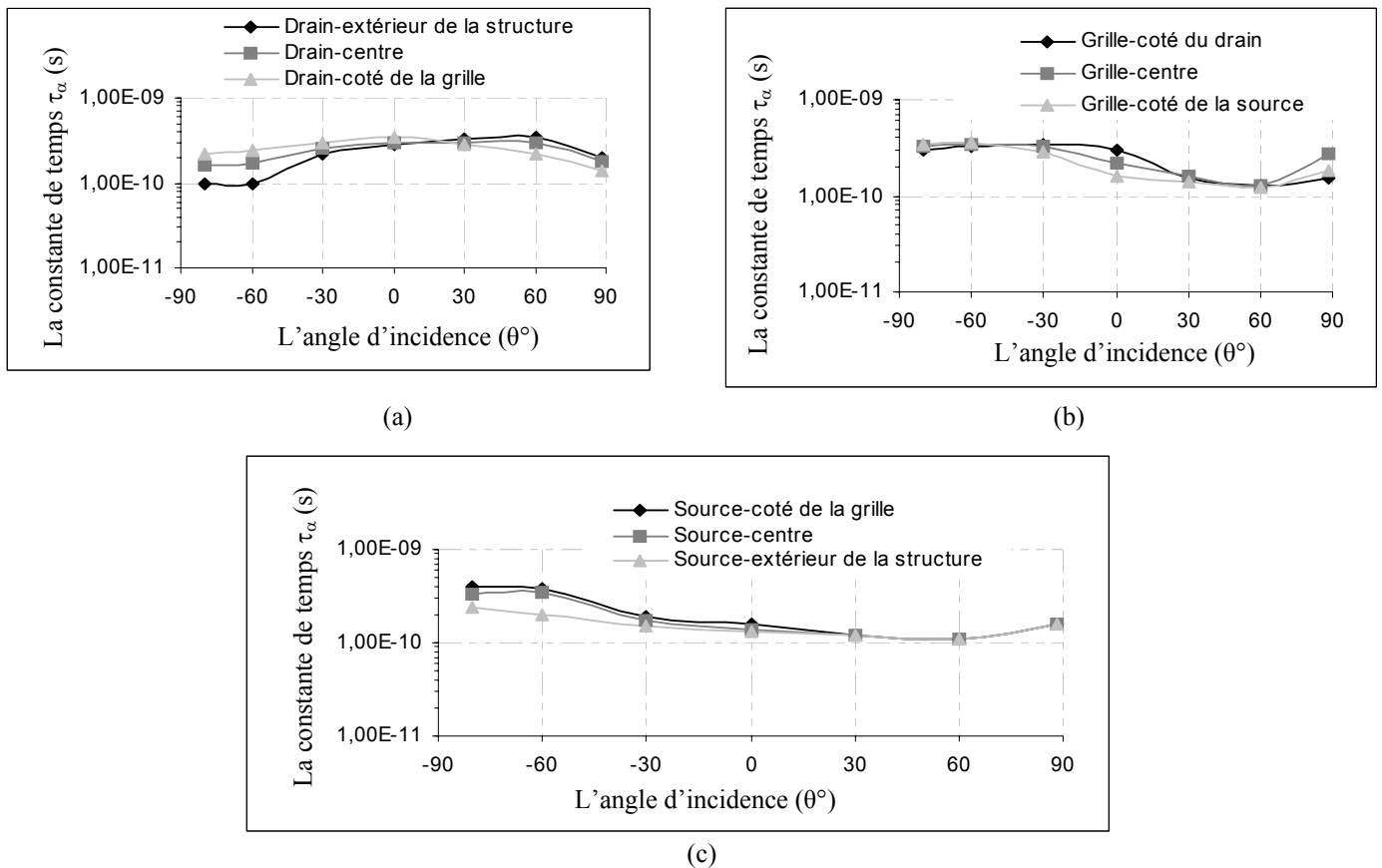


Figure 2.46: Evolution de la constante de temps τ_α en fonction de la localisation d'un impact: a) impact dans le drain, b) impact dans la grille, c) impact dans la source

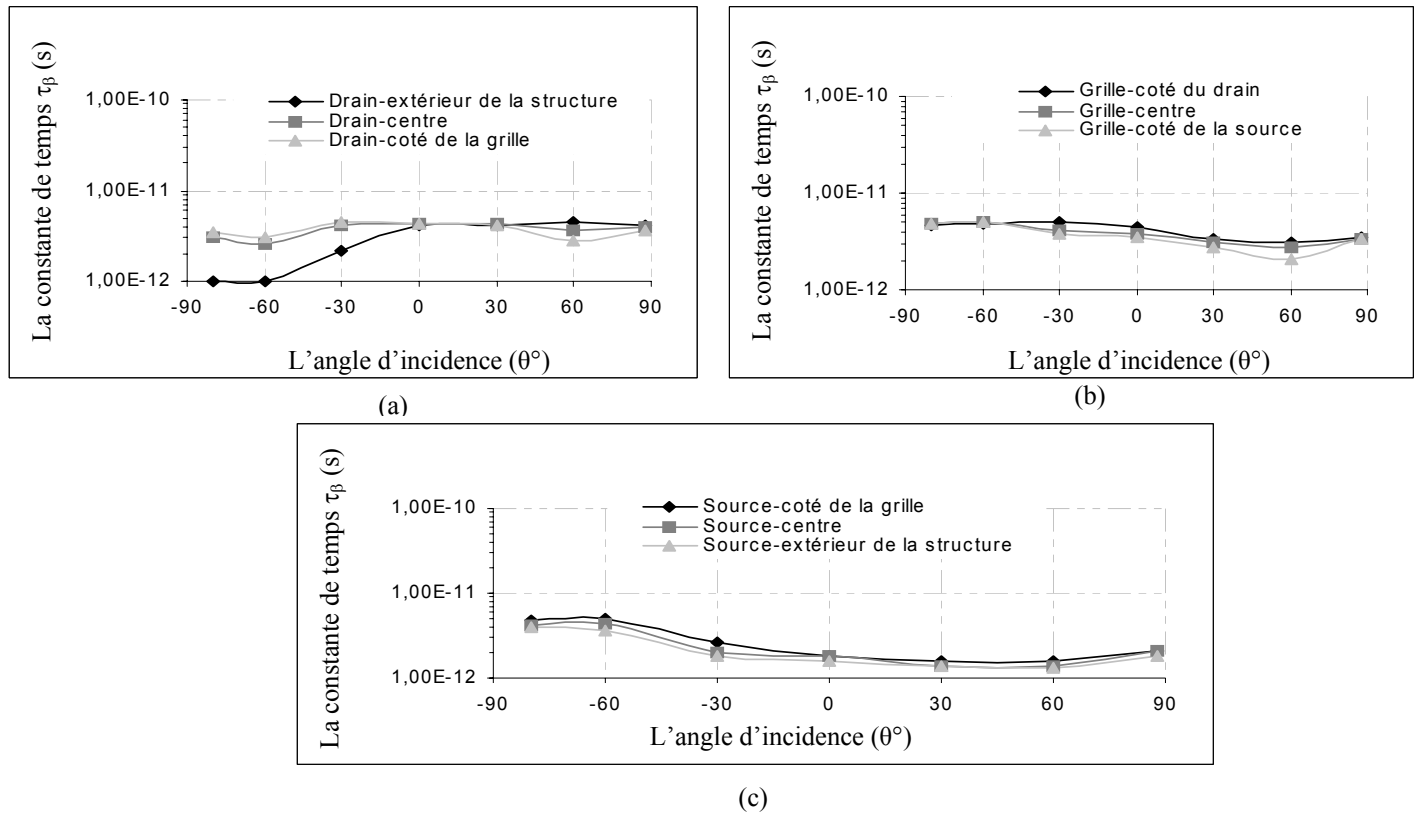


Figure 2.47: Evolution de la constante de temps τ_β en fonction de la localisation d'un impact: a) impact dans le drain, b) impact dans la grille, c) impact dans la source.

Les deux figures (2.46 et 2.47) montrent que l'évolution des deux constantes de temps τ_α et τ_β en fonction de la localisation d'un impact sur un transistor PMOS ressemble à l'évolution de ces deux constantes τ_α et τ_β en fonction de la localisation d'un impact sur un transistor NMOS, (voir paragraphe 2.2.1.5). Donc, la même discussion peut être utilisée ici pour expliquer le comportement de τ_α et τ_β en fonction de «d».

Enfin, la figure 2.48 résume l'influence de la localisation de l'impact sur les deux constantes de temps τ_α et τ_β pour des angles d'incidence positifs et des angles négatifs.

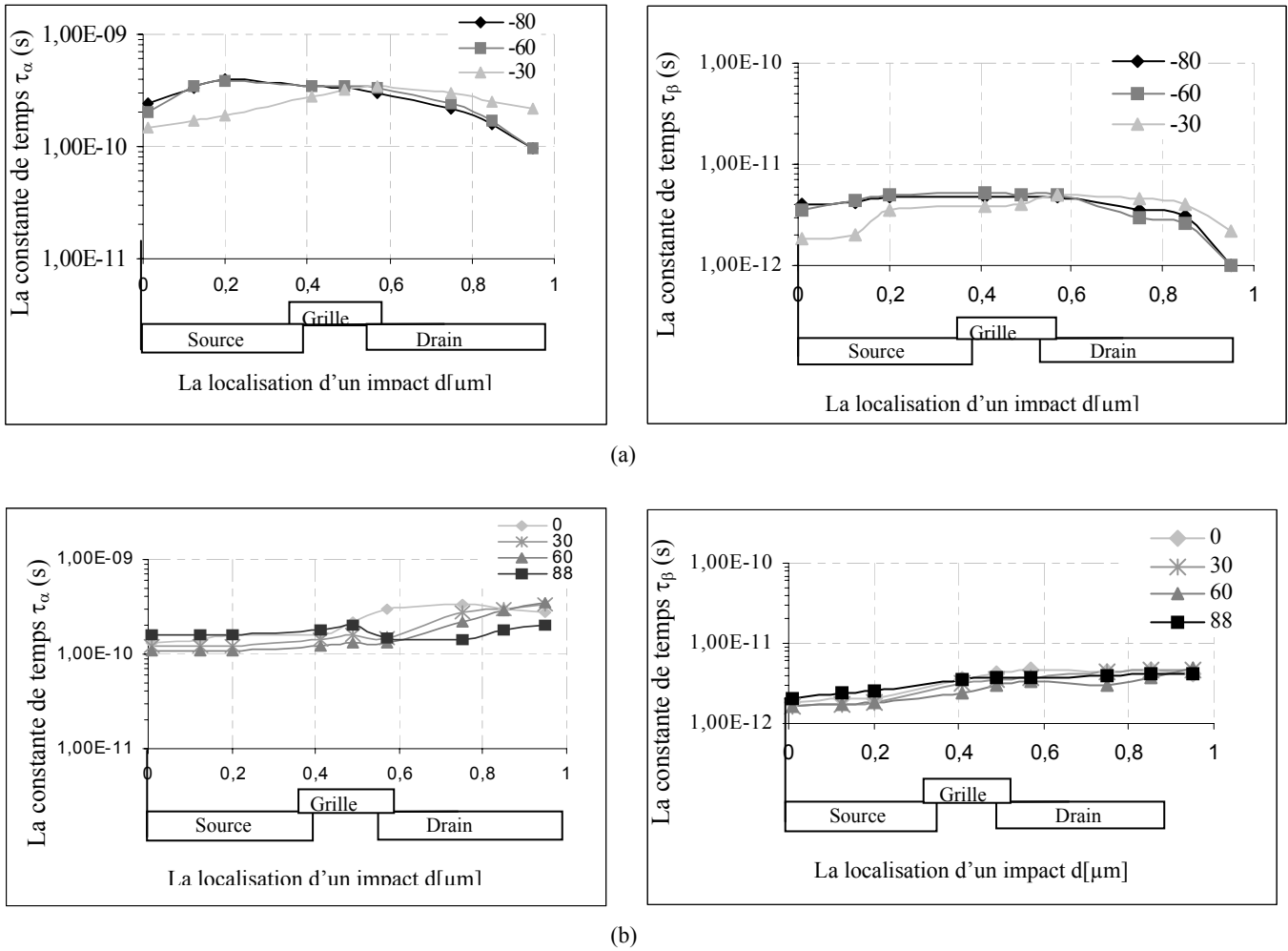


Figure 2.48: Constantes de temps τ_α et τ_β d'un PMOS en fonction de la localisation d'un impact pour: (a) des angles d'incidence négatifs, (b) des angles d'incidence positifs

Pour un transistor PMOS, et à partir de ces familles de courbes établies pour τ_α et τ_β en fonction de tous ces paramètres, nous pouvons déduire n'importe quelle forme de courant I_d à partir de ces différents paramètres.

2.2.2.6. Conclusion sur la caractérisation d'un transistor PMOS

Des transistors PMOS de plusieurs largeurs W_p de la technologie $0,18 \mu m$ ont été modélisés au cours de ce travail. Des impacts de particules ionisantes, en incidence normale et en incidence oblique, ont été simulés dans la région la plus sensible du transistor: le drain du transistor PMOS à l'état bloqué. La comparaison des résultats obtenus par des simulations 2-D a montré que le courant induit par la particule dépend de l'angle d'incidence de la particule. Cette comparaison a également démontré que l'amplitude du courant de drain dépend de façon linéaire de la largeur du transistor W_p et de la valeur du LET de la particule incidente. Donc, les modèles simples, qui ont été proposés pour la caractérisation d'un transistor NMOS face aux particules ionisantes peuvent être utilisés pour la caractérisation du transistor PMOS.

L'évolution des deux constantes de temps τ_α et τ_β , nécessaires à la modélisation du courant I_d par une double exponentielle a aussi été déterminée.

Enfin, nous allons résumer le pire cas et le cas le plus probable d'amplitude et de forme de courant I_d pour le transistor le plus utilisé de la bibliothèque standard de la technologie 0,18 μ m et pour une valeur du LET=0,141 μ m/pC.

Concernant le pire cas, nous cherchons le courant I_d de plus grande amplitude. En revenant sur tous les résultats obtenus, nous remarquons que le pire cas correspond à un impact dans la source du côté grille avec un angle d'incidence $\theta = -60^\circ$. Le courant I_d dans ce cas atteint une valeur maximale égale à $I_d=0,026 \mu$ m avec des constantes de temps égales à: $\tau_\alpha = 3,70.10^{-10}$ (s) et $\tau_\beta = 5.10^{-12}$ (s).

Pour le cas le plus probable, nous cherchons l'amplitude et la forme du courant le plus probable, c'est à dire la famille de courant ayant une amplitude variant entre 0,025 et 0,026 [A]. On considère toujours le cas du transistor NMOS d'une $W_p=1,24 [\mu$ m] et un LET=0,141 [pC/ μ m]. Les constantes de temps correspondant à ces courants sont: $\tau_\alpha \approx 3.50.10^{-10}$ (s) et $\tau_\beta \approx 4.30.10^{-12}$ (s).

Finalement, il est important de montrer le cas le moins nuisible. Ce cas correspond aux courants qui ont les amplitudes les plus faibles. Selon les résultats obtenus, nous extrairons des amplitudes de moins de 0,0003 [A]. Ces courants ne provoquent pas de fautes transitoires dans un composant. Dans ce cas, les constantes de temps sont très petites (τ_α entre $1,10.10^{-10}$ et $1,20.10^{-10}$ (s) et τ_β entre $1,30.10^{-12}$ (s) et $1,40.10^{-12}$ (s).

2.2.3. Méthodologie de la prédiction du courant transitoire d'une porte logique CMOS

Dans les paragraphes précédents, nous nous sommes intéressés à l'analyse de l'influence de plusieurs variables sur le courant transitoire I_d d'un transistor NMOS ou PMOS à l'état bloqué. Ces analyses ont été faites à l'aide d'un simulateur 2-D au niveau physique avec différentes variables: LET, angle d'incidence, largeur de transistor W_n ou W_p et localisation d'un impact sur la surface du transistor.

Dans cette section, nous nous proposons d'établir une méthodologie de prédiction du courant transitoire apparu à la sortie d'une porte logique quelconque en se basant sur les résultats de courants I_d des transistors NMOS et PMOS obtenus dans les paragraphes précédents.

Les points essentiels qui doivent être pris en compte pour pouvoir prédire la forme et l'amplitude du courant d'une porte quelconque sont:

1. Le type de transistor PMOS ou NMOS qui subi l'impact de la particule.
2. L'état de ce transistor (bloqué ou passant).
3. La largeur du transistor W_n ou W_p .
4. La localisation de l'impact sur le transistor (d).
5. L'angle d'incidence de la particule (θ).
6. La valeur du LET de la particule.

La valeur du LET se calcule en fonction de l'énergie et de la profondeur de pénétration des particules considérées les plus nuisibles dans l'environnement où le circuit fonctionne et peut être calculé facilement pour les énergies des ions les plus probables.

Une question se pose maintenant: comment établir l'amplitude et la forme du courant I_d pour n'importe quel type de transistor, en fonction du LET, θ et d sans passer à chaque fois par les simulations physiques 2-D (voir 3-D) très longues, en se basant seulement sur la famille de courbes dressées précédemment?

L'idée est de prendre l'avantage des caractérisations précédentes en faisant des extrapolations ou quasiment des calculs afin d'extraire les paramètres du courant I_d .

Voici un exemple de calcul et extrapolation de l'amplitude et de la forme d'un courant I_d , d'un transistor NMOS avec une largeur $W_n=0,60$ [μm] dont nous avons injecté une particule dans le drain du transistor NMOS à l'état bloqué (localisation de l'impact à $d=0,8$ [μm]) avec une valeur du LET égale à $0,2$ [$\text{pC}/\mu\text{m}$] et un angle d'incidence de 30° .

Les étapes d'extraction et de calcul du courant I_d correspondant à ce cas particulier sont les suivantes:

- 1- Premièrement, il s'agit de déterminer l'amplitude du courant I_d en fonction de la localisation de l'impact. Pour cela, en faisant référence aux figures 2.24 et 2.25, nous extrairons la valeur du I_d pour $d=0,8$ [μm] et un angle d'incidence de 30° . Le courant est $I_d \cong 0,0156$ [A], en sachant qu'il s'agit d'un $W_n=0,70$ [μm] et un $\text{LET}=0,141$ [$\text{pC}/\mu\text{m}$].
- 2- Deuxièmement, il faudrait déterminer l'amplitude I_d en fonction de la largeur du transistor étudié W_n . Comme nous l'avons vu précédemment dans le paragraphe 2.2.1.3 la relation entre la largeur d'un transistor et le courant I_d est une relation linéaire exprimée par l'équation (2.16). Dans notre exemple nous avons supposé que $W_n=0,60$ [μm]. Pour déterminer cette amplitude, il est suffisant d'appliquer l'équation (2.16):

$$I_d (W_n=0,60) = 0,60/0,70 * I_d (W_n=0,70), \text{ donc } I_d (W_n=0,60) \cong 0,0133 \text{ [A]}.$$

- 3- Ensuite, il s'agit de déterminer l'amplitude I_d correspondant à une valeur du LET de $0,2$ [$\text{pC}/\mu\text{m}$]. Dans le paragraphe 2.2.1.2, nous avons montré que l'amplitude du I_d dépend d'une façon linéaire de la valeur du LET (équation 2.15). Dans notre exemple, nous avons choisi une valeur du LET de $0,2$ [$\text{pC}/\mu\text{m}$]. Le courant dans les étapes précédentes est obtenu pour un $\text{LET}=0,141$ [$\text{pC}/\mu\text{m}$]. Pour déterminer l'amplitude de I_d pour un $\text{LET}=0,2$ [$\text{pC}/\mu\text{m}$] il est suffisant d'appliquer l'équation (2.15):

$$I_d (\text{LET}=0,2) = 0,5/0,141 * I_d (\text{LET}=0,141).$$

Donc, l'amplitude du courant I_d obtenu par l'application de notre méthodologie est égale $\cong 0,0188$ [A].

- 4- Au final, nous devons déterminer les deux constantes de temps τ_a et τ_b . En effet, compte tenu de la faible évolution de la valeur des constantes de temps en fonction de W_n de LET et même de la localisation de l'impact, la détermination de ces deux constantes est une tâche approximative mais les erreurs d'approximation ne vont pas modifier le résultat final de manière significative. Nous allons estimer ces deux constantes en se basant sur les courbes que nous avons tracées dans les figures (2.26 – 2.30) pour un NMOS et (2.44–2.48) pour un PMOS.

Nous remarquons que pour un $W_n=0,60$ [μm], un angle d'incidence $\theta=30^\circ$, un $\text{LET}=0,141$ [$\text{pC}/\mu\text{m}$] et une localisation $d=0,80$ [μm], la valeur de τ_α serait $\cong 2,70.10^{-10}$ [s] et la valeur de τ_β de $\cong 4,10.10^{-12}$ [s] (voir figure 2.26). Le problème est maintenant de déterminer ces deux constantes pour une valeur de $\text{LET}=0,2$ [$\text{pC}/\mu\text{m}$].

En revenant sur la figure 2.27, nous pouvons extrapoler ces deux constantes pour une valeur de $\text{LET}=0,2$ [$\text{pC}/\mu\text{m}$], mais pour un $W_n=0,70$ [μm]. Nous remarquons que pour un $W_n=0,70$ [μm] et un angle $\theta=30^\circ$, la valeur de $\tau_\alpha \cong 3,10.10^{-10}$ [s]. et $\tau_\beta \cong 4,90.10^{-12}$ [s].

Donc pour $W_n=0,60$ [μm], $\theta=30^\circ$, $d=0,80$ [μm] et $\text{LET}=0,2$ [$\text{pC}/\mu\text{m}$], nous pouvons estimer les constantes de temps en se basant sur les résultats extraits précédemment. Donc, la constante de temps τ_α a une valeur qui varie entre $2,70.10^{-10}$ [s] et $3,10.10^{-10}$ [s], et la constante τ_β a une valeur qui varie entre $4,10.10^{-12}$ [s] et $4,90.10^{-12}$ [s].

On remarque l'importance d'avoir plusieurs courbes sur chaque graphique afin de pouvoir estimer plus précisément les deux constantes de temps τ_α et τ_β ce qui nécessite beaucoup plus de simulations au niveau physique.

La même méthode reste valable pour les transistors PMOS.

Pour les portes logiques, la même méthodologie d'extraction du courant I_d peut être appliquée. Dans le cas des portes complexes, des intersections de caractéristiques sont parfois nécessaires. Nous allons présenter deux exemples d'application de cette méthodologie pour les portes simples (de type inverseur) et un peu plus complexes (de type NAND). Dans les deux cas, et pour valider notre approche, nous avons aussi effectué des simulations physiques de ces portes logiques dans lesquelles nous avons injecté des particules ionisantes.

Il est à noter que la construction en 2-D de ces portes a été faite par la modélisation en 2-D de tous les transistors PMOS et NMOS de la structure (voir paragraphe 2.1.4).

2.2.3.1. Exemple 1: Cas d'une porte de type inverseur

Pour valider notre méthodologie de la prédiction du courant I_d sur une porte logique, nous avons choisi un inverseur simple qui se compose de deux transistors: un NMOS de $W_n=0,70$ μm et un PMOS de $W_p=1,24$ μm (figure 2.49).

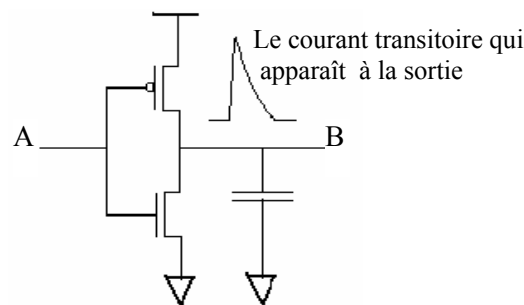


Figure 2.49: Porte de type inverseur CMOS.

Une première analyse indique que pour un inverseur qui contient deux transistors l'impact d'une particule peut provoquer une faute transitoire si:

1. la particule ionisante touche le transistor NMOS à l'état bloqué (correspondant l'entrée $A= '0'$).

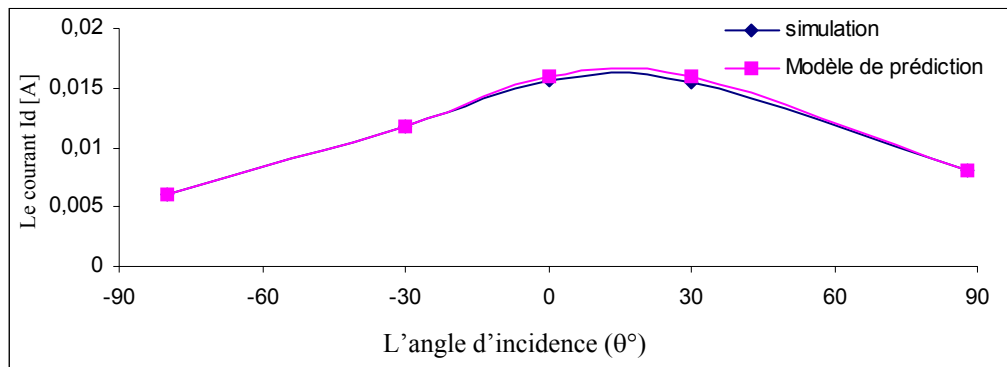
2. la particule ionisante touche le transistor PMOS à l'état bloqué (correspondant l'entrée $A = '1'$).

Dans les deux cas, lorsque la particule traverse l'un des deux transistors bloqués, les porteurs générés le long de la trace sont collectés selon les mécanismes décrits dans le chapitre 1. L'apparition d'un courant transitoire à la sortie (nœud B) de cette porte est due soit au courant de drain I_d du transistor NMOS heurté en étant bloqué, soit au courant I_d du PMOS heurté à l'état bloqué.

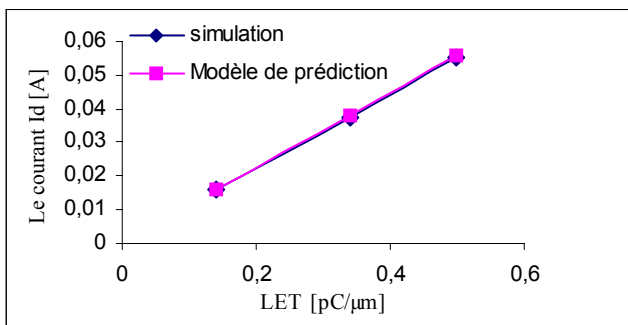
1. Courants I_d générés par des particules heurtant le transistor NMOS

Nous avons extrait le courant I_d selon la méthodologie proposée dans le paragraphe précédent, pour des particules heurtant le transistor NMOS. A la figure 2.49 nous présentons les valeurs du courant I_d extraites en les comparant avec les valeurs du courant I_d obtenu suite à des simulations 2-D de la même porte inverseur.

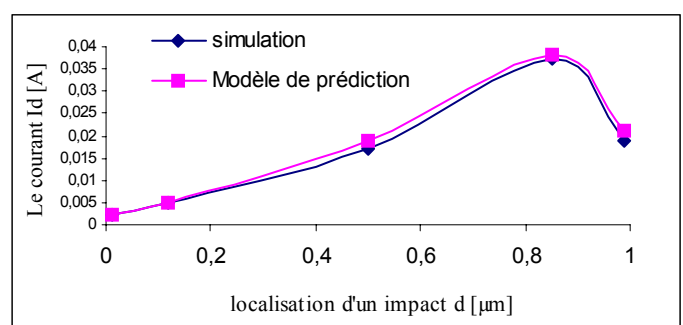
La validation de la méthodologie de prédiction du courant I_d est illustrée sur la figure 2.50 pour des injections localisées dans le transistor NMOS. Sur cette figure les valeurs de I_d qui ont été déterminées par l'application de la méthodologie de prédiction sont comparées avec celles obtenues par les simulations 2-D de toute la porte.



(a)



(b)



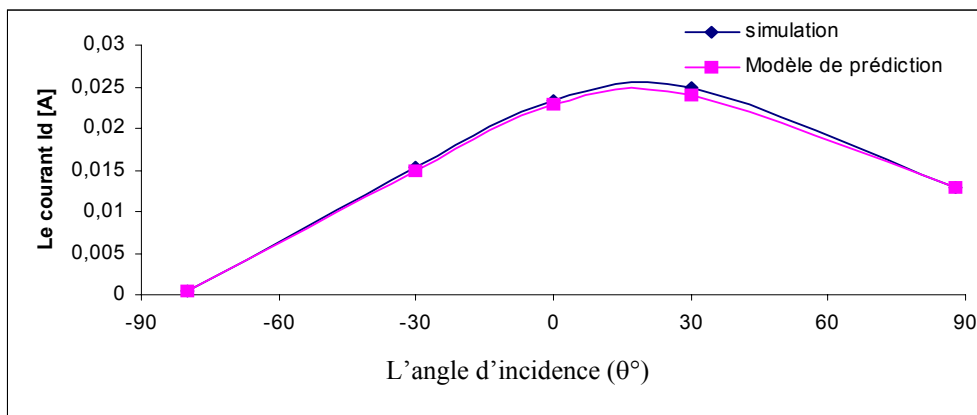
(c)

Figure 2.50: Mise en évidence de l'efficacité de la méthodologie de prédiction du courant I_d pour un impact quelconque. Comparaison des valeurs du courant I_d déterminées par le modèle de prédiction et par les simulations 2-D: (a) le courant I_d en fonction de l'angle d'incidence pour un impact localisé au centre de drain N bloqué et une valeur du LET égale à 0,141 [pC/um]. (b) le courant I_d en fonction du LET pour un angle d'incidence $\theta=0^\circ$. (c) le courant I_d en fonction de la localisation d'un impact pour un LET=0,34 [pC/um] et un angle d'incidence $\theta=0^\circ$

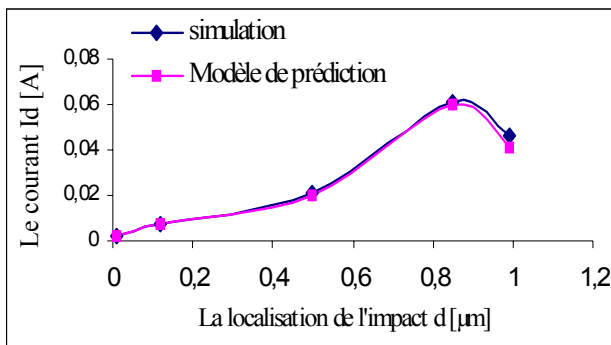
Les courbes présentées à la figure 2.49 indiquent que la méthodologie de prédiction de I_d permet de déterminer le courant de drain I_d induit par le passage d'une particule chargée dans le transistor NMOS d'un inverseur.

2. Courants I_d générés par des particules heurtant le transistor PMOS

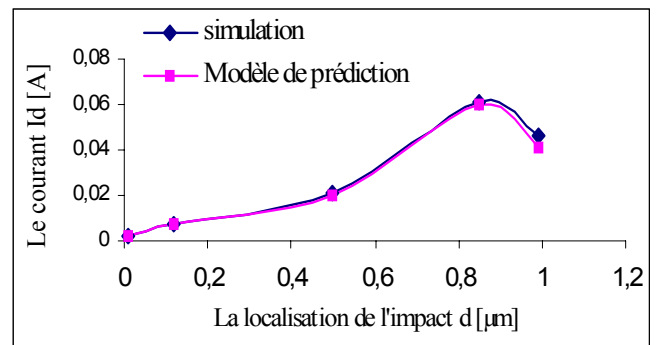
Dans ce cas, nous considérons que l'apparition d'un courant transitoire à la sortie de l'inverseur étudié correspond au courant de drain induit par le passage d'une particule chargée dans le transistor PMOS à l'état bloqué. La validation de la méthodologie de prédiction du courant I_d est donc réalisée par la comparaison des valeurs de I_d qui ont été déterminées par l'application de la méthodologie de prédiction et celles obtenues par les simulations 2-D de cette porte. Les figures (2.51.a, b, c) présentent cette comparaison pour les injections localisées dans le transistor PMOS.



(a)



(b)



(c)

Figure 2.51: Mise en évidence de l'efficacité de la méthodologie de prédiction du courant I_d pour un impact quelconque. Comparaison des valeurs du courant I_d déterminées par le modèle de prédiction et par les simulations 2-D: (a) le courant I_d en fonction de l'angle d'incidence pour un impact localisé au centre de drain P bloqué et une valeur due LET égale à $0,141 \text{ [pC/}\mu\text{m]}$. (b) le courant I_d en fonction du LET pour un angle d'incidence $\theta=0^\circ$. (c) le courant I_d en fonction de la localisation d'un impact pour un $\text{LET}=0,34 \text{ [pC/}\mu\text{m]}$ et un angle d'incidence $\theta=0^\circ$

2.2.3.2. Exemple 2: Cas d'une porte de type NAND

Dans le deuxième exemple, nous analysons une porte NAND de base de la technologie CMOS 0,18µm. Cette porte contient 4 transistors: deux NMOS de $W_n = 4.16 \mu m$ et deux PMOS de $W_p = 5 \mu m$. La figure 2.52 représente la structure d'une porte NAND et le tableau 2.2 présente l'état de chaque transistor selon les vecteurs de test appliqués aux entrées.

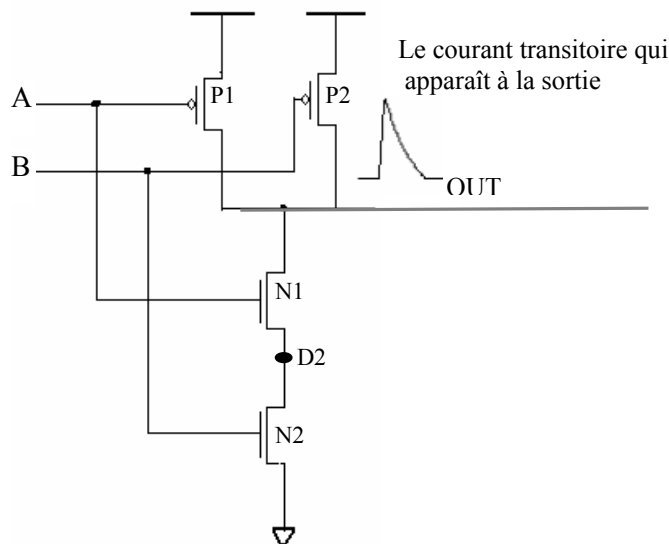


Figure 2.52: Porte de type NAND.

Les entrée A et B	Transistor N1	Transistor N2	Transistor P1	Transistor P2	OUT
Cas 1: A=0 et B= 0	Bloqué « Off »	Bloqué « Off »	Passant « ON »	Passant « ON »	1
Cas 2: A=0 et B= 1	Bloqué « Off »	Passant « ON »	Passant « ON »	Bloqué « Off »	1
Cas 3: A=1 et B=0	Passant « ON »	Bloqué « Off »	Bloqué « Off »	Passant « ON »	1
Cas 4: A=1 et B=1	Passant « ON »	Passant « ON »	Bloqué « Off »	Bloqué « Off »	0

Tableau 2.2: Etat de chaque transistor d'une porte NAND en fonction des vecteurs de test appliqués aux entrées.

L'analyse de la figure 2.52 et du tableau 2.2 indique que l'impact d'une particule peut provoquer une impulsion transitoire si:

1. La particule ionisante touche le transistor P1 bloqué à condition que le transistor P2 soit aussi bloqué quel que soit l'état des transistors NMOS (cas 4 du tableau 2.2).
2. La particule ionisante touche le transistor P2 bloqué à condition que le transistor P1 soit aussi bloqué quel que soit l'état des transistors NMOS (cas 4 du tableau 2.2).
3. La particule ionisante touche le transistor N1 bloqué à condition que le transistor N2 soit passant quel que soit l'état des transistors PMOS (cas 2 du tableau 2.2).
4. La particule ionisante touche le transistor N2 bloqué à condition que le transistor N1 soit passant quel que soit l'état des transistors PMOS (cas 3 du tableau 2.2).

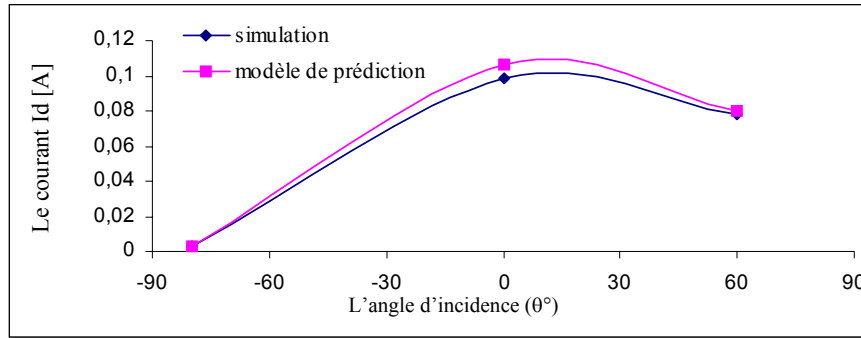
D'ailleurs, l'impact d'une particule ne peut pas provoquer une faute transitoire si:

1. La particule ionisante touche le transistor N1 bloqué à condition que le transistor N2 soit aussi bloqué quel que soit l'état des transistors PMOS (cas 1 du tableau 2.2).
2. La particule ionisante touche le transistor N2 bloqué à condition que le transistor N1 soit aussi bloqué quel que soit l'état des transistors PMOS (cas 1 du tableau 2.2).
3. La particule ionisante touche le transistor P1 bloqué à condition que le transistor P2 soit passant quel que soit l'état des transistors NMOS (cas 3 du tableau 2.2).
4. La particule ionisante touche le transistor P2 bloqué à condition que le transistor P1 soit passant quel que soit l'état des transistors NMOS (cas 2 du tableau 2.2).

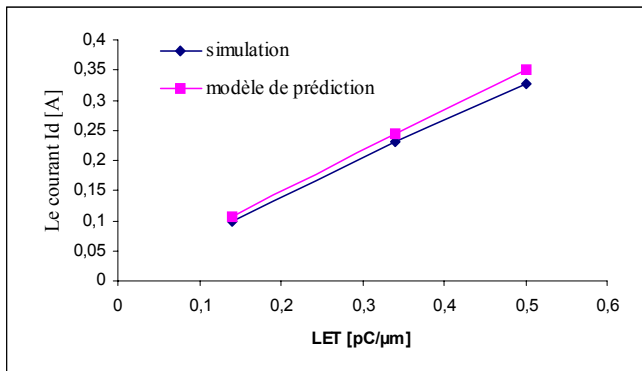
Après cette discussion, nous allons considérer seulement les quatre premiers cas où il existe une possibilité qu'une particule provoque une impulsion transitoire et nous allons étudier l'efficacité de la méthodologie de prédiction du courant I_d pour chaque cas.

1- Premier cas qui correspond aux injections dans le transistor P1

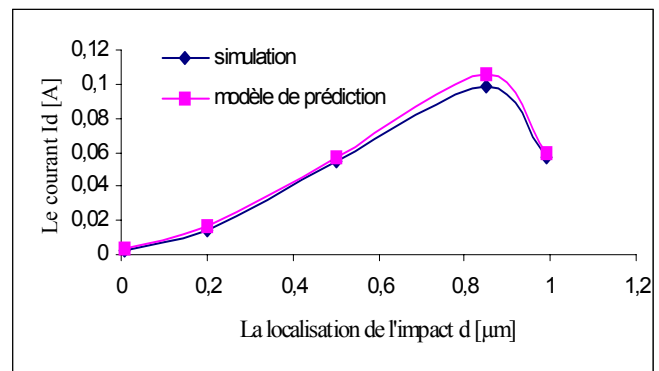
Dans ce cas, nous considérons que l'apparition d'un courant transitoire à la sortie de la porte NAND étudiée provient du passage d'une particule chargée dans le transistor P1 à l'état bloqué. Donc, en appliquant la méthodologie de prédiction du courant I_d proposée auparavant, nous avons extrait les valeurs de ce courant (I_d) en fonction de plusieurs paramètres (l'angle d'incidence, le LET, la localisation de l'impact). Pour valider ces valeurs extraites, nous avons également réalisé des simulations 2-D de la même porte avec injection des particules ionisantes dans le transistor P1. A la figure 2.53 nous présentons une comparaison entre les valeurs du courant I_d extraites en appliquant la méthodologie de prédiction avec celles obtenues suite aux simulations 2-D de toute la porte NAND.



(a)



(b)



(c)

Figure 2.53: Mise en évidence de l'efficacité de la méthodologie de prédiction du courant I_d pour un impact dans le transistor P1 bloqué. Comparaison des valeurs du courant I_d déterminées par le modèle de prédiction et par les simulations 2-D: (a) le courant I_d en fonction de l'angle d'incidence pour un impact localisé au centre de drain P bloqué et une valeur du LET égale à $0,141 \text{ pC}/\mu\text{m}$. (b) le courant I_d en fonction du LET pour un angle d'incidence $\theta=0^\circ$. (c) le courant I_d en fonction de la localisation d'un impact pour un $\text{LET}=0,141 \text{ pC}/\mu\text{m}$ et un angle d'incidence $\theta=0^\circ$

2- Deuxième cas qui correspond aux injections dans le transistor P2

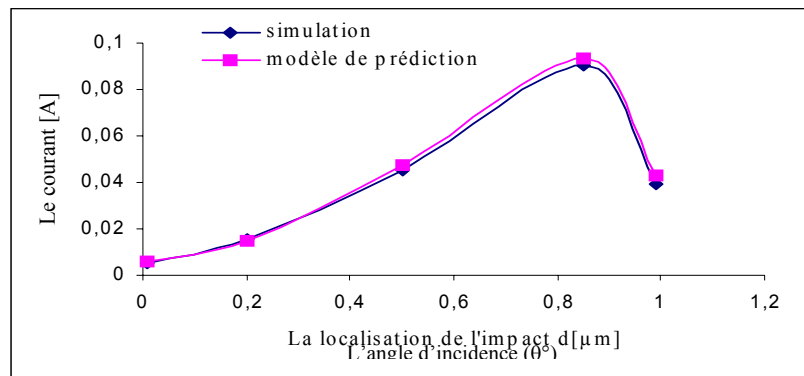
Dans ce cas, des injections ont été faites dans le transistor PMOS2 à l'état bloqué. L'apparition d'un courant transitoire à la sortie de la porte correspond donc au courant de drain P induit par le passage d'une particule chargée.

En fait, comme les deux transistors P1 et P2 sont identiques, la même discussion faite dans le cas précédent peut être utilisée ici.

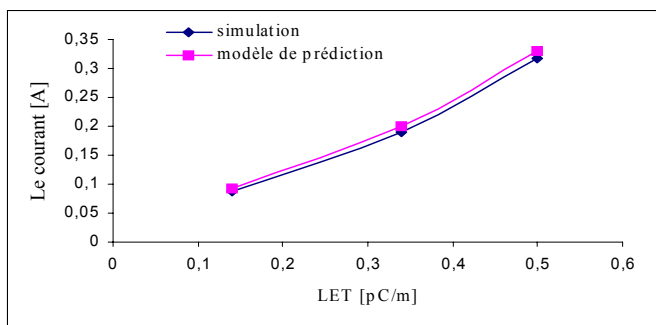
3- Troisième cas qui correspond aux injections dans le transistor N1

Nous avons extrait le courant I_d selon la méthodologie proposée précédemment, pour des particules heurtant le transistor N1 de la porte NAND présentée dans la figure 2.52. Dans la figure 2.49 nous présentons les valeurs du courant I_d extraites en les comparant avec les valeurs du courant I_d obtenu suite à des simulations 2-D de la même porte inverseur.

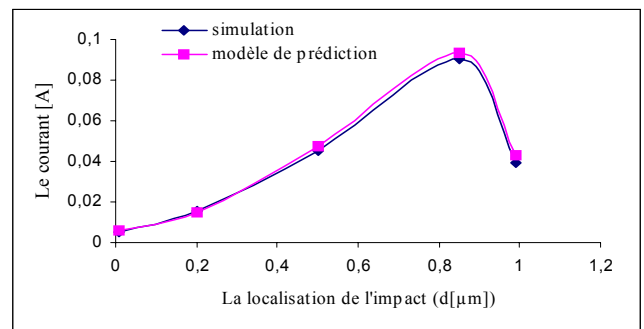
La validation de la méthodologie de prédiction du courant I_d est illustrée sur la figure 2.54 pour des injections localisées dans le transistor N1. Sur cette figure les valeurs de I_d qui ont été déterminées par l'application de la méthodologie de prédiction sont comparées avec celles obtenues par les simulations 2-D de toute la porte.



(a)



(b)



(c)

Figure 2.54: Mise en évidence de l'efficacité de la méthodologie de prédiction du courant I_d pour un impact dans le transistor N1 bloqué. Comparaison des valeurs du courant I_d déterminées par le modèle de prédiction et par les simulations 2-D: (a) le courant I_d en fonction de l'angle d'incidence pour un impact localisé au centre de drain N bloqué et une valeur de LET égale à $0,141$ [pC/μm]. (b) le courant I_d en fonction du LET pour un angle d'incidence $\theta=0^\circ$. (c) le courant I_d en fonction de la localisation d'un impact pour un LET= $0,141$ [pC/μm] et un angle d'incidence $\theta=0^\circ$

4- Quatrième cas qui correspond aux injections dans le transistor N2

Dans tous les cas étudiés précédemment, nous avons considéré le fait que le courant transitoire apparu à la sortie de la porte, provient du courant de drain I_d induit par le passage d'une particule dans un transistor connecté directement à la sortie «OUT» de la porte.

Concernant le cas que nous allons analyser maintenant, la situation est différente.

En fait, l'injection d'une particule chargée dans le drain bloqué du transistor N2 conduit à l'apparition d'un courant transitoire I_d sur le nœud intermédiaire D2 (figure 2.52). Ce courant doit passer par le transistor N1 passant, avant qu'il puisse apparaître à la sortie «OUT» de cette porte.

Dans ce cas, la méthodologie de prédiction du courant I_d nous permet de l'extraire du transistor bloqué N2 et non du courant qui apparaît à la sortie «OUT», à cause de l'existence du transistor intermédiaire N1.

En fait, des simulations 2-D ont montré que l'amplitude du courant transitoire qui apparaît au nœud D2 est différente de celle qui apparaît à la sortie de la porte NAND (le nœud Out). Par exemple, l'injection d'une particule d'une valeur du LET= $0,141$ [pC/μm] avec un

angle d'incidence $\theta=0^\circ$ dans le centre du drain bloqué du transistor N2, provoque un courant transitoire sur le nœud D2 d'une amplitude $I_d=0,0911$ [A], alors que l'amplitude du courant qui apparaît au nœud OUT à cause de cette injection est $I_d=0,0657$ [A].

Cette différence est attribuée à l'existence du transistor N1 passant, qui peut être ohmique ou saturé, selon les tensions de ces trois électrodes. Ce transistor peut provoquer des atténuations notables sur l'amplitude du courant transitoire I_d , induit par le passage d'une particule dans le transistor N2, avant qu'il puisse apparaître à la sortie OUT de cette porte. Pour déterminer le courant transitoire apparu à la sortie OUT, dans le cas d'injections dans le transistor N2, nous devons prendre en compte le courant I_{ds} du transistor N1 parce que le transistor passant N1 peut laisser passer le courant de drain I_d du transistor heurté (N2), tant qu'il ne dépasse le courant I_{ds} du transistor N1, calculé à partir des équations régissant le fonctionnement du transistor.

Donc, dans le cas d'un transistor qui n'est pas connecté directement à la sortie d'une porte complexe, la méthodologie proposée précédemment est incomplète parce qu'elle nous permet d'extraire le courant de drain I_d du transistor heurté, et non le courant qui apparaît à la sortie d'une telle porte. Pour cette raison, il faudrait trouver une relation entre le courant de drain I_d du transistor heurté et le courant I_{ds} du transistor N1 passant.

Chapitre 3

Analyse de la propagation des impulsions transitoires dans un circuit numérique

Chapitre 3: Analyse de la propagation des impulsions transitoires dans un circuit numérique

Le chapitre 2 nous a permis de déterminer une famille de courants transitoires dûs au passage d'une particule chargée dans les transistors NMOS ou PMOS appartenant à une porte logique quelconque de la technologie CMOS 0,18 μm .

Le courant transitoire apparaissant à la sortie d'une porte logique est à l'origine des effets singuliers SEE et plus particulièrement à l'origine des SETs dans des circuits logiques, ou SEUs dans les bascules, dans les Flip-Flop, ou dans d'autres points mémoires.

En nous appuyant sur les conclusions des simulations du chapitre précédent, nous allons maintenant nous attacher à l'analyse des phénomènes transitoires SETs dans des circuits numériques. L'un des premiers points étudiés dans ce chapitre sera la modification de la tension du nœud heurté par une particule. Puis, nous nous intéresserons plus particulièrement à la relation entre la durée et l'amplitude de l'impulsion de tension apparue au nœud heurté et l'amplitude du courant transitoire et la capacité du nœud. Nous terminerons ce chapitre par l'analyse de la propagation d'une telle impulsion de tension à travers un circuit combinatoire complexe.

Cette analyse sera faite par l'utilisation de trois types de simulation avec injection de fautes transitoires: purement électriques, mixtes (électriques/ numériques) et purement numériques.

Pour conclure, nous allons faire une comparaison entre les trois méthodes utilisées dans ce chapitre.

3.1. Fautes transitoires dans un circuit combinatoire

Depuis la découverte des phénomènes transitoires (SEE) induits par des particules alpha [May-79],[Chang-99],[Tosa-95], ou par des protons et des neutrons[Tosa-99], [Goss-93], [Norma-98], plusieurs études ont été consacrées à l'analyse des ces phénomènes dans les points de mémorisation. En fait, en raison de leur taille, de leur densité spatiale et de la quantité d'information qu'ils stockent, les points mémoire sont considérés comme les plus sensibles aux phénomènes de type SEU. En fait, une cellule mémoire peut être facilement perturbée par une impulsion transitoire induite par l'impact d'une particule ionisante, car cette impulsion peut se propager au long de la boucle asynchrone composant la cellule de mémorisation et changer son état.

Donc, il suffit de compter chaque année le nombre d'articles scientifiques relatifs à ce sujet présentés à plusieurs conférences internationales (Nuclear and Space Radiation Effects Conference (NSREC) et RADiation Effects on Devices and Systems (RADEC)) afin de montrer l'importance de ce sujet [Grom-96], [Griff-97],[Joh-98].

Mais avec le progrès de la technologie micro-électronique, conduisant à une réduction des dimensions des transistors et des tensions d'alimentation, les circuits combinatoires et numériques deviennent de plus en plus sensibles face aux SEE. Il est donc important de

considérer les effets transitoires dans les circuits combinatoires dans la même mesure que dans les mémoires [Cohe-99].

Une recherche intensive a été consacrée d'une part à l'analyse et à la modélisation des phénomènes transitoires dans ces circuits [Cha-93],[Yang-92] [Mass-98] et d'autre part à la propagation de ces fautes transitoires dans un circuit logique [Mav-02] ,[Moll-93].

L'analyse des phénomènes transitoires dans les circuits combinatoires et séquentiels contenant des portes logiques est tout à fait différente de l'analyse de ces phénomènes dans les mémoires [Baz-97],[Bunch-97]. Cette différence est due au fait que pour qu'une impulsion transitoire soit capturée par un *latch/Flip-Flop* et transformée en erreur logique, les conditions suivantes devront être réalisées:

1. L'un des chemins de propagation reliant le nœud heurté avec les points de mémorisation est activé afin que l'impulsion transitoire puisse arriver à un *latch* de sortie.
2. La durée de cette impulsion est assez grande pour qu'elle puisse se propager jusqu'au *latch*.
3. Son arrivée aux entrées du *latch* doit coïncider avec le front actif de l'horloge

La figure 3.1 montre un exemple typique de circuit séquentiel.

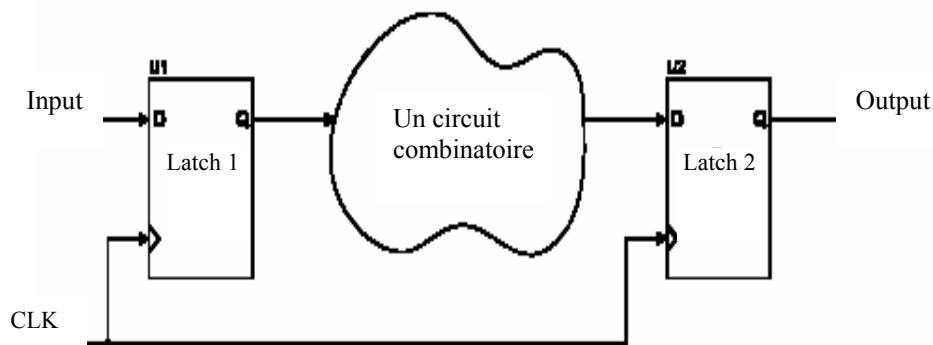


Figure 3.1: Exemple typique d'un circuit séquentiel.

Les signaux de sortie du premier *latch* peuvent se propager jusqu'aux entrées du deuxième *latch* en traversant un bloc combinatoire contenant des portes logiques.

L'impact d'une particule chargée sur un nœud de ce bloc combinatoire provoque un changement transitoire de l'état logique de ce nœud (de '1' à '0' ou de '0' à '1') [Mel-98]. Si la durée de l'impulsion transitoire générée est plus grande que le temps de transition des portes logiques existantes sur le chemin de propagation, l'impulsion peut se propager aux sorties de ce bloc et apparaître à l'entrée du deuxième *latch*. Pour que cette impulsion puisse être interprétée comme une valeur erronée ou un SEE elle doit aussi arriver à l'entrée du *latch* au moment du front actif de l'horloge. La possibilité de capturer une impulsion transitoire par

un *latch* dépend fortement de la durée de cette impulsion et de l'instant d'arrivée à l'entrée du *latch* en prenant en compte le temps de setup/hold de ce *latch*¹.

La figure 3.2 illustre une relation entre le signal d'horloge et la possibilité de capturer une impulsion transitoire.

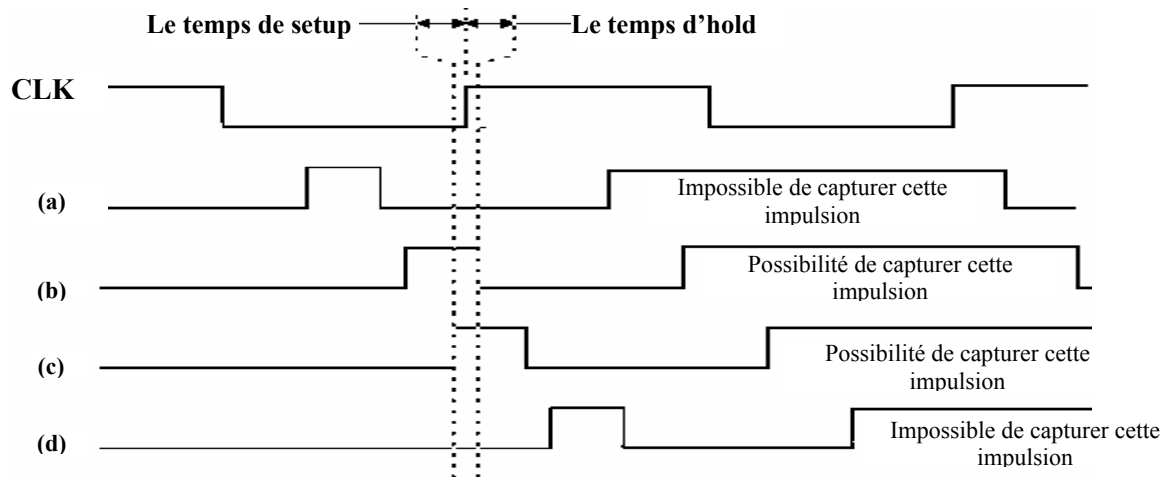


Figure 3.2: Illustration graphique des différents cas expliquant la possibilité de capturer une impulsion transitoire.

Cette figure montre quatre possibilités de capturer une impulsion transitoire selon son instant d'arrivée. Dans les cas **a** et **d** la possibilité de capturer de telles impulsions est nulle parce que ces impulsions ne remplissent pas la condition selon laquelle l'impulsion doit arriver à l'entrée du *latch* au moment du front actif de l'horloge, avant le temps de *setup* et après le temps de *hold*.

Au contraire, les cas **b** et **c** remplissent cette condition. Donc, la possibilité de capturer ces impulsions augmente.

Nous allons revenir à l'explication de la possibilité de capturer une impulsion transitoire plus tard dans ce chapitre.

3.2. Simulation avec injection de fautes transitoires

La simulation avec injection de fautes transitoires dans un circuit logique complexe peut être faite à plusieurs niveaux d'abstraction en allant du niveau transistor au niveau plus élevé tel que le niveau système, en passant par des niveaux intermédiaires tels que le niveau porte logique ou RTL.

Plusieurs méthodes de simulation avec injection de fautes transitoires ont été publiées dans la littérature. Ces méthodes adressent différents niveaux d'abstraction. Par exemple, l'une des méthodes d'injection de fautes transitoires aux niveaux intermédiaires s'appuie sur le changement de la valeur logique d'un nœud au niveau porte logique et registres, puis sur

¹ Le temps de setup/hold d'un latch est la durée des temps avant et après le front actif de l'horloge pendant laquelle la valeur d'entrée du latch doit être stable. Normalement, les temps de setup/hold sont spécifiques à chaque cellule de bibliothèque de type FF.

l'évaluation de l'effet résultant de ce changement au niveau d'abstraction supérieur [Gho-95], [Jenn-94].

L'inconvénient principal de ces méthodes est relié au fait qu'elles ne peuvent pas mener à des prévisions réalistes des effets transitoires au niveau d'abstraction élevé si elles n'utilisent pas un modèle physique réaliste des fautes transitoires, parce que le modèle physique est le seul modèle qui peut prendre en compte les paramètres du transistor et de la particule, et plus généralement de l'environnement.

Tout au long de cette thèse nous proposons une méthode de simulation avec injection de fautes innovante qui prendra en compte le modèle physique de l'impulsion transitoire basée sur les caractéristiques de l'environnement et du transistor, en propageant ces effets au niveau d'abstraction supérieur. Donc, en utilisant tout d'abord un simulateur physique permettant la simulation physique d'une particule chargée heurtant un transistor, puis en considérant l'impulsion de courant transitoire et en la propageant à un niveau d'abstraction plus élevé (par exemple au niveau porte logique), des résultats plus précis peuvent être obtenus. Ensuite, la propagation des phénomènes transitoires à travers le circuit et leur possible transformation en erreurs logiques doivent être analysées. Le calcul de la probabilité de transformation d'une impulsion transitoire en erreur nous permettra de propager ensuite les effets des erreurs logiques sur l'application, en se positionnant cette fois-ci à un niveau d'abstraction encore plus élevé (niveau RTL ou système). On voit alors que la mise en place d'une telle méthodologie d'injection de fautes demande à chaque fois, tout d'abord, l'utilisation d'un simulateur physique afin d'extraire les fautes transitoires nécessaires pour être ensuite injectées et analysées aux prochains niveaux. La mise en place de telles méthodes est une tâche laborieuse et nécessite de très long temps de simulation (environ 11h pour une simulation physique d'une seule porte de type inverseur). Il est aussi très important d'améliorer cette méthodologie afin de faciliter l'analyse des phénomènes transitoires à un niveau d'abstraction élevé comme le niveau système car ce niveau d'abstraction nous offre un temps d'analyse très court, tout en prenant en compte un modèle de faute très réaliste.

Le but recherché lors de l'amélioration de ces méthodes de simulation est, en fait, d'éviter l'utilisation d'un simulateur physique (2-D ou 3-D) produisant à chaque fois le courant transitoire induit par l'impact d'une particule ionisante.

En effet, nous allons caractériser chaque type de transistor NMOS et PMOS d'une technologie face au passage d'une particule en utilisant un simulateur numérique 2-D, en établissant une famille de courbes de courants transitoires en fonction de tous les paramètres ayant un rôle important sur la durée et l'amplitude de courant (figure 3.3 a). Ceci a été montré dans le chapitre 2.

Ensuite, ces courants transitoires seront modélisés par des générateurs de courants et connectés à la région la plus sensible aux SETs (le drain bloqué d'un transistor NMOS ou PMOS), dans un circuit modélisé au niveau transistor (SPICE), ou bien à la sortie d'une porte logique si le circuit est modélisé au niveau portes logiques (figures 3.3.b et 3.3.c). Dans ce cas, et pour pouvoir simuler l'effet de l'injection de tels courants, nous effectuons une simulation électrique SPICE de tout le circuit.

Une autre approche d'injection et de la simulation des fautes transitoires possible est l'utilisation des simulations mixtes. Dans ce type de simulation, les portes logiques d'un circuit sont simulées par un simulateur numérique, exceptant la porte sur laquelle nous effectuons l'injection d'une faute qui est simulée par un simulateur SPICE (figure 3.3.d).

L'injection d'une faute transitoire est toujours réalisée par l'utilisation des générateurs de courant connectés à la sortie d'une porte logique.

Une troisième approche de simulation des fautes transitoires est l'utilisation des simulations entièrement numériques. Dans ce cas, tout le circuit est modélisé par des portes logiques simulées par un simulateur numérique. Les fautes transitoires injectées sont des impulsions de tension modélisées par des collages temporaires à 0 ou 1 pour la durée de la faute (figure 3.3.e).

Ces types de simulation seront présentés en détail et analysés dans la suite de ce chapitre.

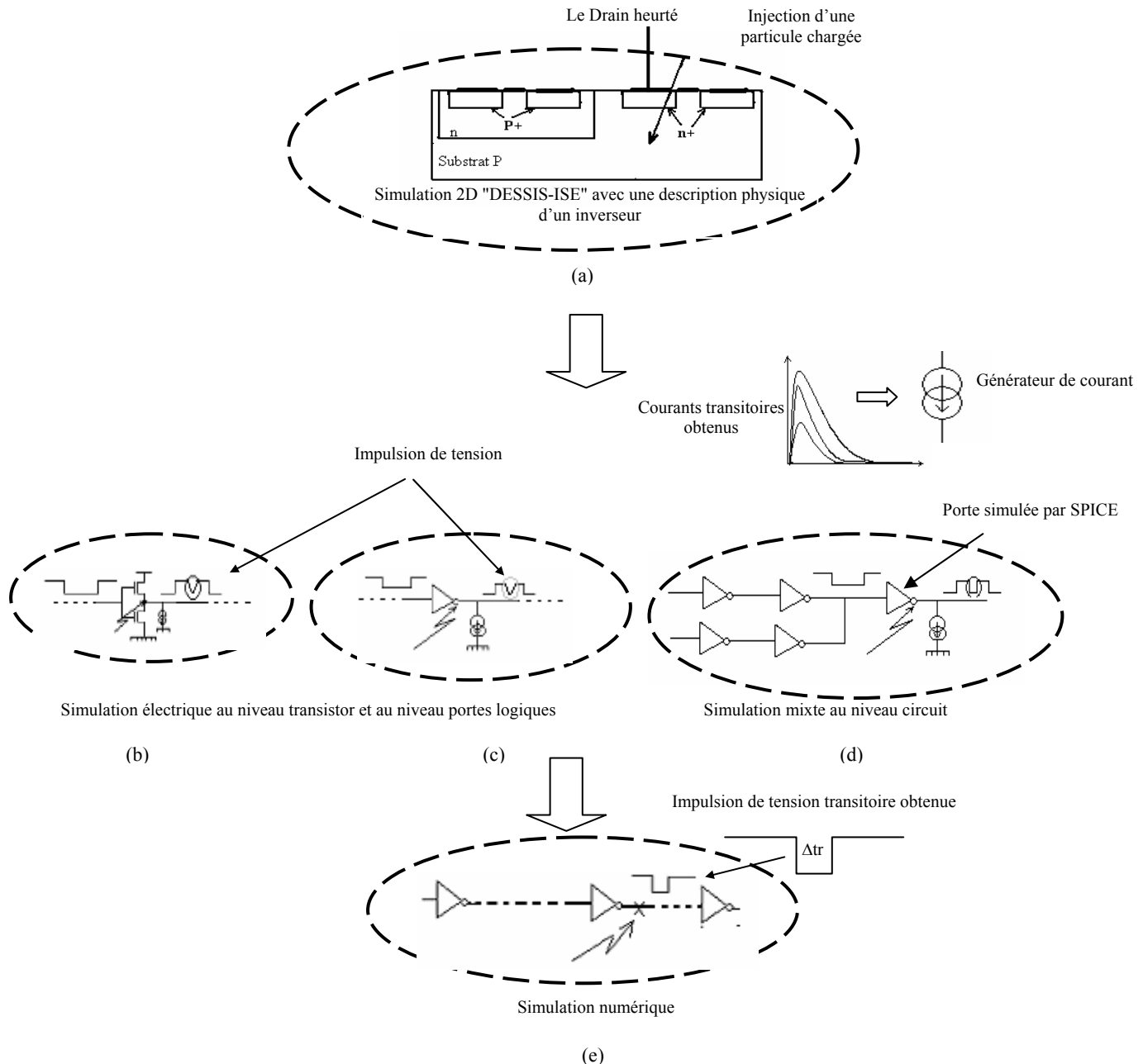


Figure 3.3: Présentation des trois méthodes de simulation

3.2.1. Simulations électriques des fautes transitoires

Nous allons dans ce paragraphe discuter plus en détail de la simulation avec injection des impulsions de courants transitoires en utilisant un simulateur électrique (SPICE) comme présenté à la figure 3.3.c. Pour ce faire, nous avons pris à titre d'exemple, un circuit logique simple qui contient des portes simples de type inverseur et des bascules de type FF aux sorties (figure 3.4).

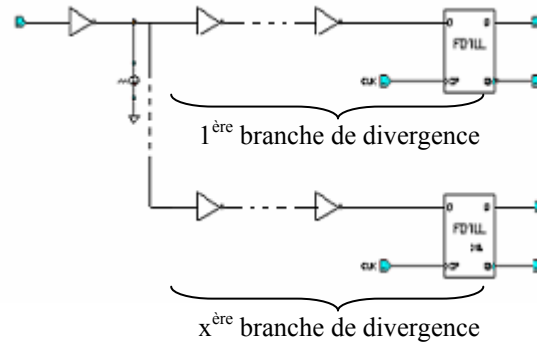


Figure 3.4: Exemple de circuit contenant des portes de type inverseur et bascules.

Le générateur de courant injecté représente le courant transitoire obtenu lors des simulations physiques.

Les stimuli en entrées sont générés afin de permettre la propagation de l'état électrique d'un nœud affecté par une faute transitoire vers une des sorties.

Une impulsion de courant transitoire injectée dans un nœud sensible d'une porte logique provoque une impulsion de tension d'une largeur (ΔV) dépendant de plusieurs paramètres: l'amplitude et la durée de l'impulsion de courant transitoire induite par le passage d'une particule et la valeur de la capacitance du nœud sensible.

Pour comprendre l'influence de la capacité du nœud heurté sur la durée/amplitude de l'impulsion de tension, plusieurs capacités ont été rajoutées au nœud d'injection. Ces capacités sont représentées par les différentes branches de divergence (de 1 à x, où $x=1, \dots, 4$),

Une branche de divergence est constituée par des inverseurs et une bascule «FF», (voir figure 3.4).

Pour analyser l'influence de la capacité du nœud sur l'impulsion de tension, jusqu'à quatre branches de divergence ont été rajoutées au nœud d'injection.

Pour analyser les phénomènes d'atténuation sur une branche de divergence, le nombre d'inverseurs sur une branche a été augmenté progressivement.

3.2.1.1 Durée de l'impulsion de tension au nœud d'injection

En revenant sur la figure 3.4, un générateur de courant a été connecté à la sortie du premier inverseur (où $W_n=0,7$ [μm] et $W_p=1,24$ [μm]) afin de réaliser l'injection des fautes. Des simulations électriques sont faites pour déterminer la largeur de l'impulsion de tension provoquée par l'injection d'un courant transitoire.

La figure 3.5 présente la durée de l'impulsion transitoire du nœud heurté obtenue en fonction de la capacité du nœud heurté et de l'amplitude du courant injecté. Les mesures de la durée de l'impulsion transitoire sont effectuées à $V_{dd}/2$.

Remarque: les courants transitoires injectés correspondent aux courants d'amplitude moyenne, au courant de plus grande amplitude (pire cas) et au courant le plus petit. Ces courants sont obtenus par des simulations 2-D effectuées sur un NMOS de $W_n=0,7 \mu m$, avec une valeur de $LET=0,141 pC/\mu m$ (présentés au chapitre 2).

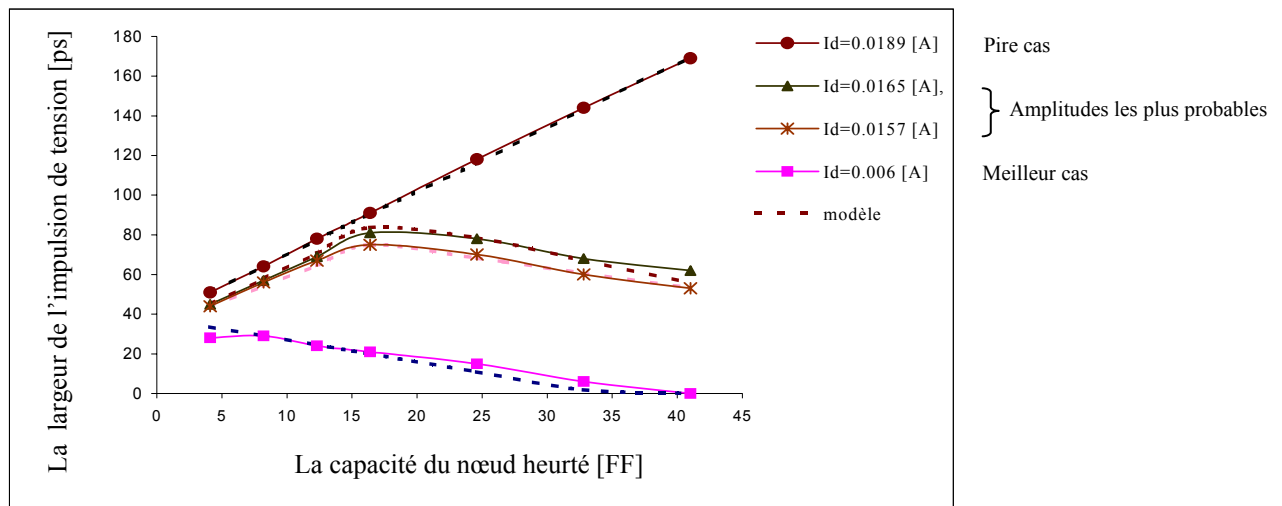


Figure 3.5: Largeur de l'impulsion au nœud d'injection en fonction de la capacité du nœud et de la forme du courant.

Selon la figure 3.5, nous observons que la largeur de l'impulsion créée par l'injection d'un courant transitoire sur un nœud est une fonction de la capacité liée à ce nœud d'injection, de l'amplitude et de la forme du courant injecté (autrement dit la charge injectée).

A première vue, nous observons trois types de comportement de la largeur de l'impulsion de tension:

1. Si le courant injecté a une amplitude importante, la durée de l'impulsion de tension à $V_{dd}/2$ augmente linéairement avec la capacité du nœud.
2. Pour les amplitudes moyennes de courant, d'ailleurs les plus probables, la largeur de l'impulsion de tension à $V_{dd}/2$ augmente pour les faibles capacités de nœud, atteint une valeur maximale et ensuite diminue.
3. Pour les faibles amplitudes de courant, la durée de l'impulsion à $V_{dd}/2$ diminue avec l'augmentation de la capacité de nœud. En effet, le courant injecté n'est pas suffisant pour inverser la valeur logique du nœud et la durée de l'impulsion diminue avec la capacité. Ceci est dû au temps ($\tau=RC$) nécessaire pour décharger (charger) la capacité du nœud heurté à travers le transistor NMOS (PMOS) bloqué, qui peut être remplacé par une résistance (R_{eq}), voir figure 3.6.

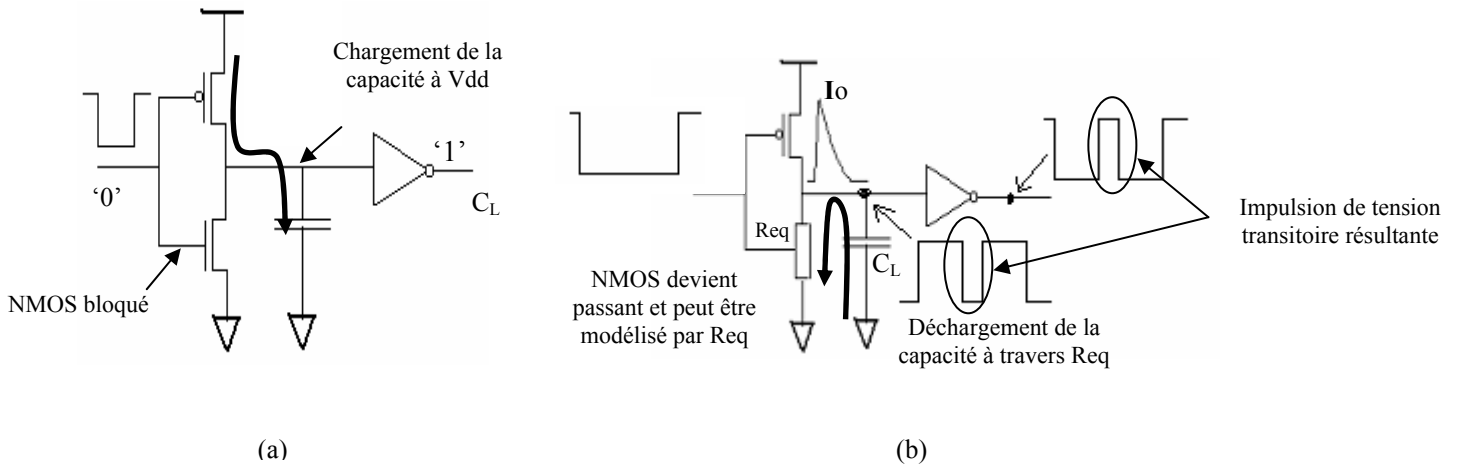


Figure 3.6: Scénario de la création d'une faute transitoire dans un circuit.

Ces types de comportement peuvent être exprimés par l'équation suivante:

$$\Delta t_{inj} = A \frac{L}{W} C_{out} + B \frac{L}{W} I_0 + C_{const} \quad (3.1)$$

I_0 représente l'amplitude du courant injecté. C_{out} représente la capacité liée au nœud heurté. L et W sont les dimensions du transistor, et A , B et C_{const} sont des constantes qui peuvent être établies suite aux simulations électriques. Par exemple, dans le cas d'injection d'un courant ayant une amplitude importante, ces constantes prennent les valeurs suivantes: $A=35$, $B=3.212$ et $C_{const}=38$.

En principe, la capacité du nœud heurté C_{out} consiste en des capacités de sortie de l'inverseur heurté (des capacités de la jonction de drain), et en des capacités d'entrée de la porte qui suit (des capacités de la grille) et des capacités des interconnexions.

3.2.1.2. Propagation de l'impulsion injectée

Notre deuxième objectif est de pouvoir déterminer la largeur finale de l'impulsion à l'entrée du *flip-flop* pour pouvoir décider si une telle impulsion, se propageant à travers le réseau de portes logiques peut être capturée par le FF de sortie.

Nous allons essayer par la suite de déterminer comment se modifie la durée de l'impulsion due à la propagation à travers les portes logiques du circuit. Nous distinguons principalement les facteurs suivants:

- 1- La première modification est due à l'asymétrie du retard des portes logiques pour les transitions montantes et descendantes. Si le retard de propagation de la transition montante est supérieur au retard de propagation de la transition descendante d'une porte, la durée d'une impulsion positive va être agrandie en traversant cette porte. L'inverse se produit si le retard de propagation de la transition montante est inférieur au retard de propagation de la transition descendante d'une porte. Cette façon de modifier la durée des impulsions aura un faible impact car l'impulsion qui s'inverse après le passage de chaque porte logique subira généralement des réductions et des augmentations alternées de sa durée qui se compenseront mutuellement plus ou moins.

- 2- Le deuxième mode de modification de la durée des impulsions est dû aux chemins reconvergers. L'existence de chemins reconvergers ayant des retards différents peut modifier de façon importante la durée de l'impulsion transitoire en superposant plusieurs impulsions sur le nœud reconvergent. Ainsi, l'impulsion ressortant peut avoir une durée plus importante ou peut disparaître. Le pire des cas résulte quand la durée de l'impulsion augmente. Cette augmentation de la durée d'impulsion rend le circuit plus sensible, car elle augmente la probabilité que l'impulsion est présente sur les sorties au moment de l'arrivée du front actif de l'horloge.

De plus, pour qu'une impulsion transitoire puisse se propager à travers les portes logiques il faut que la durée d'une impulsion transitoire provoquée par l'impact d'une particule chargée soit plus grande que le temps de transition des portes logiques. Alors cette impulsion pourra se propager aux sorties sans atténuation. Par contre, si la durée de l'impulsion transitoire est plus petite que le temps de transition des portes logiques, l'impulsion peut être atténuée avant son arrivée aux sorties du circuit [Baz-97].

En considérant que la durée de l'impulsion transitoire induite par l'impact des particules est Δt_{inj} , et que le temps de transition logique d'une porte est T_p ¹, nous distinguons trois cas:

- 1- Si $T_p > 2\Delta t_{inj}$ l'impulsion sera arrêtée ou filtrée par la porte logique.
- 2- Si $\Delta t_{inj} < T_p < 2\Delta t_{inj}$ l'impulsion se propagera avec atténuation en traversant cette porte.
- 3- Si $\Delta t_{inj} > T_p$ l'impulsion se propagera sans aucune atténuation jusqu'aux sorties du circuit où elle peut être capturée par les *latches* (Flip-Flop).

Pour pouvoir déterminer la largeur de l'impulsion traversant une porte logique, nous allons présenter un exemple qui montre l'évolution d'une impulsion traversant un inverseur (voir figure 3.7)

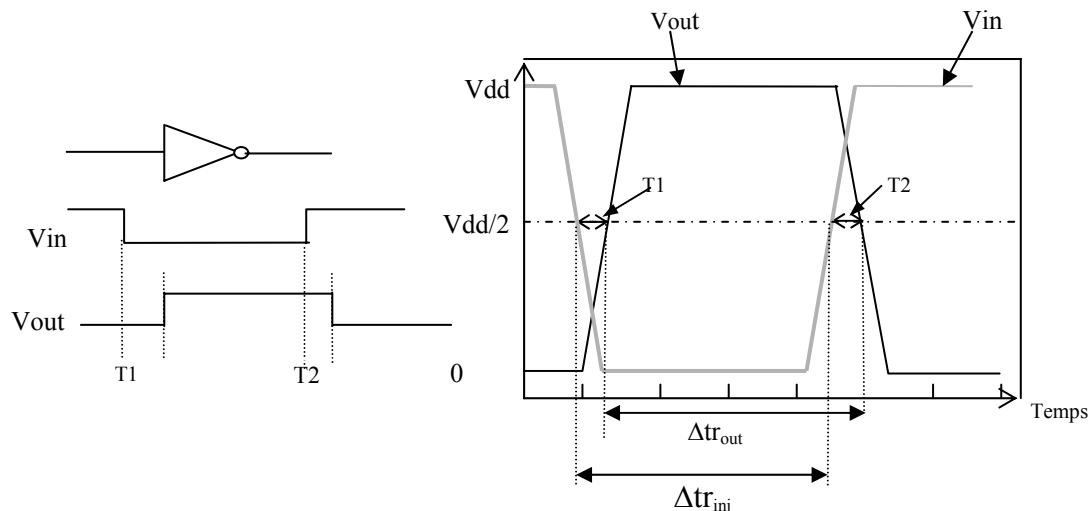


Figure 3.7: Evolution d'une impulsion traversant un inverseur.

¹ Le temps de transition logique d'une porte peut être calculé comme $T_p = \frac{T_{PLH} + T_{PHL}}{2}$ où T_{PLH} le temps de transition de 0 à 1 et T_{PHL} le temps de transition de 1 à 0.

La figure 3.7 montre le cas simple d'une impulsion négative traversant un inverseur. En considérant que Δtr_{inj} est la largeur de l'impulsion négative, nous déterminons la largeur de l'impulsion à la sortie de l'inverseur Δtr_{out} selon l'équation suivante:

$$\Delta tr_{out} = \Delta tr_{inj} - T_1 + T_2 \quad (3.2)$$

T_2 est le retard de la transition descendante de la porte et T_1 est le retard de la transition montante de la porte (voir figure 3.7).

De la même façon, nous pouvons extraire la largeur d'une impulsion positive à la sortie d'une porte Δtr_{out} :

$$\Delta tr_{out} = \Delta tr_{inj} - T_2 + T_1 \quad (3.3)$$

Note: pour faciliter le calcul de la durée de l'impulsion à la sortie d'une porte, nous n'avons pas considéré les capacités existantes à la sortie de cette porte.

La figure 3.8 présente une comparaison entre les largeurs Δtr_{out} obtenues par les simulations électriques et par le modèle proposé par les équations 3.2 et 3.3

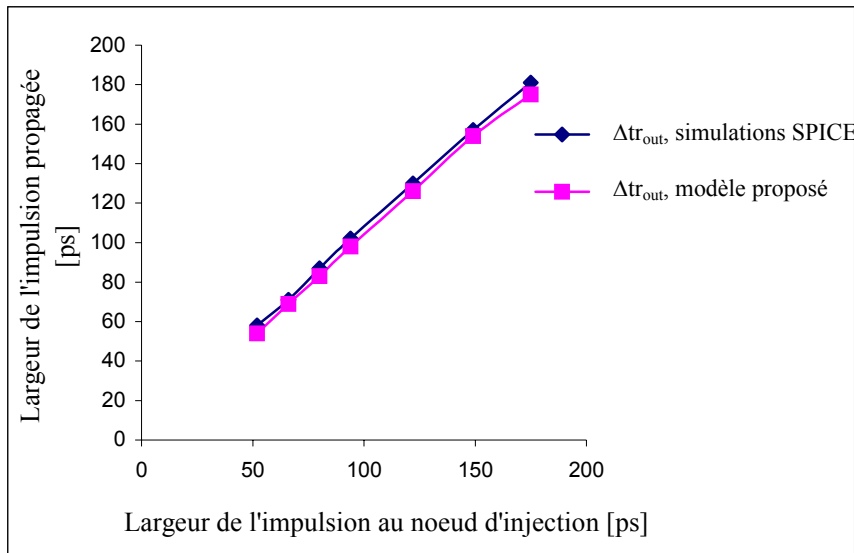


Figure 3.8: Largeur des impulsions propagées dans un inverseur en fonction de la largeur de l'impulsion injectée

Si nous voulons généraliser l'analyse de la durée de l'impulsion transitoire à travers un réseau de portes se trouvant sur le chemin de propagation vers les sorties (en supposant qu'il existe une combinaison de stimuli permettant la propagation de l'impulsion sur le chemin choisi) nous pouvons utiliser l'équation suivante:

$$\Delta tr_{out} = \Delta tr_{inj} + \sum_{i=1}^n (\pm T_1 \mp T_2)_{porte\ i} \quad (3.3)$$

où T_1 , T_2 sont les temps de montée /descente de la porte (i) se trouvant sur le chemin de propagation et se trouvant dans des fichiers technologiques pour chaque technologie.

Pour que l'analyse de propagation soit complète, il faudrait prendre en compte les temps de propagation des interconnexion. Ceux-ci étant souvent beaucoup plus importants que ceux des portes. Ceci ne peut pas se faire de manière théorique et ne peut pas s'exprimer par des

formules, car la longueur des fils d'interconnexion sera connue seulement après le P/R, les outils d'aujourd'hui ne pouvant pas estimer le temps $\tau = RC$ des fils lors de la synthèse logique/électrique.

Nous ne pouvons pas donner un modèle mathématique complet prenant en compte à la fois le temps de propagation des portes, la variation de la durée de l'impulsion transitoire avec la capacité de sortie de la porte heurtée, et les temps de propagation des fils. De plus, la variation de V_{dd} (connue aujourd'hui comme IR drop) les variations de la température ou du procédé (PV) peuvent être analysées partiellement seulement après le P/R. Elles ont une influence très importante sur les temps de propagation allant jusqu'à 40% de variation du temps total de propagation d'un chemin [Bor-03] et elles doivent impérativement être pris en compte. Ceci est un des plus grands défis de la communauté scientifique de nos jours.

Ainsi, le seul moyen d'observer et vérifier la propagation des fautes transitoires reste la simulation avec injection de fautes, et ceci après l'étape Placement-Routage, quand une partie des phénomènes présentés plus haut pourront être pris en compte.

Le phénomène de propagation de fautes transitoires à travers un circuit logique reste le plus difficile à formaliser avec les moyens, les outils CAO et les connaissances dont on dispose.

3.2.1.3. Probabilité de transformation d'un SET en SEU

L'interprétation des résultats de l'injection d'une faute transitoire nous permet d'analyser et d'évaluer la sensibilité du circuit aux SETs.

En continuant notre analyse de transformation d'un SET en SEU, nous remarquons plusieurs cas:

- 1- L'impulsion transitoire n'est pas capturée par un *latch* de sortie: la faute n'a aucun impact sur le circuit et la sensibilité du circuit pour cette faute est de 0%.
- 2- L'impulsion transitoire est capturée par un *latch* de sortie: la sensibilité est différente de '0'. Dans ce cas deux situations sont possibles:
 - Si l'impulsion transitoire est capturée dans le *latch* (en changeant sa valeur logique) la sensibilité peut être de 100%.
 - Si les temps de setup/hold sont violés, la sortie d'un *latch* prendra une valeur non déterminée (X). Dans ce cas là, nous pouvons considérer que la probabilité qu'un SET devient SEU est de 50%

En prenant en compte les temps de *hold* et de *setup* du *latch* (T_{setup} et T_{hold}), la durée de l'impulsion transitoire à l'entrée d'un *latch* (Δt_{rout}) et l'instant d'arrivée d'une impulsion à l'entrée du *latch* (t), nous pouvons illustrer ces possibilités de deux manières [Alex-02].:

- 1- Si $\Delta t_{\text{rout}} < T_{\text{setup}} + T_{\text{hold}}$, on aura deux probabilités:

$$p(t) = \begin{cases} 0 & t < -T_{\text{setup}} - \Delta t_{\text{rout}}; t > T_{\text{hold}} \\ 0,5 & -T_{\text{setup}} - \Delta t_{\text{rout}} \leq t \leq T_{\text{hold}} \end{cases} \quad (3.4)$$

2- Si $\Delta t_{out} > T_{setup} + T_{hold}$, on aura trois probabilités résumées par quatre domaines temporels:

$$p(t) = \begin{cases} 0 & t < -T_{setup} - \Delta t_{out} ; t > T_{hold} \\ 0,5 & -T_{setup} - \Delta t_{out} \leq t \leq T_{hold} - \Delta t_{out} \\ 1 & T_{hold} - \Delta t_{out} < t < -T_{setup} \\ 0,5 & -T_{setup} \leq t \leq T_{hold} \end{cases} \quad (3.5)$$

La probabilité totale d'un circuit d'avoir des erreurs logiques ayant pour cause des fautes transitoires peut donc être calculée selon l'équation suivante:

$$Pr = \sum_{fautes} p_i(t) \quad (3.6)$$

$p_i(t)$ est la probabilité qu'une faute injectée (i) de type SET se transforme en erreur logique SEU.

3.2.1.4. Simulations et résultats expérimentaux

Comme nous l'avons dit précédemment, plusieurs facteurs ne peuvent pas être formalisés. Ainsi, nous ne pouvons pas utiliser un modèle mathématique complet de calcul de sensibilité totale d'un réseau de portes logiques. Nous allons utiliser pour cela une méthodologie mixte combinant la simulation avec injection de fautes (aux différents niveaux et en utilisant différents simulateurs) avec les modèles mathématiques.

Les fautes transitoires ont une occurrence aléatoire, elles peuvent affecter n'importe quel nœud d'un circuit à n'importe quel moment pendant le cycle d'horloge. Pour pouvoir évaluer la sensibilité d'un circuit logique face aux SETs, nous allons faire un grand nombre d'injections et de simulations en changeant à chaque fois, soit le point d'injection, soit l'instant de celle-ci, soit les deux ensembles. Nous allons compter pour chaque simulation le nombre d'erreurs logiques, en observant l'état des FF de sortie.

Dans le cas du circuit simple de la figure 3.4, les points d'injection de l'impulsion transitoire ont été choisis manuellement. Concernant l'instant d'injection de l'impulsion de courant, nous avons distribué uniformément ces instants pendant toute la durée du cycle d'horloge et ceci pour chaque vecteur de test appliqué.

Donc, pour l'exemple présenté dans la figure 3.4, nous avons utilisé seulement deux vecteurs de test et 50 instants d'injection uniformément distribués dans le cycle d'horloge. Le générateur de courant injecté correspond au courant le plus probable obtenu par des simulations physiques pour une valeur de $LET=0,141 \text{ pC}/\mu\text{m}$. Le tableau 3.1 présente les résultats obtenus:

Nombre de branches connectées au nœud d'injection (capacité du nœud)	Largeur de l'impulsion au nœud d'injection Δt_{inj} (ps)	Largeur de l'impulsion à l'entrée du latch Δt_{out} (ps)	Fautes de p (SET+SEU)=1	Probabilité totale d'avoir une SEU
1	52	58	2	2
2	66	71	4	4
3	80	87	5	5
4	94	102	6	6

Tableau 3.1: Résultats obtenus pour des portes de type inverseur par des simulations électriques

La première colonne du tableau 3.1 montre le nombre de branches connectées au nœud d'injection, autrement dit le *fanout*. Ceci correspond à des capacités différentes au nœud d'injection. La deuxième colonne indique la largeur des impulsions de tension injectées aux points d'injection. La troisième colonne correspond aux largeurs des impulsions de tension propagées jusqu'à l'entrée des *flip-flop* de sortie. La quatrième colonne donne le nombre de fautes ayant une probabilité de se transformer en erreur logique égale à '1'. La dernière colonne correspond à la sensibilité totale du circuit calculée par l'équation (3.6).

Les résultats présentés dans le tableau 3.1 montrent que la probabilité qu'un SET se transforme en un SEU augmente avec l'accroissement de la durée de l'impulsion injectée et avec le nombre de branches connectées au nœud d'injection (ou la capacité totale du nœud heurté). Donc, plus la capacité du nœud d'injection augmente, plus la durée de l'impulsion est grande, et en conséquence, plus la possibilité de capturer l'impulsion en entrée du FF est importante.

Nous observons que sur les 50 fautes injectées, seulement 2 fautes se transforment en erreur pour 1 *fanout*, alors que si la capacité du nœud heurté augmente, le nombre de SE augmente (pour 4 *fanout*, 6 SETs se transforment en SEU).

Nous observons que l'utilisation des simulations électriques, dans l'objectif de pouvoir évaluer la sensibilité dans un circuit face aux fautes transitoires telles que les SETs, est pratique dans le cas d'un circuit simple avec un nombre limité de portes logiques.

Cependant, si le circuit est plus complexe et pour un très grand nombre d'injections et de simulations, la simulation électrique devient peu pratique. Ceci est dû au temps CPU de plus en plus important.

3.2.2. Simulation mixte (électrique/numérique) des fautes transitoires

Plusieurs méthodes ont été proposées dans le passé pour améliorer la vitesse des simulations et le temps CPU comme par exemple l'utilisation des simulations mixtes (électrique/numérique). [Acu-90] [Choi-89], [Duba-88] et [Yang-92] présentent une méthode dans laquelle un simulateur mixte a été employé pour simuler l'impact des fautes transitoires dans un circuit complexe. Les auteurs de ces articles considèrent que la partie du circuit qui entoure le point d'injection doit être simulée en utilisant un simulateur électrique alors que le reste du circuit peut être simulé en utilisant un simulateur numérique, en étant remplacé par sa description structurelle au niveau porte logique en utilisant un langage HDL.

Cette méthode implique que pour chaque point d'injection considéré, il faut déterminer les cellules qui entourent le point d'injection et qui sont affectées par l'injection de fautes et

les remplacer par leurs descriptions électriques. Ceci peut devenir une tâche très compliquée pour une analyse statistique de sensibilité, car tous les points d'injection doivent être simulés.

Dans la suite, nous allons présenter une méthode de simulation mixte qui se base sur le fait que seule la cellule ou la porte considérée comme affectée par une faute transitoire doit être remplacée par une description électrique. Donc, pour un circuit donné il s'agit de créer un environnement de co-simulation comprenant deux simulateurs commerciaux, un numérique et un électrique de manière que:

- 1- Les simulations électriques soient effectuées à l'aide d'un simulateur électrique de type SPICE, Spectre.....
- 2- Les simulations numériques soient effectuées à l'aide d'un simulateur numérique tel que Verilog_XL de Cadence.

L'avantage évident de la simulation mixte est le fait que nous pouvons remplacer plusieurs cellules (ou portes) par leur description structurelle au niveau porte logique à l'aide d'un langage HDL (Verilog, VHDL). Ainsi, la durée totale de la simulation diminue.

Nous avons vu plus haut que la propagation d'une impulsion affectant un nœud du circuit est fortement dépendant du retard des transitions montantes et descendantes à travers le réseau de portes. Pour une simulation de fautes transitoires, il est très important de prendre en compte les informations de retard des transitions pour chaque porte du circuit à simuler ainsi que pour les interconnexions.

La méthode de simulation mixte demande la mise en place de deux types de simulations (électrique/numérique), par conséquent nous avons besoin d'adapter le simulateur numérique pour qu'il soit capable de simuler les portes remplacées par leur description structurelle au niveau porte logique avec leur temps de propagation par rapport aux transitions montantes et descendantes. Ceci a été fait en utilisant un simulateur numérique avec la rétro-annotation (la prise en compte d'un fichier SDF (*Standard Delay File*)). Il est à noter que le fichier SDF contient seulement les temps de propagation de portes mais pas ceux des interconnexions (dans ce dernier cas, le fichier SDF devrait être généré après le P/R).

La figure 3.9 illustre les étapes essentielles de la méthode proposée dans l'objectif d'injecter et de simuler les fautes transitoires en utilisant un simulateur mixte.

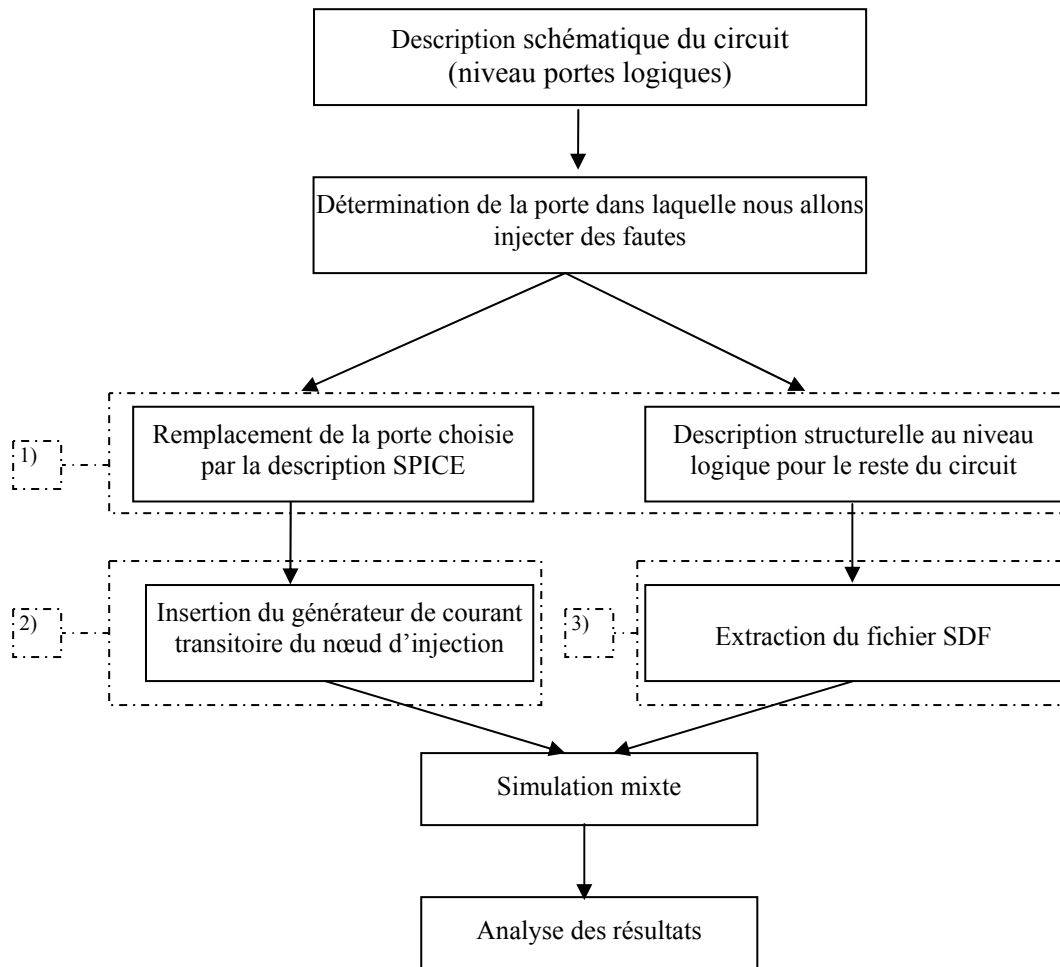


Figure 3.9: Etapes essentielles pour la mise en place des simulations mixtes.

Les étapes de la méthodologie proposée sont détaillées plus bas.

- 1- Partant de la représentation synthétisée niveau porte, nous allons choisir aléatoirement la porte dans laquelle nous allons faire l'injection des fautes transitoires. Cette porte sera modélisée par sa description électrique à l'aide de SPICE. Le reste des portes du circuit sera remplacé par ses descriptions haut niveau (Verilog).
- 2- En ce qui concerne l'injection des fautes, elle sera faite par l'injection d'un courant transitoire au nœud choisi. Pour réaliser cette injection, nous avons récupéré la *netlist* de la partie analogique et nous rajoutons un générateur de courant à sa sortie.
- 3- Le fichier *netlist* Verilog généré sera utilisé pour l'extraction du fichier SDF qui permettra de connaître le temps de transition de chaque porte de la *netlist*. A ce stade, le fichier SDF ne contient pas le temps de propagation des interconnexions.

La figure 3.10 montre un exemple de la modélisation d'un circuit utilisé pour la simulation mixte:

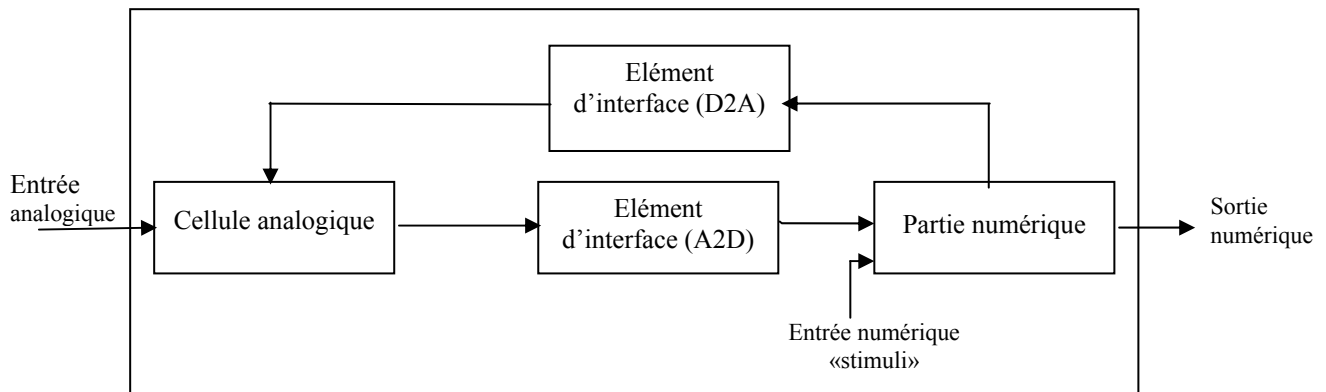


Figure 3.10: Exemple de la modélisation d'un circuit utilisé pour la simulation mixte

Dans le circuit présenté, on observe que les parties numériques et les parties analogiques sont séparées et que nous avons aussi besoin d'éléments d'interface pour relier ces différentes parties.

Etant donné qu'un simulateur mixte traite séparément les deux types de blocs, l'existence des éléments d'interface entre deux blocs différents est très importante.

Certains modèles d'élément d'interface permettent d'adapter les signaux analogiques pour qu'ils soient traités comme des signaux numériques (A2D) et vice versa (D2A). La figure 3.11 présente un exemple de ces deux modèles:

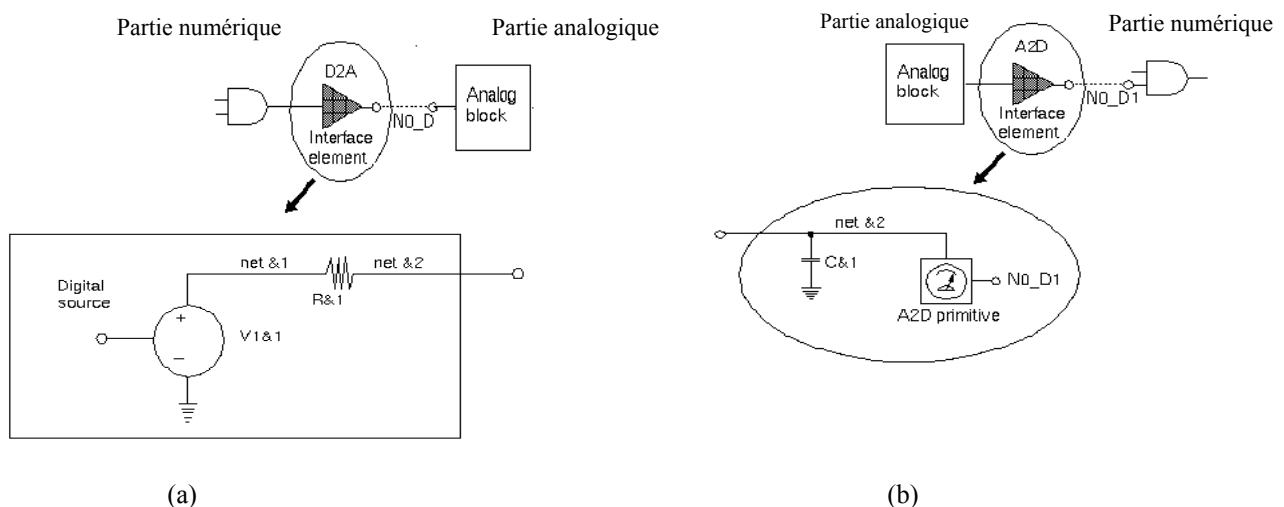


Figure 3.11: Eléments d'interface: (a) D2A, (b) A2D

Concernant le modèle A2D, deux paramètres très importants doivent être pris en compte:

- La capacité qui existe entre deux blocs analogique-numérique

Cette capacité d'interface doit être équivalente à la capacité de sortie de la partie analogique. En ce qui concerne l'injection des fautes transitoires, la largeur d'une impulsion provoquée par l'impact d'une particule chargée dépend de la capacité du nœud heurté par

cette particule (équ. 3.1). C'est pourquoi la détermination de la capacité de sortie d'une porte analogique où nous allons injecter une faute transitoire est très importante.

La détermination de cette capacité peut être réalisée, soit par le rajout des modèles des éléments d'interface existant au cœur de chaque simulateur (exp: le modèle «MOS d2a»), soit par la modification de la *netlist* de la partie analogique en rajoutant une capacité équivalente à la capacité de sortie de la partie analogique. En ce qui nous concerne, nous avons choisi la deuxième solution parce qu'elle est plus pratique.

- L'influence de la partie analogique sur les signaux d'entrée des blocs numériques

La présence des interconnexions à l'entrée d'un bloc numérique a une influence très importante sur les signaux affectant les entrées des blocs numériques. Cette influence peut affecter le calcul du temps de transition des portes (temps de propagation T_p). Plusieurs paramètres interviennent dans le calcul des temps de propagation des portes lors de la génération du fichier *SDF*. Un de ces paramètres est la pente du signal d'entrée, connue sous le nom de *slew-rate* (α). Sur la figure 3.12 nous pouvons observer les effets de la pente (α) d'un signal montant sur le temps de commutation T_{phl} d'une porte de type inverseur. En effet, plus le temps (α) est grand, plus le temps de commutation T_{phl} est important.

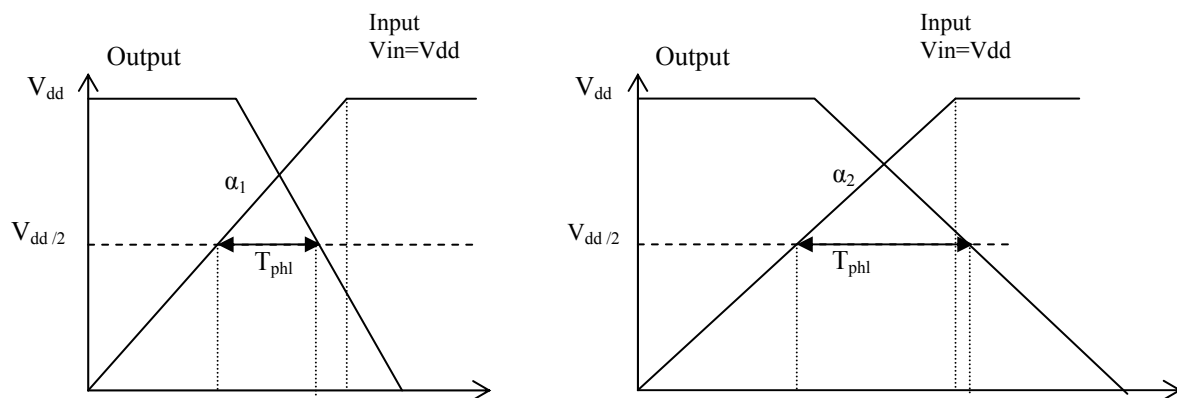


Figure 3.12: Influence de la pente d'un signal d'entrée sur le temps de commutation.

Lors du calcul des temps de propagation, tout outil de génération du fichier «*.sdf*» analyse un fichier technologique de type «*.tlf*». Ce fichier «*.tlf*» contient les valeurs des temps de propagation de toutes les portes d'une technologie par rapport aux valeurs du *slew-rate* (α) des deux transitions, montante et descendante, et ceci pour plusieurs capacités de sortie de porte. Ces temps de propagation sont donnés également en fonction de la température et de la tension V_{dd} .

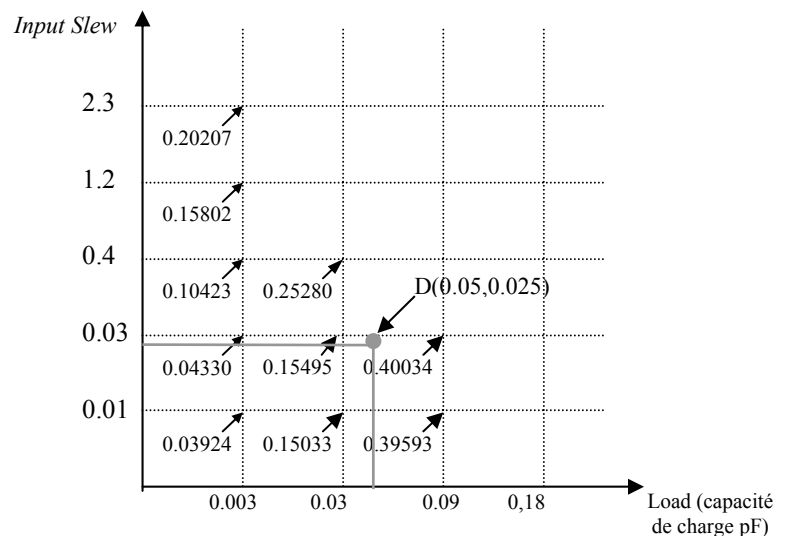
La figure 3.13 présente une partie du fichier «*.tlf*» concernant seulement la transition montante de l'inverseur «IVLL» de la technologie CMOS 0,18 μ m.

```

Cell (IVLL)
  Celltype (Comb)
  Model (td_A_to_Y_rise // définition du modèle
(Spline
  (Input_Slew_Axis 0.01000 0.03000 0.40000
1.20000 2.30000)
  (Load_Axis 0.00300 0.03000 0.09000 0.18000)
  data(
    (0.03924 0.15033 0.39593 0.76435)
    (0.04330 0.15495 0.40034 0.76806)
    (0.10423 0.25280 0.49464 0.85819)
    (0.15802 0.41183 0.71483 1.07327)
    (0.20207 0.54134 0.96388 1.37973)
  )))

```

(a)



(b)

Figure 3.13 Exemple d'un fichier «.tlf», (a) une partie du fichier «.tlf», (b) répartition des données présentées dans cette partie en fonction de la capacité de charge et de la valeur d "input slew".

Selon cette figure, nous remarquons que le calcul du temps de propagation T_p par rapport à une transition montante d'une porte logique est effectué par l'utilisation d'un modèle qui se base sur les valeurs de deux paramètres: la capacité de charge (*load_axis*) et les valeurs des transitions des signaux des entrées (*input_slew_axis*):

I/O Delay = f (Load Capacitance, Input Slew).

Output Slew = f (Load Capacitance, Input Slew).

Il est important de noter que le calcul du temps de propagation d'une porte, pour des données qui n'existent pas dans le fichier «.tlf», se base sur l'application d'une interpolation linéaire des quatre points du tableau ayant la charge et la valeur du *slew-rate* les plus proches. Par exemple, supposons que le signal analogique de sortie de la porte modélisée par SPICE a un *slew-rate* de 0,028, et que la porte en aval modélisée en numérique est un inverseur ayant une capacité de sortie de 0,05 (pF). Ces deux données n'existent pas dans le tableau. Dans ce cas, les équations utilisées afin de calculer le temps de propagation de ces données (le point D sur la figure 3.13.b) doivent prendre en compte les quatre valeurs les plus proches:

D1(0,03, 0,03), D2(0,09, 0,03), D3(0,03, 0,01) et D4(0,09, 0,01) (voir figure 3.13.b).

Le problème qui se pose lors d'une simulation mixte est la spécification des paramètres de type *slew-rate* pour la/les porte(s) modélisée(s) en numérique se trouvant à l'interface qui reçoit en entrée, les sorties de la partie analogique. Les retards de ces portes par rapport aux transitions montantes et descendantes sont fournis par les parties analogiques. Ils peuvent également être calculés en connaissant la capacité de charge et la valeur de «*slew-rate*».

La détermination de la capacité est une donnée que l'outil peut mesurer. Par contre, pour déterminer le «*slew-rate*» pour les signaux d'entrée de la partie numérique, la tâche semble plus difficile. Les éléments d'interface A2D utilisés pour la conversion du signal analogique en signal numérique impliquent au signal numérique un *slew-rate* idéal proche de 0 ps (voir figure 3.14). Ceci peut se traduire par un calcul très optimiste du temps de

propagation des éléments d'interface et par conséquent, par une perte de précision dans l'analyse de sensibilité.

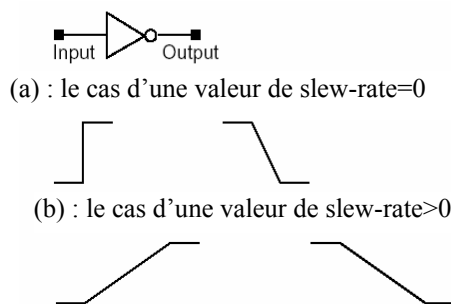


Figure 3.14: Exemple de l'Influence de la valeur de slew- rate d'un signal d'entrée sur le signal de sortie d'une porte de type inverseur

Enfin, il est important de noter que lors de la simulation et l'injection de fautes, nous devons imposer aux plots d'entrée un ensemble de vecteurs de test permettant de propager les fautes injectées jusqu'aux *latches* de sorties. La génération de ces vecteurs de test pour un circuit mixte doit considérer deux types de «stimuli», des stimuli de test pour les entrées de la partie analogique et d'autres stimuli pour les portes modélisées en langage haut niveau.

3.2.2.1. Simulations mixtes et résultats expérimentaux

Pour la simulation mixte, nous avons travaillé sur le même exemple que dans le cas de la simulation purement électrique (voir figure 3.4).

La même méthodologie de choix de points d'injection a été utilisée et nous avons injecté manuellement un générateur de courant transitoire dans la sortie de la porte analogique du circuit. En ce qui concerne l'instant d'injection de l'impulsion, nous avons distribué uniformément 50 instants d'injection dans le cycle d'horloge pour chaque vecteur de test appliqué.

En utilisant les mêmes analyses de probabilité de capturer une impulsion (paragraphe 3.2.1.3) nous pouvons analyser nos résultats obtenus par des simulations mixtes.

Le tableau 3.2, présente les résultats de probabilité qu'un SET se transforme en SEU en faisant des modifications manuellement pour la valeur de *slew-rate* afin de s'approcher le plus possible de la réalité, alors que le tableau 3.3 présente les résultats sans modification de la valeur de *slew-rate*. Nous observons des différences importantes en nombre d'erreurs, ce qui montre combien l'impact d'une valeur de temps de transition sur le phénomène de propagation et de transformation d'un SET en SEU est important.

Nombre de branches connectées au nœud d'injection (capacité du nœud)	Largeur de l'impulsion au nœud d'injection $\Delta t_{r_{inj}}$ (ps)	Largeur de l'impulsion à l'entrée du latch $\Delta t_{r_{out}}$ (ps)	Fautes de p (SET+SEU)=0,5	Fautes de p (SET+SEU)=1	Probabilité totale d'avoir une SEU
1	51	57	8	0	4
2	64	69	10	0	5
3	78	86	11	0	5.5
4	93	101	12	0	6

Tableau 3.2: Résultats obtenus pour des portes de type inverseur, par des simulations mixtes (en modifiant les valeurs d'input-slew)

Nombre de branches connectées au nœud d'injection (capacité du nœud)	Largeur de l'impulsion au nœud d'injection $\Delta t_{r_{in}}$ (ps)	Largeur de l'impulsion à l'entrée du latch $\Delta t_{r_{out}}$ (ps)	Fautes de p (SET+SEU)=0,5	Fautes de p (SET+SEU)=1	Probabilité totale d'avoir une SEU
1	51	52	7	0	3.5
2	64	63	8	0	4
3	78	81	10	0	5
4	93	95	11	0	5.5

Tableau 3.3: Résultats obtenus pour des portes de type inverseur, par des simulations mixtes (sans modifier les valeurs d'input-slew)

La première colonne de chaque tableau montre le nombre de branches connectées au nœud d'injection, autrement dit le nombre de *fanout*. Ceci correspond à des capacités différentes au nœud d'injection. La deuxième colonne indique la largeur des impulsions de tension injectées aux points d'injection. La troisième colonne correspond à la largeur des impulsions de tension propagées jusqu'à l'entrée des *flip-flop* de sortie. Les autres colonnes donnent le nombre de fautes ayant une probabilité égale à 0,5 (4^{ème} colonne) et celles qui ont une probabilité égale à 1 (5^{ème} colonne). La dernière colonne correspond à la sensibilité totale du circuit calculée par l'équation 3.6.

Selon ces tableaux, nous observons que:

- 1- La plupart des fautes obtenues en utilisant des simulations mixtes ont une probabilité égale à 0,5, c'est à dire que la sortie d'un *latch* a la valeur 'X' à cause d'une violation des temps de *setup/hold* des *flip-flop* de sortie.
- 2- Toutes les impulsions transitoires injectées ne sont pas capturées par un *latch* en se transformant en erreur logique, par lequel la sensibilité du circuit sera alors égale à 100%.
- 3- Les valeurs d'*input-slew* rajoutées aux signaux d'entrée de la partie numérique ont une influence importante sur la précision de la sensibilité lors de l'analyse.

En ce qui concerne la deuxième remarque, et en observant les temps de *hold* et de *setup* d'un *latch* de la technologie 0,18 μ m qui sont respectivement environ de 5 (ps) et de 350 (ps), nous remarquons que les durées des impulsions transitoires à l'entrée d'un *latch* (Δt) sont toujours inférieures à $T_{setup} + T_{hold}$. Dans ce cas, la probabilité de capturer ces impulsions est toujours soit 0, soit 0,5 (voir équation 3.4), car la valeur logique du *latch* est soit 0 soit 'X'.

En conclusion, nous pouvons dire que l'utilisation des simulations mixtes, pour évaluer la sensibilité d'un circuit face aux fautes transitoires, peut diminuer le temps de simulation par rapport à la simulation purement électrique qui est assez coûteuse en temps CPU. Par exemple, le temps CPU nécessaire pour injecter et simuler une seule faute dans le circuit simple qui contient deux inverseurs et un *latch* à la sortie peut varier entre 2.7 [s] pour des simulations électriques et 340 [ms] pour des simulations mixtes. Cependant, le besoin d'adapter l'interface entre les parties analogiques et les parties logiques est une tâche gênante et il peut rendre l'utilisation des simulations mixtes peu pratique. De plus, le manque de précision de calcul des paramètres de propagation des impulsions transitoires peut affecter la sensibilité totale du circuit allant jusqu'à 20%.

Nous avons alors besoin d'une autre méthode de simulation encore plus simple qui permet une simulation rapide et moins complexe en terme de préparation du circuit afin que nous puissions analyser la sensibilité du circuit face aux fautes transitoires.

3.2.3. Simulations numériques des fautes transitoires

Nous avons proposé, jusqu'à maintenant, deux méthodes de simulation des fautes transitoires. Celles-ci se basent sur l'injection d'un générateur de courant au point d'injection et sur l'analyse de l'impulsion transitoire résultante de ce courant, par des simulations électriques ou mixtes. L'utilisation d'un générateur de courant pour injecter une faute transitoire nécessitera toujours des simulations électriques (comme SPICE, Spectre...) soit globales soit locales qui sont très coûteuses en temps CPU. A cause de ce temps de simulation, les deux méthodes précédentes (simulations électriques et simulations mixtes) sont peu pratiques.

Dès lors, nous nous sommes tournés vers une autre méthode d'injection de fautes. Cette méthode s'appuie, sur l'injection d'impulsions logiques au point d'injection à la place du générateur de courant, et sur l'analyse de la propagation de cette impulsion dans le circuit en utilisant des simulations numériques.

Dans le paragraphe (3.2.1.1), nous avons vu que l'injection d'un générateur de courant transitoire au nœud heurté provoque une impulsion de tension d'une durée Δt_{inj} (figure 3.15.a).

Nous nous proposons de modéliser cette impulsion électrique par une impulsion électrique de forme rectangulaire, d'amplitude égale à V_{dd} et de durée égale au temps Δt_{inj} pendant lequel l'amplitude de l'impulsion originale dépasse le niveau de seuil de la porte logique, considéré à $V_{dd}/2$.

Dans la figure 3.16 nous présentons la manière dont nous modélisons cette impulsion. Le seuil logique est fixé à $V_{dd}/2=0.9V$ pour une technologie ayant le $V_{dd}=1,8V$. L'extraction de l'impulsion rectangulaire donne la forme représentée à la figure 3.15.b.

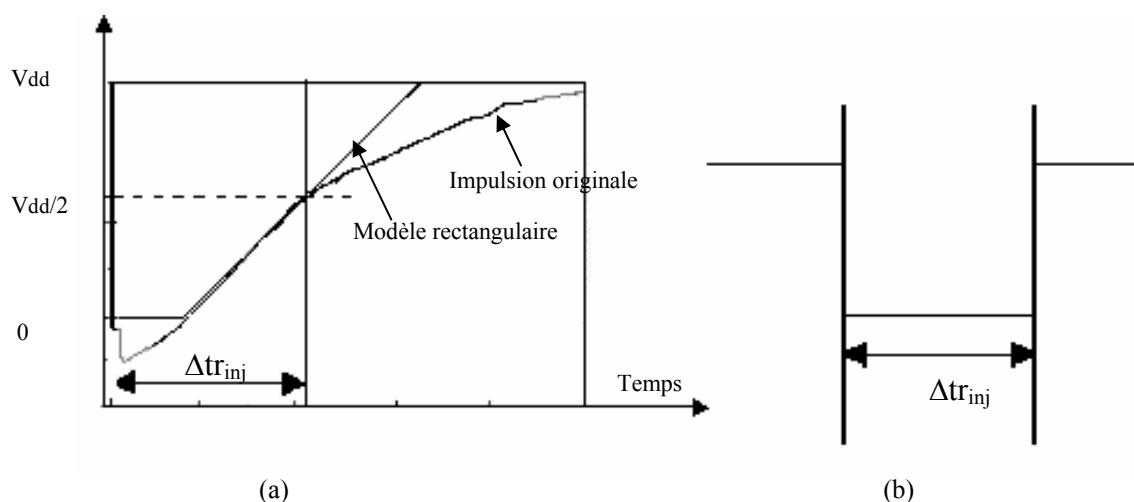


Figure 3.15: (a) Représentation de l'impulsion transitoire au nœud heurté, (b) Impulsion rectangulaire de largeur Δt_{inj} .

Avec cette impulsion rectangulaire d'amplitude V_{dd} et durée Δt_{inj} , nous pouvons effectuer des simulations numériques dans un circuit complexe.

Cependant, en raison du phénomène de propagation d'une impulsion dans un circuit, des retards des transitions montantes et descendantes des portes du réseau logique, le fichier *netlist* n'est pas suffisant pour effectuer l'analyse de la sensibilité d'un circuit face aux impulsions transitoires. En conséquence, nous avons besoin des informations des retards pour toutes les portes du circuit et si possible des interconnexions. Ceci sera obtenu par le rajout du fichier SDF à la simulation numérique. La simulation numérique peut être effectuée par n'importe quel simulateur *event-driven* commercial.

La réalisation d'injection d'une impulsion transitoire sur un nœud exige le recours à l'interruption momentanée (pour la durée de la faute transitoire Δt_{inj}) de la valeur du signal du nœud considéré pour l'injection.

Ceci peut se faire directement dans le test-bench Verilog en inversant la valeur logique du nœud pour une période de temps égale à la durée de la faute transitoire.

La figure 3.16 montre la perturbation d'un signal selon l'injection d'une faute transitoire.

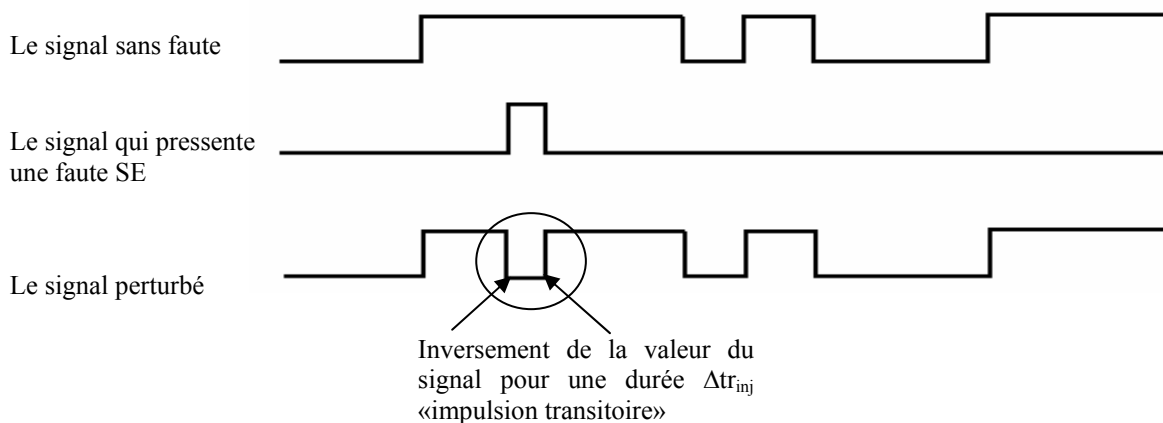


Figure 3.16: Changement de la forme d'un signal provoqué par l'injection d'une impulsion transitoire.

Finalement, pour faire la simulation avec injection de fautes, nous devons imposer aux plots d'entrée un ensemble de vecteurs de test qui permet d'évaluer les fautes injectées jusqu'aux entrées des *latch* de sorties. Ces vecteurs d'entrée seront déterminés par le concepteur, par exemple, des vecteurs d'entrée provenant d'un fichier «stimuli». En absence de tels vecteurs, nous pouvons utiliser l'ensemble complet des vecteurs du circuit.

Nous pouvons alors faire appel à une séquence de vecteurs de test aléatoire assez longue mais suffisante la plupart du temps.

L'injection d'une impulsion par l'interruption et l'inversion de la valeur d'un signal a été faite à l'aide d'un simulateur *event-driven* (l'outil de simulation commercial est Verilog-

XL) en ajoutant quelques instructions qui ont pour but d'injecter une impulsion transitoire sur un signal choisi.

L'injection de fautes sur un signal d'un circuit combinatoire en utilisant un modèle logique temporel:

```

Pour chaque faute           // pour toute faute injectée

    Begin

        #<impact_time> // choisir l'instant d'injection

        y = ~ <injection_net> ;           } // la valeur logique du nœud choisi
        force <injection_net> = y ;       } // est inversée

        #<pulse_width> release <injection_net> ; // après  $\Delta t_{inj}$ , la valeur logique initiale du
                                                nœud choisi est restaurée

    //l'injection est terminée

    end

end «pour chaque faute»

```

La première étape de cet algorithme consiste dans le choix de l'instant d'injection (*impact-net*). Au moment précis d'injection de faute, la valeur logique du nœud d'injection (*injection-net*) sera inversée pour une durée égale à Δt_{inj} . Pour pouvoir inverser la valeur logique d'un nœud, un signal temporel (une variable «y») a été utilisé. La valeur de cette variable a été fixée à la valeur logique inverse du nœud d'injection ($y = \sim \text{injection_net}$). Donc, l'injection d'une impulsion transitoire d'une durée Δt_{inj} peut être réalisée en remplaçant la valeur logique du nœud d'injection par celle-ci de la variable 'y' pendant un temps égale à la durée :

$$\text{force } \text{injection_net} = y$$

$$\# \text{pulse_width} \text{ release } \text{injection_net}$$

3.2.3.1. Simulations et résultats expérimentaux

Après la présentation de la méthodologie d'injection des fautes transitoires, méthodologie basée sur des simulations numériques, nous allons valider cette méthode en analysant le même exemple présenté à la figure 3.4.

L'ensemble des vecteurs de test et le choix des points d'injection ont été choisis de la même manière que dans le cas des simulations électriques et mixtes (deux vecteurs de test avec 50 instants d'injection pour chaque cycle d'horloge).

Pour ce qui concerne la durée des impulsions rectangulaires qui sont utilisées au sein de notre méthodologie, et d'après la discussion présentée dans le paragraphe (3.2.1.1), nous avons injecté des impulsions d'une durée Δt_{inj} qui correspond à la durée de l'impulsion de

tension mesurée à $V_{dd}/2$. Cette impulsion de tension est générée par l'injection du courant obtenu par des simulations physiques 2-D, pour une valeur de $LET=0,141 \text{ pC}/\mu\text{m}$, dans un transistor NMOS.

L'étape suivante concerne l'interprétation des résultats de l'injection de fautes. Elle consiste à décider si les valeurs présentées dans les registres de sortie sont correctes ou pas. Cette décision se base sur les mêmes analyses de la probabilité de capturer une impulsion (équations 3.4, 3.5).

En fait, pour chaque vecteur d'entrée, nous réalisons plusieurs cycles de simulation avec injection de fautes. Le premier cycle est sans injection de fautes et, les valeurs des sorties sont considérées comme étant des valeurs correctes de référence pour les cycles de simulation suivants.

L'évaluation des résultats d'une faute se fait en comparant les valeurs réelles des sorties avec les valeurs de référence. Une fois que toutes les fautes ont été injectées et simulées pour le vecteur de test courant, nous passons à un autre vecteur de test.

Les résultats des simulations numériques sont répertoriés dans le tableau 3.4:

Nombre de branches connectées au nœud d'injection (capacité du nœud)	Largeur de l'impulsion au nœud d'injection $\Delta t_{r_{inj}}$ (ps)	Largeur de l'impulsion à l'entrée du latch $\Delta t_{r_{out}}$ (ps)	Fautes de p (SET+SEU)=0,5	Fautes de p (SET+SEU)=1	Probabilité totale d'avoir une SEU
1	51	58	8	0	4
2	66	72	10	0	5
3	80	88	11	0	6
4	94	102	13	0	7

Tableau 3.4: Résultats obtenus pour des portes de type inverseur par des simulations numériques.

Selon ce tableau, nous observons que:

1. La plupart des fautes obtenues ont une probabilité égale à 0,5, c'est à dire que la sortie d'un *latch* a la valeur (X) à cause d'une violation des temps de *setup/hold* des *flip-flop* de sortie
2. Toutes les impulsions transitoires injectées ne sont pas capturées par un *latch* en se transformant en erreur logique, la sensibilité du circuit sera égale à 100%.

En ce qui concerne cette dernière remarque, et en observant les temps de *hold* et de *setup* d'un *latch* de la technologie $0,18\mu\text{m}$ qui sont respectivement environ de 5 (ps) et de 350 (ps), nous remarquons que les durées des impulsions transitoires à l'entrée d'un *latch* (Δt_{out}) sont toujours inférieures à $T_{setup}+T_{hold}$. Dans ce cas, la probabilité de capturer ces impulsions est toujours soit 0 soit 0,5 (voir équation 3.4), car la valeur logique du *latch* est soit 0 soit X.

Donc, l'utilisation des simulations numériques telle que Verilog permet l'évaluation de la sensibilité d'un circuit aux fautes transitoires. Cette méthode est pratique et non coûteuse en temps CPU même pour des circuits complexes.

En comparant la méthode de simulation mixte avec la méthode de simulation numérique nous trouvons que l'impulsion de tension à l'entrée du *latch* est un peu plus large. Ceci est dû à la différence des temps de propagation pour la porte modélisée en verilog se trouvant à

l'interface. Cependant la différence est très faible, de l'ordre de 1–2%. Dû à cette différence, le nombre d'erreurs observées au niveau du *latch* peut être différent. Selon nos analyses, lors des simulations numériques, nous observons une probabilité de capturer des erreurs plus importante que lors des simulations mixtes, mais surtout plus importante que lors des simulations électriques. Nous observons aussi la probabilité de capturer des erreurs double dans le cas de faible *fanout*.

Nous pouvons conclure que la simulation numérique donne des estimations pessimistes de la sensibilité d'un circuit simple face aux fautes transitoires.

Après la présentation et la validation des trois méthodes d'injection de fautes transitoires dans de simples circuits, nous allons choisir un circuit un peu complexe et nous allons appliquer ces trois méthodes afin de conclure par la comparaison entre elles et de choisir la méthode la plus efficace et la moins coûteuse en temps de simulation CPU.

3.3. Comparaison entre les trois méthodes de simulations des SETs

Notre but est alors de comparer ces trois méthodes présentées auparavant afin de pouvoir décider de l'efficacité de détection de chaque méthode, par l'analyse des fautes transitoires dans un circuit logique complexe et synchrone dans lequel les sorties sont capturées par des *latch* ou des bascules.

La figure 3.17 présente un exemple de circuit logique.

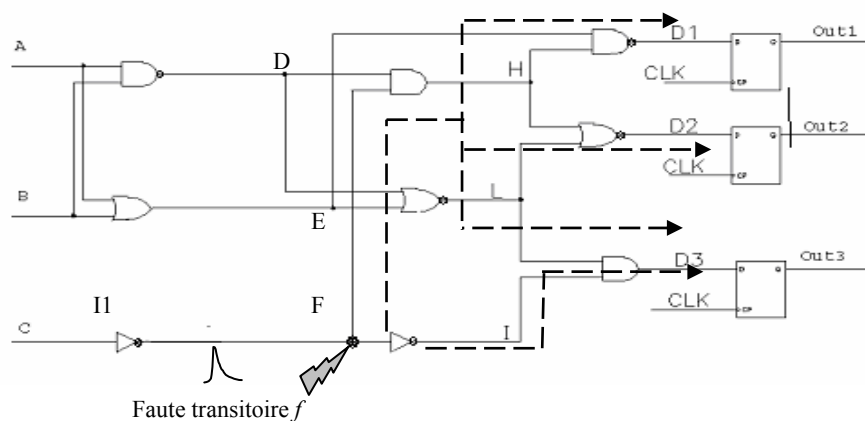


Figure 3.17: Exemple qui montre la possibilité de la propagation d'une faute transitoire dans un circuit logique.

Considérons que nous avons une faute transitoire «*f*» représentée par une impulsion transitoire d'une durée de 50 (ps) qui affecte l'inverseur «*I1*» à l'instant «*t*». Considérons aussi que cette faute peut induire un changement de la valeur logique associée à ce nœud. Ce changement peut se propager à travers un chemin de propagation actif connectant la sortie de l'inverseur avec les sorties du circuit Out1, Out2, Out3 (voir figure 3.17), en fonction des vecteurs de test appliqués en entrée. L'activation d'un chemin de propagation se fait par l'application des vecteurs d'entrées adéquats qui permettent de propager l'effet d'une faute sur un nœud vers un des plots de sortie.

Les vecteurs de test peuvent être générés par le concepteur ou automatiquement par un outil de type ATPG. Par exemple, pour le circuit ci-dessus le set complet de $2^3=8$ vecteurs de test peut s'avérer nécessaire pour simuler le circuit.

En revenant au circuit proposé à tester, si nous supposons qu'une faute transitoire affecte le nœud «F» (voir figure 3.17), la valeur logique de ce nœud sera affectée pendant une durée de temps limitée (la durée de l'impulsion transitoire injectée Δt_{inj}). Cette impulsion transitoire peut se propager aux entrées des *latches* (D1, D2, D3) et provoquer une *erreur soft* à la sortie d'un ou plusieurs *latch* si les vecteurs de test appliqués aux entrées du circuit sont adéquats pour activer au moins un chemin de propagation. Pour cette faute, et parmi les 8 vecteurs de test, il y a seulement trois vecteurs qui permettent la propagation de cette faute vers les sorties. Selon ces vecteurs, l'impulsion transitoire peut se propager à la sortie D2 si les entrées sont $(A,B,C) = (0, 0, 0)$ ou aux sorties D1, D2 si les entrées sont $(A,B,C) = (1, 0, 0)$ ou $(0, 1, 0)$.

Par la suite, nous allons utiliser les trois méthodes d'injection et simulation de fautes transitoires présentées auparavant afin que nous puissions analyser la propagation de l'impulsion transitoire dans le circuit étudié (figure 3.18) et déterminer l'efficacité de chaque méthode de simulation proposée.

D'ailleurs, en ce qui concerne les instants d'injection, nous avons distribué ces instants pendant toute la durée du cycle d'horloge (fixe à 1 ns) pour chaque vecteur de test. De ce fait, nous avons injecté 50 fautes par cycle d'horloge. Les impulsions injectées ont des durées Δt_{inj} égales à 50 [ps] pour les trois méthodes.

En se basant sur les mêmes analyses de la probabilité et de l'efficacité de détection, nous pouvons organiser nos résultats de simulations obtenus par l'analyse de notre circuit à tester comme suit:

Note: Les valeurs présentées dans ces tableaux sont calculées à partir de l'application de l'équation (3.6).

I) simulation analogique

Vecteurs de test (entrées A B C)	Probabilité d'avoir une SE		
	Out1	Out2	Out3
000	0	4	0
010	3.5	4	0
100	4	5	0
Les autres vecteurs	0	0	0

(a)

II) simulation mixte (analogique-numérique) sans modifier les valeurs de slew-rate

Vecteurs de test (entrées A B C)	Probabilité d'avoir une SE		
	Out1	Out2	Out3
000	0	5.5	0
010	5	5.5	0
100	5.5	5.5	0
Les autres vecteurs	0	0	0

(b)

III) simulation numérique

Vecteurs de test (entrées A B C)	Probabilité d'avoir une SE		
	Out1	Out2	Out3
000	0	5.5	0
010	5.5	5.5	0
100	5.5	6	0
Les autres vecteurs	0	0	0

(c)

Tableau 3.5: Résultats obtenus par les trois méthodes de simulation.

méthode	Simulation analogique	Simulation mixte	Simulation numérique
Temps CPU (s)	20	6.3	0.35

Tableau 3.6 Temps CPU en fonction de la méthode utilisée pour un ensemble de vecteurs de test complet.

Les trois premiers tableaux présentent les différences entre les résultats obtenus par l'utilisation des trois méthodes de simulation et d'injection des fautes transitoires dans un circuit complexe. Le tableau 3.6 donne le temps CPU nécessaire pour chaque méthode.

Parmi ces trois méthodes, les simulations analogiques sont les plus précises parce qu'on peut déterminer avec précision les valeurs exactes stockées dans les *latch* (il n'y a pas de niveaux non déterminés).

D'autre part, les simulations mixtes et numériques sont plus pessimistes donnant une probabilité d'erreur plus élevée. Cette valeur est due aux valeurs indéterminées (X) et aux valeurs logiques erronées. Dans le cas d'une valeur du *latch* égale à (X), nous allons considérer une *erreur soft* avec une probabilité de 0,5.

Par simulations numériques ou mixtes on obtient une valeur de probabilité d'erreur de 20–50% supérieure par rapport à la simulation électrique.

3.4. Conclusion

Dans ce chapitre nous avons défini trois méthodes de simulation et d'injection des fautes transitoires dans des circuits intégrés. Nous avons mis en place des méthodologies de simulation et des méthodes d'observation des erreurs adéquates à chaque méthodologie. La première méthode consiste en l'utilisation des simulations analogiques qui permettent d'injecter des courants transitoires dans le nœud le plus sensible d'un composant (un drain bloqué d'un transistor NMOS) et d'évaluer l'effet de cette injection en utilisant un simulateur analogique. Cette méthode de simulation est très coûteuse en temps de simulation, mais s'avère très précise.

Une autre méthode est décrite et consiste en l'utilisation d'une simulation mixte utilisant deux types de simulation: électrique et numérique. Cette méthode de simulation implique que pour chaque point d'injection considéré, il faut déterminer la cellule affectée par l'injection de fautes et la remplacer par sa description électrique, alors que le reste des cellules sont modélisées par un langage de description haut niveau. Ceci peut devenir une tâche laborieuse pour les concepteurs.

Cette méthode est plus rapide mais moins précise par rapport à la simulation purement électrique. Ses précisions allant jusqu'à 50 % peuvent être observées selon le type de circuits et leur complexité.

La troisième méthode de simulation utilise un modèle temporel pour les impulsions transitoires, et un simulateur numérique afin de simuler l'effet d'une impulsion transitoire injectée dans un composant. L'utilisation d'un simulateur numérique peut réduire le temps de simulation, mais l'existence du niveau logique non déterminé (X) rend les résultats obtenus par ce type de simulation (simulation numérique) peu précis, voire pessimistes.

En conclusion, nous avons trouvé que, d'une part l'utilisation des simulations électriques est la meilleure façon de simuler les fautes transitoires dans un circuit, mais que le temps nécessaire pour réaliser de telles simulations est assez long, et que d'autre part, l'utilisation des simulations numériques est plus efficace par rapport au temps de simulation, mais les résultats sont peu pessimistes. Dans le cas du circuit établi, nous observons une surestimation de la probabilité d'erreur de 20–50%.

Chapitre 4

Injection et simulation des SETs et SEUs dans un microprocesseur.

Chapitre 4: Injection et simulation des SETs et SEUs dans un microprocesseur

4.1. Introduction

Dans le chapitre précédent, nous avons trouvé que pour l'injection de fautes transitoires SETs la simulation numérique est la méthode la plus rapide et la moins coûteuse en temps CPU.

Dans ce chapitre, nous allons analyser la sensibilité d'un circuit complexe de type microprocesseur face aux fautes transitoires SETs et SEUs en utilisant des simulations numériques.

4.2. Choix d'un microprocesseur

Les mémoires et les microprocesseurs, se trouvant au sein des équipements destinés à fonctionner en environnement radiatif, sont parmi les circuits intégrés les plus sensibles face aux fautes transitoires. Nous avons choisi le microprocesseur Motorola mc6800 comme véhicule de test pour valider l'efficacité de la méthode de simulation numérique en terme de capacité d'évaluation de la sensibilité d'un circuit complexe face aux fautes transitoires de type SET.

Pourquoi le Motorola mc6800 ?

Le microprocesseur Motorola mc6800 est actuellement utilisé dans les systèmes de contrôle de certaines centrales nucléaires françaises. Ce microprocesseur a été choisi et implémenté pour fonctionner pendant 40 ans. Cependant, même si ces entreprises ont prévu des stocks, ces derniers seront écoulés d'ici cinq ans. Plusieurs solutions de remplacement ont été envisagées:

- 1) L'une de ces solutions est de remplacer ces processeurs obsolètes par d'autres plus modernes. Dans ce cas, l'idée de base consiste à implémenter de nouveaux composants pour remplacer les circuits obsolètes et ainsi mettre à jour le système. Les principaux inconvénients d'une telle solution sont le coût et les efforts importants nécessaires à la conception de ces nouveaux éléments, ce qui inclut des tests de validation afin de certifier que la fiabilité et la sécurité du composant répondent aux spécifications du cahier des charges d'un système de contrôle d'une application nucléaire.
- 2) Une autre solution de substitution très souple et beaucoup moins coûteuse consisterait à implémenter le fonctionnement du processeur obsolète par l'intermédiaire d'éléments logiques programmables tels que les FPGAs [Ang-03], [Vel-03]. En effet, les descriptions de haut niveau dans un langage approprié peuvent être créées à partir de la documentation technique du circuit original pour ensuite remplacer les processeurs obsolètes concernés par prototypage sur des composants FPGA. Le problème qui survient alors est de prouver que la version implémentée est équivalente à la version matérielle initiale et ceci en terme de fonctionnalité, de performance et

d'intégrité des signaux. La tenue aux radiations est un autre paramètre majeur qui doit être établi.

Nous nous sommes concentrés dans un premier temps sur l'étude des spécifications techniques afin de concevoir un modèle comportemental VHDL du microprocesseur obsolète mc6800. Ensuite nous avons complètement validé son comportement par simulation et nous avons implémenté cette description sur des composants FPGA. Une version basée sur des cellules standard CMOS 0,18 μ m a été créée afin de nous permettre une étude détaillée de la sensibilité de ce processeur face à tout faute transitoire, générée ou pas, par des particules ionisantes. Ces particules sont présentes en grand nombre dans l'environnement d'une centrale nucléaire, et une étude de sensibilité était donc plus que nécessaire. Nous avons établi cette sensibilité par la simulation numérique avec injection de fautes transitoires.

Avant de commencer, il est important de présenter brièvement une description de l'architecture du microcontrôleur mc68HC11.

4.2.1. Description du microcontrôleur mc68HC11

Les principales caractéristiques du microcontrôleur mc68HC11, sont les suivantes [Motorola]:

- Microprocesseur ou CPU de 8 bits et ici le CPU est le HC11 core.
- Mémoire RAM de 256 Byte
- Mémoire EEPROM de 512 Byte
- Mémoire ROM de 8KByte
- convertisseur A/D
- Lignes d'entrée/sorties individuelles et bidirectionnelles.
- Minuteurs.
- Canaux de communications synchrones et asynchrones (RS232 et SPI).

La figure 4.1 montre les principaux blocs de l'architecture de mc68HC11.

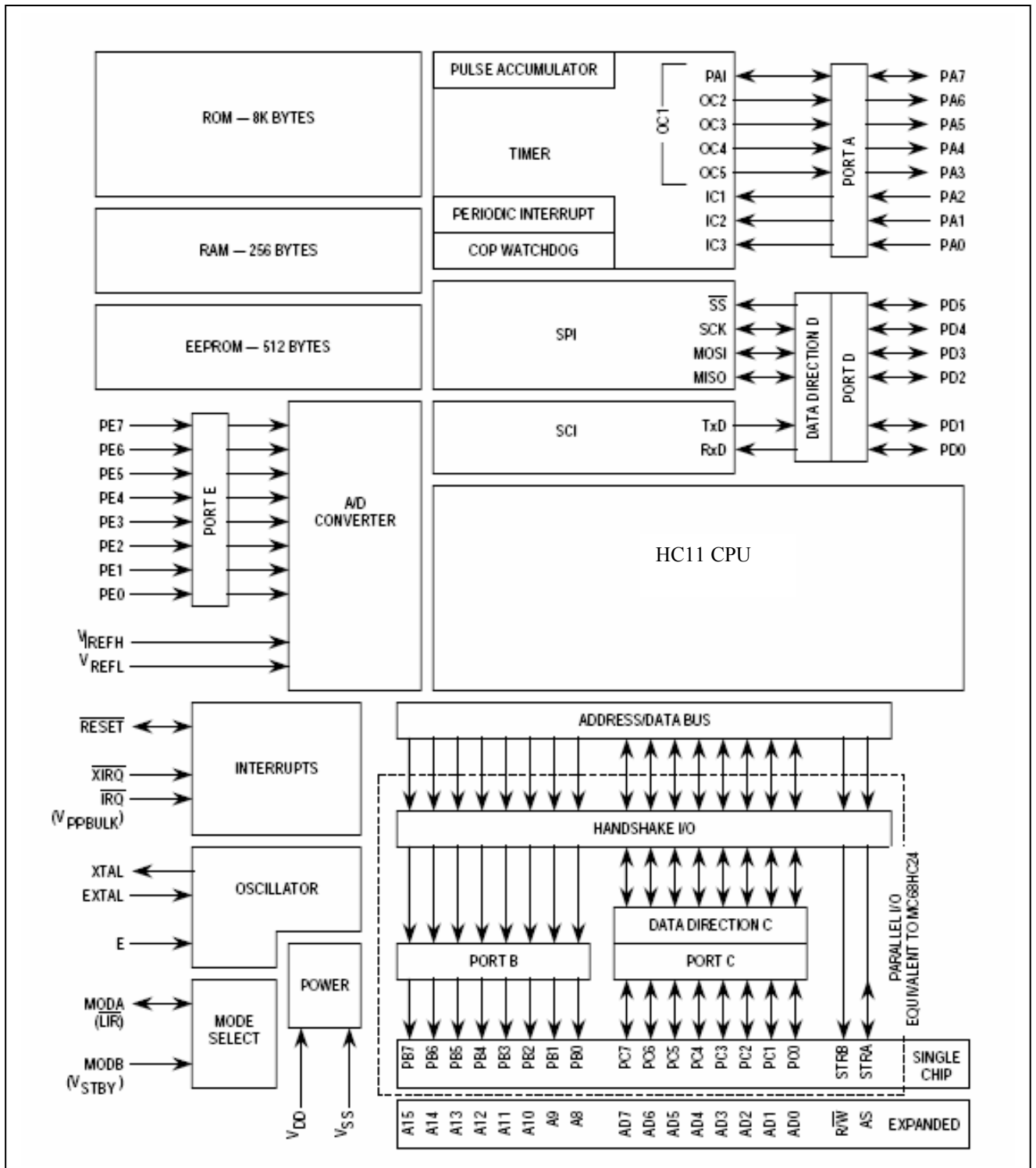


Figure 4.1: Architecture du microcontrôleur mc68HC11.

4.2.1.1. Plan Mémoire

Les microprocesseurs stockent leurs programmes et leurs données dans des mémoires. Ces mémoires sont organisées comme une série d'adresses ou locations. Chaque location de mémoire contient huit bits de données car le 68HC11 est un microprocesseur de 8 bits.

Le processeur peut avoir accès à une location dans les mémoires en utilisant une adresse sur 16 bits.

Le tableau 4.1 montre l'organisation du plan mémoire du 68HC11

L'adresse de la mémoire	Spécification de l'adresse
\$0000	RAM
\$00FF	(Usage général)
\$0100	Espace non utilisé
\$0FFF	
\$1000	Adresses des Convertisseurs
\$103F	
\$1040	Espace non utilisé
\$CFFF	
\$D000	EEPROM d'Application
\$FFFF	

Tableau 4.1: Plan Mémoire du mc6800.

Le premier secteur de mémoire allant de l'adresse \$00 à l'adresse \$FF correspond à la mémoire vive (ou la RAM). La RAM est typiquement utilisée pour stocker des programmes et des données.

L'EEPROM d'application occupe les adresses \$D000 à \$FFFF et contient les codes nécessaires pour exécuter une application et les vecteurs de reset qui sont à l'adresse \$FFFE et \$FFFF.

4.2.1.2. Registres

La figure 4.2 montre les registres utilisés par un microprocesseur 68HC11.

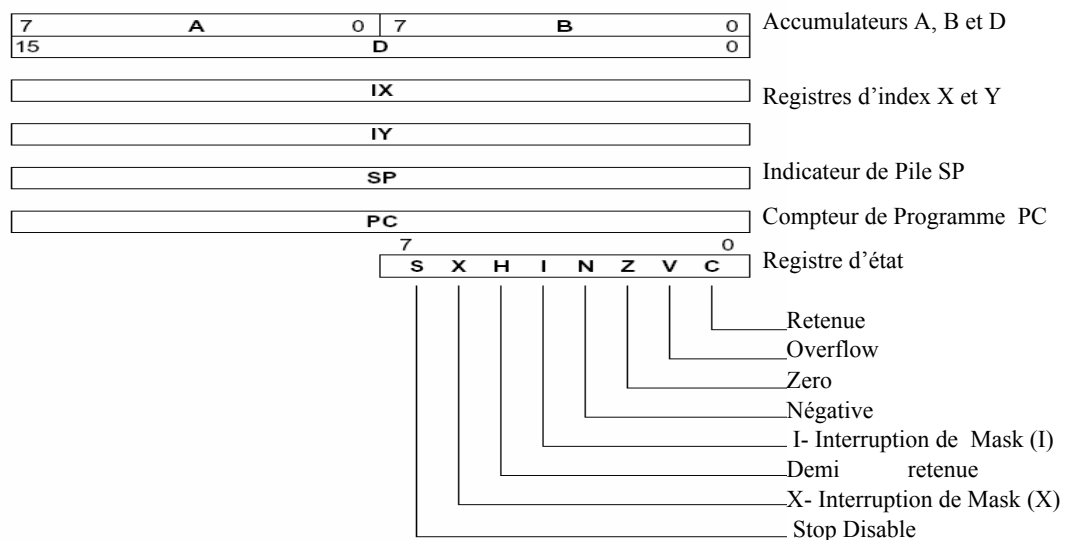


Figure 4.2: Registres du 68HC11

Selon la figure 4.2, nous remarquons que:

- 1) Le 68HC11 a deux accumulateurs A et B de 8 bits. Ils peuvent contenir un octet de données, et peuvent être utilisés ensemble comme un registre arithmétique de 16 bits. Dans ce cas, l'ensemble est nommé le registre D. Ces accumulateurs sont utilisés pour exécuter la plupart des opérations arithmétiques comme l'addition, la soustraction et

l'exécution d'opérations logiques (and, or, etc.). Les résultats de telles opérations sont souvent placés de nouveau dans les mêmes registres.

- 2) Les registres d'index sont les registres X et Y. Ceux-ci sont des registres de 16 bits. Ces registres d'index sont généralement utilisés pour étendre la capacité d'adressage du microprocesseur.
- 3) L'indicateur de Pile ou le registre SP, est utilisé pour stocker l'emplacement du pointeur de pile de programme. La pile est utilisée pour le stockage provisoire des données et le stockage de l'adresse de retour lors des opérations d'application sous-routine.
- 4) Le Compteur de Programme ou le registre PC indique l'adresse de l'instruction suivante qui sera exécutée.
- 5) Le Registre d'état (CCR) contient cinq indicateurs de statut.

4.2.1.3. Mode d'adressage

Le 68HC11 a six modes d'adressage:

- **Immédiat (IMM)**: Dans ce mode, l'instruction contient la valeur des données utilisées pour charger un registre. Ces données sont spécifiées par le préfixe «#».a

Exemple: LDAA #\$80: charge le registre (A) avec le nombre 80H.

- **Direct (DIR)**: Dans ce mode d'adressage, l'instruction contient l'octet (Byte) le moins significatif de l'adresse où les données doivent être placées. L'octet le plus significatif de l'adresse est assumé pour être \$00.

Exemple: STAA \$80: stocke le registre (A) dans le mémoire à l'adresse \$0080.

- **Étendu (EXT)**: Dans le mode d'adressage étendu, l'instruction contient l'adresse absolue de l'emplacement en mémoire des données. Cette adresse est spécifiée par deux octets (16 bits).

Exemple: STAA #\$1000: stocke (mémorise) le contenu du registre (A) dans la mémoire à l'adresse \$1000

- **Indexé (INDX, INDY)**: Dans ce mode, l'un des deux registres d'index (X ou Y) est utilisé afin de calculer une adresse. Dans ce cas, l'adresse en mémoire dépend du contenu actuel du registre d'index X ou Y (de 16 bits) et est spécifiée par la somme du contenu du registre X(Y) avec une valeur de 8 bits

Exemple: LDAA 5, X: charge le registre (A) avec le contenu de la mémoire se trouvant à l'adresse égale au contenu du registre X additionné avec la valeur 5.

- **Inhérent (INH)**: Ces instructions ne requièrent pas l'usage d'une adresse de mémoire externe et les données sont inhérentes au microprocesseur.

Exemple: TAB transfère le contenu d'un registre (A) dans le registre (B). Aucune adresse de mémoire externe n'est utilisée.

- **Relatif (REL)**: Ce mode d'adressage est utilisé seulement pour des instructions de branchement. Donc une valeur de 8 bits est ajoutée au contenu du registre PC

(compteur de Programme) pour former l'adresse de l'instruction suivante qui va être exécutée.

Exemple: le `BRA 5` effectue un branchement en sautant 5 octets dans le flot d'instruction.

4.2.1.4. Jeu d'instructions

Le jeu d'instructions est organisé de la façon suivante:

- Instructions élémentaires: Ces instructions n'affectent que les données: lecture/écriture de données, calculs arithmétiques ou logiques, etc. Elles permettent de réaliser des transferts de données entre les contenus des registres du processeur et la mémoire, ou d'effectuer des opérations entre les registres et des données. Puis elles stockent le résultat dans un registre ou dans la mémoire. Elles peuvent être classifiées en:
 - 1- Instructions de transfert (par exemple: écriture d'un registre vers la mémoire ou lecture de la mémoire vers un registre).
 - 2- Instructions arithmétiques (par exemple: addition, soustraction, multiplication, etc.)
 - 3- Instructions logiques (par exemple: ET, OU, XOR, décalage, etc.)
- Instructions de contrôle: ces instructions affectent le flot global d'exécution (par exemple: les boucles, les appels de fonctions et les retours de fonctions, les branchements,...). Les instructions de branchement permettent de modifier le flot d'exécution et de choisir la prochaine instruction à exécuter.

Deux sortes de branchements sont à remarquer:

- 1- Les branchements conditionnels: Le processeur effectuera le branchement indiqué ou exécutera l'instruction adaptée en fonction de la valeur logique d'une condition.
 - 2- Les branchements inconditionnels: Ils affectent directement la valeur définie par le registre compteur du Programme (PC). Par exemple: des appels des fonctions, des retours des fonctions et des branchements
- Instructions d'interruption: ces instructions sont utilisées pour interrompre les opérations qui sont en train de s'exécuter. (Par exemple: SWI, WAI, RTI).

Après cette brève description de l'architecture du microprocesseur 6800, le paragraphe suivant est consacré à la présentation du flot de conception utilisé pour l'analyse de ce microprocesseur.

4.3. Flot de conception

Dans ce paragraphe nous nous sommes focalisés sur les différentes étapes de la conception d'un processeur avant d'aboutir à la forme finale susceptible d'être implémentée sur silicium.

La Figure 4.3 illustre le flot de conception basé sur une description VHDL.

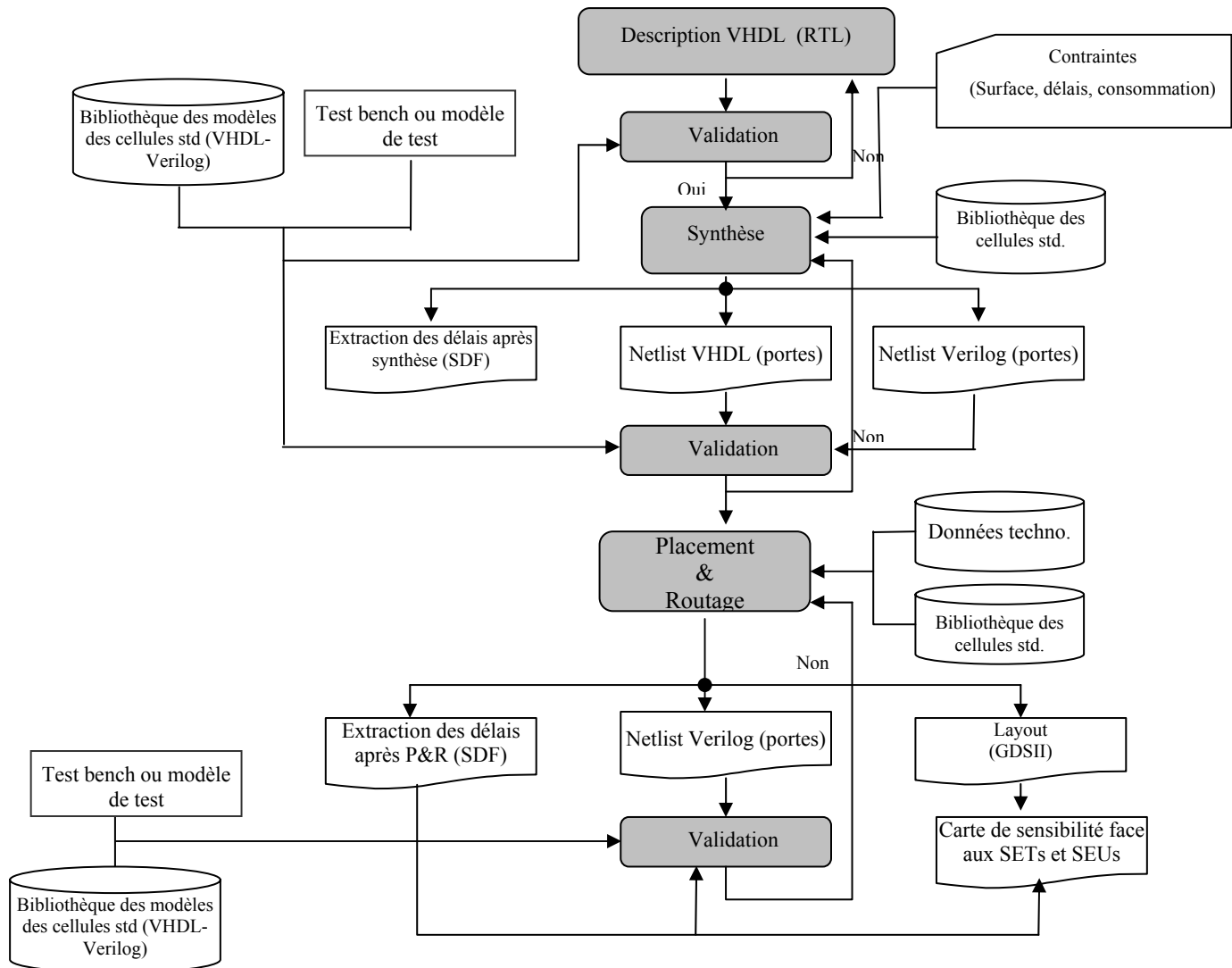


Figure 4.3: Flot de conception

Sur la figure 4.3, on distingue les étapes suivantes:

- **Création des modèles VHDL.** Il s'agit de créer des modèles VHDL synthétisables au niveau RTL.
- **Simulation des modèles VHDL avant synthèse.** Il s'agit de créer un ou plusieurs modèles de test en VHDL pour valider le modèle RTL du module.
- **Synthèse des modèles VHDL.** Elle détermine une réalisation du modèle RTL à base de cellules standard (portes logiques combinatoires et séquentielles). Cette synthèse est usuellement gouvernée par un ensemble de contraintes définies séparément (surface, délais, consommation). Elle se base aussi sur une bibliothèque de cellules standard spécifiques à une technologie donnée (p.ex. ST 0,18 micron CMOS). Cette technologie définit pour chaque cellule la fonction, la surface, les délais internes, la consommation et les contraintes d'environnement.

Le résultat de la synthèse est une description (*netlist*) des portes et de leurs interconnexions. Cette description peut être générée en VHDL et en Verilog. Le second format sera utile pour passer à l'étape de placement et de routage. Il est aussi possible de générer un fichier SDF (*Standard Delay Format*) contenant les délais des portes.

- **Simulation après synthèse:** Les modèles de test peuvent être réutilisés (avec de légères modifications pour référencer le bon modèle à tester) pour simuler le modèle VHDL et Verilog au niveau porte avec le fichier de délais obtenu après synthèse.
- **Placement et routage (P/R):** L'étape de placement et routage détermine une réalisation géométrique (*layout*) d'une description au niveau porte en fonction des paramètres de la technologie considérée et d'une bibliothèque de descriptions géométriques de cellules standard. Dans cette bibliothèque toutes les cellules ont la même hauteur de manière à pouvoir les aligner par rangées. Le routage des interconnexions se fait soit entre les cellules soit au-dessus des cellules, ce qui permet de joindre les rangées et de gagner ainsi de la place.

Le résultat du placement et routage est une description géométrique au format GDSII qui est un format binaire standard suite au P/R. Il est aussi possible de générer un fichier SDF contenant les délais des portes et des interconnexions.

Si la *netlist* n'a pas changée durant cette étape (p.ex. à cause de l'insertion d'un arbre d'horloge), le fichier SDF peut être utilisé avec le modèle Verilog généré après synthèse. Sinon, il faut générer un nouveau modèle Verilog à partir du résultat du placement et routage.

- **Simulation après placement et routage:** Il s'agit ici de simuler un modèle Verilog avec les informations de délais extraites du *layout*.

4.3.1. Description VHDL d'un 6800

Lors de cette étape, un modèle HDL (Hardware Description Language) est créé à partir de l'ancienne version matérielle du composant et des anciens jeux d'instructions.

Une première version a été remodelée par la compagnie EDF¹. Cette version du microprocesseur mc6800 de Motorola a ensuite été validée grâce à des simulations en utilisant une application (test-bench) de type multiplication de deux matrices de taille 7X7. Nous avons tout de même décidé de vérifier exhaustivement toutes les instructions de ce microprocesseur.

Partant de là, nous avons adapté et utilisé un programme de test pseudo-exhaustif nommé GAPT (disponible au laboratoire TIMA) qui exécute toutes les combinaisons valides de code d'opération et de mode d'adressage. Chacune de ces combinaisons est précédée d'une séquence d'initialisation lors de laquelle des données aléatoires sont stockées dans tous les registres de test du microprocesseur. Cette initialisation est suivie d'une séquence d'observation qui exécute et stocke tous les registres dans un emplacement spécifique de la mémoire pour une future analyse. Un tel module, nommé module élémentaire [Vel-85], permet un diagnostic performant lorsque les données obtenues diffèrent des données escomptées. Un exemple de module élémentaire est présenté figure 4.4.

¹ - EDF- Electricité de France

Créer et adapter un programme de test pseudo-exhaustif pour un processeur donné n'est pas une opération triviale. Cette étape requiert des outils appropriés et devient irréalisable dans le cas de processeurs complexes (32 bits ou plus).

```

; Initialisation of all registers
ldaa      #C0
tap       ; CCR initialisation
ldaa      #0B      ; Accumulator A initialization
ldab      #0A      ; Accumulator B initialization
lds #1000 ; Stack pointer initialization
ldx #2000 ; Index register initialization
; Instruction to test
tab       ; transfer Acc A contains to Acc B
; Observation of results
staa      #3000 ; Accumulator A observation
stab      #3001 ; Accumulator B observation
sts #3002 ; Stack pointer observation
stx #3004 ; Index register observation
tpa       ; CCR observation
staa#3006
    
```

Figure 4.4: Exemple de module élémentaire dans le cas de l'instruction «transférer A to B: TAB» pour le microprocesseur MC6800

Une version simplifiée du programme GAPT a été mise en place afin, d'une part, de générer les modules élémentaires du test, et d'autre part, de valider la description VHDL du microprocesseur mc6800.

Les programmes de test doivent exécuter de manière exhaustive toutes les instructions du mc6800 avec tous les modes d'adressage possibles. Ils doivent également être capables de stocker les résultats des tests pour que ces derniers puissent être comparés ultérieurement à des résultats de référence obtenus en exécutant ces mêmes programmes sur le mc6800. En fait, un programme de test aura les caractéristiques suivantes:

- Initialisation des différents registres en fonction de l'instruction à tester,
- Choix aléatoire des opérands à utiliser,
- Possibilité de stockage des résultats de test.

Plusieurs programmes de test générés recouvrant tout le jeu d'instruction du mc6800 avec tous les modes d'adressage possibles ont été exécutés sur le mc6800 et sur sa version implémentée en FPGA.

Suite à cette validation, plusieurs erreurs de conception ont été détectées (exemple: voir tableau 4.2).

Valeurs chargées dans le registre CCR	Valeurs observées du registre CCR
5A _h , (01011010 _b)	1A _h , (00011010 _b)
FF _h , (11111111 _b)	BF _h , (10111111 _b)
A5 _h , (10100101 _b)	A5 _h , (10100101 _b)
00 _h , (00000000 _b)	00 _h , (00000000 _b)

Tableau 4.2: Comparaison entre les valeurs chargées dans le registre CCR et les valeurs observées.

L'analyse du contenu du registre CCR nous a révélé une mauvaise implémentation du registre CCR en VHDL:

- Le bit 6 de CCR (7^{ème} bit) est toujours mis à «0» au lieu de «1».
- Le bit 7 de CCR (8^{ème} bit) peut prendre les valeurs «0» ou «1» alors qu'il doit être toujours à «1».

La notice technique du mc600 montre que ces 2 bits du registre CCR ne sont pas utilisés et qu'ils valent toujours «1». De telles erreurs n'ont pas été observées selon d'autres applications de test ou des test-bench. Elles ne se manifestent jamais comme des erreurs d'application parce qu'elles concernent les 8^{ème} et 7^{ème} bits du registre CCR ,ceux-ci n'étant jamais utilisés dans des applications.

Même s'il n'est pas facile de prédire les conséquences de cette erreur, parce qu'elle concerne les bits non utilisés du registre CCR, il est important de noter qu'elle doit être prise en compte pour de futures applications qui pourraient avoir besoin du bit d'interruption supplémentaire, dans l'objectif d'améliorer des capacités d'interruption.

D'autres résultats obtenus par l'application des programme de test ont montré d'autres erreurs concernant plusieurs instructions: TSX, TXS, DAA, CPX , NEG.(voir annexe B)

Après avoir détecté et corrigé ces erreurs dans le code source, des simulations ont été effectuées afin de vérifier la justesse des modifications apportées au code source original. Partant de là, le flot de conception se poursuit par une opération de synthèse logique.

4.3.2. Synthèse logique de 68HC11

La synthèse logique transforme la description HDL en un graphe des cellules de bibliothèque et des interconnexions entre celles-ci. Ce graphe est nommé «*netlist*».

En se basant sur cette nouvelle version corrigée du modèle VHDL synthétisable, une synthèse logique a été faite en utilisant des outils comme 'Design Analyser' (Synopsys). La cible technologie pour la réalisation de la synthèse est le 0,18µm.

A travers la synthèse logique, le processeur est optimisé en fonction des contraintes de l'utilisateur (surface minimale, contraintes de temps de propagation, de dissipation de puissance, d'activité, etc...).

La figure 4.5 présente les résultats de synthèse de notre processeur 68HC11.

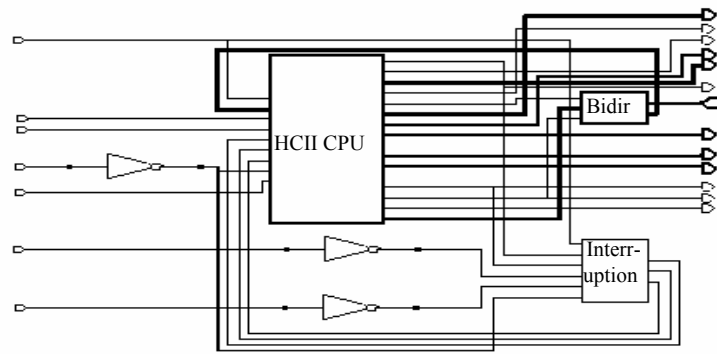


Figure 4.5: Résultats de la synthèse du processeur 68HC11

La description structurelle du circuit au niveau porte logique après l'étape de synthèse, a été sauvegardée dans un fichier *netlist* Verilog. Ce fichier sera utilisé par l'algorithme d'injection et de simulation des fautes transitoires que nous avons mis en place et qui sera présenté plus loin.

4.3.3. Simulation après synthèse

Des simulations numériques sont faites sur la description VHDL «RTL» en utilisant le même test-bench «la multiplication de deux matrices de taille 7X7», ainsi que la version adaptée du GAPT.

4.3.4. Placement-Routage

L'étape de placement-routage consiste à transformer une *netlist* de portes en *layout*. Pour générer cette transformation du circuit nous allons utiliser un outil de placement-routage automatique qui permet, à partir d'une description d'un circuit au niveau porte (*netlist* Verilog), de générer automatiquement le *layout* correspondant. Dans notre cas, nous avons utilisé le logiciel Silicon-Ensemble de Cadance.

La figure (4.6) illustre la succession d'opérations à effectuer pour placer et router un circuit.

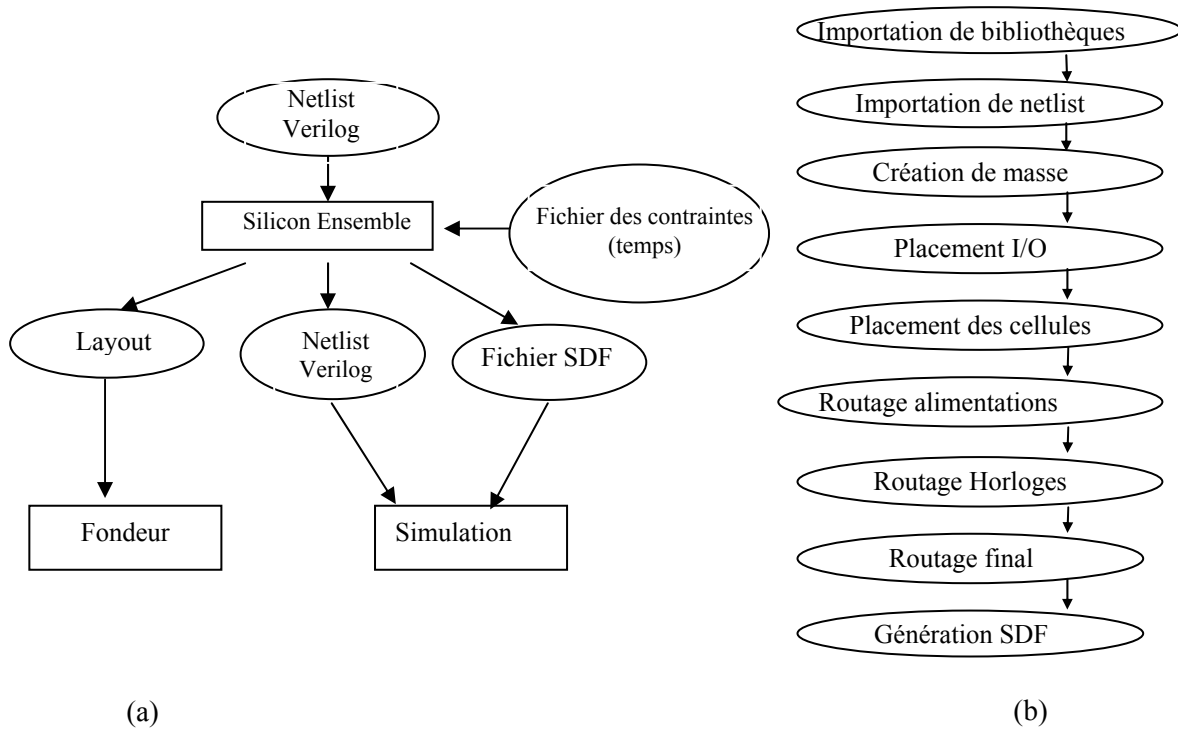


Figure 4.6: Placement Routing (a) une vue générale, (b) Succession d'opérations à effectuer

Après l'exécution de l'outil de Placement et Routage sur la *netlist* Verilog du microprocesseur 6800, nous avons obtenu le *layout* correspondant de ce microprocesseur, figure 4.7.

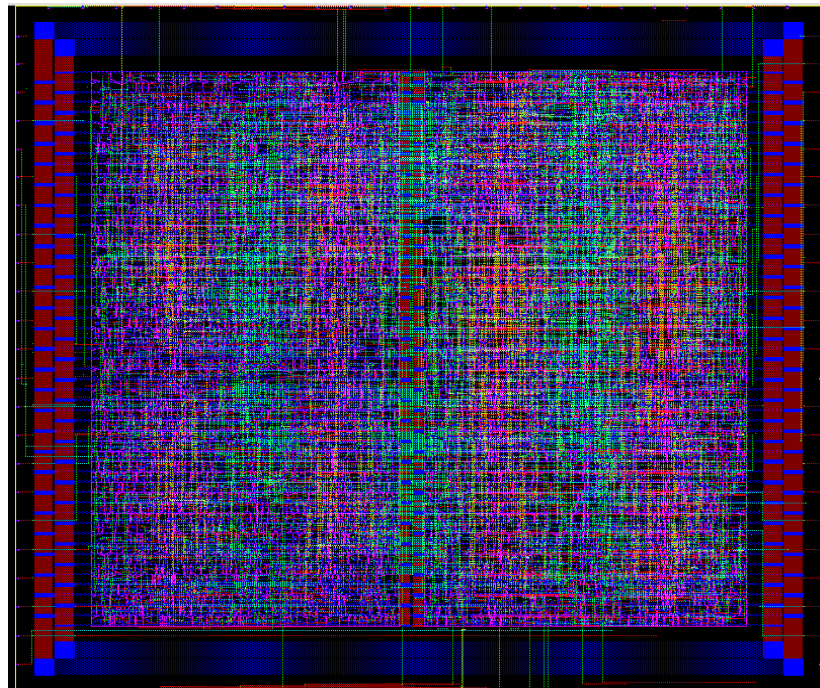


Figure 4.7: Microprocesseur mc6800 après placement et Routage.

En consultant le circuit issu du placement routage nous remarquons que:

1. Le microprocesseur 6800 contient 4758 cellules dont 175 cellules de type Flip-Flop et 4583 portes combinatoires.
2. La surface globale du layout est égale à 1833 209856 (DBU carré) $\cong$ 458.4 mm².
3. La surface utilisée par les cellules est égale à 1027932160 (DBU carré) $\cong$ 257 mm².

4.3.5. Simulation Post P/R

Cette étape consiste à simuler le circuit issu de l'étape de placement-routage avec le fichier de rétro-annotation *.sdf* qui nous permet de prendre en compte le délai des portes et des fils d'interconnexions. Nous avons utilisé la multiplication de deux matrices (7*7) comme test-bench afin de valider le fonctionnement du circuit.

Les simulations numériques de cette étape ne présentent aucune erreur. Nous nous sommes attachés à la simulation avec injection de fautes.

4.3.6. P&R sur FPGA

Le code source ainsi obtenu a été également implanté sur FPGA dans le but d'être testé et comparé à un mc6800 original. Cette comparaison doit prouver une fois de plus l'exactitude du modèle VHDL proposé et l'exactitude des modifications apportées au code source original.

Pour ce faire, des programmes en langage assembleur ont été générés afin de pouvoir tester le bon fonctionnement des instructions. Ces programmes de test et les résultats qui en découlent sont détaillés dans l'annexe B.

En fait, les résultats de simulations ont montré un bon fonctionnement de toutes les instructions.

4.4. Injection et simulations des SETs et SEUs

Parmi les trois méthodes d'injection et de simulation de fautes transitoires, nous avons trouvé que la méthode qui se base sur l'utilisation des simulations numériques est la meilleure quant au temps de simulation et à la facilité d'effectuer des injections de fautes transitoires. L'inconvénient principal de cette méthode est le pessimisme des résultats d'évaluation.

L'injection de fautes transitoires dans le microprocesseur mc6800 a été réalisée en utilisant une stratégie d'injection des impulsions transitoires à l'aide d'un simulateur *event-driven*.

Cette stratégie nous permet de mettre en œuvre une analyse de la sensibilité du microprocesseur face à de telles fautes et de créer une carte de sensibilité qui montre les cellules et les parties les plus sensibles face aux fautes transitoires.

4.4.1. Modèle logique d'une faute transitoire

Le modèle choisi pour les impulsions transitoires a été présenté dans le chapitre 3 et consiste en des impulsions logiques de forme rectangulaire d'une durée égale à « Δt_{inj} » (mesurée à $V_{dd}/2$) et d'amplitude égale à V_{dd} (voir figure 4.8).

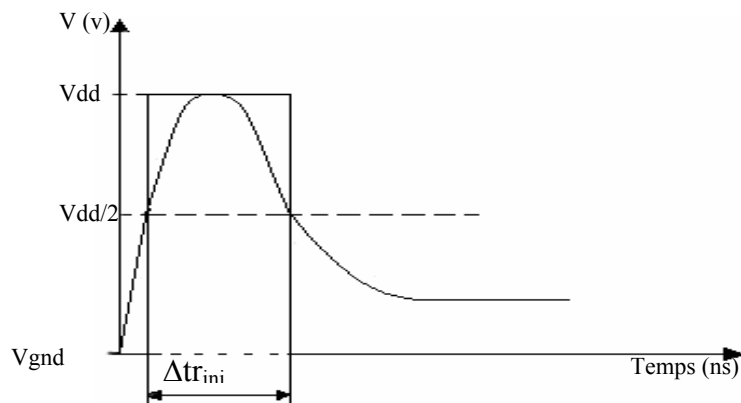


Figure 4.8: Représentation d'une impulsion transitoire

4.4.2. Stratégie utilisée pour l'injection de fautes transitoires

En se basant sur les hypothèses précédentes, un environnement de test a été réalisé en utilisant un simulateur numérique tel que VerilogXL de Cadence et le fichier *netlist* Verilog résultant de la synthèse logique.

L'objectif étant d'automatiser l'injection de fautes dans un circuit complexe tel qu'un microprocesseur, nous avons besoin, de développer une méthode afin qu'elle soit adéquate pour l'injection d'un grand nombre des fautes transitoires, et d'évaluer la sensibilité d'un circuit complexe.

En prenant en compte le fait que les fautes transitoires ont une occurrence aléatoire, et qu'elles peuvent affecter n'importe quel nœud à n'importe quel moment pendant le cycle d'horloge, nous devons créer un environnement de simulation capable de prendre en compte tous les nœuds du circuit, tous les vecteurs de test, et tous les instants d'injection possibles.

Pour ces raisons, un algorithme de simulation accéléré est requis. Cet algorithme se base sur les principes suivants:

1. Détermination des points d'injection: En ce qui concerne les points d'injection, il est nécessaire d'analyser et de parcourir le fichier *netlist* contenant la description structurelle du circuit afin de choisir les nœuds d'injection.

L'analyse de la sensibilité totale du circuit face aux fautes transitoires demande le calcul de la sensibilité de tous les nœuds du circuit.

De ce fait, une procédure automatique de recherche des nœuds d'injection a été mise en place. Cette procédure extrait tous les points d'injection du circuit. Le choix d'un point d'injection de la liste de nœuds est fait de manière aléatoire.

2. choix des vecteurs de test: Comme l'effet d'erreurs softs sur le circuit dépend des vecteurs de test appliqués aux entrées du circuit, nous devons donc appliquer une séquence significative de vecteurs de test et effectuer l'injection des fautes pour chaque vecteur appliqué.

Les vecteurs de test peuvent être générés et déterminés de plusieurs façons:

-
- Des vecteurs de test générés par le concepteur provenant d'une application déterminée.
 - Un ensemble complet des vecteurs de test du circuit. En supposant un circuit avec un nombre significatif de plots d'entrée, l'application d'un ensemble complet des vecteurs rendra la simulation trop longue.
 - Une génération aléatoire ou pseudo-aléatoire. Dans ce cas, nous pouvons appliquer, la plupart du temps, une séquence suffisante de vecteurs de test aléatoire.

La sensibilité du microprocesseur mc6800 face aux fautes transitoires de type SET et SEU a été calculée en appliquant:

- Des vecteurs de test générés d'une façon pseudo-aléatoire.
- Des vecteurs de test provenant d'une application spécifique: une multiplication de deux matrices de taille 7X7.

4.4.3. Injection de fautes transitoires de type SET dans le mc6800

4.4.3.1. Rappel de l'analyse statistique des résultats:

La probabilité de capturer une faute transitoire par un *latch* ou registre, dépend de l'instant d'arrivée et de la largeur de la faute à l'entrée de ce registre.

Conformément au paragraphe 3.2.1.3, nous soulignons plusieurs possibilités.

- 1- L'impulsion transitoire n'est pas capturée par un *latch* de sortie: la faute n'a aucun impact sur le circuit et la sensibilité du circuit pour cette faute est de 0%.
- 2- L'impulsion transitoire est capturée par un *latch* de sortie: la sensibilité est plus grande que 0%. Dans ce cas deux situations sont possibles:
 - Si l'impulsion transitoire provoque un changement des valeurs logiques stockées dans le *latch*, la sensibilité est de 100%.
 - Si les temps de setup/hold sont violés, la sortie d'un *latch* prend la valeur 'X'. Dans ce cas là, nous pouvons considérer que la sensibilité du circuit est égale à 50%

En prenant en compte les temps de hold et de setup du *latch* (T_{setup} et T_{hold}), la durée de l'impulsion transitoire à l'entrée d'un *latch* (Δt_{rout}) et l'instant d'arrivée d'une impulsion à l'entrée du *latch* (t), nous pouvons illustrer la possibilité de capturer une impulsion transitoire injectée au nœud (i) par un des *latches* de sortie d'un circuit selon deux manières:

a) si $\Delta t_{r_{out}} < T_{setup} + T_{hold}$, nous avons deux probabilités:

$$p(t) = \begin{cases} 0 & t < -T_{setup} - \Delta t_{r_{out}}; t > T_{hold} \\ 0,5 & -T_{setup} - \Delta t_{r_{out}} \leq t \leq T_{hold} \end{cases} \quad (4.1)$$

b) si $\Delta t_{r_{out}} > T_{setup} + T_{hold}$, nous avons plusieurs probabilités:

$$p(t) = \begin{cases} 0 & t < -T_{setup} - \Delta t_{r_{out}}; t > T_{hold} \\ 0,5 & -T_{setup} - \Delta t_{r_{out}} \leq t \leq T_{hold} - \Delta t_{r_{out}} \\ 1 & T_{hold} - \Delta t_{r_{out}} < t < -T_{setup} \\ 0,5 & -T_{setup} \leq t \leq T_{hold} \end{cases} \quad (4.2)$$

La probabilité intégrale de capturer une impulsion injectée sur un seul nœud est:

$$P = \frac{1}{T_{CLK}} \int_0^{T_{CLK}} p(t) \cdot dt \quad (4.3)$$

où $p(t)$ est la probabilité instantanée de capturer une impulsion injectée sur un nœud à un instant précis. Cette probabilité peut être calculée par les équations 4.1 et 4.2.

En résolvant les trois équations 4.1, 4.2 et 4.3, nous trouvons que:

- si $\Delta t_{r_{out}} < T_{setup} + T_{hold}$, la probabilité est:

$$P = \frac{1}{2} \cdot \frac{T_{HOLD} + T_{SETUP} + \Delta t_{r_{out}}}{T_{CLK}} \quad (4.4)$$

- si $\Delta t_{r_{out}} > T_{setup} + T_{hold}$ donc:

$$P = \frac{\Delta t_{r_{out}}}{T_{CLK}} \quad (4.5)$$

Selon ces équations, nous observons que:

- 1- La probabilité, qu'une faute transitoire se transforme en erreur logique, est un rapport entre la largeur d'impulsion $\Delta t_{r_{out}}$ et la période d'horloge.
- 2- Une impulsion est capturée par un *latch* si la faute est présente, à l'entrée d'un registre, avant le T_{setup} par rapport au front actif de l'horloge. Alors la probabilité de capturer une impulsion d'une durée donnée augmente proportionnellement à la fréquence d'horloge.
- 3- Quand la largeur d'une impulsion transitoire injectée sur un nœud augmente, la probabilité, que l'impulsion soit présente sur les entrées de registres au moment de l'arrivée du front actif de l'horloge, augmente aussi.

En conclusion, nous pouvons évaluer, pour chaque nœud du circuit, la probabilité qu'une faute injectée se transforme en valeur erronée (erreur soft *SE*) capturée par un *latch* ou détectée aux sorties du circuit.

En utilisant ces valeurs, l'évaluation de la sensibilité totale du circuit sous test peut être calculée en utilisant l'équation suivante:

$$S_{circuit} = \frac{1}{N} \sum_N P_i \quad (4.6)$$

où, $S_{circuit}$ est la sensibilité du circuit face aux fautes transitoires, N est le nombre total des nœuds d'injections et P_i est la probabilité de capturer une faute transitoire injectée sur le nœud d'injection (i).

La sensibilité d'un nœud d'injection P_i peut être calculée par:

$$P_i = \frac{1}{V} \sum_{v_j} P_{v_j} \quad (4.7)$$

où, P_i est la probabilité de capturer une faute transitoire injectée sur le nœud d'injection (i), V est le nombre total des vecteurs de test appliqués et P_{v_j} est la probabilité intégrale du nœud (i) pour un vecteur v_j , cette probabilité peut être calculée à partir des équations (4.4) et (4.5).

4.4.3.2. Algorithme final d'injection de fautes transitoires de type SET:

En se basant sur les dernières hypothèses, un algorithme d'injection et de simulation de fautes transitoires a été réalisé à l'aide d'un simulateur *event-driven*, (le simulateur VerilogXL de Cadence) selon l'algorithme présenté au chapitre 3.

Pour chaque vecteur de test appliqué aux entrées, nous effectuons plusieurs cycles de simulation.

- 1- Le premier cycle de simulation est consacré à la simulation sans injection de fautes. Les résultats obtenus dans ce cas sont considérés comme étant des valeurs correctes de référence pour les cycles de simulation avec injection de fautes.
- 2- Les cycles de simulations suivants seront faits avec injection de fautes.

Quand toutes les fautes ont été simulées pour un vecteur de test appliqué aux entrées, l'algorithme passe à un autre vecteur de test.

Partant de là, nous pouvons illustrer les étapes principales de l'algorithme proposé dans le but d'injecter et d'analyser des fautes transitoires SETs dans un circuit combinatoire:

L'algorithme d'injections et de simulations de fautes transitoires de type SET dans un circuit

Pour chaque vecteur de test

Simuler le circuit sous test sans injection des fautes

Evaluer les événements du circuit.

Attendre la stabilité du circuit pour obtenir des valeurs de référence

Pour chaque faute de la liste

Injecter la faute en utilisant un modèle logique-temporel « une impulsion transitoire »

Evaluer les événements induits par l'injection d'une faute

Calculer la durée de l'impulsion aux entrées des latches

Calculer la probabilité de capturer la faute par un latch de sortie

Rétablir l'état correct du circuit

End « pour chaque faute »

End « pour chaque vecteur de test »

4.4.3.3. Résultats expérimentaux

Les fautes transitoires ont été injectées exclusivement dans les sorties des portes logiques du microprocesseur mc6800. Pour ce circuit, nous avons utilisé une description structurelle au niveau porte logique. Ce fichier de *netlist* a été généré après le placement routage du circuit. Lors de la simulation numérique, un fichier SDF a été utilisé pour la rétro-annotation.

Le mc6800 est composé de 4583 cellules combinatoires et de 175 cellules séquentielles (principalement des *latch*), 4595 fautes de type SET ont été injectées dans les sorties de toutes les cellules combinatoires pour chaque vecteur de test (un certain nombre de cellules dispose de deux sorties).

Cependant, chaque séance d'injection de fautes effectuée a consisté en l'injection d'une impulsion transitoire d'une durée choisie, sur tous les points d'injection d'une liste, pour un vecteur de test appliqué aux entrées.

Les vecteurs de test qui ont été choisis sont:

- une séquence des vecteurs de test aléatoires
- des vecteurs d'entrée correspondant à l'exécution d'un programme de multiplication de deux matrices de taille 7X7.

4.4.3.3.1. Sensibilité pour l'application des vecteurs de test aléatoires

Dans ce cas, des vecteurs de test aléatoire consistant en 450 vecteurs ont été appliqués aux entrées du mc6800.

Pour chaque point d'injection, la sensibilité a été calculée en utilisant les formules proposées (équations 4.1 à 4.7).

Les figures 4.9 et 4.10 présentent les résultats obtenus concernant successivement des injections dans une porte NAND et dans un Inverseur.

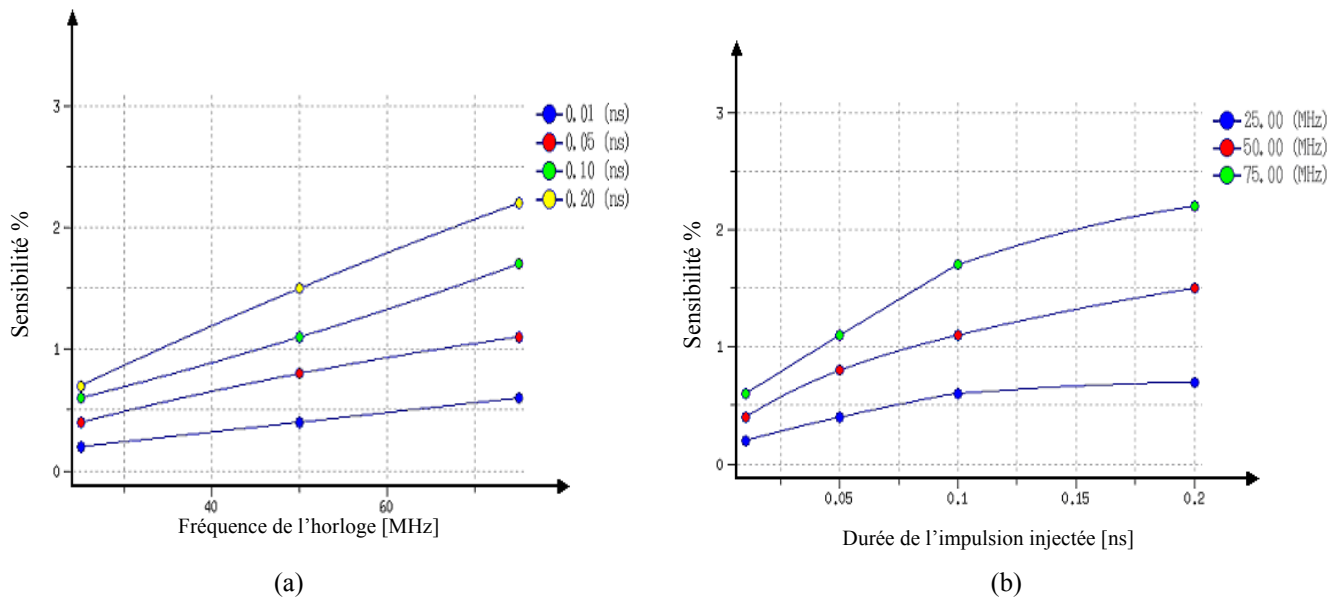


Figure 4.9: Sensibilité d'une porte logique de type NAND (a) Sensibilité en fonction de la fréquence d'horloge, (b) Sensibilité en fonction de la durée de l'impulsion.

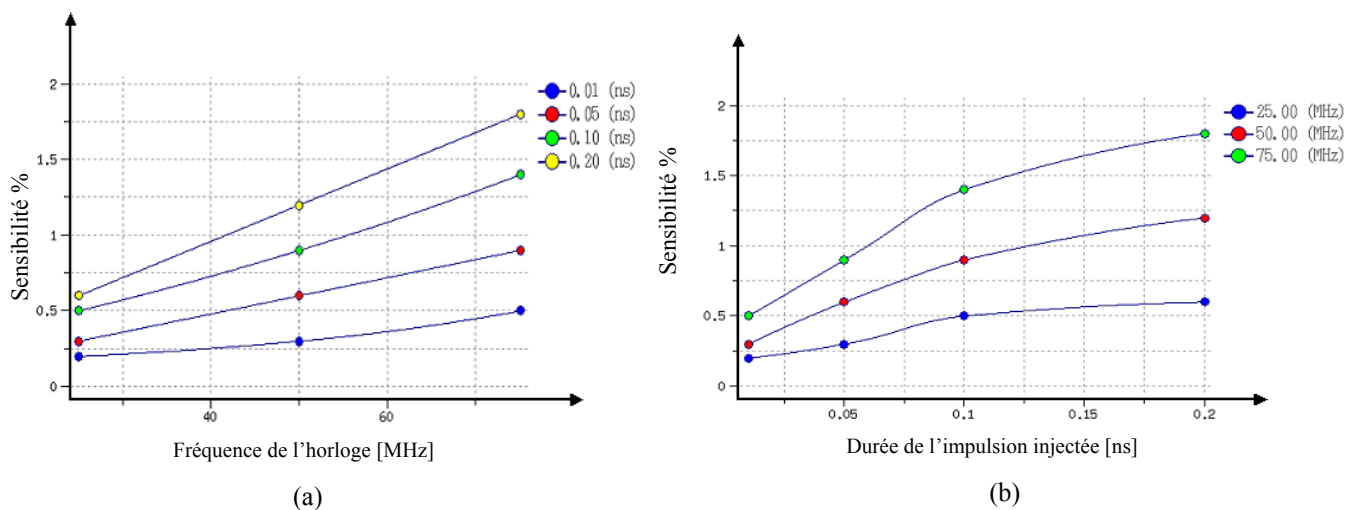


Figure 4.10: Sensibilité d'une porte logique de type Inverseur (a) Sensibilité en fonction de la fréquence d'horloge, (b) Sensibilité en fonction de la durée de l'impulsion.

La première observation qui ressort de l'analyse de ces deux figures concerne la dépendance linéaire de la sensibilité d'un circuit face à l'impulsion transitoire injectée. Quand la fréquence d'horloge augmente, la probabilité de capturer une faute transitoire par un des registres de sortie augmente aussi. L'accroissement de la fréquence d'horloge entraîne une augmentation de la probabilité d'avoir une impulsion présente à l'entrée des bascules au moment de l'arrivée d'un des fronts actifs de l'horloge, car ces fronts d'horloge arrivent plus fréquemment.

Les tendances de cette analyse montrent qu'en augmentant la fréquence de l'horloge, les parties combinatoires deviennent de plus en plus sensibles, sensibilité du même ordre que les mémoires.

La deuxième remarque concerne la relation entre la sensibilité et la durée de l'impulsion injectée. Plus la durée de l'impulsion est grande, plus la possibilité de la capturer par un *latch* de sortie est grande.

Suite à cette observation, nous allons procéder à l'évaluation de la sensibilité totale du circuit sous test (le microprocesseur 6800) face aux fautes transitoires (équation 4.6). La figure 4.11 montre cette sensibilité.

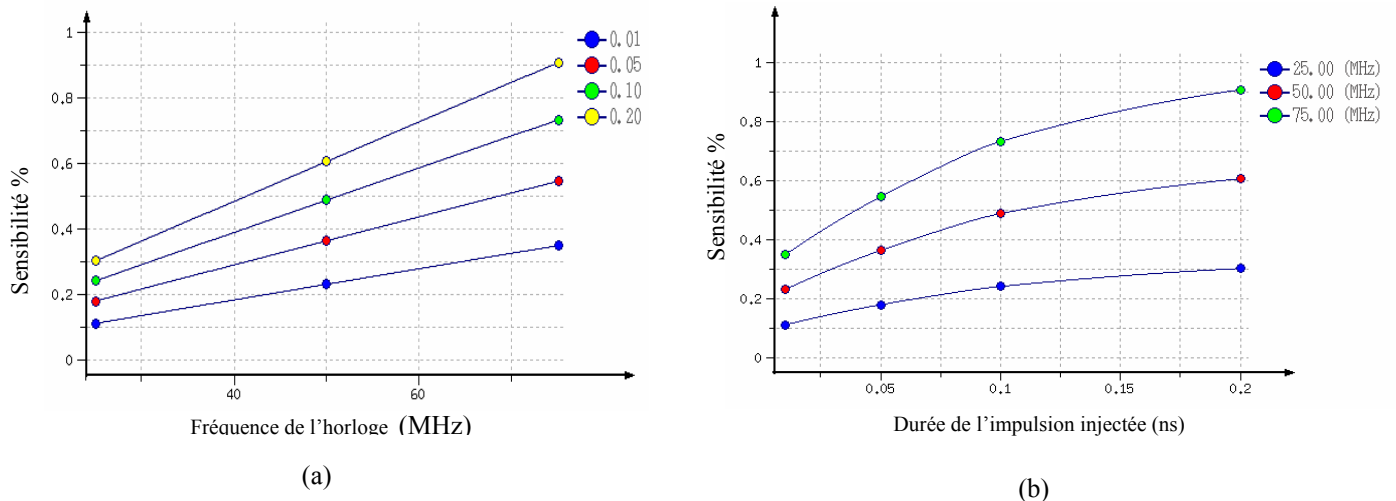


Figure 4.11: Sensibilité du microprocesseur mc6800 (a) Sensibilité en fonction de la fréquence d'horloge, (b) Sensibilité en fonction de la durée de l'impulsion.

La sensibilité totale du circuit est faible, de l'ordre de 0,15–0,30 %. Elle augmente linéairement avec la fréquence d'horloge et exponentiellement avec la durée de l'impulsion injectée.

Afin de terminer l'analyse de la sensibilité du mc6800, il est important de remarquer que la sensibilité du circuit après l'étape de placement-routage est moins importante que la sensibilité après la synthèse et ceci pour toutes les valeurs de la largeur de l'impulsion transitoire considérées. Les figures 4.12 et 4.13 présentent une comparaison de la sensibilité du mc8600 avant et après le placement-routage:

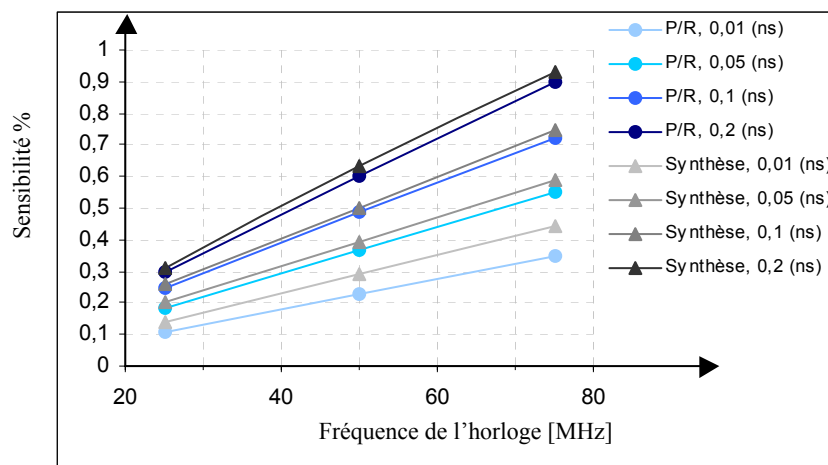


Figure 4.12: Sensibilité du mc6800 en fonction de la fréquence d'horloge

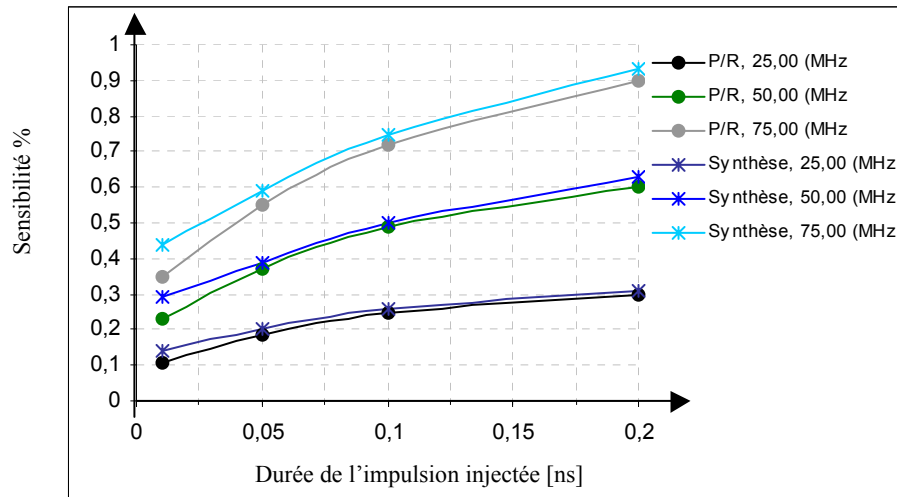


Figure 4.13: Sensibilité du mc6800 en fonction de la durée de l'impulsion injectée

Ceci s'explique à la fois par le changement de la *netlist* après l'étape de P/R car maintenant, de nouvelles cellules ont été ajoutées lors de la génération de l'arbre d'horloge et les temps de propagation des interconnexions (fichier SDF après P/R) ont été pris en compte.

De plus, nous remarquons que, pour les durées faibles des impulsions transitoires, la différence, entre les sensibilités après le P/R et les sensibilités après synthèse, est très importante.

4.4.3.3.2. Exécution d'un programme par le microprocesseur: une multiplication de deux matrices 7X7.

Nous avons estimé la sensibilité du microprocesseur mc6800 face aux fautes transitoires. Nous allons nous attacher dans cette section à montrer la sensibilité du mc6800 mais, pendant l'exécution d'une application. Nous avons choisi une multiplication de deux matrices comme une application généralement acceptée pour la validation globale du fonctionnement d'un microprocesseur.

En conséquence, nous avons appliqué un total de 5200 vecteurs de test correspondant à l'application choisie.

En gardant les mêmes conditions que pour les simulations avec des vecteurs aléatoires, nous avons donc injecté 4945 fautes par vecteur de test (4945 injection/vecteur), et nous avons utilisé les mêmes fichiers de délais «les fichiers *.sdf*».

De la même façon, pour chaque point d'injection, la sensibilité a été calculée en utilisant les formules proposées (équations. 4.1 à 4.7).

Les différentes courbes des figures 4.14 et 4.15 nous permettent de comparer la sensibilité du microprocesseur 6800 pendant l'exécution de l'application de la multiplication de deux matrices et de la séquence de tests aléatoires en fonction de la fréquence d'horloge et de la durée de l'impulsion transitoire considérée.

Remarque. Les simulations sont faites sur la description Verilog du mc6800 après le placement-routage.

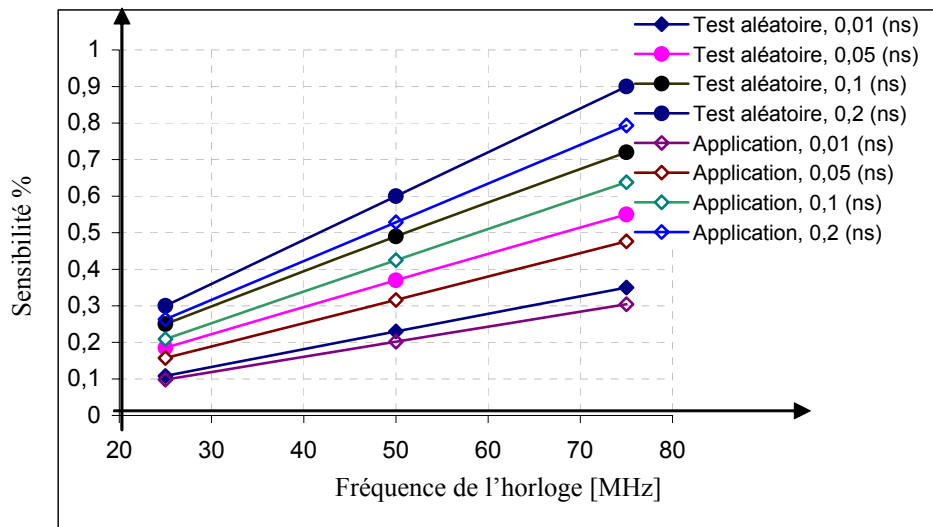


Figure 4.14: Sensibilité de mc6800 en fonction de la fréquence d'horloge en appliquant des séquences de vecteurs de test aléatoires et une application choisie.

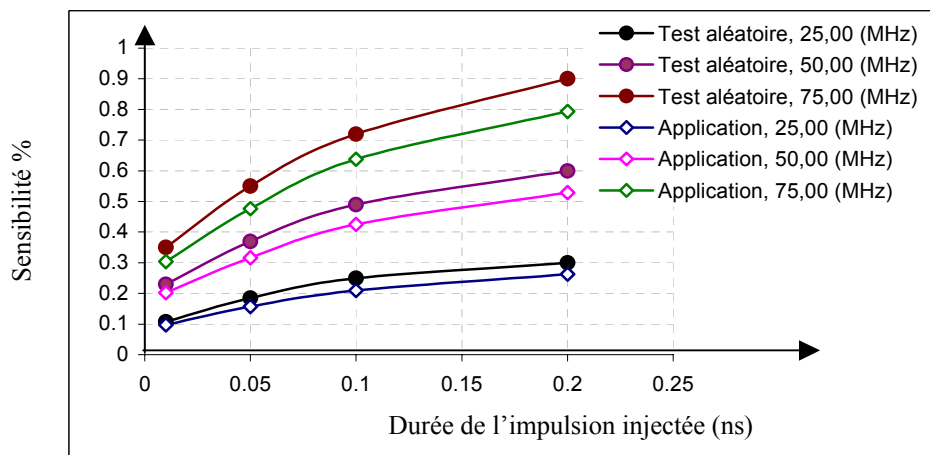


Figure 4.15: Sensibilité de mc6800 en fonction de la durée de l'impulsion injectée en appliquant des séquences de vecteurs de tests aléatoires et une application choisie.

L'analyse de ces deux figures montre, que la sensibilité du mc6800 dépend du programme exécuté par le microprocesseur, que celle-ci est plus grande lorsque le microprocesseur est testé avec des vecteurs de test aléatoirement générés que lorsqu'il s'agit de l'application. Ceci est dû au fait qu'un grand nombre de registres et de portes combinatoires peuvent ne pas être utilisés par un programme appliqué. Donc, les fautes affectant ces portes et ces registres n'ont pas d'effet au niveau de l'exécution du programme, et donc ne contribuent pas au calcul de la sensibilité face à une faute injectée. Par exemple: la sensibilité de mc6800 face à l'injection d'une faute de durée égale à 0,2 [ns] pendant l'exécution du programme de multiplication de deux matrices 7X7 est égale à 0,263 % pour une fréquence de 25 [Mhz]. Cette sensibilité est égale à 0,3 % pour la même fréquence et la même impulsion en appliquant une séquence de vecteurs de test aléatoires.

4.4.4. Injection des SEUs dans le mc6800

Jusqu'à présent, nous avons abordé l'injection et l'analyse des impulsions transitoires dans les nœuds des parties combinatoires du mc6800.

Cependant, une particule chargée peut toucher directement un nœud appartenant à une cellule mémoire, un registre ou un *latch* du circuit. Dans ce cas, les impulsions transitoires générées font basculer l'état logique de la cellule mémoire, le registre ou le *latch*. Ces fautes, nommées «upset ou SEU» sont immédiatement visibles aux sorties des cellules de mémoires, et de plus, l'erreur est présente jusqu'à la prochaine écriture de celle-ci.

Traditionnellement, l'analyse et la simulation des *upset* dans un circuit complexe se fait au niveau RTL en considérant une erreur sur un seul bit (bit error). Cependant, cette simulation néglige plusieurs situations physiques qui peuvent s'avérer importantes:

- A. L'impulsion transitoire générée ne peut pas changer complètement l'état logique d'un *latch* ou FF car elle disparaît après un temps court. Bien qu'il n'y ait aucune erreur logique dans le *latch*, si l'impulsion est générée au nœud de sortie (output) du *latch* elle peut être propagée dans le réseau des portes logiques se trouvant en aval de la sortie de ce *latch* jusqu'à l'un des *latches* suivants. Donc, même si l'impulsion n'est pas capable de changer complètement l'état logique d'un *latch*, il existe une possibilité très faible pour que l'impulsion puisse traverser le réseau des portes logiques suivantes et qu'elle puisse être capturée dans le *latch* en aval.
- B. L'impulsion transitoire générée peut changer l'état logique d'un *latch*, par contre les effets de la faute dépendent de l'instant de son apparition. Par exemple, si la faute transitoire arrive tard dans le cycle d'horloge, elle ne dispose pas d'assez de temps pour pouvoir se propager et arriver jusqu'à l'entrée d'un autre *latch* se trouvant en aval de la sortie du *latch* heurté et par conséquent pour provoquer une *Soft Erreur*.
- C. Les SEUs peuvent aussi être provoqués par des SETs provenant des particules ionisantes qui touchent les parties combinatoires.

Dans la suite, nous considérons que l'injection des SEUs se conforme à l'hypothèse B. La figure 4.16 illustre un exemple de ce cas.

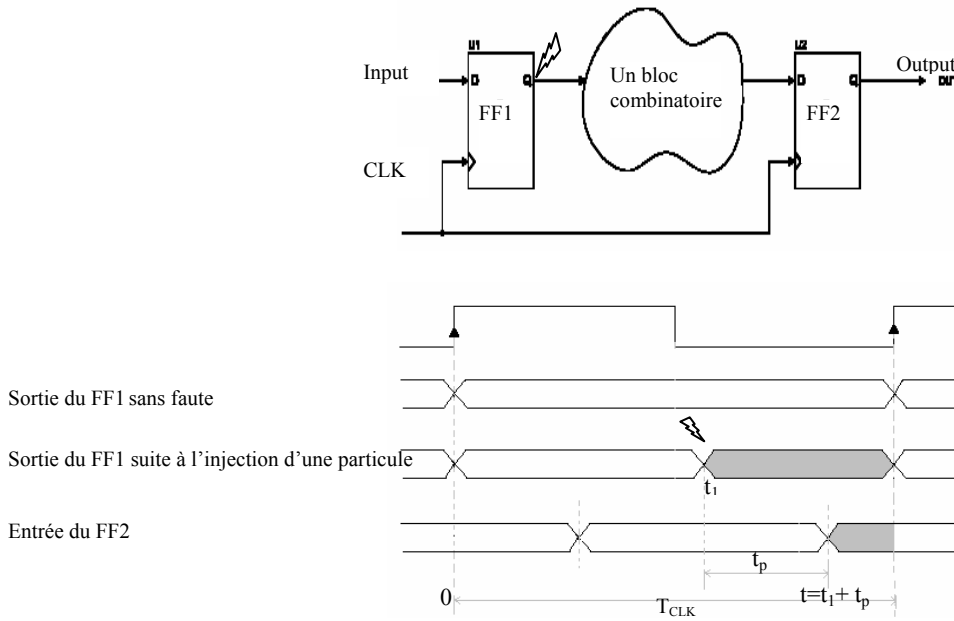


Figure 4.16: SET dans le latch FF1

Selon cette figure, une impulsion générée à la sortie du FF1 à l'instant t_1 peut arriver à l'entrée du FF2 en traversant un bloc combinatoire à l'instant $t = t_1 + t_p$ où t_p est le temps de propagation du bloc combinatoire nécessaire pour que cette impulsion transitoire puisse arriver jusqu'à l'entrée du *latch* en aval (FF2). Il est donc intéressant de définir une fenêtre d'opportunité au niveau du latch où l'impulsion peut être capturée comme erreur logique. Cette fenêtre est égale à $T_{CLK} - t_p$.

Pour pouvoir modéliser cette fenêtre et pouvoir simuler cette dernière situation (qui correspond à l'hypothèse B), nous avons absolument besoin d'un simulateur *event-driven*. L'injection des fautes peut être réalisée en changeant la valeur logique d'un latch de type FF1 entre l'instant d'apparition de la faute (t_1) et la fin du cycle d'horloge (voir figure 4.16)

4.4.4.1. Analyse statistique des probabilités des SEUs

Si on considère que le temps de propagation nécessaire pour que l'impulsion transitoire apparue à la sortie de *latch* FF1 puisse arriver jusqu'à l'entrée du *latch* FF2 se situant en aval du circuit combinatoire est t_p , la condition pour que cette impulsion se transforme en SEU correspond au fait que l'impulsion doit arriver à l'entrée de *latch* FF2 à un instant $t < T_{CLK} - t_p$.

Donc, nous pouvons affirmer que la probabilité qu'une impulsion transitoire apparue à la sortie d'un latch de type FF1 se transforme en SEU au niveau du latch en aval (FF2) s'exprime selon la formule suivante:

$$p(t) = \begin{cases} 0 & t + t_p > T_{CLK} \\ 1 & t + t_p < T_{CLK} \end{cases} \quad (4.8)$$

La probabilité intégrale qu'une impulsion transitoire apparue à la sortie d'un latch de type FF1 se transforme en SEU au niveau du latch en aval (FF2) est:

$$P = \frac{1}{T_{CLK}} \int_0^{T_{CLK}} p(t) \cdot dt \quad (4.9)$$

où $p(t)$ est la probabilité instantanée de capturer une impulsion apparue à la sortie du latch de type FF1 à un instant précis. Cette probabilité peut être calculée par l'équation 4.8.

En résolvant les deux équations 4.8 et 4.9, nous trouvons que:

$$P = \frac{T_{CLK} - t_p}{T_{CLK}} \quad (4.10)$$

La sensibilité totale d'un circuit face aux SEUs peut donc être calculée en utilisant les équations 4.8 – 4.10 et les deux équations 4.6 et 4.7.

4.4.4.2. Algorithme d'injection des SEUs

Dans l'objectif d'injecter et d'analyser des SEUs dans un circuit de type microprocesseur «le mc6800», nous pouvons utiliser le même algorithme que celui proposé précédemment concernant l'injection des fautes transitoires, mais au lieu d'injecter des impulsions rectangulaires, nous allons injecter des SEUs en inversant la valeur logique de la bascule considérée. Les étapes principales de l'algorithme d'injection et de simulation des SEUs dans un circuit sont les suivantes:

L'algorithme d'injections et de simulations des fautes transitoires de type SEU dans un circuit

Pour chaque vecteur de test

Simuler le circuit sous test sans injection des fautes

Evaluer les événements du circuit.

Attendre la stabilité du circuit pour obtenir des valeurs de référence

Pour chaque faute de la liste

Injecter une SEU en utilisant un modèle logique-temporel «une transition simple de la valeur correcte à la valeur incorrecte»

Evaluer les événements induits par l'injection d'une faute

Calculer l'instant d'arrivée de cette impulsion aux entrées des
latches en aval dans le circuit

Calculer le temps de propagation du chemin activé

Calculer la probabilité de capturer la faute par des latches en aval de la sortie de
latch heurté

Rétablir l'état correct du circuit

End « pour chaque faute »

End « pour chaque vecteur de test »

Cet algorithme a été implémenté et automatisé à l'aide d'un simulateur *event-driven*, (l'outil de simulation commercial est VerilogXL). Une description Verilog du mc6800 (une *netlist*) a été utilisée pour faciliter la génération de la liste des fautes ainsi que pour l'injection des fautes.

4.4.4.3. Résultats expérimentaux

Comme pour les SEUs, les vecteurs de test ont été choisis comme des séquences des vecteurs de test aléatoires ou comme des vecteurs correspondant à l'exécution d'un programme de multiplication de deux matrices de taille 7X7.

Des impulsions transitoires ont été injectées à la sortie de chaque FF du circuit. La durée de l'impulsion injectée est considérée comme la différence entre l'instant d'apparition de l'impulsion et la fin du cycle d'horloge.

4.4.4.3.1. Vecteurs de test aléatoires

350 fautes de type SEU ont été injectées par vecteur de test dans toutes les cellules de type FF ou *latch*.

Pour chaque registre affecté, la sensibilité a été calculée en utilisant les formules (de 4.8 à 4.10) et les équations (4.6 et 4.7) proposées précédemment.

La figure suivante montre la sensibilité face aux SEUs de quelques registres avant et après le placement-routage.

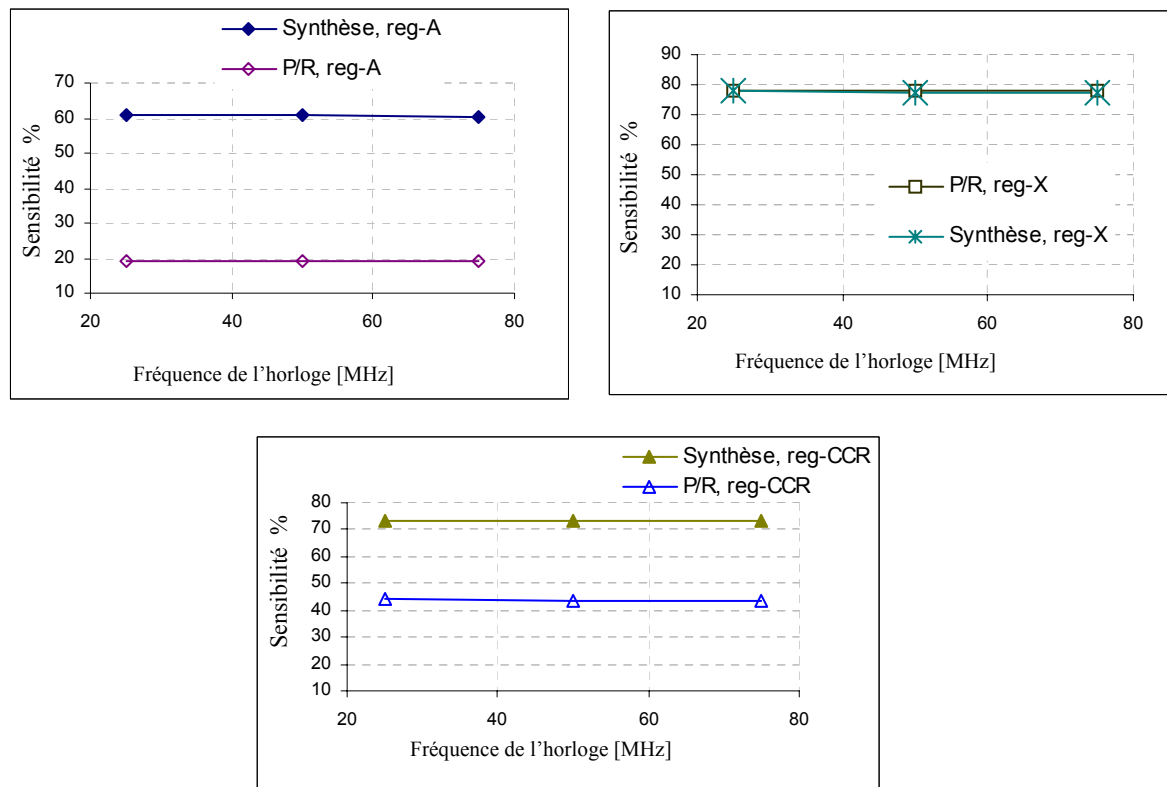


Figure 4.17: Sensibilité de quelques registres en fonction de la fréquence d'horloge.

Plusieurs observations importantes ressortent de l'analyse de cette figure:

1. La première concerne le fait que la probabilité de capturer une SEU injectée dans le registre (i), autrement dit que la sensibilité du registre (i) face aux fautes transitoires diffère selon le registre étudié. Par exemple parmi les registres étudiés, le registre X est signalé comme le registre le plus sensible aux SEUs. Cette augmentation de la sensibilité apparaît dans plusieurs cas:
 - a) soit la sortie du registre-X est connectée avec plusieurs autres registres alors la probabilité qu'un SET généré à la sortie de ce registre provoque un SEU est beaucoup plus importante.
 - b) soit au moins un réseau des porte logiques se trouvant en aval de la sortie du registre-X a un temps de propagation t_p assez court permettant ainsi de capturer rapidement un SEU.
2. La deuxième observation concerne la diminution de la sensibilité de tous les registres face aux SEUs après le placement-routage. Cette diminution de la sensibilité est due principalement à la prise en compte des temps de propagation des interconnexions après le P/R. Ces temps supplémentaires de propagation modifient beaucoup le temps de propagation du chemin actif.
3. Pour un registre quelconque la sensibilité est pratiquement indépendante de la fréquence de l'horloge.

La figure 4.18 illustre la sensibilité totale du microprocesseur mc6800 face aux SEUs quand des vecteurs de test aléatoires sont utilisés et que tous les FF/latch sont considérés comme points d'injection.

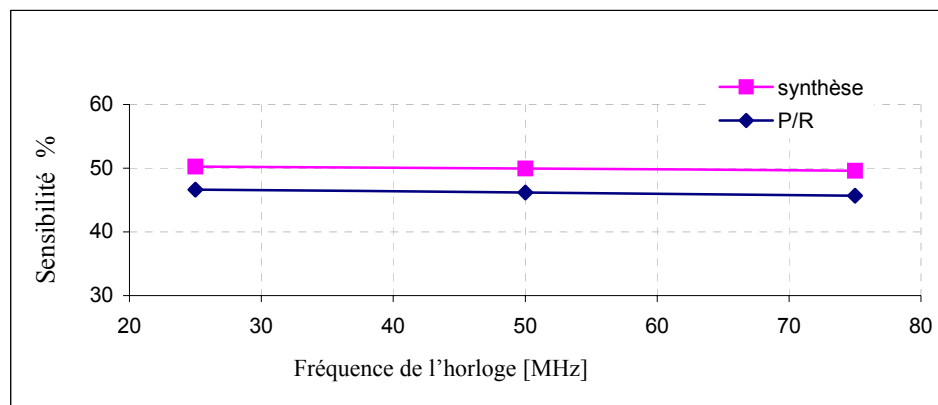


Figure 4.18: Sensibilité totale du microprocesseur mc6800 face aux SEUs.

4.4.4.3.2. Exécution d'un programme par le microprocesseur: une multiplication de deux matrices 7X7.

Nous allons nous attacher dans cette section à montrer la sensibilité du mc6800 pendant l'exécution d'un programme de type multiplication de deux matrices.

Dans ce cas, nous avons appliqué aux entrées un total de 5200 vecteurs de test ceux-ci correspondant à l'application choisie. Nous avons injecté le même nombre de fautes pour chaque vecteur de test que dans le cas précédent.

De la même façon, pour chaque point d'injection, la sensibilité a été calculée en utilisant les formules proposées (équations. 4.6 à 4.10).

La figure 4.19 illustre une comparaison entre la sensibilité de quelques registres pendant l'exécution d'une multiplication de deux matrices et celle pendant l'exécution d'une séquence de test aléatoire. Ces valeurs de la sensibilité sont calculées après l'étape du placement-routage.

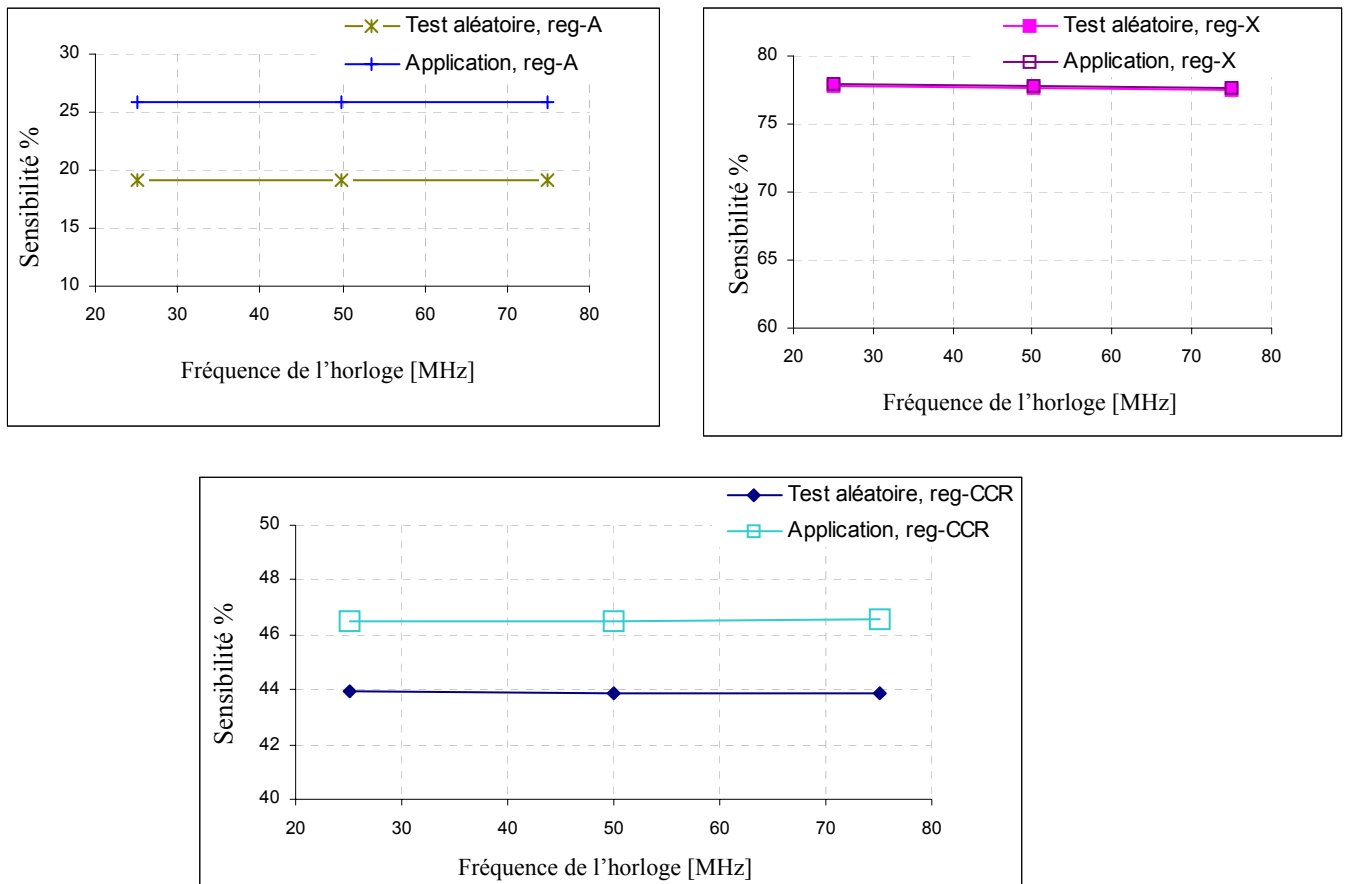


Figure 4.19: Sensibilité de quelques registres pendant l'application des séquences de test aléatoire et d'une multiplication de deux matrices.

Les mêmes remarques que pour l'analyse de SET sont observées:

- 1- le test aléatoire donne des résultats beaucoup plus pessimistes par rapport à l'application choisie mais ceci dépend du registre employé. En effet, plus un registre participe à une application, plus la probabilité d'avoir des SEUs capturées par ce registre est importante. Ceci est une évidence.
- 2- La sensibilité est presque indépendante de la fréquence d'horloge.

Enfin, la figure 4.20 représente la sensibilité totale du microprocesseur mc6800 face aux SEUs pendant l'application des vecteurs de test aléatoires et pendant celle d'une multiplication de deux matrices. Nous observons des résultats similaires de sensibilité.

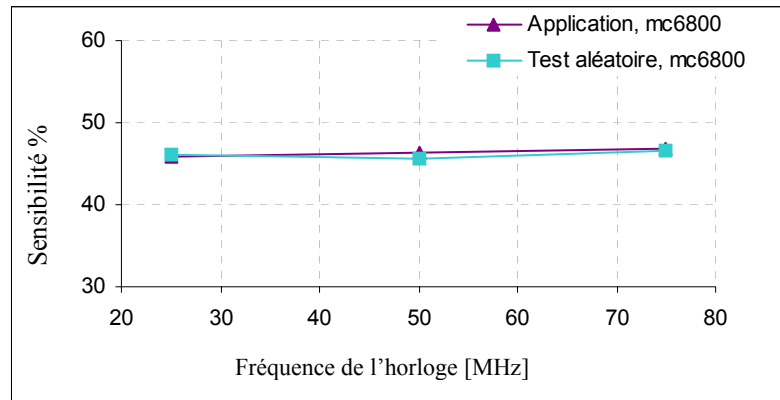


Figure 4.20: Sensibilité total de du microprocesseur mc6800 face aux SEUs pendant l'application des séquences de test aléatoire et pendant celle d'une multiplication de deux matrices.

4.5. Réalisation d'une cartographie de sensibilité

Une fois que les injections de toutes les fautes transitoires SETs et SEUs sont faites, un fichier contenant la sensibilité de chaque nœud sera généré par l'algorithme lui-même. Une partie de ce fichier est présentée dans la figure 4.21.

<u>Le nom du point d'injection</u>	<u>La sensibilité (%)</u>
mc6800.hc11core.U8460	4,1%
mc6800.hc11core.U8095	2,4%
mc6800.hc11core.U8327	2,3%
mc6800.hc11core.U8014	2,2%
mc6800.hc11core.U8089	2,1%
mc6800.hc11core.U7925	2%
mc6800.hc11core.U8377	1,9%
mc6800.hc11core.U10084	1,8%
mc6800.hc11core.U8876	1,7%
mc6800.hc11core.U7899	1,6%
mc6800.hc11core.U9216	1,5%
mc6800.hc11core.U8907	1,4%
mc6800.hc11core.U11165	1,3%
mc6800.hc11core.U8906	1,2%
mc6800.hc11core.U8501	1,1%
mc6800.hc11core.U8049	1%
mc6800.hc11core.U8082	0,9%
mc6800.hc11core.U8018	0,8%
mc6800.hc11core.U8091	0,7%
mc6800.hc11core.U8056	0,6%
mc6800.hc11core.U10105	0,5%
mc6800.hc11core.U8566	0,4%
mc6800.hc11core.U9385	0,3%
mc6800.hc11core.U10156	0,2%
mc6800.hc11core.U7924	0,1%
mc6800.hc11core.U7791	0%

Figure 4.21: Exemple d'une liste de sensibilité extraite par l'algorithme proposé pour une impulsion injectée de 50 [ps] et une fréquence de 25[MHz].

La première colonne représente le nom des points d'injection. La deuxième indique la valeur de la sensibilité de ces nœuds face aux fautes transitoires.

Nous voulons, à partir de ces listes de sensibilité, dresser une cartographie de la sensibilité d'un circuit face aux fautes transitoires d'une certaine durée. Pour cela, nous avons conçu un outil de visualisation capable de rétro-annoter une *netlist* avec les informations de sensibilité extraites des listes de sensibilité.

4.5.1. Outil de cartographie de sensibilité

Nous présentons dans cette partie les étapes essentielles de l'outil de cartographie de sensibilité greffé sur un simulateur *event-driven* commercial et créé autour de l'outil de P&R Virtuoso (Cadence).

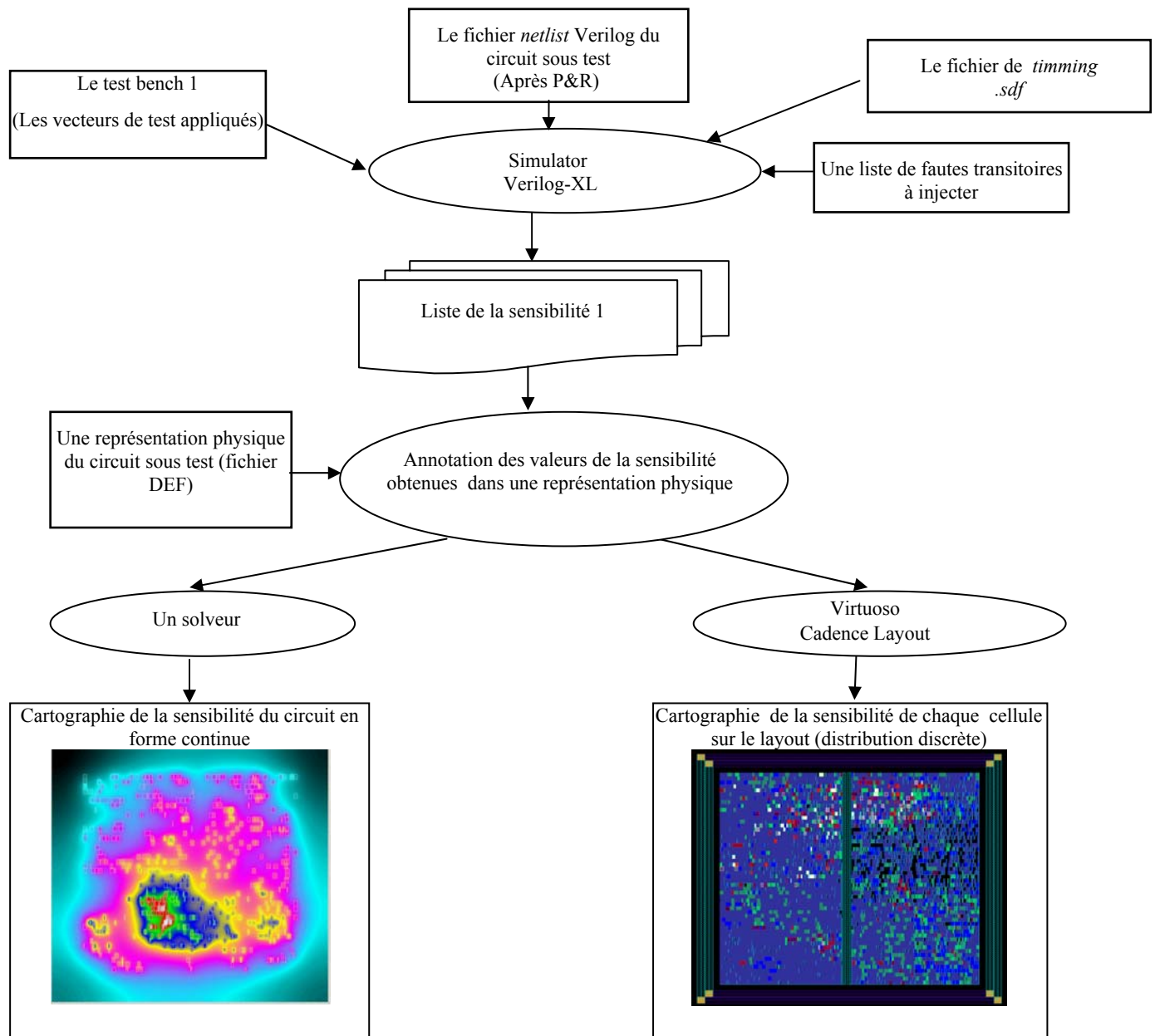


Figure 4.22: Etapes essentielles de la création de l'outil de cartographie de sensibilité.

A partir de la figure précédente, nous pouvons distinguer les étapes suivantes:

1. Obtention d'une liste de sensibilité par nœud d'injection après une série d'injection et de simulation des fautes transitoires.
2. Annotation des informations de la liste de sensibilité sur une représentation physique du circuit (layout). L'idée de base de cette étape est de créer une relation entre la sensibilité d'une cellule du circuit et sa représentation physique.
3. Présentation de la carte de sensibilité: Une fois que les informations concernant la sensibilité de chaque cellule du circuit sont annotées à sa représentation physique, nous pouvons passer à la cartographie de sensibilité d'un circuit.

Actuellement, les méthodes d'obtention d'une cartographie de sensibilité d'un circuit varient selon la présentation des valeurs de la sensibilité:

1. La première consiste à effectuer une représentation (distribution) discrète des valeurs de la sensibilité au niveau du *layout*. Dans ce cas, chaque cellule du circuit est représentée sur le *layout* par sa valeur de sensibilité face à une impulsion transitoire choisie.
2. La deuxième transforme par lissage, les valeurs discrètes de la sensibilité en valeurs continues, ce qui permet de réaliser une cartographie présentant les valeurs de la sensibilité d'un circuit sous forme continue.

Concernant cette dernière méthode, il est nécessaire de créer un outil (un solveur), qui permet de traiter les valeurs discrètes de la sensibilité des portes. En principe, il est basé sur la réalisation d'un lissage entre les valeurs de la sensibilité des portes voisines. La figure 4.23 présente un exemple de la transformation des valeurs discrètes de la sensibilité de plusieurs portes voisines.

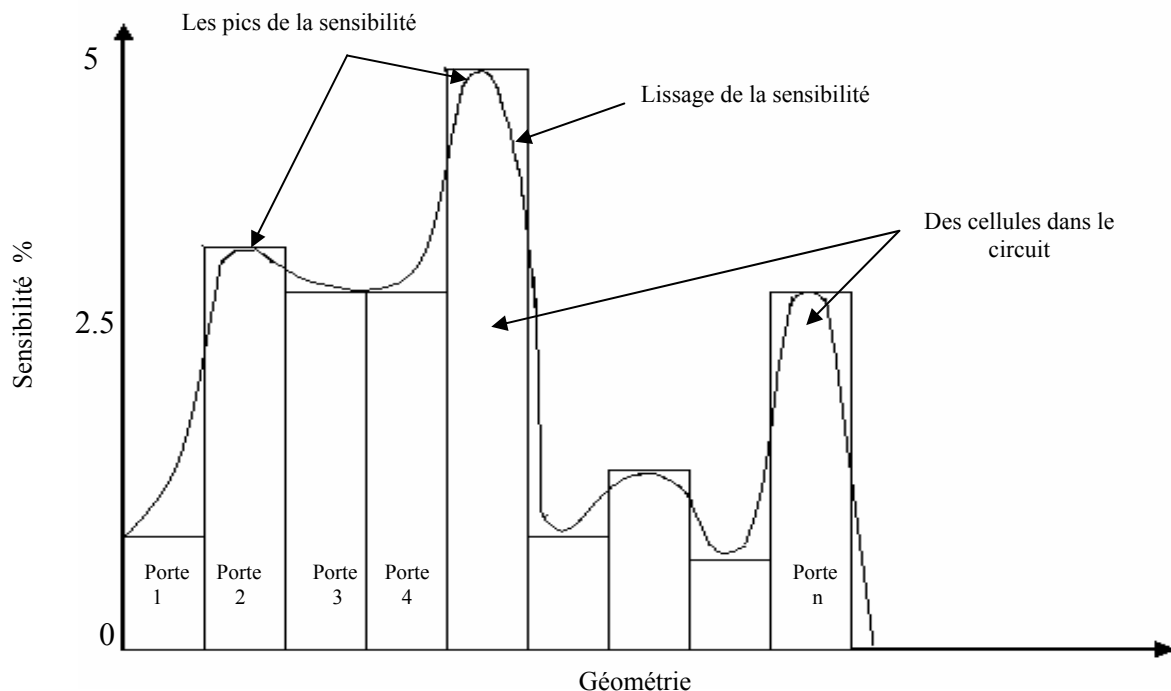


Figure 4.23: Exemple de la transformation des valeurs discrètes de la sensibilité de plusieurs portes voisines.

Dés que ce lissage est fait, deux nouvelles cartographies peuvent être dessinées en considérant les valeurs continues afin d'illustrer la sensibilité d'un circuit. La première cartographie montre une représentation (distribution) continue en utilisant les couleurs permettant de distinguer les différentes distributions de la sensibilité face à une impulsion transitoire.

La deuxième cartographie dessine, en 3 dimensions (3D), les pics sortant du lissage des valeurs de sensibilité (voir figure 4.23).

Dans la suite, nous montrons les différentes cartographies correspondant à l'analyse de la liste de sensibilité du microprocesseur 6800 face aux fautes transitoires. L'impulsion transitoire injectée est caractérisée par une durée égale à 50ps.

Les premières cartographies sont obtenues en appliquant une séquence de vecteurs de test aléatoires. La figure 4.24 montre la vue layout du mc6800 qui contient la distribution discrète des valeurs de sensibilité des portes logiques.

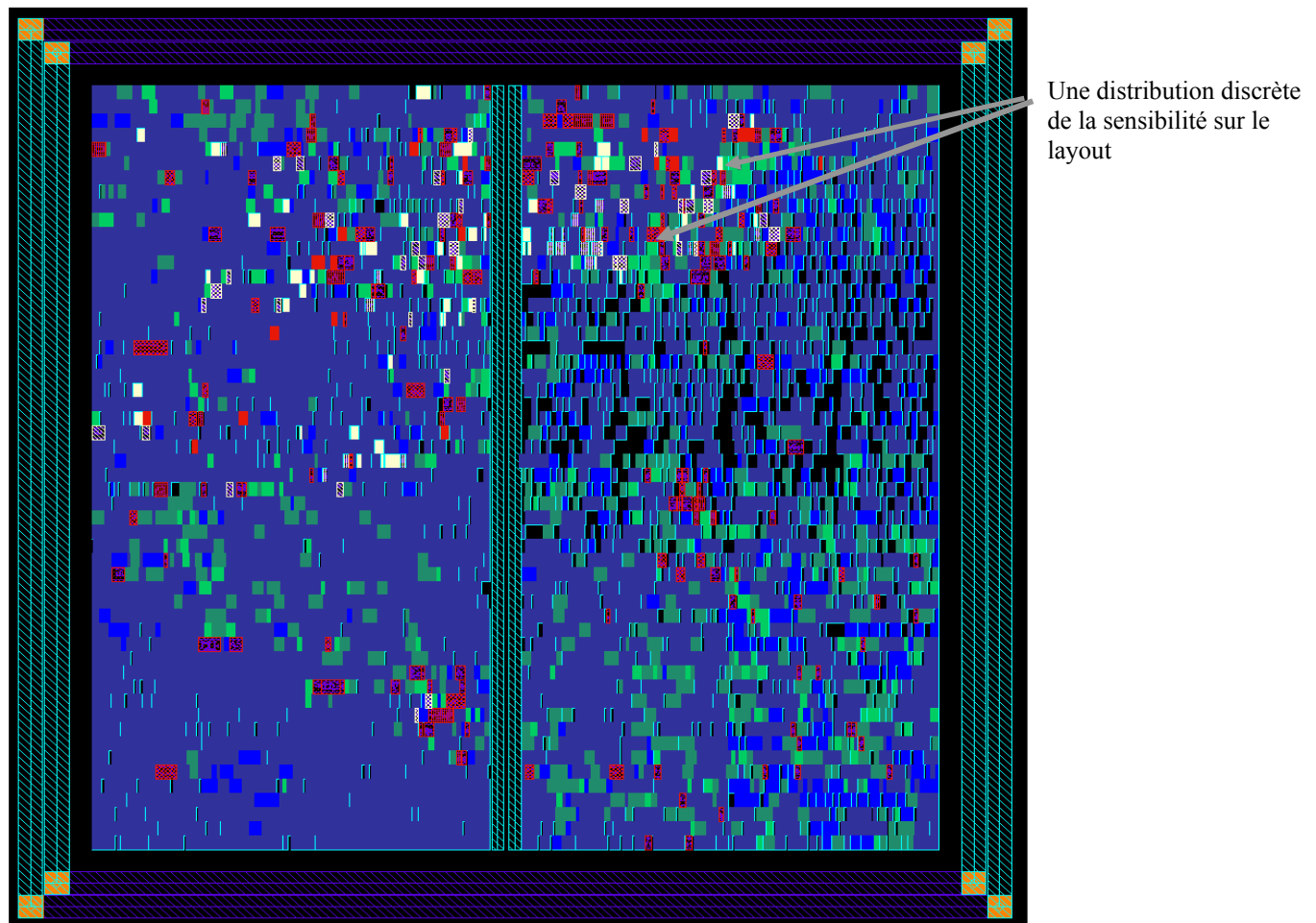


Figure 4.24: Représentation discrète de la sensibilité sur la vue layout du microprocesseur mc6800.

A partir de cette figure, nous observons la distribution des cellules sur le *layout* du circuit, chacune des cellules est représentée par une couleur qui correspond à sa valeur de sensibilité.

Un autre aspect très important concernant la distribution continue de la sensibilité du circuit «figures 4.25, 4.26».

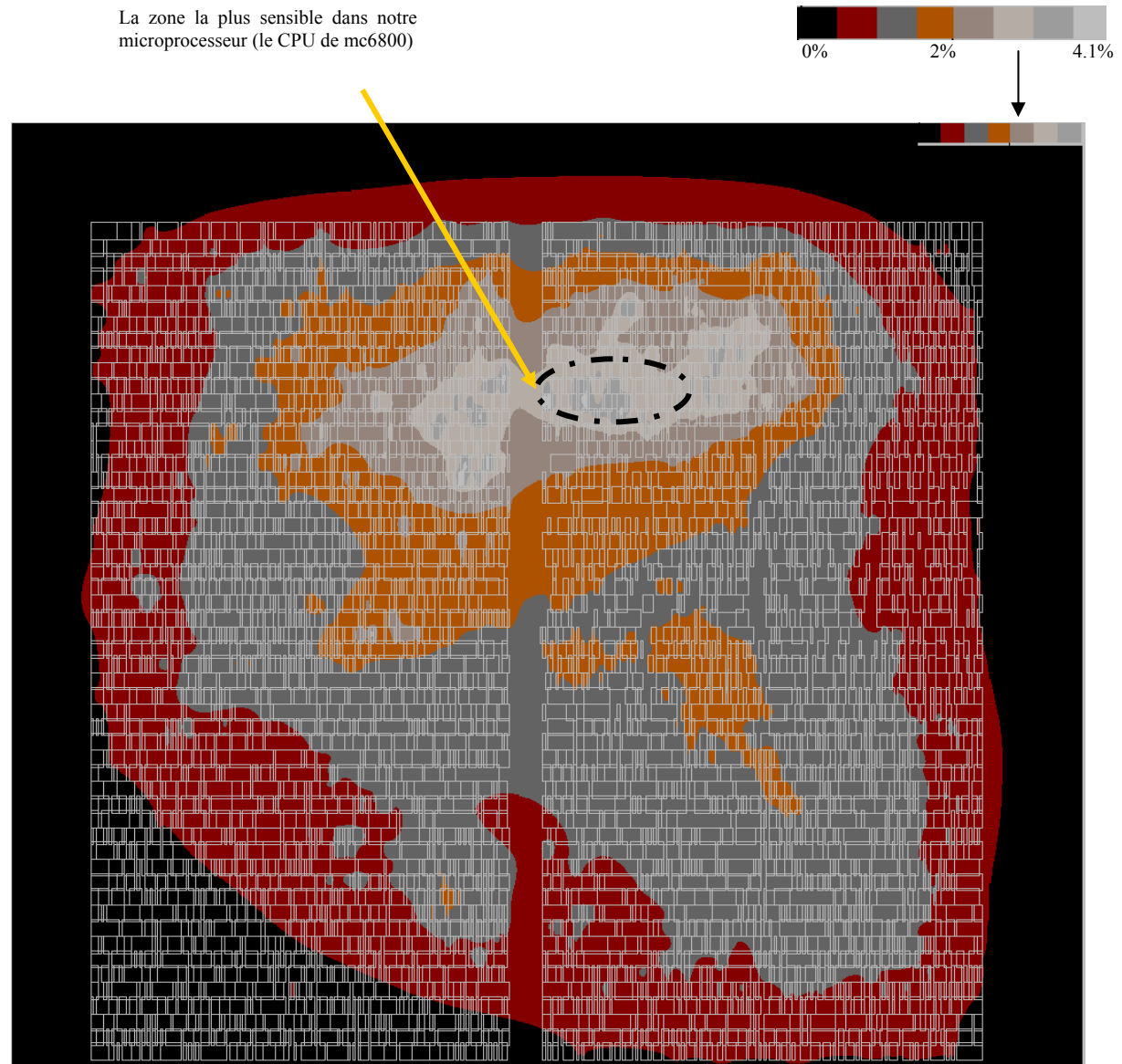


Figure 4.25: Vue 2D de la cartographie de la sensibilité montrant les zones les plus sensibles sur la surface du circuit étudié, une distribution continue de la sensibilité.

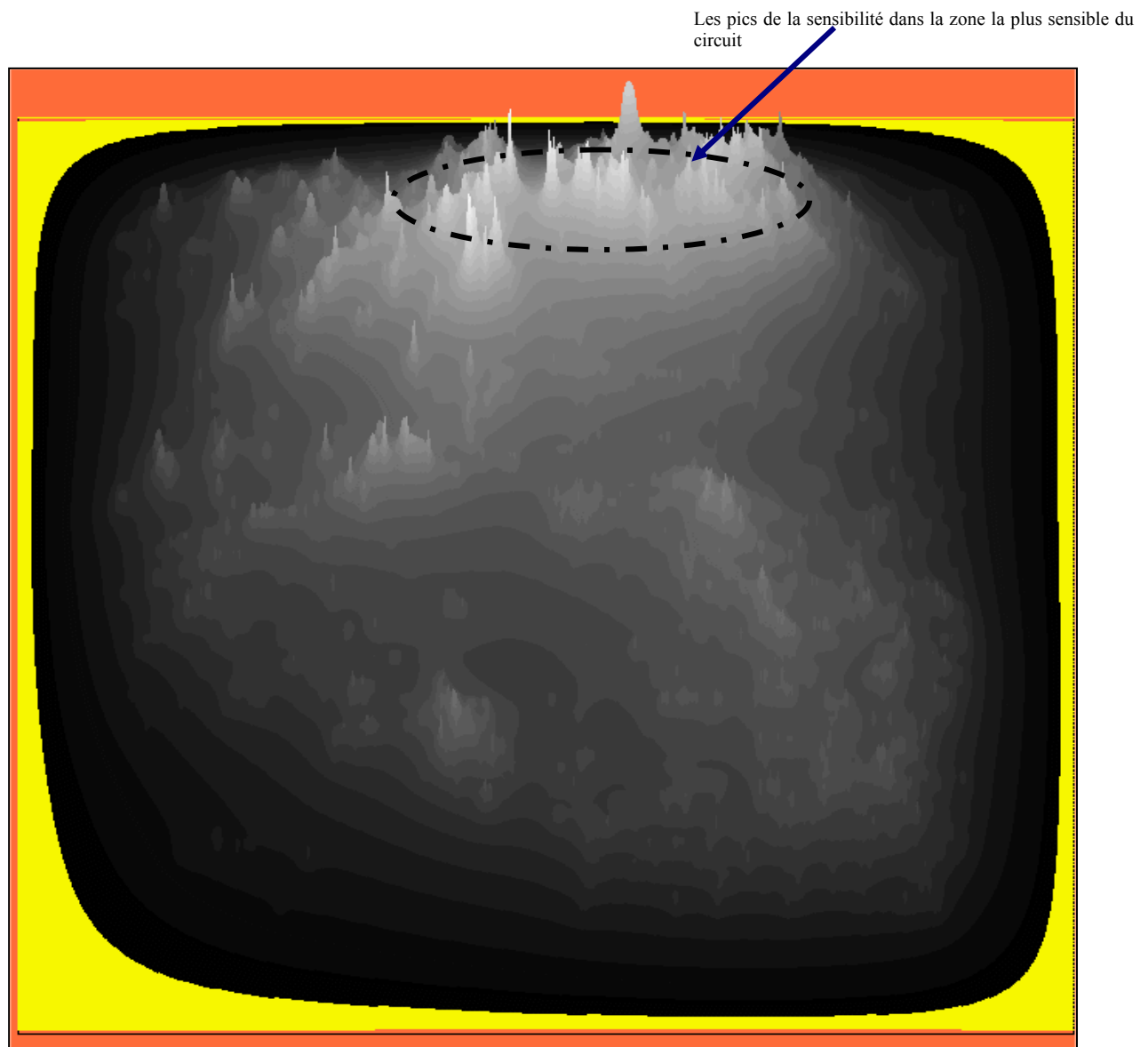


Figure 4.26: Vue 3D de la cartographie de la sensibilité montrant les pics de sensibilité des zones sensibles sur la surface du circuit étudié.

En observant les deux figures précédentes, nous remarquons que l'avantage de la cartographie du circuit, qui montre la distribution continue de la sensibilité, permet de distinguer les zones les plus sensibles du circuit pour chaque faute injectée.

Par exemple, en ce qui concerne l'injection d'une impulsion transitoire de 50 [ps], nous remarquons que la partie la plus sensible est le cœur HC11 ou le CPU du microprocesseur mc6800.

Il est important de pouvoir identifier les cellules ou les blocs ayant une sensibilité plus importante car, suite à cette identification, nous pouvons trouver des solutions servant à diminuer leur sensibilité face à de telles fautes transitoires.

4.6. Evaluation de la valeur de FIT du mc6800 par des simulations numériques

Dans les paragraphes précédents, nous avons décrit les algorithmes qui nous permettent d'analyser la sensibilité d'un circuit complexe face aux fautes transitoires de type SET et SEU et de déterminer les zones les plus sensibles face à ces fautes. Mais, de tels algorithmes ne nous permettent pas de déterminer les défaillances dans le temps (FIT). Nous allons nous intéresser à la prédiction du FIT du microprocesseur sous test, mc6800, en utilisant des méthodes de simulations.

En fait, afin de pouvoir déterminer la valeur du FIT en utilisant une méthode de simulation, plusieurs facteurs doivent être pris en compte:

1. La connaissance de l'environnement radiatif (ou bien l'énergie des particules) dans lequel le circuit considéré est destiné à fonctionner.
2. La connaissance de la valeur de la section efficace de plusieurs composants y compris les portes combinatoires et les bascules pour chacun de ces environnements.

La détermination de la valeur des énergies des particules ainsi que de la section efficace n'est pas triviale. Un certain nombre de travaux ont été consacrés à l'étude de ces valeurs. Dans la suite, nous allons présenter quelques données obtenues par des études précédentes.

4.6.1. Présentation de l'environnement radiatif proposé

Le tableau (4.3) résume les principales caractéristiques des différents types d'environnement radiatif:

L'environnement radiatif	Radiation naturelle	WNR	IRI	IPN	Am ²⁴¹ source
Le type de particule	neutrons	neutrons	neutrons	Cl ¹⁵⁶ ions	Particule alpha
L'énergie de particule	Plein spectre	Plein spectre	14MeV	LET = 13.1 MeVcm ² /mg	5.5 MeV
Le flux des particules (particule/cm ² sec)	3,90.10 ⁻³	6.10 ⁵	2.10 ⁷	7.10 ²	2.10 ⁶

Tableau 4.3: Principales caractéristiques de quelques environnements radiatifs

Dans ce tableau, nous avons présenté 4 environnements radiatifs:

1. La radiation naturelle ou radiation ambiante. Cet environnement est composé des particules ionisantes au niveau du sol. En fait, les neutrons sont les particules dominantes dans cet environnement. Le flux des neutrons peut être calculé en se basant sur la valeur du flux à New York: $f_{NYC} = 14 \text{ [n/cm}^2\text{.heures]} = 3,90.10^{-3} \text{ [n/cm}^2\text{.sec]}$ pour des neutrons d'énergie au-dessus de 10 MeV [JESD-89].

2. La facilité de WNR (Weapons Neutron Recherche) de Los Alamos National Science Centre. Dans cet environnement, on simule le même spectre d'énergie que les neutrons atmosphériques.
3. La valeur maximale du flux est à l'ordre de $1,2 \cdot 10^6$ n/cm².sec pour des neutrons qui ont une énergie supérieure à 10 [MeV]. Une valeur typique de $6 \cdot 10^5$ [n/cm².sec] peut être retenue.
4. L'institut d'IRI (Interfacultair Reactor Institut) de Delft, Pays-Bas. Dans cet environnement, les particules générées sont des neutrons d'une énergie égale à 14 MeV avec des valeurs du flux aux alentours de $2 \cdot 10^7$ [n/cm².sec].
5. L'accélérateur du IPN (Institut de Physique Nucléaire) d'Orsay, France. En ce qui concerne cet environnement, une gamme relativement large de particules peut être disponible. Les ions utilisés peuvent varier du *Lithium à l'Iode* avec une gamme d'énergie de 1.8 à 8 [MeV/nucléon] et une plage de LET de 0,4 à 120 [MeV.cm²/mg] avec des flux allant de 10^2 à 10^7 [n/cm².sec]. Pour cette étude, nous considérons l'ion Cl¹⁵⁶ avec une valeur de LET égale 13,1 [MeVcm²/mg].
6. Les sources radioactives des particules alpha comme Cf²⁵² ou Am²⁴¹. Parmi ces deux sources, nous avons choisi comme exemple pour cet étude, la source Am²⁴¹ qui émet des particules alpha d'une énergie égale à 5,5 [MeV] avec un flux de $2 \cdot 10^6$ [particules/cm² sec].

4.6.2. Valeur de la section efficace

La section efficace « σ » est donnée par le rapport entre le nombre de perturbations (SEE) détectées «Ne» et la fluence «F» reçue:

$$\sigma = \frac{\text{Nombre d'erreurs (Ne)}}{\text{Fluence de particules (F)}} \quad (4.11)$$

La section efficace a donc les dimensions d'une surface ; elle s'exprime le plus souvent en cm²/composant ou en cm²/bit.

En pratique, l'évaluation de la section efficace d'un composant face aux SEEs est déterminée expérimentalement suite aux tests sous radiation. Selon le type de circuit testé et le type de défaillance que l'on cherche à caractériser, nous pouvons distinguer les trois cas suivants:

- 1- La section efficace de SEU pour les mémoires est exprimée en, cm²/bit. Les mémoires ont été considérées comme les composants les plus sensibles aux SEEs. Pour cette raison, elles ont été étudiées et examinées intensivement afin de déterminer leurs sections efficaces de SEU [Norm-96a]. Le tableau 4.4 illustre quelques données concernant les valeurs de la section efficace des mémoires de type SRAM et DRAM testées sous radiation à Los Alamos National Science Centre (WNR).

Type de mémoire	La section efficace (cm ² /bit)
4 M /DRAM de Toshiba	$1,2 \cdot 10^{-13}$
256K /SRAM de Motorola	$1,4 \cdot 10^{-13}$
4M /SRAM de Motorola	$1,25 \cdot 10^{-14}$

Tableau 4.4: Exemple de la valeur de section efficace de SEU des mémoires SRAM et DRAM [Norm-96a].

- 2- D'après plusieurs études [Bez-99], des SEUs ont été observés pour les cellules séquentielles telles que des bascules, *flip-flop* et *latches*. La section efficace de SEU pour ces cellules séquentielles est exprimée en cm²/composant (ou cm²/gate). Les valeurs de cette section efficace se situent autour de 10^{-3} en WNR et en radiation naturelle, mais elles peuvent monter à des valeurs avoisinant 10^{-8} en accélérateur.
- 3- La section efficace de SET, pour les cellules combinatoires telles que les portes logiques, est exprimée en cm²/composant (ou cm²/gate). Selon des résultats d'essai sous radiation, les cellules combinatoires d'une technologie commerciale ne sont pas sensibles face aux fautes transitoires SETs induites par des neutrons ou des particules alpha. Cependant, elles sont sensibles aux ions lourds qui ont une énergie assez grande. La section efficace avoisine 10^{-9} cm²/gate en accélérateur IPN.

Dans la suite, nous allons utiliser ces valeurs dans le but de pouvoir déterminer le nombre de défaillances dans le temps (FIT) par simulation.

4.6.3. Algorithme de simulation de SET et SEU et méthode de calcul du FIT

Nous envisageons par la suite de décrire l'algorithme utilisé lors de l'injection et la simulation des fautes transitoires de type SET et SEU.

Le but d'un tel algorithme de simulation est double:

- ✓ Le premier but consiste à trouver la probabilité pour qu'une faute transitoire injectée de type SET ou SEU puisse être capturée comme une *erreur soft* «SE».
- ✓ Le deuxième but est d'évaluer la probabilité qu'une *erreur soft* capturée par l'un des registres du circuit sous test peut provoquer une erreur d'application. Ce paramètre dépend évidemment de l'application.

Un environnement de simulation a été mis au point en utilisant un simulateur *event-driven* comme le VerilogXL et la description *netlist* du circuit sous test.

Pour la simulation avec injection de fautes, et pour confirmer l'estimation du nombre de défaillances dans le temps (FIT), nous avons disposé d'un ensemble de vecteurs d'entrée correspondant à une multiplication de deux matrices 7*7.

La méthode de simulation des fautes transitoires peut être décrite comme un algorithme. Les étapes principales de cet algorithme sont:

Simulation setup

Begin

Simuler le circuit sous test sans injection des fautes

Evaluer les événements du circuit.

Retenir les résultats de l'application stockés dans des mémoires disponibles (RAM) comme référence

End simulation setup

Injection et simulation des fautes transitoires

Pour chaque faute de la liste

begin

1- Si la faute est de type SET

Injecter la faute en utilisant un modèle logique-temporel « une impulsion transitoire rectangulaire d'une durée choisie sur la sortie d'une porte combinatoire»

2- Si la faute est de type SEU

Injecter la faute en inversant l'état logique du latch à partir de l'instant d'injection jusqu'à la fin du cycle d'horloge

Evaluer les événements induits par l'injection d'une faute

Récupérer les nouveaux résultats

Comparer les nouveaux résultats avec les valeurs de référence

Traitement des résultats :

1- S'il n'y a pas de différences entre les résultats d'application et les valeurs de référence stockées => arrêter la simulation, il n'y a pas des erreurs d'application

2- S'il y a des différences entre les résultats d'application et les valeurs de références stockées => arrêter la simulation, indiquer une erreur d'application.

Rétablir l'état correct du circuit

End « pour chaque faute de la liste »

Selon cet algorithme, nous remarquons que:

1. Au début, on réalise une phase de simulation sans injection de faute. Les résultats obtenus après cette simulation, correspondant à n'importe quelle application, seront stockés dans des mémoires disponibles RAM (des mémoires temporelles utilisées pour sauvegarder les résultats). Ces valeurs sont considérées comme étant des valeurs correctes de référence pour les comparer avec les résultats des simulations suivantes.
2. Puis, une liste de fautes à injecter (de type SET pour les portes combinatoires ou de type SEU pour les bascules) doit être dressée aléatoirement en analysant la *netlist* du circuit sous test. Dans notre étude, la *netlist* du microprocesseur 6800 contient 4583 cellules combinatoires et 175 cellules séquentielles (principalement des *latch*). Nous avons créé une liste de fautes contenant quelques points d'injection.

3. Pour les fautes de type SET, le mécanisme d'injection est modélisé par l'injection d'une impulsion transitoire d'une largeur choisie sur le nœud d'injection correspondant à la sortie d'une porte combinatoire. Pour les SEUs, le mécanisme d'injection peut être modélisé par l'inversion de la valeur logique d'une bascule pendant une durée égale à la différence entre l'instant de l'inversion de l'état logique du *latch* et la fin du cycle d'horloge. Les instants d'injection de l'impulsion transitoire pour les fautes SETs et d'injection des SEUs sont aussi choisis aléatoirement pendant toute la durée des simulations pour l'application choisie.
4. L'interprétation des résultats obtenus après la simulation avec injection de fautes consiste à comparer les résultats obtenus avec les valeurs de référence stockées dans la mémoire. Cette interprétation des résultats nous permet de décider si une erreur soft présentée dans l'un des registres et due à l'injection d'une faute transitoire, peut provoquer une erreur d'application.

4.6.4. Méthode de calcul du FIT

La valeur des défaillances dans le temps (FIT) d'un dispositif est exprimée comme le taux des défaillances par billion d'heures de fonctionnement. Donc la valeur de FIT peut être calculée en se basant sur le taux d'erreurs d'application en utilisant formule suivante:

$$\text{FIT} = \text{AER} * 3600 * 10^9 \quad (4.12)$$

[défaillance par billion d'heures de fonctionnement]

où AER représente le nombre d'erreurs/sec pour une certains application exécutée sur le circuit sous test.

Le calcul du taux d'erreurs d'une application (AER) en utilisant une méthode de simulation nécessite l'injection de fautes transitoires de type SET et SEU de façon aléatoire pendant l'exécution d'une application considérée. De plus, ce calcul de AER par simulation doit être fait en prenant en compte les caractéristiques de l'environnement de rayonnement dont le circuit sous test est destiné à fonctionner. A partir des caractéristiques d'un environnement radiatif nous pouvons déduire le taux d'erreurs d'une application à partir du taux d'erreurs provoquées, par les SET et par les SEU selon la formule suivante:

$$\text{AER}_{\text{total}} = \text{AER}_{\text{SEU}} + \text{AER}_{\text{SET}} \quad [\text{erreurs/sec}] \quad (4.13)$$

Les deux termes AER_{SEU} et AER_{SET} peuvent être calculés selon les formules suivantes:

$$\text{AER}_{\text{SEU}} = \sigma_{\text{SEU}} * f_{\text{particules}} * P_{\text{SEU} \rightarrow \text{AE}} * N_{\text{latch}} \quad [\text{AE/sec}] \quad (4.14)$$

$$\text{AER}_{\text{SET}} = \sigma_{\text{SET}} * f_{\text{particules}} * P_{\text{SET} \rightarrow \text{AE}} * N_{\text{portes}} \quad [\text{AE/sec}] \quad (4.15)$$

où

- σ_{SEU} (σ_{SET}) représente la section efficace face aux SEU, $s(\sigma_{\text{SEU}})$ (ou la section efficace face aux SETs, (σ_{SET})) exprimée en $[\text{cm}^2/\text{gate}]$.
- $f_{\text{particules}}$ représente le flux des particules dans un environnement choisi exprimé en $[\text{particule}/\text{cm}^2\text{sec}]$

- $P_{SET \rightarrow AE}$ ($P_{SEU \rightarrow AE}$) représente la probabilité qu'une faute transitoire de type SET (ou de type SEU) provoque une erreur d'application AE.
- N_{portes} représente le nombre des portes du circuit sous test. Dans le cas du microprocesseur 6800 il est de 4583 cellules combinatoires
- N_{latch} représente le nombre des latch du microprocesseur 6800 qui contient 175 cellules séquentielles (principalement des *latch*).

Afin de pouvoir déterminer la valeur de FIT en utilisant une méthode de simulation nous avons injecté 6000 fautes de type SET et 350 fautes de type SEU (dans les bascules à deux sorties Q et QN) et nous avons calculer le nombre d'erreurs d'application AE.

Les portes d'injection ont été aléatoirement choisies parmi les 4583 portes combinatoires et les 175 *latch*. La largeur d'impulsion pour la faute de type SET a été choisie égale à 50 [ps]. Les instants d'injection ont été choisis aléatoirement pendant le déroulement d'une multiplication de deux matrices 7*7. Le temps total CPU lors de ces évaluations a été quatre semaines.

Les tableaux 4.5 et 4.6 présentent les résultats de simulation. Ces résultats sont obtenus en appliquant la formule d'approximation du taux d'erreurs d'une application (équations. 4.13 – 4.15).

Pour les valeurs qui concernent la caractérisation d'un environnement radiatif, nous avons utilisé les données présentées dans les paragraphes 4.6.1 et 4.6.2 .

AE dues aux SETs	$P_{SET \rightarrow AE}$	AE dues aux SEUs	$P_{SEU \rightarrow AE}$
25	0,416 %	84	24 %

Tableau 4.5: Résultats de simulation.

	<i>Radiation naturelle</i>	<i>WNR</i>	<i>IRI</i>	<i>IPN</i>	<i>Am²⁴¹ source</i>
La valeur de AER_{total} (AE/sec)	$4,09.10^{-14}$	$6,3.10^{-6}$	$2,1.10^{-4}$	$1,18.10^{-3}$	$2,52.10^{-1}$

Tableau 4.6: Estimation des valeurs de AER_{total} pour chaque environnement proposé.

Selon les résultats du tableau 4.6, nous remarquons que la valeur de AER_{total} dépend très fortement de l'environnement radiatif considéré, comme de la section efficace et le nombre des particules de cet environnement. Le circuit sous test, et plus précisément le nombre de portes et de bascules ainsi que la topologie du circuit, sont également très importants.

En utilisant la formule du calcul la valeur de FIT (équation. 4.12), nous pouvons calculer la valeur de FIT .Par exemple, dans la radiation naturelle ou radiation ambiante la valeur de FIT de notre circuit sous test est assez faible, de l'ordre de 0,1472 défaillance par

billion d'heures de fonctionnement, à cause du faible nombre des particules dans cet environnement. D'ailleurs, pour les autres environnements proposés, le nombre de défaillance en temps pour le même circuit sous test augmente à cause de l'augmentation du nombre des particules et de la valeur de la section efficace.

4.7. Conclusion

Dans ce chapitre, nous avons présenté un algorithme d'injection et de simulation des fautes transitoires SETs et SEUs permettant de déterminer la sensibilité d'un circuit complexe face à ces fautes. Cet algorithme proposé est basé sur l'utilisation d'un modèle logique pour présenter une impulsion transitoire, ou un SEU. L'utilisation d'un tel algorithme permet de réduire de manière significative le temps de simulation par comparaison aux autres méthodes de simulation, comme la simulation mixte ou la simulation SPICE. Celles-ci sont par contre plus précises et plus optimistes. L'algorithme proposé a été appliqué au microprocesseur mc6800.

Nous avons également proposé un outil de cartographie qui permet de montrer la distribution de la sensibilité sur une représentation physique du circuit (tel que le layout).

L'avantage de ces cartographies est la possibilité d'identifier les zones où se trouvent les portes les plus sensibles d'un circuit étudié.

Enfin, nous avons terminé notre étude par la détermination des défaillances dans le temps (FIT) en utilisant seulement des méthodes de simulation.

Cette méthode de simulation nous permet d'injecter des fautes transitoires de type SET et SEU de façon aléatoire pendant l'exécution d'une application considérée afin de calculer le taux d'erreurs d'une application (AER). De plus, le calcul de AER a été réalisé en prenant en compte les caractéristiques de plusieurs environnements de rayonnement dont le circuit sous test est destiné à fonctionner.

Conclusions

Conclusions

Le progrès technologique, avec la réduction de la taille et des autres paramètres des transistors ainsi que la réduction de la tension d'alimentation V_{dd} , avec l'augmentation de la fréquence d'horloge ainsi que l'augmentation de densité d'intégration, a un impact très important sur la fiabilité des systèmes intégrés nanométriques conduisant à une augmentation sans précédent des fautes transitoires dans les circuits complexes de type SoC. Un nombre important de fautes transitoires apparaît également dans les parties combinatoires (de plus en plus d'ailleurs) ayant pour source l'environnement radiatif terrestre.

Dans cette thèse nous avons étudié principalement la sensibilité des réseaux des portes logiques face aux fautes transitoires d'une technologie donnée CMOS 0,18 μ m. En effet, la sensibilité des nœuds appartenant à un réseau de portes logiques n'est pas uniforme d'un nœud à l'autre. La probabilité, qu'une impulsion transitoire d'un nœud soit transformée en erreur, peut être plus ou moins importante d'un nœud à l'autre d'un même circuit, autrement dit, chaque nœud a une sensibilité différente. De plus, la probabilité qu'une impulsion transitoire soit transformée en erreur nécessite la prise en compte de plusieurs phénomènes et paramètres qui tiennent à la fois de la technologie, de la topologie du circuit et des vecteurs d'entrée (ou l'application). Pour ces circuits, et pour une analyse statistique, seule la simulation avec injection de fautes peut mener à une évaluation précise du taux d'erreurs SER. Afin d'évaluer le taux d'erreurs softs, un concepteur doit pouvoir simuler tout le processus de génération et propagation d'une impulsion transitoire entre le niveau physique et le niveau système, ce qui nécessite un nombre très important de fautes transitoires pour un nombre encore plus important de vecteurs de test.

Pour ces raisons, nous avons proposé une méthodologie globale d'évaluation de sensibilité face aux phénomènes transitoires de type SET/SEU consistant à appliquer une méthode de simulation par niveau d'abstraction (simulations physiques 2-D, simulation électrique et simulation numérique, ou mixte) et à propager les résultats de simulation au niveau d'abstraction supérieur.

Dans le premier chapitre et après avoir présenté les contraintes radiatives des environnements relatifs aux milieux spatial, aérospatial et terrestre, nous avons dressé une description du phénomène de SET et de SEU suivie par une étude de l'influence de la technologie sur la tenue aux radiations.

Le deuxième chapitre a été consacré à la caractérisation par des simulations physiques 2-D de chaque type de transistor d'une technologie donnée CMOS 0,18 μ m face aux phénomènes transitoires de type SET. Pour ce faire, nous avons commencé par la modélisation physique 2-D de chaque type de transistor NMOS et PMOS que nous avons utilisée au long de cette thèse. Suite à la caractérisation de chaque transistor, une famille de courbes de courants transitoires a été extraite. Nous avons de plus porté notre attention sur l'influence de l'angle d'incidence, puis sur l'influence de la valeur du LET sur l'amplitude et sur la forme du courant, et finalement sur l'influence de la localisation d'un impact transitoire généré sur la surface de la structure. Nous nous sommes intéressés également à la détermination de la forme du courant transitoire en calculant les constantes de temps pour chaque courant de drain obtenu.

A partir des courants obtenus par l'étude de ces influences, nous avons proposé et validé une méthodologie permettant de prédire le courant I_d en sortie de n'importe quel type de porte élémentaire face aux impacts des particules chargées.

Dans le troisième chapitre, nous avons étudié la simulation de fautes transitoires et l'analyse de la propagation d'une impulsion transitoire dans un circuit logique en utilisant trois méthodes de simulations: purement électrique, mixte (électrique-numérique) et purement numérique. Nous avons commencé par la présentation des simulations électriques. En fait, en s'appuyant sur les courants obtenus au niveau physique, et en utilisant un simulateur électrique tel SPICE, nous avons établi comment varie la durée de l'impulsion de tension provoquée par l'injection d'un courant transitoire en fonction de l'impédance physique de sortie d'une porte. Nous avons présenté également une autre méthode de simulation: les simulations mixtes (électriques-numériques) qui n'ont pas retenu notre attention. La dernière méthode proposée est l'utilisation d'un simulateur numérique afin d'étudier la propagation d'une impulsion transitoire et sa transformation en erreur. En comparant les trois méthodes, nous avons conclu que d'une part, l'utilisation des simulations électriques est la meilleure façon de simuler les fautes transitoires dans un circuit, bien que le temps nécessaire pour réaliser de telles simulations soit assez long, et que d'autre part, l'utilisation d'une simulation mixte utilisant deux types de simulations (électriques et numériques) implique que pour chaque point d'injection considéré, il faut déterminer la cellule affectée par l'injection de fautes et la remplacer par sa description électrique. Ceci peut devenir une tâche laborieuse pour les concepteurs. Enfin, l'utilisation des simulations numériques est beaucoup plus efficace en terme de temps de simulation, mais les résultats sont un peu plus pessimistes.

Dans le quatrième chapitre, nous avons analysé la sensibilité face aux fautes transitoires de type SET mais également de type SEU d'un circuit complexe à base de microprocesseur en utilisant des simulations numériques. Pour ce faire, un algorithme d'injection et de simulation de fautes transitoires SETs et SEUs permettant de déterminer la sensibilité d'un circuit complexe face à ces fautes a été présenté. L'algorithme proposé est basé sur l'utilisation d'un modèle logique pour un SET ou pour un SEU. Les résultats des simulations ont été utilisés pour montrer la distribution de la sensibilité de toutes les portes du circuit sur une représentation physique du circuit (tel que le layout) à l'aide d'un outil de cartographie proposé. L'avantage des cartographies est la possibilité d'identifier les zones où se trouvent les portes les plus sensibles d'un circuit étudié.

Enfin, nous avons terminé notre étude par la détermination du nombre de défaillances dans le temps (FIT) en utilisant des méthodes de simulation et de calcul direct. Cette méthode de simulation nous permet d'injecter des fautes transitoires de type SET et SEU d'une façon aléatoire pendant l'exécution d'une application considérée afin de calculer le taux d'erreurs d'une application (AER). De plus, le calcul de ARE a été fait en prenant en compte les caractéristiques de plusieurs environnements de rayonnement où le circuit sous test est destiné à fonctionner.

Conclusions

Annexe A

Modélisation d'une particule ionisante dans les simulateurs actuels

Trois sociétés internationales se partagent actuellement le marché mondial de la simulation de composants: TMA (Technology Modeling Associates), SILVACO et ISE (Integrated Systems Engineering).

Parmi ces sociétés, nous avons choisi le simulateur 2-D de ISE (Integrated Systems Engineering)

- Integrated Systems Engineering (ISE)

Cette jeune société européenne est implantée à Zurich (Suisse). Elle propose le simulateur de composant DESSIS-ISE 1-D/2-D/3-D. Ce simulateur inclut la plupart des modules optionnels proposés par les autres sociétés «TMA ou SILVACO». Un deuxième outil DEGAS-ISE basé sur la simulation type Monte-Carlo permet également la simulation en 1-D/2-D voir 3-D de dispositifs de petites dimensions dans lesquels les équations classiques utilisées ne sont plus pertinentes. Dans la lignée des produits Silvaco il offre à l'utilisateur un bureau gérant l'ensemble des outils ISE, appelé GENESISe. L'utilisateur dispose d'un Editeur de Structure (MDRAW-ISE) couplé à un générateur de grille (MESH-ISE) permettant d'optimiser le maillage en fonction de la géométrie du dispositif aussi bien en 2-D qu'en 3-D.

L'outil dédié à l'affichage graphique des résultats (PICASSO-ISE) offre de nombreuses possibilités pour exploiter au mieux les résultats issus des simulations. La particularité de ces produits, hormis l'extrême convivialité dont ils font preuve est leur développement sur plateforme PC Pentium sous le système d'exploitation LINUX (Unix du domaine public). Ils sont aussi bien évidemment disponibles sur station UNIX «nous avons utilisé le type SUN d'UNIX pour réaliser nos simulations».

Dans la suite, nous allons présenter les descriptions actuelles des fonctions de photogénération (G) dans le simulateur ISE. Toutes ces fonctions sont construites sur le modèle suivant:

$$G(r,l,t)=L(l) * R(r) * T(t)$$

où $L(l)$ est la composante longitudinale traduisant la quantité de charges générées en fonction de la profondeur l , $R(r)$ est la composante radiale et $T(t)$ est la composante temporelle.

Les caractères en italique, utilisés dans les équations qui suivent, représentent les paramètres à entrer par l'utilisateur. Le nombre de ces paramètres varient suivant le simulateur considéré mais leurs multitudes ne préjugent pas forcément de la qualité de la

modélisation. Cette description a donc pour objectif de mettre en évidence la pertinence de ces équations afin de reproduire une réalité physique.

Commande HEAVYION dans ISE

Les logiciels d'ISE ne proposent dans leur version 4.0 que la modélisation d'une particule ionisante particulière: la particule alpha (avec la commande ALPHAPARTICLE)

Mais, à cause d'une limitation importante de cette commande, l'équipe de ISE a proposé un nouveau module radiatif dans la nouvelle version (5.0) de GENESISe. Ce nouveau module est la commande HEAVYION.

En fait, la physique des particules permet de connaître assez bien l'énergie perdue par une particule chargée le long de sa trajectoire (que l'on peut considérer comme rectiligne) et la part de cette énergie perdue sous forme d'excitation des électrons. Connaissant l'énergie moyenne nécessaire pour créer une paire électron-trou, il est donc possible de connaître le nombre de paires électrons-trous créé le long de la trajectoire. Cette quantité n'est pas directement exploitable par le cœur du simulateur qui ne sait traiter que le taux de génération (densité de paires électrons-trous par seconde). Il faut donc lui adjoindre une relation de correspondance.

Définition de la relation de correspondance

L'objectif est donc de relier le taux de génération G ($\text{cm}^{-3} \text{s}^{-1}$) à une courbe expérimentale (ou théorique) de LET en fonction de la distance l parcourue par la particule.

Le taux de génération G dépend de l et de la distance r à la trace de l'ion.

Actuellement, le taux de génération G peut être écrit sous la forme d'un produit de trois termes:

$$G(r,l,t) = \text{LET}(l) * R(r) * T(t)$$

$$(\text{cm}^{-3}\text{s}^{-1}) = (\text{cm}^{-1}) * (\text{cm}^{-2}) * (\text{s}^{-1})$$

où LET (l) est la composante longitudinale traduisant la quantité de charges générées en fonction de la profondeur l , $R(r)$ est la composante radiale et $T(t)$ est la composante temporelle.

. Ce terme est défini sous une forme gaussienne:

$$T(t) = \frac{2e^{-\left(\frac{t-T_0}{T_c}\right)^2}}{T_c\sqrt{\pi}\left(1 - \text{erf}\left(\frac{T_0}{T_c}\right)\right)}$$

où T_0 est l'instante de l'impact, T_c est un caractère pour la forme gaussienne.

En fait, le terme $T(t)$, n'est utile que pour des raisons de convergence (on pourrait considérer une simple impulsion de Dirac).

Le terme $R(r)$ décrit la distribution, supposée de révolution autour de la trace, dans la direction r perpendiculaire à cette dernière.

Concernant la composante longitudinale LET (l), compte tenu de la diversité des courbes de LET, le plus simple et le plus souple est de prévoir une entrée LET(l) sous la forme d'un tableau fourni par l'utilisateur. Mais dans nos simulations, nous avons choisi une valeur de LET constante en fonction de la profondeur de pénétration (l).

La valeur de LET étant exprimée en nombre de paires électrons-trous par unité de longueur [$\text{pC}/\mu\text{m}$], l'intégrale de G sur le temps et l'espace doit bien entendu être égale au nombre total de paires électrons-trous créées, tandis que la même intégrale, mais pour une longueur unité de trace, doit donner le LET.

Ainsi les fonctions $T(t)$ et $R(r)$ doivent être normalisées. C'est à dire que:

1- $T(t)$ doit être telle que: $\int_0^{\infty} T(t) dt = 1$

3- $R(r)$, et dans le cas d'une simulation 2-D coordonnées rectangulaires, doit être telle

que: $d \cdot \int_{-\infty}^{\infty} R(r) dr = 1$

où r est la distance à la trace dans le plan simulé et $d=10^{-4}\text{cm}$ ($1\mu\text{m}$) est l'épaisseur prise en compte par le simulateur 2-D, égale à 10^{-4}cm (μm), perpendiculaire au plan

La forme gaussienne de ce terme est: $R(r) = \frac{e^{-\left(\frac{r}{r_0}\right)^2}}{\sqrt{\pi} r_0 d}$ où r_0 est la distance à la trace qui doit être déterminée par l'employeur du simulateur.

Dans la suite, nous montrons un exemple de la commande HeavyIon de ISE:

Physics {	
HeavyIon (	
length=0,9.10 ⁻⁴	la détermination de la profondeur de pénétration (l) exprimée en [cm].
time=110.10 ⁻¹¹	la détermination de l'instante de l'impact d'une particule (t) exprimé en [s].
direction=(0,1)	la détermination de l'angle d'incidence (θ).
location=(0.8,0)	la détermination de la localisation de l'impact exprimée en [μm].
wt_hi=0,1.10 ⁻⁴	la détermination de la distance (r) exprimée en [cm].
let_f=0,141	la détermination de la valeur de LET (l) exprimée en [$\text{pC}/\mu\text{m}$].
Gaussian	la détermination de la forme utilisée (ici est la forme gaussienne).
Picocoulomb)	la détermination de la unité utilisé pour le LET (c'est $\text{pC}/\mu\text{m}$ dans cet exemple).
}	

Annexe B

1. Méthodologie de validation de la description VHDL du mc6800: génération des programmes de test

Les programmes de tests doivent exécuter de manière exhaustive toutes les instructions du mc6800 avec tous les modes d'adressage possibles.

Dans la suite, plusieurs exemples des programme de test sont présentés:

a. Test d'intégrité des registres

Un premier programme de test avait pour but de vérifier l'intégrité des registres internes de la version implémente en FPGA du mc6800, c'est-à-dire la possibilité d'écrire des '0' et des '1'.

Le programme de test généré (voir Annexe B) a été exécuté sur le mc6800 et sur sa version en FPGA et permet d'obtenir les résultats suivants:

Le 6800 donne:

```
00 FF A5 5A 00 FF A5 5A 00 00 FF FF 5A 5A A5 A5
00 00 FF FF 5A 5A A5 A5 C0 FF E5 DA AA BB 02 02
02 02 02 02 02 02 02 02 02 02 02 02 02 02 02
```

La description VHDL donne:

```
00 FF A5 5A 00 FF A5 5A 00 00 FF FF 5A 5A A5 A5
00 00 FF FF 5A 5A A5 A5 00 BF A5 1A AA BB 02 02
02 02 02 02 02 02 02 02 02 02 02 02 02 02 02
```

Ces résultats mettent en évidence une différence au niveau du registre CCR:

Valeur écrite dans CCR	Résultat obtenu par 6800	Résultat obtenu par VHDL
00	C0	00
FF	FF	BF
A5	E5	A5
5A	DA	1A

Tableau 1: Résultats de test de CCR

Ceci conduit à conclure qu'il existe une erreur dans la description en VHDL qui a les symptômes suivants:

- Le bit 6 de CCR (7ème bit) est toujours mis à «0» au lieu de «1».
- Le bit 7 de CCR (8ème bit) peut prendre les valeurs «0» ou «1» alors qu'il doit être toujours à «1».

La notice technique du mc6800 montre que ces 2 bits du registre CCR ne sont pas utilisés et qu'ils valent toujours «1». Or, pour la validation de ce processeur, une étude de conformité est effectuée, ainsi toute erreur même non significative comme celle-ci est importante.

b. Test de conformité: instruction seule

Des programmes de tests générés recouvrant tout le jeu d'instruction du mc6800 avec tous les modes d'adressage possibles ont été exécutés d'une part sur le mc6800 et d'autre part sur la version implémentée sur FPGA.

Les résultats obtenus ont montré plusieurs différences:

i. Erreur dans l'instruction TSX

Le programme testant l'instruction TSX a donné comme résultat:

6800:

```
02 02 02 02 02 02 02 02
E5 0D E8 1E FF C0 2F
02 02 02 02 02 02 02 02
```

FPGA:

```
02 02 02 02 02 02 02 02
25 0D E8 1E FE C0 2F
02 02 02 02 02 02 02 02
```

Instruction	Résultat 6800 (attendu)	Résultat VHDL (erroné)
TSX: (SP)+1 → X	1EFF	1EFE

Tableau 2: Résultat de Test de TSX

La description VHDL n'incrémente donc pas la valeur transférée de SP à X lors de l'exécution de l'instruction TSX.

ii. Erreur dans l'instruction TXS

Le programme testant l'instruction TXS a donné comme résultat:

6800:

```
02 02 02 02 02 02 02 02 02 02 E6 AF FB 1B 22 C0 2F
02 02 02 02 02 02 02 02 02 02 02 02 02 02 02 02
```

FPGA:

```
02 02 02 02 02 02 02 02 02 02 A6 A6 AF FB 1B 00 C0
2F 02 02 02 02 02 02 02 02 02 02 02 02 02 02 02
```

En effet, le programme de test exécute la séquence suivante:

TXS
SWI

Instruction	Résultat 6800 (attendu)	Résultat VHDL (erroné)
TXS: (X) - 1 → SP	1AFF	1B00

Tableau 3: Résultat de test de TXS

En initialisant le registre X à la valeur \$1B00, la valeur \$1AFF est stockée dans le pointeur de pile dans le cas de la version originale du mc6800 alors que la version implémentée stocke la valeur \$1B00. Ainsi la description VHDL ne décrémente pas la valeur transférée de X à SP lors de l'exécution de TXS.

iii. Erreur dans l'instruction DAA

Le registre A est initialisé avec la valeur \$F2 et CCR avec la valeur \$8F.

L'exécution du programme de test de l'instruction DAA a fourni les résultats suivants:

6800:

```
02 02 02 02 02 02 02
C1 FD 52 3A CD C0 56
02 02 02 02 02 02 02
```

FPGA:

```
02 02 02 02 02 02 02
8A FD F2 3A CD C0 56
02 02 02 02 02 02 02
```

L'instruction DAA a été traitée d'une manière différente dans la description VHDL, ce qui se traduit par des valeurs erronées dans l'accumulateur A et dans le registre d'état CCR.

Un autre programme de test a donné les résultats suivant:

A initialisé à	CCR initialisé à	A 6800	CCR 6800	A VHDL	CCR VHDL
AB	0F	11	C1	AB	0A
C2	0F	22	C1	C2	0A
2A	04	30	C0	2A	00
02	00	02	C0	02	00

Tableau 4: Résultats de test de DAA

Commentaire:

On peut en déduire que l'instruction DAA ne modifie pas la valeur de l'accumulateur A dans la description VHDL.

De plus, la description VHDL modifie le CCR d'une façon non prévue en modifiant les bits C (retenue) et V (overflow): le bit C ne doit pas être modifié par cette instruction et le bit V ne prend pas toujours la bonne valeur.

iv. Erreur dans l'instruction CPX

Les tests de l'instruction CPX avec tous les modes d'adressage ont révélé une faute d'exécution dans la description VHDL.

- CPX + adressage immédiat

Le registre X est chargé avec la valeur \$DCB0.

L'instruction testée est: CPX #\$37

Les résultats obtenus sont les suivants:

6800:

```
02 02 02 02 02 02 02
E9 D3 8E DC B0 C0 58
02 02 02 02 02 02 02
```

FPGA:

```
02 02 02 02 02 02 02
A2 D3 8E DC B0 C0 58
02 02 02 02 02 02 02
```

Il y a donc une faute dans le registre CCR, ce qui indique que l'instruction CPX ne l'affecte pas correctement dans la description VHDL.

Une série d'autres tests a donné, en initialisant X avec la valeur \$1000:

CCR initial	CCR 6800	CCR VHDL	Valeur à comparer
00	C4	04	1000
0f	C5	04	1000
00	C0	00	0900
0F	C1	00	0900

Tableau 5: Résultats de test de CPX avec adressage immédiat

Commentaire:

La description VHDL modifie la valeur du bit C au lieu de la conserver.

- CPX + adressage direct

Le registre X est chargé avec la valeur \$A2E5.

L'instruction testée est: CPX \$16 (les cases mémoire d'adresse \$0016-17 contiennent la valeur \$C418)

Les résultats obtenus sont les suivants:

6800:

02 02 02 02 02 02 02
E9 9A 20 A2 E5 C0 30
 02 02 02 02 02 02 02

FPGA:

02 02 02 02 02 02 02
A8 9A 20 A2 E5 C0 30
 02 02 02 02 02 02 02

La description VHDL modifie donc la valeur du bit C au lieu de la conserver.

Si le registre X est initialisé avec la valeur \$3566, le test donne les valeurs suivantes:

CCR Initial	CCR 6800	CCR VHDL	Valeur à comparer	Adresse direct
0f	C9	00	\$4000	\$A0-A1
00	C8	00	\$4000	\$A0-A1
00	C4	04	\$3566	\$A2-A3
0f	C5	04	\$3566	\$A2-A3
00	C0	00	\$2000	\$A4-A5
0f	C1	00	\$2000	\$A4-A5

Tableau 6: Résultats de test de CPX avec adressage direct

Commentaires:

Ces tests montrent que les bits C et N sont erronés en ce qui concerne la description VHDL.

- CPX + adressage étendu

Le registre X est chargé avec la valeur \$30DA.

L'instruction testée est: CPX \$012C (les cases mémoire d'adresse \$012C-2D contiennent la valeur \$6C33)

Les résultats obtenus sont les suivants:

6800:

02 02 02 02 02 02 02
C9 D0 1E 30 DA C0 59
 02 02 02 02 02 02 02

FPGA:

02 02 02 02 02 02 02
88 D0 1E 30 DA C0 59
 02 02 02 02 02 02 02

Comme précédemment, une faute dans l'affectation des bits du CCR est détectée.

Une série d'autres tests a donné, en initialisant le registre X avec la valeur \$A0DA:

CCR initial	CCR 6800	CCR VHDL	Valeur à comparer	Adresse étendu
8B	C9	88	\$B000	\$01A0-A1
00	C8	08	\$B000	\$01A0-A1
00	C4	04	\$A0DA	\$01A2-A3
0f	C5	04	\$A0DA	\$01A2-A3
00	C2	08	\$3256	\$01A4-A5
0f	C3	08	\$3256	\$01A4-A5

Tableau 7: Résultats de test de CPX avec adressage étendu

Commentaire:

Ces tests montrent que les bits C, N et V sont erronés en ce qui concerne la description VHDL.

- CPX + adressage indexé:

Le registre X est chargé avec la valeur \$00C5.

L'instruction testée est: CPX \$68,X (les cases mémoire d'adresse \$012D-2E contiennent la valeur \$334E)

Les résultats obtenus sont les suivants:

6800:

```
02 02 02 02 02 02 02
E9 40 32 00 C5 C0 30
02 02 02 02 02 02 02
```

FPGA:

```
02 02 02 02 02 02 02
A2 40 32 00 C5 C0 30
02 02 02 02 02 02 02
```

Comme dans les autres cas, le registre CCR contient une valeur erronée.

Une dernière série de tests, avec le registre X initialisé avec la valeur \$1005, montre les mêmes diagnostics:

CCR initial	CCR 6800	CCR VHDL	Valeur à comparer	Adresse indexé
AF	E9	A0	\$1100	\$20,X
00	C8	00	\$1100	\$20,X
00	C4	04	\$1005	\$22,X
0f	C5	04	\$1005	\$22,X
00	C0	00	\$0900	\$24,X
0f	C1	00	\$0900	\$24,X

Tableau 2: Résultats de test de CPX avec adressage indexé

Commentaire:

Ces tests montrent que les bits C et N sont erronés en ce qui concerne la description VHDL.

v. Conclusion

Les erreurs relatives à ces instructions détectées lors de la validation de la description VHDL peuvent se résumer de la manière suivante:

- Les erreurs engendrées par les instructions TSX et TXS se manifestent respectivement par un transfert de la valeur entre SP et X sans incrémentation ou décrémentation.
- L'erreur dans l'exécution de l'instruction DAA se manifeste par l'absence de conversion de la valeur contenue dans l'accumulateur A et par le mauvais positionnement des bits C et V du registre CCR.
- L'erreur dans l'exécution de l'instruction CPX avec tous les modes d'adressage (immédiat, direct, étendu, indexé) se manifeste par la mauvaise affectation des bits C, N et V du registre CCR.

c. Test de conformité: séquence d'instructions

Une erreur très intéressante et à priori difficile à détecter a été mise en évidence par les programmes de tests générés. Il s'agit d'une erreur de séquençement. Ce problème existant potentiellement dans toute description d'un processeur, il soulève une difficulté majeure:

Quelles séquences essayer et avec quel critère les sélectionner ?

En fait, lors de l'exécution de l'une des instructions suivantes:

NEG \$49,X
INC \$3E,X
DEC \$1C,X
TST \$BD,X
ASL \$EB,X
ASR \$B5,X
LSR \$9F,X
ROL \$A9,X
ROR \$16,X
STS \$44,X
STX \$B0,X

Si l'une des instructions mentionnées est suivie de l'instruction SWI on constate que la description VHDL ne stocke pas dans la pile l'octet de poids faible de PC.

Par contre, si on ajoute l'instruction NOP entre les deux, la séquence est bien exécutée.

Etudions le cas de NEG \$49,X:

Le programme de test de l'instruction NEG avec le mode d'adressage indexé a donné les résultats suivants:

6800:

```
02 02 02 02 02 02 02 02
F1 22 86 00 C8 C0 30 02
02 02 02 02 02 02 02 02
```

FPGA:

```
02 02 02 02 02 02 02 02
02 31 22 86 00 C8 C0 02
02 02 02 02 02 02 02 02
```

On constate, en ce qui concerne la version implémentée sur FPGA, que l'octet de poids faible de PC n'est pas stocké dans la pile et ceci du fait de la séquence d'instructions NEG \$49,X suivi de SWI.

Cependant, si une instruction (NOP par exemple) est ajoutée entre les deux, on obtient les résultats suivants:

6800:

```
02 02 02 02 02 02 02 02
F1 22 86 00 C8 C0 31 02
02 02 02 02 02 02 02 02
```

FPGA:

```
02 02 02 02 02 02 02 02
31 22 86 00 C8 C0 31 02
02 02 02 02 02 02 02 02
```

De cette façon, l'octet de poids faible de PC est bien stocké dans la pile.

Cette partie présente ainsi l'exemple de la validation du microprocesseur mc6800 de Motorola qui a permis de détecter un certain nombre d'erreur de fonctionnement de la version du processeur implémentée en FPGA. Après cette étape, il a fallu détecter et corriger ces erreurs, ce qui a constitué la problématique principale de notre sujet.

2. Tester le bon fonctionnement des instructions corrigées.

Après avoir corrigé ces erreurs, le code source ainsi obtenu a été synthétisé et implanté sur FPGA dans le but d'être testé et comparé au mc6800 original et au code source erroné. Cette comparaison doit prouver l'exactitude des modifications apportées au code source original.

Pour ce faire, des programmes en langage assembleur ont été générés afin de pouvoir tester le bon fonctionnement des instructions corrigées. Ces programmes de test et les résultats qui en découlent sont détaillés dans cette partie.

3. Test de conformité: instruction seule

a. Instructions TSX, TXS et CPX

Pour tester ces trois instructions, un seul programme de test en assembleur a été nécessaire:

INIT	ORG \$0000 LDAA #\$00 LDAB #\$00 TAP
TSX	LDS #\$0100 TSX STX \$0500
TXS	LDX #\$0100 TXS STS \$0550
CPX	TAP LDS #\$0600 LDX #\$A0DA CPX #\$3256 SWI
LOOP	LDAA #\$55 STAA \$3FFF BRA LOOP
	ORG \$3FFE
vect_reset	FDB \$C000

Le programme de test commence par initialiser les accumulateurs A (LDAA #\$00) et B (LDAB #\$00) et le registre CCR (TAP) car les valeurs initiales de ces registres diffèrent entre la version originale du mc6800 et la version en FPGA. Les modifications qui permettraient d'obtenir des valeurs initiales identiques peuvent être facilement apportées au code source, mais elles ne sont pas nécessaires car aucune instruction n'est effectuée sans affecter une valeur au préalable au registre concerné.

Ensuite, afin de tester l'instruction TSX, le pointeur de pile a été initialisé avec la valeur \$0100 (LDS #\$0100) avant d'exécuter l'instruction TSX et de charger le contenu du registre X à l'adresse \$0500 de la mémoire (STX \$0500).

Les résultats comparatifs de ces tests sont les suivants:

ancienne version: 01 00

nouvelle version: 01 01

version originale: 01 01

La première ligne met en évidence l'erreur initiale à corriger et les deux dernières lignes montrent la concordance des résultats entre la version originale et la version corrigée du code source.

Puis, afin de tester l’instruction TXS, la valeur \$0100 a été chargée dans le registre X (LDX #\$0100) avant d’exécuter l’instruction TXS et de charger la valeur du pointeur de pile à l’adresse \$0550 de la mémoire (STS \$0550).

Les résultats comparatifs de ces tests sont les suivants:

ancienne version: 01 00

nouvelle version: 00 FF

version originale: 00 FF

La première ligne met en évidence l’erreur initiale à corriger et les deux dernières lignes montrent la concordance des résultats entre la version originale et la version corrigée du code source.

Enfin, pour tester l’instruction CPX, le contenu du CCR a été réinitialisé avec la valeur \$C0 (TAP) afin de se placer dans les mêmes conditions que celles des tests initiaux ayant permis de déceler cette erreur. La valeur \$0600 a alors été chargée dans le pointeur de pile (LDS #\$0600) et la valeur \$A0DA dans le registre X (LDX #\$A0DA) avant d’exécuter l’instruction CPX #\$3256 suivie de SWI, ce qui permet de sauvegarder tous les registres dans la pile à l’adresse \$0600.

Les résultats comparatifs de ces tests sont les suivants:

ancienne version: 08 00 00 A0 DA C0 1E

nouvelle version: C2 00 00 A0 DA C0 1E

version originale: C2 00 00 A0 DA C0 1E

La première ligne met en évidence l’erreur initiale à corriger et les deux dernières lignes montrent la concordance des résultats entre la version originale et la version corrigée du code source.

b. Instruction DAA et bits S et X du CCR

Pour tester ces deux erreurs, un seul programme de test a été nécessaire:

INIT	ORG \$0000
	LDAA #\$00
	LDAB #\$00
	TAP
DAA1	LDS #\$0250
	LDAA #\$21
	TAP
	LDAA #\$23
	DAA
	SWI
	LDAA #\$55
	STAA \$3FFF
LOOP	BRA LOOP
	ORG \$3FFE
vect_reset	FDB \$C000

En effet, l'instruction TAP utilisée pour initialiser le CCR à la valeur souhaitée permet également de prouver que les bits S et X du CCR ne sont plus modifiés, c'est-à-dire qu'ils sont toujours égaux à 1.

Après initialisation des registres A, B et CCR, la valeur \$0250 a été chargée dans le pointeur de pile (LDS #\$0250), la valeur \$21 dans le CCR (LDAA #\$21 et TAP), et la valeur \$23 dans le registre A (LDAA #\$23) avant d'exécuter l'instruction DAA et de stocker les registres dans la pile grâce à l'instruction SWI.

Les résultats comparatifs de ces tests sont les suivants:

ancienne version: 20 00 23 00 03 C0 0F

nouvelle version: EB 00 89 00 03 C0 0F

version originale: EB 00 89 00 FE C0 0F

La première ligne met en évidence l'erreur initiale à corriger et les deux dernières lignes montrent la concordance des résultats entre la version originale et la version corrigée du code source sauf en ce qui concerne le registre X qui n'est pas initialisé de la même façon dans les deux versions. Le premier octet de chaque ligne représente le CCR et permet de constater que les bits S et X sont bien corrigés (les 2 bits de poids fort sont égaux à 1) et que l'instruction DAA modifie à présent convenablement le CCR.

Le troisième octet représentant le contenu du registre A permet de mettre en évidence le fait que DAA effectue correctement la conversion en BCD.

2. Test de conformité: séquence d'instructions

Pour tester cette erreur, le programme de test utilisé est le suivant:

```
INIT      ORG $0000
          LDAA #$00
          LDAB #$00
          TAP

SWI       LDS #$0500
          LDX #$1000
          LDAA #$50
          STAA $49,X
          NEG $49,X
          SWI

          LDAA #$55
          STAA $3FFF
LOOP      BRA      LOOP

          ORG $3FFE
vect_reset FDB $C000
```

Après l'initialisation des registres A, B et CCR, la valeur \$0500 est chargée dans le pointeur de pile (LDS #\$0500), la valeur \$1000 dans le registre X (LDX #\$1000) et la valeur \$50 est chargée à l'adresse \$1049 par l'intermédiaire de l'accumulateur A (LDAA #\$50, STAA \$49,X) avant d'exécuter la séquence d'instructions NEG (NEG \$49,X) suivie de SWI.

Les résultats comparatifs de ces tests sont les suivants:

ancienne version: 09 00 50 10 00 C0

nouvelle version: C9 00 50 10 00 C0 12

version originale: C9 00 50 10 00 C0 12

La première ligne met en évidence l'erreur initiale qu'il fallait corriger (l'octet de poids faible de PC n'est pas empilé) et les deux dernières lignes montrent la concordance des résultats entre la version originale et la version corrigée du code source.

Références

Références

[68HC11] <http://www.gmvhdl.com/hc11core.html>

[Acu-90] E. Acuna, J. Dervenis, A. Pagones, F. Yang, R. Saleh, "Simulation Techniques for Mixed Analog and Digital Circuits", IEEE Journal of Solid-State Circuits, vol. 25, No. 2, Apr. 1990, pp. 353-363.

[Alex'-02] D. Alexandrescu, L. Anghel, M. Nicolaidis, "Simulating Single Event Transients in VDSM ICs for Ground Level Radiation", Latin-American Test Workshop, 2002.

[Alex-02] D. Alexandrescu, L. Anghel, M. Nicolaidis, "New Methods for Evaluating the Impact of Single Event Transients in VDSM ICs". 17th IEEE International Symposium on Defect and Fault Tolerance in VLSI Systems (DFT'02), November, 2002, pp 99-107.

[Alle-95] M. Allenspach et al, "SEGR in power MOSFET: prediction of breakdown biases and evaluation of oxide thickness dependence", IEEE Transactions on Nuclear Science, vol. NS-42, N°6, décembre 1995, pp. 1922-1927.

[Alle-96] M. Allenspach, C. Dachs, G.H. Johnson et al, "SEGR and SEB in N-Channel Power MOSFETs", IEEE Transactions on Nuclear Science, NS43, 1996.

[Ang-03] L. Anghel, R. Velazco, S. Saleh, S. Deswaertes, A. ElMou Cary "Preliminary Validation of an Approach Dealing with Processor Obsolescence", 18th IEEE International Symposium on Defect and Fault-Tolerance in VLSI Systems (DFT'03), November 03 - 05, 2003, Boston, Massachusetts.

[Bar-00] J.A. Barth, "Space Environments and Testing", Single Events Effects Symposium, April, 2000.

[Bar-97] J.A Barth, "Modeling Space Radiation Environments", IEEE NSREC short course, 1997.

[Bar-98] J.A Barth, "Military and Aerospace Applications of Programmable Devices and Technologies" Conference, Radiation Environments, Greenbelt, Maryland, September 1998.

[Baum-01] R. Baumann, "Soft errors in advanced semiconductor devices-part I: the three radiation sources", Device and Materials Reliability, IEEE Transactions on Device and Materials Reliability, vol.: 1, Issue: 1, March 2001, pp: 17 – 22.

[Baum-02] R. Baumann, "Soft errors in commercial semiconductor technology: overview and scaling trends", IEEE Reliability Physics Tutorial Notes, Reliability Fundamentals, April 2002, pp: 121_01.1-121_01.14.

[Baum-95] R. Baumann, T. Hossain, S. Murata, H. Kitagawa, "Boron compounds as a dominant source of alpha particles in semiconductor devices", Proc. of IEEE International Reliability Physics Symposium, 1995, p 297.

[Baum-95] R. Baumann, T. Hossain, E. Smith, S. Murata, and H. Kitagawa, "Boron as a Primary Source of Radiation in High Density DRAMs", IEEE Symposium VLSI, 1995, pp. 81-82.

-
- [Baz-97] M.P. Baze, S.P. Buchner, "Attenuation of single event induced pulses in CMOS combinational logic", *IEEE Transactions on Nuclear Science*, vol. 44 Issue: 6 Part: 1, Dec. 1997, pp: 2217 -2223.
- [Bez-99] F. Bezzerra, S.Barde, J.L. Carayon, M.Sarthou, "Nanocontrollers Characterization under Radiation", Fifth European Conference on Radiation and Its Effects on Components and Systems, France, 1999
- [Bor-03] S. Borkar, et al., "Parameter Variations and Impact on Circuits and Microarchitecture", *ACM/IEEE DAC*, June 2003, pp. 338-342.
- [Boud] J.C. Boudenot, "Tenue des circuits aux radiations ionisantes", (<http://www.techniques-ingenieur.fr>).
- [Bunch-97] S.Buchner, M. Base, D. Brown, D. McMorro, J. Melinger, "comparison of error rates in combinational and sequential logic", *IEEE Transactions on Nuclear Science*, vol. 44. Issue: 6, Dec. 1997, pp: 2209 – 2216.
- [Cha-93] H.Cha, J.H. Patel, "A Logic-Level Model for α - Particle Hits in CMOS Circuits", *Proceedings of IEEE International Conference on Computer Design*, 1993, pp: 538-542.
- [Chang-99] D. Changhong et al., "Alpha-SER Modeling & Simulation for sub-0.25 mm CMOS technologies", *Symposium on VLSI Technology*, 1999, pp. 81-82,.
- [Choi-89] G. Choi, R. Iyer, R. Saleh, "A Fault Behavior Model for an Avionic Microprocessor: A Case Study", *International. Working Conf. on Dependable Computing for Critical Applications*, Santa Barbara, CA, Aug. 1989, pp. 71-77.
- [Cohe-99] N. Cohen et al., "Soft error considerations for deep-submicron CMOS circuit applications", *Technical Digest of International Electronic Devices Meeting (IEDM)*, 1999, pp.315-318.
- [Coli-97] J.P. Colinge, "Durcissement des Circuits Intégrés contre les Effets dus aux Rayonnements", *Journée Technique, Conférence Internationale RADECS*, Cannes, septembre 1997.
- [Con-03] C. Constantinescu, "Trends and challenges in VLSI circuit reliability", *Micro, IEEE*, Volume: 23, Issue: 4, July-Aug. 2003, pp: 14 - 19
- [DESSIS] Dessis, ISE Integrated Systems Engineering, Release 7.0
- [Dodd'-96] P.E. Dodd, "Device simulation of charge collection and single-event upset", *IEEE Transactions on Nuclear Science*, vol. 43 Issue: 2 Part: 1, April 1996, pp: 561 -575.
- [Dodd-94] P.E. Dodd, F.W. Sexton and P.S. Winokur "Three-Dimentional simulation of charge collection and multiple-bit upset in Si devices", *IEEE Transactions on Nuclear Science*, vol. 41, n°6, Dec. 1994, pp.2005-2017.
- [Dodd-95] P.E. Dodd, F.W. Sexton, "Critical Charge Concepts for CMOS SRAM", *IEEE, Transactions on Nuclear Science*, vol. 42, No 6, Dec. 1995, pp: 1764-1771.
- [Dodd-96] P.E. Dodd, F.W. Sexton, G.L. Hash, M.R. Shaneyfelt, B.L. Draper, A.J. Farino, R.S. Flores "Impact of technology trends on SEU in CMOS SRAMs" *IEEE Transactions on Nuclear Science*, vol. 43, No: 6 Part: 1, 1996, pp: 2797 –2804.
- [Dodd-97] P.E. Dodd, M.R. Shaneyfelt, F.W. Sexton, "Charge collection and SEU from angled ion strikes", *IEEE Transactions on Nuclear Science*, vol. 44, Issue: 6, Dec. 1997, pp: 2256 –2265.

-
- [Dodd-98]** P.E. Dodd, O. Musseau, G.L. Hash, M.R. Shaneyfelt, F.W. Sexton, C. D'hose, J.L. Leray and P.S. Winokur "Impact of ion energy on single-event upset" IEEE Transactions on Nuclear Science, vol. 45, No 6, Dec.1998, pp: 2483-2491,.
- [Draf-04]** "A Method for soft Error Rate Estimation of Digital circuits", Manuscript Draft, Journal of Electronic Testing: Theory and Applications, September 2, 2004.
- [Duba-88]** P. Duba, R.K. Iyer, "Transient fault behaviour in a microprocessor: a case study", Proceedings of IEEE International Conference on Computer Design, Oct. 1988, pp. 272-276.
- [Gho-95]** A.K Ghosh, B.W. Johnson, "System-Level Modeling in the ADEPT Environment of a Distributed Computer System for Real time Applications", Proceedings of IEEE International Computer Performance and Dependability Symposium, April 1995, pp. 194-203.
- [Gorm-96]** T.J. O'Gorman et al., "Field testing for cosmic ray soft errors in semiconductor memories", IBM Journal of Research and Development, Jan. 1996, vol. 40, pp. 41-49.
- [Goss-93]** C.A. Gossett et al., "Single event phenomena in atmospheric neutron environment", IEEE Transactions on Nuclear Science, Dec. 1993, vol. 40, pp. 1845-1852.
- [Griff-97]** P.J. Griffin et al., "The role of thermal and fission neutrons in reactor neutron-induced upsets in commercial SRAMs", IEEE Transactions on Nuclear Science, Dec. 1997, vol. 44, pp. 2079-2086.
- [Guen-79]** C.S. Guenzer, E.A. Wolicki, and R.G. Allas, "Single Event Upset of Dynamic Rams by Neutrons and Protons," IEEE Transactions on Nuclear Science, vol. 26, Dec. 1979, pp. 5048-5052.
- [iRoC-02]** "White Paper on VDSM IC Logic and Memory Signal Integrity and Soft Errors", iRoC Technologies, January, 2002.
- [Jenn-94]** E. Jenn, J. Arlat, M. Rimen, J. Ohlsson, J. Karlsson, "Fault Injection into VHDL Models: The MEFISTO Tool", Proceedings. 24th International Symposium on Fault-Tolerant Computing, pp. 66-75, 1994.
- [JESD-89]** JEDEC Standard "Measurement and Reporting of alpha Particles and Terrestrial Cosmic-ray Induced Soft Errors in Semiconductor Devices"
- [Joh-98]** K. Johansson et al., "In-flight and ground testing of single event upset sensitivity in static RAM's", IEEE Transactions on Nuclear Science, June 1998, vol. 45, pp. 1628-1632.
- [Kar-04]** T.Karnik, P. Hazucha, and J. Patel, "Characterization of soft errors caused by single event upsets in CMOS processes", IEEE Transactions on Dependable and Secure Computing, vol. 1, Apr-Jun 04, pp: 128-143.
- [Lan-96]** L. Lantz, "Tutorial: Soft Errors Induced by Alpha Particles," IEEE Transactions Reliability, vol. 45, June 1996, pp. 174-179.
- [LBN-00]** Lawrence Berkeley National Laboratory, Etas-Unis, <http://www.lbl.gov/>
- [MA-89]** T.P. MA, P.Dussendorfer, "Ionizing Radiation Effects in Mos Devices and Circuits", Willey, New York, 1989.

-
- [**Mas-00**] L.W. Massengill, A.E. Baranski, D.O.V. Nort, J. Meng, B.L. Bhuva, “Analysis of Single-Event Effects in Combinational Logic – Simulation of the AM2901 Bitslice Processor”, IEEE Trans. on Nuclear Science, December 2000.
- [**Mass-98**] L.W. Massengill, M.S. Reza, B.L. Bhuva, T.L. Turflinger, “Single-event upset cross-section modeling in combinational CMOS logic circuit”, Journal of Radiation Effects, Research, and Engineering, vol.16, no. 1, 1998.
- [**Mav-02**] D.G. Mavis, P.H. Eaton, “Soft Error Rate Mitigation Techniques for Modern Microcircuit”, IEEE International Symposium Proceedings on Reliability Physics, April 2002, pp: 216 – 225.
- [**May-79**] T.C. May, and M. H. Woods, “Alpha-Particle-Induced Soft Errors in Dynamic Memories”, IEEE Transactions on Electron Devices, vol. ED-26, No 1, January 1979, pp 2-9.
- [**McN-99**] P.J. McNulty, P.Roche, J.M. Palau, M.W. Savage, J. Gasiot, “Threshold let for SEU induced by low energy ions,” IEEE Transactions on Nuclear Science, vol. 46, 1999, pp. 1370–1377.
- [**Mel-98**] J.S. Melinger, D. McMorro, S. Buchner, A.R. Kundson, L.H. Tran, A.B. Campbell, “Investigations of single-event upsets and charge collection in micro-electronics using variable-length laser-generated chage tracks”, IEEE Transactions on Nuclear Science, vol. 45, 1998.
- [**Mess-82**] G.C. Messenger “Collection of Charge on Junction Nodes from Ion Tracks”, IEEE Transactions on Nuclear Science, vol. NS-29, December 1982.
- [**Mit-05**] S. Mitra, N. Seifert, M. Zhang, Q. Shi, K.S. Kim, “Robust System design with Built_In Soft-Error Resilience”, IEEE Design and Test of Computers, vol. 38, No 2, February 2005, pp. 43-52,.
- [**Moll-93**] F. Moll, A. Rubio “Methodology of Detection of Spurious Signals in VLSI Circuits”, Proceedings of European Test Conference, April 1993, pp: 491 – 496.
- [**Motorola**] Motorola 68HC11 Microcontroller “M68HC11 Reference Manual -Motorola - literature reference M68HC11RM/AD”
- [**Muk-03**] S. Mukhopadhyay, A. Raychowdhury, K. Roy, “Accurate estimation of total leakage current in scaled CMOS logic circuits based on compact current modelling”, Design Automation Conference, 2003. Proceedings ,2-6, June 2003, Pages: 169 – 174
- [**Musse-91**] O. Musseau, “Effets des Ions Lourds Energétiques sur les Circuits Intégrés. Application au cas de Circuits MOS, MOS sur Isolants et GaAs”, Thèse, 1991.
- [**Norm-96a**] E. Normand, “Single Event Upset at Ground Level”, IEEE Transactions on Nuclear Science, 43, pp: 2742, 1996.
- [**Norm-96b**] E. Normand, “Single Event Upset in Avionics”, IEEE Transactions on Nuclear Science, 43, pp: 461, 1996.
- [**Norm-98**] E. Normand et al., “Single event upset and charge collection measurements using high energy protons and neutrons”, IEEE Transactions on Nuclear Science, Dec. 1998, vol. 45, pp: 2904-2914.
- [**Olse-93**] J. Olsen, P.E. Becher, P.B. Fynbo, P. Raaby, and J. Schult, “Neutron-Induced Single Event Upsets in Static Rams Observed at 10km Flight Altitude,” IEEE Transactions on Nuclear Science, vol. 40, Dec. 1993, pp: 120-126.

-
- [Poi-01]** Ch. Poivey, J.A. Barth, .E.G. Stassinopoulos, K.A. Label, M. Xapsos, “Implications of Advanced Microelectronics Technologies for Heavy Ion Single Event Effect (SEE) Testing”, Radiation and Its Effects on Components and Systems, 2001. 6th European Conference on , 10-14 Sept. 2001, pp: 328 – 331.
- [Pouge-00]** V. Pouget, “Simulation expérimentale par impulsions laser ultra-courtes des effets des radiations ionisantes sur les circuits intégrés”, Thèse soutenue à l’Université BORDEAUX 1 le 24 juillet 2000.
- [Rouch-98]** P.Roche, J.M. Palau, K. Belhaddad, G. Bruguier, R. Ecoffet, J.Gasiot, “SEU response of an entire SRAM cell simulated as one contiguous three dimensional device domain,” IEEE Transactions on Nuclear Science, vol. 45, 1998, pp. 2534–2544.
- [Rouch-99]** P. Roche, J.M. Palau, C. Tavernier, G. Bruguier, R. Ecoffet, J.Gasiot, “Determination on key parameters for SEU using full cell 3-D SRAM simulations,” IEEE Transactions on Nuclear Science, vol. 46, 1999, pp: 1354–1362.
- [Rouch’-99]** P. Roche, “Etude de l’aléa logique (SEU) induit par une particule ionisante dans des mémoires SRAM développées en technologies CMOS avancées.”, Thèse soutenue à l’Université Montpellier 2 le 26 Novembre 1999,
- [Saxe-03]** P.K. Saxena, N. Bhat, “SEU reliability improvement due to source-side charge collection in the deep-submicron SRAM cell”, IEEE Transactions on Device and Materials Reliability, vol. 3 , Issue: 1, March 2003, pp: 14 – 17.
- [Sema-01]** Sematech, “Call for Improved Ultra-Low Background Alpha- Particle Emission Metrology for the Semiconductor Industry”. <http://www.semtech.org/docubase/document/4118axfr.pdf>, 2001.
- [Sext-97]:** F.W.Sxton, D.M.Fleetwood & al, “Single Event Gate Rupture in Thin Gate Oxides”, IEEE Transactions on Nuclear Science, vol.: 44, Issue: 6, Dec.1997, , pp: 2345 – 2352.
- [Shi-02]** P. Shivakumar, et al., “Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic”, Proc. International Conference on Dependable Systems and Networks, 2002, pp: 389-398,.
- [Shir-01]** P.P, Shirvani “Fault-Tolerant Computing for Radiation Environments”, Technical report, Center for Reliable Computing, Stanford University, June 2001.
- [SIA-01]** International Technology Roadmap For Semiconductors, 2001 Edition.
- [SRIM-03]:** J.F. Ziegler, J.P. Biersack, “The stopping and range of ions in matter”.
- [Tabe-93]** A. Taber and E. Normand, “Single Event Upset in Avionics,” IEEE Transactions on Nuclear Science, vol. 40, Apr. 1993, pp. 120-126.
- [Tezz-04]** “Soft Errors in Electronic Memory –A White Paper”, Tezzaron Semiconductor, Version 1.1, January 5th, 2004.
- [Tosa-95]** Y. Tosaka, K. Suzuki and T. Sugii, “Alpha particle induced soft errors in submicron SOI SRAM”, Symposium on VLSI Technology Digest of Technical Papers, 1995, pp. 39-40.
- [Tosa-99]** Y. Tosaka, H. Kanata, T. Itakura, S. Satoh, “Simulation Technologies for Cosmic Ray Neutron-Induced Sof Errors: Models and Simulation Systems”, IEEE Transactions on Nuclear Science, vol. 46, No 3, June 1999.

-
- [**Vel-03**] R. Velazco, L. Anghel, F. Kaddour, S. Saleh, "A Methodology to Test Replacement Solutions of Obsolete Processors", 9th IEEE International On-Line Testing Symposium, July 07 - 09, 2003
- [**Vel-85**] R. Velazco, E. Kolokithas, H. Ziade, "A microprocessor test approach allowing fault localisation", Proceedings. of the Internaitonal Test Conference (ITC'85), Philadelphie, USA, october 1985, pp. 737-743.
- [**Wood-93**] R.L. Woodruff, P.J. Rudeck, "Three-dimensional numerical simulation of single event upset of an SRAM cell", IEEE Transactions on Nuclear Science, vol. 40, Issue: 6, Dec 1993, pp: 1795 –1803.
- [**Yang-92**] F.L. Yang, R.A. Saleh, "Simulation and Analysis of Transeint Faults in Digital Circuitds", IEEE Journal of Solid State Circuit, vol. 27, No 3, March 1992, pp: 258-264.
- [**Ziegl-85**] J.F. Ziegler, J.P. Biersack, U. Littmark, "The stopping and range of ions in matter", New York, Pergamon Press, 1985.
- [**Ziegl-96**] J.F. Ziegler, H.W. Curtis, H.P. Muhlfeld et al., "IBM experiments in soft fails in computer electronics (1978-1994)", IBM Journal of Research and Development, Vol. 40, 1996. <http://www.research.ibm.com/journal/rd/ziegl/zieglert.html>).
- [**Zout-90**] J.A. Ziutendyk "Heavy Ion induced SEU in IC's", ESA electronic Conference, 12-16 Nouvember 1990, pp 357-361, ESA SP-313 March 1991.

RESUME

La miniaturisation croissante des composants électroniques accroît considérablement la sensibilité des circuits intégrés face aux fautes transitoires de type (SEU) ou (SET). De ce fait, l'analyse de la sensibilité face aux ces fautes transitoires des circuits combinatoires et séquentiels est une tâche essentielle aujourd'hui. Les méthodes analytiques de calcul probabiliste de génération des impulsions SET ou des SEU et de propagation et transformation en erreur, publiées dans la littérature jusqu'à ce jour, ne sont pas complets car un certain nombre de paramètres ne sont pas pris en compte. Dans cette thèse, nous proposons une méthodologie de simulation de fautes transitoires multi-niveaux qui permettra une évaluation plus rapide et en même temps précise. Cette méthodologie est en fait une collection des méthodes de simulations, une pour chaque niveau d'abstraction (niveau physique, niveau transistor, et niveau portes logiques). Au niveau physique, nous utilisons la simulation physique au niveau composants ou portes logiques élémentaires qui consiste en la caractérisation de chaque type de transistor d'une technologie donnée face aux SET en prenant en compte plusieurs paramètres (l'énergie ou le LET de la particule, l'angle d'incidence et la localisation de l'impact sur le composant, et les dimensions des transistors heurté par la particule). Suite à cette caractérisation, une famille de courbes de courants sera obtenue pour chaque transistor et un domaine de valeurs de l'amplitude et la durée de l'impulsion de courant sera établi. La transformation des impulsions de courants obtenus au niveau physique en impulsions de tension est réalisée à travers des simulations électriques en prenant en compte l'impédance de sortie de chaque porte. Une famille de courbes de tension transitoire sera aussi établie pour chaque porte. Un modèle d'impulsion logique sera défini pour ces impulsions qui sera ensuite utilisé dans des simulations numériques, qui sont beaucoup plus rapides, et qui sont utilisées finalement afin de pouvoir analyser la sensibilité face aux fautes transitoires de type SET et SEU d'un circuit complexe. Les résultats de cette analyse seront utilisés afin de réaliser une cartographie de sensibilité d'un circuit complexe qui nous permet de déterminer les zones les plus sensibles d'un circuit étudié et éventuellement de décider d'un durcissement ponctuel des portes sensibles.

MOTS-CLES : Faute transitoire SET, SEU, simulation physique 2-D, simulation électrique, simulation numérique, carte de sensibilité

TITLE:

Multi levels soft errors simulation methods

ABSTRACT

The nowadays miniaturization of the electronic components increases considerably the sensitivity of the integrated circuits face to transient faults (SEU) or (SET). The analysis of the transient faults sensitivity for combinational logic and sequential circuits is an essential task today. The analytical methods based on probabilistic calculation of the generation of transient pulses SET or SEU, and of the propagation and the transformation of these transients faults into errors, published in the literature are not complete because a certain number of parameters are not taken into account. In this thesis, we propose a fast and accurate multi levels methodology to simulate transient faults. This methodology is a collection of simulation methods, a method for each level of abstraction (physical level, transistor level, and gate level). At the physical level, we use a physical simulation at the components level for any elementary logical gates which consists in the characterization of each type of transistor of a given technology face of SET by taking into account several parameters (the energy or the LET of the particle, the angle of incidence, the impact localization and the dimensions of the transistors where the particle strike occurs). After this characterization, a family of current curves is obtained for each transistor and a domain of the current amplitude values and the current pulses duration is established. The transformation of the current pulse obtained at the physical level into voltage pulses is done by electrical simulations by taking into account the output impedance of each gate. A family of transient voltage pulse curves is also established for each gate. Furthermore, a logical pulse model is defined for these pulses which will be then used in numerical simulations, which are much faster, and which are finally used in the sensitivity analysis phase for complex circuit. The results of this analysis are used in order to realize a cartography of a complex circuit sensitivity which allow us to determine the most significant zones of a studied circuit and, if required, to decide a hardening solution of the sensitive gates.

ISBN : 2-84813-061-X

ISBN : 2-84813-062-8

