



HAL
open science

Architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs "bi-puce" et "mono-puce" pour convertisseurs de puissance compacts

Abdelilah El Khadiry

► **To cite this version:**

Abdelilah El Khadiry. Architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs "bi-puce" et "mono-puce" pour convertisseurs de puissance compacts. Micro et nanotechnologies/Microélectronique. Université Paul Sabatier - Toulouse III, 2014. Français. NNT : . tel-01020587

HAL Id: tel-01020587

<https://theses.hal.science/tel-01020587>

Submitted on 8 Jul 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.



Université
de Toulouse

THÈSE

En vue de l'obtention du

DOCTORAT DE L'UNIVERSITÉ DE TOULOUSE

Délivré par :

Université Toulouse 3 Paul Sabatier (UT3 Paul Sabatier)

Présentée et soutenue par :

Abdelilah EL KHADIRY

Le vendredi 7 février 2014

Titre :

Architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs "bi-puce" et "mono-puce" pour convertisseurs de puissance compacts

ED GEET : Composants et Systèmes de gestion de l'Énergie

Unité de recherche :

LAAS-CNRS & LAPLACE

Directeur(s) de Thèse :

M. Frédéric RICHARDEAU, Directeur de recherche LAPLACE / Toulouse
M. Abdelhakim BOURENNANE, Maître de conférences LAAS-CNRS / Toulouse

Rapporteurs :

M. Stéphane LEFEBVRE, Professeur CNAM / ENS - Cachan
M. Dominique PLANSON, Professeur AMPERE / Lyon

Autre(s) membre(s) du jury :

M. Bruno ALLARD, Professeur INSA / Lyon
M. Stéphane AZZOPARDI, Maître de conférences (HDR) IMS / Bordeaux
M. Patrick AUSTIN, Professeur UPS / Toulouse
M. Thierry BOUCHET, Ingénieur ADIS - INNOVATION / Meyreuil (invité)

*« La connaissance s'acquiert par l'expérience, tout le reste n'est que de
l'information »*

[Albert Einstein]

*à mes parents,
à ma femme,
à mon frère et sœurs,
et à tous ceux que je ne nomme pas, mais
qui se reconnaîtront*

Remerciements

Les travaux de recherches de ce mémoire de thèse ont été réalisés au sein du groupe Intégration des Systèmes de Conversion d'Énergie (ISGE) du Laboratoire d'Analyse et d'architecture des Systèmes (LAAS) en collaboration avec le groupe Convertisseurs Statiques (CS) du Laboratoire Plasma et Conversion d'Énergie (Laplace).

A ce titre, je souhaite remercier Messieurs Raja CHATILA, Jean Louis SANCHEZ (à qui je rends hommage) et Jean ARLAT directeurs successifs pour m'avoir accueilli au sein du LAAS ainsi que Monsieur Christian LAURENT directeur du Laplace. Je tiens à remercier également Madame Marise BAFLEUR et Monsieur Frédéric MORANCHO, responsables successifs du groupe ISGE, de m'avoir ouvert les portes de leur équipe et permis d'entreprendre ce travail. Je tiens à remercier également Monsieur Alain CAZARRE directeur de l'école doctorale Génie Electrique, Electronique et Télécommunications (GEET).

J'adresse mes plus sincères remerciements à mes directeurs de thèse, Messieurs Frédéric RICARDEAU et Abdelhakim BOURENNANE. Merci pour leur confiance et pour m'avoir donné l'opportunité de réaliser cette belle expérience et travailler sur un sujet si passionnant. J'ai été impressionné par leurs compétences scientifiques et j'ai beaucoup apprécié leurs qualités humaines. C'était vraiment un réel plaisir de travailler avec vous.

Je tiens à remercier également Madame Marie BREIL-DUPUY pour son soutien et ses encouragements ainsi que pour les nombreux échanges scientifiques dans le cadre de ces travaux.

Je remercie les membres du jury : Monsieur Bruno ALLARD, qui m'a fait l'honneur de le présider, Messieurs Stéphane LEFEBVRE et Dominique PLANSON, qui ont accepté, en qualité de rapporteur, d'examiner ce travail. Je remercie également Messieurs Patrick AUSTIN, Stéphane AZZOPARDI, Thierry BOUCHET qui ont accepté d'examiner mes travaux.

Ces travaux n'auraient pas pu être réalisés sans l'aide des membres de l'équipe TEAM. Je les remercie tous pour le travail qu'ils réalisent, en particulier Eric IMBERNON (partie process technologique), Samuel CHARLOT et David COLIN (partie assemblage). Pour les mêmes raisons, je souhaite remercier les membres de l'équipe I2C, notamment Nicolas MAURAN (partie caractérisations électriques).

Merci à tout le LAAS et le Laplace et en particulier à toute l'équipe ISGE du LAAS et à toute l'équipe CS du Laplace. Merci aux membres permanents que j'ai côtoyés avec plaisir durant ces années de thèse.

Mes remerciements vont également à l'ensemble des personnes travaillant dans les différents services du laboratoire, je pense à Claude LAFFORE, Camille CAZENEUVE, Claire BARDET, Ascension DE SOUSA BERDAT et Christian BERTY.

Un grand merci à Gaëtan TOULON, tu as toujours été présent pour répondre à mes questions portant le plus souvent sur des problèmes de simulations 2D sous Sentaurus, ainsi que pour les échanges scientifiques que nous avons pu avoir. Merci également à Moustapha Zerarka qui m'a initié à la simulation 2D pendant la période de mon stage. Merci aussi à

Zhifeng Dou pour son aide dans la partie simulations 3D sous COMSOL ainsi que Sébastien VINNAC pour sa contribution dans la partie packaging.

A titre plus personnel, je remercie toutes les personnes que j'ai eu le plaisir de côtoyer durant ces trois années de thèse, en particulier mes amis Youssef EL BASRI, Saïd HOUMADI (ti-foi-ce-ke-je-feu-dirrr) et sa femme Amelia, Ayoub RIFAI, Amel ALI SLIMANE, Carlos CARREJO, Audrey CHAPELLE, Nicolas DUFOR, Gautier PETIT, Brieux DURAND, Ahmet LALE, Adem LALE, Sylvain NOBLECOURT, Emmanuel MARCAULT, Adrien RAMOND, HONG Liu, Romain MONTHEARD, Youness LAROSSI, Sabeha Fettouma ZEDEK., Fares CHOUCANE, Franc CHBILA, Hajer MAKHLOUFI, Walid BOURENNANE, Imad BOURENNANE, Olga BUSHUEVA, Michael BRESSAN, Paul DURAND ESTEBE, Veljko TOMASEVIC, Valentina CASTAGNOLA, Youssouf GUERFI, Sami ABADA, Thi Ty Mai DINH, Nizar Khalifa SALLEM, Anais MARTIN... je m'excuse auprès de ceux que je n'ai pas cités.

Une pensée à mes amis au Maroc Yassir, Ahmed et Noureddine à Paris.

Enfin je voudrais remercier infiniment les membres de ma petite famille qui m'ont beaucoup soutenu et cru en moi et grâce à eux je suis arrivé là : mon père Abdesselam, ma mère Radia, ma femme Safae, mon frère Rachid et sa femme Asmae, ma grande sœur Fatima (ada ila l jara fi kabadi) et son mari Abdessadak, ma petite sœur Rajae et mes deux adorables neveux Aymane et Alae.

Table des matières

INTRODUCTION GENERALE	1
CHAPITRE 1 : L'AMELIORATION DE LA FIABILITE ET DES PERFORMANCES ELECTRIQUES DES CONVERTISSEURS PAR L'INTEGRATION	5
1.1 INTRODUCTION.....	9
1.2 L'INTEGRATION HYBRIDE	9
1.3 L'INTEGRATION MONOLITHIQUE.....	27
1.4 OBJECTIF DE LA THESE	37
1.5 STRATEGIE DE TRAVAIL ET STRUCTURATION DU MEMOIRE.....	40
1.6 CONCLUSION.....	41
BIBLIOGRAPHIE DU CHAPITRE 1	42
CHAPITRE 2 : APPROCHES D'INTEGRATION MONOLITHIQUES DES CONVERTISSEURS STATIQUES SUR SILICIUM.....	47
2.1 INTRODUCTION.....	51
2.2 CHOIX DE LA STRUCTURE RC-IGBT POUR LA VALIDATION DES APPROCHES D'INTEGRATION "BI-PUCE" ET "MONO-PUCE"	51
2.3 ETUDE PAR SIMULATIONS 2D D'UNE STRUCTURE RC-IGBT A BANDES P ⁺ ET N ⁺ ALTERNEES.....	59
2.4 APPROCHE D'INTEGRATION MONOLITHIQUE "BI-PUCE" (DEUX AIGILLEURS DE COURANT)	70
2.5 APPROCHE D'INTEGRATION MONOLITHIQUE "MONO-PUCE" (CONVERTISSEUR COMPLET).....	86
2.6 CONCLUSION.....	93
BIBLIOGRAPHIE DU CHAPITRE 2	94
CHAPITRE 3 : ASSEMBLAGE DES PUCES MULTI-POLES SUR SUBSTRAT DBC/SMI	97
3.1 INTRODUCTION.....	101
3.2 ASSEMBLAGE DES PUCES SILICIUM DE PUISSANCE SUR SUBSTRAT	101
3.3 CONCLUSION.....	128
BIBLIOGRAPHIE DU CHAPITRE 3	129
CHAPITRE 4 : REALISATION TECHNOLOGIQUE DES PUCES ET CARACTERISATION ELECTRIQUE DES TECHNIQUES D'ASSEMBLAGE SUR SUBSTRAT	131
4.1 INTRODUCTION.....	135
4.2 CONCEPTION DE LA TOPOLOGIE DE SURFACE DES PUCES	135
4.3 ETAPES TECHNOLOGIQUES DE REALISATION DES PUCES TRI-POLES A ANODE COMMUNE ET DES PUCES RC-IGBT DISCRETES.....	144
4.4 CARACTERISATIONS SOUS POINTES DES PUCES RC-IGBT ET ANODE COMMUNE.....	146
4.5 TEST DE REPORT DES PUCES "FACTICES" SiC SUR SUBSTRAT PCB	149

4.6	REPORT DES PUCES REALISEES SUR SUBSTRAT PCB.....	154
4.7	CONCLUSION.....	158
	BIBLIOGRAPHIE DU CHAPITRE 4	159
	CONCLUSION GENERALE	161
ANNEXE 1	165
ANNEXE 2	169
ANNEXE 3	171
	BIBLIOGRAPHIE ANNEXES.....	174
	LISTE DES PUBLICATIONS	175
RESUME	177
ABSTRACT	178

Introduction générale

Dans de nombreux secteurs d'applications tels que la domotique, l'automobile ou le ferroviaire..., l'électronique de puissance est fortement présente, depuis la naissance de cette discipline il y a plus de 50 ans. Les progrès, mais aussi les besoins en terme d'intégration (i.e. miniaturisation et compacité), n'ont pas cessé de s'accroître. Cette électronique adresse le domaine du traitement de l'énergie électrique entre une source et une charge et plus généralement entre deux sources susceptibles d'échanger un flux de puissance : transformation des formes d'ondes (AC/DC, DC/AC), adaptation de niveau et régulation (DC/DC, AC/AC), isolement galvanique haute-fréquence (DC/AC/DC) constituent les grandes familles de fonctions de l'électronique de puissance.

Les convertisseurs reposent sur des composants électroniques de puissance jouant le rôle d'interrupteurs "imparfaits" reliés entre eux sous forme de cellules à travers des fils de connexion (*wire bonds*) et des substrats métallisés. Ces interrupteurs sont des dispositifs à semi-conducteurs discrets de surface proportionnelle avec le calibre en courant. En fonctionnement nominal (i.e. non accidentel), ces composants se trouvent sur deux états statiques : l'état passant, où l'on cherche la plus forte densité de courant à température maximale de jonction donnée, cela revient à dire que l'on cherche la plus faible résistance spécifique ($\Omega \cdot \text{cm}^2$), et l'état bloqué, où le composant doit supporter la tension appliquée à ses bornes et présenter un courant de fuite stable en température pour éviter l'emballement thermique de la puce. Le passage d'un état à l'autre concerne le régime transitoire de commutation. Sur les deux états (mais surtout l'état passant) et sur un cycle de commutation, le composant interrupteur est le siège de pertes de puissance électrique se traduisant par l'échauffement de la puce et par un affaiblissement du rendement du convertisseur de manière d'autant plus forte que la densité de puissance traitée sera élevée. La commutation est aussi une source de perturbations électromagnétiques rayonnées et conduites dans les circuits de conversion incluant l'alimentation et la connexion à la terre (ou masse de référence), la charge et les drivers mais qui pourra être maîtrisée d'autant plus que le circuit sera compact et donc intégré. Cette intégration est aussi un point de passage obligé pour tirer parti des performances des technologies silicium rapides (MOS, CoolMOS et IGBT moyenne tension) impliquant des mailles de commutation et de commande à faible impédance de connexion série et à faible capacité parasite par rapport à la terre ou à la masse de référence.

A partir de cette brève description, on peut d'ores et déjà situer les efforts d'amélioration dans ce domaine. Ces efforts se sont concentrés d'une part sur le composant de puissance lui-même pour réduire ses pertes en conduction et commutation, sa taille, étendre sa gamme d'utilisation en courant et en tension, sa robustesse en saturation et avalanche. D'autre part, ces efforts se sont concentrés sur l'encapsulation globale des composants de puissance dans des boîtiers de plus en plus sophistiqués pour assurer leur bonne isolation et leur conductivité électrique et l'évacuation de la chaleur dissipée ainsi que leur protection contre les agressions de l'environnement extérieur.

Pour les applications de faible puissance, les progrès sont spectaculaires. Ces progrès sont le fruit du transfert et de l'adaptation des technologies de la microélectronique sur les puces de

puissance silicium sous la forme d'une intégration monolithique intra-dispositif donc tout silicium. Les puces silicium intègrent le convertisseur électrique complet avec sa commande et sa protection, cette technologie est connue sous le nom "*Smart Power*" (et aussi *Smart MOS*) et qui repose sur des composants de puissance à conduction latérale. Hélas, la généralisation de cette technologie pour les applications des moyennes et fortes puissances n'est pas possible, car cette gamme de puissance nécessite, en technologie silicium, des composants à conduction verticale (typiquement, des composants tels que l'IGBT, VDMOS et les diodes PIN). Dans ce domaine, les progrès ont concerné surtout l'amélioration des techniques d'assemblage hybride multi-puce sur substrat isolant métallisé pour augmenter la fiabilité des convertisseurs, améliorer la dissipation de la chaleur et minimiser l'impédance de connexion parasite des mailles de commutation de puissance et des mailles de commande. Des solutions d'intégration pour des secteurs de grand volume (fabrication collective en un nombre réduit d'étapes pour augmenter le gain en productivité) sur boîtier standard ou à l'inverse pour des applications de "niche" très spécifiques (sorte d'ASIC, selon une approche *Fab-less* ...). Pour des besoins de miniaturisation "ULTIME" et de non intrusivité (*reverse* difficile, rendre difficile la copie ou la contrefaçon) sur des fonctions auxiliaires, l'intégration fonctionnelle totale ou mixte sur silicium constitue une voie prometteuse pour le développement des nouveaux dispositifs dans le domaine des moyennes puissances.

Ce mode d'intégration est introduit au LAAS (Laboratoire d'Analyses et d'Architectures des Systèmes) depuis une quinzaine d'années à travers le groupe ISGE (Intégration des Systèmes de Gestion d'Énergie). Les travaux de recherches menés dans ce groupe ont conduit au développement d'une filière technologique dite "flexible" permettant de réaliser des composants et des fonctions de puissance de plus en plus complexes simultanément avec le même process technologique. Ceci, a ouvert la voie à une collaboration avec le groupe CS (Convertisseurs Statiques) du laboratoire Laplace (Laboratoire Plasma et Conversion d'Énergie) pour développer de nouvelles fonctionnalités de commutation de puissance intégrables directement sur la puce. Dans le cadre de cette collaboration, des travaux antérieurs basés sur ce mode d'intégration fonctionnelle ont vu le jour. Ces travaux de collaboration ont débuté par la thèse de Marie Breil en 1997 sur l'étude de l'association MOS-Thyristor auto-amorçable et blocable donnant lieu au premier thyristor-dual monolithique. Dans cette première thèse, le principe de l'intégration fonctionnelle consiste à associer des briques « fonctionnelles » intégrées, ou cellules élémentaires semi-conductrices, pour obtenir la fonctionnalité complète. Ce mode d'intégration a été par la suite utilisé dans le cadre de la thèse de Florence Capy en 2009 au développement d'un thyristor dual disjoncteur qui est un interrupteur monolithique réversible en courant à auto-commutation. Cette fonction est synthétisée à partir d'un thyristor classique (ou d'un IGBT) en le dotant de fonctions annexes permettant la gestion de l'auto-amorçage et de l'auto-blocage.

Le travail présenté dans cette thèse se situe aussi dans le contexte de cette collaboration, il vise à développer des approches d'intégration monolithiques sur silicium de convertisseurs statiques génériques (AC/DC ou DC/AC) fonctionnant dans la gamme de la faible et moyenne puissance. En partant d'une fonction de conversion d'énergie générique décrite par une topologie de circuit, on en déduit une architecture d'interrupteurs intégrables verticalement dans le cristal puis le travail consiste à optimiser le dispositif élémentaire au sein de ce réseau d'interrupteurs en mutualisant le maximum de régions et d'électrodes tout en minimisant les

couplages jugés parasites pour le fonctionnement considéré ici globalement à l'échelle du convertisseur. Nous verrons dans ce mémoire que les architectures en question ne s'apparentent pas toujours à une cellule de commutation monolithique mais plutôt à une demi-cellule intégrable dans une puce. Dans ce cas, une étape supplémentaire d'hybridation dite bi-puce ($2 \times \frac{1}{2}$ cellule = deux puces) est nécessaire et permet également de faire apparaître des degrés de liberté intéressants au niveau des possibilités de report, d'interconnexion en 3D et même de fonctionnalisation des zones de contact inter-puces. Le passage à une architecture "complète" de cellules de commutation intégrables au sein d'une seule puce (solution dite "mono-puce", plus complexe) est présenté en fin de mémoire et constitue un axe de recherche prioritaire, à court-terme pour les protagonistes.

Qu'il s'agisse d'une intégration monolithique "bi-puce" ou "mono-puce", un intérêt évident de cette approche est que le nombre de puces en jeu ne dépend pas du nombre total d'interrupteurs, ce qui permet de réduire le nombre d'étapes de report de puces sur substrat. Cette intégration permet aussi une réduction voire la suppression des fils de *bonding* d'interconnexion. Ceci va sans doute permettre une amélioration des performances électriques des convertisseurs statiques fonctionnant dans cette gamme de puissance. Cela aura un impact sur la miniaturisation de la fonction de puissance et la réduction du coût de production.

Le mémoire est organisé comme suit:

- Dans le premier chapitre, nous exposons la problématique et le contexte de cette étude ainsi que nos motivations pour l'exploration de cette voie. En s'appuyant sur un exemple de module convertisseur hybride standard 2D, nous détaillons ses points forts et ses points faibles. Nous faisons un état de l'art des solutions apportées par la voie de l'intégration hybride 3D ainsi que celles apportées par la voie de l'intégration monolithique sur silicium.
- Le deuxième chapitre constitue le cœur de notre travail, nous le commençons par une étude par simulations 2D du composant de référence RC-IGBT (*Reverse Conducting IGBT*) IGBT à conduction en inverse, ce composant bidirectionnel en courant est le meilleur dispositif générique répondant également à notre cahier des charges, il sera optimisé et adapté aux applications de base (onduleur de tension, redresseur de tension passif ou actif et finalement en hacheur). Nous abordons ensuite la première approche d'intégration dite "bi-puce", comme son nom l'indique, cette approche est basée sur deux versions de puces complémentaires et génériques. Une première puce multi-interrupteurs à anode commune/face arrière de la puce intégrant la totalité des interrupteurs qui composent la partie *high-side* du convertisseur et une deuxième puce multi-interrupteurs à cathode commune/face avant de la puce intégrant cette fois la partie *low-side* du convertisseur. Pour chaque version de puce, nous validons son fonctionnement en statique et nous associons ensuite les deux puces pour simuler leur fonctionnement en mode onduleur de tension, redresseur de tension et hacheur. Nous passons ensuite à la deuxième approche d'intégration dite "mono-puce", cette fois et comme son nom l'indique aussi, l'ensemble des composants qui composent le convertisseur (partie *high-side* et *low-side*) est intégré au sein d'un même cristal pour donner naissance à une

macro-puce monolithique et multi-interrupteurs, qui représente à elle seule, un convertisseur complet. L'étude est faite par simulations physique/électrique 2D à l'aide de l'outil de simulation par éléments finis Sentaurus TCAD.

- Dans le troisième chapitre, nous nous intéressons à l'étude des différentes techniques d'association de la puce à anode commune et de la puce à cathode commune sur substrat DBC/SMI en comparant les performances électriques de chaque technique employée avec la technique de référence utilisant des composants discrets. Le gain apporté par les différentes techniques d'association en terme d'inductance parasite sera évalué à l'aide de l'outil de simulations par éléments finis 3D Comsol *multiphysics*. Une étude thermique sera aussi faite sous le même outil de simulations afin d'évaluer l'élévation de la température dans les puces due à leur rapprochement sur un substrat et nous concluons sur l'effet de cette élévation sur l'intégration d'une manière générale. Nous concluons le chapitre en présentant l'assemblage 3D de la solution "mono-puce" qui réunit les avantages constatés lors des études précédentes.
- Le quatrième et dernier chapitre est consacré à l'aspect réalisation technologique, dessin des masques sous CADENCE, étapes technologiques de réalisation de chaque puce multi-interrupteurs et résultats de caractérisations électriques des puces fonctionnelles ainsi que des assemblages réalisées.

Nous finirons ce manuscrit par une conclusion générale sur ce travail et ses perspectives.

Chapitre 1 : L'amélioration de la fiabilité et des performances électriques des convertisseurs par l'intégration

1.1	INTRODUCTION	9
1.2	L'INTEGRATION HYBRIDE	9
1.2.1	MODULES DE PUISSANCE STANDARDS: L'INTEGRATION HYBRIDE 2D	10
1.2.1.1	La maturité industrielle des modules de puissance 2D.....	11
1.2.1.2	Les modes de défaillance des modules de puissance 2D.....	12
a)	Fiabilité et coût des modules de puissance 2D	12
b)	Inductances parasites des fils de <i>bonding</i>	14
c)	Capacités parasites et courant du mode commun.....	17
1.2.2	SOLUTIONS HYBRIDES EXISTANTES	18
1.2.2.1	Technologie <i>Press Pack</i>	18
1.2.2.2	Evolution vers les technologies d'intégration hybride3D	19
a)	Technologie <i>Metal-Posts Interconnected Parallel Plates</i> (MPIPPs).....	19
b)	Technologie <i>Solder bumps interconnect</i>	20
c)	Technologie <i>Dimple Array Interconnect</i> (DAI)	21
d)	Technologie <i>Embedded Power</i> (EP)	22
e)	Technologie <i>Power Overlay</i> (POL)	23
f)	La technologie 3D NextFET™ :.....	24
1.2.2.3	Autres technologie 3D en cours de développement.....	24
a)	Technologie d'interconnexions par des micro-poteaux.....	24
b)	Technologie <i>Power Chip-on-Chip</i> (PCoC).....	25
1.2.2.4	Synthèse des solutions hybrides 3D.....	26
1.3	L'INTEGRATION MONOLITHIQUE	27
1.3.1	HISTORIQUE ET DOMAINES D'APPLICATIONS DE L'INTEGRATION MONOLITHIQUE.....	27
1.3.2	INTEGRATION " <i>SMART POWER</i> " ET HVIC :	28
1.3.3	INTEGRATION MONOLITHIQUE FONCTIONNELLE	29
1.3.3.1	Définition.....	29
1.3.3.2	Evolutions de l'intégration fonctionnelle	30
1.3.3.3	Les progrès technologiques au profit de l'intégration fonctionnelle.....	31
1.3.4	VERS UNE INTEGRATION DES CELLULES DE COMMUTATION DES CONVERTISSEURS SUR LE MEME CRISTAL.: 32	
1.3.4.1	Solutions d'intégration monolithique sur le silicium	33
a)	Première solution :	33
b)	Deuxième solution :.....	34
1.3.4.2	Approches d'intégration monolithique utilisant des matériaux grand gap (GaN).....	35
1.3.4.3	Approche non monolithique basée sur l'assemblage 3D.....	36
1.4	OBJECTIF DE LA THESE	37
1.5	STRATEGIE DE TRAVAIL ET STRUCTURATION DU MEMOIRE	40
1.6	CONCLUSION	41

1.1 Introduction

En électronique de puissance, un grand intérêt est porté actuellement sur l'intégration des systèmes de puissance. Cette intégration n'est pas une fin en soi, le but est d'optimiser leur compacité et leur coût de fabrication d'une part et d'améliorer la fiabilité et les performances des fonctions de conversion d'énergie d'autre part. L'utilisation de matériaux mutualisés et multifonctionnels permet, en effet, de réduire le nombre d'étapes différentes d'un process, de gagner en fiabilité et en réduction des coûts.

Plusieurs modes d'intégration sont usuellement rencontrés. Ces modes d'intégration changent en fonction de l'application visée et surtout de la gamme de puissance mise en jeu. On distinguera en particulier l'intégration hybride de l'intégration monolithique. La première est caractérisée par l'association au sein d'un même module de plusieurs composants, puces et/ou fonctions alors que la deuxième est caractérisée par l'association de plusieurs composants et/ou fonctions au sein d'un même cristal sous la forme d'une seule puce.

Ce premier chapitre mettra notre étude dans son contexte et définira son objectif. Le premier paragraphe est dédié au mode d'intégration hybride des convertisseurs statiques, nous abordons ce mode d'intégration par la technologie d'hybridation planaire 2D. Ce mode d'intégration est très répandu et très utilisé dans le milieu industriel pour les applications de forte et moyenne puissance. En s'appuyant sur un exemple, nous définirons les constituants des modules de puissance 2D, nous présenterons ses points forts et nous détaillerons ses modes de défaillance. Ce mode d'intégration sera considéré comme notre point de départ et constituera pour nous, tout au long de ce manuscrit, une référence pour mener des comparaisons avec nos approches d'intégration qui seront détaillées et étudiées dans les deuxième et troisième chapitres. Ensuite, nous donnerons un état de l'art des solutions basées sur le mode d'intégration hybride 3D. La troisième partie de ce chapitre est dédiée à l'intégration monolithique et fonctionnelle sur puce, nous donnerons un état de l'art sur ce mode d'intégration pour les faibles puissances, et nous nous intéresserons particulièrement aux avancées décrites dans la littérature sur l'intégration de cellules de commutation. Nous définirons par la suite notre contribution et nos motivations dans la dernière partie de ce chapitre.

1.2 L'intégration hybride

La première grande famille de l'intégration en électronique de puissance est appelée intégration hybride, dans laquelle, la partie active du convertisseur est constituée de plusieurs puces silicium intégrées sur un même substrat formant à la fois le support mécanique, une partie des connexions électriques, l'isolation électrique et l'évacuation de la chaleur. Dans cette famille, l'intégration hybride 2D constitue la technologie ayant atteint un bon stade de maturité industrielle. Nous proposons de définir ce mode d'intégration et nous détaillons ses propriétés en s'appuyant sur des considérations électriques en priorité, thermiques et fiabilité par la suite.

1.2.1 Modules de puissance standards: l'intégration hybride 2D

Nous nous plaçons dans le cas des modules de puissance des convertisseurs statiques qui assurent les fonctions de conversion d'énergie (AC/DC ou DC/AC) dans le domaine des applications des moyennes et fortes puissances (quelques centaines de kW à quelques MW). Ces modules nécessitent des composants semi-conducteurs de puissance à conduction verticale généralement de type VDMOS, IGBT et diodes de puissance caractérisés par leur grand calibre en courant tout en présentant une faible chute de tension à l'état passant ($\approx 2V$ pour les IGBT ayant une densité de courant de $200A/cm^2$ sous $600V$) et leur grande tenue en tension (jusqu'à $6kV$). Les composants de puissance à conduction latérale ne sont pas adaptés pour cette gamme de puissance à cause de leur faible densité de courant admissible sur le plan thermique ou ce qui revient au même à leur forte résistance spécifique. Aujourd'hui, ce type de module est basé essentiellement sur l'intégration hybride dans une conception planaire i.e. 2D (Figure 1-1).

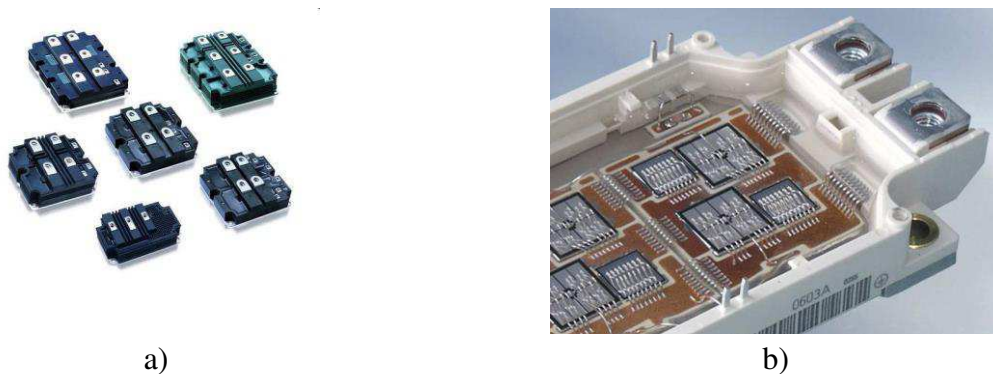


Figure 1-1: Exemple d'un module convertisseur en technologie hybride 2D [1]
a) modules encapsulés, b) module ouvert

Les puces dans ce type de module sont mises en parallèle pour satisfaire les contraintes de fort courant et de forte puissance, la face arrière de ces puces est brasée et reportée sur une couche en cuivre d'un substrat en alumine ou en nitrure d'aluminium de type DBC (*Direct Bond Copper*). La Figure 1-2 illustre le principe d'assemblage des modules de puissance 2D.

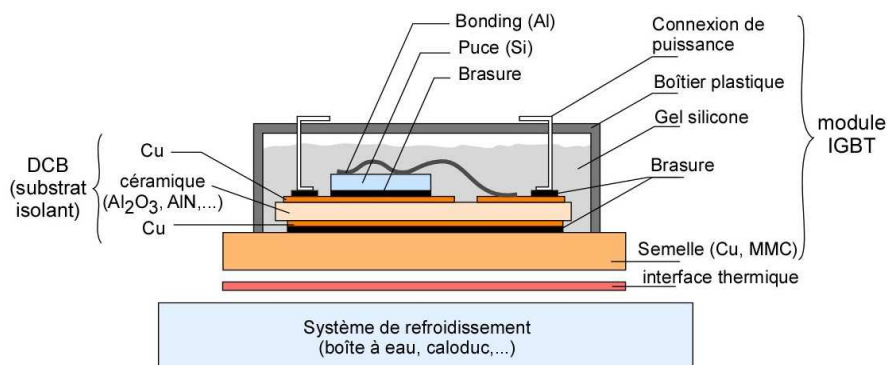


Figure 1-2 : Principe d'assemblage standard d'un module de puissance intégré 2D à IGBT sur substrat DBC [2]

Le substrat DBC est en fait composé de deux couches en cuivre de même épaisseur pour des raisons mécaniques et séparées par un isolant électrique. Le rôle du substrat DBC est

d'assurer les contacts électriques en face arrière des puces et l'isolation électrique entre les points de tenue en tension dans le module ainsi que l'évacuation de la chaleur dissipée dans les puces. Le substrat a aussi pour rôle d'assurer la tenue mécanique globale de la structure. Plusieurs types de substrat autre que le substrat DBC sont disponibles sur le marché et qui sont exploités en fonction des niveaux de densité de puissance, de température et de tenue aux cyclages thermique. On trouve les substrats métallisés isolés SMI en cuivre / aluminium et FR4 chargé en alumine pour la basse tension et la faible puissance ou encore, les substrats AMB (*Active Metal Brazing*) où une couche d'aluminium est soudée sur un substrat en Si_3N_4 lui-même reporté sur une semelle en AlSiC pour les applications à fortes contraintes thermique et thermomécanique. Ces substrats ont la même fonction dans un module de puissance qu'un substrat de type DBC dont le rôle est décrit avec des performances différentes. Nous nous limiterons dans ce manuscrit aux deux technologies de substrat DBC et SMI qui seront abordées et étudiées ultérieurement par simulation 3D sous COMSOL dans le troisième chapitre.

Le substrat DBC qui évacue la chaleur dissipée dans les puces semi-conductrices est brasé à son tour sur une semelle en cuivre ou en AlSiC possédant de bonnes caractéristiques thermiques pour acheminer la chaleur vers un dissipateur thermique (le radiateur). Le radiateur est en contact avec la semelle à travers une couche de graisse thermique (ou composé plastique d'interface). Pour des raisons de sécurité, le radiateur est généralement connecté à la terre pour des installations au sol ou à la masse du véhicule / avion pour un système mobile. Un gel passivant est versé ensuite sous vide à l'intérieur du module puis polymérisé de manière à protéger ses constituants contre la corrosion et les agressions de l'environnement extérieur, le tout est ensuite fermé par un boîtier en plastique.

Les interconnexions en face avant entre les puces (et entre les puces et les connecteurs externes) dans ce type de module planaire sont réalisées par des fils de connexion (*wire bonds*) en aluminium, parfois en cuivre ou en co-lamination Al/Cu, généralement de diamètres importants ($\approx 250\mu\text{m}$) et en nombre suffisant en parallèle afin de distribuer les forts courants les traversant et réduire leur impédance parasite. Le nombre de ces fils utilisés est proportionnel au courant qui circule dans les puces semi-conductrices de puissance. La maximisation du nombre de fils de câblage en parallèle permet une meilleure distribution des lignes de courant, une moindre contrainte thermique et surtout une moindre impédance parasite de maille de commutation. Il existe également un compromis sur le diamètre de fil, entre résistance linéique, la rigidité mécanique obtenue et le niveau d'endommagement de la couche de métal lors de l'opération de soudure à ultrason. Raison pour laquelle des fils de diamètre inférieur à $125\mu\text{m}$ et supérieur à $500\mu\text{m}$ ne sont pas utilisés aujourd'hui.

1.2.1.1 La maturité industrielle des modules de puissance 2D

La maîtrise des techniques d'assemblage de la conception 2D des modules de puissance (brasure, câblage...) fait d'elle aujourd'hui une technologie de production massive. Sa maturité industrielle s'exprime par l'étendue des puissances balayées par les modules 2D (Figure 1-3) et à travers la standardisation des dimensions des modules [3], dans le but de rendre ces modules intégrables et interchangeables dans n'importe quelle structure. A partir de

la Figure 1-3, on peut remarquer que cette technologie couvre les domaines des applications des faibles, moyennes et de fortes puissances.



Figure 1-3 : Etendue des puissances balayées par les modules hybrides 2D [4]

La technologie employée pour la conception des modules de puissance selon cette approche 2D offre une certaine simplicité de mise en œuvre puisque tous les modules intégrant une isolation électrique, peuvent être reportés sur le même refroidisseur qui sert aussi de support mécanique à l'ensemble des composants actifs du module 2D.

1.2.1.2 Les modes de défaillance des modules de puissance 2D

D'un point de vue électrique, les points faibles les plus importants des modules de puissance planaires 2D sont dus essentiellement au type d'interconnexion par les fils de *bonding* utilisés. Nous allons détailler dans ce paragraphe l'ensemble des problèmes de la technologie 2D. D'un point de vue thermique, cette technologie ne permet pas un refroidissement double face des composants. En effet, le refroidissement ne peut se faire qu'en face arrière des puces en suivant la trajectoire : face arrière des puces → brasures → substrat → brasure → semelle → graisse thermique → radiateur. Le refroidissement par la face avant des puces dans les modules 2D est très limité (convection naturelle).

a) Fiabilité et coût des modules de puissance 2D

La tendance actuelle consiste à mettre de plus en plus d'équipements électroniques dans des applications embarquées (aéronautique, ferroviaire, automobile etc.) pour lesquelles la fiabilité et le coût constituent un enjeu majeur pour les concepteurs et les exploitants.

- **Fiabilité des fils de câblage**

Durant les cycles de fonctionnement des puces de puissance en mode interrupteurs électriques, les fils de câblage subissent des excursions thermiques successives causées par des phases transitoires d'injection de puissance et par l'environnement extérieur. Ils sont également le siège d'une très forte densité de courant pouvant dépasser les 50A/mm² sur une longueur de 10mm. Ces variations de la température répétées engendrent des contraintes thermomécaniques sur le fil de câblage dues à la différence des CTE (coefficient de dilatation thermique) entre les matériaux en contact dans le module, en particulier entre les fils de câblage et les métallisations d'un côté et la puce silicium de l'autre. Cela conduit au vieillissement de la métallisation et de l'interface au pied du fil de câblage puis au décollement du fil [5][6][7]. Cette défaillance se manifeste typiquement par une levée du fil de câblage (*lift-off*, Figure 1-4a), voire une fissuration (Figure 1-4b) et même une rupture dans la zone de courbure (*cracking*). Le courant qui traverse les puces se concentre aux niveaux des fils de câblage et fait apparaître des points chauds, ce phénomène accentue et favorise le décollement des fils.

Un autre mode de défaillance qui peut se produire, surtout pour des diamètres importants, lors de la mise en place des fils de câblage sur les métallisations des puces concerne cette fois-ci la puce elle-même. En effet, des paramètres inappropriés de l'opération de câblage (pression, durée...) peuvent endommager la métallisation des puces de puissance (Figure 1-5).

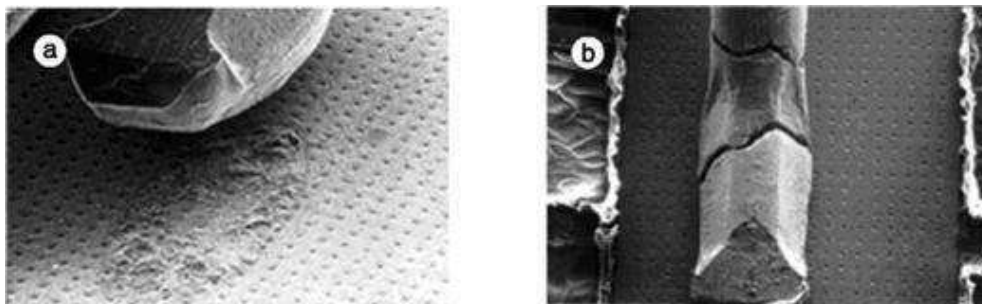


Figure 1-4 : Deux modes de défaillance des fils de câblage
a) levée d'un fil de câblage (*lift-off*), b) fracture d'un pied de fil de câblage [6]
(fissuration puis cracking)



Figure 1-5 : Dégradation d'une métallisation d'une puce durant le procédé *wedge bonding*
(photographie *Advanced Power Technology Europe*)

- **Coût de l'opération du câblage :**

Outre le coût des fils de câblage eux-mêmes, il est bien connu que l'opération de câblage en électronique de puissance nécessite beaucoup de temps, elle est donc coûteuse. En effet, c'est une opération qui se fait point par point malgré l'automatisation du procédé de mise en œuvre du câblage.

b) Inductances parasites des fils de câblage

Quelle que soit la nature du matériau du fil de câblage, et quel que soit le type d'association des composants (parallèle ou série), ce fil possède une impédance qui présente un comportement résistif et un second comportement inductif. Les effets parasites de la connectique par le fil de câblage apparaissent et peuvent dégrader le comportement électrique du convertisseur et ainsi limiter son aire de sécurité. Le comportement inductif peut être vu électriquement comme une inductance équivalente de chaque fil de câblage, la valeur de cette inductance dépend des dimensions géométriques du fil ainsi que des propriétés électriques de son matériau. La valeur de cette inductance parasite pour chaque fil de câblage est comprise généralement entre 6nH et 16nH [8]. La Figure 1-6 illustre le cas d'un MOSFET encapsulé dans son boîtier avec le modèle électrique équivalent faisant apparaître les éléments inductifs parasites.

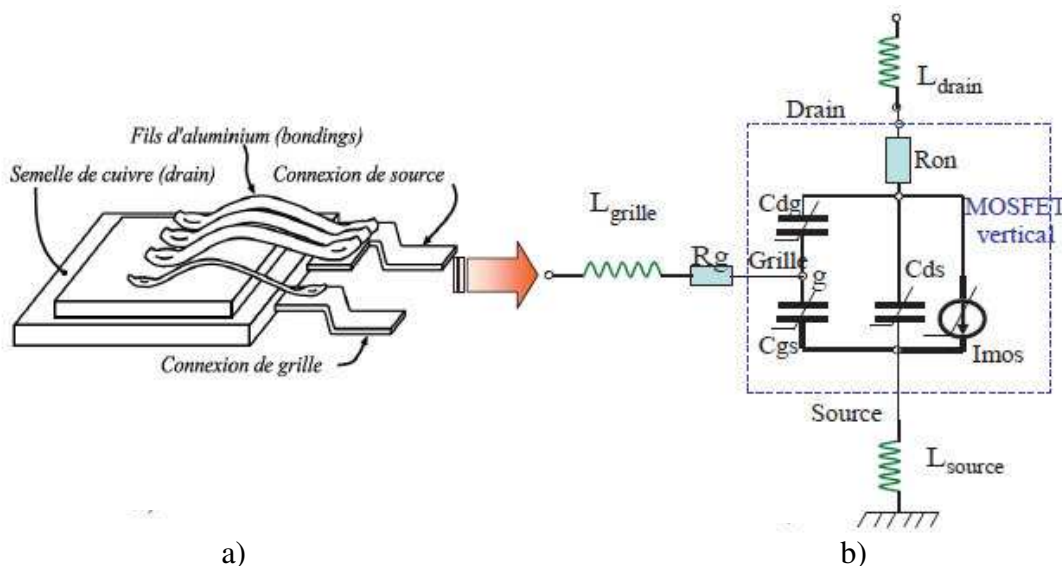


Figure 1-6 : Inductances parasites des interconnexions par les fils de câblage
 a) mise en évidence de la connectique interne d'un boîtier d'un MOSFET vertical [9]
 b) modèle équivalent simplifié du MOSFET vertical (pas de diode body, bipolaire et JFET) avec les inductances parasites du câblage

L'inductance parasite est responsable du ralentissement du temps de commutation de l'interrupteur de puissance à l'amorçage (couplage circuit – grille) et d'une surtension au blocage. Cela a pour conséquence de rajouter des pertes supplémentaires en commutation. Ces pertes en commutation deviennent de plus en plus importantes avec l'augmentation du niveau de courant de commutation (Figure 1-7).

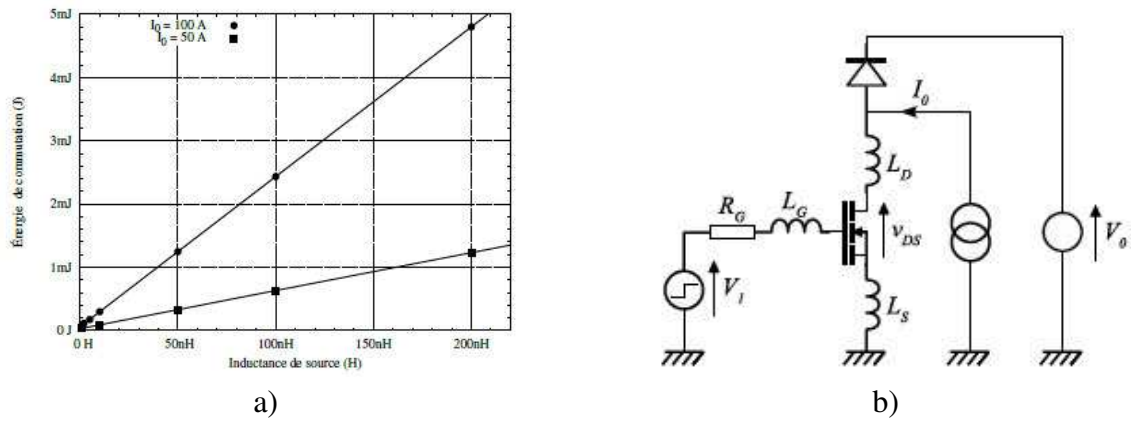


Figure 1-7 : a) évolution des pertes en commutation en fonction de l'inductance parasite et du niveau de courant de commutation, b) circuit de mesures [9]

La réduction de ces pertes passe par la réduction de la fréquence de découpage des interrupteurs, cela nécessite un circuit de filtrage d'une taille bien souvent prépondérante à l'échelle du convertisseur complet. Pour travailler avec des fréquences de découpage élevées tout en ayant des pertes en commutation acceptables, une réduction de la valeur de l'inductance parasite est recherchée, pour ce faire, une augmentation du nombre de fils de câblage en parallèle est nécessaire au prix d'une opération de câblage plus coûteuse. De plus, l'inductance parasite entraîne aussi des surtensions oscillantes au niveau de l'interrupteur de puissance lors de son blocage (Figure 1-8). Celles-ci peuvent dans certains cas, atteindre voire dépasser la tension limite de tenue en tension du composant de puissance indiquée par le fabricant, amenant une possible destruction.

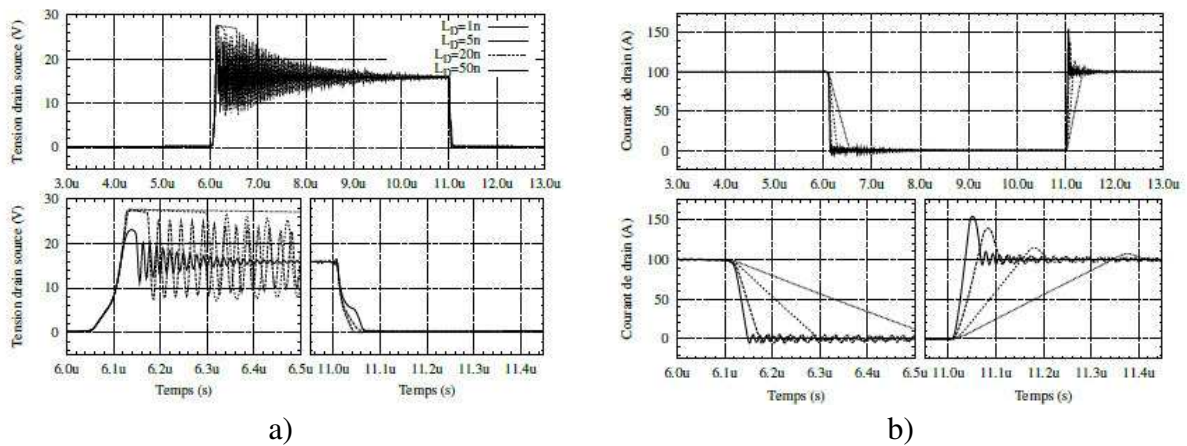


Figure 1-8 : Influence de l'inductance du drain sur la commutation à l'ouverture et à la fermeture : a) tension drain-source, b) courant drain (simulations).

Les deux petites figures placées en bas des figures a) et b) sont des agrandissements [9]

Les surtensions provoquées sont aussi responsables des perturbations sur les signaux de commande des grilles des interrupteurs générés par les *drivers* [9][10][11] en particulier par l'inductance résiduelle de contre-réaction présente entre la grille et la connexion de source – kelvin (Figure 1-9).

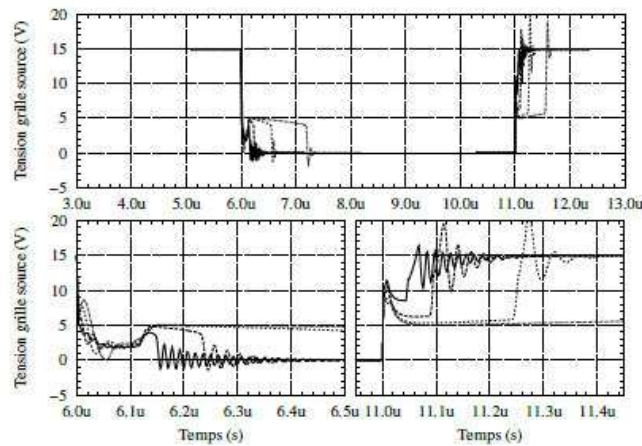


Figure 1-9 : Influence de l'inductance de sources sur la tension de commande V_{GS} (simulation) [9]

Enfin, les inductances parasites de plusieurs puces en parallèle provoquent un déséquilibre au niveau des courants circulant dans les puces lors des commutations [9][11]. La Figure 1-10 montre un module de puissance Sixpak 1200V – 450A (Eupec) composé de trois puces IGBT en parallèle et de trois diodes en parallèle. Les résultats de simulation sous les logiciels InCA™ et Saber™ mettent en évidence ce déséquilibre des courants à la fermeture dans trois puces IGBT en parallèle [12]. Ce déséquilibre inhérent à la dissymétrie du câblage filaire et à la dispersion des paramètres physiques des puces (gain et durée de vie des porteurs minoritaires en particulier) conduit l'utilisateur à devoir ralentir la commutation ou à appliquer un *derating* en courant suffisant pour permettre à chaque puce de rester dans son aire de sécurité. L'association de puces réalisée par hybridation conduit toujours à un *derating* sur les performances électriques.

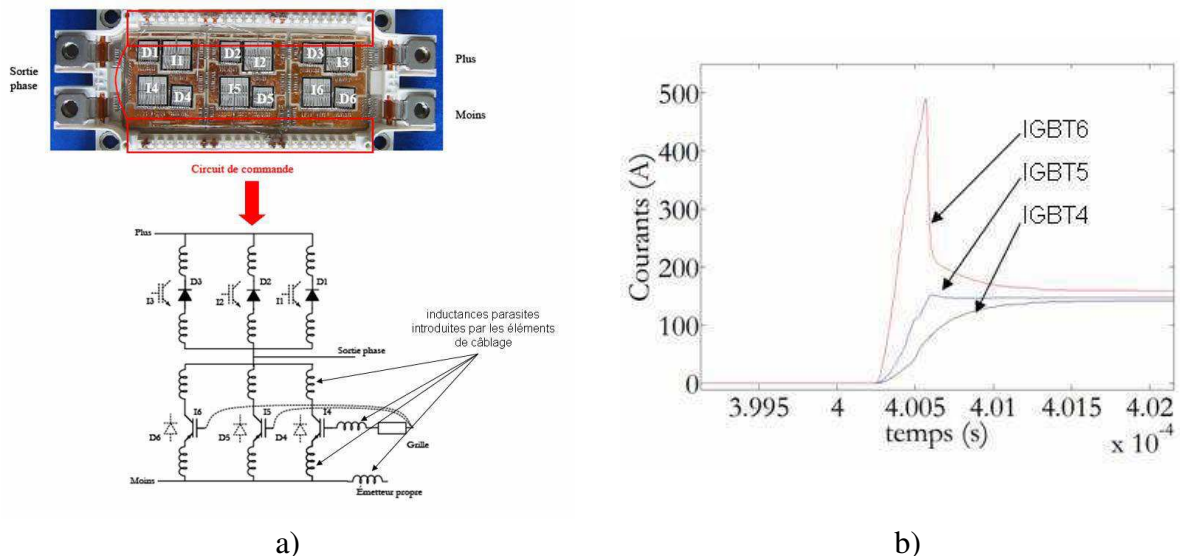


Figure 1-10: a) bras d'onduleur d'un module de puissance Sixpack 1200V - 450A (Eupec), b) déséquilibre des courants à la fermeture dans trois puces IGBT en parallèle [12]

c) Capacités parasites et courant du mode commun

La structure des substrats (diélectrique pris en sandwich entre deux couches métalliques conductrices) utilisés pour le report de puces actives dans les modules de puissance, fait apparaître des capacités parasites. En effet, la couche conductrice en face avant du substrat est généralement gravée pour recevoir plusieurs composants d'un convertisseur dans le même module de puissance et permettre l'interconnexion de ces derniers pour constituer la fonction de conversion souhaitée. La face arrière du substrat métallique est connectée électriquement à la semelle par la brasure ou directement au radiateur par bridage mécanique. De ce fait, des capacités parasites sont formées entre les pistes en cuivre de la face avant du substrat et la semelle en cuivre dans le cas d'un substrat de type DBC ou en aluminium dans le cas d'un substrat de type SMI. La Figure 1-11a illustre les capacités parasites qui apparaissent dans l'exemple d'une cellule de commutation (bras d'onduleur) formée par deux transistors de puissance de type N-MOS reportés sur un substrat de type SMI. La Figure 1-11b montre le schéma électrique équivalent du module qui fait apparaître les capacités parasites dans les différentes régions du module, au niveau des zones de report des puces et au niveau des zones de "pad" des électrodes. Les capacités C_{face} correspondent aux pistes en cuivre servant au report des puces de puissance avec la semelle en aluminium, et C_{piste} correspondent aux capacités parasites des autres pistes en cuivre dans le module avec la semelle (par exemple, les pistes qui servent à la prise de contacts électriques des grilles).

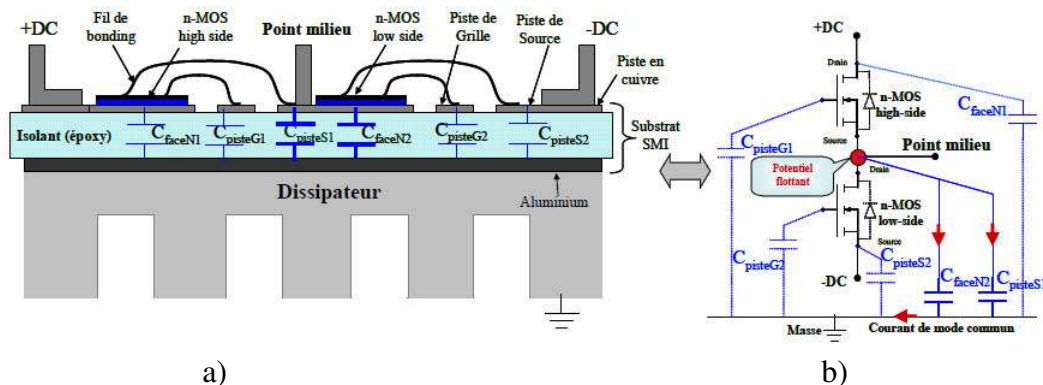


Figure 1-11 : Capacités parasites dans un bras d'onduleur classique [2]

Dans le cas des convertisseurs de types onduleur ou redresseur par exemple, les composants interrupteurs utilisés fonctionnent en régime de commutation pour un découpage des grandeurs électriques. De ce fait, et dans le cas de l'exemple d'un bras d'onduleur (Figure 1-11), le point du milieu est soumis à de fortes variations de potentiel dv/dt conduisant à la circulation d'un courant de mode commun [13][14] non souhaité vers la masse (les chemins de propagation de ce courant sont indiqués par des flèches rouges dans la Figure 1-11b). La valeur de ce courant dépend de la valeur du dv/dt [14] ainsi que des valeurs des capacités parasites apparaissant par le report de la puce *low side* (drain en face arrière de la puce) et de la broche de connexion de la charge. La densification du courant et la miniaturisation des puces et de leur connexion est donc un facteur important pour réduire ces capacités parasites et ainsi avoir une moindre pollution EMI et un allègement du filtre associé.

1.2.2 Solutions hybrides existantes

Les modes de défaillances de la technologie hybride 2D décrits dans le paragraphe précédent sont liés principalement au type d'interconnexion filaire par les fils de câblage imposant une limitation électrique. Une deuxième limitation est aussi due au refroidissement par la seule face arrière des puces dans le module 2D. De ce fait, cette technologie ne permet pas d'obtenir des modules de puissance avec une densité de puissance élevée et des performances électromagnétiques suffisantes pour la montée en puissance et en fréquence. Un autre désavantage de ces modules est qu'ils n'intègrent pas, de manière la plus rapprochée à la puce, le *driver*. Ces derniers devant donc être placés à l'extérieur du module et connectés par câblage conduisant à des perturbations supplémentaires sur la commande

Pour faire face aux limitations de la technologie de conception 2D, les efforts des chercheurs et industriels se sont concentrés pour développer des techniques et des solutions d'assemblage des puces de puissance sur substrat permettant de réduire, supprimer ou remplacer les fils de câblage par d'autres types d'interconnexion (pistes métalliques, *bumps*...) moins résistifs et moins inductifs, assurant également une plus grande compacité du module. Nous distinguons deux types de technologie : la technologie *Press Pack* et les technologies d'assemblage 3D.

1.2.2.1 Technologie *Press Pack*

La technologie *Press Pack* développée par Fuji, Toshiba et ABB n'utilise pas les fils de câblage (sauf pour la commande), elle est basée sur une interconnexion par pression exercée entre la métallisation des puces et des flasques en cuivre nickelés à l'intérieur du boîtier (Figure 1-12a). Des pièces intermédiaires en molybdène réduisent les contraintes thermomécaniques sur les métallisations des puces. Cette technique est utilisée à l'origine pour l'encapsulation des composants en wafer tels que les diodes, thyristors et les GTOs fort courant pour des applications qui mettent en jeu des très fortes puissances (systèmes de traction, HVDC...). La Figure 1-12b montre une variante où la mise en pression des puces est réalisée individuellement par un ressort, des rondelles souples et une pièce de centrage sur une face de la puce. L'autre face peut être mise en contact par pression (comme sur le boîtier Fuji) ou par brasure (boîtier ABB). Bien que plus complexe mécaniquement au niveau de l'assemblage, cette technique semble permettre une mise en pression plus homogène sur chaque puce.

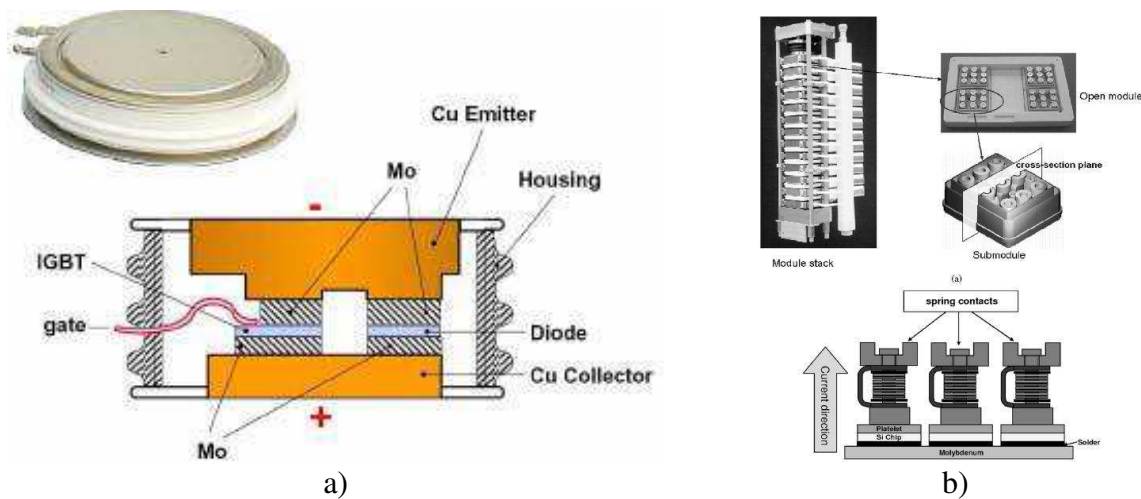


Figure 1-12 : a) boîtier *Press Pack*
 b) *stack IGBT press-pack 100kV - 1500A* (photographie ABB)

Le désavantage de cette technologie vient de l'absence d'isolement du boîtier et de son coût de fabrication élevé à cause de la complexité de l'assemblage ainsi que du possible endommagement par écrouissage des plages de métallisation Al aux niveaux des puces par la pression exercée sur elles. Ceci peut expliquer la non-généralisation de cette technologie sur des modules contenant plusieurs puces.

1.2.2.2 Evolution vers les technologies d'intégration hybride 3D

Plusieurs technologies d'intégration hybride 3D ont été développées et continuent à se développer pour augmenter les performances électriques et thermiques des modules de faible et moyenne puissance. Bien que peu de ces technologies soient commercialisées nous citons les principales d'entre elles dans ce paragraphe.

a) Technologie *Metal-Posts Interconnected Parallel Plates (MPIPPs)*

Cette technologie est basée sur l'insertion de poteaux en cuivre qui jouent le même rôle assuré par les fils de câblage en technologie 2D (Figure 1-13a), les contacts puces/poteaux sont réalisés en utilisant des brasures [8][15] ce qui suppose une préparation des métallisations. Les poteaux doivent être de longueur suffisante pour éviter tout risque de claquage entre la puce et le substrat métallique de connexion en face avant. La Figure 1-13b montre un module 3D utilisant cette technologie. Chacun des poteaux utilisés dans cette technologie présente une inductance parasite d'une valeur de 1,2 nH [15][16] contre une valeur comprise entre 6nH et 16nH [8] pour un fil de connexion.

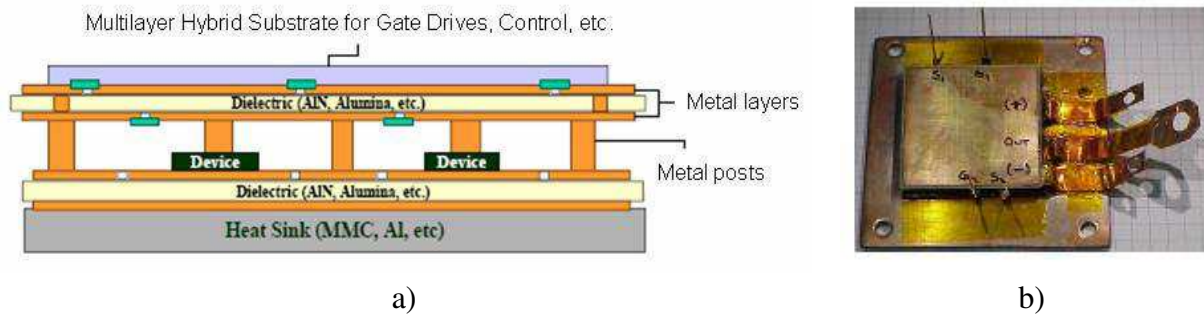


Figure 1-13 : Module de puissance MPIPPs
a) vue schématique en coupe, b) prototype d'assemblage réalisé [8]

La diminution de la valeur de l'inductance parasite de l'interconnexion va permettre une réduction significative des surtensions générées par les interrupteurs de puissance au blocage. Cette technologie présente un deuxième avantage thermique grâce à la dissipation de la chaleur à travers les poteaux vers la face avant du module, ce qui permet une évacuation de la chaleur par les deux faces du module [17]. Toutefois, l'évacuation principale de la chaleur se fait au niveau de la face arrière des puces en contact avec le substrat relié thermiquement au refroidisseur. Cet assemblage implique un excellent alignement dans le plan horizontal de l'ensemble des poteaux entre les puces et le substrat en face avant lors du brasage. Le montage "tout rigide" des pièces de connexion est un des points faibles de cette technologie. Une solution peut être de remplacer le substrat rigide en face avant par un PCB Flex ou du polyimide métallisé, aux dépens d'une bien moindre capacité d'évacuation de la chaleur par la face avant. Cette variante est présentée dans le paragraphe suivant.

b) Technologie *Solder Bumps Interconnect*

Cette technologie repose sur l'introduction de billes de type *solder bumps* déposées par refusion sur la métallisation des puces de puissance (généralement en aluminium suivie d'une finition Ti/Cr Or) (Figure 1-14) [18]. Les grandes dimensions de ces billes (de quelques dizaines de microns à quelques centaines de microns) fabriquées en alliage d'étain, argent ou en or donnent des propriétés électriques en termes d'inductance parasite et résistance beaucoup plus faibles que celles des fils de câblage [19][20][21]. Ceci a même ouvert la voie à cette technologie pour son utilisation en microélectronique pour améliorer la taille des assemblages et leurs performances électriques et thermiques. Les bonnes propriétés des billes brasées ont poussé des fabricants de semi-conducteurs comme *International Rectifier* [22] et *Fairchild* [23] à développer des composants de puissance en se basant sur la technologie *solder bump*.



Figure 1-14 : Assemblage micro-électronique 3D avec la connectique *solder bumps*
 a) vue schématique en coupe [24], b) puce contenant des billes de brasure [25]

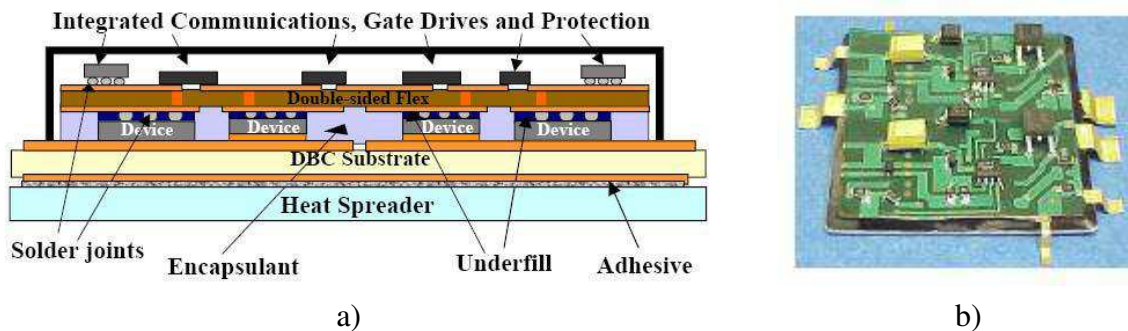


Figure 1-15 : Module de puissance *Flip chip on Flex* utilisant la technologie *solder bump* [26]
 a) vue schématique en coupe, b) prototype d'assemblage réalisé

La Figure 1-15 montre un module de puissance de la technologie *Flip chip on flex* utilisant la technologie d'interconnexion *solder bumps*. Un substrat flexible en face avant du module est utilisé pour compenser la différence entre les épaisseurs des puces reportées. Il est constitué d'un film de polyimide sur lequel deux feuillards de cuivre sont laminés (50 μ m d'épaisseur) [15]. L'injection d'un polymère (*underfill*) dans l'interface puces/*solder bumps* permet la passivation et surtout l'amélioration de la connectique en réduisant les contraintes au niveau du joint de brasure par la redistribution de celles-ci entre la puce, le substrat, l'*underfill* et le joint de brasure [27][28][29]. L'utilisation d'un substrat métallisé souple en polyimide ne permet pas un bon transfert de chaleur par la face avant et le report à un dissipateur ne présenterait pas d'intérêt. Ce substrat étant davantage réservé au report des drivers, condensateurs de découplage et circuits de protection.

c) Technologie *Dimple Array Interconnect (DAI)*

La technologie *Dimple Array Interconnect* repose sur une interconnexion de type *solder bumps* au niveau de la face avant des puces de puissance et sur des déformations localisées, sorte d'excroissance se rapprochant d'une forme de *bump*, d'une plaque en cuivre flexible dont l'épaisseur est comprise entre 50 μ m et 400 μ m. Les déformations de la plaque flexible permettent de former les *bumps* et réaliser le contact par la refusion d'une brasure locale (Figure 1-16) [15][19]. Comme dans la technologie *Solder Bump Interconnect*, un *underfill* est déposé entre le substrat DBC et la plaque flexible pour améliorer la fiabilité de celle-ci et éviter les contaminants.

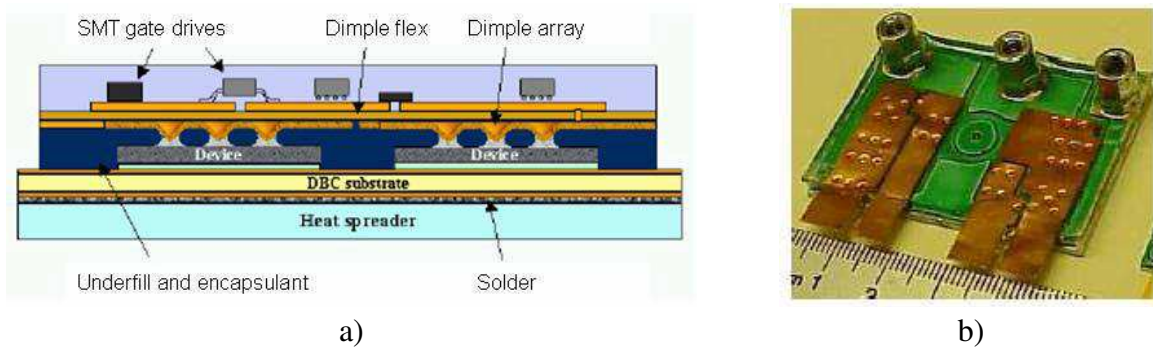


Figure 1-16 : Module de puissance utilisant la technologie *dimple array interconnect*
a) vue schématique en coupe, b) prototype d'assemblage réalisé [8]

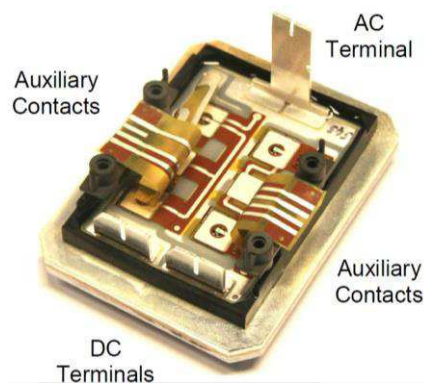


Figure 1-17 : Assemblage réalisé par une technologie *Flex* et *Sintering* (frittage).

Les performances électriques de cette technologie sont comparables avec celles de la technologie *solder bump* [19]. Cependant, cette technologie n'a pas encore atteint un stade de maturité industrielle à cause de la difficulté de la réalisation des déformations localisées. Une variante ou plus précisément une alternative consiste à réaliser le contact du substrat souple sur les puces par frittage. La Figure 1-17 montre un assemblage réalisé de cette manière : un film souple en polyimide ou polyamide métallisé est ensuite reporté sur les puces par un process *Sintering* (frittage d'une pâte d'Ag à 250°C) réalisant simultanément le contact en surface de puce et en face arrière sur un DBC [30].

d) Technologie *Embedded Power* (EP)

La technologie *Embedded Power* (Figure 1-18) développée par le CPES est basée sur la réalisation par un processus d'électrodéposition d'une couche en cuivre supplémentaire sur les métallisations préparées en face avant des puces semi-conductrices de puissance. Cette épaisseur peut atteindre 125µm [31]. Cette technique permet la suppression de la brasure qui représente une zone de fragilité dans les modules de puissance [32]. Elle repose aussi sur l'enfouissement des puces dans une céramique ou plus simplement dans une couche de PCB, jouant un rôle de support mécanique pour les métallisations électro-déposées et assure l'isolation électrique.

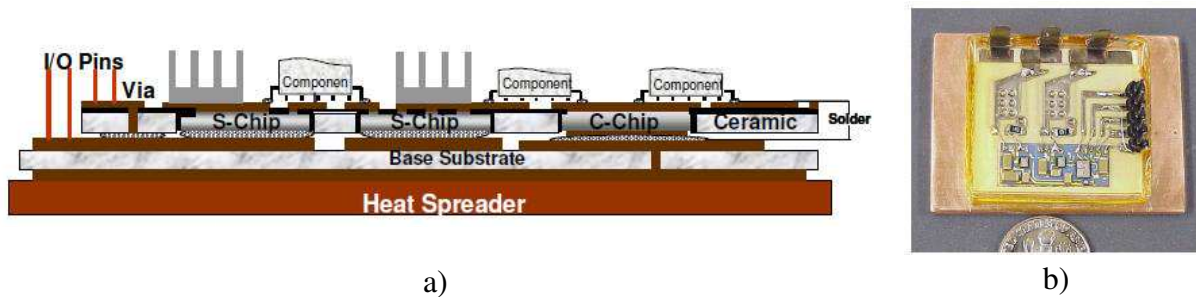


Figure 1-18 : Module de puissance utilisant la technologie *Embedded Power*
 a) vue schématique en coupe, b) prototype d'assemblage réalisé [40]

Cette technologie permet une diminution considérable de l'inductance parasite par rapport à la technologie planaire 2D basée sur l'utilisation des fils de connexion [31]. D'un point de vue thermique, la dissipation de la chaleur dans les puces de puissance se fait essentiellement par la face arrière du module et partiellement par la face avant du module grâce aux métallisations en cuivre électro-déposées [33]. Néanmoins cette technologie souffre de problème de fiabilité dus à la différence des CTE entre les différents matériaux utilisés.

e) Technologie *Power Overlay* (POL)

La technologie *Power Overlay* a été développée par le conglomérat américain *General Electric* [34], les puces sont brasées en face arrière sur un substrat DBC et les interconnexions en face avant des puces sont réalisées à travers des vias monolithiques en cuivre distribués sur les métallisations préparées des puces. Le processus technologique consiste à laminier un film souple de diélectrique sur la face avant des puces dans le module, des ouvertures sur ce film sont ensuite réalisées en utilisant un laser, puis une couche en cuivre est déposée par électrodéposition sur l'ensemble et enfin celle-ci est gravée pour réaliser les contacts souhaités. La Figure 1-19 montre une vue de principe en coupe d'un module de puissance utilisant cette technologie et un prototype récemment réalisé par Siemens et Continental VDO (procédé SIPLIT™).

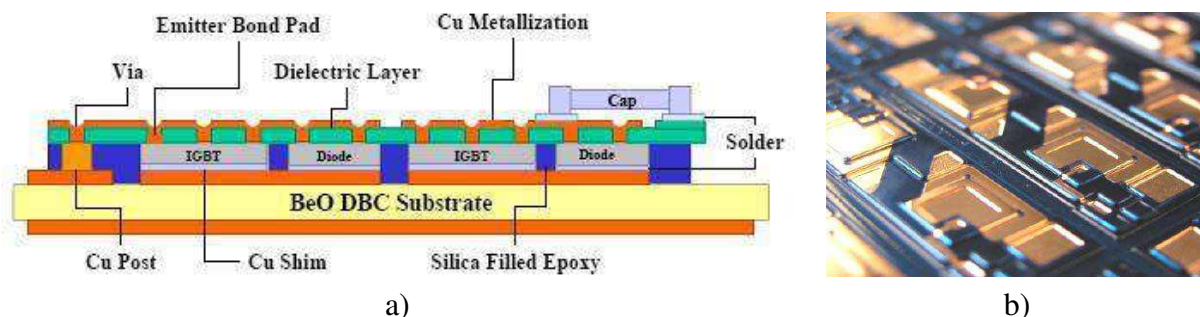


Figure 1-19 : Module de puissance utilisant la technologie *Power Overlay*
 a) vue schématique en coupe, b) prototype d'assemblage réalisé [15]

Cette technologie présente des performances électriques et thermiques similaires à celle de la technologie *Embedded Power* [34]. Technologiquement, elle présente aussi les mêmes problèmes de fiabilité dus à la différence des CTE entre matériaux utilisés.

f) La technologie 3D NextFET™ :

Cette technologie quasi-3D développée par Texas Instrument consiste à empiler les deux MOSFET (*low-side et high-side*) d'un bras d'onduleur à travers une couche métallique (Figure 1-20). Le module contient aussi la puce de contrôle. Cette technique permet de réduire l'inductance parasite et la résistance d'interconnexion entre les deux MOSFET et travailler avec des fréquences élevées (jusqu'à 2MHz). Cette architecture est bien adaptée aux structures *Synchronous Buck Mosfet* (dévolteur) où la puce *low side* est le siège d'un courant efficace bien plus élevé que la puce *high side* et donc de surface supérieure. Cette propriété autorise un astucieux *stacking* des deux puces avec un débord inférieur périphérique utile pour l'accès à la grille et à la source kelvin de la puce *low side*.

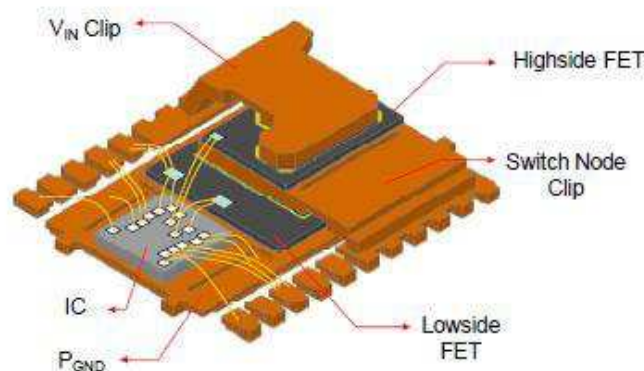


Figure 1-20 : Module Stack in NextFET™ Power Bloc [35]

1.2.2.3 Autres technologie 3D en cours de développement

a) Technologie d'interconnexions par des micro-poteaux

Cette technique développée et étudiée dans le cadre d'un projet ANR 3DPHI [24], est basée sur des interconnexions de type brasure sur la face arrière des puces, et des micro-poteaux pour réaliser les interconnexions en face avant des puces. En effet, cette technique utilise le principe des assemblages par couches planaires utilisés en micro-électronique, l'idée est d'ajouter une partie de l'interconnexion des puces semi-conductrices sur les puces elles-mêmes, sous la forme de micro poteaux, voire de nano poteaux (Figure 1-21).

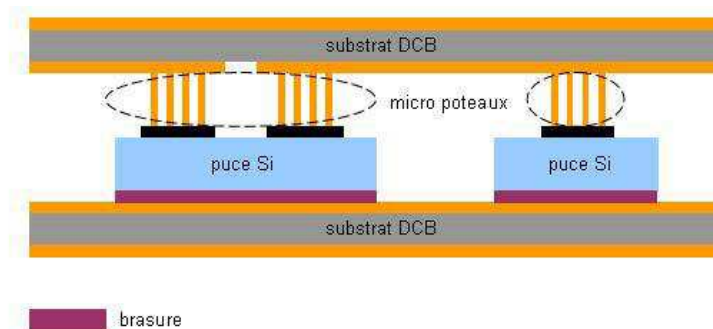


Figure 1-21 : Assemblage 3D d'un convertisseur de puissance avec la technologie micro-poteaux [24]

Les micro-poteaux ont des dimensions en section carrée de $50\mu\text{m} \times 50\mu\text{m}$ jusqu'à $300\mu\text{m} \times 300\mu\text{m}$, de hauteur maximale $75\mu\text{m}$, et distantes de $50\mu\text{m}$ à $300\mu\text{m}$ [24]. Ces faibles dimensions ont pour but de minimiser la résistance électrique, l'inductance parasite et la résistance thermique des connectiques. Toutefois, cette technique ne permet pas de réaliser des interconnexions entre les deux substrats DBC pour fermer la maille de commutation.

b) Technologie *Power Chip-on-Chip* (PCoC)

Le concept *Power-Chip-On-Chip* 3D ayant fait l'objet d'études au G2ELab à Grenoble a été proposé et détaillé dans le cadre de la thèse d'E. Vagnon [36]. Le principe de cette technique est basé sur l'empilement des puces de puissance les unes sur les autres (Figure 1-22) en se basant sur des contacts de type *Press Pack*. Cet empilement des électrodes et des puces selon le principe PCoC n'utilise pas les fils de *bonding*, ce qui va permettre de réduire au minimum les effets parasites des interconnexions au niveau de la maille de commutation, ceci conduira à un gain important en termes de comportements électriques et électromagnétiques [36].

Dans ce cadre, une généralisation de ce concept 3D a été proposée [1]. Plusieurs puces sont co-intégrées et séparées par un diélectrique sur le même substrat silicium avec une électrode commune en face arrière, cette généralisation nécessite un investissement important de développement des étapes technologiques de réalisation et des techniques spécifiques de terminaisons verticales de jonction des puces de puissance adaptées au concept PCoC [37][38]. Le principe de cette co-intégration est mécaniquement très complexe en termes de montage et de maintien des performances dans le temps. Ce principe est illustré pour le cas de diodes (Figure 1-23) [39].

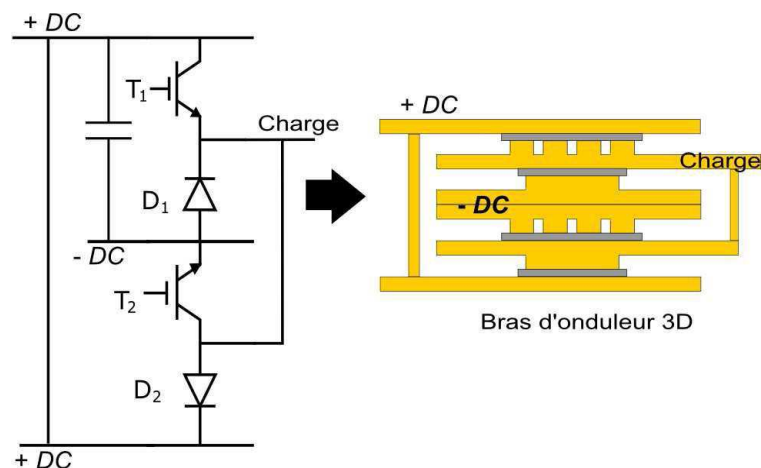


Figure 1-22 : Bras d'onduleur selon le concept *Power Chip-on-Chip* (PCoC) [36]

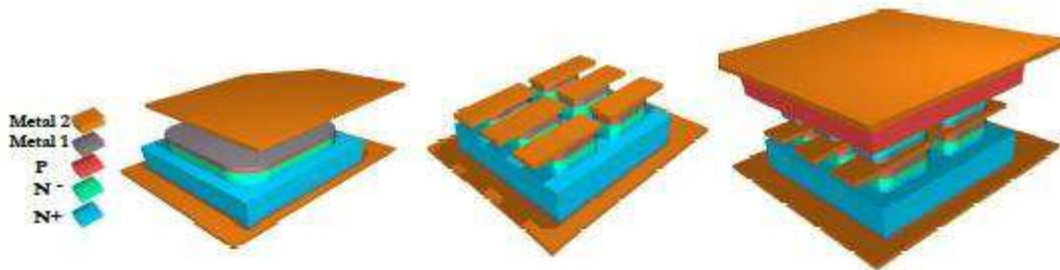


Figure 1-23 : Vue schématique du package *Power Chip-on-Chip* à l'aide des terminaisons en tension verticales - exemple d'une diode, de six diodes à cathode commune et d'un redresseur polyphasé à six bras [1].

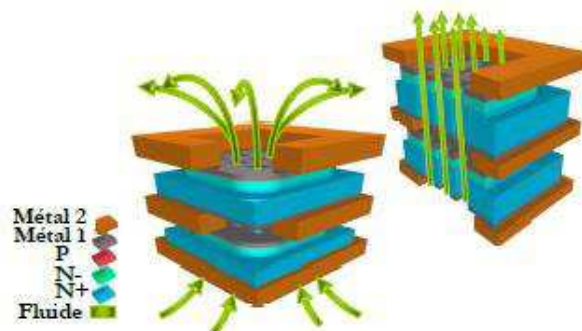


Figure 1-24 : Application du concept *DRIM Cooler* pour des diodes PIN dans un assemblage *Power Chip-on-Chip* [1]

D'un point de vue thermique, ce concept (avec les techniques d'intégration hybride 3D disponibles actuellement) ne permet pas un refroidissement de toutes les puces empilées, seules les puces en contact avec le substrat dans le module sont refroidies par leur face arrière à travers le substrat. D'autres travaux ont porté sur le développement d'une approche de refroidissement originale appelée *DRIM Cooler* [1][38] adaptée au concept PCoC introduisant des fluides isolants (Figure 1-24) mais qui ne permet pas de conclure sur l'intérêt et la pertinence de cette approche, là encore pour des questions de faisabilité technologique.

1.2.2.4 Synthèse des solutions hybrides 3D

Les solutions technologiques hybrides 3D permettent d'avoir un gain électrique et électromagnétique significatif par rapport à la technologie 2D. Néanmoins, elles présentent des niveaux de complexité de réalisation différents en fonction de la technologie employée. Seules les deux technologies 2D et *Press Pack* sont commercialisées à grande échelle à l'heure actuelle. Les technologies *Embedded Power* et *Power Overlay* sont en phase de pré-industrialisation pour la faible puissance et les applications automobiles hybrides. Les autres technologies 3D en cours de développement (PCoC et micro-poteaux) sont prometteuses mais nécessitent davantage un travail de développement surtout sur le plan technologique pour atteindre un bon niveau de maturité. Un bon compromis entre la complexité de l'assemblage, ses performances électriques et thermiques, sa fiabilité et son coût est recherché.

Les différentes solutions hybrides 3D sont adaptées à une gamme de puissance qui varie en fonction de la technologie utilisée, le Tableau 1- 1 résume les gammes de puissances adaptées pour chaque technologie.

Technologie hybride	Tension	Courant	Commercialisation
Technologie 2D	<6kV	<1,2kA	Oui
Technologie <i>Press Pack</i>	6,5kV	>1kA	Oui
Technologie MIPPPs	400V	10A	Non
Technologie <i>Solder bumps (Flip chip on flex)</i>	<1kV, <50A	6,5A	Non
Technologie DAI	--	--	Non
Technologie EP	--	--	Non
Technologie POL	--	--	Non
Technologie des micro-poteaux	ND	--	Non
Technologie PCoC	--	--	Non

Tableau 1- 1 : Gamme de puissance adaptée pour chaque technologie [40]

Le choix de la technologie dépend de l'application et de la gamme de puissance visée. La technologie 2D reste la plus adaptée aux applications de très fortes puissances telles que la traction ferroviaire suivies par la technologie *Press Pack* et la technologie POL, les autres technologies sont plutôt adaptées aux applications des moyennes et faibles puissances.

En complément de ces évolutions technologiques hybrides, nous allons voir dans la section suivante que pour les faibles et moyennes puissances, une seconde grande famille d'intégration intervient dans la même perspective d'amélioration des performances électriques des convertisseurs : "l'intégration monolithique".

1.3 L'intégration monolithique

Ce mode d'intégration a connu également une forte évolution en parallèle avec l'intégration hybride. Le concept de cette intégration repose sur le principe d'intégrer dans le même cristal (par exemple le silicium) plusieurs composant et/ou fonctions, de favoriser ou limiter les couplages de manière à créer les fonctions souhaitées.

1.3.1 Historique et domaines d'applications de l'intégration monolithique

Jusqu'à la fin des années 80, l'intégration monolithique faisait uniquement référence à la fabrication des composants de puissance discrets [41]. Les efforts de recherche portaient uniquement sur l'amélioration des performances électriques et l'augmentation des puissances commutées par unité de surface. Cette famille d'intégration est basée sur la compréhension des mécanismes physiques mis en jeu, ainsi que sur la reproductibilité des processus technologiques de fabrication et, bien entendu, sur la mise au point de nouveaux composants. Ces composants traduisent la volonté d'obtenir des dispositifs plus rapides, plus fiables et qui présentent des bonnes caractéristiques électriques statiques pour couvrir un large domaine applicatif (capacité en courant, tension blocable, faible chute de tension à l'état passant et faible courant de fuite à l'état bloqué).

Les progrès technologiques dans le domaine de la microélectronique des faibles signaux et de traitement de l'information VLSI (*Very Large Scale Integration*) [42][43] ont fortement

participé à l'évolution de l'intégration monolithique des composants de puissance. Et ce, malgré que les performances à optimiser pour les composants de puissance soient différentes de celles des circuits intégrés. La technologie MOS dans les dispositifs de puissance représente un point de convergence avec le domaine du traitement de signal.

Le mode d'intégration monolithique couvre le domaine des faibles et moyennes puissances. Il existe deux approches d'intégration monolithiques possibles et elles sont en grande partie fonction de l'application visée. La première approche concerne les deux technologies "Smart power" [41][44][45] (aussi désignée Smart MOS) et HVIC (*High Voltage Integrated Circuit*) [41][46]. Ces deux technologies sont bien adaptées au domaine des faibles puissances. La seconde approche est plutôt destinée et adaptée aux domaines des applications moyennes puissances, elle est connue sous le nom "Intégration monolithique fonctionnelle".

1.3.2 Intégration "Smart Power" et HVIC :

Ces deux technologies donnent le même produit final qui est un circuit intégré de puissance, la différence entre elles est liée essentiellement au mode de conduction de l'élément de puissance utilisé et aux gammes de courant et de tension traitées :

- En "Smart-Power", la conduction électrique dans le composant de puissance (généralement seul) est verticale (VDMOS...) ou latérale (LDMOS...).
- Pour les HVIC, la conduction électrique dans les composants de puissance est forcément latérale (très souvent de type LDMOS).

Les HVICs sont des circuits multi-sorties conçus pour supporter des tensions qui peuvent aller jusqu'à quelques centaines de volts mais qui présentent des faibles densités de courant limitées par la conduction latérale des puces. Au contraire, les composants "Smart Power" peuvent transiter des courants de plusieurs ampères avec des tensions blocables nettement inférieures à celles de la technologie HVIC. Pour ces deux modes d'intégration, la partie logique et analogique du circuit est réalisée en technologie NMOS, CMOS ou bipolaire et elle doit être parfaitement isolée du composant de puissance qui subit des fortes contraintes en terme de courant, tension, di/dt et dv/dt. Dans ce contexte, on distingue trois principaux modes d'isolation: l'auto-isolation par écrantage électrostatique (auto-blindage), l'isolation par jonction et l'isolation par un diélectrique (Figure 1-25). Deux exemples de circuits intégrés de type *Smart Power* et un exemple de circuit de type HVIC sont illustrés dans la Figure 1-26

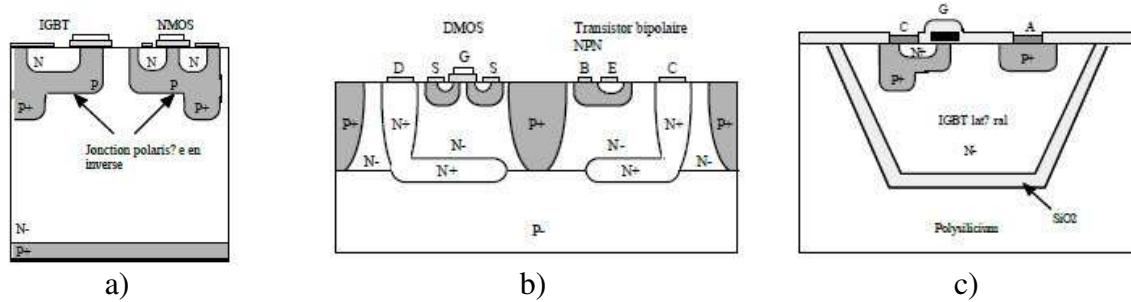


Figure 1-25 : Techniques d'isolation de composants de puissance verticaux et latéraux [47].
 a) auto-isolation, b) isolation par jonction, c) isolation par diélectrique

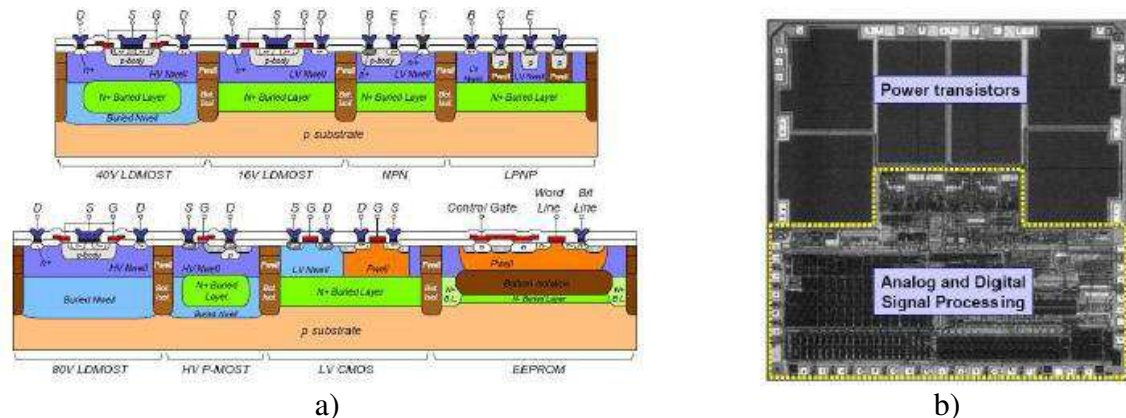


Figure 1-26 : a) *Smart Power* : exemples d'intégration de différents types de composants (CMOS, DMOS, bipolaire) dans un même substrat [41], b) HVIC : exemple d'intégration de transistors de puissance et de circuits de traitement du signal analogique et numérique sur la même puce [48]

1.3.3 Intégration monolithique fonctionnelle

1.3.3.1 Définition

L'intégration fonctionnelle est le deuxième mode d'intégration monolithique. Elle est basée sur un agencement particulier des couches semi-conductrices du composant de puissance pour obtenir une nouvelle fonctionnalité au sein d'un dispositif de puissance sans atteindre la complexité des fonctions obtenues avec les composants de type "*Smart Power*" et HVIC. Les dispositifs réalisés en intégration fonctionnelle permettent d'obtenir des fonctionnalités spécifiques de contrôle et de protection en associant plusieurs éléments de base. Il s'agit dans ce mode d'intégration de maîtriser et d'exploiter les interactions électriques entre les différentes régions du cristal de manière à faire émerger de nouvelles fonctionnalités qu'il serait plus complexe ou bien de moindre performance à réaliser en discret. Le transistor bipolaire permet de bien appréhender la notion d'interactions entre les différentes couches semi-conductrices puisque l'effet 'transistor bipolaire' ne peut intervenir que s'il existe une région commune (la région de la base du transistor bipolaire) entre deux jonctions et non par l'assemblage de diodes tête bêche. De la même façon, la structure du thyristor n'est pas réalisée à partir de l'association discrète de deux transistors bipolaires mais par leur imbrication monolithique. Cette structure, constituée de quatre couches P/N/P/N est

considérée comme l'un des tous premiers exemples de l'intégration fonctionnelle. Une étape supplémentaire a été franchie par le développement des principales phases de conception du triac en s'appuyant sur une analyse physique très fine du comportement de la structure. La structure du triac peut être considérée, au premier ordre, comme l'imbrication de deux thyristors.

1.3.3.2 Evolutions de l'intégration fonctionnelle

Le prolongement des travaux de recherche a donné naissance à tout un ensemble de composants et structures de puissance dont les fonctionnalités électriques sont basées sur des associations bipolaire/bipolaire. Ces associations consistent à intégrer de manière monolithique et de façon astucieuse des diodes de redressement, des diodes Zener, des résistances et des thyristors réalisés sur des structures verticales dont les caractéristiques physiques et géométriques déterminent une application spécifique ASD (*Application Specific Discrete*). Les applications visent principalement des fonctions de commande d'interrupteur et de sa protection. L'introduction des technologies MOS dans le domaine de l'intégration fonctionnelle a offert un degré de liberté supplémentaire en permettant la combinaison des effets MOS et des interactions de type bipolaire. Ainsi, de nombreuses solutions d'associations de type MOS/Bipolaire ont permis de créer de nouveaux dispositifs de puissance tel que l'IGBT, le MCT (*MOS Controlled Thyristor*) et le MGT (*MOS Gated Thyristor*). Le MGT étant une structure de type IGBT optimisée afin de fonctionner en mode thyristor se bloquant par le passage par zéro de la tension. Il existe maintenant un certain nombre de composants discrets de type MGT en quatre ou cinq couches tels que: DGMOT (*Dual Gate Mos Thyristor*), le DG-BRT, DG EST ou encore le MGCT. D'autres travaux de recherches menés récemment au LAAS basés sur ce mode d'intégration visant à l'intégration d'IGBT bidirectionnels par une intégration double-face de substrat silicium [49][50]. Notons également l'émergence d'une intégration plus poussée des fonctions de protection contre certains phénomènes provoquant un dysfonctionnement du circuit tel que : court-circuit, forte énergie dissipée, décharges électrostatiques (ESD) fort di/dt et dv/dt . La Figure 1-27 montre l'évolution de composants/fonctions au fil du temps au LAAS.

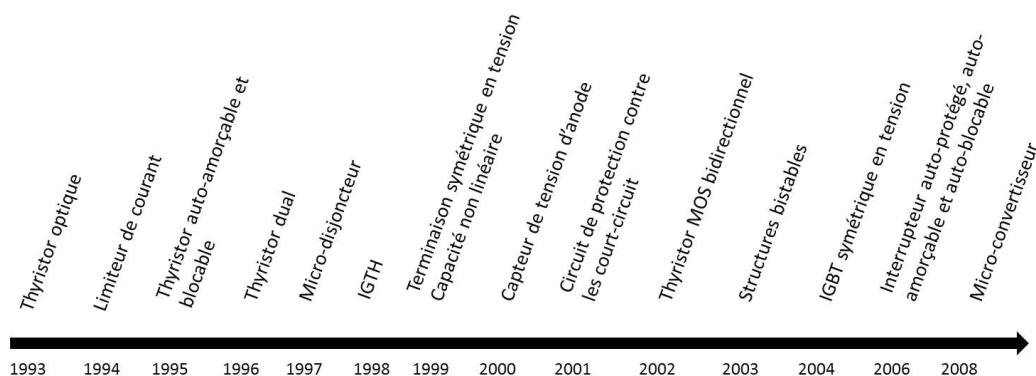


Figure 1-27 : Evolution de l'intégration fonctionnelle au LAAS

1.3.3 Les progrès technologiques au profit de l'intégration fonctionnelle

Cette augmentation de la complexité des fonctions de puissance a nécessité un développement parallèle des étapes technologiques de réalisation. Ce développement conjoint entre les fonctions intégrables et les étapes technologiques spécifiques, est illustré sur la Figure 1-28.

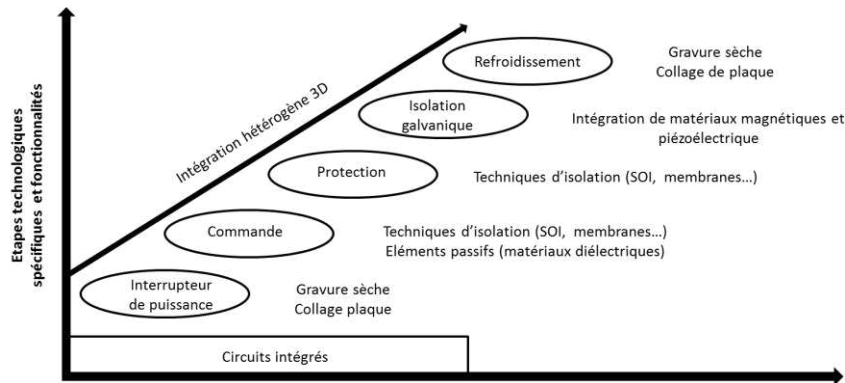


Figure 1-28 : Evolution des fonctions intégrables liées au développement des étapes technologiques spécifiques

La réalisation technologique de ces nouvelles fonctions de puissance intégrées est aujourd'hui basée sur des filières technologiques dites "flexibles" comme celle développée dans la plateforme technologique du LAAS (Figure 1-29).

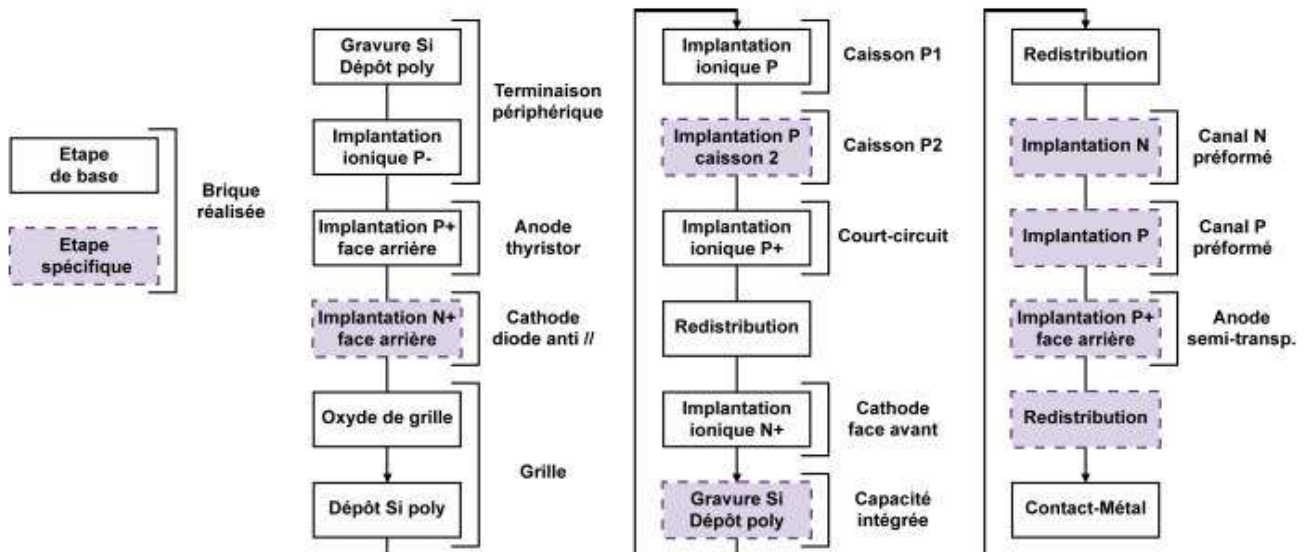


Figure 1-29 : Enchaînement des étapes technologiques de la filière flexible du LAAS [51]

Les briques technologiques qui constituent cette filière permettent en plus de la réalisation technologique de composants conventionnels de puissance (MOS, IGBT, Thyristors...) la réalisation de fonctions plus complexes telle que l'isolation par mur P⁺ traversant [52]. La Figure 1-30 montre un exemple de type de structure intégrée par la voie de l'intégration fonctionnelle correspondant au schéma électrique de détection et de protection contre les court-circuits.

technologiques de report des puces sur substrat et par conséquent la réduction du coût des modules de puissance est aussi une conséquence de cette approche

C'est dans ce cadre global que s'inscrit ce travail de thèse. Mais avant de présenter les architectures d'intégration retenues pour notre travail, nous allons tout d'abord rappeler les approches concurrentes présentes dans la littérature visant le même objectif. Cet objectif commun se résume par le besoin d'intégrer les interrupteurs de puissance (MOS, IGBT, diodes...) formant le convertisseur de puissance générique de la Figure 1-32 sur un même substrat silicium. Cette architecture entrelacée est le résultat de nombreuses recherches durant les six dernières années avec comme bénéfiques les plus notables une réduction de poids, de volume, de coût et une augmentation des dynamiques de régulation [54].

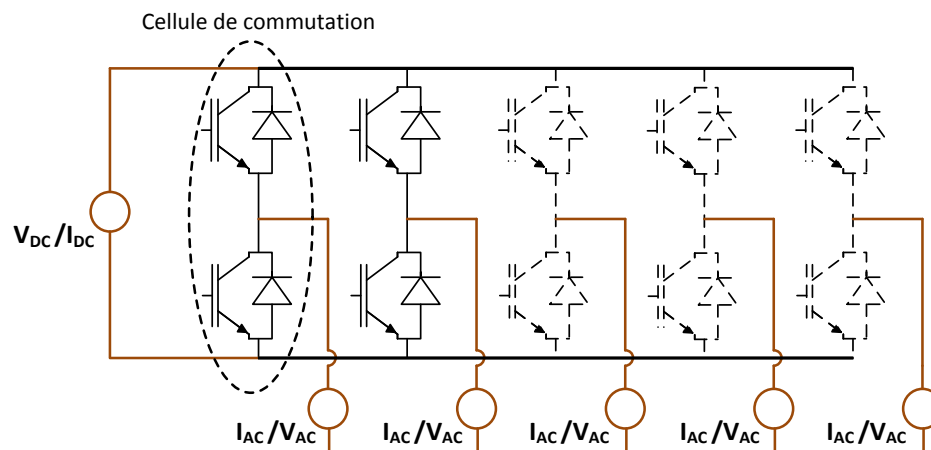


Figure 1-32 : Schéma général d'un convertisseur générique DC/DC et DC/AC multi-phasé

1.3.4.1 Solutions d'intégration monolithique sur le silicium

a) Première solution

Une première solution consiste à intégrer de manière directe les deux interrupteurs (*high side* et *low side*) de chaque cellule de commutation composant le circuit de la Figure 1-32 dans la même puce silicium. Cette solution [55] utilise des structures IGBT à conduction latérale (Figure 1-33) avec des zones de diffusion N^+ en face avant de la puce pour former les diodes de roue libre. C'est une intégration monolithique latérale quasi-symétrique sur substrat de type P venant mettre en série les interrupteurs pour réaliser la cellule de commutation de l'onduleur. Les deux IGBT sont séparés par une zone d'isolation qui combine l'isolation par jonction polarisée en inverse et l'isolation par diélectrique. En effet, nous avons un mode d'isolation par jonction PN en face avant et par un diélectrique en face arrière. L'avantage d'une telle structure est celui d'avoir toutes les électrodes (anodes, cathodes et grilles) sur la même face de la puce facilement accessible (face avant).

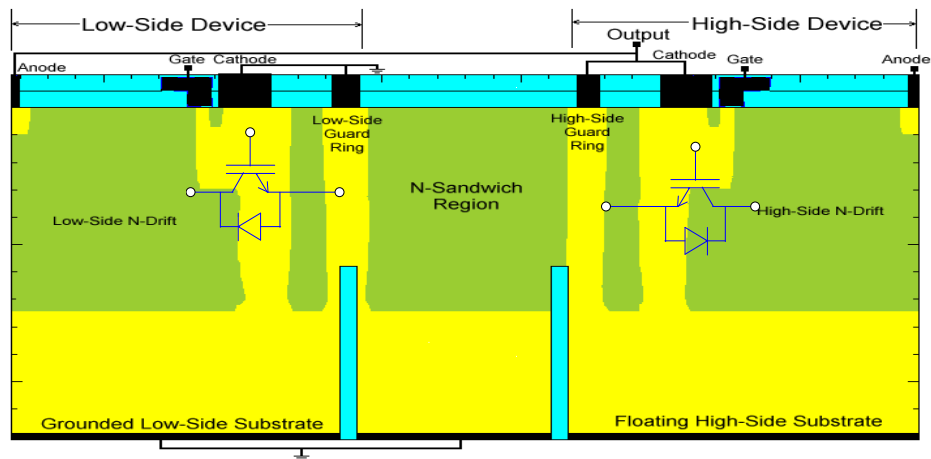


Figure 1-33 : Vue en coupe du principe de l'intégration série de cellules de commutation utilisant des IGBT à conduction verticale [55]

Toutefois, cette approche d'intégration s'appuie sur une conduction latérale des IGBT et des diodes limitant le calibre en courant, et par conséquent la gamme des applications qui en découle (faibles puissances).

b) Deuxième solution

Une deuxième solution [56] d'intégration consiste à intégrer sur un même substrat silicium de type N les IGBT et les diodes PIN à conduction verticale (Figure 1-34). Toutes les interactions électriques sont évitées en réalisant une isolation par des tranchées profondes remplies de diélectrique (SiO_2) traversant toute la structure. Ce mode d'isolation est utilisé dans la structure pour une séparation complète entre tous les composants (diode PIN et IGBT) qui forment le circuit du convertisseur. Les interconnexions permettant de fermer les mailles de commutation sont réalisées à travers des tranchées profondes remplies de métal épais, cette zone de métal est prise en sandwich également par deux zones de tranchées profondes remplies par un diélectrique (SiO_2).

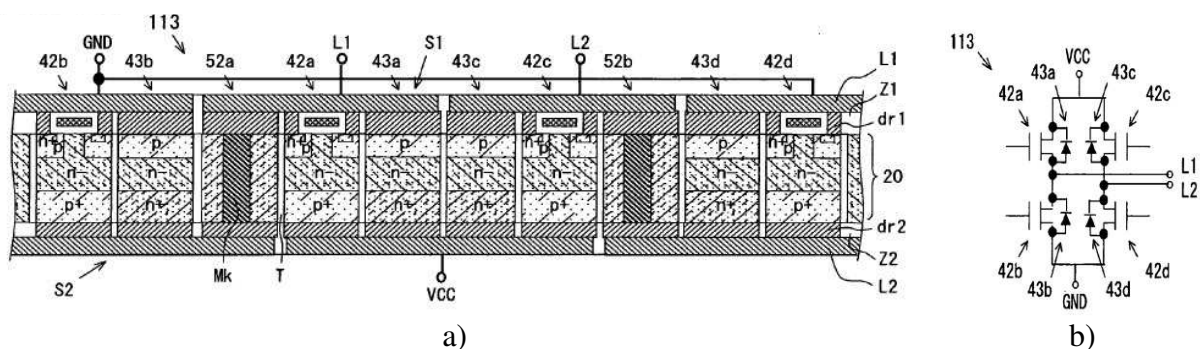


Figure 1-34 : Intégration sur une seule puce des IGBT et des diodes à conduction verticale (structure brevetée [56]), a) vue en coupe 2D de la structure, b) schéma électrique équivalent de la structure (Pont de conversion en H composé par 4 IGBT et 4 diodes en antiparallèle)

Cette solution ne constitue pas une intégration monolithique à nos yeux, mais plutôt à une juxtaposition de composants isolés et interconnectés individuellement au sein d'une même puce. Néanmoins, cette structure présente l'avantage d'intégrer sur une même puce des

composants à conduction verticale et de supprimer tous les fils de câblage. Cependant, au niveau technologique, le nombre important des tranchées profondes dans la structure permettant de réaliser les zones d'isolation entre tous les composants et celles qui servent à réaliser les connexions électriques est un facteur de fragilisation de la puce, la faisabilité d'une telle architecture reste donc à prouver.

1.3.4.2 Approches d'intégration monolithique utilisant des matériaux grand gap (GaN)

Les technologies à large bande interdite, et notamment la technologie GaN offre de nouvelles perspectives en matière d'intégration de cellules de commutation. La Figure 1-35a montre un exemple de réalisation d'une cellule de commutation composée par un transistor HEMT/HEMFET et une diode L-FER [57]. Une vue en coupe de cette intégration est montrée dans la Figure 1-35b. La puce est fabriquée sur un wafer AlGaN/GaN-on-Si par épitaxie. Toutes les électrodes se trouvent sur la face avant de la puce et la conduction du courant dans la puce est latérale.

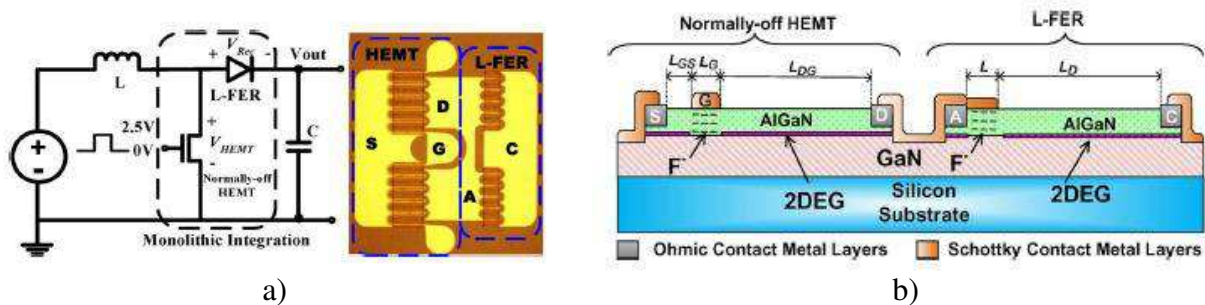


Figure 1-35 : a) puce réalisée avec son schéma électrique équivalent, b) vue schématique 2D de la structure intégrée [57][58]

La Figure 1-36a montre un deuxième exemple de réalisation [59] d'un pont de conversion triphasé composé par six MOSFET sur un wafer AlGaN/GaN-on-Si. Une vue schématique en coupe d'une cellule de commutation composée par deux transistors est montrée sur la Figure 1-36b.

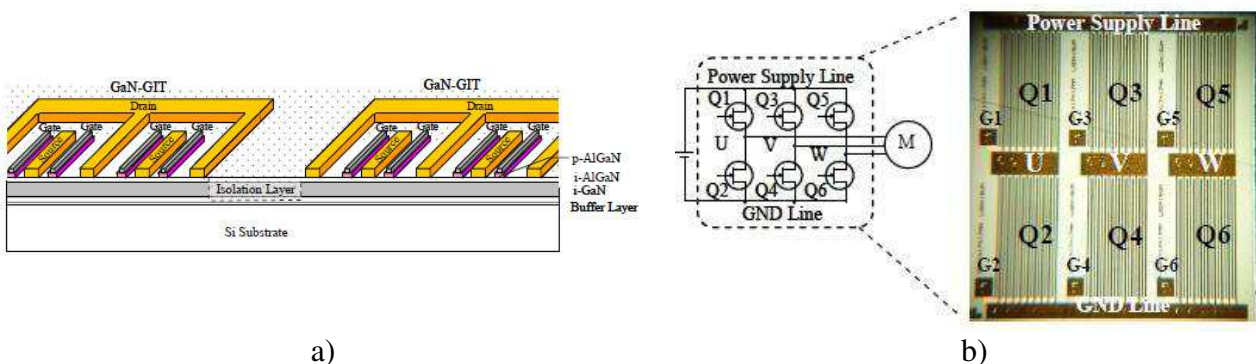


Figure 1-36 : a) puce réalisée (trois cellules de commutation intégrées) avec son schéma électrique équivalent, b) vue schématique 2D de la structure intégrée d'une cellule de commutation [59]

La technologie GaN possède des atouts indéniables pour des applications de faible et moyenne puissance à fréquence élevée et faible bruit linéaire en non-linéaire. Néanmoins, le marché du GaN reste nouveau dans les laboratoires de recherche et sa technologie n'est pas encore parfaitement fiabilisée pour des applications de forte puissance et haute température. Les principales limites des composants GaN restent leur faible capacité à évacuer la chaleur comparée au silicium ainsi que leur coût de production très élevé à l'heure actuelle.

1.3.4.3 Approche non monolithique basée sur l'assemblage 3D

Une autre approche en cours de développement par le G2ELAB se base sur des techniques d'assemblage 3D et de collage direct métallique (cuivre-cuivre) [60]. Cette approche s'appuie sur une fabrication collective et d'ilotage [61] des composants formant les convertisseurs entrelacés de la Figure 1-32. La Figure 1-37 montre le principe de réalisation des puces selon cette approche.



Figure 1-37 : Procédé synthétique de réalisation et report de matrices de composants à l'échelle du wafer [62]

Ce principe [39][62] consiste en la réalisation d'assemblage de matrices de composants actifs sur le même wafer silicium. En partant sur un substrat silicium faiblement dopé, ce substrat est dopé par une implantation de Phosphore puis collé directement (collage oxyde-oxyde) sur un deuxième substrat temporaire qui sert de support mécanique, le *wafer* actif est ensuite aminci (pour réduire les pertes en conduction du composant) puis dopé par une implantation Bore ou Arsenic sur l'autre face et métallisée en Ti/TiN/Cu, ensuite le *wafer* est collé directement (collage cuivre-cuivre) sur un substrat métallique épais. A ce stade le substrat Si temporaire est retiré et une opération de gravure chimique profonde est ensuite engagée pour isoler les composants réalisés tout en les maintenant sur le même support métallique réalisant ainsi la puce finale. La Figure 1-38 montre un *wafer* en fin de process contenant une matrice de diodes et une vue schématique d'une puce contenant 6 diodes. Les électrodes communes (anode ou cathode) sont connectées électriquement par le support métallique. L'idée ensuite est de réaliser un assemblage 3D pour connecter électriquement les deux versions de puces (Figure 1-39).

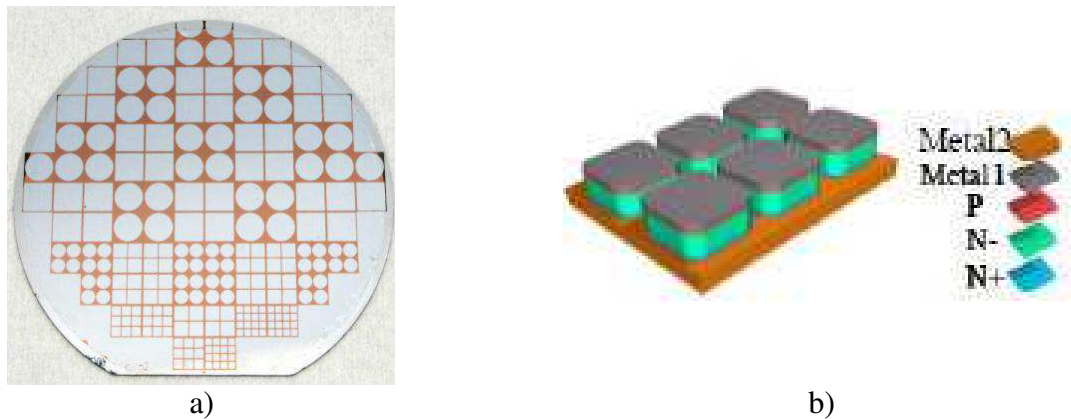


Figure 1-38 : a) photographie en fin de process d'une matrice de diodes isolées, reportées à l'échelle de la plaque sur un substrat métallique (4'' – 100mm), b) vue schématique d'une puce de diodes (6 diodes à cathodes communes)[62]

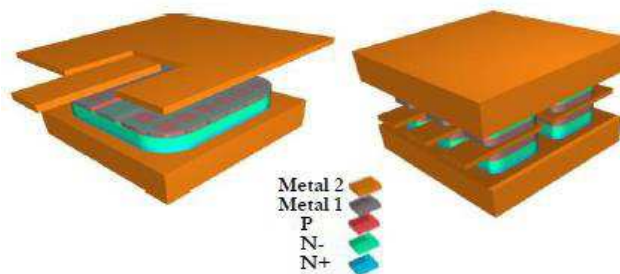


Figure 1-39 : Vue schématique de l'assemblage 3D et de l'interconnexion de différents bras d'onduleurs. A gauche, –présentation de la méthode de prise de contact pour un transistor, et à droite, assemblage 3D de diodes de puissance verticales [62]

De même que la deuxième solution d'intégration sur silicium évoquée dans le paragraphe 1.3.4.1b), cette approche est une juxtaposition de composants isolés par gravure profonde et connectés par un substrat métallique épais sur une face. Ceci nécessite un développement important des technologies de fabrication de la puce finale. A nos yeux, cette approche est très complexe à généraliser pour le cas de composants de type MOS ou IGBT surtout pour la version à cathode commune. En effet, les puces MOS ou IGBT contiennent deux électrodes sur la face avant des puces (source et grille), l'accès ainsi que l'isolation de ces deux électrodes constituent un défi majeur à résoudre dans le cadre de cette approche. En plus, l'introduction de substrat métallique dès la phase de réalisation des puces est incompatible avec les outils technologiques disponibles dans les plateformes technologiques actuelles. L'assemblage 3D final nécessite aussi de développer de nouvelles techniques fiables de refroidissement double face (voir paragraphe 1.2.2.3b).

1.4 Objectif de la thèse

Cette thèse a pour objectif d'étudier et de valider une approche d'intégration monolithique verticale dite "bi-puce" [63] dédiée aux applications de faible et moyenne puissance (tension blocable supérieure à 600 V et une densité de courant de l'ordre de 100A/cm²). L'idée repose sur l'intégration du circuit convertisseur générique de la Figure 1-32 en deux puces différentes et complémentaires :

- une première puce dite "aiguilleur à anode commune" intégrant la partie *high-side* sous la forme d'un réseau en étoile d'interrupteurs élémentaires à anode commune (l'électrode d'anode mutualisée se trouve sur la face arrière de cette puce).
- une deuxième puce dite "aiguilleur à cathode commune" intégrant la partie *low-side* sous la forme d'un réseau en étoile d'interrupteurs élémentaires à cathode commune (l'électrode de la cathode mutualisée se trouve sur la face avant de la puce dans ce cas).

Les puces qui en résultent constituent donc selon cette approche deux macro-puces multi-interrupteur (multi-pôle). Cette approche est illustrée dans la Figure 1-40 ci-dessous.

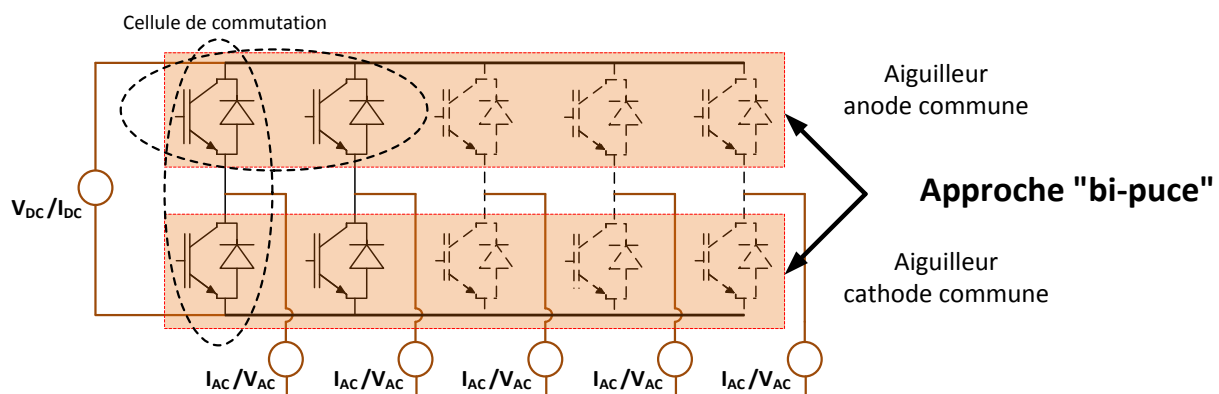


Figure 1-40 : Illustration de l'approche d'intégration monolithique "bi-puce" proposée

On part de l'idée de mutualiser des électrodes de même nature pour chaque version de puce. La conduction dans chaque puce est verticale alors que la tenue en tension doit être assurée à la fois en vertical et en latéral. Notons que l'absence de conduction en latéral dans ce réseau d'interrupteurs autorise l'insertion d'une région d'isolement latérale (zone de drift peu dopée ou mur d'isolement) sans pénalité directe sur la caractéristique statique à l'état passant.

Les signaux appliqués sur les grilles par le circuit de commande régissent l'état de conduction de chaque interrupteur au sein de chaque réseau, d'où l'appellation "aiguilleur de courant". Deux modes de fonctionnement principaux sont possibles :

- le mode "pont redresseur" de tension AC / source de courant DC réversible ou AC basse-fréquence comme l'indique la Figure 1-41. Dans ce cas, les deux réseaux d'interrupteurs sous forme de puce constituent deux cellules de commutation dont l'interconnexion permet de réaliser un pont redresseur multi-phasé "bi-puce". Les mailles de commutation sont complètement intégrées au sein même de chaque puce dans ce cas.

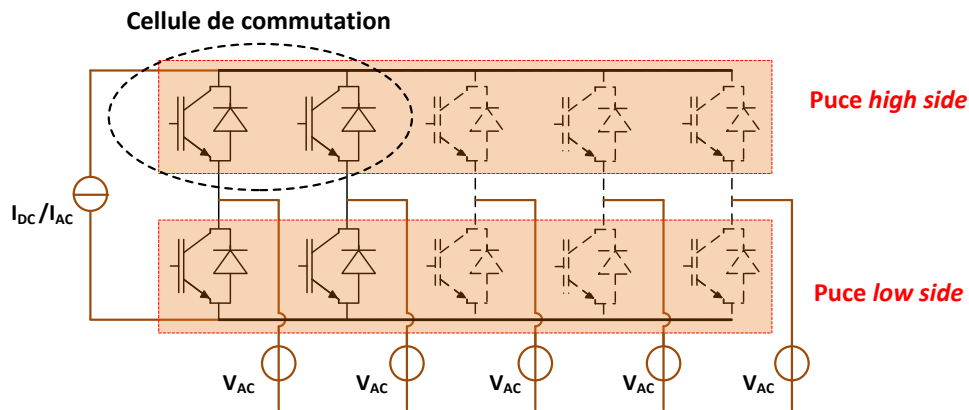


Figure 1-41 : Mode "pont redresseur" de tension AC

- le mode "onduleur" de tension DC / source de courant AC ou DC basse-fréquence comme l'indique la Figure 1-42. Dans ce cas, les deux réseaux d'interrupteurs sous forme de puce ne constituent pas directement deux cellules de commutation. L'interconnexion des deux puces est obligatoire et permet de fermer les mailles de commutation. Celles-ci ne sont donc pas complètement intégrées dans ce cas, d'où la nécessité d'une interconnexion courte et peu inductive.

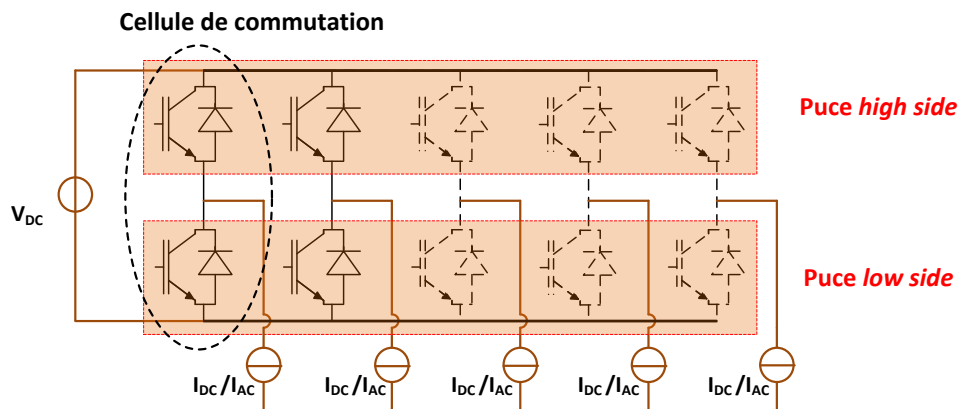


Figure 1-42 : Mode "onduleur" de tension DC

Nous voyons que ces deux aiguilles sont complémentaires, leur association est indispensable pour réaliser des fonctions de conversion de type "pont" redresseur, onduleur ou hacheur. Cela nous amènera à étudier et à comparer des techniques d'association sur substrat en parallèle avec la phase de conception et de réalisation des puces. En partant des limitations de cette première approche "bi-puce", nous proposerons une deuxième approche d'intégration dite "mono-puce" [64] (Figure 1-43). Dans le cadre de cette thèse, cette puce vient fusionner les deux aiguilles anode commune et cathode commune en une seule puce pour profiter des avantages des résultats de comparaison de leur association.

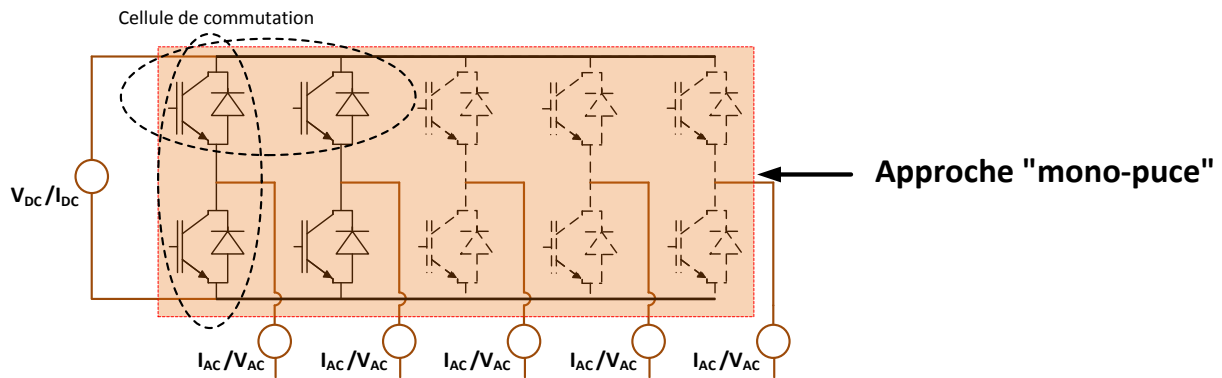


Figure 1-43 : Illustration de l'approche d'intégration monolithique "mono-puce" étudiée en fin de mémoire à titre exploratoire et constituant une perspective à notre travail de thèse

1.5 Stratégie de travail et structuration du mémoire

Notre démarche de travail est le résultat direct de la collaboration entre deux groupes de recherches issus de deux laboratoires différents. Le groupe ISGE du LAAS qui travaille sur le développement de la technologie de réalisation ainsi que sur l'amélioration des performances des composants de puissance, et le groupe CS du Laplace qui travaille sur la fonction de puissance d'un point de vue "circuit" et intégration "système". Notre démarche de conception de nouvelles architectures vient ainsi fusionner les deux visions et les compétences scientifiques des deux laboratoires. Cette démarche est structurée dans la Figure 1-44.

Niveau circuit et packaging

Définition de la fonction électrique à intégrer et du cahier de charge à respecter.

1. Vérifications des applications de conversion d'énergie des architectures proposées.
2. Etudes des techniques d'association des puces et de report sur substrat.
3. Evaluation et comparaison électriques et thermiques par simulation 3D sous COMSOL.
4. Tests de reports sur des puces factices avec des cartes PCB.
5. Validation de la fonction électrique .

Niveau silicium

Propositions d'architectures monolithiques équivalentes.

1. Etudes et validation par simulations 2D sous l'outil de simulation SENTAURUS TCAD des puces.
2. Dessin des masques sous l'outil CADENCE.
3. Réalisation technologique dans la filière flexible de la salle blanche.
4. Caractérisation électriques sous pointes des puces réalisées.
5. Validation des architectures monolithiques des puces.

→ Report des puces réalisées sur un substrat de type DBC ou SMI

→ Validation de l'approche d'intégration

Figure 1-44 : Démarche de conception de nouvelles fonctions de puissance intégrées

1.6 Conclusion

Dans ce chapitre, nous avons présenté le cadre et le contexte général du travail de recherche de cette thèse à travers un état de l'art sur les différents modes d'intégration en électronique de puissance. Nous avons vu que ces différents modes d'intégration ont le même objectif visant l'amélioration de la fonction de conversion d'énergie que cela soit au niveau du composant de puissance lui-même ou, plus généralement, au niveau du module de puissance intégrant les convertisseurs statiques. Nous avons identifié les modes de défaillances dans les modules de puissance commercialisés issus de la technologie hybride planaire 2D et nous avons cité les différentes technologies d'intégration (hybride 3D et monolithique) qui visent à résoudre et à minimiser ces modes de défaillance. Nous avons défini et motivé par la suite deux nouvelles approches d'intégration monolithiques pour participer à cette amélioration dans le domaine des applications qui mettent en jeu des puissances moyennes.

Le chapitre suivant sera dédié à l'étude et à la validation par simulations physiques/électriques 2D couplées des architectures élémentaires issues de ces deux approches "bi-puce" et "mono-puce" en commençant par définir et optimiser le composant élémentaire "clé" : le RC-IGBT (*reverse conducting IGBT*) sur lequel reposent toutes les structures étudiées et proposées dans ce travail.

Bibliographie du chapitre 1

- [1] K. Vladimirova, « Nouveaux concepts pour l'intégration 3D et le refroidissement des semi-conducteurs de puissance à structure verticale », Université de Grenoble, thèse 2012.
- [2] M. H. Tran, « Vers de nouveaux modules de puissance intégrés », Université de Grenoble, thèse 2011.
- [3] « Mechanical standardization of semiconductor devices – Part 2: dimensions. » International Standard IEC 60191-2.
- [4] « Solutions for industrial drives ». Brochure Infineon.
- [5] O. Schilling, M. Wölz, G. Borghoff, Th. Nübel, G. Bräker, et Chr. Lübke, « Properties of a New PrimePACK™ IGBT Module Concept for Optimized Electrical and Thermal Interconnection to a Modern Converter Environment. » PCIM Europe, 2005.
- [6] S. Ramminger, P. Türkes, et G. Wachutka, « Crack mechanism in wire bonding joints », *Microelectron. Reliab.*, vol. 38, n° 6-8, p. 1301-1305, juin 1998.
- [7] M. Ciappa, « Selected failure mechanisms of modern power modules », *Microelectron. Reliab.*, vol. 42, n° 4-5, p. 653-667, avr. 2002.
- [8] S. Haque, K. Xing, R.-L. Lin, C. T. A. Suchicital, G.-Q. Lu, D. J. Nelson, D. Borojevic, et F. C. Lee, « An innovative technique for packaging power electronic building blocks using metal posts interconnected parallel plate structures », *IEEE Trans. Adv. Packag.*, vol. 22, n° 2, p. 136-144, 1999.
- [9] C. Buttay, « Contribution à la conception par la simulation en électronique de puissance : application à l'onduleur basse tension », Thèse, INSA de Lyon, 2004.
- [10] P. Cova et F. Fantini, « On the effect of power cycling stress on IGBT modules », *Microelectron. Reliab.*, vol. 38, n° 6-8, p. 1347-1352, juin 1998.
- [11] C. Martin, L. Menager, B. Allard, J. M. Guichon, et J. L. Schanen, « Importance of interconnect in integrated power systems », in *2006 4th International Conference on Integrated Power Systems (CIPS)*, 2006, p. 1-6.
- [12] D. Cottet et A. Hamidi, *Parasitics in Power Electronics Packaging*, IEEE Industry Applications Conference. 2005.
- [13] R. De Maglie, M. Nuber, J. Engstler, et A. Engler, « Common mode current calculation in a driver stage for power semiconductor modules », in *2013 15th European Conference on Power Electronics and Applications (EPE)*, 2013, p. 1-8.
- [14] J.-L. Schanen, T. De Oliveira, J.-M. Guichon, et S. Mandray, « Active reduction of common mode current in power modules », in *2010 6th International Conference on Integrated Power Electronics Systems (CIPS)*, 2010, p. 1-5.
- [15] J. N. Calata, J. G. Bai, X. Liu, S. Wen, et G.-Q. Lu, « Three-Dimensional Packaging for Power Semiconductor Devices and Modules », *IEEE Trans. Adv. Packag.*, vol. 28, n° 3, p. 404-412, 2005.
- [16] K. Siddabattula, Z. Chen, et D. Borojevich, « Evaluation of metal post interconnected parallel plate structure for power electronic building blocks », in *Fifteenth Annual IEEE Applied Power Electronics Conference and Exposition, 2000. APEC 2000*, 2000, vol. 1, p. 271-276 vol.1.
- [17] S. Haque, K. Xing, C. Suchicital, D. J. Nelson, G.-Q. Lu, D. Borojevic, et F. C. Lee, « Thermal management of high-power electronics modules packaged with interconnected parallel plates », in *Fourteenth Annual IEEE Semiconductor Thermal Measurement and Management Symposium, 1998. SEMI-THERM Proceedings 1998*, 1998, p. 111-119.

- [18] G. A. Rinne, « Solder bumping methods for flip chip packaging », in *Electronic Components and Technology Conference, 1997. Proceedings., 47th*, 1997, p. 240-247.
- [19] S. Wen, « Design and Analyses of a Dimple Array Interconnect Technique for Power Electronics Packaging », 27-août-2002. [En ligne]. Disponible sur: zotero://attachment/61/. [Consulté le: 21-juill-2013].
- [20] S. Zama, D. F. Baldwin, T. Hikami, et H. Murata, « Flip chip interconnect systems using wire stud bumps and lead free solder », in *Electronic Components amp; Technology Conference, 2000. 2000 Proceedings. 50th*, 2000, p. 1111-1117.
- [21] S. Zama, D. F. Baldwin, T. Hikami, et H. Murata, « Flip chip interconnect systems using copper wire stud bump and lead free solder », *IEEE Trans. Electron. Packag. Manuf.*, vol. 24, n° 4, p. 261-268, 2001.
- [22] T. Sammon, H. Schofield, A. Arzumanyan, D. Kinzer, et I. Rectifier, *A New Generation of Wafer Level Packaged HEXFET Devices.* .
- [23] K. Hase, G. Lefranc, M. Zellner, et T. Licht, « A solder bumping interconnect technology for high-power devices », in *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, 2004, vol. 6, p. 4183-4187 Vol.6.
- [24] L. Ménager, « Contribution à l'intégration des convertisseurs de puissance en 3D », *Thèse Inst. Natl. Sci. Appliquées Lyon-Lab. Ampère*, 2008.
- [25] R.-W. Johnson, « 3D packaging : A technology review ». Report, Auburn University, June 2005.
- [26] X. Liu, S. Haque, et G.-Q. Lu, « Three-dimensional flip-chip on flex packaging for power electronics applications », *IEEE Trans. Adv. Packag.*, vol. 24, n° 1, p. 1-9, 2001.
- [27] Z. Zhang et C. P. Wong, « Recent advances in flip-chip underfill: materials, process, and reliability », *IEEE Trans. Adv. Packag.*, vol. 27, n° 3, p. 515-524, 2004.
- [28] H. L. Tay et C. Q. Cui, « Underfill material requirements for reliable flip chip assemblies », in *Electronics Packaging Technology Conference, 1998. Proceedings of 2nd*, 1998, p. 345-348.
- [29] D. Suryanarayana, R. Hsiao, T. P. Gall, et J. M. McCreary, « Enhancement of flip-chip fatigue life by encapsulation », *IEEE Trans. Compon. Hybrids Manuf. Technol.*, vol. 14, n° 1, p. 218-223, 1991.
- [30] « SEMIKRON leads in system integration of power electronics », *SEMIKRON AUSTRALIA & NEW ZEALAND*. [En ligne]. Disponible sur: <http://semikron.com.au/2013/10/01/semikron-leads-in-system-integration-of-power-electronics/>.
- [31] Z. Liang, J. D. Van Wyk, F. C. Lee, D. Boroyevich, E. P. Scott, Z. Chen, et Y. Pang, « Integrated packaging of a 1 kW switching module using a novel planar integration technology », *IEEE Trans. Power Electron.*, vol. 19, n° 1, p. 242-250, 2004.
- [32] M. Bouarroudj-Berkani, « Etude de la fatigue thermo-mécanique de modules électroniques de puissance en ambiance de températures élevées pour des applications de traction de véhicules électriques et hybrides », École normale supérieure de Cachan - ENS Cachan, 2008.
- [33] S. S. Wen, Z. Liang, F. C. Lee, et G.-Q. Lu, « Thermal performance of a power electronics module made by thick-film planar interconnection of power devices », in *The Eighth Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems, 2002. IThERM 2002*, 2002, p. 1097-1101.
- [34] B. Ozmat, C. S. Korman, P. McConnelee, M. Kheraluwala, E. Delgado, et R. Fillion, « A new power module packaging technology for enhanced thermal performance », in *The Seventh Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems, 2000. IThERM 2000*, 2000, vol. 2, p. 287-296 vol. 2.

- [35] Y. Su, W. Zhang, Q. Li, F. C. Lee, et M. Mu, « High frequency integrated Point of Load (POL) module with PCB embedded inductor substrate », in *2013 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2013, p. 1243-1250.
- [36] E. Vagnon, « Solutions innovantes pour le packaging de convertisseurs statiques polyphasés », Institut National Polytechnique de Grenoble - INPG, thèse 2010.
- [37] K. Vladimirova, J.-C. Crebier, C. Schaeffer, et D. Constantin, « The vertical voltage termination technique, 2014; Characterizations of single die multiple 600V power devices », in *2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2011, p. 204-207.
- [38] K. Vladimirova, J.-C. Crebier, Y. Avenas, C. Schaeffer, et S. Litaudon, « Innovative heat removal structure for power devices, 2014; The drift region integrated microchannel cooler », in *2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2011, p. 332-335.
- [39] L. Benaïssa, N. Rouger, J. Widiez, J. C. Crebier, J. Dafonseca, D. Lafond, V. Gaude, et K. Vladimirova, « A vertical power device conductive assembly at wafer level using direct bonding technology », in *2012 24th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2012, p. 77-80.
- [40] J. Xu, « Technology for Planar Power Semiconductor Devices Package with Improved Voltage Rating », Virginia Polytechnic Institute and State University, 2008.
- [41] B. Murari, C. Contiero, R. Gariboldi, S. Sueri, et A. Russo, « Smart power technologies evolution », in *Conference Record of the 2000 IEEE Industry Applications Conference, 2000*, 2000, vol. 1, p. P10-P19 vol.1.
- [42] H. Qi, Q. Huang, et W. Gao, « A Low-Cost Very Large Scale Integration Architecture for Multistandard Inverse Transform », *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 57, n° 7, p. 551-555, 2010.
- [43] A. J. Kessler et A. Ganesan, « An introduction to standard-cell VLSI design: Very large scale integration (VLSI) is becoming an important means of producing electronic circuits at low cost, on tight schedules, and with protection for proprietary designs », *IEEE Potentials*, vol. 4, n° 3, p. 33-36, 1985.
- [44] S. Finco, W. Melo, F. Castaldo, J. Pomilio, B. V. Borges, et P. Santos, « A Smart Power Integrated Circuit Educational Tool », *IEEE Trans. Power Electron.*, vol. 22, n° 4, p. 1290-1302, 2007.
- [45] L. Hanyu et M. Longhua, « Construction of integrated smart power system for future ship », in *2010 International Conference on Power System Technology (POWERCON)*, 2010, p. 1-6.
- [46] W. Sun, J. Zhu, L. Zhang, Q. Qian, B. Hou, et S. Lu, « Electrical Characteristic Investigation on a Novel Double-Well Isolation Structure in 600-V-Class High-Voltage Integrated Circuits », *IEEE Trans. Electron Devices*, vol. 59, n° 12, p. 3477-3481, 2012.
- [47] E. Imbernon, « Etude et optimisation d'une filière technologique flexible adaptée au mode d'intégration fonctionnelle », Université Paul Sabatier - Toulouse III, 2002.
- [48] D. Riccardi, A. Causio, I. Filippi, A. Paleari, L. V. A. Pregnolato, P. Galbiati, et C. Contiero, « BCD8 from 7V to 70V: a new Technology Platform to Address the Evolution of Applications towards Smart Power ICs with High Logic Contents », in *19th International Symposium on Power Semiconductor Devices and IC's, 2007. ISPSD '07*, 2007, p. 73-76.
- [49] H. Tahir, « Conception et réalisation de structures IGBTs bidirectionnelles en courant et en tension », Université Paul Sabatier - Toulouse III, thèse 2011.
- [50] A. Bourennane, "Etude et conception de structures bidirectionnelles en courant et en tension commandées par MOS", Université Paul Sabatier - Toulouse III, thèse 2004.

- [51] F. Capy, « Etude et conception d'un interrupteur de puissance monolithique à auto-commutation : le thyristor dual disjoncteur », Université Paul Sabatier - Toulouse III, thèse 2009.
- [52] J.-L. Sanchez, E. Scheid, P. Austin, M. Breil, H. Carriere, P. Dubreuil, E. Imbernon, F. Rossel, et B. Rousset, « Realization of vertical P+ walls through-wafer for bi-directional current and voltage power integrated devices », in *2003 IEEE 15th International Symposium on Power Semiconductor Devices and ICs, 2003. Proceedings. ISPSD '03*, 2003, p. 195-198.
- [53] J.-C. Crébier, « Intégration monolithique et composants de puissance », Institut National Polytechnique de Grenoble - INPG, HDR 2006.
- [54] F. Forest, B. Gélis, J.-J. Huselstein, B. Cougo, E. Labouré, et T. Meynard, « Design of a 28 V-to-300 V/12 kW Multicell Interleaved Flyback Converter Using Intercell Transformers », *IEEE Trans. Power Electron.*, vol. 25, n° 8, p. 1966-1974, 2010.
- [55] D. W. Green et E. M. S. Narayanan, « Fully Isolated High Side and Low Side LIGBTs in Junction Isolation Technology », in *IEEE International Symposium on Power Semiconductor Devices and IC's, ISPSD 2006*, p. 1-4.
- [56] O. Yoshihiko, K. Kenji, et F. Tetsuo, « Semiconductor device and manufacturing method », US 20080135932A1.
- [57] W. Chen, K.-Y. Wong, et K. J. Chen, « Single-Chip Boost Converter Using Monolithically Integrated AlGaIn/GaN Lateral Field-Effect Rectifier and Normally Off HEMT », *IEEE Electron Device Lett.*, vol. 30, n° 5, p. 430-432, 2009.
- [58] W. Chen, K.-Y. Wong, et K. J. Chen, « Monolithic integration of lateral field-effect rectifier with normally-off HEMT for GaN-on-Si switch-mode power supply converters », in *Electron Devices Meeting, 2008. IEDM 2008. IEEE International*, 2008, p. 1-4.
- [59] Y. Uemoto, T. Morita, A. Ikoshi, H. Umeda, H. Matsuo, J. Shimizu, M. Hikita, M. Yanagihara, T. Ueda, T. Tanaka, et D. Ueda, « GaN monolithic inverter IC using normally-off gate injection transistors with planar isolation on Si substrate », in *Electron Devices Meeting (IEDM), 2009 IEEE International*, 2009, p. 1-4.
- [60] P. Gueguen, L. D. Cioccio, P. Gergaud, M. Rivoire, D. Scevola, M. Zussy, A. M. Charvet, L. Bally, D. Lafond, et L. Clavelier, « Copper Direct-Bonding Characterization and Its Interests for 3D Integration », *J. Electrochem. Soc.*, vol. 156, n° 10, p. H772-H776, janv. 2009.
- [61] K. Vladimirova, J.-C. Crebier, Y. Avenas, et C. Schaeffer, « Single Die Multiple 600 V Power Diodes With Deep Trench Terminations and Isolation », *IEEE Trans. Power Electron.*, vol. 26, n° 11, p. 3423-3429, 2011.
- [62] N. Rouger, L. Benaissa, J. Widiez, J. Da Fonseca, D. Lafond, E. Vagnon, V. Gaude, et J.-C. Crébier, « Packaging à l'échelle du wafer pour les semi-conducteurs de puissance dans les convertisseurs multicellulaires », *Eur. J. Electr. Eng.*, vol. 16, n° 3-4, p. 307-322, août 2013.
- [63] A. Bourenane, M. Breil-Dupuy, F. Richardeau, et J.-L. Sanchez, « Cellule monolithique de circuit integre et notamment cellule de commutation monolithique », Brevet: WO2013054033 A118-avr-2013.
- [64] A. El Khadiry, A. Bourenane, M. Breil, et F. Richardeau, « A single-chip integration approach of switching cells suitable for medium power applications », in *Mixed Design of Integrated Circuits and Systems (MIXDES), 2013 Proceedings of the 20th International Conference*, 2013, p. 421-425.

Chapitre 2 : Approches d'intégration monolithiques des convertisseurs statiques sur silicium

2.1	INTRODUCTION	51
2.2	CHOIX DE LA STRUCTURE RC-IGBT POUR LA VALIDATION DES APPROCHES D'INTEGRATION "BI-PUCES" ET "MONO-PUCE"	51
2.2.1	DESCRIPTION DE LA STRUCTURE DU RC-IGBT CONVENTIONNELLE.....	52
2.2.2	CARACTERISTIQUES ELECTRIQUES STATIQUES DU RC-IGBT CONVENTIONNEL	53
2.2.3	ETAT DE L'ART DES STRUCTURES RC-IGBT	55
2.2.4	CONCLUSION SUR LE CHOIX DE LA STRUCTURE RC-IGBT DANS NOTRE ETUDE.....	58
2.3	ETUDE PAR SIMULATIONS 2D D'UNE STRUCTURE RC-IGBT A BANDES P⁺ ET N⁺ ALTERNEES	59
2.3.1	PRESENTATION DE L'OUTIL DE SIMULATION SENTAURUS™ TCAD.....	59
2.3.2	STRUCTURE RC-IGBT SIMULEE	61
2.3.3	RESULTATS DE SIMULATIONS : IMPACT DE LA REPARTITION DES DIFFUSIONS N ⁺ ET P ⁺ EN FACE ARRIERE SUR LA CHUTE DE TENSION EN DIRECT ET EN INVERSE DU COMPOSANT.....	62
2.3.4	DETERMINATION DU RAPPORT DE SURFACE $R=SN^+/(SN^+ + SP^+)$ OPTIMAL POUR NOTRE ETUDE	65
2.3.5	CARACTERISTIQUE I(V) DU RC-IGBT PROPOSE	67
2.4	APPROCHE D'INTEGRATION MONOLITHIQUE "BI-PUCE" (DEUX AIGILLEURS DE COURANT)	70
2.4.1	PREMIERE PUCE MULTI-POLES : AIGILLEUR DE COURANT A ANODE COMMUNE.....	70
2.4.1.1	Description du tri-pôle à anode commune et de son fonctionnement	70
2.4.1.2	Validation du fonctionnement de la puce anode commune par simulation 2D.....	71
2.4.2	DEUXIEME PUCE MULTI-POLES : AIGILLEUR DE COURANT A CATHODE COMMUNE.....	77
2.4.2.1	Description du tri-pôle à cathode commune et de son fonctionnement	77
2.4.2.2	Validation du fonctionnement de la puce cathode commune par simulation 2D.....	78
2.4.3	COMPARAISON DES DEUX AIGILLEURS AVEC LEURS EQUIVALENTS EN DISCRET	80
2.4.4	ASSOCIATION DES DEUX PUCES AIGILLEURS : APPLICATIONS A LA CONVERSION D'ENERGIE	81
2.4.4.1	Application AC/DC : redresseur de tension.....	81
2.4.4.2	Application DC/AC : onduleur de tension	82
2.4.4.3	Interrupteur quatre segments : BiBi (interrupteur bidirectionnel en courant et en tension)	83
2.5	APPROCHE D'INTEGRATION MONOLITHIQUE "MONO-PUCE" (CONVERTISSEUR COMPLET)	86
2.5.1	DESCRIPTION DE L'ARCHITECTURE DE LA PUCE ELEMENTAIRE	87
2.5.2	VALIDATION PAR SIMULATION DU FONCTIONNEMENT DE LA MONO-PUCE	88
2.5.2.1	Conditions de simulation.....	88
2.5.2.2	Fonctionnement en statique de la mono-puce en mode onduleur.....	89
2.5.2.3	Fonctionnement électrique en mode onduleur de la structure sur deux périodes....	90
2.5.2.4	Etude du comportement de la mono-puce en commutation.....	90
2.6	CONCLUSION	93
	BIBLIOGRAPHIE DU CHAPITRE 2	94

2.1 Introduction

Les convertisseurs statiques sont constitués de plusieurs cellules de commutation connectées en parallèle. Chaque cellule est composée de deux transistors de puissance en série généralement de type VDMOS ou IGBT. En antiparallèle avec chacun d'eux, une diode de puissance (Schottky ou PIN) est connectée pour assurer la réversibilité en courant dans le cas d'une application onduleur. Intégrer les convertisseurs statiques sur silicium revient à intégrer les cellules de commutation. Le principe d'une cellule de commutation repose sur la complémentarité du fonctionnement des deux transistors. Cela signifie qu'en fonctionnement, les deux interrupteurs en série qui forment chaque cellule de commutation se retrouvent toujours dans deux états statiques différents : quand un des deux interrupteurs (*high-side* par exemple) est à l'état passant l'autre interrupteur (*low-side*) est à l'état bloqué. A l'heure actuelle, et dans la majorité des cas, les convertisseurs statiques dans les modules de puissance sont composés - comme cela a été présenté dans le premier chapitre - de composants discrets (VDMOS, IGBT, et diodes) à conduction verticale pour les applications de moyenne puissance. Toutefois, le développement du composant RC-IGBT [1][2][3][4][5] (*Reverse Conducting IGBT*) formé par un IGBT et une diode intégrée en antiparallèle dans la totalité de la structure silicium de l'IGBT classique a fait de lui un véritable composant intégré.

Les deux approches d'intégration monolithique qui seront présentées dans ce chapitre sont basées sur l'intégration de plusieurs structures RC-IGBT dans la même puce silicium. Pour cette raison, nous présentons d'abord les principales avancées réalisées dans le domaine de la conception et réalisation des RC-IGBT. Cela nous permettra de mettre en évidence les défis à relever pour développer une structure RC-IGBT qui intègre monolithiquement un IGBT et une diode PIN. Nous nous appuyerons sur des résultats de simulations bidimensionnelles afin de montrer l'impact de l'intégration monolithique de la diode sur les caractéristiques I(V) du RC-IGBT. Ensuite, nous justifierons la stratégie d'intégration que nous avons retenue pour la structure RC-IGBT. Nous présenterons par la suite nos deux approches d'intégration monolithique sur silicium des cellules de commutation. A cet effet, nous décrirons l'approche dite "bi-puce" ainsi que l'approche dite "mono-puce".

2.2 Choix de la structure RC-IGBT pour la validation des approches d'intégration "bi-puce" et "mono-puce"

Le choix du composant de base dans nos approches d'intégration est primordial. En effet, ce choix repose sur les critères suivants : 1- le composant doit être réversible en courant, 2- il doit couvrir la gamme de puissance visée (faible et moyenne puissances), 3- Commandé en tension à la fermeture et à l'ouverture. La Figure 2-1 montre la classification des composants de puissance classiques en fonction de la fréquence de découpage et de la puissance mise en jeu. La place qu'occupe l'IGBT (puissance et fréquence d'utilisation) par rapport aux autres composants de puissance a fait de lui le composant de référence dans les fortes et moyennes puissances.

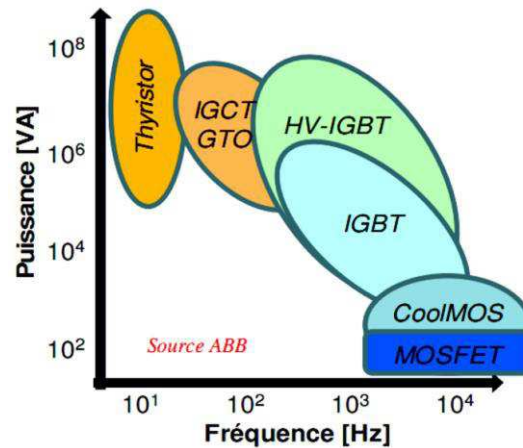


Figure 2-1 : Classification des semi-conducteurs de puissance en fonction de la fréquence de découpage et du produit U.I des composants

Toutefois, la structure IGBT unidirectionnel en courant nécessite l'utilisation d'une diode en antiparallèle pour évacuer l'énergie stockée dans la charge inductive pendant la phase d'ouverture de l'IGBT. Classiquement, la diode en antiparallèle est extérieurement co-packagée avec l'IGBT (deux puces séparées). Cela conduit à l'augmentation des coûts de réalisation et des temps de test. A cela s'ajoute le fait que l'utilisation de fils de câblage dégrade les performances électriques de l'assemblage et augmente le risque de défaillance du module de puissance (Chapitre 1). Afin de doter l'IGBT d'une capacité de conduction inverse, un grand intérêt a été porté pendant cette dernière décennie au développement d'un composant qui intègre monolithiquement l'IGBT et la diode en antiparallèle. Les différents travaux ont permis de mettre sur le marché un véritable composant intégré à basse et moyenne fréquence de découpage connu sous le nom du RC-IGBT (*Reverse Conducting IGBT*). Néanmoins, pour certaines applications de faible et de moyenne puissance travaillant à des fréquences de commutation élevées, le RC-IGBT n'est pas encore concurrentiel en commutation dure [4]. Raison pour laquelle à l'origine les premiers RC-IGBT mis sur le marché par la société Infineon (LightMos™) [7] étaient recommandés en commutation douce ZVS et proposés pour l'alimentation de ballast résonnant en remplacement du MOSFET plus coûteux en moyenne tension et dont la grille est plus capacitive à même calibre en courant. En forte puissance (>100kW), la basse fréquence de découpage rend le RC-IGBT plus compétitif et un regain d'intérêt est apparu récemment sur ce composant faisant l'objet de recherches par Infineon, Siemens et ABB, visant une optimisation à la fois sur la structure physique et sur le mode de pilotage par le driver dans les phases de commutation [8].

2.2.1 Description de la structure du RC-IGBT conventionnelle

La Figure 2-2 montre une vue en coupe de trois structures sur silicium. L'IGBT (Figure 2-2a), le VDMOS (Figure 2-2b) et le RC-IGBT (Figure 2-2c). La face avant des trois structures est composée de la région de grille en poly-silicium pour former le canal, et de l'électrode de cathode. Par convention, cette électrode est appelée "émetteur" dans le cas d'un IGBT et "source" dans le cas du VDMOS.

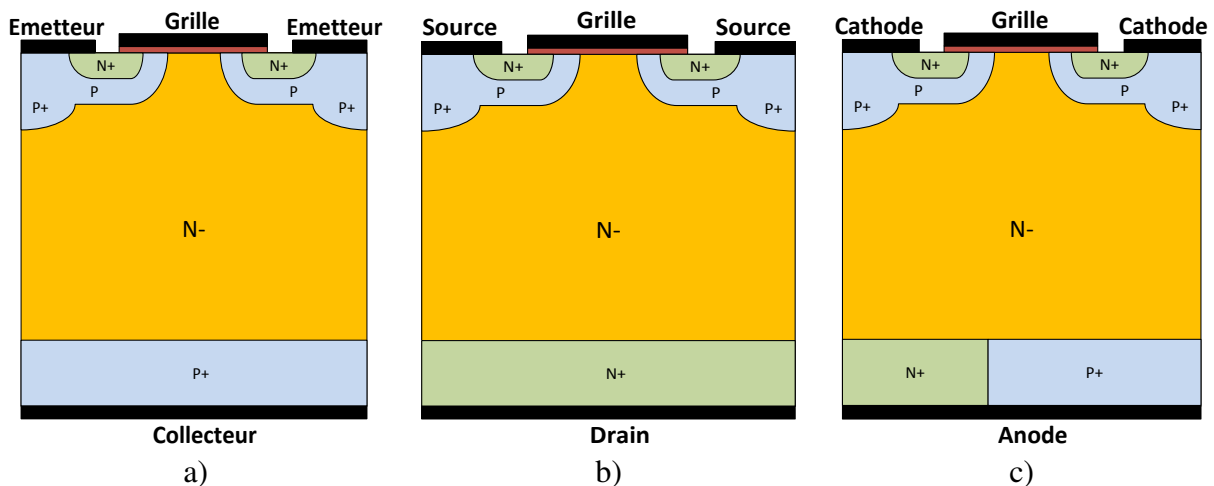


Figure 2-2 : Vue schématique en coupe de composants, a) IGBT, b) VDMOS, c) RC-IGBT

La région de la face avant est donc commune pour ces trois composants. Concernant la face arrière, on remarque la présence d'une seule diffusion de type P⁺ sur la face arrière de la puce dans le cas de l'IGBT (collecteur) et de type N⁺ dans le cas du VDMOS (drain). En revanche, la face arrière du composant RC-IGBT est formée de deux diffusions P⁺ et N⁺. La diffusion N⁺ en face arrière permet de réaliser une diode de corps au sein de l'IGBT, ce qui permet de doter le composant d'une capacité de conduction inverse. Le RC-IGBT repose donc sur une intégration monolithique de l'IGBT et de la diode dans une seule puce de silicium permettant de réduire le nombre de puces, une diminution significative des fils de câblage et *in fine* des modules plus compacts pour les convertisseurs de puissance. Inversement, à boîtier imposé, une capacité en courant supérieur est obtenue en direct comme en inverse. Ce composant doit fonctionner en mode IGBT en direct et en mode diode PIN en inverse. La présence des deux diffusions P⁺ et N⁺ sur la face arrière de la puce RC-IGBT a un impact sur la caractéristique à l'état passant direct et inverse de ce composant.

2.2.2 Caractéristiques électriques statiques du RC-IGBT conventionnel

- **Etat passant direct :**

La caractéristique du RC-IGBT conventionnel en direct présente un courant de retournement (*snappack*) [9][10] indésirable (Figure 2-3). En effet, ce *snappack* devient de plus en plus visible en basses températures (Figure 2-4), cela complique la mise en parallèle des puces et peut empêcher l'allumage de toutes les cellules IGBT [9].

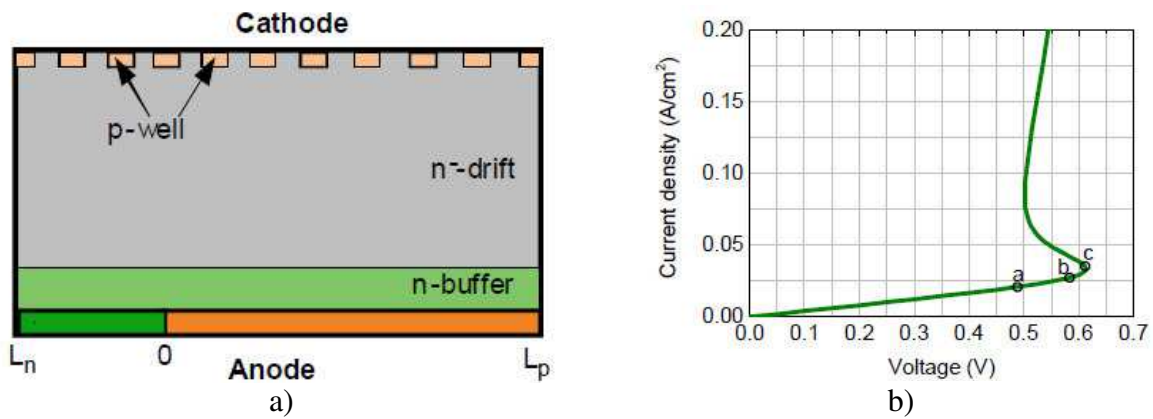


Figure 2-3 : Caractéristique I(V) direct du RC-IGBT (mise en évidence du phénomène du *snapback* en direct) [9]

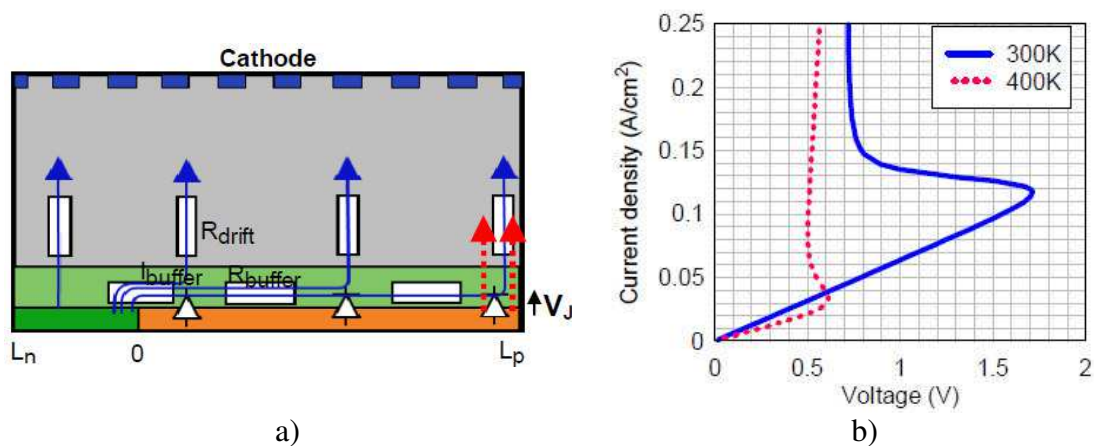


Figure 2-4 : Influence de la température sur le *snapback* [9]

Ce phénomène du *snapback* (caractéristique du RC-IGBT) est dû au passage d'un mode de fonctionnement VDMOS pour les faibles courants à un mode IGBT pour des niveaux de courant élevés. En effet, la circulation d'un courant latéral d'électrons (I_{buffer}) pour les faibles courants (régime VDMOS du RC-IGBT) engendre une chute de tension aux bornes de la résistance R_{buffer} (Figure 2-1a). Le déclenchement de la jonction P⁺/N⁻ sur la face arrière est donc lié à la valeur de cette résistance. A un niveau de courant d'anode suffisamment élevé, la jonction P⁺/N⁻ devient passante et la région P⁺ face arrière commence l'injection de trous dans la région N⁻. L'injection de trous conduit à la modulation de la conductivité de la région N⁻ et permet par conséquent à la structure de présenter une chute de tension proche de celle d'un IGBT classique.

- **Etat passant inverse :**

L'application d'une tension négative entre anode et cathode permet la mise en conduction de la jonction P⁺/N⁻ face avant et un courant circule à travers la région de *drift* N⁻ vers la diffusion N⁺ sur la face arrière de la puce du RC-IGBT. Ce courant en inverse peut être renforcé par une conduction canal. En effet, l'application d'une tension positive et supérieure à la tension de seuil sur la grille ($V_{grille-cathode}$) permet la conduction du canal en inverse qui s'ajoute à la conduction de la diode PIN. Cette conduction du canal est intéressante pour les faibles courants et pour lesquels la tension aux bornes du canal reste inférieure à la tension de

mise en conduction de la jonction P⁺/N⁻ (de l'ordre de 0,7 V). L'utilisation de la conduction du canal est bien connue dans les MOSFET basse tension et elle constitue un moyen qui permet de réduire les pertes en conduction inverse pour les faibles courants.

Dans le cas d'un RC-IGBT moyenne et haute tension (>400V), la région de drift N⁻ est épaisse et faiblement dopée. De ce fait, une modulation de sa résistivité en inverse par la présence simultanée des trous et des électrons est nécessaire pour réduire les pertes en conduction inverse. L'utilisation de la conduction du canal pour réduire les pertes en conduction inverse n'est pas très efficace car la chute de tension aux bornes du canal reste inférieure à 0,7 V pour des densités de courants très faible. La capacité de conduction par le canal en inverse du RC-IGBT sera montrée par simulations 2D dans le paragraphe 2.3.5 et par des mesures expérimentales dans le chapitre 4 de ce mémoire.

2.2.3 Etat de l'art des structures RC-IGBT

La technique classique pour réaliser une puce RC-IGBT consiste à introduire une région N⁺ sur la face arrière d'un IGBT standard (à côté des diffusions P⁺). Cette région N⁺ est en contact avec la zone de drift N⁻ et est court-circuitée à la région P⁺ par l'électrode d'anode. Toutefois, cette configuration présente des inconvénients. Parmi cela, le phénomène de *snapback* en conduction directe cité dans le paragraphe précédent. Un grand nombre de structures ont été publiées dans la littérature durant cette dernière décennie afin d'améliorer le compromis des performances de l'IGBT (état passant direct) et de la diode (état passant inverse). L'objectif poursuivi est de proposer une structure RC-IGBT qui ne présente pas de courant de retournement (*snapback*) et avoir une caractéristique I(V) proche de celle d'un IGBT classique et qui ne dégrade pas la chute de tension à l'état passant inverse de la diode PIN. Pour cela, plusieurs structures ont été proposées dans la littérature. Différentes technologies sont utilisées pour leurs réalisations. Nous donnons ci-dessous une brève description de quelques structures proposées dans la littérature et pour simplifier la description, nous les avons regroupées en cinq catégories:

- La première catégorie emploie la technologie "*Trench gate*" et des *wafer* minces "*Thin process*" pour augmenter le calibre en courant de la région MOS et réduire la chute de tension en direct. Ceci a pour effet d'augmenter la densité du courant admissible dans ce type de composants par rapport à un RC-IGBT conventionnel de même surface (et à technologie planaire). Ce concept est adopté par Mitsubishi [5] utilisant la technologie commercialisée "LPT-CSTBT" (*Light punch Through type Carrier Stored Trench gate Bipolar*) (Figure 2-5a). Le composant développé par Infineon exploite le même principe (Figure 2-5b) mais en utilisant sa propre technologie [11], le composant ainsi développé est appelé RCD-IGBT (*Reverse Conducting for Drives IGBT*). Ce composant permet de réduire la chute de tension directe pour une densité de courant donnée.

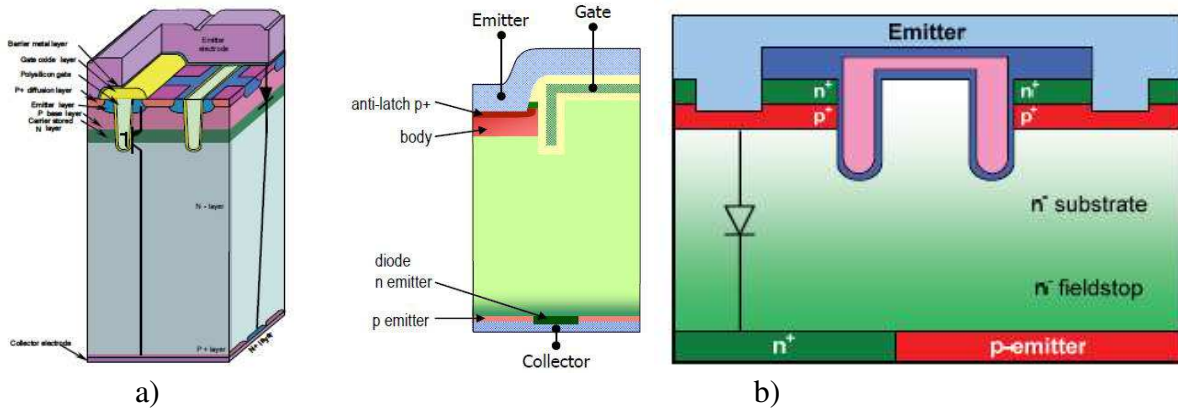


Figure 2-5 : a) structure du LPT-CSTBT de Mitsubishi (1200V) [5], b) structure du RCD-IGBT de Infineon (1200V) [1][11]

- La deuxième catégorie de structures reportées dans la littérature vise l'augmentation de la résistance du court-circuit R_{CS} . Cette augmentation de R_{CS} est réalisée par l'implantation d'une région flottante dopée P entre les deux diffusions N^+ et P^+ sur la face arrière (Figure 2-6a) [12]. La région P joue le rôle d'une barrière résistive élevée et le passage d'un mode de fonctionnement de type VDMOS à un fonctionnement de type IGBT s'effectue à une tension proche de 0,7 V. La Figure 2-6b montre une variante utilisant une région P flottante et une tranchée remplie de diélectrique (SiO_2) pour augmenter davantage cette résistance. Ce type de composant est appelé FP-RC-IGBT (*Floating P region RC-IGBT*) dans la structure sans tranchée d'oxyde et TFP-RC-IGBT (*Trench Floating P-region RC-IGBT*) [10] dans le cas de la structure utilisant une tranchée d'oxyde. Ce concept est adopté par *Tianjin Zhonghuan Semiconductor* localisée en chine. L'augmentation de R_{CS} permet le déclenchement du mode IGBT de la structure plus rapidement qu'un RC-IGBT conventionnel.

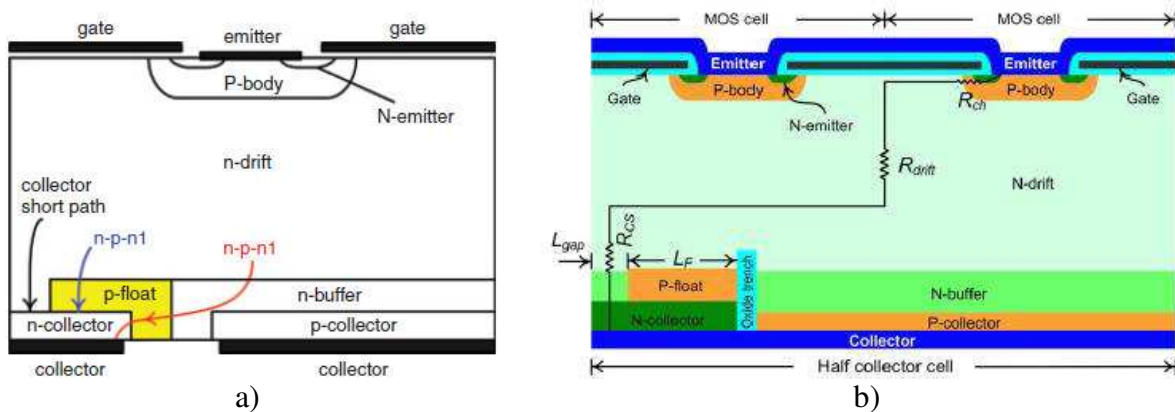


Figure 2-6 : a) vue en coupe 2D de la structure du FP-RC-IGBT [12], b) vue en coupe 2D de la structure du TFP-RC-IGBT [10]

- Une troisième catégorie de composants proposés dans la littérature est particulièrement complexe technologiquement. Ces composants intègrent monolithiquement un IGBT et un thyristor en antiparallèle pour la conduction en inverse. La conduction en direct (mode IGBT) est contrôlée par la grille1 pour la structure nommée RC-TCIGBT (*A Reverse*

Conducting Trench Clustered IGBT) (Figure 2-7a) [2] et la conduction en inverse (mode thyristor) est contrôlée par la grille2, les deux grilles se trouvent sur la face avant de la puce. Dans le cas de la structure de la Figure 2-7b nommée AG-RCIGBT (*Automatically controlled anode Gate RC-IGBT*) [13] la conduction en direct (mode IGBT) est contrôlé par la grille1 (face avant) et la conduction inverse est contrôlée par la grille2 qui se trouve sur la face arrière de la puce.

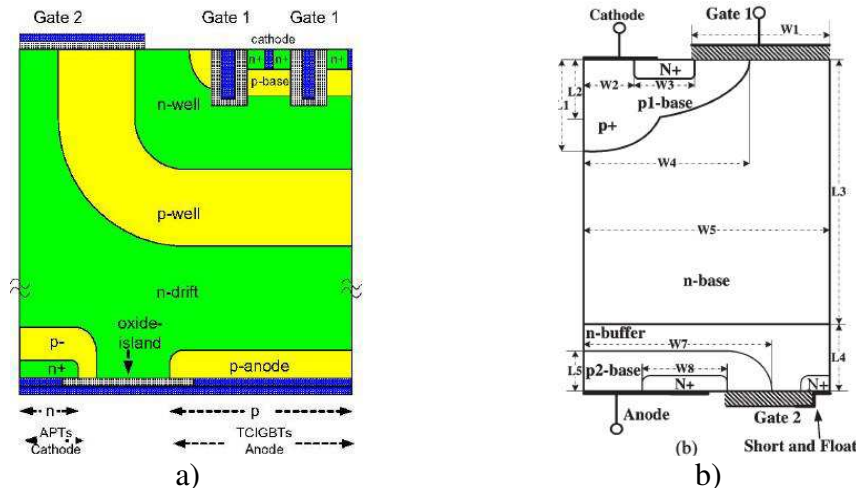


Figure 2-7 : a) structure du RC-TCIGBT [2], b) structure du AG-RCIGBT [13]

- Une quatrième catégorie de structures RC-IGBT à super jonction (SJ-RC-IGBT) (Figure 2-8a) [14] ou à Semi-super jonction (Figure 2-8b) [15] est aussi proposée dans la littérature. L'utilisation d'une super-jonction (ou semi-super jonction) permet de réduire la chute de tension du RC-IGBT en conduction (direct et inverse). Néanmoins, cette solution est aussi complexe sur le plan technologique.

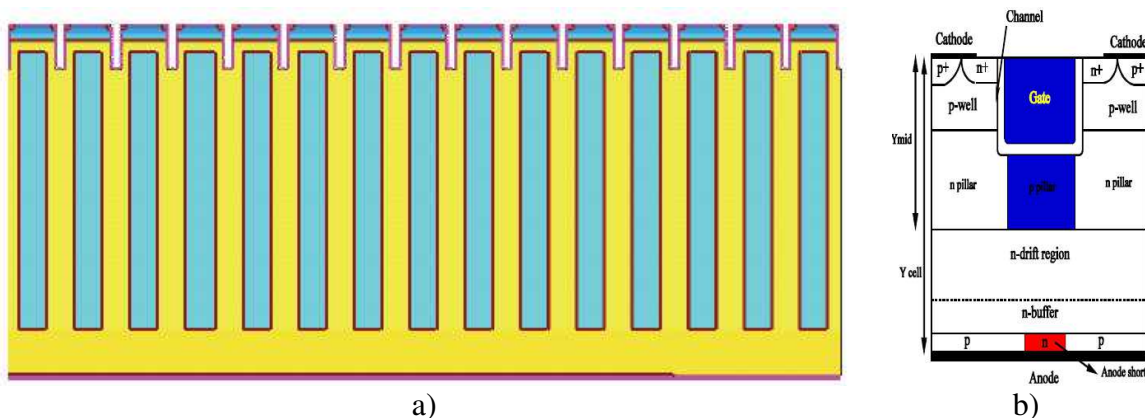


Figure 2-8 : a) structure du SJ-RC-IGBT [14]
b) structure de la *Trench Field Stop RC-IGBT* de [15]

- La cinquième catégorie des RC-IGBT proposés est plus simple à réaliser technologiquement. Dans cette catégorie, l'intégration monolithique d'un IGBT et d'une diode PIN en antiparallèle utilise une technologie planaire. On peut notamment distinguer deux types de structures basées sur ce concept. Le premier type de structure est proposé

par ABB, il est connu sous le nom du "BiGT" (*Bi-mode Insulated Gate Transistor*)[8][16]. Le BiGT (Figure 2-9a) intègre monolithiquement une large section IGBT dite "pilote" et une section RC-IGBT conçu en alternant des bandes P⁺ et N⁺ sur la face arrière [17]. La section IGBT pilote est conçu de sorte à permettre la mise en conduction de la jonction P⁺/N⁻ à un niveau de courant d'anode très faible, ce qui permet par conséquent d'avoir une caractéristique à l'état passant direct semblable à celle d'un IGBT classique caractérisée par l'absence du phénomène de *snapback* [4]. Le deuxième type de structure est basé sur un agencement simple des deux diffusions P⁺ et N⁺ face arrière (sans alternance). Deux exemples de structures utilisent ce concept, le DMOS-IGBT/PIN[18] (Figure 2-9b) et le deuxième est nommé HUBFET [19] (*Hybrid Unipolar Bipolar Field Effect Transistor*). Le principe de ces deux structures est le même, l'IGBT et la diode PIN occupent deux régions de part et d'autre de la puce RC-IGBT. L'utilisation d'une diffusion très large permet en effet de supprimer le phénomène de *snapback* [17]. Ce type de structure est le plus simple à réaliser.

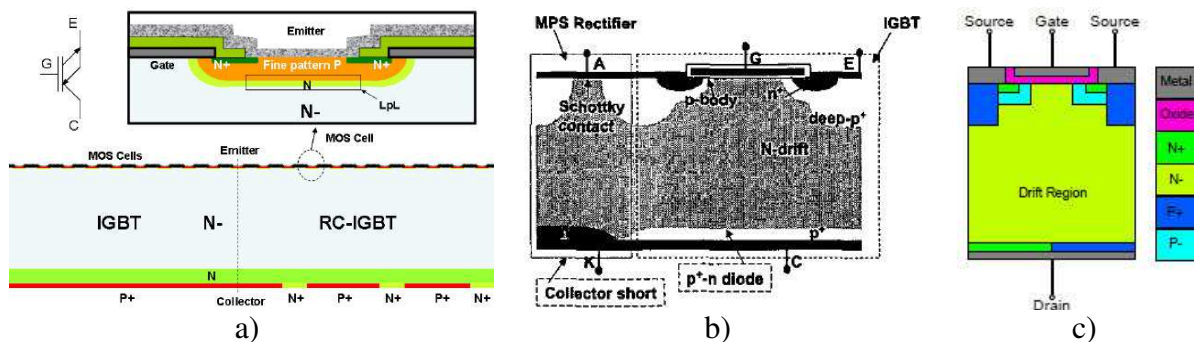


Figure 2-9 : a) structure du BiGT (ABB) [8], b) structure du DMOS-IGBT/PIN (Mitsubishi) [5], c) HEBFET [19]

2.2.4 Conclusion sur le choix de la structure RC-IGBT dans notre étude

Nous avons vu à travers l'état de l'art des structures RC-IGBT de la littérature que ce composant bidirectionnel en courant occupe une place importante pour les industriels et chercheurs. Dans notre étude qui vise essentiellement la validation des approches d'intégration monolithique "bi-puces" et "mono-puce" de cellules de commutation, nous nous basons sur la dernière catégorie de variante de RC-IGBT utilisant la technologie planaire. Ce choix se justifie par deux critères :

- Le critère technologique : la technologie planaire est la plus simple, de plus, cette technologie est compatible avec la filière "flexible" de la plateforme de micro et nanotechnologie du LAAS.
- Le critère électrique : avec ce type de structure, on peut aussi éliminer le phénomène du *snapback* du RC-IGBT conventionnel et obtenir des performances électriques correctes. Toutefois, la surface de silicium nécessaire est égale à la surface de la diode plus la surface de l'IGBT.

Sur le plan thermique, l'utilisation d'une structure RC-IGBT en alternant les diffusions P⁺ et N⁺ est préférable. En effet, cela permet d'avoir une bonne répartition des lignes de courant dans le volume de la puce (en mode IGBT et diode PIN) et d'avoir une répartition homogène des flux de chaleur dans la puce, et par conséquent, un refroidissement optimal par le substrat de report. Le paragraphe suivant est dédié à l'étude par simulation 2D de l'impact de la répartition géométrique des diffusions P⁺ et N⁺ alternées en face arrière sur la caractéristique I(V) statique du RC-IGBT.

2.3 Etude par simulations 2D d'une structure RC-IGBT à bandes P⁺ et N⁺ alternées

2.3.1 Présentation de l'outil de simulation Sentaurus™ TCAD

L'étude de la structure du RC-IGBT élémentaire ainsi que les différentes architectures qui seront présentées dans ce chapitre ont été faites avec l'outil de simulation par éléments finis 2D Sentaurus™ TCAD. Le logiciel est un simulateur de modélisation de composants capable de prédire les caractéristiques électriques de la plupart des composants à semi-conducteurs. En plus du comportant électrique "externe", il fournit des informations sur la distribution interne de variables telles que les concentrations de porteurs, de lignes de courant, le champ électrique et le potentiel, etc, autant de données importantes pour la conception et l'optimisation des procédés technologiques. Ceci est réalisé en résolvant numériquement l'équation de Poisson et les équations de continuité des électrons et des trous en chaque point du maillage. Parmi les modèles physiques utilisés pour nos composants de puissance : recombinaison-génération de type SRH, recombinaison Auger, génération par avalanche. La mobilité dépend du dopage, des concentrations de porteurs, du champ électrique.

La démarche de simulation de chaque module de cet outil de simulation est indiquée dans la Figure 2-10.

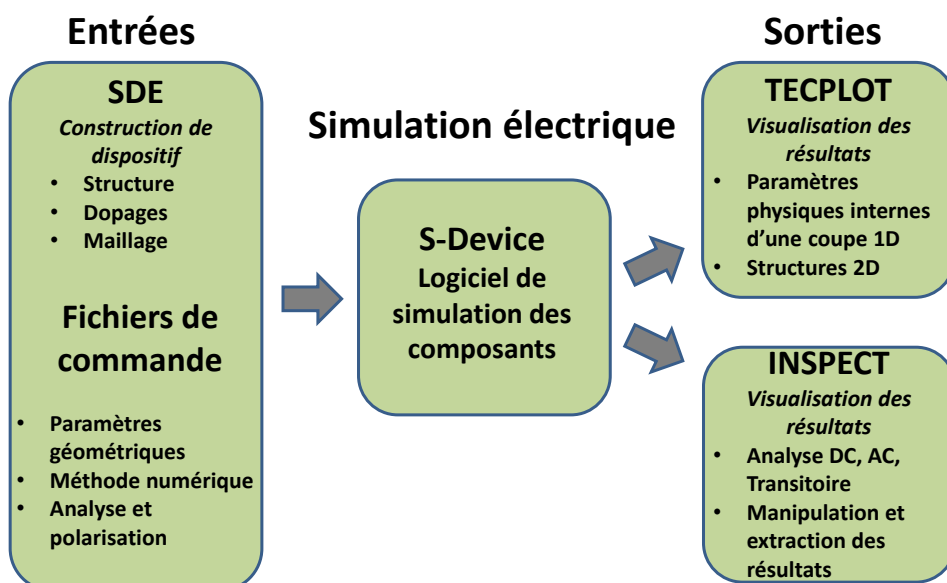


Figure 2-10 : Structure de la simulation électrique avec le logiciel Sentaurus™

Dans ces modules :

- SDE : (*Structure Device Editor*) permet de construire graphiquement la structure que l'on souhaite étudier à partir de l'interface graphique SSE ou bien par un fichier de commande « sde_dvs.cmd ».
- S-Device : Ce module permet d'effectuer les simulations physiques : Dans le fichier de commande « sdevice_des.cmd », on recherche la structure déjà construite dans SDE, ainsi que les paramètres physiques correspondants, et le type d'analyse et de polarisation choisie, pour effectuer la simulation physique. C'est dans ce fichier que l'on déclare les modèles physiques pris en compte, et les modèles de résolution numérique. Les paramètres physiques doivent être définis dans le fichier de paramètres « sdevice_des.par ».

Parmi les fonctions assurées par SentaurosTM, il existe la possibilité d'analyser les composants, une fois définis, dans une simulation en mode circuit à travers le module *Mixed-Mode* intégré dans S-Device. Ceci permet de coupler les composants issus de la simulation physique à des éléments de circuit, tels que des résistances, des générateurs, etc. Les résultats de simulation peuvent être visualisés suivant le type d'analyse, soit dans Tecplot soit dans Inspect qui fournissent également une possibilité de manipulation et d'extraction de données.

La simulation physique d'un composant semi-conducteur commence toujours par une description et une construction 2D ou 3D de la structure du composant sous test. En 2D, la troisième dimension sera prise comme un coefficient de surface par lequel seront multipliés les paramètres dépendants. La structure 3D sera ensuite décomposée en de petits volumes, sous forme de nœuds d'un maillage, reliés entre eux par les lignes du maillage. Les grandeurs physiques définies à chaque nœud (dopages, mobilités ...) vont être reliées entre elles suivant la méthode des différences finies qui discrétise les équations différentielles provenant du modèle de transport utilisé, et permet ensuite de calculer les variables physiques scalaires inconnues (potentiel électrostatique, densités des porteurs ...), à chaque nœud du maillage. Ces variables sont ensuite utilisées pour calculer les paramètres vectoriels inconnus (champ électrique, densités de courant ...), situés entre deux nœuds adjacents du maillage. Une fois les équations différentielles résolues à l'équilibre (solution initiale), nous appliquons les conditions aux limites de la structure telle que la valeur du potentiel appliquée sur le contact métallique confondu avec le premier point du maillage par lequel sera introduit la polarisation ou tout autre générateur extérieur. Ensuite, le simulateur calcule le flux des porteurs libres en chaque point du maillage le long de la structure pour une tension appliquée donnée, afin de calculer le courant total correspondant. Durant la simulation, la dérivation et l'intégration numérique des variables physiques seront exécutées sur la distance entre nœuds du maillage. Pour avoir une bonne précision de calcul, il faut donc choisir un maillage très fin. D'autre part, la méthode de calcul numérique par itération suivant aussi les relations entre les nœuds, un maillage trop fin ralentirait énormément la simulation surtout pour des structures de grandes dimensions. D'où l'importance d'un choix optimal du maillage, pour assurer des résultats à la fois corrects et relativement rapides. L'optimum de maillage consiste à choisir celui-ci en fonction des coordonnées : là où l'on suppose que les inconnues varient très rapidement on choisira un maillage très fin, relâchant ailleurs les dimensions des mailles, et

les gardant relativement serrées au niveau des contacts métalliques, régions du canal des MOS et aux niveaux des jonctions.

Les simulations 2D décrivent correctement le comportement des composants MOS utilisant la technologie cellulaire à bandes parallèles. Les autres technologies utilisant des cellules carrées ou autres (voir Chapitre 4) nécessitent des simulations 3D pour prendre en compte la répartition géométrique 3D des lignes du courant. Les simulations 3D sous l'outil Sentaurus™ sont réservées aux structures de faibles dimensions géométriques, dans le cas de structures de grandes dimensions (notre étude), les simulations 3D sont très complexes et nécessitent un temps de calcul rédhibitoire.

2.3.2 Structure RC-IGBT simulée

L'étude par simulation 2D de l'impact de la répartition géométrique des deux diffusions N⁺ et P⁺ nécessite l'utilisation d'une structure RC-IGBT avec plusieurs cellules MOS de base [17]. En effet, à la différence d'une cellule VDMOS ou IGBT, la présence de deux diffusions (N⁺ et P⁺) sur la face arrière de la structure du RC-IGBT nécessite de prendre en compte la répartition géométrique des deux diffusions sur la face arrière. La Figure 2-11 montre la structure simulée ainsi que les paramètres technologiques utilisés en simulation.

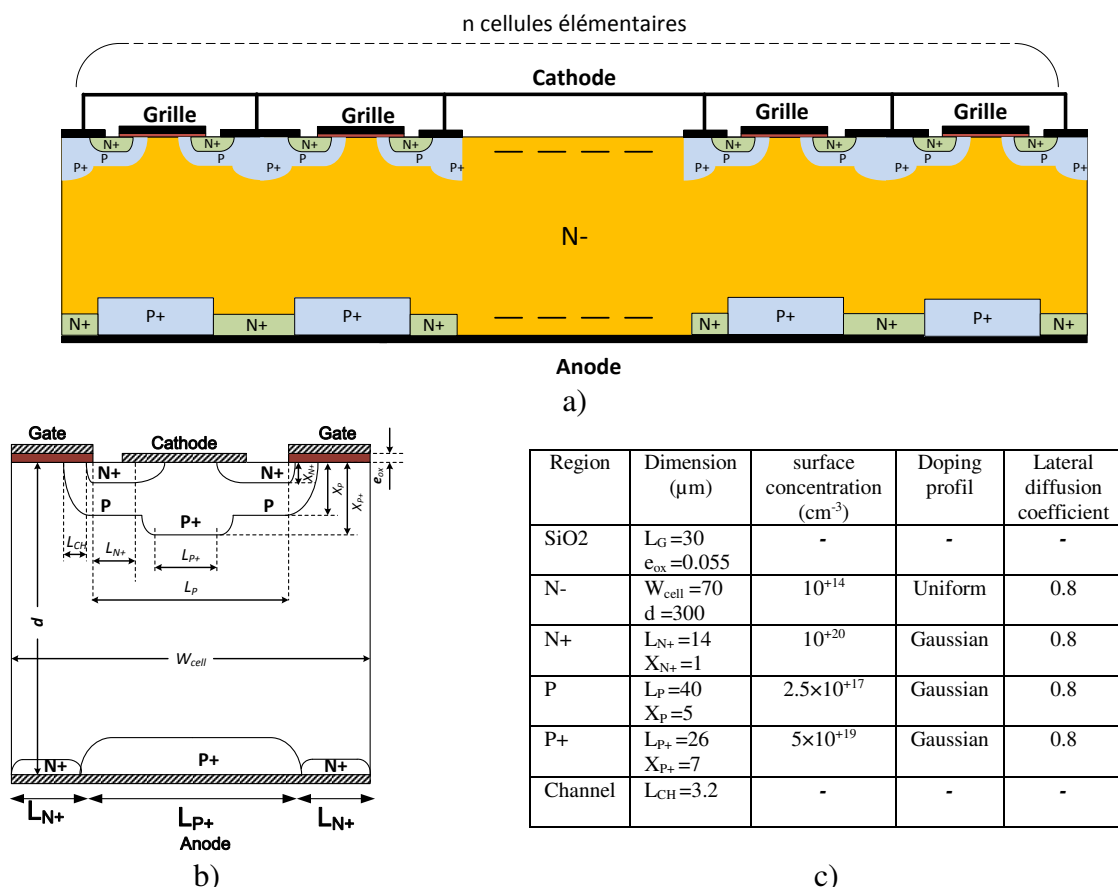


Figure 2-11 : a) structure de la cellule RC-IGBT simulée, b) agrandissement sur une seule cellule de base, c) paramètres technologiques utilisés

La structure est composée de n cellules (n est un paramètre de l'étude par simulation) MOS sur la face avant et de régions N⁺ et P⁺ alternées sur la face arrière. La largeur de la cellule est

de $n \times 70 \mu\text{m}$ ($70 \mu\text{m}$ est la largeur d'une cellule de base de la Figure 2-11a), la longueur du canal est de $3,2 \mu\text{m}$, l'épaisseur de la cellule est de $300 \mu\text{m}$ et le substrat N^- est dopé 10^{14}at/cm^3 . Les paramètres géométriques et physiques détaillés dans la Figure 2-11c sont issus de la filière technologique IGBT de la plateforme de micro et nanotechnologie du LAAS. Les substrats silicium 4 pouces ont une épaisseur de $300 \mu\text{m}$ qui sont plus robustes mécaniquement et plus faciles à manipuler à la main en salle blanche que ceux de l'ordre de $200 \mu\text{m}$. L'utilisation d'une telle épaisseur de substrat (étant élevé) a forcément un impact négatif sur la chute de tension à l'état passant. Néanmoins, l'étude de la répartition géométrique des diffusions N^+ et P^+ en face arrière sur la chute de tension du composant ainsi que la validation de la fonctionnalité recherchée par l'intégration et l'analyse des interactions électriques entre les interrupteurs RC-IGBT intégrés monolithiquement restent valables.

2.3.3 Résultats de simulations : Impact de la répartition des diffusions N^+ et P^+ en face arrière sur la chute de tension en direct et en inverse du composant

Pour la structure RC-IGBT de base ($n=1$) composée par une seule cellule RC-IGBT (Figure 2-11a). La Figure 2-12 montre les résultats de simulation concernant la dépendance de la caractéristique $I(V)$ pour différentes valeurs de la largeur de la région N^+ face arrière (L_{N^+}). $L_{N^+} = 0 \mu\text{m}$ correspond au cas de l'IGBT classique. La largeur de la cellule simulée est maintenue constante et égale à $70 \mu\text{m}$.

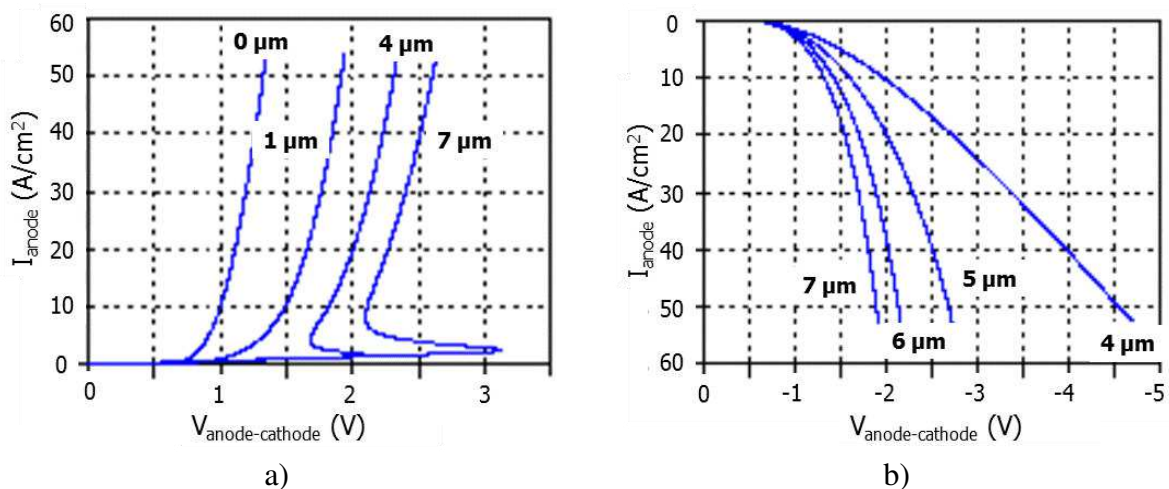


Figure 2-12 : Caractéristiques $I(V_{\text{CE}})$ pour différentes longueurs L_{N^+} face arrière pour une structure RC-IGBT composée par une seule cellule MOS, a) $I(V)$ en direct, b) $I(V)$ en inverse

- En direct : Pour une largeur de cellule fixe, le courant de retournement (*snapback*) augmente avec l'augmentation de la largeur de la zone N^+ (L_{N^+}). Ce point représente le passage du mode DMOS à un fonctionnement IGBT. Au fur et à mesure que l'on augmente la longueur de la diffusion N^+ , le point de mise en conduction de la jonction P^+/N^- côté anode se produit à des niveaux de courant de l'anode plus élevés. Pour ces simulations, ce point de retournement se produit à un niveau de courant $I_{\text{anode}} = 0,8 \text{A}$ pour $L_{N^+} = 4 \mu\text{m}$ et à $I_{\text{anode}} = 1,3 \text{A}$ pour $L_{N^+} = 7 \mu\text{m}$. En régime de fonctionnement établi,

l'augmentation de la distance L_{N^+} réduit l'efficacité d'injection de la jonction P^+/N^- côté anode et par conséquent la zone N^- est moins modulée, ce qui engendre une augmentation de la chute de tension à l'état passant.

- En inverse : L'augmentation de L_{N^+} réduit la chute de tension du RC-IGBT pour une conduction diode PIN. Ce résultat est tout à fait normal du fait que l'on augmente la surface de la diffusion N^+ .

Pour étudier l'influence de la largeur L_{P^+} sur la tension de retournement, nous avons simulé une large structure RC-IGBT composée de 28 cellules MOS. Afin de pouvoir comparer les résultats, le rapport de surface $r=SN^+/(SN^++SP^+)$ est fixé à 50%. Pour des structures à bandes parallèles (notre cas d'étude), ce rapport de surface correspond à un rapport de longueur aussi $r= (2L_{N^+})/((2L_{N^+})+L_{P^+})$. Le Tableau 2-1 regroupe les résultats de simulation de la tension de retournement pour différentes valeurs de L_{N^+} .

A partir de ces résultats, on remarque que la tension de retournement diminue avec l'augmentation de la longueur L_{P^+} (et par conséquent, celle du L_{N^+}).

L_{P^+} (μm)	L_{N^+} (μm)	Tension de retournement (V)
34	17	5,15
69	34	3,5
102	51	2,56
137	69	2,09
241	121	1,4
483	241	0,85

Tableau 2-1 : Tension de retournement en fonction de L_{N^+} , le rapport $r= (2L_{N^+})/((2L_{N^+})+L_{P^+})= 50\%$.

La visualisation de la répartition des porteurs à l'intérieur des différentes structures RC-IGBT telles qu'elles sont données sur la Figure 2-13 montre que l'augmentation de la longueur L_{P^+} et par conséquent de L_{N^+} , de sorte à maintenir le rapport de surfaces constant et égal à 50 %, conduit à la focalisation de l'injection de trous sur des zones limitées (Figure 2-13). Ceci conduit à la réduction de la largeur de la zone modulée dans la région N^- . Cette situation s'accroît avec l'augmentation de la distance qui sépare les diffusions P^+ face arrière.

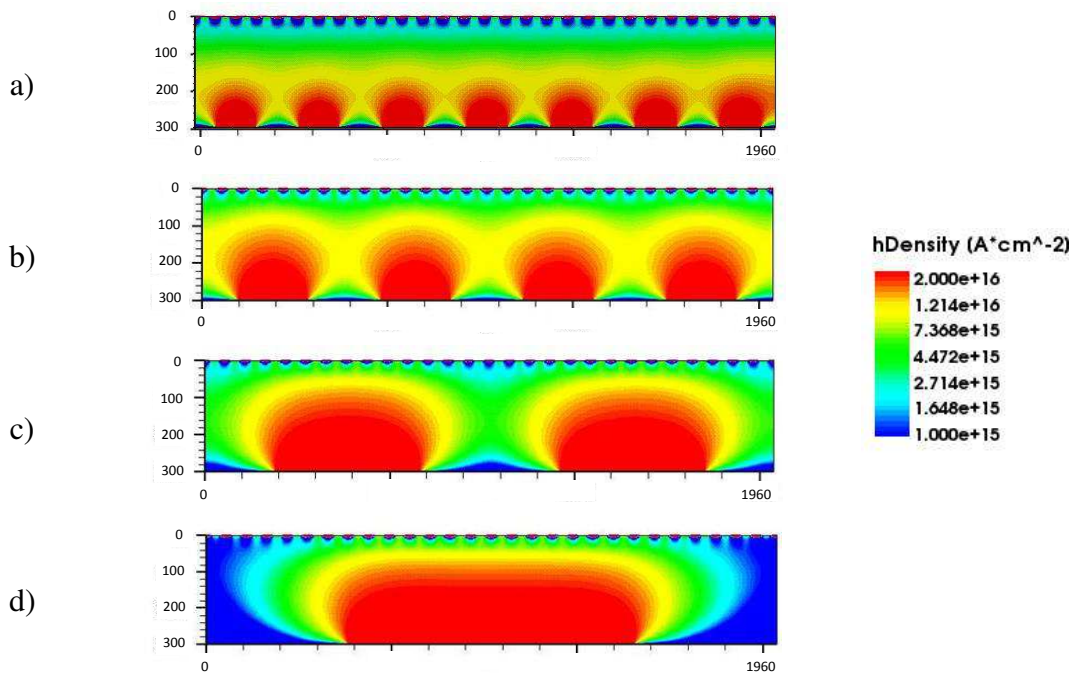


Figure 2-13 : Répartition des porteurs (les trous) dans la structure le rapport $r = (2L_{N^+}) / ((2L_{N^+}) + L_{P^+}) = 50\%$, ($I_{anode} = 100A$, $S = 1,4cm^2$)
 a) $L_{N^+} = 69\mu m$, b) $L_{N^+} = 121\mu m$, c) $L_{N^+} = 241\mu m$, d) $L_{N^+} = 483\mu m$

A des niveaux de courants élevés l'augmentation de la distance L_{N^+} entre les diffusion P^+ conduit à l'augmentation de la chute de tension à l'état passant. En effet, d'après la Figure 2-14, la caractéristique $I(V)$ correspondant à $L_{N^+} = 483\mu m$ présente la tension de retournement (tension correspondant au passage d'un mode DMOS à un mode IGBT) la plus faible. Toutefois, on peut remarquer sur la même figure que, au fur et à mesure que le courant qui traverse la structure augmente, la chute de tension à l'état passant augmente et devient supérieure aux chutes de tension que présentent respectivement les structures ayant $L_{N^+} = 241\mu m$ et $121\mu m$. Ce comportement se traduit par le fait que la caractéristique $I(V)$ pour le cas $L_{N^+} = 483\mu m$ croise les caractéristiques $I(V)$ pour $L_{N^+} = 241\mu m$ et $L_{N^+} = 121\mu m$. A titre d'exemple, le croisement de la caractéristique $I(V)$ de la structure ayant un $L_{N^+} = 483\mu m$ s'effectue à un courant de l'ordre de $75A$ avec la structure ayant un $L_{N^+} = 241\mu m$ alors qu'il ne se produit qu'à $200A$ avec la structure ayant $L_{N^+} = 121\mu m$.

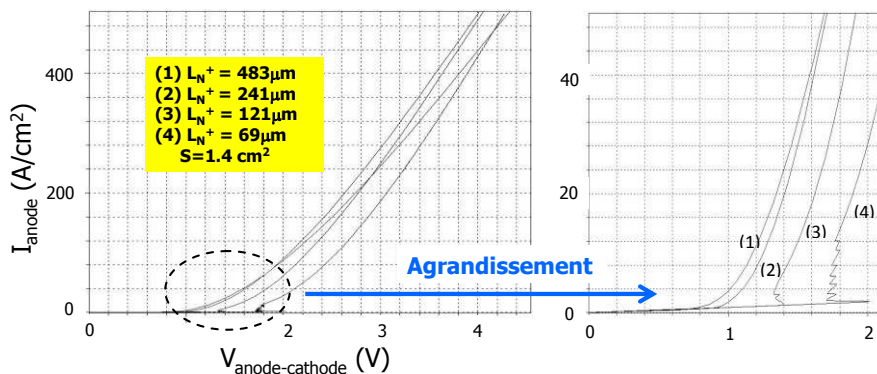


Figure 2-14 : Caractéristiques $I(V_{AK})$ en direct pour différentes longueurs L_{N^+}

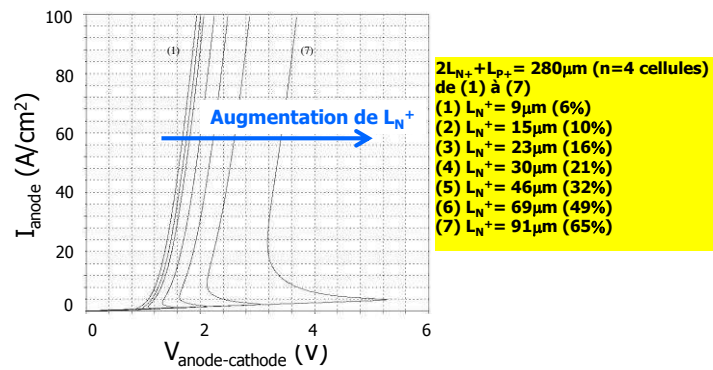


Figure 2-15 : Evolution des caractéristiques $I(V_{AK})$ en fonction de la longueur L_{N^+} (le rapport de surface $r=(2L_{N^+})/((2L_{N^+})+L_{P^+})$ est variable)

La surface occupée par la diode dépend de l'application visée. En effet, le temps de conduction de la diode varie en fonction de chaque application de conversion d'énergie. Pour des applications nécessitant un temps de conduction court de la diode, la surface de la diode peut être réduite. La Figure 2-15 montre l'évolution de la chute de tension en direct en fonction de la surface N^+ face arrière pour une structure RC-IGBT de $280\mu\text{m}$ de largeur (nombre de cellules $n=4$). On constate que la chute de tension en direct du RC-IGBT diminue avec la diminution de la surface N^+ face arrière occupée par la diode PIN. Toutefois, l'amélioration de V_{ON} due à la diminution de L_{N^+} devient insignifiante en dessous d'un certain pourcentage (pour le cas de cette structure, ce pourcentage est autour de 15%).

2.3.4 Détermination du rapport de surface $r=SN^+/(SN^++SP^+)$ optimal pour notre étude

Comme décrit précédemment, les performances du RC-IGBT à l'état passant direct (mode IGBT) et inverse (mode diode PIN) dépendent essentiellement du rapport de surfaces entre les diffusions N^+ et P^+ et de leurs distributions sur la face arrière. Les architectures silicium qui intègrent plusieurs cellules de commutation à RC-IGBT qui font l'objectif de ce travail de thèse et qui seront détaillées dans le paragraphe suivant, sont destinées simultanément à des applications de type AC/DC et DC/AC. Pour cette raison, nous avons cherché par simulations 2D à déterminer le rapport $r=SN^+/(SN^++SP^+)$ optimal pour différentes applications. En effet, le choix du rapport 'r' dépend du taux de charge (rapport cyclique) de conduction de l'IGBT (en direct) et de la diode PIN (en inverse) et par conséquent de l'application visée. Pour choisir un rapport optimal 'r', nous avons cherché à minimiser essentiellement les pertes en conduction dans le RC-IGBT.

Pour ce faire, sur une structure RC-IGBT composée de 17 cellules MOS élémentaires, nous faisons varier le rapport "r" entre 0,1 et 0,5. Le Tableau 2-2 montre les valeurs obtenues par extrapolation des caractéristiques $I(V)$ en mode direct (IGBT) et inverse (diode PIN). La surface de la puce est de 1cm^2 .

$r = S_N^+ / (S_N^+ + S_P^+)$	En direct (mode IGBT)		En inverse (mode diode PIN)	
	V_{ce0} (V)	R_{ce} (m Ω)	V_{d0} (V)	R_d (m Ω)
0,1	1,25	6,23	1,22	5,81
0,2	1,28	6,31	1,12	4,414
0,3	1,31	6,7	1,08	3,91
0,4	1,34	7,35	1,06	3,7
0,5	1,41	7,9	1,04	3,41

Tableau 2-2 : Caractéristiques électriques du RC-IGBT (simulations)

Le but recherché est de limiter les pertes à 200W/cm² en régime statique pour une densité maximale du courant dans la puce de 100A/cm².

- Pour le mode redresseur de tension AC/DC, les deux équations des pertes en conduction s'écrivent :

- Mode 1: conduction IGBT (en direct) :

$$P_{(pertes)} = V_{AKsat} \cdot I_{charge} \quad \text{Équation 2-1 (Annexe 1)}$$

- Mode 2: conduction diode (en inverse) :

$$P_{(pertes)} = V_d \cdot I_{charge} \quad \text{Équation 2-2 (Annexe 1)}$$

Pour une densité de pertes admissibles dans le composant de 200W/cm², nous traçons les caractéristique I(V) avec celles des pertes sur le même graphe (Figure 2-16). Les points d'intersections représentent la limite du courant pour une puissance donnée.

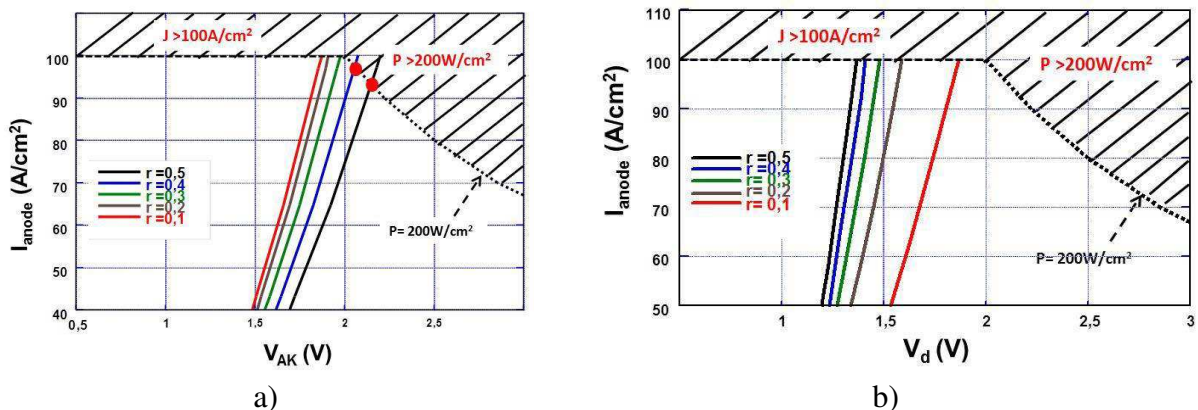


Figure 2-16 : Agrandissement sur la zone d'intersection de l'équation de pertes=200W/cm² avec la caractéristique I(V) du RC-IGBT, a) en direct, b) en inverse

En direct (conduction IGBT), une valeur de $r \leq 0,3$ est privilégiée pour limiter la puissance dissipée. En inverse (conduction diode), la puissance dissipée diminue avec l'augmentation de "r".

- Pour le mode onduleur de tension DC/AC, l'équation des pertes en conduction s'écrit:

$$P_{(pertes)} = [V_{CE0} (1 + \cos\varphi) + V_{d0}(1 - \cos\varphi)] I_g / 2\pi + [R_{CE0}(\pi - \varphi + 1/2 \sin 2\varphi) + R_{d0}(\varphi - 1/2 \sin 2\varphi)] \times I_g^2 / 4\pi$$

Équation 2-3
(Annexe 1)

φ : déphasage de conduction entre les deux modes de conduction

Les solutions positives de cette équation donnent le réseau de courbes de la figure ci-dessous pour différentes valeurs de déphasage Ψ .

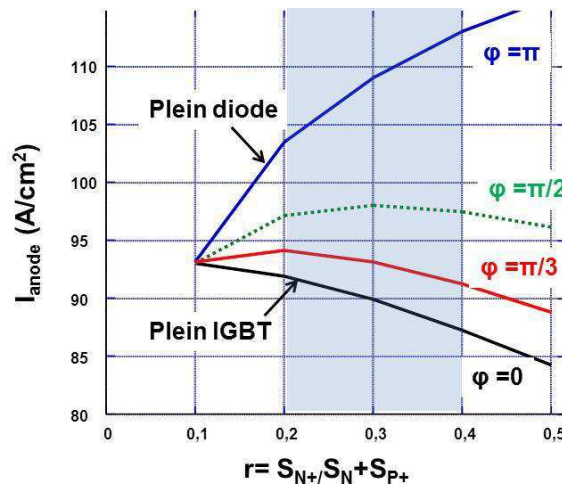


Figure 2-17 : Courant admissible pour $200W/cm^2$ de la puissance dissipée dans la puce

Dans le cas de l'onduleur de tension, la valeur de 'r' optimal dépend du déphasage φ . Pour un déphasage $\varphi = \pi/2$, la valeur de r permettant d'avoir la plus grande densité de courant est obtenue pour $r=0,3$ (ceci est valable quelle que soit la valeur des pertes que l'on peut autoriser).

Selon ces résultats, un rapport de surface $r = S_{N+}/(S_{N+} + S_{P+}) = 0,3$ permet d'avoir un bon compromis entre les deux applications visées d'un point de vue des pertes thermiques. Dans la suite de ce travail, nous fixons ce rapport de surface à 0,3 pour le dimensionnement du RC-IGBT. Notons que l'optimisation de la valeur du rapport 'r' vise essentiellement la réduction du coût en silicium du dispositif RC-IGBT. En effet, si on s'intéresse à l'optimisation des pertes en conduction du RC-IGBT et non pas au coût de silicium, la diode PIN peut être intégrée en la plaçant à côté de l'IGBT (intégration monolithique) [19]. Ce qui conduit à séparer les deux modes (direct et inverse) dans la puce RC-IGBT conçue, et optimiser chacun des deux composants intégrés sur silicium.

2.3.5 Caractéristique I(V) du RC-IGBT proposé

Dans notre démarche d'intégration de cellules de commutation à RC-IGBT et selon les résultats de simulations précédents, une structure d'un RC-IGBT avec un rapport de surface $r = S_{N+}/(S_{N+} + S_{P+}) = 0,3$ semble être la structure optimale qui répond bien à notre cahier des charges sur le plan électrique et thermique. Nous avons choisi de placer côte à côte deux régions larges N^+ et P^+ sur la face arrière de la puce. En effet, nous n'avons pas utilisé de

bandes alternées P⁺/N⁺. En effet, l'objectif principal visé à travers le travail présenté dans ce mémoire de thèse est de valider des approches basées sur l'intégration de plusieurs interrupteurs à RC-IGBT sur la même puce de silicium. Nous nous sommes focalisés dans notre travail de conception sur la réduction des interactions électriques dans le volume du substrat silicium entre les différents interrupteurs RC-IGBT intégrés monolithiquement. Les interactions électriques entre les différents RC-IGBT sont quasiment indépendantes de la structure RC-IGBT élémentaire choisie. Le travail d'optimisation des dispositifs issus de cette intégration ainsi que de leurs adaptations pour des applications spécifiques de conversion d'énergie constituera une perspective du travail présenté dans ce mémoire. Nous avons de ce fait opté pour la simplicité de réalisation technologique compte tenu du fait que nous utilisons la filière IGBT de la plateforme de micro et nanotechnologie du LAAS qui nous impose les étapes technologiques utilisables. La Figure 2-18 présente une vue en coupe simplifiée de la structure choisie ainsi que le maillage utilisé en simulation 2D.

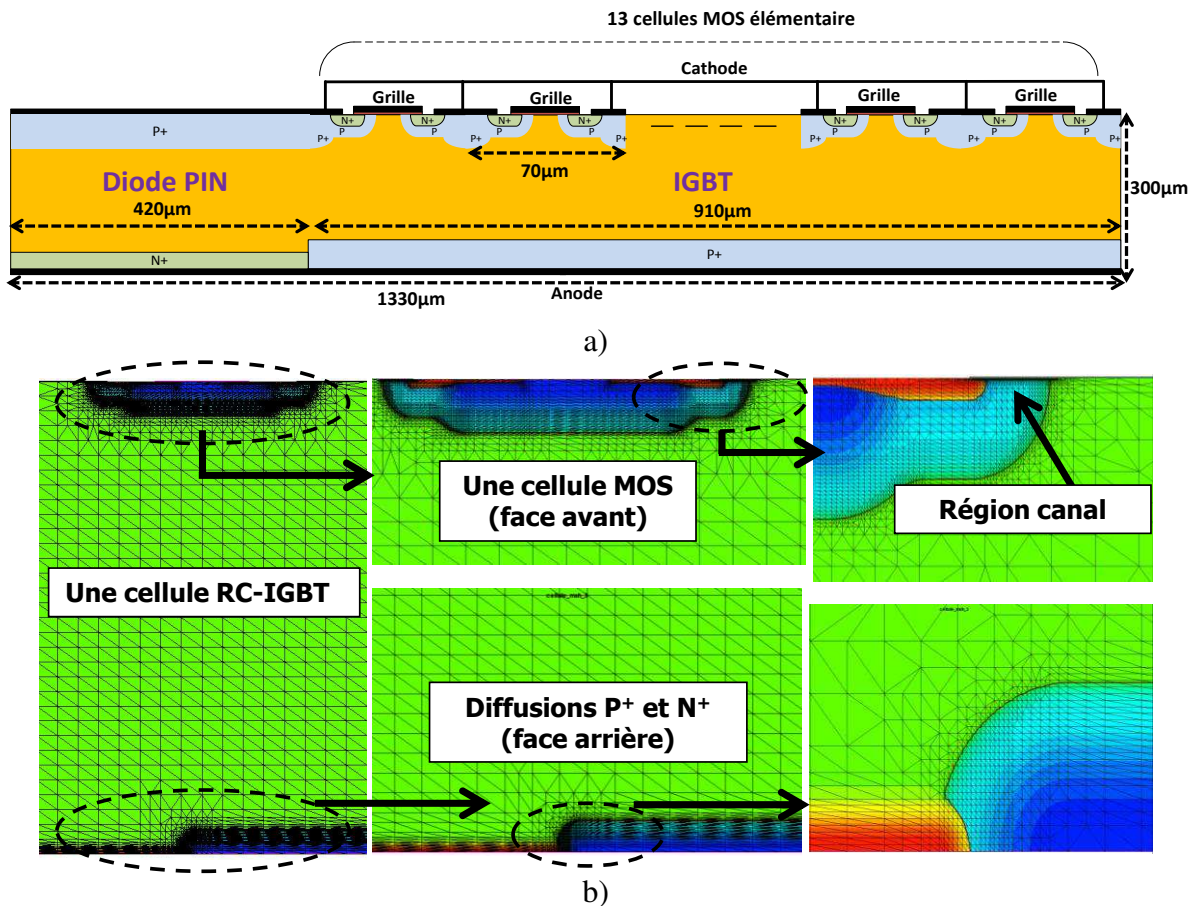


Figure 2-18 : a) vue en coupe de la structure RC-IGBT choisie, b) maillage d'une cellule RC-IGBT

Les Figure 2-19a et Figure 2-19b montrent la densité de courant dans la structure RC-IGBT pour le mode IGBT (en direct) et le mode diode PIN (en inverse) respectivement. La Figure 2-20a montre la caractéristique plan I(V) en direct du RC-IGBT et la Figure 2-20b montre la caractéristique plan I(V) en inverse pour $V_{GK}=0V$ et pour $V_{GK}=15V$ permettant notamment de mettre en évidence la conduction par le canal du MOS en inverse.

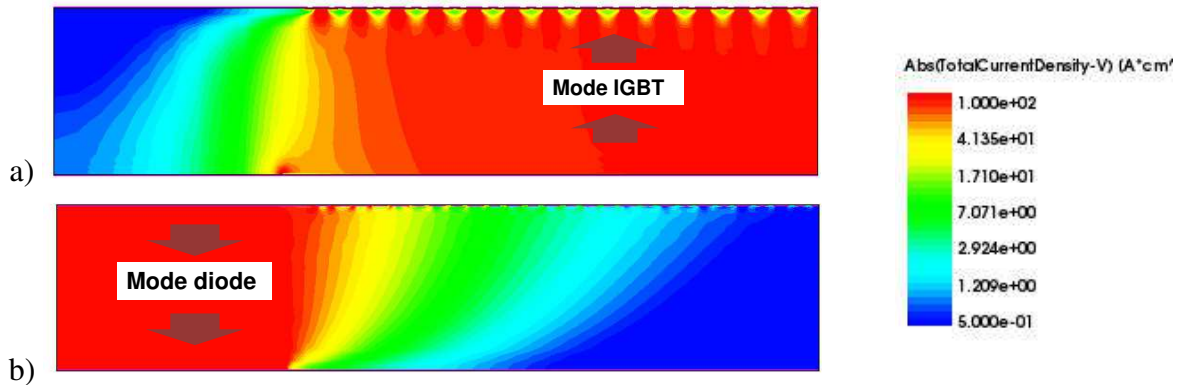


Figure 2-19 : a) densité de courant dans la puce RC-IGBT en mode IGBT, b) densité de courant dans la puce RC-IGBT en mode diode PIN

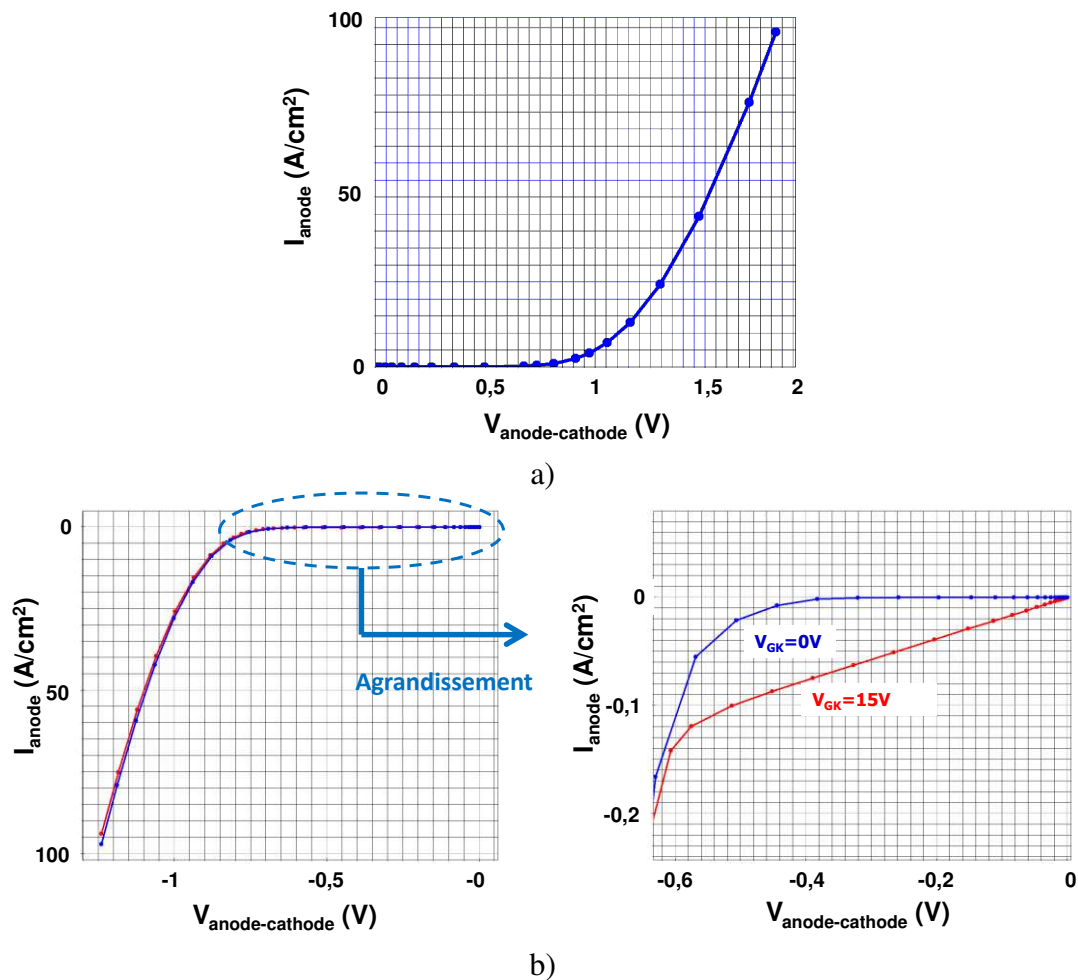


Figure 2-20 : a) caractéristique I(V) en direct pour $V_{GK}=15V$, b) caractéristique I(V) en inverse pour $V_{GK}=0$ et pour $V_{GK}=15V$ (mise en évidence de la conduction par le canal en inverse)

2.4 Approche d'intégration monolithique "bi-puce" (deux aiguilleurs de courant)

La première approche d'intégration monolithique multi-interrupteurs étudiée dans le cadre de ce mémoire de thèse est appelée "approche bi-puce". Elle consiste à intégrer sur deux puces de silicium différentes toutes les cellules de commutation du circuit convertisseur générique (Figure 2-21). C'est un mode d'intégration quasi parallèle de cellules RC-IGBT, les deux puces qui en découlent sont complémentaires et génériques. La première puce intègre la partie *high-side*, cette puce mutualise l'électrode de l'anode en face arrière de la puce. La deuxième puce, quant à elle, intègre la partie *low-side* et les RC-IGBT de la puce partagent l'électrode de la cathode en face avant de la puce. Dans la suite du manuscrit, la première puce sera appelée "aiguilleur de courant à anode commune" et la deuxième puce sera appelée "aiguilleur de courant à cathode commune". (voir chapitre 1 pour l'origine de l'appellation "aiguilleur").

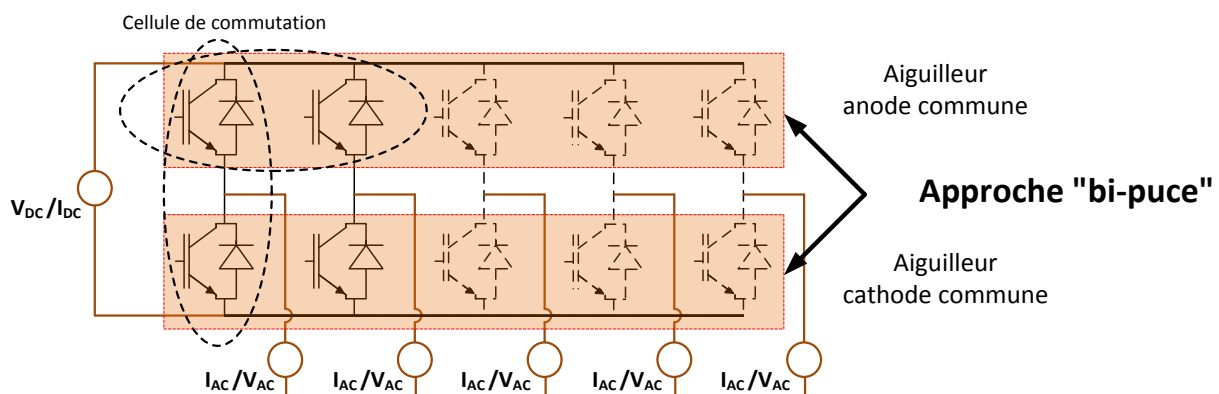


Figure 2-21 : Illustration de l'approche "bi-puce"

2.4.1 Première puce multi-pôles : aiguilleur de courant à anode commune

L'aiguilleur à anode commune constitue l'équivalent monolithique sur silicium de la partie *high-side* du circuit convertisseur.

2.4.1.1 Description du tri-pôle à anode commune et de son fonctionnement

La puce intégrant deux interrupteurs à RC-IGBT constitue la puce élémentaire de cette version (Figure 2-22). Les deux interrupteurs à RC-IGBT partagent la même région de drift N^- . Les régions P et P^+ aux niveaux des cellules MOS en face avant de la puce se terminent avec une diffusion de type P^- faiblement dopée. Ces terminaisons de jonctions par les diffusions P^- ont pour but d'étaler les lignes équipotentielles aux niveaux des courbures de jonction (extrémité de régions P) à l'état bloqué. Au niveau des sections centrales (sections MOS), la technique d'auto-blindage est utilisée pour protéger les courbures de jonctions d'un claquage prématuré. La puce élémentaire à anode commune est composée de deux RC-IGBT intégrés monolithiquement et elle se présente sous forme d'un tri-pôle à trois électrodes de puissance, deux électrodes de cathode (cathode1 et cathode2) sur la face avant de la puce et une seule

électrode d'anode mutualisée sur la face arrière de la puce. Cette notion de puce tri-pôle (multi-pôle dans le cas général de cette approche d'intégration) est nouvelle dans les composants de puissance. En effet, à l'heure actuelle, tous les composants de puissance se présentent sous forme de dipôle discret (2 électrodes de puissances + électrodes de commande).

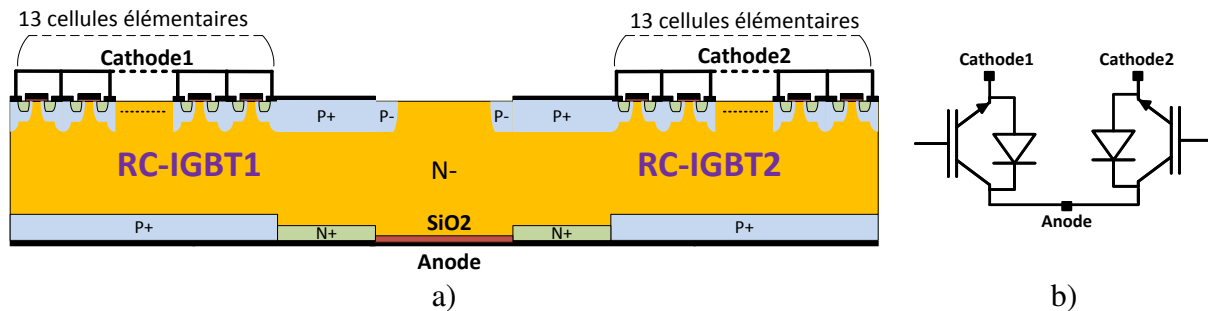


Figure 2-22 : a) vue en coupe 2D de la puce élémentaire (tri-pôle à anode commune) simplifiée, b) schéma électrique équivalent

Cette intégration vise à faire cohabiter sur une même puce silicium deux interrupteurs de puissance à fonctionnement complémentaire. En effet, en fonctionnement dans les applications de puissance (en particulier, les convertisseurs de type redresseur), les deux interrupteurs à RC-IGBT qui composent ce tri-pôle se trouvent souvent dans deux états différents : lorsqu'un des deux interrupteurs est à l'état passant, l'autre est forcément à l'état bloqué (excepté dans les phases dynamiques de commutation) et supporte la tension appliquée à ses bornes. Cette situation atypique dans le dispositif fait apparaître des interactions électriques dont il faut tenir compte pendant la phase de conception afin d'éviter tout risque de dysfonctionnement du tri-pôle.

2.4.1.2 Validation du fonctionnement de la puce anode commune par simulation 2D

D'une manière générale en électronique de puissance, l'interrupteur à l'état bloqué doit présenter un courant de fuite très faible par rapport au courant nominal (i.e. des pertes à l'état bloqué négligeable), il doit aussi supporter la tension appliquée à ses bornes. Dans notre cas d'étude à travers la puce tri-pôle à anode commune, la puce est composée par deux interrupteurs et non pas d'un seul. La validation par simulation d'une telle puce passe par l'analyse de ses modes de fonctionnement dans les applications de puissance. En simulation, nous appliquons les mêmes conditions auxquelles la puce est exposée en fonctionnement statique pour des applications de conversion d'énergie de type onduleur ou redresseur. La Figure 2-23 illustre les conditions de simulation appliquées sur le tri-pôle à anode commune. Nous imposons une tension constante de 600V entre les deux électrodes de la cathode (cathode1 et cathode2) qui se trouvent sur la face avant de la puce. La section MOS du RC-IGBT1 est à l'état ON et celle du RC-IGBT2 est à l'état OFF. Un courant d'une densité de 100A/cm² est injecté dans le tri-pôle à travers l'électrode mutualisée de l'anode se trouvant sur la face arrière de la puce. Ce courant constant traverse la puce en direct (pour le mode IGBT) et en inverse (pour le mode diode).

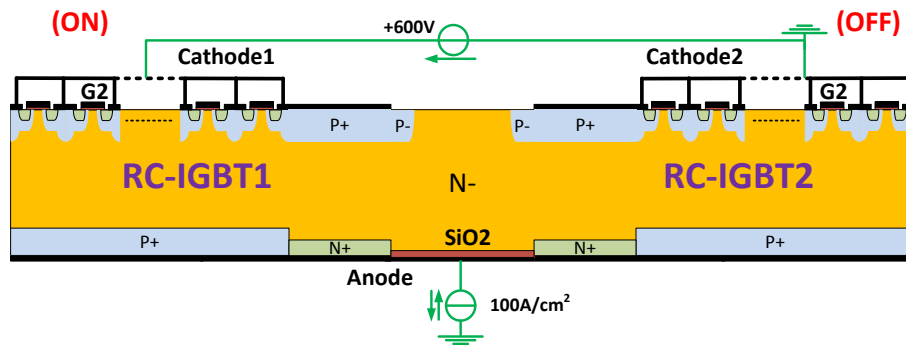


Figure 2-23 : Conditions de simulation appliquées sur le tri-pôle à anode commune

Pour vérifier le fonctionnement statique de la structure du tri-pôle proposé, la section RC-IGBT bloquée doit supporter la tension appliquée aussi bien en vertical qu'en latéral, et celle-ci doit présenter un courant de fuite acceptable par rapport au courant nominal afin de limiter les pertes à l'état bloqué. La section RC-IGBT passante doit faire passer entièrement le courant nominal, et présenter une chute de tension faible (inférieure à 2V) afin de limiter les pertes en conduction. La densité de puissance dissipée dans la section passante dans ces conditions est égale à $200\text{W}/\text{cm}^2$. La validation de la tenue en tension de la structure a été faite en deux étapes : tout d'abord, les deux sections MOS des deux RC-IGBT sont bloquées et une tension de 600V est appliquée entre les deux électrodes de la cathode (cathode1 et cathode2) tandis que la troisième électrode de l'anode est flottante (reliée à une source de courant de 0A en simulation). Cette première étape permettrait de vérifier la tenue en tension de la puce sans qu'il y ait aucun courant qui circule dans la puce. Dans un deuxième temps, la tension de 600V est maintenue entre les mêmes électrodes, mais nous fermons un des deux interrupteurs RC-IGBT et en parallèle, une densité de courant de $100\text{A}/\text{cm}^2$ est injectée par une source auxiliaire à travers l'électrode de l'anode. Un courant de signe positif pour le mode de conduction en direct (mode IGBT) et un courant de signe négatif pour le mode de conduction en inverse (mode diode) afin de vérifier la réversibilité en courant du tri-pôle. Le but dans ce cas est d'étudier l'impact de la conduction de la section passante sur la section bloquée et de s'assurer de l'absence d'interactions électriques qui peuvent pénaliser l'architecture proposée.

- **Étape 1 : Les deux sections RC-IGBT du tri-pôle à l'état bloqué**

La Figure 2-24a illustre les conditions de simulation imposées sur la structure. La surface active de chaque section RC-IGBT de référence est de 1cm^2 . La Figure 2-24b montre la répartition des lignes équipotentielles dans la structure. La tension de 600V appliquée est supportée par la jonction P/N⁻ du RC-IGBT2 polarisée en inverse. La zone de charge d'espace s'étale essentiellement du côté de la zone N⁻. L'épaisseur de la zone N⁻ utilisée dans cette première simulation ($300\mu\text{m}$) est largement suffisante pour éviter le phénomène de perçage. Le courant de fuite obtenue (en latéral) est de $6,1\mu\text{A}$ (soit $6,9 \cdot 10^{-6} \%$ du courant nominal pour une surface active de 1cm^2), ce qui montre que la structure supporte bien la tension appliquée à ses bornes.

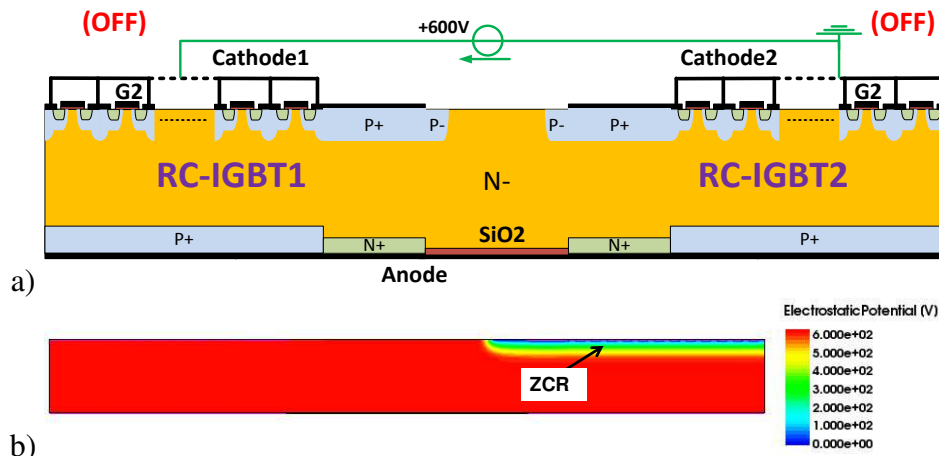


Figure 2-24 : a) conditions de simulation appliquées sur la puce à anode commune, b) répartition des lignes équipotentielles dans le tri-pôle

- **Etape 2 : Une section RC-IGBT à l'état bloqué et l'autre section à l'état passant**

La Figure 2-25 illustre les conditions de simulation appliquées sur le tri-pôle à anode commune. Dans ce cas, nous appliquons une tension positive (15V) sur la grille du RC-IGBT1 par rapport à la cathode1 tandis que la tension grille2-cathode2 du RC-IGBT2 est maintenue à 0V (= -15V en pratique). La tension entre les deux électrodes de cathode est de 600V et un courant d'une densité de 100A/cm² est injecté dans les deux sens (direct puis inverse) à travers l'électrode d'anode. La section RC-IGBT2 est bloquée, elle doit supporter 600V et présenter un courant de fuite le plus faible possible. La Figure 2-26a montre la répartition de la densité du courant dans la structure en direct et la Figure 2-26b montre la répartition de la densité du courant dans la structure dans le cas de la conduction diode en inverse. Cette répartition de la densité du courant dans la structure montre clairement une zone de densité de courant importante qui correspond à la densité de courant qui traverse la section passante verticale et diminue considérablement en latéral, en s'approchant de la section bloquée traversée par un courant de fuite très faible de de 3,2μA (3,2 .10⁻⁶ % du courant nominal).

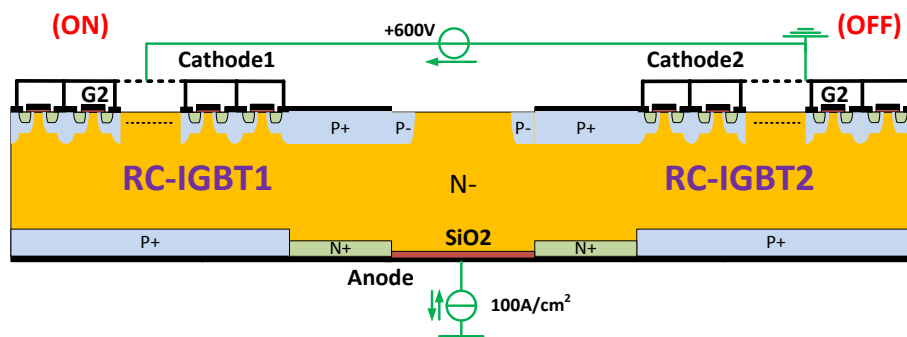


Figure 2-25 : Conditions de simulation appliquées sur la puce à anode commune

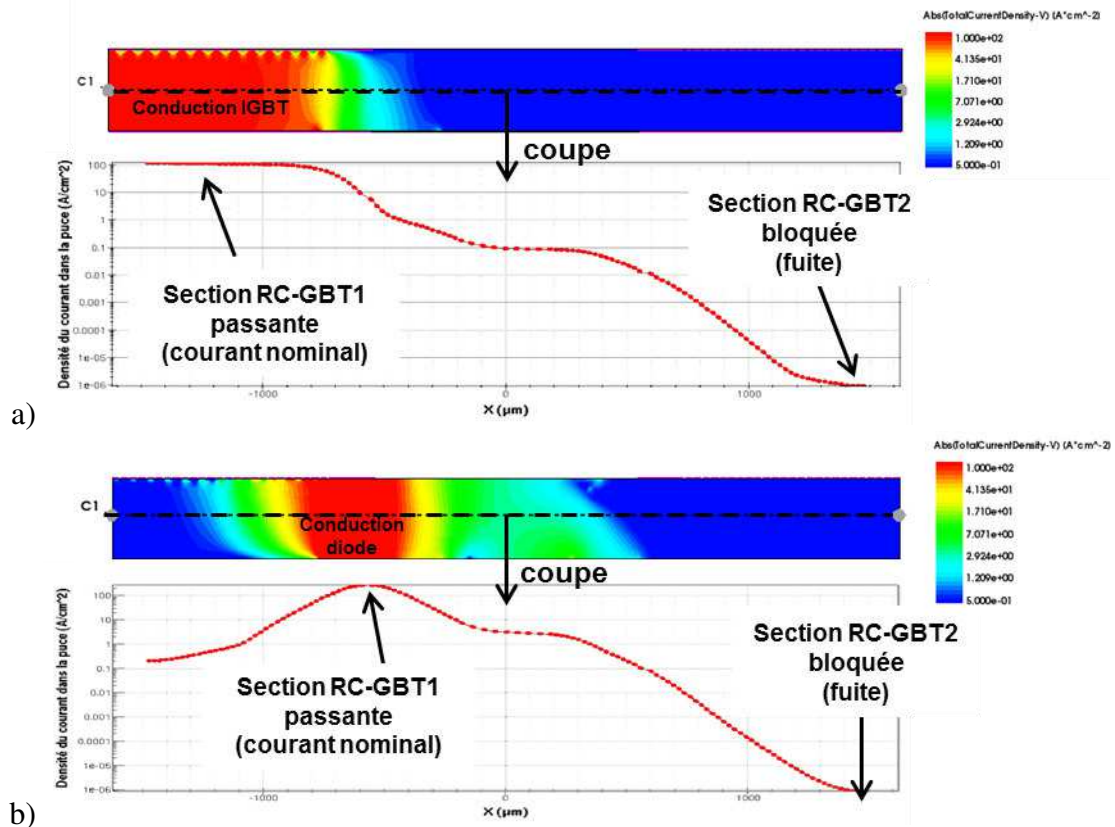


Figure 2-26 : Densité de courant dans la puce, a) en direct (mode IGBT), b) en inverse (mode diode)

- **Etude de l'influence de la distance qui sépare la section RC-IGBT bloquée de la section RC-IGBT passante :**

La valeur du courant de fuite évaluée dans le paragraphe précédent dépend fortement de la distance qui sépare les deux sections RC-IGBT dans le tri-pôle à anode commune. Ce courant qui traverse la jonction P/N⁻ polarisée en inverse diminue avec l'accroissement de la distance qui sépare les deux RC-IGBT au sein de la puce tri-pôle. La Figure 2-27b présente l'évolution du courant de fuite qui traverse la section RC-IGBT bloquée en fonction de la distance entre les deux sections "d". Le niveau de ce courant décroît rapidement en fonction de la distance "d".

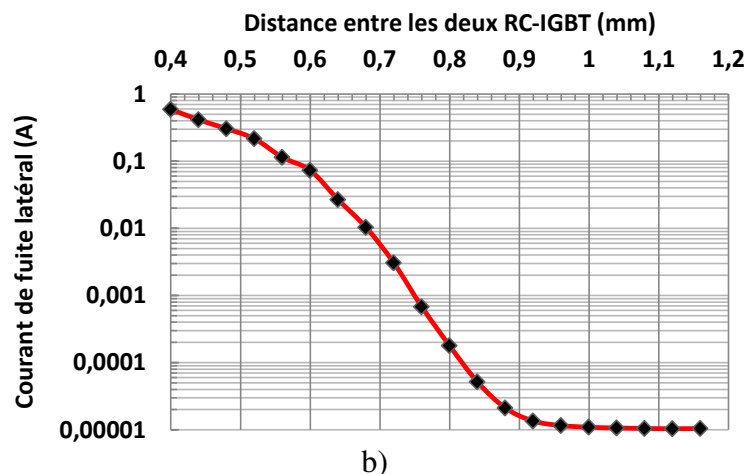
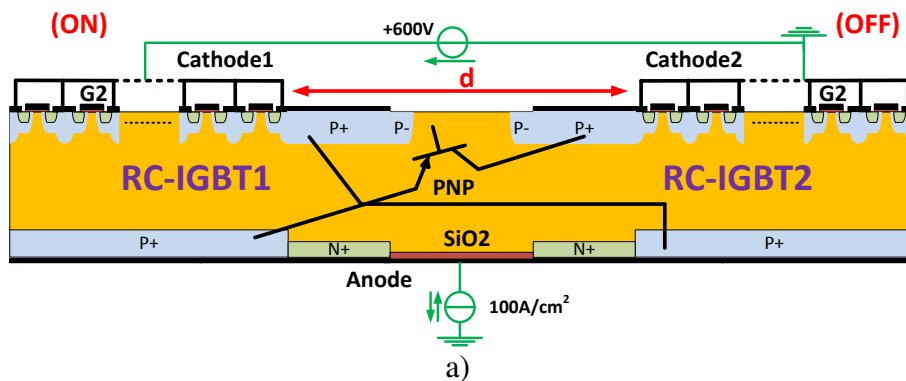


Figure 2-27 : a) tri-pôle à anode commune montrant les transistors PNP parasites, b) évolution du courant de fuite en fonction de la distance qui sépare les deux RC-IGBT de la puce

Ce résultat peut s'expliquer par l'existence de transistors parasites PNP (Figure 2-27a) entre les deux sections RC-IGBT. En effet, la structure de la puce à anode commune fait apparaître trois transistors parasites de type PNP. Ces trois transistors ont la même région de base (région N^- de *drift*) : la région P^+ de l'émetteur au niveau de l'anode/ou cathode de la section passante et l'anode de la section bloquée, le collecteur est commun pour ces trois PNP (région P de la section bloquée). Les émetteurs des deux premiers transistors (côté de la section passante) injectent des trous dans la région de base N^- . Une partie de ces trous se recombine dans la base et le reste est collecté par la région P reliée à la cathode2. L'augmentation de la distance qui sépare les deux sections permet de diminuer le gain du transistor PNP (α_{PNP}) et par conséquent la diminution du courant de fuite qui traverse la jonction polarisée en inverse de la section RC-IGBT bloquée. Cela permet d'expliquer l'allure de la courbe obtenue par simulation dans la Figure 2-27b.

- **Choix de la distribution des diffusions P^+ et N^+ en face arrière de la puce**

Nous avons vu dans le paragraphe précédent l'influence de la largeur de la région de drift N^- sur le courant de fuite dans la section bloquée de la puce. La distribution géométrique des deux diffusions P^+ et N^+ sur la face arrière de la puce joue, elle aussi, un rôle sur le courant de fuite de la section RC-IGBT bloquée. En effet, avant d'adopter cette architecture finale de la

puce à anode commune, nous avons testé par simulation différentes architectures (Tableau 2-3). Le but était de choisir, pour un rapport de surface $r = S_{N^+} / (S_{N^+} + S_{P^+}) = 0,3$ fixé, le meilleur emplacement des diffusions P^+ et N^+ sur la face arrière permettant de minimiser l'injection des trous dans la région de la base du transistor parasite PNP. Cette réduction s'effectue par une "désensibilisation" de l'injecteur P^+ des trous en plaçant judicieusement la diffusion N^+ . La désensibilisation de l'injecteur P^+ face arrière permet de réduire significativement la fuite latérale croisée dans la section bloquée. Cet effet peut être observé dans la variante 2 du tableau ci-dessous. En effet, cette variante représente la même architecture proposée (Figure 2-22) avec une inversion de l'emplacement des îlots N^+ et P^+ sur la face arrière. La densité des trous dans la région de drift (côté RC-IGBT bloqué) dans le cas de l'architecture proposée (Figure 2-22) est plus faible comparée avec la variante 2.

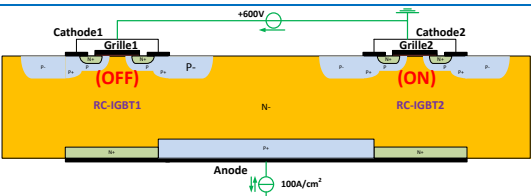
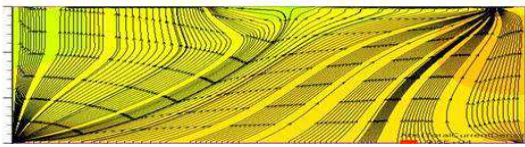
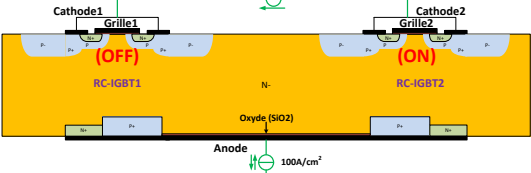

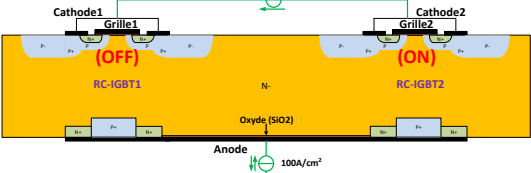
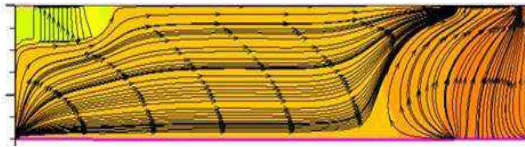
<p style="text-align: center;">Variante 1</p> 	<p style="text-align: center;">Densité et lignes de courant</p> 
<p style="text-align: center;">Le courant de fuite est de l'ordre de 8A, le transistor parasite PNP est déclenché.</p>	
<p style="text-align: center;">Variante 2</p> 	<p style="text-align: center;">Densité et lignes de courant</p> 
<p style="text-align: center;">Cette variante permet d'avoir un courant de fuite de l'ordre de 5mA (pas de "désensibilisation de trous").</p>	
<p style="text-align: center;">Variante 3</p> 	<p style="text-align: center;">Densité et lignes de courant</p> 
<p style="text-align: center;">Cette variante permet d'avoir un courant de fuite acceptable ($\approx 10\mu A$).</p>	

Tableau 2-3 : Comparaison des différentes associations des RC-IGBTs à l'intérieur du tri-pôle à anode commune (la distance de séparation entre les deux RC-IGBT pour les trois variantes est de 1mm)

2.4.2 Deuxième puce multi-pôles : aiguilleur de courant à cathode commune

Le tri-pôle à cathode commune constitue la puce élémentaire de l'équivalent monolithique de l'aiguilleur multi-switch intégrant la partie *low-side* du circuit convertisseur conventionnel. Pour des raisons technologiques de simplification des étapes de report et de packaging des puces sur substrat, ainsi, pour avoir les mêmes caractéristiques électriques des puces conçues, nous avons gardé les mêmes dimensions et paramètres technologiques que celle de la version tri-pôle à anode commune.

2.4.2.1 Description du tri-pôle à cathode commune et de son fonctionnement

Ce tri-pôle (Figure 2-28) est une structure symétrique composée, elle aussi, de deux interrupteurs à RC-IGBT. Contrairement à la première version, c'est une puce qui nécessite des zones d'isolation. Ces zones d'isolation sont indispensables dans cette version afin d'éviter de court-circuiter la source de tension et avoir un courant latéral non-souhaité dans la puce. Pour les composants à conduction verticale, l'isolation peut se faire soit à travers un isolant qui traverse entièrement la puce, soit en utilisant une isolation par jonction qui traverse, elle aussi, entièrement la puce. L'utilisation de la première technique présente à l'heure actuelle une grande difficulté technologique. Nous avons adopté la deuxième technique d'isolation par jonction. Un test de réalisation du mur P⁺[20] traversant a été effectué au sein de la salle blanche du LAAS dans le cadre des travaux menés par H. CARRIERE et qui ont duré une année [21]. L'objectif de la réalisation de cette brique était de doter les composants de puissance d'une capacité de tenue en tension symétrique. Cette brique spécifique dite "mur P⁺ traversant" a été introduite dans la filière IGBT flexible de la salle blanche. Toutefois, cette brique est aujourd'hui en phase de redéveloppement car beaucoup de paramètres tel que la résine ont changé. Les étapes technologiques de base nécessaires pour la réalisation du mur P⁺ seront présentées brièvement dans le quatrième chapitre de ce manuscrit.

Le fonctionnement électrique du tri-pôle à cathode commune est similaire à celui de l'anode commune. Le principe est le même, la différence réside dans la nature des électrodes. La conduction dans la puce est verticale et la tenue en tension est à la fois verticale et latérale. Les deux interrupteurs à RC-IGBT se retrouvent aussi dans deux états complémentaires en fonctionnement, c'est à dire, lorsqu'un interrupteur est à l'état passant, le deuxième est bloqué et supporte la tension appliquée entre ses bornes.

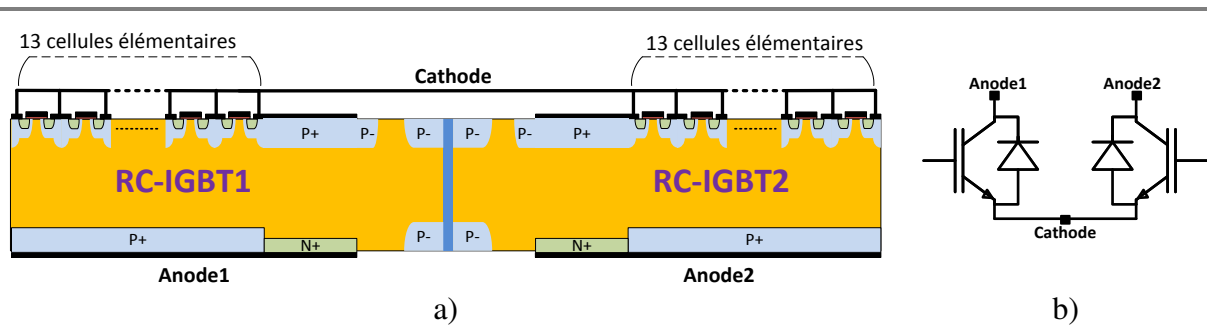


Figure 2-28 : a) vue en coupe 2D de la puce élémentaire (tri-pôle à cathode commune) simplifiée, b) schéma électrique équivalent

2.4.2.2 Validation du fonctionnement de la puce cathode commune par simulation 2D

Les modes de fonctionnement des deux versions de puces tri-pôles sont similaires. Le tri-pôle à cathode commune est donc simulé dans les mêmes conditions que le tri-pôle à anode commune. Pour cela, nous avons appliqué une tension de 600V entre les deux électrodes de l'anode (anode1 et anode2) sur la face arrière de la puce, et nous avons fait passer un courant d'une densité de 100A/cm² (en direct et en inverse) à travers l'électrode de la cathode commune située sur la face avant de la puce. La Figure 2-29 illustre ces conditions de simulation appliquées sur la puce.

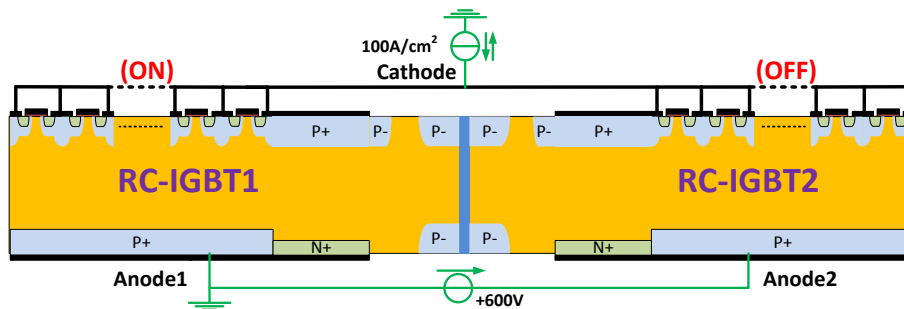


Figure 2-29 : Conditions de simulation appliquées sur le tri-pôle à cathode commune

La démarche de simulation 2D adoptée dans le cadre de cette version de puce est la même que celle dans le cas de l'anode commune. Nous vérifions d'abord la tenue en tension de la structure en bloquant les deux interrupteurs à RC-IGBT et en appliquant une tension de 600V entre les électrodes de l'anode. Ensuite, nous vérifions l'impact de la conduction d'un interrupteur sur le niveau de courant de fuite dans la section bloquée.

- **Étape 1 : Les deux structures RC-IGBT de la structure à l'état bloqué**

La Figure 2-30a illustre les conditions de simulation appliquées sur la puce pour vérifier la tenue en tension de la structure proposée. Les deux interrupteurs à RC-IGBT sont à l'état bloqué et une tension de 600V est appliquée entre les deux électrodes d'anode (anode2 et anode1).

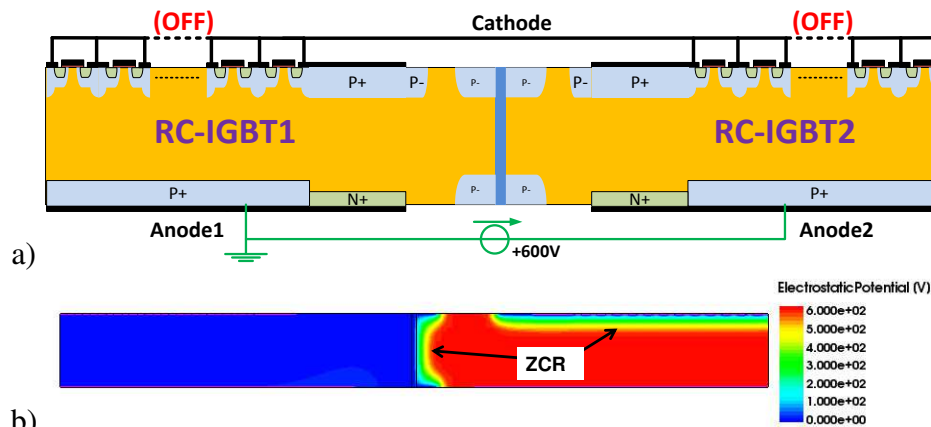


Figure 2-30 : a) conditions de simulation du tri-pôle à cathode commune, b) répartition des lignes équipotentielles

La zone de charge d'espace (ZCR) s'étale dans deux zones N^- dans ce cas (Figure 2-30b). La première zone au niveau de la jonction P(cathode)/ N^- (drift) du RC-IGBT2 polarisée en inverse ainsi que dans une deuxième zone au niveau de la jonction P^+ (mur)/ N^- (drift) polarisée également en inverse. Le mur P^+ se comporte électriquement comme une diode polarisée en inverse et empêche (en statique) la circulation latérale du courant dans la zone de drift N^- de la puce. La largeur du mur est très faible. En effet, cette région est fortement dopée P^+ , par conséquent, lorsque la jonction P^+ (mur)/ N^- (drift) est polarisée en inverse, la zone de charge d'espace s'étale essentiellement dans la zone N^- (faiblement dopée). Durant les simulations, nous avons fixé cette largeur à $20\mu\text{m}$. Le courant de fuite obtenu dans la section bloquée est de $2,6\mu\text{A}$ (soit $2,6 \cdot 10^{-6} \%$ du courant nominal), ce qui montre que la structure supporte la tension appliquée.

- **Etape 2 : Une section RC-IGBT à l'état bloqué et l'autre section à l'état passant**

Pour étudier l'impact de la conduction d'une section sur le blocage de l'autre, une tension positive (15V) est appliquée sur la grille de l'RC-IGBT1 tandis que la tension grille2-cathode2 de l'RC-IGBT 2 est maintenue à 0V (ou à -15 V). La tension imposée entre les deux électrodes (anode1, anode2) est égale à 600V. Un courant d'une densité de $100\text{A}/\text{cm}^2$ est injecté à travers l'électrode de cathode et traverse verticalement la section RC-IGBT passante, dans les deux sens (direct et inverse). L'interrupteur RC-IGBT2 bloqué, doit supporter la tension de 600V et présenter un courant de fuite le plus faible possible (Figure 2-31a). La répartition de la densité de courant dans la structure en direct (Figure 2-32a) et en inverse (Figure 2-32b) montre que le courant injecté passe entièrement dans la section passante de la puce. En effet, le courant de fuite dans la section bloquée est de $2,72\mu\text{A}$ (soit $2,72 \cdot 10^{-6} \%$ du courant nominal), c'est une valeur plus faible que dans le cas de la puce à anode commune. Ce résultat était prévisible car les deux sections fonctionnelles dans le cas de cette puce sont séparées par le mur P^+ . Ce mur d'isolation a pour effet de réduire davantage les interactions entre les deux interrupteurs à RC-IGBT intégrés.

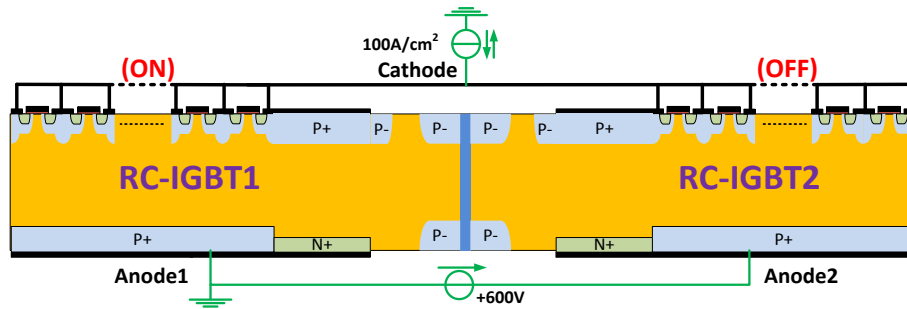


Figure 2-31 : Conditions de simulation appliquées sur la puce à cathode commune

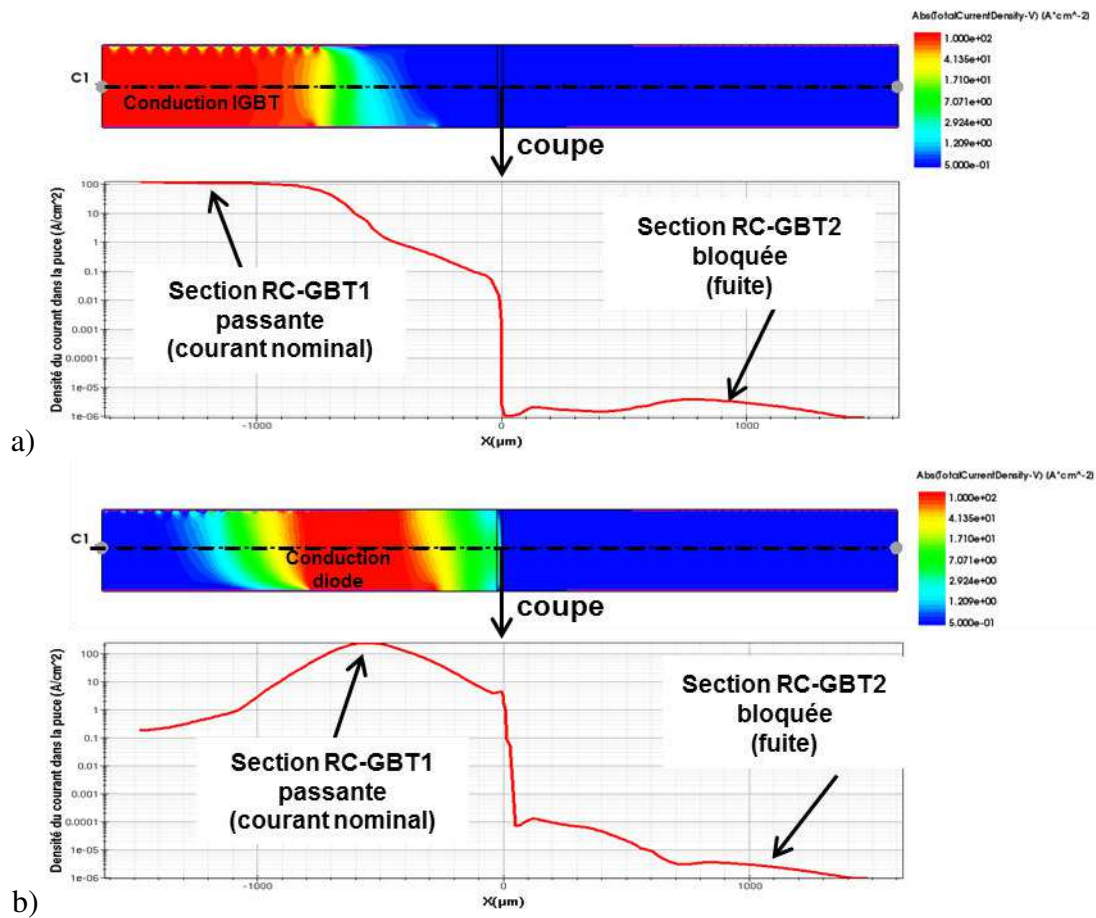


Figure 2-32 : Densité de courant dans la puce, a) en direct (mode IGBT), b) en inverse (mode diode)

2.4.3 Comparaison des deux aiguilleurs avec leurs équivalents en discret

Les deux versions de puces (tri-pôle à anode commune et tri-pôle à cathode commune) intègrent deux interrupteurs à RC-IGBT. Une comparaison des caractéristiques électriques et géométriques (coût silicium) est donc intéressante à faire. Le Tableau 2-4 regroupe les caractéristiques électriques statiques des deux puces ainsi que leurs équivalents en RC-IGBT discret. Nous pouvons remarquer que les valeurs des courants de fuite ainsi que de la chute de tension à l'état passant direct (V_{AKsat}) et en inverse (V_d) des deux puces sont très proches avec celles de l'RC-IGBT discret. La surface de silicium nécessaire pour réaliser cette intégration

est de l'ordre de $0,3\text{cm}^2$ supplémentaire par rapport au cas des composants à RC-IGBT discrets. Ce coût en silicium en réalité est négligeable si nous prenons en compte la surface de silicium perdue dans les composants discrets pour réaliser les terminaisons de jonctions nécessaires afin de doter les composants d'une capacité de la tenue en tension (Chapitre 4).

	RC-IGBT x 2	Tri-pôle anode commune	Tri-pôle cathode commune
Surface active	$1\text{cm}^2 \times 2$	$1\text{cm}^2 \times 2$	$1\text{cm}^2 \times 2$
Surface du N ⁺ face arrière	$0,3\text{cm}^2 \times 2$	$0,3\text{cm}^2 + 0,3\text{cm}^2$	$0,3\text{cm}^2 + 0,3\text{cm}^2$
Surface du P ⁺ face arrière	$0,7\text{cm}^2 \times 2$	$0,7\text{cm}^2 + 0,7\text{cm}^2$	$0,7\text{cm}^2 + 0,7\text{cm}^2$
V _{AKsat} (pour 100A/cm ²)	1,8V	1,81V	1,81V
V _d en inverse (pour 100A/cm ²)	1,24V	1,24V	1,24V
Courant de fuite (pour 600V)	2,03μA	3,2μA	2,72μA
Surface totale	$1\text{cm}^2 \times 2$	$1\text{cm}^2 \times 2 +$ (0,15cm² séparation)	$1\text{cm}^2 \times 2 +$ (0,3cm² isolation P+)
Technologie (Chapitre IV)	IGBT classique + diffusion N ⁺ (face arrière)	IGBT classique+ diffusion N ⁺ (face arrière)	IGBT classique + diffusion N ⁺ (face arrière)+ diffusion P ⁻ (face arrière) + mur P ⁺ traversant

Tableau 2-4 : Bilan électrique statique des puces (résultats de simulations)

2.4.4 Association des deux puces aiguilleurs : applications à la conversion d'énergie

Les différentes simulations effectuées en régime statique ont montré que ces deux nouvelles puces tri-pôle supportent la tension de 600V appliquée à leurs bornes et présentent des courants de fuites très faibles à l'état bloqué. Ces tri-pôles sont aussi réversibles en courant. Le but principal à travers leur étude est d'exploiter leurs caractéristiques bidirectionnelles en courant dans des applications de conversion d'énergie de type DC/AC et AC/DC, et DC/DC. Ces applications nécessitent d'associer les deux versions de puce et d'adapter les sources correspondantes pour réaliser un pont en H de conversion. Cette association a été faite sous *Mixed Mode* dans l'outil de simulation Sentauros™. Cette section est dédiée à la vérification du bon fonctionnement des deux tri-pôles dans ce type d'applications. Pour mettre en évidence l'intérêt de cette intégration monolithique, les techniques d'associations sur substrat seront présentées et analysées dans le chapitre 3 de ce mémoire.

2.4.4.1 Application AC/DC : redresseur de tension

Dans le cas de l'application AC/DC, et sur la base de la Figure 2-33a, nous appliquons une tension de type triangulaire double alternance (positive et négative) $V_{in}=V_{(S2)}$ au niveau de la source S2 en entrée. Sur chaque demi-période, les cellules RC-IGBT diagonales dans le pont reçoivent les mêmes signaux de commande. Nous effectuons une commande par empiètement (Figure 2-33b) des signaux mettant en jeu un court-circuit ponctuel ($10\mu\text{s}$) au passage par zéro de la source de tension. Une méthode d'auto-commutation sur seuil et par disjoncteur peut être utilisée dans ce cas [22]. Dans ces conditions, le courant passe par les sections diagonales qui se trouvent à l'état passant sur chaque demi-période, la charge est représentée par une source de courant (S1). Cette source peut être de nature unidirectionnelle (courant continu) ou

de nature bidirectionnelle (courant alternatif). La Figure 2-34 montre les résultats de simulation pour les deux cas. Nous obtenons une tension de sortie $V_{out}=V_{(S1)}$ au niveau de la source S1 pour une source de courant DC $I_{S1}=+100A$ unidirectionnel (Figure 2-34a), et pour un courant $I_{S1} = \pm 100A$ bidirectionnel très basse fréquence (Figure 2-34b).

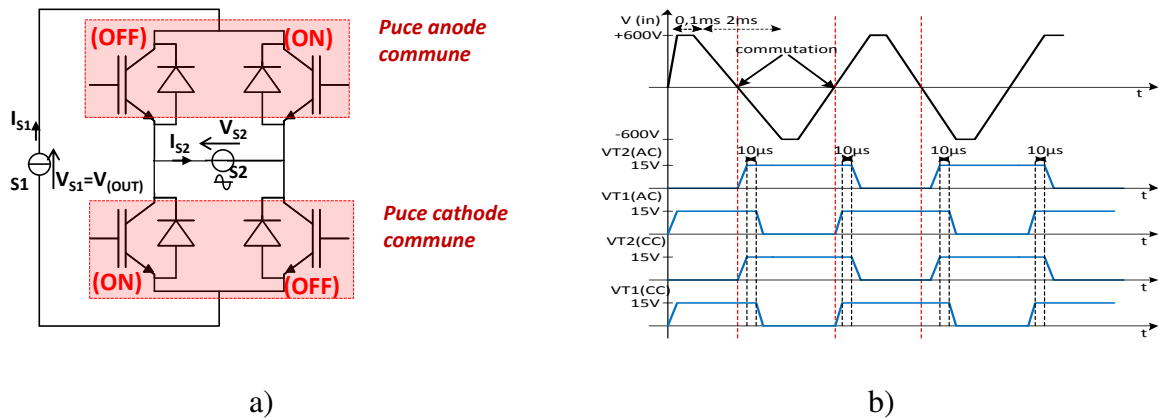


Figure 2-33 : a) pont redresseur en H, b) chronogrammes de commandes pour l'application redresseur

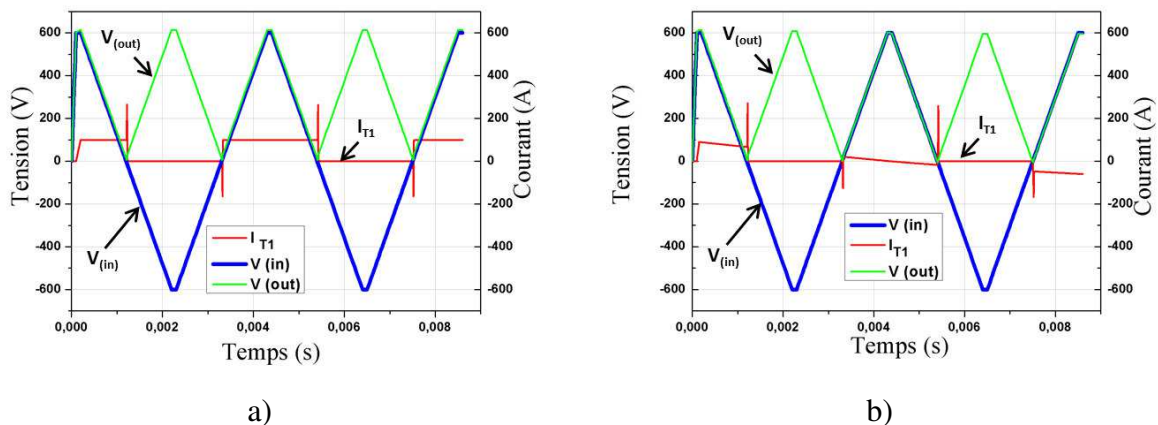


Figure 2-34 : Résultat de simulation en *Mixed Mode* – Sentaurus™ pour le cas du pont redresseur (S1: source de courant bidirectionnelle DC $I_{(S1)} = + I(DC)$, S2: source de tension AC $V_{(S2)} = V(AC)$, a) $I_{S1} = +100A$ (Flux de puissance unidirectionnel), b) $I_{(S1)} = \pm 100A$ (courant triangulaire basse fréquence – flux de puissance bidirectionnel)

Les allures des courbes obtenues dans les deux cas montrent bien que la tension de sortie $V_{out}=V_{(S1)}$ est alternative redressée. Ce résultat confirme le bon fonctionnement des deux tri-pôles anode commune et cathode commune dans le cas de leur association en mode redresseur de tension sur une charge bidirectionnelle en courant.

2.4.4.2 Application DC/AC : onduleur de tension

Dans le cas de l'application DC/AC (Figure 2-35a), il suffit d'adapter les sources précédemment utilisées dans le cas du redresseur au type de conversion DC/AC. La source de tension S2 est remplacée par une source de courant AC $I_{(S2)}$, et la source de courant S1 est remplacée par une source de tension DC d'entrée $V_{in}=V_{(S1)}=+600V$, l'instant de commutation

est choisi à la moitié de chaque demi-période du courant $I_{(S2)}$ et non pas au passage par zéro de manière à avoir un fonctionnement en mode thyristor-dual [22]. Les cellules diagonales dans le pont ont les mêmes signaux de commande sur chaque demi-période. A la différence du redresseur, les tensions de commande des grilles (Figure 2-35b) sont générées pour avoir un temps mort où tous les RC-IGBT de la structure sont bloqués, durant ce laps de temps de $10\mu s$, ce sont les diodes qui assurent la conduction.

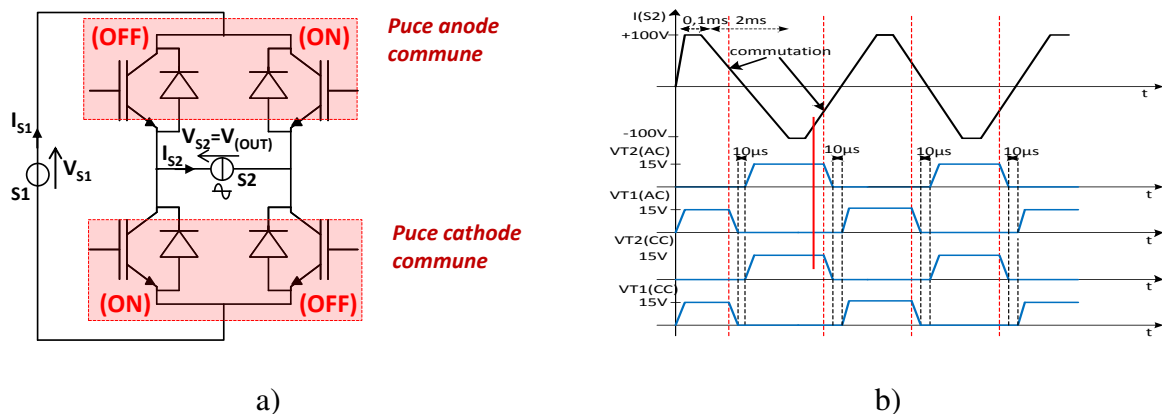


Figure 2-35 : a) pont onduleur en H, b) chronogrammes de commandes pour l'application redresseur

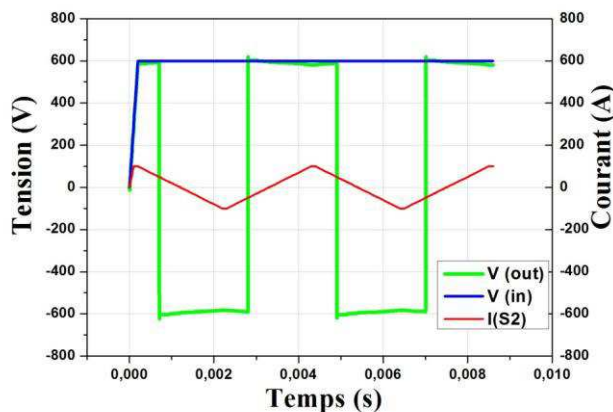


Figure 2-36: Résultat de simulation pour le cas du pont onduleur (S1: Source de tension DC $V(S1) = V(DC)$, S2: Source de courant AC $I(S2) = I(AC)$)

Sur la base de la Figure 2-36, la tension de sortie $V_{out}=V_{(S2)}=\pm 600V$. Ce résultat confirme le bon fonctionnement des deux tri-pôles anode commune et cathode commune dans le cas de leur association pour les applications de conversion de type DC/AC.

2.4.4.3 Interrupteur quatre segments : BiBi (interrupteur bidirectionnel en courant et en tension)

Chacune des deux puces constitue (à elle seule) un interrupteur bidirectionnel en courant et en tension si l'électrode commune est flottante (i.e. non connectée). Chaque interrupteur est formé par un IGBT en série avec une diode (Figure 2-37).

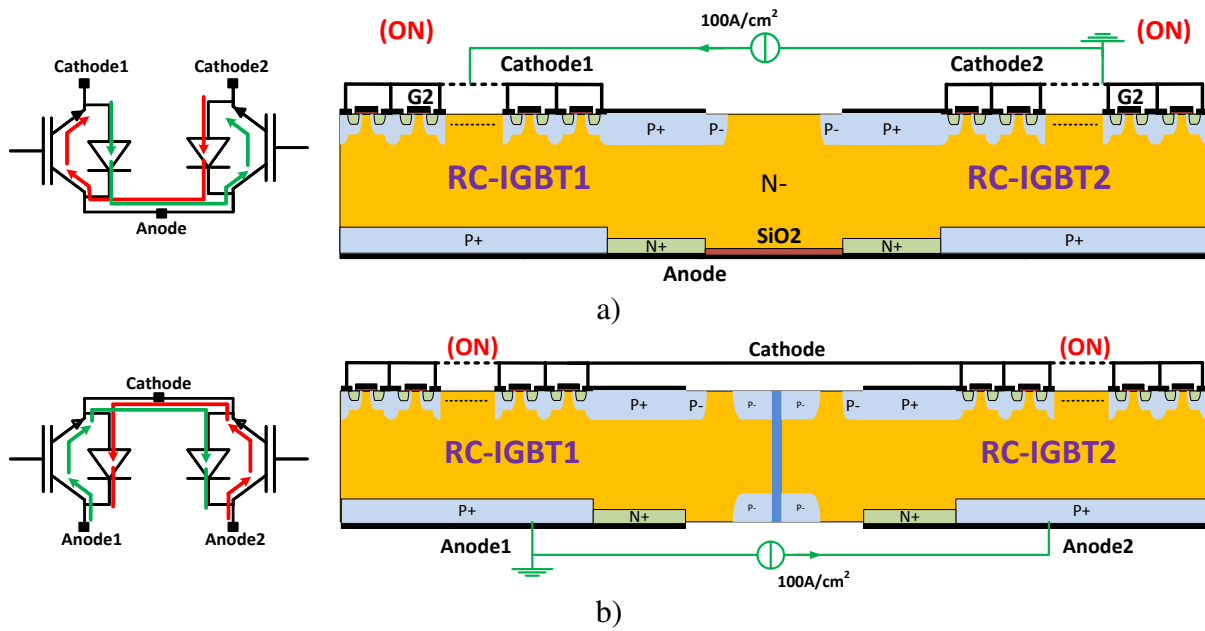


Figure 2-37 : Les deux tri-pôles intégrés en mode interrupteur bidirectionnel en courant, a) cas de l'anode commune, b) cas de la cathode commune

La Figure 2-38 montre la densité du courant dans les deux tri-pôles en mode interrupteurs bidirectionnels en courant. La Figure 2-39a montre la caractéristique I(V) du tri-pôle à anode commune et la Figure 2-39b montre celle du tri-pôle à cathode commune.

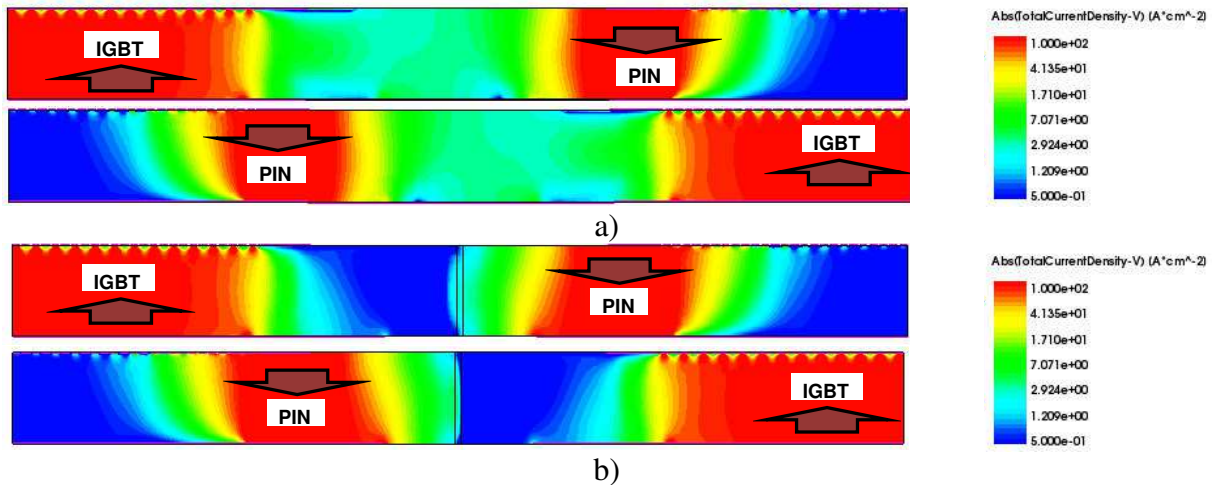


Figure 2-38 : a) cas du tri-pôle à anode commune, b) cas du tri-pôle à cathode commune

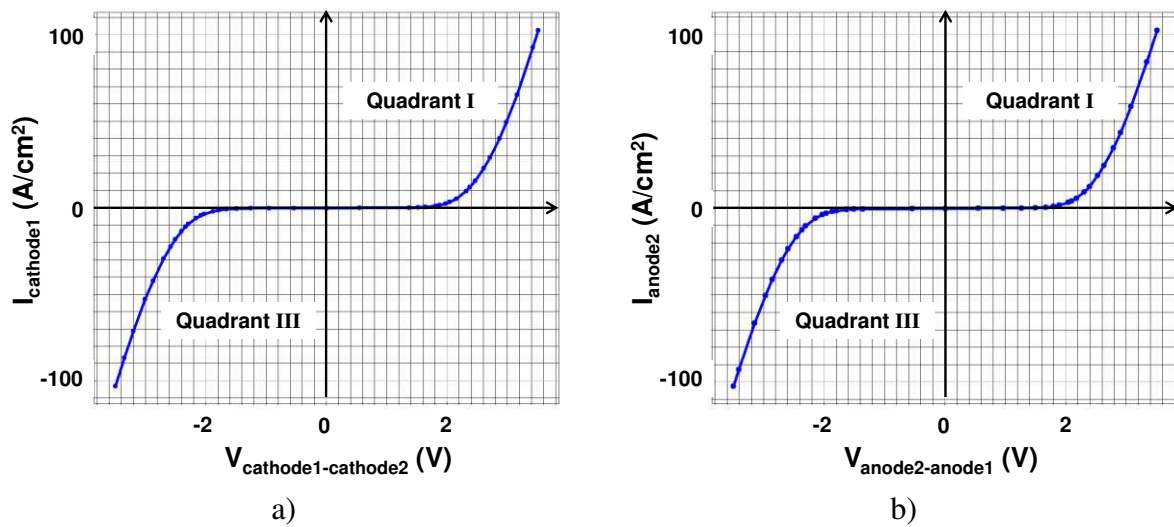


Figure 2-39 : Caractéristique I(V) symétrique des deux tri-pôles en mode interrupteur bidirectionnel, a) cas du tri-pôle à anode commune, b) cas du tri-pôle à cathode commune

Ces deux tri-pôles peuvent donc être utilisés séparément pour des applications nécessitant cette propriété intéressante en électronique de puissance. Nous avons testé (en simulation 2D) ces deux puces dans l'application PFC (*Power Factor Correction*) [23]. Une seule puce est utilisée et seules les électrodes d'anode (anode1 et anode2 pour le tri-pôle à cathode commune) ou de cathode (cathode1 et cathode2 pour la puce à anode commune) sont utilisées, la troisième électrode reste toujours flottante. Dans le cas de l'utilisation de la puce à cathode commune (Figure 2-40), la tension est appliquée entre l'anode1 et l'anode2 et le courant durant chaque alternance circule à travers un IGBT et une diode. La commande des grilles MOS s'effectue par rapport à l'électrode de cathode. La Figure 2-41 montre les formes d'onde aux bornes de la puce à cathode commune.

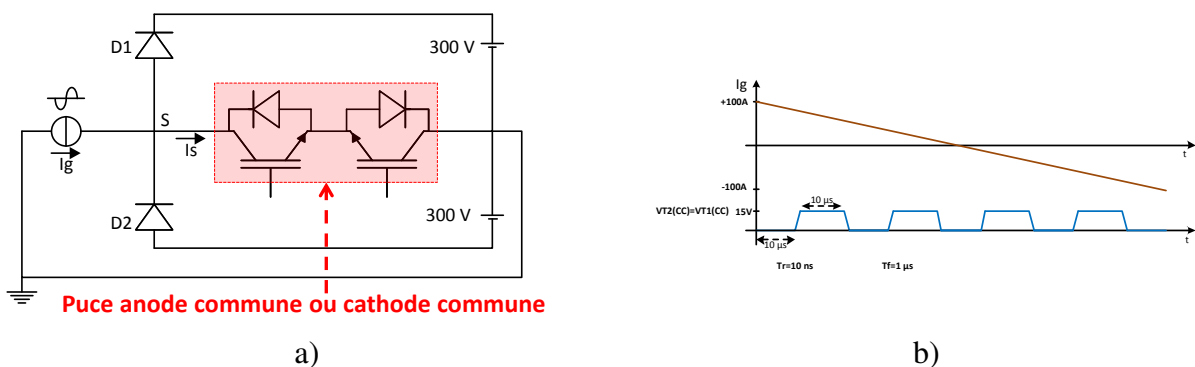


Figure 2-40: Schéma du principe de l'application PFC (*Power Factor Correction*) utilisant le tri-pôle à cathode commune, b) courant I_g et commande des RC-IGBT

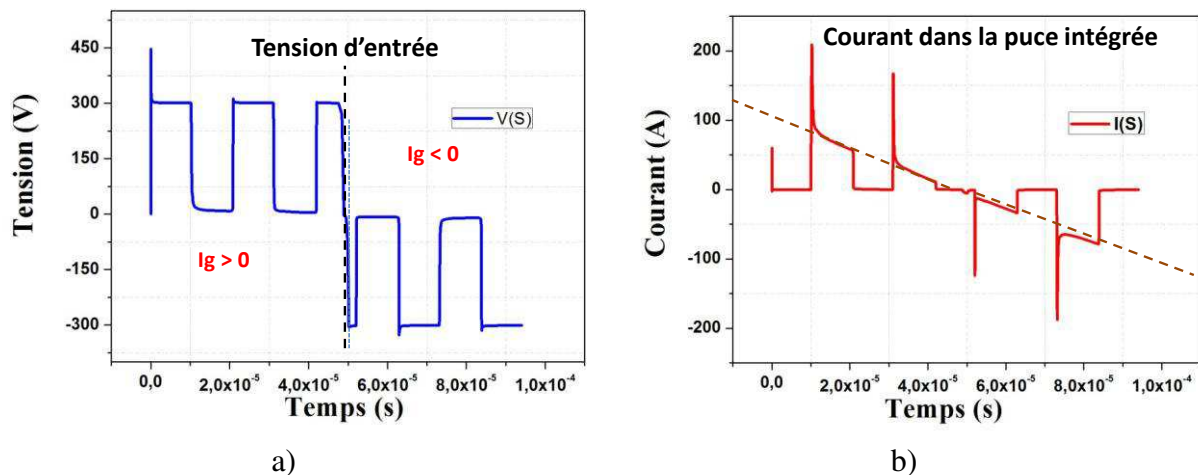


Figure 2-41 : a) allure de la tension d'entrée, b) courant à travers le tri-pôle

Dans le cas de l'utilisation du tri-pôle à anode commune, nous obtiendrions le même résultat que dans le cas de la cathode commune. Dans ce cas, la tension est appliquée entre les deux électrodes cathode1 et la cathode2 et le courant circule durant chaque alternance à travers un IGBT d'une section RC-IGBT et une diode de l'autre section RC-IGBT. La commande des grilles MOS s'effectue par rapport à deux électrodes de potentiels différents (cathode 1 et cathode 2). Il est à noter que le cas d'utilisation du tri-pôle à cathode commune offre l'avantage de pouvoir piloter les deux interrupteurs avec un seul *driver* grâce à la mutualisation de l'électrode de référence de la commande des grilles (cathode).

Ces résultats de simulations des deux tri-pôles montrent bien que les deux puces intégrées peuvent être utilisées dans des applications mettant en jeu des tensions et des courants de natures alternatives.

2.5 Approche d'intégration monolithique "mono-puce" (convertisseur complet)

La deuxième approche d'intégration des convertisseurs statiques est appelée "mono-puce". Cette approche vise à intégrer dans la même puce silicium le schéma complet du circuit conventionnel générique (Figure 2-42). La puce issue de cette approche d'intégration constitue la fusion des deux aiguilleurs anode commune et cathode commune décrites dans la section dédiée à la première approche. C'est une intégration à la fois série et quasi-parallèle de cellules RC-IGBT qui forment le convertisseur. L'idée de cette fusion vient de l'étude des techniques d'association des deux aiguilleurs de la première approche "bi-puce" (Chapitre 3). En effet, cette étude a montré qu'une fusion entre les deux puces permettrait d'avoir de meilleures performances électriques et simplifierait les étapes de report et de packaging.

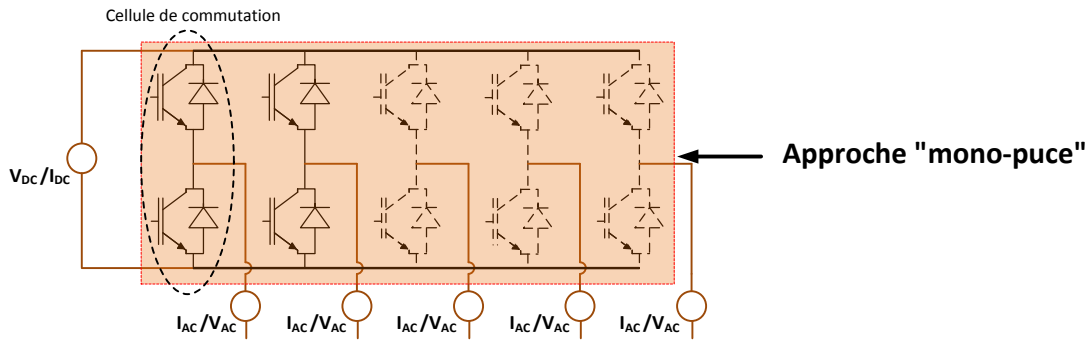


Figure 2-42 : Illustration de l'approche d'intégration "mono-puce"

2.5.1 Description de l'architecture de la puce élémentaire

La puce élémentaire est l'équivalent monolithique d'un pont en H composé par quatre interrupteurs à RC-IGBT (Figure 2-43). La partie *high-side* (tri-pôle à anode commune dans l'approche "bi-puce") est composée de deux interrupteurs à RC-IGBT (RC-IGBT1 et RC-IGBT2). L'anode commune est située au milieu de la mono-puce. Cette région a les mêmes dimensions et les caractéristiques que celles du tri-pôle à anode commune. La région *low-side* (tri-pôle à cathode commune dans l'approche "bi-puce") quant-à-elle est divisée en deux sections qui sont réparties de part et d'autre de la partie *high-side* (RC-IGBT3 et RC-IGBT4). Les sections MOS de cette région sont localisées sur la face arrière de la puce en mode flip-chip[24][25]. L'isolation électrique entre les deux régions *low-side* et *high-side* est réalisée par des murs P⁺ [20][21] qui traversent entièrement le substrat silicium. Notons que deux cellules RC-IGBT voisines dans cette puce se trouvent toujours dans deux états différents de fonctionnement : quand une des deux est passante, l'autre est bloquée et supporte la tension appliquée entre ses bornes.

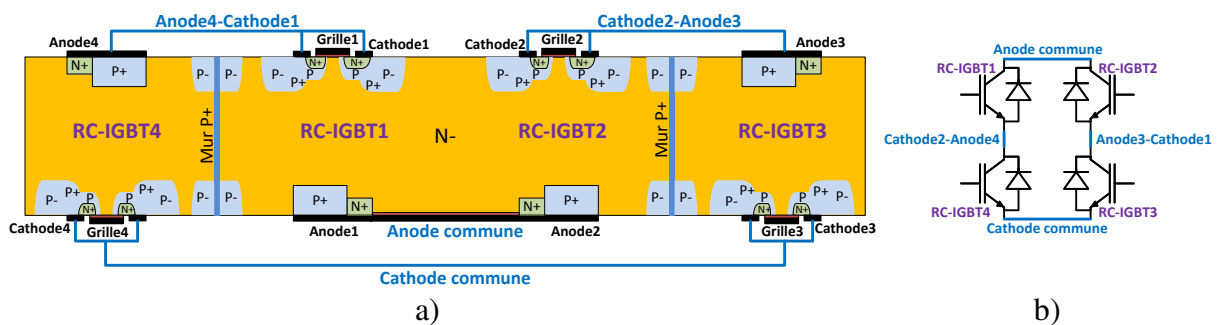


Figure 2-43 : a) vue en coupe de la puce élémentaire intégrant monolithiquement un pont en H complet, b) schéma électrique équivalent

Cette représentation reste relativement simple dans une configuration en pont à deux phases. Une coupe 2D suffit à l'expliquer. Pour une configuration en pont multi-phasé, une représentation 3D est indispensable pour montrer que les cellules à cathode commune sont distribuées en périphérie des cellules centrale anode commune, en autant d'éléments qu'il y a de phases à intégrer. La Figure 2-44 montre une vue de dessus (face avant) et une vue de dessous (face arrière) d'un convertisseur multi-phasé composé par huit interrupteur à RC-IGBT selon l'approche "mono-puce".

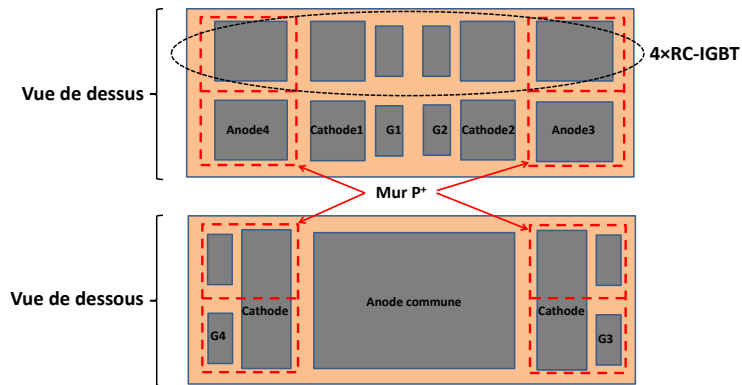


Figure 2-44 : Vue de dessus (face avant) et de dessous (face arrière) d'une mono-puce intégrant huit interrupteurs à RC-IGBT

2.5.2 Validation par simulation du fonctionnement de la mono-puce

Pour des raisons liées au packaging et au report (Chapitre 3), nous allons nous contenter du mode onduleur pour la description des modes de fonctionnement de cette structure. Le mode redresseur ainsi que les autres applications possibles de cette puce ne feront pas l'objet d'étude dans ce manuscrit.

2.5.2.1 Conditions de simulation

Nous avons décrit dans le cadre de la première approche "bi-puce" les conditions de simulation pour vérifier le fonctionnement de l'association des deux tri-pôles en mode onduleur de tension. Nous appliquons les mêmes conditions de simulation pour vérifier le fonctionnement de la mono-puce en mode onduleur. Une tension constante de 600V est appliquée entre les deux électrodes mutualisées sur la face arrière de la puce (anode1-anode2 et cathode3-cathode4) et on fait passer une densité de courant de 100A/cm² entre les deux électrodes mutualisées sur la face avant de la puce (cathode1-anode4 et cathode2-anode3) (Figure 2-45).

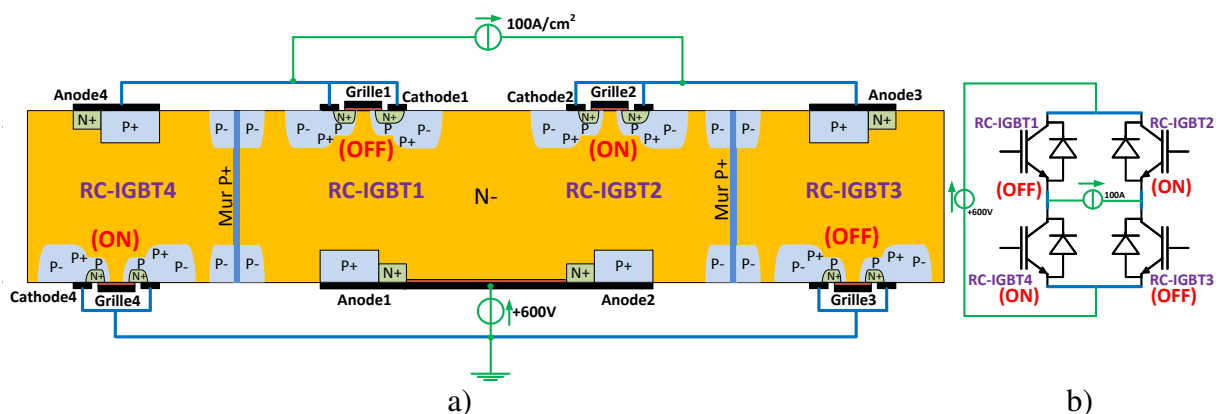


Figure 2-45 : a) conditions de simulation en *Mixed Mode* – Sentaurus™ appliquées à la puce élémentaire pour un fonctionnement en mode onduleur, b) schéma électrique équivalent

2.5.2.2 Fonctionnement en statique de la mono-puce en mode onduleur

Pour réduire le temps de calcul par simulation (étant donné la grande largeur de cette structure), nous utilisons une seule cellule MOS par section RC-IGBT. Les deux modes de fonctionnement statiques de la structure en mode onduleur sont :

- **Mode 1:** RC-IGBT1 et RC-IGBT3 sont à l'état passant tandis que RC-IGBT2 et RC-IGBT4 sont à l'état bloqué (Figure 2-46)

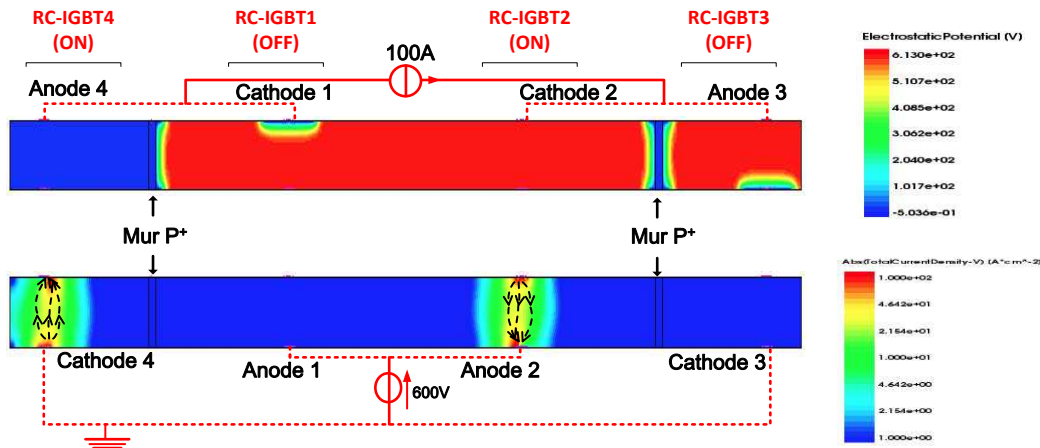


Figure 2-46 : Résultats de simulation 2D pour le mode 1 (conduction IGBT), a) distribution des lignes équipotentiels, b) densité et lignes de courant

Dans ce mode de fonctionnement, c'est l'IGBT de la cellule RC-IGBT1 et la diode de la cellule RC-IGBT3 qui conduisent, les courants de fuite à travers les deux sections RC-IGBT2 et RC-IGBT4 qui se trouvent à l'état bloqué sont $I_{\text{cathode}}(\text{RC-IGBT2}) = 1,1 \cdot 10^{-5} \text{A}$ et $I_{\text{cathode}}(\text{RC-IGBT4}) = 1,4 \cdot 10^{-5} \text{A}$. La zone de charge d'espace se développe de part et d'autre des jonctions $P_{(\text{cathode2})}/N^-$ et $P_{(\text{cathode4})}/N^-$ polarisées en inverse ainsi de part et d'autre la jonction $P_{(\text{mur2-3})}/N^-$ polarisée en inverse également.

- **Mode 2:** RC-IGBT1 et RC-IGBT3 sont bloqués tandis que RC-IGBT2 et RC-IGBT4 sont à l'état passant (Figure 2-47).

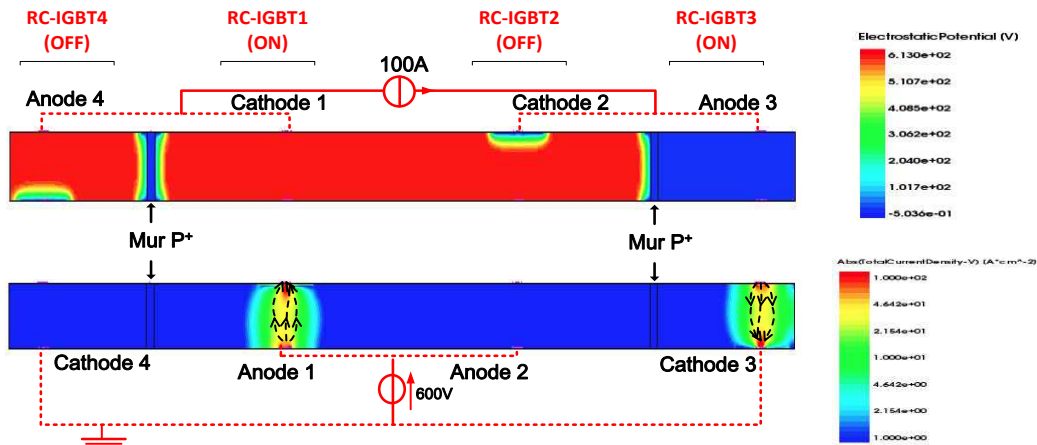


Figure 2-47 : Résultats de simulation 2D pour le mode 2 (conduction diodes), a) distribution des lignes équipotentiels, b) densité et lignes de de courant

Dans ce mode de fonctionnement, c'est l'IGBT de la cellule RC-IGBT4 et la diode de la cellule RC-IGBT2 qui assurent la conduction. Les courants de fuite dans les deux sections RC-IGBT1 et RC-IGBT3 qui se trouvent à l'état bloqué sont $I_{\text{cathode}}(\text{RC-IGBT1}) = 1,2 \cdot 10^{-5} \text{A}$ et $I_{\text{cathode}}(\text{RC-IGBT3}) = 1,7 \cdot 10^{-5} \text{A}$. La zone de charge d'espace dans ce cas se développe de part et d'autre des jonctions $P_{(\text{cathode1})}/N^-$ et $P_{(\text{cathode3})}/N^-$ polarisées en inverse ainsi que de part et d'autre de la jonction $P_{(\text{mur1-4})}/N^-$ polarisée en inverse également. Les valeurs de courant de fuite obtenues dans les deux modes de fonctionnement restent acceptables.

2.5.2.3 Fonctionnement électrique en mode onduleur de la structure sur deux périodes

Le fonctionnement complet en mode onduleur sur deux périodes de l'architecture a été vérifié par simulation 2D avec l'outil Sentaurus™. La tension d'entrée au niveau de la source S1 est constante ($=600\text{V}$), nous appliquons les tensions de commande telles que c'est représenté sur la Figure 2-48a. Les cellules diagonales reçoivent les mêmes signaux de commande sur chaque demi-période avec un temps mort de $10\mu\text{s}$. Le courant de charge $I(S2)$ peut être de nature unidirectionnelle ou bidirectionnelle. La tension de sortie V_{out} aux bornes de la source de courant est alternative (Figure 2-48b). Ceci confirme le bon fonctionnement de la structure proposée en mode onduleur de tension.

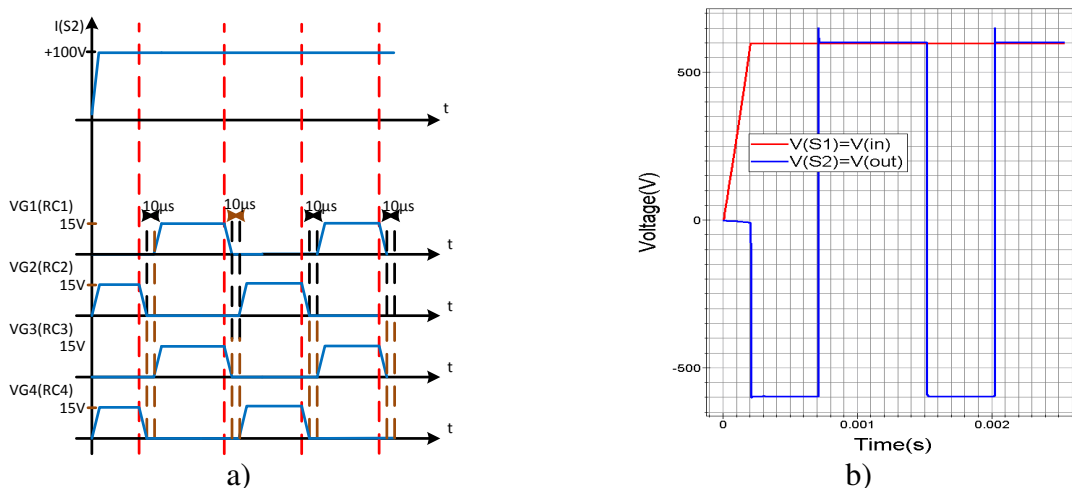


Figure 2-48 : a) signaux de commande appliqués pour l'application onduleur, b) résultat de simulation pour le cas du pont onduleur $V_{S1}=V_{in}=+600\text{V}$ (source de tension DC) $I_{S2}=+100\text{A}$ (source de courant DC) $V_{S2}=\pm 600\text{V}$

2.5.2.4 Etude du comportement de la mono-puce en commutation

L'objectif du travail de simulation dans cette partie est d'analyser le comportement en dynamique de la structure proposée (Figure 2-49a) et de comparer les chronogrammes obtenus aux chronogrammes de référence correspondant à une cellule de commutation à RC-IGBT discrets (Figure 2-49b).

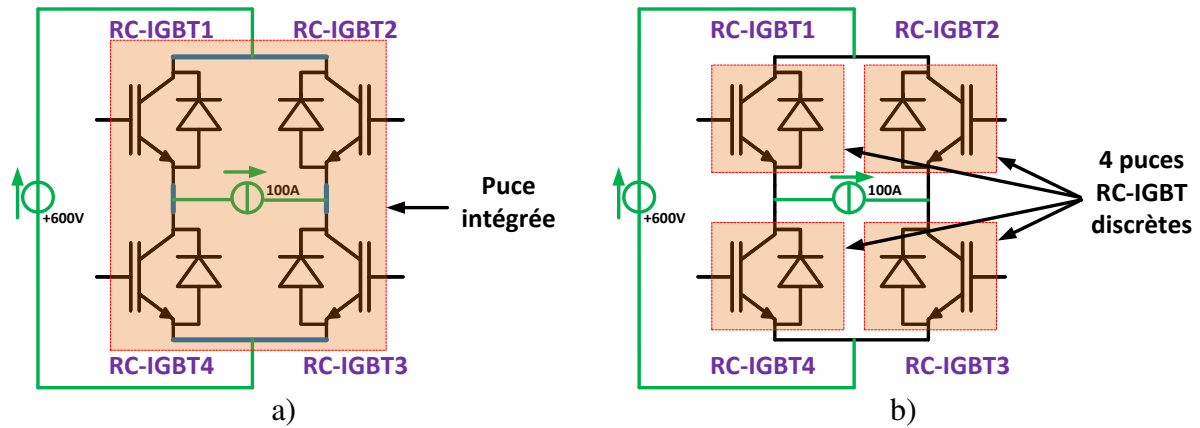


Figure 2-49 : Pont de conversion DC/AC à charge continue, a) cas d'utilisation de la puce intégrée (mono-puce), b) cas d'utilisation de puces RC-IGBT discrètes

Nous avons reporté sur la Figure 2-50 le profil du courant ainsi que de la tension aux bornes d'un interrupteur dans le cas d'un pont en H fonctionnant en mode onduleur et utilisant des composants à RC-IGBT discrets. La Figure 2-51 illustre le profil du courant et de la tension pour l'interrupteur RC-IGBT1 dans le cas utilisant la puce intégrée composée par quatre RC-IGBT (mono-puce).

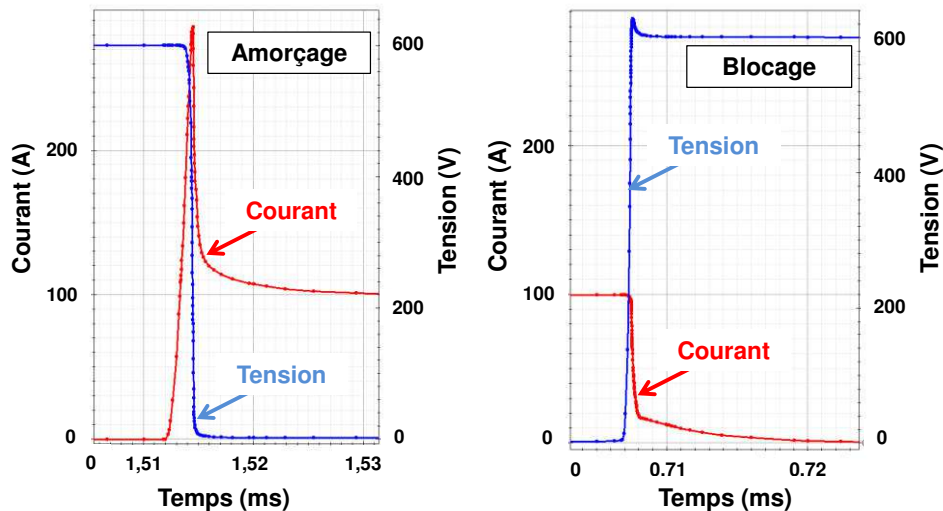


Figure 2-50 : Agrandissement sur la commutation "dure" d'un interrupteur RC-IGBT discret (simulations 2D, une seule cellule MOS par section RC-IGBT, $S=1\text{cm}^2$)

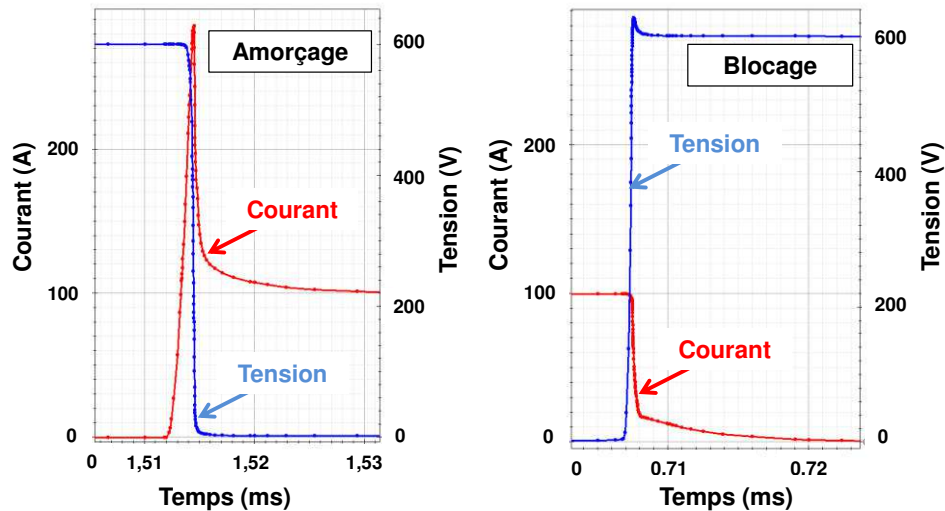


Figure 2-51 : Agrandissement sur la commutation "dure" de l'interrupteur RC-IGBT1 de la mono-puce élémentaire intégrée (simulations 2D, une seule cellule MOS par section RC-IGBT, $S=1\text{cm}^2$)

Nous pouvons constater que le profil du courant ainsi que de la tension dans les deux cas sont très proches. Pour les sections IGBT, nous retrouvons logiquement sur les courbes simulées l'effet du recouvrement inverse de la diode à l'amorçage, le trainage sous la forme d'une queue de courant et la non-linéarité sur la remontée de tension au blocage. Pour les sections diode nous retrouvons bien le courant inverse pour le recouvrement des charges stockées au blocage et le *pic* de tension à l'amorçage régi par la dynamique d'installation des charges.

Ce résultat de simulation montre l'absence d'interactions électriques entre les interrupteurs à RC-IGBT intégrés sur la même puce silicium nuisibles au fonctionnement de l'application. Ils permettent aussi de bien valider la démarche de co-simulation entre la modélisation physique 2D et le circuit test au moyen d'un couplage fort.

2.6 Conclusion

Nous avons présenté dans ce chapitre les deux approches permettant d'intégrer les cellules de commutation qui forment les convertisseurs reposant sur des composants à conduction verticale. Ces convertisseurs adressent les domaines de la faible et de la moyenne puissance. Les puces élémentaires qui ont été dimensionnées et étudiées par simulations 2D dans ce chapitre permettent de valider les deux approches d'intégration sur silicium (convertisseur "bi-puce" et convertisseur "mono-puce"). Les deux aiguilleurs complémentaires nécessaires pour l'approche "bi-puce" (aiguilleur à anode commune et aiguilleur à cathode commune) nécessitent une étude connexe d'association et de report pour profiter des avantages de cette intégration sur le plan électrique. Les résultats de simulation ont montré une bonne maîtrise des courants de fuite croisés et un faible surcoût silicium. La puce unique issue de l'approche "mono-puce", quant-à-elle, nécessite une solution de report 3D sur substrat. Les résultats préliminaires exposés dans ce chapitre montrent là aussi une bonne maîtrise des courants de fuite et un comportement dynamique bien caractéristique des propriétés connues par ailleurs sur les composants discrets. Le chapitre suivant est dédié à l'étude de l'aspect packaging des structures proposées. Cette étude sera effectuée à l'aide de l'outil de simulation par éléments finis 3D Comsol™ *multi-physics*. Une comparaison entre les performances électriques de chacune des approches sera faite à la fin du chapitre 3.

Bibliographie du chapitre 2

- [1] T. Kimmer, J. Oehmen, P. Tuerkes, et S. Voss, « Reverse Conducting IGBT - A new Technology to Increase the Energy Efficiency of Induction Cookers », in *IEEE Power Electronics Specialists Conference, 2008. PESC 2008*, 2008, p. 2284-2287.
- [2] D. Kumar, M. Sweet, K. Vershinin, L. Ngwendson, et E. M. S. Narayanan, « RC-TCIGBT: A Reverse Conducting Trench Clustered », in *19th International Symposium on Power Semiconductor Devices and IC's, 2007. ISPSD '07*, 2007, p. 161-164.
- [3] H. Ruthing, F. Hille, F.-J. Niedernostheide, H.-J. Schulze, et B. Brunner, « 600 V Reverse Conducting (RC-)IGBT for Drives Applications in Ultra-Thin Wafer Technology », in *19th International Symposium on Power Semiconductor Devices and IC's, 2007. ISPSD '07*, 2007, p. 89-92.
- [4] L. Storasta, A. Kopta, et M. Rahimo, « A comparison of charge dynamics in the reverse-conducting RC IGBT and Bi-mode Insulated Gate Transistor BiGT », in *2010 22nd International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2010, p. 391-394.
- [5] H. Takahashi, A. Yamamoto, S. Aono, et T. Minato, « 1200V reverse conducting IGBT », in *The 16th International Symposium on Power Semiconductor Devices and ICs, 2004. Proceedings. ISPSD '04*, 2004, p. 133-136.
- [6] P. LEFRANC "Etude, conception et réalisation de circuits de commande d'IGBT de forte puissance" Institut national des Sciences Appliquées de Lyon, thèse 2005.
- [7] E. Griebel, L. Lorenz, et M. Purschel, « LightMOS a new power semiconductor concept dedicated for lamp ballast application », in *Industry Applications Conference, 2003. 38th IAS Annual Meeting. Conference Record of the*, 2003, vol. 2, p. 768-772 vol.2.
- [8] M. Rahimo, A. Kopta, U. Schlapbach, J. Vobecky, R. Schnell, et S. Klaka, « The Bi-mode Insulated Gate Transistor (BIGT) a potential technology for higher power applications », in *21st International Symposium on Power Semiconductor Devices IC's, 2009. ISPSD 2009*, 2009, p. 283-286.
- [9] U. R. Vemulapati, N. Kaminski, D. Silber, L. Storasta, et M. Rahimo, « Analytical Model for the Initial Snapback Phenomenon in RC-IGBTs », présenté à ISPS'12.
- [10] H. Jiang, B. Zhang, W. Chen, Z. Li, C. Liu, Z. Rao, et B. Dong, « A Snapback Suppressed Reverse-Conducting IGBT With a Floating p-Region in Trench Collector », *IEEE Electron Device Lett.*, vol. 33, n° 3, p. 417-419, 2012.
- [11] H. Ruthing, F. Hille, F.-J. Niedernostheide, H.-J. Schulze, et B. Brunner, « 600 V Reverse Conducting (RC-)IGBT for Drives Applications in Ultra-Thin Wafer Technology », in *19th International Symposium on Power Semiconductor Devices and IC's, 2007. ISPSD '07*, 2007, p. 89-92.
- [12] H. Jiang, B. Zhang, W. Chen, M. Qiao, Z. Li, C. Liu, Z. Rao, et B. Dong, « Low turnoff loss reverse-conducting IGBT with double n-p-n electron extraction paths », *Electron. Lett.*, vol. 48, n° 8, p. 457-458, 2012.
- [13] L. Zhu et X. Chen, « An Investigation of a Novel Snapback-Free Reverse-Conducting IGBT and With Dual Gates », *IEEE Trans. Electron Devices*, vol. 59, n° 11, p. 3048-3053, 2012.
- [14] T. Minato, S. Aono, K. Uryu, et T. Yamaguchi, « Making a bridge from SJ-MOSFET to IGBT via RC-IGBT structure Concept for 600V class SJ-RC-IGBT in a single chip solution », in *2012 24th International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2012, p. 137-140.

- [15] M. Antoniou, F. Udrea, F. Bauer, et I. Nistor, « A new way to alleviate the RC IGBT snapback phenomenon: The Super Junction solution », in *2010 22nd International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2010, p. 153-156.
- [16] M. Rahimo, U. Schlapbach, R. Schnell, A. Kopta, J. Vobecky, et A. Baschnagel, « Realization of higher output power capability with the Bi-mode Insulated Gate Transistor (BIGT) », in *13th European Conference on Power Electronics and Applications, 2009. EPE '09*, 2009, p. 1-10.
- [17] A. Bourennane, J.-L. Sanchez, F. Richardeau, E. Imbernon, et M. Breil, « On the integration of a PIN diode and an IGBT for a specific application », Conférence ISPS'06, République tchèque, Prague, 2006, p. 1-6.
- [18] R. Natarajan, K. R. Varadarajan, C. Hitchcock, et T. P. Chow, « An 800V integrated DMOS-IGBT/PiN or MPS-rectifier power device », in *The 16th International Symposium on Power Semiconductor Devices and ICs, 2004. Proceedings. ISPSD '04*, 2004, p. 261-264.
- [19] B. T. Donnellan, P. A. Mawby, M. Rahimo, et L. Storasta, « Introducing a 1200V vertical merged IGBT and Power MOSFET: The HUBFET », in *2012 Twenty-Seventh Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2012, p. 152-156.
- [20] J.-L. Sanchez, E. Scheid, P. Austin, M. Breil, H. Carriere, P. Dubreuil, E. Imbernon, F. Rossel, et B. Rousset, « Realization of vertical P+ walls through-wafer for bi-directional current and voltage power integrated devices », in *2003 IEEE 15th International Symposium on Power Semiconductor Devices and ICs, 2003. Proceedings. ISPSD '03*, 2003, p. 195-198.
- [21] H. Carriere, « Etude et conception de murs P+ traversants dédiés au la technologie MOS », Rapport LAAS-CNRS, 2003.
- [22] F. Capy, « Etude et conception d'un interrupteur de puissance monolithique à auto-commutation : le thyristor dual disjoncteur », Université Paul Sabatier -Toulouse III, thèse 2009.
- [23] D. D. Reljic, V. V. Vasic, et D. V. Oros, « Power factor correction and harmonics mitigation based on phase shifting approach », in *Power Electronics and Motion Control Conference (EPE/PEMC), 2012 15th International*, 2012, p. DS3b.12-1-DS3b.12-8.
- [24] K. Chai et L. Wu, « The underfill processing technologies for flip chip packaging », in *First International IEEE Conference on Polymers and Adhesives in Microelectronics and Photonics, 2001*, 2001, p. 119-123.
- [25] H.-C. Lu, C.-C. Kuo, P.-A. Lin, C.-F. Tai, Y.-L. Chang, Y.-S. Jiang, J.-H. Tsai, Y.-M. Hsin, et H. Wang, « Flip-Chip-Assembled -Band CMOS Chip Modules on Ceramic Integrated Passive Device With Transition Compensation for Millimeter-Wave System-in-Package Integration », *IEEE Trans. Microw. Theory Tech.*, vol. 60, n° 3, p. 766-777, 2012.

Chapitre 3 : Assemblage des puces multi-pôles sur substrat DBC/SMI

3.1	INTRODUCTION	101
3.2	ASSEMBLAGE DES PUCES SILICIUM DE PUISSANCE SUR SUBSTRAT	101
3.2.1	SUBSTRATS POUR L'ELECTRONIQUE DE PUISSANCE	102
3.2.1.1	Technologie SMI (ou IMS)	102
3.2.1.2	Technologie DBC (ou DCB)	104
3.2.2	REPORT DES PUCES	104
3.2.3	CABLAGE DANS LES MODULES DE PUISSANCE	105
3.2.4	ENCAPSULATION.....	105
3.2.5	TECHNIQUES D'ASSOCIATION DES DEUX AIGUILLEURS SUR SUBSTRAT DBC/SMI	106
3.2.5.1	Montage de référence: RC-IGBT discrets en report face arrière	106
3.2.5.2	Technique 1 : Report face arrière des puces aiguilleurs	108
3.2.5.3	Technique 2 : Report <i>Flip-chip</i> partiel des puces aiguilleurs.....	109
3.2.5.4	Report 3D Chip-on-Chip	111
3.2.6	APPLICATION A LA "MONO-PUCE": SOLUTION D'ASSEMBLAGE	112
3.2.7	ETUDE PAR SIMULATIONS ELECTROMAGNETIQUE ET THERMIQUE DE L'ASSOCIATION DES PUCES AIGUILLEURS SUR SUBSTRAT DBC/ SMI	114
3.2.7.1	Etude électromagnétique par simulation 3D	114
a)	Description de la structure du modèle de simulation	114
b)	Couplage électromagnétique entre les <i>wire bonds</i>	115
c)	Couplage électromagnétique entre les <i>wire bonds</i> et les pistes.....	116
d)	Applications aux techniques d'assemblage des deux aiguilleurs	117
3.2.7.2	Etude thermique par simulation 3D.....	119
a)	Description de l'étude thermique par simulations 3D	121
b)	Résultats de simulation	124
c)	Compromis inductance parasite versus couplage thermique.....	127
3.3	CONCLUSION	128
	BIBLIOGRAPHIE DU CHAPITRE 3 :	129

3.1 Introduction

L'intégration des cellules de commutation doit permettre de simplifier les étapes d'assemblage : report, interconnexion et encapsulation. Cette simplification se justifie par le nombre réduit de puces à assembler sur le substrat et par le nombre réduit d'étapes ou de process technologiques nécessaires. En effet, la première approche "bi-puce" permet de réduire le nombre de puces à assembler à deux puces uniquement, la deuxième approche "mono-puce" permet de réduire davantage ce nombre à seulement une seule puce (intégration ultime). De plus, l'intégration a pour but -comme cela été expliqué dans le premier chapitre de ce manuscrit- de réduire/ou de supprimer les fils de connexion (*wire bonds*) pour améliorer la fiabilité et les performances électriques des modules de puissance de conversion. Pour atteindre cet objectif, les deux puces aiguilleurs issues de l'approche d'intégration "bi-puce" nécessitent une étude de techniques d'association pour les assembler sur substrat (PCB, SMI ou DBC) afin de réaliser les fonctions de conversion d'énergie souhaitées (notamment pour les deux applications de base de type DC/AC ou AC/DC).

Ce chapitre est dédié aux aspects d'assemblage et à l'étude des techniques d'association de puces aiguilleurs. Tout d'abord, nous rappelons les principes de reports des puces silicium sur substrat SMI/DBC. Ensuite, nous étudions les techniques d'association possibles des deux aiguilleurs (tri-pôle à anode commune et tri-pôle à cathode commune). Ces techniques seront comparées avec la technique classique d'assemblage qui utilise des puces RC-IGBT discrètes. Nous verrons par la suite que la solution d'assemblage 3D de la mono-puce, issue de la deuxième approche d'intégration, exploite les résultats de l'étude sur l'assemblage bi-puce. Une étude électromagnétique sous l'outil de simulation par éléments finis 3D sous COMSOL *multiphysics* permettra de comparer le gain en termes de réduction d'inductance parasite des interconnexions pour chaque technique d'association étudiée. Une étude thermique sera aussi introduite pour étudier l'impact de l'intégration (le rapprochement des puces dans le module de puissance dans le cas général) sur l'élévation de la température de jonction de la puce intégrant monolithiquement plusieurs interrupteurs à RC-IGBT dans le module.

3.2 Assemblage des puces silicium de puissance sur substrat

Il existe plusieurs filières technologiques pour réaliser des circuits hybrides de puissance que l'on peut classer selon divers paramètres. Nous distinguerons tout d'abord deux grandes catégories : les filières à puces nues dans lesquelles les semi-conducteurs sont assemblés au niveau des puces de silicium (notre cas d'étude). Les filières micro-boîtiers dans lesquelles les semi-conducteurs utilisés sont déjà encapsulés dans un boîtier (le plus souvent pour report à plat ou CMS). Il est bien sûr possible de mélanger les deux filières par exemple en réalisant la partie puissance en puces nues et la commande en CMS, c'est d'ailleurs la tendance en technologie GaN car aucune technologie de boîtier n'est actuellement standardisée. A l'intérieur de chaque catégorie, on distinguera les filières par la nature du substrat utilisé. Chaque filière technologique possède ses caractéristiques spécifiques et son coût. C'est en général ce dernier paramètre qui est déterminant.

3.2.1 Substrats pour l'électronique de puissance

Les circuits électroniques de puissance se différencient de leurs homologues de signal par trois critères : un courant important dans les connexions, une tension élevée entre certains points du circuit et un flux de chaleur à évacuer. Les exigences techniques pour les substrats destinés aux circuits de puissance sont de ce fait particulières : des conducteurs d'épaisseur suffisante pour passer le courant (fil de connexion de diamètre important et métallisation épaisse des puces et substrat) et des caractéristiques thermomécaniques appariées avec les composants qu'ils supportent. Un diélectrique ayant une bonne conductivité thermique, une grande rigidité et une faible permittivité relative (pour réduire les capacités parasites). Les principaux isolants utilisés en hybride de puissance sont : les résines époxy chargées, l'alumine (Al₂O₃), le nitrure d'aluminium (AlN). Le Tableau 3-1 suivant résume les principales caractéristiques de ces matériaux par comparaison au silicium, au cuivre et à l'aluminium.

		Conductivité thermique (W/m.°K)	Coefficient de dilatation (ppm/°K)	Permittivité relative
Diélectrique	Alumine	20 ...28	7,3	8,5
	Nitrure d'aluminium	70 ...270	4,5	8,8
	Oxyde de béryllium	250 ...300	7,5 ...9	6,5
Brasures	Sn ₆₃ Pb ₃₇	51	25	-
	95,5Pb/2,5Ag/2Sn	23	30	-
	95,5Pb/4Ag/0,5Cu	55	23	-
	96,5Sn/3,5Ag	33	22	-
Matériaux conducteurs	Silicium	125	4	-
	Cuivre	400	16 ...18	-
	Aluminium	210	23	-

Tableau 3-1 : Caractéristiques des matériaux les plus utilisés en hybride de puissance

Les substrats en électronique de puissance se différencient selon le type et la nature des matériaux empilés ainsi qu'avec la technologie de réalisation des pistes conductrices. Nous distinguons particulièrement deux grandes technologies : la technologie SMI et la technologie DBC.

3.2.1.1 Technologie SMI (ou IMS)

Les Substrats Métalliques Isolés (SMI ou IMS) sont apparus il y a quelques dizaines d'années au Japon. Les premières applications semblent se situer dans le domaine grand public, basse puissance, et plus particulièrement dans les amplificateurs audio fréquences hybridés (Sanyo, série STK). Des produits industriels ont été ensuite réalisés dans cette technologie : alimentations à découpage, convertisseurs DC/DC et les circuits de commande

des moteurs. Les SMI ont par la suite connus un développement important dans le domaine de la basse-tension : apparition de nouveaux fournisseurs (non japonais), nouveaux produits dans le domaine industriel, fort intérêt des industriels de l'automobile...

Un Substrat Métallique Isolé est un matériau constitué de plusieurs couches : une embase généralement en Aluminium, d'épaisseur variant de 1,5mm à 3mm selon les fournisseurs et les modèles. Un isolant électrique "mince" de 50 à 150µm d'épaisseur, dont la nature varie selon les fournisseurs (résine époxy plus ou moins chargée en alumine, polyimide, polyamide,...). Une couche de cuivre de 35µm, identique à celle que l'on rencontre dans les circuits imprimés classiques (possibilité de couches de 70 ou 105µm). La surface de cuivre est gravée à la manière d'un circuit imprimé, selon le procédé suivant : découpe des circuits, masquage (par sérigraphie ou procédé photographique) des pistes, gravure par attaque chimique, traitement de surface éventuel (nickelage, dorure ou vernis épargne...). L'utilisation des substrats métalliques isolés peut s'effectuer de deux manières principales : soit en reportant directement les puces de puissance sur le SMI par brasage et par l'intermédiaire d'un répartiteur thermique : c'est la filière que nous appellerons *Chip On Board* [1][2] de puissance (COB) (Figure 3-1a) ; soit en reportant par brasage des composants déjà encapsulés en micro-boîtiers de puissance (*Dpack*, *D2pack*, *Power SO*, ...) : c'est la filière CMS de puissance (Composants Montés en Surface) (Figure 3-1b).

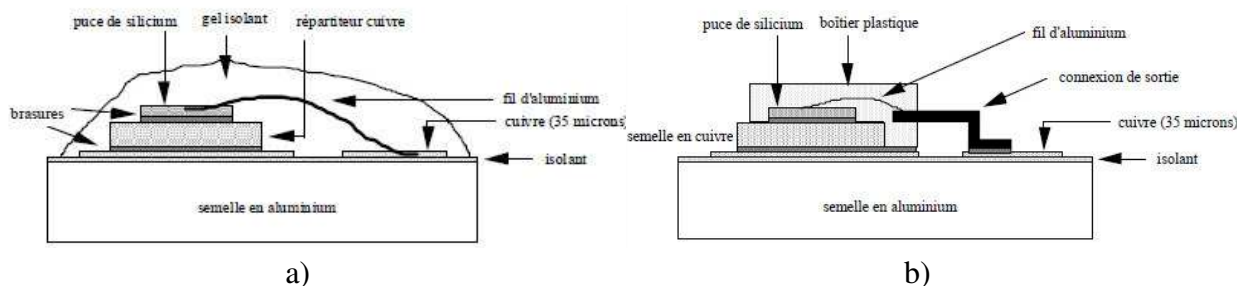


Figure 3-1 : Vue schématique en coupe de l'assemblage SMI
a) montage COB, b) montage CMS

Sa structure mono-couche à isolant "mince" dérivée de la technologie prépreg – PCB rend le SMI très économique mais limité à la basse-tension (jusqu'à 600V pour des produits ARLON™) et à la faible densité de puissance en raison d'une conductivité thermique médiocre de l'isolant majoritairement à base d'époxy (2 à 3 W/mK maximum typiquement). La faible épaisseur de son isolant conjuguée à la grande surface des puces brasées sur le SMI (ex. MOSFET basse-tension) conduit à des capacités de mode commun élevées à travers le substrat (courant de substrat). Dans ces conditions, comme nous le verrons dans la suite de ce chapitre, une précaution d'usage consiste à ne reporter sur le substrat que des faces de puces n'ayant que des potentiels fixes (i.e. pas de dv/dt) afin de minimiser le courant de fuite capacitif source de perturbations EMI.

3.2.1.2 Technologie DBC (ou DCB)

Les termes DBC (*Direct Bond Copper*) ou DCB (*Direct Copper Bonding*) désignent un procédé de réalisation de substrats céramique recouverts d'une couche épaisse de cuivre directement laminée à chaud après oxydation du cuivre. Le dépôt est généralement symétrique sur les deux faces pour équilibrer la contrainte mécanique. Ce procédé s'applique à des substrats en Alumine ou en Nitrure d'Aluminium et permet de métalliser les deux faces. L'épaisseur de la couche de cuivre peut atteindre la moitié de l'épaisseur de la céramique (par exemple 0,3mm de cuivre sur une alumine de 0,635mm).

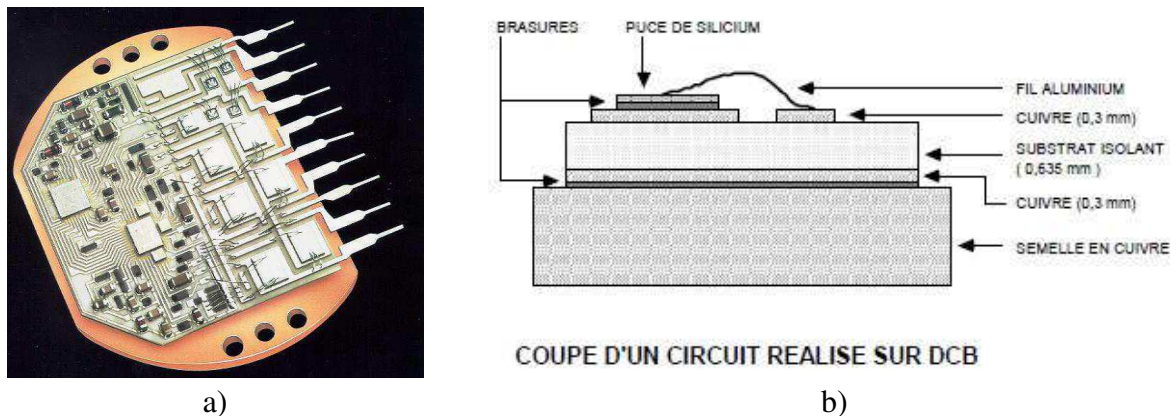


Figure 3-2 : a) assemblage DBC réel, b) vue schématique en coupe

L'utilisation de substrats DCB présente de nombreux avantages pour la réalisation de circuits hybrides de puissance (Figure 3-2) : une bonne robustesse mécanique, une bonne conductivité thermique permettant une brasure directe des puces sans répartiteur, une très bonne conductivité électrique (cuivre épais), la possibilité de gravure chimique permettant la réalisation économique de prototypes, une simplification du montage grâce à une réduction du nombre d'éléments à assembler et enfin, un faible coefficient de dilatation. Des voies alternatives de report existent entre la couche de métal et le substrat comme le DAB (*Direct Aluminium Bonded*)[3] et l'AMB (*Active Metal Brazing*) permettant d'atteindre une meilleure tenue aux chocs thermiques en particulier lorsque le substrat est constitué de nitrure de silicium (Si_3N_4). Dans le cas particulier des applications très basse-tension, excepté le SMI, une technique particulière dite IML consiste à isoler non pas le substrat mais directement l'interface avec le dissipateur au moyen d'une graisse thermique fortement chargée en billes de silice calibrées.

3.2.2 Report des puces

Le report des puces de puissance, dont la métallisation de la face arrière se termine généralement par de l'or ou de l'argent, s'effectue le plus souvent par refusion d'un alliage de brasure tendre (à base d'étain, le plomb étant maintenant interdit) dans un four à passage sous atmosphère contrôlée. En plus de sa fonction de liaison électrique et thermique, la brasure dont l'épaisseur varie de 50 à 100 μm , joue le rôle de joint de dilatation entre le silicium et la métallisation du substrat ou le répartiteur thermique (généralement du cuivre). L'opération de

brasage des puces est déterminante pour la résistance thermique et pour la fiabilité car la brasure étant intégralement traversée par le flux thermique issu de la puce, toute lacune ou "void" peut entraîner l'apparition de points chauds préjudiciables au bon fonctionnement du circuit et à sa durabilité. Au cours de sa vie active, un équipement subit des cycles thermiques (marche/arrêt) en plus de son environnement. La puce de silicium s'échauffe jusqu'à sa température de fonctionnement puis se refroidit jusqu'à la température ambiante. Compte tenu des différences de coefficient de dilatation entre le silicium et le métal sur lequel elle est brasée, il se produit des contraintes mécaniques qui fatiguent les brasures et peuvent aboutir à une défaillance de l'ensemble. Ce phénomène est connu sous le nom de fatigue thermique HCF (*High Cycle Fatigue*) et VHCF (*Very High Cycle Fatigue*) [4][5].

3.2.3 Câblage dans les modules de puissance

La métallisation des plages de prise de connexion des puces de silicium est quasi exclusivement constituée d'aluminium faiblement alliée avec du silicium. L'interconnexion puce-conducteurs ou puce-puce s'effectue donc tout naturellement par câblage ultrasonique de fils d'aluminium dont le diamètre peut atteindre 500 μ m pour les puces de puissance. Cette opération s'effectue à l'aide de machines de câblage plus ou moins automatisées. Le fil d'aluminium passe à travers un outil fixé à une sonotrode alimentée par un générateur ultrasonique de fréquence supérieure ou égale à 40kHz. Des voies alternatives semblent émerger aujourd'hui avec des fils de câblage en cuivre (et donc un dépôt de cuivre / titane sur la métallisation native en aluminium) plus accommodantes lors des cycles actifs, des rubans Al ou co-laminés Al/Cu aux performances électriques et thermiques accrues et enfin le remplacement des fils de câblage par broches ou palettes larges (*Direct Lead Bonding*)[6] proposés par les fabricants japonais ou un second substrat DBC (CoolIR²) offrant un refroidissement double face isolé [7][8]. DLB et DBC sont brasés ou frittés sur les puces dont la finition est, par exemple, en Ag sur les deux faces. Ces technologies émergentes sont actuellement tirées par le marché des applications des véhicules électriques et hybrides au Japon, aux USA et en Allemagne.

3.2.4 Encapsulation

L'encapsulation est obligatoire pour toutes les filières puces nues. Rappelons que le boîtier assure plusieurs fonctions : la protection mécanique et électrique du circuit contre les agressions extérieures (poussières, humidité, corrosions ...), le maintien des connexions notamment dans le cas des circuits de puissance qui nécessitent des connexions de forte section (barres de cuivre), l'évacuation de la chaleur générée dans le circuit vers un échangeur adéquat et l'isolation électrique du circuit par rapport à l'extérieur. On peut distinguer deux sortes de boîtiers : les boîtiers hermétiques totalement étanches à la pénétration de gaz, ces boîtiers en céramique ou en métal sont en général très coûteux ce qui les réserve aux applications militaires et spatiales. Dans ce type de boîtiers, l'opération de capotage s'effectue sous atmosphère contrôlée. Les boîtiers non hermétiques, le plus souvent constitués d'une semelle métallique sur laquelle est fixé le substrat et d'une boîte en plastique remplie de résine (époxy le plus souvent plus ou moins chargée en silice pour appairer le CTE avec la puce, augmenter la conductivité thermique ou rendre la décapsulation chimique plus difficile à une

opération de *reverse engineering*). Pour des boîtiers de faibles dimensions, le moulage peut s'effectuer par transfert à l'aide d'une presse. La disposition judicieuse de la connectique permet de réduire l'inductance parasite des connexions et de faciliter le câblage extérieur (liaisons courtes avec les condensateurs de découplage...). De grands progrès ont été effectués dans ce domaine, notamment dans les modules de grande puissance à IGBT mais les boîtiers moulés en résine restent limités en température. Dans ce dernier cas et pour les modules de grande taille, la passivation est réalisée par du gel silicone permettant un bien meilleur comportement thermomécanique et une meilleure tenue à la haute température (>175°C).

3.2.5 Techniques d'association des deux aiguilleurs sur substrat DBC/SMI

Partant de cet état de l'art, nous présentons dans la suite de ce chapitre les architectures d'assemblage adaptées à la mise en œuvre des puces à anode et cathode communes introduites au Chapitre 1 et étudiées au Chapitre 2.

3.2.5.1 Montage de référence : RC-IGBT discrets en report face arrière

L'association des deux tri-pôles intégrés (anode commune et cathode commune) sur un substrat permet de former un pont en H composé de deux cellules de commutation. Plus généralement, l'intégration d'un réseau d'interrupteurs à anode commune au sein d'une première puce "*high side*" combinée à l'intégration d'un réseau d'interrupteurs à cathode commune au sein d'une seconde puce "*low side*" permet d'envisager la réalisation d'un convertisseur multi-phase comme cela a été introduit au Chapitre 1. En prenant le RC-IGBT comme composant discret de référence, l'équivalent de ce pont en composants discrets est composé de quatre RC-IGBT. Les faces arrières de ces quatre puces sont brasées sur la première couche en cuivre du substrat (DBC ou SMI) (Figure 3-3). Les pads de grilles G1, G2, G3 et G4 désignent respectivement grille1, grille2, grille3 et grille4 et sont associées respectivement aux puces RC-IGBT1, RC-IGBT2, RC-IGBT3 et RC-IGBT4. Les sources Kelvin pour les commandes des grilles sont désignées par SK1, SK2, SK3 et SK4 pour RC-IGBT1, RC-IGBT2, RC-IGBT3 et RC-IGBT4 respectivement. Les deux électrodes Anode et Cathode désignent les deux électrodes mutualisées dans le pont. A3 et A4 désignent les deux électrodes anode3 et anode4 pour RC-IGBT3 et RC-IGBT4 respectivement. Ces pads doivent être dimensionnés et séparés pour satisfaire aux contraintes de tenue en tension et de densité de courant dans le module ainsi qu'à l'évacuation de la chaleur dissipée dans les puces à travers le substrat.

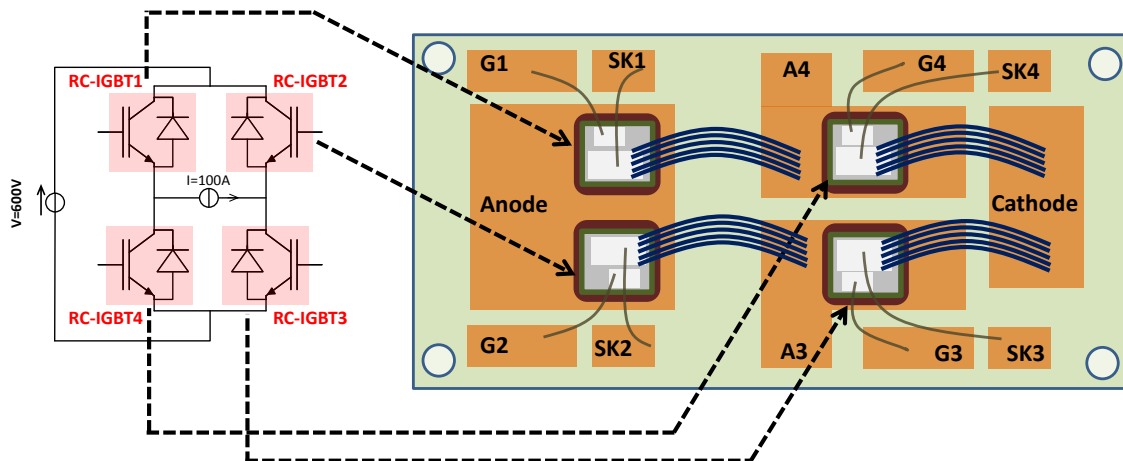


Figure 3-3 : Illustration donnant le principe de l'assemblage de quatre puces RC-IGBT discrètes en report face arrière sur un substrat DBC/SMI (vue de dessus)

Les connexions de commande des grilles sont illustrées par des fils noirs. Le nombre des fils de câblage pour ce type de connexions est limité (un seul fil typiquement), ceci est dû à l'absence de courant permanent dans ces connexions. En revanche, le nombre de fils nécessaires pour réaliser les connexions de puissance (en bleu dans la Figure 3-3) dépend du courant maximal et du courant efficace équivalent mis en jeu ainsi que la nature des fils (résistivité électrique et conductivité thermique du matériau et sa géométrie). De nombreuses abaques et routines de simulation existent permettant de déterminer l'auto-échauffement et le gradient thermique au centre de la boucle du fil connaissant sa longueur, son diamètre, le courant efficace permanent équivalent et les conditions aux limites (puce et pads) [9][10]. Le milieu ambiant, gel ou résine époxy, ne participe que de manière négligeable au transfert thermique entre le fil et son encapsulant. Usuellement des densités de courant de l'ordre de 80A/mm² sont employées pour des fils courts de 5 à 10mm de longueur. Pour une section de 254µm de diamètre (10 millième de pouce) on obtient 4A_{eff} équivalent par fil et pour une section de 381µm de diamètre (15 millième de pouce) on obtient 9A_{eff} équivalent par fil. En régime de forte surcharge en courant et dans le cas particulier d'un régime extrême de court-circuit, les fils constituent un point faible et peuvent le cas échéant faire fusible (généralement après que la puce soit elle-même détruite). L'Équation 3-1 exprime l'énergie de fusion par unité d'ohm (I²T) d'un fil obtenu par calcul thermique en régime impulsionnel suffisamment bref pour que seule la zone centrale du fil soit en régime d'accumulation de chaleur sans échange avec son milieu et les pads de connexion aux extrémités (régime adiabatique). Ce résultat montre que seul le diamètre du fil est dimensionnant. Par exemple un faisceau de fils en aluminium de 15 mils de diamètre, le I²T minimum nécessaire au début de la fusion est de 100A².s/Nb² (Nb est le nombre de fils en parallèle). Ce type de calcul est intéressant pour identifier préalablement la zone de rupture de la connectique du convertisseur (module, busbar) en régime de court-circuit et bien entendu pour s'en prémunir par l'insertion d'une zone fusible dédiée et conçue pour jouer ce rôle en toute sélectivité.

$$PT_{wb} = \frac{\mu C_p S^2}{\rho_{25^\circ C} \alpha} \ln \frac{1 + \alpha(\theta_f - 25^\circ C)}{1 + \alpha(\theta_{init} - 25^\circ C)} \quad \text{Équation 3-1}$$

Dimensionnement sous contrainte de I^2T d'un fil de bonding

- μ : densité
- C_p : chaleur massique du matériau
- ρ : résistivité
- α : le coefficient de sensibilité thermique
- S : section du fil de *bonding*
- θ_f : température de fusion
- θ_{init} : température initiale avant l'impulsion

Dans le cas de l'utilisation de puces RC-IGBT de 1cm² de surface active pour faire passer un courant continu permanent de 100A (pour une densité totale de 100A/cm² dans le composant), au moins 20 fils de 254µm ou 10 fils de 381µm sont nécessaires par section pour réaliser une connexion puce-conducteur (fils en bleu dans la Figure 3-3). La maille d'une cellule de commutation est formée par deux RC-IGBT en série. Cette maille nécessite alors deux sections de fils.

Dans un tel circuit (module), un découplage capacitif est nécessaire entre les deux électrodes anode et cathode. Dans le cadre de cette technique de référence, ces deux électrodes se retrouvent éloignées l'une de l'autre aux deux extrémités du module. De ce fait, le découplage capacitif ne peut se faire qu'à l'extérieur du module. Par conséquent, d'autres connexions par fils se rajoutent dans le module par l'intermédiaire des broches de connexion au boîtier. Une solution consisterait à rapprocher les deux électrodes par des pistes en cuivre, mais cela augmenterait leur inductance parasite équivalente et diminuerait l'effet du découplage capacitif.

3.2.5.2 Technique 1 : Report face arrière des puces aiguilleurs

Les deux tri-pôles anode commune et cathode commune peuvent être assemblés en report face arrière de manière classique pour former le pont en H (Figure 3-4). Dans ce cas, les puces RC-IGBT discrètes sont simplement remplacées par les deux tri-pôles intégrés.

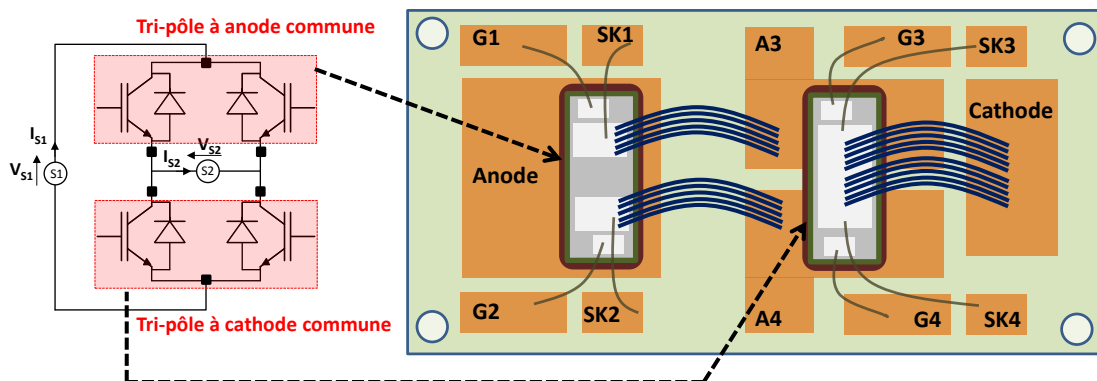


Figure 3-4 : Illustration de l'assemblage des deux tri-pôles anode commune et cathode commune en report face arrière (vue de dessus)

Le nombre de sections de fils utilisé pour réaliser les connexions est conservé par rapport au cas de référence. Etant donné que l'électrode de la cathode est mutualisée par l'intégration dans le cas du tri-pôle à cathode commune, chacune des deux mailles de commutation dans ce cas est formée par deux sections de fils, une première section composée d'un nombre nominal de fils et l'autre est composée de deux sections en parallèle de fils. Dans l'hypothèse d'une distribution homogène du courant dans les fils de la deuxième section, la résistance ainsi que l'inductance équivalente de cette connexion est donc plus faible que dans le cas de référence utilisant des RC-IGBT discrets. Néanmoins, en termes de découplage capacitif, les deux électrodes anode et cathode se trouvent aussi éloignées dans cette technique, par conséquent, le découplage capacitif ne peut se faire qu'à l'extérieur du module.

3.2.5.3 Technique 2 : Report *Flip-chip* partiel des puces aiguilleurs

La deuxième technique étudiée (Figure 3-5) est appelée *flip-chip* partiel [11][12]. Dans ce cas, le premier tri-pôle à anode commune est maintenu en report face arrière, tandis que le deuxième tri-pôle à cathode commune est retourné et reporté sur sa face avant contenant l'électrode de la cathode mutualisée.

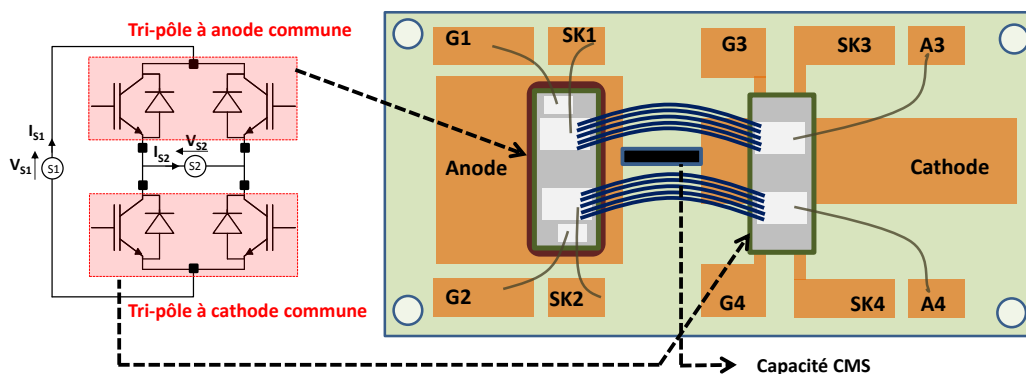


Figure 3-5 : Illustration du principe de l'assemblage des deux tri-pôle anode commune et cathode commune en report *flip-chip* partiel (vue de dessus)

Cette technique présente quatre avantages :

- La maille de commutation est courte, elle ne nécessite qu'une seule section nominale de fils (par maille de commutation), ce qui réduit les effets résistifs et inductifs parasites des connexions de moitié.
- Elle autorise l'insertion de capacités CMS de découplage directement dans le module. En effet, les deux électrodes anode et cathode se trouvent au plus proche dans cette technique. Ce qui a pour effet de réduire l'effet des connexions vers l'extérieur du module.
- Absence de variation de potentiels ou dv/dt sur les plages de report DBC/SMI. En effet, les points du milieu de sortie à la charge (A3 et A4 sur la Figure 3-5) dans le pont se trouvent dans le cadre de cette technique sur les faces supérieures des puces. Ils ne sont donc pas en contact direct avec les pistes en cuivre du substrat. Ces points milieu sont le siège de variations du potentiel dv/dt et contribuent au courant du mode commun

(Chapitre 1). Par conséquent, les courants capacitifs aux niveaux du substrat DBC/IMS sont réduits dans cette configuration.

- Du fait que les fils de câblage se trouvent alignés sur un même plan (plan horizontal de la face supérieure des puces), ces fils peuvent être remplacés par une interconnexion plane et large de type DLB (*Direct Lead Bonding*) ou de manière plus économique par un PCB afin de supprimer les fils de câblage dans le module (Figure 3-6). L'utilisation des pistes larges et épaisses du PCB est avantageuse car ces pistes sont moins résistives et moins inductives comparées aux fils de câblage (section 3.2.7.1). Dans le cas de puces fines, l'ensemble PCB et substrat en face arrière constitue l'équivalent d'un *busbar* très peu inductif à condition de bien considérer la zone mettant en vis-à-vis le cuivre sur la face arrière du PCB et la terminaison périphérique de la puce (effet plaque de champ). Une alternative permettant de contourner ce problème de plaque de champ est de cuivrer uniquement la face avant du PCB et de contacter la puce par des via réparties en grand nombre, aux dépens d'une inductance de maille majorée. Le PCB peut également être fonctionnalisé en intégrant des *drivers*, des capteurs... et un deuxième dissipateur de chaleur, ce qui ouvre la voie à un champ technologique potentiellement très riche en applications.

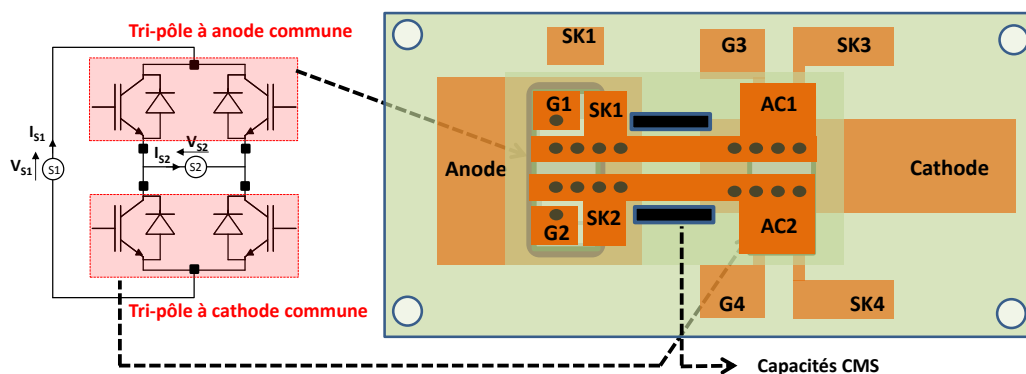


Figure 3-6 : Illustration de l'assemblage des deux tri-pôles anode commune et cathode commune en report *flip-chip* partiel (version *Direct Lead Bonding* réalisée par un PCB)

La technique *flip-chip* partielle nécessite l'utilisation de technique particulière pour pouvoir braser les puces par leur face avant partant d'une couche d'Aluminium faiblement alliée avec du silicium et parfois du cuivre. Des investigations sont en cours sur la plate-forme 3DPHI pour déposer une couche d'accroche Ti/Ni sur ce type de puce permettant le cuivrage et éventuellement la croissance d'une couche plus épaisse par électrodéposition. Une alternative plus économique en cours de test sur la plate-forme de micro et nanotechnologies du LAAS vise à préformer des *bumps* minces superposés par un procédé à ultrason de type *stud bumping* puis à presser la puce sur le réseau de *bumps* ainsi formés. La rigidité et le contact électrique étant améliorés par l'injection autour des *bumps* d'une résine époxy fortement chargée en particule d'Ag. [5][6]. Dans le cas d'un report *flip chip* de la puce tri-pôle à cathode commune (Figure 3-7), la tenue en tension dépend de l'épaisseur du diélectrique entre la puce et le substrat ainsi que de sa permittivité [13]. La surélévation de la puce permet aussi de maîtriser le contact dans ce mode de report. En effet, cela évite de court-

circuiter l'électrode de la grille avec celle de la cathode, il permet également d'éviter de contacter la passivation de la puce silicium/substrat sur la face avant de la puce.

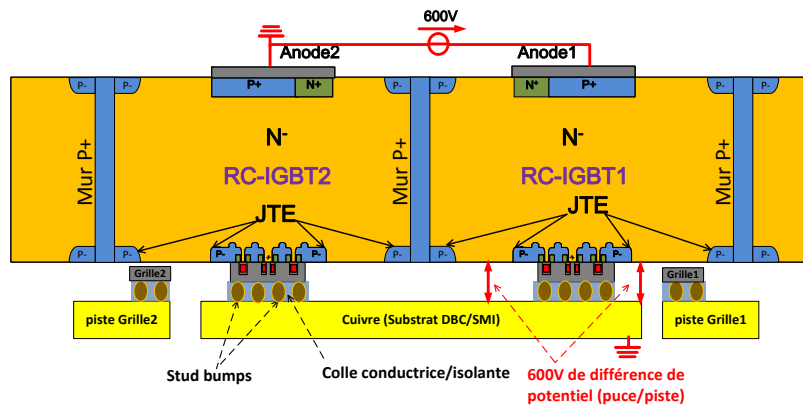


Figure 3-7 : Illustration du report *flip chip* du tri-pôle à cathode commune avec l'utilisation des *stud bumps*

3.2.5.4 Report 3D Chip-on-Chip

Les deux aiguilleurs anode commune et cathode commune peuvent être aussi associés selon le concept *Power Chip-on-Chip* [14][15]. La Figure 3-7 montre une illustration de l'assemblage 3D des deux aiguilleurs multicellulaires pour réaliser un convertisseur multi-phase. L'inconvénient majeur de cette technique vient de sa complexité ainsi que de la nécessité de développer des techniques spécifiques de refroidissement de la puce sur la partie supérieure de l'assemblage (cathode commune) [15]. La zone de fermeture de la cellule de commutation reste à concevoir, mais notons que le désalignement des deux puces et l'absence de région co-planaire rend plus complexe la réalisation de celle-ci.

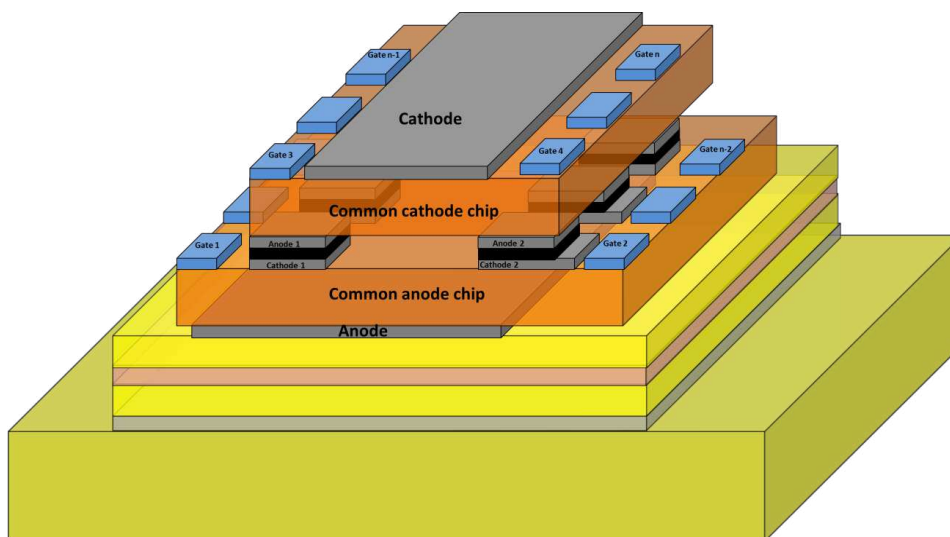


Figure 3-8 : Illustration de l'assemblage des deux aiguilleurs (multi-interrupteur) anode commune et cathode commune en report 3D selon le concept *Power Chip-on-Chip*

3.2.6 Application à la "Mono-puce": Solution d'assemblage

La Figure 3-9 montre une vue en coupe 2D de la solution de packaging proposée au cours de ma thèse pour la structure mono-puce précédemment étudiée dans le Chapitre 2 dans le cadre de la deuxième approche d'intégration monolithique de cellule de commutation. Comme on peut le voir, le packaging de cette puce profite de tous les avantages procurés par l'association *flip-chip* partielle [11] des deux aiguilleurs anode commune et cathode commune. En mode onduleur, les deux électrodes de la face arrière anode commune et cathode de cette puce sont à potentiel fixe (ou du moins aucun dv/dt de découpage n'est perçu sur cette face arrière). Les électrodes à connecter pour former les points du milieu dans le pont se trouvent sur la face avant de la puce, seules ces électrodes sont le siège d'un dv/dt de découpage.

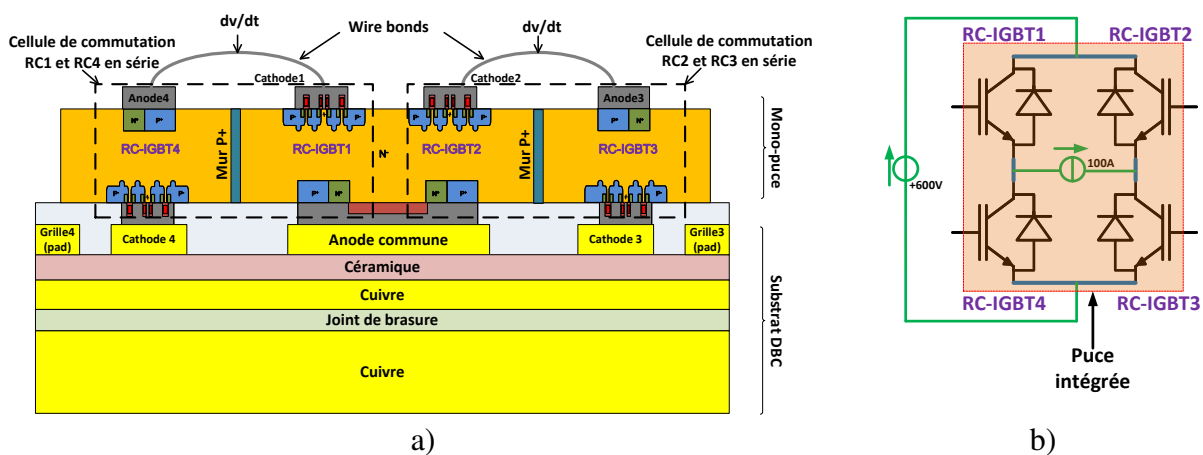


Figure 3-9 : a) illustration de la solution d'assemblage de la mono-puce en version *wire bonds* (vue en coupe), b) schéma électrique équivalent

Cette architecture "tout silicium" peut être vue comme une intégration ultime et permet d'avoir une longueur des mailles de commutation la plus courte possible. Le découplage peut dans ce cas être réalisé sur le substrat de report au plus près des électrodes communes anode et cathode. Les plages de report des puces au niveau du substrat ne sont pas exposées directement aux variations de potentiel dv/dt du découpage, ce qui permettrait de réduire le courant du mode commun sur le substrat surtout si un SMI est employé.

Comme dans le cas des deux aiguilleurs montés en *flip chip* partiel, les connexions sur la face avant de la puce peuvent être remplacées aussi par les pistes d'un substrat PCB (cuvré en face avant ou en face arrière offrant un degré de liberté pour gérer l'effet plaque de champ en bord de puce [13]) (Figure 3-10) ou encore un DBC si un refroidissement double face est nécessaire.

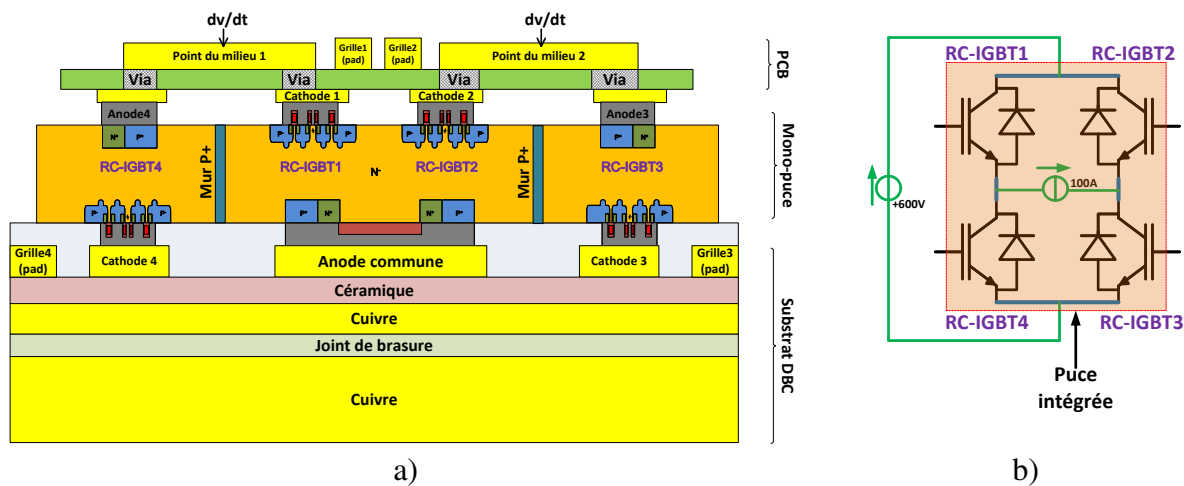
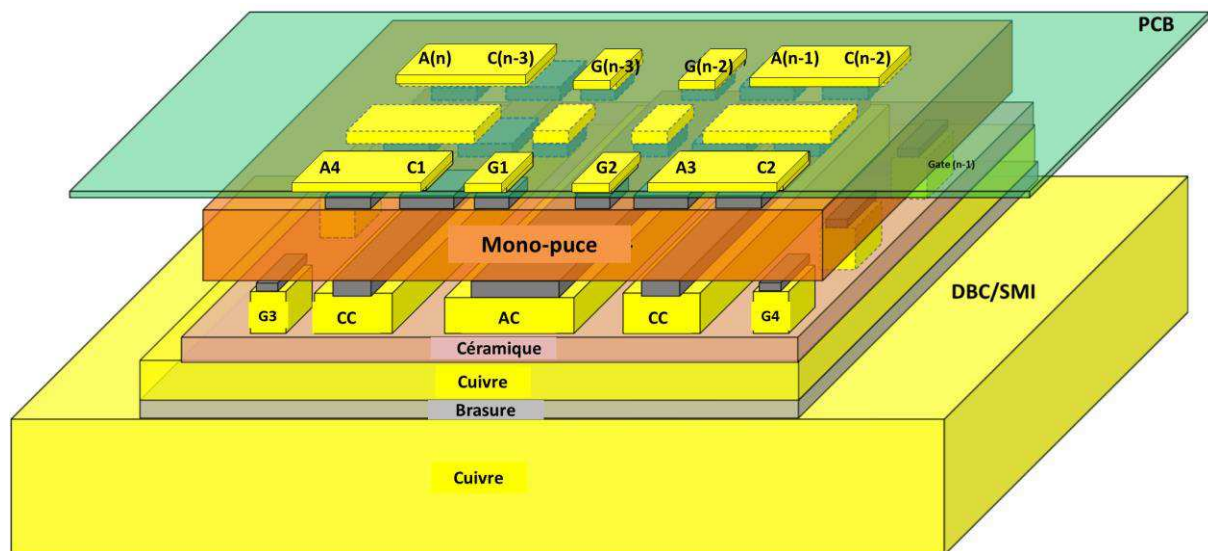


Figure 3-10 : a) illustration de la solution d'assemblage de la mono-puce en version PCB (vue en coupe), b) schéma électrique équivalent

La Figure3-11 montre une vue 3D (virtuelle) du packaging d'une mono-puce multicellulaire (n cellules de commutation intégrées dans la même puce). C'est une perspective de ce travail qui permettrait à terme de réduire significativement les étapes de réalisation et d'assemblage du convertisseur générique pour les applications de faible et moyenne puissance. En effet, après la réalisation de la mono-puce silicium contenant toutes les cellules de commutation constituant le convertisseur voulu, un premier substrat (SMI/DBC) est gravé pour recevoir la mono-puce en face arrière, un deuxième substrat de type PCB (qui peut être flexible) est aussi gravé pour réaliser les connexions sur la face avant de la puce. Le tout est ensuite passivé et encapsulé pour réaliser le module de puissance.



A: Anode, C: Cathode, G: Grille, AC: Anode commune, CC: Cathode commune

Figure3-11 : Illustration virtuelle de l'assemblage d'un convertisseur multicellulaire basé sur l'approche mono-puce (vue 3D)

3.2.7 Etude par simulations électromagnétique et thermique de l'association des puces aiguilleurs sur substrat DBC/ SMI

Dans le but de comparer les performances électriques de chacune des techniques présentées dans le paragraphe précédent, nous nous sommes appuyé sur des simulations physiques 3D par éléments finis sous l'outil COMSOL *multiphysics*. Ces simulations permettent d'évaluer l'inductance parasite équivalente d'une connexion pour une maille de commutation pour chacune des techniques. D'autre part, nous avons effectué une étude par simulations 3D sous le même logiciel, sous forme thermique cette fois, permettant d'évaluer l'impact de l'intégration des puces sur l'élévation de la température de la jonction par le couplage thermique [16][17] entre les flux de chaleur dissipés dans chaque interrupteur formant la puce intégrée. Ces deux modèles permettront ensuite, d'appréhender le compromis : inductance parasite versus élévation de la température de jonction.

3.2.7.1 Etude électromagnétique par simulation 3D

a) Description de la structure du modèle de simulation

Dans cette structure (Figure 3-12), nous nous intéressons particulièrement aux éléments très inductifs dans le module. Les puces elles-mêmes ainsi que les joints de brasure ne sont pas pris en considération. La nature du substrat dans ce modèle n'a pas d'importance et ne sera pas considérée également. Pour des raisons de simplification du modèle et du temps de calcul, nous choisissons un substrat classique de type PCB. En effet, dans les modules qui illustrent les techniques d'association des puces RC-IGBT et aiguilleurs du paragraphe précédent, le courant dans une maille de commutation dans le module de la Figure 3-3 par exemple parcourt le chemin : Pad RC-IGBT1 (anode face arrière) → Colle1 (brasure face arrière) → Puce RC-IGBT1 → 5×wire bonds → Puce RC-IGBT2 → Colle2 (brasure face arrière) → Pad RC-IGBT2 (cathode). Compte tenu de leur section relative, les inductances équivalentes des joints de brasure ainsi que celles des puces sont négligeables devant celles des pads et des fils de câblage.

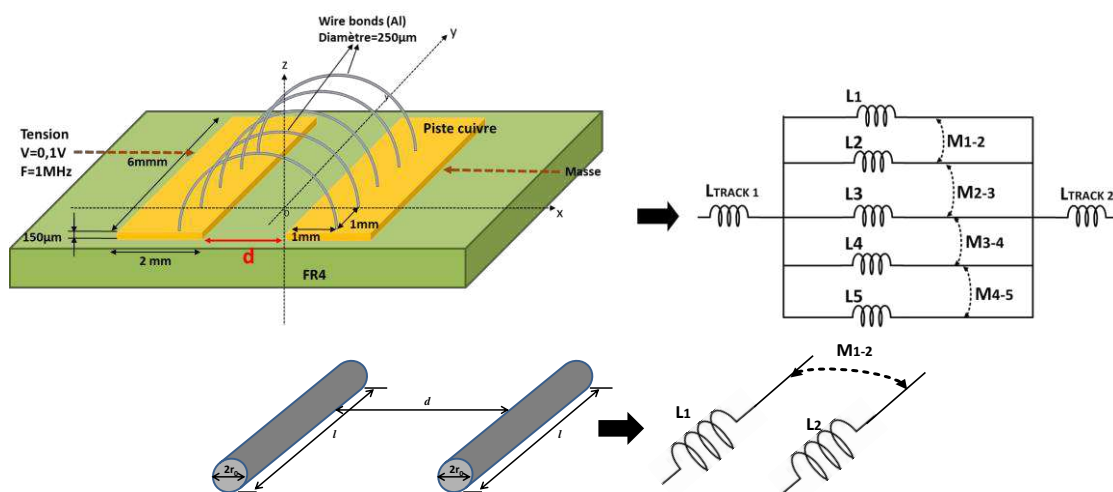


Figure 3-12 : Illustration de la structure du modèle électromagnétique d'un faisceau de bonding sous COMSOL (le substrat est ici isolé du plan de masse, sans semelle métallique)

Cette structure (Figure 3-12) repose sur une géométrie paramétrée et adaptative. Dans l'exemple considéré ici, elle est composée par deux pistes de cuivre de dimensions $6\text{mm}\times 2\text{mm}$ et de $150\mu\text{m}$ d'épaisseur. Ces deux pistes sont connectées à travers un faisceau de fils de câblage composé par 5 fils. Les fils sont séparés par une distance de 1mm et les deux pistes sont séparées par une distance "d" (quand "d" augmente, la longueur des fils augmente). Chaque fils de câblage est équivalent à une inductance. Deux fils côte à côte, présentent une inductance mutuelle. Le but à travers ce modèle est de calculer l'inductance équivalente de l'ensemble (2 pistes + section de fils) et de trouver un design permettant de minimiser celle-ci. Afin de vérifier et de comparer les valeurs obtenues par les simulations physiques sous COMSOL avec des formules analytiques de la littérature [18][19][20] pour le calcul de l'inductance équivalente d'un *wire bonds*, d'une piste métallique en cuivre et de l'inductance mutuelle entre deux fils de câblage (voir Annexe2), cette structure est entièrement paramétrée en dimensions, nombre de fils, la distance qui les sépare, leur diamètre et la largeur des pistes en cuivre.

b) Couplage électromagnétique entre les fils de câblage

La Figure 3-13 montre la structure utilisée pour simuler l'inductance mutuelle dans le cas de deux fils de câblage. Cette structure est composée de deux pistes en cuivre connectées entre elles par deux fils en aluminium.

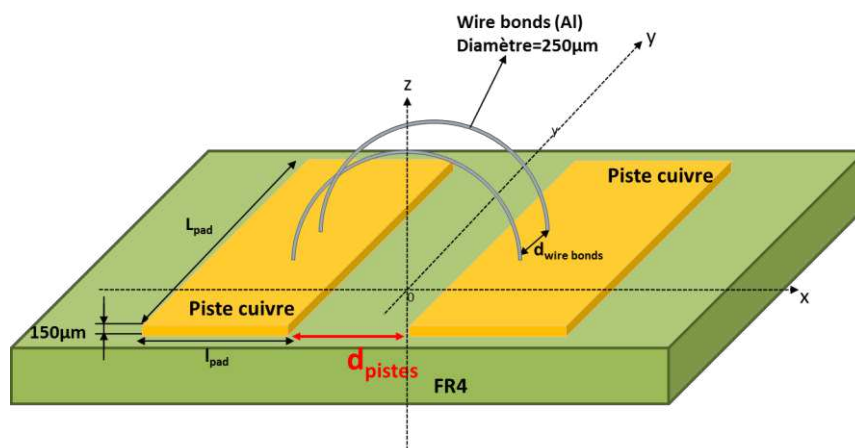


Figure 3-13 : Structure utilisée pour simuler l'influence de l'inductance mutuelle entre deux fils de câblage sur l'inductance équivalente d'une connexion piste/ fils de câblage /piste

La Figure 3-14 montre les résultats de simulation de l'inductance équivalente de la connexion piste/ $2\times$ fils de câblage /piste en fonction de la distance qui sépare les deux pistes. Ces simulations ont été faites pour différentes valeurs du diamètre des fils de câblage (10mils, 20mils et 30mils).

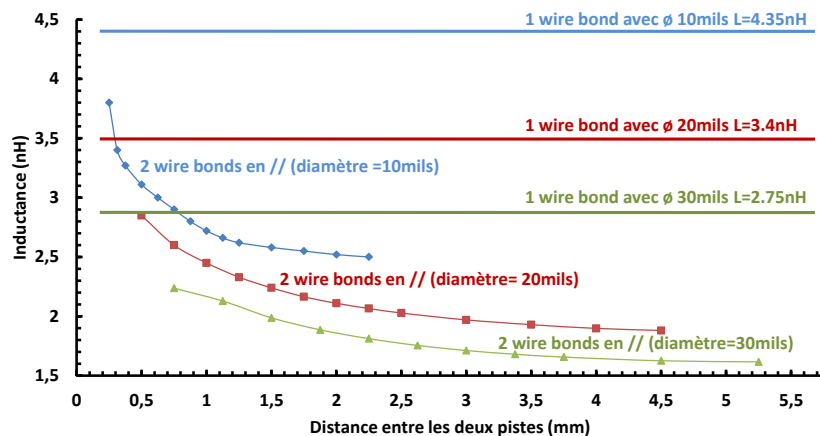


Figure 3-14 : Couplage électromagnétique en fonction de la distance de séparation entre les fils de câblage

Selon ces résultats, nous remarquons qu'à partir d'une distance de séparation de 1mm, le couplage électromagnétique entre les deux fils est faible. C'est le cas généralement pour les composants de puissance où la distance entre les fils est assez grande (>1mm pour négliger l'inductance mutuelle), l'inductance mutuelle est donc très faible et la valeur de l'inductance équivalente globale se rapproche de la valeur de l'inductance d'un fil divisée par le nombre de fils en parallèle ($L_{\text{équi}}=L/\text{nombre de fils}$).

c) Couplage électromagnétique entre les fils de câblage et les pistes

Le couplage électromagnétique (pistes/wire bonds) rend le calcul théorique de l'inductance équivalente de l'ensemble complexe. De ce fait, nous avons simulé sous COMSOL deux cas : le premier correspond à une piste large (5mm×6mm×150 μ m), et le deuxième cas correspond à une piste courte (2mm×6mm×150 μ m). Ces deux cas ont été simulés pour un nombre qui va de 1 jusqu'à 5 fils de 250 μ m de diamètre. Dans les deux cas aucune semelle métallique en face arrière de substrat n'est utilisée.

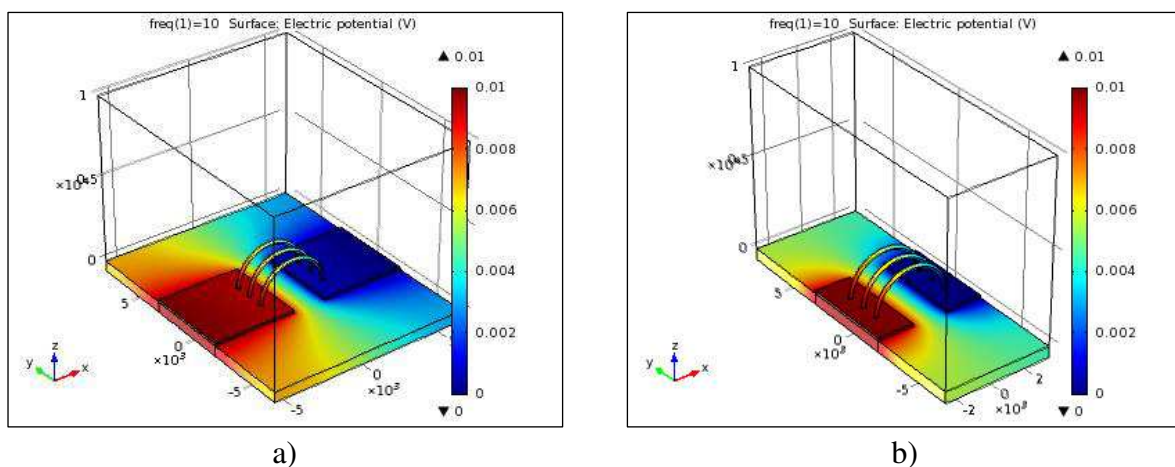


Figure 3-15 : Simulation du couplage électromagnétique pour le cas de trois wire bonds, a) piste d'amenée dite "longue", b) piste d'amenée dite "courte"

La tension appliquée entre les deux pistes est de 0,1V avec une fréquence de 1MHz. Les valeurs de l'inductance équivalente de l'ensemble avec celles obtenues avec les formules théoriques (Annexe 2) sont résumées dans le Tableau. 3- 1.

Méthode de calcul	Nombre de fils de câblage	Inductance équivalente (nH)	
		Piste "longue"	Piste "courte"
Formules théoriques	1	2,74	4,35
	2	-	2,5
	3	3,14	1,9
	5	2,36	1,21
Simulation COMSOL	1	-	4,85
	2	-	2,42
	3	-	1,61
	5	-	0,97

Tableau. 3- 1 : Résultats de simulation en comparaison avec les formules analytiques (résultats obtenus en collaboration avec Zhifeng DOU – post-doctorant au Laplace dans le cadre d'un projet ANR Emergence) (Annexe 2)

Selon les résultats de ce tableau, l'utilisation de pistes courtes en simulation sous COMSOL donne des valeurs très proches des valeurs obtenues par les formules théoriques. Ceci peut être expliqué par le fait que l'influence de l'inductance des pistes courtes est négligeable devant celle des fils de câblage dans ce cas.

d) Applications aux techniques d'assemblage des deux aiguilleurs

La Figure 3-16 présente les différentes structures simulées. Chacune fait apparaître une maille de commutation différente pour les cas : 1- report face arrière utilisant des puces RC-IGBT discrètes (Figure 3-16a), 2- report face arrière utilisant les deux tri-pôles intégrés (Figure 3-16b), 3- report flip-chip partiel utilisant les deux tri-pôles en version *wire bonds* (Figure 3-16c) et 4- en version PCB (Figure 3-16d).

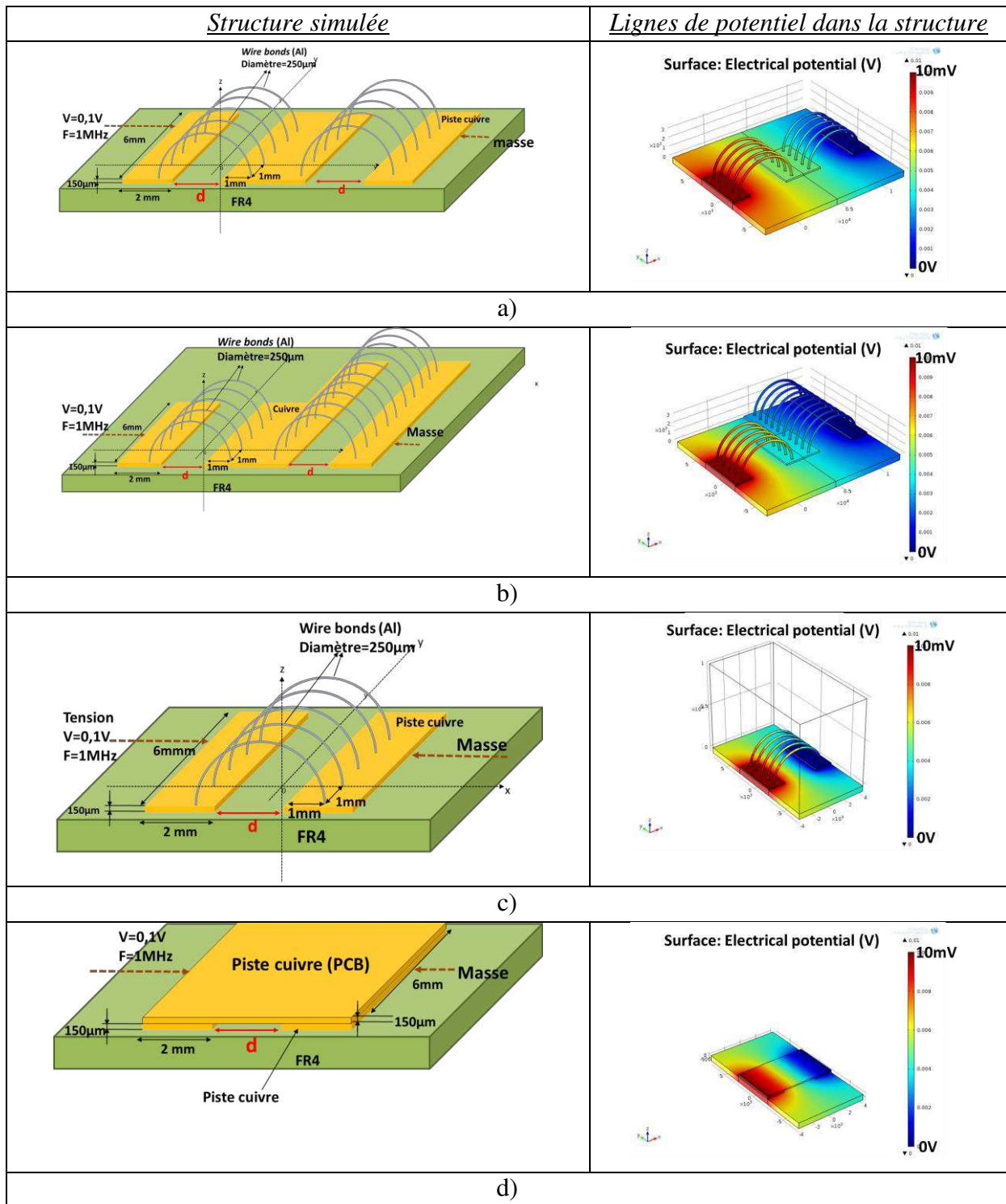


Figure 3-16 : Illustration des différentes associations simulées permettant l'estimation de l'inductance équivalente : a) report face arrière avec des puces RC-IGBT discrets, b) report face arrière avec des puces tri-pôles intégrés, c) version *wire bonds* du report *flip-chip* partiel utilisant les deux tri-pôles, d) version PCB du report *flip-chip* partiel

Les courbes de la Figure 3-17 montrent les résultats de simulations. Pour chaque technique d'assemblage, l'inductance équivalente à l'interconnexion d'une maille de commutation varie

linéairement avec la distance "d" qui sépare les pistes en cuivre. En revanche, pour une distance "d" donnée, cette inductance diminue en passant du cas de référence à la version PCB du report *flip chip* partiel utilisant les deux tri-pôles intégrés. En effet, pour une distance $d=4\text{mm}$ par exemple, l'inductance équivalente passe de 5,2nH pour le cas de référence à 4,25nH pour un report face arrière utilisant les puces intégrées et à 2,6nH dans le cas du report *flip chip* partiel (moins de 50%) et finalement à 1nH pour la version PCB du *flip chip* partiel.

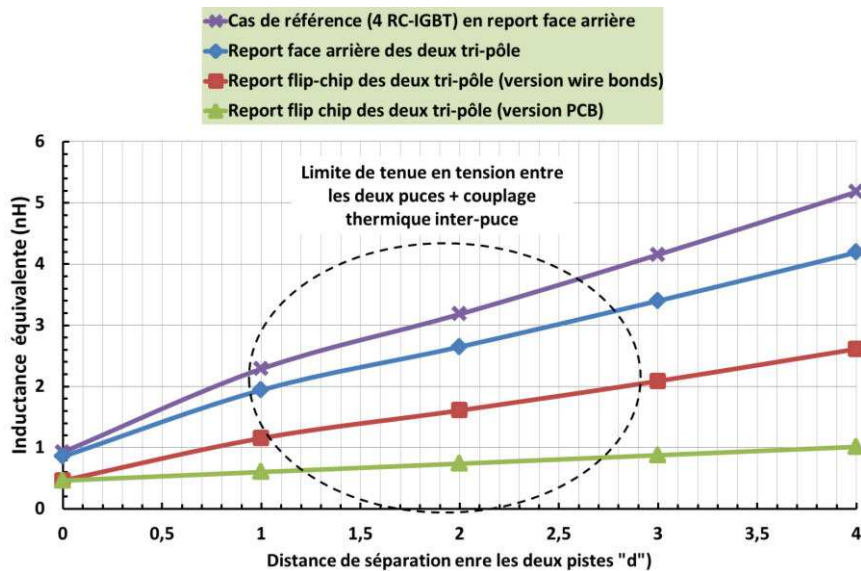


Figure 3-17 : Résultats de simulation 3D sous COMSOL

La technique du report *flip-chip* partiel utilisant des puces tri-pôles intégrées présente un intérêt important au niveau de la réduction de l'inductance parasite des connexions de puissance dans le module. Ces simulations ne prennent pas en compte l'inductance externe de la zone d'étude correspondant aux broches et connexions externes. Néanmoins dans le cas d'un découplage capacitif de la maille réalisé au plus près des puces et sur le substrat, on peut considérer que seule l'inductance interne de maille est à considérer pour la commutation.

3.2.7.2 Etude thermique par simulation 3D

Tous les composants de puissance sont le siège d'une dissipation d'énergie sous forme de chaleur générée par leurs pertes (pertes de conduction et de commutation dans les semi-conducteurs) (Figure 3-18).

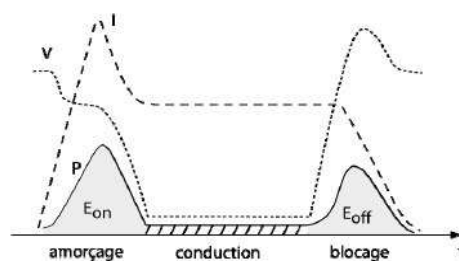


Figure 3-18 : Mise en évidence de la puissance dissipée dans un composant de puissance sur une période de découpage [21]

L'expression de la puissance dissipée dans le composant sur un cycle complet de commutation s'exprime sous la forme (Équation 3-2):

$$P(\text{pertes}) = V_d \cdot I_{\text{moy}} + R_{\text{on}} \cdot I_{\text{eff}}^2 + F_{\text{dec}} \cdot (E_{\text{on}} + E_{\text{off}}) \quad (\text{Équation 3-2})$$

V_d : tension de seuil dans le cas d'un composant bipolaire

R_{on} : la résistance du composant à l'état passant

F_{dec} : la fréquence de découpage

E_{on} : l'énergie dissipée lors de la mise en conduction

E_{off} : l'énergie dissipée lors du passage à l'état bloqué

Cette quantité de chaleur dissipée dans les composants de puissance nécessite une évacuation. La quasi-totalité de ces calories est évacuée par conduction à travers le substrat sur lequel la puce est montée. L'optimisation du transfert thermique entre la puce et le substrat exige que celui-ci soit en contact avec un matériau bon conducteur de la chaleur. Selon le facteur de forme des couches de l'assemblage et la nature des matériaux, on peut définir un cône dans lequel le flux principal de chaleur circule de la source chaude vers la source froide généralement considérée comme un puit de chaleur quasi-adiabatique (Figure 3-19). Pour que ce cône soit le plus large, on utilise un répartiteur de chaleur (semelle du boîtier ou insert en cuivre à la surface du dissipateur) de manière à offrir une surface apparente de refroidissement la plus large possible. L'épaisseur de ce répartiteur doit être suffisante pour assurer l'épanouissement du flux sans être trop épais pour ne pas être trop pénalisant en résistance thermique. Une exception peut toutefois être signalée dans les applications dont le fonctionnement est intermittent impulsif (robotique, alterno-démarrateur, ...), ce répartiteur peut aussi jouer le rôle d'accumulateur de chaleur pour filtrer les impulsions de flux de manière à lisser la température sur la jonction. Dans ces conditions, le répartiteur est placé au plus près de la puce avec une épaisseur suffisante pour constituer un condensateur thermique de valeur adaptée au profil de mission. D'une manière générale, il est possible de cumuler les deux fonctions pour améliorer simultanément les performances dynamiques et statiques du module. Cela consiste à associer un accumulateur au plus près de la puce et un répartiteur de chaleur en interface entre le substrat de la puce et le dissipateur. Compte tenu de l'usage de cuivre possédant un CTE bien plus élevé que les autres matériaux et un volume également dominant par rapport aux autres couches, les contraintes thermomécaniques induites par l'insertion du cuivre sur les autres éléments doivent être étudiées avec soins dans la phase de conception.

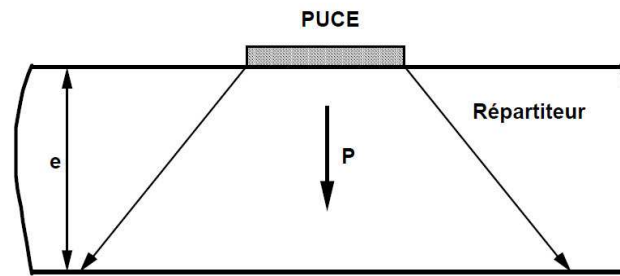


Figure 3-19 : Ecoulement de la chaleur

Si l'on considère un empilement classique tel que celui de la Figure 3-20, on peut estimer qu'en régime établi l'écart de température entre deux couches est régi par un transfert thermique par conduction de la source chaude vers la source froide i.e. un comportement où l'élévation de température est proportionnelle à la puissance dissipée. Les phénomènes d'écoulement par convection par la surface du module et l'air ambiant seront modélisés de manière macroscopique par un coefficient d'échange thermique global mais seront très peu influents compte tenu de la faible surface d'échange constituée par les puces.

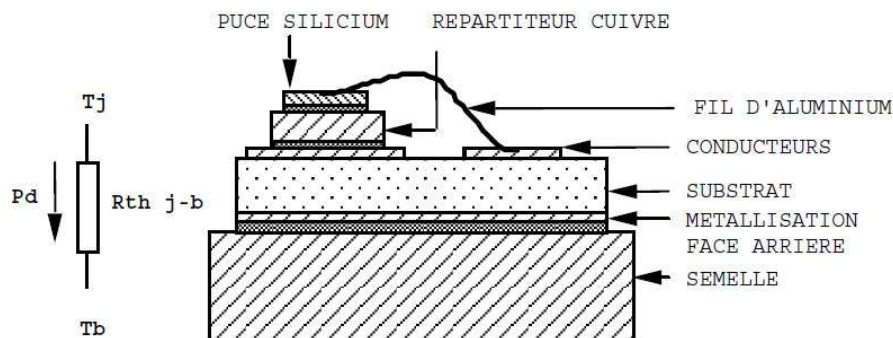


Figure 3-20 : Exemple d'empilement dans un circuit hybride de puissance

a) Description de l'étude thermique par simulations 3D

- Objectif de l'étude thermique :

L'intégration monolithique des cellules de commutation revient à mutualiser les interrupteurs semi-conducteurs dans le même cristal silicium. Cette étude par simulation à éléments finis sous l'outil COMSOL a pour objectif d'évaluer l'impact de cette intégration sur l'élévation de la température de jonction de la puce finale issue de l'intégration. Cette élévation de température est due au couplage thermique des flux de chaleur dissipés dans les différentes puces intégrées. Le module de transfert thermique de COMSOL permet la prise en compte de plusieurs phénomènes thermiques, conduction, convection et rayonnement. Pour étudier ce couplage, nous prenons le cas de deux puces reportées sur deux types de substrat. Un substrat de type SMI (Figure 3-21a) et un substrat de type DBC (Figure 3-21b) dans un objectif de comparaison. Les propriétés géométriques et physiques des matériaux des deux

substrats simulés sont résumées dans le Tableau 3-2. Ces paramètres sont basés sur la datasheet des substrats disponibles au Laplace.

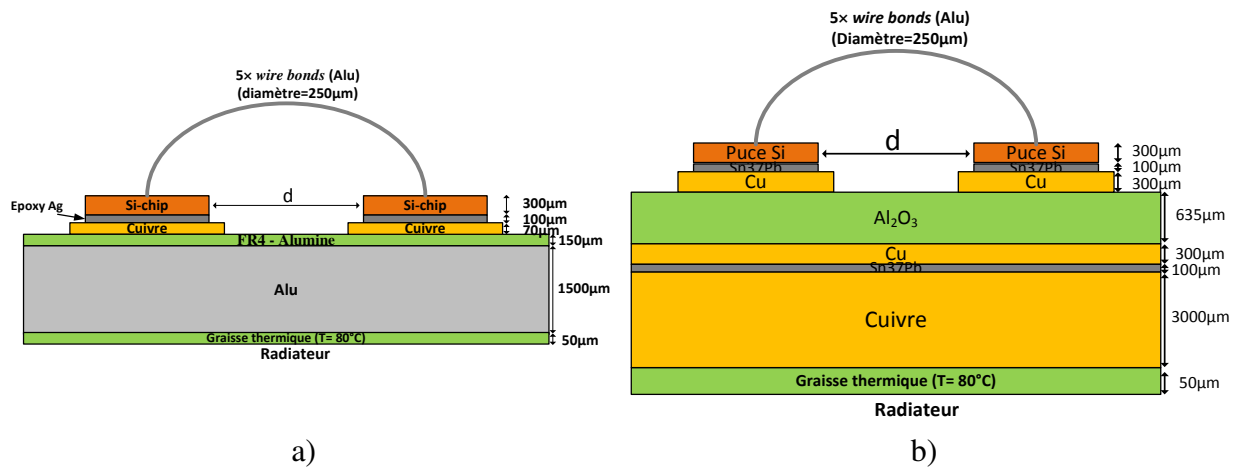


Figure 3-21 : Vue en coupe 2D des structures simulées représentant les puces ayant un interrupteur élémentaire RC-IGBT : a) cas du SMI, b) cas du DBC

Matériau	Conductivité thermique (W/m. K)	Coefficient de dilatation (ppm/K)	Permittivité relative
Colle époxy Ag	20	11	1
FR4 -Alumine (SMI)	2	18 (XY)	4,5
Al ₂ O ₃ (99%)	33	6,5	5,7
Sn ₃₇ Pb	21	21	-
Cuivre	400	18	-
Aluminium	160	23	-
Silicium	163	4	-
Graisse thermique	1,4	0,5	2,1

Tableau 3-2 : Paramètres géométriques et physiques des matériaux constituant les deux assemblages

- Hypothèses de l'étude par simulations :

L'estimation fine de la température au sein de la puce nécessite de calculer la répartition volumique des pertes, cette répartition dépend de la géométrie interne des puces de puissance (canaux, métallisation, poly-silicium, diffusions P⁺ et N⁺ face arrière...) ainsi que la variation des paramètres physiques des matériaux utilisés avec la température. La prise en compte de tous ces paramètres par simulation physique sous COMSOL est complexe. Néanmoins, en se basant sur des hypothèses simplifiées, nous pouvons estimer le couplage thermique entre les puces constituées d'interrupteur élémentaire et son impact sur les pertes autorisées dans chaque puce. Le rapprochement des puces permettra aussi d'évaluer le passage continu à une

seule puce intégrant deux interrupteurs comme c'est le cas pour les puces à anode et à cathode commune.

Tout d'abord, nous considérons une distribution uniforme et homogène dans le volume de la puce silicium (Équation 3-3). Ce cas est légitime pour des composants à structure verticale en moyenne et haute tension dont la région de drift constitue la couche la plus épaisse et la plus résistive. Pour les applications à basse fréquence de découpage, les pertes par conduction seront dominantes et seront principalement dissipées dans cette région épaisse occupant l'essentiel du volume.

$$Q=P/V \quad (\text{Équation 3-3})$$

Q : quantité de chaleur

P : puissance imposée dans la puce

V : volume de la puce

L'épaisseur des puces est de 300 μm avec une surface totale de 1 cm^2 . Ces deux puces sont reliées entre elles à travers 5 fils de câblage en aluminium de diamètre = 250 μm et d'une longueur variable en fonction de la distance qui sépare les deux puces. L'impact thermique par effet joule de la conduction des *wire bonds* n'est pas pris en considération dans ce modèle (pas de courant qui traverse les fils de câblage). Le plan de masse est considéré comme adiabatique et sa température est fixée à $T_{\text{case}}=80\text{C}^\circ$ (radiateur). Le coefficient d'échange thermique entre l'air ambiant et les parois de la structure est fixé à $h=15\text{W}/\text{m}^2.\text{K}$ représentant les conditions du futur prototype d'assemblage. La température ambiante de l'extérieur est égale à 25 $^\circ\text{C}$. La Figure 3-22 montre une vue 3D sous COMSOL des deux structures simulées avec leurs maillages respectifs. Nous imposons différentes valeurs de pertes (200 W/cm^2 , 250 W/cm^2 et 300 W/cm^2) dans le volume des deux puces. Ces valeurs représentent les puissances thermiques dissipées dans les puces conçues en régime de conduction statique (200 W/cm^2 correspond aux pertes statiques maximales dans la puce traversée par un courant de 100A, (100A \times 2V)). Nous évaluons par la suite la valeur de la température au niveau de la puce silicium (température de jonction) en fonction de la distance de séparation "d".

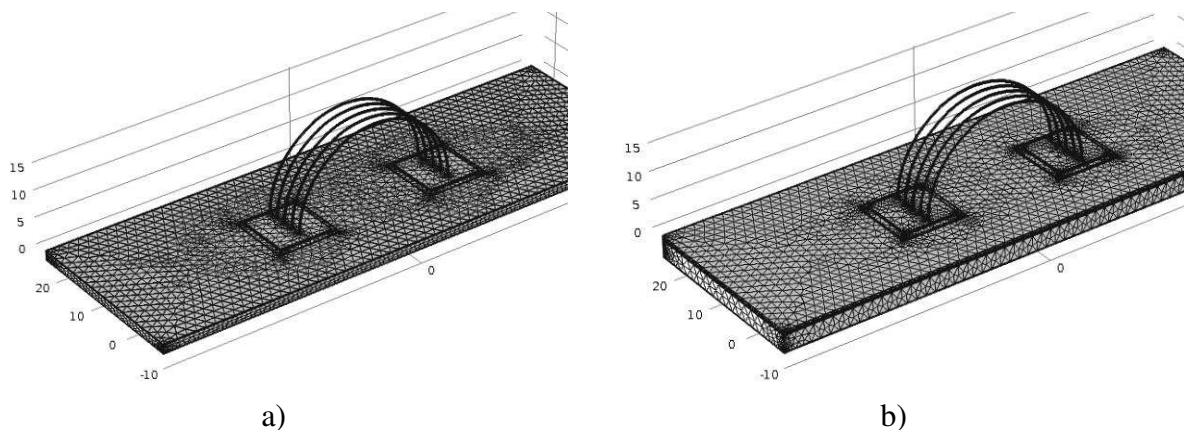


Figure 3-22 : Vue 3D des deux structures simulées où les puces représente un interrupteur élémentaire RC-IGBT: a) cas du SMI, b) cas du DBC (surface des puces=1 cm^2)

b) Résultats de simulation

- Cas d'une seule puce : résistance thermique du substrat

La résistance thermique globale du substrat (SMI ou DBC) est la somme de la résistance thermique en série de chacune des couches constituant le substrat. Pour un substrat non gravé, cette résistance globale est constante. La résistance thermique de chacune des couches dépend des dimensions géométriques de cette dernière ainsi que des propriétés physiques de son matériau (notamment la conductivité thermique). En pratique, la première couche de cuivre est gravée avec un *layout* adapté pour recevoir les puces de puissance et réaliser les connections nécessaires dans le module. Cette région de cuivre sert aussi de diffuseur thermique mais impacte aussi la surface apparente du module et le coût en fonction de la surface de cuivre employée. La résistance thermique de la première couche change donc en fonction de la gravure. Dans ce modèle thermique, la surface de cette couche est variable. Selon les concepteurs cette couche peut "déborder" par rapport à la surface de la puce d'une distance constante ($d_{\text{cuivre_top}}$). Le calcul de la résistance thermique globale du substrat dépend donc de cette distance. Dans un premier temps, nous imposons une puissance ($200\text{W}/\text{cm}^2$ par exemple) sur une seule puce avec $d_{\text{cuivre_top}}$ variable de 0 jusqu'à 8mm de débordement pour un substrat SMI (Figure 3-23a) et un substrat DBC (Figure 3-23b). La surface de la puce est constante égale à 1cm^2 .

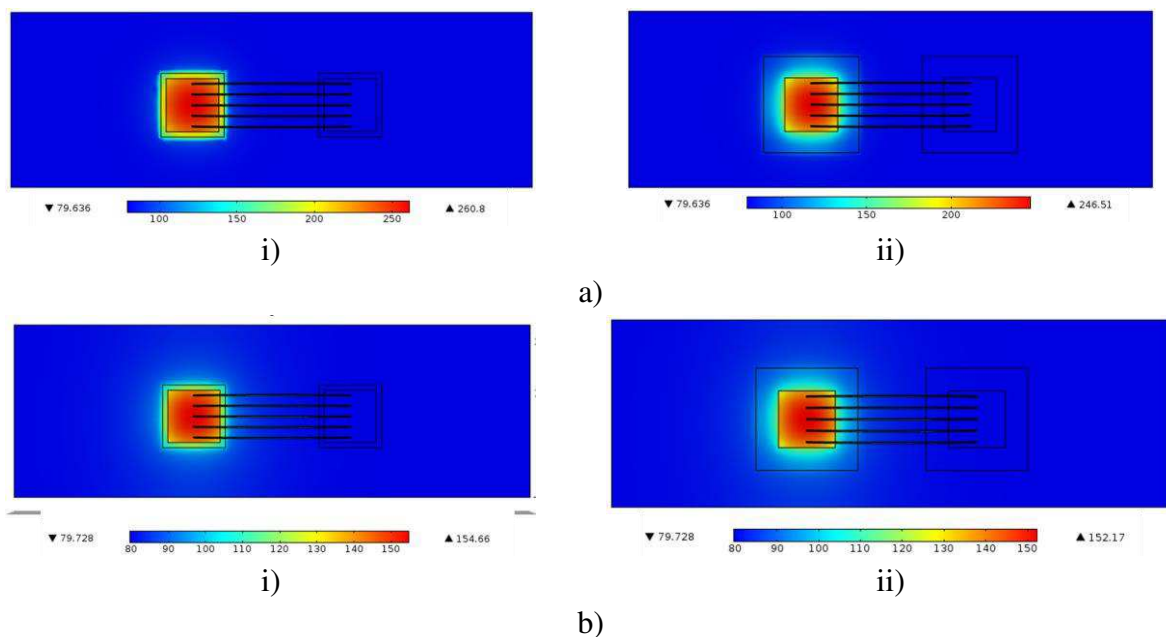


Figure 3-23 : Puissance imposée sur une seule puce représentant un interrupteur élémentaire RC-IGBT : a) cas d'un substrat SMI, b) cas d'un substrat DBC. i) $d_{\text{cuivre_top}}=1\text{mm}$, ii) $d_{\text{cuivre_top}}=4\text{mm}$

La connaissance de l'élévation de température et de la puissance dissipée permet de calculer la résistance thermique totale apparente du substrat pour chaque valeur de $d_{\text{cuivre_top}}$ représentant le débordement de la plage de cuivre autour de la puce (Figure 3-24).

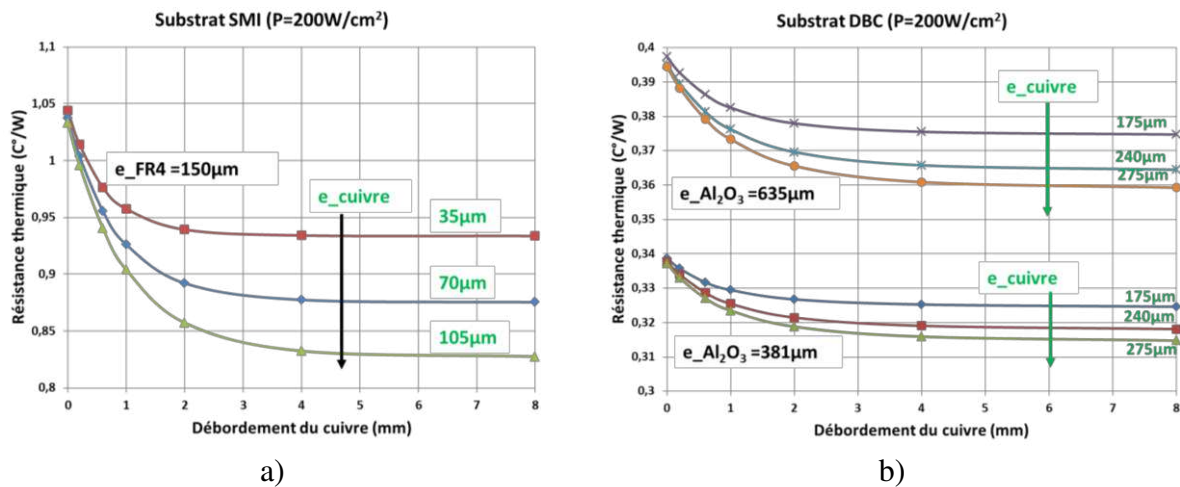


Figure 3-24 : Evolution de la température de jonction ($T_{\max}-T_{\text{case}}$) en fonction de la surface de cuivre de report ($d_{\text{cuivre_top}}$),

- a) cas du substrat SMI (épaisseurs : FR4=150µm, cuivre=35, 70 ou 105µm);
- b) cas du substrat DBC (épaisseurs : Al₂O₃=381 ou 635µm, cuivre=175, 240 ou 275µm)

Ces résultats montrent que le DBC offre une résistance thermique trois fois plus faible. La zone de débordement du cuivre permet de réduire la résistance thermique si celle-ci fait au moins 2mm. Avec cette valeur, la résistance thermique des deux assemblages est réduite de 8% pour le SMI et 9% pour le DBC.

- Cas de deux puces : couplage thermique

La distance $d_{\text{cuivre_top}}$ est fixée à 1mm. Nous imposons trois valeurs de la puissance sur les deux puces à interrupteur élémentaire RC-IGBT (200, 250 et 300W/cm²) séparées d'une distance "d". Cette distance varie de 0mm pour un couplage thermique totale (puce intégrant deux interrupteurs RC-IGBT à anode ou cathode commune), et 20mm pour un couplage thermique négligeable (2 RC-IGBT non intégrés). Notons que pour d=0mm, les deux puces se résument à une seule puce de 2cm² avec un débordement de 1mm de cuivre. La température maximale dans le module se trouve au niveau des puces silicium (T_{\max}). Pour une distance inter-piste $0\text{mm} \leq d < 20\text{mm}$, $\Delta T = T_{\max} - T_{\text{case}}$ représente l'élévation de la température dû au couplage thermique. ΔT augmente avec la diminution de la distance "d". La Figure 3-25 montre la variation de ΔT en fonction de "d" pour le cas d'un substrat SMI et le cas d'un substrat DBC (Figure 3-26).

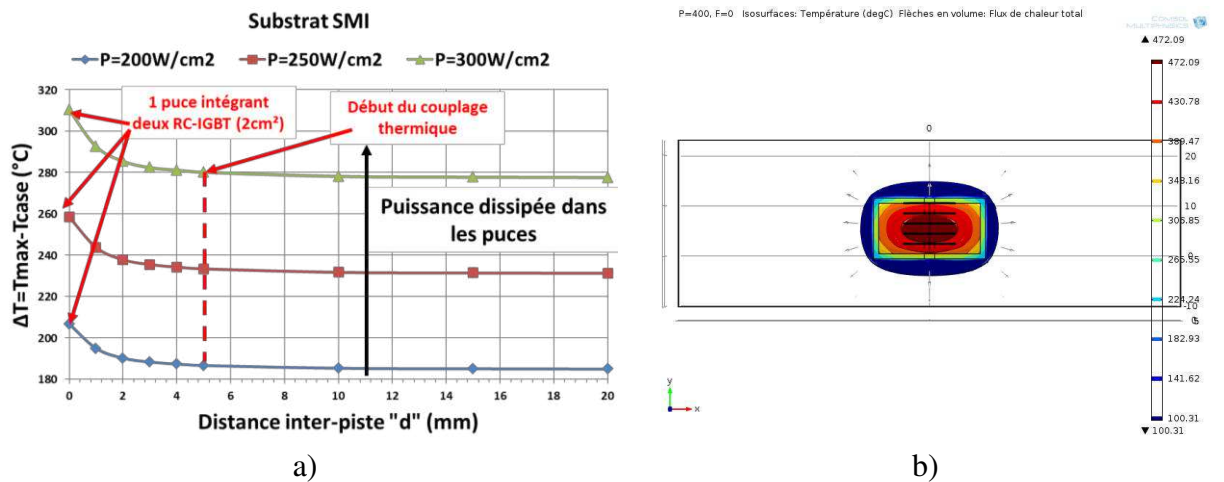


Figure 3-25 : a) évolution de la température de jonction ($\Delta T = T_{max} - T_{case}$) en fonction de "d" représentant la distance entre les puces élémentaires à interrupteur RC-IGBT pour un substrat SMI, b) flux de chaleur pour d=0mm

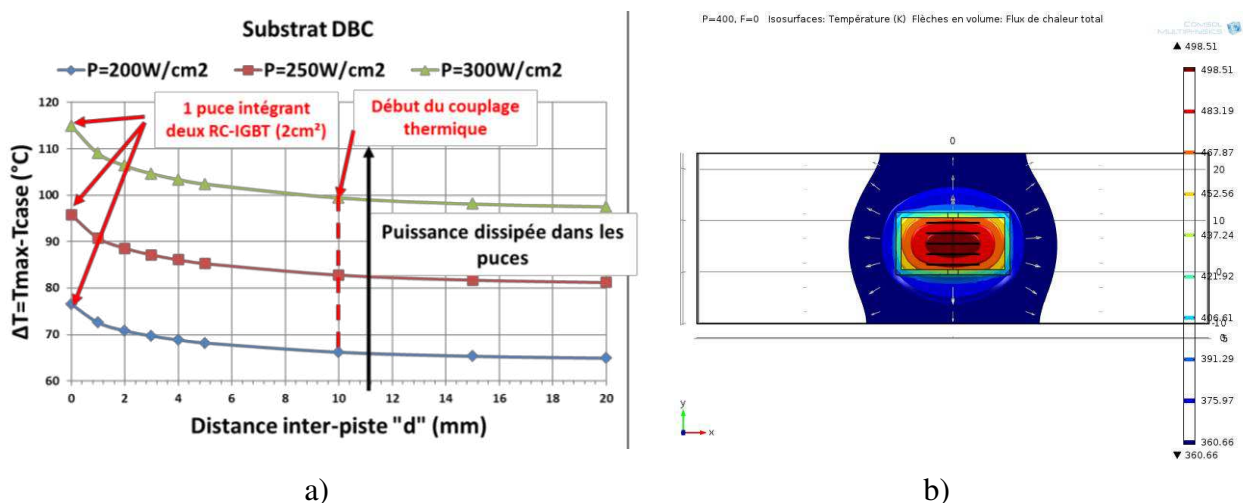


Figure 3-26 : a) évolution de la température de jonction ($\Delta T = T_{max} - T_{case}$) en fonction de "d" représentant la distance entre les puces élémentaires à interrupteur RC-IGBT pour un substrat DBC, b) flux de chaleur pour d=0mm

Comme l'on peut le voir sur l'allure des courbes, pour les deux types du substrat, le couplage thermique est pratiquement nul (ΔT constant) à partir d'une distance égale à 5mm pour le cas du SMI (10mm pour le cas du DBC). La différence $\Delta_{couplage} = \Delta T_{(0mm_puces\ contiguës)} - \Delta T_{(20mm_puces\ non\ couplées)}$ représente l'élévation de la température pour un couplage thermique entre les deux flux de chaleur dissipés dans chacune des puces. Pour 250W/cm² on voit que le rapprochement des puces (d = 0) amène une élévation de température de 27°C en assemblage SMI et 15°C en DBC. La Figure 3-27 montre la variation de $\Delta_{couplage}$ (température de couplage) en fonction de la puissance imposée.

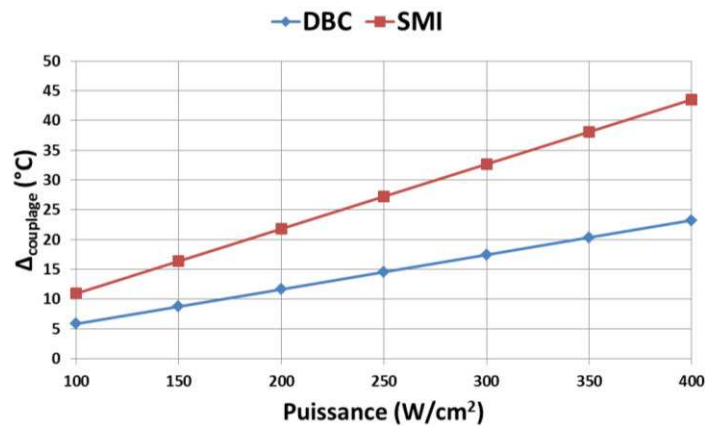


Figure 3-27 : Evolution de $\Delta_{\text{couplage}} = \Delta T_{(0\text{mm_puces collées})} - \Delta T_{(20\text{mm_puces non couplée})}$ en fonction de la puissance

- Impact du couplage thermique sur l'intégration des puces silicium :

Le couplage thermique entre les puces de puissance est une fonction linéaire de la résistance thermique du substrat et de la puissance mise en jeu. Pour intégrer plusieurs cellules de commutation sur la même puce silicium, la contrainte thermique impose donc de choisir un bon substrat thermique (DBC) et de limiter la puissance mise en jeu (domaine d'applications faible et moyenne puissance) pour ne pas atteindre la température de jonction limite et d'endommager le composant.

c) Compromis inductance parasite versus couplage thermique

Il est clair que le fait de rapprocher des puces entre elles dans le module réduit la longueur des fils de câblage des interconnexions inter-puce. Ceci aurait pour effet de diminuer l'inductance équivalente parasite des fils quelle que soit la technique d'assemblage utilisée. Néanmoins ce rapprochement provoque l'élévation de la température de jonction des puces par le couplage thermique. En fonction de la puissance mise en jeu ainsi que de la nature du substrat utilisé pour le report des puces, et compte tenu des résultats de simulations 3D sous COMSOL de l'étude électromagnétique et thermique effectuées dans ce paragraphe, il est donc nécessaire de prendre en compte lors de la phase de conception du *layout* de gravure de substrat le compromis inductance parasite/couplage thermique.

3.3 Conclusion

Dans ce chapitre nous avons étudié les techniques d'association des puces aiguilleuses sur substrat DBC/SMI pour montrer l'intérêt des deux approches d'intégration présentées dans le deuxième chapitre sur le plan électrique des convertisseurs statiques. La technique *flip chip* partiel des deux puces tri-pôles intégrés (multi-pôles dans le cas général) issus de l'approche d'intégration "bi-puce" présente un intérêt et des avantages comparés aux autres techniques. En effet, cette technique permet de réduire les connexions de puissance de moitié. Elle permet même de s'affranchir de ces fils en les remplaçant par un substrat PCB (cas particulier de la technique *Direct Lead Bonding*). Elle autorise l'insertion des capacités de découplage directement dans le module, au plus près des puces et participe à la réduction du courant de mode commun par l'absence de dv/dt haute fréquence sur le plan de substrat. Nous avons vu aussi que la solution d'assemblage de la puce issue de l'approche d'intégration "mono-puce" profite de tous les avantages du mode de report *flip chip* partiel. L'étude électromagnétique par simulations physique sous COMSOL a confirmé l'analyse théorique en termes de réduction d'inductances parasites équivalentes aux interconnexions. L'étude thermique par simulations, quant à elle, a montré les limites de l'intégration monolithique de cellules de commutation en termes de puissance mise en jeu et par conséquent les domaines d'applications (faible et moyenne puissance).

Bibliographie du chapitre 3

- [1] J. R. Ganasan, « Chip on chip (COC) and chip on board (COB) assembly on flex rigid printed circuit assemblies », in *Electronic Components and Technology Conference, 1999. 1999 Proceedings. 49th*, 1999, p. 174-176.
- [2] P. A. Collier et K. H. Teo, « Processing and reliability of flip-chip on board connections », in *Electronic Packaging Technology Conference, 1997. Proceedings of the 1997 1st*, 1997, p. 251-258.
- [3] A. Lindemann et G. Strauch, « Properties of direct aluminium bonded substrates for power semiconductor components », in *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, 2004, vol. 6, p. 4171-4177 Vol.6.
- [4] A. Blanche, *Effets dissipatifs en fatigue à grand et très grand nombre de cycles*. Université Montpellier 2, thèse 2012.
- [5] H. Mughrabi, « Specific features and mechanisms of fatigue in the ultrahigh-cycle regime », *Int. J. Fatigue*, n° 11, p. 1501-1508, 2006.
- [6] A. Narazaki, T. Shirasawa, T. Takayama, S. Sudo, S. Hirakawa, N. Asano, K. Ogata, H. Takahashi, et T. Minato, « Direct beam lead bonding for trench MOSFET CSTBT », in *The 17th International Symposium on Power Semiconductor Devices and ICs, 2005. Proceedings. ISPSD '05*, 2005, p. 75-78.
- [7] T. Ueda, N. Yoshimatsu, N. Kimoto, D. Nakajima, M. Kikuchi, et T. Shinohara, « Simple, compact, robust and high-performance power module T-PM (transfer-molded power module) », in *2010 22nd International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2010, p. 47-50.
- [8] Mark Pavier, S. Cardwell, Scott Palmer, et Andrew Sawle, « COOLiR2DIE™ technology: A building block for high power automotive HEV and EV inverter applications », Nuremberg, 2013.
- [9] T. Matsunaga et Y. Uegai, « Thermal Fatigue Life Evaluation of Aluminum Wire Bonds », in *Electronics Systemintegration Technology Conference, 2006. 1st*, 2006, vol. 2, p. 726-731.
- [10] J. T. Benoit, S. Chin, R. R. Grzybowski, S.-T. Lin, R. Jain, P. McCluskey, et T. Bloom, « Wire bond metallurgy for high temperature electronics », in *High Temperature Electronics Conference, 1998. HITEC. 1998 Fourth International*, 1998, p. 109-113.
- [11] A. El Khadiry, F. Richardeau, A. Bourennane, D. Zhifeng, et M. Breil, « Multi-switch Si-chip structures and on-substrate packaging techniques for improving the electrical performance of power modules », in *2013 15th European Conference on Power Electronics and Applications (EPE)*, 2013, p. 1-7.
- [12] H.-C. Lu, C.-C. Kuo, P.-A. Lin, C.-F. Tai, Y.-L. Chang, Y.-S. Jiang, J.-H. Tsai, Y.-M. Hsin, et H. Wang, « Flip-Chip-Assembled -Band CMOS Chip Modules on Ceramic Integrated Passive Device With Transition Compensation for Millimeter-Wave System-in-Package Integration », *IEEE Trans. Microw. Theory Tech.*, vol. 60, n° 3, p. 766-777, 2012.
- [13] J. Xu, « Technology for Planar Power Semiconductor Devices Package with Improved Voltage Rating », Virginia Polytechnic Institute and State University, 2008.
- [14] S. Timothe, R. Nicolas, C. Jean-Christophe, G. Victor, et I. Pheng, « A novel power system in package with 3D chip on chip interconnections of the power transistor and its gate driver », in *2011 IEEE 23rd International Symposium on Power Semiconductor Devices and ICs (ISPSD)*, 2011, p. 328-331.

- [15] K. Vladimirova, « Nouveaux concepts pour l'intégration 3D et le refroidissement des semi-conducteurs de puissance à structure verticale », Université de Grenoble, thèse 2012.
- [16] M. J. Whitehead et C. M. Johnson, « Determination of Thermal Cross-Coupling Effects in Multi-Device Power Electronic Modules », in *The 3rd IET International Conference on Power Electronics, Machines and Drives, 2006*, 2006, p. 261-265.
- [17] W. Habra, « Développement de modèles thermiques compacts en vue de la modélisation électrothermique des composants de puissance », Université Paul Sabatier - Toulouse III, thèse 2007.
- [18] F. Alimenti, P. Mezzanotte, L. Roselli, et R. Sorrentino, « Modeling and characterization of the bonding-wire interconnection », *IEEE Trans. Microw. Theory Tech.*, vol. 49, n° 1, p. 142-150, 2001.
- [19] K. Mouthaan, R. Tinti, M. de Kok, H. C. de Graaff, J. L. Tauritz, et J. Slotboom, « Microwave modelling and measurement of the self- and mutual inductance of coupled bondwires », in *Bipolar/BiCMOS Circuits and Technology Meeting, 1997. Proceedings of the*, 1997, p. 166-169.
- [20] K. Xing, F. C. Lee, et D. Boroyevich, « Extraction of parasitics within wire-bond IGBT modules », in *Applied Power Electronics Conference and Exposition, 1998. APEC '98. Conference Proceedings 1998., Thirteenth Annual*, 1998, vol. 1, p. 497-503 vol.1.
- [21] Z. Zhang, « Gestion thermique des composants d'électronique de puissance- Utilisation du diamant CVD », Institut National Polytechnique de Toulouse - INPT, 2012.

Chapitre 4 : Réalisation technologique des puces et caractérisation électrique des techniques d'assemblage sur substrat

4.1	INTRODUCTION	135
4.2	CONCEPTION DE LA TOPOLOGIE DE SURFACE DES PUCES.....	135
4.2.1	DIMENSIONNEMENT DES PUCES RC-IGBT, TRI-POLE A ANODE COMMUNE, TRI-POLE A CATHODE COMMUNE ET MONO-PUCE	135
4.2.1.1	Démarche de conception de la puce RC-IGBT.....	136
i.	Dimensionnement de la puce RC-IGBT à l'état passant direct	136
ii.	Dimensionnement de la puce RC-IGBT à l'état passant inverse	139
4.2.2	JEU DE MASQUES DES DIFFERENTES PUCES SOUS CADENCE	139
4.2.2.1	Cas de la puce RC-IGBT.....	140
4.2.2.2	Particularité technologique du tri-pôle à anode commune, tri-pôle à cathode commune et de la mono-puce	141
a)	Cas du tri-pôle à anode commune	142
b)	Cas du tri-pôle à cathode commune	142
c)	Cas de la mono-puce	144
4.3	ETAPES TECHNOLOGIQUES DE REALISATION DES PUCES TRI-POLES A ANODE COMMUNE ET DES PUCES RC-IGBT DISCRETES.....	144
4.4	CARACTERISATIONS SOUS POINTES DES PUCES RC-IGBT ET ANODE COMMUNE	146
4.4.1	PUCES RC-IGBT.....	146
4.4.2	CAS DES PUCES A ANODE COMMUNE.....	147
4.5	TEST DE REPORT DES PUCES "FACTICES" SIC SUR SUBSTRAT PCB	149
4.5.1	TEST DE COLLAGE DIRECT DES PUCES	150
4.5.2	REALISATION DES CONTACTS PAR <i>BUMPS</i>	152
4.6	REPORT DES PUCES REALISEES SUR SUBSTRAT PCB	154
4.6.1	REPORT PUCE ANODE COMMUNE (FACE ARRIERE)	154
4.6.2	REPORT PUCE ANODE COMMUNE (FACE ARRIERE) ET PUCES RC-IGBT EN FLIP-CHIP (PONT EN H COMPLET).	156
4.7	CONCLUSION	158
	BIBLIOGRAPHIE DU CHAPITRE 4	159

4.1 Introduction

La réalisation des prototypes de puces conçues et dimensionnées dans le Chapitre 2 de ce manuscrit a été faite à la plateforme technologique du LAAS. La conception des cartes pour le report des puces afin de valider les techniques d'assemblage qui ont été étudiées dans le Chapitre 3 a été faite au Laplace. Le présent chapitre est consacré aux aspects technologiques de réalisation et de report des puces ainsi qu'à la présentation des résultats de tests électriques effectués principalement en régime statique.

Tout d'abord, nous présentons dans le premier paragraphe la démarche de conception technologique des différentes puces étudiées dans ce mémoire, nous décrivons la conception du jeu de masques nécessaire pour la réalisation des puces, les principaux verrous technologiques et notamment la réalisation du mur P^+ traversant. Les murs P^+ sont nécessaires pour la réalisation des zones d'isolation pour la version d'aiguilleur à cathode commune de la première approche d'intégration "bi-puce" ainsi que de la puce issue de la deuxième approche d'intégration "mono-puce". Ensuite, le deuxième paragraphe est consacré à la description des principales étapes technologiques permettant la réalisation de la puce tri-pôle à anode commune ainsi que les puces RC-IGBT discrètes. Le troisième paragraphe présente les résultats obtenus par des caractérisations électriques préliminaires sous pointes sur le *wafer* contenant les puces réalisées. Le quatrième paragraphe est dédié aux "assemblages test" qui ont été réalisés en utilisant des puces SiC commercialisées pour valider les techniques d'assemblage des puces intégrées étudiées dans le Chapitre 3 de ce mémoire de thèse. Le dernier paragraphe est dédié à une première caractérisation des assemblages réalisés sur substrat PCB. Nous terminerons ce chapitre par une conclusion sur les aspects technologiques de notre étude.

4.2 Conception de la topologie de surface des puces

Le prototype à réaliser doit répondre au cahier des charges électriques que nous avons fixé (courant nominal, chute de tension, tenue en tension latérale et verticale), et il doit aussi être réalisable par le process technologique de la plateforme technologique disponible au LAAS ainsi que les différentes techniques d'association étudiées dans le Chapitre 3. Nous allons présenter dans le paragraphe suivant la démarche complète de conception des puces en adéquation avec les simulations 2D effectuées dans le Chapitre 2 de ce mémoire.

4.2.1 Dimensionnement des puces RC-IGBT, tri-pôle à anode commune, tri-pôle à cathode commune et mono-puce

La puce RC-IGBT constitue la section de base pour la conception de toutes les puces étudiées dans ce mémoire (tri-pôle à anode commune, tri-pôle à cathode commune et mono-puce). De ce fait, nous détaillerons la démarche adoptée pour la réalisation de puces RC-IGBT discrètes, ensuite, nous décrivons les particularités des autres puces intégrées par rapport à une puce RC-IGBT.

4.2.1.1 Démarche de conception de la puce RC-IGBT

Pour valider le concept d'intégration, nous avons conçu des puces capables de transiter un courant nominal de 5A. Nous rappelons que l'objectif est de réaliser des puces qui présentent une chute de tension $< 2V$ pour une densité de courant de $100A/cm^2$ et doivent supporter une tension en vertical et en latéral de 600V. La Figure 4-1 donne les propriétés géométriques de la structure RC-IGBT que l'on utilisera pour la description de la puce finale que nous réaliserons.

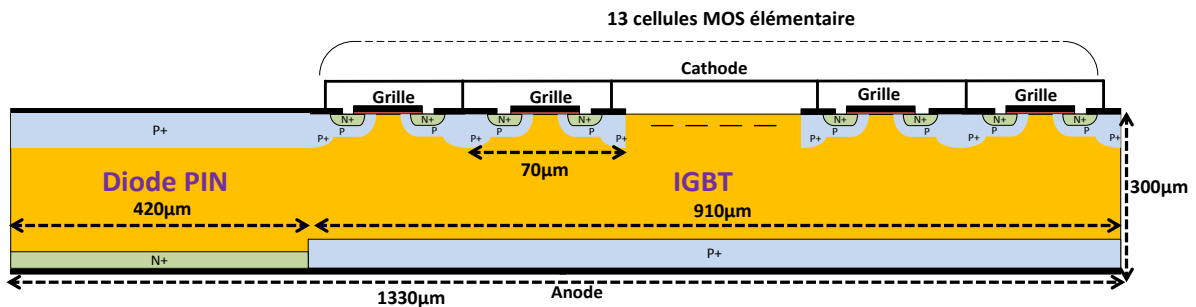


Figure 4-1 : Architecture silicium de la puce élémentaire RC-IGBT

Le fonctionnement de cette structure a été détaillé par simulations 2D sous SentaurusTM dans le Chapitre 2. Nous avons démontré que la largeur L_{P^+} en face arrière de cette structure composée de 13 cellules MOS de base est suffisante pour supprimer le phénomène de *snappyback* [1] [2] que présente la caractéristique $I(V)$ en direct du RC-IGBT conventionnel.

La démarche de conception de la structure finale de la puce RC-IGBT commence par le dimensionnement du composant en direct (largeur de la diffusion P^+ face arrière) puis suivi par le calcul de la surface de la diffusion N^+ face arrière nécessaire pour avoir un rapport $r = SN^+ / (SN^+ + SP^+) = 0,3$ initialement fixé (Chapitre 2).

Pour dimensionner le composant pour transiter un courant donné en se basant sur des simulations bidimensionnelles 2D, nous utilisons le paramètre "*area factor*" de SentaurusTM qui permet de déterminer la largeur du canal nécessaire pour faire passer le courant visé. En effet, pour une simulation 2D sans utilisation du *area factor*, le simulateur prend une valeur par défaut de la profondeur de la structure de $1\mu m$. En fixant une valeur pour le paramètre "*area-factor*", la caractéristique $I(V)$ obtenue correspond à une surface totale de la puce égale à $(L_{puce} \times 1\mu m) \times area\ factor$.

i. Dimensionnement de la puce RC-IGBT à l'état passant direct

Le dimensionnement de la puce RC-IGBT en direct se fait en deux étapes :

- **Etape 1** : Détermination de la surface nécessaire de la région IGBT du RC-IGBT

La première étape consiste à tracer la caractéristique de la structure de la Figure 4-1 sur le plan $I-V$ (Figure 4-2) pour un *area factor* permettant d'avoir une surface totale de la puce de

1cm^2 . Le paramètre area factor nécessaire est donc $Af1=1\text{cm}^2/(L_{P^+}\times 1\mu\text{m})=109890$. Avec $L_{P^+}=70\times 13=910\mu\text{m}$. ($70\mu\text{m}$ correspond à largeur d'une cellule MOS de base.

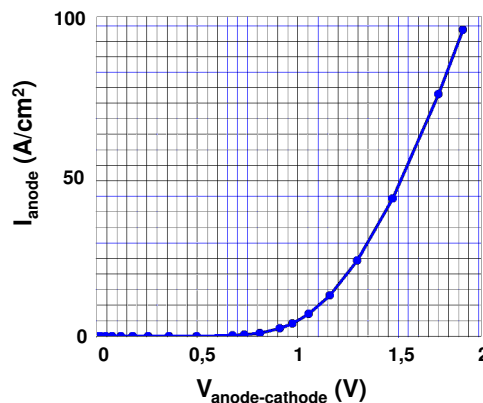


Figure 4-2 : Caractéristique I(V) en direct (mode IGBT) de la cellule élémentaire ($S=1\text{cm}^2$)

A partir de cette caractéristique, la chute de tension correspondant à une densité de courant en direct de $100\text{A}/\text{cm}^2$ est de $1,82\text{V}$ ($<2\text{V}$). On peut déduire la valeur du paramètre area factor ($Af2$) nécessaire pour transiter un courant de 5A avec la chute de tension de $1,82\text{V}$. $Af2=Af1\times 5/100=5495$. Cette valeur de $Af2$ représente la largeur de la région du canal nécessaire pour les 13 cellules MOS de base qui forment la structure simulée. La surface totale de la partie IGBT est donc égale à $L_{P^+ \text{ face arrière}}\times Af2 =910\times 5494=5\text{mm}^2$. Cette surface de 5mm^2 nécessaire pour la partie IGBT du RC-IGBT dépend de la géométrie utilisée pour former la région du canal. En effet, plusieurs géométries de la région du canal dans le composant peuvent être utilisées. Ces géométries s'appuient sur deux principales topologies : la topologie dite " parallèles", dans ce cas, la région du canal est dessinée sous forme de bandes en parallèle. Pour notre cas, la somme des longueurs de ces bandes doit être égale à $13\times Af2$. Cette topologie est compatible avec les simulations 2D. La deuxième topologie dite "cellulaires" consiste à dessiner la région du canal sous forme géométriques (carrés, triangles, hexagones...). La largeur du canal dans ces cellules doit être égale à $13\times Af2$. Par rapport à la topologie dite "parallèle", cette topologie permet une meilleure optimisation de la surface silicium nécessaire pour une largeur de canal donnée.

Le choix de la forme géométrique de la région du canal repose sur des considérations technologiques. Dans notre travail, nous avons choisi une conception basée sur la deuxième topologie avec une forme carrée (Figure 4-3) des cellules élémentaires. Cela correspond à la géométrie utilisée au LAAS depuis plusieurs années. La Figure 4-3 montre les dimensions de la cellule MOS de base utilisée pour la conception de la région MOS du composant RC-IGBT. Ces dimensions sont imposées par la filière technologique, nous avons utilisé ces paramètres géométriques en simulations 2D pour tracer la caractéristique I(V) de la structure de la Figure 4-1. La largeur du canal dans cette cellule carrée est de l'ordre de $220\mu\text{m}$. Le nombre de cellules nécessaires est donc : nombre de cellules $=Af2\times 13/220$ soit 325 cellules.

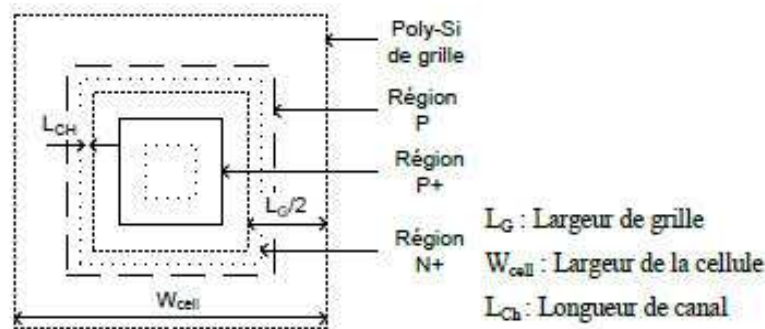


Figure 4-3 : Vue de dessus d'une cellule MOS carrée avec ses dimensions

- **Etape 2** : choix de la géométrie adaptée au RC-IGBT

Le choix de la topologie du RC-IGBT la plus adaptée pour notre étude doit répondre à deux critères importants:

1. La géométrie des métallisations des électrodes doit être choisie de sorte à simplifier le report des puces. En effet, cette géométrie doit prendre en considération les techniques d'assemblage qui ont été détaillées dans le chapitre 3 et notamment le report *flip-chip* partiel.
2. La résistance d'accès à la région de grille composée par plusieurs cellules carrées en poly-silicium distribuées en surface 2D ne doit pas être très grande.

Pour répondre au premier critère, nous avons opté pour une géométrie de puces avec des régions de métallisation rectangulaires et avec des dimensions en longueur et en largeur suffisamment grandes pour les deux électrodes en face avant de la puce (cathode et grille) (Figure 4-4).

Pour répondre au deuxième critère, les "doigts" en polysilicium doivent couvrir toute la région de métallisation de la région de la grille (Figure 4-4). La longueur de la métallisation de l'électrode de la cathode doit être du côté de la métallisation de la grille, et elle doit être la plus grande possible, ceci contribue à la diminution de la résistance d'accès au polysilicium de la grille. Nous avons placé 20 cellules MOS de base sur la longueur et 17 sur la largeur. Cette région de cellules MOS se trouve en face de la région P⁺ située sur la face arrière du substrat. La largeur minimale de la diffusion P⁺ face arrière est de $L_{P^+} = 17 \times 70 \mu m = 1,19 \text{ mm}$

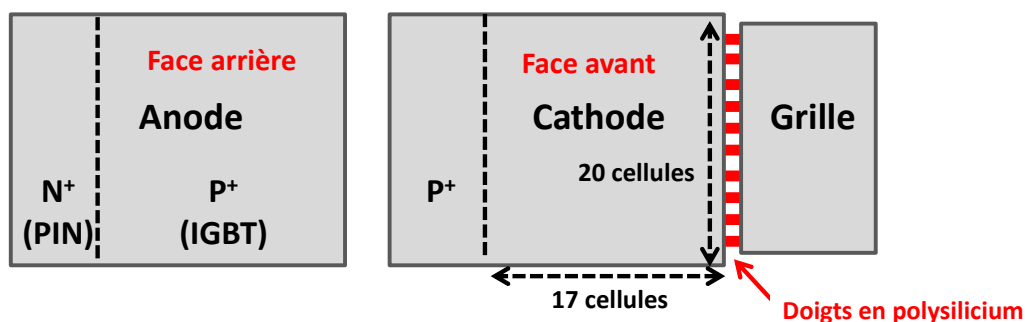


Figure 4-4 : Vue simplifiée des métallisations de la puce RC-IGBT à réaliser

ii. Dimensionnement de la puce RC-IGBT à l'état passant inverse

La largeur de la diffusion N^+ face arrière minimale pour la conduction de la diode PIN en inverse se calcule à partir du rapport de surface $r = SN^+ / (SN^+ + SP^+) = LN^+ / (LN^+ + LP^+) = 0,3$. Cette largeur est de $L_{N^+ \min} = 0,51 \text{ mm}$. La largeur totale minimale de l'électrode de la cathode est $L_{\text{cathode_min}} = 1,7 \text{ mm}$. Cette région est placée à côté de la région P^+ sur la face arrière et à l'opposé de la métallisation de la grille de manière à positionner cette région en face de la diffusion P^+ rajoutée en face avant pour améliorer l'injection de la région P de la cathode et former une diode PIN verticale dans la puce RC-IGBT (Figure 4-4).

4.2.2 Jeu de masques des différentes puces sous CADENCE

Le dessin du jeu de masque pour la réalisation des puces a été fait sous l'outil VIRTUOSO de l'environnement CADENCE. La Figure 4-5 montre une vue du Layout de la cellule MOS de forme carrée de base.

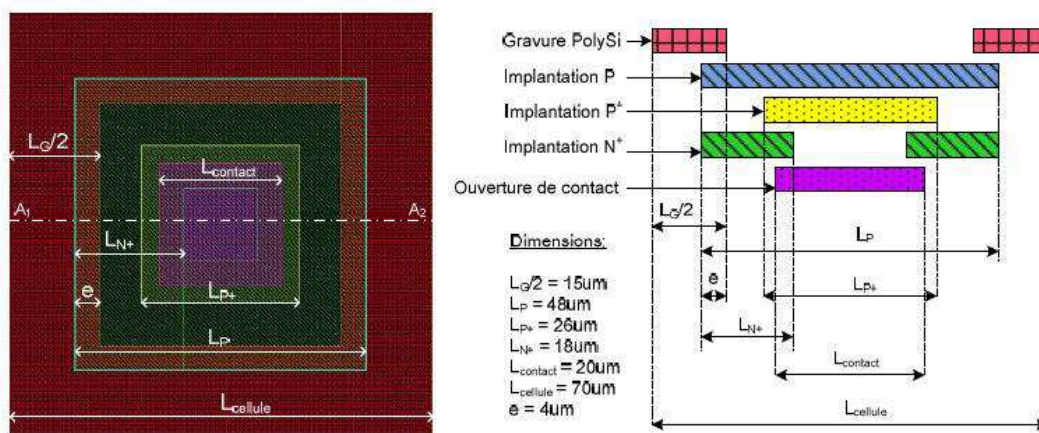


Figure 4-5 : Vue du Layout de la cellule élémentaire carrée de la partie MOS du RC-IGBT

Chaque couche permet de réaliser une étape technologique (Dopage P^- , P , P^+ , N^+ , oxydes de grilles et les électrodes sur les deux faces de la puce). Les dimensions choisies pour chaque couche respectent les règles de dessin de la filière technologique du LAAS. Les masques des deux couches P et N^+ sont auto-alignés par rapport à la couche de poly-silicium. En effet, étant donné que la précision de la machine d'insolation utilisée Karl Suss MA50 est d'environ $1 \mu\text{m}$, nous avons choisi un dépassement «e» de $4 \mu\text{m}$, ce qui permet de s'assurer de l'alignement de ces deux diffusions par rapport à la région de grille.

Du fait que les deux tri-pôles anode commune et cathode commune sont composés de deux sections RC-IGBT symétriques, la mono-puce est composée de quatre sections RC-IGBT, nous allons décrire dans ce paragraphe les différents niveaux de masques nécessaires pour la réalisation de la puce RC-IGBT discrète. Nous montrerons par la suite les masques du tri-pôle à anode commune, du tri-pôle à cathode commune.

4.2.2.1 Cas de la puce RC-IGBT

La Figure 4-6 donne une vue d'ensemble de tous les masques du RC-IGBT ainsi les dimensions extérieures. Le Tableau 4-1 résume la description des différents niveaux de masque.

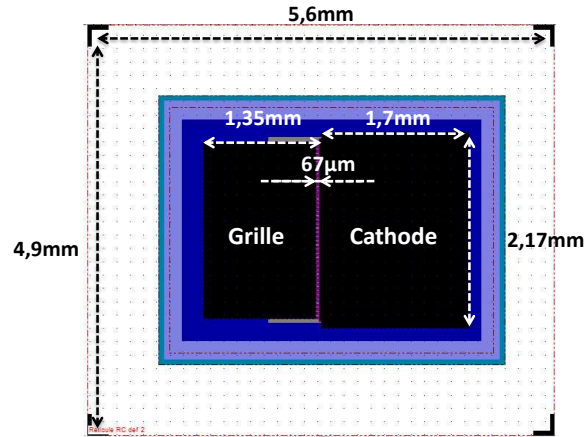
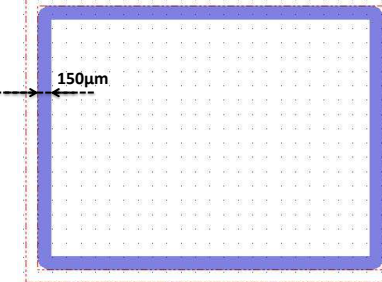
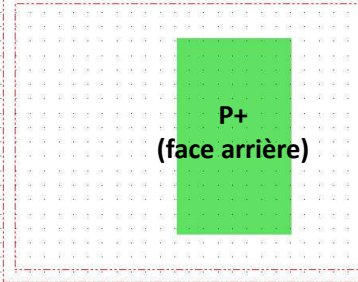

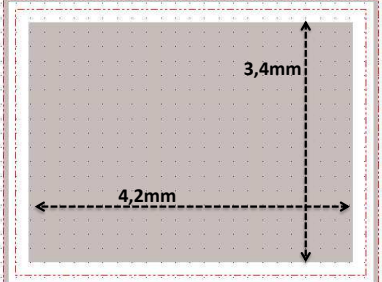
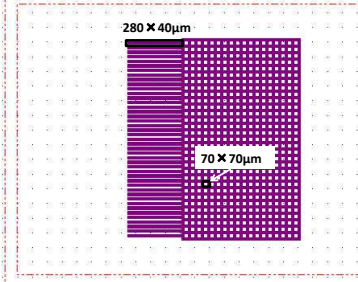
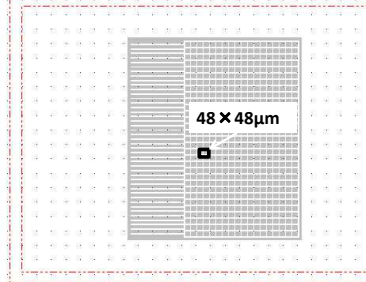


Figure 4-6 : Vue de tous les masques du RC-IGBT

Terminaison P- (face avant) (masque n°1)	Implantation P+ (face arrière) (masque n°2)	Implantation N+ (face arrière) (masque n°3)
 <p>Implantation P- de 150µm de largeur autour la région active du RC-IGBT en face avant, elle permet de protéger la terminaison de la jonction d'un claquage prématuré.</p>	 <p>Diffusion P+ face arrière (Mode IGBT)</p>	 <p>Diffusion N+ face arrière (Mode diode PIN)</p>
Surface active (face avant) (masque n°4)	Gravure de polysilicium (face avant) (masque n°5)	Implantation P (face avant) (masque n°6)
 <p>Ce masque sert à graver l'oxyde qui s'est formé à ce stade du process dans la zone active et faire croître l'oxyde de grille (SiO₂, 550A°)</p>	 <p>Ce masque sert à graver le polysilicium déposé pour localiser les régions de grille.</p>	 <p>Cette région permet de matérialiser le court-circuit de cathode.</p>

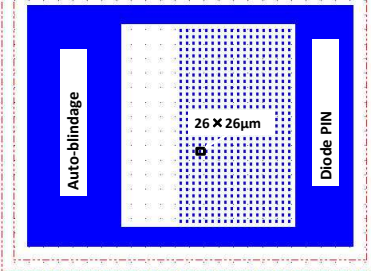
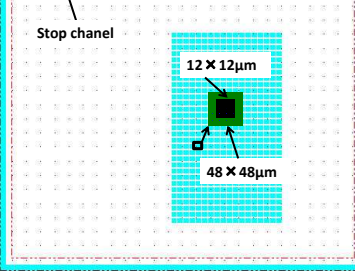
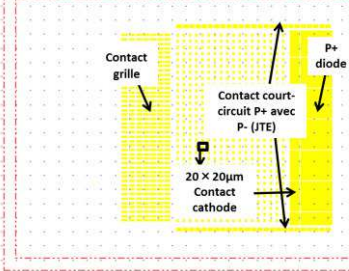

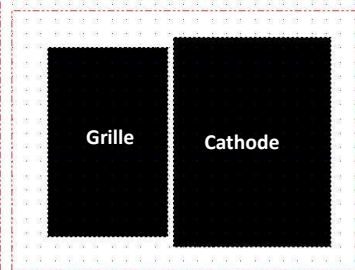
Implantation P ⁺ (face avant) (masque n°7)	Implantation N ⁺ (face avant) (masque n°8)	Ouverture des contacts (face avant) (masque n°9)
 <p>Cette région permet d'éviter un latch-up du composant qui se traduit par le déclenchement du PNP parasite.</p>	 <p>La zone dopée N⁺ (<i>stop channel</i>) qui entoure le composant permet d'arrêter l'étalement de la charge d'espace pour qu'elle n'atteigne pas la zone de découpe des puces présentant généralement des imperfections.</p>	 <p>Ce masque sert à graver l'épaisseur de nitrure déposée à ce stade de process et atteindre les zones de contacts (cathode et grille).</p>
Ouverture de contacts (face arrière) (masque n°10)	Métallisation (face avant) (masque n°11)	Métallisation (face arrière)
 <p>Ouverture de la zone de contact d'anode en face arrière</p>	 <p>Ce masque sert à faire une gravure de la métallisation en aluminium déposée (1µm environ). Les deux métallisations sont séparées par une distance de 67µm.</p>	<p>La métallisation sur la face arrière du composant ne nécessite pas de masque.</p>

Tableau 4-1 : Niveaux de masques pour la réalisation du RC-IGBT discret

Notons que la séparation de 67µm entre les deux métallisations cathode/grille est suffisante pour supporter une tension maximale de 15V appliquée entre ces deux électrodes.

4.2.2.2 Particularité technologique du tri-pôle à anode commune, tri-pôle à cathode commune et de la mono-puce

La conception des sections RC-IGBT des puces étudiées dans ce mémoire (tri-pôle à anode commune, tri-pôle à cathode commune et mono-puce) est identique au cas du RC-IGBT discret. Toutefois, chacune des deux puces possède une particularité technologique à prendre en compte lors de la conception de ses niveaux de masques.

a) Cas du tri-pôle à anode commune

La Figure 4-7 montre les masques utilisés pour la réalisation du tri-pôle à anode commune.

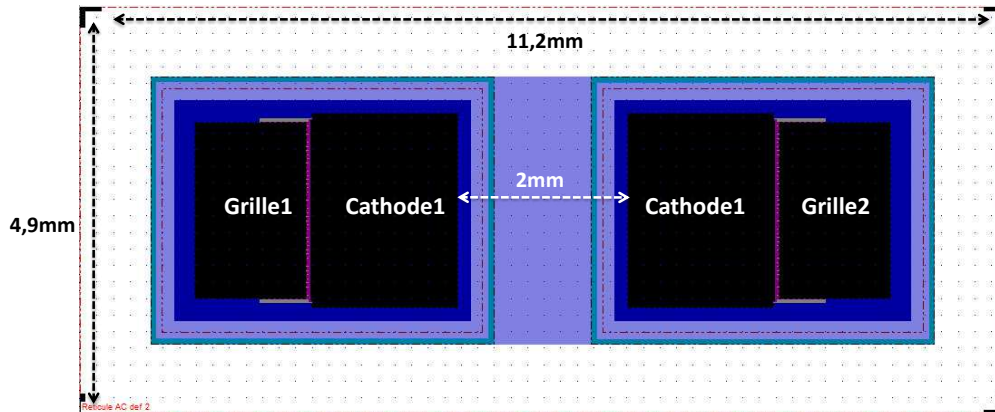


Figure 4-7 : Vue d'ensemble des masques du tri-pôle à anode commune

Les deux sections RC-IGBT qui composent ce tri-pôle sont agencées de manière à avoir les deux grilles aux deux extrémités de la puce. Une distance minimale de 1mm doit être respectée entre les deux cathodes (Chapitre 2). Comme il s'agit d'un premier test de réalisation et par précaution, nous avons fixé une distance de 2mm. La métallisation de la face arrière (anode commune) est mutualisée entre les deux sections RC-IGBT.

b) Cas du tri-pôle à cathode commune

La Figure 4-8 montre les masques du tri-pôle à cathode commune. Dans ce cas, et pour des raisons de symétrie des puces, nous avons utilisé des dimensions identiques à celle du tri-pôle à anode commune. L'électrode de cathode sur la face avant peut être mutualisée directement au niveau de la puce par une métallisation, soit en les connectant par des fils de *bonding*, soit par le substrat dans le cas d'un report flip chip (Chapitre 3).

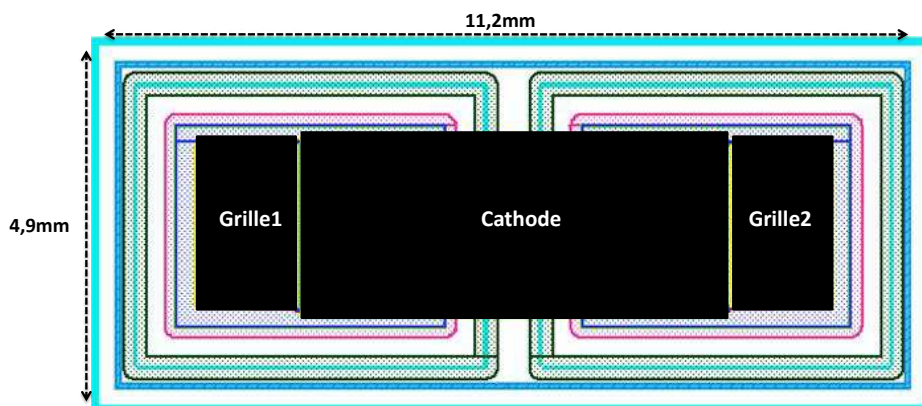


Figure 4-8 : Vue d'ensemble des masques du tri-pôle à cathode commune

Les deux sections RC-IGBT de cette version de puce doivent être isolées par un mur P⁺ traversant (Chapitre 2). Ce mur P⁺ peut être réalisé de trois façons différentes :

- la première façon repose sur le principe classique de diffusion, cette méthode présente deux inconvénients majeurs : 1- Elle nécessite une étape thermique d'une semaine à 1200C°, ceci n'est pas compatible avec les dispositifs de puissance mixant des technologies bipolaire et MOS. En effet, les contraintes thermiques que subissent ces plaquettes induisent des déformations qui rendent ensuite l'alignement des masques successifs impossible dans les tolérances imposées par les technologies récentes d'IGBT. 2- La largeur des murs obtenus est très grande, par conséquent le coût en silicium est élevé.
- La deuxième façon consiste à la réalisation de tranchées profondes sur le substrat silicium, ces tranchées sont ensuite remplies de polysilicium fortement dopé bore (P⁺) qui servira de source dopante pour matérialiser les régions verticales de type P⁺.
- La troisième technique est basée sur la thermo-migration d'Aluminium.

Nous utilisons au LAAS la deuxième solution qui a été étudiée dans cadre de la thèse d'Olivier CAUSSE [3]. L'objectif était de réaliser des dispositifs à IGBT symétriques en tension. Le principe de réalisation peut se décomposer en 4 étapes majeures (Figure 4-9):

- La première étape consiste à réaliser des tranchées profondes suivant un motif discontinu afin de maintenir une bonne résistance mécanique et d'éviter le découpage intempestif de la plaquette.
- Un dépôt conforme permet de remplir les tranchées de polysilicium fortement dopé bore, le polysilicium se dépose aussi sur les deux faces de la plaquette.
- Une étape de gravure par R.I.E. est nécessaire afin d'enlever le polysilicium qui se trouve en surface sur les deux faces de la plaquette.
- Enfin, une étape de redistribution permet aux impuretés de bore contenues dans le polysilicium de diffuser dans le volume du silicium. Il est à noter que cette étape prend en compte les autres étapes de redistribution afin d'obtenir un recouvrement des diffusions après les différentes redistributions cumulées. Le recouvrement des diffusions dans le volume permet de matérialiser une région de type P continu.

La réalisation de ces murs traversant doit être faite au début du process technologique.

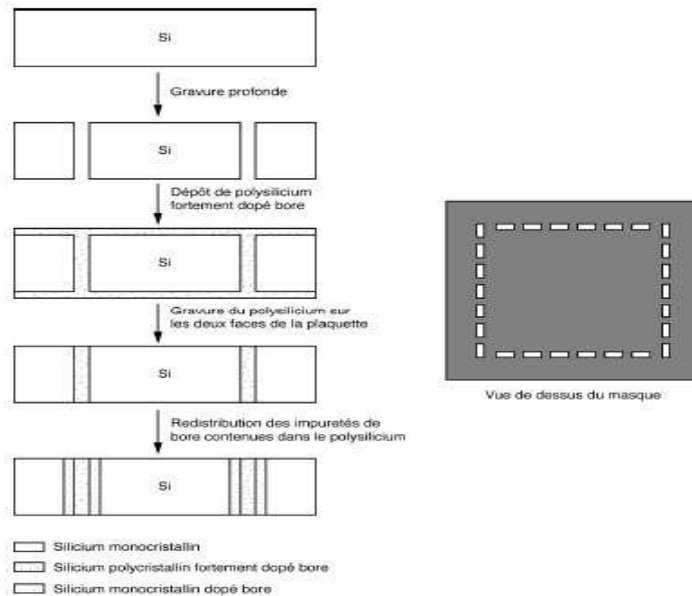


Figure 4-9 : Schéma de principe de réalisation de mur P⁺ à l'aide de tranchées profondes remplies en polysilicium fortement dopé bore [4]

Cette brique technologique pour la réalisation des murs P⁺ n'est pas encore maîtrisée et optimisée dans la filière technologique du LAAS. Pour cette raison, nous n'avons pas réalisé cette version de puce. A l'heure actuelle, un projet est en cours et prend en compte le développement de cette brique technologique afin de l'insérer dans la filière IGBT flexible du LAAS. Ceci devrait permettre dans les années à venir la réalisation de la version aiguilleur à cathode commune.

c) Cas de la mono-puce

L'approche mono-puce a été proposée pendant la dernière année de thèse, sa réalisation n'as pas été envisageable dans le cadre de cette thèse. La puce élémentaire de cette approche est composée de quatre sections RC-IGBT. C'est une puce qui fusionne les deux tri-pôles à anode commune et à cathode commune dans une seule puce silicium. Pour cette raison, les deux sections RC-IGBT qui forment la région anode commune nécessitent donc une séparation minimale de 1mm. La mono-puce nécessite aussi des régions d'isolation par des murs traversant pour séparer les deux sections RC-IGBT qui forment la région de la cathode commune ainsi que la région anode commune de la mono-puce. Le processus technologique nécessite aussi une la réalisation de grille MOS sur les deux faces du silicium par la technique de photolithographie double face détaillée dans la thèse de H. Tahir [5].

4.3 Etapes technologiques de réalisation des puces tri-pôles à anode commune et des puces RC-IGBT discrètes

Nous avons réalisé dans le cadre de cette thèse des puces RC-IGBT discrètes ainsi que la première version d'aiguilleur (tri-pôle à anode commune) ne nécessitant pas des zones d'isolation. L'enchaînement des étapes technologiques principales pour la réalisation de ces

deux puces est résumé dans la Tableau 4-2. Les détails technologiques de chacune des étapes sont reportés dans Annexe 3.

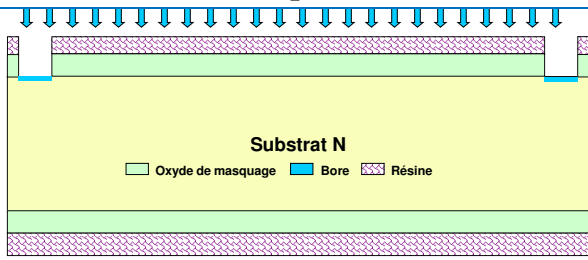
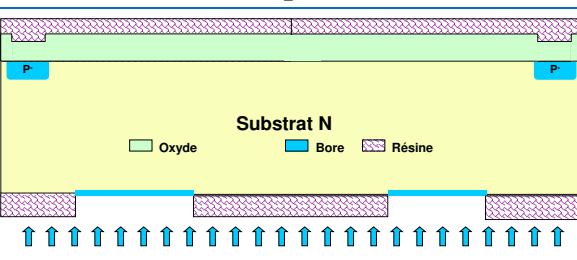
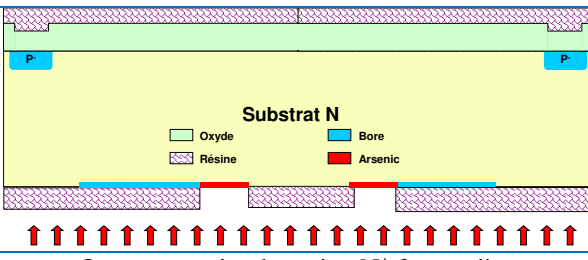
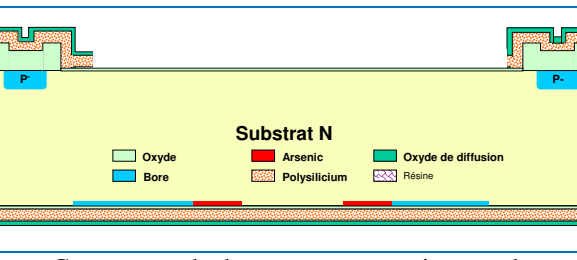
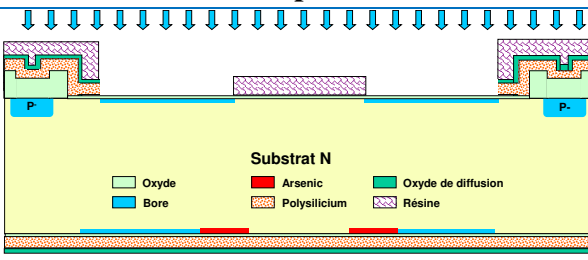
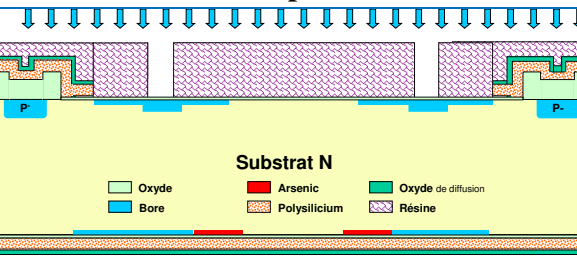
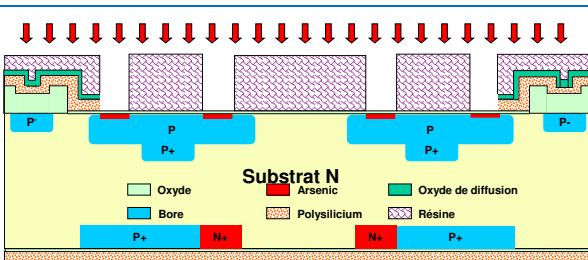
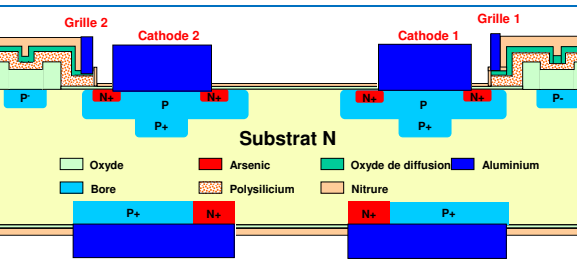
<p style="text-align: center;">Etape 1</p>  <p style="text-align: center;">Substrat N</p> <p style="text-align: center;">Oxyde de masquage Bore Résine</p>	<p style="text-align: center;">Etape 2</p>  <p style="text-align: center;">Substrat N</p> <p style="text-align: center;">Oxyde Bore Résine</p>
<p>Ouverture et implantation de la terminaison P⁻ face avant (Énergie : 50 KeV, Dose : $2,5 \cdot 10^{12} \text{ cm}^{-2}$)</p>	<p>Ouverture et implantation P⁺ face arrière (Énergie : 50 KeV, Dose : $1 \cdot 10^{16} \text{ cm}^{-2}$)</p>
<p style="text-align: center;">Etape 3</p>  <p style="text-align: center;">Substrat N</p> <p style="text-align: center;">Oxyde Bore Résine Arsenic</p>	<p style="text-align: center;">Etape 4</p>  <p style="text-align: center;">Substrat N</p> <p style="text-align: center;">Oxyde Bore Arsenic Polysilicium Oxyde de diffusion Résine</p>
<p>Ouverture et implantation N⁺ face arrière (Énergie : 50 KeV, Dose : $1 \cdot 10^{16} \text{ cm}^{-2}$)</p>	<p>Gravure oxyde de masquage et croissance de l'oxyde de grille</p>
<p style="text-align: center;">Etape 5</p>  <p style="text-align: center;">Substrat N</p> <p style="text-align: center;">Oxyde Bore Arsenic Polysilicium Oxyde de diffusion Résine</p>	<p style="text-align: center;">Etape 6</p>  <p style="text-align: center;">Substrat N</p> <p style="text-align: center;">Oxyde Bore Arsenic Polysilicium Oxyde de diffusion Résine</p>
<p>Ouverture et implantation des caissons P face avant (Énergie : 50 KeV, Dose : $2,5 \cdot 10^{14} \text{ cm}^{-2}$)</p>	<p>Ouverture et implantation des caissons P⁺ face avant (Énergie : 50 KeV, Dose : $1 \cdot 10^{16} \text{ cm}^{-2}$)</p>
<p style="text-align: center;">Etape 7</p>  <p style="text-align: center;">Substrat N</p> <p style="text-align: center;">Oxyde Bore Arsenic Polysilicium Oxyde de diffusion Résine Aluminium</p>	<p style="text-align: center;">Etape 8</p>  <p style="text-align: center;">Substrat N</p> <p style="text-align: center;">Oxyde Bore Arsenic Polysilicium Oxyde de diffusion Aluminium Nitride</p>
<p>Ouverture et implantation des caissons N⁺ face avant (Énergie : 50 KeV, Dose : $1 \cdot 10^{16} \text{ cm}^{-2}$)</p>	<p>Ouverture et métallisations face avant et face arrière (technique lift off Alu)</p>

Tableau 4-2 : Principales étapes technologiques pour la réalisation de la puce tri-pôle à anode commune et puces RC-IGBT discrètes

4.4 Caractérisations sous pointes des puces RC-IGBT et anode commune

La Figure 4-1a montre une photo du *wafer* réalisé. Ce *wafer* de 4 pouces et de 300 μ m d'épaisseur est composé de 48 puces tri-pôles à anode commune et de 84 puces RC-IGBT séparées. Toutes les puces ont été caractérisées avec la station sous pointes Agilent 4142B (Figure 4-10b). Cette station permet de tracer les caractéristiques électriques statiques des puces réalisées avec une limitation à 1A.

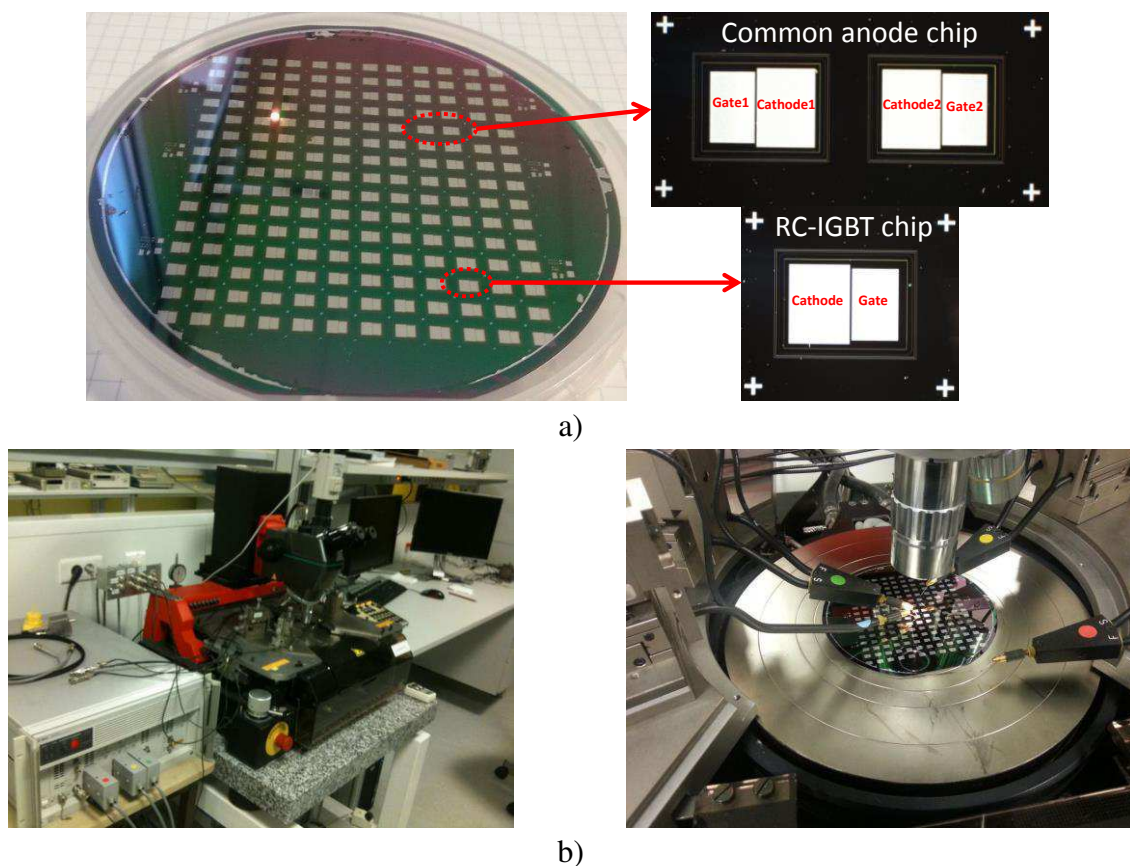


Figure 4-10 : a) *wafer* réalisé en salle blanche du LAAS, b) caractérisation statique sous pointes des puces (*on wafer*) avec le traceur Agilent 4142B

4.4.1 Puces RC-IGBT

La Figure 4-11 regroupe les caractéristiques en direct et en inverse dans le plan I(V) du RC-IGBT discret réalisé. La tension de seuil mesurée est d'environ 2,1V contre une valeur de 3,1V obtenue en simulation (Figure 4-11a). La Figure 4-11b donne la caractéristique I(V) en direct pour le mode IGBT pour différentes valeurs de V_{GK} (2V, 3V, 4V, 5V et 6V). On peut remarquer et vérifier l'absence de tension de retournement en directe (*snappack*), ceci est dû à la largeur suffisante de la diffusion P⁺ en face arrière (>1mm) [6]. Néanmoins, la chute de tension obtenue est plus grande qu'en simulation 2D, même remarque pour la conduction en

inverse en mode diode PIN (Figure 4-11c). Cela peut être dû à plusieurs facteurs parmi lesquels on peut citer une épaisseur de substrat élevée et une durée de vie des porteurs faible.

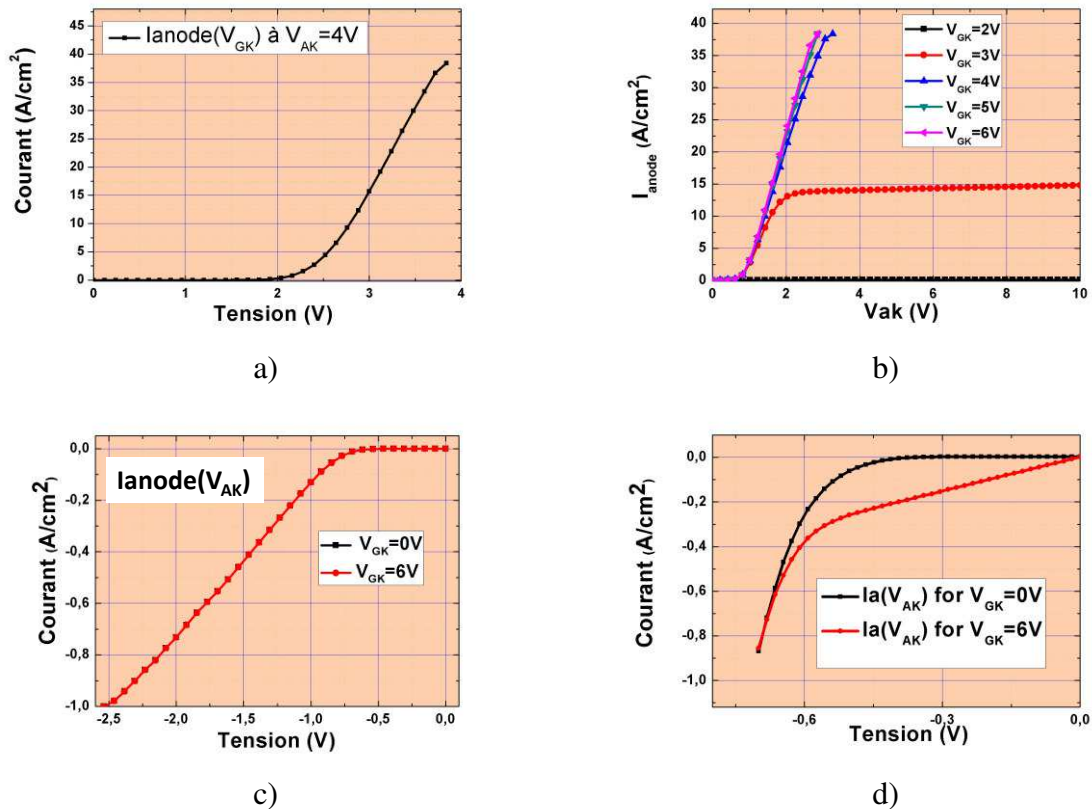


Figure 4-11 : Caractéristiques de l'RC-IGBT a) caractéristique de transfert (transconductance) $I_{ak}(V_{gk})$, b) $I_{ak}(V_{ak})$ en direct, c) $I_{ak}(V_{ak})$ en inverse, d) ZOOM sur la conduction du canal en inverse et le partage du courant avec la diode PIN intégrée.

Comme cela a été mentionné dans le Chapitre 2, le RC-IGBT a la capacité de conduire par le canal à l'état passant inverse (Figure 4-11d), cette propriété du RC-IGBT permet de réduire davantage les pertes thermiques pour une conduction en inverse à très faible courant.

4.4.2 Cas des puces à anode commune

Les caractéristiques statiques I(V) des puces tri-pôles à anode commune réalisées sont résumées dans le Tableau 4-3. Les deux RC-IGBT qui forment chacune des puces tri-pôles à anode commune ont des caractéristiques statiques similaires à celle de la puce RC-IGBT discrète. Ce résultat est tout à fait normal compte tenu du fait que toutes les puces ont subi le même process technologique.

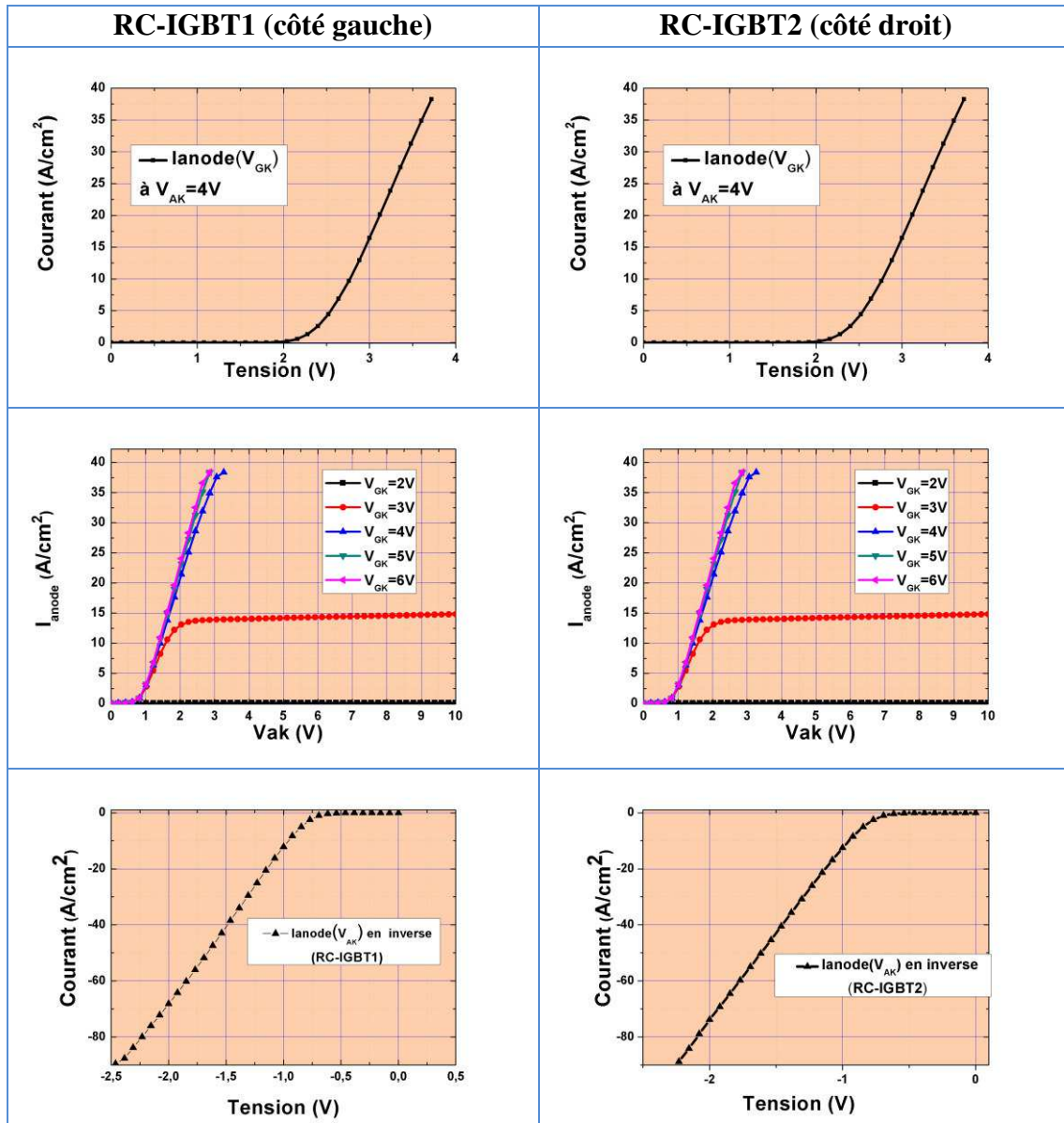


Tableau 4-3 : Caractéristiques I(V) des puces à anode commune

La tension de claquage verticale des sections RC-IGBT, qui composent la puce tri-pôle à anode commune, est d'environ 340V (Figure 4-12a). Lorsque l'on applique une tension positive entre les deux électrodes cathode1 et cathode2, des deux sections RC-IGBT, la tension de claquage latérale est d'environ 390V (Figure 4-12b). Il faudrait toutefois signaler que les puces anodes communes utilisées pour vérifier les tenues en tension verticales et latérales sont différentes ce qui pourrait expliquer la différence observée au niveau de la tension de claquage.

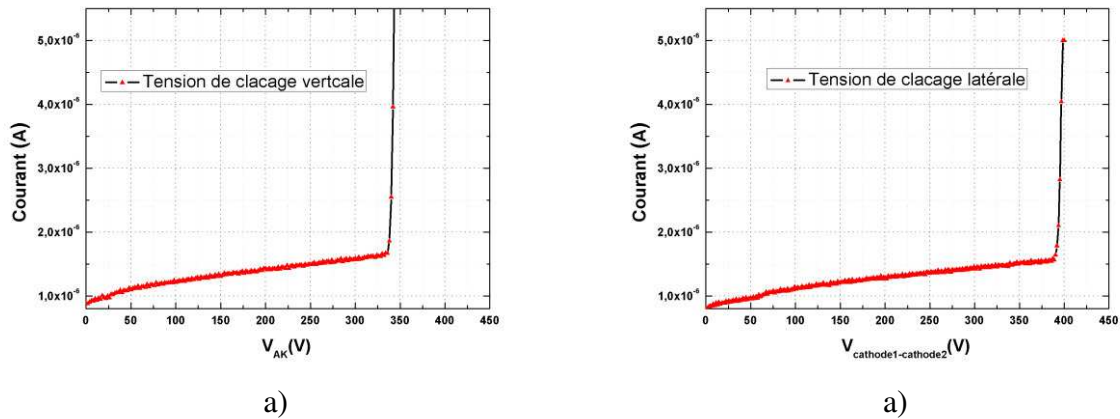


Figure 4-12 : a) tension de claquage verticale, b) tension de claquage latérale

Le courant de fuite latérale croisée est d'environ $2\mu\text{A}$ pour un courant nominal dans la section passante de 1A (Figure 4-13). Ce résultat est obtenu en appliquant une tension positive sur la grille de 6V par rapport à la tension de la cathode1 du RC-IGBT1 ($V_{GK1}=6\text{V}$), tandis que les deux électrodes (grille et cathode) du RC-IGBT2 sont reliées à la masse.

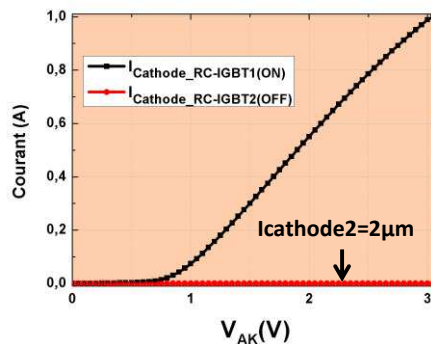


Figure 4-13 : Courant de fuite latérale ($V_{GK1}=6\text{V}$ et $V_{GK2}=0\text{V}$)

4.5 Test de report des puces "factices" SiC sur substrat PCB

Les aspects portant sur le packaging et les techniques d'assemblage des puces dans le cadre de cette thèse ont été étudiés essentiellement au Laplace. A cause des pannes de machines durant la phase de réalisation des puces RC-IGBT et tri-pôles anode commune à la plateforme technologique du LAAS, nous avons commencé à faire des tests d'assemblage sur des puces diodes et MOS SiC commercialisées. Le but a été de mener une action "technologique" en parallèle avec le process en salle blanche afin d'identifier des techniques d'assemblage (Chapitre 3) envisageables pour les futures puces tri-pôles intégrées. La Figure 4-14 montre les deux designs qui ont été conçus pour l'assemblage test des puces SiC. Chacune des cartes PCB est conçue pour recevoir deux MOS et deux diodes pour la conduction en inverse. Ces puces doivent être connectées de manière à former une cellule de commutation (bras d'onduleur). Deux assemblages ont été conçus dans un objectif de comparaison des performances électriques de chaque assemblage : un premier assemblage classique utilisant un

report face arrière de toutes les puces (Figure 4-14a), et un deuxième assemblage utilisant un report *flip chip* [7][8] partiel détaillé dans le Chapitre 3 (Figure 4-14b). Nous avons prévu aussi dans la conception du Layout du deuxième assemblage (*flip chip* partiel) de connecter des capacités CMS au plus près des deux pistes anode et cathode (Figure 4-14b).

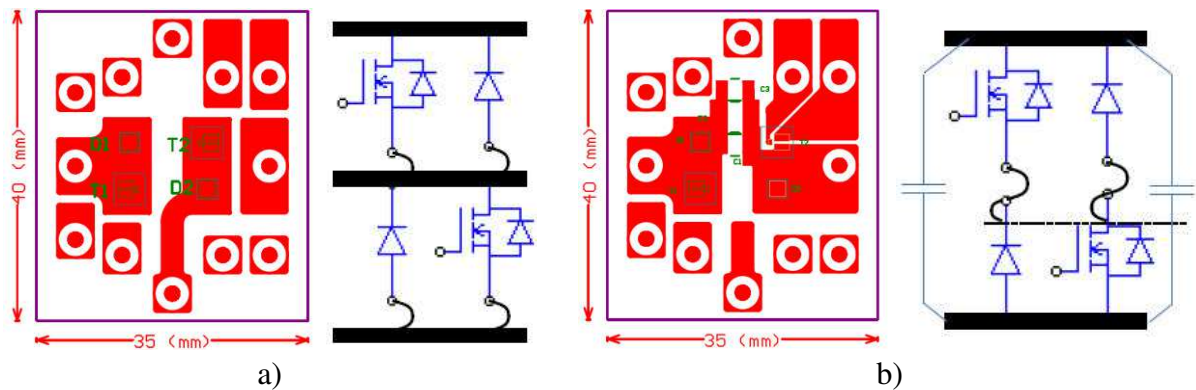


Figure 4-14 : Layout du report des puces MOS et diodes SiC,
a) report face arrière, b) report *flip chip* partiel

4.5.1 Test de collage direct des puces

Dans un premier temps, nous avons procédé à un collage direct des puces pour les deux assemblages, le collage direct est effectué en utilisant une colle epoxy chargée argent de type EC201 ($\rho_{\min} \cong 10^{-6} \Omega \cdot m$). Nous avons ensuite réalisé le câblage des puces en utilisant des rubans AUHD5 en or ($200 \mu m \times 20 \mu m$) disponibles au LAAS. Les rubans sont soudés à une température de $80^\circ C$ (soudure par ultrason).

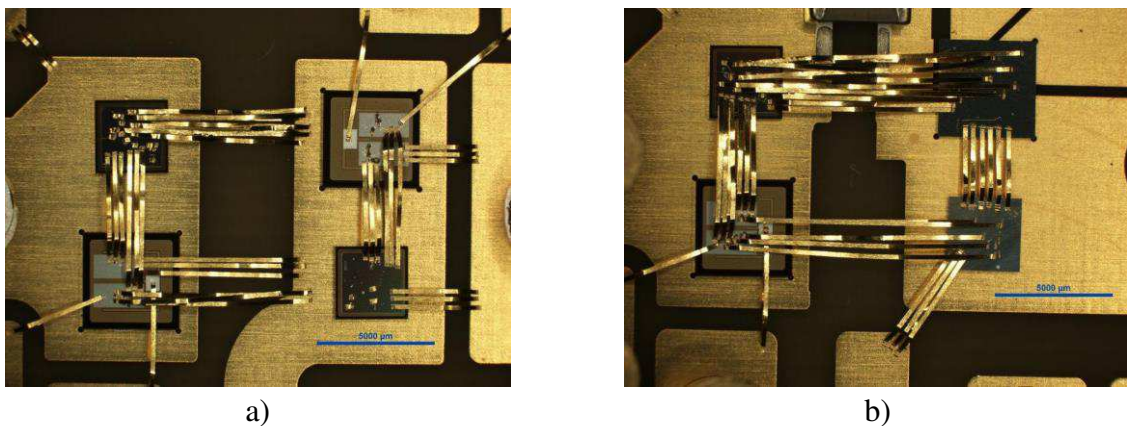


Figure 4-15 : Premiers assemblages réalisés sur carte PCB des puces SiC,
a) report face arrière, b) report *flip chip* partiel

Les deux cartes PCB ont été testées avec le traceur Agilent B2905A en effectuant une mesure volt-ampérométriques avec des mesures de potentiel drain et source sous pointes (Figure 4-16).

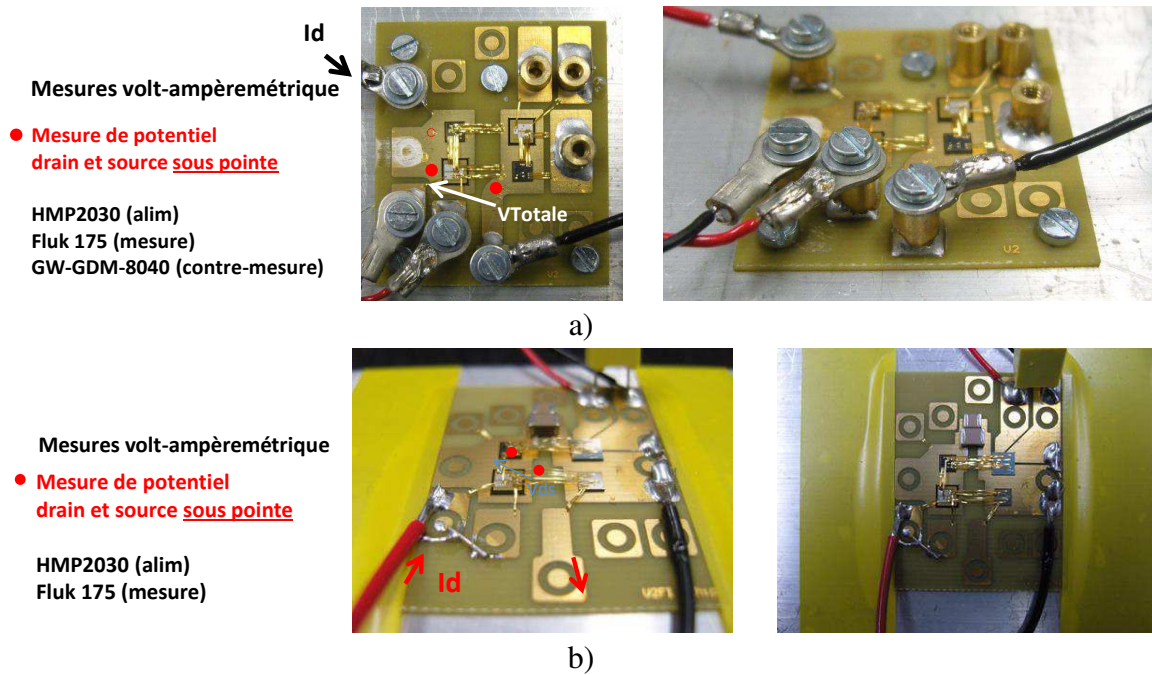


Figure 4-16 : Montages effectués pour le câblage des cartes réalisées, a) report face arrière, b) report face avant

Les résultats de caractérisations électriques de la première carte (report face arrière) sont donnés dans la Figure 4-17.

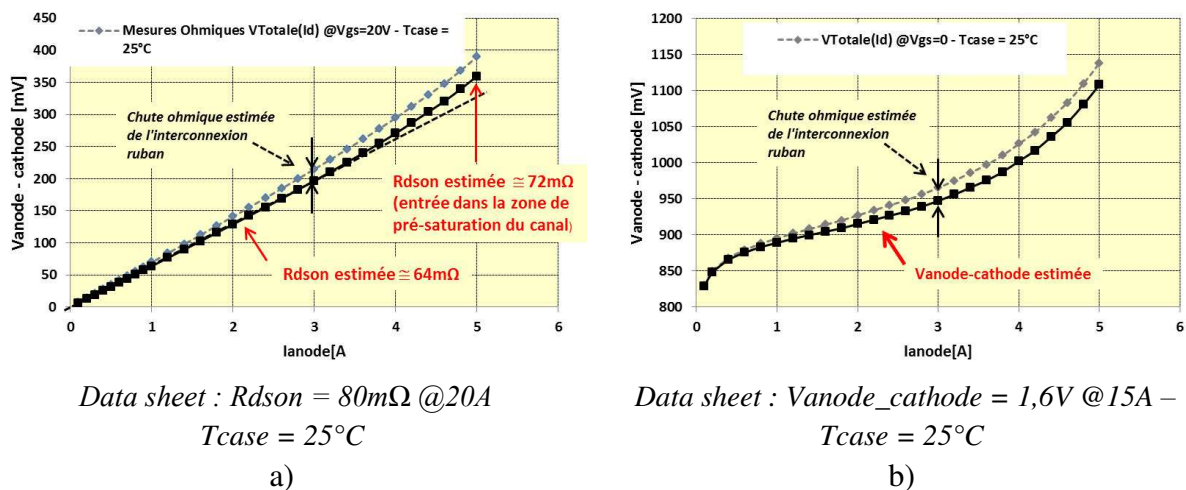


Figure 4-17 : Résultats des caractérisations électriques, a) MOS SiC (1,2kV/30A@100°C – 4,08x4,08mm² en report face arrière, b) diode SiC (1,2kV/15A@175°C – 2,7x2,7mm² en report face arrière

Il est à noter que la résistance minimale du joint de colle supposée homogène est estimée d'après la datasheet à $R_{joint} \cong 6\mu\Omega$ (soit 1/10000 de la valeur R_{dson} donc négligeable) Celle d'une connexion avec un seul ruban or est estimée à $R_{ruban} \cong 55m\Omega$ donnant 6mΩ pour un

faisceau de rubans (soit près de 8% de la valeur $R_{ds(on)}$ ce qui ne peut pas être considéré comme négligeable). Nous en déduisons que la connexion et le report de ces puces ne sont pas réellement intrusives en DC par rapport à la résistance intrinsèque des puces. C'est effectivement ce qui est constaté sur la Figure 4-17a bien que la mesure ait été faite à faible courant.

Les résultats de caractérisations électriques de la deuxième carte (report flip chip) sont donnés sur la Figure 4-18. Le report en flip-chip du transistor introduit une résistance d'accès de $17m\Omega$ soit 20% de la $R_{ds(on)}$. Cette résistance d'accès est directement dépendante de la qualité de la polymérisation de la colle, de sa section apparente et de son épaisseur. Ce point pourra à l'avenir être quantifié par un scanning acoustique suivi de plusieurs micro-sections orthogonales.

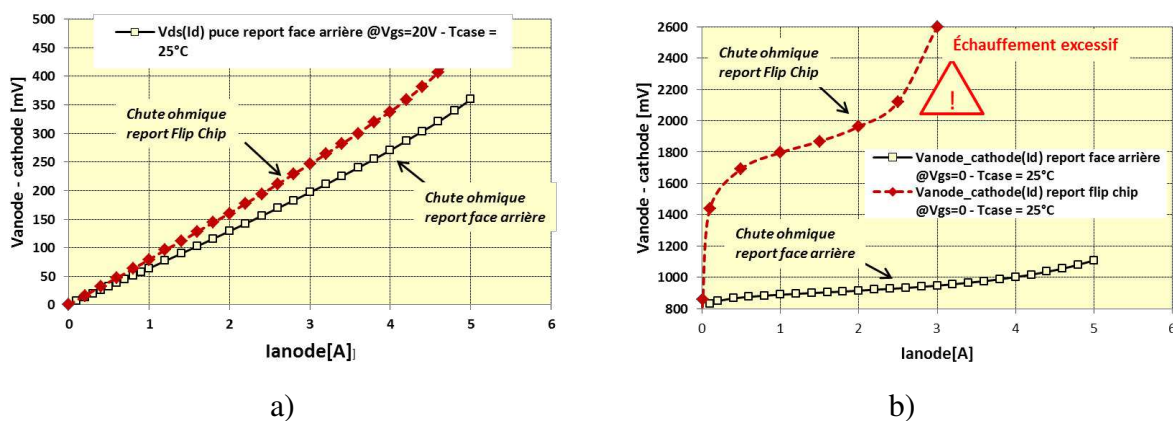


Figure 4-18 : Résultats des caractérisations électriques,
 a) MOS SiC (1,2kV/30A@100°C – 4,08x4,08mm²) en report flip chip,
 b) diode SiC (1,2kV/15A@175°C – 2,7x2,7mm²) en report flip chip

4.5.2 Réalisation des contacts par *bumps*

La deuxième technique que nous avons testée consiste à fabriquer des éléments de *bumps* en or (Figure 4-19) superposés pour réaliser le contact puce/carte sous la forme d'un poteau. En effet, la première technique que nous avons utilisée ne tient pas compte de la tenue en tension entre la puce et le PCB en report *flip chip* (voir Chapitre 3). L'objectif principal d'utilisation des *bumps*[9][10][11] dans ce mode de report est de surélever la puce du substrat pour augmenter la tenue en tension de la structure [12].

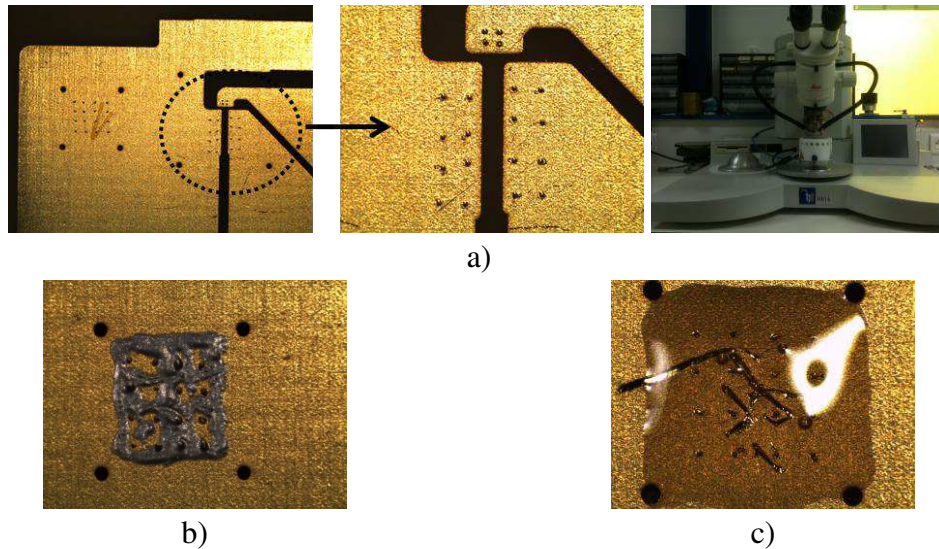


Figure 4-19 : a) éléments de *bumps* réalisés sur la carte PCB, dépôt de la colle pour la tenue mécanique de *bumps*,

b) colle conductrice (époxy chargée argent EC201), c) colle isolante (H20E Epotek™)

La technique que nous avons utilisée au LAAS permettant de réaliser les éléments de *bumps* est issue de la technique "ball bumps" : elle consiste à "écraser" l'extrémité (*ball* + la queue du *wire*) de l'élément de *bonding* en or de 70 μm de diamètre. L'épaisseur des *bumps* obtenue varie entre 50 et 60 μm . Pour atteindre une épaisseur donnée, la technique consiste à empiler plusieurs éléments de *bumps*. En utilisant la machine de la Figure 4-19a, nous avons pu empiler deux *bumps* pour atteindre une épaisseur de 100 μm environ. Une plaque métallique planaire est ensuite utilisée pour aplatir les poteaux ainsi formés afin qu'ils aient tous la même hauteur. Les résultats de test électrique sous pointes en fort courant (en mode pulsé) avec le traceur Agilent 4142B sont présentés dans la Figure 4-20. Ces mesures ont été effectuées avant le câblage des puces.

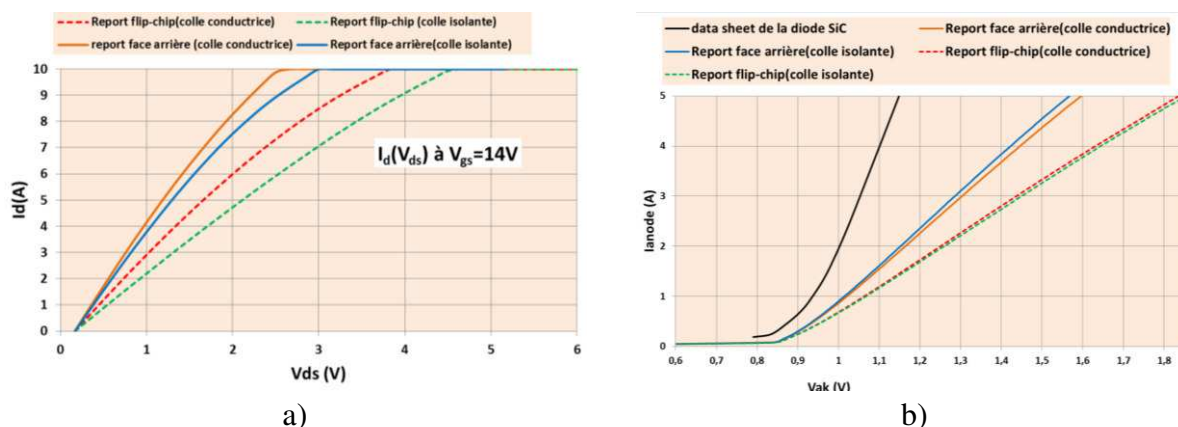


Figure 4-20 : a) caractéristiques $I_d(V_{ds})$ d'une puce MOS SiC, b) caractéristiques $I_{ak}(V_{ak})$ d'une puce diode SiC

Ces caractéristiques montrent clairement que le contact en utilisant des *bumps* génère une résistance ohmique supplémentaire, celle-ci pouvant être réduite en utilisant une colle conductrice.

4.6 Report des puces réalisées sur substrat PCB

4.6.1 Report puce anode commune (face arrière)

Le report des puces réalisées a été fait sur deux étapes : la première étape était de reporter le tri-pôle à anode commune sur la face arrière (Figure 4-21a) avec un collage direct en utilisant la colle H20E Epotek™ ($\rho < 4.10^{-6} \Omega.m$ @25°C). Cette colle nécessite une polymérisation à 80°C pendant 2 heures. La puce est ensuite câblée en utilisant des fils de câblage en aluminium de 25µm de diamètre soudés à température ambiante (soudure par ultrason). Ce câblage est réalisé de manière à faire transiter le maximum du courant dans les électrodes cathode1 et cathode2 (11 fils de connexion par puce ont été câblés). Chaque fil peut transiter un courant de 1A. Les mesures ont été faites avec le traceur Agilent B2905A en régime pulsé ($\pm 10A$ max / $\pm 6V$ max) utilisant la technique 4 fils (Figure 4-21c et Figure 4-21d). En Figure 4-22c une diode externe a été ajoutée en série avec le RC-IGBT2 permettant une mesure en inverse du seul RC-IGBT1. Les caractéristiques I(V) obtenues par mesures sont données dans la Figure 4-22.

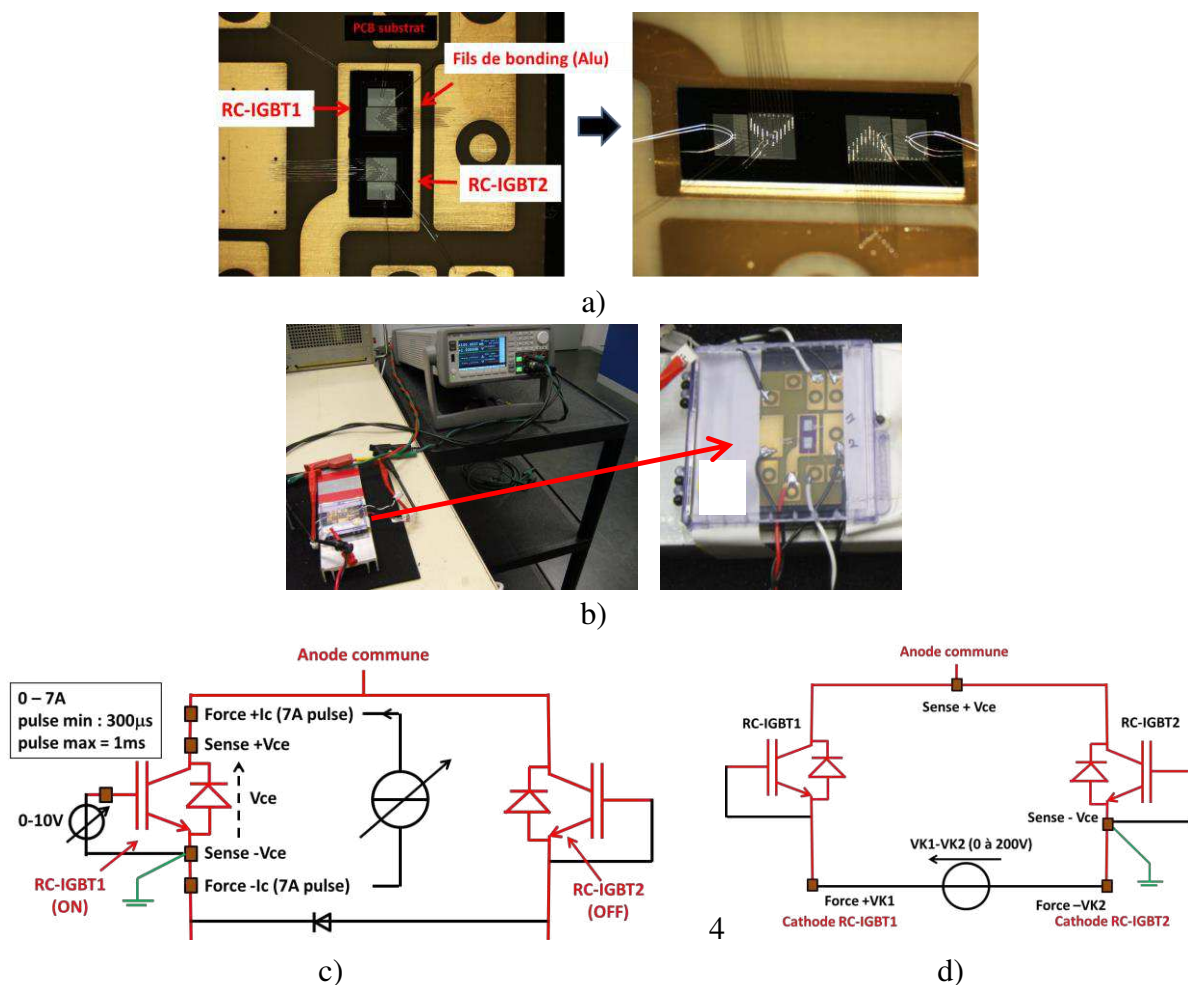


Figure 4-21 : a) report en face arrière de la puce à anode commune par collage époxy, b) câblage de la carte avec le traceur Agilent B2905A, c) montage pour tracer la caractéristique I(V) du RC-IGBT1, d) montage pour la mesure du courant de fuite latéral (croisé)

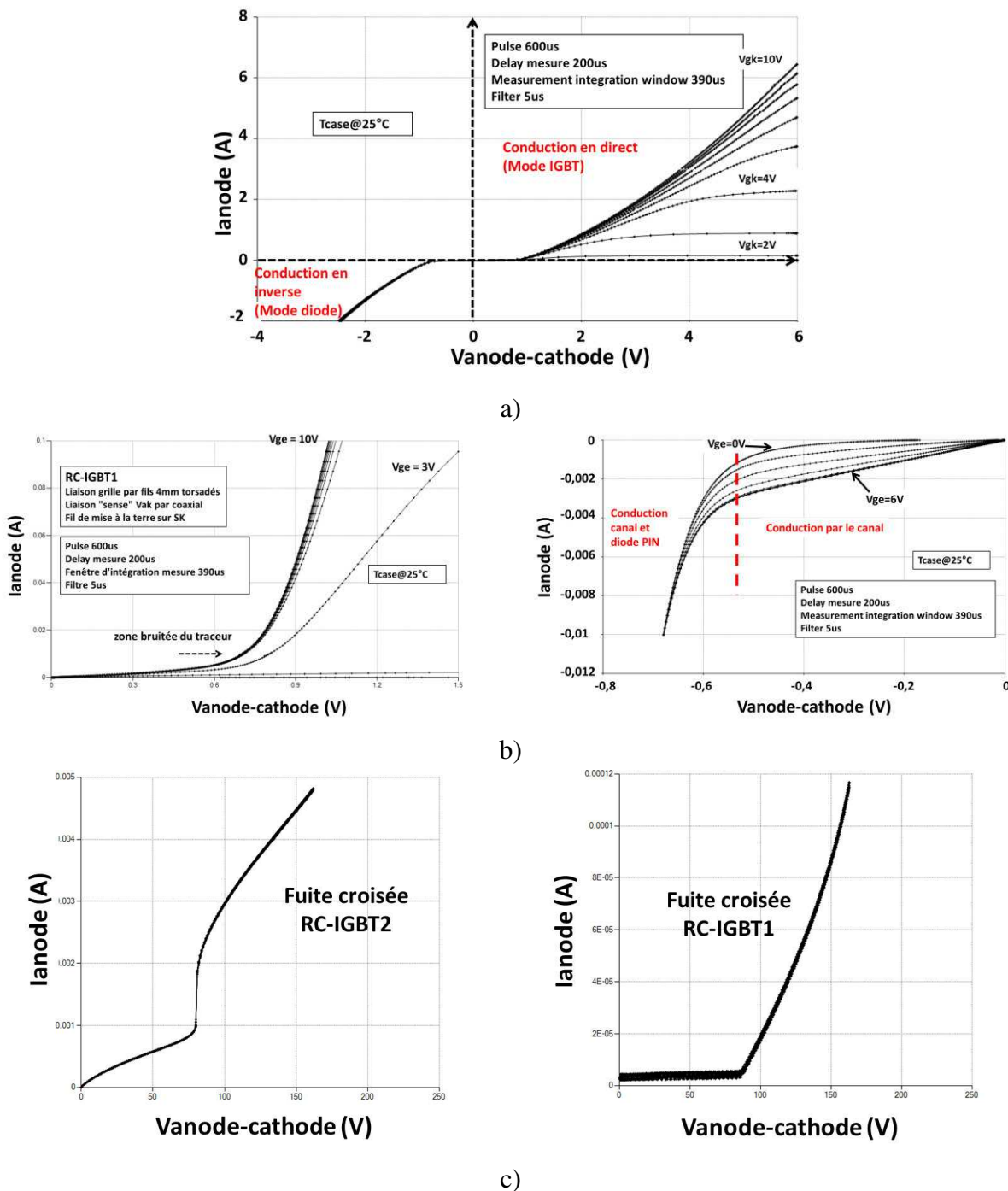


Figure 4-22 : a) caractérisations électriques de la section RC-IGBT1 du tri-pôle à anode commune, b) agrandissement pour les faibles courant (en direct et en inverse), c) courant de fuite latéral et vertical pour les deux sections RC-IGBT qui composent le tri-pôle

Les résultats des caractérisations des sections RC-IGBT ont permis d'aller au-delà du seuil de 1A sous pointe pour atteindre plus de 6A. Les résultats sont encourageants : en effet, la mesure de la fuite latérale croisée pour la section RC-IGBT1 montre un courant très faible inférieur à $10\mu A$ et plus important pour le RC-IGBT2 avec une fuite à 2mA, et ce, jusqu'à une tension de 90V appliquée entre les deux électrodes de la cathode (cathode1 et cathode2). Ce courant augmente quasi-linéairement de 70V jusqu'à 170V (Figure 4-22c à droite). L'origine de ce courant de fuite reste toutefois à identifier. En effet, ces valeurs de courant de

fuite ne sont pas dues à un problème de conception mais plutôt aux aspects technologiques. Notons que nous avons réalisé ces puces en partant uniquement sur 4 *wafer* silicium dont un seul est arrivé en fin du process. Néanmoins d'autres puces sur le même *wafer* réalisé présentent des valeurs des courants de fuite nettement inférieures que dans le cas de cette puce (voir paragraphe suivant).

4.6.2 Report puce anode commune (face arrière) et puces RC-IGBT en flip-chip (pont en H complet)

Les derniers tests de report qui ont été faits dans le cadre de cette thèse ont été réalisés en prenant en compte les résultats des tests électriques précédents. En effet, nous avons sélectionné parmi toutes les puces que nous avons réalisées celles qui présentent les meilleures caractéristiques statiques (chute de tension en direct et en inverse, tenue en tension et courant de fuite direct). Cette sélection a été faite sur la base de caractérisations électriques sous pointes de puces nues. Nous avons conçu un *layout* spécifique pour l'assemblage de la puce tri-pôle à anode commune (*high side*) et de deux puces RC-IGBT discrètes montées en report *flip chip* (*low side*). Les puces sont ensuite câblées pour former un pont en H composé de 4 RC-IGBT dont deux sont intégrés sous forme de puce tri-pôle à anode commune (Figure 4-23a). Les deux puces RC-IGBT en report *flip chip* représentent l'équivalent de la puce tri-pôle à cathode commune (l'électrode de la cathode est mutualisée par la piste PCB dans ce cas) avec une isolation par un diélectrique d'une largeur de 2mm (l'air dans cet exemple).

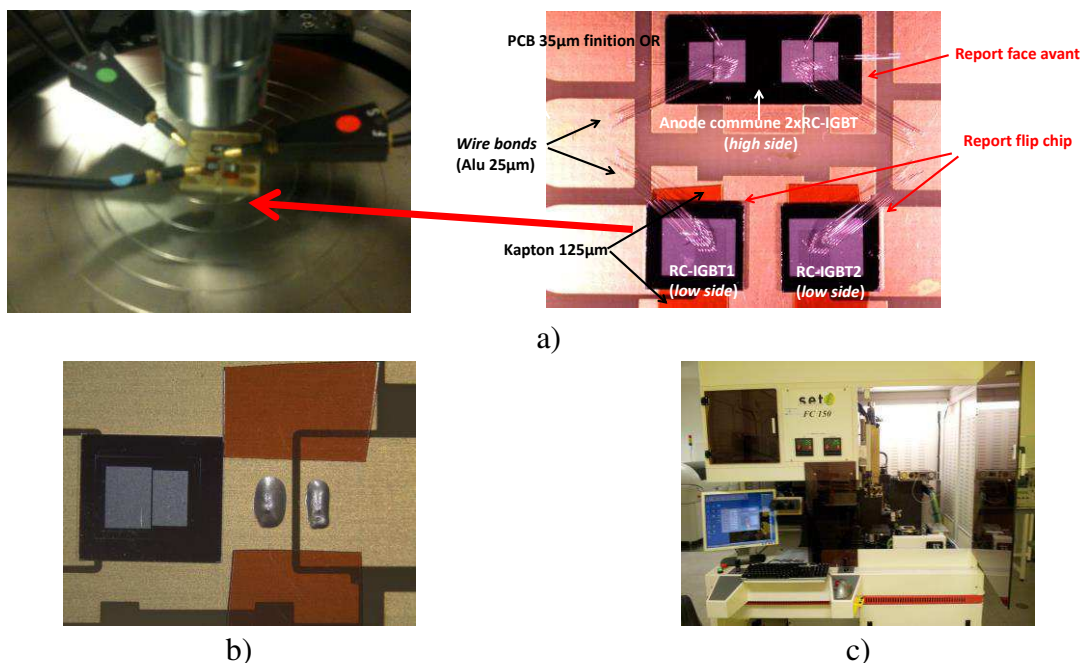


Figure 4-23 : Report flip chip des puces RC-IGBT en utilisant la technique du "Kapton", a) carte réalisée avec deux puces RC-IGBT en *flip chip* et un tri-pôle à anode commune en report face arrière, b) dépôt de colle et mise en place des films "Kapton", c) photo de la machine FC150SET utilisées pour réaliser le report *flip chip*

Nous avons testé une nouvelle technique pour réaliser le report *flip chip* des puces RC-IGBT. En effet, d'après les résultats de tests électriques de collage précédents (collage direct par colle époxy Argent ou collage utilisant des éléments de *bumps* en or), les deux méthodes posent des problèmes de reproductibilité sur la qualité de la résistance de contact et de tenue en tension. Cette technique vise à réaliser un report *flip-chip* (Figure 4-23b) utilisant un film isolant (Kapton) éventuellement adhésif, avec une épaisseur maîtrisée (125 μ m pour ce test). Ce film est utilisé comme un support parfaitement calibré permettant de fixer la hauteur de la puce et sa planéité par rapport au substrat. Un dépôt de colle à la seringue est ensuite réalisé sur les pistes en cuivre des pistes PCB dont la quantité et la surface doivent être maîtrisées pour éviter de court-circuiter les électrodes de grille et de cathode.

Nous avons effectué plusieurs tests de report *flip chip* en utilisant la machine FC150SET (Figure 4-23c) et des puces RC-IGBT pour maîtriser la quantité de colle à déposer. Cette machine dispose d'une caméra qui se positionne entre la puce et la carte, cela permet un alignement de la puce avec les plages de report sur le substrat. Le contact est ensuite réalisé à travers une pression exercée par la machine. La Figure 4-24 montre les premiers tests électriques sous pointes d'un RC-IGBT en report *flip-chip*. La tenue en tension est testée jusqu'à 200V (Figure 4-24b) et montre un courant de fuite très faible (10nA environ). La carte a ensuite été câblée et elle est en cours de caractérisation statique et dynamique au Laplace au moment où ce mémoire est écrit.

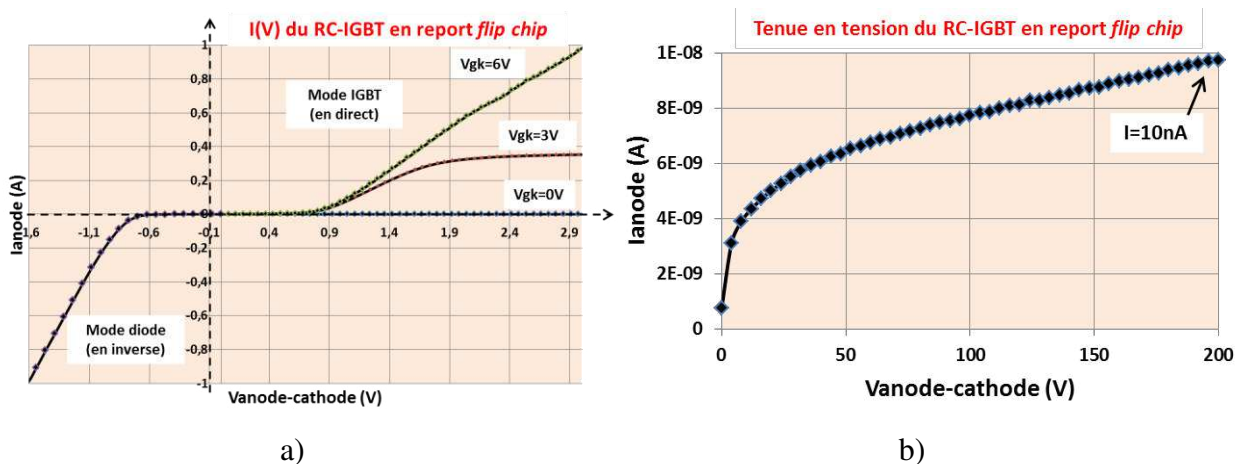


Figure 4-24 : Caractéristiques électriques du RC-IGBT en report *flip chip* utilisant le "Kapton", a) I(V) en statique, b) tenue en tension direct

Nous pensons que cette technique peut être généralisée en réalisant un *layout* spécifique du film isolant par des techniques de découpe utilisant un faisceau laser par exemple et un gabarit. En plus du positionnement en Z, ce film permettrait de réaliser, par fenêtrage, un gabarit de collage de la puce par sérigraphie directe d'une part et un excellent milieu isolant la terminaison périphérique de jonction de la puce vis-à-vis du substrat métallique. L'alignement des puces en Z doit aussi faciliter le report d'un plan d'interconnexion planaire (PCB, DBC) au-dessus afin de fermer la maille de commutation sans devoir utiliser des fils de connexion. Cette voie sera explorée dans le cadre de l'ANR JC ConvPlus piloté par le LAAS en relation avec le groupe CS du Laplace et la plate-forme 3DPHI.

4.7 Conclusion

Ce chapitre avait pour objectif de présenter tous les aspects technologiques liés au sujet de l'intégration monolithique sur silicium de cellules de commutation. Nous avons détaillé notre démarche de conception des puces intégrées, leurs réalisations technologiques et leurs techniques d'assemblage sur substrat PCB.

Les prototypes de puces réalisés (tri-pôle à anode commune ainsi que les puces RC-IGBT discrètes) présentent des caractéristiques électriques très encourageantes à nos yeux pour répondre à la fonctionnalité visée. Les valeurs obtenues en termes de chute de tension à l'état passant (mode IGBT en direct et mode diode PIN en inverse) et en termes de tenue en tension (jusqu'à 350V) doivent être optimisées mais elles sont très prometteuses à nos yeux. Les différents modes de report testés ont montré que la dernière technique testée pour le report *flip chip* utilisant des films isolants constitue une voie intéressante et évolutive pour un mode d'assemblage mono ou double face permettant d'imaginer de très nombreuses options de fonctionnalisation.

Bibliographie du chapitre 4

- [1] M. Antoniou, F. Udrea, F. Bauer, et I. Nistor, « A new way to alleviate the RC IGBT snapback phenomenon: The Super Junction solution », in *2010 22nd International Symposium on Power Semiconductor Devices IC's (ISPSD)*, 2010, p. 153-156.
- [2] H. Jiang, B. Zhang, W. Chen, Z. Li, C. Liu, Z. Rao, et B. Dong, « A Snapback Suppressed Reverse-Conducting IGBT With a Floating p-Region in Trench Collector », *IEEE Electron Device Lett.*, vol. 33, n° 3, p. 417-419, 2012.
- [3] O. Causse, *Contribution à l'amélioration de la fonctionnalité et des performances de l'IGBT*. 2001.
- [4] E. Imbernon, « Etude et optimisation d'une filière technologique flexible adaptée au mode d'intégration fonctionnelle », Université Paul Sabatier - Toulouse III, thèse 2002.
- [5] H. Tahir, « Conception et réalisation de structures IGBTs bidirectionnelles en courant et en tension », Université Paul Sabatier -Toulouse III - thèse 2011.
- [6] A. Bourenane, J.-L. Sanchez, F. Richardeau, E. Imbernon, et M. Breil, « On the integration of a PIN diode and an IGBT for a specific application », Prague, République tchèque, 2006, p. 1-6.
- [7] A. El Khadiry, A. Bourenane, M. Breil, et F. Richardeau, « A single-chip integration approach of switching cells suitable for medium power applications », in *Mixed Design of Integrated Circuits and Systems (MIXDES), 2013 Proceedings of the 20th International Conference*, 2013, p. 421-425.
- [8] K. Chai et L. Wu, « The underfill processing technologies for flip chip packaging », in *First International IEEE Conference on Polymers and Adhesives in Microelectronics and Photonics, 2001*, 2001, p. 119-123.
- [9] K. Hase, G. Lefranc, M. Zellner, et T. Licht, « A solder bumping interconnect technology for high-power devices », in *Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual*, 2004, vol. 6, p. 4183-4187 Vol.6.
- [10] G. A. Rinne, « Solder bumping methods for flip chip packaging », in *Electronic Components and Technology Conference, 1997. Proceedings., 47th*, 1997, p. 240-247.
- [11] S. Zama, D. F. Baldwin, T. Hikami, et H. Murata, « Flip chip interconnect systems using wire stud bumps and lead free solder », in *Electronic Components amp; Technology Conference, 2000. 2000 Proceedings. 50th*, 2000, p. 1111-1117.
- [12] J. Xu, « Technology for Planar Power Semiconductor Devices Package with Improved Voltage Rating », Virginia Polytechnic Institute and State University, 2008.

Conclusion générale

Les travaux détaillés dans ce mémoire de thèse se placent dans le domaine de l'intégration en électronique de puissance visant plusieurs objectifs : réduction du nombre de puces nécessaires pour la réalisation des convertisseurs statiques multi-phases de type (AC/DC ou DC/AC), réduction et simplification d'étapes d'assemblage et de packaging de puces dans les modules de puissance, amélioration de la fiabilité par la conception et des performances électrique des convertisseurs. Pour atteindre simultanément ces objectifs, nous visons une approche d'intégration intermédiaire entre le "tout monolithique" et le "tout hybride". Il s'agit en particulier de tirer parti du meilleur des deux approches par un juste dosage. Pour ce qui relève des cellules de commutation, nous avons proposé un périmètre d'intégration monolithique et semi-monolithique. Dans ce contexte, ce mémoire a présenté deux approches originales dites "bi-puce" et "mono-puce" basées sur une intégration monolithique de composants bidirectionnels en courant de type RC-IGBT (*Reverse Ronducting IGBT*).

- L'approche "bi-puce" donne lieu à deux macro-puces multi-interrupteurs dites "aiguilleurs de courant" intégrant le circuit convertisseur multi-phases en deux parties : la partie *high-side* qui se présente sous forme d'une puce multi-pôles à anode commune, la partie *low-side* qui se présente sous forme d'une deuxième puce multi-pôles à cathode commune. Ces deux puces sont génériques et complémentaires, leur association est donc indispensable afin de réaliser des fonctions de conversion d'énergie.
- L'approche "mono-puce" donne lieu à une macro-puce multi-interrupteurs intégrant à la fois la partie *high-side* et *low-side* du circuit convertisseur multi-phases. Il s'agit donc d'une intégration "ultime".

Les travaux menés dans cette thèse visant l'évaluation de ces deux approches d'intégration peuvent être classés sur quatre niveaux:

➔ **Niveau 1 (architectures silicium et circuit):** A travers des simulations physiques/électriques 2D sous SentaurusTM : nous avons dimensionné la structure du RC-IGBT afin de l'optimiser et de l'adapter aux applications de types AC/DC et DC/AC. Ce dimensionnement a été fait en se basant sur des considérations visant à réduire les pertes thermiques en conduction. Nous avons validé les deux approches d'intégration proposées dans ce mémoire en se basant sur des puces élémentaires : tri-pôle à anode commune et tri-pôle à cathode commune intégrant deux RC-IGBT sur la même puce silicium pour l'approche "bi-puce" ; et une puce intégrant quatre RC-IGBT dans la même puce silicium pour l'approche "mono-puce". Toutes les puces intégrées ont été conçues et dimensionnées pour tenir une tension de 600V en latéral et en vertical et passer un courant de 100A/cm². Le fonctionnement des puces en mode convertisseur (AC/DC et DC/AC et BiBi) a été vérifié également.

→ **Niveau 2 (assemblage et packaging des puces):** Nous avons étudié et comparé les différentes techniques d'assemblage des deux "aiguilleurs" mettant en avant la technique *flip-chip* partielle d'un point de vue électrique, ce résultat de comparaison a été vérifié par des simulations physiques 3D sous COMSOL *multiphysics*. Nous avons proposé ensuite une solution de packaging pour la mono-puce qui profite des avantages du mode de report *flip-chip* partiel sur le plan électrique. Une étude par simulation 3D sous forme de modèle thermique a été aussi introduite montrant l'élévation de la température de la puce intégrant plusieurs interrupteurs. Cette élévation est due au couplage thermique des flux de chaleur dans chaque interrupteur intégré dans la puce. Ceci nécessite par conséquent en fonction du nombre d'interrupteurs intégrés et en fonction de la densité de puissance dissipée dans chaque interrupteur, un choix adapté du substrat à utiliser.

Dans le but de maîtriser le mode de report *flip chip* partiel et de le comparer avec la technique classique du report, des tests de report de puces SiC commercialisées sur substrat PCB ont été faits utilisant deux techniques de collage : collage direct et collage par *stud bumps*. Les résultats de ces tests de collage utilisant ces deux méthodes n'étaient pas concluants et ils ont montré des résistances de contact élevées, nous avons proposé par la suite une alternative plus simple et peut être plus fiable. Cette alternative utilise une technique de collage direct utilisant un film isolant (Kapton) comme support permettant de surélever la puce et de maîtriser la hauteur afin de réaliser le mode de report *flip chip* et aussi de renforcer la tenue en tension périphérique de la puce en vis-à-vis avec un feuillard conducteur.

→ **Niveau 3 (réalisation technologique de puces étudiées):** nous avons réalisé la première version de puce "tri-pôle à anode commune" et des puces RC-IGBT discrètes. Leurs résultats de caractérisations électriques sont très encourageants malgré qu'ils ne présentent pas les mêmes caractéristiques obtenues par simulations 2D.

→ **Niveau 4 (applications aux puces réalisées) :** On avait pour but à travers la réalisation de puces RC-IGBT discrètes en parallèle avec les tri-pôles à anode commune de tester leurs fonctionnements en report *flip chip*. Cela permet de séparer les problèmes d'intégration avec ceux rencontrés en packaging. Le résultat de test électrique de tenue en tension des puces RC-IGBT discrètes en report *flip chip* utilisant le mode de collage par films isolants est motivant.

Les perspectives de ce travail de thèse consisteront à aller plus loin aux niveaux des réalisations technologiques aussi bien sur le plan des dispositifs semi-conducteurs que des assemblages. Cela commence tout d'abord par la maîtrise de la brique technologique permettant de réaliser les zones d'isolation par mur P⁺ traversant. Ensuite, la réalisation de la version d'aiguilleur à cathode commune basée sur l'isolation par mur P⁺. Ces deux réalisations permettront certainement de passer à la réalisation de la mono-puce. Le convertisseur multi-phases est intégré entièrement dans une seule macro-puce silicium multi-interrupteurs. Trois électrodes de puissance sur la face arrière de la macro-puce - anode commune au milieu de la puce et deux électrodes de la cathode commune aux deux extrémités de la puce reliées à travers le substrat de report- et plusieurs électrodes sur la face avant de la puce en fonction du nombre des RC-IGBT intégrés au sein de la macro-puce.

La solution de packaging de cette macro-puce illustrée dans le Chapitre 3 laisse imaginer la faisabilité d'un convertisseur ultra-compact dépourvu de toute connexion filaire. Un projet ANR JC ConvPlus dans le cadre d'une thèse est en cours employant aussi un post-doctorant.

Annexe 1

Calcul des pertes dans les RC-IGBT :

1-1 Mode redresseur synchrone de tension (AC/DC)

Dans l'exemple de la puce à anode commune par exemple, ce tri-pôle constitue une cellule de commutation pour un fonctionnement en mode redresseur de tension, le calcul des pertes se fait en deux étapes : tout d'abord on calcule les pertes en mode de conduction direct (IGBT pour $I_g > 0$) puis en mode de conduction inverse (mode diode pour $I_g < 0$) (Figure 0-1). La méthode est appliquée pour calculer les pertes dans une seule section RC-IGBT puis nous multiplions par 2 pour avoir les pertes totales dissipées dans le tri-pôle.

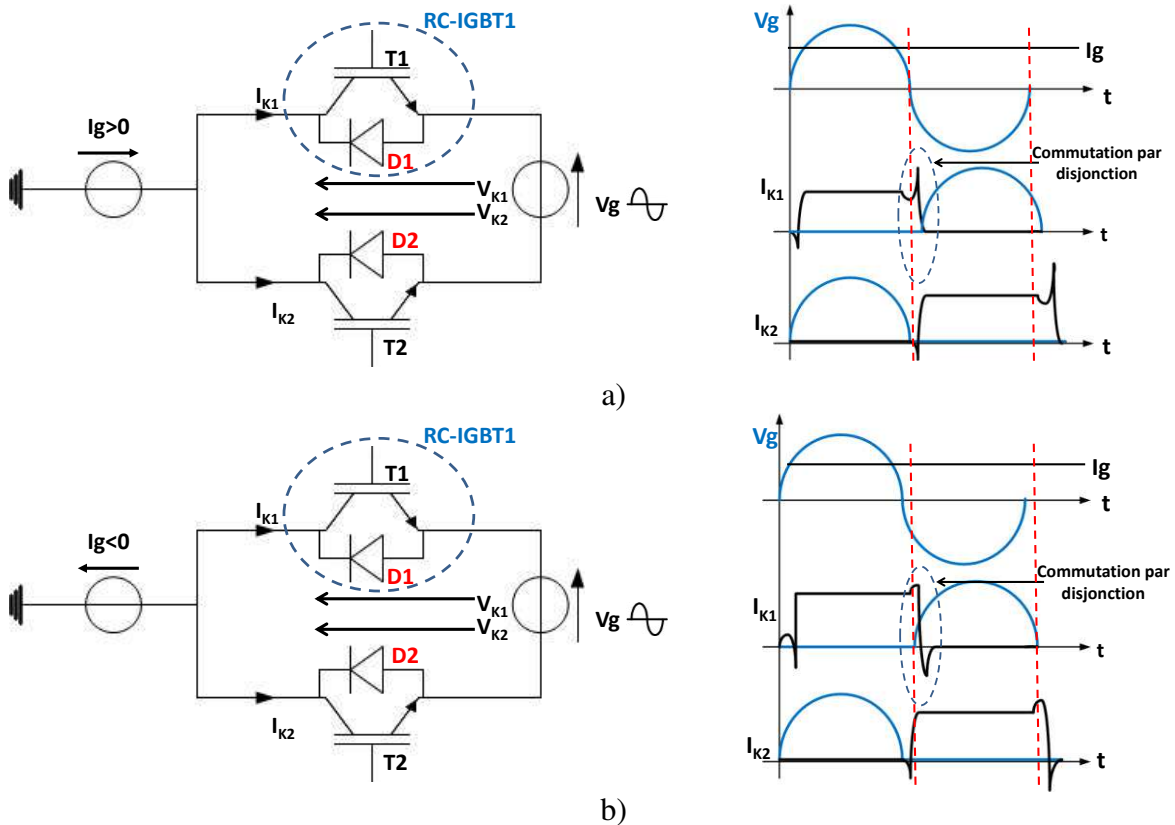


Figure 0-1 : Formes d'ondes dans le RC-IGBT1 (T1, D1) mettant en jeu une phase d'empiètement [1] , a) pour un courant de charge positif (mode IGBT), b) pour un courant de charge négatif (mode diode)

➤ Mode 1 (conduction IGBT) :

Dans ce mode de conduction, on ne tient pas compte des séquences de conduction des diodes, la durée relative de ces séquences est considérée négligeable. Par conséquent, les

perdes dans les diodes sont considérées négligeables pour simplifier le calcul. On commence par calculer les pertes instantanées, ensuite nous calculons la valeur moyenne par intégration des pertes instantanées sur la période de la source alternative (ici V_g).

- Pertes instantanées dans T1 : $[0, T/2[\rightarrow V_{CEsat}(I_g) \times I_g$
 $[T/2, T[\rightarrow 0$ (composant bloqué)

- Pertes moyennes dissipées dans T1 sur une période $[0, T] = 1/2 V_{CEsat}(I_g) \times I_g$

➔ **Bilan des pertes moyennes** = Pertes moyT1 + Pertes moyT2 + (Pertes moy D1=0) + (Pertes moy D1=0) = $V_{CEsat}(I_g) \times I_g$

➤ **Mode 2 (conduction diodes) :**

Dans ce mode de conduction, on ne tient pas compte des séquences de conduction des IGBT, la durée relative de ces séquences est considérée négligeable. Par conséquent, les pertes dans les IGBT sont considérées négligeables.

- Pertes instantanées dans D1 : $[0, T/2[= V_d(I_g) \times I_g$
 $[T/2, T[= 0$

- Pertes moyennes dans D1 sur une période $[0, T] = 1/2 V_d(I_g) \times I_g$

➔ **Bilan des pertes moyennes** = Pertes moyD1 + Pertes moyD2 + (Pertes moyT1=0) + (Pertes moyT2=0) = $V_d(I_g) \times I_g$

1-2 Mode onduleur de tension DC/AC "pleine onde" :

Dans le cas du mode onduleur fonctionnant en pleine onde, la cellule de commutation est répartie sur deux aiguilles RC-IGBT au niveau des deux tri-pôles anode commune et cathode commune. D'une manière générale, les formes d'ondes introduisent un déphasage temporel ϕ/ω (avec $\omega = 2\pi/T$), ce déphasage est un paramètre important pour le calcul des pertes thermiques. Les deux points A et B désignent les sorties du pont onduleur (Figure 0-2).

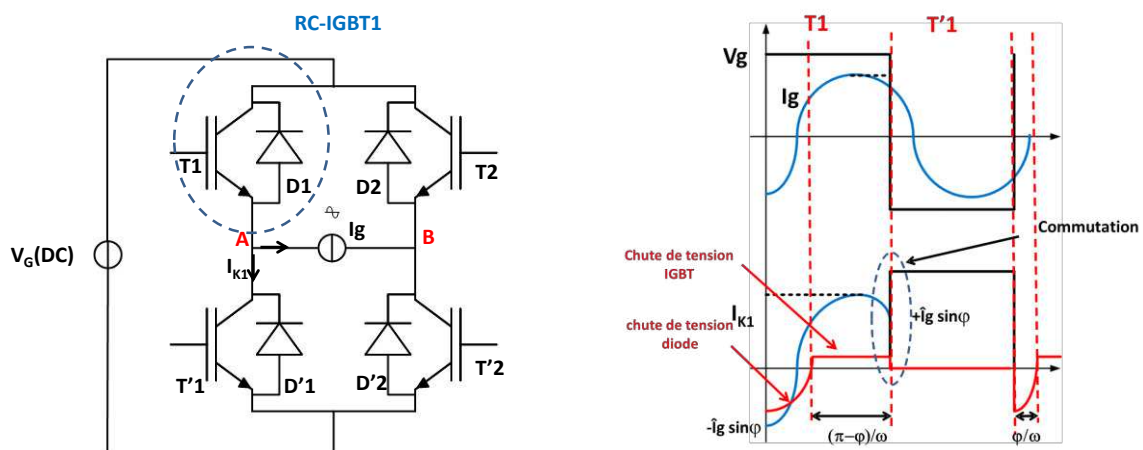


Figure 0-2 : Formes d'ondes dans le RC-IGBT1 (T1, D1) en mode onduleur de tension

Ces deux RC-IGBT ont une commande complémentaire en mode thyristor-dual pour $\varphi > 0$ et en mode thyristor-diode pour $\varphi < 0$. Le raisonnement est fait sur une demi-puce (c.-à-d. T1 +D1). Pour un signal sinusoïdale $I_g(t) = \hat{I}_g \sin(\omega t - \varphi)$ d'amplitude \hat{I}_g , la diode conduit pendant une durée φ / ω .

Les pertes dans T1 : (mode IGBT)

- Les pertes instantanées dans T1 du RC-IGBT1 (T1 : IGBT)

$$T1 : \quad [0, \varphi / \omega [\rightarrow 0 \\ \quad \quad \quad [\varphi / \omega, T/2[\rightarrow V_{CEsat}(I_g) \times I_g(t)$$

Sur une période T, on calcule les pertes moyennes dissipées sur l'intervalle $[\varphi / \omega, T/2]$:

- Pertes moyennes = $1/T \int_{[\varphi / \omega, T/2]} V_{CEsat}(t) \times I_g(t) \cdot dt$

Dans ce calcul, nous allons modéliser la chute de tension V_{CEsat} de l'IGBT par un modèle au premier ordre comprenant une tension de seuil et une résistance pour la zone ohmique:

$$V_{CEsat} = V_{CE0} + R_{CE} \times I_C \quad (V_{CE0} \text{ et } R_{CE} \text{ dépendent de la valeur de } r = S_N^+ / (S_N^+ + S_P^+), \text{ voir Chapitre 2})$$

On en déduit :

- Les pertes totales dans T1 = $1/T \int_{[\varphi / \omega, T/2]} (V_{CE0}(t) \times I_g(t) + R_{CE} \times I^2 g(t)) \cdot dt$
= $V_{CE0} \cdot \langle I_g(t) \rangle_{[\varphi / \omega, T/2]} + R_{CE} I_{eff}^2 g(t)_{[\varphi / \omega, T/2]}$

Avec $\langle I_g(t) \rangle_{[\varphi / \omega, T/2]} = 1/T \int_{[\varphi / \omega, T/2]} I_g(t) \cdot dt = \hat{I}_g (1 + \cos(\varphi)) / (2\pi)$

Et $I_{eff}^2 g(t)_{[\varphi / \omega, T/2]} = 1/2 \int_{[\varphi / \omega, T/2]} I^2 g(t) \cdot dt = \hat{I}^2 g(\pi - \varphi + 1/2 \sin(2\varphi)) / 4\pi$

Les pertes moyennes dans D1 :

- Pertes instantanées sur $[0, \varphi / \omega [= V_d(I_g) \times I_g(t)$
 $[\varphi, T/2[= 0$
- Pertes moyennes = $1/T \int_{[0, \varphi / \omega]} V_d(t) \times I_g(t) \cdot dt$

On fait de même pour la diode, celle-ci est modélisée par une tension de seuil et une résistance :

$$V(I_d) = V_{d0} + R_d \times I_d \quad (V_{d0} \text{ et } R_d \text{ dépendent de la valeur de } r = S_N^+ / (S_N^+ + S_P^+), \text{ voir Chapitre 2})$$

- Les pertes totales dans D1 = $V_{d0} \times \langle I_g(t) \rangle_{[0, \varphi / \omega]} + R_d \times I_{eff}^2 g(t)_{[0, \varphi / \omega]}$

Avec $\langle I_g(t) \rangle_{[0, \varphi / \omega]} = \hat{I}_g (1 - \cos(\varphi)) / 2\pi$

Et $I_{eff}^2 g(t) = \hat{I}^2 g(\varphi - 1/2 \sin(2\varphi)) / 4\pi$

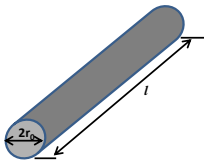
➔ **Bilan des pertes moyennes** = Pertes moy (T1) + Pertes moy (D1) =
 $[V_{CE0} (1 + \cos\varphi) + V_{d0} (1 - \cos\varphi)] I_g / 2\pi + [R_{CE0} (\pi - \varphi + 1/2 \sin 2\varphi) + R_{d0} (\varphi - 1/2 \sin 2\varphi)] \times I^2 g / 4\pi$

Les paramètres V_{CE0} , V_{d0} , R_{CE} et R_{d0} dépendent de la valeur du rapport $r = r_{N^+}/(S_{N^+} + S_{P^+})$ et les paramètres ϕ et \hat{I}_g dépendent de la source. Le rapport $r = r_{N^+}/(S_{N^+} + S_{P^+})$ a été fixé pour avoir des pertes totales $\leq 200 \text{ W/cm}^2$.

Annexe 2

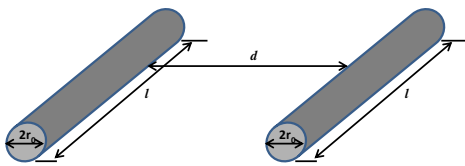
Formules théoriques pour le calcul de l'inductance équivalente

L'inductance équivalente d'un fil conducteur de section circulaire peut être calculée en partant des équations de Maxwell en basse fréquence (courants de déplacement négligés) appliquées à un élément de volume puis intégrées à l'ensemble de la géométrie [1]. Des méthodes de décomposition par éléments filaires partiels parallélépipédiques (méthode PEEC) ou des géométries équivalentes couplées et basées sur des distances moyennes (GMD pour la distance moyenne géométrique entre conducteurs) sont aussi employées [2]. Les formules présentées ci-dessous sont basées sur l'hypothèse d'un courant réparti uniformément dans le fil conducteur i.e. sans prise en compte de l'effet de fréquence du conducteur sur lui-même (effet de peau) et du conducteur sur les autres (effet de proximité) (Equation 1). L'inductance mutuelle entre deux fils se calcule à partir de la formule (Equation 2) [3]. L'inductance équivalente des pistes en cuivre (Ruban ou pads) se calcule à l'aide de la formule analytique de l'Equation 3 [3].



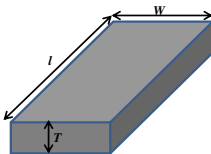
$$L_{wb} = \frac{\mu l}{2\pi} \left(\ln \frac{2l}{r_0} - 0.75 \right) \quad \text{(Equation 1)}$$

L_{wb} : Inductance [nH]
 l : Longueur du *wire bond* [mm]
 r_0 : Rayon de la section du *wire bond* [mm]
 $\mu = \mu_0 * \mu_r$ ($\mu = 0.4 \pi$ nH/mm)



$$M = \frac{\mu l}{\pi} \ln \left(\frac{d}{r_0} + 0.25 - \frac{d}{l} \right) \quad \text{(Equation 2)}$$

M : Mutual-inductance [nH]
 l : Longueur du *wire bond* [mm]
 r_0 : Rayon de la section du *wire bond* [mm]
 $\mu = \mu_0 * \mu_r$ ($\mu = 0.4 \pi$ nH/mm)
 d : Distance entre les deux *wire bonds* [mm]



$$L_{ribbon} = 0.2l \left[\ln \left(\frac{2l}{T+W} \right) + 0.5 + 0.22 \frac{W+T}{l} \right] \quad \text{(Equation 3)}$$

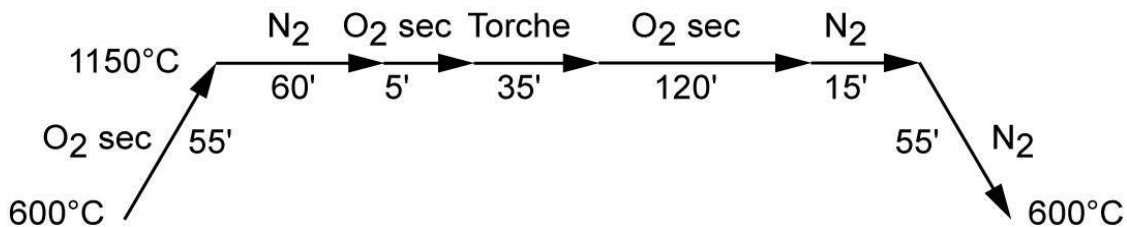
Annexe 3

Détails technologiques pour la réalisation des puces RC-IGBT:

L'enchaînement des étapes technologiquement de base permettant la réalisation d'une structure de type RC-IGBT sont :

1. Terminaison de jonction P⁻ (face avant)

La diffusion P⁻ pour les terminaisons de jonction se fait par implantation de bore à faible dose (Énergie : 50 KeV, Dose : $2,5 \cdot 10^{12} \text{ cm}^{-2}$). Cette étape génère un oxyde d'une épaisseur d'environ 6400Å.



2. Diffusions P⁺ (face arrière)

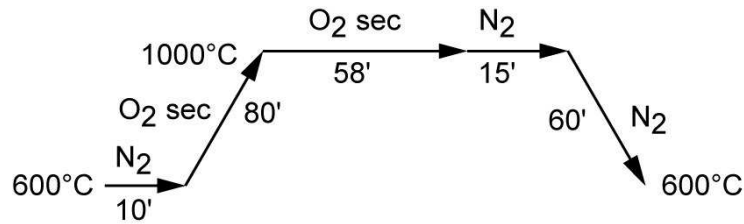
La diffusion P⁺ est réalisée par implantation de bore (Énergie : 50 KeV, Dose : $1 \cdot 10^{16} \text{ cm}^{-2}$). La concentration en surface est d'environ $3 \cdot 10^{19} \text{ cm}^{-2}$ pour une profondeur de jonction d'environ 7,2 μm. Ils ont déjà été évaluées et optimisées dans la plateforme technologique du LAAS [5].

3. Diffusions N⁺ (face arrière)

La diffusion N⁺ face arrière est réalisée par implantation ionique d'arsenic (Énergie : 50 KeV, Dose : $1 \cdot 10^{16} \text{ cm}^{-2}$). La redistribution des atomes dopants de ces régions N⁺ se fait d'une part lors de la réalisation de l'oxyde de grille et d'autre part lors de la redistribution des caissons P et des cathodes N⁺ de la face avant. La concentration en surface de $6,5 \cdot 10^{19} \text{ cm}^{-3}$ a une profondeur de jonction de 3,6μm [5].

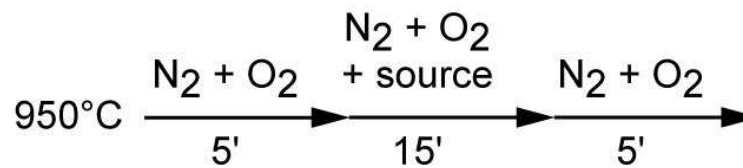
4. Oxyde de grille

L'oxyde de grille est réalisé par oxydation thermique du silicium. Le profil thermique de cette étape a été optimisé à la salle blanche du LAAS. Le but était d'avoir une épaisseur de l'oxyde d'environ 550Å. Les dix minutes à 600°C sous azote après l'enfournement permettent d'uniformiser la température du four ainsi que la répartition des gaz, en vue d'obtenir une épaisseur d'oxyde la plus homogène possible.



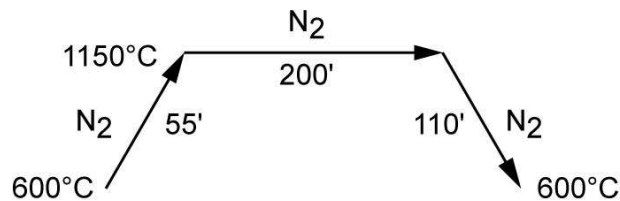
5. Dépôt et dopage du polysilicium

Le dépôt du silicium polycristallin se fait pour obtenir une épaisseur de 3000Å : 100 cm³/mn de silane (SiH₄) à une température de 605°C pendant 30mn. Le dopage du polysilicium est réalisé à partir d'un pré-dépôt d'une source liquide POCl₃. La couche d'oxyde créée lors de cette étape thermique a une épaisseur d'environ 500Å [5] [6].



6. Diffusion P (face avant)

La diffusion P face avant est réalisée par implantation ionique de bore (Énergie : 50 KeV, Dose : 2,5. 10¹⁴ cm⁻²) en utilisant le principe d'auto-alignement par les régions de grille en polysilicium.

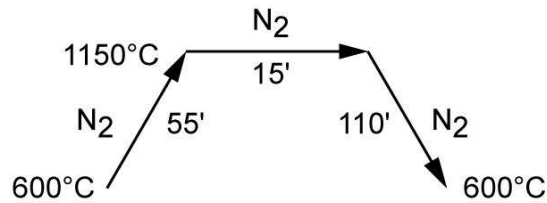


7. Diffusion P⁺ (face avant)

Cette diffusion est réalisée par implantation ionique de bore (Énergie : 50 KeV, Dose : 1. 10¹⁶ cm⁻²). La redistribution du P⁺ est commune avec la redistribution des caissons P. La concentration en surface de bore obtenue est d'environ de 3.10¹⁹ cm⁻³ et la profondeur de jonction est d'environ 7,1µm [5].

8. Diffusion N⁺ (face avant)

Cette diffusion est réalisée par implantation ionique d'arsenic utilisant aussi le principe d'auto-alignement par les régions de grille en polysilicium (Énergie : 50 KeV, Dose : 1. 10¹⁶ cm⁻²)



9. Dépôt de nitrure de passivation

Le dépôt de la couche de nitrure (SiN_4) d'isolation se fait dans un four de dépôt LPCVD (*Low Pressure Chemical Vapour Deposition*) à partir de $20\text{cm}^3/\text{mn}$ de dichlorosilane (SiH_2Cl_2) et de $150\text{cm}^3/\text{mn}$ de NH_3 , à une température de 750°C et pendant 50mn. L'épaisseur de Si_3N_4 obtenue est d'environ 1200\AA .

10. Ouverture des contacts et métallisation

L'ouverture des contacts se fait en fin de process technologique suivie de la gravure de nitrure et de l'oxyde de grille. Ceci est suivi d'une étape de métallisation en aluminium de $1\mu\text{m}$ par *sputtering*. Le wafer est ensuite gravé (avec solution H_3PO_4 , HNO_3 et H_2O) pour localiser les zones de métallisations dessinées au niveau des masques.

Bibliographie annexes

- [1] Electronics Designer's Handbook, second Edition, L.J. Giacoletto, McGraw-Hill Book Company.
- [2] High frequency characterization and modeling of on-chip interconnects and rf ic wire bonds, Ph.D. Dissertation Stanford University, Xiaoning Qi, June, 2001.
- [3] K. Xing, F. C. Lee, et D. Boroyevich, « Extraction of parasitics within wire-bond IGBT modules », in *Applied Power Electronics Conference and Exposition, 1998. APEC '98. Conference Proceedings 1998., Thirteenth Annual*, 1998, vol. 1, p. 497-503 vol.1.
- [4] F. Capy, « Etude et conception d'un interrupteur de puissance monolithique à auto-commutation : le thyristor dual disjoncteur », Université Paul Sapatier -Toulouse III, thèse 2009.
- [5] E. Imbernon, « Etude et optimisation d'une filière technologique flexible adaptée au mode d'intégration fonctionnelle », Université Paul Sabatier - Toulouse III, thèse 2002.
- [6] H. Tahir, « Conception et réalisation de structures IGBTs bidirectionnelles en courant et en tension », Université Paul Sabatier -Toulouse III - thèse 2011.

Liste des publications

A. El khadiry, A. Bourennane, F. Richardeau, E. Imbernon and M. Breil "A Single-chip Integration Approach of Switching Cells Suitable for Medium Power Applications" International journal of microelectronics and computer science, Vol. 4, NO. 2, 2013.

A. El Khadiry, A. Bourennane, M. Breil and F. Richardeau "Monolithically integrated switching cells suitable for high density power conversion" (ISPS'12), Prague 2012, pp. 222-227.

A. El Khadiry, A. Bourennane, M. Breil, F. Richardeau "Single – chip vertical integration approach suitable for medium power applications" (MIXDES), Gdynia 2013, Poland.

A. El Khadiry, F. Richardeau, A. Bourennane, D. Zhifeng and M. Breil, « Multi-switch Si-chip structures and on-substrate packaging techniques for improving the electrical performance of power modules », in 2013 15th European Conference on Power Electronics and Applications (EPE), Lille 2013, p. 1-7.

A. El khadiry, A. Bourennane, M. Breil, F. Richardeau "Cellules de commutation monolithiques intégrables sur silicium" 14ème édition de la Conférence Electronique de Puissance du Futur, EPF'2012, 5-7 juillet 2012, Bordeaux, France.

A. El khadiry "Intégration monolithique sur silicium d'une cellule de type "aiguilleur de courant" application à la conversion d'énergie" 15ème Journées Nationales du Réseau Doctoral en Microélectronique, 18-20 juin 2012, Marseille, France.

A. El khadiry "Approche d'intégration de cellules de commutation pour les applications de conversion d'énergie" 16ème Journées Nationales du Réseau Doctoral en Microélectronique, 10-12 juin 2013, Grenoble, France.

TITRE : Architectures de cellules de commutation monolithiques intégrables sur semi-conducteurs "bi-puce" et "mono-puce" pour convertisseurs de puissance compacts

DIRECTEURS DE THESE : Frédéric RICHARDEAU & Abdelhakim BOURENNANE

Résumé

Dans le domaine de l'intégration hybride de puissance, l'opération de câblage des dispositifs semi-conducteurs de puissance est la cause de fortes interactions électriques parasites entre les inductances de connexion, les capacités parasites par rapport au plan de masse, les dispositifs de puissance eux même et leur électronique de commande rapprochée. Ces interactions constituent une source de pollution et d'auto-perturbation EMI d'une part et un facteur de limitation des performances et de la fiabilité d'autre part. La voie de l'intégration monolithique de puissance au sein d'un même cristal constitue une approche intéressante permettant de solutionner simultanément l'ensemble des problèmes induits par l'intégration hybride. Dans ce cadre, les travaux de cette thèse visent à étudier la faisabilité d'une approche d'intégration monolithique intermédiaire où une structure générique multiphasée est décomposée et intégrée sous la forme de deux macro-puces, chacune vient intégrer un réseau d'interrupteurs multiphasés partageant au moins une électrode commune. Chaque macro-puce est un "aiguilleur de courant" déclinée en deux versions : une version "*high-side*" à anode commune/face arrière de la macro-puce et une version "*low-side*" à cathode commune/face avant de la macro-puce. Ce mode d'intégration adresse des applications de conversion d'énergie de type DC/AC, AC/DC ou encore des interrupteurs de puissance quatre segments de faible et moyenne puissance. L'étude comporte : la modélisation par simulations physiques/électriques 2D de structures de puces proposées, la validation de la fonctionnalité recherchée sur le plan semi-conducteur (structure physique) et système (circuit électrique), la réalisation de puces "prototype" en salle blanche du LAAS puis les caractérisations préliminaires sous pointes et enfin l'étude de solutions d'assemblage 2D et 3D des puces réalisées sur substrat SMI/DBC constituant à terme des modules de puissance ultra compacts. Les perspectives scientifiques à ce travail reposent sur une approche d'intégration monolithique "ultime" des cellules de commutation au sein d'une seule puce. Cette approche reposerait sur la réunion et sur un agencement original des deux aiguilleurs initialement étudiés et profite des résultats de comparaison de leurs techniques d'assemblage.

MOTS CLES : RC-IGBT, IGBT, Diode, substrat DBC/SMI, intégration monolithique, cellule de commutation, onduleur, redresseur, module de puissance, convertisseur de puissance, filp-chip.

TITLE: "Dual-chip" and "single-chip" monolithically integrable switching cells architectures for compact power converters.

Abstract

In the field of power hybrid integration, it is well known that wiring operation of power semiconductor devices is a source of strong parasitic electrical interactions between interconnections parasitic inductances, parasitic capacitances with respect to the ground plane, the power semiconductor devices themselves and the electronic control circuit. These interactions are a source of EMI on one hand and a factor limiting the performance and reducing the reliability of the power function on the other hand. Monolithic power integration is obviously the only approach to overcome some drawbacks of the hybrid integration. In this context, this thesis work studies the feasibility of a monolithic integration approach called "dual-chip". This power integration approach deals with the integration of the generic power converter circuit (AC/DC or DC/AC for low and medium power applications) in two complementary multi-switch power chips: A common anode/back-side multi-switch chip, and a common cathode/front-side multi-switch chip. The study includes: modeling by 2D physical/electrical simulations of the proposed structures, validation of their operating modes, realization of the chips in the micro and nanotechnology platform of the LAAS, electrical characterization of the chips and finally a study of 2D and 3D association techniques of the realized chips on SMI/DBC substrate. The scientific perspectives of this work are based on a promising integration approach called "single-chip". The resulting single-chip corresponds to the fusion of the two power chips used in the first approach and takes advantage of the conclusions made from their association techniques study.

KEY WORDS : RC-IGBT, IGBT, Diode, DBC/SMI substrate, monolithic integration, switching cell, inverter, rectifier, power converter, power module, flip-chip.

DISCIPLINE ADMINISTRATIVE : Composants et Systèmes de gestion de l'Énergie

LABORATOIRES :

- LAAS-CNRS (Laboratoire d'Analyse et d'Architecture des Systèmes) 7, avenue du Colonel Roche 31077 Toulouse Cedex 4- France
 - Laplace (Laboratoire Plasma et Conversion d'Energie)
ENSEEIH, 2 rue Charles Camichel, BP 7122, F-31071 Toulouse cedex 7, France