



HAL
open science

Conception, fabrication et caractérisation de transistors à effet de champ haute tension en carbure de silicium et de leur diode associée

Florian Chevalier

► To cite this version:

Florian Chevalier. Conception, fabrication et caractérisation de transistors à effet de champ haute tension en carbure de silicium et de leur diode associée. Autre. INSA de Lyon, 2012. Français. NNT : 2012ISAL0084 . tel-01016687

HAL Id: tel-01016687

<https://theses.hal.science/tel-01016687>

Submitted on 1 Jul 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Conception, fabrication et caractérisation de transistors à effet de champ haute tension en carbure de silicium et de leur diode associée

Présentée devant

l'Institut National des Sciences Appliquées de Lyon

pour obtenir

le GRADE DE DOCTEUR

École doctorale :

Électronique, Électrotechnique, Automatique

Spécialité :

Électronique de puissance

par

Florian Chevalier

Ingénieur Télécom Saint-Étienne

Thèse soutenue le ../../.... devant la Commission d'examen

Jury

M. FRÉDÉRIC MORANCHO	Professeur	Rapporteur
M. CHRISTIAN SCHAEFFER	Professeur	Rapporteur
M. DOMINIQUE PLANSON	Professeur	Directeur de thèse
M. PIERRE BROSELARD	Maître de Conférences	Directeur de thèse
M. PHILIPPE GODIGNON	Professeur	Examineur
M. MATHIEU BERVAS	Ingénieur	Invité
M. GRÉGORY GROSSET	Ingénieur	Invité

Laboratoire Ampère - UMR CNRS 5005 - INSA de Lyon
20, avenue Albert Einstein, 69621 Villeurbanne Cedex (FRANCE)

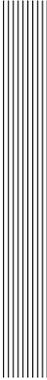


Table des matières

Résumé, abstract	1
Mots-clés	1
Résumé	1
Key-words	2
Abstract	2
Introduction générale	3
1 Contexte et état de l'art	5
1 Propriétés et intérêts du carbure de silicium	5
2 Étapes des processus de fabrication des composants	7
2.1 Croissance des substrats SiC	7
a. Méthode historique	7
b. Procédé amélioré	8
c. Procédés chlorés	8
2.2 Dopage	9
a. Dopage pleine plaque par croissance épitaxiale	9
b. Dopage localisé	10
c. Formation des contacts ohmiques	11
d. Influence de la température de recuit et formation des contacts Schottky	11
2.3 Gravure	12
a. Gravure chimique	12
b. Gravure par réaction ionique	13
c. Gravure plasma induit par haute fréquence	14
2.4 Oxydation et passivation	15
3 Dispositifs électroniques de puissance et fonction interrupteur	16
3.1 La commutation en électronique de puissance	16
3.2 Conduction dans les dispositifs	17
3.3 Composant à commutation spontanée : la diode	19
a. Les diodes à conduction unipolaire face aux diodes à conduction bipolaire	20
b. Les avantages du bipolaire sans les contraintes de l'unipolaire	20
3.4 Composant à fermeture commandée	23
3.5 Composants à fermeture et ouverture commandée	24

	a.	Conduction unipolaire et conduction bipolaire	24	
	b.	Commande par jonction inverse ou par grille isolée?	26	
	c.	Transistor bipolaire à grille isolée	28	
		Abrégé des dispositifs de puissance en SiC	29	
2		Tenue en tension	31	
1		État de l'art de la protection périphérique	31	
	1.1	Plaqué de champ	31	
	1.2	Implantation d'anneaux	32	
	1.3	Implantation de poche	33	
	1.4	Gravure	34	
		a.	Influence de la profondeur de gravure	35
		b.	Influence de l'angle de gravure	35
	1.5	Combinaison gravure et implantation de poche	36	
2		Diodes 1200 V et 3300 V	37	
	2.1	Conception et objectifs de tenue en tension	38	
		a.	Dimension et dopage de l'épithaxie	38
		b.	Protection des composants et dispositifs étudiés	40
	2.2	Caractéristiques électriques	42	
		a.	Protection par implantation d'anneaux	42
		b.	Analyse des résultats de mesure à l'aide de simulations	44
		c.	Diodes 1200 V protégées par implantation JTE	45
		d.	Protection des diodes 3300 V	46
		e.	Particularités des mesures 3300 V, perspectives quant à la tenue en tension	48
		f.	Influence de la géométrie de la zone active	49
3		Transistor double grille	51	
1		L'abandon d'une structure à simple grille	51	
2		État de l'art des composants double grille	52	
	2.1	Structures à caisson p^+ enterré	52	
	2.2	Protection de la source	53	
	2.3	Grille en surface implantée	54	
3		Conception d'un JFET double grille	55	
	3.1	Application visée	55	
	3.2	Démarche de conception	55	
		a.	Exploitation d'un caisson p^+ enterré pour un canal vertical	55
		b.	Circulation et blocage du courant dans un canal latéral	56
		c.	Dimensionnement du canal vertical	57
	3.3	Outils mathématiques d'aide à la conception	60	
		a.	Méthode des éléments finis	60
		b.	Critère d'optimisation	61
		c.	Le canal latéral, sa largeur, son dopage	62
		d.	Longueur du canal latéral	63
4		Caractéristiques électriques	66	
	4.1	Résultats de simulations	66	
	4.2	Fabrication	68	
		a.	Processus de réalisation du JFET	68
		b.	Détail des différentes vues	69

4.3	Résultats de mesures	71
	Conclusion sur le JFET double grille	74
	Prise de recul quant à la conception	74
	Perspectives pour les réalisations suivantes	75
4	Transistor à canal vertical simple grille	77
1	Objectifs visés et contraintes de conception	77
2	Existence des composants 1200 V	77
2.1	Présentation d'une structure simple	77
2.2	Les procédés de fabrication	78
a.	Premier procédé, à partir d'un <i>wafer</i> « complet »	79
b.	Second procédé à partir d'un <i>wafer</i> « moins travaillé »	79
c.	Synthèse des procédés de fabrication	80
2.3	La contrainte de la tension de commande	80
3	Conception d'une structure innovante	81
3.1	La recherche d'une structure simple	81
3.2	Démarche de conception	82
a.	Tenue en tension	82
b.	Structure et dimensionnement du canal	82
c.	Premiers éléments de technologie	83
3.3	Considérations électriques et résultats de simulations	84
a.	Paramètres influents	84
b.	Caractéristiques électriques obtenues en simulation	85
4	Procédé de fabrication	87
4.1	Procédé simplifié	87
4.2	Détail des différentes vues	88
	Conclusions sur la fabrication	90
	Synthèse, perspective, prospectives	91
	Bibliographie	98
	Annexes	101
A	Jeux de masques	101
1	Transistor double grille	101
1.1	Procédé simplifié	101
1.2	Détail des différentes vues	102
1.3	Structures de test	109
2	Transistor simple grille	110
2.1	Survol du procédé	110
2.2	Détail des différentes vues	111
2.3	Structures de test	113
B	Influence de la géométrie des diodes	115
1	Dispositifs étudiés	115
2	Caractéristiques électriques	115
3	Statistiques des résultats	116

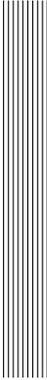


Table des figures

1.1	Facteur de mérite global de différents semi-conducteurs, normalisé par rapport au Si [Eko02]	6
1.2	Croissance du SiC par sublimation, suivant les méthodes de Lely et de Lely modifiée [Lel55, Tai78]	7
1.3	Paramètres influençant la vitesse de croissance selon la méthode de Lely modifiée : temps de croissance à 1900 °C (a) et température du creuset (b) [Syv99]	8
1.4	Courbe $I(V)$ d'échantillons recuits à différentes températures pour une durée identique [Lu03]	12
1.5	Influence du taux d'oxygène (a) sur la vitesse de gravure et (b) sur la rugosité de la surface gravée [Xia06]	13
1.6	(a) : Vitesse de gravure du SiC pour différents dopages en fonction du taux de NF_3 dans l'enceinte ICP à une puissance RF de 250 W, une puissance du champ magnétique de 750 W et une pression de 2 mTorr (b) : Vitesse de gravure du SiC en fonction de la puissance du champ magnétique ICP sous une ambiance optimale (0 W correspondant à la gravure RIE)[Wan98a]	15
1.7	Évolution de l'épaisseur d'oxyde pour du SiC-6H sur la face Si et sur la face C, et pour Si [Eko02]	16
1.8	Vue en coupe d'une <i>Field Controlled Diode (FCD)</i> utilisée pour l'étude de la conduction bipolaire [Fer77]	17
1.9	Comparaison des temps de commutation de composants unipolaire (JFET) et bipolaire (FCD), et puissance dissipée dans les composants [Ber07]	18
1.10	Comparaison des réseaux caractéristiques à l'état passant d'un MOSFET à canal n et d'un IGBT de type n à 25 °C [Das08]	19
1.11	Résistance à l'état passant dans le cas d'une conduction unipolaire et bipolaire dans les mêmes conditions et à densité de courant élevée	19
1.12	(a) : Vue en coupe d'une diode bipolaire, dite <i>PiN</i> avec sa protection périphérique <i>mesa-JTE</i> (b) : Vue en coupe d'une diode Schottky avec sa protection périphérique JTE [Bro08]	20
1.13	(a) : Caractéristiques directes de diodes Schottky et PiN (b) : Caractéristiques inverses de diodes Schottky et PiN [Bro08]	20
1.14	Vue en coupe d'une diode JBS : l'anode est formée à la fois de contact Schottky sur n et de contact ohmique sur p^+ [Bro09c]	21

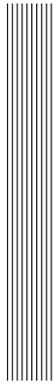
1.15 (a) : Évolution des caractéristiques en direct de deux diodes JBS 1200 V soumise à un stress électrique	
(b) : Évolution des caractéristiques en direct d'une diode JBS 3500 V soumise à un stress électrique	
(c) : Évolution de la chute de tension dans des diodes JBS 1200 et 3500 V en fonction de la température [Bro09c]	22
1.16 Comparaison des courants de fuite inverses pour trois types de diodes de même taille et à même température [Bro09a]	23
1.17 Vue en coupe d'un thyristor SiC mettant en évidence l'empilement de quatre couches $p - n - p - n$ [Dhe11]	23
1.18 (a) : Courant à l'état passant et à l'état bloqué en fonction de la tension aux bornes d'un thyristor GTO SiC [Sch11]	
(b) : Commutation vers l'état passant, puis retour à l'état bloqué d'un thyristor GTO SiC pour différentes températures [Iva00]	24
1.19 Vue en coupe d'un transistor bipolaire	25
1.20 Courbe $I_C(V_{CE})$ montrant la dégradation du gain en courant après un stress électrique [Muz09]	25
1.21 Vue en coupe d'une transistor à effet de champ à jonction pn	26
1.22 Évolution de la puissance transmise d'un JFET SiC lors d'un court-circuit sous 540 V pendant 300 μs (courant limité à 120 A) [BB10]	27
1.23 Courbes $I_D(V_{DS})$ montrant l'évolution du courant dans deux transistors ((a) : 100 m Ω et (b) : 300 m Ω) soumis à des courts-circuits répétés [BB10] (kSC = kilo-Short-Cut, 1000 courts-circuits)	27
1.24 Vue en coupe d'un transistor à effet de champ à grille isolée	28
1.25 Vues en coupe (a) d'un IGBT à canal p et (b) d'un IGBT à canal n [Ryu12]	28
2.1 (a) : Vue en coupe d'une diode PiN avec une protection par implantation d'anneaux p^+ [She00]	
(b) : Influence de la dose d'implantation des anneaux sur la tenue en tension [VB11]	32
2.2 (a) : Courbure des lignes de champs à l'approche de l'interface air-semiconducteur, entraînant l'établissement d'un potentiel flottant dans chacun des anneaux	
(b) : Valeur du champ électrique dans un dispositif à quatre anneaux de garde pour deux profondeurs [She00]	32
2.3 Vue en coupe du principe de protection JTE, ici en périphérie d'une diode JBS	33
2.4 Influence du dopage de la JTE sur la répartition du champ électrique (ici à 1200 V) [Ron10]; le dopage faible est réalisé à une dose de $2 \cdot 10^{13} \text{ cm}^{-2}$ et le dopage élevé, à une dose de $6 \cdot 10^{13} \text{ cm}^{-3}$	33
2.5 Influence d'un écart entre la zone active et le début de la JTE [Bai03]	34
2.6 Vue en coupe du principe de la gravure <i>mesa</i> autour de la zone active d'une diode PiN [CdF11]	35
2.7 Notation de l'angle de gravure <i>mesa</i> sur une structure de test [Dhe10]	35
2.8 (a) : Implantation d'anneaux multiples avec une dose faible 10^{13} cm^{-3} [Sun01]	
(b) : Implantation d'anneaux fortement dopés pour assister la poche JTE [Ber12]	36
2.9 (a) : Combinaison d'une gravure mesa et d'une implantation JTE pour la protection d'une diode [Sin00]	
(b) : Vue en coupe d'un empilement de couches épitaxiées destinées à la fabrication d'un thyristor [Dhe10]	37
2.10 Vue en coupe d'un composant avec un gradient de gravure en protection périphérique [Pâq11]	37

2.11 (a) : Tenue en tension d'une plaque de SiC en fonction du dopage pour différentes épaisseurs	
(b) : Tenue en tension d'une plaque de SiC en fonction de l'épaisseur pour différents niveaux de dopage	
(c) : Résistance d'un barreau de semiconducteur en fonction de son dopage pour différentes épaisseurs	
(d) : Résistance d'un barreau de semiconducteur en fonction de son épaisseur pour différents niveaux de dopage	39
2.12 Vue en coupe de diodes PiN de test protégées par une implantation d'anneaux p (a) et d'anneaux p^+ (b)	40
2.13 Vues en coupe de diodes JBS de test protégées par une implantation d'anneaux p (a) et d'anneaux p^+ (b), et une implantation de poche p (c)	41
2.14 Profils d'implantation p , p^+ et JTE utilisés pour la protection des dispositifs 1200 V, implantés à des doses respectives de $2,6 \cdot 10^{14}$, $1,8 \cdot 10^{13}$ et $9,4 \cdot 10^{12}$ cm^{-2}	41
2.15 Courbes $I(V)$ de diodes PiN et JBS 1200 V de $200 \mu\text{m}$ de diamètre protégées par quatre anneaux peu dopés de $5 \mu\text{m}$ de large, espacés de $3 \mu\text{m}$	42
2.16 Courbes $I(V)$ de diodes PiN et JBS 1200 V de $200 \mu\text{m}$ de diamètre protégées par des anneaux fortement dopés (légende p^+) et comparaison avec les anneaux plus faiblement dopés (noté p dans la légende)	43
2.17 Courbes $I(V)$ de diodes 1200 V de $200 \mu\text{m}$ de diamètre avec une protection inefficace	45
2.18 Évolution du potentiel le long (a) d'une JTE (donc faiblement dopée) et (b) d'une poche p^+ , de $32 \mu\text{m}$ chacune	46
2.19 Répartition du champ électrique le long (a) d'une JTE (donc faiblement dopée) et (b) d'une poche p^+ , de $32 \mu\text{m}$ chacune	46
2.20 Courbes $I(V)$ de diodes protégées par une JTE courte et une JTE longue	47
2.21 Courbe $I(V)$ de diodes JBS 1200 V de 2mm^2 protégées par une JTE de $400 \mu\text{m}$ implantée à une dose de 10^{13}cm^{-2}	47
2.22 Courbe $I(V)$ de diodes JBS 3300 V de 2mm^2 protégée par une JTE de $400 \mu\text{m}$ implantée à une dose de 10^{13}cm^{-2}	48
2.23 Courbe $I(V)$ de mesure jusqu'à 3300 V d'une diode JBS de 4mm^2 protégée par une JTE implantée à une dose de 10^{13}cm^{-2}	49
3.1 Vue en coupe d'un JFET SiC simple grille vertical conçu par Semisouth [Che06]	51
3.2 (a) : Caractéristiques électriques $I_D(V_{GS})$ pour $V_{DS} = 0,2 \text{V}$ (transconductance)	
(b) : Caractéristiques électriques directes $I_D(V_{DS})$ pour différents V_{GS} [Che06] . .	52
3.3 Vue en coupe d'un MESFET de puissance avec une couche p^+ enterrée [Bal05] .	53
3.4 Vue en coupe (à gauche) et répartition du champ électrique (à droite) d'une structure de JFET SiC à caisson p^+ enterré présentée par SiCED [Fri00, Fri01] .	53
3.5 Vue en coupe d'un JFET à double grille, dont une implantée dans le canal latéral [Zha03]	54
3.6 Répartition des lignes équipotentiels dans un JFET à canal latéral et vertical [Zha03]	54
3.7 Structure à caisson p^+ enterré sur laquelle est exploité seul le canal vertical, la cellule faisant $26 \mu\text{m}$ de largeur	55
3.8 (a) : Courbes $J(V)$ pour un VJFET dont les caissons p^+ enterrés sont peu espacés ($W = 1 \mu\text{m}$)	
(b) : Courbes $J(V)$ pour la même structure avec des caissons plus espacés ($W = 3 \mu\text{m}$)	56

3.9	Création d'un canal latéral par l'implantation d'un caisson p^+ enterré, sur lequel on va contacter l'électrode de grille	57
3.10	Vue en détail d'une coupe de la zone active de la demi-structure, dont la largeur est fixée à $22 \mu\text{m}$; les paramètres influençant le comportement du canal vertical sont N_V et W_2	57
3.11	Influence de la largeur du canal vertical et de son dopage sur la conduction du JFET	58
3.12	Courbes $J(V)$ d'un JFET bloqué montrant l'influence de la largeur du canal vertical pour un dopage (a) de 10^{15} cm^{-3} et (b) de 10^{16} cm^{-3} à une tension $V_{GS} = -20 \text{ V}$	58
3.13	Courbes $I(V)$ permettant de mettre en évidence l'influence du dopage sur la tenue en tension pour des largeurs d'intercellule (a) de $2 \mu\text{m}$, (b) de $3 \mu\text{m}$ et (c) de $4 \mu\text{m}$	59
3.14	Vue en coupe de la structure du JFET et de son maillage	60
3.15	Vue en coupe de la demi-structure avec les paramètres influençant le dimensionnement du canal latéral, W_1 , L_N , L_{Sch} , L_O et N_L	61
3.16	Représentation graphique du critère d'optimisation pour fixer la valeur de W_1 et N_L , pour une longueur $L_N + L_{Sch} + L_O = 12 \mu\text{m}$ constante	62
3.17	Rappel de la vue en coupe de la demi-structure avec les paramètres influençant le dimensionnement du canal latéral, W_1 , L_N , L_{Sch} , L_O et N_L	63
3.18	Valeurs du critère d'optimisation pour déterminer la position du contact Schottky	64
3.19	Valeurs du critère d'optimisation pour la marge entre les contacts de source et de grille en surface	65
3.20	Valeurs du critère d'optimisation pour la longueur du contact Schottky	66
3.21	Résumé des différents paramètres et des valeurs associées	66
3.22	Caractéristique $I_D(V_{DS})$ du JFET en conduction et au blocage	67
3.23	Caractéristique $I_D(V_{DS})$ du JFET mettant en évidence les faibles fuites au blocage	67
3.24	(a) : Courbes $J_D(V_{DS})$ pour les faibles tensions, permettant de déterminer la résistance à l'état passant (b) : Courbes $J_D(V_{GS})$, montrant à quelle tension est obtenu le blocage du courant	68
3.25	Vue en coupe du <i>wafer</i> sur lequel seront fabriqués les composants	68
3.26	Vue en coupe du <i>wafer</i> après l'implantation des caissons p^+	69
3.27	Vue en coupe du <i>wafer</i> après la reprise d'épitaxie	69
3.28	Vue en coupe du <i>wafer</i> après l'implantation n^+ en surface	69
3.29	Vue en coupe du <i>wafer</i> après la gravure d'accès à la grille enterrée	70
3.30	Vue en coupe du <i>wafer</i> après la gravure <i>mesa</i> et l'implantation JTE	70
3.31	Vue en coupe du <i>wafer</i> après oxydation thermique et ouverture de l'oxyde	70
3.32	Vue en coupe d'un composant après la première métallisation, c'est-à-dire le contact ohmique de grille et de source	70
3.33	Vue en coupe d'un composant après la métallisation du contact Schottky	71
3.34	Vue en coupe de la plaque après la passivation et son ouverture	71
3.35	Vue en coupe des composants terminés, avec la métallisation épaisse	71
3.36	Courbes $I_D(V_{DS})$ issue de mesures électriques opérées sur le JFET	72
3.37	Courbes en $\log I_D(V_{DS})$ mettant en évidence les fuites au blocage du composant	72
3.38	Courbe $I_D(V_{GS})$ pour $V_{DS} = 1 \text{ V}$	73
3.39	Caractéristique $I(V)$ en direct d'une diode de test du <i>wafer</i>	73
3.40	Caractéristique $I(V)$ en inverse d'une diode de test du <i>wafer</i>	74
4.1	(a) : Vue en coupe du JFET simple grille conçu par la société Semisouth [Che06] (b) : Vue en coupe du JFET Semisouth protégé par un brevet [Mer07]	78

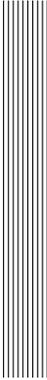
4.2	(a) : Vue en coupe d'une structure de JFET vertical à canal vertical [Vel09]	
	(b) : Courbes $I(V)$ en conduction de cette structure	
	(c) : Courbes $I(V)$ au blocage de cette structure	81
4.3	Vue en coupe de la structure de JFET simple à canal vertical	82
4.4	Caractéristiques directes (a) et inverses (b) de contacts poly-silicium dopés p ou n sur des substrats dopés P ou N (notation de la figure) [Hen98]	83
4.5	Rappel de la vue en coupe du JFET	84
4.6	Caractéristiques $J_{DS}(V_{DS})$ obtenues en simulation pour une profondeur de gravure de $2 \mu\text{m}$ (a), avec une longueur de grille de $1,5 \mu\text{m}$, de $4 \mu\text{m}$ (c), avec une longueur de grille de $2,5 \mu\text{m}$, et de $6 \mu\text{m}$ (e), avec une longueur de grille de $4,5 \mu\text{m}$; les courbes (b), (d) et (f) montrent les densités de courant correspondant respectivement aux premières courbes en échelle logarithmique	86
4.7	(a) : Courbes $J_{DS}(V_{GS})$ traduisant la transconductance du JFET pour différentes configurations, sous une tension $V_{DS} = 1 \text{ V}$	
	(b) : Courbes $J_{DS}(V_{DS})$ pour des faibles V_{DS}	87
4.8	Vue en coupe des plaquettes sur lesquels seront fabriqués les JFET à simple grille	87
4.9	Vue en coupe de l'étape de gravure RIE (les doigts font $2 \mu\text{m}$ de largeur et sont espacés de $3 \mu\text{m}$)	88
4.10	Implantation p^+ suivant le masque de gravure afin d'atteindre le fond de gravure	88
4.11	(a) : Vue en coupe des plaquettes après gravure <i>mesa</i> de protection périphérique	
	(b) : Vue en coupe des plaquettes après l'implantation JTE	89
4.12	Vue en coupe des plaquettes après retrait du poly-silicium sur les grandes zones .	89
4.13	Vue en coupe des plaquettes après dépôt du métal assurant le contact ohmique de source	89
A.1	Vue en coupe du <i>wafer</i> sur lequel seront fabriqués les composants	101
A.2	(a) : JFET $2 \times 2 \text{ mm}^2$ avec la grille au centre du composant	
	(b) : JFET $2 \times 2 \text{ mm}^2$ avec la source au centre du composant	102
A.3	Vue en coupe du <i>wafer</i> après l'implantation des caissons p^+	102
A.4	Implantation p^+ pour les deux versions du JFET permettant (a) d'avoir une longueur de canal $Z \approx 25 \text{ mm}$ et (b) $Z \approx 23 \text{ mm}$	102
A.5	Vue en coupe du <i>wafer</i> après la reprise d'épithaxie	103
A.6	Vue en coupe du <i>wafer</i> après l'implantation n^+ en surface	103
A.7	Implantation n^+ pour les deux versions du JFET	103
A.8	Vue en coupe du <i>wafer</i> après la gravure d'accès à la grille enterrée	103
A.9	Gravure d'accès à la grille enterrée pour les deux versions du JFET	104
A.10	Gravure MESA de protection du JFET	104
A.11	Vue en coupe du <i>wafer</i> après la gravure <i>mesa</i> et l'implantation JTE	104
A.12	Implantation JTE pour la protection du JFET	105
A.13	Vue en coupe du <i>wafer</i> après oxydation thermique et ouverture de l'oxyde	105
A.14	Ouverture de l'oxyde afin d'accéder aux contacts	105
A.15	Dépôt de métal pour les contacts ohmiques	
	(a) : on voit dans les quatre coins des gros <i>pad</i> , sur lesquels on viendra prendre le contact de source lors de la métallisation épaisse, et au centre, deux petits <i>pad</i> de grille	
	(b) : on voit au centre un gros <i>pad</i> de source, sur lequel on viendra prendre le contact lors de la métallisation épaisse, et en haut et en bas au niveau des premiers et troisièmes quarts, dse petits <i>pad</i> de grille	106

A.16	Vue en coupe d'un composant après la première métallisation, c'est-à-dire le contact ohmique de grille et de source	106
A.17	Vue en coupe d'un composant après la métallisation du contact Schottky	106
A.18	Dépôt de métal pour les contacts Schottky	107
A.19	Vue en coupe de la plaque après la passivation et son ouverture	107
A.20	Ouverture de la passivation afin de venir contacter les <i>pad</i> de grille et source avec la métallisation épaisse	107
A.21	Vue en coupe des composants terminés, avec la métallisation épaisse	108
A.22	Métallisation épaisse afin de réaliser les plots de grille et de source	108
A.23	Élargissement de la métallisation épaisse afin de réaliser les « <i>bumps</i> » sur les plots de grille et de source	108
A.24	Vue d'une première étude visant la faisabilité des « <i>bumps</i> »	109
A.25	Vue d'une première étude visant la faisabilité des « <i>bumps</i> »	109
A.26	Différentes structures de test présentes sur le masque	109
A.27	Vue en coupe des plaquettes sur lesquels seront fabriqués les JFET à simple grille	110
A.28	Étape de gravure RIE : (a) masque de gravure, (b) vue en coupe des plaquettes après gravure et (c) détail du masque de gravure (les doigts font 2 μm de largeur et sont espacés de 3 μm)	111
A.29	Implantation p^+ suivant le masque de gravure afin d'atteindre le fond de gravure	111
A.30	(a) : Masque de gravure <i>mesa</i> et d'implantation JTE (b) : Vue en coupe des plaquettes après gravure <i>mesa</i> (c) : Vue en coupe des plaquettes après l'implantation JTE	112
A.31	(a) : Masque de retrait du poly-silicium (b) : Vue en coupe des plaquettes après retrait du poly-silicium sur les grandes zones	112
A.32	Vue en coupe des plaquettes après dépôt du métal assurant le contact ohmique de source	113
A.33	Masque de dépôt (a) de métal fin assurant le contact ohmique de source et (b) de métal épais au-dessus des plots de grille et de source	113
A.34	Masque d'ouverture de passivation	113
B.1	Vues en coupe des diodes JBS avec des bandes de 3 μm de p^+ pour (a) 4 μm de n et (b) 8 μm de n	115
B.2	Caractéristique inverse d'une diode JBS « 3-4 »	116
B.3	Caractéristique inverse d'une diode JBS « 3-8 »	117
B.4	Caractéristique inverse d'une diode Schottky	117



Liste des tableaux

1.1	Résumé des propriétés électriques de différents matériaux semiconducteurs, classés selon le <i>gap</i>	6
3.1	Objectifs à atteindre en termes de caractéristiques électriques	62
3.2	Résumé des valeurs retenues pour la largeur et le dopage des canaux	63
3.3	Caractéristiques électriques pour les dimensions retenues	66
4.1	Correspondance avec la numérotation de la figure 4.1(b)	78



Résumé, abstract

Mots-clés

Carbure de silicium, simulation par éléments finis, caractérisation électrique, composant haute-tension, JFET, canal latéral, canal vertical, JFET double grille, diode PiN, diode Schottky, diode JBS, protection périphérique.

Résumé

Dans le contexte des transports plus électriques, les parties mécaniques tendent à être remplacées par leurs équivalents électriques plus petits. Ainsi, le composant lui-même doit supporter un environnement plus sévère et de lourdes contraintes (haute tension, haute température). Les composants silicium deviennent alors inappropriés. Depuis la commercialisation des premières diodes Schottky en 2001, le carbure de silicium est le matériau reconnu mondialement pour la fabrication de dispositifs haute tension avec une forte intégration. Sa large bande d'énergie interdite et son fort champ électrique critique permettent la conception de transistors à effet de champ avec jonction (JFET) pour les hautes tensions ainsi que les diodes associées.

Les structures étudiées dépendent de nombreux paramètres, et doivent ainsi être optimisées. L'influence d'un paramètre ne pouvant être isolée, des méthodes mathématiques ont été appelées pour trouver la valeur optimale. Ceci a conduit à la mise en place d'un critère d'optimisation.

Ainsi, les deux grands types de structures de JFET verticaux ont pu être analysés finement. D'une part, la recherche d'une structure atteignant les tensions les plus élevées possible a conduit à l'élaboration d'un procédé de fabrication complexe. D'autre part, un souci de simplification et de stabilisation des procédés de fabrication a permis le développement d'un composant plus simple, mais avec une limite en tension un peu plus modeste.

Key-words

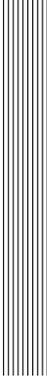
Silicon carbide, finite elements simulation, electrical characterization, high voltage device, Junction Field Effect Transistor, lateral channel, vertical channel, dual gate JFET, bipolar diode, Schottky diode, Junction Barrier Schottky diode, termination edge protection.

Abstract

In the context of more electrical transports, mechanical devices tend to be replaced by their smaller electrical counterparts. However the device itself must support harsher environment and electrical constraints (high voltage, high temperature) thus making existing silicon devices inappropriate. Since the first Schottky diode commercialization in 2001, Silicon Carbide (SiC) is the favorite candidate for the fabrication of devices able to sustain high voltage with a high integration level. Thanks to its wide band gap energy and its high critical field, 4H-SiC allows the design of high voltage Junction Field Effect Transistor (JFET) with its antiparallel diode.

Studied structures depends of many parameters, that need to be optimized. Since the influence of the variation of each parameter could not be isolated, we tried to find mathematical methods to emphase optimal values leading to set an optimization criterion

Thus, two main kinds of JFET structure were finely analyzed. In one hand, the aim of the structure that can sustain a voltage as high as possible leads to a complex fabrication process. In the other hand, the care of a simplification and a stabilization of manufacturing process leads to the design of simpler device, but with a bit less sustain capabilities.



Introduction

L'électricité est le vecteur d'énergie le plus utilisé aujourd'hui dans le monde. Elle trouve des applications dans sa distribution, dans la pondération des dépenses domestiques et industrielles, ou encore dans tous les types de transports – terrestre routier et ferroviaire, aéronautique et spatial ou maritime. On comprend alors bien l'importance de la maîtrise de cette énergie à tous les niveaux de tensions. Les faibles niveaux en assurent la commande optimale *via* les micro-calculateurs.

En revanche, la distribution raisonnée de l'énergie ne peut se faire que par des dispositifs spécialement conçus pour résister aux tensions élevées, tout en admettant le passage d'un fort courant. Or, les commutations dans ces conditions vont finalement soumettre ces dispositifs à des contraintes extraordinairement difficiles.

Le silicium a été depuis de très nombreuses années, le matériau privilégié en électronique, tous domaines confondus : microprocesseurs, radiofréquences, et dans le cadre de ce travail de thèse, *électronique de puissance*. Ce matériau a cependant trouvé ses limites en termes de densité de courant, de tenue en tension ou d'échauffement. Le *premier chapitre* de ce travail démontrera que des résultats prometteurs peuvent être obtenus en utilisant des alternatives au silicium, tel que le diamant. Le carbure de silicium présente également des caractéristiques attrayantes, même si une certaine maturité doit être atteinte en termes de fabrication et applications. Après avoir présenté les propriétés électro-chimiques du matériau, nous nous pencherons sur les différentes étapes permettant la fabrication d'un composant. Nous présenterons enfin les différentes natures de composants auxquelles nous pouvons prétendre.

Le *deuxième chapitre* portera sur la tenue en tension des dispositifs. Les gammes de tension que nous visons étant élevées (1200 et 3500 V), elles impliquent de mettre en place des protections périphériques de nos dispositifs, afin d'exploiter les formidables possibilités offertes par le carbure de silicium. Après un bref état de l'art des protections, nous verrons lesquelles sont les plus faciles à mettre en œuvre, ou lesquelles sont les plus efficaces, en croisant résultats de simulation et mesures.

Ensuite, nous nous lancerons dans la conception, la fabrication et la caractérisation de composants haute tension. Pour cela, nous garderons systématiquement à l'esprit les aspects de la technologie nécessaire à la conception réaliste et raisonnable des composants, dans les limites de la technologie propre au carbure de silicium.

Le *chapitre trois* montrera, après une courte étude de l'existant, que la conception d'un transistor à effet de champ haute tension peut nécessiter la formation d'un canal latéral en plus du canal vertical, couramment admis pour la haute tension. Nous verrons les différentes techniques mises en œuvre pour la conception et les caractéristiques électriques attendues d'après des simulations. Après avoir évoqué les différentes étapes nécessaires à la fabrication, nous présenterons les résultats des mesures, qui confirment le concept de la structure que nous avons mise en place. Enfin, nous évoquerons quels aspects de la conception peuvent être améliorés ou quelles étapes sont critiques et nécessitent un soin ou une évolution particuliers.

Le *quatrième chapitre*, fort du procédé de fabrication mis au point juste avant, permettra de dégager les étapes indispensables à la bonne marche d'un transistor à effet de champ. Non que certaines étapes du chapitre trois soient superflues, mais des objectifs plus modestes peuvent permettre de simplifier les recettes et soulager certaines contraintes. Nous présenterons ainsi des caractéristiques électriques issues de simulations qui prouvent la faisabilité de l'idée avec un comportement tout à fait satisfaisant.

Enfin, il sera bienvenu, en guise de conclusion, de faire la synthèse de ces interrupteurs de puissance, de donner un point de vue émanant d'une prise de recul quant à l'ensemble du travail, et d'envisager vers quelles pistes se diriger pour des travaux ultérieurs sur le sujet.



1 Contexte et état de l'art

Les composants de puissance en silicium (Si) permettent d'obtenir de très bonnes performances en basse tension ($V < 1,2$ kV). En revanche, pour des tensions supérieures à 5 kV, les pertes à l'état passant deviennent importantes, les composants s'auto-échauffent et il est alors nécessaire de mettre en œuvre des dispositifs de refroidissement sophistiqués.

Le carbure de silicium (SiC) est un semi-conducteur à large bande interdite, dont les propriétés laissent imaginer des possibilités plus étendues que le silicium pour l'électronique de puissance [Van06b]. Pour des très hautes tensions ($V > 10$ kV), plusieurs composants en Si doivent être mis en série, alors qu'il devient théoriquement possible de réduire le nombre de composants réalisés en SiC. De plus, ses capacités à fonctionner à haute température permettent d'envisager de nouvelles applications, mais aussi de diminuer l'encombrement des dispositifs de refroidissement des systèmes actuels. L'avenir prometteur du SiC s'est concrétisé dès 2001, lors de la commercialisation des premiers composants sous forme de diodes Schottky 600 V – 6 A.

1. Propriétés et intérêts du carbure de silicium

Traditionnellement, les composants électroniques sont réalisés en silicium Si, qui présente une énergie de bande interdite (ou *gap*) E_g égale à 1,2 eV. Le tableau 1.1 en permet la comparaison avec le carbure de silicium SiC-4H présentant un *gap* de 3,3 eV ; on le considère donc comme un semiconducteur *grand gap*. Il va ainsi présenter un champ critique E_c élevé, et, combiné à des mobilités du même ordre de grandeur que celles du Si, va permettre de réaliser des composants haute tension. De plus, il présente une densité intrinsèque de porteurs n_i très faible, ce qui permet la fabrication de composants haute température. Enfin, le coefficient thermique λ élevé, typique du SiC parmi les semiconducteurs grand gap, va autoriser une densité de courant plus élevée que pour le Si grâce à une meilleure conduction de la chaleur, donc une plus grande compacité des dispositifs.

TAB. 1.1: Résumé des propriétés électriques de différents matériaux semi-conducteurs, classés selon le *gap*

<i>Matériau</i>	E_g eV	E_c MV.cm ⁻¹	ϵ_r	μ_n cm ² .V ⁻¹ .s ⁻¹	μ_p cm ² .V ⁻¹ .s ⁻¹	n_i cm ⁻³	V_{sat} cm.s ⁻¹	λ W.K ⁻¹ .cm ⁻¹
Ge	0,66	0,1	16	3900		10 ¹³	0,5	0,6
Si	1,12	0,3	11,8	1400	600	10 ¹⁰	1	1,5
GaAs	1,4	0,4	12,8	8500	400	10 ⁶	2	0,5
SiC-3C	2,2	1,5	9,66	900	40	10 ⁻¹	2	4,5
SiC-6H	2,9	2,2	9,7	400	90	10 ⁻⁶	2	4,5
SiC-4H	3,26	2,5	10	750	115	10⁻¹⁰	2	4,5
GaN	3,36	2	9	750	320	10 ⁻¹⁰	2,5	1,3
C	5,5	10	5,5	2200	1600	10 ⁻²⁷	2,7	20

À titre de comparaison avec d'autres semi-conducteurs, on peut calculer le *facteur de mérite global* [Eko02] :

$$FM = \frac{\lambda \cdot \epsilon_0 \cdot \mu \cdot V_{sat} \cdot E_c^2}{(\lambda \cdot \epsilon_0 \cdot \mu \cdot V_{sat} \cdot E_c^2)_{Si}}$$

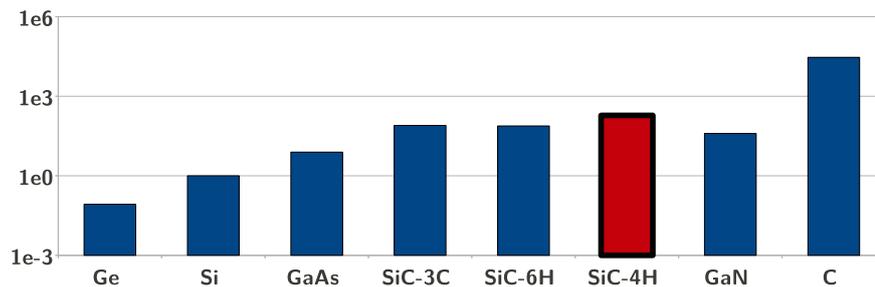


FIG. 1.1: Facteur de mérite global de différents semi-conducteurs, normalisé par rapport au Si [Eko02]

La figure 1.1 illustre la valeur du facteur de mérite pour les différents semiconducteur du tableau 1.1. On note que le SiC-4H et le diamant sont les meilleurs candidats.

On voit également d'après le tableau 1.1, que le diamant est le semi-conducteur présentant la plus grande bande interdite, la plus grande rigidité diélectrique (densité) ainsi que le plus important coefficient thermique. Le diamant est donc le meilleur matériau pour les composants de puissance. En effet, la rigidité diélectrique de 10 MV/cm et la grande mobilité des porteurs rendent possible la réalisation de composants avec des tenues en tension très élevées. Le grand gap et le coefficient thermique très élevé offrent quant à eux des opportunités intéressantes pour des applications haute température.

Cependant, à l'heure actuelle, on rencontre deux limitations technologiques pour utiliser ce matériau lors de la réalisation des composants de puissance :

- il est difficile de réaliser des substrats de grande dimension pour pouvoir produire des composants ; malgré les progrès technologiques dans la synthèse du diamant, ceux-ci restent limités à une dimension inférieure au centimètre-carré ;

- le dopage de type n avec du phosphore ou de type p avec du bore sont difficiles à réaliser car ils introduisent des niveaux d'énergie très profonds (0,57 eV et 0,37 eV respectivement). Cette valeur élevée de l'énergie d'activation des porteurs signifie qu'ils ne seront ionisés que pour des températures typiquement supérieures à 500 °C; or à cette température, la mobilité des trous chute à environ $125 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ [Mat01].

Sur le tableau 1.1, figure le nitrure de gallium GaN, qui présente des caractéristiques proches de celles du SiC, à l'exception du coefficient thermique, plus faible d'un facteur 3 environ dans le GaN. De plus, en l'état actuel de la technologie, il n'est possible d'obtenir que des couches de GaN sur des substrats de Si, Al_2O_3 (saphir) ou SiC. Ces deux limitations empêchent donc la réalisation en GaN de composants haute température ou de composants verticaux, qui représentent la quasi-totalité des composants de puissance. Toutefois, le GaN sur Si sera un matériau à faible coût, donc intéressant pour des applications de 600 à 1200 V avec une technologie de composants latéraux. Enfin, le SiC présente la possibilité de croissance d'un oxyde natif de type SiO_2 , impossible avec le GaN.

2. Étapes des processus de fabrication des composants

2.1 Croissance des substrats SiC

a. Méthode historique

La croissance du SiC peut être obtenue soit par sublimation avec les méthodes de Lely et Lely modifiée, soit par épitaxie en phase vapeur [Lel55].

La méthode de Lely élaborée en 1955 utilise la sublimation du SiC pour en réaliser des monocristaux. En effet, une des propriétés remarquables du SiC est qu'il ne fond pas à la pression atmosphérique, mais se sublime autour de 2000 °C.

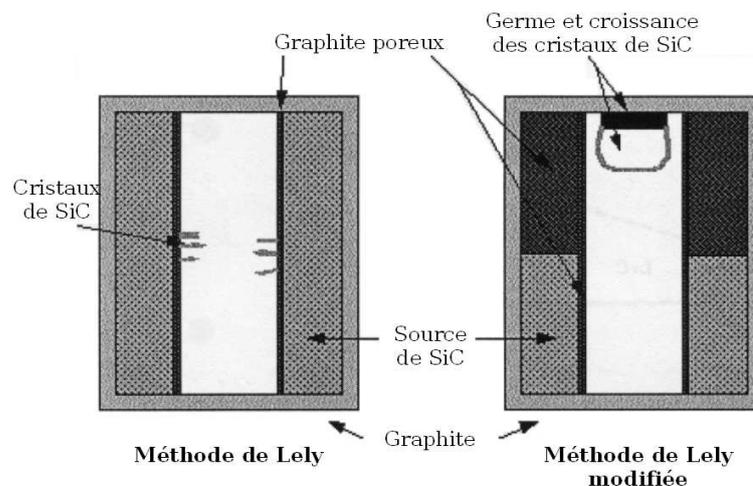


FIG. 1.2: Croissance du SiC par sublimation, suivant les méthodes de Lely et de Lely modifiée [Lel55, Tai78]

La méthode de Lely est mise en œuvre dans une enceinte de graphite, contenant une charge de SiC polycristallin, qui entoure un tube de graphite poreux. Chauffé à une température d'environ 2500 °C, le SiC se sublime dans une phase vapeur supersaturée. Ces vapeurs diffusent à travers le graphite poreux pour aller se condenser dans la zone froide du réacteur. Cette cristallisation spontanée se réalise sous pression d'argon Ar dans une enceinte de graphite, dont le rôle est d'empêcher les fuites de vapeurs. Avec cette méthode, on ne peut pas contrôler le polytype des cristaux obtenus : on trouve surtout des SiC-6H, mais aussi des -4H ou des -15R... De plus, la taille des cristaux ne dépasse pas 10 mm.

b. Procédé amélioré

En 1978, Tairov et Tsvetkov proposent une amélioration de la méthode de Lely [Tai78], ce qui permet de lancer le SiC dans le milieu industriel. Ils introduisent un germe de SiC dans la chambre de croissance comme source froide (figure 1.2). La cristallisation de SiC ne se fera plus de manière aléatoire sur les parois de graphite poreux mais sur le germe de SiC refroidi, son polytype étant déterminé par le polytype du germe. On a ainsi pu obtenir rapidement des lingots de 50 mm de diamètre de SiC-4H et -6H à une vitesse de croissance pouvant être supérieure à 2 mm/h. Un gradient de température dans la chambre de croissance améliore la qualité des cristaux obtenus ; par ailleurs, la température en elle-même influence la vitesse de croissance [Syv99]. De même, la pression et la durée de dépôt sont des facteurs déterminant la cinétique de croissance ; on retrouve la mesure de ces influences sur les figures 1.3(a) et 1.3(b). Les inconvénients de cette méthode proviennent des impuretés présentes dans la chambre de croissance, qui vont influencer les phénomènes de transport pour la couche active dans les semi-conducteurs SiC.

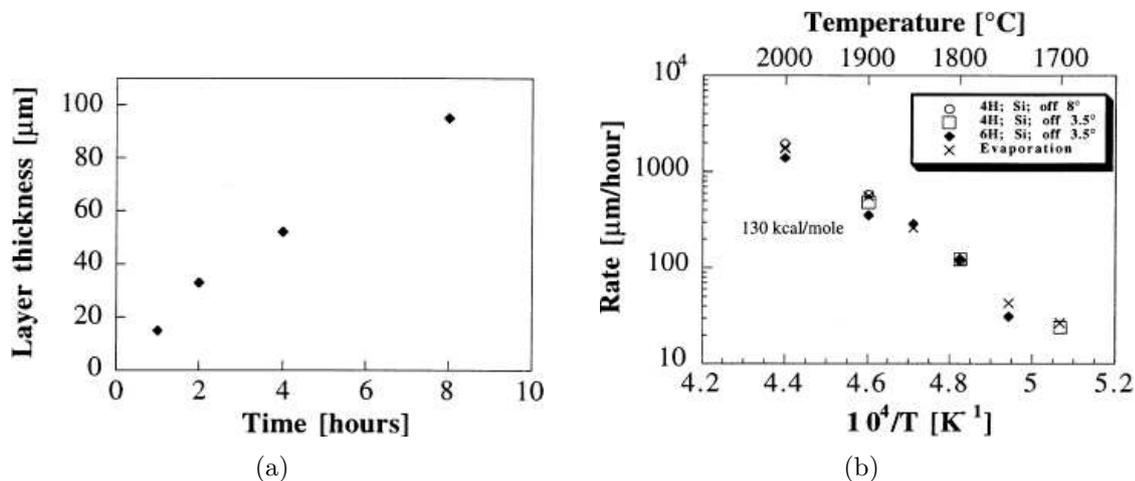


FIG. 1.3: Paramètres influençant la vitesse de croissance selon la méthode de Lely modifiée : temps de croissance à 1900 °C (a) et température du creuset (b) [Syv99]

c. Procédés chlorés

Les procédés de dépôt chimique en phase vapeur (ou CVD pour *Chemical Vapor Deposition*) basé sur le chlore permettent des croissance de bonne qualité [Hen11] ou à des vitesses très

rapides [Leo11]. En effet, l'introduction dans un creuset, sous atmosphère d'hydrogène (H_2) à une pression réduite à 200 mbar, de précurseurs tels que le silane (SiH_4), l'éthylène (C_2H_4) ou l'acide chlorhydrique (HCl), permet d'opérer une gravure *in-situ* du substrat. Ainsi, la surface est parfaitement nettoyée.

Il sera alors possible, dans ces conditions, de faire croître une épitaxie de polytype 3C sur un substrat de n'importe quel polytype, à une vitesse de $15 \mu m/h$ (à une température de $1365^\circ C$) avec une très grande qualité, et un dopage parfaitement maîtrisé. Ces procédés pourront donc trouver une application privilégiée dans la filière MOS.

Il a été découvert que le méthylchlorosilane (CH_3SiCl_3) était le précurseur le plus efficace pour les procédés de croissance chlorés. Il permet une préparation de surface *in-situ* riche en silicium. En effet, à partir d'une température d'environ $600^\circ C$, le chlore attaque le SiC, laissant une couche carbonnée en surface [Lan97]. Ainsi, sur un substrat dont la face supérieure est le silicium, il sera possible de faire croître, avec une très grande qualité, des épitaxies avec dopages très bien maîtrisés, à des vitesses pouvant atteindre $100 \mu m/h$.

2.2 Dopage

a. Dopage pleine plaque par croissance épitaxiale

Une seconde méthode de croissance du SiC est l'*épitaxie*, généralement *en phase vapeur*, également appelée *CVD* pour *Chemical Vapor Deposition* [Ued90]. L'*épitaxie* est une technique qui permet d'obtenir des couches dopées d'épaisseur contrôlée sur un substrat de même nature (homoépitaxie) ou de nature différente (hétéroépitaxie) [Mat93, Eko02]. Les techniques d'*épitaxie* permettent un meilleur contrôle des conditions expérimentales ainsi qu'une meilleure qualité des couches. La vitesse de croissance est réduite à quelques $\mu m/h$ et le dopage résiduel dans les substrats est diminué d'un facteur 100. Parmi plusieurs techniques d'*épitaxie* pour la croissance du SiC monocristallin, on peut mentionner :

- Atmospheric Pressure, AP-CVD,
- Low Pressure, LP-CVD,
- MetalOrganic, MO-CVD (avec des températures supérieures à $1100^\circ C$),
- Atomic Layer Epitaxy, ALE (avec des températures inférieures à $850^\circ C$),
- Molecular Beam Epitaxy, MBE,
- Liquid Phase Epitaxy, LPE.

De nombreuses méthodes ont été utilisées pour produire des couches SiC épitaxiées sur de nombreux substrats, les plus utilisées étant AP-CVD et LP-CVD à des températures variant de 1200 à $1600^\circ C$ [Pow06].

La plupart des techniques CVD utilisent, pour produire du SiC, des sources séparées Si et C. Le silane SiH_4 est la source habituelle pour le Si, et plusieurs hydrocarbures sont possibles comme source de C. On ajoute dans le réacteur du H_2 de haute pureté, servant de co-réactant. Le propane C_3H_8 a été le plus utilisé car il a été le premier à démontrer la croissance épitaxiale du SiC sur Si en grande surface. Le méthane CH_4 , tout en restant intéressant à cause de sa grande pureté, ainsi que l'éthène C_2H_4 et l'éthyne C_2H_2 , ont été utilisés dans une moindre mesure.

Les sources uniques de Si et C ont été étudiées. Les améliorations qu'elles offrent sont d'une part une température plus basse d'élaboration ($< 1100\text{ °C}$) et d'autre part la présence de H_2 qui n'est plus nécessaire. En revanche, la reproductibilité des couches SiC par cette méthode est plutôt faible.

Par ailleurs, la méthode de croissance CVD est la plus prometteuse en termes de contrôle de la croissance des couches d'épitaxie de haute qualité et de reproductibilité des couches SiC. Une croissance à pas contrôlés (*step-controlled*) homoépitaxiale est réalisée pour la formation des SiC-4H et -6H sur des substrats polis à 3 ou 4 ° du plan basal $< 0001 >$ [Mat97]. On réalise une croissance par pas pour une relaxation des contraintes produites dans les couches épitaxiées. On peut avoir, si nécessaire, un dopage *in-situ* par l'introduction d'azote N_2 pour un type n et de triméthylaluminium (TMA, $\text{C}_6\text{H}_{18}\text{Al}_2$) pour un type p . Par contre, si l'on désire une diminution des impuretés résiduelles, le plus souvent de l'azote, il faut travailler dans un excès de carbone, car celui-ci occupe les sites que devrait normalement occuper l'azote dans la structure cristalline. Pour la production de circuits intégrés en SiC, une amélioration de l'uniformité des couches et de la morphologie de la surface des couches épitaxiées est nécessaire. Les tolérances sur les épaisseurs des couches épitaxiées commerciales sont aujourd'hui entre 10 et 20%, à $\pm 20\%$ pour l'uniformité du dopage (de type n) et $\pm 7\%$ pour l'uniformité en épaisseur des substrats, en ce qui concerne les plaquettes de 4 pouces [CRE11]. L'impact de ces facteurs sur les dispositifs fait l'objet de plusieurs études.

Enfin, une technique développée par Kuroda *et al.* en 1987, connue sous le nom de *croissance par avancée de marche* [Kur87] permet aujourd'hui de réaliser des croissances de SiC-4H et -6H à des températures de $1400\text{--}1500\text{ °C}$, contre 1800 °C pour les premières épitaxies, et sans formation d'inclusions de SiC-3C [Eko02]. Cette méthode utilise un substrat désorienté, qui fait ainsi apparaître des marches et permet la conservation du polytype lors de la croissance. La désorientation a été optimisée et on travaille désormais avec un angle de $3,5\text{ °}$ par rapport à l'axe $< 0001 >$ dans le cas du 6H, et 8 ° ou 4 ° , voire *on-axis*, par rapport à ce même axe dans le cas du 4H. Cette technique donne des couches homogènes de bonne qualité, et autorise un contrôle du dopage de type n ou p dans une très large gamme (10^{14} à 10^{19} cm^{-3}). Les vitesses de croissance sont comprises entre 1 et $30\text{ }\mu\text{m/h}$ par la technique CVD. En effectuant le dépôt à plus haute température (entre 1650 et 1850 °C , technique *High Temperature, HT-CVD*), cette vitesse peut atteindre 70 à $100\text{ }\mu\text{m/h}$. L'élaboration de couches de très bonne qualité a permis d'envisager l'élaboration de composants SiC.

b. Dopage localisé

Parmi les mécanismes permettant le dopage localisé des matériaux semiconducteurs en général, on trouve d'abord la diffusion. Cependant, les coefficients de diffusion thermique très faibles des dopants du SiC empêchent le phénomène de diffusion de s'opérer de manière aussi efficace que dans d'autres matériaux [Laz02] et rendent difficilement envisageable la réalisation de masques thermiquement stables. Nous nous intéresserons donc ici uniquement à l'implantation ionique.

L'implantation ionique permet de réaliser un dopage localisé du matériau semiconducteur aussi bien en latéral qu'en profondeur, pour réaliser des contacts ohmiques pour les électrodes ou des protections périphériques des zones actives. Cependant, du fait des fortes énergies appelées, ce procédé induit dans le matériau des dommages néfastes pour la plupart des applications [Wen98]. Le *recuit post-implantation* (*post-implantation annealing*) à des températures très élevées (de 1400 à 1800 °C selon les espèces) permet une *activation* des espèces implantées, c'est-à-dire permet à cette espèce de se trouver dans un espace dans la structure cristalline du matériau, et ainsi une réduction de la concentration des défauts [Hal99]. Cependant, même à ces températures, l'efficacité d'injection est faible et particulièrement inhomogène, et l'on voit apparaître des fuites à l'état bloqué, ou des contacts ohmiques résistants.

c. Formation des contacts ohmiques

La vitesse de commutation des dispositifs électroniques de puissance, ainsi que la puissance qu'ils dissipent, dépend de la faiblesse de la résistance des contacts [Van06a]. Le problème rencontré sur SiC, comme sur n'importe lequel des semiconducteurs composés, est la réalisation d'une fine couche très conductrice tant sur la face silicium que sur la face carbone.

Le nickel est le métal le plus utilisé pour les contacts ohmiques sur une couche dopée du type *n* [Lu03]. La valeur de résistivité obtenue est de l'ordre de 10^{-6} à $10^{-7} \Omega \cdot \text{cm}^2$ pour un contact sur une couche dopée à $3,1 \cdot 10^{19} \text{ cm}^{-3}$ et un recuit à 700 ou 800 °C pendant 2 heures. Un recuit de ce métal entraîne une réaction entre Ni et SiC, donc la formation de composés à base de Ni et Si, et de Ni et C. Ainsi, une surface rugueuse ou des irrégularités dans la structure dégraderont les performances de ces contacts. En effet, il a été clairement identifié que le carbone était à l'origine de l'instabilité des contacts [Sia12]. Une alternative à l'ajout de silicium sous le contact, est l'utilisation d'alliages à base de Ni : le titane Ti présente une grande affinité électronique avec le carbone et peut former des composés du type TiC. En revanche, les atomes de carbone ne réagissent pas avec le nickel, et s'accumulent donc sur toute la surface du contact. Une fine couche de titane va permettre de piéger une partie des atomes de carbone sous une forme de graphite. La conséquence est une diminution de la résistivité du contact pour des couches fortement dopées.

L'aluminium étant l'espèce privilégiée pour obtenir des couches dopées de type *p*, on favorisera ce métal ou des alliages le comprenant pour former un contact ohmique sur une couche de type *p*. Ainsi, comme précédemment, on peut lui adjoindre du nickel. Une oxydation sacrificielle avant le dépôt de métal peut permettre de faire chuter la résistivité du contact jusqu'à $3 \cdot 10^{-5} \Omega \cdot \text{cm}^2$ (pour une couche *p* dopée à 10^{19} cm^{-3}) [Van06a].

d. Influence de la température de recuit et formation des contacts Schottky

Nous avons vu que les atomes de silicium et de carbone réagissent faiblement avec les atomes de nickel ; en revanche, il peut se former, dès 400 à 600 °C du Ni_2Si , contact *redresseur* [Lu03]. À partir de 950 °C, la libération d'atomes de carbone joue un rôle important dans la formation d'un contact ohmique entre du nickel et du SiC-*n*.

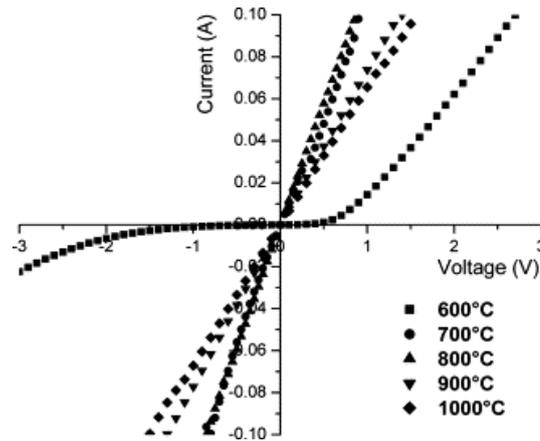


FIG. 1.4: Courbe $I(V)$ d'échantillons recuits à différentes températures pour une durée identique [Lu03]

La figure 1.4 est la courbe $I(V)$ caractéristique d'un contact redresseur lorsque la température de recuit est inférieure à 600 °C, puis un contact de moins en moins résistif lorsque la température augmente. Un recuit à une température encore inférieure à 600 °C permettra de diminuer les fuites lorsque le contact est polarisé en inverse (partie gauche de la courbe). En ce qui concerne les températures supérieures, la résistivité minimale de $7 \cdot 10^{-7} \Omega \cdot \text{cm}^{-2}$ est atteinte pour une température de recuit de 800 °C.

2.3 Gravure

La gravure du SiC est une étape importante dans la fabrication des dispositifs électroniques. En effet, la gravure peut permettre l'accès à une électrode enterrée ; elle est également très utile pour la protection périphérique des composants, notamment à conduction bipolaire. Enfin, la gravure permet de révéler certains défauts du matériau ou de rafraîchir les surfaces dans les procédés technologiques.

a. Gravure chimique

Bien que, de très longue date, l'étude de la gravure par voie humide du SiC a été étudiée [Wun11], il a été montré que ce matériau, comme le GaN parmi les matériaux dits « grand gap », est très stable d'un point de vue chimique, et ses liaisons atomiques sont très fortes. Ainsi, il est insoluble dans tous les acides et bases minéraux à température ambiante, ce qui rend inefficace toute gravure humide [Szc03]. Les excellents résultats obtenus dès 1911 dans une solution d'acide orthophosphorique chauffée à 250 °C n'ont porté que sur des particules de très faible dimensions.

La gravure chimique consistant à faire subir au matériau des réactions chimiques visant à faire quitter la surface aux produits de réaction, des travaux antérieurs [Lan97] ont synthétisé des types de gravures chimiques pas forcément en solution, mais également par voie gazeuse. Ces techniques font intervenir des gaz tels que l'hydrogène (H_2), l'acide chlorhydrique (HCl), le chlore ou le fluor (Cl_2 ou F_2), ainsi que des mélanges de ces gaz avec l'oxygène. Les vitesses de gravures peuvent atteindre 3 $\mu\text{m}/\text{min}$, avec un simple masque d'oxyde. C'est là qu'apparaît

l'inconvénient majeur de cette technique : elle se fera de manière privilégiée sur une face carbone, qui présente la cinétique d'oxydation la plus grande.

Enfin, une technique de gravure chimique peut se faire à l'aide de sels fondus, qui permet d'obtenir des vitesses élevées (jusqu'à $7 \mu\text{m}/\text{min}$) à des températures moyennes (entre 500 et 1000°C). Cette technique présente cependant deux inconvénients majeurs : d'abord, il est difficile de trouver des matériaux résistant à l'agressivité des sels, ce qui pose de gros problèmes dans la formation des masques ; ensuite, ces sels, agressifs justement, polluent les oxydes et le matériau semiconducteur, entraînant des défauts cristallins.

Les efforts ont donc été portés sur les procédés de gravure sèche par voie plutôt physique, notamment la gravure *RIE* (*Reactive Ion Etching*, gravure par réaction ionique) et la gravure *ICP* (*Inductive Coupled Plasma*, gravure plasma induit par hautes fréquences), que nous allons aborder par la suite.

b. Gravure par réaction ionique

La nature chimique inerte du SiC oblige à utiliser des techniques *plasma*. En effet, le SiC peut supporter des attaques chimiques acides et basiques, grâce à ses liaisons Si-C très fortes [Xia06]. Les études les plus avancées ont porté sur la gravure dans une ambiance de fluorine et d'oxygène (SF_6O_2). Les mécanismes mis en évidence par cette technique concernent des réactions chimiques entre les éléments de l'ambiance et ceux arrachés au matériau par bombardement ionique à des énergies très importantes pour les ions, supérieures à 200 keV ; cette technique est appelée *RIE* (*Reactive Ion Etching*), et fait intervenir des phénomènes à la fois physiques et chimiques.

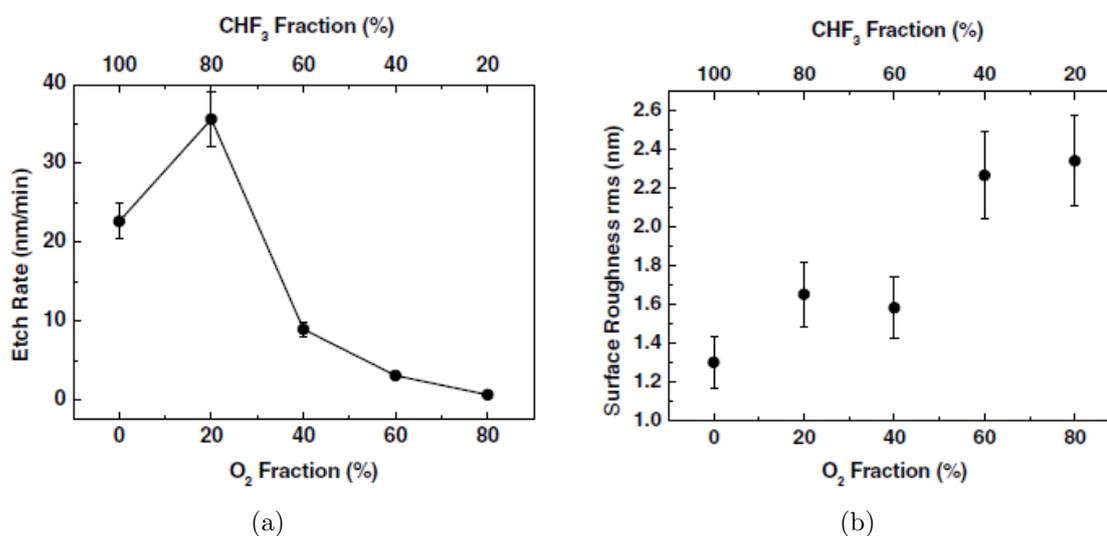


FIG. 1.5: Influence du taux d'oxygène (a) sur la vitesse de gravure et (b) sur la rugosité de la surface gravée [Xia06]

Les atomes de fluor dans un mélange $\text{ChF}_3\text{-O}_2$ permettent une gravure efficace grâce à des réactions chimiques avec les atomes de silicium et les atomes de carbone. Ces réactions peuvent être naturelles ou assistées (améliorées). Quant à l'oxygène, il améliore la vitesse et l'efficacité de la gravure par l'augmentation de la génération d'ions fluorure et facilite la gravure des couches

riches en carbone par la formation d'espèces volatiles type CO ou CO₂ [Laz06]. La quantité de O₂ ne doit cependant pas être trop importante, il en résulterait d'une part une dilution des atomes de fluor qui réduirait l'efficacité de gravure (courbe du taux de gravure en fonction du taux d'oxygène passant par un optimal, présenté en figure 1.5(a)), et d'autre part, il risquerait de se former à la surface du SiC une couche, assimilable à un oxyde de type SiO_x. Combiné à un bombardement plus important du fait de la présence de plus d'ions oxygène, la présence de cet oxyde va entraîner une rugosité de la surface gravée beaucoup plus importante (présentée en figure 1.5(b)). Le taux optimal d'oxygène par rapport à d'autres espèces contribuant à l'ambiance est de 20% [Xia06].

Un des problèmes majeurs de la gravure RIE est l'état de surface après gravure. En effet, le bombardement ionique à haute énergie laisse une surface rugueuse et endommagée [Sou05]. On observe même une érosion du masque de gravure. Dans le cas où le masque est réalisé à partir de résine photosensible, la sélectivité est très faible, c'est-à-dire que le masque est gravé en même temps que le matériau [Laz06]. Le masque d'aluminium présente une sélectivité plus élevée, même si une couche est gravée ; le problème de ce type de masque est que les particules gravées du masque ne sont pas évacuées et viennent se redéposer à la surface du matériau, c'est le phénomène de *micromasking*. Un masque de nickel (au-dessus d'une couche d'acroche en titane de 5 nm environ) est suffisamment résistant à la gravure (sélectivité élevée) pour ne pas engendrer les phénomènes précédents et pour permettre des gravures profondes.

c. Gravure plasma induit par haute fréquence

Les procédés de gravure ionique réactive au plasma induit par haute fréquence sont basés sur une source plasma haute densité [Wan98b] couplée à un champ magnétique ; elle est généralement connue sous le nom de *ICP-RIE* pour *Inductively Coupled Plasma RIE*. On trouve également sur cette source les techniques de *Résonance Cyclotron Électronique* (ou *ECR* pour *Electron Cyclotron Resonance*) ou de gravure *assistée par magnétron* (ou *MERIE* pour *Magnetron Enhanced RIE*). Par rapport à la gravure RIE « simple » qui travaille à des pressions de 10 à 225 mTorr, la pression dans l'enceinte de gravure ICP est beaucoup plus faible, de 1 à 5 mTorr. Les flux d'ions sont alors supérieurs de plusieurs ordres de grandeurs. La conséquence immédiate est une vitesse de gravure beaucoup plus grande, de 0,35 à 0,75 μm/min (sous une ambiance de NF₃). De plus, ce procédé permet de diminuer les risques d'érosion du masque, de moins endommager la structure cristalline du semiconducteur et enfin de diminuer le phénomène de *micromasking*.

La figure 1.6(a) montre que la vitesse de gravure dépend du taux de NF₃ dans l'enceinte de gravure, et qu'elle augmente avec la concentration, tout en restant la même quel que soit le dopage du SiC (le procédé ne dépend pas du niveau de Fermi du matériau gravé). Des résultats très similaires peuvent être obtenus sous ambiance NF₃/O₂ [Wan98a].

La figure 1.6(b) montre l'influence de la puissance du champ magnétique assistant la gravure sur sa vitesse. Une puissance nulle pour cette source place l'enceinte dans les conditions d'une gravure RIE « simple », avec des vitesses de gravure classiques autour de 0,1 μm/min. Avec l'augmentation de la puissance augmente la densité d'ions dans le plasma ; la conséquence est une augmentation de la vitesse de gravure jusqu'à atteindre un maximum. La rugosité de la surface

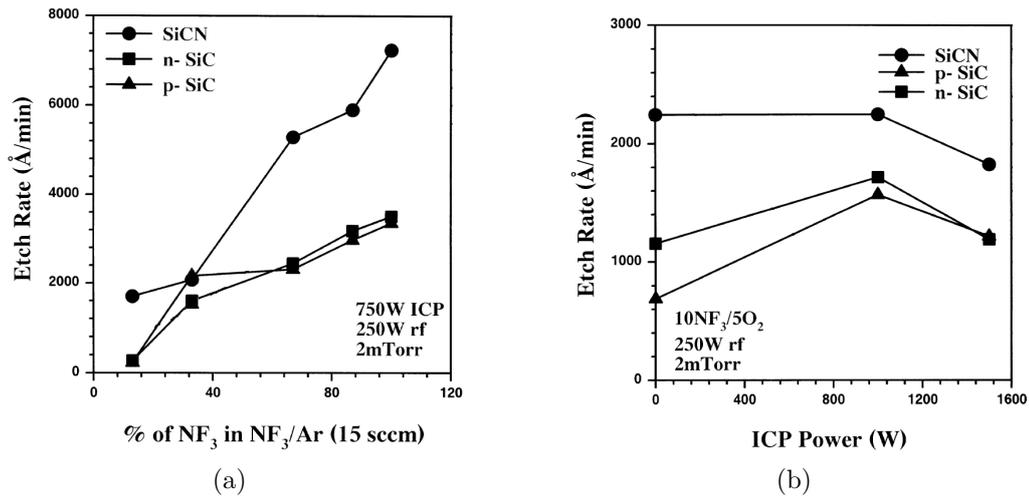


FIG. 1.6: (a) : Vitesse de gravure du SiC pour différents dopages en fonction du taux de NF₃ dans l'enceinte ICP à une puissance RF de 250 W, une puissance du champ magnétique de 750 W et une pression de 2 mTorr
 (b) : Vitesse de gravure du SiC en fonction de la puissance du champ magnétique ICP sous une ambiance optimale (0 W correspondant à la gravure RIE)[Wan98a]

gravée avec cette technique ne dépasse pas 1 à 2 nm, valeurs comparables à celles obtenues en gravure RIE classique (0,2 à 0,9 nm) [Laz06, Hab10].

2.4 Oxydation et passivation

Le SiC est le seul semi-conducteur composé à grand gap sur lequel on peut faire croître de manière thermique un oxyde natif SiO₂ (amorphe) de très bonne qualité [Mat01]. Lorsqu'une couche d'épaisseur e se développe à la surface, une épaisseur comprise entre $\frac{e}{2}$ et $\frac{e}{4}$ de SiC est consommée, avec pour moitié des atomes de Si et des atomes de C ; le silicium forme avec l'oxygène l'oxyde SiO₂, et le carbone s'échappe sous forme de CO. Le taux de croissance de la couche d'oxyde est beaucoup plus faible sur SiC que sur le silicium, à cause de la forte anisotropie du SiC et des spécificités des différents polytypes (figure 1.7). En atmosphère humide à 1200 °C, le taux de croissance de SiO₂ en Å/min^{1/2} est de l'ordre de $1200\sqrt{t}$ sur Si, alors que sur SiC-4H ou -6H, il est de l'ordre de $220\sqrt{t}$ sur les faces carbone et $60\sqrt{t}$ sur les faces silicium, sous les mêmes conditions (flux de O₂ et /ou H₂O à une température de 800 à 1200 °C). La vitesse d'oxydation varie fortement avec la face cristallographique terminale du cristal, tout en étant peu sensible au type de dopant (n ou p) présent dans la couche de SiC.

Cet écart entre les vitesses de croissance est attribué à la différence d'électronégativité entre le Si et le C (2,55 pour le C et 1,90 pour le Si selon Pauling) qui provoque un écart dans le rendement des réactions à l'interface oxyde/semiconducteur.

Sur SiC de type n peu dopé, la densité d'états d'interface est de l'ordre de 10^{11} cm⁻²/eV, et sur du type p , les conditions sont moins favorables, en raison probablement de la présence d'aluminium à l'interface SiO₂/SiC [Eko02].

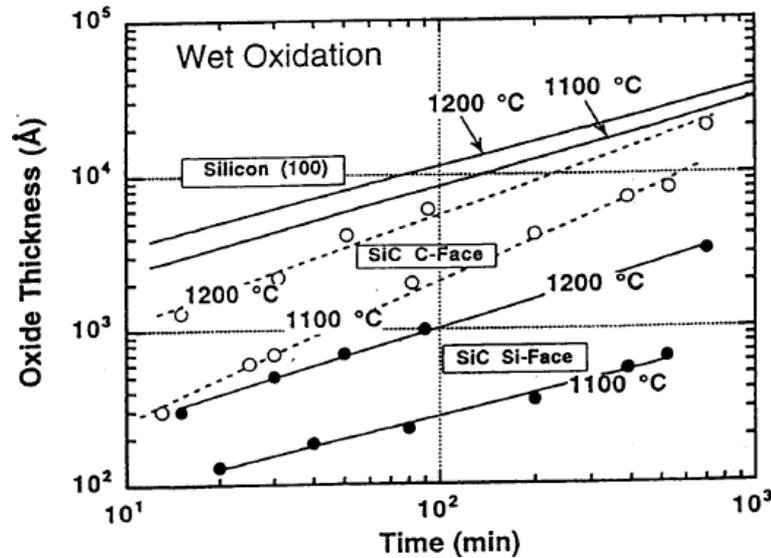


FIG. 1.7: Évolution de l'épaisseur d'oxyde pour du SiC-6H sur la face Si et sur la face C, et pour Si [Eko02]

Par ailleurs, à la température favorisant la migration des atomes d'oxygène, ceux-ci trouvent alors plus facilement un site pour réagir, et l'épaisseur d'oxyde formé est plus grande que pour des températures plus faibles. De plus, la chaleur, en faisant vibrer les réseaux cristallins, fragilise les liaisons Si-Si ou Si-C, et facilite ainsi la réaction d'oxydation.

Les applications potentielles immédiates du SiC concernent les domaines des hautes températures, fortes puissances et hautes fréquences, ainsi que tous les profits qui peuvent être tirés de la synergie entre ces différents domaines. Les grandes mobilités de ses porteurs, leur faible anisotropie, et la possibilité de réaliser des substrats de taille importante font du polytype 4H le meilleur candidat à la réalisation de composants.

3. Dispositifs électroniques de puissance et fonction interrupteur

3.1 La commutation en électronique de puissance

Le domaine de l'électronique couvre toutes les applications utilisant des composants à semi-conducteur. Certaines applications de l'*électronique analogique* exploitent les composants dans leur zone linéaire en modulant la chute de tension à leurs bornes, entraînant des pertes importantes incompatibles avec les applications qui nécessitent un rendement élevé [Ség04]. L'*électronique numérique* utilise les composants pour réaliser des interrupteurs, pour lesquels les pertes sont théoriquement nulles mais, vues les fréquences de fonctionnement et le grand nombre de composants (plusieurs milliards dans les microprocesseurs d'aujourd'hui), les tensions et courants résiduels engendrés peuvent encore être à l'origine de pertes importantes.

Les *convertisseurs électroniques de puissance* permettent de modifier la présentation de l'énergie électrique de la source à la charge, et mettent ainsi en jeu de telles puissances que la notion de rendement est devenue essentielle. Il faut donc travailler en *commutation* et les composants

fonctionnent en *interrupteur*. Quand l'interrupteur est *ouvert*, il faut que le courant qui le traverse soit négligeable même soumis à une tension élevée, afin que le produit tension \times courant, déterminant la puissance consommée, soit minime. De même, quand l'interrupteur est *fermé* et qu'il laisse passer un courant important, il faut que la chute de tension intrinsèque soit très faible quel que soit le courant.

Le passage de l'état ouvert à l'état fermé, et inversement, peut être *commandé* dans le cas où l'interrupteur réagit à un signal de commande intervenant à un instant précis, ou *spontané*, lors du passage par zéro de la tension à ses bornes ou du courant qui le traverse ; ces passages par zéro sont imposés par l'évolution des variables du circuit et non par l'utilisateur.

Les composants électroniques peuvent être classés selon le type de commutation : commutation naturelle ou spontanée, commutation spontanée dans un sens ou dans l'autre, ou commutation totalement commandée. Bien que la nature de la commutation soit indépendante de la conduction dans les dispositifs, celle-ci va influencer la vitesse de commutation. Ainsi, avant de passer en revue les différents composants selon la commande à laquelle les soumettre, nous allons étudier brièvement la façon dont se propage le courant.

3.2 Conduction dans les dispositifs

On trouve deux types de conduction dans les dispositifs électroniques de puissance pour la commutation haute tension : les dispositifs *unipolaires* et les dispositifs à *injection* (*bipolaires*) [Ber07]. À l'état statique, ces deux mécanismes de conduction vont être à l'origine de pertes en conduction différentes ; de même qu'en dynamique, on va relever des différences dans les pertes par commutation, qui vont à la fois être fonction, et influencer la fréquence de travail (figure 1.9) et les niveaux de courants autorisés. Les commutations présentées sur cette figure ont été opérées avec une densité de courant de 50 A/cm^2 .

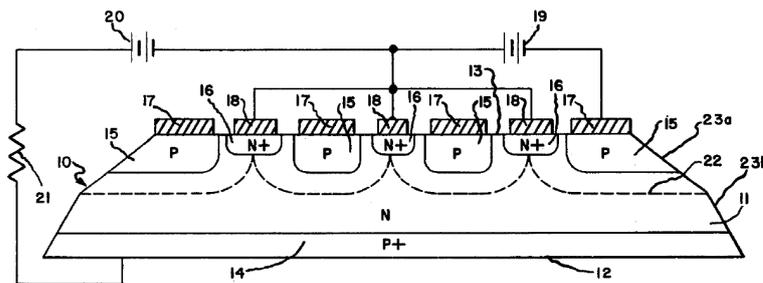


FIG. 1.8: Vue en coupe d'une *Field Controlled Diode* (FCD) utilisée pour l'étude de la conduction bipolaire [Fer77]

En technologie silicium, l'utilisation de dispositifs bipolaires se justifie par le souci de diminuer la résistance à l'état passant. En effet, les épaisseurs d'épithaxie importantes, sous un faible dopage, induisent une très forte résistivité. L'apparition de matériaux à large bande interdite, dont le SiC, a permis de diminuer fortement (d'un facteur trois environ) l'épaisseur des couches épithaxiées et d'en augmenter le dopage, et donc de diminuer la résistance à l'état passant du composant pour une mobilité des porteurs du même ordre de grandeur. Cependant, la large bande interdite du SiC entraîne une barrière de potentiel aux jonctions beaucoup plus élevée

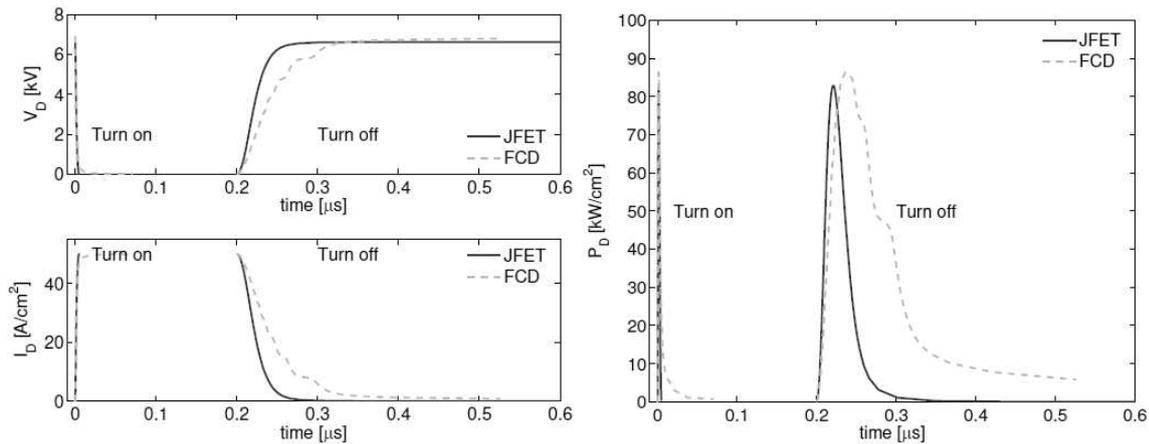


FIG. 1.9: Comparaison des temps de commutation de composants unipolaire (JFET) et bipolaire (FCD), et puissance dissipée dans les composants [Ber07]

que dans le cas du silicium [Hua00]. Les dispositifs à injection de porteurs minoritaires, c'est-à-dire à conduction bipolaire, comme le transistor bipolaire ou le thyristor, ne sont alors vraiment avantageux que pour de très hautes tensions.

De plus, à cause du temps de recouvrement inverse des charges, les temps de commutation des composants bipolaires sont plus élevés que ceux des composants unipolaires. Ceci limite leur fréquence de fonctionnement.

Un autre inconvénient des dispositifs bipolaires vient de la nature de leur conception, qui fait apparaître, du fait des jonctions multiples, une zone pouvant se retrouver potentiellement flottante [Ber07], souvent entre l'électrode de commande et une électrode de puissance. Ceci peut conduire, d'une part, à une destruction prématurée de cette jonction, connue sous le terme *open base breakdown*; d'autre part, l'épaisseur d'épitaxie nécessaire sera plus grande, ou bien son niveau de dopage plus faible, afin d'avoir une désertion des porteurs la plus grande possible pour le blocage.

On voit, sur la figure 1.9 les différences entre les pertes en commutation de composants unipolaire (dans ce cas, un JFET) et bipolaire (dans ce cas, une *FCD*, c'est-à-dire une *Field Controlled Diode*). Les pertes dans le JFET sont principalement dûes à la chute de tension interne au composant; en revanche, les temps de commutation beaucoup plus longs pour des composants bipolaires, entraînent des pertes beaucoup plus lourdes.

Si l'on compare à présent un transistor MOS (MOSFET) à canal n et un IGBT de type n (le fonctionnement de ces composants sera détaillé plus loin), comme sur la figure 1.10 où sont présentés leurs réseaux caractéristiques respectifs à l'état passant, on constate une très claire différence de densité de courant de conduction à partir d'un certain seuil [Das08]. Si l'on considère la courbe d'isopuissance de 300 W/cm^2 , pour une tension de grille de 20 V on voit que la densité de courant traversant l'IGBT sera de 40% supérieure à celle du MOSFET. Même si elles trahissent une différence d'épaisseur et de dopage des couches épitaxiées, les résistances, respectivement différentielle et spécifique à l'état passant, seront de $14,3 \text{ m}\Omega \cdot \text{cm}^2$ contre $127 \text{ m}\Omega \cdot \text{cm}^2$.

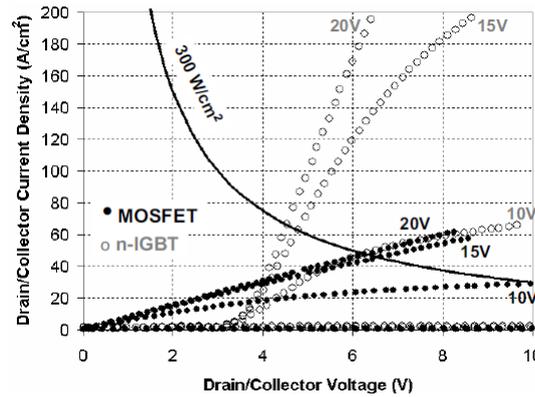


FIG. 1.10: Comparaison des réseaux caractéristiques à l'état passant d'un MOSFET à canal n et d'un IGBT de type n à 25 °C [Das08]

L'information que l'on peut en tirer est que, pour des fréquences faibles, il existe un point (9 kV sur la figure 1.11) au-delà duquel il est plus avantageux de travailler avec des composants bipolaires; en effet, les pertes dans ce cas-là seront moins importantes faibles du fait d'une résistance à l'état passant plus faible, et ainsi la puissance dissipée par le composant sera moins élevée. En revanche, si la fréquence augmente, on voit clairement que la conduction bipolaire entraîne des pertes bien plus importantes que la conduction unipolaire.

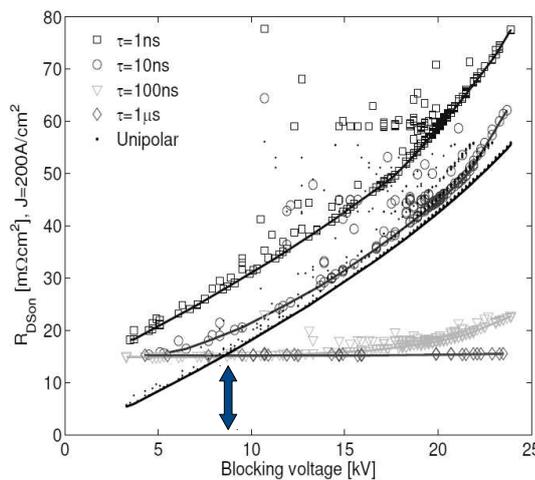


FIG. 1.11: Résistance à l'état passant dans le cas d'une conduction unipolaire et bipolaire dans les mêmes conditions et à densité de courant élevée

3.3 Composant à commutation spontanée : la diode

La diode est un composant à deux électrodes entre lesquelles circule un courant de l'anode vers la cathode (dans le sens direct), sans électrode de commande. Son fonctionnement lui est ainsi totalement imposé par le circuit dans lequel elle est insérée : quand ce circuit tend à faire passer un courant dans le sens direct, et si la tension à ses bornes est suffisamment élevée, alors la diode est *passante*; inversement, quand le circuit applique une tension négative à ses bornes, alors la diode est *bloquée*.

a. Les diodes à conduction unipolaire face aux diodes à conduction bipolaire

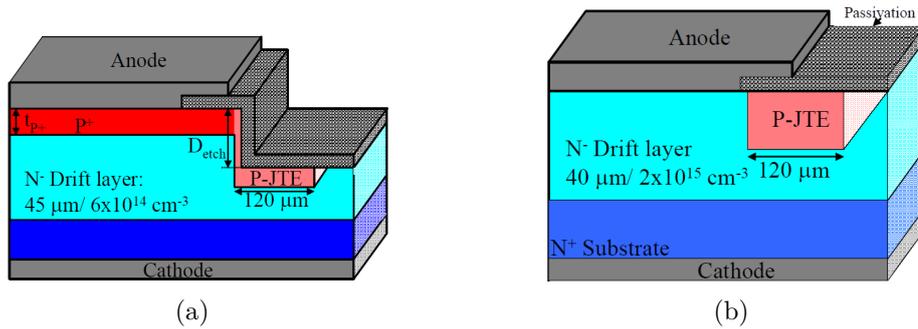


FIG. 1.12: (a) : Vue en coupe d'une diode bipolaire, dite *PiN* avec sa protection périphérique *mesa-JTE*
 (b) : Vue en coupe d'une diode Schottky avec sa protection périphérique JTE [Bro08]

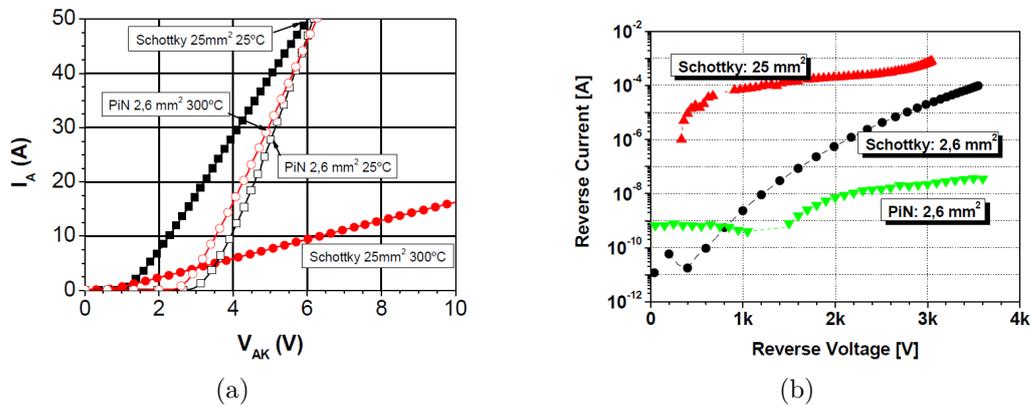


FIG. 1.13: (a) : Caractéristiques directes de diodes Schottky et PiN
 (b) : Caractéristiques inverses de diodes Schottky et PiN [Bro08]

Historiquement, on trouvait deux types de diodes : les diodes *Schottky* et les diodes *PiN*. Une vue en coupe de ces composants est présentée en figures 1.12(a) et 1.12(b), ainsi que leurs caractéristiques respectives en direct (figure 1.13(a)) et en inverse (figure 1.13(b)). On voit sur ces caractéristiques que les diodes Schottky présentent une tension de seuil en direct plus faible que celle des diodes PiN, mais que les courants de fuite en inverse sont en revanche plus élevés de plusieurs ordres de grandeur.

D'importants travaux ont été menés sur le traitement de la surface du substrat avant la croissance de l'épitaxie. En effet, les défauts d'empilement (*stacking faults*) ou les dislocations de plan basal (*basal plane dislocation*) du substrat avaient tendance à s'étendre lors de la croissance de l'épitaxie [Bro09b], entraînant une dérive de la chute de tension aux bornes du composant en direct (composant de plus en plus résistif) après des stress en courant et en température [Bro08].

b. Les avantages du bipolaire sans les contraintes de l'unipolaire

Comme on peut le voir sur la figure 1.13(a), la conductivité des diodes Schottky s'écroule avec la montée en température. Ceci est dû au courant de *conduction*, non négligeable devant

le courant de *diffusion*, qui confère au composant un coefficient de température positif; par conséquent, la durée de vie des porteurs diminue avec l'augmentation de la température, et le composant devient plus résistif [Bro09b]. À l'opposé, l'influence de la température sur la conduction dans les diodes bipolaires est un coefficient de température négatif dû à l'augmentation de la durée de vie des porteurs; ainsi, la résistance différentielle du composant va diminuer. On observe également une tension de seuil plus faible pour les diodes Schottky que pour les diodes bipolaires, due principalement à la hauteur de barrière plus faible; cette tension de seuil va encore en diminuant avec l'augmentation de la température.

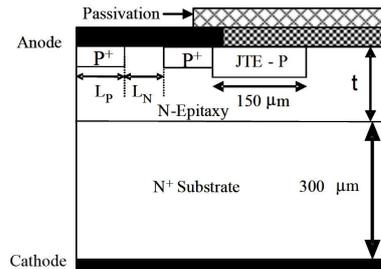


FIG. 1.14: Vue en coupe d'une diode JBS : l'anode est formée à la fois de contact Schottky sur n et de contact ohmique sur p^+ [Bro09c]

Lorsque l'on se penche sur les caractéristiques inverses de la figure 1.13(b), on voit qu'une diode Schottky va laisser passer davantage de courant de fuite qu'une diode bipolaire (à cause également de la hauteur de barrière plus faible). Ainsi, la chute de la conductivité avec la température et les courants de fuite importants jouent en la défaveur de la diode Schottky, tandis qu'elle trouve avantage de sa tension de seuil faible.

L'idéal serait de pouvoir combiner les avantages de chacune des diodes en un seul dispositif : il s'agit de la diode *JBS* (*Junction Barrier Schottky*); on trouvera une vue en coupe de ce composant en figure 1.14. On y voit que l'anode est formée à la fois d'un contact Schottky directement sur l'épitaxie n^- et d'un contact ohmique sur un caisson dopé p^+ , dans un rapport plutôt proche de l'unité. On trouve parfois le nom de *merged PiN-Schottky diode* (*MPS*) pour désigner ce composant.

Comme on peut le voir sur la figure 1.15(a), on retrouve bien sur la caractéristique directe de la diode JBS la faible tension de seuil, propre aux diodes Schottky; on constate également une grande stabilité de ces caractéristiques avant et après un stress électrique (à 8 A pendant 50 h dans ce cas là [Bro09c]). Ce même stress est appliqué aux diodes JBS 3500 V dont les caractéristiques sont présentées en figure 1.15(b); on voit ici que la stabilité est beaucoup moins grande que dans l'autre cas. On y voit cependant parfaitement le moment où la conduction bipolaire prend le dessus sur la conduction unipolaire, l'autoéchauffement étant trop grand pour assurer une bonne conduction par le contact Schottky.

Ces résultats, appuyés par ceux présentés en figure 1.15(c), montrent bien que les diodes JBS sont parfaitement fiables, jusqu'à une certaine tension et si la conduction bipolaire reste faible devant la conduction unipolaire. Ces composants ne sont donc pas adaptés aux très hautes tensions (typiquement 3,3 kV [Bro09b]), et on leur préférera, pour le moment, les diodes bipolaires pour les avantages précisés auparavant. Parallèlement, si l'on se penche sur les courbes de la

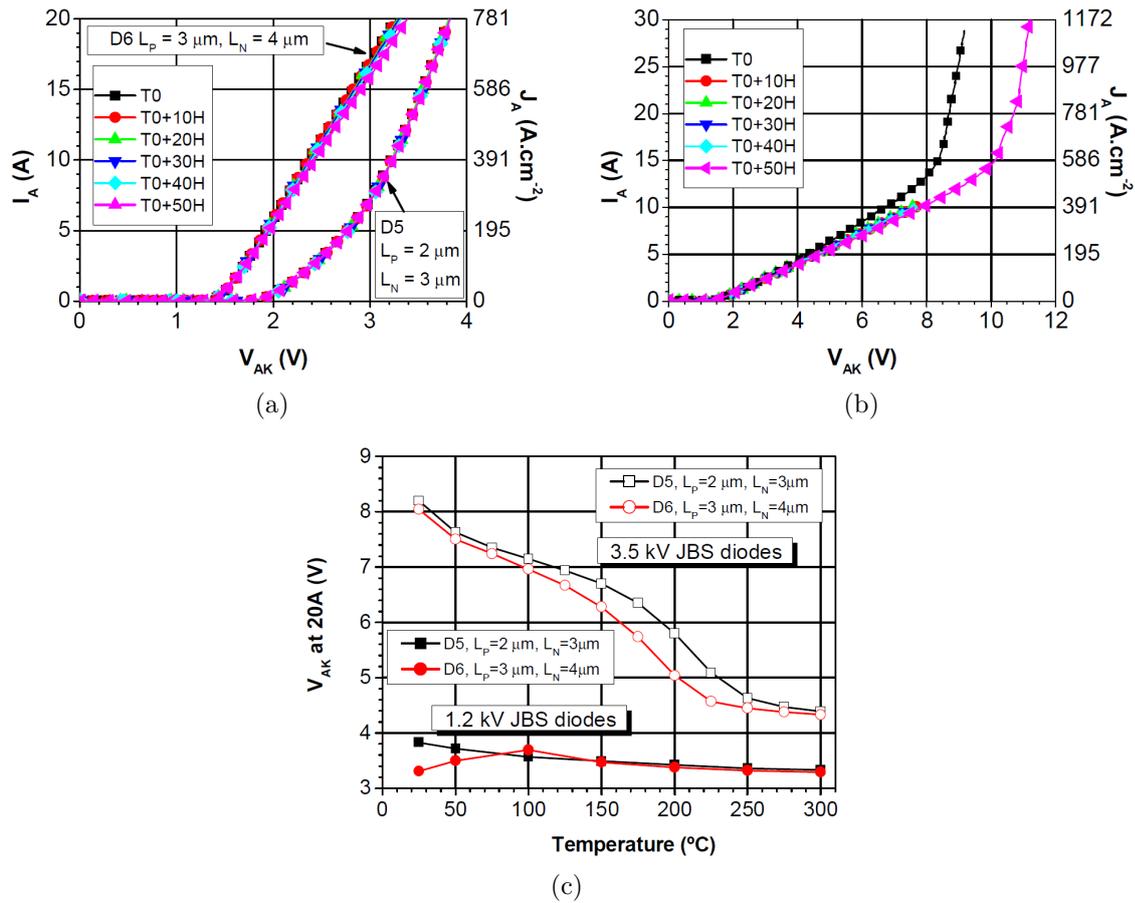


FIG. 1.15: (a) : Évolution des caractéristiques en direct de deux diodes JBS 1200 V soumise à un stress électrique
 (b) : Évolution des caractéristiques en direct d'une diode JBS 3500 V soumise à un stress électrique
 (c) : Évolution de la chute de tension dans des diodes JBS 1200 et 3500 V en fonction de la température [Bro09c]

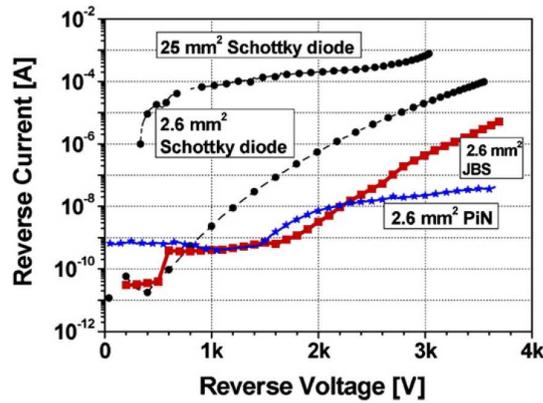


FIG. 1.16: Comparaison des courants de fuite inverses pour trois types de diodes de même taille et à même température [Bro09a]

figure 1.16, on voit que les courants de fuite en inverse sont similaires (voir légèrement inférieurs) pour les diodes PiN et JBS (bien inférieurs à ceux des diodes Schottky jusqu'à environ 2400 V [Bro09a]). Ceci va bien dans le sens de la performance des diodes JBS dans une certaine gamme de tension. L'un des objectifs de ce travail de thèse sera de travailler sur une architecture de composants JBS permettant de repousser ces limites.

3.4 Composant à fermeture commandée

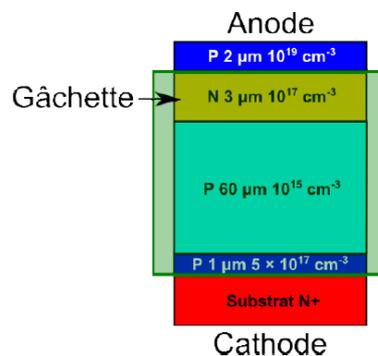


FIG. 1.17: Vue en coupe d'un thyristor SiC mettant en évidence l'empilement de quatre couches $p-n-p-n$ [Dhe11]

Le thyristor est un composant bipolaire particulièrement bien adapté aux fortes puissances, grâce à son empilement de quatre couches $p-n-p-n$ (figure 1.17). Cette structure est complémentaire entre le Si (anode en face arrière) et le SiC (cathode en face arrière). En effet, il n'existe pas de substrat p^+ en SiC. Le thyristor est naturellement bloqué. Appliquer entre anode et cathode une tension positive est une condition favorable à la mise en conduction du thyristor, mais celle-ci n'interviendra que lors de l'application d'un pic de courant dans la *gâchette* [Dhe11]. Une fois mis en conduction, le thyristor va rester passant jusqu'à ce que le courant le traversant passe en dessous d'un certain seuil (appelé « courant de *holding* »). Il s'agit donc d'un composant à fermeture commandée mais à ouverture spontanée.

La figure 1.18(a) montre que le thyristor est bien adapté à la tenue des hautes tensions, les courants de fuite le traversant restant faibles ; à l'état passant, et dans les bonnes conditions

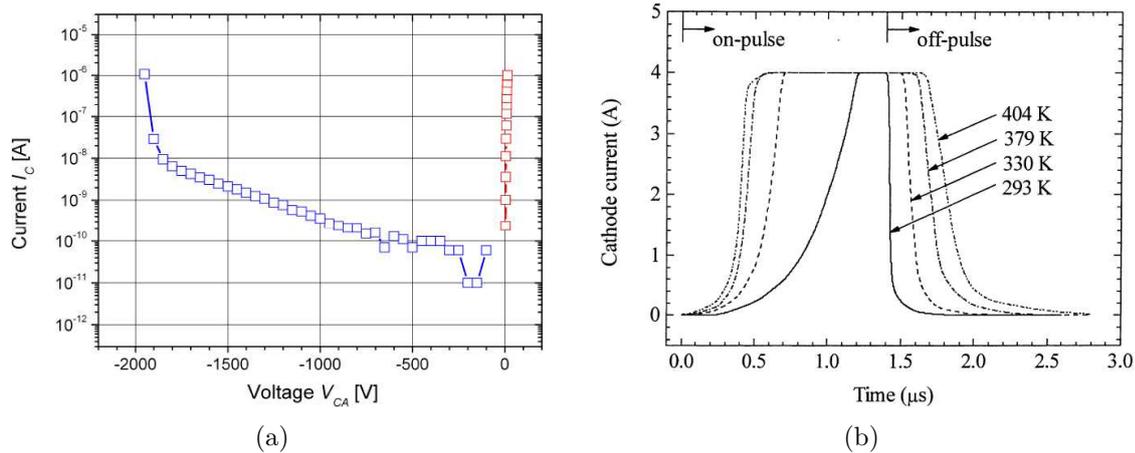


FIG. 1.18: (a) : Courant à l'état passant et à l'état bloqué en fonction de la tension aux bornes d'un thyristor GTO SiC [Sch11]
 (b) : Commutation vers l'état passant, puis retour à l'état bloqué d'un thyristor GTO SiC pour différentes températures [lva00]

(c'est-à-dire avec une commande de mise en conduction efficace), l'établissement du courant dans le composant se fait très rapidement, avec une tension de seuil pouvant être très faible. Cependant, les courbes de la figure 1.18(b) trahissent les points faibles du thyristor : ses temps de réponses lents. Une impulsion de commande à la fermeture, appliquée à l'instant $t = 0$, n'entraînera l'amorce du thyristor qu'avec un retard. Également, ce temps de réponse va dépendre fortement de la température : plus cette dernière sera élevée, plus le temps de réponse sera court. Le retard à l'ouverture est beaucoup plus faible à température ambiante : les conditions d'ouverture survenant à l'instant $t = 1,4$ s ; mais la dépendance à la température du composant va, cette fois, jouer en sa défaveur, puisque que l'augmentation de la température va entraîner une augmentation du retard. En effet, l'augmentation de la température va augmenter la durée de vie des porteurs dans la zone de gâchette. La fermeture du composant sera plus rapide. Mais la nature bipolaire du thyristor fait qu'il y aura davantage de charges à évacuer : l'ouverture sera donc plus lente.

Le thyristor reste le composant des très hautes puissances (13,5 kV [Sch09] ou 12 kV [Zha11]), mais ses champs d'application seront des basses fréquences et des températures modérées. Il convient parfaitement pour des applications en électronique impulsionnelle par exemple, ou dans les dispositifs fonctionnant à 50 Hz.

3.5 Composants à fermeture et ouverture commandée

a. Conduction unipolaire et conduction bipolaire

Le transistor à jonction bipolaire (ou *BJT* pour *Bipolar Junction Transistor*) est composé de deux jonctions *pn* juxtaposées en opposition. Il est toutefois vain de tenter de réaliser un tel dispositif avec deux diodes physiquement séparées [Arn92]. Ce composant est cependant historiquement le premier interrupteur à présenter une véritable commande à l'ouverture *et* à la fermeture. En effet, le courant circulant entre *collecteur* et *émetteur* est totalement contrôlé par

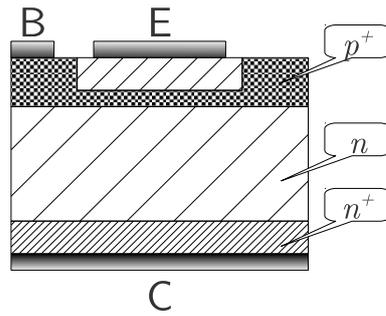
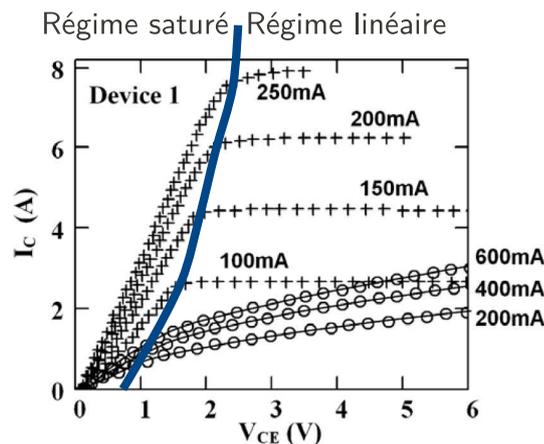


FIG. 1.19: Vue en coupe d'un transistor bipolaire

l'électrode de *base*. En l'absence de courant circulant dans la base, la circulation du courant depuis le collecteur est impossible. Le transistor est en régime *bloqué*. En revanche, l'injection d'un courant I_B dans la base va permettre la circulation d'électrons de l'émetteur vers le collecteur et va ainsi en quelques sortes « débloquer » la circulation du courant principal I_C depuis le collecteur. Pour une tension V_{CE} légèrement positive, les jonctions base-émetteur et base-collecteur vont être en polarisées en direct : le transistor est en régime *saturé*. *A contrario*, si la tension V_{CE} est fortement positive, alors la jonction base-émetteur polarisée en direct va autoriser la circulation d'un courant de base, qui va entraîner la circulation d'un courant de conduction à travers la jonction base-émetteur polarisée en inverse : le transistor est en régime *linéaire* ou *actif*. Son rôle, dans ce cas précis, d'amplificateur de gain β est très apprécié en électronique du signal ($I_C = \beta I_B$). En électronique de puissance, on exploitera plutôt les modes *saturé* ou *bloqué*. Dans ce dernier cas, aucun courant n'est envoyé sur la base ; l'effet transistor ne peut avoir lieu et aucun courant ne circule entre collecteur et émetteur (en faisant abstraction d'un courant de fuite très faible).

FIG. 1.20: Courbe $I_C(V_{CE})$ montrant la dégradation du gain en courant après un stress électrique [Muz09]

L'attrait pour le transistor bipolaire se justifie par des possibilités de tenue en tension élevées, des pertes par commutation faibles et des densités de courant pouvant dépasser 300 A/cm^2 [Muz09]. Par contre, la soumission à un stress en courant révèle que les transistors bipolaires souffrent d'une augmentation de la résistance à l'état passant et d'une chute du gain en courant.

La figure 1.20 montre une chute de 79% du gain en courant sur un transistor bipolaire 1200 V soumis à une densité de courant de 130 A/cm^2 pendant 2 h. Ces dégradations proviennent soit de l'interface $\text{SiO}_2\text{-SiC}$ au niveau de la passivation primaire ou de l'oxyde intermétallique, soit des dislocations de plan basal (*basal plane dislocation*) à chaque jonction ; or le principe même du transistor bipolaire reposant sur l'empilement de plusieurs jonctions (pouvant être réalisées par épitaxie), la fabrication ne pourra se faire que sur des plaques de très bonne qualité, freinant ainsi les possibilités de production commerciales. Également, les défauts d'empilement (*Shockley stacking faults*) se développent lorsque le composant est en régime de saturation.

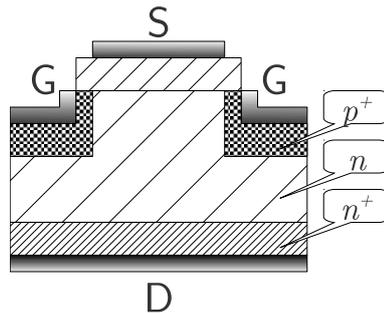


FIG. 1.21: Vue en coupe d'une transistor à effet de champ à jonction pn

Pour s'affranchir des problèmes d'empilement de jonctions, il est possible de former un transistor à partir (schématiquement) d'un barreau de semiconducteur d'un seul type, aux extrémités duquel on placera les électrodes de puissance de *source* et *drain* entre lesquelles circulera le courant, et délimité sur les côtés par une couche semiconductrice de l'autre type. Ceci permettra d'assurer la modulation du courant. Un tel composant est appelé *JFET* (pour *Junction Field Effect Transistor*) présenté sur la figure 1.21, ou *MESFET* si la couche semiconductrice de commande est remplacée par un métal (pour *MEtal Semiconductor FET*).

Aucune jonction ne s'opposant au passage du courant, le courant de diffusion sera minoritaire devant le courant de conduction, conférant ainsi un caractère unipolaire au dispositif, qui sera par ailleurs *normalement passant*. Ainsi, il risque d'être soumis à des courts-circuits ou d'être placé en mode de limitation du courant [BB10].

Comme le montre la figure 1.22, les JFET SiC supportent plutôt bien les courts-circuits ; soumis à une tension de 540 V pendant $300 \mu\text{s}$ (lorsque le courant est limité à 120 A), la puissance transmise par le JFET ne chute que de 30 à 60%, contre près de 80% pour ce que l'on observait avec un transistor bipolaire (figure 1.20). C'est d'ailleurs ce que confirment les courbes de la figure 1.23(a), où le courant de saturation a diminué d'environ 25% pour 46000 courts-circuits durant chacun $100 \mu\text{s}$ et les courbes de la figure 1.23(b), où il s'est abaissé de 13% après plus de 13000 court-circuits d'une durée de $200 \mu\text{s}$.

b. Commande par jonction inverse ou par grille isolée ?

Les JFET présentent l'avantage de ne pas absorber de courant pour la commande en régime statique, mais sont des composants typiquement « *normally on* » (normalement fermé ou normalement passant). Si l'on arrive à isoler le plot n^+ de source dans un caisson p , alors le courant

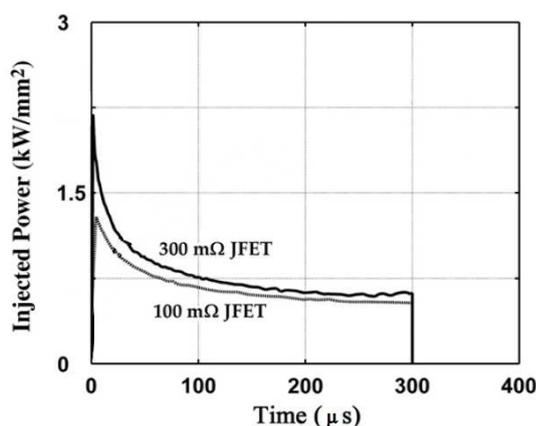


FIG. 1.22: Évolution de la puissance transmise d'un JFET SiC lors d'un court-circuit sous 540 V pendant 300 μ s (courant limité à 120 A) [BB10]

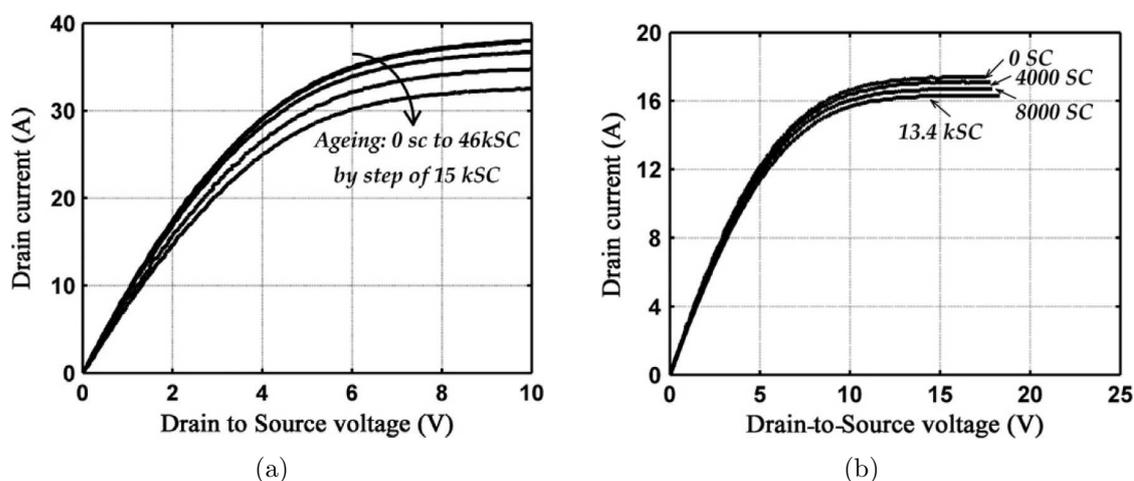


FIG. 1.23: Courbes $I_D(V_{DS})$ montrant l'évolution du courant dans deux transistors ((a) : 100 m Ω et (b) : 300 m Ω) soumis à des courts-circuits répétés [BB10] (kSC = kilo-Short-Cut, 1000 courts-circuits)

ne passera plus naturellement entre drain et source. Toutefois, avec une technologie très mature, il est possible de réaliser des JFET avec une largeur de canal très faible, faisant tendre le comportement du composant vers du « *normally off* ». C'est ce que propose la société Semisouth à travers la commercialisation de JFET 1200 et 1700 V.

En formant une couche d'oxyde au-dessus du caisson p , on peut former une capacité métal-oxyde-semiconducteur, ou *MOS*, qui permettra de piloter un transistor appelé en toute logique *MOSFET*. Appliquer une tension positive sur l'électrode de grille permettra d'attirer de l'autre côté de l'oxyde des charges négatives, formant un *canal* où pourra alors circuler le courant.

L'inconvénient majeur de ces composants se situe dans l'oxyde. En effet, outre la qualité médiocre de l'interface $\text{SiO}_2\text{-SiC}$ et la densité considérable d'états d'interface [Bat12], jouant le rôle de pièges pour les porteurs et ainsi de réducteur de mobilité, il existe un risque de voir le champ disruptif de l'oxyde inférieur à celui du SiC [Mih03]. La conséquence de ceci est un claquage prématuré de la jonction grille-drain ou plutôt grille-source, davantage exposée dans

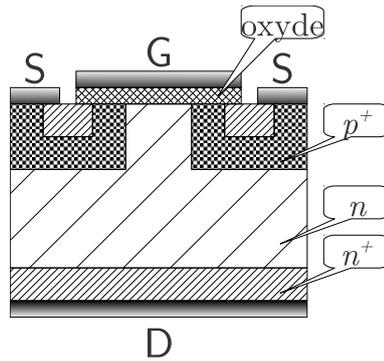


FIG. 1.24: Vue en coupe d'un transistor à effet de champ à grille isolée

le cas de composants de puissance verticaux. Ce handicap majeur des MOSFET est en partie résolu par les JFET, pour lesquels, grâce à un contrôle efficace de la polarité négative de la grille et un dopage maîtrisé du canal, il est possible de bloquer des tensions élevées tout en assurant une faible résistance à l'état passant, ainsi qu'une robustesse intéressante. Toutefois, les améliorations d'un point de vue technologique permettent la commercialisation de MOSFET SiC 1200 V fiables et performants par les sociétés CREE et ROHM.

c. Transistor bipolaire à grille isolée

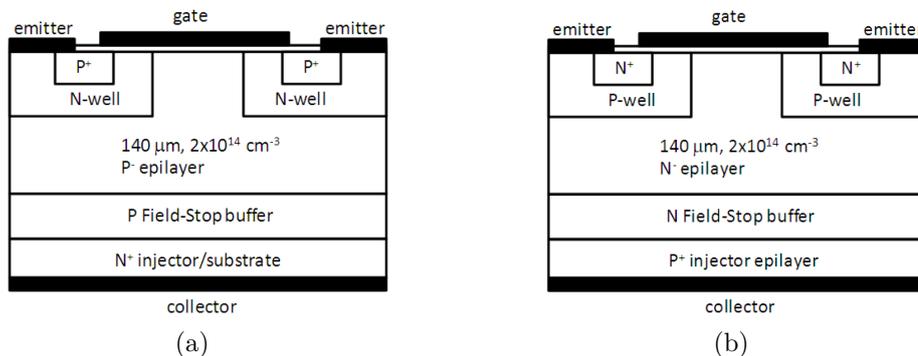


FIG. 1.25: Vues en coupe (a) d'un IGBT à canal p et (b) d'un IGBT à canal n [Ryu12]

En changeant le type de la semelle d'un transistor MOS (de n^+ à p^+), on retrouve l'opposition de deux jonctions pn du transistor bipolaire. On a cependant conservé l'isolement de la grille par un oxyde afin d'assurer la commande par effet de champ. Il s'agit donc d'un composant permettant de moduler le passage du courant avec une faible chute de tension (influence bipolaire) à partir d'une commande en tension (influence MOS). La commutation peut se faire rapidement (influence MOS) pour tenir des tensions très élevées (influence bipolaire). Ce composant est donc appelé *transistor bipolaire à grille isolée* ou *Insulated Gate Bipolar Transistor, IGBT*.

La présence de l'oxyde le fait cependant souffrir des mêmes inconvénients que le MOSFET SiC... De plus, on privilégiera les IGBT à canal n pour des raisons de commande ; or la rareté des substrats de type p en freine considérablement la fabrication.

Les derniers développements ont permis d'atteindre des tensions de blocage jusqu'à 15 kV pour un courant de fuite de $0,6 \mu\text{A}$ (pour des IGBT à canal p , les IGBT à canal n atteignant une tension de 12,5 kV) [Ryu12]. Dans ce cas, en appliquant une tension de -20 V sur la grille (une tension négative sur cette face de l'oxyde permet en effet la formation du canal p), la résistance à l'état passant à température ambiante est de $24 \text{ m}\Omega \cdot \text{cm}^2$. Pour une tension de grille de 20 V , un IGBT à canal n va présenter une résistance à l'état passant (toujours à température ambiante) de $5,3 \text{ m}\Omega \cdot \text{cm}^2$. De telles caractéristiques électriques permettent d'atteindre une densité de courant de l'ordre de 200 A/cm^2 .

Comme on peut le voir sur les figures 1.25(a) et 1.25(b), la structure présente une couche p ou n « *field stop buffer* ». Cette couche permet d'augmenter substantiellement la durée de vie des porteurs. En revanche, à cause du temps d'évacuation des porteurs en excès vers cette couche de « *field stop* », les temps de commutation vers l'état passant ou l'état bloqué de ces composants sont très longs : aux alentours de $2 \mu\text{s}$ à la température ambiante, ils peuvent pratiquement doubler pour une température de $175 \text{ }^\circ\text{C}$, bien en-dessous des objectifs que le SiC peut permettre d'atteindre, tant en température qu'en temps de commutation.

Abrégé des dispositifs de puissance en SiC

Nous avons vu dans ce chapitre que le carbure de silicium, par rapport à d'autres matériaux semiconducteurs, permet la *conception* de composants supportant des tensions très élevées, parcourus par des courants très forts avec davantage d'intégration, et fonctionnant à des températures élevées. En revanche, de nombreux problèmes de réalisation se présentent aux différentes étapes de *fabrication* de ces composants. Notamment, le point qui a retenu notre attention ici est l'interface entre l'oxyde et le semiconducteur, dans notre cas SiO_2 -SiC. Le manque de maturité de cette étape, critique dans la fabrication des transistors MOS, et par conséquent des IGBT, a orienté notre décision dans la réalisation de JFET.

En effet, les procédés de réalisation des JFET ont permis d'atteindre une grande maturité dans la fabrication de ces composants ; il reste cependant beaucoup à faire dans la géométrie à donner à la structure. Comme nous le verrons dans les chapitres suivants, les hautes tensions visées nous imposent des géométries particulières, limitant les pics de champ qui pourraient entraîner des fuites par les électrodes. Cette problématique sera abordée dans le deuxième chapitre.

Inversement, notre souhait d'atteindre des forts courants traversant les composants orienterait nos choix vers des géométries les plus simples, afin que le chemin du courant soit le plus direct possible. Il nous faut donc trouver des compromis, que nous détaillerons dans les troisième et quatrième chapitres.



2 Tenue en tension

Il est bien connu depuis de nombreuses années que le resserrement des équipotentielles génère une augmentation du champ électrique sur les bords de la zone active des composants, entraînant une douloureuse réduction de leur tenue en tension, par rapport à la tenue en tension théorique d'un composant « 1D ». Afin de renforcer ce paramètre, décisif pour les composants de puissance, des géométries de terminaison ont été développées dans un premier temps pour les composants en silicium, puis transposées aux dispositifs en carbure de silicium [Bal05, Bal08]. On pensera notamment aux plaques de champ, à la gravure autour de la zone active, à l'implantation d'anneaux flottants ou de poches de grande dimension.

Après un tour d'horizon des récents travaux réalisés dans ce domaine, nous présenterons les résultats de mesures opérées sur des mêmes types de composants avec plusieurs terminaisons. Nous pourrions alors nous appuyer sur des simulations pour confirmer les tendances observées et conclure quant à l'efficacité sur la tenue en tension.

1. État de l'art de la protection périphérique

1.1 Plaque de champ

La réalisation d'une plaque de champ consiste à déposer simplement un diélectrique (souvent SiO_2 ou Si_3N_4), que l'on recouvre d'un métal. Cette technique, qui présente l'avantage de la simplicité de fabrication, a cependant l'énorme inconvénient de rassembler à son terme une très forte concentration de champ électrique, posant ainsi de gros problèmes de fiabilité dans les hautes tensions [She00]. Ceci vient du fait que les tensions élevées induisent un fort champ dans l'oxyde, qui facilite le passage d'électrons par effet tunnel à l'interface SiC-SiO_2 [Mah05].

Cette solution ne pouvant ainsi s'utiliser seule, nous ne l'aborderons pas ici, et nous nous concentrerons sur les implantations ioniques et la gravure.

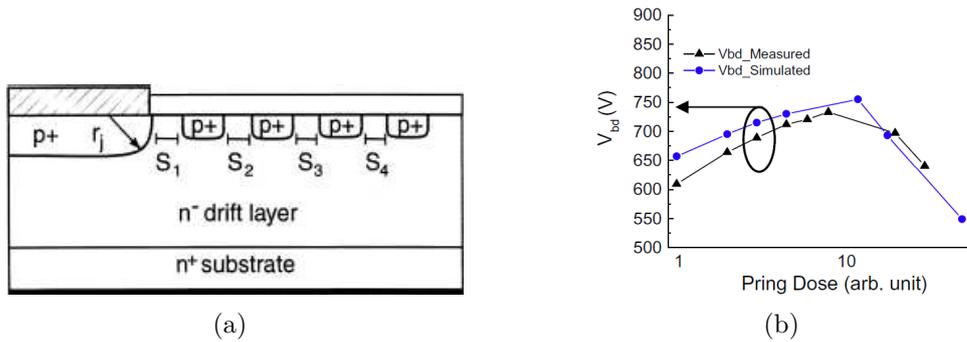


FIG. 2.1: (a) : Vue en coupe d'une diode PiN avec une protection par implantation d'anneaux p^+ [She00]
 (b) : Influence de la dose d'implantation des anneaux sur la tenue en tension [VB11]

1.2 Implantation d'anneaux

La protection des dispositifs par anneaux assure une tenue en tension faiblement dépendante de la dose d'implantation, sous réserve que celle-ci soit quand même suffisante. C'est ce qui est traduit sur la figure 2.1(b). On voit ainsi que pour une dose variant dans un rapport de 1 à 10, la valeur de la tension d'avalanche ne varie que de 20% [VB11], et que cette tension passe d'ailleurs par un optimal. Cette faible dépendance à la dose du dopage, par rapport à l'implantation d'une poche que nous aborderons un peu plus loin, peut rendre ce principe de protection particulièrement avantageux ; de plus, l'implantation d'anneaux fortement dopés peut se faire en même temps que les implantations de la zone active (comme l'implantation p^+ de l'anode de diode JBS par exemple), ce qui permet de simplifier et raccourcir le procédé de réalisation technologique [Ber12]. L'efficacité de ce type de protection vient de l'extension de la zone de charges d'espace sous chacun des anneaux, et non plus à la fin de la zone active. Ainsi, la concentration des lignes de champ peut s'étaler loin de la jonction.

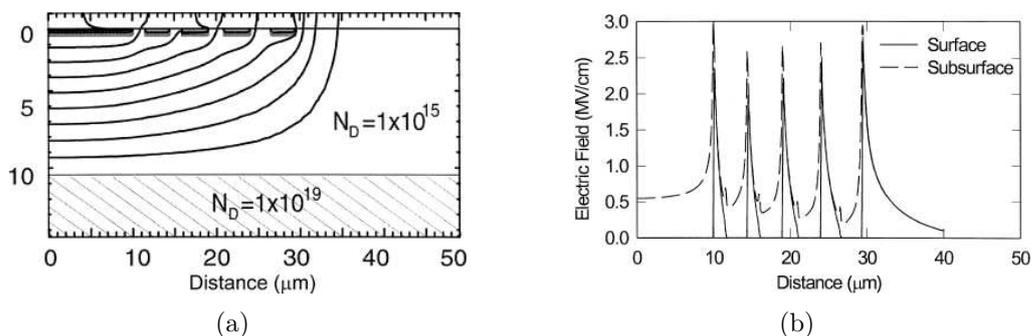


FIG. 2.2: (a) : Courbure des lignes de champs à l'approche de l'interface air-semiconducteur, entraînant l'établissement d'un potentiel flottant dans chacun des anneaux
 (b) : Valeur du champ électrique dans un dispositif à quatre anneaux de garde pour deux profondeurs [She00]

En effet, la polarisation d'un anneau se fait par l'extension jusqu'à celui-ci de la zone de charges d'espace précédente (à gauche de l'anneau considéré sur la figure 2.1(a)). Il s'agit donc

d'une polarisation inverse. Le potentiel établi dans l'anneau est alors celui de la région où se recourbe la ligne de champ (figure 2.2(a)). La polarisation inverse d'un anneau entraîne l'extension de la zone de charges d'espace autour de cet anneau, ce qui a pour conséquence l'étalement des lignes de champ dans la largeur du matériau [She00].

Mais on aura compris que l'inconvénient principal de ce type de protection est sa dépendance à une optimisation rigoureuse des distances entre les anneaux.

1.3 Implantation de poche

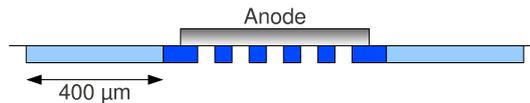


FIG. 2.3: Vue en coupe du principe de protection JTE, ici en périphérie d'une diode JBS

Ce type de protection est plus souvent appelé *JTE* pour *Junction Termination Extension*. Le principe est présenté en figure 2.3.

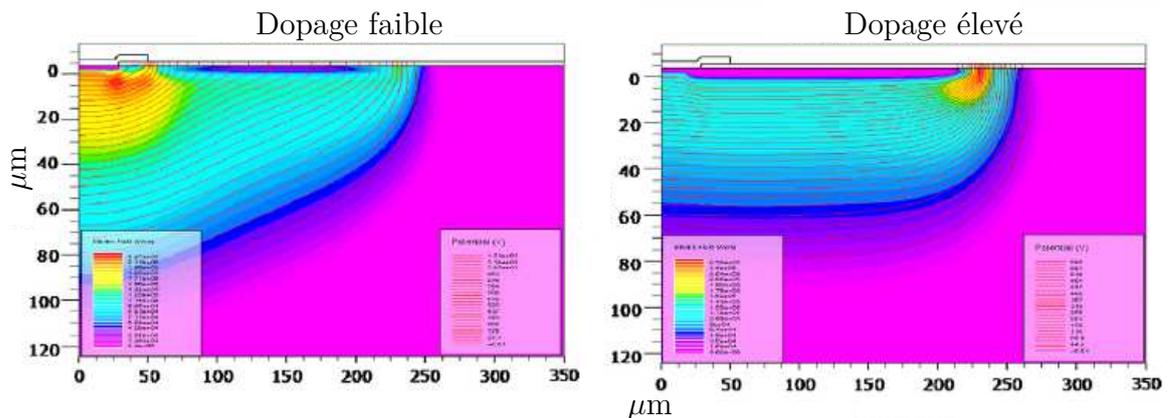


FIG. 2.4: Influence du dopage de la JTE sur la répartition du champ électrique (ici à 1200 V) [Ron10]; le dopage faible est réalisé à une dose de $2 \cdot 10^{13} \text{ cm}^{-2}$ et le dopage élevé, à une dose de $6 \cdot 10^{13} \text{ cm}^{-3}$

Comme nous l'avons précisé plus haut, l'efficacité de la protection par l'implantation d'une poche est très sensible à la dose implantée. En revanche, ce type de protection présente de nombreux avantages en termes de stabilité et de surface occupée [Ron10]. De manière très succincte, on peut dire que si la dose d'implantation est trop faible, alors la distribution du champ électrique sera peu modifiée, et la valeur maximale de ce champ restera proche de la zone active (figure 2.4 à gauche); à l'opposé, si la dose d'implantation est trop élevée, alors il sera possible à la jonction de s'étendre sur toute la largeur de la poche, repoussant ainsi tout le fort champ électrique à son extrémité, ce qui implique le claquage (figure 2.4 à droite), puisque, comme le montre la figure 2.5, pour éviter un recouvrement des lignes de potentiel au bord de la jonction, la JTE doit être tangente à la zone active. La bonne dose à implanter est donc

celle qui permet une désertion complète de cette zone sous polarisation inverse, tout en restant suffisamment résistive pour séparer les lignes équipotentielles [Ber12].

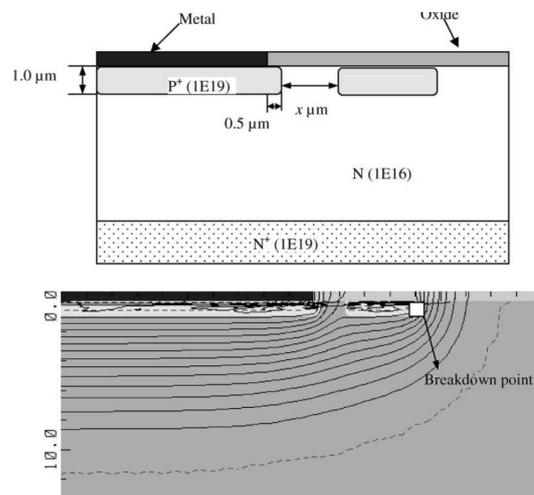


FIG. 2.5: Influence d'un écart entre la zone active et le début de la JTE [Bai03]

La JTE permet également de s'affranchir de la nécessité de grande diffusion des dopants, qui permet de créer de larges jonctions cylindriques [Mah05]. En effet, les coefficients de diffusion très faibles du SiC mettent un frein à l'efficacité de la protection par implantation d'anneaux.

Un avantage supplémentaire de la protection JTE est la facilité avec laquelle on peut adapter la taille de la poche à la tenue en tension désirée, sans avoir à augmenter la profondeur de jonction [Mah05]. C'est en revanche le point sur lequel il faut jouer pour améliorer la protection par implantation d'anneaux, jusqu'à arriver à une structure de type *RESURF* [Lio09] (*Reduced SURface Fields*), qui nécessite des implantations très profondes, qui doivent être désertées [Phu10]; ainsi, le champ électrique est uniforme dans la dimension latérale du composant, la tenue en tension en est améliorée à niveau de dopage constant.

1.4 Gravure

Les protections que nous avons vu précédemment étaient des protections dites « *planar* », c'est-à-dire dans le même plan que la zone active du composant. Les lignes équipotentielles se regroupaient ainsi de manière à être orthogonales à la surface « haute » du composant. La protection que nous allons évoquer à présent diffère des précédentes, dans le sens où cette gravure profonde, souvent appelée *mesa*, va contraindre les lignes équipotentielles à ne plus recouper verticalement l'interface entre le composant et l'« extérieur » [Bro04] (« extérieur » désignant de l'air, un oxyde fin, une passivation, ou tout autre élément ne rentrant pas directement dans l'effet attendu pour le composant). Les paramètres à prendre en compte dans ce cas-là sont la profondeur de gravure, ainsi que l'angle de la pente de celle-ci.

Ce type de protection présente également l'avantage de ne pas nécessiter d'implantation. De cette manière, le risque d'augmenter les défauts dans le matériau est moindre [CdF11].

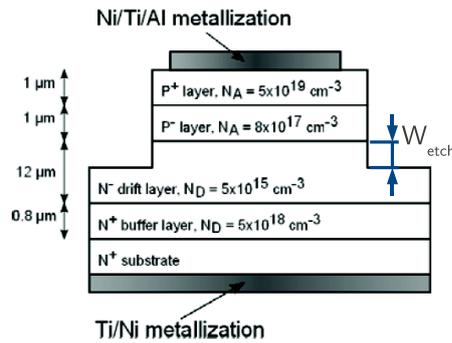


FIG. 2.6: Vue en coupe du principe de la gravure *mesa* autour de la zone active d'une diode PiN [CdF11]

a. Influence de la profondeur de gravure

Nous avons vu que la tenue en tension maximale était obtenue pour les composants « 1D », c'est-à-dire un composant idéalisé infini. Graver autour de la zone active (figure 2.6) permet une extension de la zone de charges d'espace dans le volume du matériau en s'affranchissant de l'extension latérale, comme dans le cas d'un composant « 1D » [Ber12]. Ainsi, la région d'anode (pour une diode) est clairement délimitée. On comprend alors que la protection la plus efficace sera pour une profondeur de gravure égale à l'extension de zone de charges d'espace pour la tenue en tension visée [Bro04], l'idéal étant de graver toute l'épithaxie peu dopée (dans le cas où la gravure est parfaitement verticale, c'est-à-dire avec un angle de gravure nul). Dans ce cas-là en effet, l'effet de pointe du champ électrique est minimisé.

Cependant, pour les applications haute tension que nous visons, l'épithaxie est souvent très épaisse (typiquement, de l'ordre de $40 \mu\text{m}$ pour une tenue en tension de 3300 V). Il est très difficile de combiner vitesse de gravure élevée et surface gravée peu rugueuse [Hab10] : pour une surface la plus lisse possible, le temps nécessaire pour graver $40 \mu\text{m}$ peut être de plus de 100 min (à une température d'environ de $300 \text{ }^\circ\text{C}$).

Nous allons donc voir l'influence de l'angle de gravure, afin de rendre moins sensible l'efficacité de la protection à la profondeur de gravure.

b. Influence de l'angle de gravure

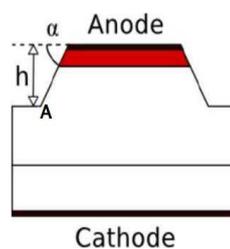


FIG. 2.7: Notation de l'angle de gravure *mesa* sur une structure de test [Dhe10]

Dans le cas où l'angle de gravure α , tel que noté sur la figure 2.7 avec l'anode en face avant et la cathode en face arrière, vaut 90° , alors la protection est maximale [Dhe10]. Un angle inférieur entraînera l'apparition d'un pic de champ dans le semiconducteur (au niveau du point

A) ; à l'opposé, un angle supérieur entraînera également l'apparition d'un pic de champ au point A, mais à l'extérieur du semiconducteur, et sollicitera alors la passivation qui aura pu y être déposée.

Si la cathode est en face avant et l'anode en face arrière (structure verticalement complémentaire de celle de la figure 2.7), alors on préférera éviter les flancs de gravure verticaux, et ainsi viser $\alpha < 90^\circ$ [Bro04].

Afin d'améliorer l'action protectrice de la terminaison, nous allons voir qu'il est possible de combiner une zone gravée profondément, dans laquelle sera implantée une JTE.

1.5 Combinaison gravure et implantation de poche

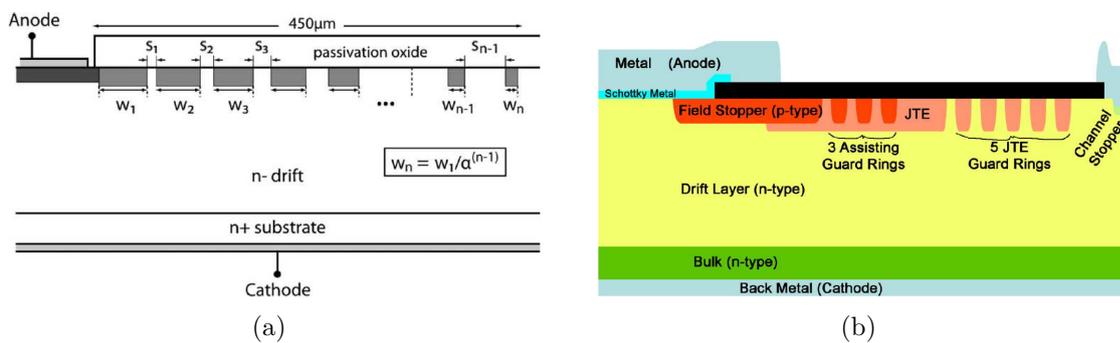


FIG. 2.8: (a) : Implantation d'anneaux multiples avec une dose faible 10^{13} cm^{-3} [Sun01]
 (b) : Implantation d'anneaux fortement dopés pour assister la poche JTE [Ber12]

Toutes les protections que nous avons évoquées jusqu'à présent peuvent être combinées les unes avec les autres. C'est ainsi qu'on a vu récemment l'apparition de JTE à anneaux multiples (figure 2.8(a)) [Sun01] ou d'anneaux de garde implantés dans une JTE (figure 2.8(b)) [Ber12].

La combinaison la plus populaire pour les composants de puissance des matériaux grand gap reste le couple mesa-JTE, comme le montre la figure 2.9(a). Cette combinaison est exploitée depuis de nombreuses années et est parfaitement maîtrisée dans de nombreux procédés de fabrication et a prouvé son efficacité jusqu'à des tensions très élevées de 8,6 kV [Sin00] jusqu'à 19 kV [Sug01].

Cette technique peut présenter également une facilité incontestable de réalisation dans le cas de composants nécessitant un empilement de couches épitaxiées, comme celles de la figure 2.9(b), dont l'objectif est la fabrication d'un thyristor [Dhe10]. Dans ce cas, la protection est réalisée par gravure de toutes les couches épitaxiées (protection mesa), jusqu'à atteindre la couche de dérive faiblement dopée p , qui constituera la JTE. Ainsi, l'implantation typiquement génératrice de défauts, n'est plus nécessaire.

Parmi les évolutions récentes apportées à cette protection, on a trouvé la réalisation de combinaisons mesa-JTE à gradient de gravure [Pâq11]. Cette technique permet de retrouver le comportement d'une JTE à implantations multiples, tout en ne mettant en œuvre que des gravures (après des épitaxies pleine plaque). Les équipements auxquels il est fait appel sont

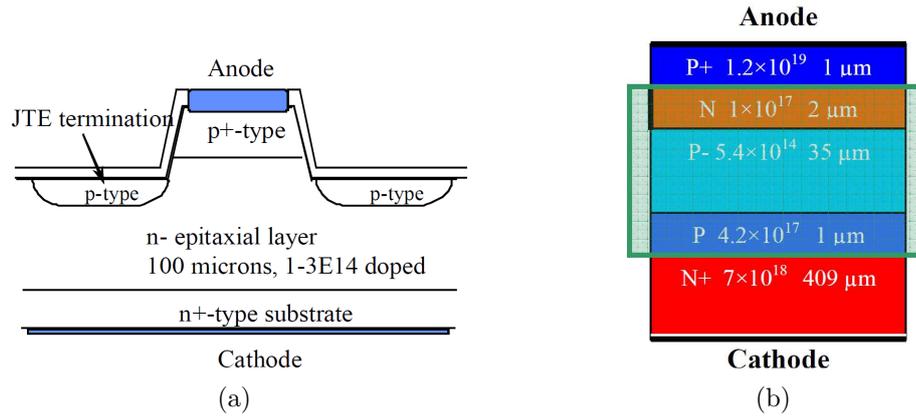


FIG. 2.9: (a) : Combinaison d'une gravure mesa et d'une implantation JTE pour la protection d'une diode [Sin00]
 (b) : Vue en coupe d'un empilement de couches épitaxiées destinées à la fabrication d'un thyristor [Dhe10]

beaucoup plus simples, et cette étape est moins dommageable pour le matériau. La figure 2.10 présente une vue en coupe de cette protection.

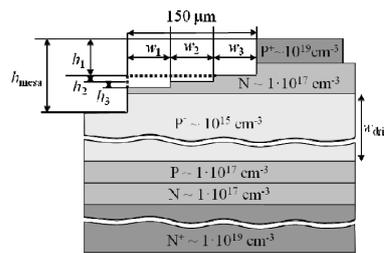


FIG. 2.10: Vue en coupe d'un composant avec un gradient de gravure en protection périphérique [Pâq11]

L'avantage de cette technique est une relative indépendance à la profondeur de gravure. En effet, la fine couche de matériau dopé du type opposé à celui de la zone active peut remplacer l'implantation JTE. La valeur à prendre en considération est alors la dose de la couche restante après gravure.

2. Diodes 1200 V et 3300 V

Nous allons présenter dans cette partie les différentes étapes de la méthode que nous avons adoptée pour atteindre les objectifs de tenue en tension que nous nous sommes fixés. Nous allons donc évoquer dans un premier temps le dimensionnement et le dopage des matériaux qui servent de support à nos composants. Nous allons ensuite voir les différentes caractérisations des composants test qui nous ont permis de déterminer si nous avons bien atteint la tenue en tension souhaitée. Enfin, nous appuierons les résultats de nos mesures sur des simulations afin de bien visualiser le comportement des composants.

2.1 Conception et objectifs de tenue en tension

a. Dimension et dopage de l'épitaxie

La première étape consiste à dimensionner l'épitaxie sur laquelle seront fabriqués nos composants. Les paramètres importants sont l'épaisseur de la couche épitaxiée ainsi que son dopage. Pour cela, nous sommes partis des travaux bien connus de Sze [Sze81] sur le silicium Si, et, à l'aide du logiciel de calcul numérique MATLABTM, nous avons tracé différents graphes adaptés au carbure de silicium SiC, représentés sur les figures 2.11(a) à 2.11(d). En nous plaçant dans des conditions de *punch-through*, les formules utilisées sont :

$$R_{\text{on}}(W_{\text{epi}}, N_{\text{epi}}) = \frac{1}{qN_{\text{epi}}\mu_n} \cdot W_{\text{epi}} \quad (2.1)$$

$$V_{\text{BR}}(W_{\text{epi}}, N_{\text{epi}}) = W_{\text{epi}} \cdot E_c \left(1 - \frac{W_{\text{epi}}}{\varepsilon \cdot E_c} \right) \quad (2.2)$$

En accord avec le tableau 1.1, nous avons pris les valeurs $\mu_n = 750 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$, $E_c = 2,5 \text{ MV} \cdot \text{cm}^{-1}$, et $\varepsilon_r = 10$.

Sur la première de ces figures, on voit représentée la tenue en tension d'une plaque de SiC en fonction du dopage, pour différentes épaisseurs. Ceci signifie que si l'on réalise une diode « 1D » sur une telle plaque, c'est-à-dire une diode infinie, occupant toute la surface de la plaque, elle sera *théoriquement* capable de tenir la tension indiquée par le graphe. On en déduit que pour fabriquer un composant 1200 V, l'épaisseur de la plaque sera entre 5 et 14 μm (paramètre que l'on affinera par la suite) et que son dopage doit être compris entre 10^{15} et 10^{16} cm^{-3} . Ces valeurs permettent d'avoir une marge technologique suffisante sans pour autant dégrader les caractéristiques électriques, et un dopage élevé, comme on le verra par la suite, permettra de diminuer la résistance du semiconducteur. De manière analogue, pour un composant 3300 V, on trouve que l'épaisseur doit *a priori* être comprise entre 14 et 23 μm , pour un dopage centré autour de 10^{15} cm^{-3} .

Ensuite, sur la figure 2.11(b), on a tracé toujours la tenue en tension de la plaque, mais cette fois en fonction de l'épaisseur, et pour différents dopages. On y voit donc que pour un composant 1200 V, le dopage devra être compris entre $8 \cdot 10^{15}$ et 10^{16} cm^{-3} . On voit également que la tenue en tension sera constante à partir d'une certaine valeur, mais qu'elle diminue rapidement en-dessous de cette valeur. La croissance par épitaxie étant une technique suffisamment précise, on peut considérer la valeur minimale pour l'épaisseur de la plaque, afin de diminuer le temps nécessaire et le coût de revient. Pour un composant 1200 V, cette valeur est autour de 12 μm . En revanche, contrairement à ce que l'on aurait pu croire *a priori* pour un composant 3300 V, cette valeur serait plutôt aux alentours de 40 μm , pour un dopage entre $3 \cdot 10^{15}$ et $6 \cdot 10^{15} \text{ cm}^{-3}$. On comprend donc l'importance de cette étude parallèle entre différents paramètres ; les courbes suivantes vont nous permettre d'affiner ces valeurs d'épaisseur et de dopage en nous penchant sur l'influence de ces paramètres sur la résistance du semiconducteur.

En effet, si le matériau est à la base très résistif, les composants que nous voulons fabriquer sur ce support le seront également ; la chute de tension à leurs bornes sera donc conséquente.

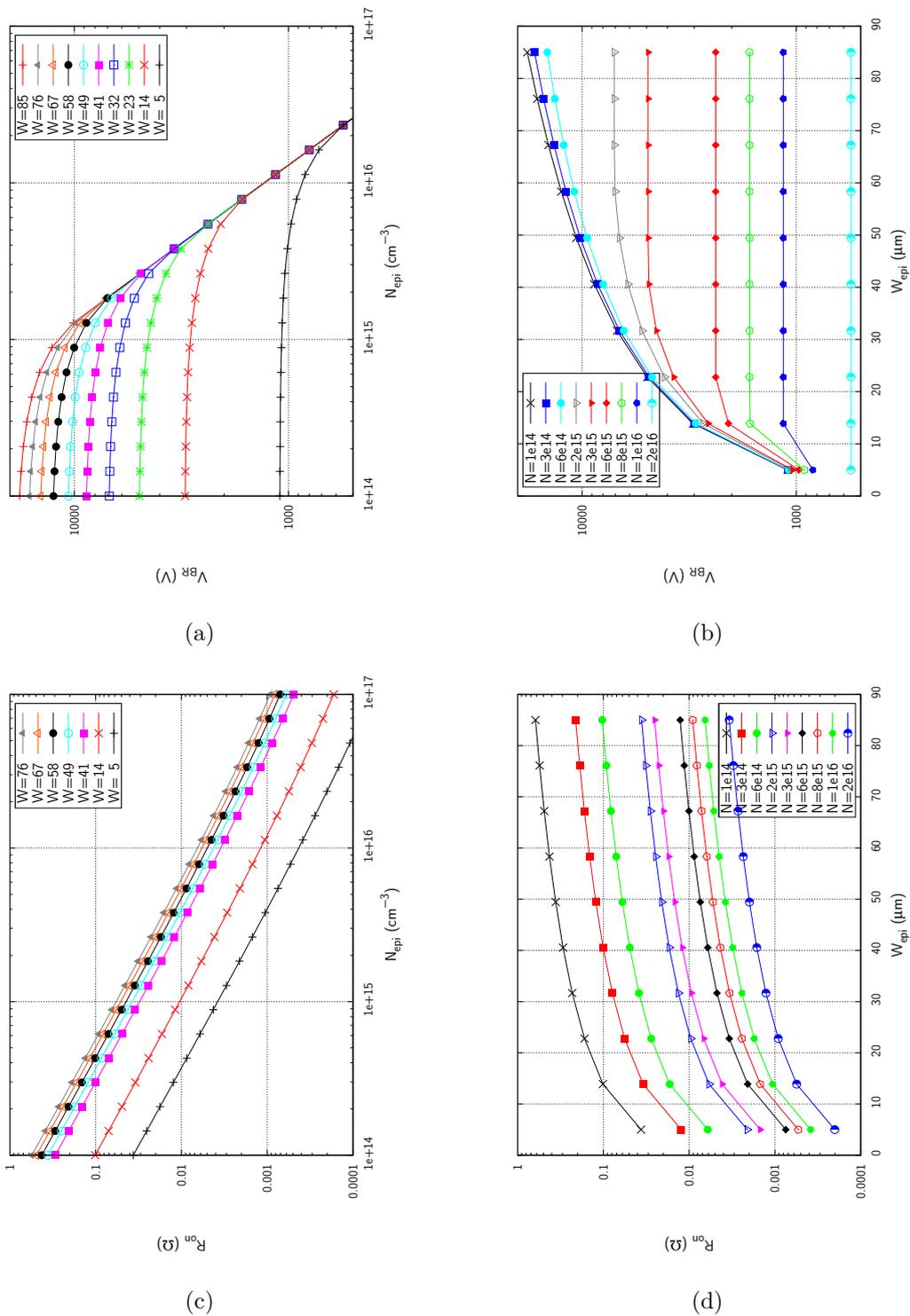


FIG. 2.11: (a) : Tenue en tension d'une plaque de SiC en fonction du dopage pour différentes épaisseurs
 (b) : Tenue en tension d'une plaque de SiC en fonction de l'épaisseur pour différents niveaux de dopage
 (c) : Résistance d'un barreau de semiconducteur en fonction de son dopage pour différentes épaisseurs
 (d) : Résistance d'un barreau de semiconducteur en fonction de son épaisseur pour différents niveaux de dopage

Le but va donc être de minimiser cet élément, tout en conservant les caractéristiques électriques attendues. On observe ainsi sur les courbes de la figure 2.11(c) que, quelle que soit l'épaisseur de la couche épitaxiée, la résistance sera de plus en plus faible avec l'augmentation du dopage. Par rapport aux tolérances que nous nous sommes fixées plus haut, on comprend ici l'intérêt de travailler avec le dopage le plus élevé. De même, les courbes de la figure 2.11(d) nous montrent une augmentation de la résistance avec l'épaisseur de l'épitaxie ; on se placera donc à l'épaisseur la plus faible supportant la tension que nous voulons atteindre.

En synthétisant toutes ces données, les plaques sur lesquelles nous réaliserons les composants 1200 V auront une épaisseur d'épitaxie de $12 \mu\text{m}$ dopée à $7 \cdot 10^{15} \text{ cm}^{-3}$, et les plaques accueillant les composants 3300 V, une épaisseur d'épitaxie de $40 \mu\text{m}$ dopée à 10^{15} cm^{-3} .

b. Protection des composants et dispositifs étudiés

Comme nous l'avons vu précédemment, la tenue en tension maximale est obtenue pour un composant « 1D », c'est-à-dire un composant infini en latéral. Ceci peut conduire à l'idée naturelle de ne vouloir fabriquer qu'un seul composant occupant toute la surface de la plaque. Cette solution n'est pas envisageable pour de simples raisons de rendement par rapport à l'application et d'intégration, les composants ainsi obtenus pouvant être immenses avec une utilité pas forcément prouvée. Il sera ainsi plus efficace de faire des composants plus petits en surface.

La réduction de la surface occupée entraîne cependant d'autres problèmes : nous avons vu que la croissance du matériau SiC était loin d'être uniforme sur toute la surface, et des défauts localisés peuvent apparaître. Ces derniers entraînent des dégradations dans les caractéristiques électriques des composants sous lesquels ils se trouvent, quand ils ne les rendent pas totalement inopérants ! Plus un composant occupera une surface importante, plus il aura de « chances » de se retrouver au-dessus d'un défaut ; ainsi, plusieurs petits composants en parallèle pourraient mieux fonctionner qu'un seul grand composant, à surfaces équivalentes. La conséquence est que la haute tension va s'appliquer à chacun des composants, qui devront donc être tous indépendamment protégés par l'une des solutions abordées précédemment.

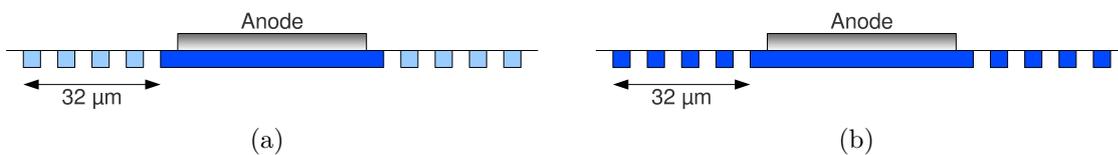


FIG. 2.12: Vue en coupe de diodes PiN de test protégées par une implantation d'anneaux p (a) et d'anneaux p^+ (b)

Les procédés de fabrication récemment développés entre IBS et le laboratoire Ampère visent essentiellement des diodes bipolaires $p^+ - n - n^+$ et des MOSFET. Les diodes PiN, même avec une zone active épitaxiée, nécessitent une implantation p pour la protection par JTE ; les diodes JBS nécessitent en revanche une implantation p^+ et une implantation p pour la protection JTE. Les MOS quant à eux, nécessitent deux types d'implantation, p et p^+ pour, respectivement, le caisson portant le canal et le contact ohmique à ce caisson. Nous avons donc imaginé nous servir de ces deux étapes pour la protection périphérique.

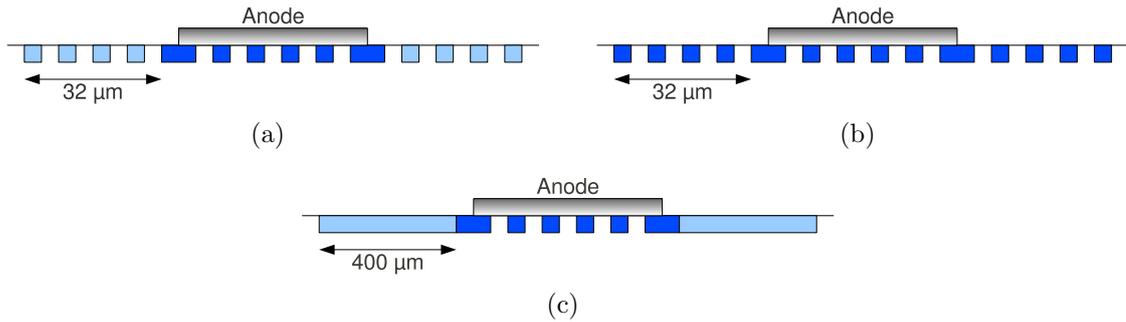


FIG. 2.13: Vues en coupe de diodes JBS de test protégées par une implantation d'anneaux p (a) et d'anneaux p^+ (b), et une implantation de poche p (c)

Les composants que nous avons mesurés sont des diodes bipolaires PiN (figures 2.12(a) et 2.12(b)), dont la zone active est formée par un contact métallique sur une implantation p^+ à 10^{19} cm^{-3} de $200 \mu\text{m}$ de diamètre. La protection périphérique de ces diodes est assurée par des anneaux p ou p^+ de $5 \mu\text{m}$ de largeur, espacés de $3 \mu\text{m}$.

Des diodes JBS (figures 2.13(a), 2.13(b) et 2.13(c)) ont été fabriquées, avec la zone active formée d'un contact métallique sur des anneaux p^+ implantés et sur l'épitaxie n^- , protégées par des anneaux p et des anneaux p^+ ayant les mêmes caractéristiques que précédemment, ainsi que des diodes JBS protégées par une JTE p de largeur $400 \mu\text{m}$. Cette largeur de JTE a été optimisée pour des diodes $3\ 300 \text{ V}$. Typiquement, la largeur de JTE pour des diodes $1\ 200 \text{ V}$ est l'ordre de $120 \mu\text{m}$.

Les terminaisons qui nous intéresseront ici protègent la jonctions $p^+ - n$ de la périphérie des diodes. En ce qui concerne les MOSFET, la jonction à protéger est celle du caisson p et de l'épitaxie n^- .

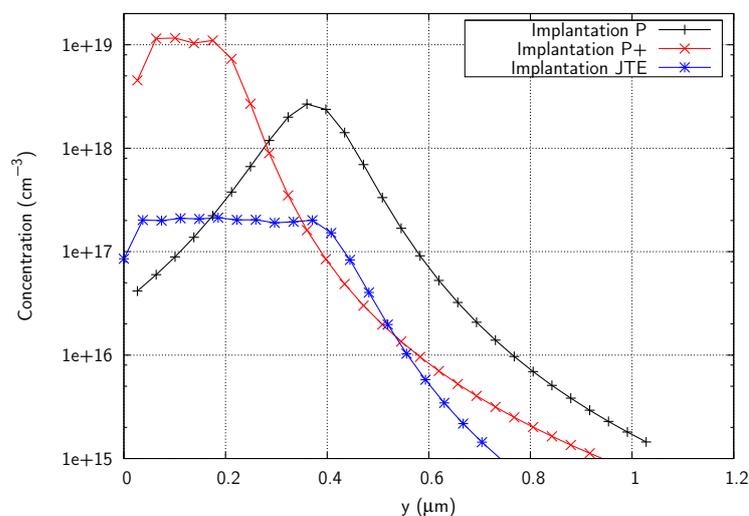


FIG. 2.14: Profils d'implantation p , p^+ et JTE utilisés pour la protection des dispositifs 1200 V , implantés à des doses respectives de $2,6 \cdot 10^{14}$, $1,8 \cdot 10^{13}$ et $9,4 \cdot 10^{12} \text{ cm}^{-2}$

Dans le cas de la JTE, il s'agit de l'implantation d'une poche autour du composant, de $400 \mu\text{m}$ de largeur, à une dose de 10^{13} cm^{-2} . Les implantations d'anneaux p et p^+ ont les mêmes dimensions, mais sont à des doses respectivement de 10^{13} et 10^{14} cm^{-2} pour obtenir les profils de concentration présentés en figure 2.14.

Les composants ont été fabriqués par la société IBS. Cette fabrication repose sur sept niveaux lithographiques. Après avoir procédé à une gravure de faible profondeur permettant la définition des motifs d'alignement, deux implantations successives p^+ et p ont été réalisées. Ensuite, la gravure locale d'un oxyde déposé a permis le dépôt d'un métal pour contacter l'anode. Afin d'assurer l'encapsulation des composants, une couche épaisse de métal (aluminium) a été réalisée, suivie d'une passivation secondaire.

2.2 Caractéristiques électriques

Nous allons présenter ici les résultats des mesures électriques réalisées sur les composants dont nous avons présenté la protection ci-dessus.

a. Protection par implantation d'anneaux

Les courbes des figures 2.15 à 2.21 sont normalisées par rapport à la simulation « 1D » sur une plaque présentant les mêmes caractéristiques que celle utilisée pour la fabrication des dispositifs. La tenue en tension théorique du dispositif est alors de $1\,932 \text{ V}$; nous considérerons donc cette valeur comme référence. Elle a été déterminée en utilisant les coefficients d'ionisation définis par Konstantinov [Kon97]. L'objectif des $1\,200 \text{ V}$, avec ce matériau, représente donc 62% de la tenue en tension maximale théorique.

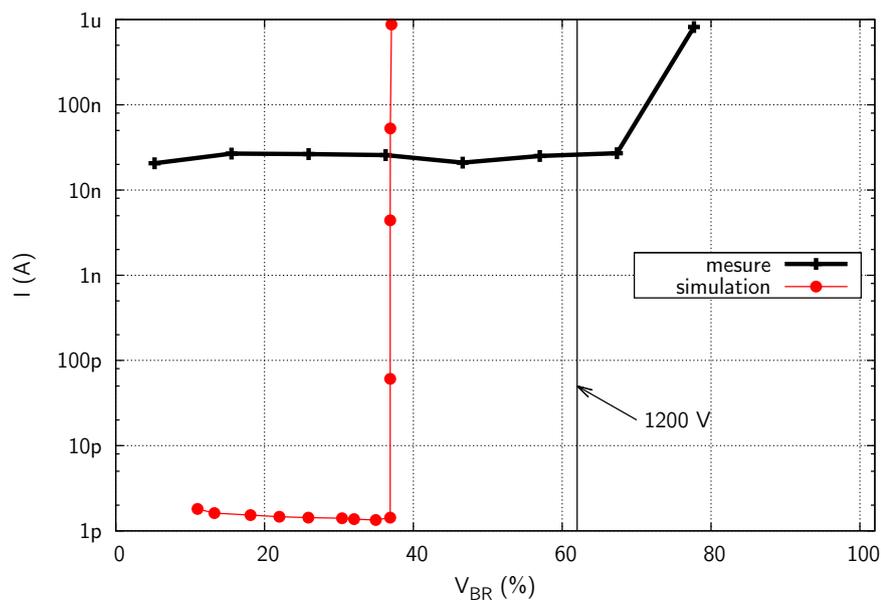


FIG. 2.15: Courbes $I(V)$ de diodes PiN et JBS 1200 V de $200 \mu\text{m}$ de diamètre protégées par quatre anneaux peu dopés de $5 \mu\text{m}$ de large, espacés de $3 \mu\text{m}$

Des anneaux faiblement dopés d'un type opposé à celui de l'épitaxie sont aussi un moyen de protection efficace : la figure 2.15 montre que les 1 200 V sont bien atteints. Le risque est grand que les lignes de champ se resserrent dans les espaces entre les anneaux, c'est-à-dire plus proches de la zone active que dans le cas d'une JTE. En revanche, l'efficacité de la JTE sera beaucoup plus sensible à la dose implantée.

Dans ce cas, nous avons procédé à la caractérisation de 20 diodes JBS et PiN, puis fait une moyenne des résultats pour tracer la courbe « mesure » de la figure 2.15. La tenue en tension moyenne est d'environ 1400 V avec un écart-type de 100 V, suffisamment faible pour traduire la reproductibilité du procédé.

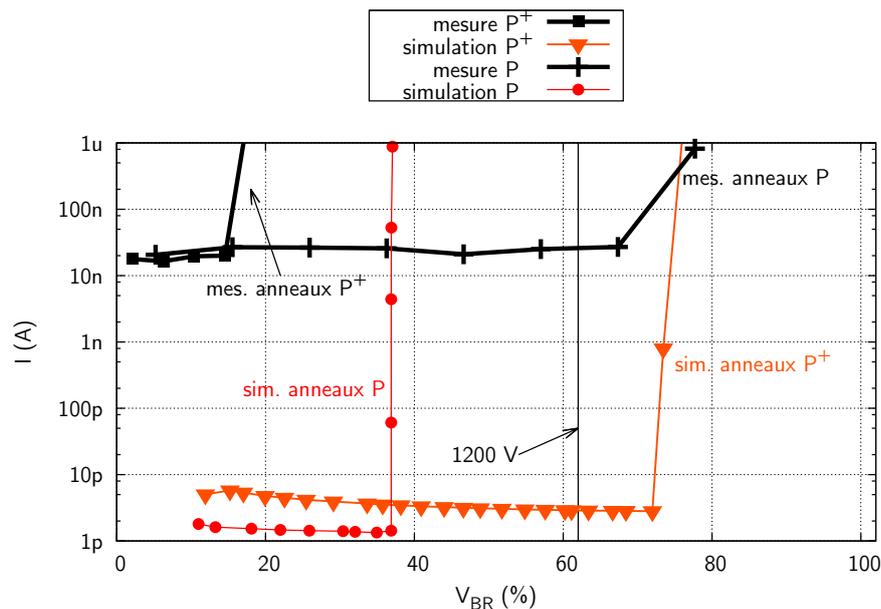


FIG. 2.16: Courbes $I(V)$ de diodes PiN et JBS 1200 V de $200 \mu\text{m}$ de diamètre protégées par des anneaux fortement dopés (légende p^+) et comparaison avec les anneaux plus faiblement dopés (noté p dans la légende)

La courbe « mesure » de la figure 2.16 présente la caractéristique moyenne en inverse de 20 diodes JBS et PiN. Dans ce cas, où des anneaux fortement dopés sont implantés pour réaliser la protection, la tenue en tension des diodes n'est pas celle escomptée, puisque la moyenne est de 300 V avec un écart-type de 50 V environ. En effet, l'efficacité est inférieure à 20%.

En théorie, la tenue en tension d'une diode protégée par anneaux p^+ est supérieure à celle d'une diode protégée par anneaux p , ce que confirment les courbes de simulations de la figure 2.16. Nous allons donc analyser l'origine des différences entre simulations et mesures.

Pour tous les résultats des courbes expérimentales, les courants mesurés sont plus élevés que ceux obtenus par simulation : ceci est dû aux limites de détection des courants de nos équipements. À cet effet, une SMU Keithley K2410 a été utilisée à la fois comme générateur de tension et comme ampèremètre, pour des mesures allant jusqu'à 400 V. Pour les mesures sous vide, le banc de caractérisation utilisé est PASChAC (*Precise Automated Semiconductor Characterisation under Ambient Control*) [Ver12].

Ce système d'instrumentation est composé d'un porte échantillon en cuivre, lui-même isolé de la masse générale. Ce dernier est relié à un nano-ampèremètre ou à un électromètre Keithley 2001 ou 6485. L'appareil de mesure est inséré dans la boucle de retour du courant et est protégé par un éclateur à gaz et une résistance de 1 M Ω . La pointe peut scanner une surface de 70 \times 70 mm², soit presque l'intégralité d'un *wafer* de 3 pouces grâce à la platine de translation installée au fond de la chambre. Le porte pointe est fixé à deux translations permettant de lever et d'ajuster la pointe suivant un des deux axes sur une course de 5 mm. D'un point de vue performances, PASChAC est une chambre à vide permettant d'accueillir des *wafer* de 3 pouces, et, à terme, de 4 pouces. L'intérêt du vide est de ne pas contaminer les échantillons et d'être plus fiable et plus simple d'utilisation que les huiles hautes tensions de type GaldenTM, en limitant la convection autour du composant. Ceci évite notamment la migration d'éléments métalliques ou de poussières à proximité de la terminaison des composants, ou encore l'oxydation des contacts métalliques. Une pression de 10⁻⁴ mbar (donc une concentration en oxygène 10⁻⁷ fois inférieure à celle de pression atmosphérique) permet des caractérisations jusqu'à 20 kV, à des températures de 4 à 700 K.

b. Analyse des résultats de mesure à l'aide de simulations

Les structures utilisées pour les simulations, basées sur la méthode des éléments finis et réalisées avec le logiciel *Sentaurus*TM[sen11], sont l'anneau p^+ , commun aux deux types de diodes PiN et JBS sur lequel le contact d'anode a été défini, et la terminaison.

En revanche, si l'on compare les courbes des figures 2.15 et 2.16, on observe des tendances inverses entre les mesures et les simulations de protection par anneaux faiblement et fortement dopés. En effet, pour des anneaux ayant les mêmes largeurs et les mêmes écartements, et pour des diodes de mêmes dimensions, on mesure une tenue en tension plus élevée pour la protection par anneaux peu dopés, alors que l'on simule une tenue en tension plus élevée pour des anneaux fortement dopés.

Une hypothèse que nous avons émise est une contrainte issue des procédés technologiques de fabrication. En effet, un masque d'oxyde a été déposé pour réaliser l'implantation. Ce masque est gravé par voie humide localement afin de déterminer les zones implantées. La gravure par voie humide étant davantage isotrope que la gravure sèche, celle-ci a entraîné une surgravure latérale du masque. Ainsi, il est possible de rencontrer un rapprochement des anneaux, conduisant à la formation d'une zone uniformément dopée.

En conséquence, plutôt que des anneaux, une « poche » a été implantée.

Dans le cas de la protection par anneaux p^+ , le dispositif présente donc une poche fortement dopée tangente à la zone active. Ainsi, cette dernière est étendue sur toute la largeur occupée par les anneaux. La figure 2.17 montre la tenue en tension d'une diode non protégée (30% d'efficacité) et la protection de cette même diode par des anneaux p^+ . Dans ce dernier cas, on trouve un courant de fuite plus élevé dû directement à l'implantation p^+ , à cause de l'augmentation de la surface active, donc de la capacité de la jonction. Si l'on simule une poche fortement dopée (notée « JTE P+ » dans la légende) tangente à la zone active, on retrouve dans un premier temps les fuites inhérentes à l'implantation p^+ , puis le claquage du dispositif au niveau du bout

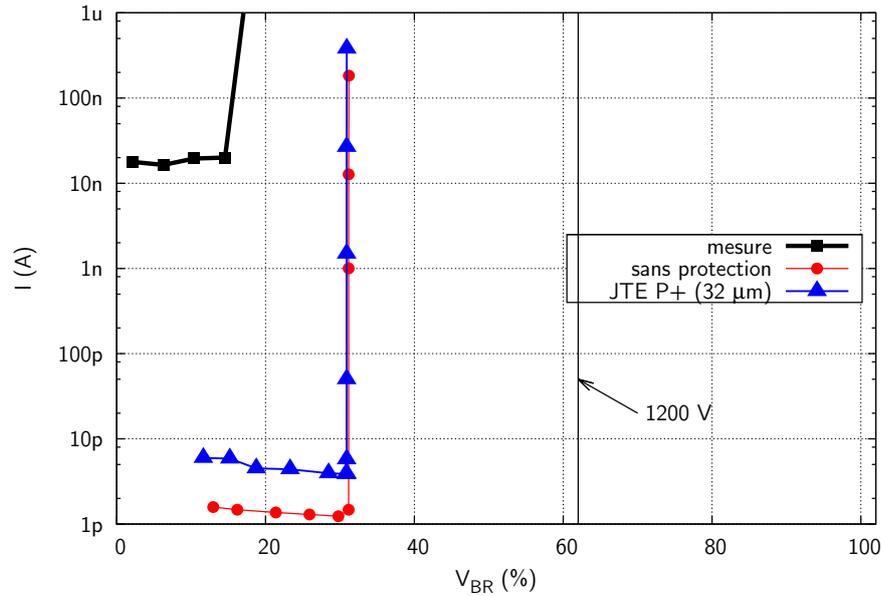


FIG. 2.17: Courbes $I(V)$ de diodes 1200 V de 200 μm de diamètre avec une protection inefficace

de la jonction $p^+ - n^-$. C'est-à-dire que cela revient à nous retrouver avec une diode qui n'aurait pas de protection. Notre hypothèse est donc ici bien confirmée.

Contrairement à ce que l'on observe classiquement sur une JTE (figure 2.18(a)), on voit qu'il n'y a aucune chute de potentiel le long de la poche fortement dopée (figure 2.18(b)) : ceci illustre d'une part la sensibilité au dopage de la JTE, et d'autre part le prolongement de la zone active de la diode, annihilant l'effet de la protection. Le pic de champ électrique est reporté tout au bout de la jonction (à droite sur la figure 2.19(b)), alors qu'une JTE est censée étaler les lignes de champ (figure 2.19(a)) afin d'éviter un pic de champ en un seul endroit.

c. Diodes 1200 V protégées par implantation JTE

Bien entendu, les anneaux p ont également subi cette imprécision, ce qui nous a invité à simuler une poche JTE, donc faiblement dopée (présentée sur la figure 2.18(a)), de la dimension recouverte par les anneaux, c'est-à-dire 32 μm . Dans ce cas, la tenue en tension sera plus élevée que pour une protection simplement par anneaux, ce qui expliquerait les valeurs exceptionnelles mesurées ! On observe bien la chute de potentiel tout au long de la poche. Par ailleurs, si l'on compare les résultats de simulation d'une poche de 400 μm et de 32 μm (présenté en figure 2.20), on voit clairement que pour atteindre l'objectif des 1200 V de tenue en tension, il n'est pas nécessaire d'implanter une JTE sur 400 μm . Cette dimension reste bien évidemment adaptée aux dispositifs 3300 V.

En ce qui concerne la protection JTE, on voit sur la figure 2.21 que la tenue en tension mesurée est du même ordre de grandeur que ce que nous avons obtenu en simulation, et que l'objectif d'une tenue en tension de 1 200 V est atteint. L'écart entre les valeurs mesurées et simulées peut provenir des incertitudes des procédés technologiques de réalisation, comme nous l'avons décrit plus haut.

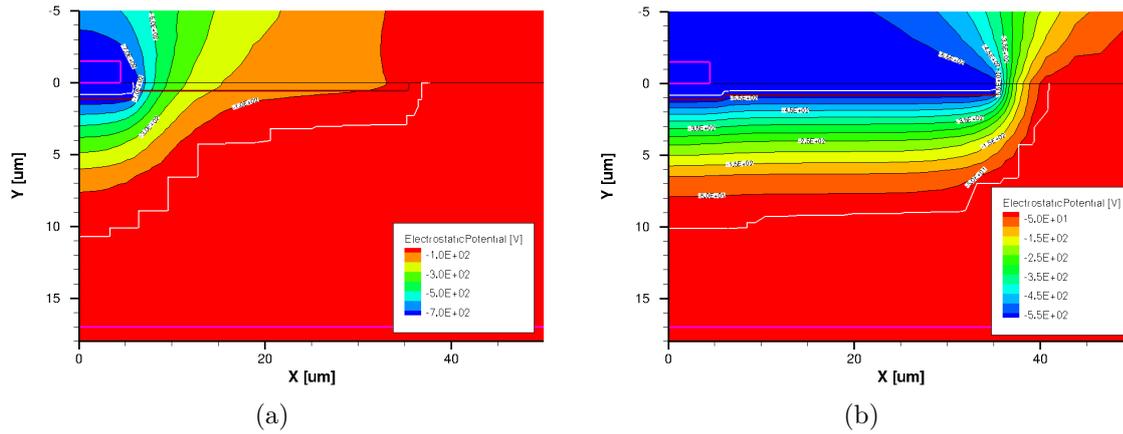


FIG. 2.18: Évolution du potentiel le long (a) d'une JTE (donc faiblement dopée) et (b) d'une poche p^+ , de $32 \mu\text{m}$ chacune

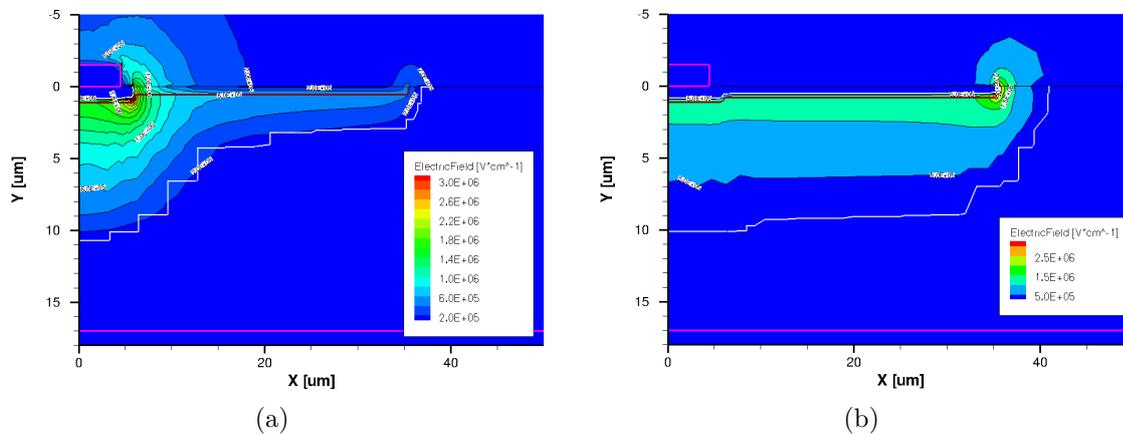


FIG. 2.19: Répartition du champ électrique le long (a) d'une JTE (donc faiblement dopée) et (b) d'une poche p^+ , de $32 \mu\text{m}$ chacune

La JTE demeure un moyen de protection efficace pour les composants 1 200 V. En revanche elle est très sensible à la dose, et surtout très encombrante puisque la tension de claquage va dépendre directement de la largeur de la JTE. La surface occupée par les composants étant plus grande, le coût, dépendant de la surface, pour chacun des composants sera forcément plus élevé ; on comprend donc l'intérêt de réduire cette surface spécifique.

Les mesures ont été opérées, dans ce cas là, sur 58 diodes JBS ; la courbe courant-tension présentée est une moyenne sur toutes ces diodes : la tenue en tension moyenne est de 1350 V, soit une efficacité relative de 70% par rapport à la tenue en tension théorique, avec un écart-type de 120 V.

d. Protection des diodes 3300 V

Comme précédemment, nous avons représenté en figure 2.22 la caractéristique courant-tension de diodes JBS, normalisée par rapport à la tenue en tension en simulation d'une diode « 1D » équivalente, qui atteint 6350 V, 3300 V en représentant 52%. On y voit ainsi l'apport de la protection par une JTE par rapport à la même diode sans protection, ainsi que l'influence de

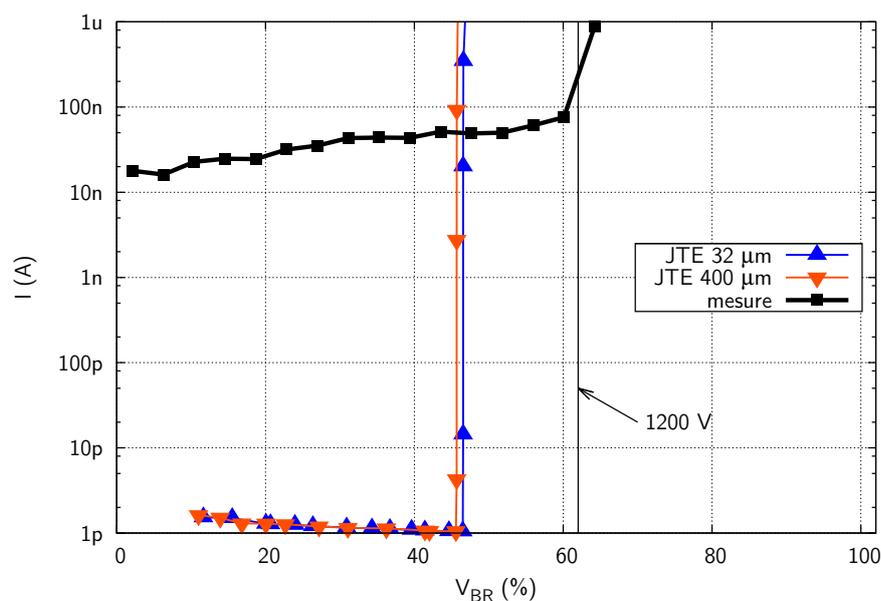


FIG. 2.20: Courbes $I(V)$ de diodes protégées par une JTE courte et une JTE longue

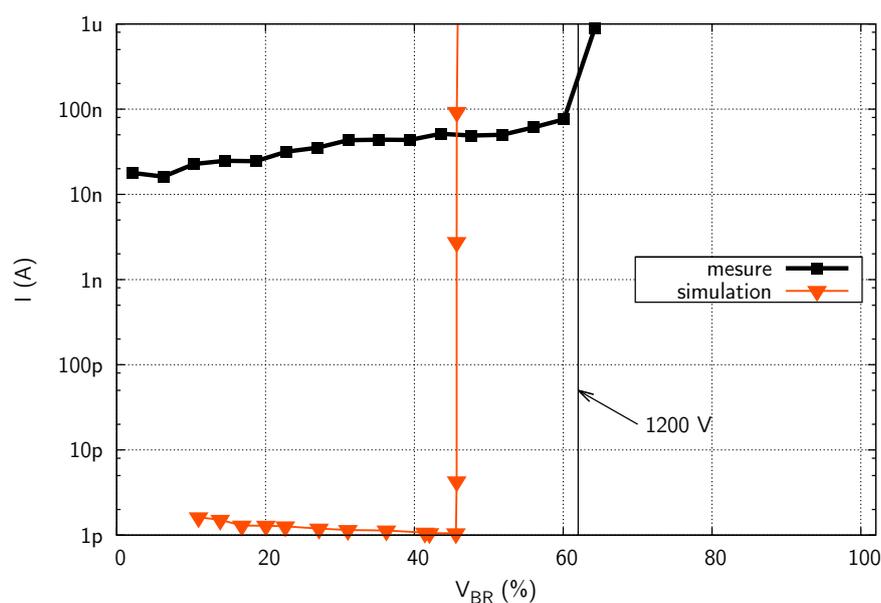


FIG. 2.21: Courbe $I(V)$ de diodes JBS 1200 V de 2 mm^2 protégées par une JTE de $400 \mu\text{m}$ implantée à une dose de 10^{13} cm^{-2}

la largeur sur la tenue en tension, avec une efficacité deux fois supérieure à celle de l'implantation d'anneaux.

La JTE est donc une solution plus adaptée aux tensions supérieures à 1200 V. Cette tendance a été confirmée lors de la caractérisation sous vide de diodes JBS 3300 V, protégées par une JTE de $400 \mu\text{m}$ de diamètre, implantée à une dose de 10^{13} cm^{-2} , dont les résultats sont présentés sur la figure 2.23. Cette diode présente un courant de fuite de l'ordre de $50 \mu\text{A}$ à 3250 V.

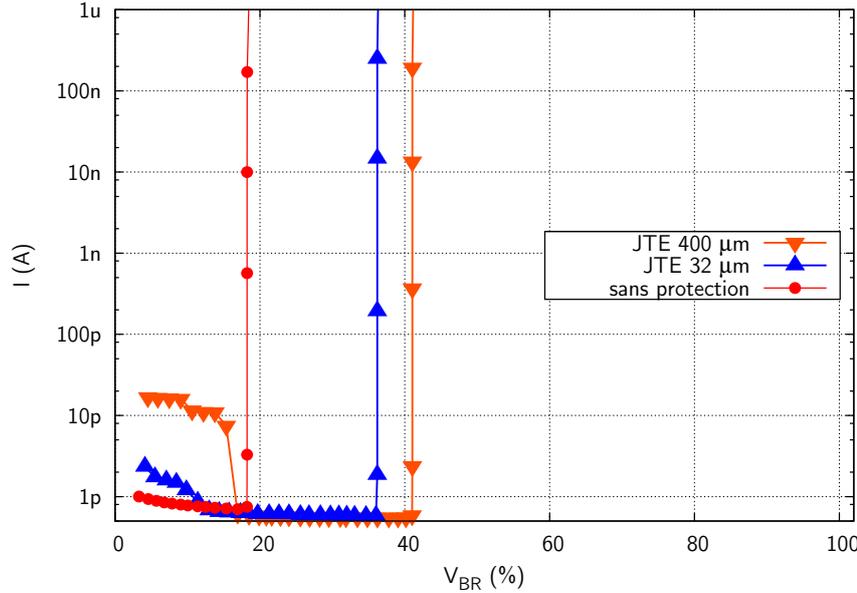


FIG. 2.22: Courbe $I(V)$ de diodes JBS 3300 V de 2 mm^2 protégée par une JTE de $400 \text{ }\mu\text{m}$ implantée à une dose de 10^{13} cm^{-2}

e. Particularités des mesures 3300 V, perspectives quant à la tenue en tension

Même si les mesures diffèrent légèrement par leur méthode et leurs critères d'arrêt respectifs, on constate une bonne reproductibilité des résultats pour les tensions élevées. La première mesure a été opérée par la méthode des paliers : une rampe de tension est appliquée au composant (dans notre cas, avec une pente de 10 V/s), jusqu'à arriver à un certain palier ; alors, on laisse le temps à la tension et au courant de se stabiliser. Cette méthode permet d'obtenir une grande précision sur les résultats, puisque l'ampèremètre a le temps de faire une moyenne sur 10 mesures de courant pour une tension constante. En comptant une légère marge que l'on s'accorde avant et après les mesures, la durée d'un palier va être légèrement supérieure à 10 s.

La deuxième mesure a été opérée grâce à une autre méthode, que nous appellerons « à la volée ». Dans ce cas, une rampe de tension est appliquée au composant (toujours avec une pente de 10 V/s), mais la mesure se fait au fur et à mesure de l'évolution de la tension, à des intervalles réguliers. La durée d'une mesure à l'ampèremètre étant d'environ 200 ms, celle-ci va être opérée sur une variation de tension de 2 V, négligeable rapidement devant les tensions que nous visons. Ainsi, compte-tenu de la dynamique de cette mesure, elle sera plus sensible pour les tensions les plus faibles, à la charge de la capacité de la jonction ainsi qu'à la présence de charges dans l'oxyde. C'est pourquoi, jusqu'à 1000 V, les niveaux de courant sont plus élevés d'une à deux décades avec cette méthode qu'avec la première.

Le critère d'arrêt avec la première méthode était un courant de fuite de $1 \text{ }\mu\text{A}$, que nous avons donc atteint aux alentours de 2200 V. Cette tension restant assez loin de nos objectifs, nous avons voulu voir l'influence du type de mesure sur les résultats. Vu les niveaux élevés de courant mesurés dès le départ, un critère d'arrêt à un courant de fuite de $1 \text{ }\mu\text{A}$ n'était plus pertinent. Nous l'avons donc relevé à $50 \text{ }\mu\text{A}$. Ainsi, nous avons pu élever la tension jusqu'à 3250 V. Or, la multiplication par un facteur 50 du critère d'arrêt pouvait présenter un risque

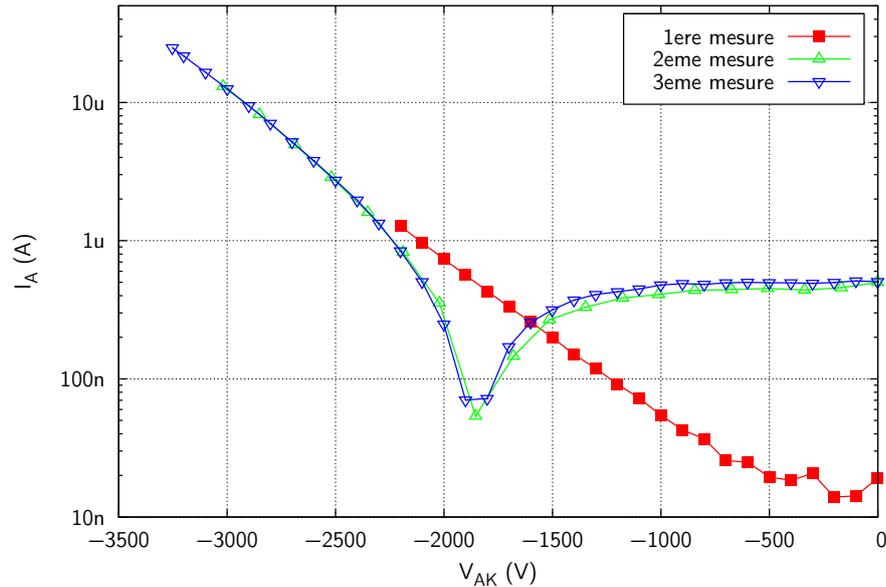


FIG. 2.23: Courbe $I(V)$ de mesure jusqu'à 3300 V d'une diode JBS de 4 mm^2 protégée par une JTE implantée à une dose de 10^{13} cm^{-2}

de destruction du composant. Afin de confirmer le résultat nous avons refait une mesure, notée « mesure 3 » sur la figure 2.23. La superposition parfaite de cette mesure et de la précédente pour les tensions élevées met clairement en avant que le composant n'a pas été détruit, c'est-à-dire qu'il a parfaitement bien supporté la tension élevée à ses bornes. Ainsi, notre objectif de tenue en tension est atteint avec une terminaison JTE. En revanche, la différence entre les courbes pour les tensions plus faibles montre l'influence des charges dans l'oxyde, et l'influence de la capacité de la jonction.

Chacun aura compris que la méthode « à la volée » est beaucoup plus rapide que la méthode des paliers. Pour les hautes tensions, que nous souhaitons atteindre, les résultats des deux méthodes de mesure convergent. Nous pouvons donc privilégier la méthode « à la volée », qui nous permet ainsi d'obtenir des résultats fiables rapidement. Malgré cela, nous n'avons pas réussi à atteindre une telle tenue en tension sur les autres diodes de l'échantillon. Mais obtenir ponctuellement ce résultat montre qu'il est possible de l'atteindre, même si la conception ou le procédé de fabrication méritent quelques améliorations.

f. Influence de la géométrie de la zone active

Comme cela sera plus amplement développé en annexe, des mesures ont été opérées sur des diodes JBS composées de bandes de $3 \mu\text{m}$ de p^+ pour $4 \mu\text{m}$ de n , des diodes JBS formées de bandes de $3 \mu\text{m}$ de p^+ pour $8 \mu\text{m}$ de n , et des diodes Schottky.

Les résultats montrent que plus la diode est Schottky, plus les courants de fuites sont élevés. La tenue en tension sera donc plus faible à mesure que la proportion de Schottky augmente, notre critère d'arrêt étant un critère en courant.

3 Transistor double grille

Après avoir fait un tour d'horizon des récents développement des JFET verticaux en carbure de silicium, nous évoquerons dans ce chapitre la démarche de conception des JFET haute tension, dont les caractéristiques électriques mesurées seront également présentées.

1. L'abandon d'une structure à simple grille

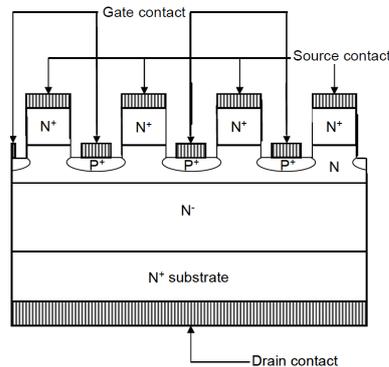


FIG. 3.1: Vue en coupe d'un JFET SiC simple grille vertical conçu par Semisouth [Che06]

En 2006, Semisouth a présenté les résultats de conception et de caractérisations électriques d'un nouveau JFET SiC [Che06]. Il s'agit d'une structure verticale (drain en face arrière) à simple grille, comme on peut le voir sur la figure 4.1(a). Cette structure a été envisagée sur un wafer où, à partir d'un substrat n^+ , on a fait croître une épitaxie n^- , puis une épitaxie n^+ . Cette dernière a été gravée en certains endroits, où a été ensuite implanté du p^+ . Le contact de grille a alors été créé. Le dépôt d'un métal sur le sommet de l'épitaxie n^+ permet de réaliser le contact de source.

Il s'agit donc d'un composant *normally on* [Maz04], le chemin du courant entre drain et source étant direct lorsqu'aucune tension n'est appliquée sur la grille. De la faible largeur du canal dans l'épitaxie n^+ va dépendre une faible tension (en valeur absolue) de commande de grille pour le blocage. La contrepartie est le risque d'une forte résistance à l'état passant ; or ce dernier point peut être résolu par la multiplication de ce motif de base sur une grande surface.

La figure 3.2(a) montre que cette tension de commande pour le blocage est relativement faible, autour de -5 V.

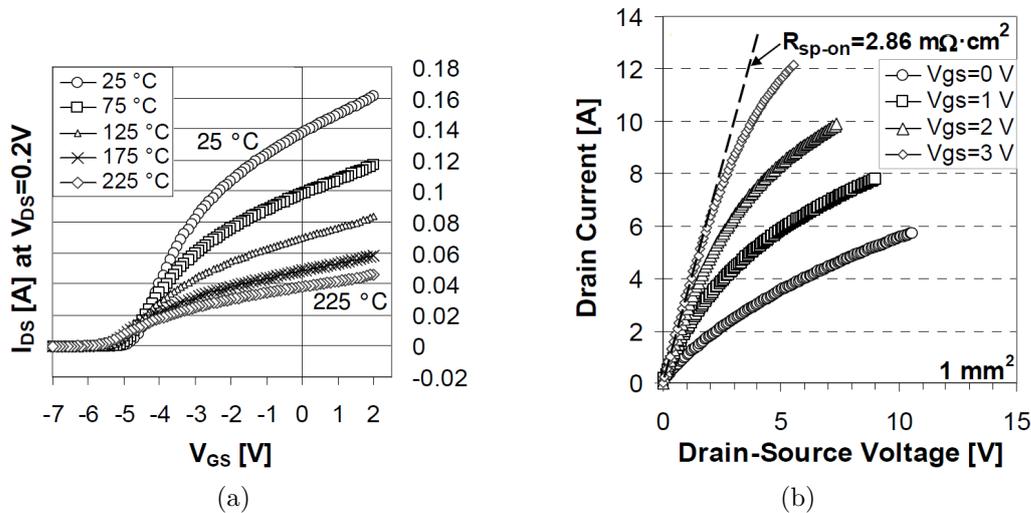


FIG. 3.2: (a) : Caractéristiques électriques $I_D(V_{GS})$ pour $V_{DS} = 0,2$ V (transconductance)
(b) : Caractéristiques électriques directes $I_D(V_{DS})$ pour différents V_{GS} [Che06]

Cependant, cette même courbe de la figure 3.2(a) trahit un point faible de ce JFET : sa faible conduction à $V_{GS} = 0$ V à 25 °C. Ceci est appuyé par les courbes de la figure 3.2(b). Cette dernière montre que lorsque V_{GS} varie de 0 à 3 V (dans le sens positif, donc à l'opposé du blocage du composant), le courant drain-source varie dans un rapport 4 pour des faibles V_{DS} (typiquement autour du volt).

Ainsi, outre son énorme sensibilité à la température (figure 3.2(a)), ce composant présente l'inconvénient majeur, néanmoins classique des JFET, de la commande par une tension négative, mais nécessite, pour être pleinement en conduction, une tension positive sur la jonction grille-source, qui risque en plus d'entraîner une consommation de courant depuis le *driver*.

Nous avons ainsi écarté l'idée d'un composant simple grille à canal vertical pour nous orienter vers un composant à double canal latéral puis vertical, commandé par une double grille.

2. État de l'art des composants double grille

2.1 Structures à caisson p^+ enterré

De longue date, on a compris l'importance d'une couche p^+ enterrée sur la tenue en tension des JFET SiC verticaux [Fri01]. On peut lui trouver trois avantages majeurs. Tout d'abord, la présence de cette couche est un grand atout dans son contact éventuel à l'électrode de source, qui assurera la fonction de diode « de roue libre » antiparallèle, interne au JFET [Bal05].

Ensuite, toujours dans la configuration de la figure 3.3, la couche implantée p^+ permet, outre la formation du canal vertical (zone « D »), de former un canal latéral (zone « C ») où va s'opérer

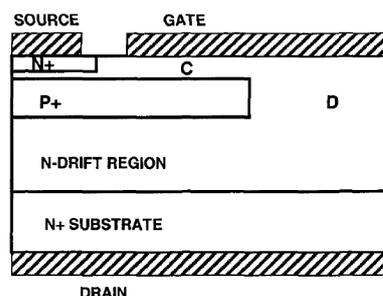


FIG. 3.3: Vue en coupe d'un MESFET de puissance avec une couche p^+ enterrée [Bal05]

le pincement. Ainsi, la tension de commande pour le blocage, bien qu'étant toujours négative, sera beaucoup plus faible en valeur absolue [Fri01].

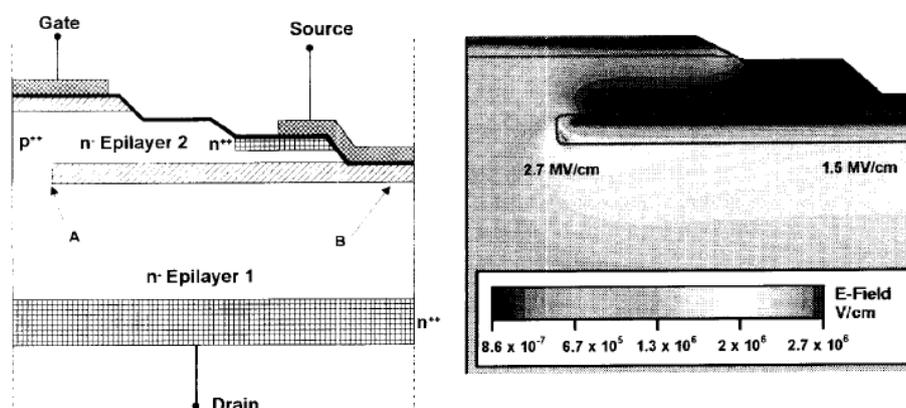


FIG. 3.4: Vue en coupe (à gauche) et répartition du champ électrique (à droite) d'une structure de JFET SiC à caisson p^+ enterré présentée par SiCED [Fri00, Fri01]

Enfin et surtout, si elle est placée comme sur la figure 3.3, alors elle permet de protéger le contact de source des pics de champs remontant depuis le drain en face arrière. Ainsi, il sera plus facile de concevoir des composants supportant des tensions élevées. Ceci est illustré sur la figure 3.4. Comme nous le développerons ci-dessous, le point où le pic de champ est repoussé se situe au bout du caisson p^+ enterré, du côté de la couche épitaxiée. Ainsi, le fort champ ne sera pas appliqué vers la région de source, ce qui permettra de prévenir des fuites au blocage.

2.2 Protection de la source

La vue en coupe de la structure est présentée sur la figure 3.4 à gauche [Fri00]. On voit dans ce cas-là que le caisson p^+ enterré est relié à la source. Il sera ainsi maintenu à un potentiel constant, et généralement nul ; le blocage se fera alors par une extension de la zone de charges d'espace depuis l'électrode de grille en surface, sur laquelle on appliquera un potentiel négatif. Les simulations sur cette structure, dont des résultats sont présentés sur la figure de droite, montrent que la claquage commence au bout du caisson p^+ enterré [Fri01] : lorsqu'une tension de 1200 V est appliquée sur le drain, et une tension de -35 V sur la grille, alors le champ

électrique au bout du caisson est de $2,7 \text{ MV} \cdot \text{cm}^{-1}$. Dans ces conditions, le JFET est bloqué ; les propriétés exceptionnelles du SiC permettent effectivement de tenir une haute tension.

Il existe une voie pour améliorer encore cette tenue en tension : il faut que la jonction entre le caisson p^+ et l'épitaixie n^- soit plus profonde (implantation à plus haute énergie). Cette solution a pour conséquence un étalement du champ sous le caisson ; cette propriété permet un accroissement de la tenue en tension. La forme de l'extrémité de la jonction influence également la tenue en tension : donner une forme triangulaire à la jonction au point A sur la figure 3.4 est un exemple d'amélioration claire.

2.3 Grille en surface implantée

La structure présentée par SiCED en figure 3.4 (à gauche) voit la réalisation de sa grille, en surface, par une épitaixie p^+ crûe sur une ré-épitaixie n . Une structure alternative, dont une vue en coupe est visible en figure 3.5, a été présentée avec une grille en surface implantée dans le canal latéral.

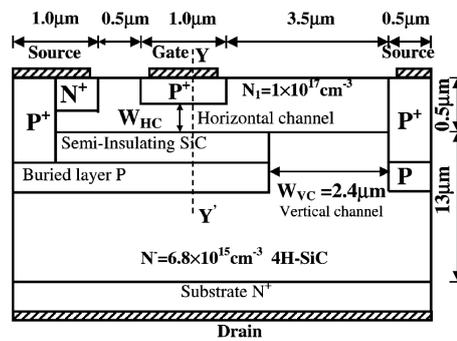


FIG. 3.5: Vue en coupe d'un JFET à double grille, dont une implantée dans le canal latéral [Zha03]

Cette structure, du fait de la réduction de la section de son canal latéral, aurait tendance à être *normally-off* [Zha03]. Cette particularité vient du fait que le blocage ne se fait pas de manière traditionnelle par le JFET vertical, mais bien dans le canal latéral ; on peut donc dire qu'un JFET latéral « contrôle » le JFET vertical.

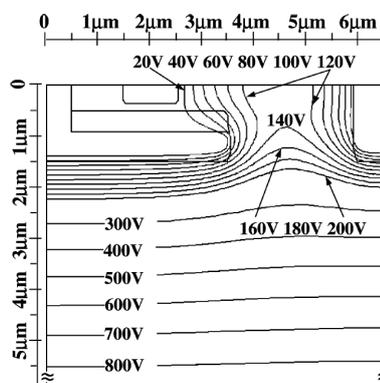


FIG. 3.6: Répartition des lignes équipotentielles dans un JFET à canal latéral et vertical [Zha03]

La figure 3.6 montre l'évolution du potentiel dans le JFET à canal vertical et latéral. On voit que de la largeur du canal vertical va dépendre la tenue en tension du dispositif : si le potentiel remontant en surface est trop important, alors on va observer un claquage. Il faut ainsi trouver un compromis qui permette une ouverture du canal vertical suffisamment grande pour ne pas affecter la densité de courant, mais suffisamment étroite pour limiter la remontée des potentiels élevés.

La largeur du canal latéral va, quant à elle, déterminer principalement la résistance à l'état passant ainsi que le courant de fuite : plus la largeur sera importante, plus la densité de courant pourra être élevée, mais le blocage sera alors de moins en moins efficace, entraînant une augmentation du courant de fuite. Il faudra, ici encore, trouver un compromis.

3. Conception d'un JFET double grille

3.1 Application visée

Ce travail s'inscrit dans le cadre du projet MADASiC, financé par la DGA, qui vise à fabriquer une chaîne complète de propulsion navale, d'une puissance de 300 kW. La machine est une Machine Asynchrone à Double Alimentation (MADA), qui va donc nécessiter deux alimentations, une au rotor et une au stator. Ces alimentations seront assurées par deux onduleurs de tension triphasés 2 kV-100 A, qui seront formés des JFET issus de cette étude. Le choix des JFET est imposé par le cahier des charges, mais se révèle judicieux en termes de rapidité et de compacité, comme nous l'avons évoqué précédemment.

Il s'agit d'onduleurs de tension, donc réversibles en courant. Une façon simple d'assurer la réversibilité est de placer une diode en antiparallèle au JFET, dite *diode de roue libre*. Une partie du chapitre précédent a été consacré à ce dispositif.

Le cahier des charges nous impose également une tenue en tension supérieure à 3300 V et un courant à l'état passant de 100 A ; la dernière contrainte concerne la tension de commande pour le blocage, qui doit être inférieure (en valeur absolue) à 100 V.

3.2 Démarche de conception

a. Exploitation d'un caisson p^+ enterré pour un canal vertical

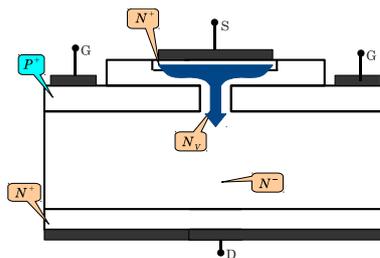


FIG. 3.7: Structure à caisson p^+ enterré sur laquelle est exploité seul le canal vertical, la cellule faisant 26 μm de largeur

Comme nous l'avons évoqué plus haut, la présence d'un caisson p^+ enterré peut permettre de protéger l'électrode de source contre des remontées de champ électrique ou de potentiel électrostatique, et ainsi limiter les fuites de courant à l'état bloqué. Compte-tenu de l'augmentation intrinsèque de la résistance à l'état passant inhérente à ce genre de structure, nous avons étudié la possibilité de placer l'électrode de source directement au-dessus de l'ouverture entre les caissons enterrés, c'est-à-dire là où se forme le canal vertical (figure 3.7).

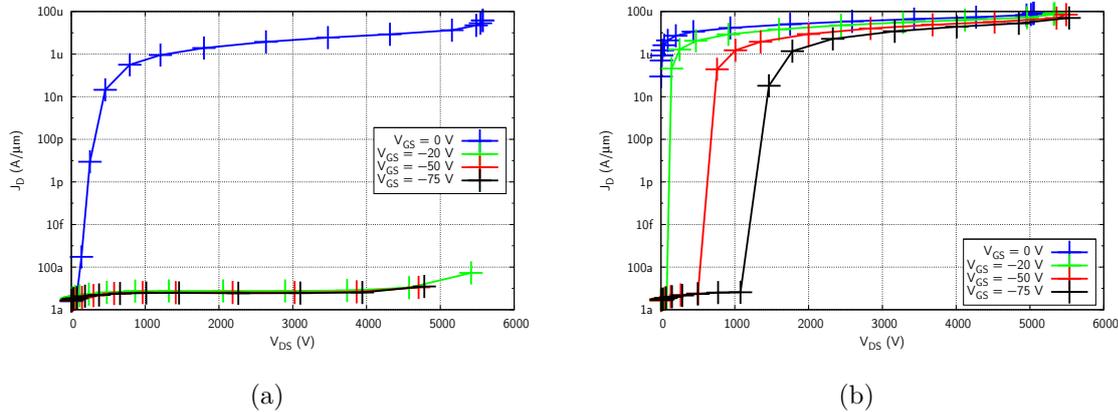


FIG. 3.8: (a) : Courbes $J(V)$ pour un VJFET dont les caissons p^+ enterrés sont peu espacés ($W = 1 \mu\text{m}$)
 (b) : Courbes $J(V)$ pour la même structure avec des caissons plus espacés ($W = 3 \mu\text{m}$)

Les courbes de la figure 3.8(a) montrent le courant drain-source en fonction de la tension, pour différentes tensions de commande. On y voit clairement que si l'intercellule est trop étroite, alors seulement un courant très faible pourra traverser le canal pour une tension élevée sur le drain. Dès que la moindre tension négative est appliquée sur la grille, le composant est complètement bloqué. Afin de laisser une chance au courant de passer, nous avons tenté d'élargir l'intercellule. Les courbes de la figure 3.8(b) traduisent cette approche. On voit que dans ce cas, il devient impossible au composant de bloquer les tensions élevées qui pourraient être appliquées sur le drain ($V_{BR} \approx 1500 \text{ V}$ pour $V_{GS} = -75 \text{ V}$).

L'idée, louable, de vouloir raccourcir le chemin du courant pour diminuer la résistance à l'état passant et ainsi améliorer la densité de courant, s'est finalement confrontée à une diminution de la tenue en tension. Atteindre l'objectif de blocage en tension ne peut se faire que par des contraintes qui condamnent la résistance à l'état passant à augmenter.

b. Circulation et blocage du courant dans un canal latéral

Conformément aux résultats de la littérature présentés ci-dessus, nous avons envisagé une structure où la source est protégée par le caisson implanté p^+ . Cette structure est présentée en figure 3.9.

Nous avons cherché à dimensionner le canal latéral dans le but d'y opérer le blocage, de manière à ce que le canal vertical ne pas un élément limitant la réduction de la résistance à l'état passant. Pour ce faire, nous avons relié le caisson enterré à la grille, afin que le blocage puisse avoir lieu de part et d'autre du canal latéral ; ceci permettra de diminuer la valeur absolue

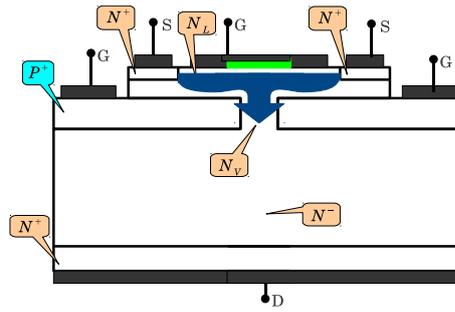


FIG. 3.9: Création d'un canal latéral par l'implantation d'un caisson p^+ enterré, sur lequel on va contacter l'électrode de grille

de la tension de commande pour le blocage, ainsi que de diminuer les fuites à l'état bloqué du composant. En effet, dans notre cas, l'extension de la zone de charges d'espace – qui assure l'isolation électrique entre la source et le drain, et ainsi, le blocage du composant – va s'étendre depuis le haut vers le bas (ce qui se produisait sur les structures vues plus haut), mais également du bas vers le haut, ce qui représente l'une des vraies nouveautés de ce composant [Tou10].

c. Dimensionnement du canal vertical

Nous avons vu que l'intérêt de ce JFET résidait dans le blocage du canal latéral à des tensions plus faibles. À ce moment, le canal vertical ne doit pas être un obstacle à la circulation du courant. Le dopage peut donc être un niveau plutôt élevé pour une largeur plutôt grande, la longueur du canal étant déterminée par la profondeur de l'implantation p^+ ($0,5 \mu\text{m}$ à un niveau de 10^{19}cm^{-3} dans notre cas, du fait de la double dose d'aluminium et de l'implantation à une énergie de 320keV). Cette profondeur d'implantation est en partie nécessaire par le fait que le contact ohmique sur cette couche se fera après gravure de la ré-épitaxie n . Du fait de l'incertitude sur les procédés de reprise d'épitaxie, et des incertitudes sur les étapes de gravure, on s'accorde ainsi une marge de sécurité sur la profondeur de gravure; de cette manière, on s'assure de toujours contacter la couche enterrée.

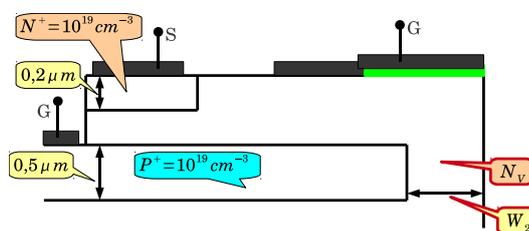


FIG. 3.10: Vue en détail d'une coupe de la zone active de la demi-structure, dont la largeur est fixée à $22 \mu\text{m}$; les paramètres influençant le comportement du canal vertical sont N_V et W_2

L'inconvénient des canaux verticaux très larges et fortement conducteurs est cependant la possibilité offerte à la haute tension de remonter par ce chemin, et ainsi dégrader la tenue en tension. Ici encore, tout est affaire de compromis! Compte-tenu des contraintes de réalisation technologique (il est préférable de ne pas avoir de motifs inférieurs à $2 \mu\text{m}$), nous avons opéré

plusieurs simulations par la méthode des éléments finis. Nous avons à notre disposition la suite logicielle *Sentaurus*TM de *Synopsys* [sen11].

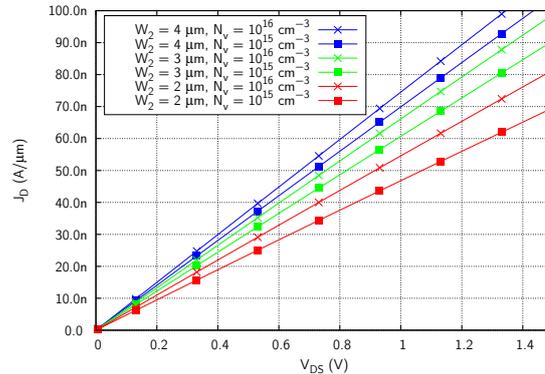


FIG. 3.11: Influence de la largeur du canal vertical et de son dopage sur la conduction du JFET

La largeur W_2 exposée sur les figures 3.11 à 3.13(c) se rapporte à une demi-cellule (figure 3.10, soit la moitié de celle présentée en figure 3.9).

La figure 3.11 est une courbe $I_D(V_{DS})$ pour les faibles V_{DS} . Elle montre ainsi la conduction du JFET à l'état passant, et permet d'extraire sa résistance. On y voit l'influence de la largeur du canal vertical (pour des largeurs de 2, 3 et 4 μm), ainsi que celle de son dopage (10^{15} ou 10^{16} cm^{-3}). Une première observation montre que la variation de largeur a davantage d'influence que la variation de dopage (même si un dopage plus élevé donne un composant moins résistif); outre la difficulté que sa réalisation va imposer, on voit qu'une largeur de 2 μm entraînerait une intercellule trop résistive. Ce raisonnement nous amène à penser qu'une largeur de 4 μm est la plus adéquate à notre structure, dans le sens où elle engendre la plus faible résistance à l'état passant.

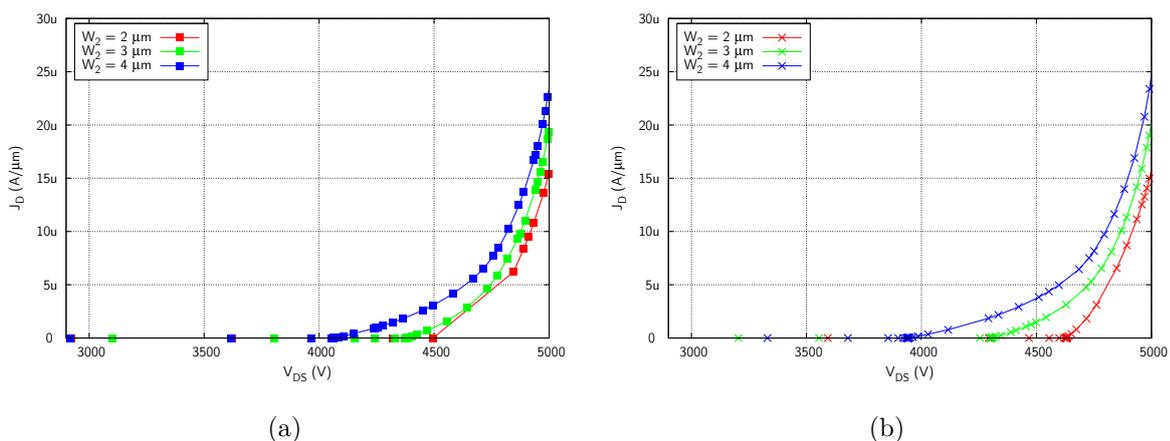


FIG. 3.12: Courbes $J(V)$ d'un JFET bloqué montrant l'influence de la largeur du canal vertical pour un dopage (a) de 10^{15} cm^{-3} et (b) de 10^{16} cm^{-3} à une tension $V_{GS} = -20 \text{ V}$

Les figures 3.12(a) et 3.12(b) sont des courbes du canal au blocage, qui montrent la tension que peut tenir le JFET pour différentes largeurs, à dopage constant sur chacune des figures,

respectivement 10^{15} et 10^{16} cm^{-3} . Contrairement à ce que l'on pouvait déduire de la figure précédente, on voit dans ce cas-là qu'une faible largeur pour l'intercellule permet une tenue en tension plus grande (idéalement $2 \mu\text{m}$, avec les contraintes de réalisation que l'on sait). Une intercellule de $3 \mu\text{m}$ va permettre une tenue en tension d'environ 4500 V , qui va baisser jusqu'à 4000 V pour une intercellule de $4 \mu\text{m}$: $1 \mu\text{m}$ va entraîner une baisse de la tension de blocage de plus de 10% !

On retiendra donc une largeur de $3 \mu\text{m}$ pour l'intercellule ; nous allons maintenant étudier son dopage.

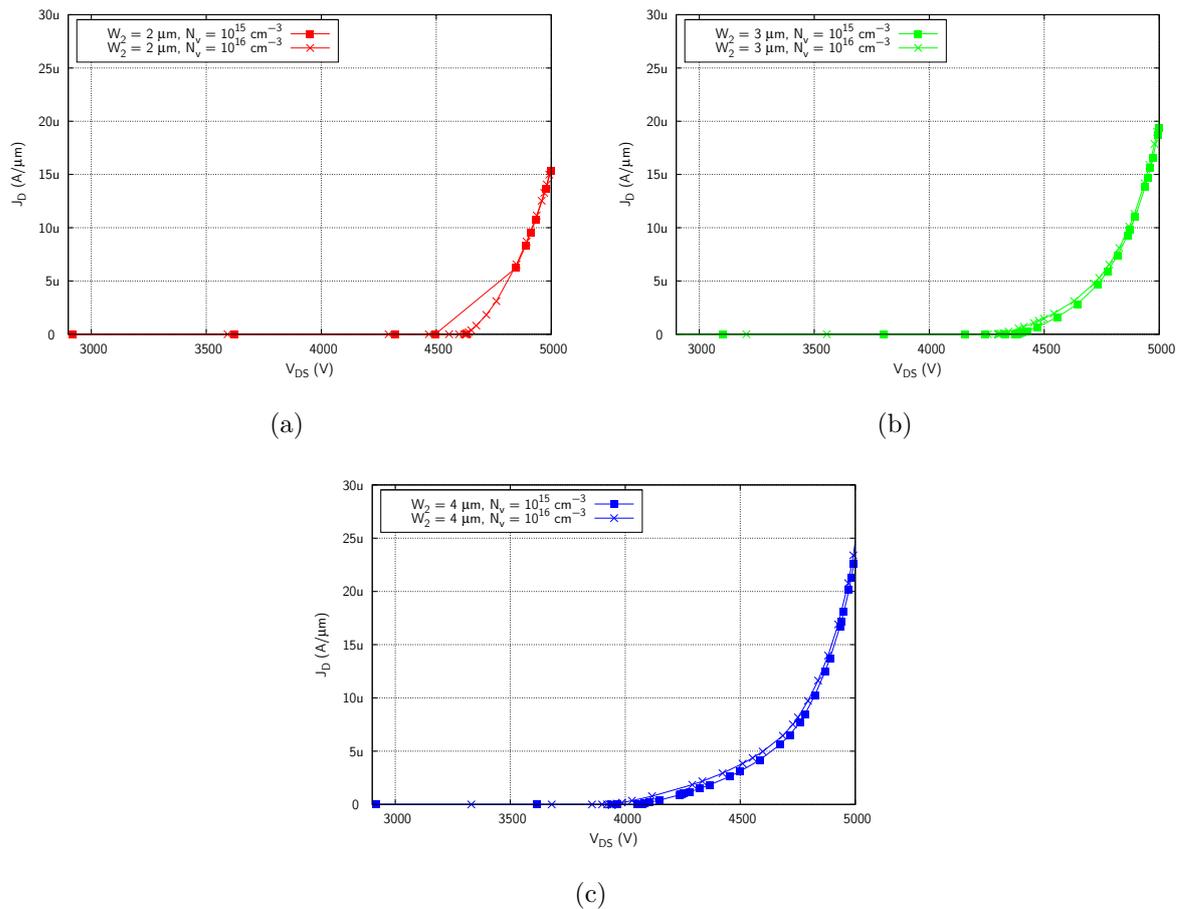


FIG. 3.13: Courbes $I(V)$ permettant de mettre en évidence l'influence du dopage sur la tenue en tension pour des largeurs d'intercellule (a) de $2 \mu\text{m}$, (b) de $3 \mu\text{m}$ et (c) de $4 \mu\text{m}$

Sur les courbes 3.13(a) à 3.13(c), on voit, pour une longueur donnée, l'influence du dopage sur la tenue en tension du composant. On a vu ci-dessus que la largeur était un élément déterminant ; l'influence du dopage est moins flagrante. On privilégiera ainsi un dopage plus élevé, comme cela a été évoqué plus haut, afin de diminuer la résistance à l'état passant. En effet, si l'on se base sur la formule de calcul de l'extension de zone de charges d'espace :

$$W_{ZCE} = \sqrt{V_{GS} \frac{2\epsilon_r}{qn}}$$

où V_{GS} est la tension de grille appliquée pour le blocage, on voit que l'extension latérale est fonction de la racine carrée du dopage n . Ainsi, pour une variation de dopage donnée, à tension constante, la variation de l'extension latérale de la zone de charges d'espace sera plus importante.

3.3 Outils mathématiques d'aide à la conception

a. Méthode des éléments finis

Les simulations analytiques présentées dans le chapitre précédent nous ont permis de fixer certains paramètres, comme l'épaisseur ou le dopage de la couche épitaxiée. Cette optimisation des premiers paramètres nous permet de réduire le champ des possibilités sur la structure. Mais il faut cependant affiner certains paramètres, notamment géométriques, pour lesquels la modélisation analytique n'est pas suffisamment sensible. Nous avons donc préparé des simulations par la méthode des éléments finis. Les composants que nous étudions travaillent essentiellement en commutation. Les équations que nous aurons à résoudre seront l'équation de Poisson [Che11] :

$$\nabla \cdot (\varepsilon_S \nabla \varphi + \vec{P}) = -q(p - n + N_D - N_A) - \rho_{\text{trap}}$$

où n et p représentent respectivement les concentrations en électrons et en trous, N_D et N_A les dopages respectivement donneur et accepteur, φ le potentiel électrostatique au point considéré, ε_S étant la permittivité diélectrique du matériau ($\varepsilon_S = 9,7$ dans le cas du SiC), \vec{P} le vecteur polarisation, et ρ_{trap} la densité de charges piégées ou fixes. Ces valeurs sont calculées dans la résolution des équations de transport des électrons et des trous :

$$\begin{aligned} \nabla \cdot \vec{J}_n &= qR_{\text{net}} + q \frac{\partial n}{\partial t} && \text{(pour les électrons)} \\ -\nabla \cdot \vec{J}_p &= qR_{\text{net}} + q \frac{\partial p}{\partial t} && \text{(pour les trous)} \end{aligned}$$

où R_{net} est le taux de recombinaison.

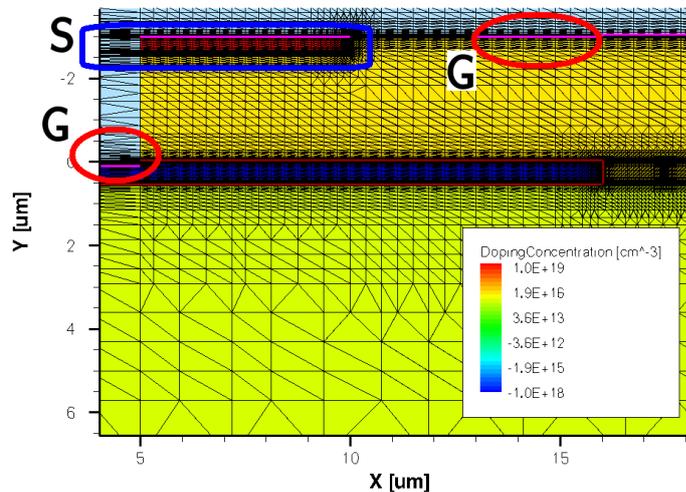


FIG. 3.14: Vue en coupe de la structure du JFET et de son maillage

Ces équations seront appliquées sur chaque élément du maillage de la structure présentée en figure 3.14.

Remarque : ∇ est un opérateur formel de \mathbb{R}^3 défini en coordonnées cartésiennes par

$$\nabla = \begin{pmatrix} \frac{\partial}{\partial x} \\ \frac{\partial}{\partial y} \\ \frac{\partial}{\partial z} \end{pmatrix}$$

b. Critère d'optimisation

La démarche de dimensionnement de la largeur du canal vertical, ainsi que son dopage, a été présentée plus haut. On a vu que cette démarche était longue et qu'elle nécessitait l'exploitation de nombreuses données de manière graphique (avec pour conséquence un manque de précision). De plus, de nombreux aller-retour sont nécessaires avant de pouvoir fixer la valeur d'un paramètre : on a d'abord étudié l'influence d'un paramètre, exclu certaines valeurs aberrantes, puis regardé l'influence d'un autre paramètre pour les valeurs restantes du premier. De là, on a pu fixer la valeur du second, pour revenir sur le premier et déterminer sa valeur.

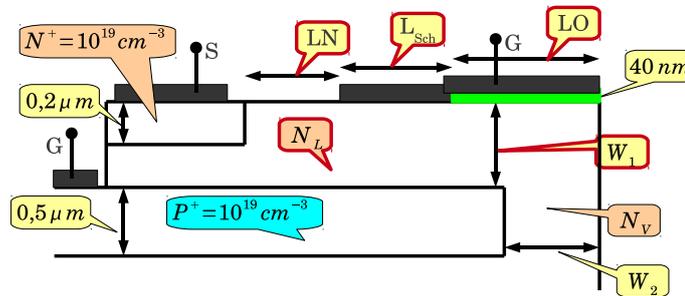


FIG. 3.15: Vue en coupe de la demi-structure avec les paramètres influençant le dimensionnement du canal latéral, W_1 , L_N , L_{Sch} , L_O et N_L

Cette démarche très fastidieuse est impossible à étendre à plus de deux paramètres. Or le dimensionnement du canal latéral fait appel aux nombreux paramètres de la figure 3.15. Afin de simplifier l'extraction des valeurs optimales à affecter aux paramètres, nous avons mis en place un critère réunissant les objectifs que nous voulions atteindre, résumés dans le tableau 3.1.

Le critère est inspiré des travaux de Baliga [Bal08] : les objectifs à maximiser sont au numérateur, et ceux que nous souhaitons minimiser sont au dénominateur :

$$\max \left| \frac{V_{br}^2}{R_{on} \cdot V_{GS-off}} \right|$$

A priori, ce critère n'est pas homogène. Mais nous ne considérerons pas ses unités ; ainsi il permet de dégager une tendance : plus il sera élevé, plus les paramètres pour lesquels il a été

TAB. 3.1: Objectifs à atteindre en termes de caractéristiques électriques

<i>Caractéristique</i>	<i>Notation</i>	$\nearrow?$ $\searrow?$	<i>Valeur</i>
Tenue en tension	V_{br}	\nearrow	3300 V
Résistance à l'état passant	R_{on}	\searrow	faible
Tension de commande pour le blocage	$ V_{GS-off} $	\searrow	$0 \rightarrow -100$ V

calculé seront proches d'un optimal, que nous choisirons toujours dans les limites technologiques. Enfin, on en prend la valeur absolue afin de s'affranchir du signe négatif de la tension de commande pour le blocage.

c. Le canal latéral, sa largeur, son dopage

Dimensionner le canal latéral revient à donner les valeurs de dopage, de largeur et de longueur, repérées sur la figure 3.15 respectivement par N_L , W_1 et la somme $L_N + L_{Sch} + L_O$. Chacun de ces termes représente respectivement la marge entre le contact Schottky de grille en surface et le contact de source, la longueur de ce contact Schottky et la longueur de l'oxyde protégeant le contact Schottky de grille en surface.

Traçons une représentation graphique (figure 3.16) de notre critère pour $W_2 = 3 \mu\text{m}$, et étudions l'influence de W_1 et de N_L . Les valeurs choisies comme variations de ces paramètres ont été prises dans la limite du réalisme technologique.

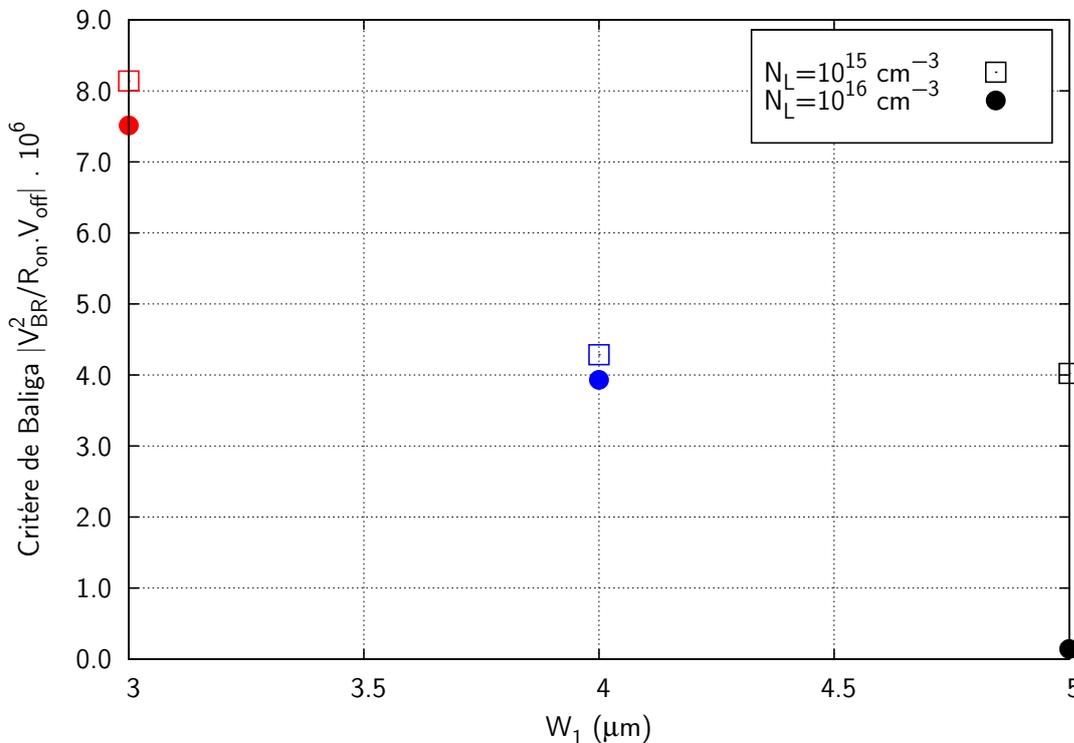


FIG. 3.16: Représentation graphique du critère d'optimisation pour fixer la valeur de W_1 et N_L , pour une longueur $L_N + L_{Sch} + L_O = 12 \mu\text{m}$ constante

Le point le plus élevé pour le critère est obtenu pour $W_1 = 3 \mu\text{m}$ et $N_L = 10^{15} \text{ cm}^{-3}$. C'est pour ces valeurs de paramètres que les caractéristiques seront les meilleures. Lorsque l'on regarde les caractéristiques détaillées des résultats de simulations pour ces paramètres-là, on trouve :

- une tenue en tension V_{br} de l'ordre de 4300 V, ce qui couvre largement les objectifs fixés,
- une résistance à l'état passant plutôt élevée, mais
- une tension de blocage proche de 0 V.

On voit donc que cette valeur si élevée du critère est due à une tension de commande très faible, qui va masquer un composant *permanently-off* (toujours bloqué). Ce point est donc un *maximum artificiel*.

Fort heureusement, il se trouve un autre point juste en dessous du maximum, qui correspond à une largeur de canal $W_1 = 3 \mu\text{m}$ pour un dopage $N_L = 10^{16} \text{ cm}^{-3}$. Lorsqu'on se penche sur les caractéristiques pour ces valeurs, on trouve :

- $V_{\text{br}} \approx 4400 \text{ V}$,
- $R_{\text{DS-on}} \approx 125 \text{ m}\Omega \cdot \text{cm}$,
- $V_{\text{GS-off}} \approx -20,5 \text{ V}$.

Ces caractéristiques nous permettent d'espérer un fonctionnement tout à fait acceptable pour notre JFET. Nous avons pour le moment dimensionné la largeur et le dopage des deux canaux, latéral et vertical, avec des valeurs résumées dans le tableau 3.2.

TAB. 3.2: Résumé des valeurs retenues pour la largeur et le dopage des canaux

W_1	N_L	W_2	N_V
$3 \mu\text{m}$	10^{16} cm^{-3}	$3 \mu\text{m}$	10^{16} cm^{-3}

d. Longueur du canal latéral

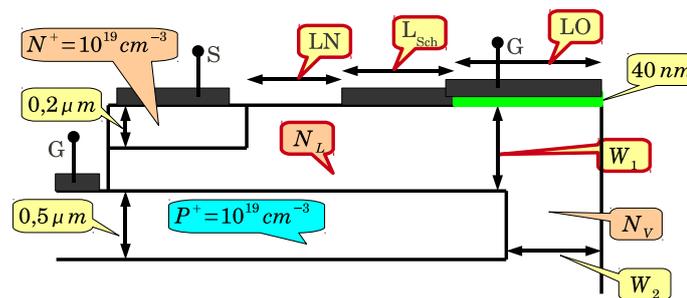


FIG. 3.17: Rappel de la vue en coupe de la demi-structure avec les paramètres influençant le dimensionnement du canal latéral, W_1 , L_N , L_{Sch} , L_O et N_L

D'un point de vue géométrique, la longueur du canal va dépendre, en se référant au rappel de la vue en coupe de la figure 3.17, des paramètres L_O , L_N , L_{Sch} , et dans une moindre mesure W_2 , qui a déjà été optimisé, mais dont il faut confirmer la pertinence. La longueur des contacts ohmiques sur la grille et sur la source a été fixée à $5 \mu\text{m}$, suffisamment grande pour ne pas souffrir

des limitations de la technologie de fabrication et pour laisser passer le courant nécessaire au niveau du motif à dupliquer, et suffisamment petite pour que le composant ne soit pas trop encombrant, afin d'avoir une bonne intégration.

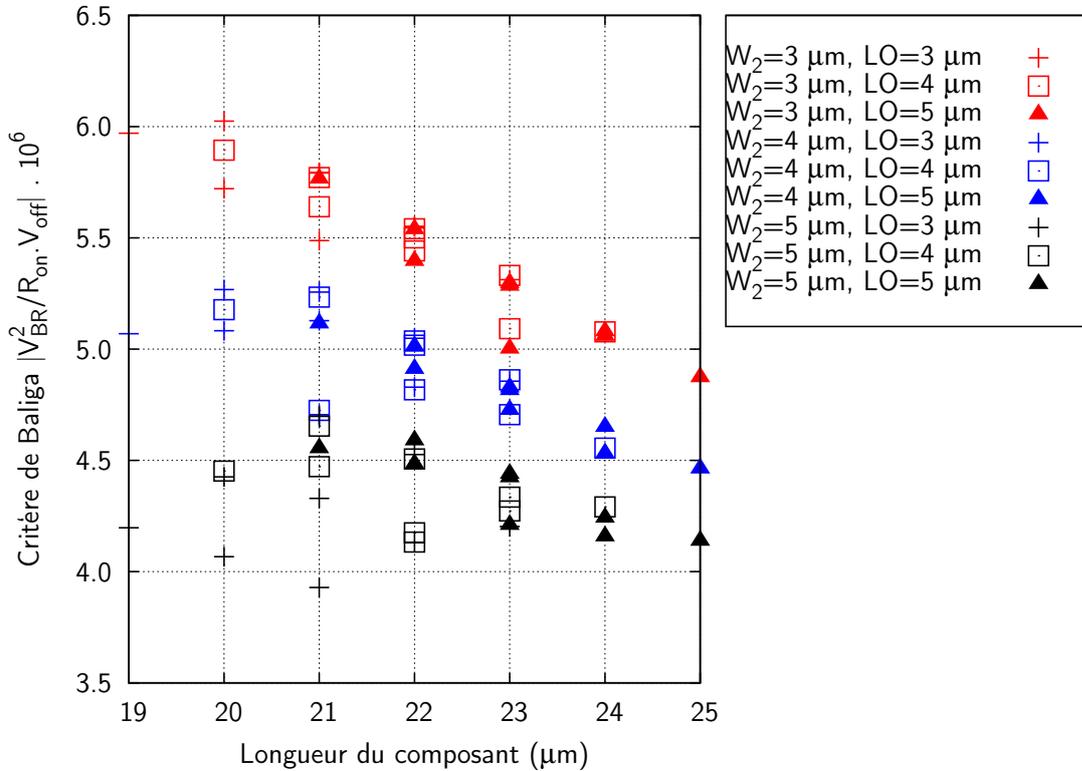


FIG. 3.18: Valeurs du critère d'optimisation pour déterminer la position du contact Schottky

La figure 3.18 montre les valeurs du critère d'optimisation en fonction de la longueur du composant. Nous étudions ici la position du contact Schottky par rapport au canal vertical. Nous avons vu que l'une des nouveautés était de nous servir également du caisson p^+ enterré pour pincer le canal latéral. Nous avons cependant toujours besoin du contact en surface pour obstruer le passage du courant en limitant les fuites. Or ce contact se retrouve au-dessus du canal vertical, par lequel peut remonter le potentiel élevé appliqué en face arrière. Afin de limiter les fuites par la grille, et notamment par cette électrode de surface, nous avons eu l'idée de la protéger par un oxyde. Si un oxyde déposé par PECVD, dont l'épaisseur sera d'environ 40 à 50 nm est suffisant, il reste à déterminer sa longueur, dont on va déduire la position du contact Schottky. C'est en cela que nous allons nous servir de la figure 3.18.

Nous avons précédemment fixé la largeur W_2 à 3 μm , ce qui nous semblait le meilleur compromis pour le canal vertical entre une tenue en tension élevée et une résistance à l'état passant faible. La figure 3.18 confirme notre choix, puisque les valeurs les plus élevées pour le critère sont obtenues pour $W_2 = 3 \mu\text{m}$.

On voit également que les valeurs du critère sont plus élevées lorsque $L_O > W_2$. Toujours en considérant les limites des procédés de fabrication, et afin d'assurer une réponse optimale du composant, on va pouvoir poser $L_O = 5 \mu\text{m}$.

Les valeurs du critère étant représentées en fonction de la longueur totale du composant, arrêtons nous un instant sur la longueur qu'imposent les paramètres déjà fixés : les contacts ohmiques occupent chacun $5 \mu\text{m}$ et $L_O = 5 \mu\text{m}$; la longueur de la demi-structure sera donc d'au moins $15 \mu\text{m}$. On peut donc d'ores et déjà éliminer les longueurs inférieures à $21 \mu\text{m}$, les dimensions des deux paramètres restant à optimiser deviendraient alors inférieures ou très proches des limites technologiques de $3 \mu\text{m}$ que nous nous sommes fixées. Les valeurs du critère étant décroissantes avec l'augmentation de la longueur totale, on va pouvoir éliminer les longueurs trop importantes, c'est-à-dire à partir de $23 \mu\text{m}$; en effet, au delà de cette valeur, la résistance à l'état passant deviendrait trop importante.

On en déduit que la longueur totale de notre demi-structure sera comprise entre 21 et $23 \mu\text{m}$.

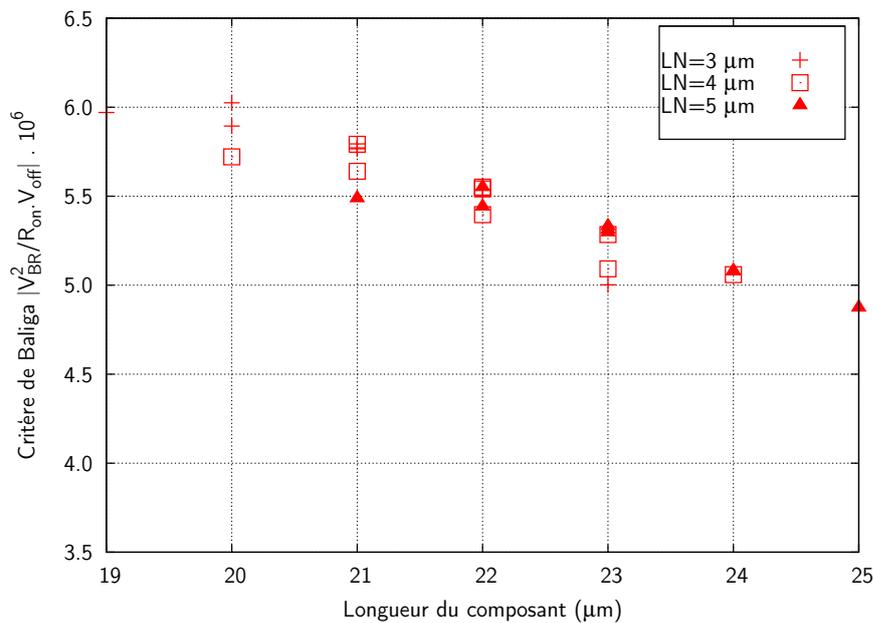


FIG. 3.19: Valeurs du critère d'optimisation pour la marge entre les contacts de source et de grille en surface

D'après la figure 3.19, qui représente la valeur du critère d'optimisation pour différentes valeurs de L_N en fonction de la longueur totale, et en accord avec ce que nous venons de dire, nous pouvons éliminer le choix $L_N = 5 \mu\text{m}$. En effet, dans ce cas, il ne resterait plus, pour L_{Sch} que des choix entre 1 et 3, bien en deçà des limites technologiques, ou alors il faudrait revenir à $L_O < 5 \mu\text{m}$. En revanche, vues les valeurs prises par le critère pour les longueurs de 21 à $23 \mu\text{m}$, il est difficile de faire un choix entre $L_N = 3$ ou $4 \mu\text{m}$. Notre choix va donc se porter sur un couple $(L_N; L_{Sch})$.

De manière analogue à ce qui a été fait ci-dessus, nous allons éliminer $L_{Sch} = 5 \mu\text{m}$. On constate également qu'il n'est pas possible de fixer une valeur précise de L_{Sch} à 3 ou $4 \mu\text{m}$.

La démarche d'optimisation à l'aide d'un critère a trouvé ici ses limites, et il nous faut revenir à la consultation des valeurs numériques de V_{br} , R_{on} et V_{GS-off} dans les tableaux de points à partir desquels ont été tracées ces figures. On y trouve donc que les meilleures caractéristiques sont obtenues pour les $(L_N; L_{Sch}) = \begin{pmatrix} 3; 4 \\ 4; 3 \end{pmatrix} \mu\text{m}$. Ces caractéristiques sont regroupées dans le tableau 3.3, pour les dimensions résumées sur la figure 3.21.

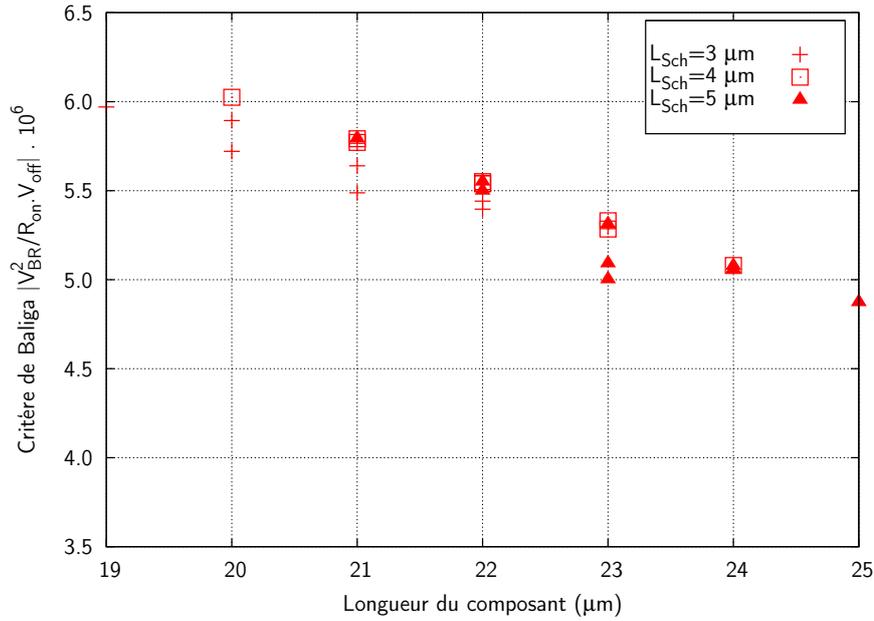


FIG. 3.20: Valeurs du critère d'optimisation pour la longueur du contact Schottky

TAB. 3.3: Caractéristiques électriques pour les dimensions retenues

W_1 μm	N_L cm^{-3}	W_2 μm	N_V cm^{-3}	L_O	L_N	L_{Sch}	V_{br}	R_{on}	$V_{\text{GS-off}}$
3	10^{16}	3	10^{16}	5	3	4	4305 V	171,6 mΩ · cm	-19,5 V
3	10^{16}	3	10^{16}	5	4	3	4302 V	171,5 mΩ · cm	-20 V

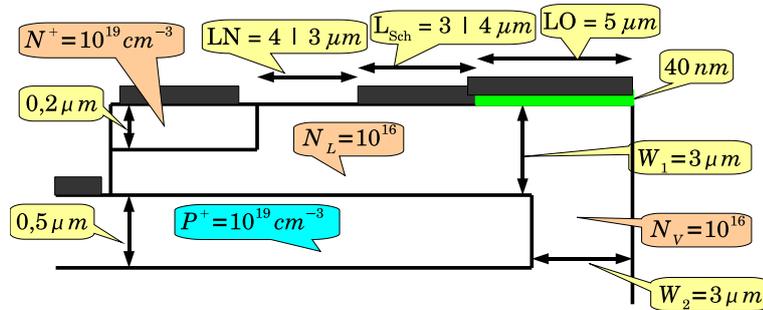
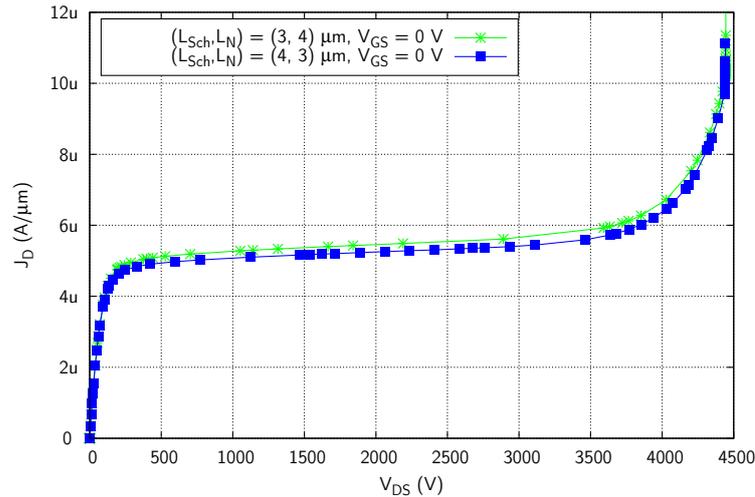
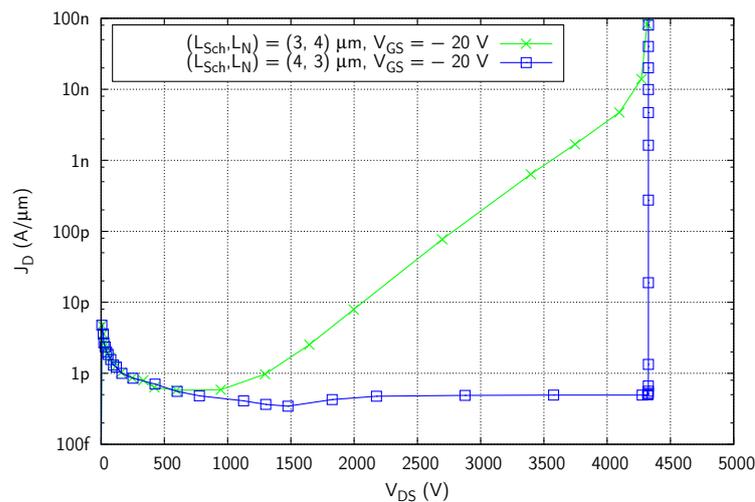


FIG. 3.21: Résumé des différents paramètres et des valeurs associées

4. Caractéristiques électriques

4.1 Résultats de simulations

La figure 3.22 montre la conduction du JFET, lorsqu'une tension nulle est appliquée sur la grille. On y voit que la différence de conduction entre les deux composants retenus plus haut est très faible. Cette figure montre également la tenue en tension du composant bloqué, c'est-à-dire lorsqu'une tension de -20 V est appliquée sur la grille : la tenue en tension dépasse largement


 FIG. 3.22: Caractéristique $I_D(V_{DS})$ du JFET en conduction et au blocage

 FIG. 3.23: Caractéristique $I_D(V_{DS})$ du JFET mettant en évidence les faibles fuites au blocage

les 4000 V, soit bien au-delà des 3300 V imposés par le cahier des charges. Outre la tension bloquée de plus de 4000 V, on voit sur la figure 3.23 que les fuites au blocage du JFET sont largement inférieures au nano-ampère sur toute la plage de notre objectif.

Si l'on regarde les autres caractéristiques du JFET, c'est-à-dire la courbe donnant la résistance à l'état passant (figure 3.24(a)) et la transconductance (figure 3.24(b)), on voit que les deux configurations que nous avons retenues sont très proches.

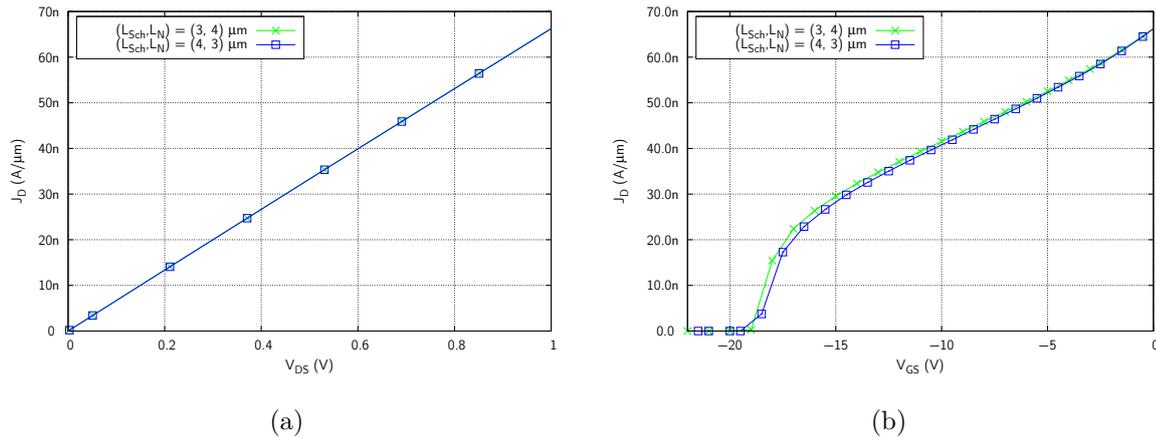


FIG. 3.24: (a) : Courbes $J_D(V_{DS})$ pour les faibles tensions, permettant de déterminer la résistance à l'état passant
(b) : Courbes $J_D(V_{GS})$, montrant à quelle tension est obtenu le blocage du courant

4.2 Fabrication

a. Processus de réalisation du JFET

Les transistors vont être réalisés par la société IBS sur des plaques de SiC de 3 pouces, avec du n^+ en face arrière et une épitaxie n^- de 40 μm dopée à 10^{15} cm $^{-3}$, suivie d'une seconde épitaxie de 0,5 μm dopée à 10^{16} cm $^{-3}$, dont on peut voir une coupe sur la figure 3.25.



FIG. 3.25: Vue en coupe du wafer sur lequel seront fabriqués les composants

Le processus de fabrication se déroulera en douze étapes :

1. alignement : gravure de 150 nm ;
2. implantation p^+ à 10^{19} cm $^{-3}$ sur 0,5 μm (double charge d'aluminium Al à 320 keV) ;
3. ré-épitaxie n à 10^{16} cm $^{-3}$ sur 3 μm \pm 0,2 μm et implantation n^+ sur 0,2 – 0,3 μm (simple charge d'azote N à 160 keV) ;
4. gravure sur 3 μm \pm 0,1 μm pour accéder à la grille enterrée ;
5. gravure « MESA » sur 3 μm
6. implantation p avec une dose de $1,12 \cdot 10^{13}$ cm $^{-2}$, sur une largeur supérieure à 120 μm et une profondeur de 0,6 μm ;
7. oxydation et PECVD sur 60 nm puis ouverture d'oxyde ;
8. métallisation Nickel (Ni) sur 100 nm de la source et de la grille enterrée (contact ohmique) puis RTA à 900 °C pendant 2 min ;

9. métallisation Schottky : lift-off de nickel sur 100 nm suivi d'un RTA à 350 °C pendant 2 min ;
10. PECVD de 1,5 μm de SiO_2 pour la première couche de passivation et gravure ;
11. métallisation épaisse : 3 à 5 μm d'aluminium épais pour les plaques avec une seule épitaxie ;
12. seconde passivation.

b. Détail des différentes vues

L'objectif est de réaliser un composant de $2 \times 2 \text{ mm}^2$. On se reportera aux figure A.2(a) à A.23(b) en annexe pour les vues masque des étapes correspondantes.

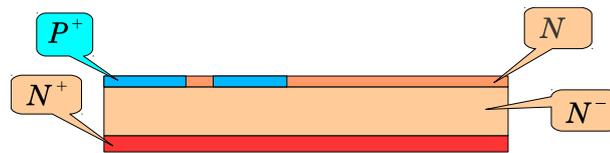


FIG. 3.26: Vue en coupe du wafer après l'implantation des caissons p^+

Le process commence par l'implantation p^+ , pour laquelle la dimension critique est de 6 μm , pour former le canal du JFET. On peut voir une vue en coupe de cette étape sur la figure 3.26.

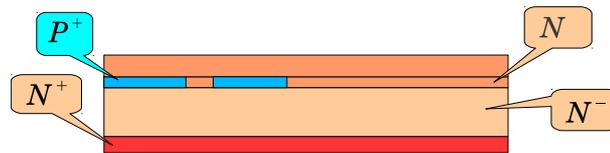


FIG. 3.27: Vue en coupe du wafer après la reprise d'épitaxie

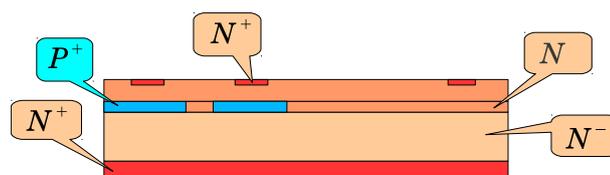


FIG. 3.28: Vue en coupe du wafer après l'implantation n^+ en surface

Après une reprise d'épitaxie (figure 3.27) vient l'implantation n^+ , présentée sur la figure 3.28. D'un côté le n^+ sera gravé, ce qui ne pose pas de souci, mais pour l'autre côté on atteint une dimension critique en-dessous de laquelle il ne faut pas descendre, au risque de modifier les caractéristiques électriques du JFET (3 μm avant l'ouverture d'oxyde pour le contact Schottky, mais cette distance est nécessaire pour la tenue en tension du composant). De l'autre côté, l'implantation dépasse sur la gravure (étape suivante), donc la contrainte est moins forte. Cependant ce motif est alternant (sur la droite et sur la gauche).

En périphérie, on implante pour réaliser le *channel stopper*. il n'existe pas de dimension critique ici.

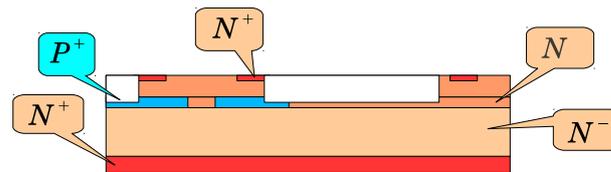


FIG. 3.29: Vue en coupe du wafer après la gravure d'accès à la grille enterrée

On vient graver une certaine zone de la reprise d'épithaxie pour accéder à la couche enterrée, comme présenté sur la figure 3.29. Au niveau des doigts, on vient graver $3 \mu\text{m}$ de n^+ de chaque côté. Il faut cependant prendre garde à ne pas en graver davantage, car la limite entre le bord gravé et le métal du contact ohmique de source serait alors inférieure à $3,5 \mu\text{m}$.

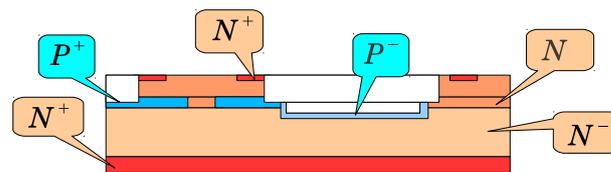


FIG. 3.30: Vue en coupe du wafer après la gravure mesa et l'implantation JTE

En plus de la gravure d'accès à la couche enterrée, on vient réaliser une protection du composant de type mesa, que l'on combinera à une implantation JTE (figure 3.30 pour la vue en coupe).

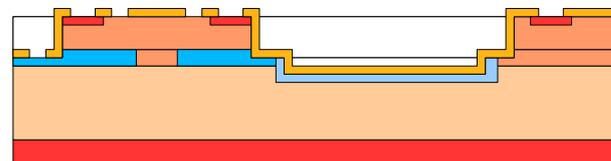


FIG. 3.31: Vue en coupe du wafer après oxydation thermique et ouverture de l'oxyde

Après un recuit, on vient ouvrir l'oxyde afin d'accéder aux contacts (figure 3.31).

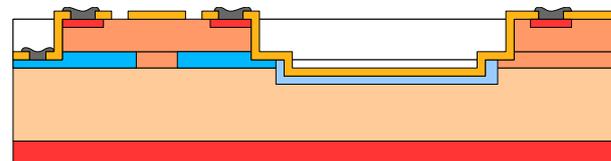


FIG. 3.32: Vue en coupe d'un composant après la première métallisation, c'est-à-dire le contact ohmique de grille et de source

Dans un premier temps, on vient déposer un métal servant de contact ohmique sur les zones les plus dopées (grille enterrée et source, figure 3.32), ainsi que sur le *channel stopper*, afin d'assurer l'uniformité du potentiel tout autour de cette protection.

On vient ensuite déposer un métal servant de contact Schottky sur la grille en surface (figure 3.33). Les pistes de métaux de grille (étape précédente et cette étape) sont reliées, afin de prendre le contact lors de la métallisation épaisse que sur un seul *pad*.

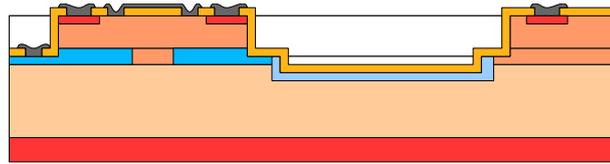


FIG. 3.33: Vue en coupe d'un composant après la métallisation du contact Schottky

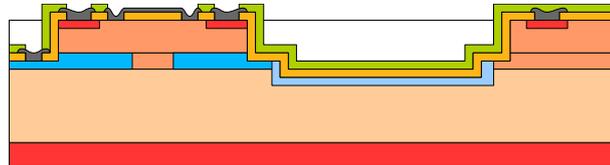


FIG. 3.34: Vue en coupe de la plaque après la passivation et son ouverture

On réalise ensuite une passivation pleine plaque (figure 3.34), que l'on viendra ouvrir au-dessus des *pad* de métaux fins afin de venir contacter les électrodes, avec des marges de $10\ \mu\text{m}$ entre le bord du *pad* de métal et le bord de l'ouverture de passivation. Le *channel stopper* sera sous la passivation (pas de métallisation épaisse par-dessus).

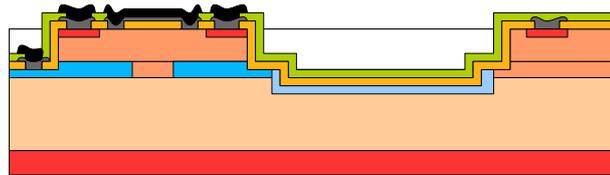


FIG. 3.35: Vue en coupe des composants terminés, avec la métallisation épaisse

On réalise enfin la métallisation épaisse, qui permettra de disposer de gros plots de source et de grille. Une vue en coupe des composants ainsi terminés est présentée en figure 3.35.

4.3 Résultats de mesures

Nous avons procédé aux premières caractérisations électriques des composants, après les dépôts de métaux pour les contacts ohmiques et Schottky, mais avant la passivation. On constate un effet JFET, c'est-à-dire une modulation du courant circulant dans le composant par la tension de grille. Ces résultats sont présentés en figure 3.36.

Pour une tension de grille nulle, le JFET est en conduction ; plus la tension de grille descend vers des valeurs négatives, moins le courant pourra circuler dans le composant, et tend même vers des valeurs très faibles dès que $V_{GS} = -15\ \text{V}$.

Si l'on trace ces caractéristiques avec une échelle logarithmique sur les ordonnées, comme cela est présenté en figure 3.37, on peut étudier les fuites du composant : on constate qu'elles sont assez élevées, même pour une tension $V_{GS} = -25\ \text{V}$. Rappelons que les simulations donnaient un composant bloqué à partir de $V_{GS} = -20\ \text{V}$. Ceci est d'ailleurs confirmé par la courbe de la figure 3.38, montrant le courant de drain I_D en fonction de la tension de grille V_{GS} pour $V_{DS} = 1\ \text{V}$ (aux fuites près).

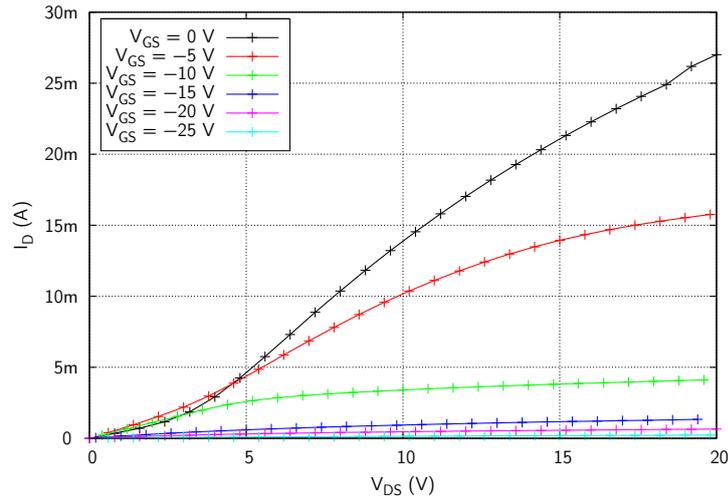


FIG. 3.36: Courbes $I_D(V_{DS})$ issue de mesures électriques opérées sur le JFET

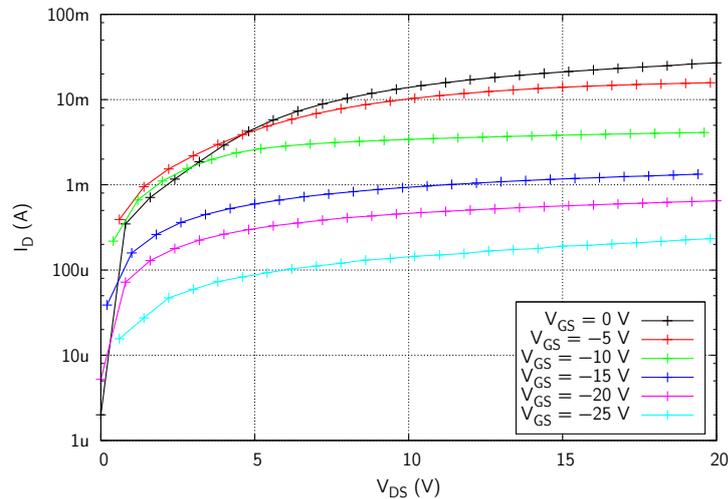


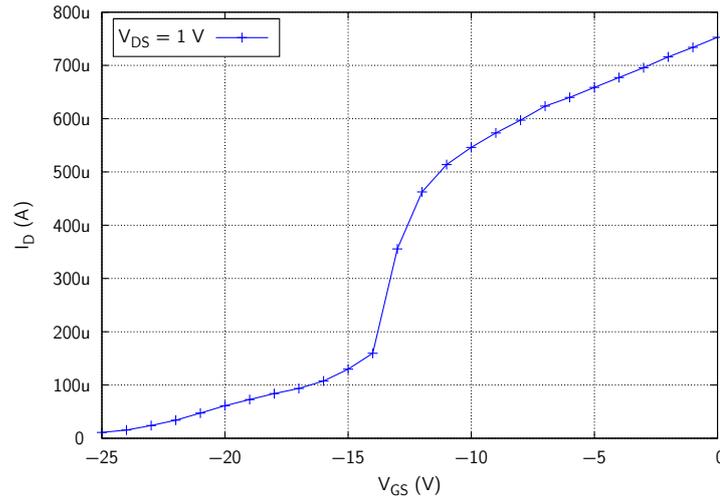
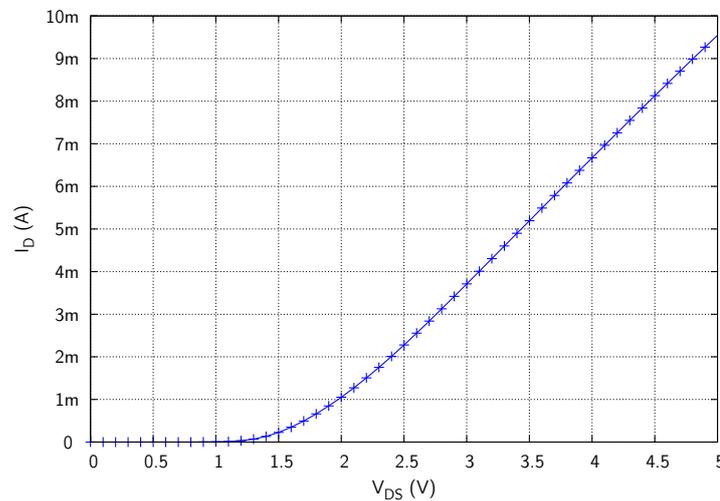
FIG. 3.37: Courbes en $\log I_D(V_{DS})$ mettant en évidence les fuites au blocage du composant

Ces fuites sont manifestement dûes à un défaut de blocage. À l'origine, on peut trouver :

- soit une gravure de la ré-épitaxie trop profonde, qui empêche de contacter le caisson p^+ de grille enterrée, avec pour conséquence aucune extension de la zone de charges d'espace depuis le bas du canal latéral ;
- soit une gravure insuffisante de la ré-épitaxie, qui empêche également de contacter le caisson p^+ de grille avec les mêmes conséquences.

Pour vérifier ces hypothèses, nous avons caractérisé les diodes PiN de test présentes sur le *wafer*. Les résultats des mesures en direct sont présentés sur la figure 3.39.

La courbe présentée sur cette figure n'est pas celle à laquelle on peut s'attendre d'une diode PiN, mais plutôt d'une celle d'une diode Schottky. Ceci confirme bien l'hypothèse que le caisson p^+ n'est pas contacté. En revanche, nous n'avons pas encore assez d'informations sur la surgravure ou le manque de gravure. Pour cela, nous pouvons nous intéresser à la caractéristique

FIG. 3.38: Courbe $I_D(V_{GS})$ pour $V_{DS} = 1$ VFIG. 3.39: Caractéristique $I(V)$ en direct d'une diode de test du *wafer*

inverse. Nous avons vu qu'un contact Schottky, pour être redresseur, devait être recuit à des températures bien plus faibles qu'un contact ohmique. Or ici, nous voyons un contact ohmique. Il a donc été recuit à une température de 800 °C pendant 3 min. Ceci risque de donner un contact Schottky présentant beaucoup de fuites.

On voit sur la figure 3.40 que les fuites en inverse sont assez faibles, autour du nano-ampère jusqu'à 400 V. Bien que les plaques aient été conçues pour tenir une tension de 3300 V au moins, on peut cependant considérer que ces fuites ne sont pas celles d'une diode Schottky « naturelle ». Ainsi, on peut imaginer que les fuites sont limitées par le caisson p^+ restant sous le contact.

Une solution que nous avons envisagée pour résorber ce problème est de procéder à une nouvelle implantation p^+ après la gravure, en gardant le même masque. Ainsi, si la gravure n'est pas assez profonde, ou si l'épaisseur de la couche ré-épitaxiée est plus grande que prévue, alors on trouvera quand même au fond de la zone gravée, une zone p^+ qui permettra d'accéder au contact.

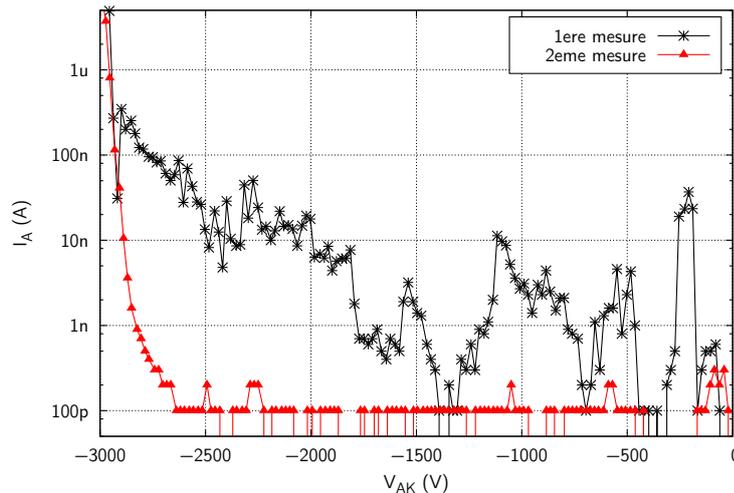


FIG. 3.40: Caractéristique $I(V)$ en inverse d'une diode de test du *wafer*

Conclusion sur le JFET double grille

Prise de recul quant à la conception

Une étude poussée de l'état de l'art en matière de JFET à canal vertical et latéral nous a permis, d'une part de confirmer que cette structure était la plus adaptée à la tenue des tensions élevées qui constituent notre objectif, mais surtout d'autre part, de constater que certaines possibilités de commande et de protection n'avaient pas été envisagées.

La double démarche d'innovation qui a été la nôtre a donc porté :

- sur la protection contre les pics de haute tension de l'électrode de commande en surface par un oxyde ; ceci a pour effet de limiter les fuites par la grille ;
- sur la commande du caisson p^+ enterré, en le reliant à l'électrode de grille en surface et non plus à la source, ce qui permet un blocage doublement efficace.

La grille en surface a été choisie de type contact Schottky afin de maximiser la section du canal latéral. C'est pour cela qu'il était important de bien la protéger contre la haute tension pouvant remonter par le canal latéral, ce type de composant présentant naturellement davantage de fuites.

Parmi les aléas traditionnels de la fabrication microélectronique, nous avons été confronté à une épaisseur de couche ré-épitaxiée plus importante que prévue. Nous n'avons donc pas pu contacter le caisson p^+ enterré, sensé contribuer au blocage du JFET. Ceci nous permet cependant clairement de valider notre concept de double blocage du canal latéral (par le haut *et* par le bas), puisque le JFET présente des fuites au blocage, dûes à l'absence de blocage par le bas.

Également, il est possible de faire un retour sur le critère d'optimisation que nous avons choisi. Certes, ce critère est loin d'être parfait : d'une part, il n'est pas homogène, et d'autre part, il peut faire surgir des optima artificiels qui cachent des caractéristiques électriques aberrantes. Si

l'homogénéité n'est pas un problème en soi dans ce cas-là, il est clair également que toutes les méthodes ont leurs limites, et qu'un opérateur doit toujours être vigilant quant aux résultats issus d'un algorithme, si simple soit-il. C'est pourquoi nous avons toujours vérifié directement les caractéristiques électriques des points qui ressortaient comme optimaux. Nous avons donc trouvé une méthode *assez* efficace permettant de dégager une tendance.

Perspectives pour les réalisations suivantes

Une évolution envisageable lors de la conception du jeu de masques serait, pour le canal vertical étant le plus à l'extérieur de la structure, de lui affecter une largeur moindre dans un rapport deux. Ainsi, il serait possible de relier le caisson p^+ de la périphérie du composant à la source, c'est-à-dire à un potentiel fixe, et ainsi, offrir au JFET une diode en anti-parallèle intégrée. Ceci permettrait donc de franchir encore un pas dans l'intégration de très forte puissance.



4 Transistor à canal vertical simple grille

Nous allons présenter dans ce chapitre la démarche de conception, le procédé de fabrication et la caractérisation d'un JFET vertical à simple grille pour des applications 1200 V.

1. Objectifs visés et contraintes de conception

Le développement de ce composant s'inscrit dans le cadre d'une collaboration entre le *Centro Nacional de Microelectrónica - Instituto de Microelectrónica de Barcelona - Consejo Superior de Investigaciones Científicas* (CNM-IMB-CSIC) et le laboratoire Ampère. L'objectif de cette collaboration était le développement d'un composant assurant la fonction interrupteur sous une tension de 1200 V avec un procédé de fabrication le plus simple possible. Nous nous sommes donc dirigés toujours vers un composant vertical (vue la contrainte en tension), mais cette fois à simple grille. Cette collaboration a permis le dépôt d'un brevet franco-espagnol et a servi d'appui à la création d'un Laboratoire International Associé (LIA-Wide Lab).

Tout au long de ce travail de thèse, nous avons construit notre démarche de conception en prenant en compte toutes les contraintes que nous imposaient les procédés de fabrication, la plus grande d'entre elles étant une limite de résolution de photolithographie aux alentours de 2 ou 3 μm .

2. Existence des composants 1200 V

2.1 Présentation d'une structure simple

Nous avons présenté au chapitre précédent l'existence d'une structure développée par la société Semisouth (figure 4.1(a)). Cette géométrie (présentée en figure 4.1(b) et décrite dans le tableau 4.1) ainsi que son procédé de fabrication sont protégés par un brevet [Mer07] depuis 2007.

Le fonctionnement du JFET est assez classique : en l'absence de tension, ou lors de l'application d'une tension nulle, sur la grille (zones 7 et 8 sur la figure 4.1(b)), un courant circule

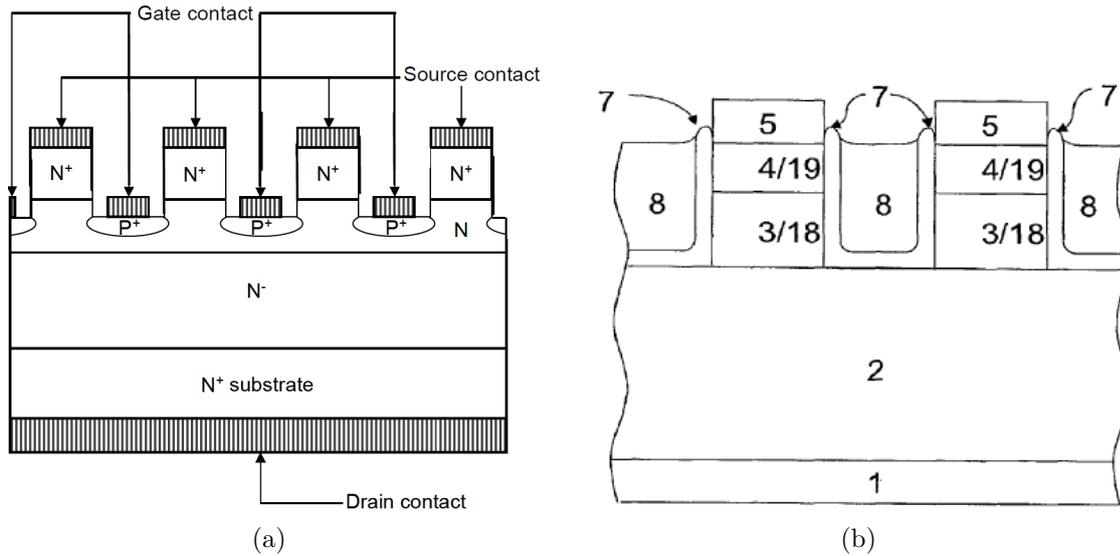


FIG. 4.1: (a) : Vue en coupe du JFET simple grille conçu par la société Semisouth [Che06]
 (b) : Vue en coupe du JFET Semisouth protégé par un brevet [Mer07]

TAB. 4.1: Correspondance avec la numérotation de la figure 4.1(b)

n°	Description
1	Substrat n^+
2	Épitaxie n^-
3 18	Canal n^- Base p (BJT)
4 19	Source n^+ Émetteur n^+ (BJT)
5	Masque
7	Reprise d'épitaxie p^+
8	Matériau de planarisation

entre le drain (en face arrière, c'est-à-dire au bas de la zone numérotée 1) et la source (sur le haut de la zone numérotée 4). L'application d'une tension *négative* sur la grille va entraîner une diminution de la section du canal (zone 3) ; plus la tension sera *négative*, plus la section du canal sera faible, jusqu'à arriver à l'obstruction complète de la circulation du courant.

Les zones 3 et 4 de la figure 4.1(b) sont indexées comme respectivement base et émetteur dans le tableau 4.1. En effet, le dopage respectivement p (moyen) et n^+ de ces zones permettent la fabrication d'un transistor bipolaire. Nous n'exploiterons pas ce phénomène dans le cadre de ce travail de thèse.

2.2 Les procédés de fabrication

Deux types de procédés de fabrication ont été protégés par la société Semisouth dans leur brevet. Nous allons les évoquer et les comparer.

a. Premier procédé, à partir d'un wafer « complet »

En nous référant à la figure 4.1(b), le premier type de procédé de fabrication part d'un *wafer* comprenant trois épitaxies sur un substrat n^+ (zone 1) :

1. une première épitaxie n^- supportant la haute tension (zone de *drift*, numérotée 2),
2. une deuxième épitaxie n où sera formé le canal (zone 3),
3. une dernière épitaxie n^+ qui permettra de réaliser le contact de source (zone 4).

La première étape réalisée est alors le dépôt de masques (numéro 5) permettant de venir graver en certaines zones le matériau, de manière à former des « doigts » $n-n^+$ de canal et de source, entourés de « doigts » gravés jusqu'à arriver à l'épitaxie n , où sera formée la grille.

La grille est alors réalisée par une reprise d'épitaxie p^+ (zone 7). On observe ici quelques variantes du procédé. Soit cette épitaxie est réalisée dans les tranchées gravées seulement, soit elle est réalisée sur la pleine plaque. Dans tous les cas, elle est suivie d'une gravure. La gravure de la ré-épitaxie en surface des doigts de source ne pose pas de problème. En revanche, cette croissance se fait autant sur les flancs de gravure qu'au fond des tranchées. C'est pourquoi on a besoin du dépôt d'un matériau assurant la planarisation des tranchées (numéro 8) ; son rôle est de protéger la couche ré-épitaxiée dans le fond des tranchées, et, dans une certaine mesure, sur les flancs de gravure, au niveau de la couche n du canal. Il faudra ainsi graver ce matériau sur une certaine hauteur, de sorte qu'il ne protège plus la couche n^+ de source. On sera alors libre de graver la couche p^+ de grille. Une légère sur-gravure pourrait améliorer la tenue en tension de la jonction grille-source.

Au total, la fabrication du composant va appeler sept ou huit niveaux de masques, selon la méthode d'obtention de la couche p de grille.

b. Second procédé à partir d'un wafer « moins travaillé »

Le second type de procédé de fabrication est basé sur l'utilisation d'un *wafer* n^+ (1) sur lequel :

1. on a fait croître une première épitaxie n^- supportant la haute tension (2),
2. puis une seconde épitaxie n où sera formé le canal (3).

La première étape de ce procédé consiste à venir déposer un masque de gravure (5), qui permettra de graver la couche n de sorte à ne conserver que quelques « doigts » de canal.

Est alors déposée, après retrait du masque de gravure, une couche p^+ (18) sur toute la surface du *wafer*, qui sera planarisée par le dépôt d'un autre matériau (par exemple, de la résine). Cette opération va permettre de graver facilement la couche p^+ qui se trouve en surface, au-dessus du canal. La totalité du matériau de planarisation sera retiré par cette gravure.

On vient alors créer un nouveau masque sur toute la surface du *wafer*, qui sera gravé en surface des « doigts » du canal (à l'aide, une fois de plus d'un matériau de planarisation, qui sera retiré après la gravure). La couche p^+ en fond de gravure est ainsi protégée. On peut procéder à une deuxième reprise d'épitaxie (19).

Cette deuxième reprise d'épitaxie consiste en la croissance d'un matériau dopé n au dessus du canal, suivie d'une troisième croissance, cette fois, celle d'un matériau dopé n^+ qui permettra

de former le contact ohmique de source. La couche n sert ici à la tenue en tension de la jonction grille-source.

Au total, ce procédé va appeler neuf niveaux de photolithographie.

c. Synthèse des procédés de fabrication

L'enseignement que l'on peut tirer de l'analyse de ces deux procédés est que, outre la face arrière n^+ et la zone de *drift* n^- , trois couches sont nécessaires :

1. une couche n accueillant le canal,
2. une couche n^+ pour le contact ohmique de source,
3. une couche p^+ pour le contact ohmique de grille.

Dans un ordre ou dans un autre, ces trois couches sont fabriquées par épitaxie. Or la reprise d'épitaxie, qui pis est sur surface gravée (ce qui est le cas pour la couche p^+) est une étape particulièrement délicate. En effet, on l'a évoqué dans le premier chapitre, la qualité d'une couche épitaxiée dépend de la qualité de la couche sur laquelle se fait la croissance (afin d'éviter des *stacking faults*) ; la surface gravée n'est pas forcément parfaite.

De plus, le fait même de faire appel à plusieurs étapes de croissance implique nécessairement des gravures. Ainsi, il faut déposer, puis retirer, de nombreux jeux de masques. Ces opérations sont forcément coûteuses, peuvent prendre du temps, et nécessitent un savoir-faire précis.

Enfin, on retiendra le nombre de sept à neuf étapes de photolithographie, critiques compte-tenu des risques de défaut lors du ré-alignement entre deux étapes.

2.3 La contrainte de la tension de commande

Après avoir évoqué précédemment à quel point le procédé de fabrication pouvait être long, nous allons maintenant aborder une autre contrainte : la tension de commande pour le blocage. Celle-ci doit être négative, par nature des JFET. L'astuce que nous avons trouvée et exposée dans le chapitre précédent, qui consistait à bloquer le canal latéral, et qui permettait de réduire (en valeur absolue) cette tension, ne peut plus être utilisée ici, du fait même de l'absence de canal latéral !

La figure 4.2(a) montre la vue en coupe d'une structure de JFET vertical 1200 V à canal vertical seulement. Comme dans le cas du JFET de Semisouth, le canal vertical est formé, après une gravure, par l'implantation de deux caissons p^+ [Vel09]. Les courbes de la figure 4.2(b) montrent bien qu'il est possible d'atteindre un courant très élevé pour un composant dont la surface est seulement de $0,143 \text{ cm}^2$ ($I_D = 50 \text{ A}$ pour $V_{DS} = 2 \text{ V}$).

Cependant, la figure 4.2(c) montre un gros défaut de ce genre de structure. La conductivité très bonne évoquée ci-dessus masque une tension de commande pour le blocage très élevée (en valeur absolue) : pour que le composant bloque 1200 V, il faut appliquer sur la grille un potentiel de -26 V . Ce potentiel devra bien sûr être encore plus négatif pour tenir des tensions plus élevées et avoir une marge par rapport aux objectifs.

Également, les courbes de la figure 4.2(b) trahissent un point faible de ce type de composant, que nous avons déjà mis en évidence : appliquer une tension légèrement positive comme com-

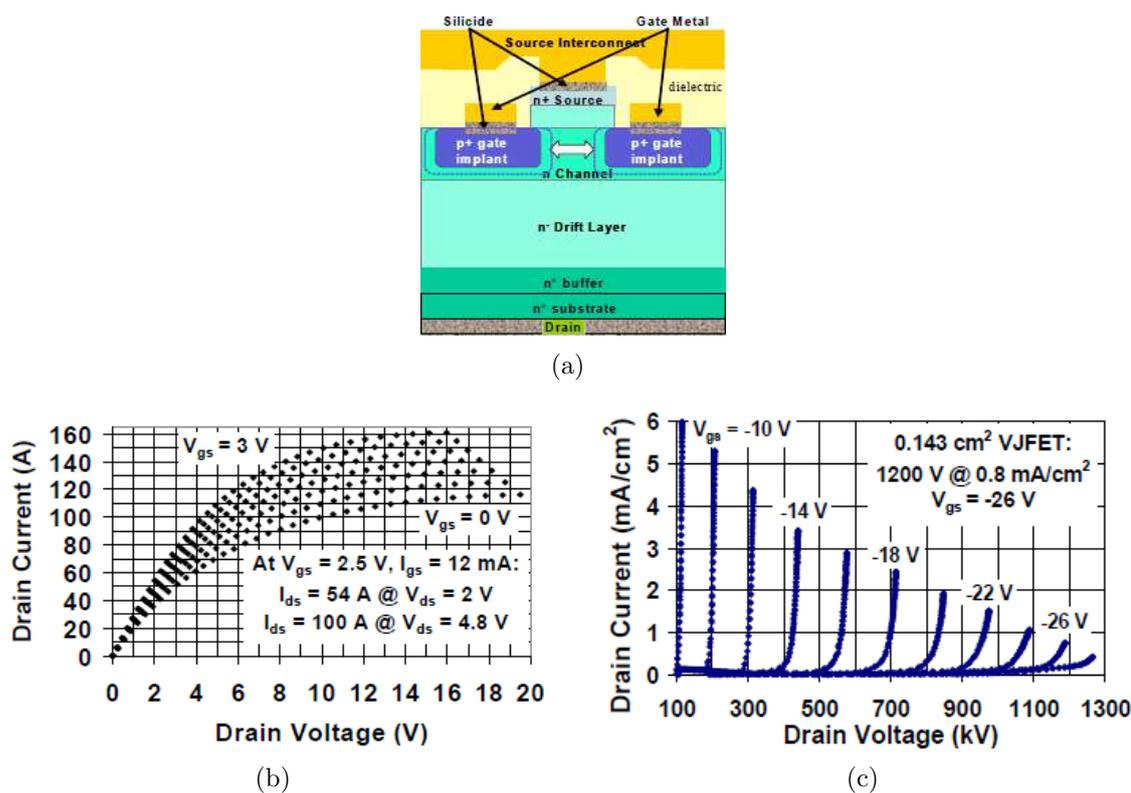


FIG. 4.2: (a) : Vue en coupe d'une structure de JFET vertical à canal vertical [Vel09]
 (b) : Courbes $I(V)$ en conduction de cette structure
 (c) : Courbes $I(V)$ au blocage de cette structure

mande sur la grille (dans ce cas 3 V au lieu de 0 V) permet d'augmenter de plus de 50% le courant traversant le composant.

Ainsi, d'un composant *normally-on* conduisant pleinement pour une tension de commande nulle, cette structure fait un composant qui nécessite une tension positive pour avoir une conduction maximale, et fortement négative pour tenir la tension pour laquelle il devrait être conçu. Une telle amplitude, ainsi qu'un changement de signe de la tension de commande imposent des contraintes particulièrement fortes sur les circuits de commande du composant.

Les objectifs que nous nous fixons sont donc une simplification du procédé de fabrication, une tension de commande moins négative et une totale conduction lorsqu'aucune tension de commande n'est appliquée.

3. Conception d'une structure innovante

3.1 La recherche d'une structure simple

Nous avons vu au chapitre précédent que la fabrication d'un JFET à canal latéral et vertical nécessitait douze étapes photolithographiques. L'enchaînement de deux étapes de photolithogra-

phie est toujours délicat à cause de la précision avec laquelle doit se faire le ré-alignement d'une étape sur la précédente. Ceci peut être source d'erreurs, et on préférera prendre des marges ($3 \mu\text{m}$ avec notre technologie) qui vont ainsi limiter la finesse des motifs.

Dans ce chapitre, nous avons vu plus haut que la fabrication d'un JFET à canal vertical nécessitait également un assez grand nombre d'étapes, bien que l'usage de matériaux de planarisation permette de limiter le nombre de niveaux de photolithographie. Le temps nécessaire pour fabriquer le composant dépend en grande partie du nombre d'étapes. En particulier, les étapes de reprise d'épithaxie peuvent être assez longues.

Nous nous sommes fixé comme objectif, d'un commun accord avec le CNM, de développer rapidement un JFET 1200 V. Ceci implique un nombre réduit d'étapes et l'utilisation maximale du principe d'auto-alignement.

3.2 Démarche de conception

a. Tenue en tension

L'objectif de tenue en tension est de 1200 V. À ce niveau-là, nous avons repris la démarche décrite au chapitre 2 concernant les diodes 1200 V. Nous avons donc retenu une épithaxie de $14 \mu\text{m}$ dopée n à un niveau de $7 \cdot 10^{15} \text{cm}^{-3}$.

b. Structure et dimensionnement du canal

Nous avons vu qu'une structure à canal latéral et vertical nécessitait beaucoup trop d'étapes technologiques pour être fabriquée rapidement. Partant de travaux déjà publiés comme étant fonctionnels [Bro07], nous avons privilégié une structure à canal vertical seulement, telle que celle présentée en figure 4.3.

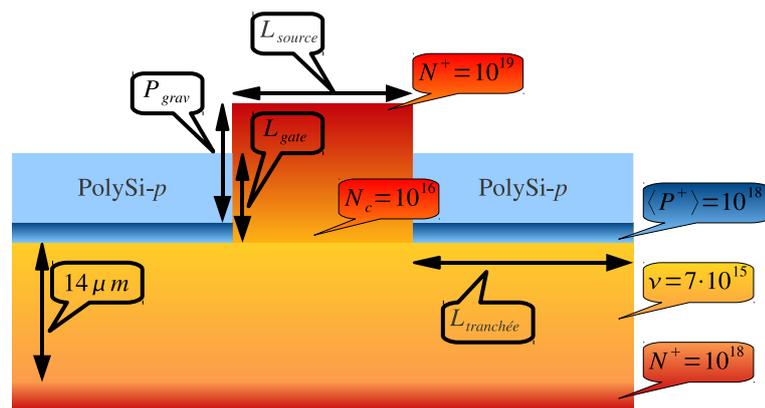


FIG. 4.3: Vue en coupe de la structure de JFET simple à canal vertical

Dans ce cas-là, le canal est délimité par la gravure autour de la zone de source, sur laquelle on vient appliquer une zone dopée de type p . Lorsqu'un potentiel négatif sera appliqué sur cette zone, la zone de charges d'espace pourra alors s'étendre dans le canal et ainsi obstruer le passage du courant. Dans le cas du JFET de Semisouth, on a vu que cette zone est créée par une reprise d'épithaxie. Cette technique nécessite un savoir-faire très précis et très contraignant.

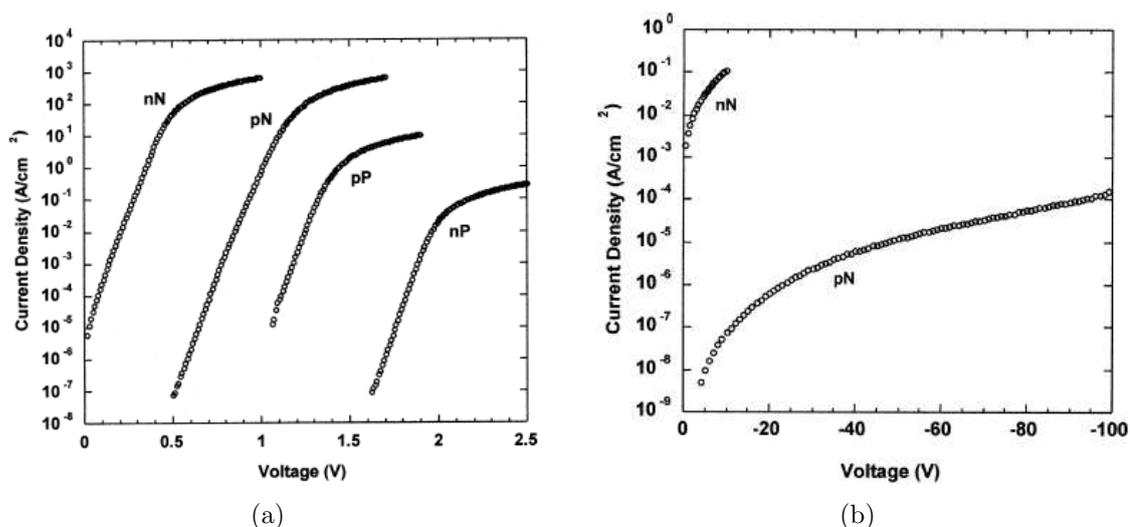


FIG. 4.4: Caractéristiques directes (a) et inverses (b) de contacts poly-silicium dopés p ou n sur des substrats dopés P ou N (notation de la figure) [Hen98]

Or une technique relativement ancienne [Hen98] a fait ses preuves en matière de contacts redresseurs. Comme le montre les figures 4.4(a) et 4.4(b), déposer du poly-silicium dopé de type p (au bore) sur du SiC de type n (dopé à un niveau de $6 \cdot 10^{15} \text{ cm}^{-3}$) permet de créer un contact redresseur. Les fuites, au niveau de tension qui nous intéresse, c'est-à-dire moins de -20 V , sont inférieures au micro-Ampère.

L'aspect redresseur est clairement mis en évidence par l'autre courbe de la figure ??, notée « nN ». Cette courbe est caractéristique d'un dépôt, sur le même matériau SiC, de poly-silicium dopé de type n cette fois-ci (au phosphore). On voit que dans ce cas, il s'agit pratiquement d'une résistance.

D'un point de vue technologique, il est beaucoup plus facile de déposer du poly-silicium dopé que de procéder à une reprise d'épitaxie. Nous avons donc eu l'idée d'utiliser cette technique pour réaliser la grille du JFET. Il sera alors facile d'obtenir une couche épaisse, c'est-à-dire une grande longueur de grille. Ceci devrait permettre de faciliter le blocage. En revanche, une grande longueur de grille entraîne également une grande longueur de canal, qui peut s'avérer résistif. Par ailleurs, cela impose de pouvoir graver profondément le matériau de départ. Or une gravure profonde peut laisser un état de surface rugueux en fond de tranchée. Mais cet état ne sera pas handicapant dans notre cas, puisqu'il ne s'agit pas de reprendre la croissance du matériau, mais bien de déposer un nouveau type de matériau, le poly-silicium.

On peut également envisager, afin de limiter les fuites par la grille, une implantation p^+ en fond de gravure, sur une profondeur qui n'a pas à être très grande. Ainsi, elle sera également mieux protégée contre le champ remontant de la face arrière.

c. Premiers éléments de technologie

Avec les considérations ci-dessus, on peut déjà commencer à envisager le procédé technologique de fabrication du JFET. Il est possible de démarrer d'un matériau n^+ , face arrière

du dispositif, sur lequel on aura fait croître une épitaxie n^- de $14 \mu\text{m}$ dopée à $7 \cdot 10^{15} \text{ cm}^{-3}$. Par-dessus, on trouvera une deuxième épitaxie n , dopée à 10^{16} cm^{-3} , support du canal, et dont l'épaisseur sera à déterminer. Enfin, on terminera par une couche n^+ , dopée à 10^{18} ou 10^{19} cm^{-3} , sur $0,2 \mu\text{m}$, pour former le contact ohmique de source.

La fabrication commencera par la gravure locale de la longueur du canal, afin de rejoindre la couche de *drift*. En gardant le masque de gravure (de préférence en aluminium), on procédera à l'implantation d'une poche de $0,5 \mu\text{m}$ de p^+ , à un niveau de dopage de 10^{18} cm^{-3} . Ensuite, sera déposé, en phase liquide, du poly-silicium dopé de type p , sur une hauteur qui sera également à déterminer en fonction de la longueur du canal et qui formera ainsi une grille verticale de type Schottky.

On voit qu'ainsi, en trois étapes (une gravure, une implantation ionique et un dépôt) et un seul niveau masque, la zone active du JFET est pratiquement terminée...

3.3 Considérations électriques et résultats de simulations

a. Paramètres influents

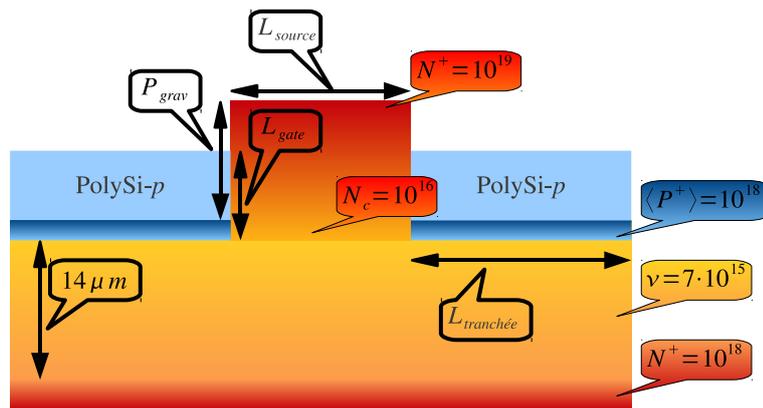


FIG. 4.5: Rappel de la vue en coupe du JFET

La figure 4.5 rappelle la vue en coupe de la structure du JFET avec ses paramètres.

Afin d'avoir un niveau d'intégration le plus élevé possible, c'est-à-dire avoir des motifs les plus fins possibles, nous avons fait le choix, pour L_{source} , de nous mettre en limite de résolution technologique : $L_{\text{source}} = 2 \mu\text{m}$. En ce qui concerne la largeur des tranchées ($L_{\text{tranchée}}$), nous avons choisi de prendre une marge en la fixant à $4 \mu\text{m}$. Mais des essais ont rapidement montré qu'il était possible de déposer du poly-silicium en phase liquide dans des tranchées de seulement $3 \mu\text{m}$ de large. En réduisant ainsi d'un micro-mètre la largeur du motif de base, à surface active constante, on augmente l'intégration d'environ 17%. Ceci a pour effet immédiat de diminuer la résistance à l'état passant. Ainsi, la limite en courant sera moins contraignante et l'auto-échauffement du composant sera moindre.

L'influence de la profondeur de gravure, notée P_{grav} sur la figure 4.5, a été étudiée. Les valeurs retenues sont de 2, 4 et $6 \mu\text{m}$. Les épaisseurs de poly-silicium associées ont alors pris pour valeurs respectives 1, 2 et $4 \mu\text{m}$. La longueur totale de la grille est donc la somme de l'épaisseur de poly-silicium et de l'implantation p^+ , soit $\{1, 2, 4\} + 0,5 \mu\text{m}$.

Les simulations ont été réalisées cette fois encore par la méthode des éléments finis avec la suite logicielle Sentaurus de Synopsys.

b. Caractéristiques électriques obtenues en simulation

Les figures 4.6(a) à 4.6(f) montrent les caractéristiques $J_{DS}(V_{DS})$ obtenues en simulation pour différentes profondeurs de gravure, et ainsi différentes longueurs de grille. Les profondeurs retenues sont 2, 4 et 6 μm . Ces profondeurs sont facilement atteignables par une gravure RIE, avec un état de surface après gravure acceptable. De plus, l'étape suivante étant une implantation ionique, l'état de surface n'est pas particulièrement critique. Les épaisseurs de poly-silicium alors déposées sont respectivement de 1, 2 et 4 μm . On obtiendra des grilles de longueurs respectives 1, 5 ; 2, 5 et 4, 5 μm .

Incontestablement, et sans surprise, la densité de courant la plus élevée (pour une tension de commande nulle) est obtenue pour une profondeur de gravure de 2 μm ; dans ce cas, l'épaisseur de poly-silicium déposée est de 1 μm , ce qui permet d'obtenir une longueur de 1, 5 μm (avec les 0, 5 μm d'implantation p^+ en fond de gravure).

En effet, cette configuration offre la grille la plus courte, c'est-à-dire la résistance à l'état passant la plus faible. Puisqu'il s'agit d'un composant avec un canal seulement vertical, la longueur de la grille détermine directement la longueur du canal, donc sa résistance à l'état passant ($R = \rho \frac{l}{\Sigma}$).

Ces courbes montrent également à partir de quelle tension de commande sur la grille le dispositif est capable de bloquer 1200 V. Les deux composants présentant la grille la plus longue parviennent à cette tenue en tension pour une tension de commande sur la grille comprise entre -10 et -20 V, avec des densités de courant de fuite inférieures à la centaine de micro-Ampère. En revanche, pour le composant présentant la grille de 1, 5 μm , le blocage pour une telle tension de commande n'est que de 800 V. On en apprendra davantage sur les courbes de la figure 4.7(a).

Pour une tension de drain $V_{DS} = 1$ V, on voit que le canal est complètement bloqué pour des tensions de grille V_{GS} comprises entre -6, 5 et -7, 3 V pour les différentes longueurs de grille simulées. Or, dans le cas de la grille la plus courte (1, 5 μm), il faut une tension de commande inférieure à -20 V pour tenir 1200 V ; dans le cas de la grille de 2, 5 μm , cette tension de commande est comprise entre -15 et -20 V.

La figure 4.7(b) montre une caractéristique $J_{DS}(V_{DS})$ pour les faibles V_{DS} permettant d'extraire la résistance à l'état passant du composant (en effet, à l'état passant, on s'attend à ce que la tension V_{DS} soit plutôt dans les faibles valeurs). La valeur de la résistance du matériau support, avant la fabrication du composant, est établie de manière analytique à environ $2 \text{ m}\Omega \cdot \text{cm}^{-2}$. On y voit également que l'augmentation de 1 μm de la longueur de la grille se traduit par une augmentation de 25% de la résistance à l'état passant. Or on a vu plus haut qu'il était plus aisé d'atteindre un blocage de 1200 V avec une grille plus longue. Le compromis que nous avons trouvé est donc d'avoir la grille la plus longue possible en diminuant le plus possible la profondeur de gravure. La distance grille-source est donc réduite. Mais les très faibles tensions appliquées sur la grille restent largement en-dessous du seuil de claquage de la jonction.

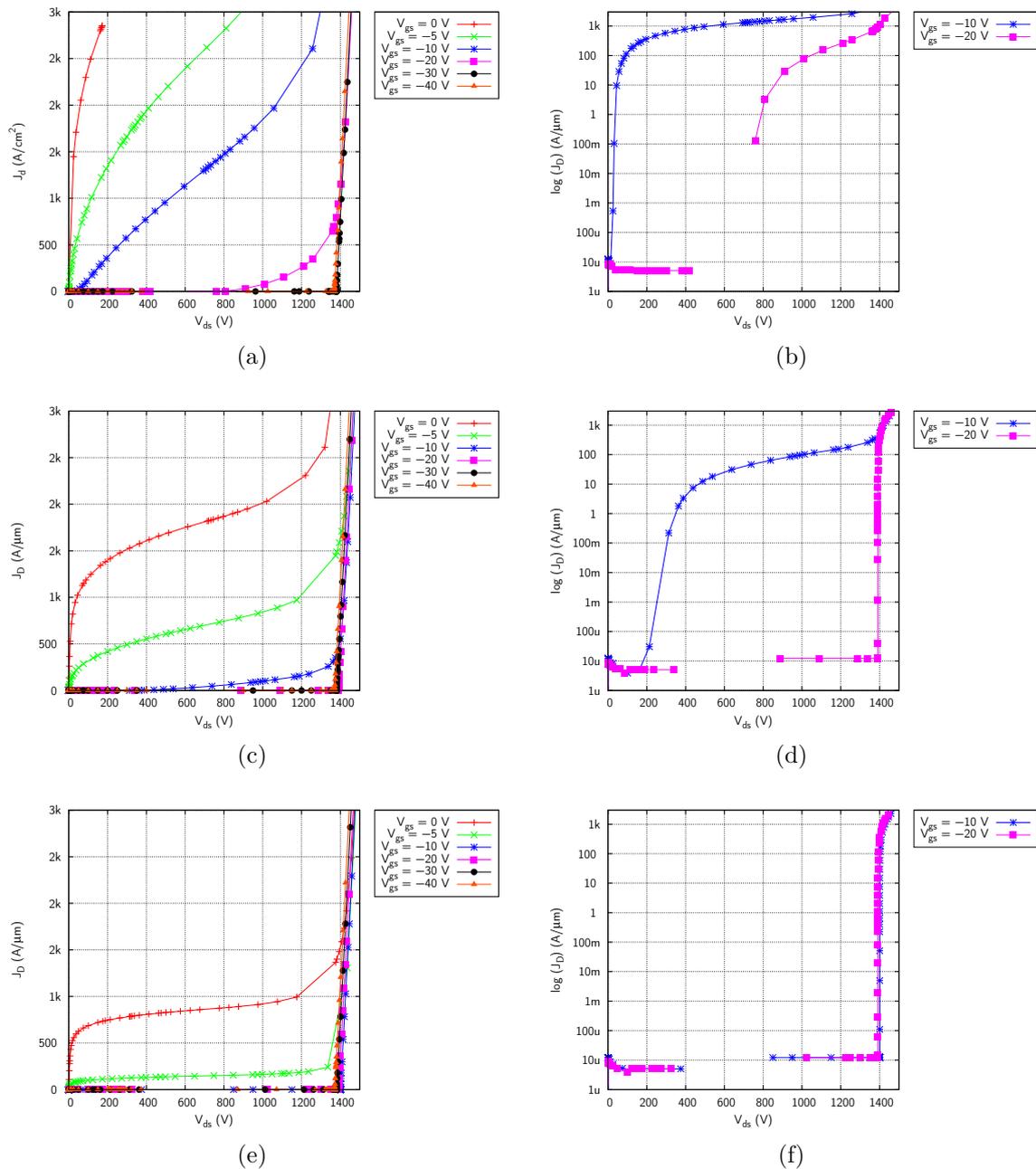


FIG. 4.6: Caractéristiques $J_{DS}(V_{DS})$ obtenues en simulation pour une profondeur de gravure de $2 \mu\text{m}$ (a), avec une longueur de grille de $1,5 \mu\text{m}$, de $4 \mu\text{m}$ (c), avec une longueur de grille de $2,5 \mu\text{m}$, et de $6 \mu\text{m}$ (e), avec une longueur de grille de $4,5 \mu\text{m}$; les courbes (b), (d) et (f) montrent les densités de courant correspondant respectivement aux premières courbes en échelle logarithmique

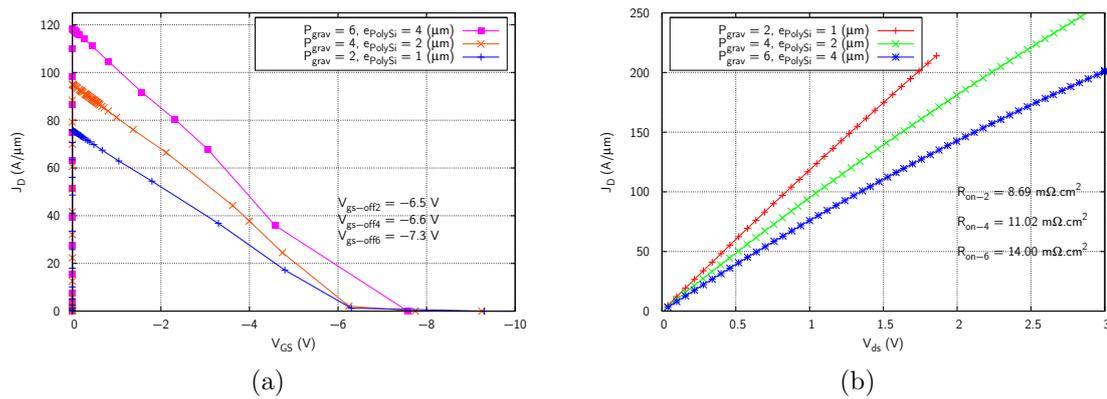


FIG. 4.7: (a) : Courbes $J_{DS}(V_{GS})$ traduisant la transconductance du JFET pour différentes configurations, sous une tension $V_{DS} = 1$ V
 (b) : Courbes $J_{DS}(V_{DS})$ pour des faibles V_{DS}

On arrive donc à une profondeur de gravure de 2,5 μm. Le poly-silicium sera déposé sur une épaisseur de 1,5 μm, ce qui permettra d'arriver à une longueur de grille de 2 μm environ.

4. Procédé de fabrication

Les différentes vues du jeu de masque seront détaillées en annexe ; nous présentons ici les vues en coupe des échantillons après les différentes étapes du procédé de fabrication.

4.1 Procédé simplifié



FIG. 4.8: Vue en coupe des plaquettes sur lesquels seront fabriqués les JFET à simple grille

Les composants seront réalisés au CNM sur des plaques SiC de 3 pouces, composées de n^+ en face arrière, sur laquelle a été procédé une épitaxie de 14 μm dopée à $7 \cdot 10^{15}$ cm⁻³. Il y aura ensuite une deuxième épitaxie de 3 μm dopée à 10^{16} cm⁻³, puis une troisième épitaxie de 0,2 μm dopée à 10^{18} cm⁻³ pour réaliser le contact de source. Ensuite seront réalisées les différentes étapes :

1. première gravure RIE de 2,5 μm,
2. implantation p^+ à 10^{17} cm⁻³ avec le masque de gravure (double charge d'aluminium Al à 320 keV),
3. dépôt du poly-silicium dopé p sur une épaisseur de 1,5 μm ; sur les grandes zones (plot de source ou protection périphérique), le poly-silicium devrait disparaître de lui-même lors

de son oxydation ; si toutefois, sur ces zones, ce phénomène ne se produisait pas, nous avons prévu un niveau d'ouverture des contacts,

4. gravure *mesa* en périphérie,
5. implantation JTE (implantation p à une dose de 10^{13} cm^{-2})
6. oxydation du poly-silicium, et éventuellement retrait sur les grandes zones (l'oxydation du poly-silicium risque d'entraîner également une oxydation du SiC, ce qui peut-être une bonne chose au-dessus de la terminaison) ; le SiC sera oxydé sur une épaisseur beaucoup plus faible que le silicium polycristallin, il sera ainsi facile de retirer cette fine couche d'oxyde,
7. dépôt du métal de source (le poly-silicium oxydé va autoriser le dépôt de métal par dessus sans risquer le contact ohmique),
8. dépôt du métal épais sur la source et la grille,
9. dépôt d'une couche de diélectrique de passivation, puis ouverture au-dessus des zones de contact.

La zone active du composant est donc réalisée avec quatre niveaux de photolithographie (cinq en comptant le niveau de retrait du poly-silicium oxydé), en comptant les étapes de métallisation et de passivation. À cela, il faut rajouter la fabrication de la protection périphérique, qui comprend un niveau pour la gravure *mesa*, et un niveau pour l'implantation JTE.

4.2 Détail des différentes vues

Les composants fabriqués font $2800 \mu\text{m}$ de longueur (ce qui permet d'obtenir une longueur totale de canal de 60 cm de long, avec $300 \mu\text{m}$ de largeur de contact de grille) sur $1200 \mu\text{m}$ de largeur.



FIG. 4.9: Vue en coupe de l'étape de gravure RIE (les doigts font $2 \mu\text{m}$ de largeur et sont espacés de $3 \mu\text{m}$)



FIG. 4.10: Implantation p^+ suivant le masque de gravure afin d'atteindre le fond de gravure

Le procédé technologique de fabrication commence par la gravure RIE des plaquettes sur une profondeur de $2,5 \mu\text{m}$, représenté sur la figure 4.9. Ensuite, le masque de gravure est conservé pour procéder à une implantation ionique de p en fond de gravure, afin de protéger la grille des pics de champ pouvant remonter depuis la face arrière (figure 4.10).

Ensuite est déposé en phase liquide du poly-silicium dopé p sur une épaisseur de $1,5 \mu\text{m}$. La phase liquide facilite le dépôt au fond des tranchées gravées. De plus, il devrait se retirer de lui-même sur les grandes zones. Cette étape a été vérifiée expérimentalement sur des plaquettes de GaN au CNM.

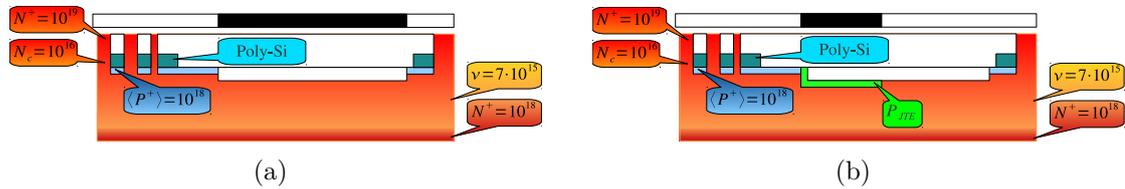


FIG. 4.11: (a) : Vue en coupe des plaquettes après gravure *mesa* de protection périphérique
(b) : Vue en coupe des plaquettes après l'implantation JTE

Les composants seront protégés par la traditionnelle combinaison *mesa*-JTE : gravure *mesa* de $3 \mu\text{m}$ de profondeur sur $400 \mu\text{m}$ (figure 4.11(a)), suivie d'une implantation p à une dose de 10^{13} cm^{-2} sur $0,6 \mu\text{m}$ de profondeur pour $120 \mu\text{m}$ de largeur (figure 4.11(b)).

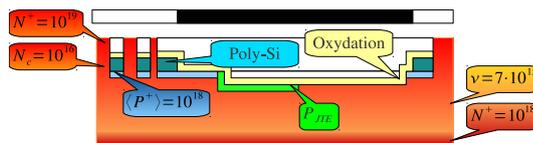


FIG. 4.12: Vue en coupe des plaquettes après retrait du poly-silicium sur les grandes zones

Bien qu'il soit prévu un retrait du poly-silicium de lui-même lors du dépôt sur les grandes zones, nous avons prévu un niveau de masque pour nous assurer son total retrait sur les zones où il pourrait être gênant. C'est ainsi qu'il est représenté sur la figure 4.12.

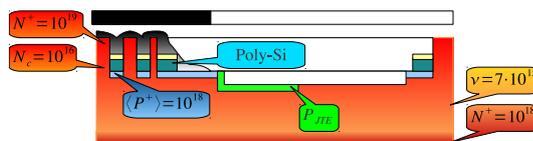


FIG. 4.13: Vue en coupe des plaquettes après dépôt du métal assurant le contact ohmique de source

Les étapes suivantes vont consister en des dépôts de métal : d'abord un métal assurant le contact ohmique de source au-dessus des doigts de source et du poly-silicium oxydé (donc isolant par rapport à la grille) avec le masque de la figure 4.13, puis un métal épais au dessus des plots de source et de grille.

Le procédé se terminera par une couche de passivation, un dépôt de polymide standard, que l'on ouvrira au-dessus des plots de la zone active.

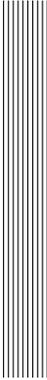
Conclusions sur la fabrication

Un brevet a pu être déposé, dont les revendications portent principalement sur le procédé de fabrication. Les composants sont en cours de fabrication au CNM.

Il est cependant possible de tirer certains enseignements des mesures opérées pendant la fabrication. Principalement, il a été constaté une sur-attaque de la couche n^+ de source lors de l'étape de retrait du poly-silicium. La conséquence douloureuse est la formation d'un contact redresseur sur la source, au lieu d'un contact ohmique. La solution envisagée pour palier ce problème est l'utilisation, dès le début, de plaquettes comportant une dernière épitaxie n^+ plus épaisse d'environ 1 ou 2 μm .

Également, l'utilisation d'une solution plus sélective pour la gravure du poly-silicium est envisagée.

Des premières mesures électriques devraient permettre de confirmer rapidement la tenue en tension des jonctions grille-drain et grille-source. On peut aussi imaginer une caractérisation de type $I_D(V_D)$, mais en inversant les polarités conventionnelles de drain et de source. Celle-ci permettra de montrer une modulation du canal (pour de faibles V_D).



Synthèse, perspective, prospectives

L'électronique de puissance a de beaux jours devant elle, tant la maîtrise de l'énergie électrique devient un enjeux sociétal et environnemental particulièrement fort aujourd'hui.

Depuis la commercialisation des premières diodes Schottky en 2001, le carbure de silicium s'est imposé comme le matériau le plus adapté aux composants de puissance, soumis à des contraintes sévères en termes de tenue en tension, de courant à l'état passant, de température de fonctionnement, de fréquence de commutation ou encore de puissance dissipée. Les travaux portant sur la maîtrise des procédés de fabrication n'ont alors jamais cessé, afin d'obtenir des composants toujours plus performants et dont les caractéristiques sont reproductibles, pierre angulaire de la conversion de puissance.

Nous avons commencé ce travail par un état de l'art de ces étapes technologiques et des composants dont elles pouvaient autoriser la fabrication.

Nous avons ensuite étudié les possibilités de protection périphériques des dispositifs à travers des diodes PiN et JBS, afin de maximiser le profit des propriétés exceptionnelles du carbure de silicium. Plusieurs solutions ont été envisagées : gravure *mesa*, implantation périphérique fortement et faiblement dopée, implantation sur une plus ou moins grande distance ou en anneaux, ou combinaison des deux techniques. L'objectif était la protection la plus efficace des dispositifs favorisant au mieux l'intégration.

Ces aspects nous ont permis de proposer un nouvel interrupteur électronique de puissance, commandé en tension. Il s'agit d'un transistor. La maturité des procédés technologiques actuels nous a orientés vers la déclinaison à effet de champ contrôlé par jonction. Différentes possibilités de structures ont alors été étudiées. Nous avons toujours pris soin de nous inscrire dans les limites acceptables pour les procédés de fabrication.

Nous avons mené nos travaux sans jamais perdre de vue deux aspects essentiels :

- d'abord un objectif de tenue en tension élevée,
- ensuite un objectif de procédé de fabrication le plus simple possible.

L'étude bibliographique que nous avons menée en amont de ce travail, nous a permis de parfaitement positionner ce travail par rapport aux dispositifs existant et aux verrous auxquels ils étaient confrontés. Il a ainsi été rapidement admis que les composants verticaux (c'est-à-dire avec le drain en face arrière) étaient seuls capables d'atteindre des niveaux de tension pour lesquels la recherche de structures est encore indispensable.

Nous avons compris qu'il ne serait pas possible, pour un JFET à canal vertical unique, d'atteindre des tensions bien supérieures à 1200 V, et *a fortiori* 3300 V. Ainsi, il faut adjoindre au canal vertical un canal latéral, formé par l'implantation d'un caisson p^+ qui aura pour rôle principal la protection de la source contre les fuites, facilitant le blocage des très hautes tensions.

Fort de ce constat, il serait intéressant d'étudier si cette solution est extensible à des tensions encore plus élevées, ou bien s'il faut encore améliorer la structure.

Cette structure permet donc d'atteindre une tension de blocage élevée, ce qui remplit l'un de nos objectifs. En revanche, cette solution impose des étapes supplémentaires dans le procédé technologique de fabrication. L'une des plus critiques est la reprise d'épithaxie par dessus une surface implantée, et par suite, la gravure locale de cette couche avec les tolérances que l'on a présentées.

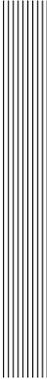
Le concept de cette structure de JFET étant validé, ainsi que sa tenue en tension éprouvée, nous avons cherché une simplification des procédés de fabrication. Ceci nous a conduit, d'une part à restreindre nos objectifs de tenue en tension, et d'autre part à revoir le principe même du JFET.

Nous avons donc abouti à une structure fonctionnelle à canal vertical seulement, dont le procédé de fabrication est minimaliste et en grande partie auto-aligné. Les simulations donnent certaines tendances, comme une tension de commande au blocage inférieure, en valeur absolue, à -10 V et une tenue en tension supérieure à 1200 V. À l'heure où ces lignes sont écrites, les JFET sont en cours de fabrication et, malheureusement, aucune mesure électrique ne pourra, dans ce cas-là, confirmer les résultats des simulations.

Ce que l'on retiendra est donc que l'objectif d'une tension élevée, par exemple 3300 V, entraîne des étapes supplémentaires, donc une complication du procédé de fabrication. En revanche, avec un procédé de fabrication simple, il est possible d'atteindre 1200 V. La structure 3300 V, ainsi que le procédé de fabrication pour la structure 1200 V ont chacun fait l'objet d'un dépôt de brevet.

Il sera intéressant par la suite d'approfondir l'étude de la tenue en tension de la structure 3300 V, afin de déterminer la tension à laquelle cette structure peut être soumise.

En ce qui concerne la structure 1200 V, la tenue en tension pourra également être un sujet d'étude à approfondir, en optimisant la dose d'implantation du caisson p^+ enterré. Peut-être serait-il possible de le rendre compatible avec une implantation JTE en périphérie. Dans ce cas, il faudra analyser quelle est l'influence de la gravure *mesa* dans la protection de ce composant, pour ces calibres en tension.



Bibliographie

- [Arn92] JACQUES ARNOULD et PIERRE MERLE, *Dispositifs de l'électronique de puissance*, Hermes, 1992.
- [Bai03] K.H. BAIK, Y. IROKAWA, F. REN, S.J. PEARTON, S.S. PARK et Y.J. PARK, «Design of junction termination structures for GaN Schottky power rectifiers», *Solid-State Electronics*, tome 47, p. 975–979, 2003.
- [Bal05] B. JAYANT BALIGA, *Silicon carbide power devices*, World scientific, 2005.
- [Bal08] B JAYANT BALIGA, *Fundamentals of power semiconductor devices*, Springer, 2008.
- [Bat12] G. BATTISTIG, «Orientation dependent growth of SiC nanocrystals at the SiO₂/Si interface», *Thin Solid Films*, tome 520, p. 1973–1977, 2012.
- [BB10] M. BOUARROUDJ-BERKANI, D. OTHMAN, S. LEFEBVRE, S. MOUMEN, Z. KHATIR et T. BEN SALLAH, «Ageing of SiC JFET transistors under repetitive current limitation conditions», *Microelectronics reliability*, tome 50, p. 1532–1537, 2010.
- [Ber07] K BERTILSSON et C.I. HARRIS, «Comparison of bipolar and unipolar SiC switching devices for very high power applications», *Materials Science Forum*, tome 556-557, p. 975–978, 2007.
- [Ber12] MAXIME BERTHOU, *Implementation of high voltage silicon carbide rectifiers and switches*, Thèse de doctorat, INSA de Lyon, 2012.
- [Bro04] PIERRE BROSELARD, *Conception, réalisation et caractérisation d'interrupteurs (thyristors et JFET) haute tension (5 kV) en carbure de silicium*, Thèse de doctorat, INSA de Lyon, 2004.
- [Bro07] P. BROSELARD, D. TOURNIER, A. MIHAILA, F. UDREA, S.J. RASHID, P. GODIGNON, G. AMARATUNGA et J. MILLÁN, «Bidirectional current 4H-SiC VJFET», *Physica Status Solidi (c)*, tome 4, p. 1544–1547, 2007.
- [Bro08] PIERRE BROSELARD, MAXIME BERTHOU, XAVIER JORDÀ, PHILIPPE GODIGNON et JOSE MILLÁN, «Comparaison de diodes SiC-4H Schottky et bipolaires 3 kV - 20 A», dans «Électronique de Puissance du Futur», 2008.
- [Bro09a] P. BROSELARD, V. BANU, N. CAMARA et A. PÉREZ-TOMÁS, «Recent progress in 3,3 kV SiC diodes», *Materials Science & Engineering B*, tome 165, p. 15–17, 2009.
- [Bro09b] PIERRE BROSELARD, NICOLAS CAMARA, JAWAD HASSAN, XAVIER JORDÀ, PEDER BERGMAN, JOSEP MONTSERRAT et JOSÉ MILLÁN, «3,3 kV-10 A 4H-SiC PiN diodes», *Materials Science Forum*, tome 600-603, p. 991–994, 2009.
- [Bro09c] PIERRE BROSELARD, NICOLAS CAMARA, XAVIER JORDÀ, MIQUEL VELLVEHI, EDWIGE BANO, JOSÉ MILLÁN et PHILIPPE GODIGNON, «Reliability aspects of high voltage 4H-SiC JBS diodes», *Materials Science Forum*, tome 600-603, p. 935–938, 2009.

- [CdF11] GABRIEL CIVRAC DE FABIAN, MIHAI LAZAR, DOMINIQUE PLANSON, PIERRE BROSELARD, JAWAD UL HASSAN, ANNE HENRY, BERTRAND VERGNE et SIGO SCHARNHOLZ, «600 V PiN diodes fabricated using on-axis 4H silicon carbide», dans «International Conference on Silicon Carbide and Related Materials Abstract Book», 2011.
- [Che06] L. CHENG, J.R.B. CASADY, M.S. MAZZOLA, V. BONDARENKO, R.L. KELLEY, I. SANKIN, J.N. MERRETT et J.B. CASADY, «Fast switching (41 MHz), $2.5 \text{ m}\Omega \cdot \text{cm}^2$, high current 4H-SiC VJFETs for high power and high temperature applications», *Materials Science Forum*, tome 527-529, p. 1183–1186, 2006.
- [Che11] FLORIAN CHEVALIER, PIERRE BROSELARD, DOMINIQUE PLANSON et DOMINIQUE TOURNIER, «Conception d'un JFET haute tension à canal latéral et vertical en carbure de silicium», dans «Journées Nationales des Doctorants en Micro et nano-électronique», 2011.
- [CRE11] CREE, Inc., *Silicon Carbide Substrates and Epitaxy, Product Specifications*, 2011.
- [Das08] MRINAL K. DAS, ROBERT CALLANAN, D. CRAIG CAPELL, BRETT HULL, FATIMA HUSNA, JAMES RICHMOND, MICHAEL O'LOUGHLIN, MICHAEL J. PAISLEY, ADRIAN POWELL et QINGCHUN ZHANG, «State of the art of 10 kV NMOS transistor», dans «Interational Symposium on Power Semiconductor Devices & IC's», 2008.
- [Dhe10] NICOLAS DHEILLY, DOMINIQUE PLANSON, GONTRAN PÂQUES et SIGO SCHARNHOLZ, «Conception d'une protection périphérique originale pour composants bipolaires en carbure de silicium (SiC)», dans «Électronique de Puissance du Futur», 2010.
- [Dhe11] NICOLAS DHEILLY, *Conception et optimisation de thyristors optiques en carbure de silicium pour des applications d'électronique impulsionnelle*, Thèse de doctorat, INSA de Lyon, 2011.
- [Eko02] ADAMAH EKOUE, *Caractérisations électriques et physico-chimiques des oxydes sur carbure de silicium : application à une technologie MOSFET*, Thèse de doctorat, INSA de Lyon, 2002.
- [Fer77] ARMANDO P. FERRO, «Electric Field controlled diode with a current controlling surface grid», 1977.
- [Fri00] PETER FRIEDRICHS, HEINZ MITLEHNER, RAINER KALTSCHMIDT, ULRICH WEINERT, WOLFGANG BARTSCH, CHRISTIAN HECHT, KARL OTTO DOHNKE, BENNO WEIS et DIETRICH STEPHANI, «Static and dynamic characteristics of 4H-SiC JFETs designed for different blocking categories», *Materials Science Forum*, tome 338-342, p. 1243–1246, 2000.
- [Fri01] PETER FRIEDRICHS, HEINZ MITLEHNER, REINHOLD SCHÖRNER, RAINER KALTSCHMIDT, KARL-OTTO DOHNKE et DIETRICH STEPHANI, «Influence of the buried *p*-layer on the blocking behavior of vertical JFETs in 4H-SiC», *Materials Science Forum*, tome 353-356, p. 695–698, 2001.
- [Hab10] H. HABUKA, K. TANAKA, Y. KATSUMI, N. TAKECHI, K. FUKAE et T. KATO, «4H-SiC surface morphology etched using ClF_3 gas», *Materials Science Forum*, tome 645-648, p. 787–790, 2010.
- [Hal99] A. HALLÉN, A. HENRY, P. PELLEGRINO, B.G. SVENSSON et D. ARBERG, «Ion implantation induced defects in epitaxial 4H-SiC», *Materials Science & Engineering B*, tome 61-62, p. 378–381, 1999.
- [Hen98] J.P. HENNING, K.J. SCHOEN, M.R. MELLOCH, J.M. WOODALLET et J.A. COOPER, «Electrical characteristics of rectifying polycrystalline silicon/silicon carbide heterojunctions», *Journal of Electronics Materials*, tome 27, p. 296–299, 1998.

- [Hen11] ANNE HENRY, STEFANO LEONE, FRANZISCA C. BEYER, SVEN ANDERSSON, OLOF KORDINA et ERIK JANZÉN, «Chloride based CVD of 3C–SiC on (0001) α -SiC substrates», *Materials Science Forum*, tome 679-680, p. 75–78, 2011.
- [Hua00] ALEX Q. HUANG et BO ZHANG, «Comparing SiC switching power devices : MOS-FET, NPN transistor and GTO thyristor», *Solid-State Electronics*, tome 44, p. 325–340, 2000.
- [Iva00] PAVEL A. IVANOV, MICHAEL E. LEVINSHTEIN, SERGEY L. RUMYANTSEV, ANANT K. AGARWAL et JOHN W. PALMOUR, «Turn-off operation of MOS-gate 2,6 kV 4H–SiC gate turn-off thyristor», *Solid-State Electronics*, tome 44, p. 2155–2159, 2000.
- [Kon97] A.O. KONSTANTINOV, Q. WAHAB, N. NORDELL et U. LINDEFELT, «Ionization rates and critical fields in 4H silicon carbide», *Applied Physics Letters*, tome 71, p. 90–92, 1997.
- [Kur87] N. KURODA, K. SHIBAHARA, W. S. YOO et ET AL., «Step-controlled VPE growth of SiC single crystals at low temperatures», dans «Extended abstracts of the 19th conference on Solid State Devices and Materials», 1987.
- [Lan97] FRÉDÉRIC LANOIS, *Étude de la gravure du carbure de silicium, application à la réalisation de composants de puissance*, Thèse de doctorat, INSA de Lyon, 1997.
- [Laz02] MIHAI BOGDAN LAZAR, *Étude du dopage par implantation ionique d'aluminium dans le carbure de silicium pour la réalisation composants de puissance*, Thèse de doctorat, INSA de Lyon, 2002.
- [Laz06] M LAZAR, H VANG, P. BROSELARD, C. RAYNAUD, P. CREMILLIEU, J.L. LECLERCQ, A. DESCAMPS, S. SCHARNHOLZ et D. PLANSON, «Deep SiC etching by RIE», *Superlattices and microstructures*, tome 40, p. 388–392, 2006.
- [Lel55] JAN ANTHONY LELY, «Darstellung von Einkristallen von Silizium Karbid und Beherrschung von Art und Menge der eingebauten Vereinigungen», *Berichte der Deutschen Keramischen Gesellschaft*, tome 32, p. 229, 1955.
- [Leo11] STEFANO LEONE, YUAN-CHIH LIN, FRANZISKA C. BEYER, SVEN ANDERSSON, HENRIK PEDERSEN, OLOF KORDINA, ANNE HENRY et ERIK JANZÉN, «Chloride-based CVD at high rates of 4H–SiC on on-axis Si-face substrates», *Materials Science Forum*, tome 679-680, p. 59–62, 2011.
- [Lio09] BOR WEN LIOU, «Fabrication of high breakdown voltage silicon Schottky barrier diodes using various edge termination structures», *Thin Solid Films*, tome 517, p. 6558–6564, 2009.
- [Lu03] WEIJIE LU, W.C. MITCHEL, G.R. LANDIS, T.R. CRENSHAW et W. EUGENE COLLINS, «Ohmic contact properties of Ni/C film on 4H–SiC», *Solid-State Electronics*, tome 47, p. 2001–2010, 2003.
- [Mah05] ATUL MAHAJAN et B.J. SKROMME, «Design and optimization of junction termination extension (JTE) for 4H-SiC high voltage Schottky diodes», *Solid-State Electronics*, tome 49, p. 945–955, 2005.
- [Mat93] HIROYUKI MATSUNAMI, «Progress in epitaxial growth of SiC», *Physica B : Condensed Matter*, tome 185, p. 65–74, 1993.
- [Mat97] HIROYUKI MATSUNAMI et TSUNENOBU KIMOTO, «Step-controlled epitaxial growth of SiC : high quality homoepitaxy», *Material Science and Engineering*, tome 20, p. 125–166, 1997.
- [Mat01] HENRY MATHIEU, *Physique des semi-conducteurs et des composants électroniques*, Dunod, cinquième édition, 2001.

- [Maz04] MICHAEL S. MAZZOLA, JEFFREY B. CASADY, NEIL MERETT, IGOR SANKIN, WILLIAM DRAPER, DOUGLAS SEALE, VOLODYMYR BONDARENKO, YAROSLAV KOSKA, JAMES GAFFORD et ROBIN KELLEY, «Assessment of "Normally On" and "Quasi On" SiC VJFET's in half-bridge circuits», *Materials Science Forum*, tome 457-460, p. 1153–1156, 2004.
- [Mer07] JOSEPH MERETT, IGOR SANKIN et STEVEN BRUESS, «Self-aligned trench field effect transistors with regrown gates and bipolar junction transistor with regrown base contact regions and methods of making», 2007.
- [Mih03] A. MIHAILA, F. UDREA, G. BREZEANU et G. AMARATUNGA, «A numerical comparison between MOS control and junction control high voltage devices in SiC technology», *Solid-State Electronics*, tome 47, p. 607–615, 2003.
- [Muz09] PETER G. MUZYKOV, ROBERT M. KENNEDY, QINGCHUN (JON) ZHANG, CRAIG CAPELL, AL BURK, ANANT AGARWAL et TANGALI S. SUDARSHAN, «Physical phenomena affecting performance and reliability of 4H-SiC bipolar junction transistors», *Microelectronics reliability*, tome 49, p. 32–37, 2009.
- [Phu10] LUONG VIÊT PHUNG, *Étude de structures d'interrupteurs intégrables bidirectionnels en tension et en courant : le transistor bipolaire symétrique*, Thèse de doctorat, Université François Rabelais, 2010.
- [Pow06] ADRIAN POWELL, JASON JENNY, STEPHAN MULLER, H. MCD. HOBGOOD, VALERI TSVETKOV, ROBERT LENOARD et CALVIN CARTER JR., «Growth of SiC substrates», *International Journal of High Speed Electronics and Systems*, tome 16, p. 751–777, 2006.
- [Pâq11] GONTRAN PÂQUES, NICOLAS DHEILLY, DOMINIQUE PLANSON, RIK W. DE DONCKER et SIGO SCHARNHOLZ, «Graded etched junction termination for SiC thyristors», *Materials Science Forum*, tome 679-680, p. 457–460, 2011.
- [Ron10] C. RONISVALLE et V. ENEA, «Improvement of high-voltage junction termination extension (JTE) by an optimized profile of lateral doping (VLD)», *Microelectronics reliability*, tome 50, p. 1773–1777, 2010.
- [Ryu12] SEI-HYUNG RYU, CRAIG CAPELL, CHARLOTTE JONAS, LIN CHENG, MICHAEL O'LOUGHLIN, AL BURK, ANANT AGARWAL, JOHN PALMOUR et ALLEN HEFNER, «Ultra high voltage (> 12 kV), high performance 4H-SiC IGBTs», dans «24th International Symposium on Power Semiconductor Devices and ICs», 2012.
- [Sch09] S. SCHARNHOLZ, V. BROMMER, V. ZORNGIEBEL, A. WELLEMAN et E. SPAHN, «Performance study of a novel 13,5 kV multichip thyristor switch», dans «17th IEEE International Pulsed Power Conference», 2009.
- [Sch11] SIGO SCHARNHOLZ, BERTRAND VERGNE, JENS-PETER KONRATH, GONTRAN PÂQUES et VOLKER ZORNGIEBEL, «Pulse current characterization of SiC GTO thyristors», *Materials Science Forum*, tome 679-680, p. 682–685, 2011.
- [sen11] *Synopsys TCAD Sentaurus, version F-2011.09*, 2011.
- [She00] DAVID C. SHERIDAN, GUOFU NIU, J. NEIL MERETT, JOHN D. CRESSLER, CHARLES ELLIS et CHIN-CHE TIN, «Design and fabrication of planar guard ring termination for high-voltage SiC diodes», *Solid-State Electronics*, tome 44, p. 1367–1372, 2000.
- [Sia12] M. SIAD, M. ABDESSLAM et A.C. CHAMI, «Role of carbon in the formation of ohmic contact in Ni/4H-SiC and Ni/Ti/4H-SiC», *Applied Surface Science*, tome 258, p. 6819–6822, 2012.
- [Sin00] R. SINGH et J.W. PALMOUR, «High temperature characteristics of 8,6 kV 4H-SiC PiN diode», dans «HiTEC», 2000.

- [Sou05] S. SOUBATCH, S.E. SADDOW, S.P. RAO, W.Y. LEE, M. KONUMA et U. STARKE, «Structure and morphology of 4H-SiC wafer surfaces after H₂-etching», *Materials Science Forum*, tome 483-485, p. 761–764, 2005.
- [Sug01] Y. SUGAWARA, D. TAKAYAMA, K. ASANO, R. SINGH, J. PALMOUR et T. HAYASHI, «12 – 19 kV 4H-SiC PiN diodes with low power loss», dans «Proceedings of the 13th International Symposium on Power Semiconductor Devices and ICs, ISPSD'01», 2001.
- [Sun01] WOONGJE SUNG, EDWARD VAN BRUNT, B.J. BALIGA et ALEX Q. HUANG, «A new edge termination technique for high voltage devices in 4H-SiC Multiple-Floating-Zone Junction Termination Extension», *IEEE Electron Device Letters*, tome 32, p. 880–882, 2001.
- [Syv99] M. SYVÄJÄRVI, R. YAKIMOVA, A. KAKANAKOVA-GEORGIEVA, M.F. MACMILLAN et E. JANZÉN, «Kinetics and morphological stability in sublimation growth of 6H- and 4H-SiC epitaxial layers», *Materials Science & Engineering B*, 1999.
- [Szc03] A. SZCSESNY, P. SNIECIKOWSKI, J. SZMIDT et A. WERBOWY, «Reactive ion etching of novel materials - GaN and SiC», *Vacuum*, tome 70, p. 249–254, 2003.
- [Sze81] SIMON MIN SZE, *Physics of semiconductor devices*, John Wiley and sons, 1981.
- [Ség04] GUY SÉGUIER, ROBERT BAUSIÈRE et FRANCIS LABRIQUE, *Électronique de puissance. Structures, fonctions de base, principales applications*, Dunod, 8^e édition, 2004.
- [Tai78] YU.M. TAIROV et V.F. TSVETKOV, «Investigation of growth processes of ingots of silicon carbide single crystals», *Journal of crystal growth*, tome 43, p. 209–212, 1978.
- [Tou10] DOMINIQUE TOURNIER, PIERRE BROSELARD et FLORIAN CHEVALIER, «Structure semi-conductrice pour interrupteur électronique de puissance», 2010.
- [Ued90] TETSUZO UEDA, HIRONORI NISHINO et HIROYUKI MATSUNAMI, «Crystal growth of SiC by step controlled epitaxy», *Journal of Crystal Growth*, tome 104, p. 695–700, 1990.
- [Van06a] H. VANG, M. LAZAR, P. BROSELARD, C. RAYNAUD, P. CREMILLIEU, J.L. LECLERCQ, J.M. BLUET, S. SCHARNHOLZ et D. PLANSON, «Ni-Al ohmic contact to p-type 4H-SiC», *Superlattices and microstructures*, tome 40, p. 626–631, 2006.
- [Van06b] HEU VANG, *Optimisation des étapes technologiques pour la fabrication de composants de puissance en carbure de silicium*, Thèse de doctorat, INSA de Lyon, 2006.
- [VB11] A. VILLAMOR-BALIARDA, P. VANMEERBEEK, J. ROIG, P. MOENS et D. FLORES, «Electric field unbalance for robust floating ring termination», *Microelectronic reliability*, tome 51, p. 1959–1963, 2011.
- [Vel09] VICTOR VELIADIS, TY McNUTT, HAROLD MCCOY, MEGAN HEARNE, GREGORY DESALVO, CHRIS CLARKE, PAUL POTYRAJ et CHARLES SCOZZIE, «1200 V, 50 A, Silicon carbide vertical junction field effect transistors for power switching applications», *Materials Science Forum*, tome 600-603, p. 1047–1050, 2009.
- [Ver12] BERTRAND VERGNE, GONTRAN PÂQUES, CLAUDIA MAURER, SIGO SCHARNHOLZ, PIERRE BROSELARD et DOMINIQUE PLANSON, «PASChAC, système automatisé de caractérisation de composants sur wafer», dans «EPF2012», 2012.
- [Wan98a] J.J. WANG, E.S. LAMBERS, S.J. PEARTON, M. OSTLING, C.-M. ZETTERLING, J.M. GROW et F. REN, «High rate etching of SiC and SiCN in NF₃ inductively coupled plasmas», *Solid-State Electronics*, tome 42, p. 743–747, 1998.
- [Wan98b] J.J. WANG, E.S. LAMBERS, S.J. PEARTON, M. OSTLING, C.-M. ZETTERLING, J.M. GROW, F. REN et R.J. SHUL, «ICP etching of SiC», *Solid-State Electronics*, tome 42, p. 2283–2288, 1998.

- [Wen98] E. WENDLER, A. HEFT et W. WESCH, «Ion beam induced damage and annealing behaviour in SiC», *Nuclear Instruments and Methods in Physics Research B*, tome 141, p. 105–117, 1998.
- [Wun11] M WUNDER et B. JEANNERET, «Sur l'action de l'acide phosphorique sirupeux sur divers alliages obtenus au four électrique», *Compte-Rendu des Séances de l'Académie des Sciences*, tome 152, p. 1770–1771, 1911.
- [Xia06] J.H. XIA, RUSLI, S.F. CHOY, R. GOPALAKRISHAN, C.C. TIN, S.F. YOON et J. AHN, «CHF₃–O₂ reactive ion etching of 4H-SiC and the role of oxygen», *Microelectronic engineering*, tome 83, p. 381–386, 2006.
- [Zha03] J.H. ZHAO, X. LI, K. TONE, P. ALEXANDROV, M. PAN et M. WEINER, «Design of a novel planar normally-off power VJFET in 4H-SiC», *Solid-State Electronics*, tome 47, p. 377–384, 2003.
- [Zha11] Q.J. ZHANG, A. AGARWAL, C. CAPELL, M. O'LOUGHLIN, A. BURK, J.J. PALMOUR, V. TEMPLE, A. OGUNNIYI, H. O'BRIEN et C.J. SCOZZIE, «12 kV, 1 cm² SiC gate turn-off thyristors with negative bevel termination», dans «International Conference on Silicon Carbide and Related Materials», 2011.

Annexes

A Jeux de masques

1. Transistor double grille

1.1 Procédé simplifié

Les transistors vont être réalisés sur des plaques de SiC de 3 pouces, avec du n^+ en face arrière et une épitaxie n^- de $40\ \mu\text{m}$ dopée à $10^{15}\ \text{cm}^{-3}$, suivie d'une seconde épitaxie de $0,5\ \mu\text{m}$ dopée à $10^{16}\ \text{cm}^{-3}$, dont on peut voir une coupe sur la figure A.1.

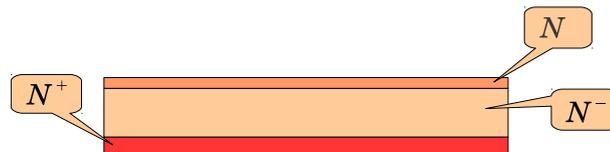


FIG. A.1: Vue en coupe du wafer sur lequel seront fabriqués les composants

Le processus de fabrication se déroulera en douze étapes :

1. alignement : gravure de $150\ \text{nm}$;
2. implantation p^+ à $10^{19}\ \text{cm}^{-3}$ sur $0,5\ \mu\text{m}$ (double charge d'aluminium Al à $320\ \text{keV}$) ;
3. ré-épitaxie n à $10^{16}\ \text{cm}^{-3}$ sur $3\ \mu\text{m} \pm 0,2\ \mu\text{m}$ et implantation n^+ sur $0,2 - 0,3\ \mu\text{m}$ (simple charge d'azote N à $160\ \text{keV}$) ;
4. gravure sur $3\ \mu\text{m} \pm 0,1\ \mu\text{m}$ pour accéder à la grille enterrée ;
5. gravure « MESA » sur $3\ \mu\text{m}$
6. implantation p avec une dose de $1,12 \cdot 10^{13}\ \text{cm}^{-2}$, sur une largeur supérieure à $120\ \mu\text{m}$ et une profondeur de $0,6\ \mu\text{m}$;
7. oxydation et PECVD sur $60\ \text{nm}$ puis ouverture d'oxyde ;
8. métallisation Niquel (Ni) sur $100\ \text{nm}$ de la source et de la grille enterrée (contact ohmique) puis RTA à $900\ ^\circ\text{C}$ pendant $2\ \text{min}$;
9. métallisation Schottky : lift-off de niquel sur $100\ \text{nm}$ suivi d'un RTA à $350\ ^\circ\text{C}$ pendant $2\ \text{min}$;
10. PECVD de $1,5\ \mu\text{m}$ de SiO_2 pour la première passivation et gravure ;

11. métallisation épaisse : 3 à 5 μm d'aluminium épais pour les plaques avec une seule épitaxie ;
12. seconde passivation

1.2 Détail des différentes vues

L'objectif est de réaliser un composant de $2 \times 2 \text{ mm}^2$ présenté en figure A.2(a) ou A.2(b).

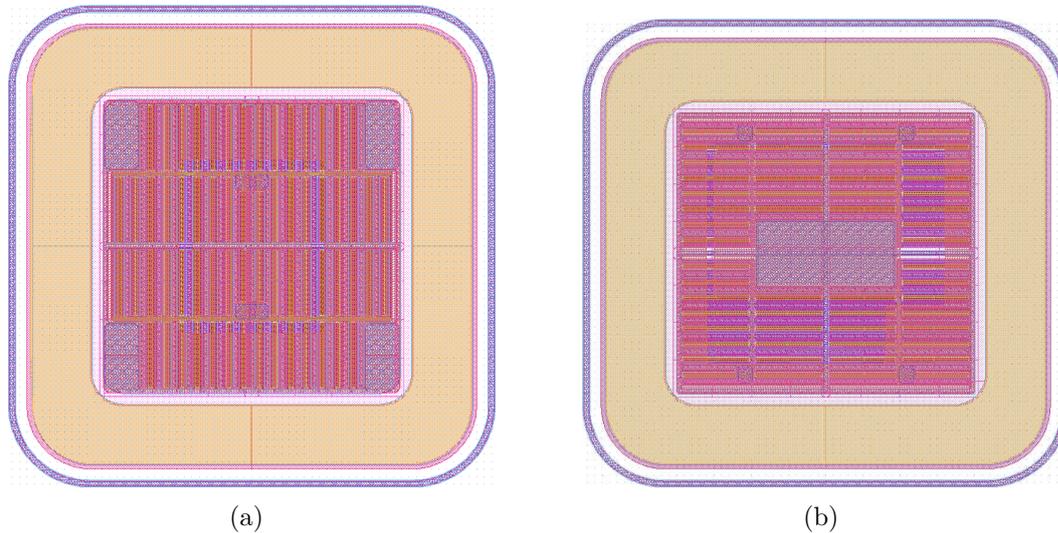


FIG. A.2: (a) : JFET $2 \times 2 \text{ mm}^2$ avec la grille au centre du composant
(b) : JFET $2 \times 2 \text{ mm}^2$ avec la source au centre du composant

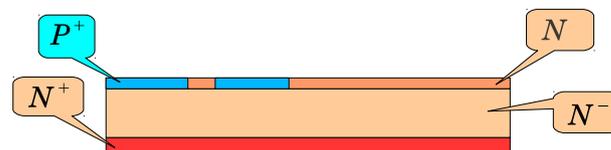


FIG. A.3: Vue en coupe du wafer après l'implantation des caissons p^+

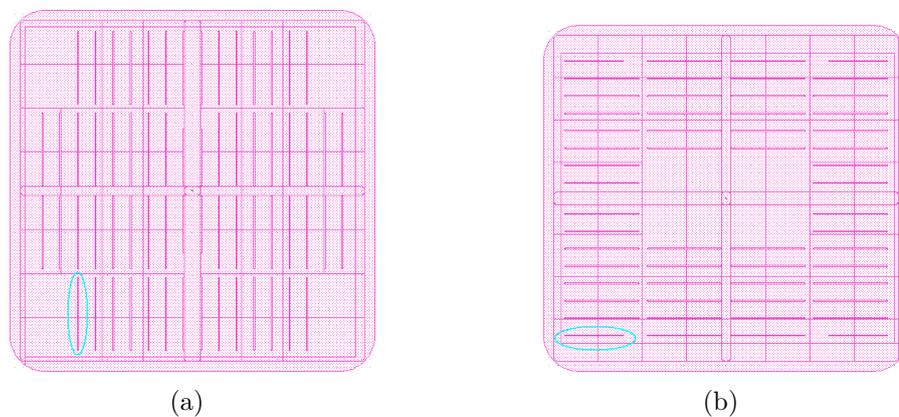


FIG. A.4: Implantation p^+ pour les deux versions du JFET permettant (a) d'avoir une longueur de canal $Z \approx 25 \text{ mm}$ et (b) $Z \approx 23 \text{ mm}$

La fabrication commence par l'implantation p^+ pour former le canal du JFET, comme entouré sur les figures A.4(a) et A.4(b).

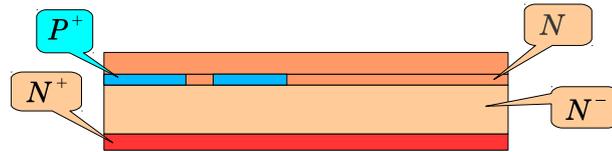


FIG. A.5: Vue en coupe du wafer après la reprise d'épitaxie

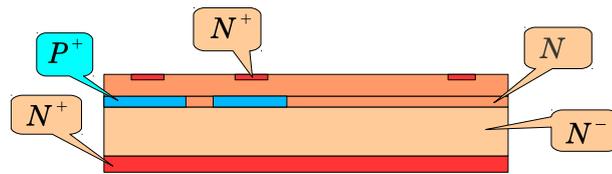


FIG. A.6: Vue en coupe du wafer après l'implantation n^+ en surface

Après une reprise d'épitaxie (figure A.5) vient l'implantation n^+ . D'un côté le n^+ sera gravé, ce qui ne pose pas de souci, mais pour l'autre côté on atteint une dimension critique en dessous de laquelle il ne faut pas descendre, au risque de modifier les caractéristiques électriques du JFET. De l'autre côté, l'implantation déborde sur la gravure (étape suivante), donc la contrainte est moins forte. Cependant ce motif est alternant (sur la droite et sur la gauche).

Sur le tour, on implante pour réaliser le *channel stopper*.

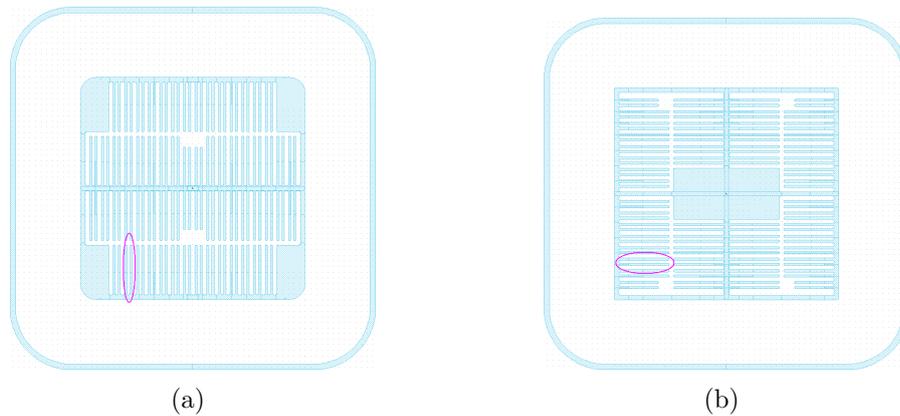


FIG. A.7: Implantation n^+ pour les deux versions du JFET

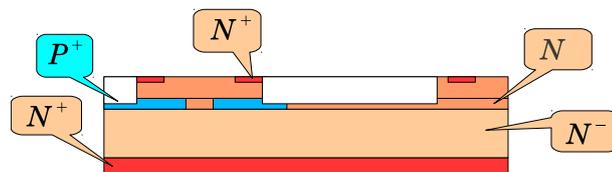


FIG. A.8: Vue en coupe du wafer après la gravure d'accès à la grille enterrée

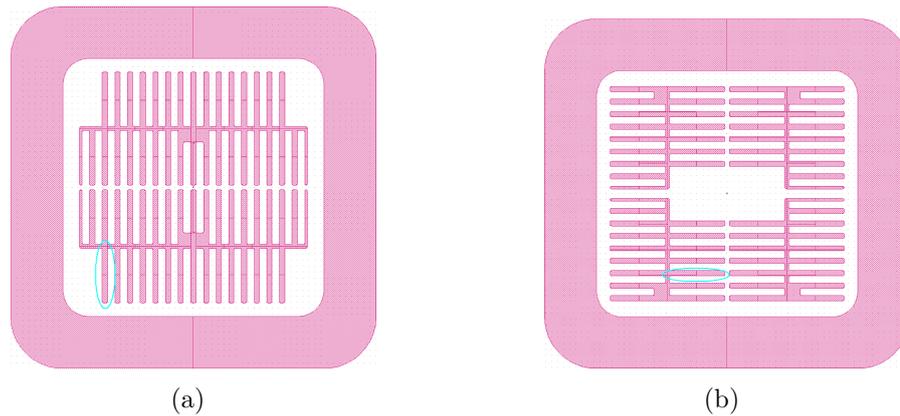


FIG. A.9: Gravure d'accès à la grille enterrée pour les deux versions du JFET

On vient graver une certaine zone de la reprise d'épithaxie pour accéder à la couche enterrée, comme présenté sur la figure A.8. Au niveau des doigts, on vient graver $3\ \mu\text{m}$ de n^+ de chaque côté. Il faut cependant prendre garde à ne pas en graver davantage, car la limite entre le bord gravé et le métal du contact ohmique de source serait alors de moins de $3,5\ \mu\text{m}$.

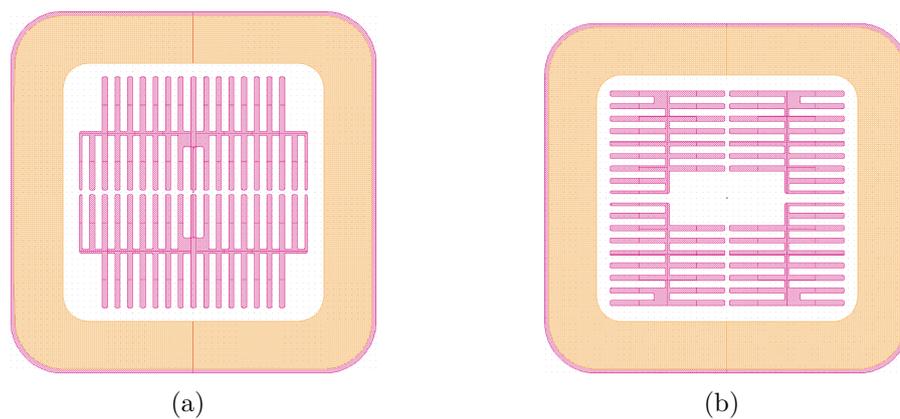


FIG. A.10: Gravure MESA de protection du JFET

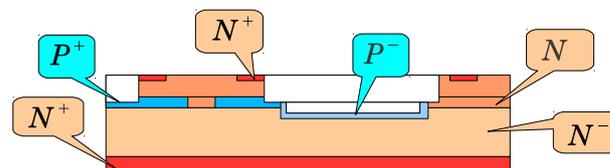


FIG. A.11: Vue en coupe du wafer après la gravure mesa et l'implantation JTE

En plus de la gravure d'accès à la couche enterrée, on vient réaliser une protection du composant de type mesa, que l'on combinera à une implantation JTE (figures A.12(a) et A.12(b), ou A.11 pour la vue en coupe).

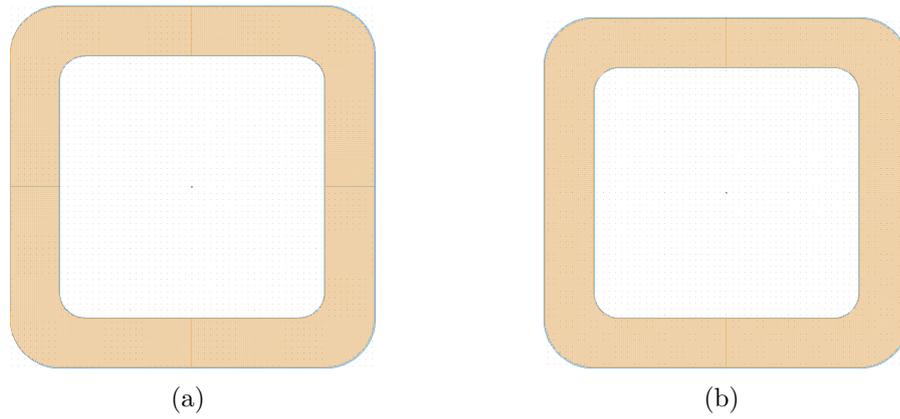


FIG. A.12: Implantation JTE pour la protection du JFET

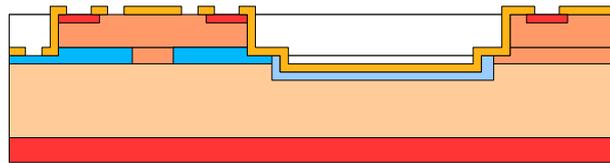


FIG. A.13: Vue en coupe du wafer après oxydation thermique et ouverture de l'oxyde

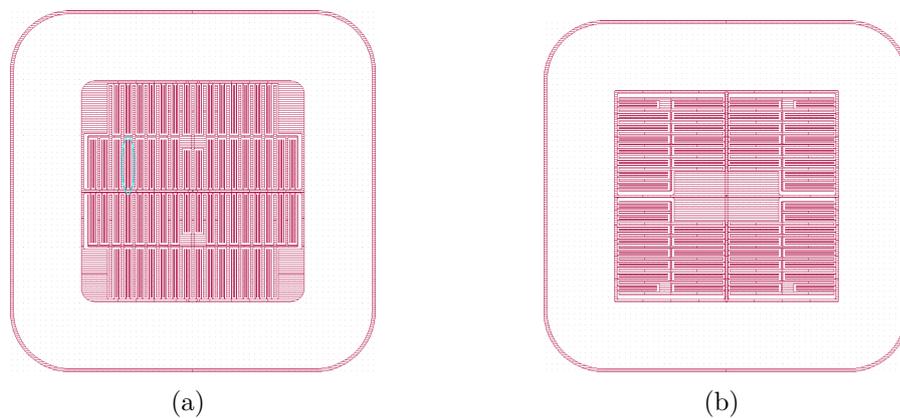


FIG. A.14: Ouverture de l'oxyde afin d'accéder aux contacts

Après un recuit, on vient ouvrir l'oxyde afin d'accéder aux contacts.

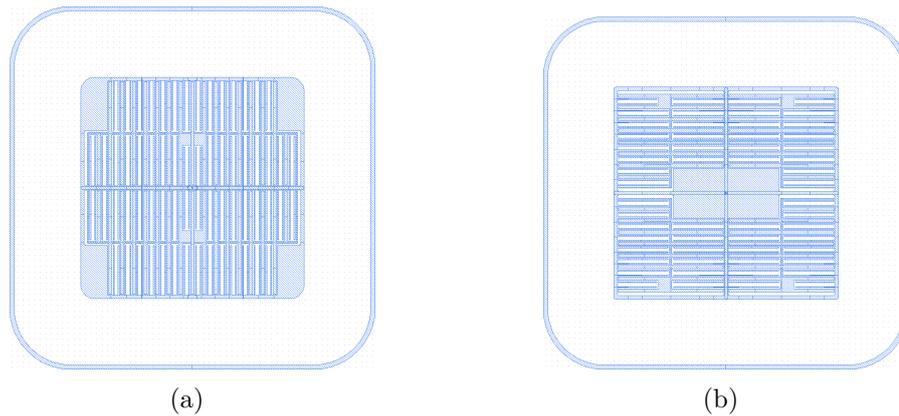


FIG. A.15: Dépôt de métal pour les contacts ohmiques
 (a) : on voit dans les quatre coins des gros *pad*, sur lesquels on viendra prendre le contact de source lors de la métallisation épaisse, et au centre, deux petits *pad* de grille
 (b) : on voit au centre un gros *pad* de source, sur lequel on viendra prendre le contact lors de la métallisation épaisse, et en haut et en bas au niveau des premiers et troisièmes quarts, des petits *pad* de grille

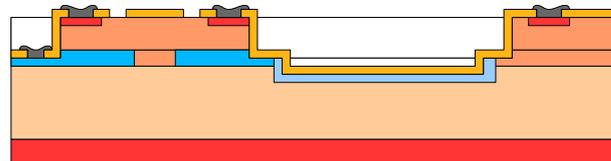


FIG. A.16: Vue en coupe d'un composant après la première métallisation, c'est-à-dire le contact ohmique de grille et de source

Dans un premier temps, on vient déposer un métal servant de contact ohmique sur les zones les plus dopées (grille enterrée et source, figure A.16), ainsi que sur le *channel stopper*, afin d'assurer l'uniformité du potentiel tout autour de cette protection.

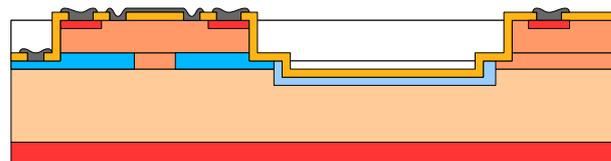


FIG. A.17: Vue en coupe d'un composant après la métallisation du contact Schottky

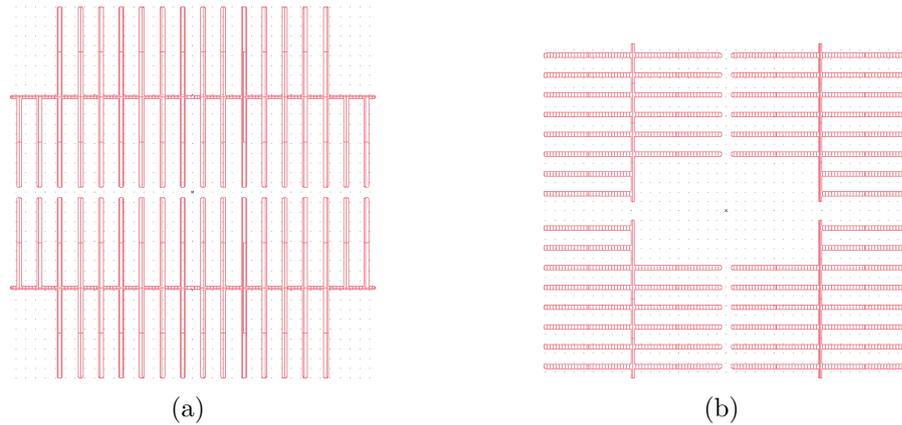


FIG. A.18: Dépôt de métal pour les contacts Schottky

On vient ensuite déposer un métal servant de contact Schottky sur la grille en surface (figure A.17). Les pistes de métaux de grille (étape précédente et cette étape) sont reliées, afin de prendre le contact lors de la métallisation épaisse que sur un seul *pad*.

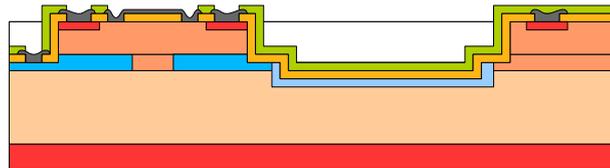
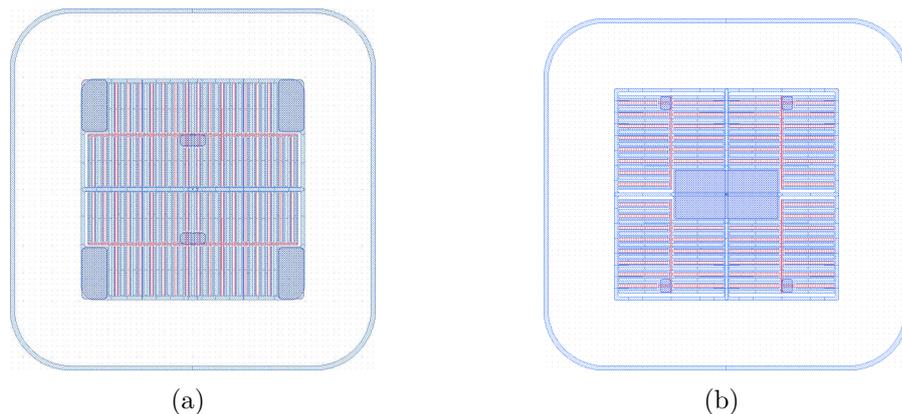


FIG. A.19: Vue en coupe de la plaque après la passivation et son ouverture

FIG. A.20: Ouverture de la passivation afin de venir contacter les *pad* de grille et source avec la métallisation épaisse

On réalise ensuite une passivation pleine plaque (figure A.19), que l'on viendra ouvrir au-dessus des *pad* de métaux fins afin de venir contacter les électrodes. Le *channel stopper* sera sous la passivation (pas de métallisation épaisse par-dessus).

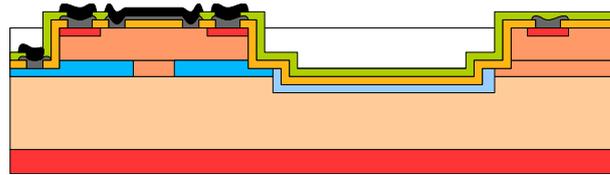


FIG. A.21: Vue en coupe des composants terminés, avec la métallisation épaisse

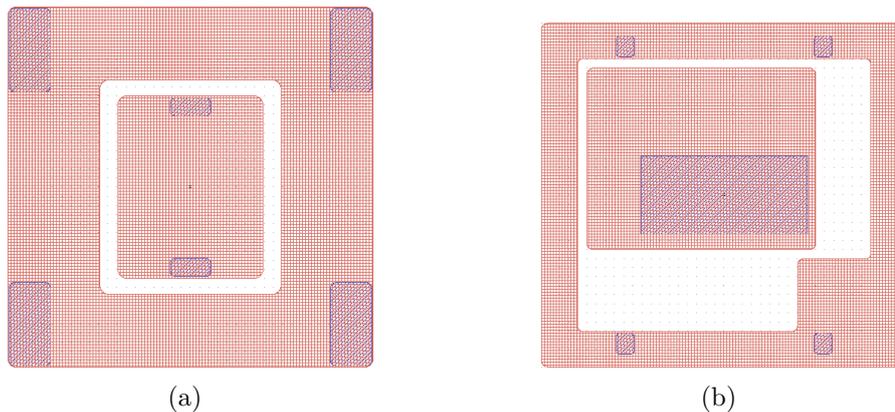


FIG. A.22: Métallisation épaisse afin de réaliser les plots de grille et de source

On réalise enfin la métallisation épaisse, qui permettra de disposer de gros plots de source et de grille (au minimum $10 \mu\text{m}$ de marge entre le bord de la métallisation et l'ouverture de passivation). Une vue en coupe des composants ainsi terminés est présentée en figure A.21, tandis que la vue de dessus (vue masque) est présentée sur les figures A.23(a) et A.23(b).

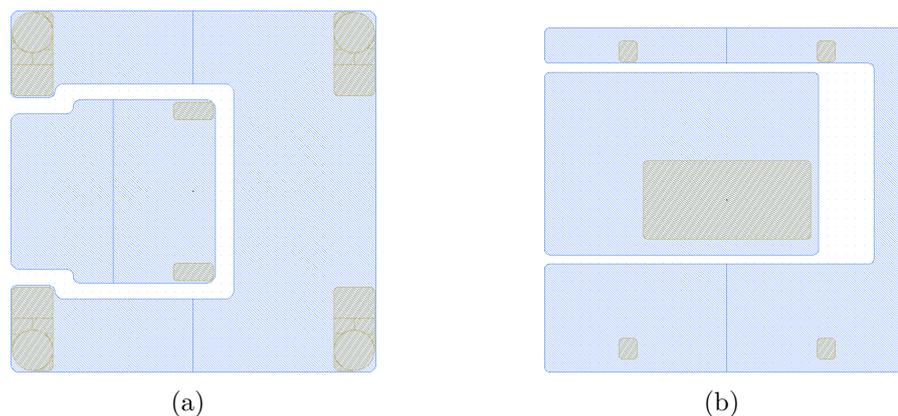


FIG. A.23: Élargissement de la métallisation épaisse afin de réaliser les « bumps » sur les plots de grille et de source

Afin d'être plus à l'aise pour réaliser des « bumps » pour la connexion des plots de source et de grille, nous avons dû élargir légèrement ces plots (figures A.23(a) et A.23(b)). Une étude préliminaire sur la faisabilité des « bumps » est présentée en figure A.24. Une vue du module complet avec les diodes de roue-libre est présentée en figure A.25.

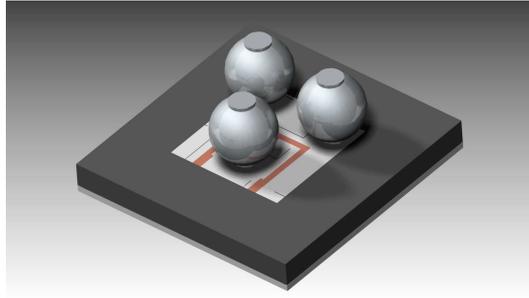


FIG. A.24: Vue d'une première étude visant la faisabilité des « bumps »

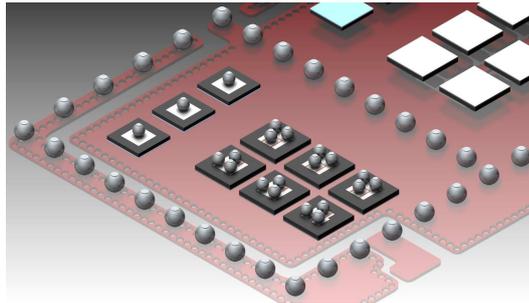


FIG. A.25: Vue d'une première étude visant la faisabilité des « bumps »

1.3 Structures de test

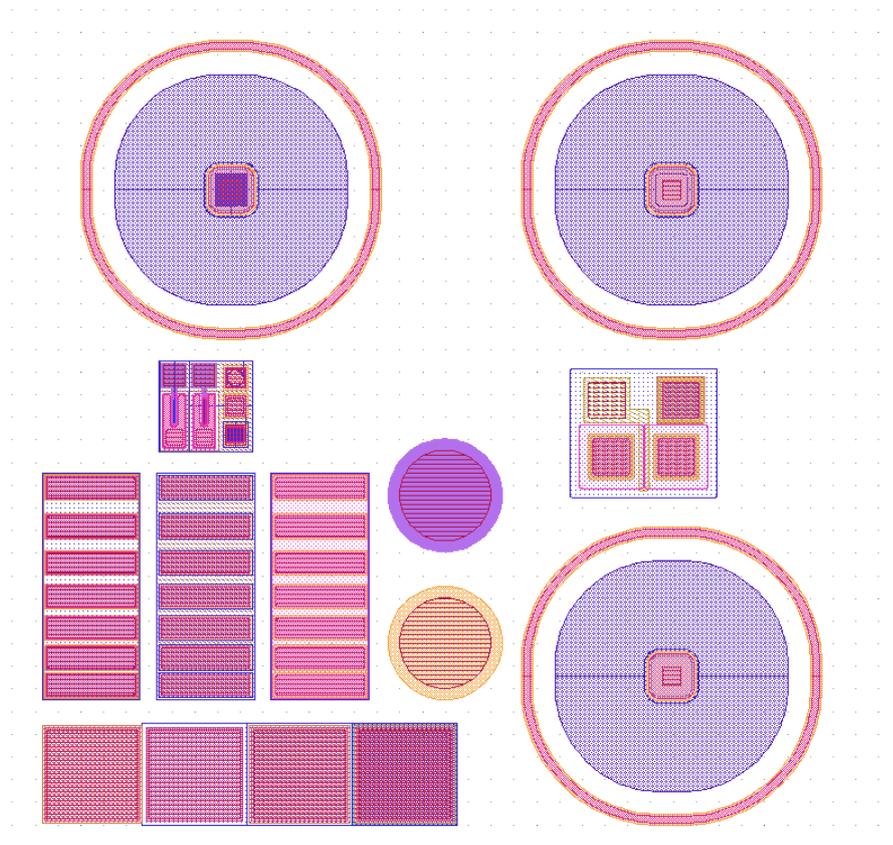


FIG. A.26: Différentes structures de test présentes sur le masque

La figure A.26 reprend les différentes structures de test que nous avons insérées sur le masque. Sur la rangée du haut, il s'agit de diodes verticales JBS (à gauche) et Schottky (à droite). En bas à droite, on trouve une diode verticale *PiN*. En bas à gauche se trouvent des SIMS, et au-dessus des TLM. Les composants circulaires au centre sont des capacités de type MOS verticales, qui permettront d'évaluer la qualité de l'oxyde. Enfin, les composants en-dessous de la diode JBS sont des JFET très élémentaires, et le composant en-dessous de la diode Schottky est un transistor MOS latéral.

2. Transistor simple grille

2.1 Survol du procédé



FIG. A.27: Vue en coupe des plaquettes sur lesquels seront fabriqués les JFET à simple grille

Les composants seront réalisés au CNM sur des plaques SiC de 3 pouces, composées de n^+ en face arrière, sur laquelle a été procédée une épitaxie de $14 \mu\text{m}$ dopée à $7 \cdot 10^{15} \text{ cm}^{-3}$. Il y aura ensuite une deuxième épitaxie de $3 \mu\text{m}$ dopée à 10^{16} cm^{-3} , puis une troisième épitaxie de $0,2 \mu\text{m}$ dopée à 10^{18} cm^{-3} pour réaliser le contact de source. Ensuite seront réalisées les différentes étapes :

1. première gravure RIE de $2,5 \mu\text{m}$,
2. implantation p^+ à 10^{17} cm^{-3} avec le masque de gravure (double charge d'aluminium Al à 320 keV),
3. dépôt du poly-silicium dopé p sur une épaisseur de $1,5 \mu\text{m}$; sur les grandes zones (plot de source ou protection périphérique), le poly-silicium devrait disparaître de lui-même lors de son oxydation ; si toutefois, sur ces zones, ce phénomène ne se produisait pas, nous avons prévu un niveau d'ouverture des contacts,
4. gravure *mesa* en périphérie,
5. implantation JTE (implantation p à une dose de 10^{13} cm^{-2})
6. oxydation du poly-silicium, et éventuellement retrait sur les grandes zones (l'oxydation du poly-silicium risque d'entraîner également une oxydation du SiC, ce qui peut-être une bonne chose au-dessus de la terminaison) ; le SiC sera oxydé sur une épaisseur beaucoup plus faible que le silicium polycristallin, il sera ainsi facile de retirer cette fine couche d'oxyde,
7. dépôt du métal de source (le poly-silicium oxydé va autoriser le dépôt de métal par dessus sans risquer le contact ohmique),

8. dépôt du métal épais sur la source et la grille,
9. dépôt d'une couche de diélectrique de passivation, puis ouverture au-dessus des zones de contact.

2.2 Détail des différentes vues

Les composants fabriqués font $2800 \mu\text{m}$ de longueur (des doigts de $2500 \mu\text{m}$ de long, et $300 \mu\text{m}$ de largeur de contact de grille) sur $1200 \mu\text{m}$ de largeur. Ainsi, la longueur totale de canal obtenue est de près de 60 cm .

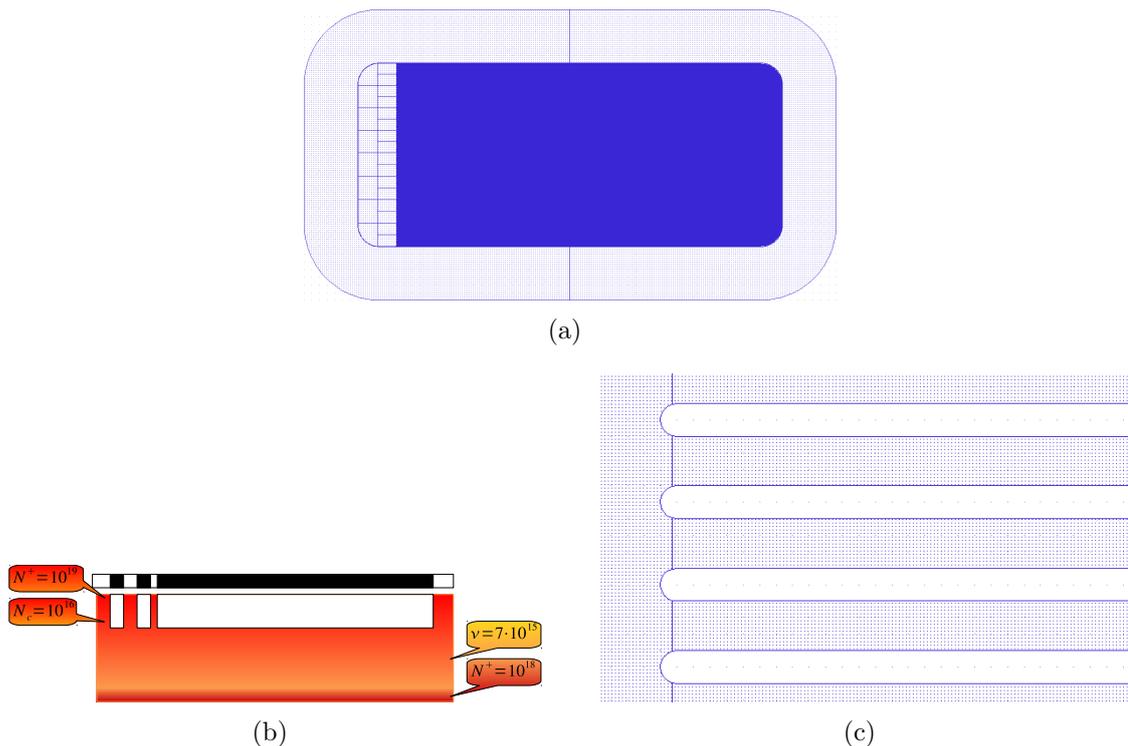


FIG. A.28: Étape de gravure RIE : (a) masque de gravure, (b) vue en coupe des plaquettes après gravure et (c) détail du masque de gravure (les doigts font $2 \mu\text{m}$ de largeur et sont espacés de $3 \mu\text{m}$)



FIG. A.29: Implantation p^+ suivant le masque de gravure afin d'atteindre le fond de gravure

Le procédé technologique de fabrication commence par la gravure RIE des plaquettes sur une profondeur de $2,5 \mu\text{m}$, représenté sur la figure A.28(b). Ensuite, le masque de gravure est conservé pour procéder à une implantation ionique de p en fond de gravure, afin de protéger la grille des pics de champ pouvant remonter depuis la face arrière (figure A.29).

Ensuite est déposé en phase liquide du poly-silicium dopé p sur une épaisseur de $1,5 \mu\text{m}$. La phase liquide facilite le dépôt au fond des tranchées gravées. De plus, il devrait se retirer de lui-même sur les grandes zones. Cette étape a été vérifiée expérimentalement sur des plaquettes de GaN au CNM.

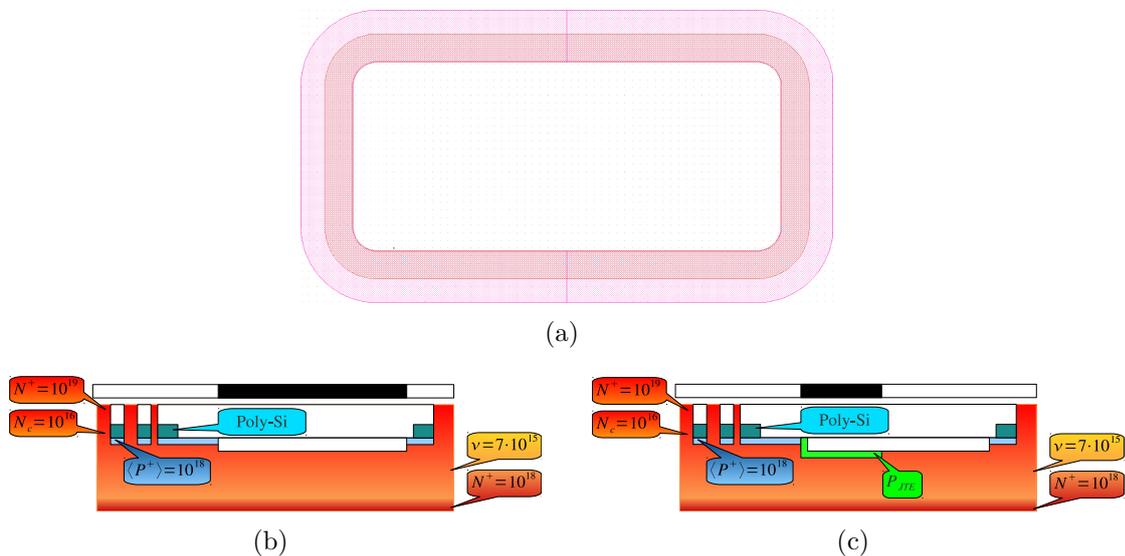


FIG. A.30: (a) : Masque de gravure *mesa* et d'implantation JTE
 (b) : Vue en coupe des plaquettes après gravure *mesa*
 (c) : Vue en coupe des plaquettes après l'implantation JTE

Les composants seront protégés par la traditionnelle combinaison *mesa*-JTE : gravure *mesa* de $3 \mu\text{m}$ de profondeur sur $400 \mu\text{m}$ (figure A.30(b)), suivie d'une implantation p (figure A.30(c)).

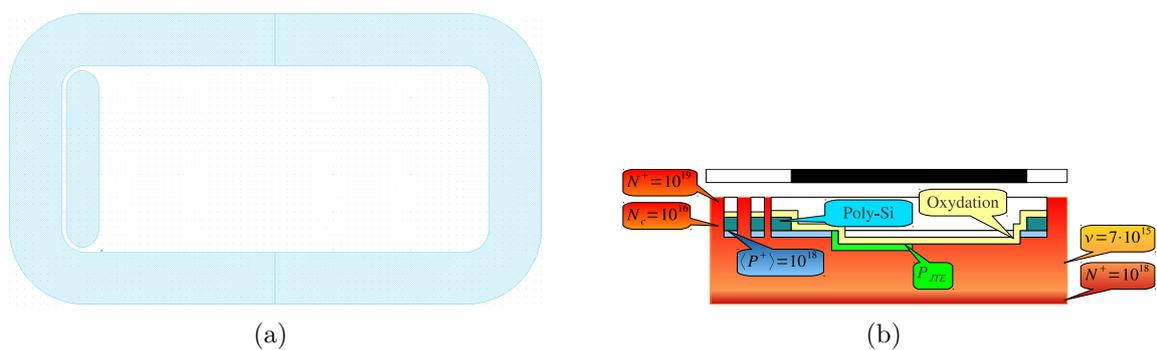


FIG. A.31: (a) : Masque de retrait du poly-silicium
 (b) : Vue en coupe des plaquettes après retrait du poly-silicium sur les grandes zones

Bien qu'il soit prévu un retrait du poly-silicium de lui-même lors du dépôt sur les grandes zones, nous avons prévu un niveau de masque pour nous assurer son total retrait sur les zones où il pourrait être gênant. C'est ainsi qu'il est représenté sur la figure A.31(b).

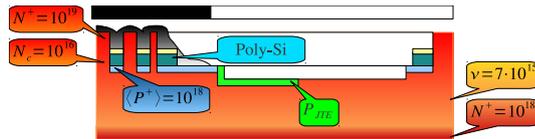


FIG. A.32: Vue en coupe des plaquettes après dépôt du métal assurant le contact ohmique de source

Les étapes suivantes vont consister en des dépôts de métal : d'abord un métal assurant le contact ohmique de source au-dessus des doigts de source et du poly-silicium oxydé (donc isolant par rapport à la grille) avec le masque de la figure A.32, puis un métal épais au-dessus des plots de source et de grille.

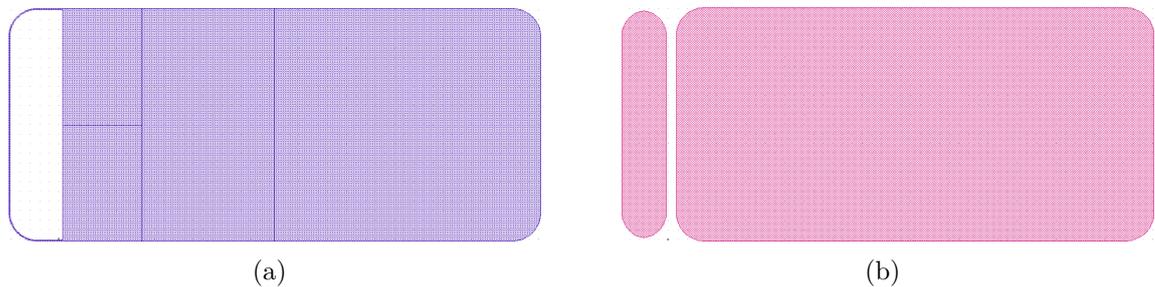


FIG. A.33: Masque de dépôt (a) de métal fin assurant le contact ohmique de source et (b) de métal épais au-dessus des plots de grille et de source

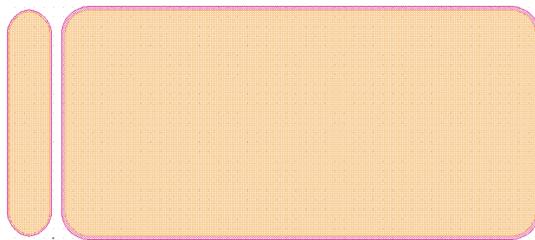


FIG. A.34: Masque d'ouverture de passivation

Le procédé se terminera par une couche de passivation, un dépôt de polyimide standard, que l'on ouvrira au-dessus des plots de la zone active.

2.3 Structures de test

Les structures de tests implémentées sur le masque sont les mêmes que les précédentes (diodes PiN et Schottky pour déterminer la tenue en tension, SIMS pour l'analyse des couches dopées, TLM pour l'étude des contacts).

B Influence de la géométrie des diodes

Nous allons, dans cette partie, revenir sur les derniers résultats de mesures de diodes, et étudier l'influence de la géométrie de la zone active sur la tenue en tension des diodes.

1. Dispositifs étudiés

Les dispositifs étudiés sont des diodes JBS composées de bandes de $3\ \mu\text{m}$ de p^+ pour $4\ \mu\text{m}$ de n (figure B.1(a)), des diodes JBS formées de bandes de $3\ \mu\text{m}$ de p^+ pour $8\ \mu\text{m}$ de n (figure B.1(b)), et des diodes Schottky.

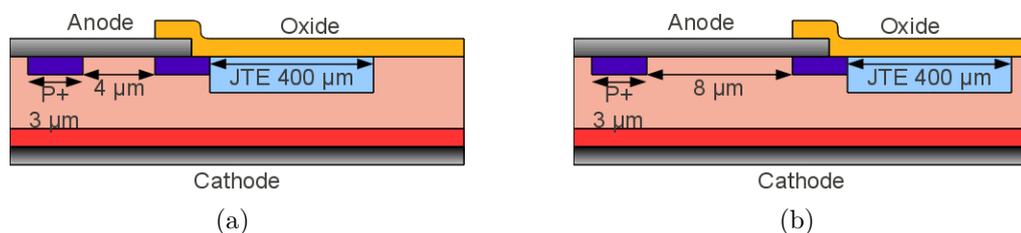


FIG. B.1: Vues en coupe des diodes JBS avec des bandes de $3\ \mu\text{m}$ de p^+ pour (a) $4\ \mu\text{m}$ de n et (b) $8\ \mu\text{m}$ de n

2. Caractéristiques électriques

La figure B.2 présente la caractéristique électrique inverse d'une diode JBS formée de bandes de $4\ \mu\text{m}$ de n pour $3\ \mu\text{m}$ de p^+ . Le courant atteint $50\ \mu\text{A}$ pour une tension inverse de $3300\ \text{V}$. Deux techniques de mesure (comme évoquées dans le deuxième chapitre), avec deux appareils différents, ont permis de confirmer que ce résultat était atteint sans destruction du composant.

Les caractéristiques électriques des diodes ayant des bandes de $8\ \mu\text{m}$ de n pour $3\ \mu\text{m}$ de p^+ montrent quelques difficultés à atteindre des tensions supérieures à $3\ \text{kV}$. Dans ce cas-là, la part de Schottky des diodes devient plus grande, et les courants de fuite atteignent des valeurs plus élevées. Notre critère d'arrêt étant un courant, Nous avons préféré limiter la contrainte sur le

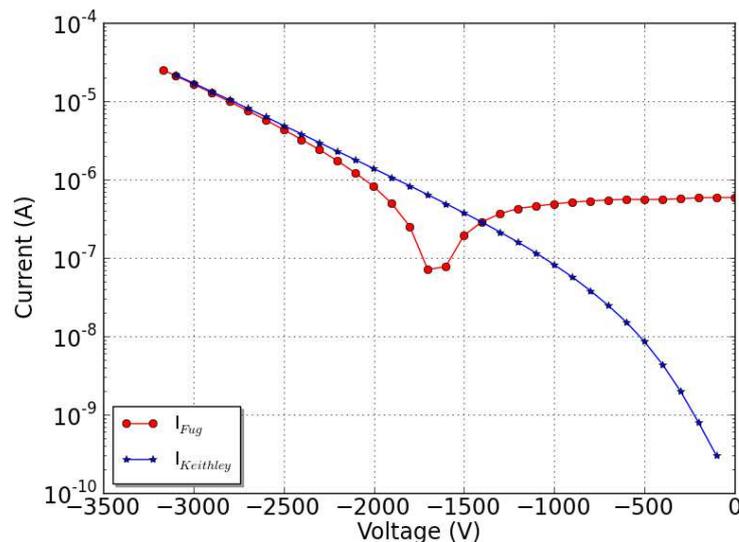


FIG. B.2: Caractéristique inverse d'une diode JBS « 3-4 »

composant pour éviter sa destruction. La fonctionnalité du composant est également confirmée par deux mesures.

Les diodes Schottky, dont la caractéristique inverse est présentée en figure B.4, présentent des courants de fuite élevés, au point que notre critère d'arrêt à $50 \mu\text{A}$ est atteint pour des tensions en moyenne inférieures à 2 kV.

3. Statistiques des résultats

Au total, 459 diodes JBS « 3-4 » ont été mesurées, réparties sur trois plaquettes différentes ; 221 d'entre elles ont des tenues en tension supérieures à 3 kV, c'est-à-dire près de 50%. Bien que la tenue en tension moyenne constatée ne soit que 2430 V (avec un écart-type d'environ 1000 V), la tension maximale atteinte est de 3496 V sur un échantillon (3300 et 3401 V pour les deux autres).

En ce qui concerne les diodes JBS « 3-8 », la tension maximale atteinte est de 3000 V sur un échantillon (bien inférieure sur les deux autres). Ce maximum chute à 2700 V sur les diodes Schottky.

L'arrivée tardive de ces résultats ne nous a pas encore permis de faire des analyses plus poussées. Elles seront prochainement approfondies.

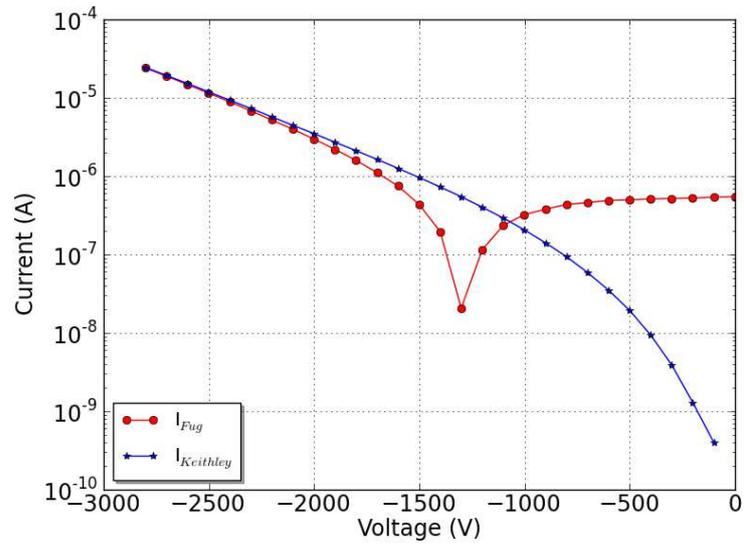


FIG. B.3: Caractéristique inverse d'une diode JBS « 3-8 »

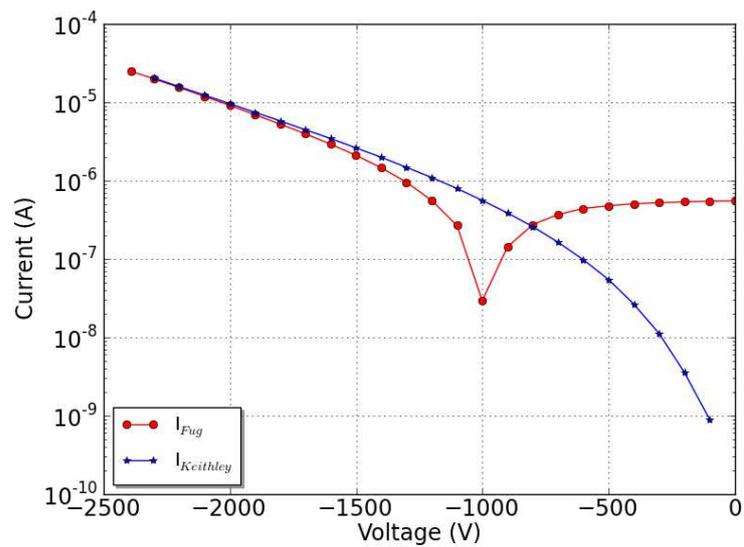


FIG. B.4: Caractéristique inverse d'une diode Schottky

