



HAL
open science

Évaluation des effets des neutrons atmosphériques sur l'électronique embarqué en avionique et recherche de solutions de durcissement

Sébastien Renard

► **To cite this version:**

Sébastien Renard. Évaluation des effets des neutrons atmosphériques sur l'électronique embarqué en avionique et recherche de solutions de durcissement. Autre. Université Sciences et Technologies - Bordeaux I, 2013. Français. NNT : 2013BOR15253 . tel-01015741

HAL Id: tel-01015741

<https://theses.hal.science/tel-01015741>

Submitted on 27 Jun 2014

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

PRÉSENTÉE A

L'UNIVERSITÉ BORDEAUX 1

ÉCOLE DOCTORALE DES SCIENCES PHYSIQUE ET DE L'INGENIEUR

Par **Sébastien Renard**

POUR OBTENIR LE GRADE DE

DOCTEUR

SPÉCIALITÉ : **ELECTRONIQUE**

Evaluation des effets des neutrons atmosphériques sur l'électronique embarquée en avionique et recherche de solutions de durcissement.

Directeur de recherche : Pascal FOUILLAT

Soutenue le : 9 décembre 2013

Devant la commission d'examen formée de :

M. PORTAL, Jean-Michel	Professeur à l'Université d'Aix-Marseille	Rapporteur
M. BONNAUD, Olivier	Professeur à l'Université de Rennes 1	Rapporteur
M. FOUILLAT, Pascal	Professeur à l'Université de Bordeaux 1	Directeur de thèse
M. POUGET, Vincent	Chercheur CNRS à l'Université de Montpellier 2	Co-Directeur de thèse
M. LEWIS, Dean	Professeur à l'Université de Bordeaux 1	Invité
M. DARRACQ, Frédéric	Maître de conférence à l'Université de Bordeaux 1	Invité

À Lætitia

REMERCIEMENTS

Je souhaite remercier l'ensemble de l'équipe de recherche, et particulièrement son responsable : Dean Lewis, qui m'a accueillie au sein du laboratoire IMS.

Monsieur Pascal Fouillat qui a su garder un œil attentif à mes problématiques malgré un emploi du temps complexe. Je remercie également Monsieur Vincent Pouget, sans qui ma thèse n'aurait jamais atteint ce point d'aboutissement. Monsieur Frédéric Darracq qui a su me faire partager sa vision de la science et me donner du recul sur mes recherches.

Je prends le temps de remercier les différents partenaires qui ont pu intervenir lors de ce projet : Didier Regis, Guillaume Hubert, Christian Chatry et Dominique Bellin.

Mes remerciements vont aussi à mes proches, tout particulièrement à Laetitia, la femme qui m'a supporté pendant ces quatre années. Je remercie mes parents et mon frère qui se sont montrés conciliants et ont su m'encourager dans les moments de doutes.

Un grand merci à ceux qui ont partagé mon quotidien dans la salle laser du laboratoire : Camille Larue, Emeric Farraud, Issam El Moukhtari, Kai Shao, Adèle Morisset, Nogayé M'Bayé et Mehdi Rebai. Mais je remercie également ceux sans qui le café n'aurait pas eu le même goût : Raphaël Roder, François Le Henaff, Nicolas Martin, Mathieu Vallet, Mickaël Gilles et Jérôme Le Gall.

Mes derniers remerciements, mais pas les moindres, iront à ceux qui m'ont permis de m'essayer au métier d'enseignant : Bertrand Le Gal, Yannick Bornat, Yannick Deshayes, Dominique Dallet et Francis Rodes.

Enfin, si vous lisez cette thèse et que j'ai oublié de vous remercier, sachez que j'en suis désolé.

Table des matières

INTRODUCTION GENERALE	11
I. CHAPITRE 1 : ETAT DE L'ART DES ENVIRONNEMENTS RADIATIFS, DE LEURS EFFETS ET DES MOYENS DE TEST	14
I.1. INTRODUCTION	15
I.2. L'ENVIRONNEMENT RADIATIF	15
I.2.1. <i>L'environnement spatial</i>	15
I.2.2. <i>L'environnement terrestre</i>	17
I.2.2.1. Profondeur atmosphérique et rigidité magnétique	19
I.2.2.2. Spectres des neutrons atmosphériques.....	20
I.3. L'INTERACTION NEUTRON-MATIERE.....	24
I.3.1. <i>L'interaction Ion-Silicium</i>	24
I.3.1.1. Description du phénomène	24
I.3.1.2. Pouvoir d'arrêt et transfert d'énergie linéique.....	25
I.3.2. <i>L'interaction Neutron-Matière</i>	26
I.3.2.1. L'interaction Neutron-Silicium	26
I.3.2.2. L'interaction Neutron-Matière	27
I.3.3. <i>L'interaction Proton-Matière</i>	27
I.4. LES EFFETS A EVENEMENT SINGULIER (SEE).....	28
I.4.1. <i>Les Phénomènes mis en œuvre</i>	28
I.4.1.1. La collection de charge.....	28
I.4.1.2. Notion de charge critique et modèle RPP	29
I.4.2. <i>Les différents SEE</i>	31
I.4.2.1. Les SEU, MBU et MCU.....	31
I.4.2.2. Les SEFI.....	32
I.4.2.3. Les SEL et SEB.....	32
I.5. LES TESTS	33
I.5.1. <i>La courbe de section efficace</i>	33
I.5.2. <i>Les équipements de test</i>	34
I.5.2.1. Les sites en altitude	34
I.5.2.2. Les accélérateurs de particules	35
I.5.2.3. Les réacteurs à neutrons	36
I.5.2.4. Les faisceaux laser impulsionnel	37
I.5.2.4.1. L'interaction laser-silicium	37
I.5.2.4.2. Equivalence entre ion lourd et impulsion laser.....	39
I.5.2.4.3. Avantages et inconvénients du test sous faisceau laser	41
I.5.3. <i>Les méthodes de test</i>	41
I.5.3.1. Les normes de tests.....	41
I.5.3.2. Méthode de tests statiques et dynamiques	42
I.5.3.3. Calcul du SER	43
I.5.4. <i>Les SDRAMs faces aux SEEs</i>	44

I.5.5.	<i>Les MRAMs faces aux SEEs</i>	46
I.5.6.	<i>Les processeurs faces aux SEEs</i>	48
I.6.	LES OUTILS DE SIMULATION.....	53
I.6.1.	<i>GEANT4</i>	53
I.6.2.	<i>SRIM</i>	54
I.6.3.	<i>OMERE</i>	55
I.6.4.	<i>L'injection de fautes</i>	55
I.7.	CONCLUSION.....	55
II.	CHAPITRE 2 : DEVELOPPEMENT DES SYSTEMES ET DES METHODOLOGIES DE TEST.	57
II.1.	INTRODUCTION.....	58
II.2.	PRESENTATION DES COMPOSANTS A EVALUER.....	58
II.2.1.	<i>La mémoire magnétique MRAM EV2A16A</i>	58
II.2.1.1.	Rappel sur la technologie magnétique.....	58
II.2.1.2.	Caractéristiques techniques propre à la mémoire EV2A16A.....	59
II.2.2.	<i>La mémoire dynamique SDRAM MT47H32M16</i>	60
II.2.2.1.	Caractéristiques techniques de la mémoire SDRAM.....	60
II.2.2.2.	Usinage de la mémoire SDRAM.....	61
II.2.3.	<i>Le PowerPC MPC8610</i>	63
II.2.3.1.	Blocs de contrôle de périphériques du MPC8610.....	63
II.2.3.2.	Description du cœur du MPC8610.....	64
II.3.	LA PLATEFORME DE TEST.....	66
II.3.1.	<i>L'interface utilisateur</i>	66
II.3.2.	<i>La carte mère</i>	68
II.3.3.	<i>Les cartes filles</i>	70
II.3.3.1.	Les cartes filles mémoires.....	71
II.3.3.2.	La carte fille PowerPC.....	71
II.4.	LES METHODES DE TEST.....	73
II.4.1.	<i>Le programme de test des mémoires</i>	73
II.4.1.1.	Les entrées et sorties du FPGA communiquant avec la mémoire sous test.....	73
II.4.1.2.	Les protocoles de test des mémoires.....	73
II.4.1.3.	Le module VHDL de pilotage de la MRAM.....	75
II.4.1.3.1.	Le sous-module Speaker.....	76
II.4.1.3.2.	Le sous-module Translator.....	77
II.4.1.3.3.	Le sous-module Parameter.....	78
II.4.1.3.4.	Le sous-module Séquenceur.....	80
II.4.1.3.5.	Rapport de synthèse du programme de pilotage de la MRAM sur Virtex XC4VLX40.....	81
II.4.1.4.	Simulation du programme de pilotage de la MRAM.....	82
II.4.1.5.	Implémentation du module de test sur la carte mère Virtex 4.....	84
II.4.1.6.	Module de pilotage de la SDRAM.....	86
II.4.1.6.1.	Schéma Bloc du programme.....	86
II.4.1.6.2.	Rapport de synthèse du programme de pilotage de la SDRAM sur Virtex XC4VLX40.....	86
II.4.1.6.3.	Simulation du programme de pilotage de la SDRAM.....	87

II.4.2.	<i>Le module de pilotage du PowerPC</i>	89
II.4.2.1.	Les entrées et sorties du FPGA communiquant avec la carte fille PowerPC	89
II.4.2.2.	Protocole de test du PowerPC	89
II.4.2.3.	Schéma bloc du module de pilotage	91
II.4.2.3.1.	Le sous-module MRAM_seq	93
II.4.2.3.2.	Le sous-module I2C_seq	94
II.4.2.3.3.	Le sous-module DUART_seq	95
II.4.2.3.4.	Le sous-module PCI_seq.....	96
II.4.2.3.5.	Le sous-module Arbiter.....	98
II.4.2.4.	Rapport de synthèse du programme de pilotage du MPC8610 sur Virtex XC4VLX40	98
II.4.2.5.	Simulation du programme de pilotage du MPC8610.....	99
II.4.3.	<i>Les routines de test du PowerPC</i>	100
II.4.3.1.	Routines élémentaires du cœur E600	100
II.4.3.2.	Routines élémentaires des périphériques.....	102
II.5.	CONCLUSION	104
III.	CHAPITRE 3 : ETUDE D'UNE D'UNE MEMOIRE STATIQUE BULK DE TECHNOLOGIE	
	90 NM 105	
III.1.	INTRODUCTION	106
III.2.	PRESENTATION DE LA SRAM CY62148E55.....	106
III.2.1.	<i>Caractéristiques techniques</i>	106
III.2.2.	<i>Résultats de précédents tests effectués</i>	109
III.3.	ANALYSES ET TESTS PAR FAISCEAU LASER	111
III.3.1.	<i>Présentation du banc de test laser de la plateforme ATLAS</i>	111
III.3.2.	<i>Plateforme de test</i>	113
III.4.	METHODE DE DESCRAMBLING	114
III.4.1.	<i>Mise en place du test laser</i>	114
III.4.2.	<i>Le Descrambling</i>	115
III.5.	RESULTATS DU DESCRAMBLING.....	116
III.5.1.	<i>Recherche d'énergie seuil sur les échantillons non-fonctionnels</i>	116
III.5.2.	<i>Descrambling de l'échantillon fonctionnel</i>	117
III.5.3.	<i>Statistiques des différents profils d'erreurs</i>	121
III.6.	CONCLUSION	124
CONCLUSION ET PERSPECTIVES		125
RÉFÉRENCES BIBLIOGRAPHIQUES		128
ANNEXES		135
ANNEXE A :	EQUATIONS D'UN FAISCEAU GAUSSIEN ET DE TAUX DE GENERATIONS	136
ANNEXE B :	AFFECTATIONS DES PATTES DU VIRTEX 4 POUR LES MODULES VHDL DE PILOTAGE.	137
ANNEXE C :	PROTOCOLES ET ROUTINES DE TESTS DU POWERPC MPC8610.....	142
ANNEXE D :	REPRESENTATIONS SUPPLEMENTAIRES DU PLAN MEMOIRE DE LA SRAM CY62148E55	161

Introduction générale

La fiabilité des circuits électroniques utilisés dans les équipements avioniques se doit d'être optimale. Outre le succès de missions, c'est de la sécurité des personnes et de vies humaines dont il est question. Il est donc primordial qu'aucune défaillance ne vienne perturber le fonctionnement du système en vol.

Or, depuis le milieu des 60s, on sait que des particules naturellement présentes dans l'environnement spatial sont susceptibles d'engendrer des dysfonctionnements [BRY66]. Par la suite, la diminution constante de la largeur des nœuds technologiques a rendu les systèmes électroniques sensibles aux particules atmosphériques. Cet environnement radiatif terrestre naturel est plus agressif aux altitudes de vol qu'au sol, car le flux diminue à mesure qu'il pénètre dans l'atmosphère. Des normes radiations ont donc été mise en place pour garantir le bon fonctionnement des équipements avioniques. Elles imposent de mesurer la sensibilité des composants électroniques face aux particules naturelles.

Cette étude se focalise sur les composants numériques complexes tels que les mémoires intégrées et les processeurs. Ces deux types de systèmes électroniques sont très répandus au niveau du sol et constituent le cœur de l'unité de vol d'un avion. Pour caractériser expérimentalement ces composants face aux rayonnements naturels, on utilise couramment des accélérateurs de particules. Ceux-ci reproduisent le rayonnement avec toutefois un facteur d'accélération. Ces équipements ont malheureusement un coût élevé, une accessibilité faible et des contraintes d'utilisation lourdes. C'est pourquoi des outils complémentaires, tels que les faisceaux lasers pulsés, ont été développés. Ils permettent d'émuler l'effet des radiations naturelles en injectant un courant photoélectrique dans les composants à tester.

Cette thèse s'inscrit dans le cadre du projet de recherche et développement : PROSEU. Son objectif est la caractérisation de la sensibilité d'une unité de vol face à l'environnement radiatif atmosphérique naturel. Cette unité de vol se compose d'un PowerPC et de deux mémoires intégrées : une dynamique et une magnétique. L'étape finale de ce projet est la réalisation de solution de durcissement réduisant la sensibilité du système selon des contraintes en performances, poids et coûts imposées.

Le premier chapitre présente le contexte de notre étude. L'environnement radiatif terrestre y est décrit, ainsi que les fluctuations des paramètres qui l'influencent. Les phénomènes d'interaction entre les différentes particules et les matériaux qui composent les circuits électroniques sont expliqués. L'interaction entre les faisceaux laser et le silicium est

également exposée et comparée à celle avec les particules. Le chapitre présente ensuite les équipements de test existants tels que les accélérateurs de particules ou les sites en altitudes. Un état de l'art des tests effectués sur des composants similaires à ceux de notre étude est fait. Enfin, le chapitre se clos sur un bref tour d'horizon des logiciels de simulation disponibles.

Le second chapitre s'attache à expliquer le développement des plateformes et des protocoles de tests nécessaires à notre étude. Il commence donc par une présentation du PowerPC et des mémoires étudiés. S'en suit la description hardware et software des plateformes de tests. Le détail de la communication entre l'interface utilisateur jusqu'au composant sous test est fait. Les programmes de pilotage, et donc les méthodes de test qui y sont liées, sont expliqués dans ce chapitre.

Le troisième chapitre se concentre lui sur l'étude d'une mémoire en particulier. Une première implémentation des programmes exposés en chapitre deux est faite. Toutefois, un problème matériel nous a contraints à changer de système de test et de mémoire à évaluer. Cette nouvelle mémoire statique et cette nouvelle plateforme de test sont donc brièvement présentés. Des résultats de test sous faisceau laser sont donnés. Ils portent sur le décodage de la mémoire, l'évaluation de sa sensibilité et plusieurs statistiques sur les patterns d'erreurs découverts.

I.Chapitre 1 : Etat de l'art des environnements radiatifs, de leurs effets et des moyens de test

I.1. Introduction

L'effet des ions lourds sur l'électronique embarquée a été découvert dans le début des années 1980. Toutefois, les particules de l'environnement radiatif naturel n'avaient encore qu'une influence limitée de par la faible intégration des composants électroniques. La technologie suivant la loi de Moore, en 1996 des tests ont démontré la sensibilité de systèmes électroniques aux neutrons [Obe96]. Dans le même temps, la part d'électronique embarquée en avionique n'a cessé de croître, réduisant les commandes hydrauliques et augmentant la part des commandes électriques et le nombre de capteurs. Dès lors, il est devenu indispensable de connaître le comportement des composants avioniques soumis au milieu radiatif terrestre. Le but de ce chapitre est de familiariser le lecteur avec ce que sont les effets à événement singulier, leurs causes et leurs conséquences.

Ce chapitre décrit un état de l'art de l'effet des neutrons atmosphériques sur l'électronique embarquée à l'avionique. Dans un premier temps seront présentés les environnements spatial et terrestre avec leurs flux de particules. Puis les mécanismes d'interaction entre les particules et les composants électroniques seront exposés. L'interaction laser-matière sera également expliquée. Les équipements expérimentaux permettant d'effectuer les tests seront ensuite présentés. Les principaux étant des accélérateurs de particules ou des bancs laser. Un catalogue des effets des événements singuliers sera exposé. Et enfin, nous présenterons un état de l'art de la sensibilité des composants étudiés et de composants qui leurs sont similaires.

I.2. L'environnement radiatif

I.2.1. L'environnement spatial

Avant de pouvoir décrire l'environnement radiatif terrestre, il est indispensable de décrire sa source : l'espace. L'environnement spatial est de loin le plus contraignant. Il est régi par trois grandes composantes : les rayons cosmiques, les ceintures de radiation et les éruptions solaires.

Les rayons cosmiques, Figure 1, sont d'origine galactique et extragalactique. Ils comportent tous les éléments du tableau de Mendeleïev dans un état d'ionisation avancé. Ces particules possèdent une énergie pouvant atteindre 10^{12} GeV. Parmi ces particules, environ 1% sont des ions lourds ($Z \geq 3$). Bien que moins nombreux, ils possèdent un pouvoir

d'ionisation important et représentent donc une composante significative de l'environnement spatial.

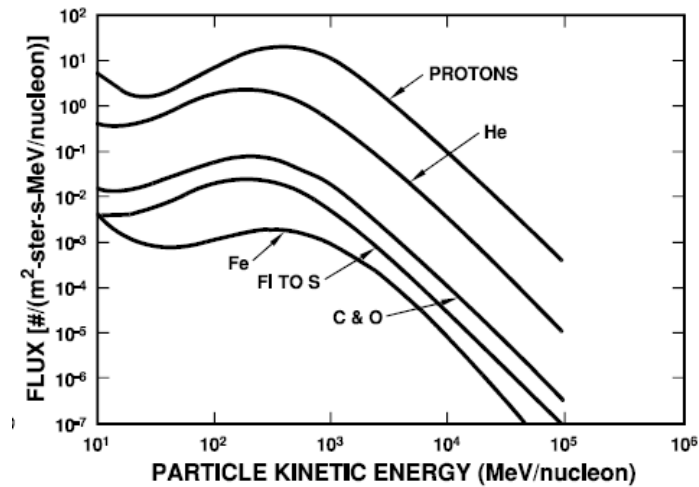


Figure 1 : Spectre en énergie des rayons cosmiques. [MEY74]

Les ceintures de radiation, découvertes par James Van Hallen en 1958, sont constituées de particules chargées légères piégées dans la magnétosphère : essentiellement des protons et des électrons. Les particules des deux ceintures, internes et externes, possèdent des énergies allant de quelques keV jusqu'à plusieurs centaines de MeV. Par ailleurs, la différence de 11° entre l'axe de rotation terrestre et l'axe de son dipôle magnétique entraîne un affaissement de la magnétosphère. Cette « anomalie de l'Atlantique Sud », en Figure 2, déséquilibre le flux de protons piégés dans les ceintures de Van Hallen qui devient très important à des altitudes relativement basses dans cette zone.

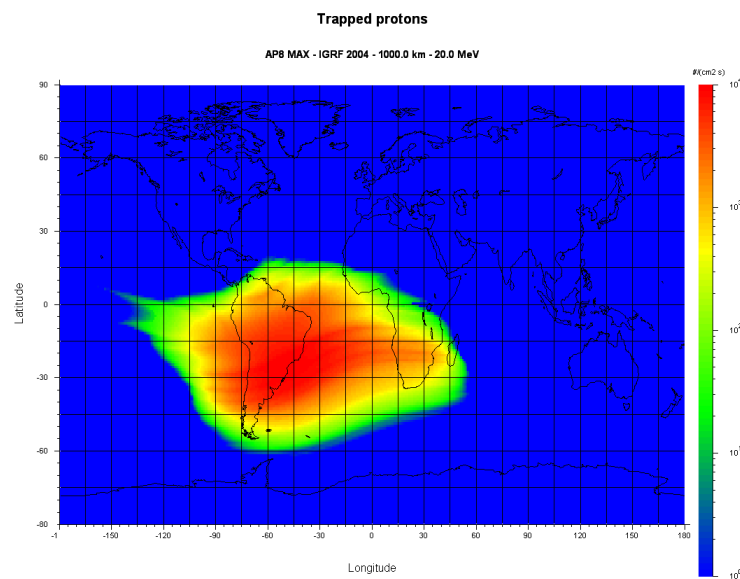


Figure 2 : Visualisation de l'anomalie de l'Atlantique Sud via OMERE.

Les éruptions solaires sont des événements pouvant durer quelques heures ou quelques jours. Elles possèdent un flux très élevé d'électrons, de protons, de particules alpha et également d'ions lourds. Outre leurs intenses participations en apport de particules, ces événements jouent également un autre rôle. En effet, le vent solaire interagit avec les ions des rayons cosmiques et influence la dynamique des ceintures de Van Hallen. Des études sur le long terme montrent que l'activité solaire, en Figure 3, est cyclique avec une période de 11 ans.

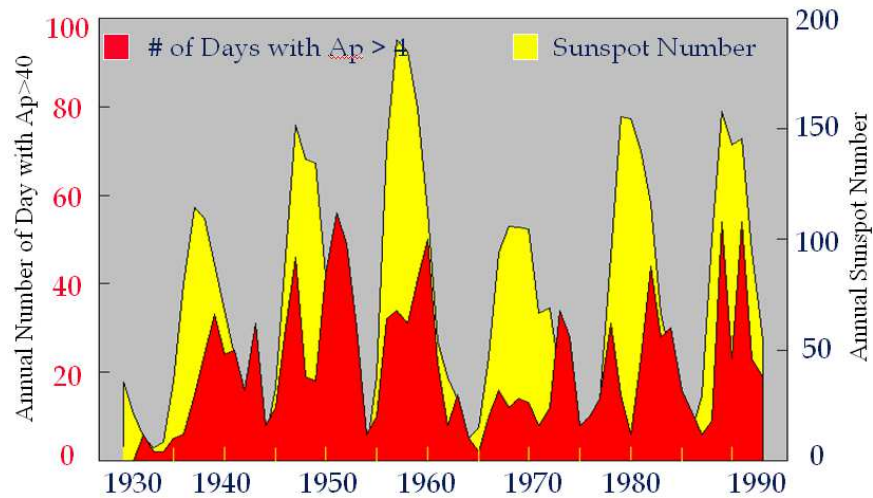


Figure 3 : Cycle des éruptions solaires et des tempêtes magnétiques [BAR97].

1.2.2. L'environnement terrestre

L'atmosphère terrestre est donc en interaction continue avec les ceintures de radiations et les rayons cosmiques tous deux modulés par les éruptions solaires qui apportent elles aussi leur lot de particules. Les particules chargées les moins énergétiques sont repoussées par la magnétosphère. Les ions lourds, quant à eux, viennent interagir avec l'atmosphère, principalement l'azote et l'oxygène, créant ainsi une « cascade » de particules secondaires, en Figure 4.

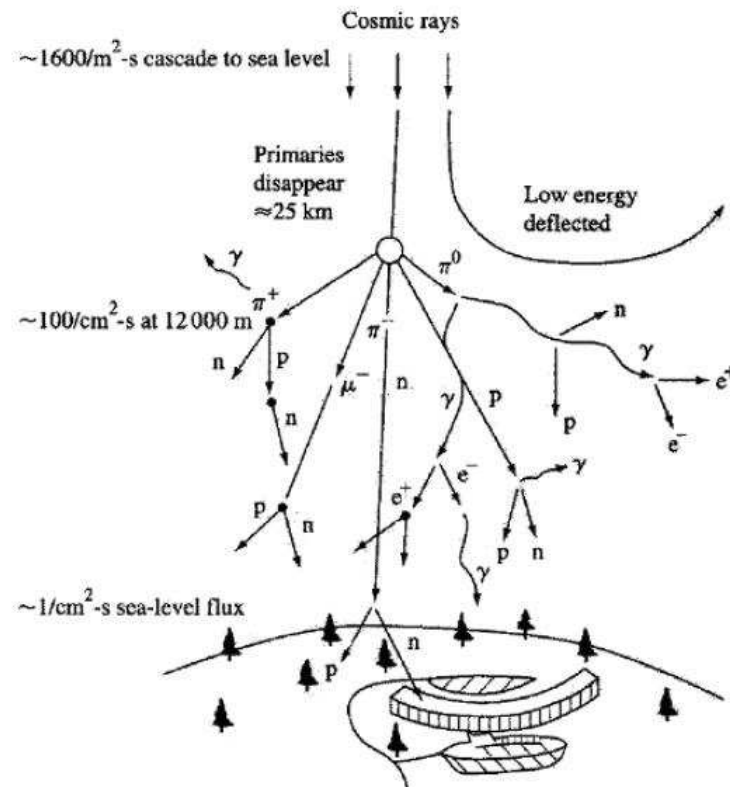


Figure 4 : Schéma de la cascade de particules secondaires. [ZIE96]

Ces particules sont : des neutrons, des protons, des électrons, des muons et des pions. La Figure 5 montre les flux de ces particules en fonction de l'altitude, pour une latitude de 54° . Aux altitudes avioniques, ce sont donc les neutrons et les électrons qui prédominent le spectre de particules. Cependant, si les électrons peuvent entraîner des défaillances sur les composants électroniques sur le long terme par effet de dose, ils n'entrent pas en compte dans les mécanismes d'ionisation qui seront développés par la suite. Les neutrons, quant à eux, joueront un rôle prépondérant dans les défaillances de systèmes électroniques.

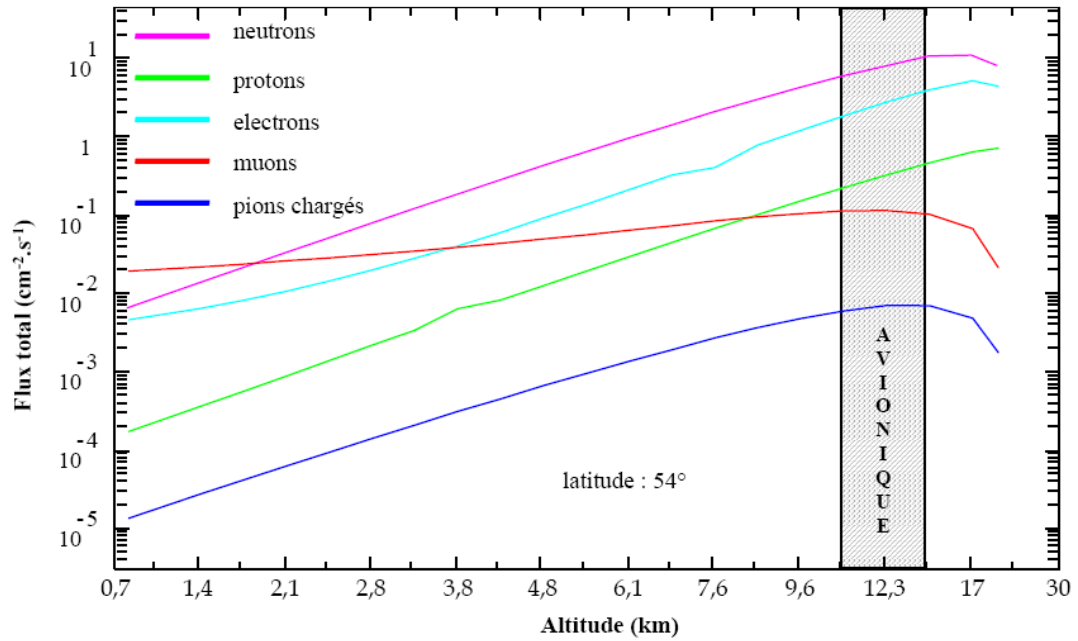


Figure 5 : Spectre des particules secondaires. [LUU09]

1.2.2.1. Profondeur atmosphérique et rigidité magnétique

Il apparaît indispensable de connaître le comportement du spectre des neutrons atmosphériques dans les différentes régions du globe. Habituellement, les coordonnées spatiales utilisées sont l'altitude et la latitude. Toutefois, les géophysiciens préféreront utiliser la profondeur atmosphérique, exprimée en g/cm^2 , à la place de l'altitude et le « vertical rigidity cutoff » exprimé en GV, à la place de la latitude.

La profondeur atmosphérique peut s'exprimer en fonction de l'altitude, A en pieds selon la formule suivante, d'après [NOR96] :

$$x = 1033 \times e^{-[0.4534 - (1.17 \times 10^{-9}) \left| \frac{A - 1.05 \times 10^5}{1000} \right|^{3.58}] \times \frac{A}{1000}} \quad (1)$$

Par ailleurs, le vertical rigidity cutoff peut s'exprimer en première approximation, d'après [STO30], par :

$$R_s = \frac{M}{R^2} \times \frac{\cos^4 \lambda}{(1 + \sqrt{1 - \sin \varepsilon \cdot \sin \phi \cdot \cos^3 \lambda})^2} \quad (2)$$

Où M est le moment dipolaire terrestre, R la distance jusqu'au centre de ce dipôle en rayons terrestres, λ la latitude géomagnétique, ε l'angle au zénith, ϕ l'azimut mesuré depuis l'axe du nord magnétique. L'équation (2) montre que pour n'importe quels angles d'azimut et de zénith, la rigidité magnétique diminue lorsque la latitude magnétique augmente. Ceci

implique que les particules pénètrent plus facilement aux pôles qu'à l'équateur. La rigidité magnétique peut également être reliée à l'énergie d'une particule :

$$R = \frac{A}{\rho} \times \sqrt{E^2 + 2.M_0.E} \quad (3)$$

Où A est la masse de la particule en amu, ρ la charge de la particule, E est l'énergie de la particule en MeV et M_0 vaut 931 MeV. La rigidité magnétique d'une particule augmente avec son énergie, l'équation (3) montre que seules les particules de hautes énergies pourront traverser les régions à forte rigidité magnétique.

Toutefois cette approximation ne permet qu'une compréhension théorique des phénomènes. Shea et Smart [SS84] ont calculé un coefficient RS (vertical rigidity cutoff) plus précis sur l'ensemble de la surface du globe, mais les calculs devant être menés en tout point pour chaque direction, cette approche pratique n'est pas utilisable. En revanche, le code CREME (Cosmic Ray Effects on Microelectronics) développé par Adam et al. [ADA92] permet, par la combinaison de la théorie de Störmer et les calculs de Shea et Smart, de calculer le comportements des particules en fonction de la rigidité magnétique. Le code modifie ainsi la fluence des particules en fonction de leurs énergies.

1.2.2.2. Spectres des neutrons atmosphériques

Le spectre des neutrons atmosphériques peut être représenté en fonction de l'énergie de chaque particule comme en Figure 6.

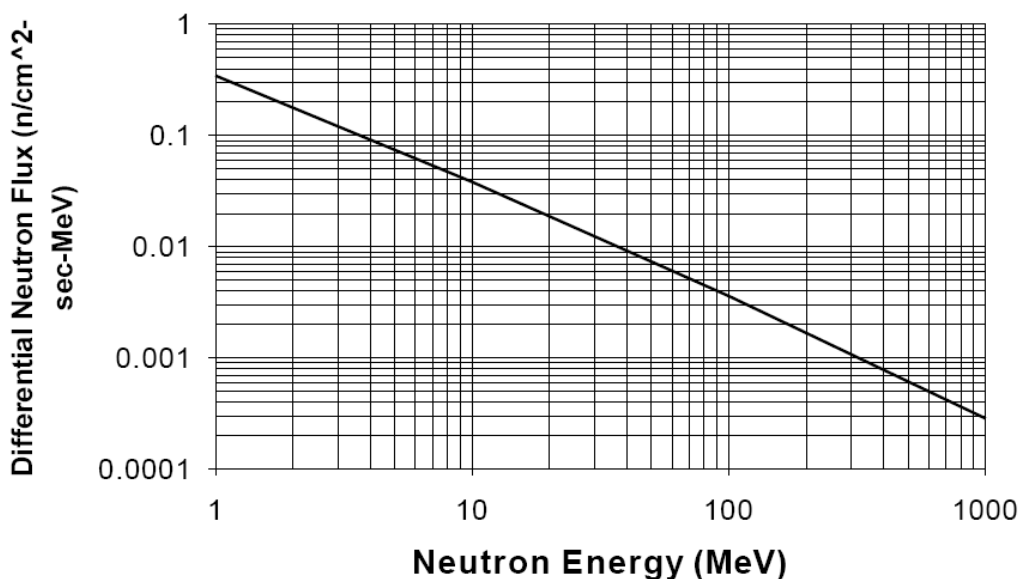


Figure 6 : Flux différentiel de neutrons mesuré à 40,000 ft et à 45°Nord

L'énergie d'un neutron peut être supérieure à 1 GeV. Ces mesures, effectuées par Hewitt et al. [HEW78], se sont vues confirmées par la suite [WIL91] avec parfois un plateau entre 30 et 70 MeV avant de poursuivre en décroissance.

Le flux de neutrons varie avec l'altitude, visible en Figure 7. Tout d'abord, dans les premières couches de l'atmosphère la production de neutrons dépend de l'interaction avec les rayons cosmiques. Puis le nombre de neutrons diminue au fur et à mesure que la couche d'air à traverser augmente. Il en résulte un maximum appelé : maximum de Pfozter se trouvant à environ 60,000 pieds.

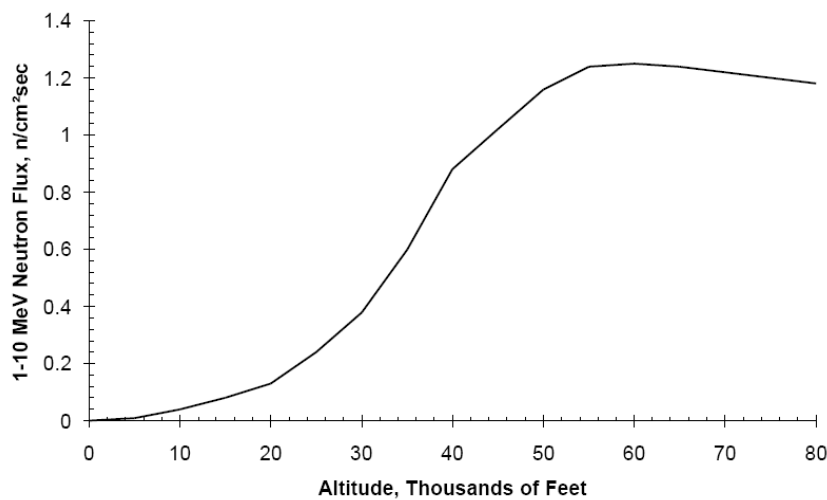


Figure 7 : Flux des neutrons 1-10 MeV à 45° Nord [NOR93a]

Le flux de neutrons 1-10 MeV est communément représenté, il faut toutefois remarquer que Normand et Baker ont vérifié que le flux des neutrons 10-100 MeV est régi par le même comportement [NOR93b].

Comme précédemment expliqué, l'altitude peut être remplacée par la profondeur atmosphérique (Figure 8).

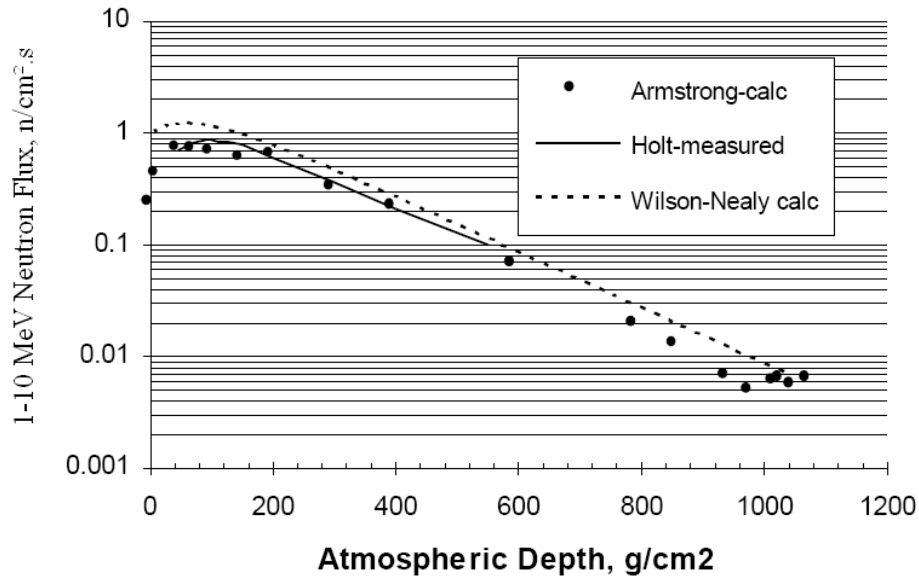


Figure 8 : Flux de neutron 1-10 MeV [ADA92]

Par ailleurs, les rayons cosmiques ne pénétrant pas en tous points de la magnétosphère avec la même énergie, il apparaît normal que le flux de neutrons, qui en découlent, dépende de la latitude, visible en Figure 9.

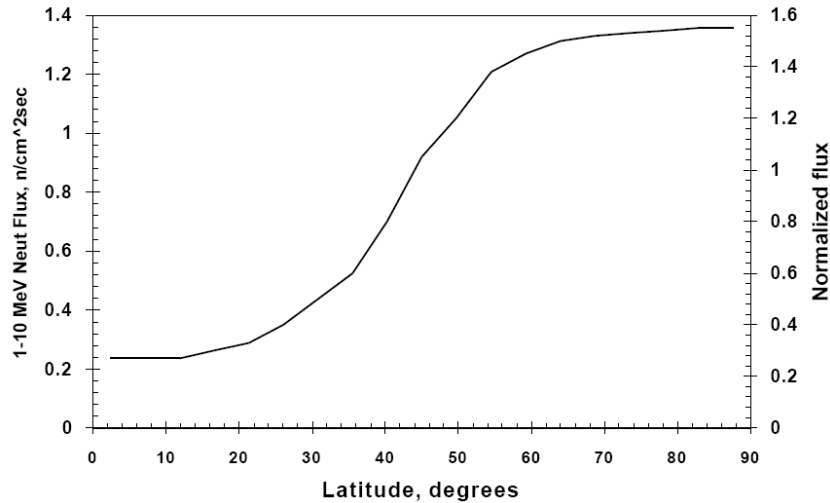


Figure 9 : Flux de neutrons 1-10 MeV à 35,000 ft [NOR93a]

La figure 9 montre l'influence du champ magnétique terrestre sur les flux de neutrons atmosphériques. En effet, seuls les ions les plus énergétiques pourront pénétrer au niveau de l'équateur, alors que la plupart des particules traverseront la magnétosphère aux niveaux des pôles. Ce résultat est en accord avec les équations (2) et (3).

Mais le flux de neutrons est également différent en fonction de la longitude. La Figure 10 représente la rigidité magnétique calculée par [NYM09] en fonction de la longitude pour des Latitudes de 45°, 0° et -45°. La rigidité évoluant, le flux de rayons cosmiques pénétrant l'atmosphère diffère également et le flux de neutrons s'en trouve modifié.

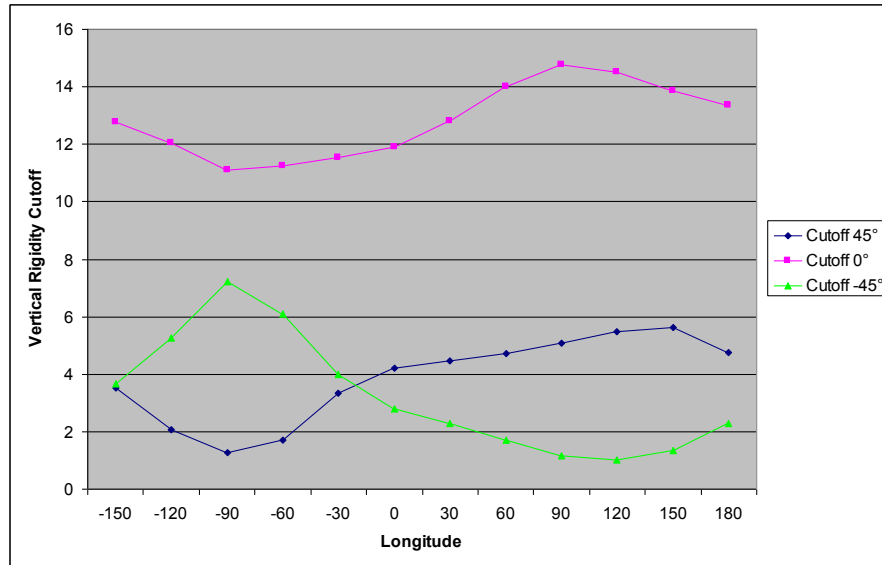


Figure 10 : Rigidité magnétique en 2005 selon [NYM09].

Un dernier phénomène qui impacte le flux de neutrons atmosphériques est le cycle d'éruptions solaires. Pour évaluer l'influence de ce cycle, il est possible de tracer les relevés effectués par [TAK07], en Figure 11, en différents points du globe :

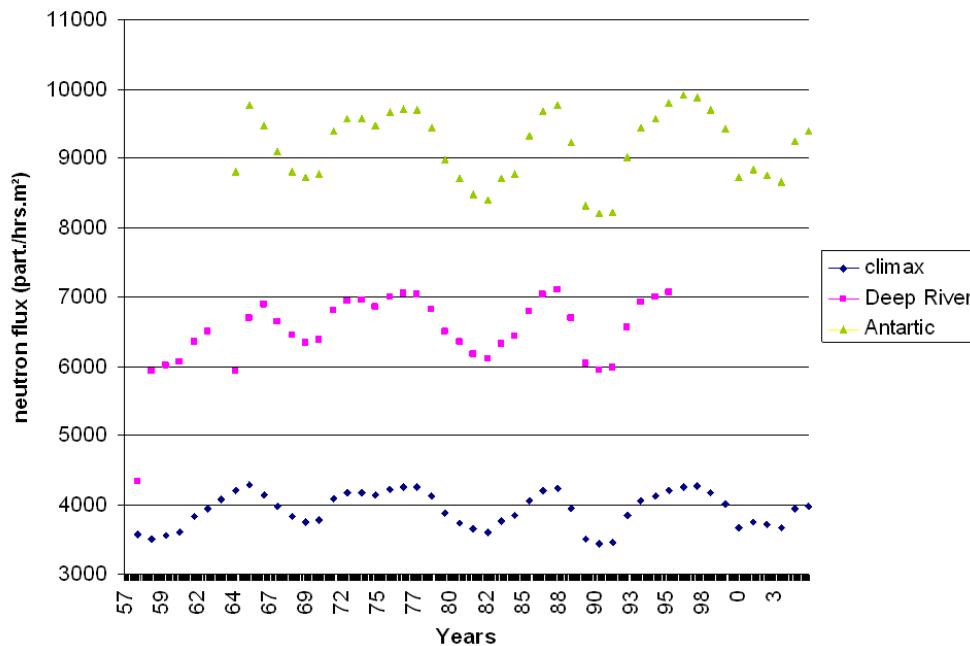


Figure 11 : Flux de neutrons horaire moyenné sur un mois.

Pour plus de clarté, il est utile de présenter les coordonnées géographiques des trois lieux de mesure consignés dans le Tableau 1 :

Tableau 1: Coordonnées de trois des centres de mesures de [TAK07].

Lieu	Latitude (°)	Longitude (°)	Altitude (m)	Vertical Cutoff (GV)
Climax	39.37	-106.18	3400	3.03
Deep River	46.10	-77.5	145	1.02
Antarctique	-77.9	166.6	48	0.01

L'influence du coefficient RS est parfaitement visible sur la figure 11, plus il est faible et plus les flux de neutrons sont marqués. De plus, la comparaison des figures 11 et 3 amène à la conclusion que ces flux sont amoindris lorsque l'activité solaire est intense. Ceci s'explique par le fait que, lors des éruptions solaires, les rayons cosmiques doivent combattre les particules issues du vent solaire. Ces rayons ayant perdu de leur énergie, ils engendrent moins de particules secondaires lors de leur interaction avec l'atmosphère.

I.3. L'interaction Neutron-Matière

Pour comprendre en quoi les neutrons représentent une menace pour les systèmes électroniques, il faut tout d'abord explorer l'effet des particules chargées sur un semi-conducteur.

I.3.1. L'interaction Ion-Silicium

I.3.1.1. Description du phénomène

L'ion lourd est l'un des meilleurs candidats à la perturbation d'un système électronique. Il interagit avec les électrons et les atomes de la structure cristalline du semi-conducteur par interaction électromagnétique coulombienne. Les processus de dépôt d'énergie sont l'ionisation et l'excitation des atomes.

L'interaction avec un électron est la plus probable. Si l'énergie transférée à l'électron est suffisante pour l'extraire du potentiel atomique, il y a alors ionisation. Cette ionisation directe est localisée autour de la trace de l'ion, la portée d'une interaction ionisante étant de l'ordre de 0.5 nm [EQU88]. L'électron participe au rayonnement δ si l'énergie qu'il a captée lui permet d'ioniser à son tour d'autres atomes. Ces rayons δ contribuent à l'extension radiale de la trace d'ionisation, leur parcours pouvant atteindre plusieurs microns.

$$R = \kappa.T^\alpha \quad (4)$$

où R est le parcours moyen en μm , κ vaut 0.0183 $\mu\text{m}/\text{keV}$ dans le silicium, T est l'énergie cinétique en keV et α est compris entre 1,5 et 1,75.

L'ion cède son énergie au milieu lors de sa propagation, réduisant ainsi l'extension radiale de sa trace. Lorsque son énergie approche les quelques keV par nucléons, l'ion capture des électrons et son état d'ionisation diminue. Il interagit également avec les atomes, excitant la structure cristalline qui émet alors des phonons optiques. Ces atomes peuvent rester durablement hors de leur position d'équilibre, ils sont alors susceptibles d'engendrer d'autres défauts dans le réseau cristallin.

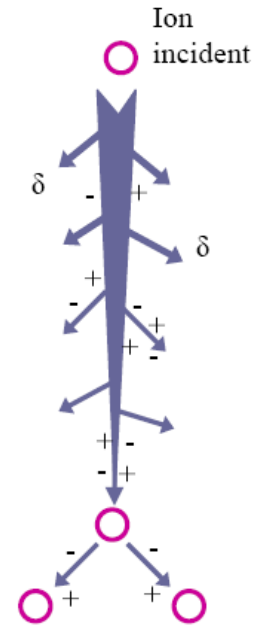


Figure 12 : Trace d'un ion dans le silicium [LUU09]

1.3.1.2. Pouvoir d'arrêt et transfert d'énergie linéique

La perte d'énergie de l'ion par interaction avec les électrons est appelée pouvoir d'arrêt électronique. Il peut s'exprimer par la formule de Bethe [CHE96] :

$$\left| \frac{dE_i}{dz} \right| = \frac{1}{4 \cdot \pi \cdot \epsilon_0^2} \cdot \frac{N \cdot e^4}{m_e \cdot C^2} \cdot \frac{Z_i^2}{\beta^2} \cdot \left[\ln \left(\frac{2 \cdot m_e \cdot C^2}{I} \cdot \beta^2 \right) - \ln(1 - \beta^2) - \beta^2 \right] \quad (5)$$

avec : dE_i/dz : variation d'énergie linéique le long d l'axe de propagation, $\text{J} \cdot \text{m}^{-1}$

ϵ_0 : permittivité du vide, $8,85 \cdot 10^{-12} \text{ C}^2 \cdot \text{J}^{-1} \cdot \text{m}^{-1}$

N : densité électronique du milieu, environ $7 \cdot 10^{29} \text{ m}^{-3}$ pour le silicium

e : charge d'un électron, $1,6 \cdot 10^{-16} \text{ C}$

m_e : masse au repos de l'électron, $9,1 \cdot 10^{-31} \text{ kg}$

C : vitesse de la lumière dans le vide, $3 \cdot 10^8 \text{ m} \cdot \text{s}^{-1}$

Z_i : nombre de charge de l'ion (numéro atomique en cas d'ionisation totale)

$\beta = V/C$, où V est la vitesse de l'ion

I : potentiel d'ionisation moyen des électrons, environ 170 eV pour le silicium

Le pouvoir d'arrêt est donc proportionnel au carré de la charge de l'ion incident et dépend également de sa vitesse. L'équation (5) est une approximation, pour une meilleure précision, essentiellement pour les faibles énergies, il convient d'utiliser des tables [ZIE80] ou des logiciels [SRI00] dédiés. Le pouvoir d'arrêt s'exprime couramment en $\text{MeV.cm}^2.\text{mg}^{-1}$, obtenu à partir de :

$$\left| \frac{dE_i}{\rho.dz} \right| = \frac{10^4}{\rho} \cdot \left| \frac{dE_i}{dz} \right| \quad (6)$$

ou en $\text{pC}.\mu\text{m}^{-1}$, obtenu à partir de :

$$\left| \frac{dE_i}{dz} \right| = \frac{0.16}{E_p} \cdot \left| \frac{dE_i}{dz} \right| \quad (7)$$

Le pouvoir d'arrêt traduit l'énergie perdue par unité de longueur. Le Transfert d'Énergie Linéique (LET) est défini en intégrant le spectre des rayons δ jusqu'à une énergie maximum. $L_{100\text{eV}}$ est ainsi l'énergie perdue par unité de longueur en ne prenant en compte que les rayons δ d'énergie inférieure ou égale à 100 eV. Toutefois, l'usage identifie le LET au pouvoir d'arrêt, c'est-à-dire L_∞ .

1.3.2. L'interaction Neutron-Matière

1.3.2.1. L'interaction Neutron-Silicium

Les neutrons, contrairement aux ions, ne sont pas chargés. Ils ne possèdent donc pas de LET et n'ionisent donc pas la matière, du moins pas directement. En revanche, ils interagissent avec les noyaux, les neutrons thermiques ($E < 1 \text{ eV}$) entrent en collision avec l'isotope ^{10}B , et les neutrons rapides ($100\text{keV} < E < 1 \text{ MeV}$) avec les atomes de silicium. Pour des énergies supérieures à quelques MeV, les collisions inélastiques et les réactions de fragmentation du noyau doivent être prises en compte.

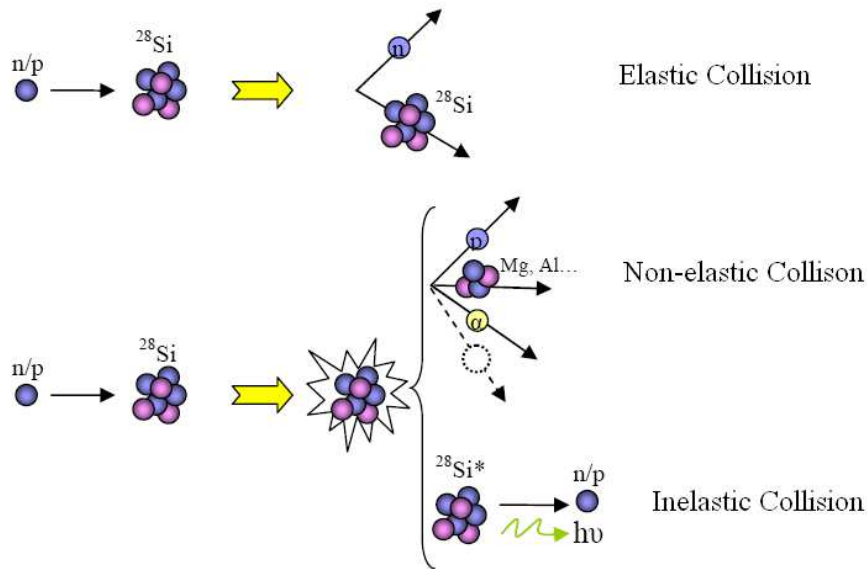


Figure 13 : Schéma d'interaction Neutron-Silicium [LUU09]

Les collisions élastiques déplacent les atomes de silicium, il en résulte, sur le long terme, une dégradation des performances du semi-conducteur. En revanche les collisions non-élastiques sont des réactions nucléaires. Elles génèrent des particules secondaires : des neutrons, des particules alpha et des ions. Ils peuvent, à leurs tours, interagir avec le silicium et l'ioniser, tout comme le ferait un ion lourd par ionisation directe. L'ionisation étant donc indirecte, il n'est pas possible de parler du pouvoir d'arrêt d'un neutron. L'ionisation dépend alors de la nature de l'ion créé et de l'énergie cinétique qu'il a emmagasinée. Il est alors nécessaire de faire appel à des bases de données pour modéliser l'interaction neutron-silicium.

1.3.2.2. L'interaction Neutron-Matière

Si l'interaction d'un neutron avec un atome de silicium est susceptible de créer un ion de recul issu des atomes se trouvant avant le silicium dans le tableau de Mendeleïev, les neutrons peuvent également interagir avec tous les autres atomes présents dans l'environnement du semi-conducteur. Ces atomes pouvant être les dopants intrinsèques du semi-conducteur ou des impuretés, dont la nature est moins bien maîtrisée. Mais ils peuvent également être des atomes provenant du boîtier des puces de circuits intégrés [WRO08]. Il ne faut donc pas limiter les études de sensibilité au circuit seul, mais bien au système dans son ensemble.

1.3.3. L'interaction Proton-Matière

Une autre particule très présente dans l'atmosphère est le proton. Même si la densité du flux de proton est très inférieure à celle du flux de neutron, il n'en reste pas moins une

menace sérieuse pour les composants électroniques [REFatrouver]. En effet, le proton étant chargé, il peut ioniser le silicium qu'il traverse. Et, si son énergie est suffisante, il peut engendrer des particules secondaires suite à une collision non-élastique avec un noyau.

Au-delà d'une énergie de 50 MeV, le proton crée la même perturbation qu'un neutron sur un composant électronique. Si son énergie est inférieure à 50 MeV, l'ionisation qu'il laisse le long de sa trace devient non-négligeable devant l'effet d'éventuelles particules de recul [REFatrouver].

I.4. Les effets à événement singulier (SEE)

I.4.1. Les Phénomènes mis en œuvre

I.4.1.1. La collection de charge

La figure 13 permet d'expliquer les phénomènes mis en jeu lors d'un SEE. Les paires électron-trou générées dans la zone de charge d'espace sont séparées par le champ électrique. Les porteurs sont alors accélérés jusqu'à atteindre la zone où ils sont majoritaires, c'est le phénomène de dérive. Un transitoire de courant inverse est alors généré dans la jonction. C'est ce transitoire qui est susceptible d'engendrer un SEE.

Les lignes de potentiels normalement confinées à la zone de charge espace se déploient dans le substrat. Le champ électrique gagne alors en volume, amplifiant la collection par dérive. Ce phénomène est le funneling [HSI81] (de l'anglais funnel : entonnoir). Ainsi, si la densité de porteurs générés est importante devant la concentration en atomes dopants ionisés dans la zone de charge espace, la colonne de charge peut écranter le champ initial. La différence de potentiel entre les régions N et P se répartit le long de la trace d'ionisation.

Les porteurs non-soumis à un champ électrique diffusent dans le semi-conducteur. Ils peuvent être collectés si cette diffusion les amène sous l'influence de la zone de charge espace. Dans le cas contraire, ils se recombinent après plusieurs microns de parcours autour du point d'impact de l'ion.

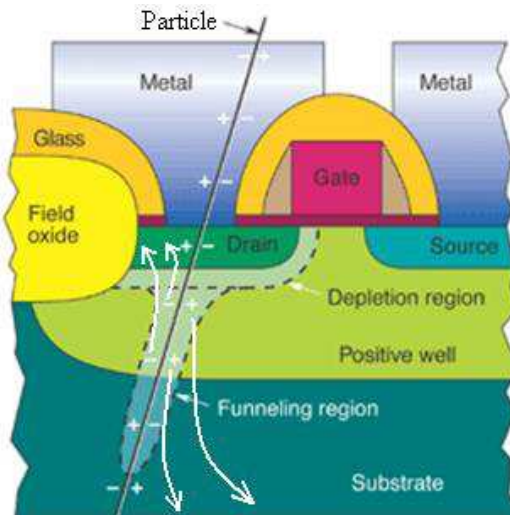


Figure 14 : Mécanisme de génération d'un courant transitoire parasite.

Ces trois phénomènes de collection entraînent donc la création d'un courant. L'amplitude de ce courant transitoire est directement liée aux nombres de charges collectées. La Figure 14 montre ainsi que dans une technologie SOI l'amplitude du courant est amoindrie par rapport à celui d'un transistor dans une technologie bulk de dopage similaire. En effet, la technologie SOI, où le volume du substrat est fortement limitée, réduit l'effet funneling et les porteurs collectés par effet de diffusion.

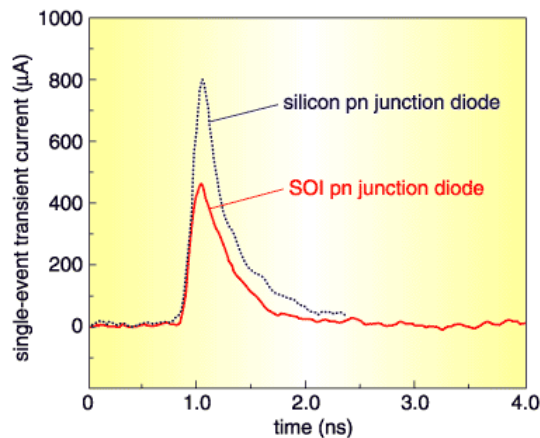


Figure 15 : Courant de collection lors d'un événement transitoire [LUU09].

1.4.1.2. Notion de charge critique et modèle RPP

La notion de charge critique permet d'exprimer la sensibilité d'une cellule mémoire. Cela suppose qu'une cellule donnée basculera dans son état logique complémentaire si la charge apportée à un nœud électrique sensible est supérieure à la charge critique : Q_c . Ce paramètre est un indicateur de sensibilité, il permet donc la comparaison de circuits, selon leurs technologies ou leurs géométries.

Il faut toutefois noter que cette notion occulte tous les aspects dynamiques de la collection de charges.

Fondé sur la notion de charge critique, le modèle RPP (rectangular parallelepiped) suppose que tout ion ayant généré, dans le volume sensible qu'est le RPP, une charge supérieure à Q_c induira un SEU [PIC78].

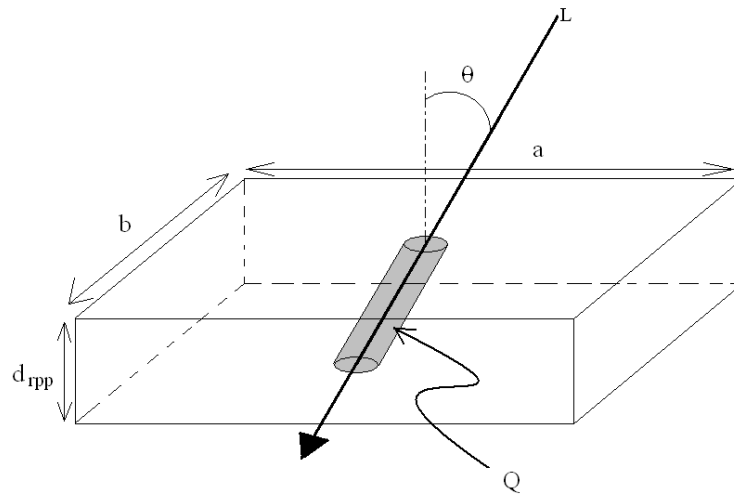


Figure 16 : Géométrie du modèle RPP [POU00].

Le modèle RPP possède plusieurs avantages. Tout d'abord, il simplifie la modélisation de la sensibilité en limitant le nombre de paramètres : 1 paramètre électrique (Q_c) et 3 paramètres géométriques (a , b , d_{rpp}). Par ailleurs, il permet de traiter simplement la dépendance angulaire en extrapolant les résultats en incidence normale au cas d'un flux isotrope.

Il n'y aura alors un SEU que si le LET (en $pC/\mu m$) de l'ion est supérieur à Q_c/d_{rpp} . Donc pour un LET seuil L_0 , l'équation (8) est obtenue:

$$Q_c = L_0 \cdot d_{rpp} \quad (8)$$

Cependant, dans la plupart des cas, la charge critique n'est pas connue et la profondeur du volume est une estimation grossière de la réalité physique. Pour faciliter les comparaisons, la profondeur de zone sensible est arbitrairement fixée par défaut à $1 \mu m$. Ce choix constitue la limitation principale de ce modèle. Il paraît en effet peut compatible de figer un volume sensible tout en prenant en compte la contribution d'une collection par diffusion lors d'un impact éloigné de la zone de charge espace.

1.4.2. Les différents SEE

Tout d'abord, et dans un souci de compréhension, les termes anglophones seront conservés pour la plupart des effets à événement singulier, ou Single Event Effects. Le tableau suivant récapitule les types SEEs les plus connus:

Tableau 2: Single Event Effects usuels.

Abréviation	Nom complet	Définition	Destructif ?
SEU	Single Event Upset	Changement d'état logique dans une cellule mémoire.	non
MBU	Multiple Bit Upset	Plusieurs SEU causés par une seule particule	non
MCU	Multiple Cell Upset	Un MBU concentré dans un mot logique	non
SET	Single Event Transient	Apparition d'un courant transitionnel parasite	non
SEFI	Single Event Functional Interrupt	Blocage de systèmes numériques complexes	non
SEL	Single Event Latchup	Augmentation du courant due à une jonction pnpn parasite.	oui
SEB	Single Event Burnout	Emballement thermique destructif	oui
SEGR	Single Event Gate Rupture	Rupture de grille du diélectrique	oui

De manière générale, un SEE peut se produire lors du dépôt de charge dans un système électronique par ionisation directe ou indirecte. Si les SEEs destructifs ne peuvent être endigués, les non-destructifs peuvent, eux, être corrigés. Il est alors utile de connaître au mieux les risques que court le système et comment le protéger.

Bien que les premières suggestions sur la possibilité qu'une particule puisse induire des effets sur un circuit microélectronique aient été faites en 1962. Il fallut attendre 1975 pour observer le premier SEE.

1.4.2.1. Les SEU, MBU et MCU

Ces trois types de SEEs sont ceux qui seront le plus souvent rencontrés dans notre étude, il apparaît utile d'en faire une définition précise.

Une définition raisonnable d'un SEU est : « *Un Single Event Upset est le changement d'état logique d'un bit dans un élément numérique qui a été causé soit par une ionisation directe due à une particule traversante, soit par une ionisation produite par une particule de recul chargée émise suite à une réaction nucléaire induite près de l'élément. Le plus souvent, l'Upset n'est pas destructif et peut être corrigé s'il est détecté.* » [STA95]

Les Multiple Bit Upset, ou MBU, sont plusieurs SEU engendrés par une même particule. Cette particule peut être un ion lourd ionisant plusieurs cellules le long de sa trace ou via ses rayons deltas sur des structures très intégrées. Mais cela peut également être un neutron qui, via plusieurs particules de recul, impacte différentes cellules parfois très éloignées.

Le Multiple Cell Upset, ou MCU, est un cas particulier de MBU où toutes les cellules mémoire impactées appartiennent au même mot logique. Cette particularité rend les MCU menaçants pour tout circuit numérique, les codes de correction d'erreur classiques ne pouvant corriger ou même détecter les cellules corrompues. Remarquons que certaines SEFI peuvent générer des erreurs assimilables à des MCU, mais n'ayant pas la même cause physique.

1.4.2.2. Les SEFI

Une définition raisonnable du SEFI est : « Un Single Event Function Interrupt est un SEU qui survient dans un système complexe tel que son système de contrôle est corrompu, menant ainsi à un fonctionnement inapproprié. »

Essayer de fournir un catalogue exhaustif des SEFI existantes serait vain. Toutefois, illustrons le concept par plusieurs exemples sur des composants électroniques usuels.

Dans des composants de type mémoire, une SEFI peut survenir dans la logique d'adressage et ainsi corrompre une ou plusieurs lignes ou colonnes de cellules. Un unique impact de particule engendre alors une erreur ressemblant à un MCU ou une combinaison de MCU. Le profile de ces SEFI varie en fonction de la structure de la mémoire [Gue12]

Dans un composant de type micro-processeur, chaque registre de configuration ou d'adressage est une source potentielle de SEFI.

1.4.2.3. Les SEL et SEB

Une définition raisonnable du SEL est : « Un Single Event Latchup est le dysfonctionnement d'un circuit dû à l'ionisation locale créée par un ion traversant ou une

réaction nucléaire. Le SEL peut être destructif ou non-destructif. Dans les technologies CMOS, un SEL peut créer un appel de courant endommageant les liaisons filaires (ou le semi-conducteur lui-même) si le circuit n'est pas protégé par un système de limitation de courant. Le SEL peut être un sérieux problème, car celui-ci persiste tant que l'alimentation du circuit touché n'est pas régulée. » [STA95]

I.5. Les tests

1.5.1. La courbe de section efficace

La section efficace permet de mesurer la sensibilité du circuit à tester (DUT) aux SEEs. Elle représente la surface sensible apparente du DUT :

$$\sigma_m(\phi) = \frac{N_e(\phi)}{\phi} \quad (9)$$

où σ_m est la section efficace en cm^2 , N_e le nombre de SEEs en fonction de la fluence Φ (en cm^{-2}) qui représente le nombre de particules incidentes par unité de surface durant la totalité du test. σ_m s'exprime aussi en barn, 1 barn = 10^{-24} cm^2 .

Les flux de particules sont considérés comme homogènes. La probabilité d'occurrence d'un SEE en une position donnée est perçue comme une variable stochastique. Plus la fluence est importante plus la section efficace est déterminée avec précision. La section efficace réelle peut ainsi s'écrire :

$$\sigma_r = \lim_{\phi \rightarrow \infty} \left(\frac{N_e(\phi)}{\phi} \right) \quad (10)$$

La mesure de la section efficace se fait pour plusieurs valeurs de LET, valeur modifiée en changeant d'énergie ou de type d'ions.

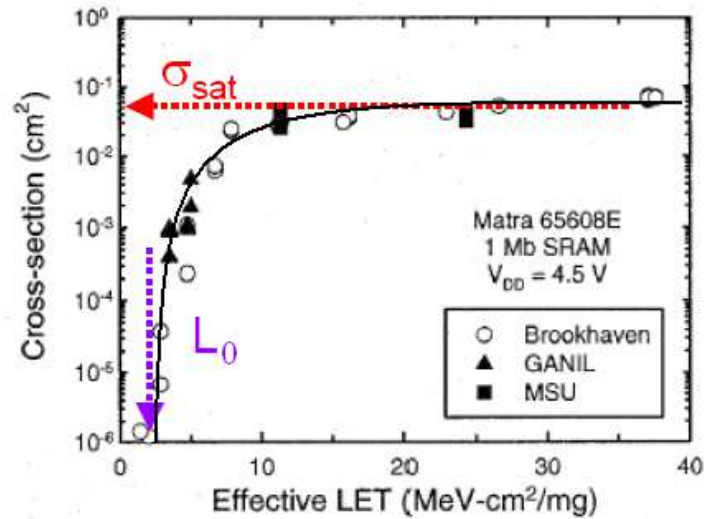


Figure 17 : Courbe de section efficace pour une mémoire bulk de 1 Mbits [FER04].

Les mesures sont souvent ajustées par une distribution de Weibull :

$$\sigma_w(L) = \begin{cases} \sigma_{sat} \cdot \left(1 - e^{-\left(\frac{L-L_0}{W}\right)^S}\right) & \text{pour } L > L_0 \\ 0 & \text{pour } L \leq L_0 \end{cases} \quad (11)$$

où σ_{sat} est la section efficace de saturation, L_0 le LET seuil, W représente la largeur de la courbe et S est un paramètre de forme. L_0 et σ_{sat} permettent de comparer les sensibilités des différents circuits ou systèmes testés.

En accélérateur de particules, le réglage du LET possède initialement une incertitude de 2% [ZAJ99]. De plus, le LET est une valeur moyenne, deux ions identiques frappant une même épaisseur ne déposeront pas la même énergie.

1.5.2. Les équipements de test

1.5.2.1. Les sites en altitude

Pour réduire la durée des tests, une première solution consiste à les réaliser en environnement naturel, mais à une altitude élevée. En effet, le flux de neutrons étant plus important, les tests seront plus rapides qu'au niveau de la mer et leurs résultats statistiques s'en trouveront plus précis.

L'un de ces sites est français : l'ASTEP (Altitude See Test European Platform).

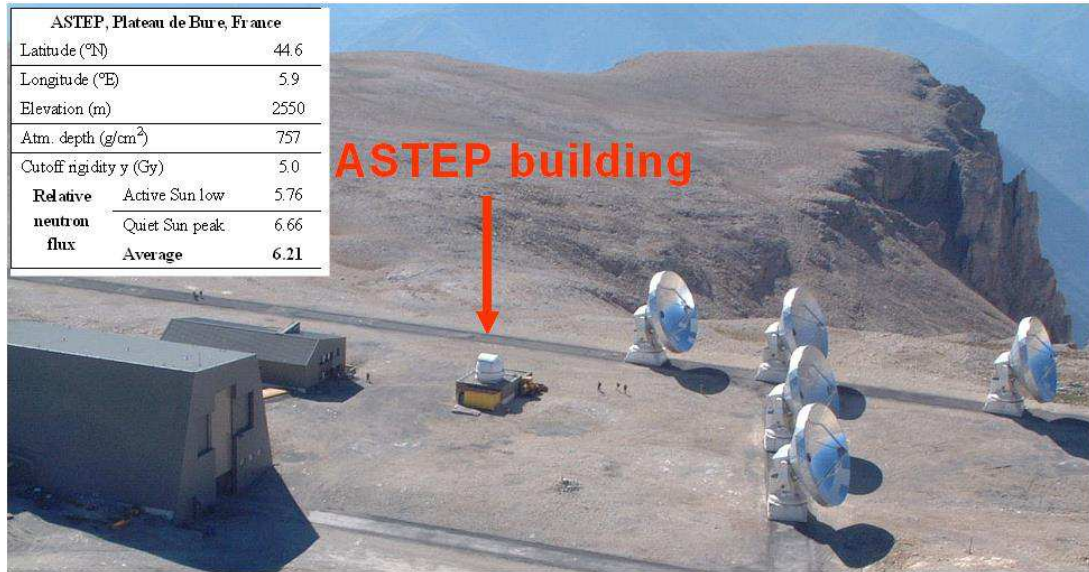


Figure 18 : Plateforme ASTEP [AUT07].

1.5.2.2. Les accélérateurs de particules

Les accélérateurs de particules sont les instruments les plus couramment utilisés pour évaluer la sensibilité d'un circuit aux effets des radiations en milieu hostile. Le DUT est placé sous un faisceau d'ions de type, de charge et d'énergies connues. Son fonctionnement est contrôlé lors de l'irradiation pour détecter le nombre de SEEs. Le Tableau 3 donne un aperçu d'équipements existants.

Tableau 3: Liste non-exhaustive des accélérateurs de particules [BEZ04].

Equipement	Type d'accélérateur	Particules (et leurs énergies)
UCL, Belgique	Cyclotron	Ions lourds (> 10 MeV/n) Protons (< 65 MeV)
JYFL, Finlande	Cyclotron	Ions lourds (> 10 MeV/n) Protons (< 45 MeV)
LBL, USA	Cyclotron	Ions lourds (> 10 MeV/n) Protons (< 55 MeV)
PSI-OTIS, Suisse	Cyclotron	Protons (< 63 MeV)
PSI-HIF, Suisse	Cyclotron	Protons (< 300 MeV)
CPO, France	Synchrocyclotron	Protons (< 200 MeV)
TRIUMPH, Canada	Cyclotron	Protons (< 520 MeV)
GANIL, France	Cyclotron	Ions lourds (> 100 MeV/n)
TAMU, USA	Cyclotron	Ions lourds (> 1 GeV/n)
GSI, Allemagne	Cyclotron	Ions lourds (> 1 GeV/n)
CNPI, Russie	Synchrocyclotron	Protons (< 1 GeV)

Si ces accélérateurs sont couramment utilisés, ils n'en possèdent pas moins plusieurs inconvénients. En effet, les tests doivent se dérouler dans des chambres à vide, le composant sous test (DUT) doit donc être contrôlé à distance. Autre inconvénient, les faisceaux irradient la globalité de la carte de test, il est donc impossible de connaître l'endroit exact où à frapper la particule qui a provoqué un SEE. Enfin, deux autres soucis qui ne manquent pas d'irriter les industriels : le prix et l'accessibilité de ces structures. Entre 500\$ et 1000\$ de l'heure [LBN00] avec des réservations de plusieurs mois à l'avance.

1.5.2.3. Les réacteurs à neutrons

Les neutrons n'étant pas des particules chargées, il est impossible de les accélérer via le champ magnétique d'un cyclotron. Des réacteurs à neutrons sont donc utilisés. Le plus puissant réacteur, situé au Los Alamos Neutron Science Center (LANSCE), accélère des protons jusqu'à 84% de la vitesse de la lumière. Lorsque ceux-ci frappent une cible de tungstène, des neutrons sont produits. Un compteur dans la chambre de test mesure le flux de neutrons.

Outre le fait que le LANSCE possède le plus puissant réacteur à neutrons, celui-ci est également très apprécié car il reproduit fidèlement le spectre d'énergie des neutrons atmosphériques naturels, avec un flux plus important. Une heure de test dans ce réacteur correspond à 15 753 années au niveau du sol.

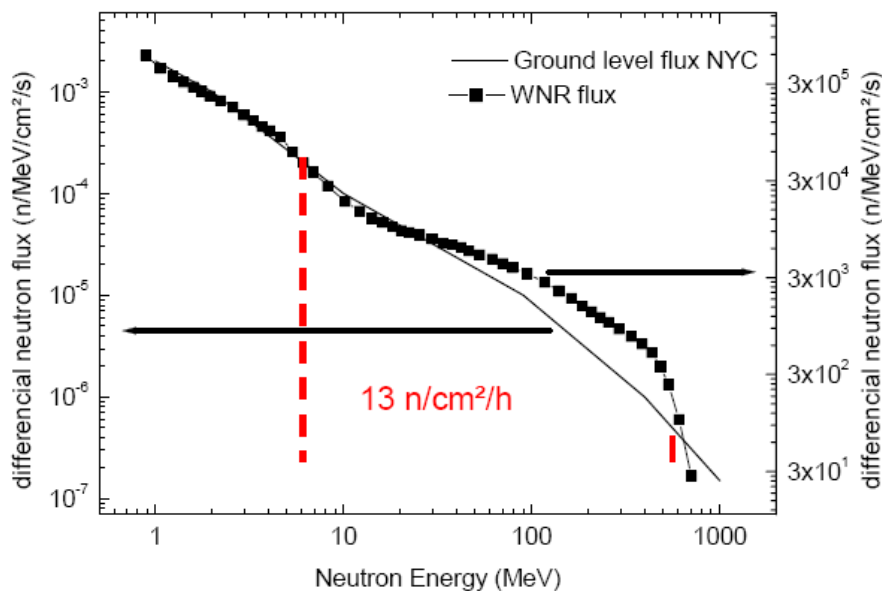


Figure 19 : Spectre d'énergie des neutrons au LANSCE comparé au spectre au sol de New York [BAG07].

Bien entendu, il existe d'autres réacteurs à neutrons, certains d'entre eux ne produisent en revanche qu'un flux mono-énergétique de neutrons. Voici une liste des plus connus :

Tableau 4: Liste non-exhaustive des réacteurs à neutrons [BAG07].

Equipement	Energie
CEA, Valduc en France	14 MeV
Delft Univ. Of Tech, Pays-Bas	14 MeV
Svedberg Lab., Suède	< 180 MeV
CYCLONE, Belgique	< 80 MeV
Inst. Paul Scherrer, Suisse	<150 MeV
Indiana Univ. Cyclotron Facility	< 160 MeV
Crocker Nuclear Lab, UC Davis	< 65 MeV
Boeing Radiation Effects Lab.	14 MeV
Texas A&M	14 MeV
Triumf, Vancouver au Canada	< 500 MeV

1.5.2.4. Les faisceaux laser impulsionnel

1.5.2.4.1. L'interaction laser-silicium

Dans un semi-conducteur, un photon dont l'énergie est supérieure à la largeur de la bande interdite (gap) peut être absorbé par un électron, le faisant passer de la bande de valence (BV) à la bande de conduction (BC). C'est l'effet photoélectrique d'absorption inter-bande.

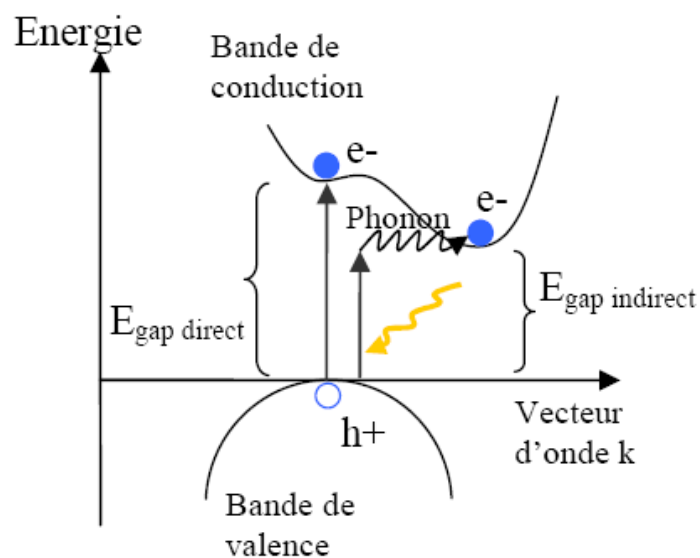


Figure 20 : Absorption de gap direct et indirect [LUU09]

IL existe deux manières pour un électron qui a absorbé un photon de passer de la BV à la BC.

L'absorption directe, qui nécessite que l'énergie du photon soit supérieure à la largeur de la bande interdite. Elle sera donc, pour le silicium, supérieure à $E_{gdirect} = 3.41 \text{ eV}$ et sa longueur d'onde sera elle inférieure à 365 nm.

Une absorption indirecte est toutefois possible. En effet, pour un photon absorbé dont l'énergie est comprise entre $E_{gdirect}$ et $E_{gindirect}$, l'électron peut également absorber un phonon pour atteindre la BC. La longueur d'onde maximum est alors donnée par :

$$\lambda_{gindirect} = \frac{\bar{h}.C}{E_{gindirect}} = 1110 \text{ nm} \quad (12)$$

Ces absorptions génèrent donc des paires électron-trou. Les électrons présents dans la BC peuvent eux aussi absorber des photons, les faisant ainsi accéder à des niveaux d'énergie plus importants, c'est l'auto-absorption. Ils retombent ensuite dans le bas de la bande par décroissance phononique (thermalisation). Ce processus est également possible pour les trous de la BV. Elle dépend directement du niveau de dopage.

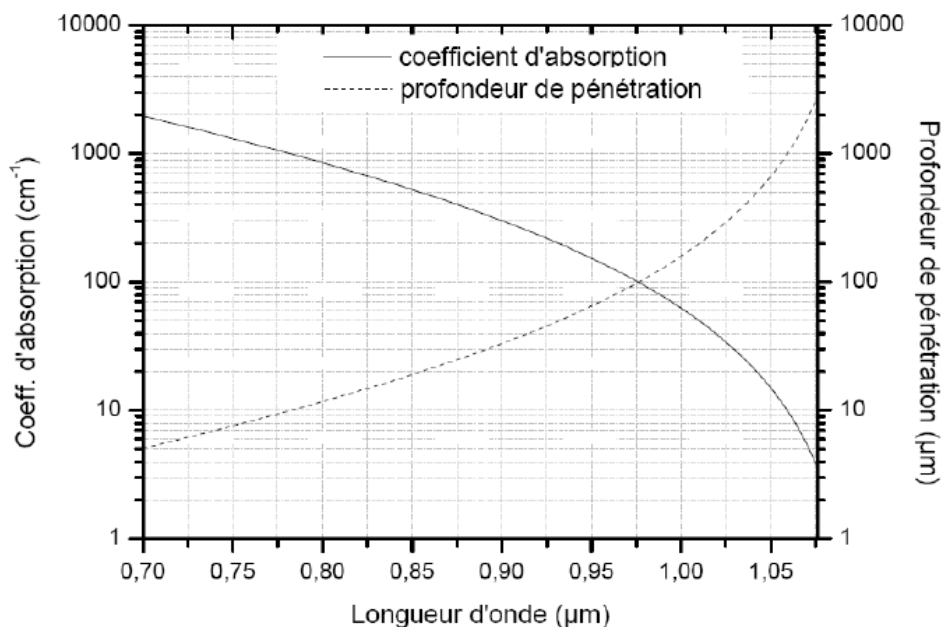


Figure 21 : Coefficient d'absorption et profondeur de pénétration dans du Si dopé P ($<10^{17} \text{ cm}^{-3}$) [GER93]

Pour des champs élevés, des non-linéarités apparaissent. Ce nouveau phénomène d'absorption traduit la possibilité pour un électron d'absorber deux photons

simultanément. C'est l'absorption deux photons (ou TPA) qui doit être différenciée de l'auto-absorption. L'absorption TPA n'est possible que pour des intensités de faisceau très élevées, générées uniquement en régime impulsif.

Le modèle le plus couramment utilisé pour décrire la structure transverse d'un faisceau laser est le faisceau gaussien [POU00] (équations en annexe). Dans la figure 22, le trait gras représente le rayon du faisceau (i.e. la frontière où l'intensité du faisceau est e^2 fois plus faible qu'en son centre), w_0 est le rayon minimal, Z_0 est le paramètre confocal situant la zone de transition entre un comportement d'onde quasi-plane et d'onde quasi-sphérique, et θ est la divergence du faisceau.

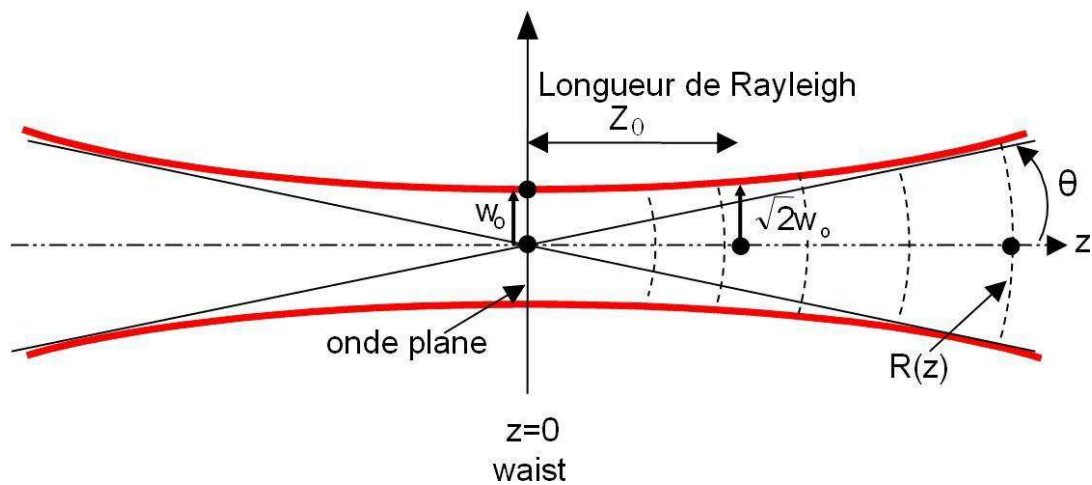


Figure 22 : Propagation d'un faisceau gaussien

I.5.2.4.2. Equivalence entre ion lourd et impulsion laser

Les interactions ion-silicium et laser-silicium peuvent être comparées via leurs taux de génération de paires électron-trou exprimés en cm^{-3} . Ces deux interactions seront considérées comme équivalentes si elles génèrent dans le volume de silicium la même quantité de porteurs de charge.

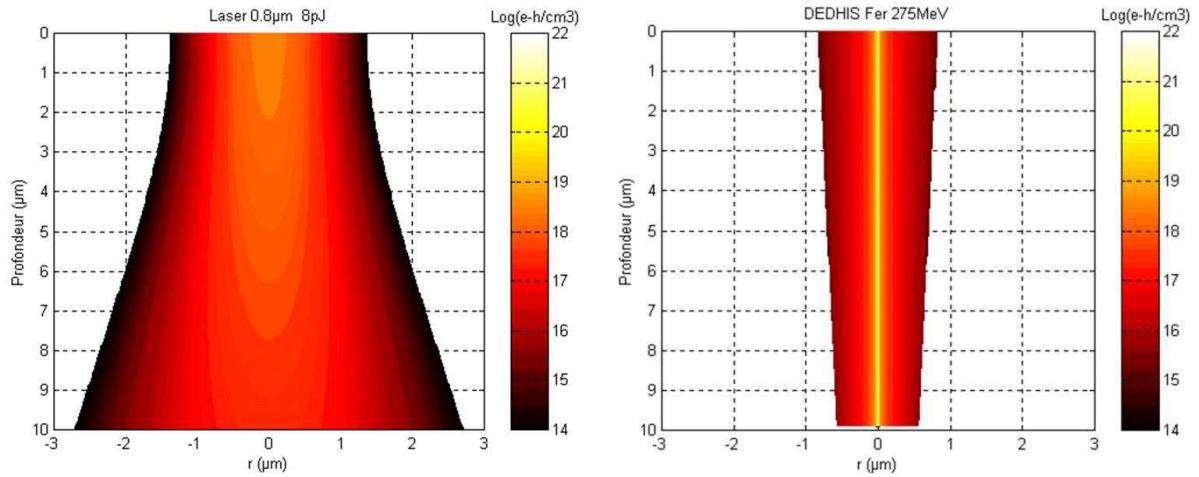


Figure 23 : Comparaison des distributions spatiales des paires électron-trou pour a) une impulsion laser et b) un ion fer [POU00]

Dans la figure 23 extraite de [POU00], les interactions dues à un ion Fe et une impulsion laser sont comparées. Un modèle gaussien linéaire a été utilisé pour l'impulsion laser, et le modèle DEDHIS (version améliorée du modèle cylindrique proposée par Vincent Pouget) est utilisé pour représenter la trace de l'ion. Bien que ces deux traces génèrent la même quantité de paires électron-trou, leurs profils s'avèrent très différents. L'impulsion laser est nettement plus étendue en volume, avec une densité maximale de charges sur l'axe environ 1000 fois plus faible, et une rapide décroissance en profondeur contrairement au taux de génération beaucoup plus uniforme observé le long de la trace de l'ion (l'échelle logarithmique amplifie artificiellement l'effet différentiel).

A partir de ces deux taux de génération, et en approximant le volume sensible à un parallélépipède rectangle de surface infinie et de profondeur d (méthode RPP vue ci dessus), l'approche ERPP permet de donner une équivalence entre les charges déposées dans ce volume. Par intégration du taux de génération sur le volume, il ressort [POU00] :

$$L_E = T \cdot E_L \cdot \frac{E_p}{E_\gamma} \cdot \frac{1 - e^{-\alpha \cdot d}}{d} \quad (13)$$

avec L_E étant le LET laser équivalent, E_L l'énergie de l'impulsion laser, et E_p l'énergie nécessaire à la création d'une paire électron-trou. Cette approche est bien entendu soumise aux mêmes limitations que le modèle RPP lui-même. C'est-à-dire la définition d'une profondeur arbitraire de volume sensible, profondeur à définir pour chaque technologie. Il est alors possible de définir un coefficient ERPP de proportionnalité entre le LET laser et le Let de l'ion:

$$L_E = K_e^d \cdot E_L \quad (14)$$

Le tableau suivant donne les coefficients d'ERPP pour une profondeur $d = 1 \mu\text{m}$, dans le silicium, pour différentes énergies E_L exprimées en pJ.

Tableau 5: Coefficient d'ERPP dans le Silicium [POU00].

	$\lambda = 0.8 \mu\text{m}$	$\lambda = 1 \mu\text{m}$	$\lambda = 1.06 \mu\text{m}$
L_E en $\text{MeV} \cdot \text{cm}^2 \cdot \text{mg}^{-1}$	3.85	0.37	0.066
L_E en $\text{MeV} \cdot \mu\text{m}^{-1}$	0.89	0.087	0.015

I.5.2.4.3. Avantages et inconvénients du test sous faisceau laser

Tout d'abord, l'avantage premier du test sous faisceau laser est sa plus grande facilité d'accès comparée à un accélérateur de particule. Mais sa plus grande force est très certainement sa capacité à cartographier les défauts du DUT. Alors qu'un test en accélérateur irradiera le circuit dans son ensemble, le test laser permettra d'associer chaque réponse aux stimuli à une localisation.

En revanche, le test sous faisceau laser possède plusieurs limitations, la première étant qu'il n'est qu'une imitation de l'effet de particules ionisantes sur le DUT, et par conséquent que la possibilité d'une équivalence stricte avec un faisceau d'ion n'est pas encore démontrée. Bien que le test laser s'avère être un outil pertinent pour comparer la sensibilité de deux composants électroniques, un test final sous accélérateur de particules sera toujours nécessaire pour valider le comportement du circuit dans un environnement radiatif.

Le test sous faisceau laser est donc un excellent complément au test en accélérateur de particules, mais ne le remplace pas.

1.5.3. Les méthodes de test

1.5.3.1. Les normes de tests

Les tests de sensibilité aux radiations sont soumis à plusieurs normes. Dans le cas de l'étude de la sensibilité des systèmes électroniques embarqués à l'avionique, une norme doit être retenue :

-JESD89A: "Measurement and Reporting of Alpha particles and Terrestrial Cosmic Ray-induced Soft Errors in Semiconductor Devices". Publiée en octobre 2006 par JEDEC, cette norme décrit les différentes méthodes de tests pour évaluer le SER (Soft Error Rate) d'un composant soumis à l'environnement terrestre. Ce SER s'exprime en FIT (Failure In

Time). Un FIT correspond à une erreur toutes les 10^9 heures. Le seuil de fiabilité est fixé à 2000 FIT/Mbit.

Elle couvre les tests RTSER (Real Time SER) qui concernent les tests en temps réel et en environnement naturel, ainsi que les tests ASER (Accelerate SER) qui sont les tests menés en accélérateur de particules ou réacteur à neutrons.

Toutefois, si JESD89A est la seule norme, d'autres textes aiguilleront le testeur dans sa tâche, tels que l'ESCC25100 et l'ESCC22900 de l'ESA (European Space Agency) ou le TC107 d'IEC (International Electrotechnical commission).

1.5.3.2. Méthode de tests statiques et dynamiques

Le test statique est le plus simple. Le DUT est alimenté puis configuré selon un motif (tout à 1, tout à 0, damier...). Il est laissé dans une position de repos durant toute la durée de l'irradiation. Seuls des composants comme les DRAMs, qui nécessitent un rafraîchissement régulier, subissent une modification. Une fois l'irradiation terminée, une relecture permet de comparer les bits qui ont été modifiés. La section efficace est alors calculée en fonction de la fluence.

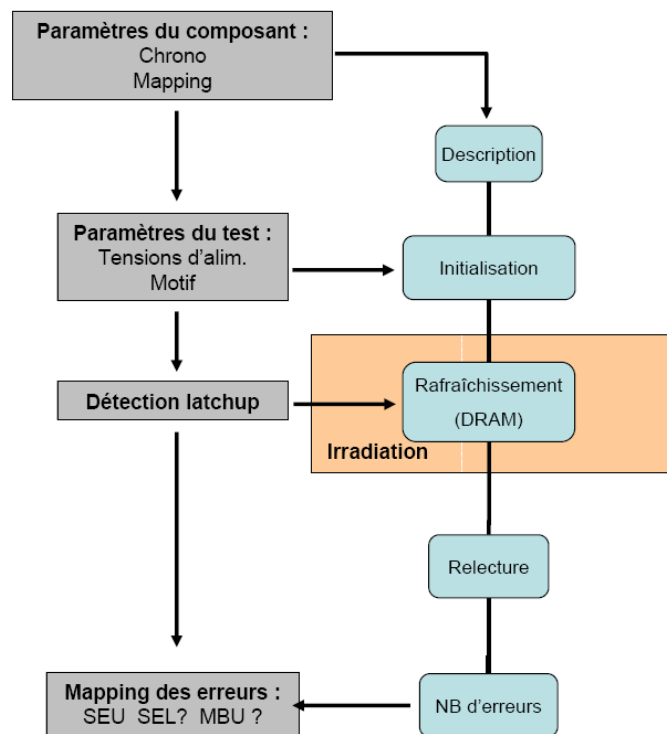


Figure 24 : Diagramme de test statique [BAG07].

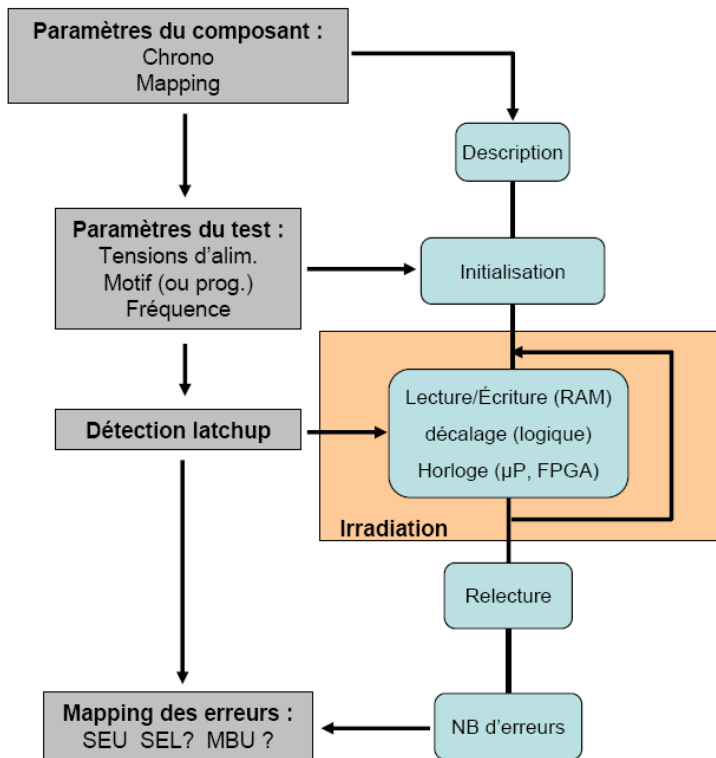


Figure 25 : Diagramme de test dynamique [BAG07].

1.5.3.3. Calcul du SER

Pour les mesures de SER sous flux de neutrons, quatre énergies sont recommandées par la norme JESD89A dans le cas des flux mono-énergétiques : 14 MeV, 50 MeV, 100 MeV et 150 MeV. Des tests sous réacteur doivent être menés à chaque énergie, de manière à calculer la section efficace qui leur est liée. Il est ensuite possible de calculer le SER du composant.

$$SER = \# \text{ de bits} \times ((\sigma_{14\text{MeV}} \times 3.86) + (\sigma_{50\text{MeV}} \times 3.72) + (\sigma_{100\text{MeV}} \times 1.83) + (\sigma_{150\text{MeV}} \times 3.93))$$

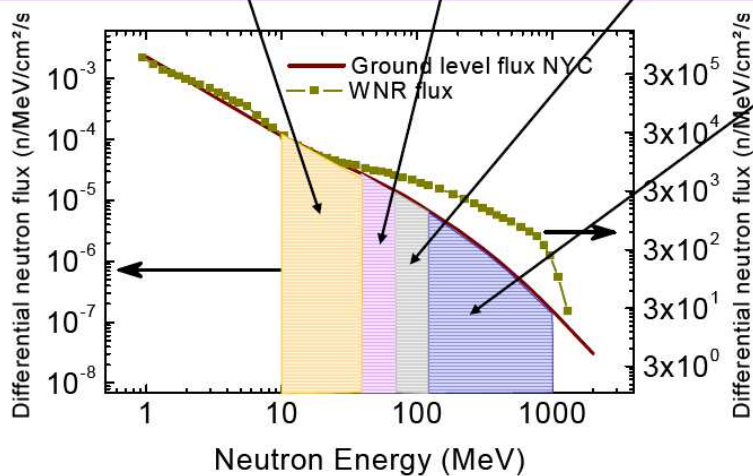


Figure 26 : Formule du SER [BAG07].

Le test dynamique est assez proche du test statique. Il se différencie par le fait que le DUT « travaille » durant l'irradiation. Une mémoire sera lue et écrite. Un processeur tournera sur une application. Et une relecture permettra de compter le nombre d'erreurs par rapport aux données attendues. Le test dynamique apporte la possibilité d'étudier l'influence de la fréquence de travail. De plus, un processeur pourra uniquement être testé avec une méthode dynamique.

La formule est cependant différente pour le flux de neutrons disponible au LANSCE. Celui balayant l'ensemble du spectre énergétique, un seul test et donc une seule mesure de section efficace suffit pour calculer le SER.

$$SER[Upset/h] = \sigma[cm^2/bit] \times 13[cm^2/h] \times N_{bits} \quad (15)$$

Toutefois, à partir d'une certaine énergie, les tests ne sont plus effectués avec des neutrons. En effet, pour des énergies supérieures à 50 MeV, l'ionisation directe engendrée par les protons est négligeable devant l'ionisation indirecte de leurs particules secondaires qu'ils créent à l'instar des neutrons. Les protons étant plus faciles à manipuler grâce à leur charge, ils sont alors privilégiés pour réaliser des tests de sensibilité aux neutrons atmosphériques.

1.5.4. Les SDRAMs faces aux SEEs

Les cellules DRAMs peuvent voir leur valeur logique modifiée par une particule ionisante, qu'elle soit primaire ou secondaire. La charge déposée par cette particule est capable de forcer la charge du condensateur intégré ou de la décharger en perturbant le transistor qui lui est lié. Par ailleurs, [NOR06] constate que les DRAMs sont plus sensibles aux neutrons thermiques que d'autres composants de même niveau technologique. Cette sensibilité semble toutefois diminuer avec la réduction de la longueur de grille. Il encourage cependant les fondeurs à multiplier les tests sous flux de neutrons thermiques pour en quantifier les effets.

Le Tableau 6 récapitule les références de mémoires SDRAMs testées. Leurs étiquettes sont utilisées dans la Figure 27 et la Figure 28 pour une lecture plus aisée.

Tableau 6: Extrait des Compendia [OBR08], [ALL08] et [OBR09].

Année	Composant	Fabricant	Techno.	Equipement	Etiquette
2000	HY57V654020B	Hyundai		TAM	HYU1
2006	K4S510432M	Samsung		BREL	SAM1
2006	MT48LC128M4A2	Micron		BREL	MIC1
2007	K4T1G044QA-ZCD5	Samsung	90 nm	IUCF/TAM	SAM2
2007	EDE1104AB-50-E	Elpida	90 nm	IUCF/TAM	ELP1
2007	MT47H128M8HQ-3E	Micron	80 nm	TAM	MIC2
2007	MT48LC16M16A	Micron		BNL	MIC3
2008	EDS5108ABTA	Elpida		NRL/TAM	ELP2

Dans la Figure 27, les LET sont exprimés en [MeV.cm²/mg]. Elle montre la tendance qu'à le LET seuil à diminuer au fur et à mesure que le nœud technologique se rétrécit.

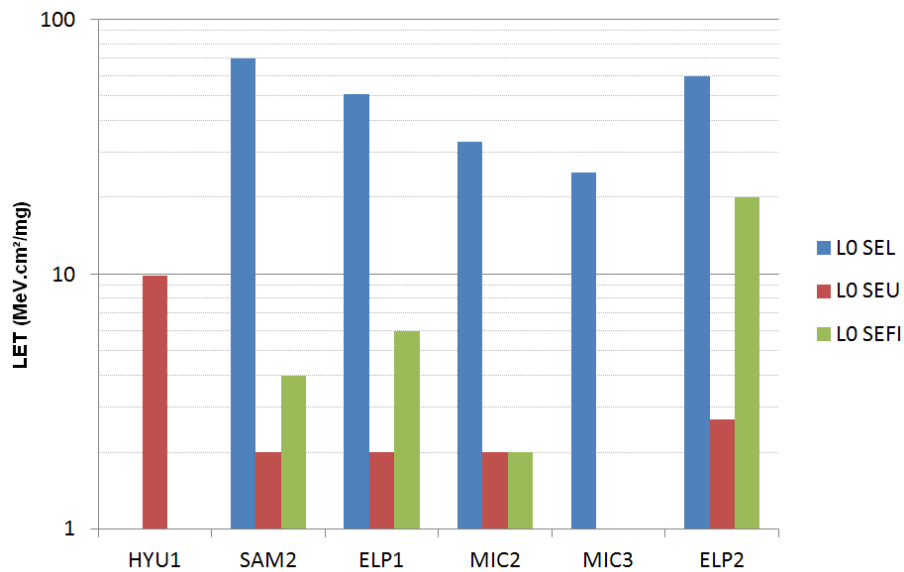


Figure 27 : LET seuil des mémoires SDRAMs mesurés [OBR08], [ALL08] et [OBR09].

Dans la Figure 28, les sections efficaces sont exprimées en cm⁻² par composant, pour des fluences de 1.10⁷ part/cm². L'évolution de la section efficace est d'une part due à la réduction de la taille des cellules mémoires et donc de la surface physique pour une capacité logique égale. D'autre part elle est due à la réduction de la tension d'alimentation qui facilite la corruption de point mémoire. L'augmentation de la section efficace SEFI peut s'expliquer par l'augmentation de la fréquence de travail des composants. Ces deux dernières figures éclairent sur les tendances et les ordres de grandeurs des deux paramètres principaux lors de l'évaluation de la sensibilité d'un composant.

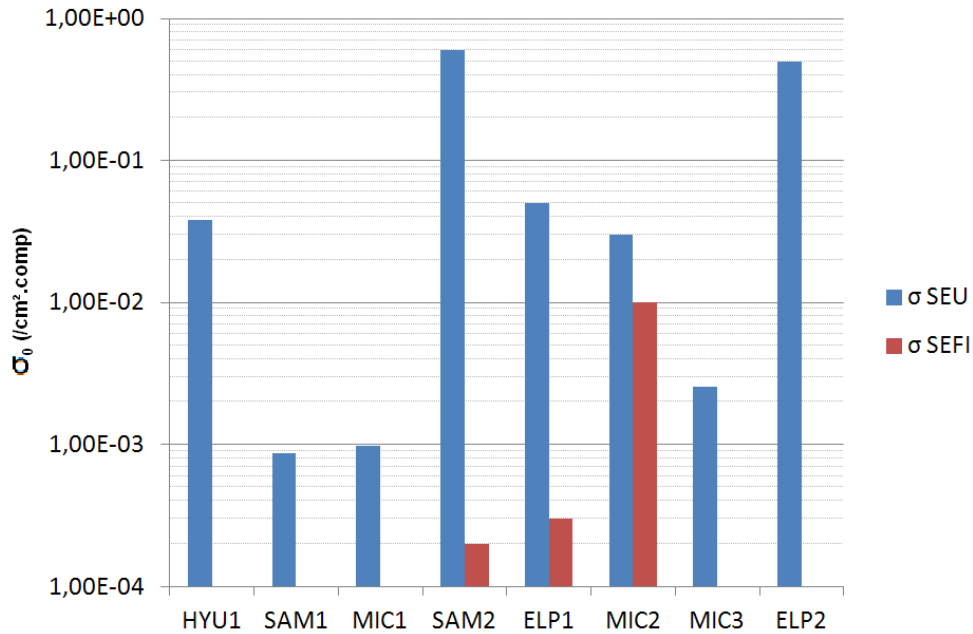


Figure 28 : Section efficace des mémoires SDRAMs mesurés [OBR08], [ALL08] et [OBR09].

1.5.5. Les MRAMs faces aux SEEs

Les MRAMs sont souvent présentées comme l'avenir des mémoires. Non-volatiles, avec un degré d'intégration similaire aux SDRAMs et une consommation moindre, elles cumulent bien des qualités. Mais leur principe physique différent des mémoires classiques, comment réagissent elles face aux environnements radiatifs ?

Les travaux menés sur les MRAMs dans ce domaine sont prometteurs. En effet, lors des mesures menées par T. R. Oldham consignées dans [OBR08], aucun SEU ni SEFI n'ont été détectés lors de l'irradiation de la MRAM MR2A16A de Freescale sous un flux de protons de 89 et 198 MeV à l'IUCF. De la même manière, [KAT09] montre l'immunité d'une MRAM de 1 Mbit à des ions lourds de LET allant jusqu'à 69 MeV.cm²/mg, ainsi qu'à dose d'ionisation totale de 1 Mrad.

D'autres mesures ont été menées par [NUN08] sur une MRAM MR2A16A. Elles incluent des tests sous flux d'ions lourds, de protons d'énergie 200 MeV et sous faisceau laser.

Ion	Facility	Energy (MeV)	LET (MeV.cm ² /mg)	Range (μm)
¹³ C ⁴⁺	UCL	131	1.2	266
²² Ne ¹⁺	UCL	235	3.3	199
⁴⁰ Ar ¹²⁺	UCL	372	10.1	119
⁵⁸ Ni ¹⁷⁺	UCL	500	21.9	85
⁸³ Kr ²⁵⁺	UCL	756	32.4	92
²⁰⁸ Pb	GANIL	5037 (24.22 MeV/nucl.)	72.5	250

Figure 29 : Ions lourds utilisés lors des tests de [NUN08].

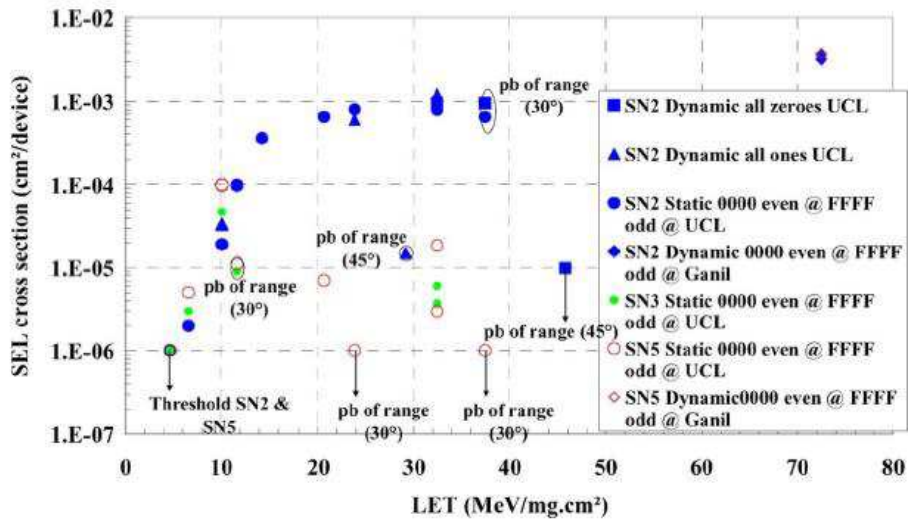


Figure 30 : Section Efficace SEL de la MR2A16A selon [NUN08].(Une flèche signifie l'absence de SEL)

Des SELs ont donc été détectés lors des tests sous flux d'ions lourds. Les relevés de courants révèlent que les pics d'intensité des 784 événements recensés sont centrés autour de 70 mA.

En revanche, aucun SEL, ni SEU, n'a été détecté lors de l'irradiation sous protons de 200 MeV par [NUN08].

Les tests sous faisceau laser, qui permettent une cartographie des événements, révèlent que les zones sensibles de la MRAM ne sont pas les cellules elles-mêmes, mais la logique périphérique qui les entoure et permet l'adressage des données.

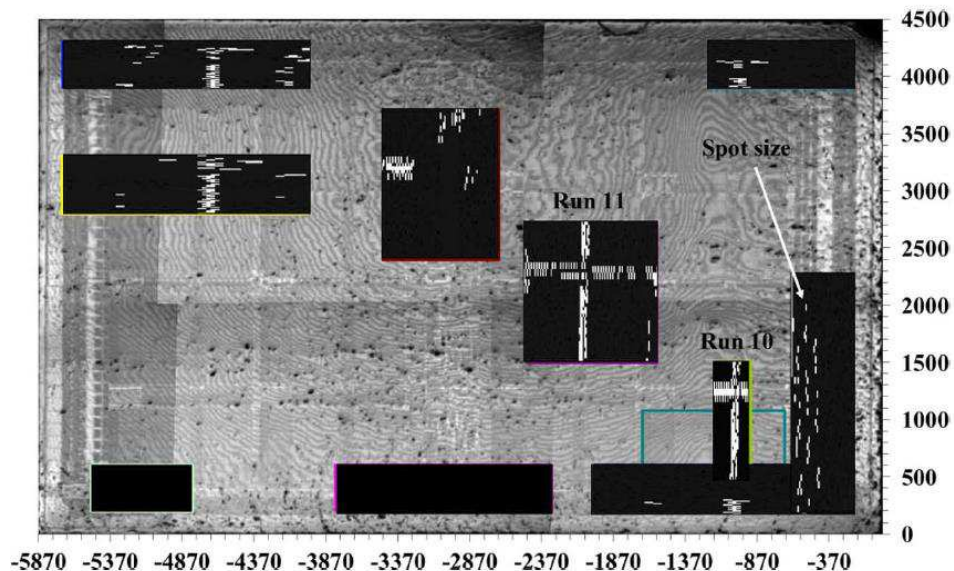


Figure 31 : Cartographie des SELs de la MR2A16A [NUN08]. (Dimensions en μm)

1.5.6. Les processeurs faces aux SEEs

Les travaux de [IRO06] donnent un bon aperçu des tendances des comportements des microprocesseurs utilisant la technologie SOI (Silicon On Insulator) vis-à-vis des SEUs. Il a été montré que grâce à leur volume sensible amoindri, les systèmes en technologie SOI possédaient des sections efficaces de saturation d'un ordre de grandeur inférieur à celles des systèmes en technologie Bulk plus classiques. En effet, la technologie SOI permet de réduire de manière significative l'effet de collection par diffusion des paires électron-trou générées par les particules ionisantes.

[IRO06] évalue la sensibilité aux SEU d'un PowerPC de Motorola de technologie SOI 90 nm et le compare aux PowerPCs de générations précédentes (130 et 180 nm). Trois mesures sont menées :

-D-Cache Measurement : La D-Cache, initialisée avec un pattern connu, est réécrite avec un pattern distinct du premier lors de l'irradiation. Le comptage des SEUs se fait lors de la relecture.

-Register Measurements : Le processeur effectue une boucle infinie contenant une unique instruction. Elle s'interrompt toute les demi-secondes pour écrire une copie des registres dans la mémoire physique. Une comparaison est effectuée après irradiation avec le pattern de référence.

Tableau 7: Résumé des PowerPC Motorola testé par [IRO06].

PowerPC	Techno. (nm)	Alimentation (V)	Fréquence max (MHz)
7455	180	1.6	1000
7455	180	1.3	800
7457	130	1.3	1200
7457	130	1.1	1000
7448	90	1.3	1600
7448	90	1.0	1000

Les tests sont effectués sous un flux d'ions lourds : ^{20}Ne et ^{40}Ar de LET initial respectivement 1.7 et 3.8 MeV.cm²/mg.

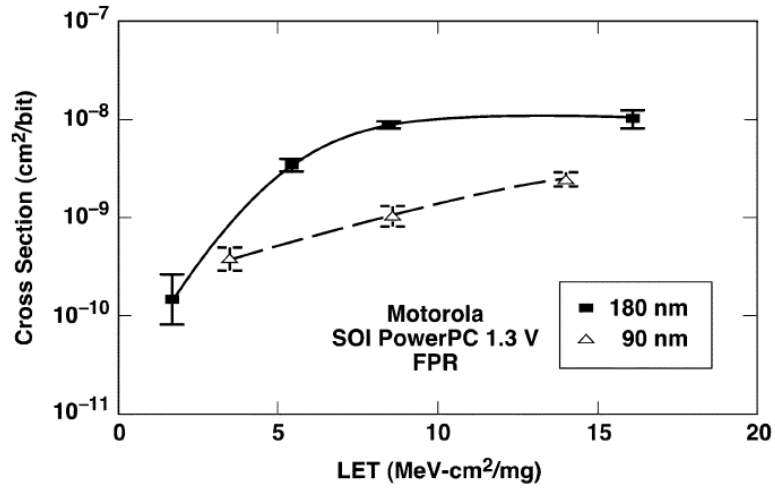


Figure 32 : Section efficace FPR pour les Motorola 7448 et 7455 [IRO06].

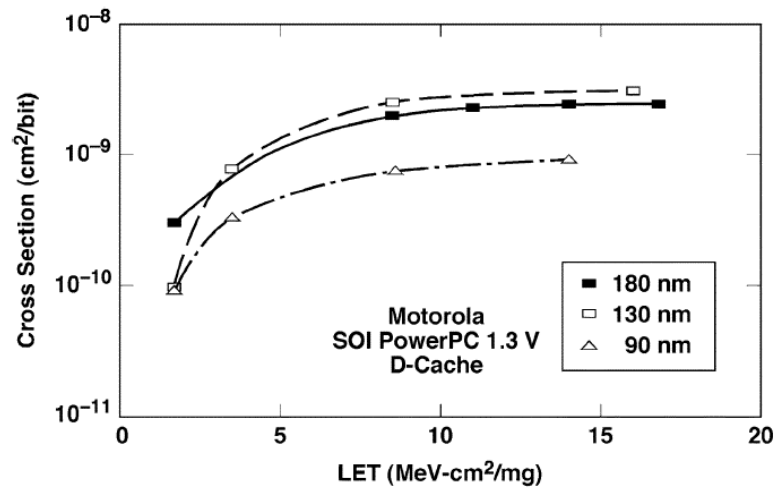


Figure 33 : Section efficace D-Cache pour les Motorola 7448, 7455 et 7457 [IRO06].

La section efficace par bit diminue donc avec la diminution de taille de grille en technologie SOI.

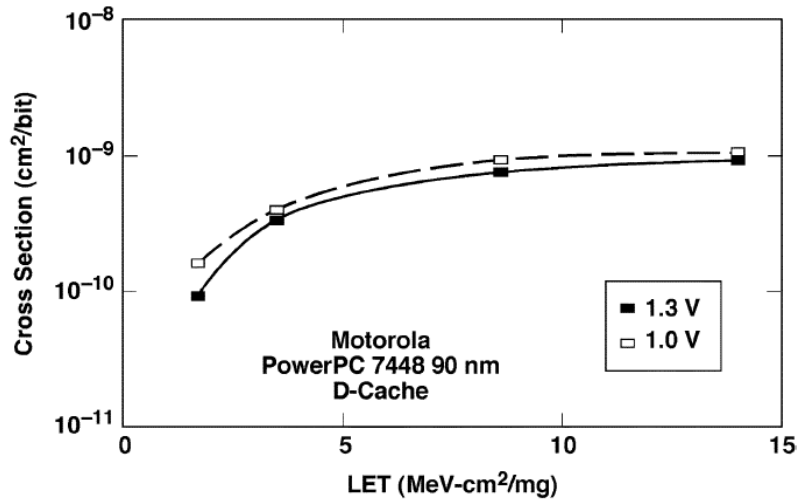


Figure 34 : Effet de l'alimentation sur la section efficace D-Cache du 7448 [IRO06].

En revanche, la technologie SOI n'empêche pas la section efficace d'augmenter avec la diminution de la tension d'alimentation de cœur.

Tableau 8: Résumé des composants mesurés par [IRO06].

Composant	Techno. (nm)	Epaisseur du film de Si (nm)	Alimentation (V)
Motorola 750	290	Bulk	2.5
Motorola 7400	200	Bulk	1.8
Motorola 7455	180	110	1.3
Motorola 7455	180	110	1.6
IBM 750FX	130	117	1.4
Motorola 7457	130	55	1.1
Motorola 7457	130	55	1.3
Motorola 7448	90	55	1.0
Motorola 7448	90	55	1.3

La Figure 35 montre les résultats obtenus lors des mesures des composants listés dans le Tableau 8. On peut y constater les mêmes tendances qu'expliquer précédemment sur la Figure 28.

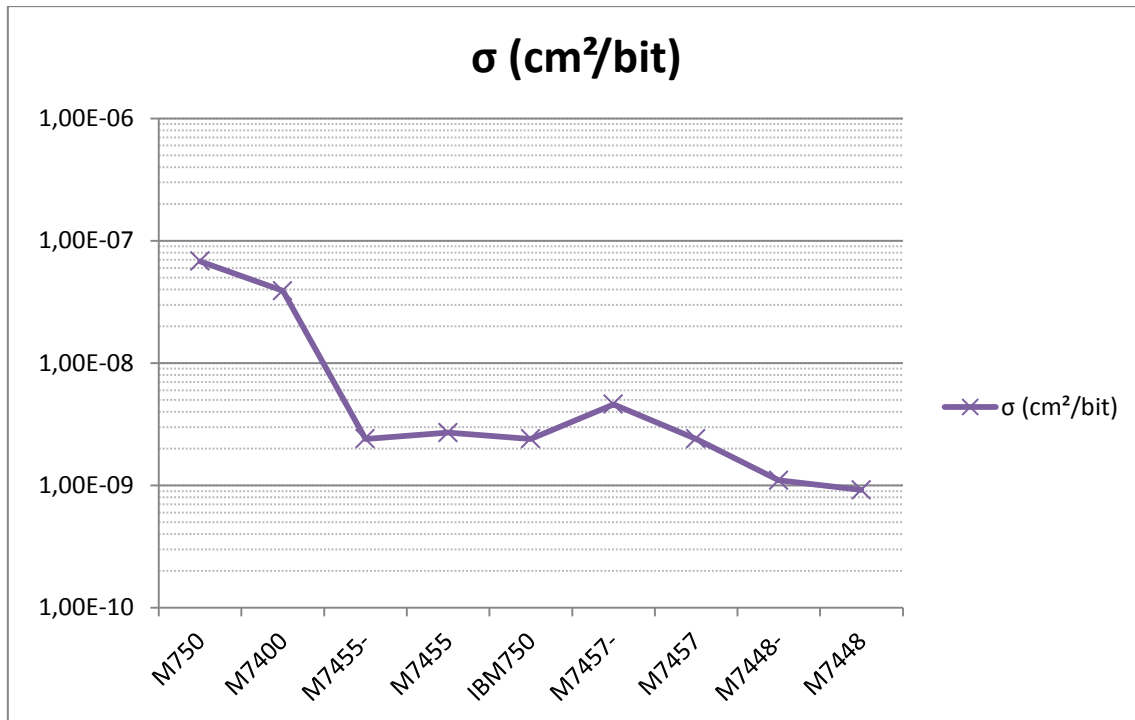


Figure 35 : Section efficaces des composants mesurés par [IRO06].

Le Tableau 9 consigne un ensemble microprocesseurs 32 bits précédemment testés sous flux d'ions lourds.

Tableau 9: Extrait des Compendia [OBR08] et [ALL08].

Année	Composant	Fonction	Fabricant	Equipement	Etiquette
2001	PPC750	CPU	IBM	TAM	IBM1
2001	PPC750	CPU	IBM	UCD/IUCF	
2001	XPC750	CPU	Motorola	TAM	MOT1
2001	XPC750	CPU	Motorola	UCD/IUCF	
2001	PowerPC 7455	CPU	Motorola	IUCF	MOT2
2001	PowerPC 7455	CPU	Motorola	TAM	
2001	PowerPC 750Fx	CPU	IBM	IUCF	IBM2
2001	PowerPC 750Fx	CPU	IBM	TAM	
2002	PowerPC 7457	CPU	Motorola	TAM	MOT3
2006	PowerPC 7448	PowerPC	Motorola	TAM	MOT4
2006	SPARTSC695F	Processor	Atmel	TAM	ATM1

Les microprocesseurs et les PowerPC doivent être testés en fonction de l'application qu'ils exécutent. Ainsi chaque test va mettre en exergue les erreurs liées à un bloc particulier, tels que les registres de configuration, l'unité arithmétique ou la mémoire cache.

Glossaire d'abréviations: SPR = Special purpose register

FPR = Floating point register

D-C = Data cache

TLB = Translation Lookaside Buffer

La Figure 36 montre les LET seuils pour chacun des processeurs et ce pour différents blocs testés. La mémoire cache est le bloc le plus simple à tester et elle représente la majeure partie de la surface du composant. Elle est donc souvent le bloc testé en priorité.

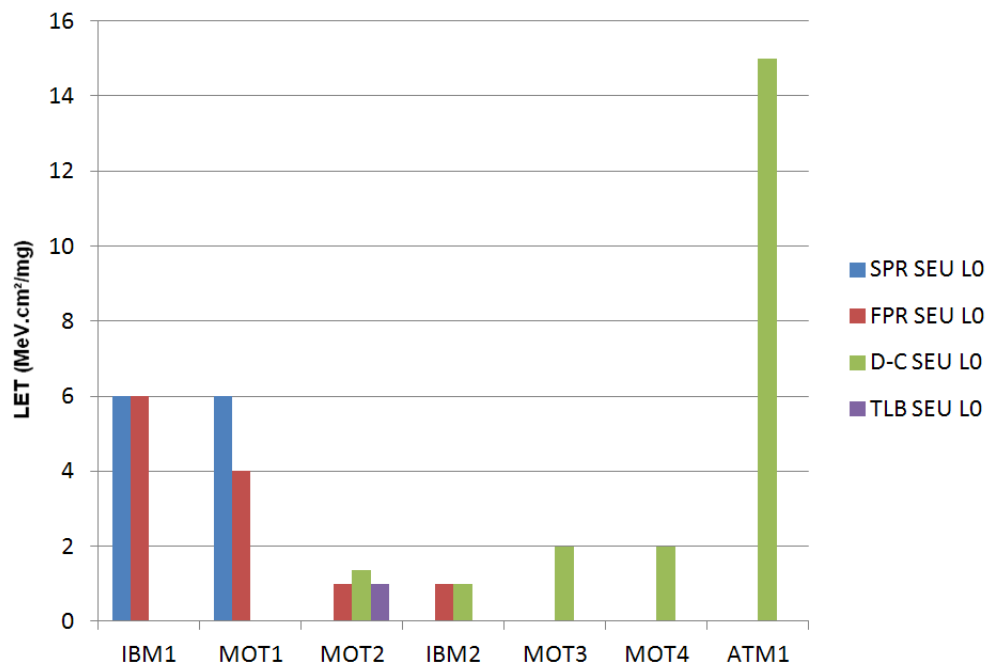


Figure 36 : LET seuil des composants extrait des compendia [OBR08] et [ALL08].

La Figure 37 expose les sections efficaces des composants des compendia, avec le détail par bloc testés. Les sections efficaces sont exprimées en cm^{-2} par composant, pour des fluences de 1.10^7 part/cm².

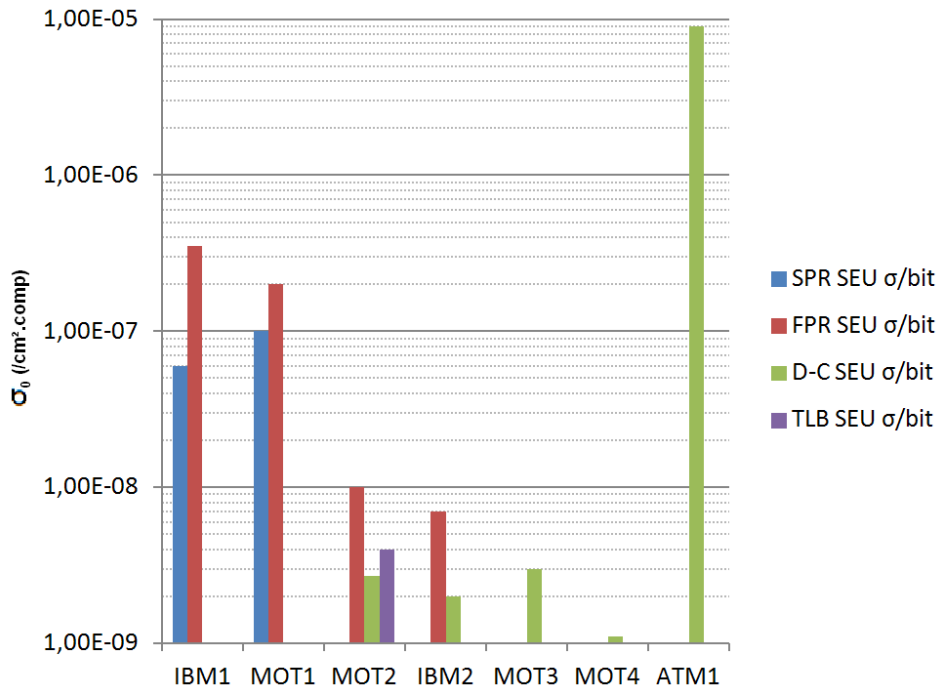


Figure 37 : Sections efficaces des composants extraits des compendia [OBR08] et [ALL08].

I.6. Les outils de simulation

Plusieurs outils de simulation ont été développés depuis la découverte des SEEs dans les années 1970. Si ces outils ne peuvent caractériser avec certitude la fiabilité d'un composant, ils permettent souvent une prédiction fiable de sa sensibilité aux phénomènes radiatifs.

I.6.1. GEANT4

GEANT4 (GEometry ANd Tracking) est un ensemble d'outils permettant de simuler le passage de particules à travers la matière. C'est la dernière version de l'outil GEANT développé en 1974 par le CERN. Il intègre plusieurs paramètres comme : la trace, la géométrie, les modèles physiques et les collisions. L'approche physique est très complète comprenant à la fois les interactions électromagnétiques, hadroniques et optiques. Elle inclut également une large gamme de particules, matériaux et éléments avec des énergies pouvant aller de 250 eV jusqu'à quelques TeV.

GEANT4 a été conçu pour expliquer les modèles physiques utilisés, gérer des géométries complexes et s'adapter de manière optimale pour différentes applications. Ce bouquet de logiciel est le résultat d'une collaboration mondiale entre physiciens et informaticiens. Il a été créé en exploitant les connaissances en programmation orientée objet et implémenté en langage C#.

1.6.2. SRIM

SRIM (Stopping and Range of Ions in Matter) est un ensemble de programmes développés par James F. Ziegler et Jochen P. Biersack en 1983, mis à jour régulièrement. SRIM se base sur une méthode de simulation Monte-Carlo. Il prend comme paramètres d'entrée le type d'ion et son énergie, ainsi que la description du matériau cible (couches, densité,...). Il en ressort plusieurs graphes :

- Une distribution en trois dimensions des ions dans le solide et leurs paramètres : profondeur de pénétration, diffusion le long de la trace des ions, et cascades de particules secondaires.

- La concentration des déplacements, le taux d'éjection, d'ionisation, et la production de phonons dans le matériau.

- La répartition de la perte d'énergie entre les réactions nucléaires et électroniques.

- Le taux de déposition d'énergie.

Les programmes peuvent être interrompus, puis relancés à tout moment. De plus, l'interface accessible et les paramètres préprogrammés d'ions et de matériaux font de SRIM un logiciel très populaire. Toutefois il ne prend pas en compte la structure cristalline ou les changements de composition dynamique du matériau ciblé, ce qui limite son efficacité.

1.6.3. OMERE

OMERE (Outil de Modélisation de l'Environnement Radiatif Externe) est un logiciel gratuit de calcul d'environnement spatial radiatif. Il est développé entièrement par la société TRAD avec le soutien du CNES. OMERE calcule l'environnement spatial en termes de flux de particules chargées. Il calcule également les effets radiations sur l'électronique en termes de dose, de déplacement atomique, d'effet singulier et de dégradation des cellules solaires.

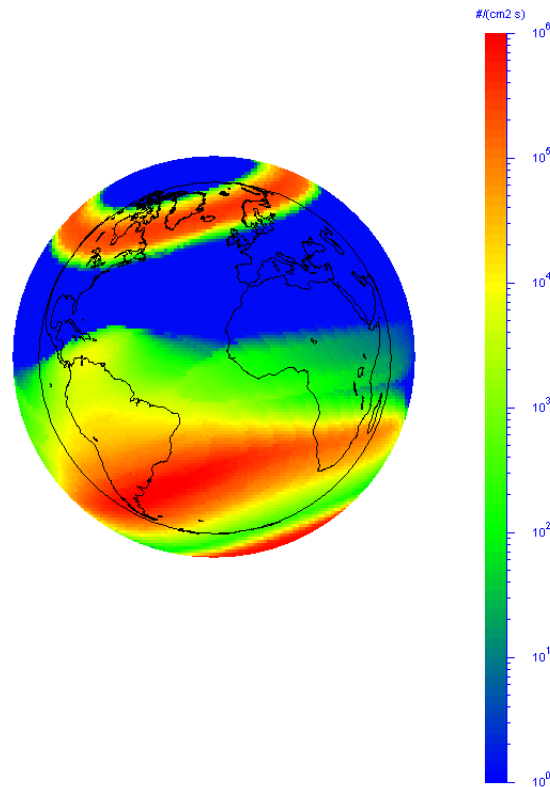


Figure 38 : Flux d'électrons à 1000 km d'altitude selon OMERE.

1.6.4. L'injection de fautes

La simulation d'un circuit pour l'analyse de fiabilité peut se faire à différents niveaux : nucléaire, système ou comportemental. C'est au niveau comportemental qu'intervient l'injection de faute. Contrairement aux codes précédemment cités, elle ne permet pas de simuler l'interaction entre un neutron et un atome de silicium, ni d'émuler le dépôt de charge dans celui-ci. En revanche, elle permet d'évaluer comment réagit le système lorsqu'une faute se produit. Le principe consiste à insérer de faux signaux via des modules corrupteurs dans le système. Ceux-ci tentent de déstabiliser le système et il est alors possible d'évaluer la résistance du système à ces attaques.

L'injection de fautes ne fait donc appel à aucun principe physique ou technologique. Mais c'est grâce à ce type de simulation qu'il est le plus aisé de tester les codes de détection et de correction d'erreurs (EDAC) qui auront pu être implantés dans le DUT.

1.7. Conclusion

Un état de l'art de l'effet des neutrons atmosphériques sur l'électronique embarquée à l'avionique a donc été présenté. Celui-ci a permis d'éclaircir les phénomènes physiques liés à

Chapitre 1 : Etat de l'art des environnements radiatifs, de leurs effets et des moyens de test

l'environnement radiatif terrestre naturel, ainsi qu'un tour d'horizon des méthodes, normes, équipements et outils disponibles pour en évaluer et en prévoir l'impact.

Il est désormais envisageable de mettre en pratique ces connaissances afin d'évaluer la sensibilité des composants liés au projet PROSEU. Ces tests mettront en lumière leurs points forts et leurs points faibles. Ces derniers pourront alors être supprimés, ou tout du moins réduits, grâce à des méthodes de durcissement matérielles ou logicielles.

II. Chapitre 2 : Développement des systèmes et des méthodologies de test

II.1. Introduction

Cette étude a pour objectif d'évaluer la sensibilité d'un calculateur d'unité de vol. Comme il a été montré dans le chapitre 1, les composants électroniques embarqués en avionique sont soumis aux radiations atmosphériques naturelles. La résistance aux radiations de ces composants se doit d'être évaluée pour s'assurer de leur fiabilité en vol. Pour réaliser de telles mesures, une plateforme de test est nécessaire. Elle devra être utilisable pour des tests sous faisceau laser, mais également en accélérateur de particules. Par ailleurs, elle permettra également la modification d'un maximum de paramètres de tests pour accroître la précision des mesures. Une fois la sensibilité du calculateur évaluée et les sources des erreurs déterminées, il sera envisageable de proposer des solutions de durcissements pour améliorer la robustesse du système.

Ce chapitre aura donc pour objet d'exposer les outils et les méthodes de tests développés dans cette thèse. Le chapitre commence par présenter les différents composants à tester et leurs spécificités. La stratégie adoptée est de tester séparément les différentes mémoires, puis de tester un système complet. S'en suit donc une présentation hardware des plateformes de tests et des différents systèmes qui la composent. Puis le chapitre se tourne vers la description du contenu software permettant de piloter les composants sous test selon différents protocoles.

II.2. Présentation des composants à évaluer

II.2.1. La mémoire magnétique MRAM EV2A16A

II.2.1.1. Rappel sur la technologie magnétique

Contrairement à d'autres mémoires, la Magnetoresistive Random Access Memory, ou MRAM, ne stock pas ses données sous forme de charge électrique ou de courant. Une cellule mémoire est constituée de deux plaques ferromagnétiques séparées par un film isolant. L'une des deux plaques est un aimant permanent, le champ magnétique de l'autre change en fonction de la donnée écrite.

Comme schématisé en Figure 39, chaque cellule mémoire se situe à l'intersection perpendiculaire d'une Word line et d'une Bit line, lorsqu'un courant parcourt celles-ci, il induit un champ magnétique. Champ que la plaque inscriptible capte pour l'écriture des données. La lecture se fait elle en alimentant la grille du transistor de la cellule. La résistance

change selon la polarité relative des deux plaques, par exemple l'état logique sera à 1 si les polarités sont opposées car la résistance sera plus élevée. Les MRAMs sont donc des mémoires non-volatiles.

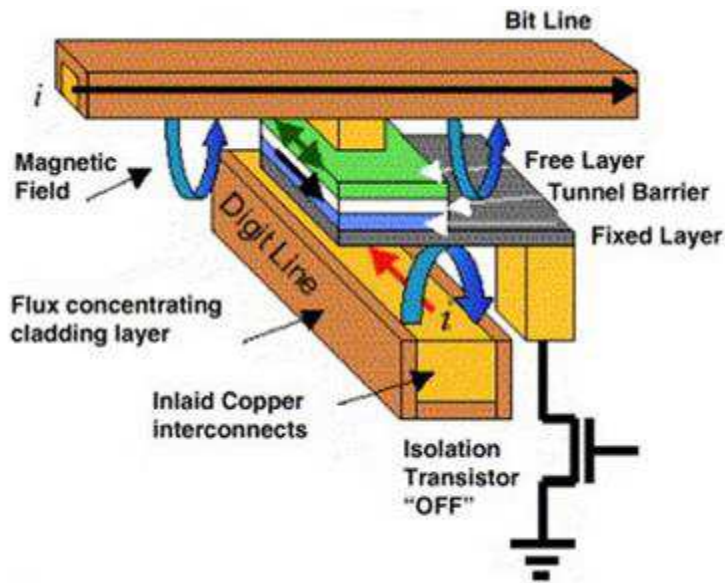


Figure 39 : Schéma d'une cellule mémoire MRAM

II.2.1.2. Caractéristiques techniques propre à la mémoire EV2A16A

La mémoire MRAM EV2A16A est fabriquée par Freescale en technologie CMOS 180 nm. Elle possède un volume de 4 Mbits et ses mots font 16 bits de large et sont adressés sur 18 bits.

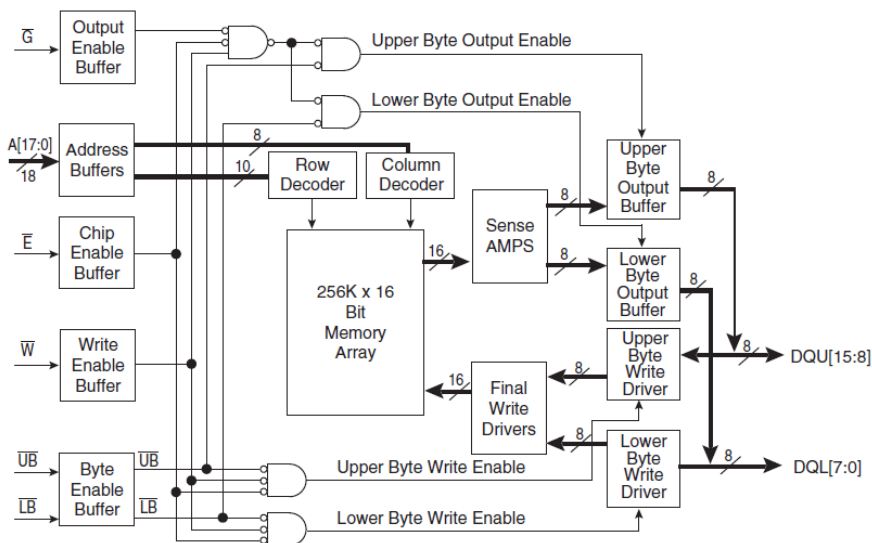


Figure 40 : Diagramme logique de la mémoire MRAM EV2A16A [FRE10].

La Figure 40 décrit l'organisation logique de la mémoire magnétique. Les huit bits de poids fort et les huit bits de poids faible peuvent être lus ou écrits de manière indépendante grâce aux entrées \overline{UB} et \overline{LB} . La mémoire est alimentée sous 3.3 Volts de tension nominale. Elle consomme jusqu'à 165 mA lors des écritures et 80 mA en mode lecture. L'ensemble des caractéristiques techniques de cette mémoire magnétique est consigné dans [FRE10].

Comme il a été expliqué dans le chapitre 1, les cellules magnétiques de ce type de mémoire sont très peu sensibles aux ionisations par particules ou par faisceau laser. En revanche, l'adressage périphérique de ces cellules est susceptible d'introduire des erreurs dues à des SEL lors des irradiations [NUN08]. C'est sur ce système périphérique que l'étude va se concentrer.

II.2.2. La mémoire dynamique SDRAM MT47H32M16

II.2.2.1. Caractéristiques techniques de la mémoire SDRAM

La mémoire SDRAM MT47H32M16 est fondue par Micron et possède un volume de 512 Mbits. On peut voir sur la Figure 41 que ses mots sont larges de 16 bits et adressés sur 13 bits multiplexés par 4 banques d'adresses.

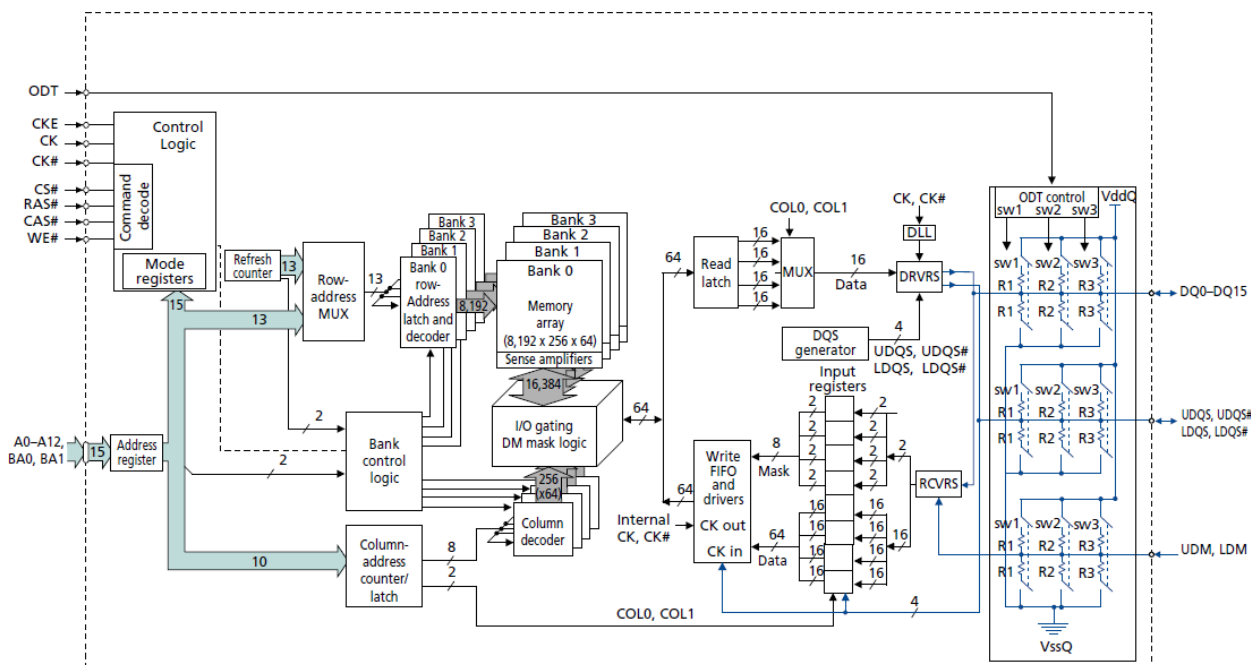


Figure 41 : Diagramme logique de la mémoire SDRAM MT47H32M16 [MIC04].

La mémoire est alimentée sous 1.8 Volts de tension nominale. Elle peut travailler à une fréquence maximale de 666 MHz et une fréquence minimale de 125 MHz. La plateforme

de test étant limitée en fréquence, les tests s’effectueront à la fréquence minimale de la mémoire. L’ensemble des caractéristiques techniques de cette mémoire dynamique est consigné dans [MIC04].

De nombreuses options peuvent être configurée grâce au Mode Register et aux Extended Mode Register. Chacune de ces options peut influencer la sensibilité de la mémoire SDRAM et doit en conséquent être testée. Le Tableau 10 résume les options majeures de la SDRAM.

Tableau 10: Options configurables pour la SDRAM Micron

Nom de l’option	Description
Burst Length	Permet de définir le nombre de colonnes adressées lors de burst d’écriture ou de lecture. Les choix sont 4 ou 8 colonnes
Burst Type	Les burst peuvent être effectués dans l’ordre logique des colonnes ou interfoliées
CAS Latency	Définit le nombre de coups d’horloge entre l’arrivée d’une commande lecture et la sortie de la première donnée. Sa valeur varie de 3 à 7.
Write Recovery	Définit le nombre de coups d’horloge entre une écriture et une auto-précharge de banque. Sa valeur varie de 2 à 8.
Output Drive Strength	Permet de réduire à environ 60% la puissance de sortie, cette option est utile pour piloter des charges faibles.
CAS Additive Latency	Permet d’ajouter une latence supplémentaire à celle configurée précédemment. Les valeurs vont de 0 à 6 coups d’horloge.
DQS Enable	Permet d’activer ou de désactiver la sortie complétée de la sonde de donnée (DQS)
On-Die Termination	Permet d’ajuster l’impédance des sorties de la mémoire. Les valeurs disponibles sont 50, 75 et 150 Ohms.
Refresh rate	Ajuste le taux de rafraichissement. Deux valeurs sont disponibles : 3.9 μ s ou 7.8 μ s.

II.2.2.2. Usinage de la mémoire SDRAM

Comme il a déjà été expliqué en chapitre 1, il est nécessaire d’usiner les composants avant de pouvoir les tester sous faisceau laser. Mais également de les amincir pour les tests sous faisceau d’ions lourds. A la suite de plusieurs tentatives infructueuses d’ouverture et d’amincissement des composants, il a été décidé de confier cette tâche à la société Hirex Engineering. Leur expertise a permis de préparer les échantillons avec précision.

Les SDRAM sont montées en flip-chip et possèdent des balles sur l'ensemble de leur surface. Le boîtier mesure 12.5mm sur 8mm. Cette géométrie a imposé l'ajout d'une carte de support pour permettre l'usinage des SDRAM. Cette carte sous-fille sert à la fois de socle lors de la phase de préparation et de carte de report sur la carte fille dédiée aux tests. Trois échantillons ont été amincis. La Figure 42 montre le die de la puce après ouverture du boîtier. Les dimensions de ce die sont : 6.45 mm x 6.35 mm, soit 40.96 mm².



Figure 42 : Ouverture d'une DDR2 pour amincissement [HIR13].

Après ouverture, la puce est amincie. La Figure 43 représente la surface résultante de cette opération. Dans ce cas précis, l'épaisseur de la puce varie de 50 à 65 µm. Son homogénéité de surface est globalement bonne. Les deux autres échantillons usinés voient leurs épaisseurs varier entre 50 et 70 µm.

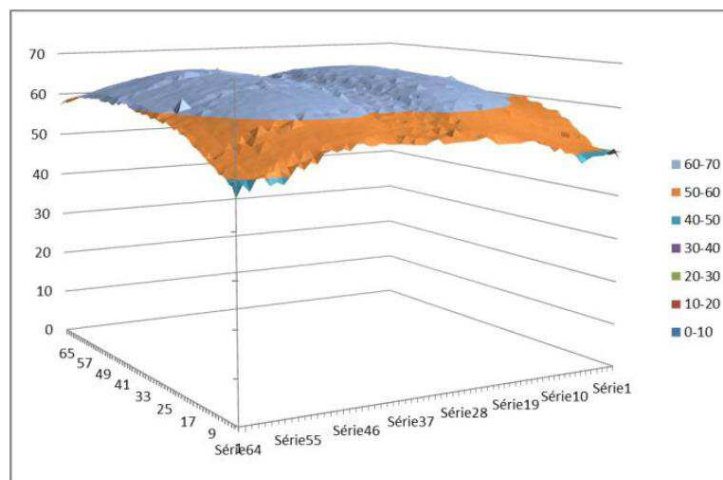


Figure 43 : Etat de surface d'une DDR2 amincie [HIR13].

II.2.3. Le PowerPC MPC8610

Le MPC8610 est un PowerPC de 32 bits fabriqué par Freescale. C'est un système électronique complexe développé pour les applications embarquées. Il peut être scindé en deux parties, d'une part ses blocs gestionnaires de périphériques, visibles sur la Figure 44, et d'autre part son cœur E600, représenté en Figure 45.

II.2.3.1. Blocs de contrôle de périphériques du MPC8610

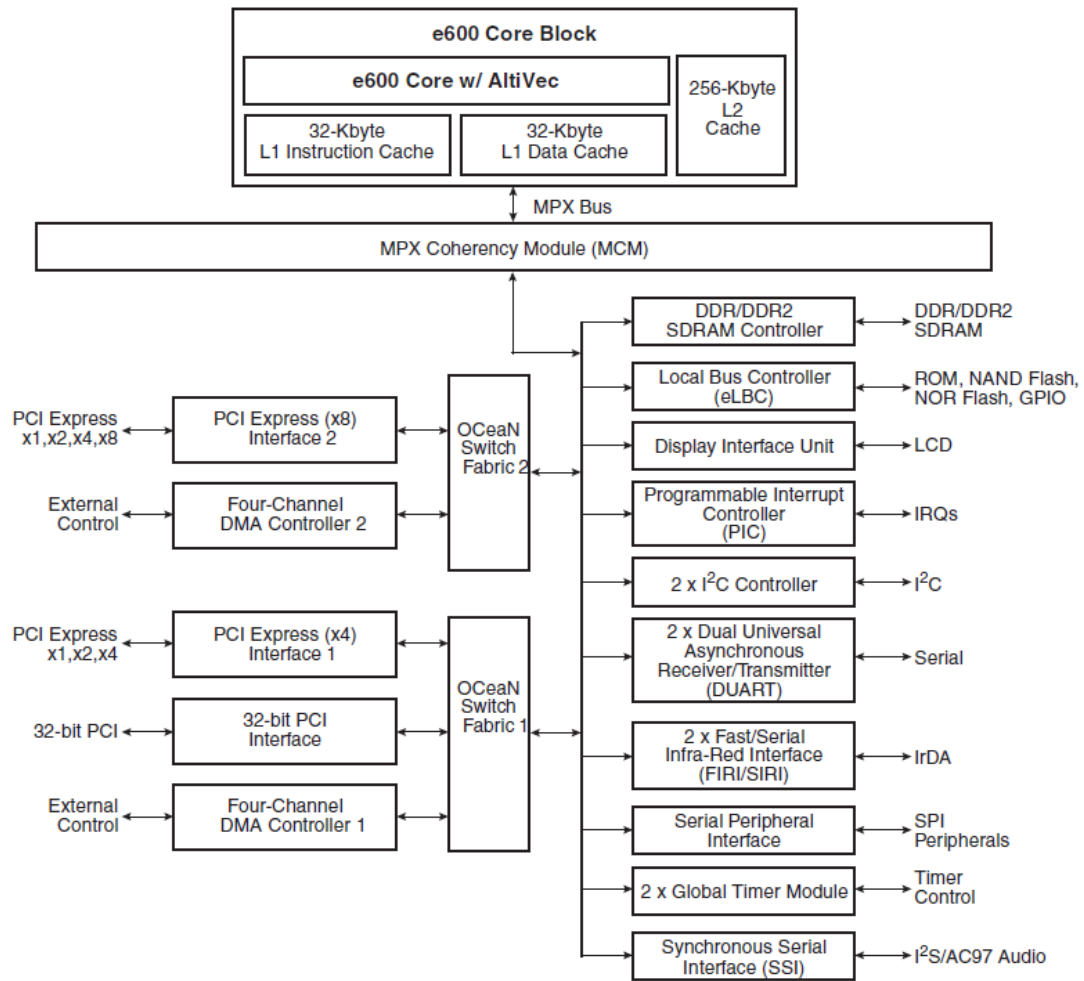


Figure 44 : Diagramme logique du MPC8610 [FRE09]

L'ensemble des blocs qui composent le PowerPC communiquent via le bus MPX. La complexité de ce composant implique de réduire les blocs testés à un nombre raisonnable et pertinent. Seront testés en priorité : l'interface PCI et son contrôleur DMA, le contrôleur de DDR2, le Local Bus Controller qui sont des blocs essentiels au bon fonctionnement du PowerPC. Puis le Programmable Interrupt Controller, l'interface I2C, l'interface DUART et le Global Timer Module seront évalués. Ces derniers blocs, bien que moins indispensables, présentent des protocoles de gestion ou de communications intéressants pour l'étude.

L'ensemble de ces blocs possède des registres de configurations permettant d'ajuster leurs options de fonctionnement. Le Tableau 11 dresse une liste non-exhaustive mais toutefois représentative des possibilités de configurations disponibles.

Tableau 11: Options disponibles pour le PowerPC MPC8610.

Bloc	Nom de l'option	Description
DDR2 Controller	Timing Configuration	3 Registres permettent de régler les temps de latence en écriture et lecture, l'état différentiel des horloges, les temps de maintien des signaux et les taux de rafraichissement.
	SDRAM configuration	3 Registres configurent l'adaptation d'impédance, l'activation de code de correction d'erreur et la configuration des Mode Register propres à la SDRAM.
Local Bus Controller	Option Register	2 Registres configurent les temps de maintien des signaux de communication, la profondeur des plages mémoires adressées,
	Transfert Error Register	5 Registres activent ou non la présence de détection d'erreur de parité, de dépassement temporel et gèrent les interruptions qui y sont liées.
	Clock Ratio Register	1 Registre permet la configuration d'un diviseur de fréquence
PCI Controller	Error Register	6 Registres configurent la gestion et la détection d'erreurs (parité, dépassement de plage d'adresse, dépassement temporel)
	Latency register	2 Registres gèrent les temps de transfert et les latences.
I2C	Frequency Register	2 Registres configurent la fréquence de fonctionnement du bloc ainsi que son taux d'échantillonnage
DUART	Control Register	2 Registres règlent le taux de transfert des données et la présence d'une détection d'erreur par parité.

II.2.3.2. Description du cœur du MPC8610

Le cœur E600 sera également testé. Il est un système dans le système et nécessite une explication plus poussée que les autres blocs.

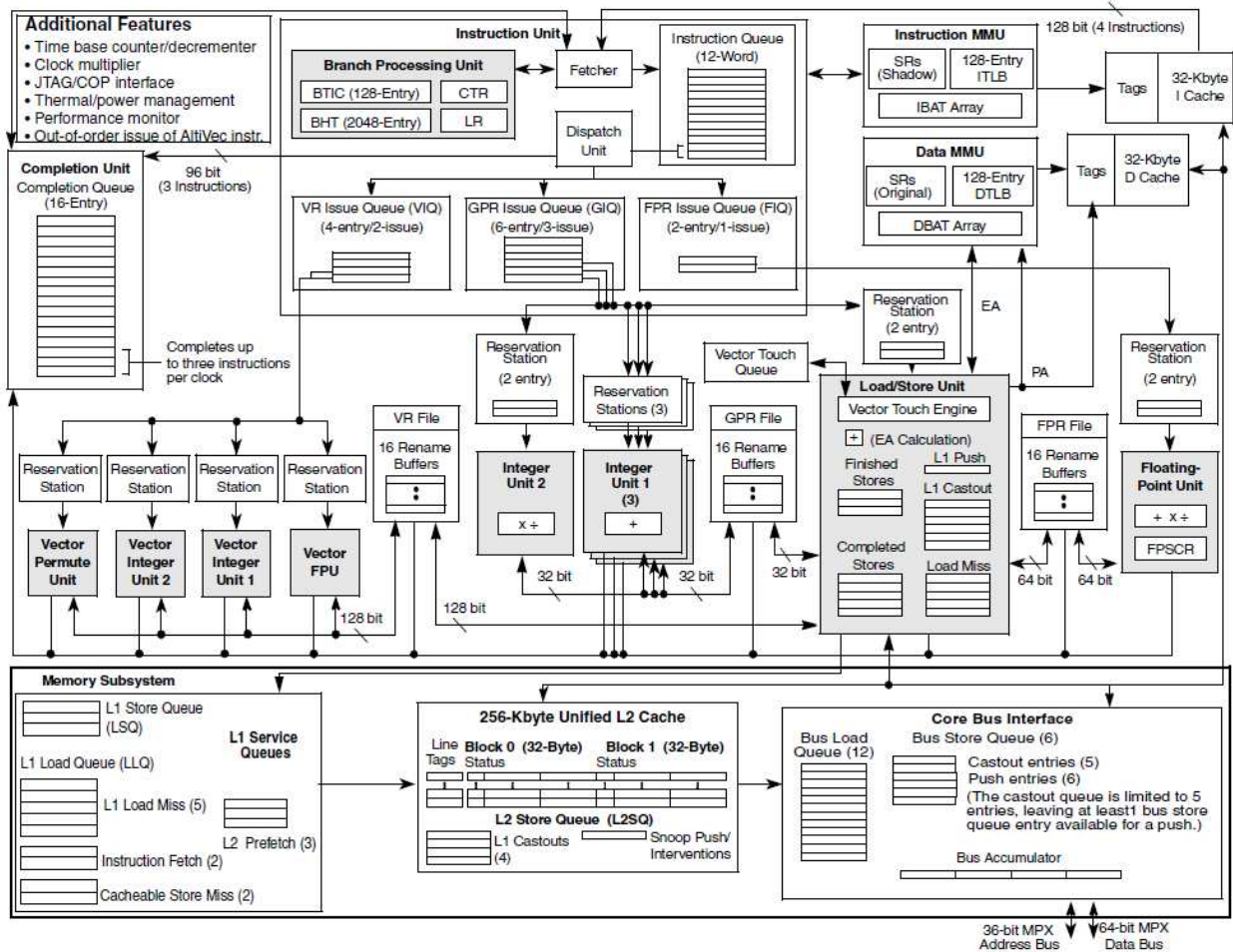


Figure 45: Diagramme du cœur E600 du PowerPC [FRE09]

Le Cœur E600 possède plusieurs sous-blocs, ceux-ci sont résumés avec leurs caractéristiques dans le Tableau 12.

Tableau 12: Liste des sous-blocs composants le cœur E600.

Sous-Bloc	Rôle
Mémoire Cache L1	Conserve les instructions et les données immédiates sur 64 ko
Mémoire Cache L2	Conserve les données sur 256 ko.
Load/Store Unit	Répartit les données et les instructions dans le cœur en accord avec le Memory Management Unit
Instruction Unit	Traduit les instructions puis les transfère vers l'unité susceptible de les exécuter
Integer Unit	Unité arithmétique exécutant les opérations sur 32 bits.
Floating Point Unit	Unité arithmétique exécutant les opérations sur 64 bits.
Altivec	Unité arithmétique exécutant les opérations sur 128 bits.

La fréquence interne maximum du PowerPC est de 1.33 GHz, celle de son bus de communication est de 533 MHz. A cette fréquence il peut consommer jusqu'à 16 W, le cœur

étant alimenté par une tension nominale de 1.025 V. Chaque interface de communication possède son alimentation propre : l'interface PCI en 3.3 V, le contrôleur de DDR2 en 2.5 V, le Local Bus Controller ainsi que les autres interfaces en 3.3 V. Chacune de ces alimentations est découplée des autres et possède sa masse propre. Les caractéristiques matérielles du MPC8610 sont résumées dans [FRE09] et ses spécificités logicielles sont consignées dans [FRE10-2]

II.3. La Plateforme de test

Comme montré sur la Figure 46, la plateforme de test se décompose en trois parties communicantes entre elles:

- L'interface utilisateur, permettant à l'opérateur d'interagir avec la plateforme et d'en modifier les options expliquées par la suite.
- La carte mère qui reçoit ses ordres depuis une liaison Ethernet branchée au PC de l'opérateur.
- La carte fille, sur laquelle sont montés les composants à tester et qui est pilotée par la carte mère.

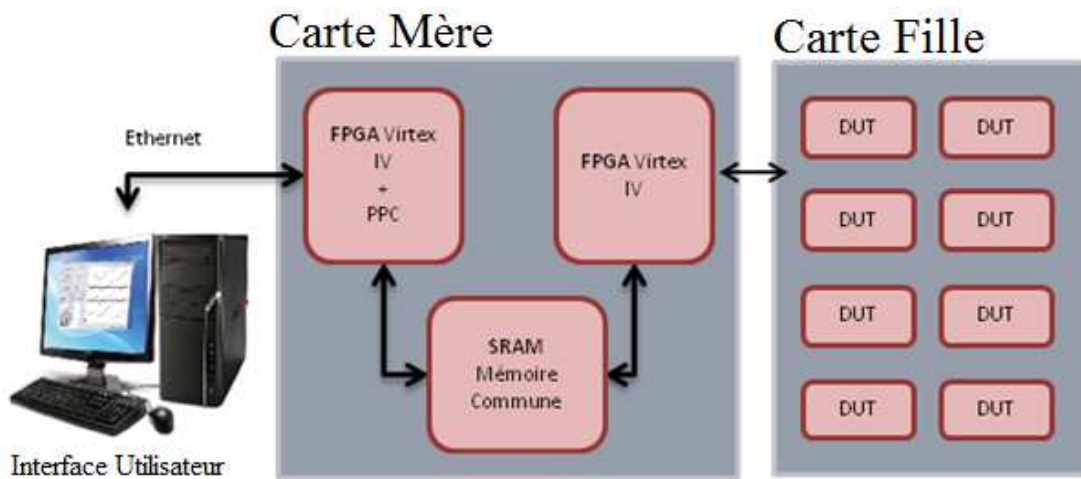


Figure 46 : Schéma de principe de la plateforme de test

II.3.1. L'interface utilisateur

L'interface utilisateur, illustrée en Figure 47, est un programme codé en langage C. Elle permet de communiquer avec la carte mère et ainsi de tester le composant. Plusieurs options sont disponibles. Il est possible de définir les adresses de début et de fin de lecture, puis d'écriture de manière indépendante. Le pattern d'écriture est totalement configurable. Le

Chapitre 2 : Développement des systèmes et des méthodologies de test

pattern de lecture permet de créer un masque des types d'adresse que l'on souhaite lire. Dans cette interface, la valeur '0' dans le pattern de lecture signifie que le bit d'adresse est imposé à '0' lors de la lecture, de même la valeur '1' impose que le bit d'adresse soit à '1'. La valeur '2' quant à elle laisse le bit d'adresse libre et correspond donc à 'X'.

Il est donc possible de lire des adresses qui répondent à des critères particuliers. L'objectif de cette fonction est d'un part : faciliter le descrambling d'une mémoire, d'autre part : isoler certaines erreurs de type MBU ou SEFI pour mieux comprendre leurs comportements.

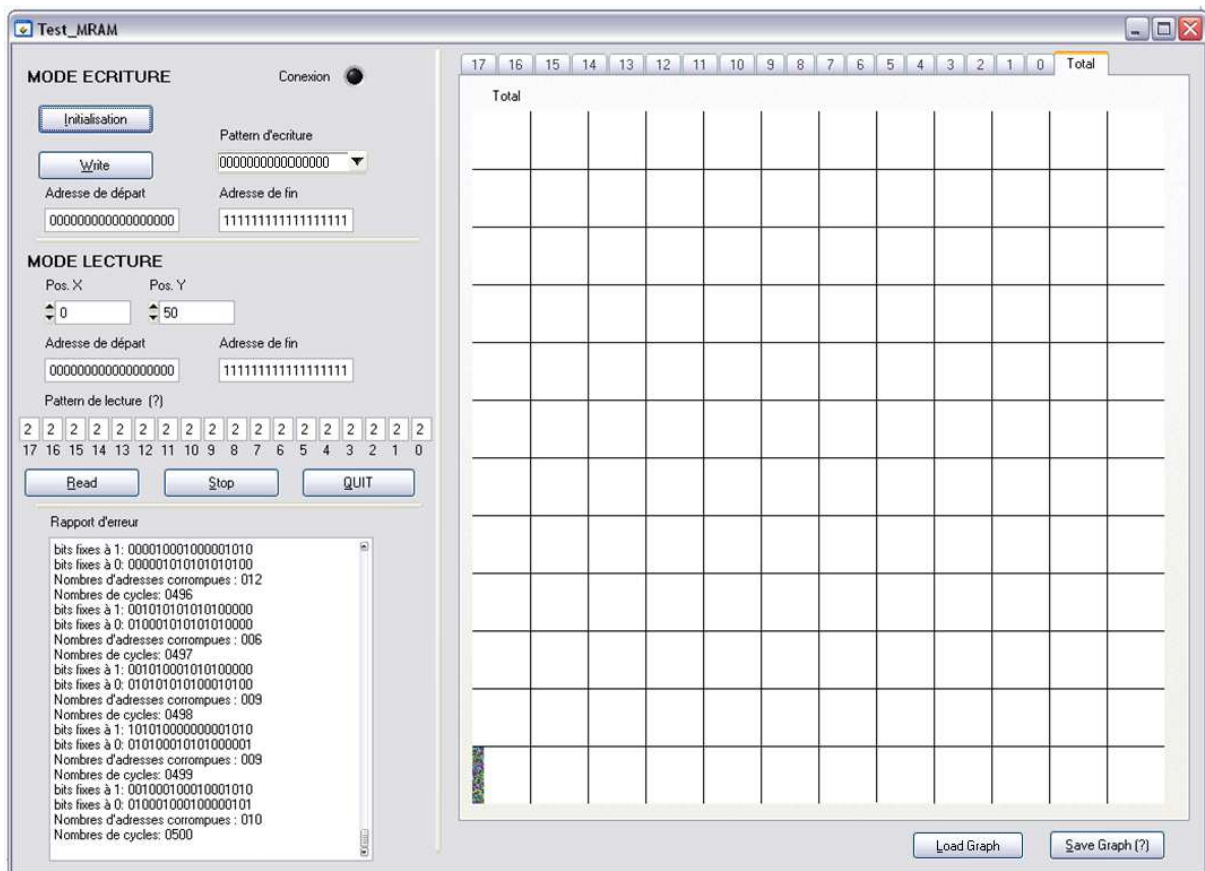


Figure 47 : Capture d'écran de l'interface utilisateur

Par ailleurs, les résultats peuvent être enregistrés ou chargés depuis un fichier contenant des données sur la date et l'heure de la mesure, le nombre de cycle de lecture effectués, les patterns utilisés et la localisation des erreurs détectées.

Le Tableau 13 dresse la liste des instructions disponibles pour piloter les tests des mémoires MRAM et SDRAM.

Tableau 13: Liste des instructions pour piloter les mémoires.

Instruction	Fonction
nop;	Ne fait rien
setreadstart	Ordonne au module de pilotage de mettre à jour la première adresse à lire.
setreadstop	Ordonne au module de pilotage de mettre à jour la dernière adresse à lire.
setwritestart	Ordonne au module de pilotage de mettre à jour la première adresse à écrire.
setwritestop	Ordonne au module de pilotage de mettre à jour la dernière adresse à écrire.
setpattern	Ordonne au module de pilotage de mettre à jour le pattern d'écriture.
setmemorynum	Ordonne au module de pilotage de mettre à jour le numéro des mémoires adressées.
setreadmask1	Ordonne au module de pilotage de mettre à jour le masque à 1 d'adressage en lecture.
setreadmask0	Ordonne au module de pilotage de mettre à jour le masque à 0 d'adressage en lecture.
setcurrentlimiter	Ordonne au module de pilotage de mettre à jour le seuil de déclenchement du delatcheur.
writetestconfig;	Ordonne au module de pilotage d'écrire le pattern d'écriture sur la plage mémoire définie
checkmemory;	Ordonne au module de pilotage de lire la plage mémoire définie une seule fois. Cette instruction permet de vérifier la bonne écriture de la mémoire.
starttest;	Ordonne au module de pilotage de lire la plage mémoire définie en boucle
stoptest;	Arrête la lecture en boucle de la plage mémoire
resetcurrentlimiter;	Réarme le delatcheur
ready;	Ce code indique au module VHDL que le microblaze est prêt à recevoir de nouveaux rapports d'erreur.

II.3.2. La carte mère

La carte mère comporte principalement deux composants FPGA Xilinx : un XC4VFX60 incluant un PowerPC et un XC4VLX40. Le XC4VFX60 gère la connexion Ethernet avec le PC opérateur ainsi que les différentes ressources de la carte. Le XC4VLX40

pilote les composants à tester et communique avec le premier FPGA via une mémoire SRAM commune. La Figure 48 schématise une vue de dessus de la carte mère Virtex 4 :

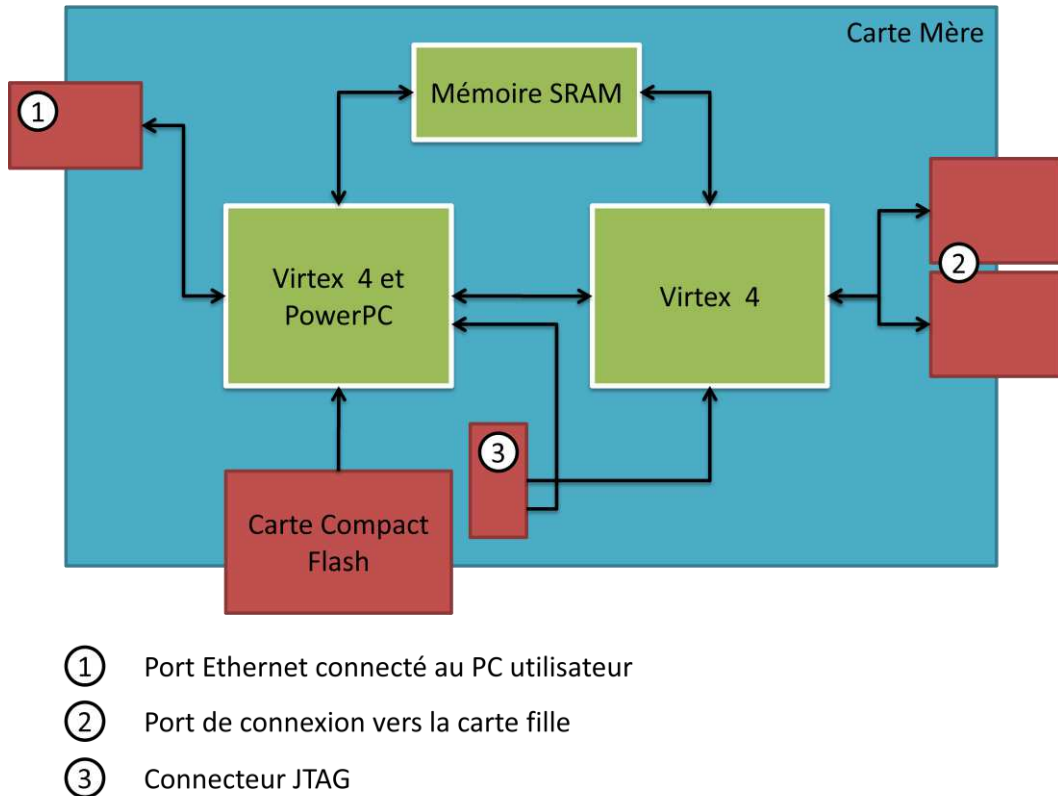


Figure 48: Schéma de principe de la carte mère

La mémoire SRAM permet la communication entre les deux Virtex 4. Le protocole de communication entre la mémoire SRAM et le Virtex 4 de pilotage est détaillé en Figure 49. La carte compact Flash permet de charger le programme du Virtex 4 de contrôle à l'allumage de la carte mère. Le connecteur JTAG quant à lui permet la configuration du module VHDL pour le pilotage des composants sous test.

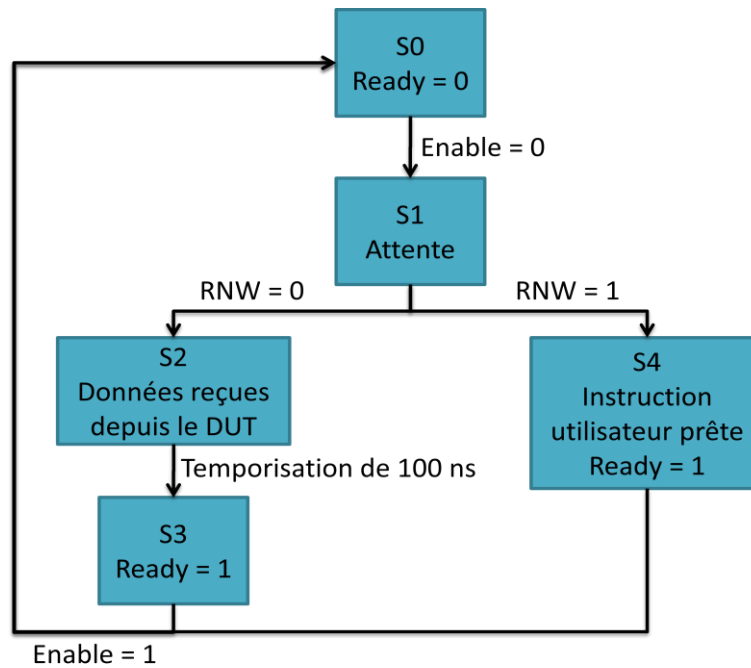


Figure 49: Diagramme d'interaction entre le Virtex 4 et la mémoire commune

Les deux Virtex 4 communiquent via 3 signaux logiques : *Enable*, *RNW* et *Ready*. Le Virtex 4 équipé d'un PowerPC ne peut accéder à la mémoire commune uniquement si *Ready* vaut 1 et il signale son utilisation en mettant le signal *Enable* à 1. Inversement, le Virtex 4 de pilotage n'accède à la mémoire que si *Enable* vaut 0 et il place le signal *Ready* à 0 lors de son accès. Le signal *RNW* fait la différence entre l'envoi d'une nouvelle instruction, valeur 1, et la réception de donnée provenant du composant sous test.

II.3.3. Les cartes filles

Les cartes filles accueillant les composants à tester sont différentes et dédiées à chacun de ces composants. Remarquons que dans le cadre de ce projet, cinq cartes ont été conçues :

- **DB1MRAM** : accueillant une mémoire MRAM EV2A16A de 4 Mbit.
- **DB8MRAM** : pouvant supporter huit mémoires MRAM simultanément.
- **DB1DRAM** : accueillant une mémoire SDRAM MT47H32M16 de 512 Mbit.
- **DB8DRAM** : pouvant supporter huit mémoires SDRAM simultanément.
- **DBPPC** : supportant un PowerPC MPC8610 accompagné d'une mémoire MRAM et d'une mémoire SDRAM nécessaire à son fonctionnement.

II.3.3.1. Les cartes filles mémoires

Plusieurs cartes filles mémoires ont été conçues. Des cartes individuelles n'accueillant qu'un composant et des cartes parallèles permettant de tester 8 composants simultanément. Les cartes individuelles ont pour but de faciliter le débogage de la plateforme de test et sont plus adaptées aux tests sur banc laser. Les plateformes parallèles sont utilisées lorsque la plateforme a été éprouvée et permettent une meilleure statistique lors des tests sous neutrons.

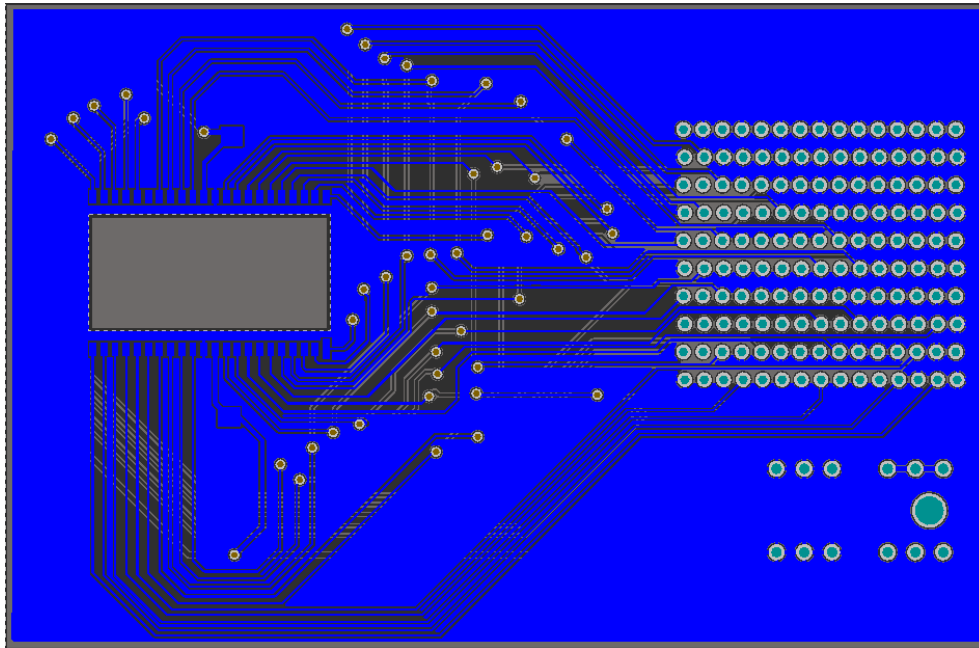


Figure 50: PCB carte fille MRAM individuelle.

On constate une ouverture rectangulaire sur le PCB de la Figure 50. La carte fille est percée pour permettre l'accès du faisceau laser en face arrière. La MRAM est décapsulée et amincie à 80 μm d'épaisseur. Cet amincissement est nécessaire pour permettre la pénétration des ions lourds jusqu'aux couches sensibles.

II.3.3.2. La carte fille PowerPC

De part sa complexité, le MPC8610 nécessite une carte dédiée. Toutefois, le PowerPC n'est pas seul sur sa carte fille. Pour le faire fonctionner en régime normal et tester plusieurs de ses périphériques internes, il est accompagné d'une mémoire MRAM EV2A16A et d'une mémoire SDRAM MT47H32M16, comme illustré en figure 12.

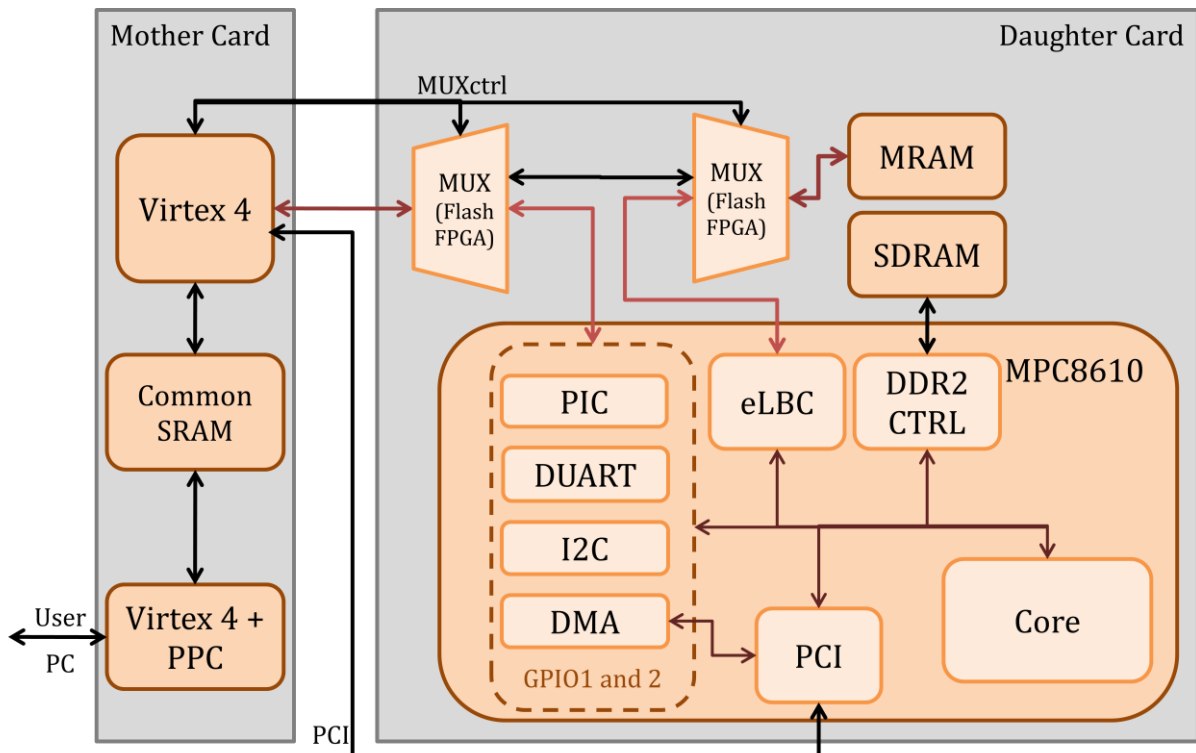


Figure 51 : Schéma de la carte fille PowerPC

La carte fille possède également un FPGA Flash de type Coolrunner 2. Il multiplexe les sorties de commande du Virtex4 entre la MRAM et le MPC8610. Il existe donc deux modes de fonctionnement pour piloter la carte fille. Le mode initialisation, dans lequel le Virtex 4 adresse la mémoire MRAM via le coolrunner 2 pour y inscrire le programme initial du MPC8610. Le mode normal, dans lequel le coolrunner 2 aiguille les broches de la mémoire MRAM vers le module eLBC du PowerPC. Mais également dans lequel le Virtex 4 communique avec les sous-blocs PIC, DUART, I2C, DMA et les GPIO. Précisons qu'en mode normal, le Virtex 4 n'a donc plus d'accès direct à la mémoire MRAM. Un FPGA de technologie flash a été choisi pour sa résistance au flux de particules. En effet, la carte fille toute entière sera soumise aux radiations, mais des erreurs provenant du système de multiplexage seraient des artefacts de test qui devraient être ignorés.

Comme le montre la Figure 51, le contenu de la SDRAM n'est accessible qu'à partir du PowerPC. Le port PCI est accessible à tout moment. En revanche, l'utilisateur doit choisir entre écrire sur la MRAM ou accéder aux autres périphériques du PowerPC.

II.4. Les méthodes de test

II.4.1. Le programme de test des mémoires

II.4.1.1. Les entrées et sorties du FPGA communiquant avec la mémoire sous test

Lors des tests, les mémoires sont donc pilotées par le Virtex 4 présent sur la carte mère. Dans le cas des cartes fille individuelles, le composant de Xilinx doit pouvoir contrôler les entrées sorties suivantes :

Tableau 14: Dénombrement des entrées/sorties du FPGA pour les mémoires

	Adressage	Données	Contrôles	Horloges
MRAM	18 bits	16 bits	5 bits	Aucune
SDRAM	15 bits	16 bits	5 bits	2 bits

Pour le pilotage des cartes de test en parallèle, 7 bits de contrôle ont été ajoutés. Chacun de ces bits est relié à la pin *Chip Select* d'une des mémoires supplémentaires pour adresser celle-ci uniquement.

II.4.1.2. Les protocoles de test des mémoires

Plusieurs protocoles de tests sont gérés par le Virtex 4. Tout d'abord, il est possible de modifier les paramètres de test. La tension d'alimentation et la fréquence de fonctionnement sont gérées en externe par la carte mère. Mais les patterns de lecture et d'écriture sont configurables sur le Virtex4.

Les patterns d'écriture sont les motifs qu'il est possible d'écrire sur la mémoire. Les patterns les plus utilisés sont : tout à 0, tout à 1 et le damier. Dans un esprit de souplesse de configuration, tous les patterns de 16 bits sont envisageables. Cette flexibilité permet deux types de patterns intéressants : l'aléatoire et le *bleeding pattern* (ou motif de fuite). Un motif aléatoire s'est révélé être extrêmement pertinent lors de tests de mémoire dynamique [BOU11]. Le *bleeding pattern* consiste, quand à lui, au mode le plus instable d'une mémoire dynamique. Il est possible, dans le cas des mémoires dynamiques, de laisser les condensateurs des cellules mémoires se décharger, puis de lire la mémoire. En prenant le NON logique du motif ainsi lu, on obtient le *bleeding pattern* de la mémoire dans lequel tous ses condensateurs sont chargés.

Les patterns d'adresses s'appliquent eux sur les adresses parcourues lors du test. Il est possible de lire une plage précise de la mémoire allant d'une adresse A à une adresse B. Mais il est également possible de lire uniquement les adresses répondant à des critères précis. En donnant un pattern binaire tel que : XXXX XXXX XXXX XXX1, le système testera uniquement les adresses paires. Cette option offre la possibilité de mieux comprendre les MBU qui peuvent survenir dans des mémoires fortement intégrées ou ayant une implémentation physique complexe. Par ailleurs, cela permet le masquage de certaines zones mémoire endommagées ne répondant plus correctement aux stimuli.

Au-delà de ces simples paramètres, les protocoles de test diffèrent par les séquences d'écriture-lecture qui les composent. Un simple protocole possédant une écriture suivie d'une irradiation, puis d'une lecture ne saurait capter toutes les subtilités d'erreur possibles. Le protocole de test proposé possède 3 niveaux d'erreur distincts.

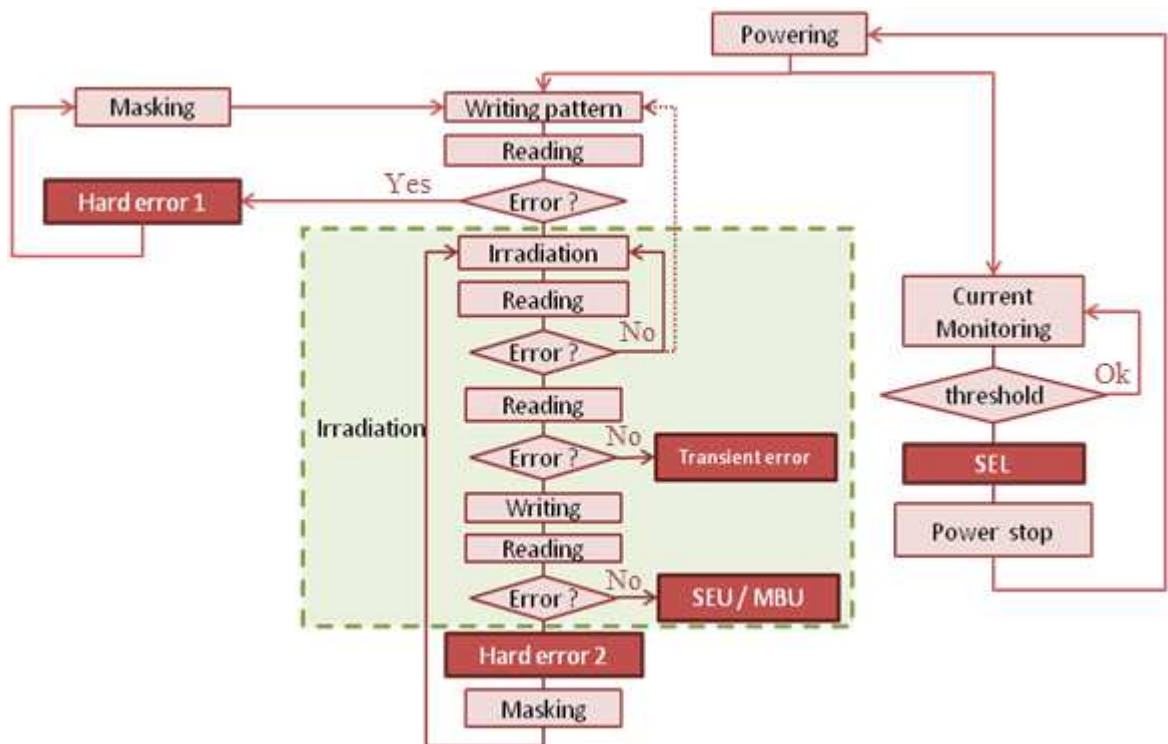


Figure 52 : Diagramme de protocole de test de mémoire.

La Figure 52 montre que le protocole de test commence par une première écriture ainsi qu'une vérification de son exactitude. Si une erreur apparaît dès l'écriture, l'adresse concernée sera masquée lors de la suite des tests. La mémoire étant correctement écrite, l'irradiation peut commencer. Un premier test de lecture peut être effectué, si une erreur est détectée une seconde lecture sera immédiatement faite. Si l'erreur a disparu, elle sera classée

en erreur de type transitoire (niveau 1). Si elle n'a pas disparu, le testeur tente de réécrire l'adresse corrompue et la lit à nouveau. Si l'erreur a pu être effacée, elle sera classée comme erreur de type logiciel (niveau 2), si au contraire elle persiste elle sera classée comme type matériel (niveau 3). Il est nécessaire de masquer les adresses des erreurs matérielles pour ne plus les relire lors des tests suivants.

Durant la totalité du protocole de test, l'alimentation est surveillée pour détecter toute surtension qui traduirait la présence d'un SEL dans le système. Si un tel événement se produit, l'alimentation est coupée pour protéger le composant sous test qui pourrait être endommagé par une surtension. Le nombre d'événements et d'erreurs sont enregistrés, puis le protocole de test recommence du début, l'alimentation ayant été réinitialisée.

II.4.1.3. Le module VHDL de pilotage de la MRAM

Pour piloter les composants à tester, un module VHDL dédié à chacun d'entre eux a été écrit. La figure 53 présente le module de pilotage de la MRAM EV2A16A.

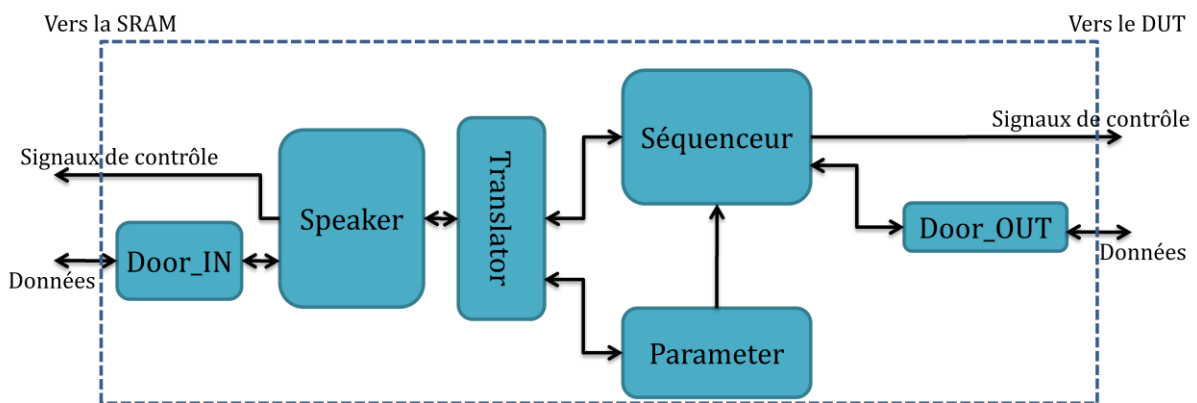


Figure 53 : Module global du programme de pilotage de la MRAM.

Le programme est découpé en sous-modules ayant chacun un rôle précis. Les sous-modules *Door_IN* et *Door_OUT* convertissent des ports bidirectionnels en deux ports d'entrée et de sortie. Cet artifice est nécessaire au bon fonctionnement du module VHDL.

II.4.1.3.1. Le sous-module Speaker

De manière à expliciter au mieux chaque sous-module, une représentation graphique est nécessaire. Chacun de ces sous-modules est une machine d'état qui communique avec les autres. Le sous-module *Speaker* scrute les ordres en provenance de l'utilisateur et les transmet au sous-module *Translator*. Le sous-module *Speaker* vérifie également que les rapports d'erreur sont bien parvenus à l'utilisateur (handshake).

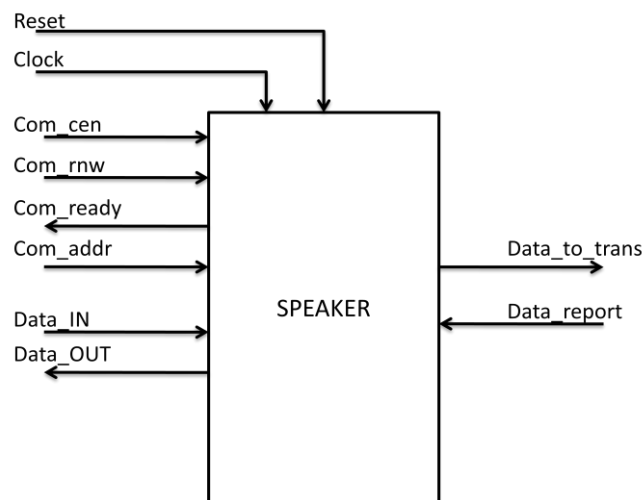


Figure 54 : Entrées/Sorties du sous-module Speaker

La Figure 54 résume l'ensemble des ports d'entrées et de sorties du sous-module *Speaker*. Les ports **Data_IN** et **Data_OUT** fusionnent dans le sous-module *Door_IN* pour donner naissance au port bidirectionnel **Com_Data_inout**. Tous les ports commençant par « Com » font référence à la mémoire commune présente sur la carte mère. **Data_to_trans** et **Data_report** permettent la communication entre les sous-modules *Speaker* et *Translator*.

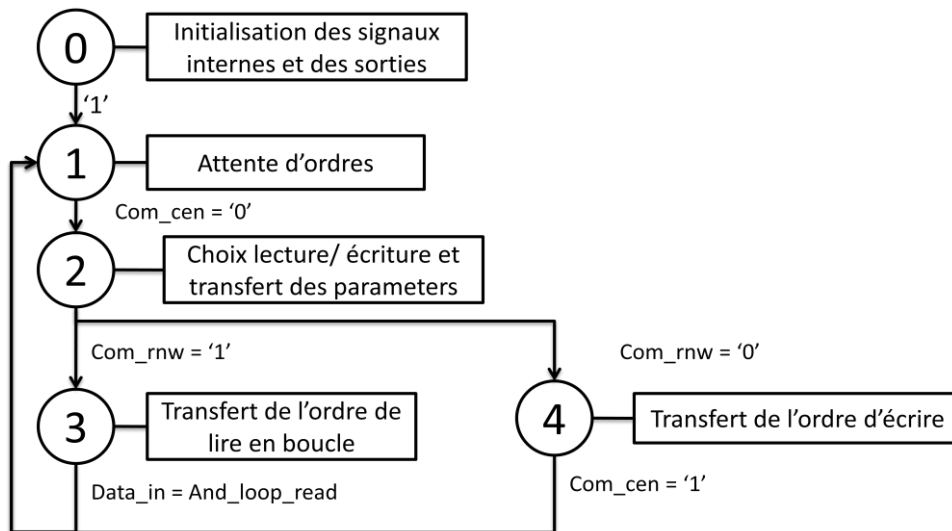


Figure 55: Machine d'état du sous-module Speaker

La tâche principale du sous-module *Speaker* est de communiquer avec le V4+PPPC et donc de recevoir les ordres en provenance de l'utilisateur. Pour ce faire, il scrute en permanence la mémoire commune pour connaître les opérations à effectuer, comme le montre l'étape 1 de la Figure 55. Il réinjecte ensuite dans cette mémoire les différents rapports d'erreur ou de bon fonctionnement. La Figure 56 montre le format, sur 64 bits, que prennent les rapports d'erreur renvoyés

63	-	33	16	15	0
Flag d'erreur		Numéro de l'adresse corrompue		Emplacement des bits erronés	

Figure 56 : Format des rapports d'erreur de la mémoire MRAM.

II.4.1.3.2. Le sous-module Translator

Translator interprète les ordres provenant de *Speaker*. Selon l'ordre, il peut mettre les paramètres de test à jour dans le sous-module *Parameter* ou commencer un protocole de test donnant ses instructions au séquenceur. En cas d'erreur, il renvoie un rapport vers *Speaker* et donc vers l'utilisateur.

La Figure 57 montre le schéma du sous-module *Translator*, on y distingue tous ses ports d'entrées/sorties.

Les ports *Basic_order* et *Feedback* permettent de donner des ordres au Séquenceur et de recevoir les données lues sur la mémoire MRAM. Le port *Parameters* met à jour les constantes du sous-module *Parameters*.

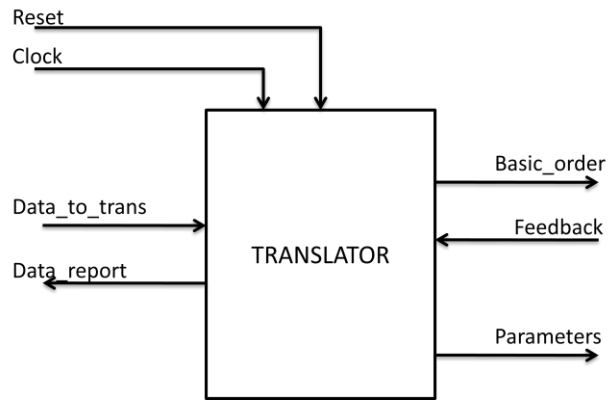


Figure 57 : Entrées/Sorties du sous-module Translator

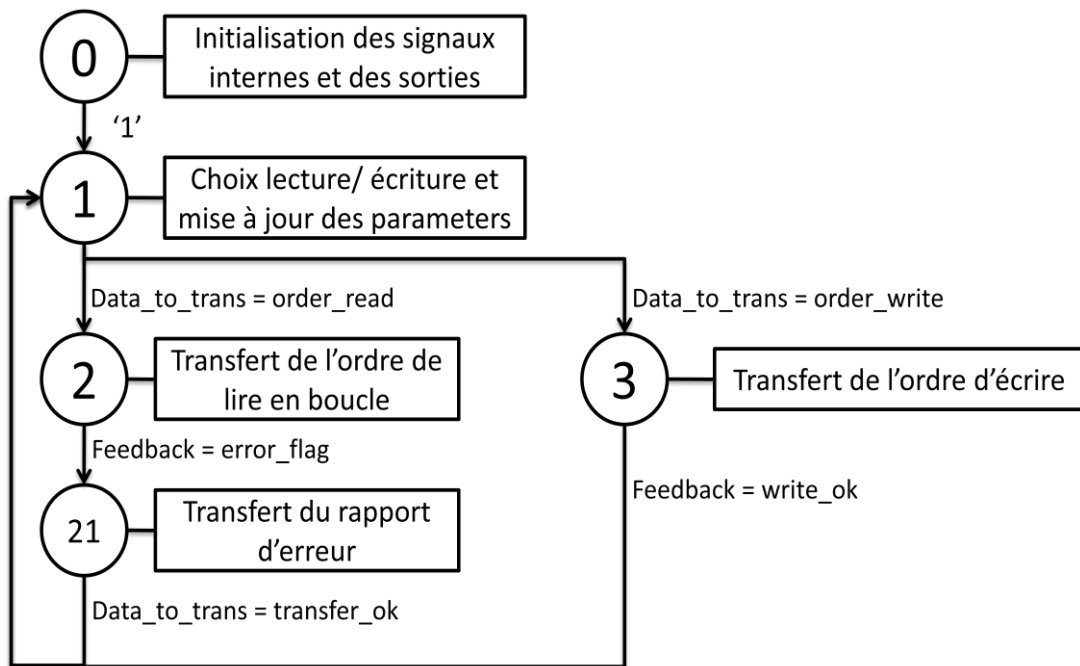


Figure 58 : Machine d'état du sous-module Translator

Le sous-module *Translator* est une machine d'état décrite en Figure 58. Il permet de gérer et traduire les ordres en provenance de *Speaker*. De plus, si la signature de mise à jour des paramètres est présente, il se charge de mettre à jour les signaux du sous-module *Parameter*. Ces signaux alimentent ensuite directement le sous-module *Séquenceur* et lui fournissent les informations nécessaires lors des tests.

II.4.1.3.3. Le sous-module Parameter

Le sous-module *Parameter* contient les paramètres de test nécessaires à l'étude de la mémoire magnétique. Ces paramètres sont consignés dans le Tableau 15

Tableau 15: Liste des paramètres de test de la mémoire MRAM

Nom du registre	Fonction	Valeur min	Valeur max
Add_read_start	Contient la première adresse de la plage mémoire à lire sur la mémoire cible	0x00000000	0x0003FFFF
Add_read_stop	Contient la dernière adresse de la plage mémoire à lire sur la mémoire cible	0x00000000	0x0003FFFF
Add_write_start	Contient la première adresse de la plage mémoire à écrire sur la mémoire cible	0x00000000	0x0003FFFF
Add_write_stop	Contient la dernière adresse de la plage mémoire à écrire sur la mémoire cible	0x00000000	0x0003FFFF
Writte_pattern	Contient le pattern d'écriture que l'on souhaite inscrire sur la totalité de la plage mémoire à écrire	0x00000000	0x0000FFFF
MRAM_num	Contient le numéro de la (ou des) mémoires à adresser lorsque la carte fille embarque plusieurs mémoires. Ce registre doit être laissé à la valeur 0x00000001 lorsqu'une seule mémoire est connectée.	0x00000001	0x000000FF
Add_read_pata1	Contient un masque d'adresse permettant de filtrer les adresses lues. Exemple : Si REG_addrreadpatterna1 = 0x00000001, seules les adresses impaires seront lues.	0x00000000	0x0003FFFF
Add_read_pata0	Contient un masque d'adresse permettant de filtrer les adresses lues. Exemple : Si REG_addrreadpatterna0 = 0x00000001, seules les adresses paires seront lues.	0x00000000	0x0003FFFF
Tension_SEL	Contient la valeur permettant de régler la tension seuil de détection du delatcheur	0x00000000	0x0000000F

Le bus Parameters fait 36 bits de largeur. Comme le montre la Figure 59, les 32 bits de poids faible sont dédiés à la valeur utile du paramètre à mettre à jour. Les 4 bits de poids fort sont, quant à eux, un identifiant du paramètre ciblé.


```

case MAJ_parameter(35 downto 32) is
  when "0001" => Add_read_start<=MAJ_parameter(17 downto 0);
  when "0010" => Add_read_stop<=MAJ_parameter(17 downto 0);
  when "0011" => Add_read_pata1<=MAJ_parameter(17 downto 0);
  when "0100" => Add_read_pata0<=MAJ_parameter(17 downto 0);
  when "0101" => Add_write_start<=MAJ_parameter(17 downto 0);
  when "0110" => Add_write_stop<=MAJ_parameter(17 downto 0);
  when "0111" => Write_pattern<=MAJ_parameter(15 downto 0);
  when "1000" => MRAM_num<=not MAJ_parameter(7 downto 0);
  when others => NULL;
end case MAJ;

```

Figure 59: Extrait de code du sous-module parameters

II.4.1.3.4. Le sous-module Séquenceur

Le sous-module séquenceur ne sait que lire, écrire et attendre. Il agit uniquement sous l'impulsion du Translator et utilise les données stockées dans le sous-module *Parameter*. La Figure 60 décrit le sous-module Séquenceur, elle montre ses ports d'entrées/sorties communiquant à la fois avec les sous-modules Translator et Speaker, mais aussi Door_out et la mémoire sous test.

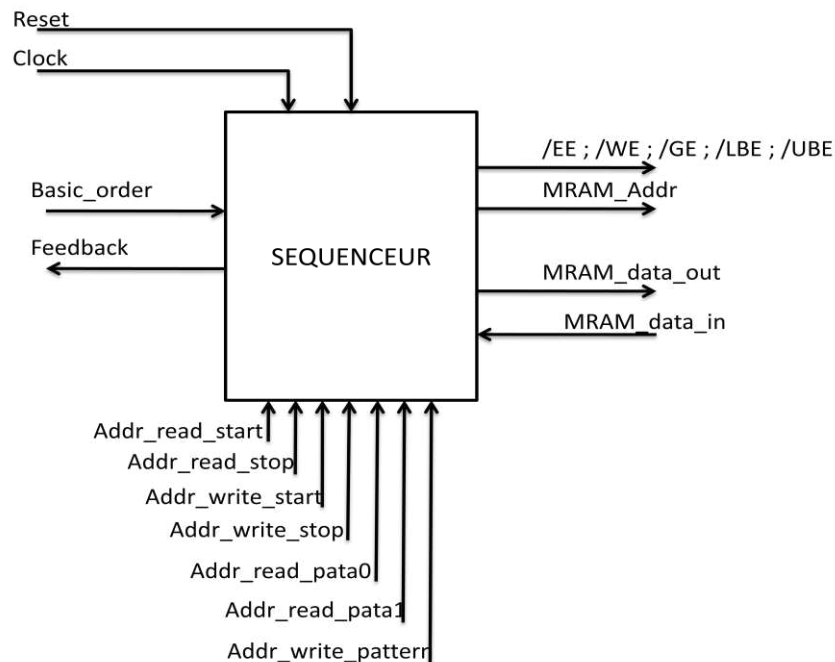


Figure 60 : Entrées/Sorties du sous-module Séquenceur

Les valeurs stockées dans *Parameters* sont accessibles à *Séquenceur* via la collection de bus situés sous le sous-module. Les ports MRAM_data_out et MRAM_data_in convergent dans le sous-module *Door_out* pour alimenter le port bidirectionnel MRAM_data_inout. MRAM_Addr et les ports de contrôle permettent d'adresser la mémoire magnétique.

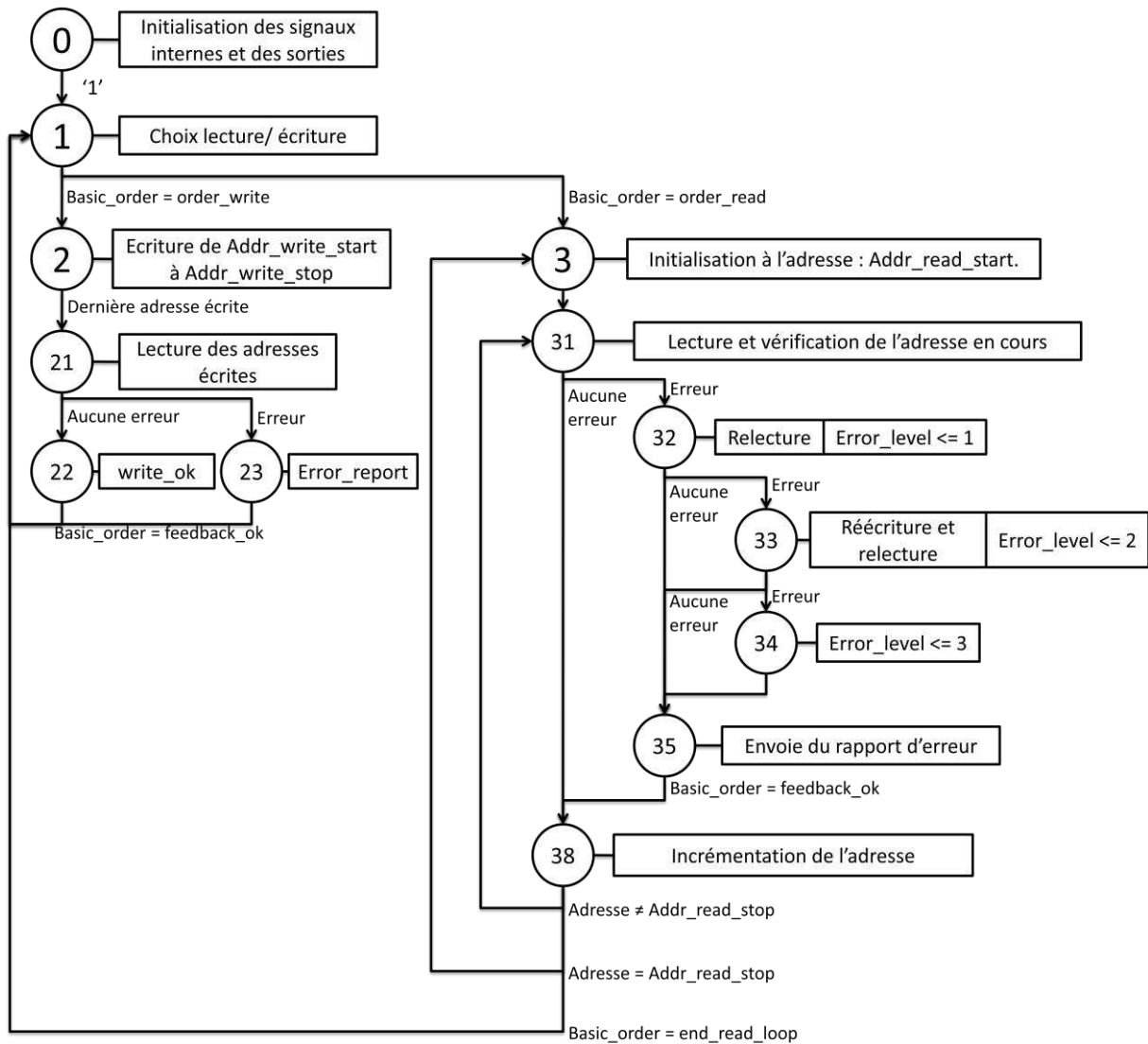


Figure 61: Machine d'état du sous-module Séquenceur

Le module *Séquenceur* communique directement avec la MRAM sous test. On retrouve dans sa machine d'état le protocole de test décrit précédemment en Figure 61.

II.4.1.3.5. Rapport de synthèse du programme de pilotage de la MRAM sur Virtex XC4VLX40

Le module développé est synthétisé grâce à l'outil Xilinx ISE. L'affectation des pattes du Virtex 4 est disponible en annexe. La figure 62 est le résumé du rapport de synthèse généré.

Tableau 16: Rapport de synthèse du programme de pilotage de la MRAM.

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Number of Slice Flip Flops	388	36,864	1%
Number of 4 input LUTs	756	36,864	2%
Number of occupied Slices	402	18,432	2%
Number of Slices containing only related logic	402	402	100%
Number of Slices containing unrelated logic	0	402	0%
Total Number of 4 input LUTs	773	36,864	2%
Number used as logic	756		
Number used as a route-thru	17		
Number of bonded IOBs	104	640	16%
IOB Latches	48		
Number of BUFG/BUFGCTRLs	2	32	6%
Number used as BUFGs	2		
Average Fanout of Non-Clock Nets	3.37		

Comme le montre le Tableau 16, aucune ressource du Virtex 4 n'est utilisée jusqu'à un point critique. L'occupation silicium est faible et seuls 16% des entrées sorties sont utilisés. Par ailleurs, le système peut fonctionner à une fréquence de 146 MHz comme le montre la Figure 62.

Met	Constraint	Check	Worst Case Slack	Best Case Achievable	Timing Errors	Timing Score
1 Yes	TS_Clk = PERIOD TIMEGRP "Clk" 10 ns HIGH 50%	SETUP HOLD	3.146ns 0.381ns	6.854ns	0 0	0 0

Figure 62: Contraintes temporelles du programme de pilotage de la MRAM

II.4.1.4. Simulation du programme de pilotage de la MRAM

Les chronogrammes qui suivent montrent les résultats de simulation post-implémentation sur XC4VLX40 du programme de pilotage de la MRAM. La simulation s'effectue à 100 MHz. En jaune se trouvent les données entrantes et sortantes de la mémoire commune. En orange se lisent les bits d'adressage et de contrôle de la mémoire commune. En cyan et vert clair se trouvent les données entrantes et sortantes de la MRAM. Et en vert foncé se lisent les bits d'adressage et de contrôle de la MRAM.

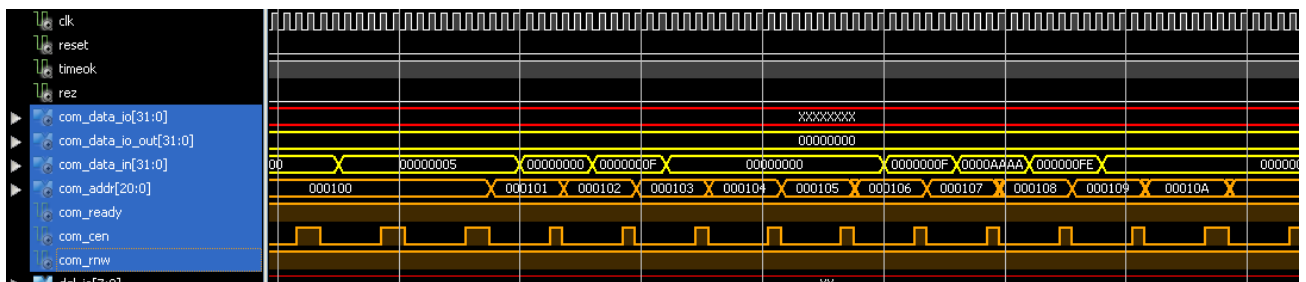


Figure 63 : Chronogramme de simulation de pilotage de la MRAM, mise à jour des paramètres

La Figure 63 montre la mise à jour des paramètres dans le sous-module *Parameter*. Cette mise à jour commence dès que le Virtex 4 lit l'ordre de mise à jour (valeur 0x0005) à l'adresse 0x0100 de la mémoire commune. Le programme du Virtex 4 vient chercher dans la mémoire commune chaque paramètre à l'adresse prévue.

Tableau 17 : Adressage des paramètres de pilotage

Adresse de la mémoire commune	Paramètres de configuration
101	Première adresse à lire
102	Dernière adresse à lire
103	Bits d'adresse fixent à 0
104	Bits d'adresse fixent à 1
105	Première adresse à écrire
106	Dernière adresse à écrire
107	Pattern d'écriture
108	MRAM cible

La Figure 64 représente l'écriture sur la MRAM selon la configuration précédemment effectuée. Pour une meilleure lisibilité, ce chronogramme a été tronqué. On constate toutefois l'écriture du pattern « AAAA » de l'adresse 0x0000 à l'adresse 0x000F. Chaque cycle d'écriture sur la MRAM dure 50 ns.

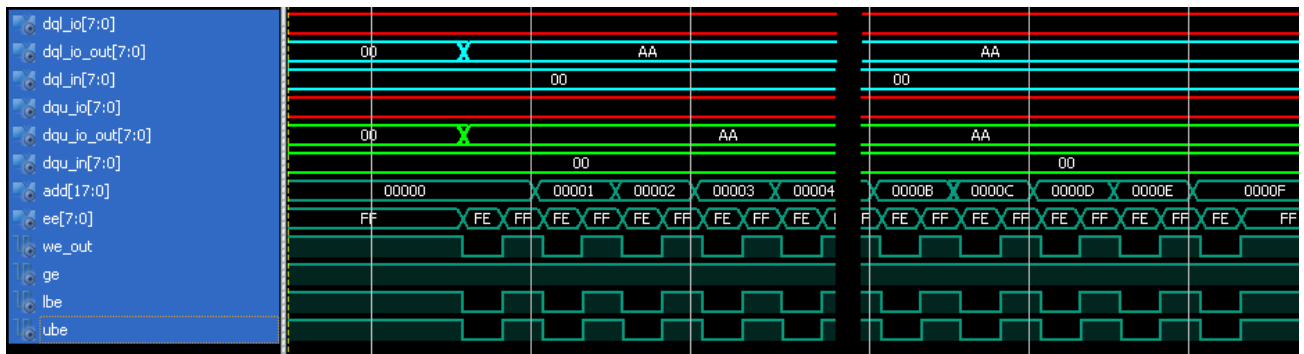


Figure 64 : Chronogramme de simulation de pilotage de la MRAM, écriture du pattern "AA"

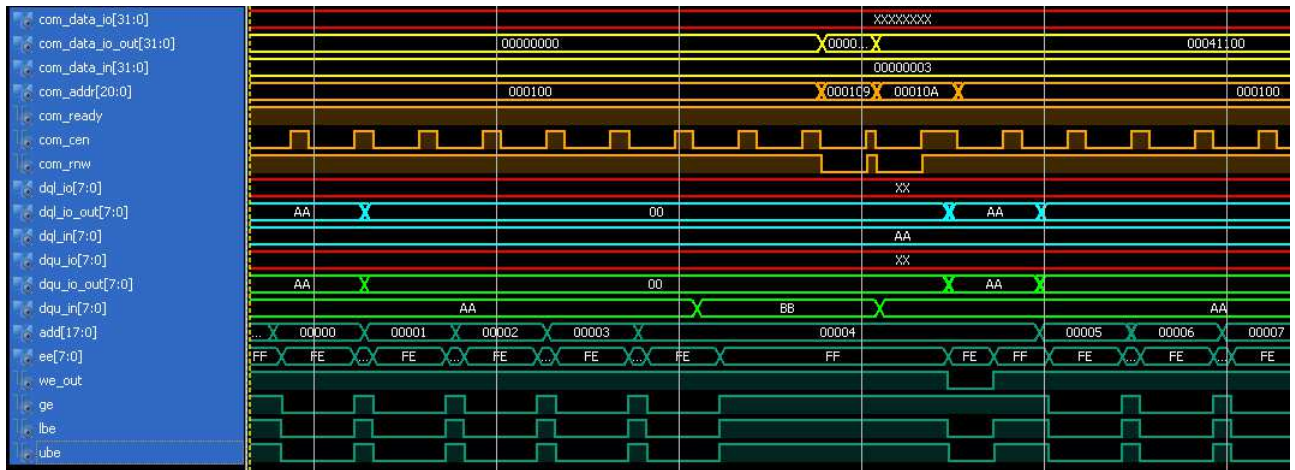


Figure 65 : Chronogramme de simulation de pilotage de la MRAM, lecture et détection d'erreur

La Figure 65 montre la lecture de la MRAM depuis l'adresse 0x0000 jusqu'à 0x000F (tronquée à l'adresse 0x0007 pour des raisons de lisibilité). Une erreur a volontairement été injectée lors de la lecture d l'adresse 0x0004. Le système lit « BBAA » alors qu'il attendait « AAAA ». Il en résulte la création d'un rapport d'erreur sur la mémoire commune où il s'inscrit 0x00041100. Ce rapport sera traduit par l'interface utilisateur comme la présence d'une erreur à l'adresse 0x0004 de la mémoire sur les bits : « 0001 0001 0000 0000 ». L'adresse 0x0004 est ensuite réécrite, puis la lecture suit son cours. Un cycle de lecture de la MRAM dure 80 ns. L'écriture du rapport d'erreur sur la mémoire commune nécessite 110 ns.

II.4.1.5. Implémentation du module de test sur la carte mère Virtex 4

Pour s'assurer de son bon fonctionnement, plusieurs tests ont été menés sur la carte mère sans qu'une carte fille ne soit connectée. Un oscilloscope numérique connecté sur les sorties du XC4VLX40 permet de relever les valeurs des signaux logiques de sortie.

Pour ces tests, l'interface utilisateur répète en boucle un ordre précis, cela permet une capture plus aisée des signaux sur l'oscilloscope. Voici en , les signaux captés en sortie lors du test d'écriture d'un pattern 0xFFFF.

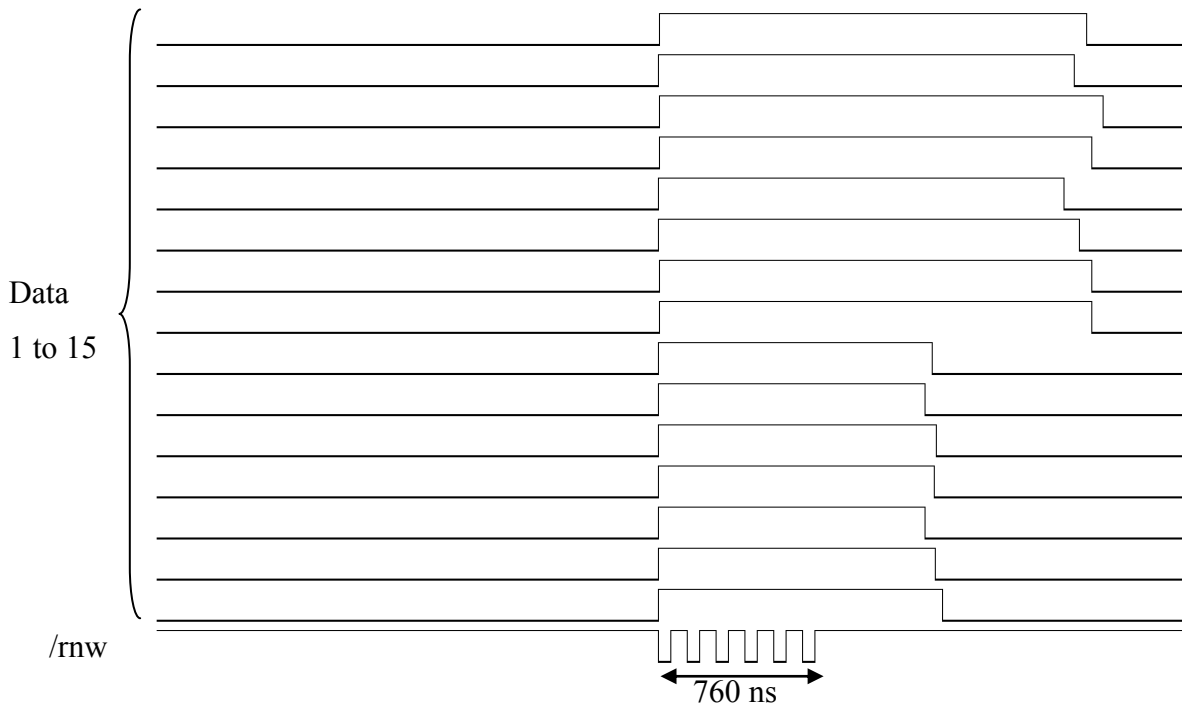


Figure 66 : Oscillogramme relevé lors du test d'écriture de la carte mère sur la MRAM

Les signaux de données prennent tous la valeur '1' lorsque le signal de commande /RNW passe à '0'. Le pattern 0xFFFF sera donc correctement écrit sur la mémoire MRAM. Un second relevé est effectué, visible en figure 4, lors d'un test de lecture qui s'effectue de l'adresse 0x0010 à l'adresse 0x00FF.

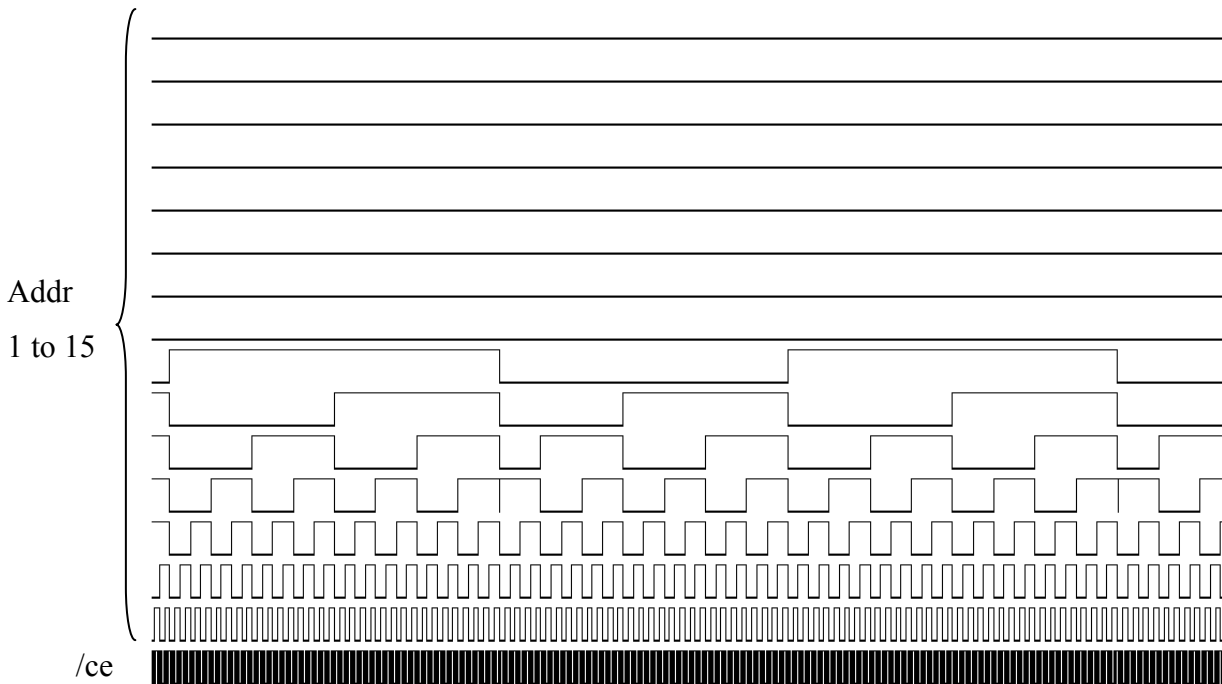


Figure 67 : Oscillogramme relevé lors du test de lecture de la carte mère sur la MRAM

Les adresses balayées sont celles souhaitées, de 0x0010 à 0x00FF. Et la lecture s'effectue correctement en boucle. Par ailleurs, les mesures de temps se révèlent conformes au fonctionnement nominal de la mémoire MRAM.

II.4.1.6. Module de pilotage de la SDRAM

II.4.1.6.1. Schéma Bloc du programme

Le programme de pilotage de la SDRAM, en Figure 68, est similaire à celui de la MRAM. En effet, la souplesse du programme de pilotage de la MRAM permet de l'adapter très rapidement en remplaçant le bloc **Door_OUT** par un module de communication dédié à la DDR2. Ce sous-module est inspiré de [Lem10]. Ce code libre est généraliste et permet d'adresser une large gamme de mémoires dynamiques grâce à des paramètres comme la profondeur de la plage mémoire et la largeur du bus de données. Ce sous-module étant souple et stable, il a été retenu pour optimiser la conception du module de pilotage de la SDRAM.

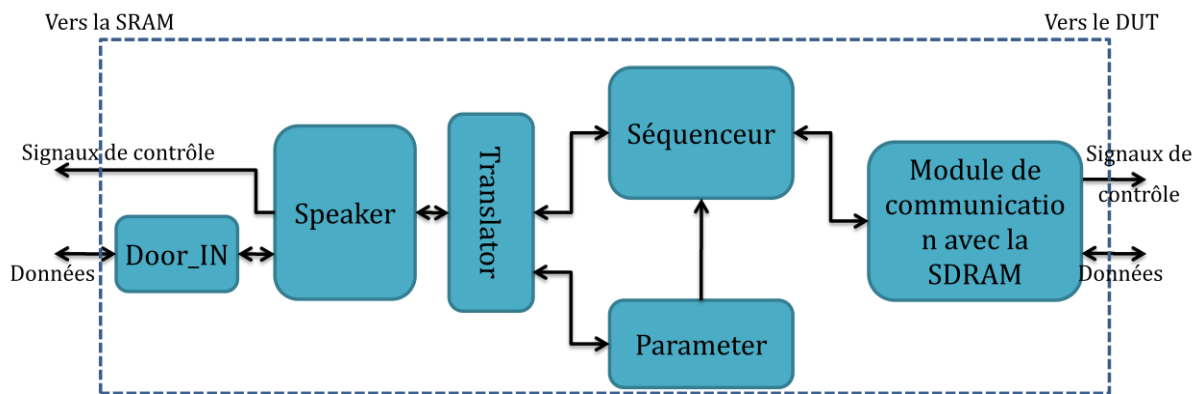


Figure 68 : Scéma bloc du programme de pilotage de la SDRAM

II.4.1.6.2. Rapport de synthèse du programme de pilotage de la SDRAM sur Virtex XC4VLX40

Le programme développé est synthétisé grâce à l'outil Xilinx ISE. L'affectation des pattes du Virtex 4 est disponible en annexe. La Tableau 18 est le résumé du rapport de synthèse généré.

Tableau 18: Rapport de synthèse du programme de pilotage de la SDRAM

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Number of Slice Flip Flops	979	36,864	2%
Number of 4 input LUTs	1,294	36,864	3%
Number of occupied Slices	830	18,432	4%
Number of Slices containing only related logic	830	830	100%
Number of Slices containing unrelated logic	0	830	0%
Total Number of 4 input LUTs	1,371	36,864	3%
Number used as logic	1,275		
Number used as a route-thru	77		
Number used as Shift registers	19		
Number of bonded IOBs	236	640	36%
IOB Latches	32		
IOB Dual-Data Rate Flops	20		
Number of BUFG/BUFGCTRLs	4	32	12%
Number used as BUFGs	4		
Number of DCM_ADVs	2	8	25%
Average Fanout of Non-Clock Nets	3.52		

La Tableau 18 montre que l'occupation silicium de ce programme reste très faible. Et même si le nombre d'entrées sorties a doublé par rapport au programme précédent, cette ressource n'est toujours pas critique. En revanche, il a été nécessaire d'utiliser des options de type : **NODELAY** et **FAST** sur plusieurs broches du Virtex 4 pour atteindre la vitesse minimum de fonctionnement de la SDRAM de 120 MHz. Ces options ont été appliquées aux pins critiques comme l'horloge différentielle et les pins de donnée. Il en résulte un système pouvant fonctionner à une fréquence de 138 MHz comme le montre la Tableau 19.

Tableau 19: Contraintes temporelles du programme de pilotage de la SDRAM

Met	Constraint	Check	Worst Case Slack	Best Case Achievable	Timing Errors	Timing Score
1	Yes Autotimespec constraint for clock net sys_clk_out_OBUF	SETUP HOLD	0.496ns	4.922ns	0	0 0
2	Yes Autotimespec constraint for clock net Clk_IBUFG	SETUP HOLD	0.497ns	7.205ns	0	0 0

II.4.1.6.3. Simulation du programme de pilotage de la SDRAM

Les chronogrammes qui suivent montrent les résultats de simulation post-implémentation sur XC4VLX40 du programme de pilotage de la SDRAM. La simulation s'effectue à 120 MHz. En orange se trouvent les signaux relatifs à la mémoire commune. En vert se lisent les signaux communiquant avec la SDRAM. La mise à jour des paramètres se fait de la même manière que pour le programme de pilotage de la MRAM.

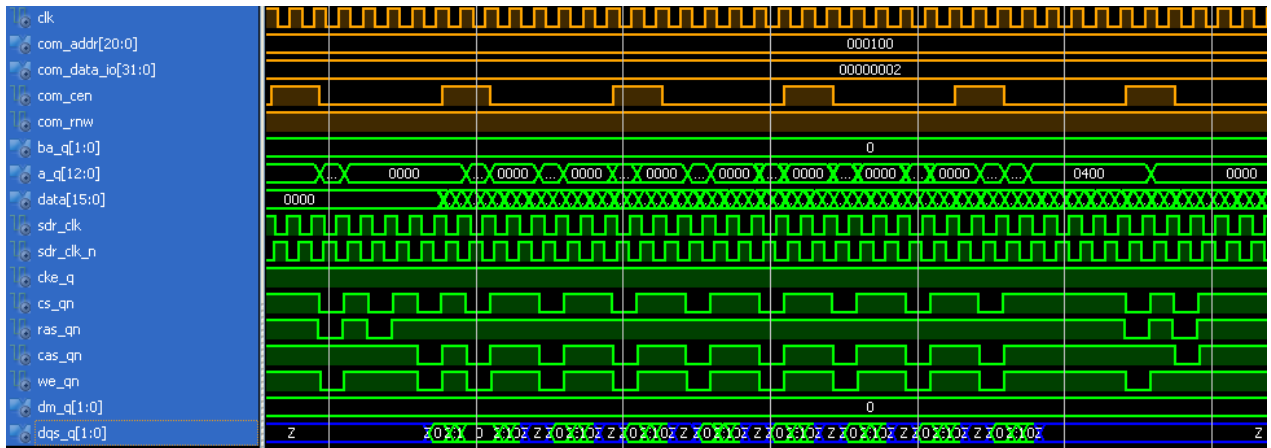


Figure 69 : Chronogramme de simulation de pilotage de la SDRAM, écriture et rafraichissement

La Figure 69 montre l'écriture des données sur la plage d'adresse souhaitée de la SDRAM, ainsi que l'entretien de ces données par rafraichissement. Un cycle d'écriture dure 20 ns et la durée d'un rafraichissement est de 48 ns.

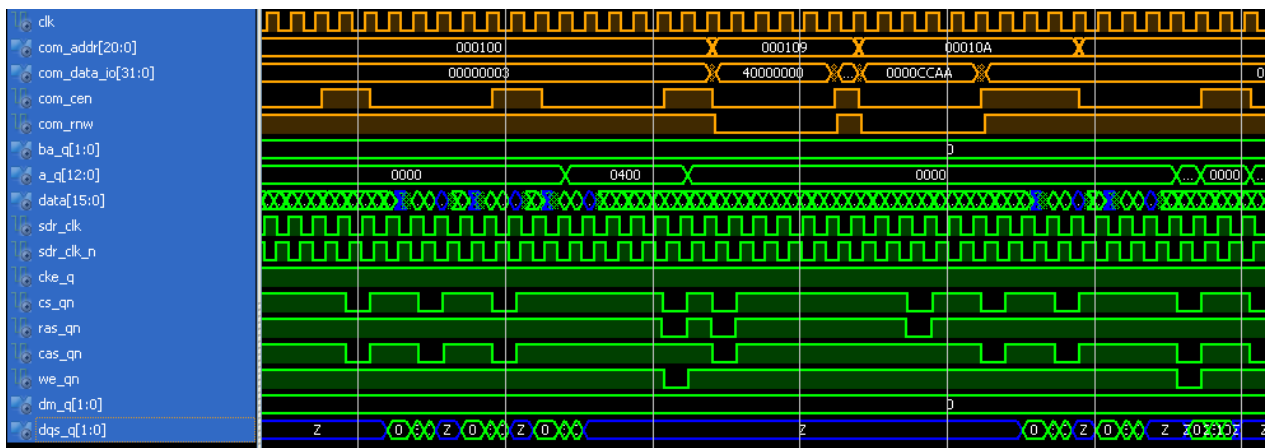


Figure 70 : Chronogramme de simulation de pilotage de la SDRAM, lecture et détection d'erreur

La Figure 70 représente la lecture sans est avec détection d'erreur. A l'instar du précédent test, la lecture commence sans erreur, puis des données corrompues sont injectées sur les broches de données de la SDRAM. Un rapport d'erreur, mentionnant l'adresse et les bits corrompus, est alors envoyé sur la mémoire commune. L'envoi d'un rapport d'erreur nécessite 175 ns.

II.4.2. Le module de pilotage du PowerPC

II.4.2.1. Les entrées et sorties du FPGA communiquant avec la carte fille PowerPC

La Figure 71 décrit l'attribution des broches entre le Virtex 4 et la carte fille support du PPC8610. Précisions que 8 bits du port GPIO1 appartiennent également au port PCI et que 23 bits du port GPIO2 appartiennent également aux ports des blocs reliés en rouge. Sans le multiplexage du Coolrunner 2, 203 pattes seraient nécessaires. Après multiplexage, seul 164 pattes sont utilisées en sortie du Virtex 4 (certains signaux tels que l'horloge et la réinitialisation ne sont pas représentés sur la Figure 71).

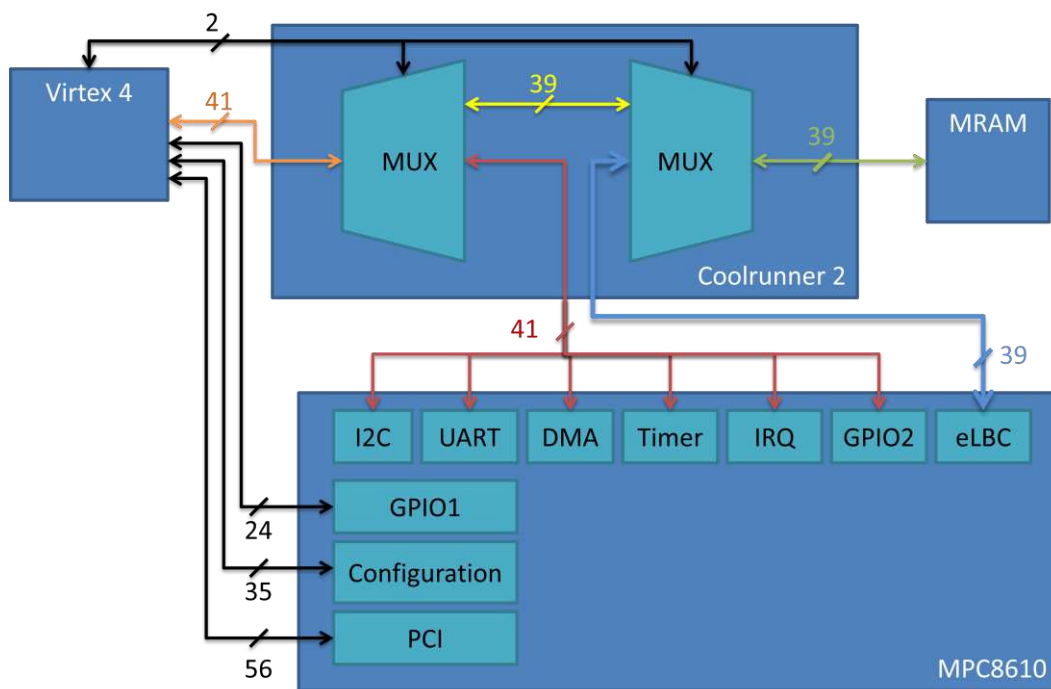


Figure 71 : Dénombrement des entrées/sorties de la carte fille PowerPC

II.4.2.2. Protocole de test du PowerPC

Le PPC8610 possède plusieurs routines de test et le protocole de test peut sensiblement varier d'une routine à une autre. Il est expliqué ici le protocole de test correspondant à la routine d'écriture/lecture de la mémoire cache L1. Cette routine, ainsi que toutes les autres, sont détaillées dans la partie suivante de cette étude. Le détail de l'ensemble des protocoles de test est disponible en annexe.

La Figure 72 décrit les routines régissant les tests de manière générale. Chaque routine de test verra ses blocs PPC_Read, PPC_Write, V4_Write et V4_Read changer en fonction du test effectué.

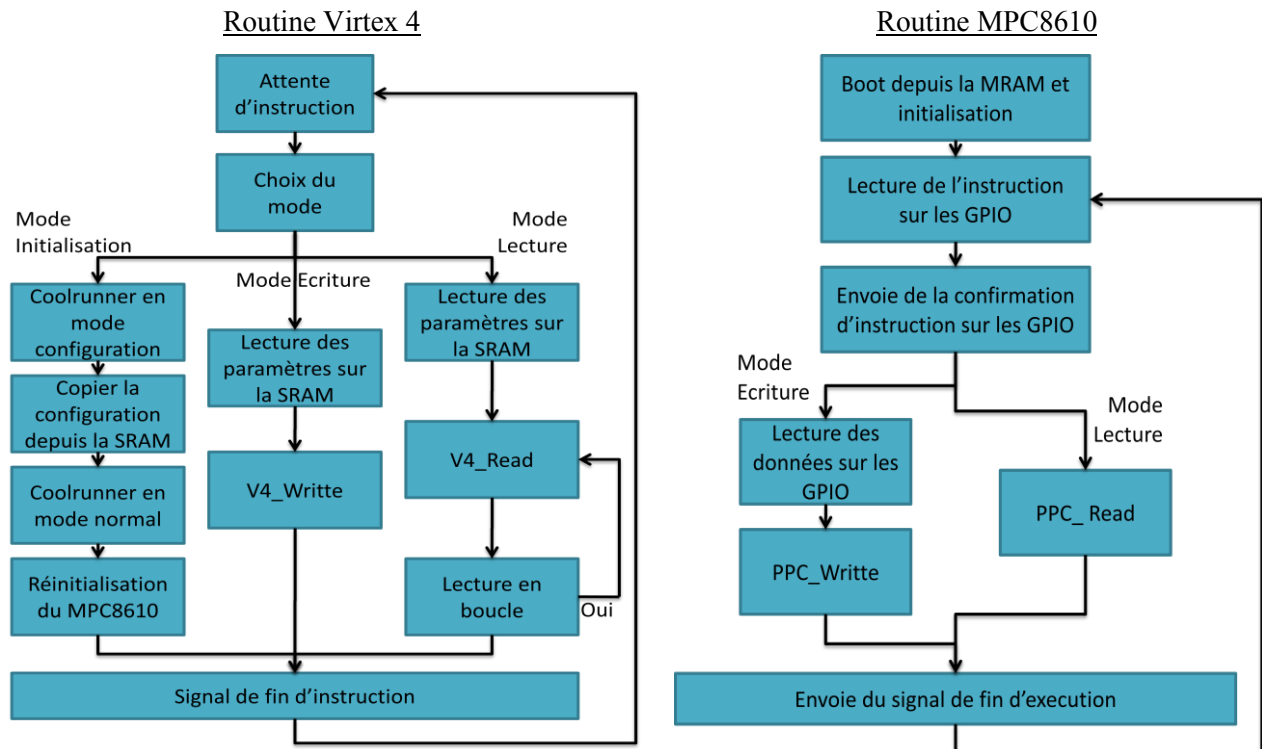


Figure 72 : Diagramme des routines générales de test du PowerPC

Tableau 20 : Niveaux d'erreur possibles

Type d'erreur	Description
1	SEU ou MBU non confirmé après relecture (erreur furtive)
2	SEU ou MBU confirmé, corrigé après réécriture
3	SEU ou MBU non corrigé après réécriture (erreur permanente)

La Figure 73 décrit l'interaction entre les routines μ PowerPC et Virtex 4 lors du test de la mémoire cache (L1 ou L2). On peut distinguer trois cas d'irradiation selon les capacités de contrôle du moyen d'irradiation.

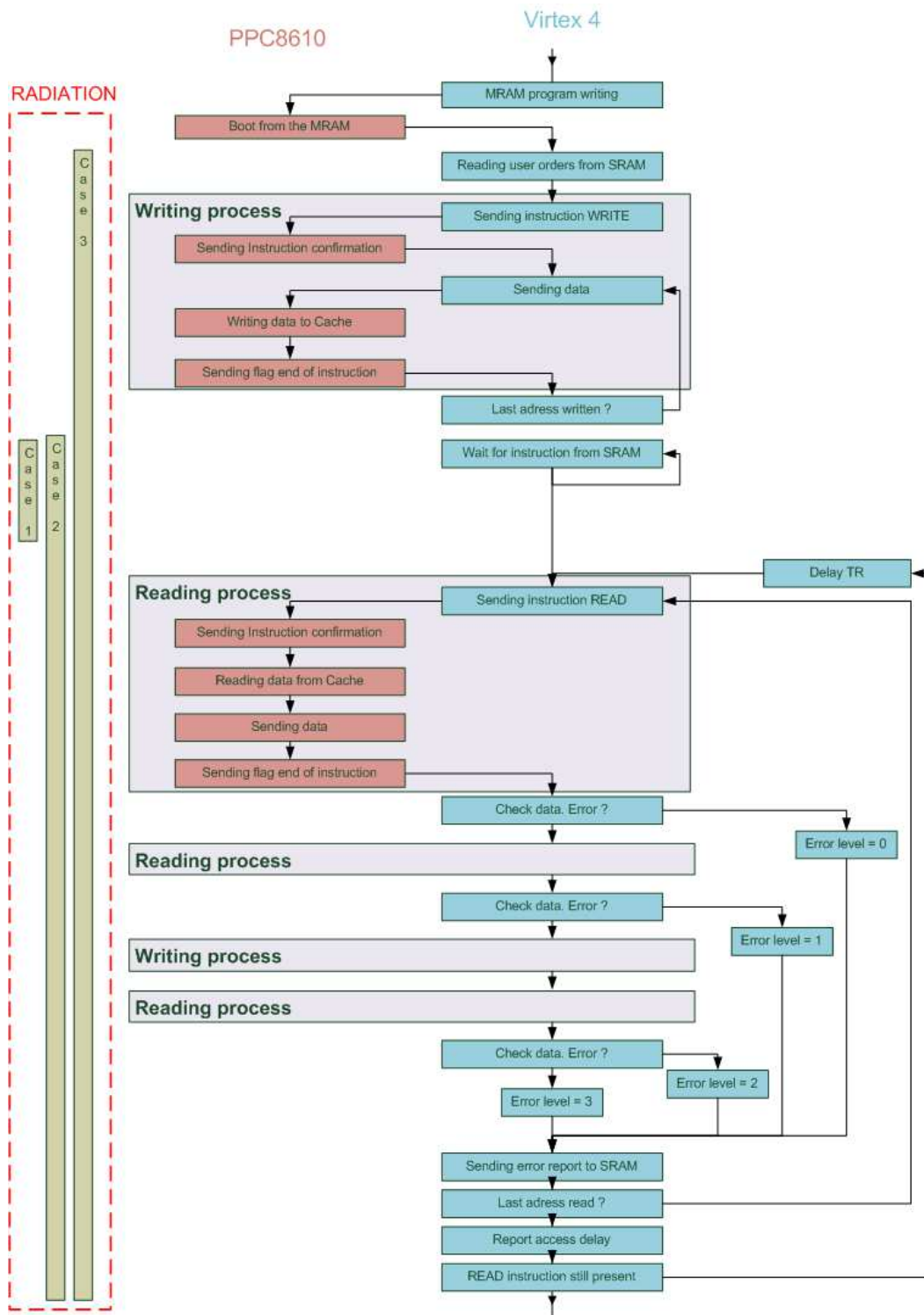


Figure 73 : Protocole de test du PPC8610 utilisant l'application RCL1

II.4.2.3. Schéma bloc du module de pilotage

Le programme de pilotage du PowerPC 8610, représenté en Figure 74, a été pensé sur le même modèle que les deux précédents modules.

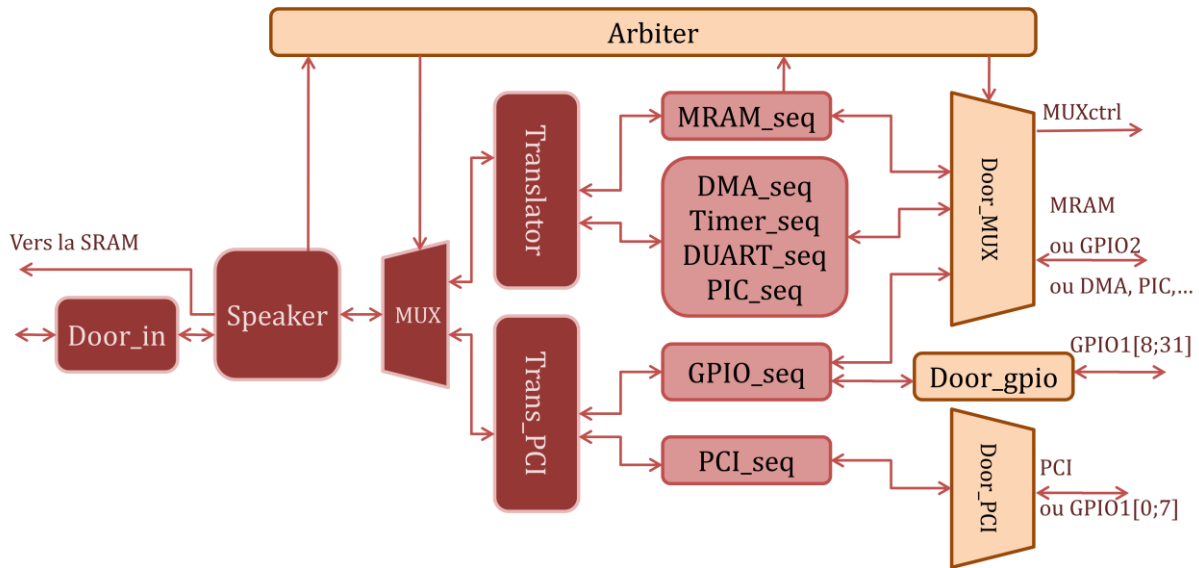


Figure 74 : Schéma logique du programme de pilotage du PowerPC

Il se compose d'un étage **Speaker** qui communique avec la mémoire commune de la carte mère. Puis d'un étage **Translator** qui interprète les instructions provenant de l'utilisateur et renvoie les rapports d'erreurs.

Toutefois, deux **Translators** sont ici nécessaires. Cette duplication s'explique par la volonté de tester le sous-bloc Direct Access Memory (DMA) du PPC8610. Ce sous-bloc a pour fonction le transfert de données directement du port PCI vers un autre périphérique du PowerPC. Il apparaît indispensable de pouvoir envoyer des données sur le port PCI et de recevoir les données de retour parallèlement. Cette simultanéité s'explique par la haute fréquence de travail du MPC8610 (667 MHz sur son bus de communication) par rapport à la fréquence maximum du Virtex 4 (200 MHz). Voici dans le Tableau 21 un exemple des étapes nécessaire à l'adressage direct du sous-bloc DUART via le port PCI et le sous-bloc DMA.

Tableau 21 : Etapes de communication via le sous-bloc DMA.

Etape	Tâche du Translator	Tâche du Trans_PCI
1	Configuration du sous-bloc DMA via DMA_seq.	Attente.
2	Attente.	Requête de connexion du port PCI au sous-bloc DUART via PCI_seq.
3	Réception des données provenant du sous-bloc DUART via DUART_seq.	Envoie de données vers le port PCI via PCI_seq.
4	Réception du signal de fin d'instruction	Attente.

Le troisième étage est composé de séquenceurs. Chaque séquenceur a été développé pour s'adresser à un sous-bloc précis du PowerPC, le test du cœur E600 utilisant essentiellement les GPIO. Ainsi chaque séquenceur peut recevoir l'instruction lire ou écrire de la part d'un **Translator**. Il est à noter que le sous-module **Parameter** a été intégré à chaque séquenceur. Les paramètres de test sont mis à jour par instruction du **Translator**.

La duplication des **Translators** et la multiplication des séquenceurs impliquent le multiplexage de signaux ainsi que l'arbitrage d'accès aux ports d'entrée et de sortie. Ces fonctions sont assurées par les modules **MUX**, **Arbiter** et **Door_MUX**. Par ailleurs, les modules **Door_MUX**, **Door_GPIO** et **Door_PCI** assurent la conversion de paires de ports entrée et sortie en un seul port bidirectionnel.

II.4.2.3.1. Le sous-module MRAM_seq

Le sous-module **MRAM_seq** gère le protocole de communication avec la MRAM. Il n'est utile que lorsque la communication directe avec la MRAM est en place. Dans le cas contraire, **Translator** n'aiguillera jamais de données vers la MRAM à travers **MRAM_seq**. Ses ports d'entrées/sorties sont résumés dans le Tableau 22. Ce sous-module se résume à une machine en Figure 75.

Tableau 22 : Ports du sous-module MERAM_seq.

Direction	Nom	Taille bus
Entrées	Clock	1
	Reset	1
	MRAM_order	64
	MRAM_data_in	16
Sorties	MRAM_feedback	64
	MRAM_data_out	16
	MRAM_addr	18
	not_MRAM_G	1
	not_MRAM_W	1
	not_MRAM_E	1
	not_MRAM_LB	1

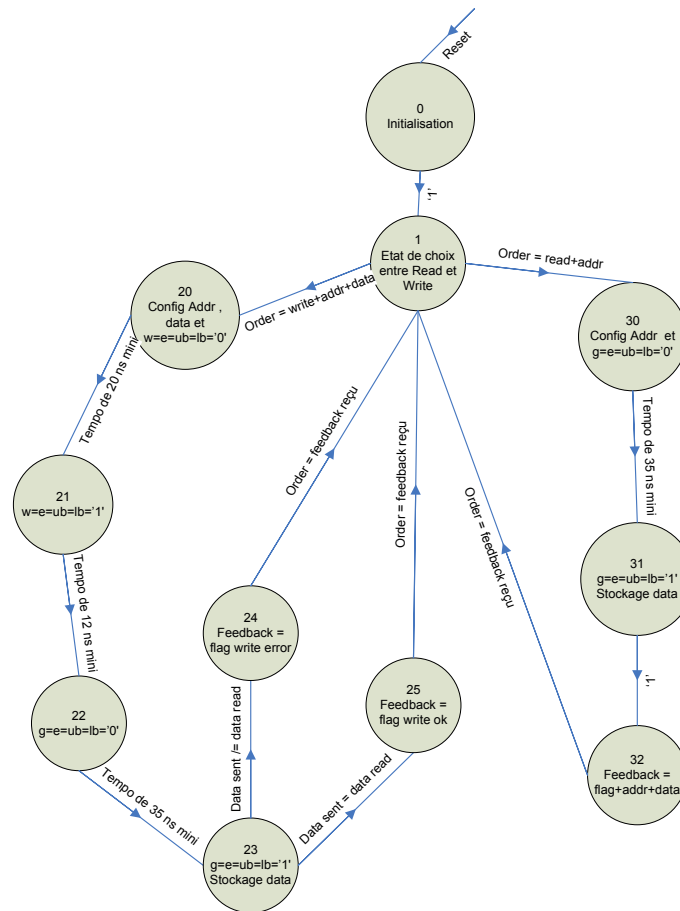


Figure 75 : Machine d'état du sous-module MRAM_seq.

II.4.2.3.2. Le sous-module I2C_seq

Le sous-module **I2C_seq** permet de gérer la communication vers le module I2C du MPC8610. Ses ports d'entrées/sorties sont résumés dans le Tableau 23. Comme pour le sous-module MRAM_seq, la machine d'états, visible en Figure 76, possède une branche écriture et une branche lecture, avec une vérification d'écriture à la fin de la branche écriture.

Tableau 23 : Entrées et sorties du sous-module I2C_seq.

Direction	Nom	Taille bus	Direction	Nom	Taille bus
Entrée	Clock	1	Sortie	I2C_feedback	64
	Reset	1		IIC_rnw	1
	I2C_order	64		IIC1_SCL_out	1
	IIC1_SCL_in	1		IIC1_SDA_out	1
	IIC1_SDA_in	1		IIC2_SCL_out	1
	IIC2_SCL_in	1		IIC2_SDA_out	1
	IIC2_SDA_in	1			

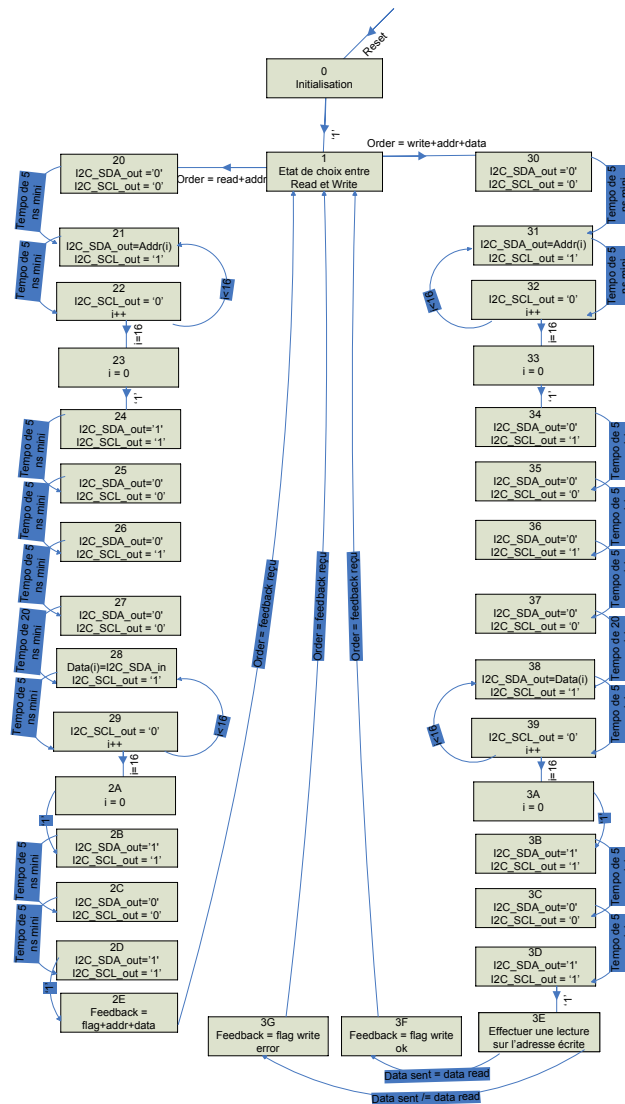


Figure 76 : Machine d'état du sous-module I2C_seq.

II.4.2.3.3. Le sous-module DUART_seq

Le sous-module DUART_seq gère la communication avec les sous-blocs DUART du MPC8610. La DUART ne fonctionne pas avec un système d'adresse comme l'I2C. Il est nécessaire de différencier les adresses d'écriture en 4 parties (les 4 pins de UART_in et UART_out) comme montré dans le Tableau 25.

Tableau 24 : Entrées et sorties du sous-module DUART_seq.

Direction	Nom	Taille bus
Entrée	Clock	1
	Reset	1
	DUART_order	64
	UART_in	4
	Not_UART_RTS	2
Sortie	DUART_feedback	64
	UART_out	4
	Not_UART_CTS	2

Tableau 25 : Répartition des adresses d'écriture selon les pattes du DUART.

Plage d'adresse	Pin concernée
0x045XX	UART(0)
0x046XX	UART(1)
0x047XX	UART(2)
0x048XX	UART(3)

Il n'est pas possible de demander une lecture depuis le DUART. Le système cible doit être programmer pour renvoyer les données. Ainsi le MPC8610 doit envoyer un accusé de réception au Virtex 4. La Figure 77 représente la machine d'état qui régit le comportement du sous-module DUART_seq.

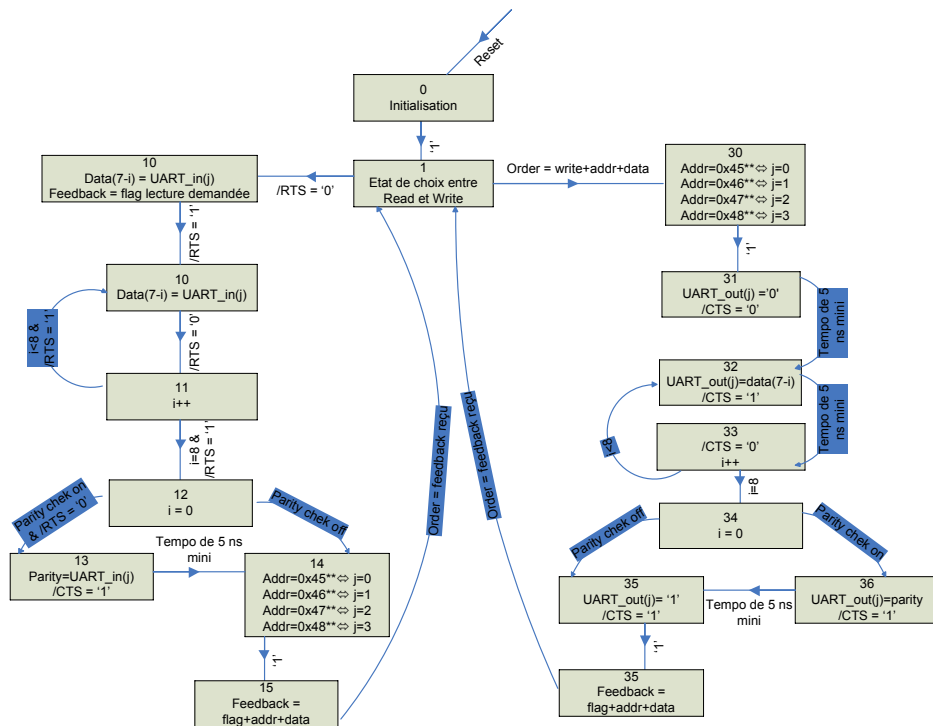


Figure 77 : Machine d'état du sous-module DUART_seq.

II.4.2.3.4. Le sous-module PCI_seq

Le sous-module PCI_seq gère la communication avec le module PCI du MPC8610. Cette partie du Virtex4 est contrainte en fréquence. Elle doit pouvoir fonctionner à 66 MHz, la fréquence du port PCI du PowerPC, sous peine de ne pas capter les signaux de confirmation de transferts. La Figure 78 montre la machine d'état du sous-module PCI_seq.

Tableau 26: Entrées et sorties du sous-module PCI_seq.

Direction	Nom	Taille bus	Direction	Nom	Taille bus
Entrée	Clock	1	Sortie	PCI_feedback	64
	Reset	1		PCI_AD_out	32
	PCI_order	64		not_PCI_CBE_out	4
	PCI_AD_in	32		PCI_PAR_out	1
	not_PCI_CBE_in	4		not_PCI_FRAME_out	1
	PCI_PAR_in	1		not_PCI_TRDY_out	1
	not_PCI_FRAME_in	1		not_PCI_IRDY_out	1
	not_PCI_TRDY_in	1		not_PCI_STOP_out	1
	not_PCI_IRDY_in	1		not_PCI_DEVSEL_out	1
	not_PCI_STOP_in	1		PCI_IDSEL_out	1
	not_PCI_DEVSEL_in	1		not_PCI_REQ_out	5
	not_PCI_PERR_in	1		not_PCI_GNT_out	5
	not_PCI_SERR_in	1		PCI_CLK	1
	not_PCI_REQ_in	5			
not_PCI_GNT_in	5				

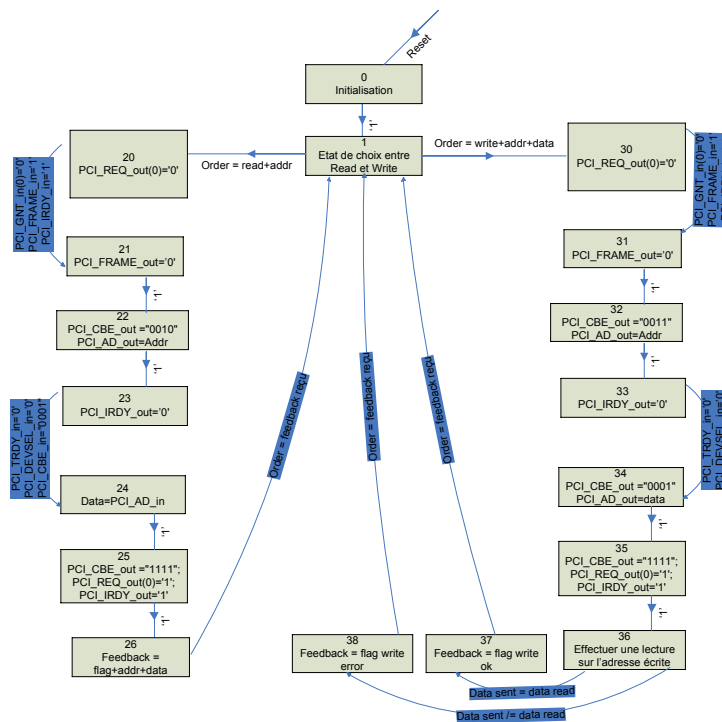


Figure 78 : Machine d'état du sous-module PCI_seq.

II.4.2.3.5. Le sous-module Arbiter

Le sous-module Arbiter gère les multiplexages dans l'ensemble du module VHDL. Il est relié au sous-module speaker et aux différents séquenceurs par des signaux de requêtes. Le sous-module Arbiter contrôle l'aiguillage des sous-modules MUX, Door_MUX et Door_PCI. Speaker peut donc envoyer une requête à Arbiter pour adresser au choix Translator ou PCI_Trans. De même un séquenceur, comme I2C_seq, peut envoyer une requête à Arbiter pour adresser correctement ses pattes de sorties à raves le sous-module Door_MUX. Arbiter vérifie qu'aucune communication n'est en cours avant d'accéder à une nouvelle requête. Si tel était le cas, Arbiter peut sauvegarder une requête et y accéder dès la précédente communication terminée.

II.4.2.4. Rapport de synthèse du programme de pilotage du MPC8610 sur Virtex XC4VLX40

Le module développé est synthétisé grâce à l'outil Xilinx ISE. L'affectation des pattes du Virtex 4 est disponible en annexe. La Tableau 27 est le résumé du rapport de synthèse généré.

Tableau 27 : Rapport de synthèse du programme de pilotage du PPC8610

Device Utilization Summary			
Logic Utilization	Used	Available	Utilization
Total Number Slice Registers	897	36,864	2%
Number used as Flip Flops	881		
Number used as Latches	16		
Number of 4 input LUTs	1,241	36,864	3%
Number of occupied Slices	882	18,432	4%
Number of Slices containing only related logic	882	882	100%
Number of Slices containing unrelated logic	0	882	0%
Total Number of 4 input LUTs	1,358	36,864	3%
Number used as logic	1,241		
Number used as a route-thru	117		
Number of bonded IOBs	223	640	35%
IOB Flip Flops	1		
IOB Latches	89		
Number of BUFG/BUFGCTRLs	3	32	9%
Number used as BUFGs	3		
Average Fanout of Non-Clock Nets	3.23		

Le rapport de synthèse de la Tableau 27 montre encore une fois que la surface silicium n'est pas limitative pour l'implémentation de ce programme sur le Virtex 4. Toutefois, bien

que le rapport ne le fasse pas directement apparaître, il est à noter que le système est proche du nombre maximal de pattes d'entrée/sortie disponibles.

Met	Constraint	Check	Worst Case Slack	Best Case Achievable	Timing Errors	Timing Score
1 Yes	TS_Clk = PERIOD TIMEGRP "Clk" 10 ns HIGH 50%	SETUP HOLD	0.590ns 0.502ns	9.410ns	0 0	0 0

Figure 79 : Contraintes temporelles du programme de pilotage du PPC8610

La Figure 79 illustre les limitations en termes de fréquence de fonctionnement du programme de pilotage du MPC8610. En effet, une fois le programme implémenté sur le Virtex XC4VLX40, celui-ci ne pourra pas travailler au-delà de 106 MHz. Cette fréquence est inférieure à celle de fonctionnement du bus de communication du PowerPC (667 MHz). Il est envisageable que certaines transitions très rapides en provenance du MPC8610 ne soient pas détectées. Il est donc indispensable que chaque étape des tests soit conclue par un accusé réception mutuel du Virtex 4 et du PowerPC.

II.4.2.5. Simulation du programme de pilotage du MPC8610

Les chronogrammes suivant montrent les résultats de simulation post-implémentation sur XC4VLX40 du programme de pilotage du PPC8610. La simulation s'effectue à 100 MHz. En orange se trouvent les signaux relatifs à la mémoire commune. En cyan se lisent les signaux communiquant avec la MRAM. Les GPIO1 et GPIO2 sont en violet.

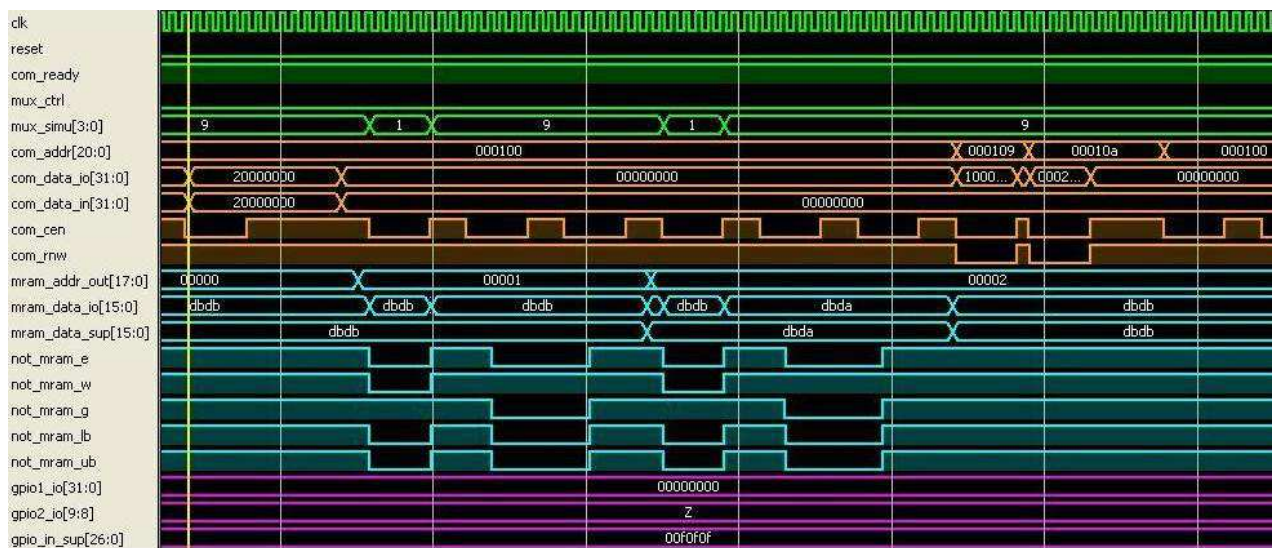


Figure 80 : Chronogramme de simulation de pilotage du PPC8610, programmation de la MRAM

La figure 43 montre la simulation de lecture de données en provenance de la carte fille powerPC. Une faute est injectée lors de la simulation pour s'assurer que le programme réagit

correctement aux stimuli. La faute est correctement détectée et un rapport d'erreur est envoyé vers la mémoire commune pour être transmis au PC utilisateur. L'envoi du rapport d'erreur dure 104 ns. La lecture reprend ensuite son cours.

II.4.3. Les routines de test du PowerPC

Comme dit précédemment, les performances d'un composant de type PowerPC ou microprocesseurs varient en fonction de la routine qui y est implantée [REB03]. C'est pourquoi, lors des tests habituels, c'est un couple composants/routine qui est évalué et non pas le composant seul.

La méthode de test proposée dans cette étude s'emploie à évaluer la sensibilité des sous-blocs qui composent le PowerPC. Pour ce faire, des routines élémentaires ont été développées en langage C et en assembleur. Chacune de ces routines a pour but d'exciter une partie précise du PowerPC. Par comparaison et élimination il est ensuite possible d'évaluer la sensibilité propre à un sous-bloc [KAN09]. Il est donc possible dès lors d'évaluer la sensibilité d'un composant à un milieu radiatif en mesurant son taux d'erreur lors de chacune de ces routines élémentaires. Pour plus de clarté, nous différencierons les routines liées au cœur E600 du PowerPC et celles liées aux périphériques.

II.4.3.1. Routines élémentaires du cœur E600

Le cœur du MPC8610 est un agencement complexe de sous-blocs. Comme le montre la Figure 81, la simple opération de lecture de la mémoire cache L1 nécessite l'implication de cinq sous-blocs. Les routines se doivent donc d'être les plus minimalistes possibles. Pour les routines du cœur, les General Purpose InOut (GPIO) ont été choisies comme port d'entrée sortie pour leur robustesse.

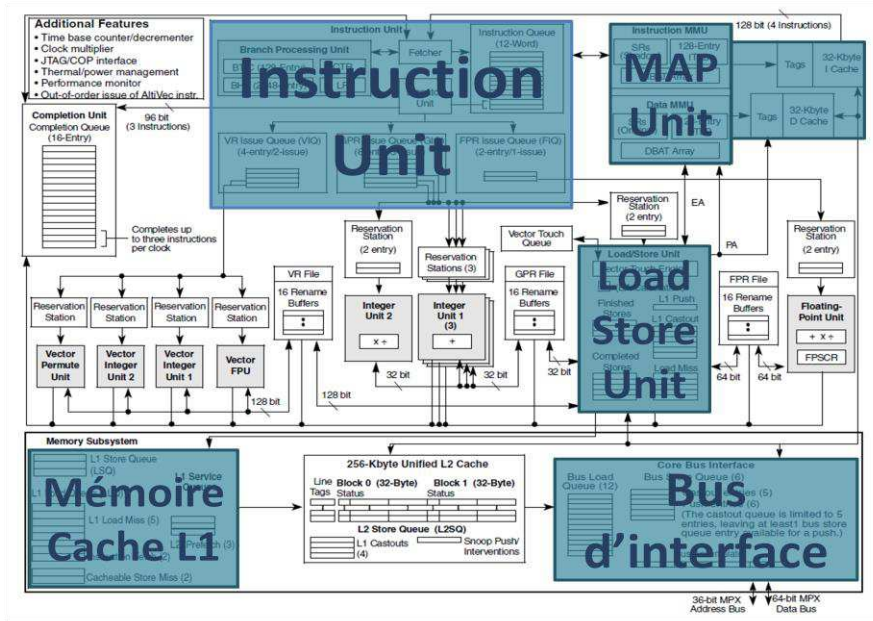


Figure 81 : Rappel des sous-blocs nécessaires à la lecture de la mémoire cache L1.

Voici un descriptif des routines élémentaires utilisées.

- **RCL1 (ou L2)** écrit et lit sur la mémoire cache L1 (ou L2) via les GPIO. Cette application a pour but de tester la mémoire cache en particulier.
- **READ1** lit un seul registre utilisateur via les GPIO. L'application teste donc l'influence des registres tels que les GPR, FPR et VPR sur le taux d'erreur.
- **OPINT** effectue une opération d'entier (32 bits) à partir de données stockées sur la mémoire cache. Le résultat est également conservé dans la cache puis lu via les GPIO. Cette application vise particulièrement l'Integer Unit. De la même manière **OPFLO** utilise la Floating Point Unit (64 bits) et **OPVECT** utilise l'Altivec (128 bits).
- **OPREGINT** effectue une opération d'entier dont les données et le résultat sont stockés sur les registres GPR. La relecture s'effectue par les GPIO. De la même manière **OPREGFLO** opère et stock sur les registres FPR et **OPREGVECT** sur les registres VR.

Le Tableau 28 récapitule les différentes routines du cœur ainsi que les sous-blocs qu'elles utilisent et qui sont donc des sources potentielles d'erreur. Chacun des ces sous-blocs s'est vu attribuer une note allant de 0 à 4. Une note de 4 signifie une forte influence sur le taux d'erreur généré. Ces notes ont été attribuées en fonction de la surface silicium relative de chacun des sous-blocs ainsi que leur taux de sollicitation durant la routine. Ces notes ont un

caractère empirique et sont présentent pour aider à la compréhension des erreurs qui surviennent lors des tests.

Tableau 28: Impacte des applications dédiées au coeur E600

Applications	Sources potentielles d'erreur							
	Load/Store	Instruction	Cache	Integer	Floating	Altivec	Registre	Registres de configuration
RCL1 (ou L2)	1	1	4					1
READ1	2	2					2	1
OPINT	2	2	4	2				1
OPREGINT	2	2		2			2	1
OPFLO	2	2	4		2			1
OPREGFLO	2	2			2		2	1
OPVECT	2	2	4			2		1
OPREGVECT	2	2				2	2	1

« Registre » correspond aux registres utilisateurs tels GPR, FPR et VR.

On remarque sur le Tableau 28 que, malgré le minimalisme de ces applications, elles ont toutes en commun l'utilisation des sous-blocs Load/Store Unit, Instruction Unit et les registres de configuration. Ces sous-blocs sont indispensables à toutes les opérations que peut effectuer le cœur du PowerPC [FAR10]. Par ailleurs, la sensibilité de la mémoire cache est dépendante du type de données qu'elle contient et la manière d'y accéder [WEI05].

II.4.3.2. *Routines élémentaires des périphériques*

Les applications élémentaires développées pour le test des sous-blocs de contrôle des périphériques du MPC8610 sont les suivantes :

- **L1toMRAM** transfère les données contenues dans la mémoire cache L1 pour remplir la mémoire magnétique. La relecture s'effectue via les GPIO.
- **ReadMRAM** effectue la même opération, mais la relecture s'effectue après avoir replacé le Coolrunner2 en mode configuration pour pouvoir lire directement les données depuis la MRAM.
- **WriteMRAM** effectue l'écriture des données sur la MRAM lorsque le Coolrunner2 est en mode configuration. Puis, une fois en mode utilisation, la relecture se fait au travers des GPIO. La combinaison de ces trois routines permettra d'évaluer avec précision le taux d'erreur inhérent au Local Bus Controller (LBC).

- **L1toDDR2** transfère les données contenues dans la mémoire cache L1 pour remplir la mémoire dynamique. La relecture s'effectue via les GPIO.
- **OREGtoDDR2** copie la valeur contenue dans un registre utilisateur pour remplir la mémoire dynamique. La relecture s'effectue via les GPIO. La surface de la mémoire cache étant importante, les erreurs qui lui sont dues sont nombreuses. Cette routine réduit l'influence du Cœur pour mieux cerner celle du DDR Controller.
- **RfromPCI** lit les données contenus sur la mémoire cache via le port PCI. Ces données auront été écrites via les GPIO.
- **WthroughPCI** écrit les données sur la mémoire cache à travers le port PCI, puis relit via les GPIO. Ces deux dernières applications testent le port PCI du MPC8610, mais sont très dépendantes du taux d'erreurs dû au cœur E600.
- **DMAWRAM** utilise le sous-bloc Direct Memory Access (DMA) pour écrire sur la MRAM. Les données passent tout d'abord par le port PCI, puis cheminent vers la MRAM via le LBC. La relecture se fait grâce aux GPIO.
- **DMARRAM** est le dual de DMAWRAM. Les données sont écrites via les GPIO et sont relues à travers le port PCI.
- **DirfloDMA** utilise le sous-bloc DMA pour que les données envoyées sur le port PCI soient automatiquement redirigées en tant que sorties sur les GPIO, sans être stockées dans le cœur ni aucune mémoire. Cette application justifie la duplication des translators dans le programme implanté dans le Virtex4.

Tableau 29: Impacte des applications dédiées aux périphériques

Applications	Sources potentielles d'erreur						
	Core	MPX Bus	LBC	DDR2 control	PCI control	DMA	Registres de configuration.
L1toMRAM	4	2	3				1
ReadMRAM	2	2	2				1
WriteMRAM	2	2	2				1
L1toDDR2	4	2		3			1
OREGtoDDR2	2	2		3			1
RfromPCI	3	2			2		1
WthroughPCI	3	2			2		1
DMAWRAM		2	2		2	2	1
DMARRAM		2	2		2	2	1
DirfloDMA		2			2	2	1

Une fois encore, on remarque sur le Tableau 29 la multi-dépendance des routines au bus de communication interne du PowerPC (le MPX Bus) et aux registres de configuration de chacun des sous-blocs de contrôle des périphériques.

II.5. Conclusion

Ce chapitre a permis de faire la présentation des mémoires MRAM et SDRAM cibles, ainsi que celle du PowerPC. Le détail de leurs caractéristiques techniques et de leurs options de configuration a été fait. Par ailleurs, la conception et le développement de la plateforme de test de ces composants ont été exposés. Les aspects matériels ont été abordés, mais le chapitre se concentre sur le développement logiciel qui porte sur la conception et la mise en œuvre de protocoles de test dédiés aux composants numériques. Pour ce faire, des modules VHDL de pilotage ainsi que des routines d'exécution ont été mis au point et testés. Chacun de ces modules est dédiés au test d'un composant cible, pour évaluer sa sensibilité de manière optimale. Toutefois, il est nécessaire de comprendre les limitations de cette plateforme et de les prendre en compte lors de l'interprétation des résultats. Les modules de pilotage possèdent des durées de cycle de lecture trop lente pour ignorer les phénomènes d'accumulation, particulièrement sous un flux de particules élevés. Par ailleurs, la faible fréquence de travail du module de pilotage du PowerPC peut le faire ignorer certains signaux parasites inattendus provenant du MPC8610. Une solution serait le portage de ces modules VHDL vers une technologie plus récente de système FPGA.

L'ensemble de des outils matériels et logiciels présentés, associé aux méthodologies de test exposées, permet l'évaluation de la sensibilité des circuits numériques complexes ciblés. Dès lors, il est possible de s'intéresser à la mise en œuvre de ces tests.

III.Chapitre 3 : Etude d'une d'une mémoire statique bulk de technologie 90 nm

III.1. Introduction

Lors du test sous faisceau laser d'un composant électronique comportant des zones de mémoires, il est nécessaire d'associer à chaque adresse logique une position physique. En effet, la force du test sous faisceau laser est la résolution spatiale.

Ce chapitre commence par un point technique sur la mémoire SRAM ayant été testé, ainsi que le résultat d'une étude de retro-ingénierie qui permet de connaître en profondeur les caractéristiques de la mémoire. Ce chapitre présente également la plateforme ATLAS : le banc laser, ses sources et la plateforme de test développée par le CNES pour évaluer la sensibilité des mémoires aux radiations. La méthode proposée de descrambling est ensuite explicitée étape par étape. Et enfin, les résultats obtenus sont exposés et analysés.

Cette étude se déroule dans le cadre d'une collaboration avec l'équipe de recherche de l'ONERA. Plusieurs tests en altitudes, sous faisceaux de particules et en simulation ont été menés par ces équipes sur la mémoire SRAM. L'objectif est de comprendre l'apparition de grappes d'erreurs observées lors des précédents tests. Pour ce faire, il est nécessaire d'établir le plan physique d'adressage mémoire grâce à la précision spatiale du faisceau laser.

III.2. Présentation de la SRAM CY62148E55

III.2.1. Caractéristiques techniques

La SRAM CY62148E55 est fabriquée par la société Cypress. Cette mémoire a une capacité de 4 Mbit. Ses mots font 8 bits de long, elle possède donc 512 000 adresses. C'est une SRAM de type bulk, appartenant au nœud technologique de 90 nm. Ses cycles de lecture et d'écriture durent au minimum 55 ns. Elle est alimentée sous 3,3V et sa consommation en courant est explicitée dans le Tableau 30.

Tableau 30 : Consommation de la mémoire SRAM selon sa fréquence de fonctionnement.

Fréquence de fonctionnement	Courant consommé
1 MHz	2,5 mA
18 MHz	20 mA

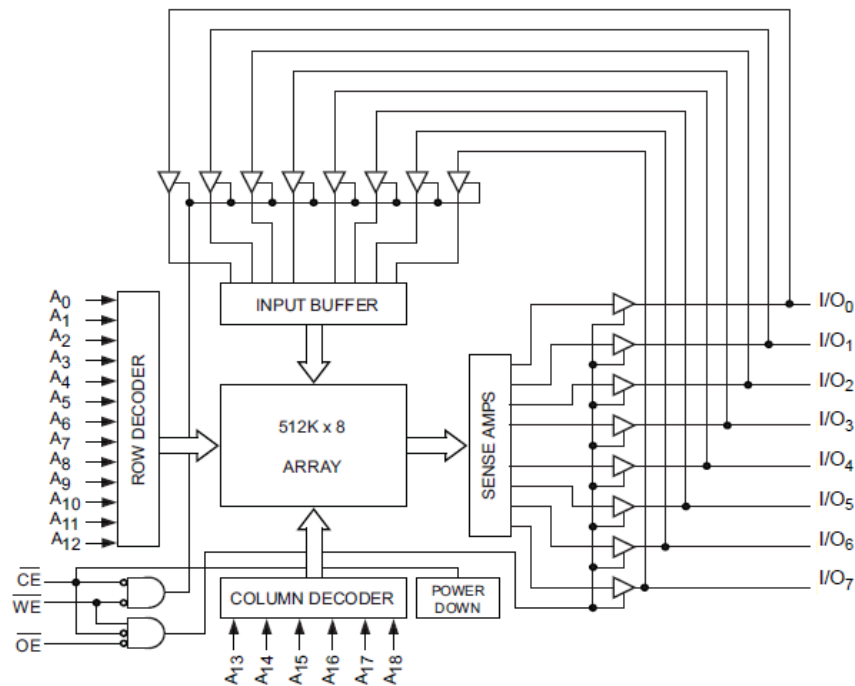


Figure 82 : Schéma logique de la CY62148E55 [CYP12].

La Figure 82 représente le schéma logique de la mémoire SRAM. L'ensemble des caractéristiques techniques de la SRAM CY62148E55 peuvent être retrouvés dans [CYP12].

L'ONERA nous a fourni une étude en rétro-ingénierie effectuée sur cette mémoire statique. L'étude a été menée par l'équipe du groupe Thales basée au CNES à Toulouse. Cela a permis de déterminer la taille d'une cellule mémoire représentée en Figure 83, celle-ci mesure $1.2 \times 0.85 \mu\text{m}$, soit $1.02 \mu\text{m}^2$. La figure 6(a) montre les couches de poly-silicium et la figure 6(b) celle de métallisation. L'inverseur 1 se compose des transistors N1 et P3, l'inverseur 2 est composé lui des transistors N2 et P4. N5 et N6 sont les transistors d'accès.

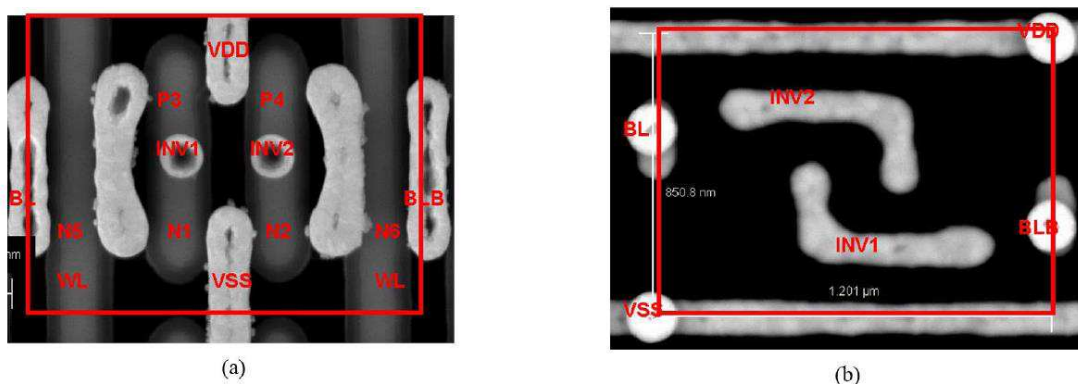


Figure 83 : Vue de dessus d'une cellule mémoire à 6 transistors de la SRAM [ART11]

Des tranchées d'isolation (STI) sont présentes pour isoler chaque composant. Les dimensions de ces tranchées sont d'environ 270 nm de largeur et 280 nm de profondeur. Elles

sont parfaitement visibles sur la coupe transversale de la mémoire SRAM présentée en Figure 84. Cette coupe permet également de rendre compte des interconnexions entre les différents transistors, ainsi que du nombre de couches métalliques présentes, en l'occurrence 3.

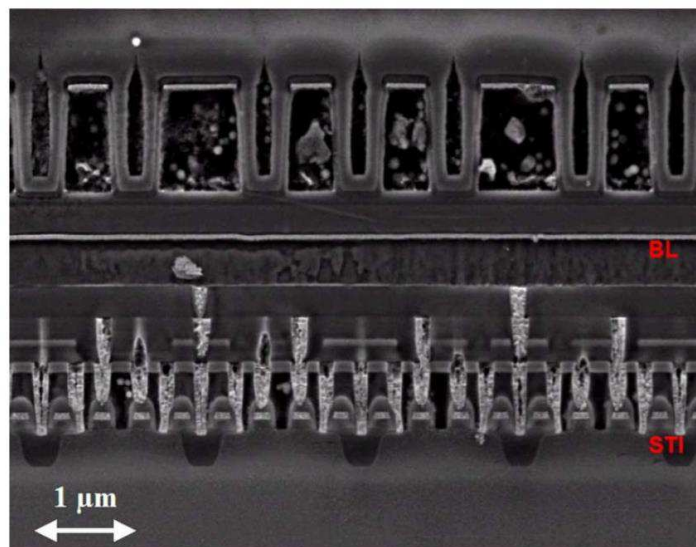


Figure 84 : Coupe transversale de la mémoire SRAM Cypress [ART11]

L'étude de cette coupe transversale permet de déduire la composition, résumée dans le Tableau 31, des couches qui composent la mémoire SRAM de Cypress. Cette décomposition est essentielle car, dans le cas d'un environnement radiatif neutronique, chaque atome est susceptible d'engendrer un ion de recul après avoir été fissionné. On constate ainsi que le numéro atomique le plus élevé présent dans ce composant est celui du Tungstène et qu'aucun ion plus lourd ne saurait être généré.

Tableau 31 : Matériaux composants les couches de la SRAM et leurs épaisseurs [ART11]

Layers	Materials	Thickness (nm)
Passivation	SiN / SiO	760 / 70
M3	TiW / Al / TiW	35 / 770 / 20
ILD2	SiO	315
M2	TiW / Al / TiW	30 / 335 / 30
ILD1	SiO	225
M1	W	325
ILD0	SiN / SiO / SiN / SiO	35 / 125 / 65 / 180
Cap	SiN	120
Siliciure	SiW	45
Poly	Poly Si	60

III.2.2. Résultats de précédents tests effectués

Plusieurs mesures, tests et simulations ont déjà été menés sur la mémoire CY62148E55 [PER09], [ART11]. En 2009, les équipes de l'ONERA ont tout d'abord calculé, grâce à l'outil MUSCA SEP, la section efficace de la mémoire SRAM visible en Figure 85.

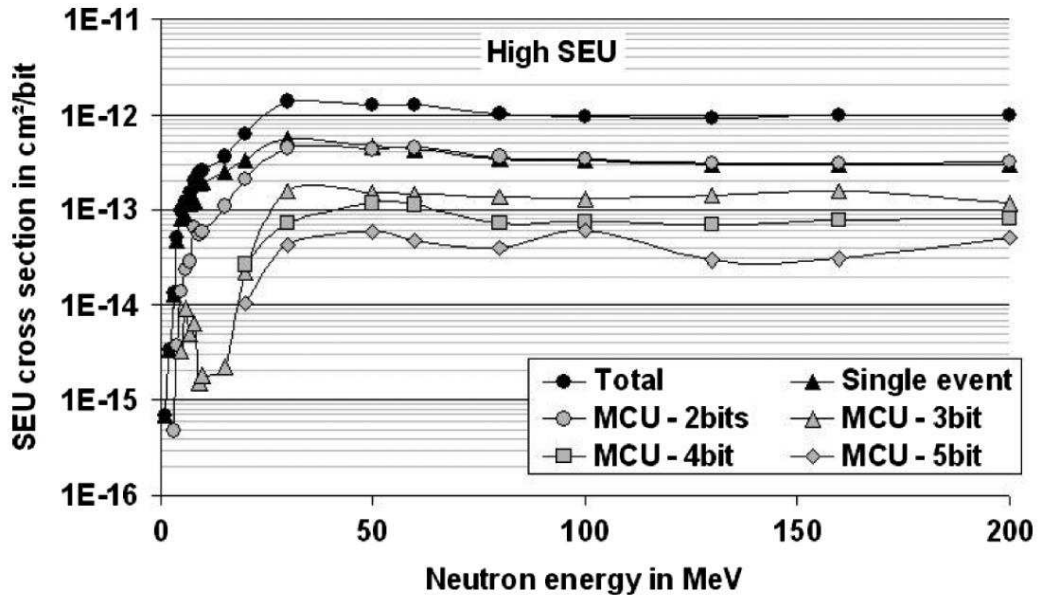


Figure 85 : Section efficace neutron de la SRAM calculée par MUSCA SEP [PER09]

D'autres tests ont été conduits par les membres de la division aérospatiale de QinetiQ [HAN11], [HAN12]. Dans un premier temps, des mesures sous flux de neutrons de 14 MeV à l'ASP ont été effectuées. Ces mesures ont permis de déterminer la distribution du nombre d'erreurs par mots. La Figure 86 montre la forte proportion de SEU lors de l'occurrence d'erreurs. Toutefois, chaque MBU de multiplicité supérieure à 2 est une menace non négligeable pour les systèmes possédant des codes de correction d'erreur rudimentaires.

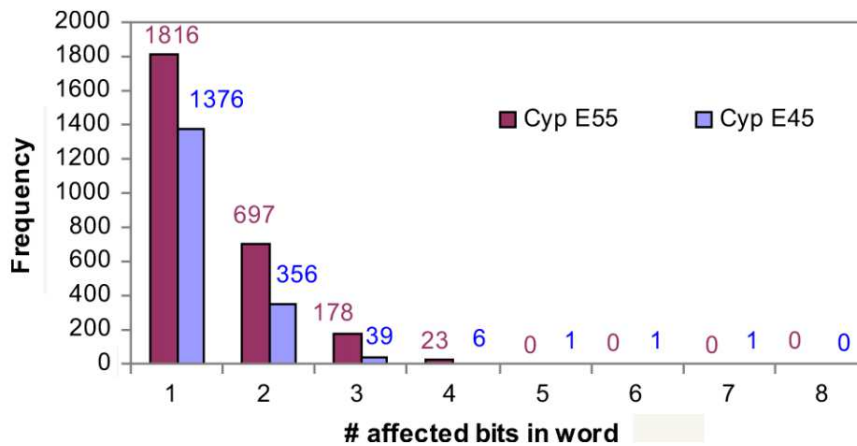


Figure 86 : Distribution du nombre d'erreurs par mots de 8 bits dans les mémoires SRAM Cypress [HAN11]

Par la suite, d'autres tests ont été menés au TRIUMF et au WNR. Ces tests ont révélé la possibilité d'apparitions soudaines et massives d'erreurs. Ce phénomène a motivé le descrambling de la mémoire SRAM. Toutefois, ce descrambling fut un échec et les équipes de Qinetiq ont dû s'en remettre aux données fournies par le fabricant. La Figure 87 montre une répartition spatiale des erreurs détectées sous irradiation au TRIUMF. Les couleurs correspondent aux différents bits de données. On constate que des amas d'erreurs (ou clusters) se sont formés. Les zooms A et B montrent respectivement un cluster de 68 et 59 erreurs.

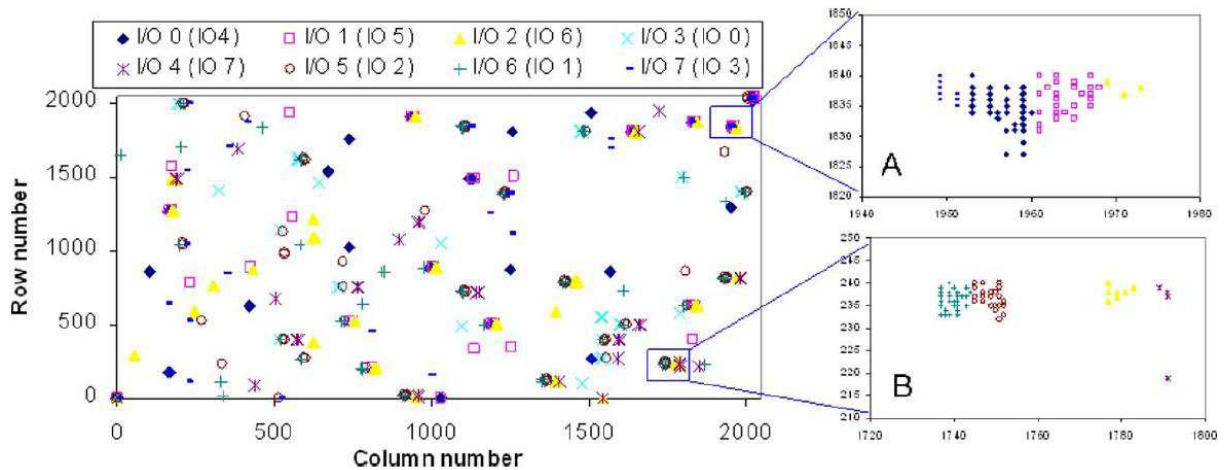


Figure 87 : Répartition spatiale des erreurs détectées lors de mesures effectuées au TRIUMF [HAN12]

Une étude de la taille de ces clusters a donc été menée par les équipes de QinetiQ. On peut lire sur la Figure 88 la part de section efficace due à chaque catégorie de cluster. Et cette répartition est détaillée pour les trois réacteurs à neutrons utilisés pour ces mesures. On constate naturellement que la portion de section efficace due aux SEU est majoritaire du fait de leur plus grand nombre. En revanche, la part importante que prennent les clusters de taille comprise entre 11 et 60 est plus surprenante. L'auteur précise que la légère différence entre les courbes peut provenir de protocoles de tests mis à jour entre les différentes campagnes.

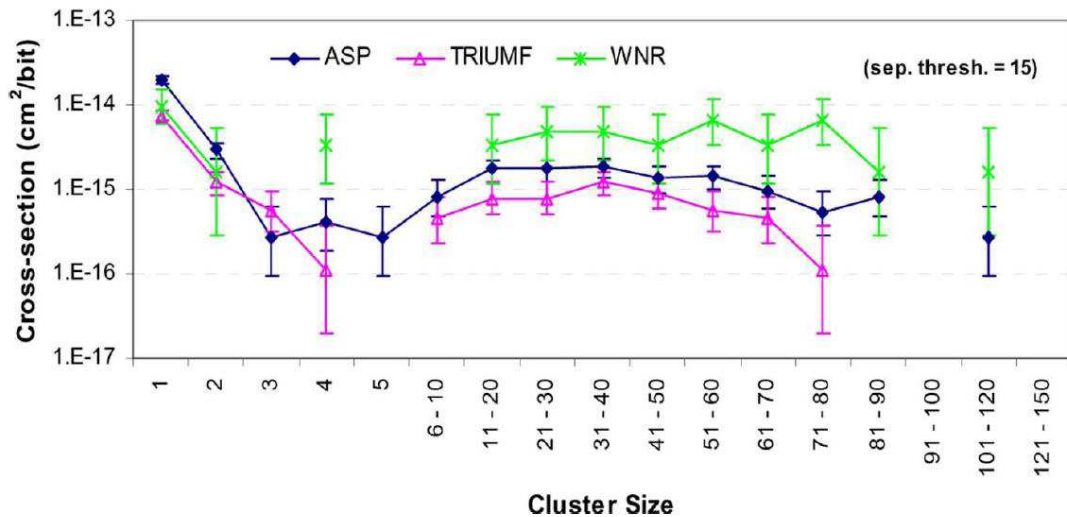


Figure 88 : Section efficace des MCU en fonction de la taille des clusters dans la SRAM CY62148E55 [HAN12]

L'objectif de notre étude de la SRAM Cypress sera donc de venir confirmer ces résultats à l'aide de l'outil laser. Le faisceau laser possède une résolution spatiale proche de la taille de la cellule mémoire, et permettra donc d'approfondir l'étude de ces phénomènes de clusters.

III.3. Analyses et tests par faisceau laser

III.3.1. Présentation du banc de test laser de la plateforme ATLAS

La plateforme ATLAS (Analyse Test LASer) du laboratoire IMS en France est l'une des trois plateformes reconnues par la norme américaine. Elle possède trois sources laser délivrant des impulsions de 1ps et 130fs. Un chemin optique conduit l'un des faisceaux jusqu'au microscope. Sur ce chemin, quelques fractions du faisceau sont prélevées pour sa caractérisation. Il est ainsi possible de connaître à tout moment l'énergie que délivre la source laser, sa polarisation optique ou sa longueur d'onde.

Le chemin optique distribue le faisceau sur plusieurs bancs de test où le composant à tester est installé sur des platines de translation. Le microscope focalise le faisceau laser sur le circuit sous test.

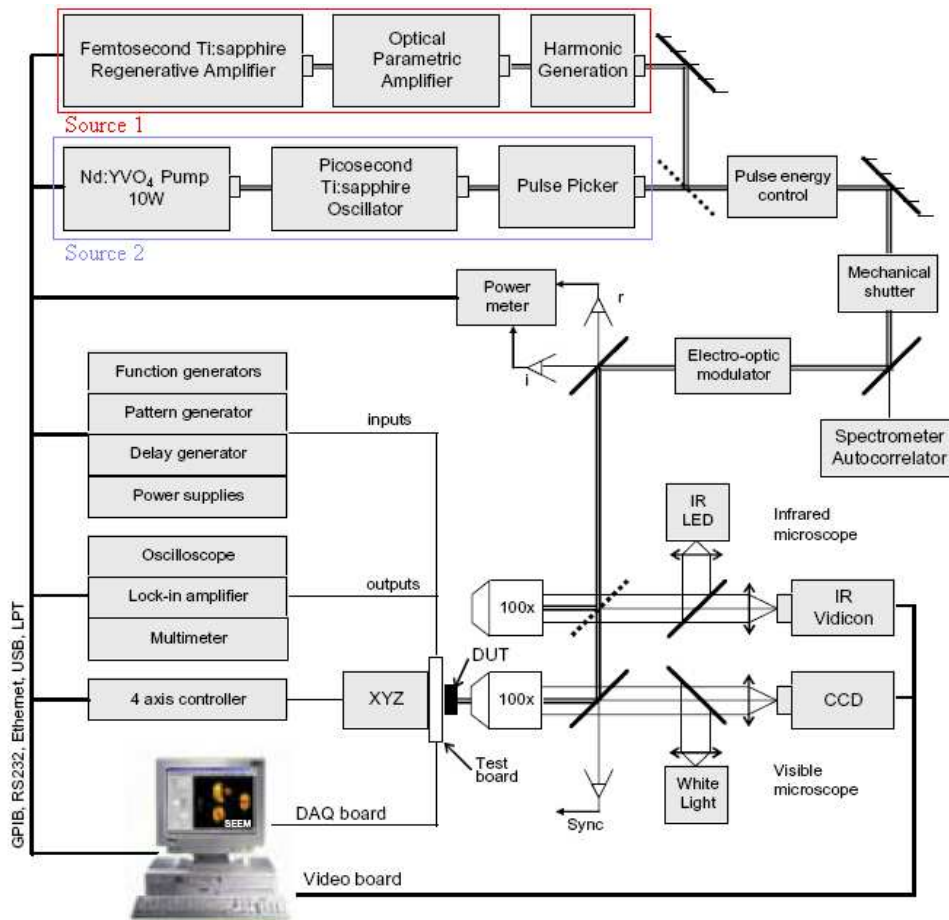


Figure 89 : Plateforme ATLAS [DOU07].

Comme on peut le voir sur la Figure 89, un logiciel dédié, appelé SEEM, centralise les données en provenance de l'ensemble de la plateforme. En effet, le PC utilisateur est interfacé avec plusieurs capteurs de types wattmètres ou oscilloscopes. Cela permet à SEEM de mémoriser, pour chaque mesure, les caractéristiques du faisceau laser. Mais là n'est pas sa seule utilité, puisqu'il est également relié au système de commande des moteurs des platines sur lesquelles les composants sous test sont montés. SEEM contrôle donc le déplacement du circuit et peut effectuer un balayage dans une zone précise.

Une caméra InGaAs permet la visualisation du circuit. En effet, la caméra est sensible aux longueurs d'ondes infrarouges proches. De ce fait, le silicium semi-transparent révèle les pistes métalliques et les interconnexions du composant électronique. Cette caméra est un atout considérable pour localiser les structures présentes dans le silicium, et ce que le layout du composant soit connu ou non. La Figure 90 montre les connexions d'un composant numérique complexe. On peut y distinguer un plan mémoire ainsi que la logique d'adressage en sa périphérie.

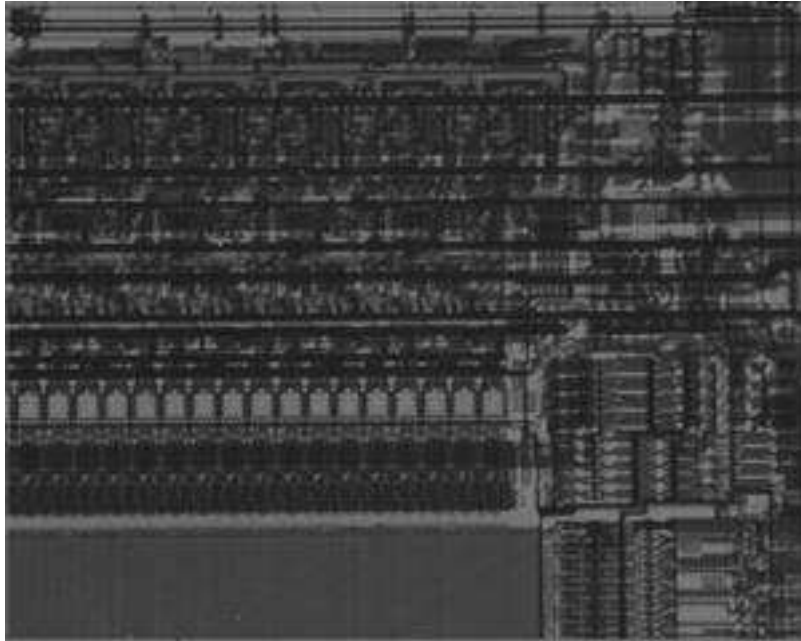


Figure 90 : Circuit électronique visualisé grâce à la camera InGaAs.

Enfin, une partie du faisceau est transmise à une photodiode lors de son injection dans l'objectif. Ce signal électrique permet de déclencher la synchronisation des instruments de mesure.

III.3.2. Plateforme de test

La plateforme de test utilisée lors de cette étude, nommée TIMES, a été développée par les équipes du CNES. Son fonctionnement est similaire à celui de la plateforme présentée dans le chapitre 2. Elle se décompose en deux cartes électroniques : une carte fille accueillant la mémoire SRAM à tester, à droite sur la Figure 91. Une carte mère embarquant un composant de type FPGA qui pilote le composant à tester et qui communique avec un PC utilisateur via un câble Ethernet RJ45.

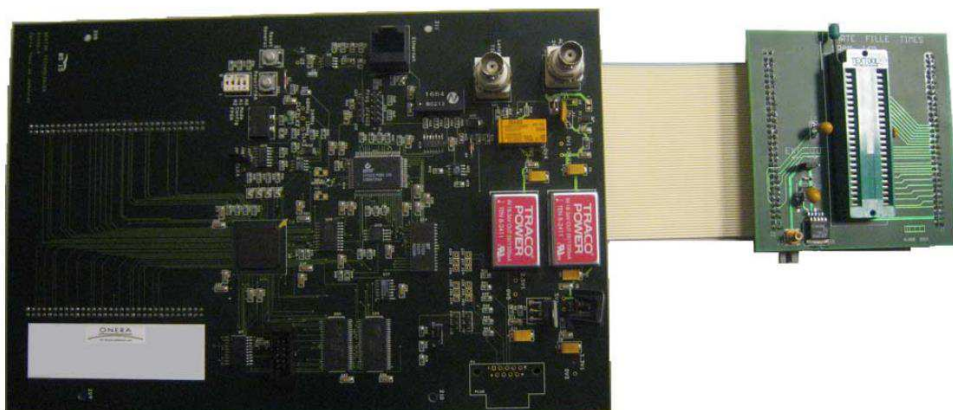


Figure 91 : Système de mesure TIMES des mémoires SRAM [ART11]

III.4. Méthode de descrambling

III.4.1. Mise en place du test laser

La première étape pour tester un composant sous faisceau laser est l'exposition de la puce. En effet, si les neutrons sont capables de traverser le boîtier des composants électroniques, ce n'est pas le cas du laser. Il est donc nécessaire d'exposer la puce, pour ce faire des attaques à l'acide sont effectuées sur le boîtier. Par ailleurs, les niveaux de métallisation, de plus en plus nombreux, reflètent le laser et empêchent une caractérisation correcte en face avant. Le test doit donc être mené en face arrière après amincissement et polissage de la puce. Une fois le boîtier ouvert et le substrat aminci, la puce ne fait ici plus que 265 μm d'épaisseur en moyenne.

En deuxième étape vient la caractérisation du laser. La taille du col est choisie la plus petite possible pour une meilleure résolution (environ 1 μm). La durée d'impulsion est définie pour imiter les temps de parcours des particules, soit quelques picosecondes. La longueur d'onde est fonction de l'absorption due aux matériaux du DUT et des phénomènes mis en jeu (absorption 1 photon dans notre cas). Et l'énergie par impulsion varie au cours des tests permettant de déterminer l'énergie seuil de déclenchement des erreurs.

La troisième étape consiste à fixer le composant sur les platines de translation. Puis le faisceau est focalisé dans la zone active du composant en se rapprochant de quelques centaines de micromètres, comme schématisé en figure 20. Cette étape de focalisation est cruciale pour que l'apport d'énergie soit optimisé dans le volume sensible.

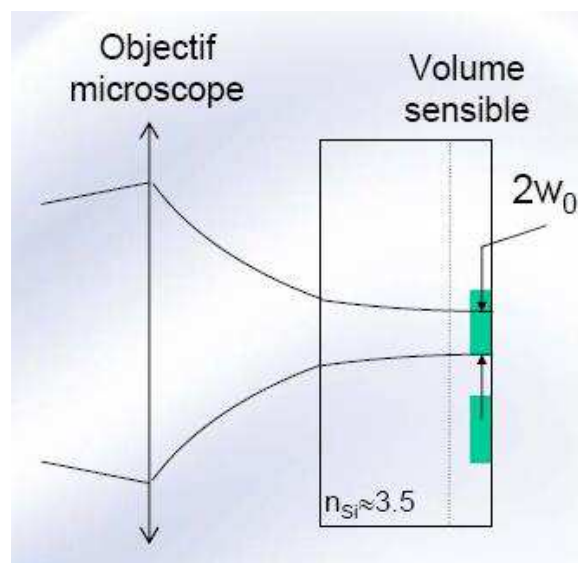


Figure 92 : Focalisation du faisceau en face arrière.

Quatrième étape : la première irradiation laser. Elle se fait à une énergie relativement basse, une dizaine de pico-joules dans le cas de la mémoire SRAM. Le but n'est pas d'engendrer immédiatement des événements, mais d'éviter d'endommager le composant avec un faisceau trop puissant. On déplace le spot laser sur la surface de la puce en le concentrant sur les cellules mémoires. Si aucune erreur n'est détectée, on augmente légèrement l'énergie. Cette augmentation progressive couplée à la recherche manuelle permet de trouver une zone sensible.

La recherche de l'énergie seuil est la cinquième étape. On focalise au mieux le laser dans l'une des zones sensibles trouvées. Le but ici est de diminuer l'énergie jusqu'à ce que plus aucunes erreurs n'apparaissent. Puis, en procédant par dichotomie, on trouve l'énergie minimum pour laquelle des événements se produisent dans le composant. On teste ensuite d'autres zones sensibles pour s'assurer de la génération d'erreurs. Remarquons que le composant peut avoir plusieurs énergies seuils différentes si des structures suffisamment diverses coexistent en son sein. En effet, dans le cas de la mémoire SRAM, l'énergie seuil d'une cellule mémoire et l'énergie seuil du système d'adressage périphérique peuvent être différentes.

III.4.2. Le Descrambling

La sixième étape consiste à scanner le composant. Cela peut se faire manuellement dans un premier temps, ou automatiquement grâce au logiciel SEEM. L'essentiel est de pouvoir à tout moment associer la position du laser à l'occurrence d'une ou plusieurs erreurs. L'énergie laser est réglée à la valeur de l'énergie seuil. En effet, augmenter l'énergie risquerait d'engendrer plus d'erreurs que nécessaire et compliquerait le descrambling, dans le pire des cas cela pourrait endommager le composant.

La septième étape nécessite l'utilisation d'un tableur. L'adresse logique des erreurs y est consignée en concordance avec la position du spot laser. Il est alors possible par une suite de déductions et d'éliminations de tracer la carte de l'adressage physique de la mémoire. On commence par repérer les symétries visibles sur la puce, pour isoler un motif élémentaire. Le scan d'un de ces motifs élémentaires permettra d'identifier quels sont les bits de mots ou d'adresse qui sont fixés dans ce motif élémentaire. Par exemple, seul le quartet de poids fort peut comporter des erreurs. Ou encore, seul 2 ou 4 bits d'adresse peuvent varier au cœur de ce premier motif élémentaire.

Puis on scan un motif élémentaire différent, choisi pour sa position symétrique sur la puce par rapport au premier, une symétrie axiale ou centrale. Une fois les caractéristiques de bits de mots et de bits d'adresse de ce motif élémentaire trouvée, on continue à scanner d'autres motifs positionnés symétriquement par rapport aux précédents. A partir de 4 motifs élémentaires, l'organisation de la mémoire commence à se dessiner, scanner d'autres motifs comme proposer en Figure 93 si nécessaire. Tester des motifs situés aux bords de la puce peut engendrer des effets particuliers non reproductibles sur l'ensemble de la puce.

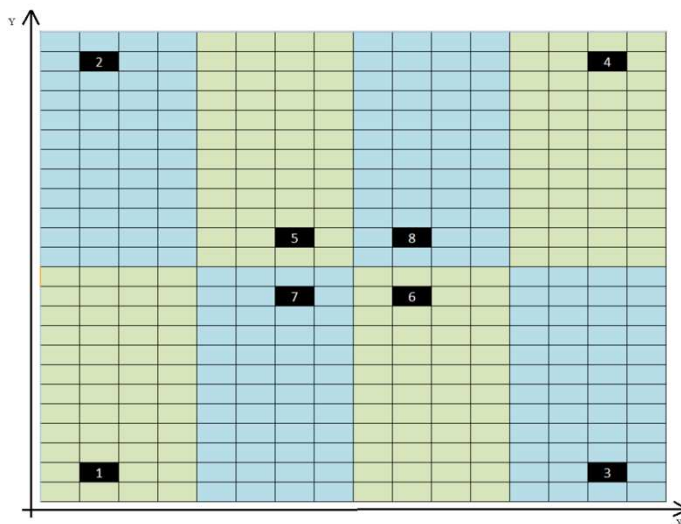


Figure 93: Exemple d'organisation de plan mémoire physique.

Si suffisamment de motifs élémentaires de la mémoire ont été scannés pour révéler une hypothèse d'organisation logique, des tirs arbitraires confirmeront cette organisation.

III.5. Résultats du descrambling

III.5.1. Recherche d'énergie seuil sur les échantillons non-fonctionnels

Trois échantillons sont à notre disposition pour ces mesures. Deux d'entre eux sont partiellement opérationnels, nous les nommerons S1 et S2. Le troisième est totalement fonctionnel, il sera appelé S3. Une première recherche d'erreurs va donc être effectuée sur l'échantillon S1. Le pattern d'écriture utilisé sera un checkerboard, soit donc : 0x5555.

Après calibration de l'énergie laser, un premier tir est effectué à une énergie de 10 pJ et avec un taux de répétition de 10 Hz. Un cycle de lecture complet de la mémoire nécessite 268 ms pour s'effectuer. Cette fréquence de tir peut donc engendrer une accumulation d'erreur due à de multiples tirs durant un unique cycle de lecture. Il sera donc nécessaire d'en

tenir compte lors de l'analyse des résultats. L'énergie est choisie volontairement basse pour ne pas occasionner une détérioration du composant.

De précédents tests effectués sur l'échantillon S1 ont laissés certains bits bloqués. De ce fait, les premières erreurs détectées sont systématiques et elles n'ont pas de liens de causalité avec la source laser. On augmente donc progressivement l'énergie tout en déplaçant lentement le faisceau sur la puce. Une zone sensible est trouvée avec une énergie laser de 86 pJ. Tout en restant focalisé sur cette zone, nous réduisons l'énergie jusqu'à déterminer l'énergie seuil d'apparition des erreurs. Cette énergie seuil vaut : 70 ± 3 pJ.

Les erreurs systématiques présentent sur l'échantillon S1 nous obligent à changer de composant et à utiliser l'échantillon S3 pour obtenir des mesures probantes. Nous vérifions que l'énergie seuil et les zones sensibles de S1 et S3 sont identiques. Puis l'énergie laser est fixée à 73 pJ pour débiter le descrambling.

III.5.2.Descrambling de l'échantillon fonctionnel

Les rapports d'erreurs envoyés par la plateforme de test sont enregistrés sous forme de fichiers texte. La Figure 94 se présente un extrait des résultats bruts :

cycle	adresse (0x)	type	position erreur DATA
221	5156F	SEU	10
221	51968	SEU	10
221	53968	SEU	20
[...]			
223	39869	SEU	80
223	3986B	SEU	80
223	3986D	SEU	80
223	39C68	SEU	80
223	3D86B	SEU	80
[...]			
227	75B28	MBU	30
[...]			
227	79B28	MBU	30

Figure 94 : Extrait de résultat après détection d'erreur dans la SRAM

On peut lire dans la Figure 94 les différentes informations disponibles lors d'un rapport d'erreur. Tout d'abord le cycle de lecture durant lequel la ou les erreur(s) sont apparue(s). La seconde colonne donne le numéro de l'adresse mémoire corrompue en hexadécimal. La troisième colonne précise si l'erreur détectée est unique (SEU) ou multiple

dans le mot (MBU). Et enfin la dernière colonne indique quel bit du mot est erroné. Par exemple, à la neuvième ligne de la Figure 94, on peut lire :

227 75B28 MBU 30

Ce qui signifie les bits en position 4 et 5, du mot stocké à l'adresse *0111 0101 1011 0010 1000*, étaient corrompus lors du 227^{ème} cycle de lecture.

Dans un premier temps on constate qu'un grand nombre d'erreurs apparaît lors d'un cycle de lecture. Ce phénomène ne peut être imputé uniquement à l'accumulation des erreurs dues à la fréquence de tirage et à la diffusion des porteurs libres dans le silicium.

La caméra InGaAs permet de reconnaître les motifs globaux de la mémoire. Celle-ci s'organise en sous-blocs mesurant chacun 39 μm sur 125 μm . La Figure 95 montre le découpage du plan mémoire physique de la mémoire. Celui-ci se décompose en huit régions, elles mêmes découpées en 32 fois 16 sous-blocs. La mémoire possède donc 32 sous-blocs dans sa largeur et 128 sous-blocs dans sa longueur. Une origine est attribuée arbitrairement au sud-ouest de la puce, le sous-bloc {3 ; 2} a été noirci sur la Figure 95.

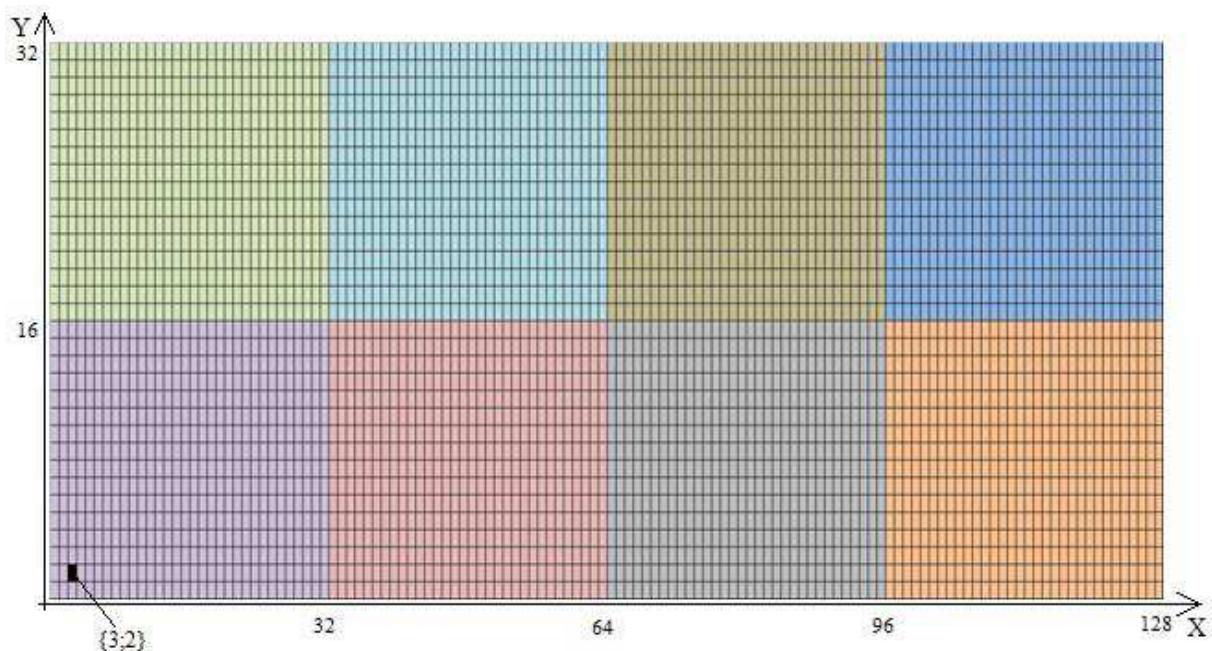


Figure 95 : Découpage du plan mémoire physique de la SRAM.

Le descrambling total du plan mémoire peut s'avérer long et fastidieux. Les sous-blocs étant les motifs élémentaires dupliqués par symétrie lors de la conception, nous faisons tout

d'abord le descrambling précis d'un sous-bloc. L'analyse de ce sous-bloc permettra de mieux comprendre l'organisation logique du plan mémoire.

Un premier constat s'impose : l'énergie seuil sur les bords des sous-blocs est supérieure à celle au centre de ceux-ci. Pour éviter cet effet de bord très présent en extrémité de plan mémoire, nous ne scannons pas les sous-blocs les plus externes. Le descrambling commence donc avec le sous-bloc {2 ; 2} visible sur la Figure 96.

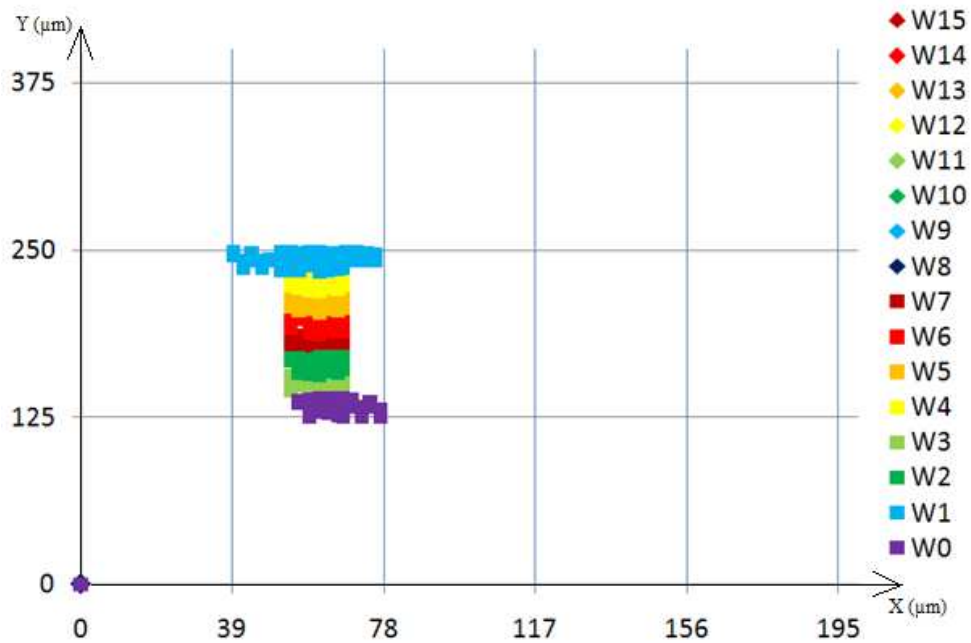


Figure 96 : Organisation de la mémoire SRAM dans le sous-bloc {2 ; 2}

Sur la Figure 96, on peut voir que seul l'octet de poids faible des mots a généré des erreurs. Par ailleurs, une première distribution des bits composant les mots apparaît. Ils ne sont pas ordonnés par ordre logique, mais avec un interleaving pour réduire le taux de MBU dans la mémoire.



Figure 97 : Organisation de la mémoire dans la zone Nord-ouest de la mémoire.

Un second scan du sous-bloc {2 ; 31} permet de trouver la même distribution des bits composants les mots. Ce sous-bloc est visible en haut à gauche de la Figure 97. Les scans suivants permettent d'affirmer que les octets de poids faible des mots sont tous situés dans la moitié Ouest du plan mémoire et que les octets de poids fort sont eux situés dans la moitié Est.

La figure 24 représente l'ensemble du plan mémoire et résume la totalité des points scannés lors des différentes étapes du descrambling. On y retrouve plusieurs sous-blocs intéressants et entièrement scannés comme : {2 ; 2}, {1 ; 18}, {2 ; 31} ou encore {127 ; 32}. Un scan manuel traversant la mémoire de part en part de manière oblique est finalement réalisé. Le but de ce dernier scan est de vérifier que les associations d'adressage logique et de position physique proposées sont bien correctes. Ce scan manuel, qui prend une forme de « V », se distingue aisément sur la Figure 98. D'autres représentations du plan mémoire après descrambling sont disponibles en annexe.

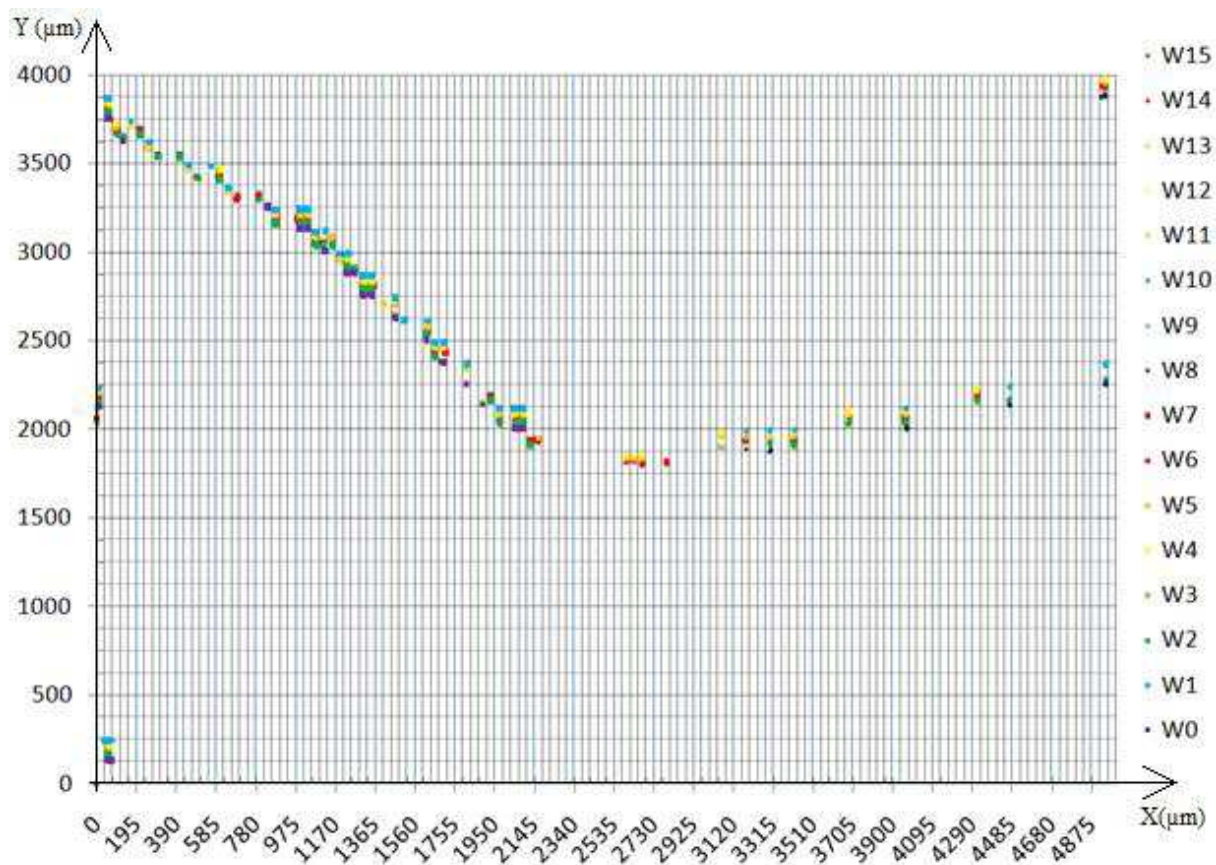


Figure 98 : Organisation de la mémoire sur l'ensemble du plan physique.

III.5.3. Statistiques des différents profils d'erreurs

Certaines statistiques peuvent s'avérer révélatrices des points forts et des points faibles d'un composant. Une première information utile est le nombre d'erreurs possibles dans un même mot, aussi appelé la multiplicité du MBU. En effet, selon le nombre d'erreurs que peut contenir un MBU et son taux d'occurrence, il sera possible de définir le code de détection d'erreurs le plus adapté.

A partir de plusieurs points de mesure pris en différents endroits de la puce, on dénombre les erreurs par mot corrompu. La Figure 99 montre le nombre moyen d'erreurs par mot erroné. SEU signifie qu'une seule erreur était présente dans le mot. 2BU signifie qu'un MBU de multiplicité 2 a été détecté, 3BU correspond à un MBU de multiplicité 3 et ainsi de suite. Précisons qu'aucun MBU de multiplicité égale ou supérieure à 7 n'a été trouvé durant les mesures. Ces résultats sont en accord avec ceux trouvés dans [HAN12].

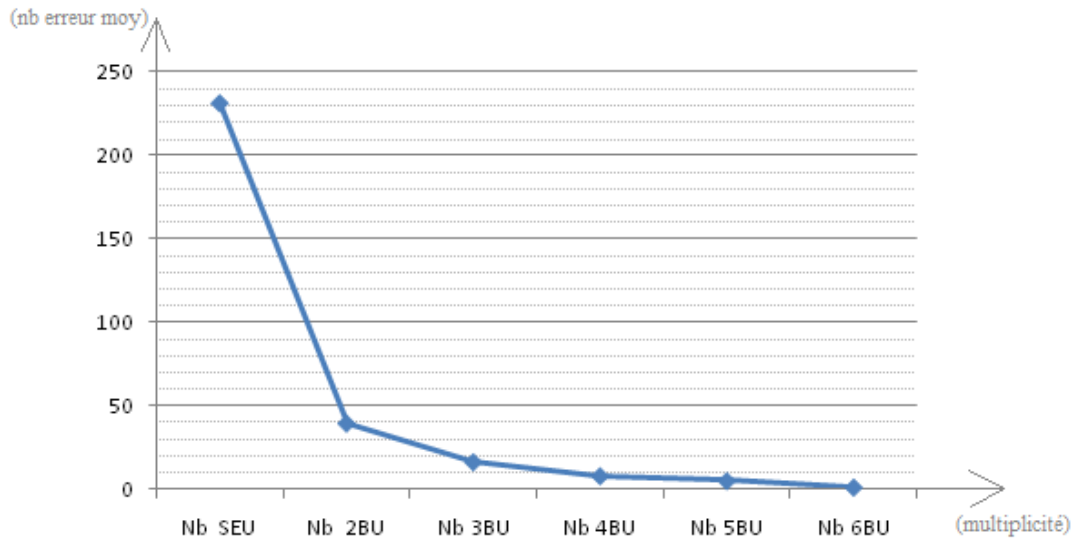


Figure 99 : Moyenne de multiplicité des MBU par mot

La Figure 100 montre la moyenne relative du nombre d'erreurs par mot erroné. Cette figure révèle donc que 53% des erreurs sont singulières et pourront être corrigées par la plupart des codes de détection et de correction (code EDC) classiques. En revanche, 19% des erreurs détectées apparaissent par paires. Celle-ci seront alors certainement détectées par le code EDC en place, mais ne pourront pas être corrigées. Enfin, les MBU de multiplicité 3 et plus représentent plus de 28% des erreurs. Ces erreurs sont trop complexes pour des codes EDC standard et sont donc susceptibles de corrompre l'ensemble du système relié à la mémoire SRAM. Remarquons que la périphérie d'adressage de la mémoire SRAM n'est pas responsable de ces erreurs multiples, l'énergie laser étant apportée uniquement dans les cellules mémoires.

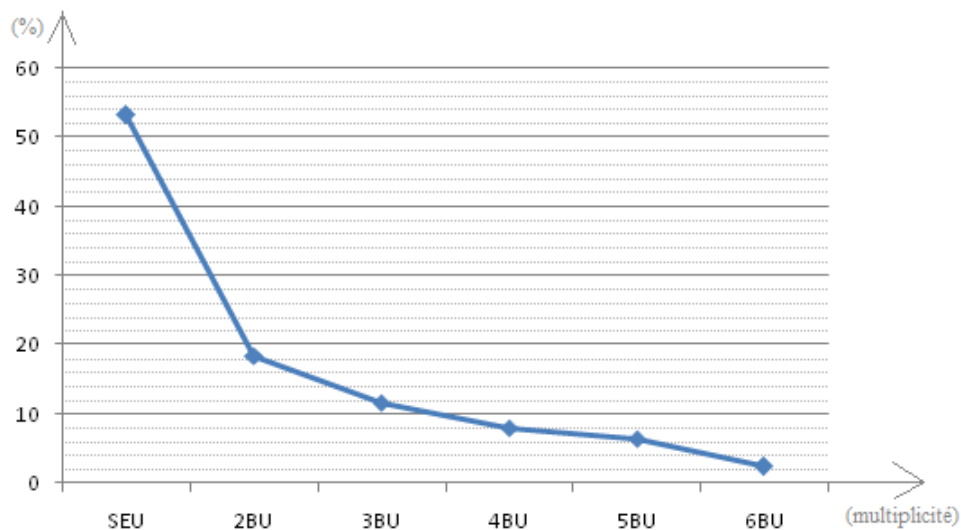


Figure 100 : Répartition moyenne et normalisée des erreurs selon leur multiplicité

Une seconde statistique qui peut venir éclairer les concepteurs sur le durcissement de leurs mémoires intégrées est la taille et le nombre des regroupements d'erreurs (cluster). On ne s'intéresse plus désormais aux erreurs générées dans le même mot, mais aux erreurs détectées durant le même cycle de lecture : des MCU.

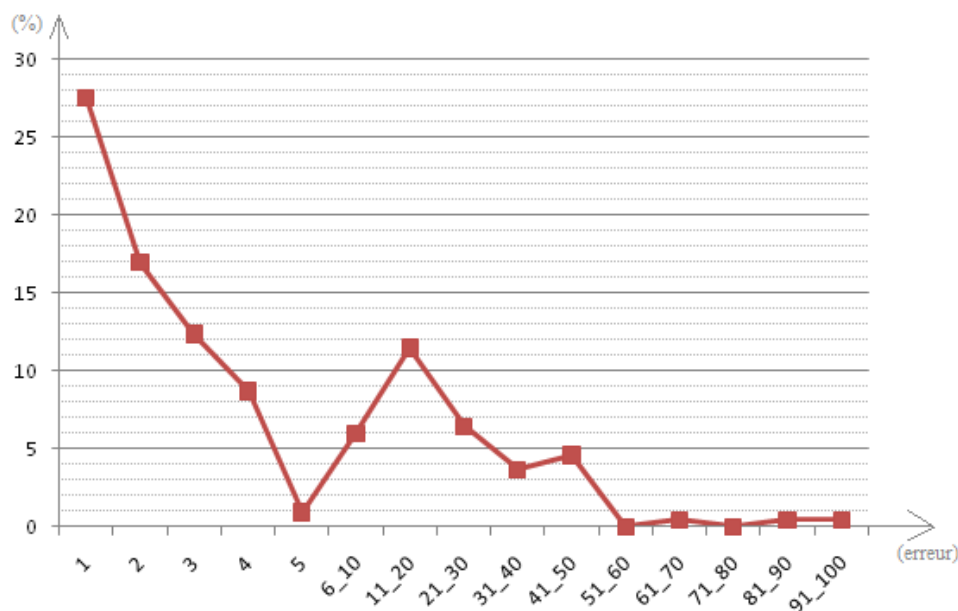


Figure 101 : Nombre moyen normalisé de cluster d'erreur répartis selon leur taille

La Figure 101 montre le nombre moyen normalisé de clusters répartis en fonction de leur taille. On remarque la majorité d'erreurs isolées et de petits clusters de taille 2 et 3. En revanche, il est plus surprenant de constater la part importante que représentent des clusters de taille 6 à 50. Une fois encore, ces résultats confirment ceux de [HAN12]. De plus amples investigations seraient nécessaires pour comprendre la raison de ce phénomène. Mais il est probable que ces grappes d'erreur soient générées lors de perturbations locales sur l'alimentation de la mémoire. La taille et la forme de ces grappes sont similaires à celles de micro-latch-up trouvées dans des SRAM de même génération dans [PUC06][TAU07].

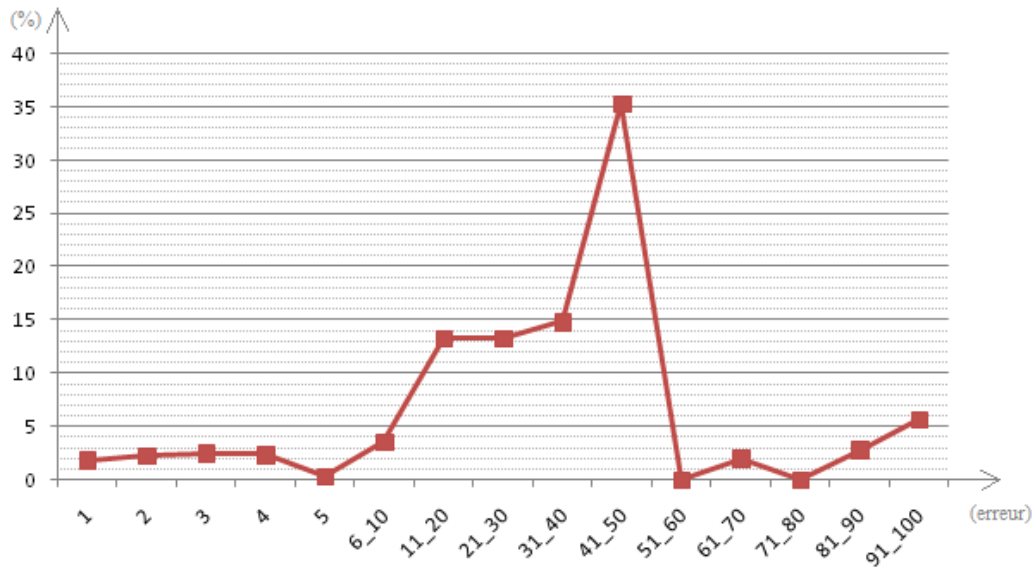


Figure 102 : Taux relatif d'erreur générée par taille de cluster

La Figure 102 montre le taux relatif d'erreurs générées par chaque taille de cluster. Elle est révélatrice de la répartition des erreurs. En effet, on constate que 35% des erreurs générées appartiennent à un cluster de taille comprise entre 41 et 50 erreurs. De manière générale, la majorité des erreurs (76%) appartiennent à un cluster dont la taille est comprise entre 11 et 50. Il est donc envisageable de réduire le taux de MBU. En effet, si la séparation entre deux bits du même mot est de plus de 50 cellules, la probabilité d'occurrence d'un MBU se retrouvera fortement diminuée.

III.6. Conclusion

Ce chapitre a présenté les caractéristiques techniques et les tests aux radiations menées sur la SRAM CY62148E55 de Cypress. Dans le cadre d'une collaboration avec les membres de l'ONERA, une étude complète de cette mémoire a été effectuée à l'aide de la plateforme laser. Un descrambling complet de la SRAM a été présenté. Par ailleurs, plusieurs résultats statistiques sur les MCU et MBU détectés confirment la présence de grappes d'erreur trouvées lors d'irradiation neutron. Ces événements multiples représentent une menace non-négligeable au niveau système et doivent être modélisés plus en avant pour définir une stratégie de durcissement optimale.

Conclusion et Perspectives

L'environnement radiatif naturel agresse les composants électroniques numériques embarqués dans les applications avioniques. Les particules présentes dans l'atmosphère aux altitudes avioniques sont susceptibles d'induire des fautes, ou même des destructions, dans les composants. Il est alors indispensable de déterminer le niveau de robustesse des systèmes électroniques face aux radiations. Et, le cas échéant, développer des solutions complémentaires de protection pour assurer la sécurité des biens et des personnes en vol. Compte tenu des contraintes inhérentes aux tests en accélérateur de particules, cette étude s'est focalisée sur les tests sous faisceau laser pulsé. Des plateformes et des protocoles de tests ont été conçus pour un PowerPC et des mémoires fortement intégrées, puis testés dans le cas des mémoires.

Le chapitre un a présenté le contexte de notre étude. La composition des flux de particules des différents environnements radiatifs naturels y a été décrite. L'interaction particules-silicium, ainsi que l'interaction laser/silicium, ont été détaillées. Une liste non-exhaustive, mais néanmoins explicite, des équipements de tests a été dressée, tels que les réacteurs à neutron et les plateformes laser. Un état de l'art des erreurs et défaillances présentes dans les composants numériques intégrés a été présenté. Enfin, plusieurs exemples d'outils de simulation des effets des radiations ont été montrés.

Le chapitre deux a exposé la conception des plateformes et méthodes de test. Une présentation technique du PowerPC, de la mémoire dynamique et de la mémoire magnétique a été faite. Une explication de la conception hardware de la plateforme de test a été donnée. Elle couvre le détail de la carte mère et des cartes filles dédiées à chaque composant à évaluer. Le développement software comporte l'interface utilisateur, mais se concentre essentiellement sur les différents programmes de pilotages des composants sous test. Chaque programme correspond à un protocole de test pour un composant précis selon les protocoles qui ont été proposés. Les PowerPC, en particulier, s'est vu attribuer une large gamme de programmes de test en vue d'évaluer indépendamment chacun des sous-blocs qui le composent. Plusieurs simulations de conformité ont été effectuées pour s'assurer du bon fonctionnement de ces programmes.

Le troisième chapitre est consacré à l'évaluation d'une mémoire statique. En effet, s'il a été possible d'implémenter certains des programmes développés dans le chapitre deux, une contrainte matérielle inattendue nous a forcé à orienter l'étude vers une autre plateforme. Une nouvelle plateforme de test a donc été présentée, ainsi que les caractéristiques techniques de la

mémoire statique. Cette mémoire a été testée sous faisceau laser. Les résultats donnés dans ce chapitre montrent qu'elle est fortement sensible aux erreurs logiques multiples. Il ressort que des patterns d'erreurs multiples caractéristiques sont récurrents dans cette mémoire. Ces grappes d'erreurs sont dues à l'architecture d'adressage interne de la mémoire.

Parmi les différentes perspectives qu'offre cette étude, nous avons donc proposé des modifications permettant le durcissement de la mémoire statique. Il serait alors intéressant d'évaluer dans quelle mesure ces modifications peuvent amoindrir la sensibilité de la mémoire. Les autres suites à donner à ce travail sont l'évaluation sous faisceau laser du PowerPC et des mémoires qui l'accompagnent. Cette première campagne de test donnerait lieu à plusieurs recommandations matérielles et logicielles pour améliorer la robustesse de ces composants. Une seconde campagne de test laser permettrait de juger de l'efficacité de ces modifications. A termes, une campagne de test sous flux de neutrons pourra évaluer si le système complet est conforme à la norme avionique JESD89A. De plus, cela permettra une comparaison des résultats laser et particules, l'analogie entre ces deux techniques restant un des défis à relever dans le domaine des radiations en électronique.

Références Bibliographiques

- [ADA92] E. L. Petersen, J. C. Pickel, J. H. Adams et E. C. Smith, "Rate Prediction for Single Event Effects" IEEE Transaction in Nuclear Science, 39, p. 1577, (1992)
- [ALL08] G. R. Allen "Compendium of Test Results of Single Event Effects Conducted by the Jet Propulsion Laboratory", IEEE Radiation Effects Data Workshop, p. 21, (2008)
- [ARM72] T. W. Armstrong et K. C. Chandler "HETC Monte-Carlo Nucleon Meson Transport Code" Nuclear Science Engineering, vol. 49, p. 110, (1972)
- [ART11] L. Artolla, R. Velazco, G. Hubert et al. « In Flight SEU/MCU Sensitivity of Comercial Nanometric SRAMS : Operational Estimations". IEEE Transactions on Nuclear Science, VOL. 58, NO. 6, p 2644-3651, 2011.
- [AUT07] J. L. Autran « Recherche & Développement autour de la plateforme européenne ASTEP», ASPROM, (2007)
- [BAG07] J. Baggio "Les tests de fiabilité à l'environnement terrestre", ASPROM, (2007)
- [BAR97] J. Barth « Modelling Space Radiation Environment » IEEE NSREC Short course, (1997)
- [BEZ04] F. Bezerra "Test Facilities and domain of application", Space radiation and its effects on spacecraft components and systems, p. 243, (2004)
- [BOU11] Bougerol A. ; Miller F. ; Guibbau, N. ; Leveugle R. ; Carriere T. ; Buard N. « Experimental Demonstration of Pattern Influence on DRAM SEU and SEFI Radiation Sensitivities » IEEE Transactions on Nuclear Science, vol. 58, No. 3, p. 1032-1039, (2011)
- [BRY66] Bryant, Floyd R.; Fales, Carl L.; Breckenridge, Roger A., "Proton Irradiation Effects in Mos and Junction Field-Effect Transistors and Integrated Circuits," *Physics of Failure in Electronics, 1966. Fifth Annual Symposium on the* , vol., no., pp.349,372, Nov. 1966
- [CHE96] J. F. Chemin "Eléments de Physique Nucléaire en vue des applications", Cours de DEA d'Instrumentation et Mesures, Université de Bordeaux 1, (1996-1997)
- [CYP12] Cypress, Fiche technique de la SRAM CY62148ELL-55SXI, <http://www.cypress.com/?docID=34928>
- [DOU07] A. Douin «Contribution à la Modélisation et au Développement de Techniques de Test et d'Analyse Dynamiques de Circuits Intégrés par Faisceau Laser Pulsé », Université de Bordeaux I, (2007)

- [EQU88] B. Equer “Les détecteurs à semi-conducteur : cristal aux couches minces”, dans “Instrumentation en Physique Nucléaire et en Physique des Particules”, Les éditions de Physique, (1988)
- [ESA1] <http://space-env.esa.int/ProjectSupport/ISO/CREME96.html>
- [FAR10] I. Faraji, M. Didehban, H. R. Zarandi. “Analysis of Transient faults on a MIPS-based Dual-Core Processor”. Availability, Reliability, and Security, 2010. ARES '10 International Conference on, p 125-130.
- [FER04] V. Ferlet-Cavrois « Comportement des technologies SOI sous irradiation », (2004)
- [FRE09] Freescale, Spécificités hardwares du PowerPC MPC8610, http://cache.freescale.com/files/32bit/doc/data_sheet/MPC8610EC.pdf?fsrch=1&WT_TYPE=Data%20Sheets&WT_VENDOR=FREESCALE&WT_FILE_FORMAT=pdf&WT_ASSET=Documentation&sr=1
- [FRE10] Freescale, Fiche technique de la MRAM EV2A16A, <http://www.msc-ge.com:8888/edi-en/3843-www/version/3/part/12/data/EV2A16A.pdf?branch=main&language=en>
- [FRE10-2] Freescale, Manuel de référence du PowerPC MPC8610, http://cache.freescale.com/files/32bit/doc/ref_manual/MPC8610RM.pdf?fsrch=1&WT_TYPE=Reference%20Manuals&WT_VENDOR=FREESCALE&WT_FILE_FORMAT=pdf&WT_ASSET=Documentation&sr=4
- [GER93] J. Gervais, « Mesure du coefficient d’absorption optique dans le silicium multi-cristallin de type P pour photopiles solaires », Journal de Physique III, 3, p. 1489, 1993.
- [GUE12] S. M. Guertin, G. R. Allen, D. J. Sheldon « Programmatic Impact of SDRAM SEFI », IEEE Radiation Effect Data Workshop, 2012, p. 87.
- [GUI13] N. Guibbaud, F. Miller, F. Molière et A. Bourgerol. « New Combined Approach for the Evaluation of the Soft-Errors of Complex ICs.” IEEE Transactions on Nuclear Science, 2013
- [HAN11] A. Hands, P. Morris, C. Dyer, K. Ryden, P. Truscott. “Single Event Effects in Power MOSFETs and SRAMs Due to 3 MeV, 14 MeV and Fission Neutrons”. IEEE Transactions on Nuclear Science, VOL. 58, NO. 3, p 952-959, 2011.
- [HAN12] A. Hands, P. Morris, K. Ryden, C. Dyer. “Large-Scale Multiple Cell Upsets in 90 nm Commercial SRAMs During Neutron Irradiation”. IEEE Transactions on Nuclear Science, VOL. 59, NO. 6, p 2824-2830, 2012.

- [HIR13] Rapport Hirex sur l'usinage de 3 mémoires SDRAM MT47H32M16, 2013.
- [HEW78] J. Hewitt, L. Hughes, J. W. Baum, A. V. Kuehner, J. B. McCaslin, A. Rindi, A.R.Smith, L. D. Stephens, R. H. Thomas, R.V. Griffith et C. G. Welles "Ames Collaborative Study of Cosmic Ray Neutrons : Mid-Latitude Flights", Health Physics, 34, p.375, (1978)
- [HSI81] C. M. Hsieh, P. C. Murley, R. R. O'Brien, "A field-funneling effect on the collection of alpha-particle-generated carriers in silicon devices" IEEE electron Devices, p. 103, (1981)
- [IRO06] F. Irom, F. Farmanesh et C. K. Kouba "Single Event Upset and Scaling Trends in New Generation of the Commercial SOI PowerPC Microprocessors", IEEE Transactions on Nuclear Science, vol. 53, No. 6, p. 3563-3568, (2006)
- [KAN09] H. Kanbara, H. Okuhata, M. Ise, R. Kinjo et Y. Toda. "Probability of Calculation Failures by Soft Errors in an Embedded Processor Core". ASIC, 2009. ASICON '09. IEEE 8th International Conference on, p 601-604.
- [KAT09] R. R. Katti et al. "Heavy-Ion and Total Ionizing Dose Performance of a 1Mbit Magnetoresistive Random Access Memory", IEEE Radiation Effects Data Workshop, p. 103, (2009)
- [LAM06] D. Lambert "Analyse par simulation Monte-Carlo de la sensibilité aux aléas logiques des mémoires SRAM soumises à un environnement protonique spatial ou neutronique terrestre », Université de Montpellier II, (2006)
- [Lem10] M. Lemke, "DDRAM Controler Core", Source: http://opencores.org/project.ddd_sdr
- [LBN00] Lawrence Berkeley National Laboratory, Etats-Unis, <http://user88.lbl.gov/>
- [LEP54] J. V. Lepore et R. N. Stuart, Physical review, vol. 94, p. 1724, (1954)
- [LUU09] A Luu " Méthodologie de prédiction des effets destructifs dus à l'environnement radiatif naturel sur les MOSFETs et IGBTs de puissance", (2009)
- [MEY74] P. Meyer, R. Ramaty, W. R. Webber, "Cosmic Rays, Astronomy with Energetic Particles", Physics Today, No. 10, 27, p. 23, (1974)
- [MIC04] Micron, Fiche technique de la SDRAM MT47H32M16, <http://download.micron.com/pdf/datasheets/dram/ddr2/512MbDDR2.pdf>
- [NOR93a] A. Taber et E. Normand, "Single Event Upset in Avionics", IEEE Transaction in Nuclear Science, 40, p. 120, (1993)

- [NOR93b] E. Normand et T. J. Baker “Altitude and Latitude Variations in Avionics SEU and Atmospheric Neutron Flux” IEEE Transaction in Nuclear Science, 40, p. 1484, (1993)
- [NOR96] E. Normand “Single Event Effects in Avionics”, Boeing Defence & Space Group, (1994)
- [NOR06] E. Normand, K. Vranish, A. Sheets, M. Stitt et R. Kim “Quantifying the Double-Sided Neutron SEU Threat, from Low Energy (Thermal) and High Energy (>10 MeV) Neutrons”, IEEE Transaction in Nuclear Science, Vol. 53, p. 3587, (2006)
- [NUN08] T. Nuns et al. “Evaluation of Recent Technologies Non-volatile RAM”, IEEE Transactions on Nuclear Science, vol. 55, No. 4, p. 1982-1991, (2008)
- [NYM09] R. A. Nymmik et al. “A Method of Calculation of Vertical Cutoff Rigidity in the Geomagnetic Field”, Cosmic Research, Vol. 47, No. 3, p. 191-197, (2009)
- [OBR08] M. V. O’Bryan et al. “Compendium of Recent Single Event Effects Results for Candidate Spacecraft Electronics for NASA”, IEEE Radiation Effects Data Workshop, p. 11, (2008)
- [OBR09] M. V. O’Bryan et al. “Single Event Effects Compendium of Candidate Spacecraft Electronics for NASA”, IEEE Radiation Effects Data Workshop, p.15,(2009)
- [PER09] P. Peronnard, R. Velazco, G. Hubert. “Real-Life SEU Experiments on 90 nm SRAMs in Atmospheric Environment : Measures Versus Predictions done by means of MUSCA SEP Platform”. IEEE Transactions on Nuclear Science, VOL. 56, NO. 6, p 3450-3455, 2009.
- [PIC78] J. C. Pickel, J. T. Blanford “Cosmic Ray Induced Errors in CMOS Memory Cells”, IEEE Transaction in Nuclear Science, 25, p. 1166, (1978)
- [POU00] V. Pouget “Simulation expérimentale par impulsion laser ultra-courtes des effets des radiations ionisantes sur les circuits intégrés », (2000)
- [PUC06] H. Puchner, R. Kapre, S. Sharifzadeh, J. Majjiga, R. Chao, D. Radaelli, and S. Wong, “Elimination of single event latchup in 90 nm SRAM technologies,” in Proc. 44th Annu. IEEE Int. Reliability Phys. Symp., 2006, pp. 721–722.
- [TAU07] J. Tausch, D. Sleeter, D. Radaelli, and H. Puchner, “Neutron induced micro SEL events in COTS SRAM devices,” in IEEE Radiation Effects Data Workshop Rec., 2007, pp. 185–188.

- [RAY70] J. Raynal «Opticalt Modele and Coupled Channel Calculation in Nuclear Physics», International Atomic Agency Report IAEI SMR-9/8, (1970)
- [REB03] M. Rebaudengo, M. Sonza Reorda, M. Violante. “An Accurate Analysis of the Effects of Soft Errors in the Instruction and Data Caches of a Pipelined Microprocessor”. Design, Automation and Test in Europe Conference and Exhibition, 2003, p 602-607.
- [SRI00] SRIM2000, Stopping and Ranges of Ions in Matter, logiciel gratuit, <http://www.srim.org/index.htm> , (2000)
- [SS84] D. F. Smart et M. A. Shea, « Cosmic Ray Exposure Factors for Shuttle Altitudes Derived from Calculated Cutoff Rigidities », Adv. Space Res., 4, No. 10, 161, (1984)
- [STA95] W. J. Stapor “Single Event Effects Qualification” IEEE NSREC Short course, (1995)
- [STO30] C. Störmer, “Periodische Elektronenbahnen im Felde eines Elementarmagneten und ihre Anwendung auf Brüches Modellversuche und auf Eschenhagens Elementarwellen des Erdmagnetismus” Z. Astrophys., Vol. 1, pp. 237-274, (1930)
- [TAK07] W. Takashi « Cosmic Ray Neutron Data in 1953-2006 », world Data Center for Cosmic Ray, (2007)
- [YOU77] P. G. Young et E. D. Arthur “GNASH : A preequilibrium, Statistical Nuclear Model Code for Calculation of Cross Section and Emission Spectra”, Los Alamos National Laboratory report LA-6947, (1977)
- [WEI05]. Wei Zhang. « Computing cache vulnerability to transient errors and its implication”. Defect and Fault Tolerance in VLSI Systems, 2005. DFT 2005. 20th IEEE International Symposium on, p 427-435.
- [WEL07] R. A. Weller “Overview: RADSAFE & MRED” Institute of Space and Defence Electronics, Vanderbilt University, (2007)
- [WIL91] J.W. Wilson et al. “Radiation Safety in the Earth’s Atmosphere”, in NASA RP-1257, Transport Mehds and Interaction for Space Radiations, p. 519, (1991)
- [WRO03] F. Wrobel “Elaboration d’une base de donnée des particules responsables des dysfonctionnements dans les composants électroniques exposés à des flux de protons et de neutrons. Application au calcul des taux d’erreurs dans les mémoires SRAM en environnement radiatif naturel. » Université de Montpellier II, (2003)

- [WRO08] S. Rocheman, F. Wrobel, F. Saigné, N. Buard “Neutron Induced Energy Deposition in a Silicon Diode” IEEE Transaction in Nuclear Science, 55, p.3146, (2008)
- [ZAJ99] V. Zajic, P. Thieberger “Heavy Ion Linear Energy Transfer Measurements during Single Event Upset testing of Electronic devices” IEEE Transaction in Nuclear Science, 46, p. 59, (1999)
- [ZIE80] J. F. Ziegler « The Stopping and Ranges of Ions in Matter », Pergamon press, (1980)
- [ZIE96] J. F. Ziegler, H. W. Curtis, H. P. Muhlfeld et al. « IBM experiments in soft fails in computer electronics (1978-1994) », IBM J. of Res. & Dev., 40, (1996)

Annexes

Annexe A : Equations d'un faisceau Gaussien et de taux de générations

Equations d'un faisceau Gaussien :

$$E(r, z, t) = A_0 \cdot \frac{w_0}{w(z)} \cdot e^{-\frac{r^2}{w(z)^2}} \cdot e^{-i \cdot \frac{n \cdot k_0 \cdot r^2}{2 \cdot R(z)}} \cdot e^{i(\omega \cdot t - n \cdot k_0 \cdot z + \varphi(z))} \quad (\text{A1})$$

$$w(z) = w_0 \cdot \sqrt{1 + \left(\frac{z}{n \cdot z_0} \right)^2} \quad (\text{A2})$$

$$R(z) = z \cdot \left(1 + \left(\frac{z}{n \cdot z_0} \right)^2 \right) \quad (\text{A3})$$

Equation du taux de Génération de paires électron-trou d'un ion lourd avec le modèle cylindrique :

$$G(r, z, t) = \frac{1}{\pi^{\frac{3}{2}} \cdot r_0^2 \cdot \tau} \cdot \frac{L_i}{E_p} \cdot e^{-\frac{r^2}{r_0^2}} \cdot e^{-\frac{t^2}{\tau^2}} \quad (\text{A4})$$

Equation : du taux de Génération de paires électron-trou d'un faisceau laser impulsionnel gaussien:

$$G(r, z, t) = \frac{\eta \cdot \alpha \cdot w_0^2}{w_{Si}(z)^2} \cdot \frac{I_0}{E_\gamma} \cdot e^{-\frac{2 \cdot r^2}{w_{Si}(z)^2}} \cdot e^{-\alpha \cdot z} \cdot e^{-\frac{t^2}{\tau_I^2}} \quad (\text{A5})$$

Annexe B : Affectations des pattes du Virtex 4 pour les modules VHDL de pilotage.

Affectation des pattes du Virtex 4 pour le module VHDL de pilotage de la carte fille DB8MRAM :

Type	Dénomination	Pin FPGA	Pin J400	Pin MRAM	Commun à toutes les MRAMs
Adressage	Add<0>	L33	N2	Add<0>	OUI
Adressage	Add<1>	L34	M3	Add<1>	OUI
Adressage	Add<2>	J30	J4	Add<2>	OUI
Adressage	Add<3>	J34	N4	Add<3>	OUI
Adressage	Add<4>	H28	C5	Add<4>	OUI
Adressage	Add<5>	C28	C9	Add<5>	OUI
Adressage	Add<6>	B31	L10	Add<6>	OUI
Adressage	Add<7>	A28	H10	Add<7>	OUI
Adressage	Add<8>	A30	D10	Add<8>	OUI
Adressage	Add<9>	B28	B10	Add<9>	OUI
Adressage	Add<10>	A29	F10	Add<10>	OUI
Adressage	Add<11>	A26	J10	Add<11>	OUI
Adressage	Add<12>	D29	A9	Add<12>	OUI
Adressage	Add<13>	B33	O9	Add<13>	OUI
Adressage	Add<14>	B30	K9	Add<14>	OUI
Adressage	Add<15>	J27	A5	Add<15>	OUI
Adressage	Add<16>	K34	L4	Add<16>	OUI
Adressage	Add<17>	K33	O3	Add<17>	OUI
Type	Dénomination	Pin FPGA	Pin J400	Pin MRAM	Commun à toutes les MRAMs
Donnée	dqL<0>	A31	N10	dqL<0>	OUI
Donnée	dqL<1>	B32	G9	dqL<1>	OUI
Donnée	dqL<2>	D32	F8	dqL<2>	OUI
Donnée	dqL<3>	E34	M7	dqL<3>	OUI
Donnée	dqL<4>	E31	H8	dqL<4>	OUI
Donnée	dqL<5>	E29	B8	dqL<5>	OUI
Donnée	dqL<6>	F33	N6	dqL<6>	OUI
Donnée	dqL<7>	G32	I7	dqL<7>	OUI
Donnée	dqU<0>	G30	H6	dqU<0>	OUI
Donnée	dqU<1>	G28	F6	dqU<1>	OUI
Donnée	dqU<2>	H34	M5	dqU<2>	OUI
Donnée	dqU<3>	J29	G5	dqU<3>	OUI
Donnée	dqU<4>	K32	H4	dqU<4>	OUI
Donnée	dqU<5>	K27	B4	dqU<5>	OUI
Donnée	dqU<6>	L31	I3	dqU<6>	OUI
Donnée	dqU<7>	L28	G3	dqU<7>	OUI

Type	Dénomination	Pin FPGA	Pin J400	Pin MRAM	Commun à toutes les MRAMs
Contrôle	we	K29	K3	we	OUI
Contrôle	ge	G27	B6	ge	OUI
Contrôle	lbe	C33	M9	lbe	OUI
Contrôle	ube	H33	O5	ube	OUI
Contrôle	ee<0>	E33	O7	ee de la 1° MRAM	NON
Contrôle	ee<1>	G31	E7	ee de la 2° MRAM	NON
Contrôle	ee<2>	E32	D8	ee de la 3° MRAM	NON
Contrôle	ee<3>	C29	I9	ee de la 4° MRAM	NON
Contrôle	ee<4>	C34	N8	ee de la 5° MRAM	NON
Contrôle	ee<5>	F28	A7	ee de la 6° MRAM	NON
Contrôle	ee<6>	E28	C7	ee de la 7° MRAM	NON
Contrôle	ee<7>	H29	D6	ee de la 8° MRAM	NON

Affectation des pattes du Virtex 4 pour le module VHDL de pilotage de la carte fille DB8DRAM :

Type	Dénomination	Pin FPGA	Pin J400	Pin MRAM	Commun à toutes les DRAMs
Adressage	Add<0>	L33	N2	Add<0>	OUI
Adressage	Add<1>	L34	M3	Add<1>	OUI
Adressage	Add<2>	J30	J4	Add<2>	OUI
Adressage	Add<3>	J34	N4	Add<3>	OUI
Adressage	Add<4>	H28	C5	Add<4>	OUI
Adressage	Add<5>	C28	C9	Add<5>	OUI
Adressage	Add<6>	B31	L10	Add<6>	OUI
Adressage	Add<7>	A28	H10	Add<7>	OUI
Adressage	Add<8>	A30	D10	Add<8>	OUI
Adressage	Add<9>	B28	B10	Add<9>	OUI
Adressage	Add<10>	A29	F10	Add<10>	OUI
Adressage	Add<11>	A26	J10	Add<11>	OUI
Adressage	Add<12>	D29	A9	Add<12>	OUI
Adressage	Bank<0>	B33	O9	Add<13>	OUI
Adressage	Bank<1>	B30	K9	Add<14>	OUI

Type	Dénomination	Pin FPGA	Pin J400	Pin MRAM	Commun à toutes les DRAMs
Donnée	dq<0>	A31	N10	dqL<0>	OUI
Donnée	dq<1>	B32	G9	dqL<1>	OUI
Donnée	dq<2>	D32	F8	dqL<2>	OUI
Donnée	dq<3>	E34	M7	dqL<3>	OUI
Donnée	dq<4>	E31	H8	dqL<4>	OUI
Donnée	dq<5>	E29	B8	dqL<5>	OUI
Donnée	dq<6>	F33	N6	dqL<6>	OUI
Donnée	dq<7>	G32	I7	dqL<7>	OUI
Donnée	dq<8>	G30	H6	dqL<8>	OUI
Donnée	dq<9>	G28	F6	dqL<9>	OUI
Donnée	dq<10>	H34	M5	dqL<10>	OUI
Donnée	dq<11>	J29	G5	dqL<11>	OUI
Donnée	dq<12>	K32	H4	dqL<12>	OUI
Donnée	dq<13>	K27	B4	dqL<13>	OUI
Donnée	dq<14>	L31	I3	dqL<14>	OUI
Donnée	dq<15>	L28	G3	dqL<15>	OUI
Type	Dénomination	Pin FPGA	Pin J400	Pin MRAM	Commun à toutes les DRAMs
Contrôle	nRAS	K29	K3	nRAS	OUI
Contrôle	nCAS	G27	B6	nCAS	OUI
Contrôle	LDM	C33	M9	LDM	OUI
Contrôle	UDM	H33	O5	UDM	OUI
Contrôle	nWE	J27	A5	nWE	OUI
Contrôle	CKE	K33	O3	CKE	OUI
Contrôle	ODT	K34	L4	ODT	OUI
Contrôle	LDQS	M33	L2	LDQS	OUI
Contrôle	nLDQS	L29	D4	nLDQS	OUI
Contrôle	UDQS	M27	A3	UDQS	OUI
Contrôle	nUDQS	N29	D2	nUDQS	OUI
Contrôle	nCS<0>	E33	O7	nWE de la 1° MRAM	NON
Contrôle	nCS<1>	G31	E7	nWE de la 2° MRAM	NON
Contrôle	nCS<2>	E32	D8	nWE de la 3° MRAM	NON
Contrôle	nCS<3>	C29	I9	nWE de la 4° MRAM	NON
Contrôle	nCS<4>	C34	N8	nWE de la 5° MRAM	NON
Contrôle	nCS<5>	F28	A7	nWE de la 6° MRAM	NON
Contrôle	nCS<6>	E28	C7	nWE de la 7° MRAM	NON
Contrôle	nCS<7>	H29	D6	nWE de la 8° MRAM	NON
Type	Dénomination	Pin FPGA	Pin J400	Pin MRAM	Commun à toutes les DRAMs
Horloge diff	Clk	P27	N1	Clk	OUI
Horloge diff	nClk	N27	M1	nClk	OUI

Affectation des pattes du Virtex 4 pour le module VHDL de pilotage de la carte fille PowerPC :

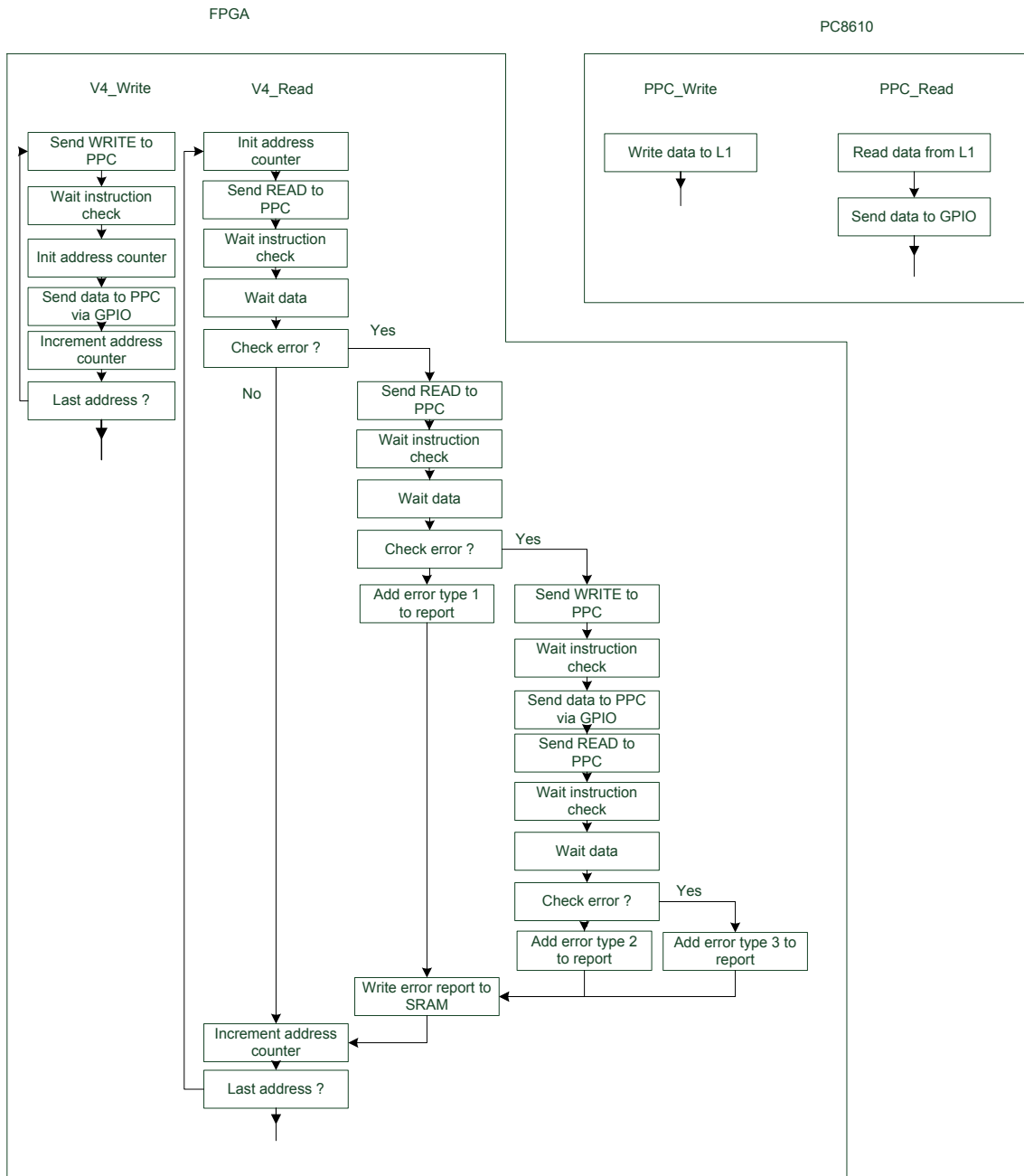
PIN Virtex 4				PIN Virtex 4			
Nom	Multiplexage	Numero	Port	Nom	Multiplexage	Numero	Port
MUXCTRL		B32	G9	GPIO1[15:8]		AE32	H6
MUXCTRL		AA28	E9			AF29	F6
SYSCLK		AB28	C9			AG30	D6
RTC		AC27	A9			AE27	B6
IIC1_SDA	Add<0>	AL33	O1			AE34	O7
IIC1_SCL	Add<1>	AN32	M1			AF33	M7
IIC2_SDA	Add<2>	AP30	K1			AD30	K7
IIC2_SCL	Add<3>	AP29	I1			AD32	I7
UART_SIN0	Add<4>	AN29	G1	GPIO1[31:16]		AD29	G7
UART_SOUT0	Add<5>	AN28	E1			AE29	E7
/UART_CTS0	Add<6>	AM28	C1			AD27	C7
/UART_RTS0	Add<7>	AL29	A1			AE26	A7
UART_SIN1	Add<8>	AM33	N2			AD34	N8
UART_SOUT1	Add<9>	AP31	L2			AE33	L8
/UART_CTS1	Add<10>	AK32	J2			AB30	J8
/UART_RTS1	Add<11>	AK31	H2			AC32	H8
GPIO2_13	Add<12>	AM31	F2			AC29	F8
GPIO2_14	Add<13>	AN30	D2			AC30	D8
/DMA2_DREQ3	Add<14>	AM30	B2			AC28	B8
/DMA2_DACK3	Add<15>	AK33	O3			AC33	M9
/DMA2_DDONE3	Add<16>	AL34	M3			AC34	K9
GTM1_TIN1	Add<17>	AH32	K3			AA29	I9
GTM1_TIN3	dqU<7>	AJ31	I3			AA30	G9
/GTM1_TGATE1	dqU<6>	AL31	G3			AA28	E9
/GTM1_TGATE3	dqU<5>	AM32	E3	PCI_C[3:0]		G33	J6
/GTM1_TOUT1	dqU<4>	AL28	C3			G30	H6
/GTM1_TOUT3	dqU<3>	AL30	A3			G28	F6
GTM2_TIN1	dqU<2>	AJ34	N4			H29	D6
/GTM2_TGATE1	dqU<1>	AK34	L4	PCI_PAR		G27	B6
/GTM2_TOUT1	dqU<0>	AG32	J4	/PCI_FRAME		E33	O7
IRQ[0:5]	dqL<7>	AG31	H4	/PCI_TRDY		E34	M7
	dqL<6>	AJ29	F4	/PCI_IRDY		F29	K7
	dqL<5>	AK29	D4	/PCI_STOP		G32	I7
	dqL<4>	AH29	B4	/PCI_DEVSEL		F31	G7
	dqL<3>	AH33	O5	PCI_IDSEL		G31	E7
	dqL<2>	AH34	M5	/PCI_PERR		E28	C7
IRQ6	dqL<1>	AF31	K5	/PCI_SERR		F28	A7
IRQ7	dqL<0>	AF30	I5	/PCI_REQ0		C34	N8
IRQ8	ee	AH30	G5	/PCI_REQ1		D34	L8
IRQ9	we	AJ30	E5	/PCI_REQ2		D31	J8
IRQ10	ge	AF28	C5	/PCI_REQ3		E31	H8
IRQ11	lbe	AG28	A5	/PCI_REQ4		D32	F8
/IRQ_OUT	ube	AF34	N6	/PCI_GNT0		E32	D8
/MCP		AG33	L6	/PCI_GNT1		E29	B8
/SMI		AE31	J6	/PCI_GNT2		B33	O9
				/PCI_GNT3		C33	M9

PIN Virtex 4			
Nom	Multiplexage	Numero	Port
PCI_AD[31:0]		L33	N2
		M33	L2
		M32	J2
		M30	H2
		M28	F2
		N29	D2
		N25	B2
		K33	O3
		L34	M3
		K29	K3
		L31	I3
		L28	G3
		N30	E3
		L26	C3
		M27	A3
		J34	N4
		K34	L4
		J30	J4
		K32	H4
		L30	F4
		L29	D4
		K27	B4
		H33	O5
		H34	M5
		H32	K5
		H30	I5
		J29	G5
		K28	E5
		H28	C5
		J27	A5
		F33	N6
		F34	L6

Annexe C : Protocoles et routines de tests du PowerPC MPC8610

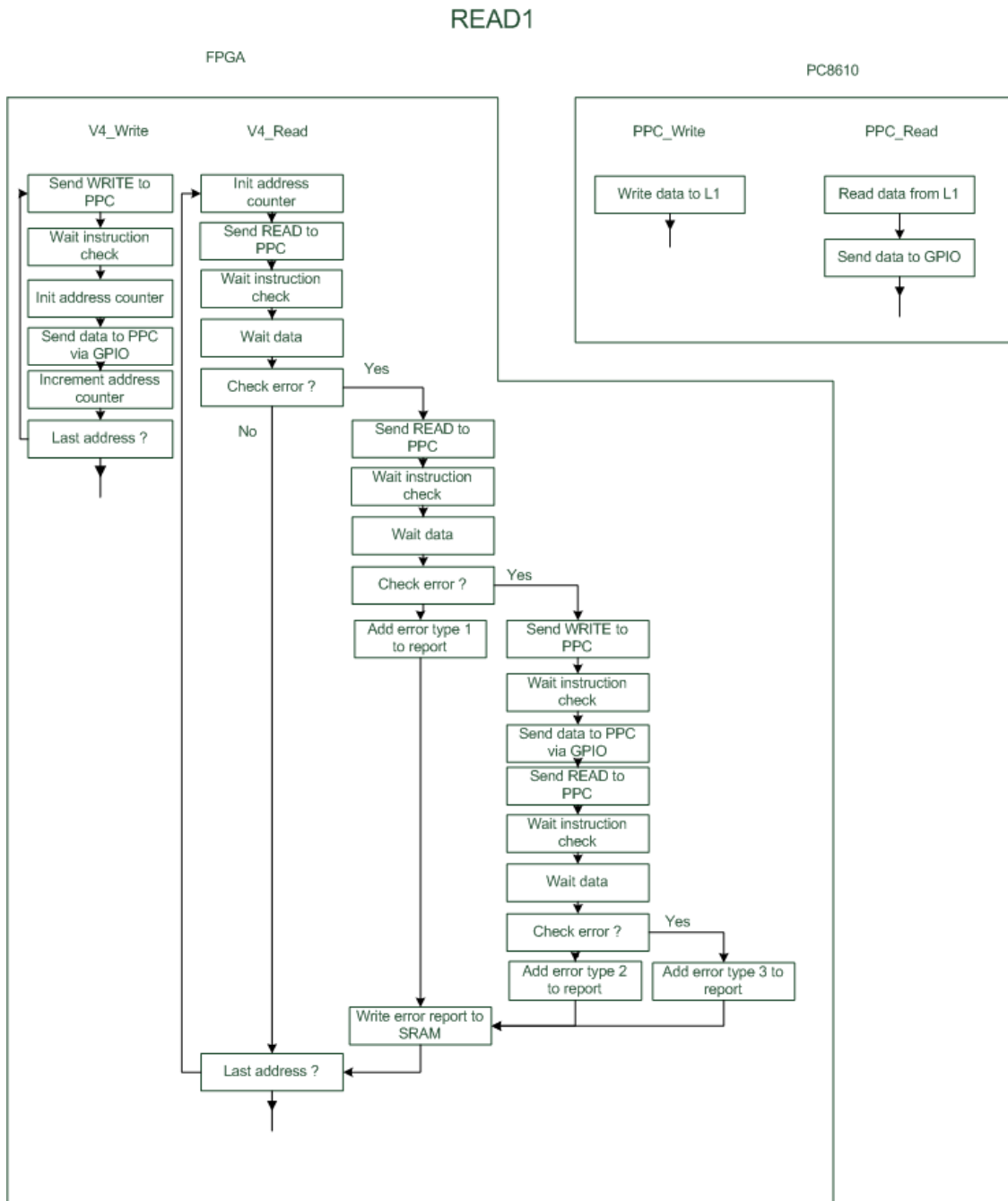
Algorithme RCL1 ou RCL2

L1 ou L2



Algorithme de lecture Read1

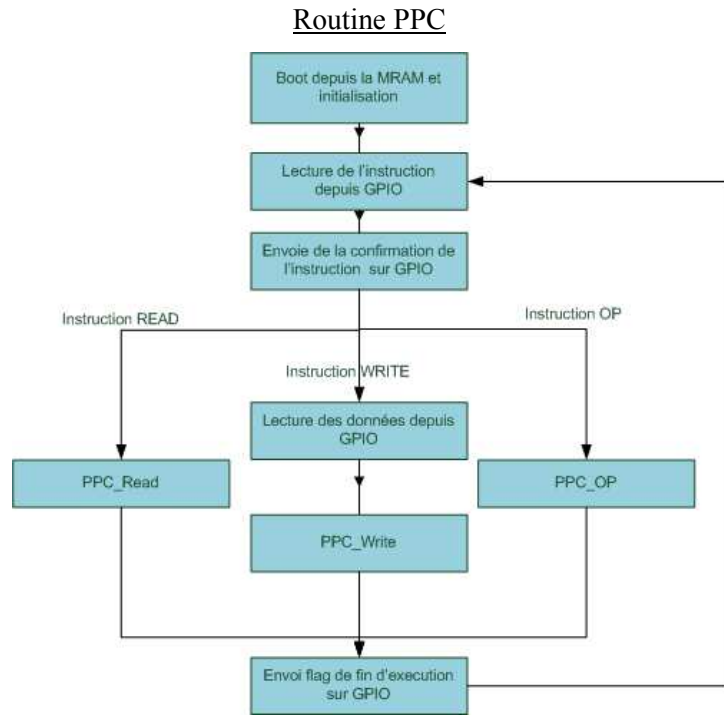
Le principe est ici de lire toujours la même adresse du cache (L1 ou L2). Dans ce mode, la section efficace de la zone mémoire est considérablement réduite et les erreurs détectées seront essentiellement dues aux blocs **instruction unit** et **load/store unit**



Algorithme OPINT

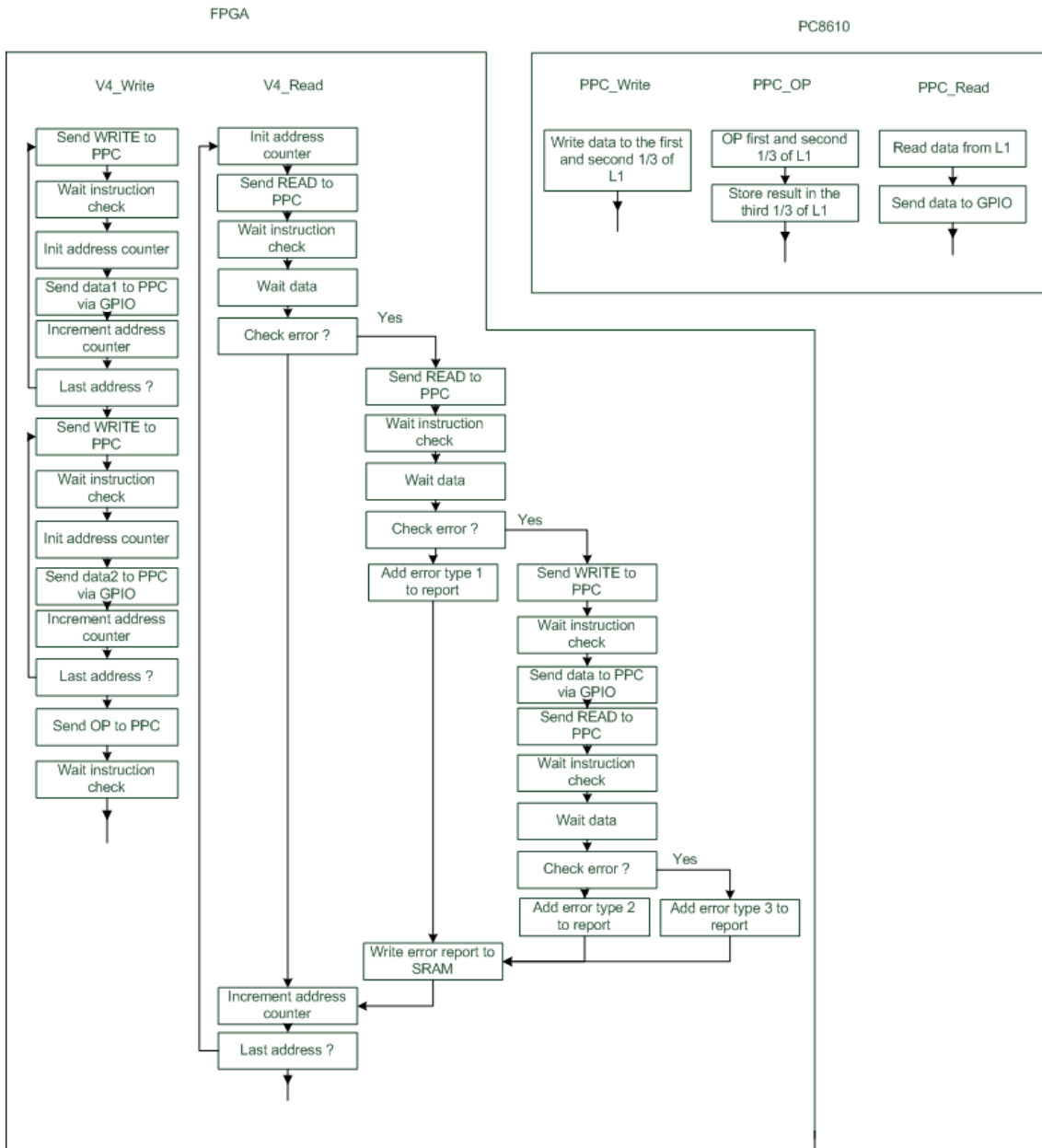
Effectuer des opérations sur des entiers fait intervenir l'**Integer unit** en plus des précédents blocs.

La routine générale du PPC est légèrement modifiée. Une branche supplémentaire a été ajoutée correspondant à l'instruction OP.



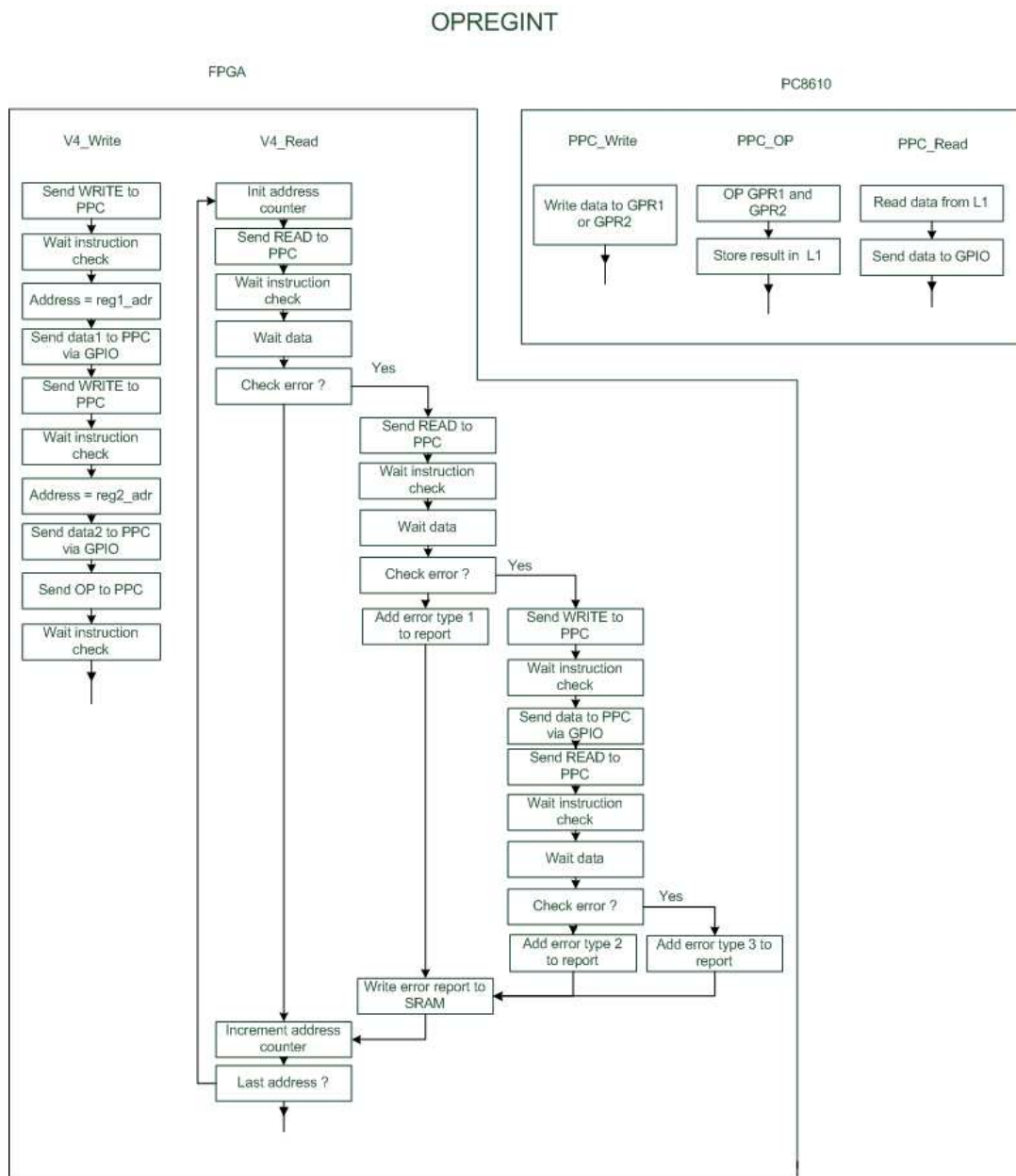
L'opération OP est réalisée entre le chaque adresse du 1^{er} tiers et du 2^{eme} tiers de la cache, le résultat est stocké dans le 3^{eme} tiers. Les erreurs détectées dans le résultat peuvent provenir d'erreurs dans la **cache**, dans l'**integer unit** ou dans l'**instruction unit**. La relecture de l'ensemble de la cache et l'analyse des patterns d'erreurs devrait permettre d'isoler les signatures propres à chacun de ces blocs.

OPINT



Algorithme OPREGINT

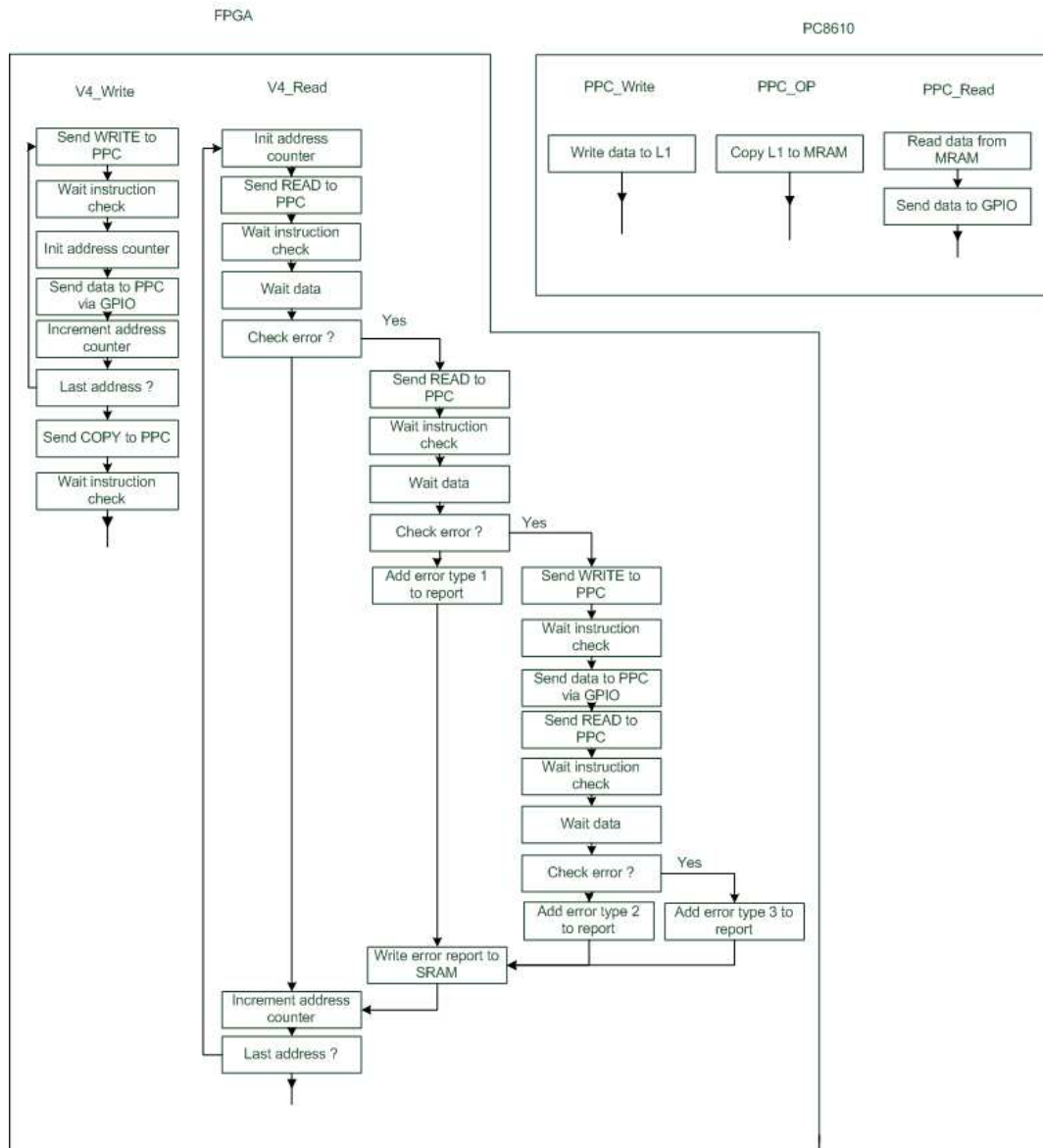
Le principe ici est minimiser l'impact des stockages. Les données d'entrée sont stockées dans des registres, cela réduit la probabilité qu'elles soient corrompues. L'opération est effectuée en boucle et le résultat est stocké dans L1 jusqu'à son remplissage. Les erreurs provenant de l'**instruction unit** seront plus facilement repérables.



Shift de L1 vers la MRAM

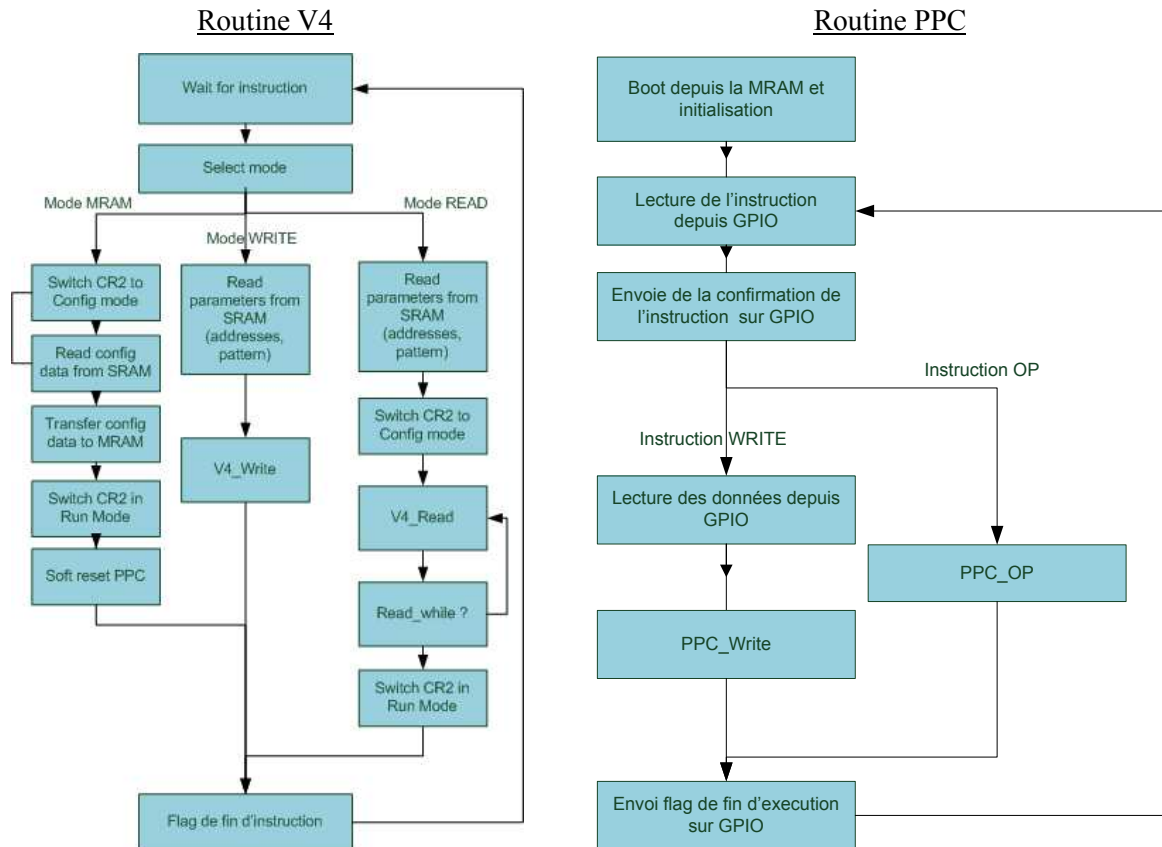
Les schémas d'algorithme généraux peuvent être conservés. Seuls les blocs : PPC_Read, PPC_Write, V4_Write et V4_Read change en fonction du test effectué.

eLBC_Shift_L1

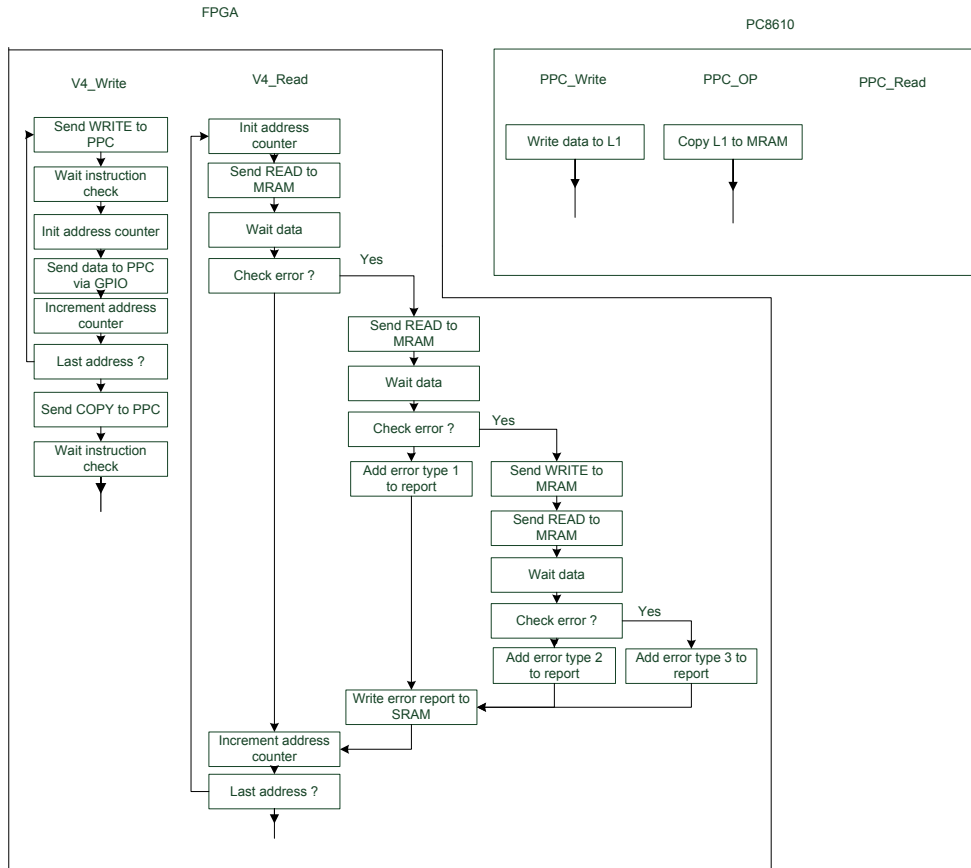


Direct Read MRAM

Le principe ici est de lire le contenu de la MRAM sans passer par le ppc8610, mais directement par le coolrunner 2. Cette manipulation impose de faire basculer l'aiguillage entre les composants. Il n'y donc pas de bloc PPC_read.

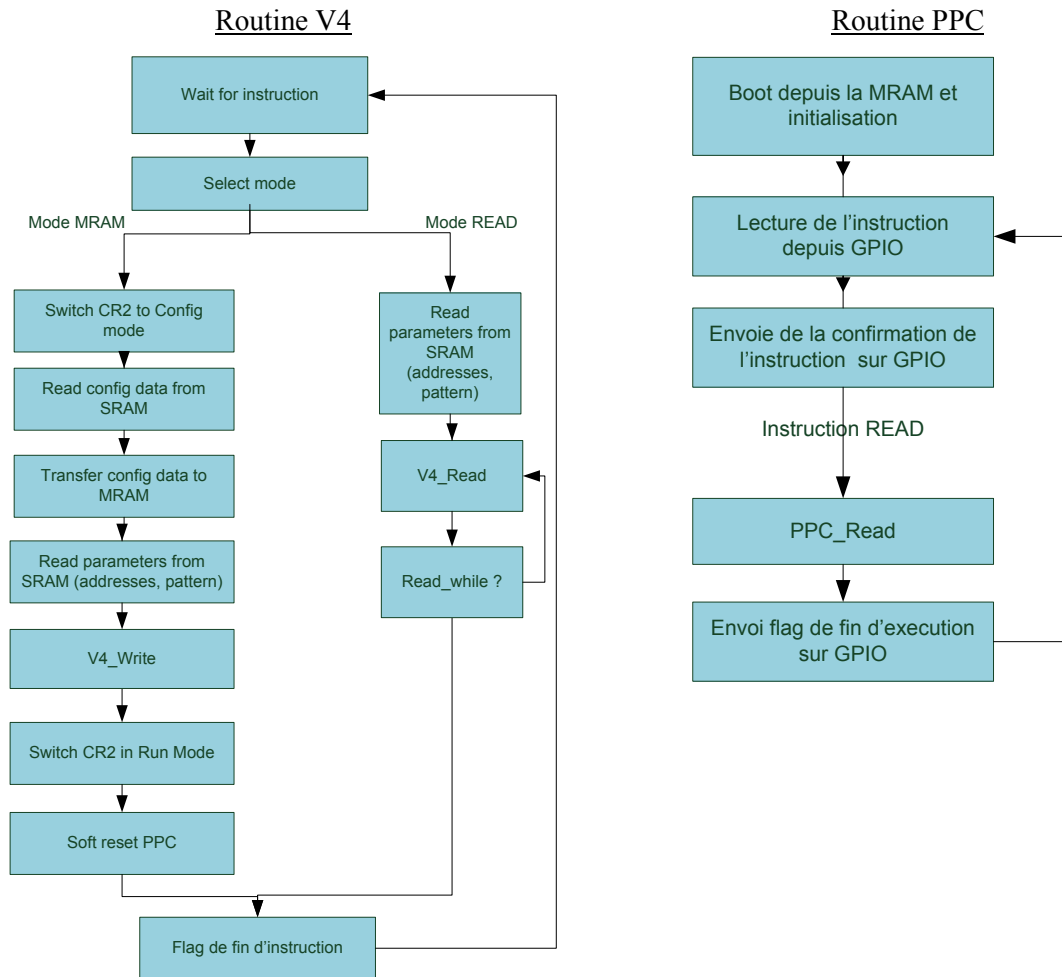


eLBC_read_MRAM

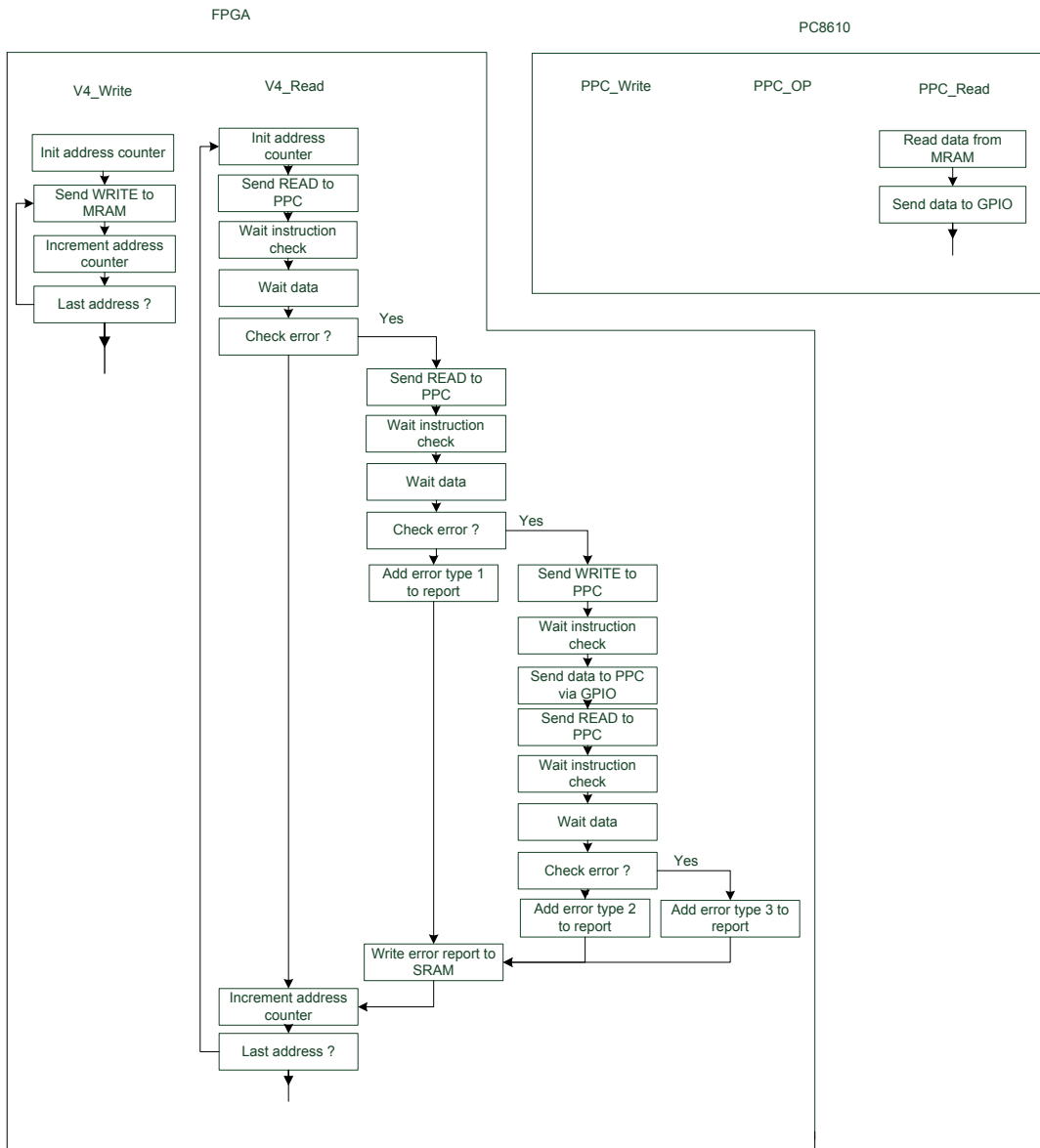


Direct Write MRAM

Le principe ici est d'écrire à la suite du programme de boot sur la MRAM avant de faire basculer l'aiguillage entre les composants. Une fois le basculement effectué, l'ordre de lire la MRAM est envoyé au ppc, il n'y donc ni bloc PPC_Write , ni PPC_Copy.

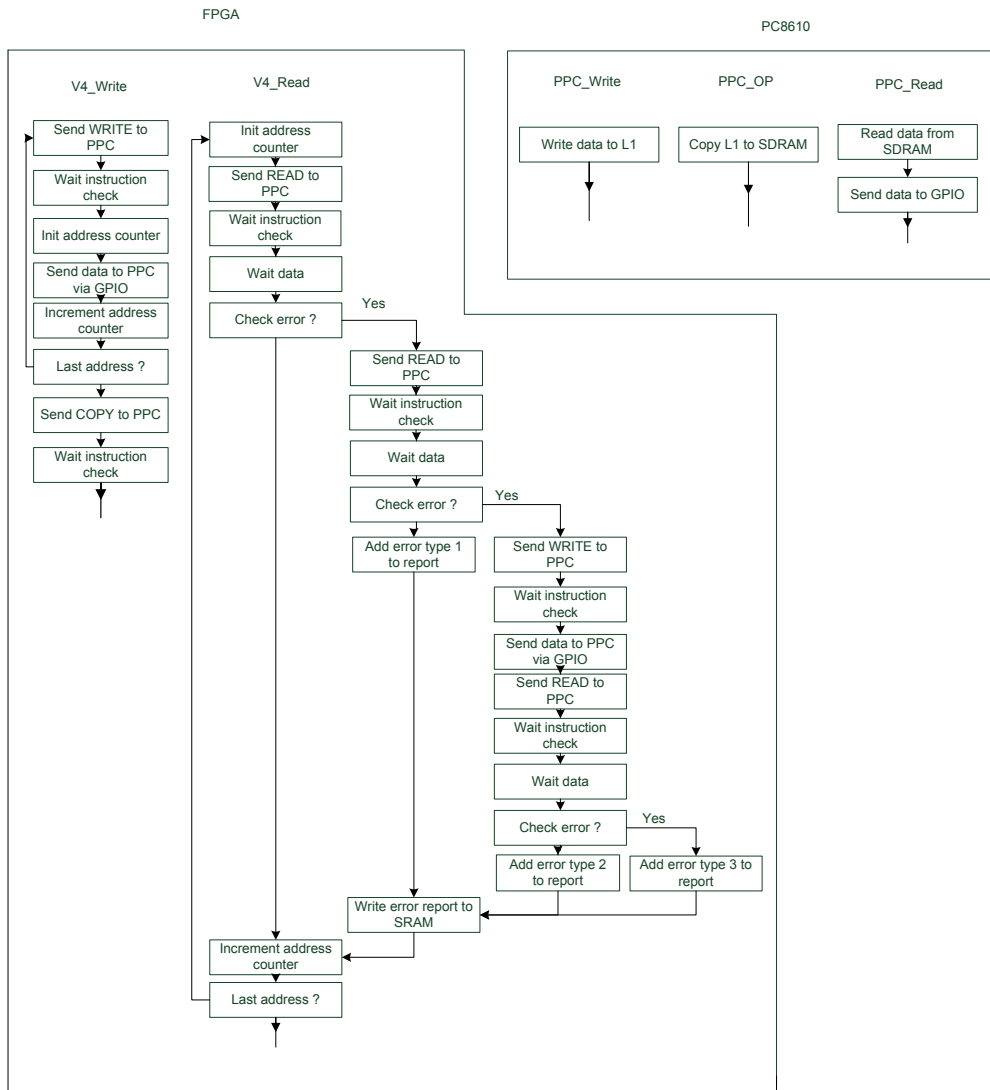


eLBC_Write_MRAM



Shift de L1 vers la SDRAM

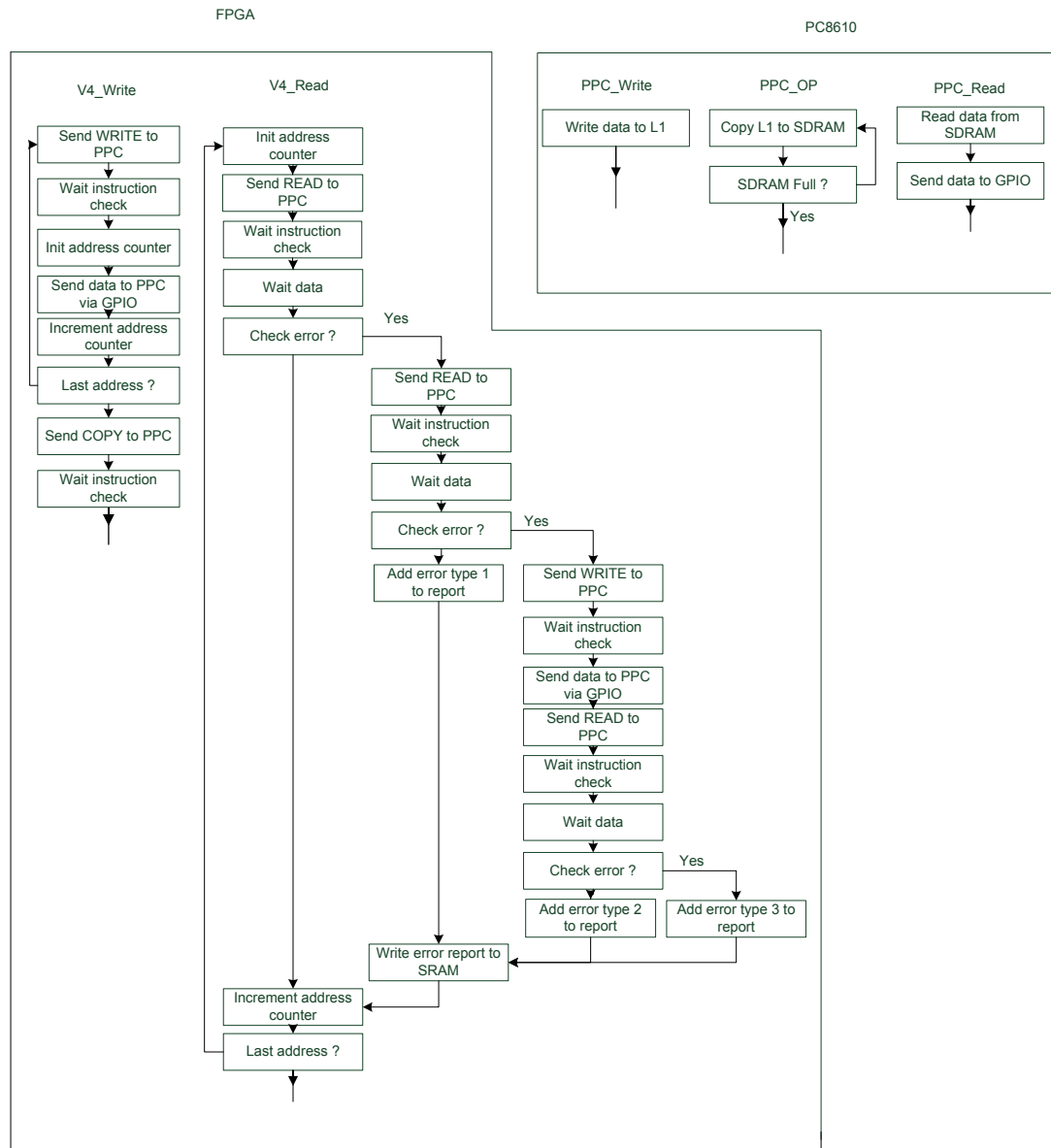
eLBC_Shift_L1



Remplissage de la SDRAM

Le contenu de la L1 peut également être copié plusieurs fois dans la SDRAM de manière à la remplir complètement avant de la lire.

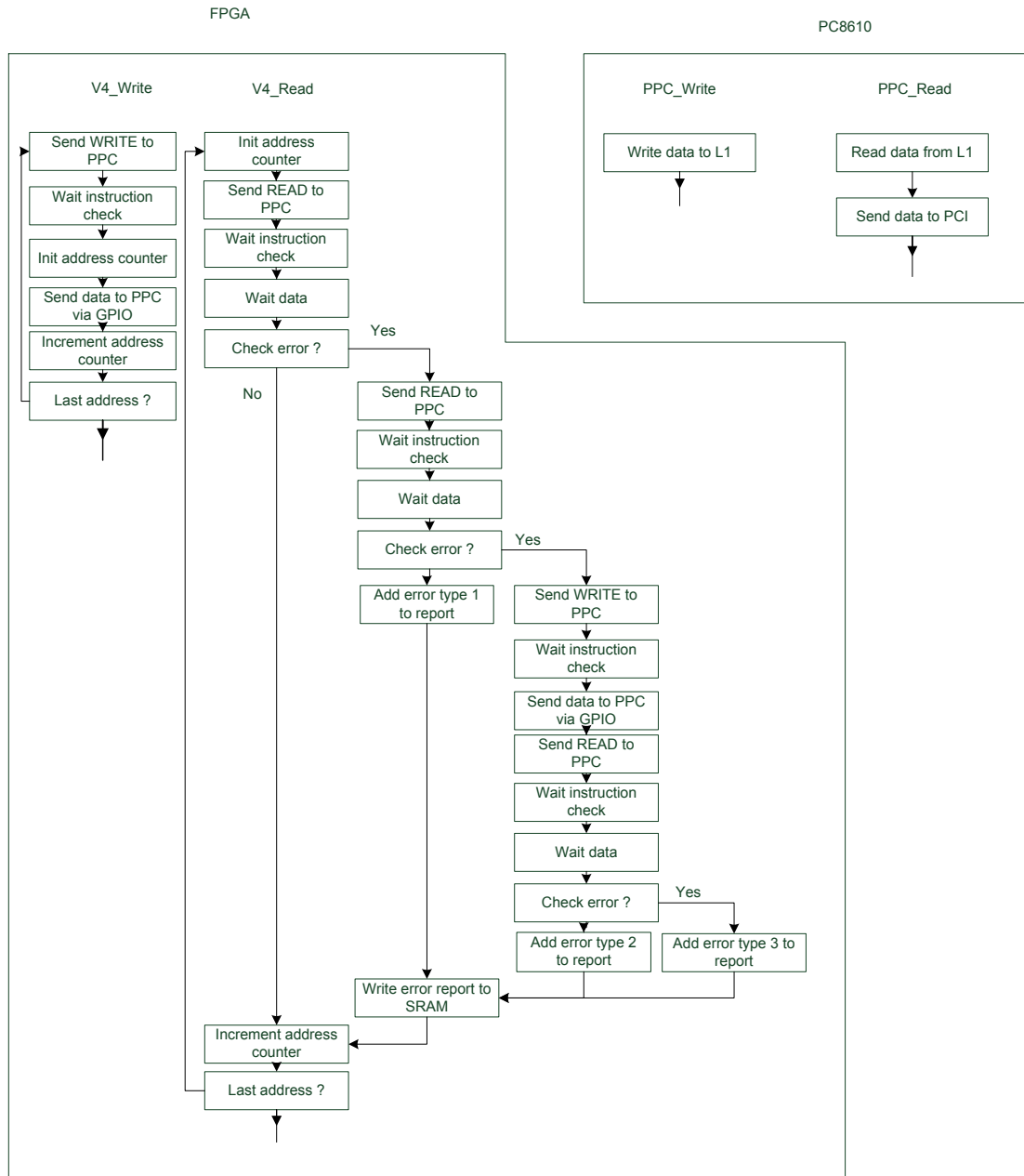
Fill_up_sDRAM



Read from PCI

Le virtex 4 envoie un ordre d'écriture via les GPIO puis fait la lecture des données de la cache via le module de contrôle du PCI.

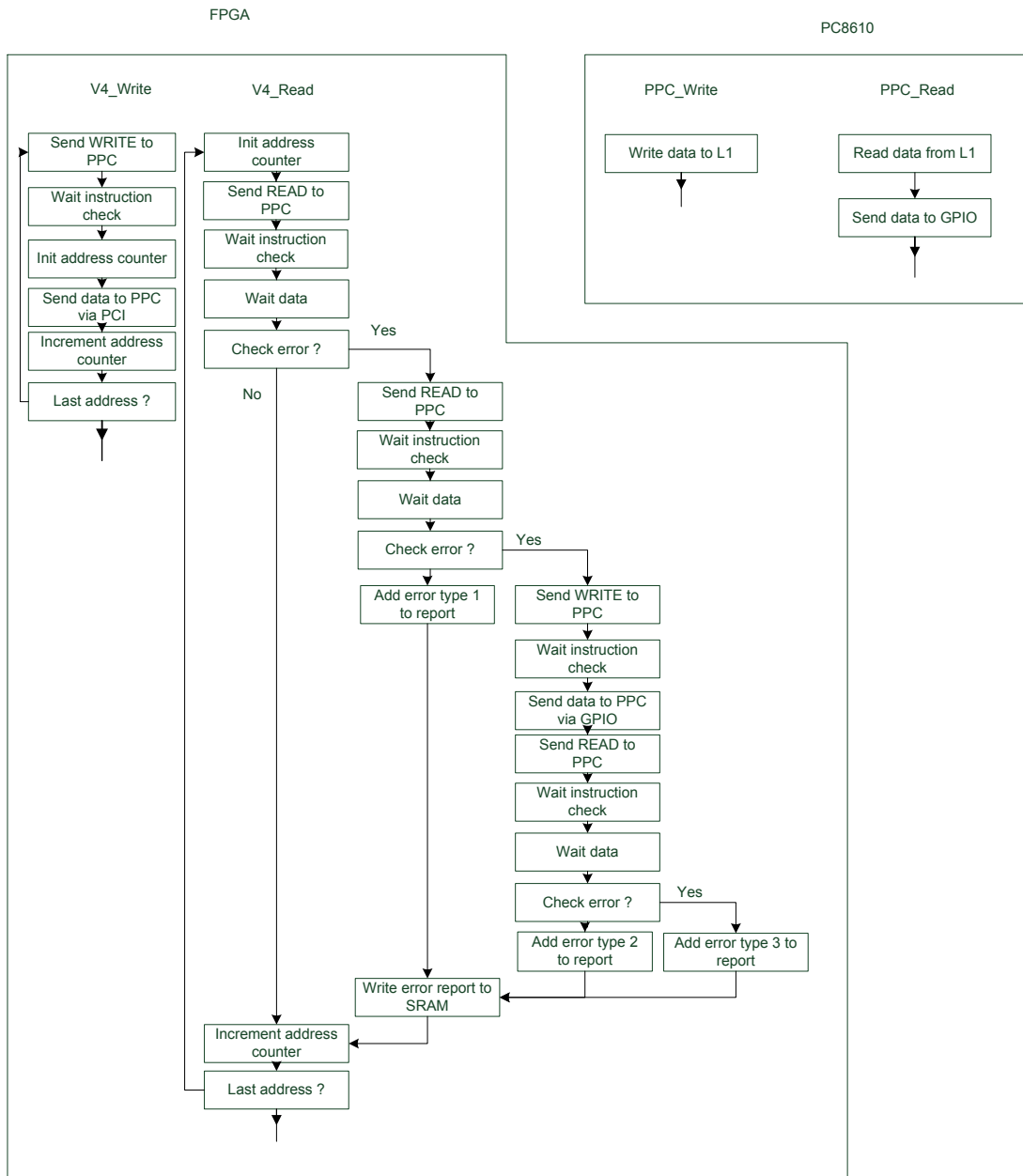
READ from PCI



Write through PCI

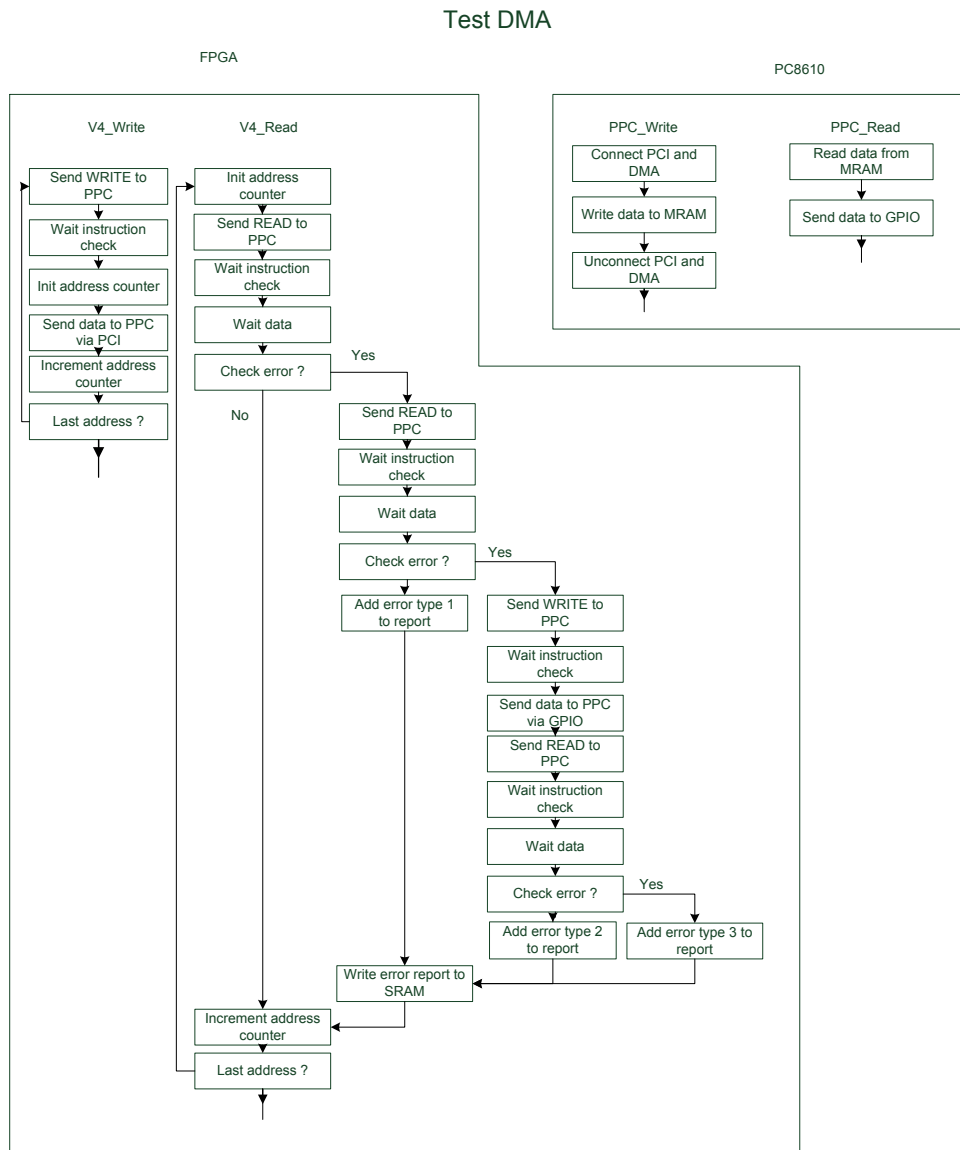
Contrairement au « read from PCI », le virtex 4 écrit les données sur la cache L1, mais en passant par le port PCI. La relecture et la vérification des données se fait elle par les GPIO.

WRITE through PCI



Write on MRAM DMA test

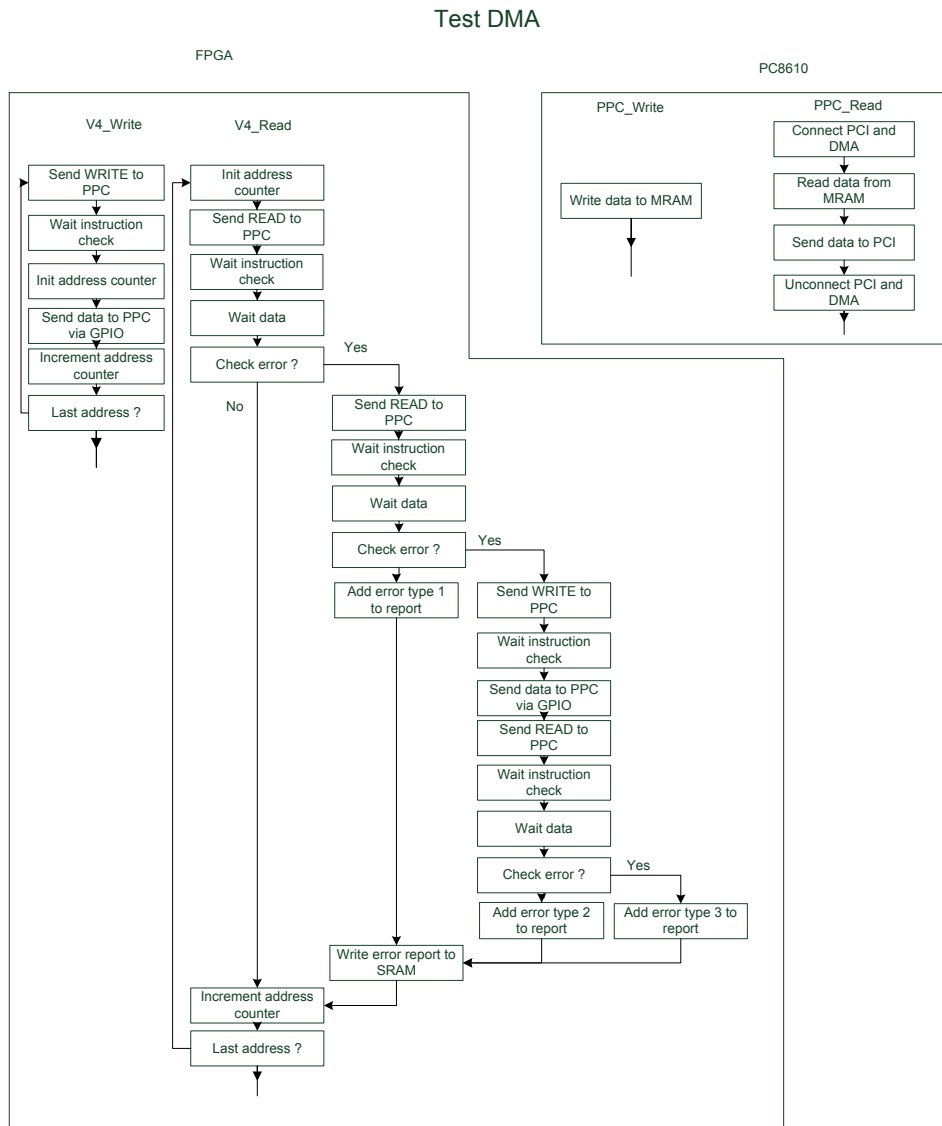
Une première solution est d'écrire les données sur la MRAM, en passant par le port PCI. Puis d'effectuer une relecture de la MRAM.



Remarque : La relecture peut s'effectuer directement via le coolrunner 2, sans passer par le PPC8610, comme dans le test « direct read MRAM »

Read MRAM DMA test

Une autre option de test consiste à lire la MRAM à travers le port PCI. Les données pourront être écrites soit à la suite du programme de boot (cf : direct write MRAM), soit via les gpio.

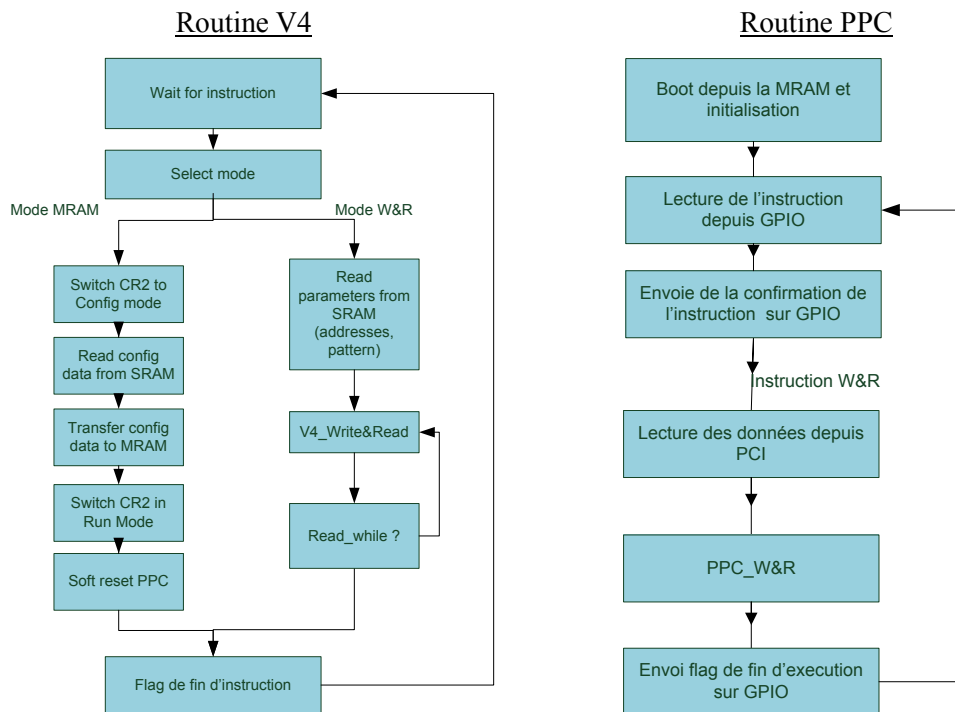


Remarque : Les deux précédents tests peuvent être effectués en écrivant sur la SDRAM plutôt que sur la MRAM. L'option burst-write ne sera toutefois pas disponible due aux limitations techniques du Virtex 4.

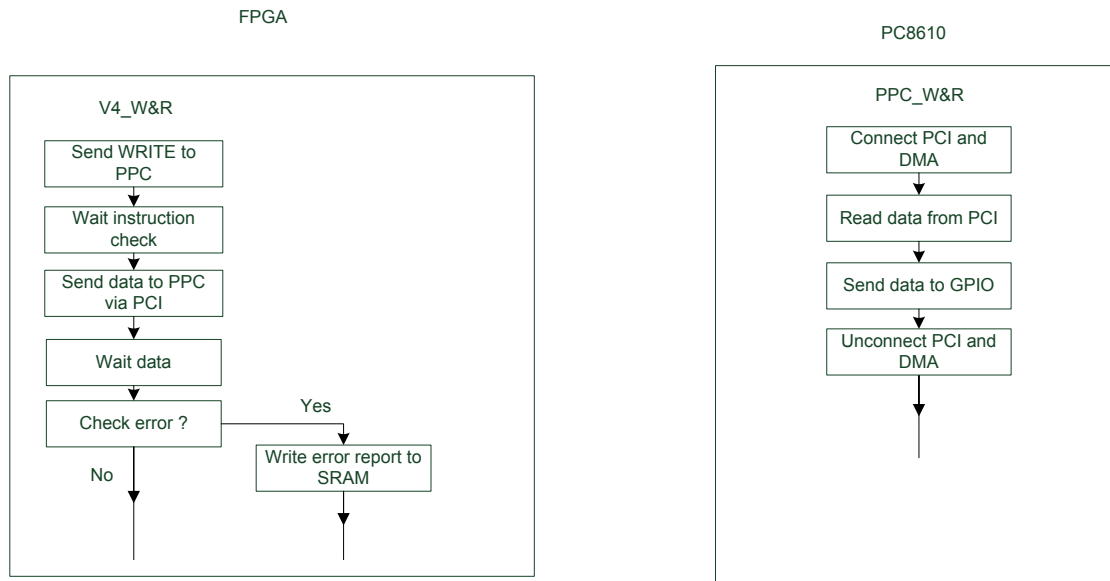
Direct flow DMA test

Une autre méthode de test du module DMA consiste à écrire sur le port PCI, et immédiatement récupérer les données sortantes sur le port GPIO. L'algorithme s'en retrouve changer, car le virtex 4 doit gérer l'écriture et la lecture de donnée pratiquement simultanément.

En effet la vitesse d'exécution du PPC8610 est très supérieure à celle du Virtex 4. Le temps nécessaire au PPC8610 pour faire transiter les données du port PCI au GPIO via son bus interne risque d'être inférieur à l'horloge du Virtex 4. Le FPGA doit donc être prêt à recevoir les données avant même d'avoir envoyées celle-ci.



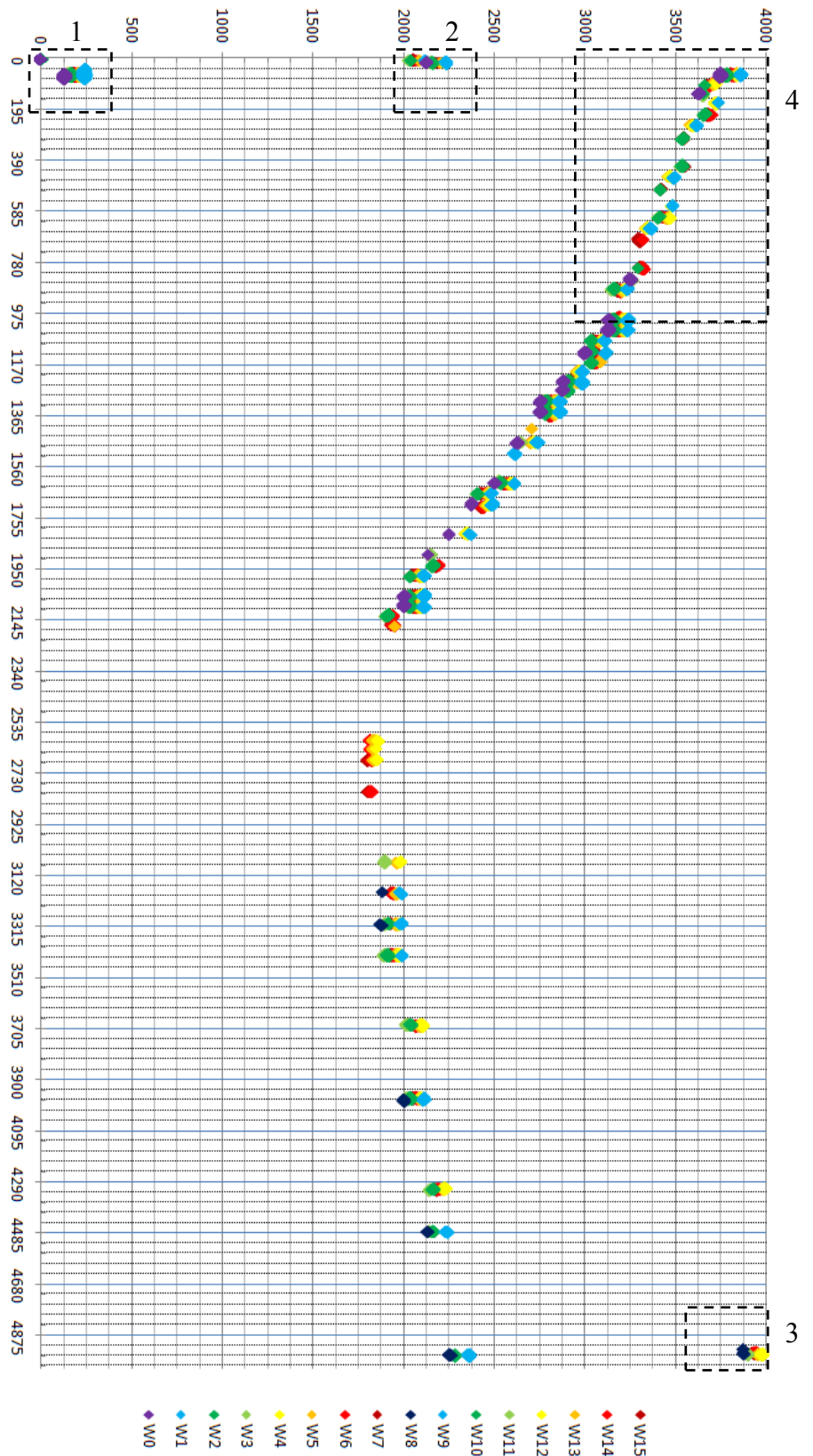
Direct DMA



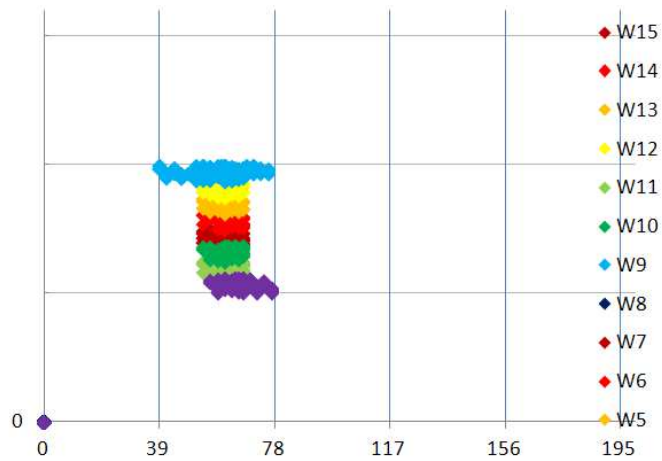
Aucune relecture ou vérification n'est possible de part le caractère transitoire de ce mode fonctionnement. Toutefois, pour ce mode de fonctionnement particulier, il est envisageable de chercher à récupérer la valeur de certain registre de configuration lorsqu'une erreur apparaît. On se concentrera particulièrement sur les registres liés aux modules DMA et PCI. Comme le DMA_SRn (status register) qui enregistre l'état de la connexion avant et après transfert de donnée.

Annexe D : Représentations supplémentaires du plan mémoire de la SRAM CY62148E55

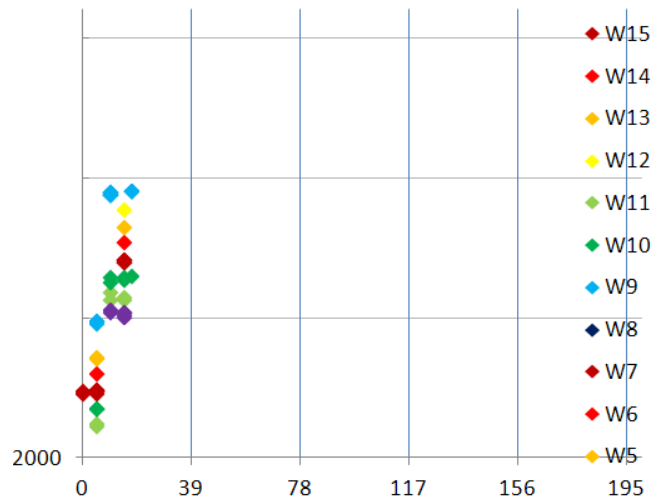
Plan mémoire global de la SRAM Cypress



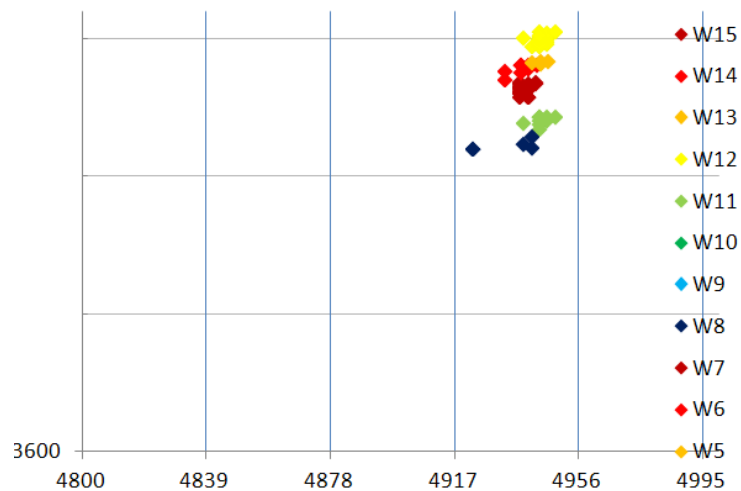
Section 1 (Sud-Ouest) du plan mémoire de la SRAM Cypress :



Section 2 (Ouest) du plan mémoire de la SRAM Cypress :



Section 3 (Nord-Est) du plan mémoire de la SRAM Cypress :



Section 4 (Nord-Ouest étendue) du plan mémoire de la SRAM Cypress :

