



HAL
open science

Nanocristaux pour les mémoires flash : multicouches, métalliques et organisés

Guillaume Gay

► **To cite this version:**

Guillaume Gay. Nanocristaux pour les mémoires flash : multicouches, métalliques et organisés. Autre. Université de Grenoble, 2012. Français. NNT : 2012GRENT087 . tel-00843133

HAL Id: tel-00843133

<https://theses.hal.science/tel-00843133>

Submitted on 10 Jul 2013

HAL is a multi-disciplinary open access archive for the deposit and dissemination of scientific research documents, whether they are published or not. The documents may come from teaching and research institutions in France or abroad, or from public or private research centers.

L'archive ouverte pluridisciplinaire **HAL**, est destinée au dépôt et à la diffusion de documents scientifiques de niveau recherche, publiés ou non, émanant des établissements d'enseignement et de recherche français ou étrangers, des laboratoires publics ou privés.

THÈSE

Pour obtenir le grade de

DOCTEUR DE L'UNIVERSITÉ DE GRENOBLE

Spécialité : **Micro et Nanoélectronique**

Arrêté ministériel : 7 août 2006

Présentée par

Guillaume GAY

Thèse dirigée par **Thierry BARON** et
encadrée par **Eric JALAGUIER**
préparée au sein du **Laboratoire d'Electronique et des
Technologies de l'Information (CEA-Leti Minatec)**
dans **l'École Doctorale Electronique, Electrotechnique,
Automatique et Traitement du Signal (EEATS)**

Nanocristaux pour les mémoires flash : multicouches, métalliques et organisés

Thèse soutenue publiquement le **6 juillet 2012**,
devant le jury composé de :

Pr. Gérard GHIBAUDO

Professeur à Grenoble INP, Président

Dr. Caroline BONAFOS

Chargée de recherche au CNRS/CEMES, Rapporteur

Pr. Christophe MULLER

Professeur à l'Im2np, Rapporteur

Pr. Georges BREMOND

Professeur à l'INSA de Lyon, Examineur

Dr. Thierry BARON

Directeur de recherche au CNRS/LTM, Directeur de thèse

Dr. Eric JALAGUIER

Ingénieur au CEA/LETI, Encadrant de thèse

Dr. Gabriel MOLAS

Ingénieur au CEA/LETI, Invité



Remerciements

Ces travaux de thèse se sont déroulés au laboratoire de technologie des mémoires avancées LTMA, au sein du LETI au CEA de Grenoble. Je souhaite adresser mes remerciements à toutes les personnes qui m'ont accompagné lors de mon doctorat :

- Thierry Baron, directeur de recherche au CNRS-LTM, qui en tant que directeur de thèse a toujours été disponible pour me guider efficacement dans mes recherches. Eric Jalaguier, mon encadrant CEA qui a su me conseiller et m'encourager dans mes travaux. Je les remercie tous les deux pour leur soutien dans les moments importants.

- Mes deux chefs de laboratoires successifs : Simon Deleonibus à la tête du LNDE, puis Barbara De Salvo au LTMA.

- Les membres de mon jury, en premier lieu Gérard Ghibaudo, professeur à Grenoble INP, pour avoir présidé le jury de ma thèse. Je remercie également Caroline Bonafos, chargée de recherche au CNRS/CEMES de Toulouse et Christophe Muller, professeur à l'IM2NP, pour l'intérêt qu'ils ont porté à mon travail en acceptant d'être rapporteurs, et pour leurs commentaires avisés sur le manuscrit et la soutenance. Merci aussi à Georges Bremond, professeur à l'INSA de Lyon, pour avoir été examinateur de ma thèse.

- Toutes les personnes du LTMA, en particulier celles qui m'ont aidé au jour le jour dans mes travaux de thèse. A commencer par Gabriel Molas, dont le soutien et les multiples conseils m'ont beaucoup aidé dans mes travaux de caractérisation des dispositifs mémoires à nanocristaux. Merci aussi à Marc Bocquet, toujours présent pour répondre à mes questions ainsi que pour les nombreux programmes de test sur les bancs de mesures. Un grand merci à Marc Gely qui, avec beaucoup de patience, m'a énormément appris et aidé lors de la confection et du suivi des carnets de lots en salle blanche.

- Le personnel de la plateforme silicium et du laboratoire L2MA pour leurs conseils avisés et leur participation à la fabrication des dispositifs. En particulier, merci à Véronique Carron pour son expertise sur les siliciures métalliques, Jean-Philippe Colonna pour ses bonnes idées, Joël Dufourcq pour notre travail en commun sur les nanocristaux en platine, Djamel Belhachemi, Pascal Besson, Florian Bourgeois pour son travail méticuleux sur le dépôt de nanocristaux par PVD, Pierre Brianseau, Helen Grampeix, François Martin pour son

expertise matériaux, Lilian Masarotto, Stéphane Minoret pour m'avoir initié au dépôt métalliques CVD, Pierre Mur, Christiane Tallaron, Laurent Vandroux.

Dans le cadre de mon travail sur les copolymères diblocs, j'ai eu la chance de pouvoir échanger et collaborer avec plusieurs personnes du LTM (laboratoire des technologies de la microélectronique). Je remercie tout d'abord Karim Aissou qui a su partager son savoir-faire sur les copolymères diblocs, Claire Agrafeil et Billel Salhi pour nos travaux communs sur les copolymères, Bassem Salem pour son aide à la PTA, Arnaud Beaurain et Bernard Pelissier pour les mesures XPS, Thierry Chevolleau et Gilles Cunge pour la gravure, Jean-Hervé Tortai pour l'ellipsométrie.

Les caractérisations électriques de mes dispositifs n'auraient pu être réalisées sans le soutien du LSCE (laboratoire de simulation et de caractérisation électrique). Je remercie tout particulièrement Denis Blachier, Jacques Cluzel, Rabah Kies, Etienne Nowak, Luca Perniola, Alain Toffoli, Vincent Vidal.

Une pensée particulière à l'ensemble des personnes que j'ai rencontrées au cours de ces années, à commencer par celles qui ont partagé mon bureau : Vincent, Jean-Paul, Stéphanie, Frédéric, Atsushi, je vous remercie de m'avoir accueilli si chaleureusement dès le début de ma thèse. Merci aussi à ceux qui sont arrivés avec ou après moi dans le bureau : Louis, Milène, Cuiqin, Veeresh. Je n'oublie pas non plus tous les doctorants et permanents du LTMA et du LDI qui m'ont accompagné durant ma thèse : Alain, Alex, Alexandra, Andres, Barbara, Bernard G., Bernard P., Carine, Cecilia, Claude, Corine, Cyrille, Elisa, Emilie, Eric, Estelle, François, Gabriel, Georges, Jean-François, Jérôme, Julien, Jyoshna, Kiichi, Laurent, Lia, Marc B., Marc G., Maud, Micael, Michael, Olivier F., Olivier W., Paul-Henry, Perrine, Pompom, Sabine, Simon, Sophie, Thierry, Thomas, Tiziana, Venera, Véronique.

Je n'oublierai pas les bons moments passés lors des conférences : merci à Louis et Gabriel pour l'agréable séjour à Taiwan, Marc et Julien pour notre tour de Californie. Je garde aussi en mémoire les moments de détente, que ce soit lors des sorties en montagne (ski, escalade, VTT...) ou lors de soirées festives (laser game, pique-niques,...).

Un grand merci à tous les amis qui m'ont encouragé et m'ont fait passé de bons moments, ils se reconnaîtront. Je remercie affectueusement ma famille, tout particulièrement mes parents pour leur soutien inconditionnel tout au long de mes études. Enfin, merci à Isa d'être à mes côtés au quotidien.

Table des matières

Introduction Générale.....	8
Chapitre I Présentation des mémoires non-volatiles à base de silicium	11
I.1. Contexte de l'étude	13
I.1.1. Les mémoires, composante majeure de l'industrie des semi-conducteurs.....	13
I.1.2. Les différents types de mémoires sur silicium	14
I.1.3. Le marché des mémoires en pleine expansion	16
I.2. Fonctionnement et architectures des mémoires Flash	17
I.2.1. Structure d'une cellule mémoire	17
I.2.2. Principe de fonctionnement.....	17
I.2.3. Architectures des mémoires Flash.....	20
I.3. Améliorations des cellules mémoires FLASH.....	22
I.3.1. Limitations des mémoires Flash.....	22
I.3.2. Les évolutions mises en place et envisagées	23
I.4. Les mémoires à nanocristaux.....	25
I.4.1. Avantages apportés par les nanocristaux en silicium.....	25
I.4.2. Techniques de dépôt des nanocristaux en silicium	27
I.4.3. Intégration des nanocristaux en silicium dans des dispositifs mémoires	28
I.4.4. Inconvénients des nanocristaux en silicium	30
I.5. Conclusions et présentation du travail de thèse	33
Références du chapitre 1	35

Chapitre II Caractérisation électrique de mémoires non-volatiles à double couche de nanocristaux en silicium38

II.1. Etat de l'art des dispositifs mémoires à multicouches de nanocristaux en silicium	40
II.2. Fabrication des mémoires à double couche de nanocristaux.....	42
II.2.1. Présentation des couches de nanocristaux étudiés	42
II.2.2. Présentation des empilements de grille utilisés.....	45
II.3. Caractérisation électrique des dispositifs.....	46
II.3.1. Comparaison des dispositifs à simple et double couche de ncs-Si	46
II.3.2. Etude des performances des mémoires à couches de nanocristaux hybrides.	52
II.4. Modélisation des caractéristiques d'écriture et d'effacement	65
II.4.1. Modélisation des courants dans la structure.....	65
II.4.2. Modélisation de l'écriture par un modèle de type grille flottante continue ...	73
II.4.3. Modélisation de l'effacement avec prise en compte des électrons de valence ..	76
II.5. Synthèse du chapitre II.....	83
Références du chapitre 2	84

Chapitre III Mémoires à nanocristaux métalliques87

III.1. Avantages des nanocristaux métalliques pour les applications mémoires	89
III.1.1. Forte densité d'états autour du niveau de Fermi	89
III.1.2. Fort travail de sortie	90
III.1.3. Absence de discrétisation des niveaux électroniques.....	92
III.1.4. Augmentation du champ électrique.....	97
III.2. Stabilité thermodynamique des métaux	98

III.2.1. Comportement à l'atmosphère	98
III.2.2. Stabilité des métaux sur SiO ₂	99
III.3. Intégration de nanocristaux métalliques dans un empilement mémoire.	102
III.3.1. Etat de l'art	102
III.3.2. Tentatives d'intégration de nanocristaux en platine dans un dispositif mémoire	105
III.3.3. Dépôt et passivation de nanocristaux métalliques par CVD.....	110
III.3.4. Intégration de nanocristaux en TiN dans un dispositif mémoire MOSFET. 130	
III.4. Synthèse du chapitre III	138
ANNEXE : Diagrammes d'Ellingham.....	139
Références du chapitre III	140

Chapitre IV Organisation de nanocristaux à l'aide de copolymères diblocs.....144

IV.1. Techniques d'auto-organisation de nanocristaux pour applications mémoires : état de l'art.....	146
IV.1.1. Auto-organisation directe des nanocristaux	146
IV.1.2. Utilisation d'un masque auto-organisé.....	153
IV.2. Utilisation de copolymères diblocs pour l'auto-organisation de nanocristaux.....	159
IV.2.1. Choix d'un copolymère dibloc	159
IV.2.2. Procédé d'obtention du masque de copolymère dibloc.....	161
IV.2.3. Obtention d'un réseau de nanocristaux à l'aide du masque de polystyrène : état de l'art	163

IV.3. Développement d'une technique compatible avec les procédés de la microélectronique.....	167
IV.3.1. Choix et principe de la technique de transfert.....	167
IV.3.2. Transfert du masque en PS dans un masque d'Al ₂ O ₃	168
IV.3.3. Gravure de nano-piliers	174
IV.3.4. Conclusion sur le procédé de transfert	180
IV.4. Perspectives : Utilisation du procédé de transfert pour application dans un dispositif mémoire	182
IV.4.1. Organisation du film de copolymère dans une zone active de transistor mémoire	182
IV.4.2. Utilisation du procédé pour l'obtention de nanocristaux	185
IV.5. Synthèse du chapitre IV	190
Références du chapitre IV	191
Conclusion Générale.....	197
Bibliographie de l'auteur	201

Introduction Générale

Avec plus de 300 milliards de dollars de chiffre d'affaire en 2011, et en tant que base incontournable de l'industrie prospère des circuits-intégrés, la microélectronique est désormais un acteur majeur de l'économie mondiale. Elle s'appuie sur un composant élémentaire inventé en 1947 : le transistor MOS. L'évolution technologique de ce composant durant les dernières décennies a suivi les conjectures de Moore : un doublement du nombre de transistors par puce tous les 18 mois. Cette miniaturisation a permis une forte amélioration des performances des circuits-intégrés ainsi qu'une forte réduction de leurs coûts de fabrication. En conséquence, l'usage de composants à semi-conducteurs, autrefois réservés aux applications informatiques du secteur industriel, s'est diversifié et démocratisé. Ainsi, ils sont désormais intégrés dans de très nombreux dispositifs d'usage quotidien tels que les téléphones portables, tablettes numériques, caméras, appareils photos, GPS. Outre la puissance de calcul nécessaire au fonctionnement de ces nouveaux objets numériques et fournie par le microprocesseur, la capacité de stockage des données est un paramètre de plus en plus important en particulier pour les applications mobiles. Cette dernière est assurée jusqu'à présent par les mémoires Flash dont la première réalisation remonte à 1980. L'effet mémoire est obtenu par stockage de charge dans une couche continue de silicium intercalée dans l'empilement de grille d'un transistor MOS. Ces mémoires sont très denses, fiables (10 ans de rétention et 10^5 cycles assurés) rapides et peu consommatrices d'énergie. Leur coût de fabrication ne cesse de baisser, si bien qu'à terme ils pourraient être une alternative aux disques durs dans les ordinateurs. Ces nouveaux marchés porteurs pour les mémoires flash expliquent les efforts conséquents de recherche et développements consentis par les industriels de la microélectronique, qui y consacrent en général plus de 10% de leurs chiffres d'affaires.

Afin de poursuivre l'amélioration des performances des mémoires flash tout en réduisant les coûts de production, il est nécessaire de poursuivre leur miniaturisation. Avec la réduction de la taille des cellules mémoires, de nouvelles problématiques spécifiques apparaissent, en plus des limitations inhérentes au transistor MOS. Elles concernent principalement l'épaisseur des diélectriques, et en particulier celui de l'oxyde tunnel qui, lorsqu'il est trop fin ($<8\text{nm}$), n'est plus suffisamment isolant, ce qui entraîne un déchargement prématuré de la cellule et donc une mauvaise rétention. Afin de s'affranchir de cette difficulté,

une solution consiste à remplacer la grille flottante continue par une grille flottante discrète, limitant ainsi le déchargement aux charges piégées situées en regard du défaut dans l'oxyde. Cette discrétisation peut être réalisée par l'emploi d'un réseau de nanocristaux. De nombreuses recherches ont été menées sur la fabrication et l'intégration de nanocristaux en silicium, desquelles ont résulté plusieurs démonstrateurs de matrices mémoires voire même des produits commerciaux utilisant cette technologie (Freescale). Cependant, le point faible des mémoires à nanocristaux en silicium est leur faible fenêtre de programmation.

Le travail de cette thèse porte sur différents moyens d'améliorer les performances des nanocristaux pour les applications mémoires flash, et en particulier leur fenêtre mémoire. Plusieurs voies d'études, plus ou moins amonts, ont été proposées et les résultats seront présentés en 4 chapitres.

Le chapitre I commence par présenter le contexte économique des mémoires flash, leur principe de fonctionnement ainsi que les limites de leur miniaturisation. Nous expliquerons alors en quoi les nanocristaux en silicium peuvent repousser ces barrières, et en présenterons une synthèse de l'état de l'art à partir duquel nous mettrons en évidence les limitations des mémoires à nanocristaux de silicium

Le chapitre II porte sur les mémoires à double couche de nanocristaux en silicium. Dans une première partie nous présenterons les résultats des caractérisations électriques effectuées sur ces dispositifs, en nous attachant à comparer leurs performances avec celles de dispositifs à simple couche de nanocristaux en silicium. Dans une seconde partie, nous donnerons une interprétation physique à l'amélioration de la fenêtre mémoire mesurée sur les dispositifs à double couche de nanocristaux. Pour cela, une modélisation analytique du chargement de la grille flottante sera utilisée.

Le chapitre III traite de l'intégration de nanocristaux métalliques pour les applications mémoires. Tout d'abord nous listerons les avantages des nanocristaux métalliques par rapport aux nanocristaux en silicium. Nous détaillerons également la stabilité thermodynamique théorique de ces nanocristaux dans un empilement mémoire, ainsi que la mise en évidence expérimentale de l'instabilité de nanocristaux en platine encapsulés dans de l'oxyde de silicium. Puis, nous présenterons le dépôt par CVD (voie chimique en phase vapeur) et la passivation de nanocristaux en nitrure de titane (TiN) et en tungstène (W). La robustesse de ces nanocristaux passivés vis-à-vis de l'oxydation au cours de recuits d'un procédé MOS sera évaluée grâce à des mesures de spectrométrie de photoélectrons X (XPS). Enfin, des cellules

mémoires basés sur une structure de transistor MOS et intégrant des nanocristaux en TiN encapsulés dans du nitrure (SiN) seront caractérisées électriquement. Un gain de performance de ces mémoires par rapport à celles utilisant des nanocristaux en silicium sera démontré.

Le chapitre IV porte sur la synthèse de réseaux de nanocristaux organisés grâce à l'auto-assemblage de films minces de copolymères diblocs. Nous décrirons dans un premier temps un procédé compatible avec les procédés MOS de transfert d'un masque de PS obtenu par auto-organisation d'un film de copolymère PS-b-PMMA dans un masque dur d'alumine (Al_2O_3) utilisé par la suite pour nanostructurer un film continu sous-jacent. Enfin, des exemples d'applications de ce procédé sont présentés, comme par exemple l'obtention d'un réseau organisé de nanoplots, possédant une faible dispersion en taille et donc présentant un intérêt certain pour l'intégration en tant que grille flottante dans un dispositif mémoire flash.

Enfin, nous terminerons ce manuscrit par une conclusion générale résumant les principaux résultats obtenus dans cette thèse ainsi que par les perspectives de ce travail.

Chapitre I

Présentation des mémoires non-volatiles à base de silicium

L'objet de ce premier chapitre est de présenter les mémoires non volatiles à nanocristaux. Tout d'abord, la place des mémoires dans le contexte économique de la microélectronique est décrite. Puis, le principe de fonctionnement des mémoires Flash est expliqué, ainsi que leurs limites en termes de miniaturisation et de performances. Ceci nous mènera à décrire les différentes voies d'amélioration envisagées, et plus particulièrement l'utilisation d'une grille flottante discrète à base de nanocristaux en silicium. Nous présenterons alors un état de l'art de cette technologie depuis la synthèse des nanocristaux jusqu'à leur intégration dans un produit mémoire complet. Nous verrons ensuite que les nanocristaux possèdent toutefois plusieurs limitations, et nous terminerons donc ce chapitre par une liste de solutions étudiées dans cette thèse pour les surmonter.

Sommaire

I.1.	Contexte de l'étude	13
I.1.1.	Les mémoires, composante majeure de l'industrie des semi-conducteurs.....	13
I.1.2.	Les différents types de mémoires sur silicium	14
I.1.3.	Le marché des mémoires en pleine expansion	16
I.2.	Fonctionnement et architectures des mémoires Flash	17
I.2.1.	Structure d'une cellule mémoire	17
I.2.2.	Principe de fonctionnement.....	17
I.2.3.	Architectures des mémoires Flash.....	20
I.3.	Améliorations des cellules mémoires FLASH.....	22
I.3.1.	Limitations des mémoires Flash.....	22
I.3.2.	Les évolutions mises en place et envisagées	23

I.4. Les mémoires à nanocristaux	25
I.4.1. Avantages apportés par les nanocristaux en silicium.....	25
I.4.2. Techniques de déposition des nanocristaux en silicium.....	27
I.4.3. Intégration des nanocristaux en silicium dans des dispositifs mémoires	28
I.4.4. Inconvénients des nanocristaux en silicium.....	30
I.5. Conclusions et présentation du travail de thèse	33
Références du chapitre 1	35

I.1. Contexte de l'étude

I.1.1. Les mémoires, composante majeure de l'industrie des semi-conducteurs

La chaîne de valeur de cette industrie peut être décrite sous la forme d'une pyramide inversée (Figure I-1-a). Son moteur est constitué du marché des matières premières et des équipementiers. Les ventes de composants à base de semi-conducteurs ont produits en 2011 un chiffre d'affaire de 300 milliards de dollars. Ces composants microélectroniques contribuent à générer 1500 milliards de dollars dans l'industrie de l'électronique, qui, par son intégration dans tous les secteurs d'activité, constitue désormais une base de l'économie mondiale. Ceci s'explique par le besoin toujours grandissant d'appareils électroniques dans les technologies de l'information et de la communication (ordinateurs, serveurs, téléphones portables, tablettes...). L'industrie des semi-conducteurs est donc un levier de la croissance de l'économie mondiale puisque la compétitivité des entreprises de l'électronique dépend de la vitalité de ce secteur. Parmi ces composants électroniques, deux grandes familles se distinguent : les transistors MOS servant à réaliser les calculs nécessaires au fonctionnement des appareils électroniques, et les mémoires utilisées pour stocker les données. En 2010, 30% du chiffre d'affaire du marché des circuits intégrés a été réalisé grâce à la vente de mémoires (Figure I-4-b). Les leader de ce marché sont Samsung, Toshiba et Micron Technology qui à eux 3 représentent 75% du chiffre d'affaire mondial dans le secteur des mémoires [isupply]. Ceci s'explique par le développement très rapide des technologies mémoires qui nécessitent de lourds investissements en recherche et développement que seules les grandes entreprises peuvent supporter.

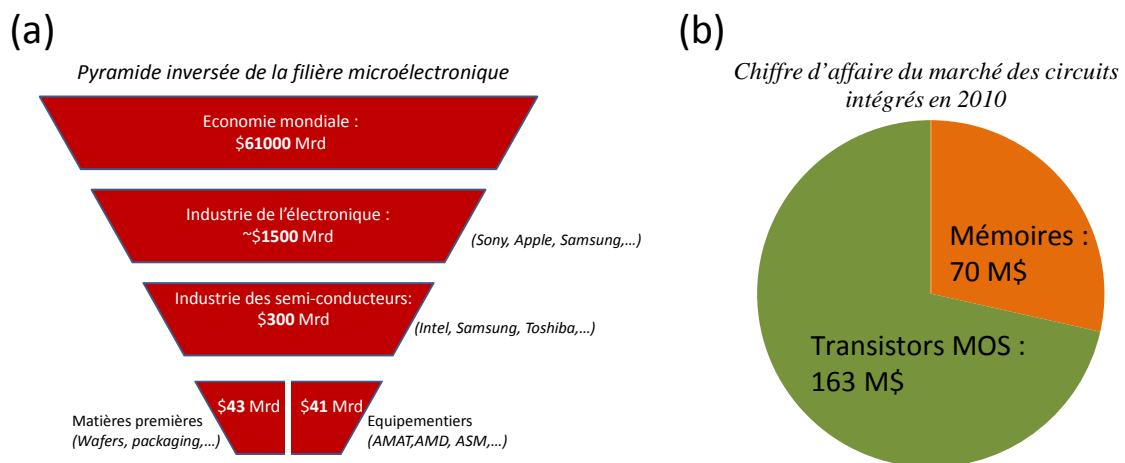


Figure I-1 : (a) Représentation de la chaîne de valeur de la microélectronique et sa place dans l'économie mondiale en 2011. Les chiffres indiquent le chiffre d'affaires du secteur concerné en milliards de dollars. (b) Répartition du marché de l'industrie des circuits intégrés en 2010 [feet]

I.1.2. Les différents types de mémoires sur silicium

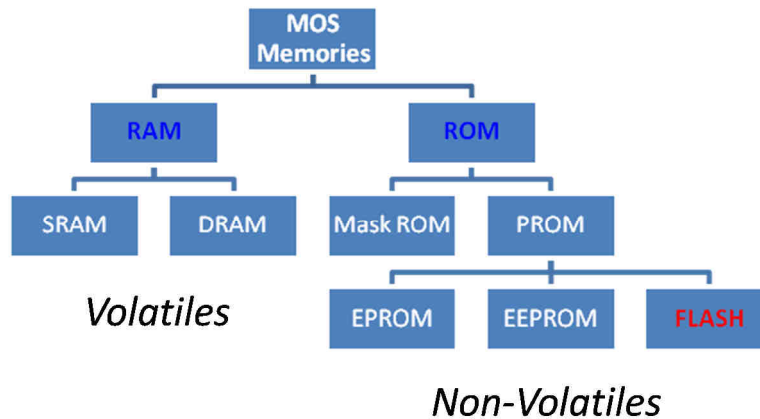


Figure I-2 : Classification des différents types de mémoires à base de silicium

Les mémoires à semi-conducteur se divisent en deux grandes catégories : volatiles et non-volatiles (Figure I-2). Les mémoires volatiles perdent leur information dès qu’elles ne sont plus alimentées. Les mémoires non-volatiles, au contraire, retiennent l’information stockée indépendamment de l’alimentation extérieure. La Figure I-3-a est un résumé des caractéristiques de chacune des mémoires décrites ci-après.

- **Les mémoires volatiles**

Elles sont communément appelées RAM pour « Random Access Memory », car il est possible d’accéder à n’importe quelle donnée de la mémoire de façon aléatoire. Deux types de mémoires RAM existent :

La **SRAM** (Static random access memory), ou mémoire statique peut conserver l’information aussi longtemps qu’une tension est appliquée à ses bornes. Chaque bit est stocké à l’aide de bascules constituées de 6 transistors. La surface occupée par ces mémoires est donc importante. Il n’est par contre pas nécessaire de la rafraîchir régulièrement, elle consomme donc très peu de courant. Sa lecture et son écriture très rapides en font un choix judicieux pour les mémoires caches des microprocesseurs.

La **DRAM** (Dynamic random access memory), ou mémoire dynamique, doit être régulièrement rafraîchie pour conserver l’information. Elle consomme donc plus de courant que les SRAM. Cependant, elle n’est constituée que d’un transistor d’accès et d’un condensateur stockant une charge, ce qui permet d’obtenir de fortes densités d’intégration. Leur coût est ainsi réduit, et elles sont donc utilisées très largement en tant que mémoire

centrale des ordinateurs. On note sur la Figure I-4-a que le marché des DRAM est bien supérieur à celui des SRAM.

- **Les mémoires non volatiles**

Elles permettent de stocker l'information en l'absence d'alimentation électrique. La **ROM** (Read Only Memory) fut la toute première mémoire non-volatile sur silicium à être inventée. Les données sont écrites lors de la fabrication, par gravure, et ne peuvent être modifiées par la suite. Elle trouve son utilité dans les microcontrôleurs.

La **PROM** (Programmable ROM), est une évolution de la ROM dans laquelle la mémoire peut être programmée une seule fois. Son fonctionnement s'apparente à une matrice de fusibles dont on claque certains éléments selon l'information à stocker.

L'**EPROM** (Erasable PROM) est une amélioration de la PROM pour laquelle il est possible d'effacer les données par l'exposition à des rayonnements ultra-violet (UV). C'est le premier dispositif à utiliser le principe de stockage de charges dans une grille flottante. Le point mémoire est constitué d'un transistor unique.

L'**EEPROM** (Electrically EPROM) diffère de l'EPROM en ce qu'il est possible de l'effacer électriquement, sans avoir recours à une exposition UV. Cela se fait au prix de l'ajout d'un transistor de sélection pour chaque transistor de stockage, ce qui augmente la surface occupée par ces mémoires.

Enfin, la **FLASH** est similaire à l'EEPROM, sans le transistor de sélection dont le rôle est désormais joué par le transistor de stockage. Le gain en surface est donc conséquent, pour les mêmes fonctionnalités. Deux types d'architectures de mémoires FLASH existent : la NOR et la NAND. Elles diffèrent principalement par leurs architectures que nous détaillerons au §1.2.3.

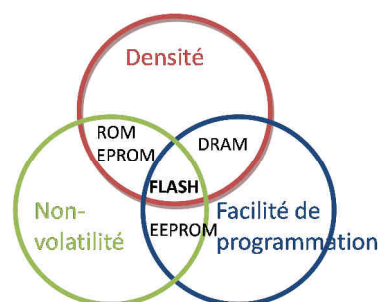


Figure I-3 : Comparatif de performances des différents types de mémoires selon leur densité, leur non-volatilité et leur facilité de programmation.

I.1.3. Le marché des mémoires en pleine expansion

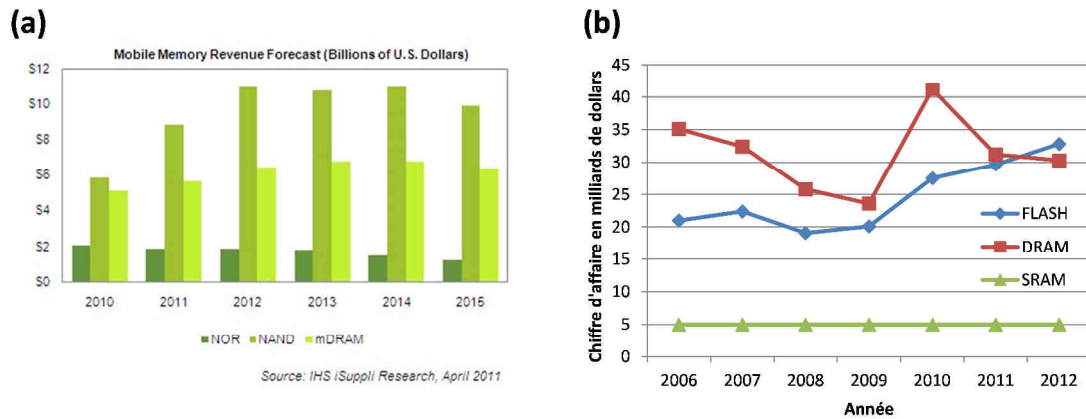


Figure I-4 : (a) Prévisions du chiffre d'affaire des mémoires pour les applications mobiles. On note la domination de la FLASH sur la DRAM, et notamment de la NAND [isupply] (b) Evolution du chiffre d'affaire généré par les mémoires FLASH, DRAM et SRAM. Les chiffres donnés pour 2012 sont des prévisions [icinsight]

Le marché des mémoires est dominé par la DRAM et la Flash. Depuis le milieu des années 1990, le volume d'unités mémoires vendues a augmenté chaque année d'un pourcentage à deux chiffres. Cette croissance est poussée par l'apparition sur le marché de l'électronique d'appareils consommant une quantité toujours plus importante de mémoire. En particulier, les plateformes mobiles telles que les smartphones, les tablettes numériques, sont en pleine croissance grâce notamment à la miniaturisation des composants et au développement des réseaux sans fils. Les mémoires FLASH, et en particulier les NAND, en sont les premières bénéficiaires (Figure I-4-a). Ainsi, en 2010 96 % des appareils électroniques étaient dotés de mémoire Flash [Lu09]. Grâce à ces nouvelles applications, il est prévu que le chiffre d'affaire des FLASH dépassera celui des DRAM (Figure I-4-b) en 2012 car, bien que le marché ne cesse de grandir, le prix de vente des mémoires FLASH baisse plus vite que celui des NAND, tout en ayant des performances se rapprochant de celles des DRAM. A titre de comparaison, début 2012 le prix d'1 Gb de DRAM coûte 1\$, alors qu'1Gb de Flash NAND s'achète 0.10 \$ [dramexchange]. Il est également intéressant de comparer le coût de la DRAM à celui des disques durs. Jusqu'en 2011, les SSD (solid state drive) à base de NAND étaient 10 fois plus chers que les HDD (hard disc drive) magnétiques. Les SSD étaient donc réservés à des secteurs de niche, où les performances priment sur le coût. Hors, le prix des HDD ne cesse d'augmenter depuis 2011 suite aux inondations en Thaïlande qui ont provoqué le ralentissement de la production de plusieurs fabricants de disques durs leader dans le secteur (Western Digital) [isupply], ramenant le prix d'un SSD à trois fois seulement le prix d'un HDD. Si la tendance se confirme, certains analystes pensent que le SSD pourrait être adopté massivement dans un futur proche.

I.2. Fonctionnement et architectures des mémoires Flash

I.2.1. Structure d'une cellule mémoire

La structure est basée sur celle d'un transistor MOSFET (Figure I-5-a). La différence est qu'une couche de piégeage, appelée grille flottante, est ajoutée dans l'empilement de grille. Cette grille flottante est isolée de la grille de contrôle et du substrat par deux oxydes: l'oxyde tunnel et l'oxyde d'interpoly, aussi appelé oxyde de contrôle.

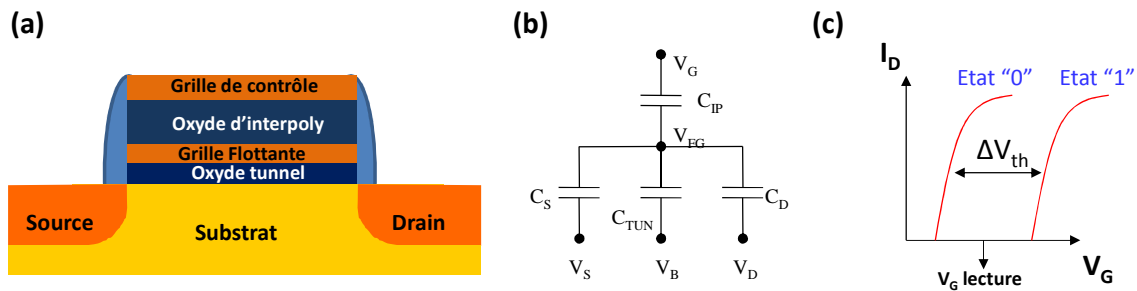


Figure I-5 : (a) Structure d'une cellule mémoire FLASH (b) Schéma électrique associé (c) Caractéristique I_D - V_G d'une cellule mémoire selon son état écrit ou effacé.

I.2.2. Principe de fonctionnement

La grille flottante se charge avec des électrons lorsqu'un champ électrique suffisant est appliqué entre le substrat et la grille flottante. Cette charge écran le potentiel appliqué sur la grille de contrôle lors de la lecture et provoque un décalage de la tension de seuil vers les tensions positives (Figure I-5-c) :

$$\Delta V_{TH} = -\frac{Q_{FG}}{C_{IP}} \quad (I-1)$$

Q_{FG} : Charge stockée dans la grille flottante

C_{IP} : Capacité entre la grille flottante et la grille de contrôle. $C_{IP} = \frac{\epsilon_{IP}}{t_{IP}}$

A l'aide du modèle électrique représenté sur la Figure I-5-b, il est possible d'extraire la tension de la grille flottante :

$$V_{FG} = \frac{Q_{FG}}{C_{TOT}} + \alpha_G V_G + \alpha_D V_D + \alpha_S V_S + \alpha_B V_B \quad (I-2)$$

$$\text{Avec } \alpha_G = \frac{C_{IP}}{C_{TOT}} \quad \alpha_D = \frac{C_D}{C_{TOT}} \quad \alpha_S = \frac{C_S}{C_{TOT}} \quad \alpha_B = \frac{C_{TUN}}{C_{TOT}}$$

$$C_{TOT} = C_{IP} + C_{TUN} + C_S + C_D$$

Le substrat et la source sont connectés à la masse et on considère que les tensions appliquées sur le drain sont faibles. L'équation 2 peut alors se simplifier:

$$V_{FG} = \frac{Q_{FG}}{C_{TOT}} + \alpha_G V_G \quad (I-3)$$

D'après la formule 3, plus α_G est grand, plus le couplage entre la grille flottante et la grille de contrôle est important. Or, un meilleur couplage permet d'obtenir un champ électrique plus grand dans l'oxyde tunnel, ce qui améliore l'efficacité du chargement. Cependant, un couplage trop important risque d'induire des perturbations de la cellule mémoire durant la lecture. En conséquence, un optimum existe, autour de 0,6-0,7.

La lecture est effectuée en appliquant une tension de lecture, comprise entre la tension de seuil de la cellule non chargée et de la cellule chargée (Figure I-5-c). Le transistor est alors soit dans l'état conducteur, soit dans l'état bloqué, selon la charge présente dans la grille flottante.

• **Ecriture**

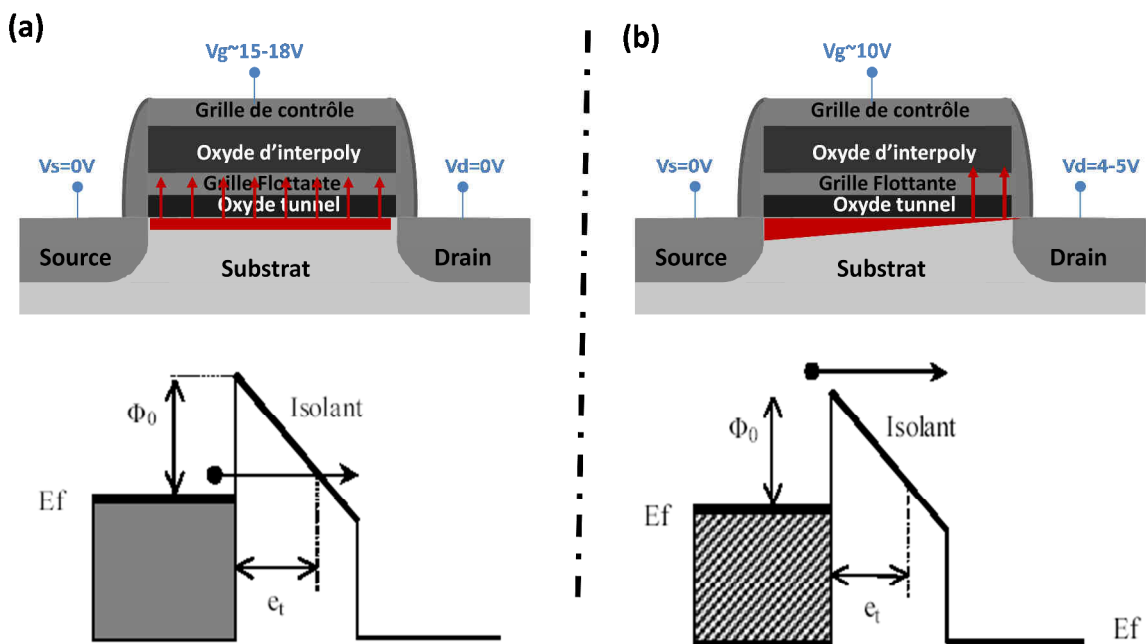


Figure I-6 : Les deux mécanismes d'écriture d'une mémoire Flash: (a) par effet tunnel Fowler Nordheim (b) par injection d'électrons chauds

Les électrons peuvent être injectés dans la grille flottante par deux mécanismes décrits sur la Figure I-6 :

- Effet tunnel Fowler-Nordheim (Figure I-6-a). Ce mécanisme est obtenu en appliquant de fortes tensions sur la grille de contrôle. La barrière de potentiel devient alors triangulaire et est d'autant plus fine que la tension est élevée. Les électrons peuvent alors traverser la barrière par effet tunnel et s'accumuler dans la grille flottante. Ce mécanisme est utilisé dans l'architecture NAND.

- Injection d'électrons chauds (Figure I-6-b). Une tension positive est appliquée sur la grille de contrôle et sur le drain. Tout d'abord, les électrons sont accélérés de la source vers le drain dans le canal du transistor. Lorsqu'ils ont accumulé suffisamment d'énergie, ils franchissent la barrière de l'oxyde tunnel et passent dans la bande de conduction de l'oxyde pour arriver ensuite dans la grille flottante. Ce mécanisme a l'avantage d'être rapide mais les électrons chauds endommagent l'interface substrat-oxyde et consomment une quantité importante de courant. Ce mécanisme est utilisé dans l'architecture NOR.

- **Effacement**

Les 3 principaux mécanismes utilisés sont présentés sur la Figure I-7. Ils utilisent tous le mécanisme de transport tunnel Fowler-Nordheim décrit précédemment, les électrons transitent soit directement de la grille flottante vers le substrat (Figure I-7-a), soit de la grille flottante vers la source (Figure I-7-b). Il est également possible d'effectuer un effacement mixte, de la grille flottante vers la source et le substrat à la fois (Figure I-7-c).

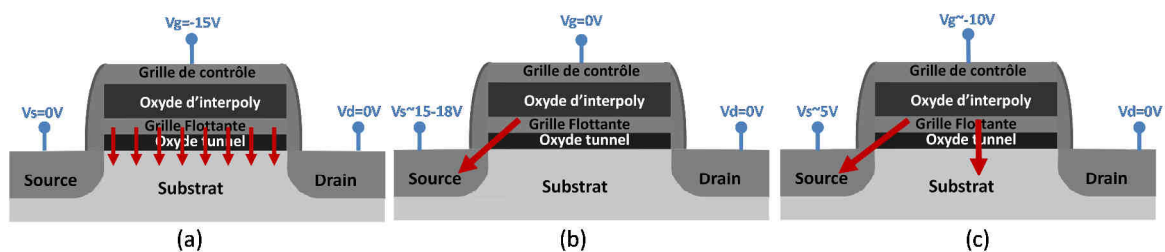


Figure I-7 : Différents mécanismes d'effacement d'une mémoire FLASH (a) par le canal. (b) par la source (c) mixte grille-source.

I.2.3. Architectures des mémoires Flash

Deux architectures existent, la NAND et la NOR représentées sur la Figure I-8. Aucune matrice mémoire n'ayant été utilisée dans ce travail de thèse, nous ne présenterons que brièvement ces architectures et ne rentrerons pas dans les détails de leurs modes de fonctionnement. Ceux-ci sont largement décrits avec beaucoup de précision dans l'ouvrage [Cappelletti99].

Dans l'architecture NOR, les cellules mémoires de chaque ligne ont la grille de contrôle en commun. Les cellules mémoires de chaque colonne ont quant à elles le drain en commun. L'écriture se fait par injection de porteurs chauds, ce qui procure une programmation rapide de chaque cellule, mais assez lente au global car la programmation par bloc n'est pas possible. Cette architecture permet un accès aléatoire et rapide en lecture à chaque cellule de la matrice en sélectionnant sa WL (word line) et sa BL (bit line). C'est une architecture largement employée dans les mémoires embarquées (microprocesseurs, systèmes sur puces) notamment pour le stockage de code où la rapidité d'accès est primordiale.

Dans l'architecture NAND, les cellules mémoires de chaque ligne partagent également leur grille de contrôle. Dans chaque colonne, les cellules mémoires sont connectées en série. L'écriture se fait par effet tunnel Fowler-Nordheim. Bien que ce mécanisme de programmation soit plus lent que par injection de porteurs chauds, le fait que la programmation par blocs soit possible rend au final cette architecture plus rapide en écriture que la NOR. Par contre, la lecture d'une cellule se fait en polarisant les autres cellules de la colonne pour qu'elles soient dans l'état conducteur, ce qui augmente le temps d'accès par rapport une NOR à l'accès aléatoire. Cette architecture est plus dense puisqu'elle nécessite moins d'interconnexions que pour la NOR. Elle est donc particulièrement adaptée pour le stockage de masse (« stand-alone ») dans des produits tels que les clés USB, les SSD, les cartes mémoires où la taille est importante. C'est ce qui explique son fort développement ces dernières années, comme décrit sur la Figure I-9-a.

L'effacement s'effectue par bloc dans les deux architectures. Le gros avantage est que tous les bits d'une ligne sont effacés en même temps. La rapidité d'effacement procurée par cette architecture est d'ailleurs à l'origine du nom FLASH.

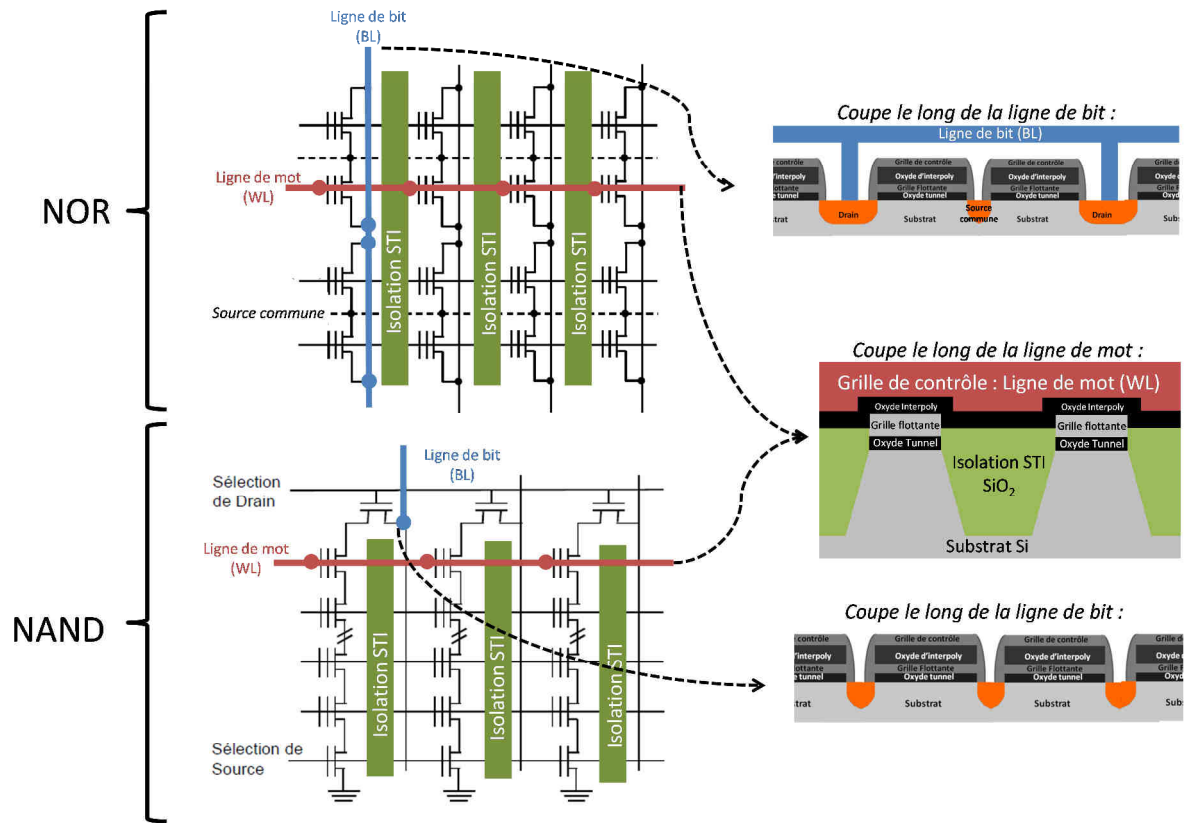
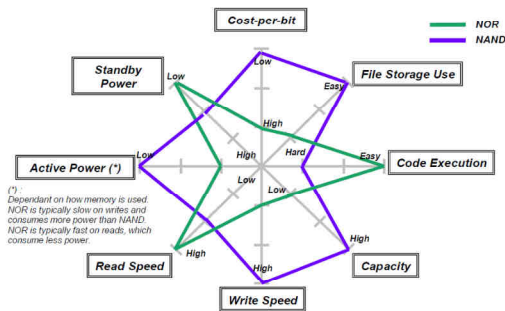


Figure I-8 : Schémas électriques et vues en coupe le long des lignes de bit et de mots, des deux architectures mémoires NOR et NAND

(a) Comparatif des Flash NOR et NAND



(b)

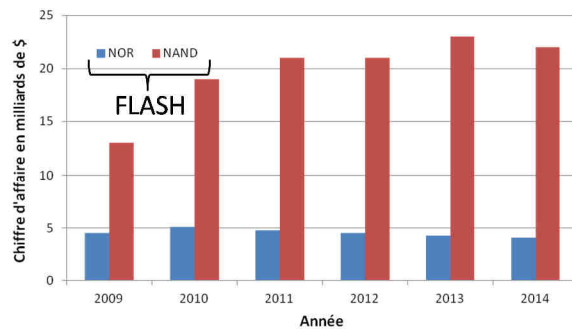


Figure I-9 : (a) Comparatif des performances électriques des architectures Flash NOR et NAND (b) Evolution du chiffre d'affaire généré par les mémoires Flash NOR et FLASH NAND. [isuppli]

I.3. Améliorations des cellules mémoires FLASH

I.3.1. Limitations des mémoires Flash

La réduction des dimensions et l'amélioration des performances sont guidées par l'ITRS (International Roadmap for Semiconductors) qui publie tous les deux ans les tendances et objectifs qui devront être atteints par l'industrie des semi-conducteurs dans les 15 prochaines années [ITRS11]. Dans sa publication de 2011, dont la partie concernant les mémoires flash NAND est présentée en Figure I-10 on note la réduction drastique des dimensions des cellules mémoires pour les prochaines années. Ainsi, dès 2016, le nœud 14 nm (distance entre les cellules mémoires) devrait être franchi, ce qui entraîne plusieurs difficultés de développement technologique. On remarque que plusieurs difficultés se présentent pour le dimensionnement des oxydes tunnel d'épaisseur inférieure à 6nm et des oxydes d'interpoly inférieurs à 10nm.

<i>A. 2D Planar NAND Flash (Floating Gate (FG) or Charge Trapping (CT))</i>										
<i>year of production</i>	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
<i>Planar (2D) NAND Flash uncontacted poly 1/2 Pitch (nm)</i>	22	20	18	17	15	14	13	12	11	10
<i>Cell size – area factor a in multiples of F2 SLC/MLC [5]</i>	4.0/1.3	4.0/1.3	4.0/1.3	4.0/1.3	4.0/1.3	4.0/1.3	4.0/1.3	4.0/1.3	4.0/1.3	4.0/1.3
<i>Tunnel oxide thickness (nm) [6]</i>	6-7	6-7	6-7	6-7	6-7	5-6	5-6	5-6	5-6	5-6
<i>Interpoly dielectric material [7]</i>	ONO	ONO	ONO	ONO	ONO	ONO	High-K	High-K	High-K	High-K
<i>Interpoly dielectric thickness (nm)</i>	10-13	11	11	10	10	9	9	9	8	8
<i>Gate coupling ratio (GCR) [8]</i>	0.6	0.6	0.6	0.5-0.6	0.5-0.6	0.5-0.6	0.5-0.6	0.5-0.6	0.5-0.6	0.5-0.6
<i>Control gate material [9]</i>	n-poly	n-poly	n-poly	n-poly	n-poly/Metal	n-poly/Metal	Metal	Metal	Metal	Metal
<i>Highest W/E voltage (V) [10]</i>	17-19	15-17	15-17	15-17	15-17	15-17	15-17	15-17	15-17	15-17
<i>Endurance (erase/write cycles) [11]</i>	1,E+04	1,E+04	1,E+04	1,E+04	1,E+04	1,E+04	5,E+03	5,E+03	5,E+03	5,E+03
<i>Nonvolatile data retention (years) [12]</i>	10	10	10	10	10	10	10	10	10	10
<i>Maximum number of bits per cell (MLC) [13]</i>	3	3	3	3	3	3	3	3	3	3

Figure I-10 : Extrait des prévisions ITRS 2011 pour les mémoires flash NAND [ITRS11]. Les cases blanches représentent les solutions technologiques connues, celles en jaune les solutions connues mais en cours d'optimisation. Les cases en rouges sont les points pour lesquelles aucune solution n'est connue actuellement.

La première limitation est le maintien d'un bon couplage entre la grille de contrôle et la grille flottante. Jusqu'au nœud 32nm, ce couplage pouvait facilement être ajusté grâce aux extensions latérales de la grille de contrôle sur la grille flottante car l'espacement entre les cellules était suffisant. Or, dans des réseaux très denses de mémoires, cet espacement n'est plus suffisant pour y déposer la grille de contrôle. Le coefficient de couplage passe alors de 0,6 à 0,3 [Kim05]. Afin de conserver un bon couplage de 0,5-0,6, nécessaire pour maintenir des tensions d'écriture/effacement de l'ordre de 15-17V, il est donc nécessaire de réduire l'épaisseur de l'oxyde de contrôle ONO (oxyde-nitride-oxyde). Cependant, en-dessous de 11 nm, ce tricouche n'est plus suffisamment fiable pour jouer son rôle d'isolant, et il est nécessaire de changer de matériau. Les industriels se tournent désormais sur les matériaux à

haute permittivité (high-k) qui permettraient de maintenir un bon couplage tout en conservant une bonne rétention de la charge dans la grille flottante.

La seconde limitation est la réduction de l'épaisseur de l'oxyde tunnel afin de conserver un bon contrôle électrostatique du canal et d'éviter les effets de canaux courts. Or, il a été démontré par Lai et al. [Lai98] qu'en dessous de 6nm, le courant de fuite à travers cet oxyde par tunnel direct est trop important pour pouvoir maintenir la charge pendant 10 ans. Il est possible de réduire cette épaisseur grâce à la nitruration de l'oxyde tunnel ou en utilisant des multicouches de matériaux high-k (« crested-barrier ») [Likharev98] mais cela introduit d'autres problèmes de fiabilité non maîtrisés à l'heure actuelle. Un autre problème lié à la réduction de l'oxyde tunnel est sa dégradation causée par les cycles d'écriture et d'effacement. La succession de contraintes à fort champ électrique ($>10\text{MV/cm}^{-1}$) crée des charges positives qui permettent aux électrons de traverser l'oxyde tunnel par un mécanisme de conduction assistée par pièges [Maserjian82] et produisent un abaissement local de la barrière tunnel à franchir [Olivo88]. Ce phénomène est couramment appelé SILC pour « Stress Induced Leakage Current », et apparaît pour des épaisseurs d'oxyde tunnel inférieures à 8nm, donc avant la limite intrinsèque de fuite par courant tunnel direct décrite précédemment.

La troisième limitation liée à la miniaturisation est l'augmentation des interférences entre les cellules mémoires. Celles-ci se rapprochant, le couplage capacitif entre leurs grilles flottantes augmente. Il arrive alors que la charge stockée dans une grille flottante influe sur la tension de seuil d'une cellule voisine.

Enfin, la réduction des dimensions affectant également la grille flottante, le nombre d'électrons utilisés pour stocker un bit se réduit considérablement. Les travaux de Molas et al. [Molas04] ont montré que plus ce nombre diminue, plus la dispersion sur le temps de programmation et la fenêtre de programmation est importante. Elle augmente exponentiellement en fonction du nombre d'électrons.

I.3.2. Les évolutions mises en place et envisagées

Afin de poursuivre l'amélioration des performances et de la densité des mémoires flash, deux axes de recherche sont développés par les industriels : le développement de nouvelles technologies de mémoires non-volatiles et l'amélioration des technologies actuelles.

Parmi les nouvelles technologies, on trouve plusieurs types de mémoires résistives : magnétorésistives (MRAM) [Prejbeanu04], à changement de phase (PCRAM) [Lee11] ou à base d'oxydes métalliques (OxRRAM) [Baek05] [Courtade09]. Nous ne développerons pas ici leurs principes de fonctionnement. Concernant les technologies classiques des FLASH, plusieurs approches permettent leurs améliorations :

- Afin d'augmenter la densité de stockage il est possible de stocker plusieurs bits par cellule en stockant plusieurs niveaux de charge dans la grille flottante [Atwood97]. Cette méthode nécessite une grande fenêtre mémoire, ainsi qu'un excellent contrôle de la charge injectée dans la grille flottante. Les dimensions de la cellule sont ainsi conservées tout en augmentant la capacité de stockage, ce qui diminue le coût par bit. L'ITRS préconise de stocker dès aujourd'hui 3 bits par cellules (Figure I-10).

- L'intégration 3D des matrices mémoires permet d'améliorer la densité de stockage. En particulier, l'intégration monolithique proposée par Toshiba [Fuk07], permet de réaliser plusieurs niveaux de mémoires sans procédé de lithographie ce qui est très économique. Cette architecture mémoire a d'ailleurs été baptisée BiCS (Bit-Cost Scalable Memory).

- L'utilisation de nouveaux matériaux dans une cellule mémoire classique est également un axe de recherche très important. Nous avons déjà traité dans le paragraphe précédent de l'utilisation de matériaux high-k pour remplacer l'ONO en tant qu'oxyde d'interpoly. Il est aussi envisagé de modifier la grille flottante en remplaçant la couche continue de polysilicium par une grille flottante à piègeages discrets. L'utilisation d'une telle couche permet de pallier à certaines limitations présentées dans le paragraphe précédent : les interférences inter-cellules sont réduites et l'effet du SILC est limité. Deux approches sont développées pour obtenir une grille flottante à piègeages discrets. La première porte le nom de CTF (Charge trap Flash) dans laquelle sont rangées les mémoires SONOS (silicon oxide nitride oxide silicon), TANOS (Tantale Nitride Oxide Silicon) et NROM (Nitride random access memory). La discrétisation se fait par des pièges électroniques présents naturellement dans une couche continue de nitrure. La seconde alternative est la mémoire à nanocristaux pour laquelle la discrétisation est spatiale, chaque nanocristal étant isolé des autres par un oxyde. Nous n'entrerons pas ici en détail sur le fonctionnement des CTF, mais nous retiendrons que ses principaux avantages sont la facilité de mise en œuvre et la grande fenêtre de programmation. Au contraire, ses points faibles sont sa mauvaise rétention de charge à haute température, la lenteur d'effacement et le cyclage souvent médiocre. Nous nous

concentrerons dans le paragraphe suivant sur les mémoires à base de nanocristaux qui peuvent combler certaines lacunes des mémoires CTF pour certaines applications.

I.4. Les mémoires à nanocristaux

I.4.1. Avantages apportés par les nanocristaux en silicium

- **Meilleure fiabilité vis-à-vis de la qualité de l'oxyde tunnel**

En cas de défaut dans l'oxyde tunnel créant un chemin de conduction pour les électrons, seuls quelques nanocristaux situés au dessus de ce défaut, sont affectés par la fuite de charge. Ce n'est pas le cas avec une grille flottante continue où toutes les charges stockées se déchargent si un chemin de conduction est créé dans l'oxyde (Figure I-11-b). Il est en particulier possible de diminuer l'épaisseur de l'oxyde tunnel (~5 nm au lieu de 8 nm pour les mémoires à couche continue) ce qui permet d'améliorer l'efficacité de programmation en conservant la même durée de rétention (>10 ans). Les tensions de programmation et d'effacement sont également réduites.

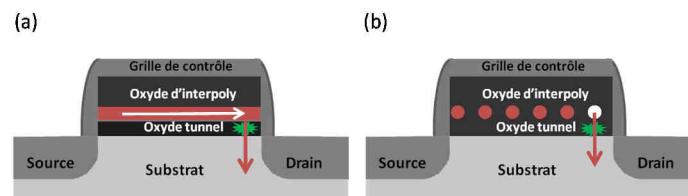


Figure I-11 : Effets d'un chemin de conduction dans l'oxyde tunnel pour (a) une mémoire à grille flottante continue : toute la grille flottante se décharge (b) une mémoire à sites de piégeage discrets : seul le nanocristal situé en regard du défaut se décharge

- **Stockage de deux bits par cellule**

Les nanocristaux sont isolés les uns des autres (une épaisseur minimale de 4 nm d'oxyde entre les nanocristaux est nécessaire afin d'éviter tout transfert par effet tunnel entre les nanocristaux). Il est donc possible de stocker deux bits par cellule grâce au mécanisme d'injection par porteurs chauds côté drain ou côté source, ce qui permet de stocker 2 bits par cellule (Figure I-12).

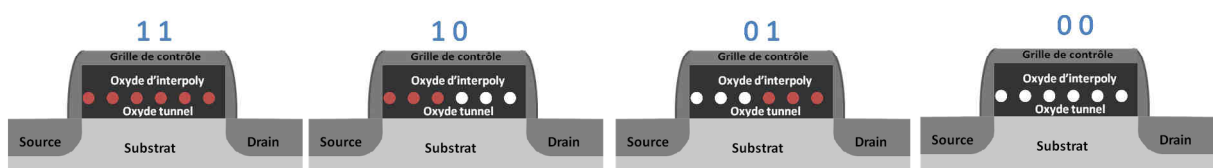


Figure I-12 : Les 4 combinaisons pour programmer une mémoire FLASH NOR à nanocristaux.

- **Réduction des couplages parasites entre cellules**

Le diamètre des nanocristaux (<10nm) étant plus faible que l'épaisseur de la couche de polysilicium d'une mémoire Flash standard, les couplages capacitifs entre grilles flottantes de cellules voisines est plus faible. En attestent les résultats de simulations effectuées par Molas et al. [Molas07] sur la Figure I-13, où on observe que le couplage capacitif entre deux grilles flottantes à base de nanocristaux en silicium est beaucoup plus faible que celui entre deux grilles flottantes continues en polysilicium.

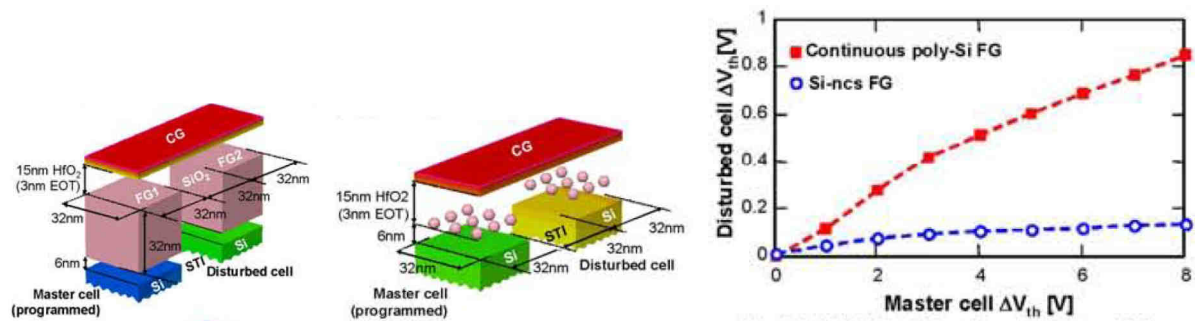


Figure I-13 : Simulation TCAD 3D du couplage capacitif entre deux grilles flottantes dans une mémoire à grille flottante en polysilicium et dans une mémoire à nanocristaux en silicium. [Molas07].

- **Bonne rétention à haute température**

Contrairement au cas du nitrure, la rétention des mémoires à nanocristaux en silicium est très peu affectée par une forte température. En effet, les électrons sont stockés dans la bande de conduction des nanocristaux, qui ne possède pas de pièges activés en température. Ce comportement de faible activation en température est un atout pour les applications de mémoires embarquées, par exemple pour l'automobile.

- **Intégration aisée dans les procédés de fabrication MOS**

Le silicium étant le matériau de base de la microélectronique, ils sont facilement intégrables dans les filières MOS traditionnelles et ne posent pas de problèmes de contamination. D'autre part, le fait que les nanocristaux soient isolés les uns des autres par une couche d'oxyde fait qu'il est possible de s'affranchir de l'étape de gravure de la grille flottante. De plus, les faibles tensions d'écriture et d'effacement permettent dans certains cas de supprimer les transistors haute tension. Ainsi, jusqu'à sept masques photolithographiques peuvent être économisés, ce qui réduit considérablement les coûts de fabrication de la mémoire [Muralidhar'03].

I.4.2. Techniques de dépôt des nanocristaux en silicium

Plusieurs techniques de fabrication d'un réseau de nanocristaux en silicium existent et peuvent être classées en trois familles :

- **Précipitation de silicium en excès**

Cette méthode consiste à recuire un oxyde de silicium de type SiO_x avec ($x < 2$). Cet oxyde peut être obtenu par implantation basse énergie de silicium dans du SiO_2 [Bonafos05] ou par dépôt direct CVD [Yun00] [Buffet02]. Pendant le recuit, typiquement à une température supérieure à 1000°C et pendant plus de 30 minutes, le silicium en excès précipite pour former des nanocristaux de silicium dans une matrice de SiO_2 . La précipitation se faisant dans le volume de la couche d'oxyde, les nanocristaux ne précipitent pas tous dans le même plan. Il en résulte donc une dispersion sur l'épaisseur de la barrière d'oxyde tunnel entre le nanocristal et le canal.

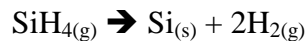
- **Synthèse sous forme d'aérosol**

Les nanocristaux sont synthétisés sous forme d'aérosol par pyrolyse du silane (SiH_4) à haute température puis oxydés en surface. Ils sont ensuite déposés sur le substrat [Ostraat01] [Swihart03]. Des densités très élevées de nanocristaux peuvent être obtenues par cette méthode. Ces nanocristaux ont été intégrés dans un dispositif MOSFET mémoire pour lequel de bonnes performances sont relevées [DeBlauwe00]. L'avantage de ce procédé est qu'il permet de dissocier la phase de synthèse des nanocristaux et la phase de dépôt sur le substrat, ce qui permet de maîtriser la quantité de nanocristaux déposés. D'autre part, la dispersion en taille des nanocristaux peut être contrôlée grâce à un spectromètre de masse inséré entre la chambre de synthèse de l'aérosol et la chambre de dépôt. Cependant, un équipement complexe et spécifique est nécessaire, ce qui limite l'industrialisation de ce procédé.

- **Synthèse par LPCVD**

Dans cette technique, les nanocristaux sont déposés sur l'oxyde par dépôt chimique en phase vapeur. Le dépôt des nanocristaux suit un mécanisme de nucléation-croissance. Lors de la nucléation, le silicium se dépose en surface sous forme de nuclei de petites tailles. Puis, lors de la croissance, le nanocristal croît à partir de ce nuclei par adsorption du précurseur gazeux sur le nuclei. Le procédé de dépôt peut se réaliser soit en combinant ces deux étapes, soit en les dissociant.

Dans le cas du *dépôt en une étape*, le précurseur gazeux utilisé est le silane SiH₄ qui réagit selon la réaction :



La taille et la densité des nanocristaux peuvent être contrôlées par (i) les conditions de dépôt telles que la température, la pression, le temps et (ii) la préparation de surface car les nanocristaux nucléent préférentiellement sur les liaisons hydroxyles Si-OH [Mazen03]. Ce procédé de fabrication conduit à une forte dispersion en taille des nanocristaux car la croissance de tous les nanocristaux ne commence pas simultanément. En effet, les nuclei pouvant se former à tout moment pendant le dépôt, le temps de croissance des nanocristaux est différent pour chaque nanocristal, ce qui induit une dispersion sur la taille finale des nanocristaux.

Un procédé de *dépôt en deux étapes* permet de dissocier avantageusement nucléation et croissance des nanocristaux [Mazen04]. La première étape consiste à déposer des nuclei de silicium grâce au précurseur SiH_{4(g)}, comme dans le procédé en une étape. Dans un deuxième temps, le précurseur dichlorosilane SiH₂Cl_{2(g)} permet un dépôt sélectif de silicium sur les nuclei, et par la suite sur les nanocristaux. Par conséquent, il n'y a pas création de nuclei supplémentaires en surface de l'oxyde lors de la croissance, ce qui diminue significativement la dispersion en taille du réseau de nanocristaux.

I.4.3. Intégration des nanocristaux en silicium dans des dispositifs mémoires

Le premier dispositif mémoire à nanocristaux de silicium est attribué à Tiwari et al. [Tiwari96] en 1996. Puis, de nombreuses recherches académiques et industrielles ont conduit à divers prototypes de matrices mémoires. La première fût fabriquée par Motorola en 2003 [Muralidhar03]. Suite aux résultats encourageants sur ces cellules, les recherches se sont poursuivies chez Freescale (ex-Motorola), ce qui a débouché sur la démonstration en 2008 d'une matrice mémoire à nanocristaux en silicium basée sur l'architecture Split-gate [Chindalore08]. Toutes ces démonstrations ont débouché en 2011 sur la commercialisation de mémoires à nanocristaux en silicium embarquées dans des microcontrôleurs [Yater11]. Le principal avantage de cette technologie est la faible consommation électrique, la rapidité d'écriture et d'effacement et l'excellente rétention de charge. Cette mémoire est commercialisée sous le nom de « FlexMemory » et la technologie à base de nanocristaux est

nommée TFS (Thin Film Storage) [Freescale]. Cette architecture split-gate semble prometteuse et particulièrement adaptée aux nanocristaux puisqu'il a été démontré récemment par le CEA Leti qu'elle peut être utilisée pour des longueurs de grille jusqu'à 20 nm pour des mémoires utilisant des nanocristaux en silicium en tant que grille flottante [Masoero11].

Un autre acteur majeur des mémoires flash s'intéressant aux nanocristaux en silicium est ST Microelectronics. Les premiers résultats sur une matrice 1Mb ont été publiés la même année que Motorola, en 2003, avec le partenariat du CEA Leti [De Salvo03]. L'utilisation du dépôt LPCVD en deux étapes permet d'obtenir un réseau de nanocristaux ayant une faible dispersion en taille. Les recherches se sont poursuivies apportant une amélioration des performances. En 2008, d'excellents résultats sont présentés par Gerardi et al. sur une matrice NOR 4Mb [Gerardi08]. Les mémoires à nanocristaux sont alors pressenties comme d'excellents candidats pour les applications embarquées de type SoC (Systems on Chip) grâce à leur bas coût et leur bonne rétention notamment à haute température.

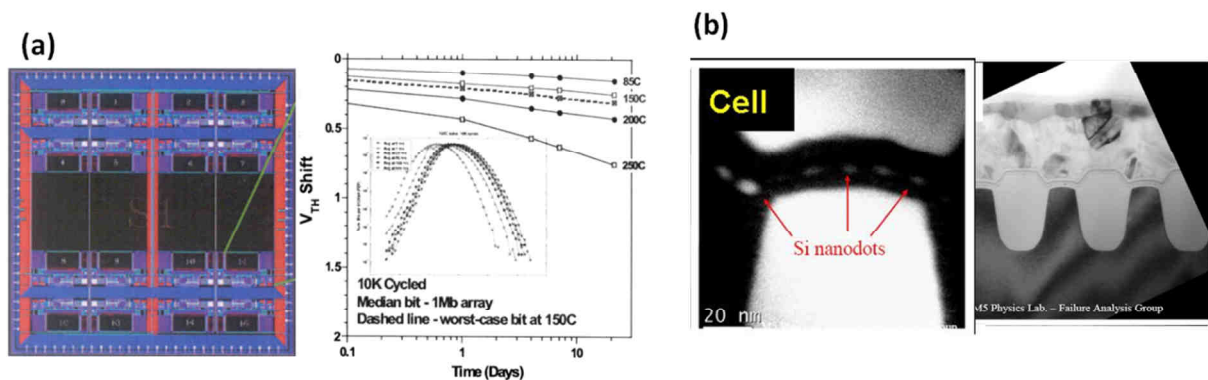


Figure I-14 : Exemples de matrices mémoires à nanocristaux en silicium présentées par (a) Freescale [Chindalore08] et son architecture split-gate. L'écriture se fait par injection de porteurs chauds et l'effacement par tunnel Fowler-Nordheim (b) ST Microelectronics et sa matrice mémoire NOR 4Mb. La forme cylindrique de l'empilement mémoire permet d'augmenter le couplage entre la grille de contrôle et les nanocristaux. [Gerardi08]

Le troisième industriel à s'intéresser aux mémoires à nanocristaux de silicium pour les applications NOR est Atmel. Une matrice mémoire 32 Mb a ainsi été développée avec le procédé similaire à celui utilisé par ST, le dépôt de nanocristaux en deux étapes [Jacob08b]. Ce démonstrateur a confirmé la robustesse et la fiabilité des grilles flottantes en nanocristaux de silicium.

Toutes ces démonstrations se basent sur l'injection de porteurs chauds lors de l'écriture. En effet, à cause du faible couplage entre la grille de contrôle et les nanocristaux (cf. I.3.1), il est impossible d'appliquer un champ électrique suffisant afin d'injecter des

charges par effet tunnel Fowler-Nordheim, ce qui limite l'utilisation des nanocristaux dans les applications NAND. D'autre part, il se trouve qu'à fort champ, le courant Fowler Nordheim entre le substrat et le nanocristal est aussi élevé que celui entre le nanocristal et la grille de contrôle. Par conséquent, même si le champ était suffisant, tous les électrons injectés dans les nanocristaux passeraient immédiatement par effet tunnel à travers l'oxyde de contrôle. Une solution proposée par Molas et al. [Molas07] est d'utiliser un oxyde de contrôle à base d'oxydes à forte permittivité (high-k) afin de (i) améliorer le couplage entre la grille de contrôle et les nanocristaux et (ii) limiter le courant tunnel entre les nanocristaux et la grille de contrôle durant l'écriture. Une fenêtre mémoire de plus de 4V est obtenue avec l'emploi d'oxydes de contrôles à fortes permittivités (HfO_2 , HfAlO , Al_2O_3) tandis qu'avec un oxyde de contrôle classique en ONO (oxyde nitrure oxyde), la fenêtre mémoire est bien plus réduite et les temps d'écriture et d'effacement sont bien plus longs. Ces résultats démontrent la possibilité d'utilisation des nanocristaux en silicium pour les applications NAND.

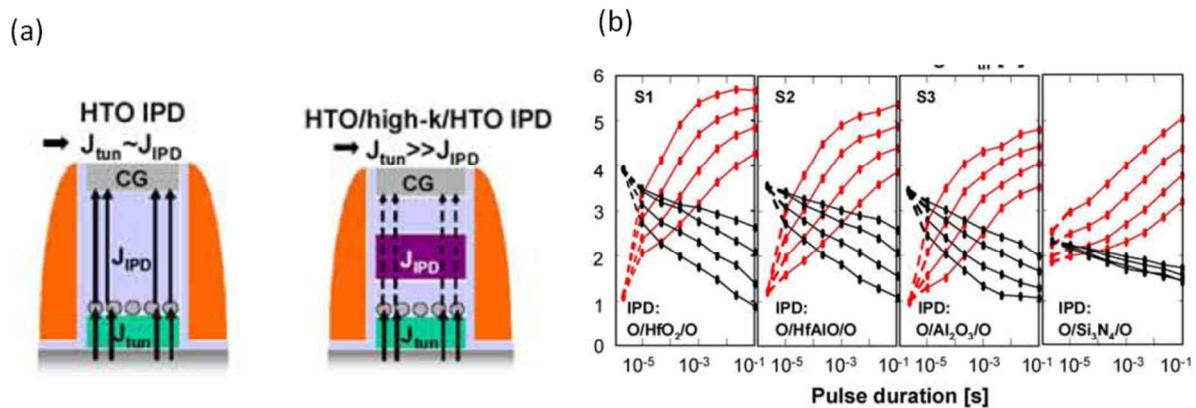


Figure I-15 : (a) Illustration de l'impossibilité de charger les nanocristaux lorsque l'oxyde de contrôle (IPD) est en HTO (High Thermal Oxide) [Molas07]. L'utilisation d'un matériau high-k permet de limiter le courant tunnel vers la grille de contrôle. (b) Courbes d'écriture et d'effacement en mode Fowler Nordheim de mémoires à nanocristaux en silicium [Molas07].

I.4.4. Inconvénients des nanocristaux en silicium

Outre les nombreux avantages des nanocristaux en silicium pour les applications mémoires cités, ils présentent quelques limitations qui n'ont à l'heure actuelle pas été résolues.

- Le couplage entre la grille de contrôle et les nanocristaux est faible car, contrairement au cas d'une grille flottante continue, il n'y a pas de recouvrement des

nanocristaux par la grille de contrôle (Figure I-16). Le coefficient de couplage est alors réduit à 0,3 alors qu'il doit être d'environ 0,6 pour assurer un bon chargement des nanocristaux en régime Fowler-Nordheim. L'utilisation de matériaux high-k est une solution pour améliorer le couplage.

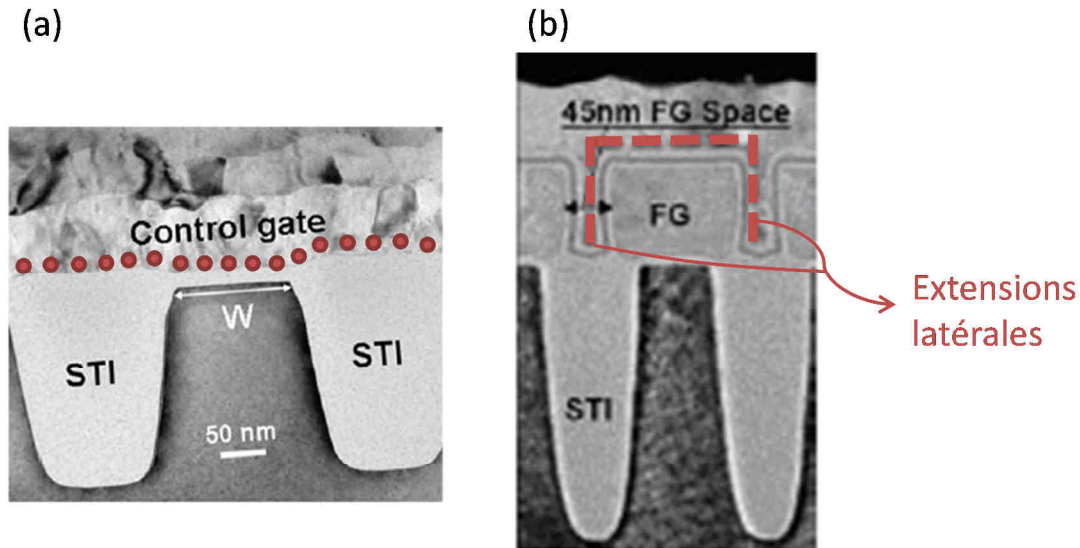


Figure I-16 : Observations TEM le long de la ligne de mot de (a) une mémoire à nanocristaux en silicium [Jacob08b] (b) une mémoire Flash à grille flottante en polysilicium. On observe le débordement de la grille de contrôle sur les flancs de la grille flottante. [Kim05]

- La tension de seuil du transistor est proportionnelle au nombre de charges stockées dans la grille flottante (cf. I.2.2). Dans le cas des mémoires à nanocristaux, la fenêtre de programmation est proportionnelle au pourcentage de la surface d'oxyde tunnel recouverte par les nanocristaux [DeSalvo03]. Il faut donc maximiser le taux de couverture des nanocristaux pour améliorer la fenêtre de programmation. Cependant, deux obstacles s'y opposent. Le premier est lié à la densité du réseau de nanocristaux, et plus particulièrement à l'espacement entre les nanocristaux. En effet, les nanocristaux doivent être isolés électriquement, c'est-à-dire que tout courant tunnel entre eux doit être évité pour empêcher la migration d'électrons dans la grille flottante. Le second obstacle concerne la taille des nanocristaux. En effet, la surface des nanocristaux doit être minimisée afin d'augmenter la discrétisation de la grille flottante et donc son immunité vis-à-vis du SILC. Les nanocristaux de petites tailles sont donc à favoriser, mais dans une certaine mesure car en dessous de 3nm de diamètre, des effets de confinement quantiques apparaissent qui augmentent les niveaux d'énergie des électrons dans les nanocristaux et dégradent les temps de rétention [Delley93] [Huang03] [She03]. En tenant compte de toutes ces contraintes, le taux de couverture maximal acceptable avoisine les 30%.

- Malgré l'utilisation d'un procédé en deux étapes, une dispersion en taille dans le réseau de nanocristaux est inévitable. Les dispersions des tensions de seuil d'une matrice mémoire NOR sont reportées sur la Figure I-17 [Jacob08]. On note que plus le diamètre moyen des nanocristaux est élevé, plus la dispersion sur les tensions de seuils écrites et effacées est importante. Or, la dispersion est d'autant plus élevée que le diamètre des nanocristaux est grand. On en déduit que la dispersion en taille des nanocristaux influe sur la dispersion des tensions de seuil. Ceci peut être problématique car des bits « erratiques » apparaissent lorsque les queues de distribution des tensions de seuils effacées et écrites se chevauchent. Par exemple sur la Figure I-17, pour des nanocristaux de 8nm, la plage de tension de seuil [3,5V, 4V] peut tout autant être attribuée à une cellule effacée qu'à une cellule écrite. Avec la réduction des tailles de cellules, cette dispersion est d'autant plus importante puisqu'alors la grille flottante est constituée de seulement quelques nanocristaux (une dizaine dans le cas d'une cellule de 30nmX30nm)

- Les deux dernières limitations décrites précédemment sont particulièrement importantes dans le cas de mémoires à multi-niveaux (MLC : multi-level cell) [Atwood97] dans lesquelles plusieurs niveaux de charges sont stockés dans la grille flottante. Il faut alors être capable de contrôler précisément les niveaux de tension de seuil écrits afin que les états soient différenciables. Deux critères sont alors indispensables à la réalisation de ce type de mémoires : une forte fenêtre mémoire et une faible dispersion des tensions de seuil écrites et effacées. Afin d'atteindre ces objectifs, les mémoires à nanocristaux de silicium doivent être améliorées. Dans la suite de cette thèse, plusieurs solutions seront présentées.

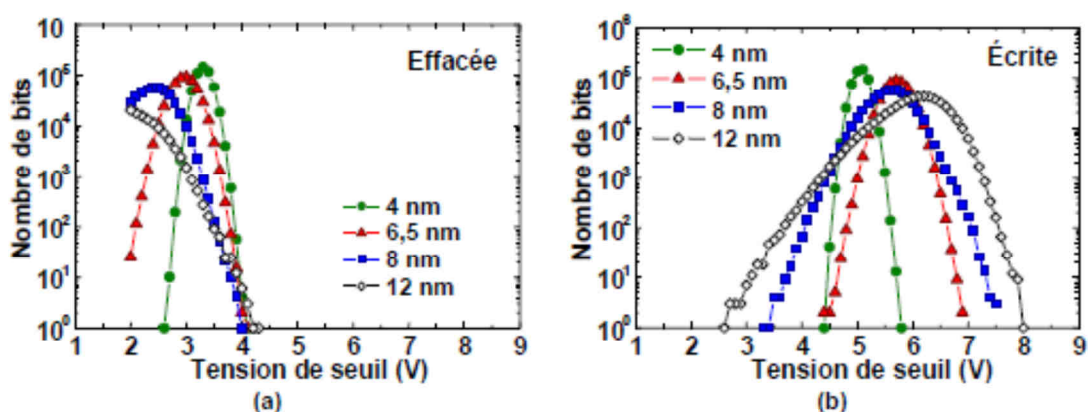


Figure I-17 : Distribution des tensions de seuil de l'état effacé (a) et écrit (b) mesurées sur des matrices 512Kb NOR pour des nanocristaux de diamètres croissants. Plus le diamètre des nanocristaux augmente, plus la dispersion sur leur diamètre est importante. Cette dernière se répercute sur la dispersion des tensions de seuils. [Jacob08]

I.5. Conclusions et présentation du travail de thèse

Les ventes de mémoires non-volatiles sont en pleine croissance principalement grâce à l'essor des appareils mobiles destinés au grand public. Les mémoires Flash, basées sur la technologie des transistors CMOS, se sont imposées sur ce marché et leurs performances, fiabilité et compacités se sont améliorées très rapidement ces dernières années. Cependant, la miniaturisation de ces dispositifs atteint désormais ses limites. Une solution pour y pallier est le remplacement de la grille flottante continue par une grille flottante discrète procurant une meilleure fiabilité vis-à-vis de l'oxyde tunnel, un couplage capacitif entre cellules réduit et la possibilité de stocker deux bits par cellule. Les nanocristaux en silicium sont de bons candidats pour assurer cette discrétisation de la grille flottante en raison d'un faible coût de fabrication (procédé compatible avec les procédés classiques CMOS et diminution du nombre de masques) et une bonne rétention de charge à haute température. Cependant, les mémoires à nanocristaux de silicium souffrent de deux défauts : (i) elles possèdent une faible fenêtre mémoire ce qui empêche la fabrication de mémoires multi-niveaux, et (ii) la dispersion en taille des nanocristaux induit une dispersion des tensions de seuils de la mémoire. L'objet de la présente thèse est d'étudier plusieurs solutions destinées à faire face à ces limitations. Trois solutions d'amélioration de la grille flottante en nanocristaux ont été envisagées, en améliorant soit son architecture, soit sa nature.

La première solution, détaillée dans le chapitre 2, est l'utilisation de deux couches superposées de nanocristaux en silicium, couplées avec un oxyde de contrôle en high-k afin d'augmenter le couplage entre la grille de contrôle et les nanocristaux. Ceci permet d'augmenter le taux de couverture de la grille flottante sur le canal, et donc la fenêtre mémoire, sans dégrader la rétention de charge puisque la distance entre les nanocristaux est conservée. Le gros avantage de cette architecture est qu'elle n'introduit aucun nouveau matériau dans le procédé de fabrication de la mémoire.

La seconde solution, détaillée dans le chapitre 3, est de changer la nature des nanocristaux, en remplaçant le silicium par un métal. Le principal avantage des nanocristaux métalliques est leur plus grande capacité de stockage d'électrons, ainsi qu'une rétention potentiellement améliorée grâce à un travail de sortie plus important que le silicium.

La troisième solution, détaillée dans le chapitre 4, est l'auto-organisation des nanocristaux afin de réduire considérablement leur dispersion en taille. Parmi toutes les

techniques d'auto-organisation existantes, le choix s'est porté sur les copolymères diblocs. Nous verrons qu'ils permettent l'obtention d'un procédé générique de fabrication d'un réseau auto-organisé de nanocristaux métalliques ou en silicium.

Références du chapitre 1

- [Atwood97] G. Atwood, A. Fazio, D. Mills, B. Reaves, “Intel StrataFlash Memory Technology Overview”, Intel Technology Journal Q4’97
- [Bonafos05] “Si nanocrystals by ultra-low-energy ion beam-synthesis for nonvolatile memory applications”, C. Bonafos, H. Coffin, S. Schamm, N. Cherkashin, G. Ben Assayag, P. Dimitrakis, P. Normand, M. Carrada, V. Paillard and Claverie, Solid State Electron. 49, 1734, 2005.
- [Baek05] I.G. Baek et al., « Multi-layer cross-point binary oxide resistive memory (OxRRAM) for post-NAND storage application », Proc. Of IEDM 2005, pp.750-753.
- [Buffet02] N. Buffet, P. Mur, B. De Salvo, M. N. Séméria, “Silicon nanocrystals precipitation in a SiO₂ matrix elaborated from the decomposition of LPCVD SiO_x”, Proceedings of the 2nd IEEE Conference on nanotechnology, p.269, 2002.
- [Cappelletti99] P. Cappelletti, C. Golla, P. Olivo, E. Zaroni, “Flash Memories”, Kluwer Academic Publishers, 1999
- [Chindalore08] G. Chindalore et al., “Embedded split-gate flash memory with silicon nanocrystals for 90nm and beyond”, Proc. Of VLSI technology symposium 2008, pp. 136-137
- [Courtade09] L. Courtade, “Développement, mécanismes de programmation et fiabilité de mémoires non volatiles à commutation de résistance MRAM et OxRRAM », Thèse de doctorat de l’université du sud Toulon – Var soutenue le 17 décembre 2009.
- [DeBlauwe00] J. De Blauwe, M. Ostraat, M.L. Green, G. Weber, T. Sorch, A. Kerber, F. Clemens, R. Cireli, E. Ferry, J.L. Grazul, F. Braumann, Y. Kim, W. Mansfield, J. Bude, J.T.C. Lee, S.J. Hillenius, R.C. Flagan, H.A. Atwater, “A novel aerosol-nanocrystal floating gate device for non-volatile memory applications”, IEEE IEDM Tech. Dig., pp. 115-118, 2000.
- [De Salvo03] B. De Salvo, C. Gerardi, S. Lombardo, T. Baron, L. Perniola, D. Mariolle, P. Mur, A. Toffoli, M. Gely, M. N. Semeria, S. Deleonibus, G. Ammendola, V. Ancarani, M. Melanotte, R. Bez, L. Baldi, D. Corso, I. Crupi, R. A. Puglisi, G. Nicotra, E. Rimini, F. Mazen, G. Ghibaud, G. Pananakakis, C. Monzio Compagnioni, D. Ielmini, A. Lacaita, A. Spinelli, Y. M. Wan, K. van der Jeugd, “How far will Silicon nanocrystals push the scaling limits of NVMs technologies?”, IEDM 2003 Tech. Dig., pp.597-600, 2003.
- [Delley93] B. Delley, E.F. Steigmeier, “Quantum confinement in Si nanocrystals”, Physical Review B, vol.47, number 3, 15 Janvier 1993
- [dramexchange] <http://www.dramexchange.com>
- [feet] <http://www.web-feetresearch.com/>
- [Freescale] http://www.freescale.com/webapp/sps/site/overview.jsp?code=TM_RD_PROCESSTECH_9_ONMTFS_FLXMEM
- [Fuk07] Y. Fukuzimi, Y. Matzuoka, M. Kito, M. Stato, H. Tanaka, Y. Nagata, Y. Iwata, H. Aochi, and A. Nitayama, “Optimal Integration and Characterisation of Vertical Array Devices for Ultra-High Density, Bit-Cost Scalable Flash Memory”, Proc. Of IEDM, 2007, pp.449-452
- [Gerardi08] C. Gerardi et al. « Performance and reliability of a 4 Mb Si nanocrystal NOR Flash memory with optimized 1T memory cells », Proc of IEDM 2008
- [Huang03] J S. Huang, S. Banerjee, R. T. Tung, and S. Oda, “Quantum confinement energy in nanocrystalline silicon dots from high-frequency conductance measurement”, Journal of Appl. Phys., vol.84, number 11, 1 December 2003

- [icinsight]** <http://www.icinsight.com>
- [isupply]** <http://www.isuppli.com>
- [ITRS11]** <http://www.itrs.net/Links/2011ITRS/Home2011.htm>
- [Jacob08]** S. Jacob, « Integration, caractérisation et modélisation des mémoires non-volatiles avancées à sites de stockage discrets », Thèse de doctorat de l'université de Provence, Aix-Marseille I, soutenue le 2 avril 2008
- [Jacob08b]** S. Jacob, "Integration, caractérisation et modélisation des memoires non volatiles à nanocristaux de silicium", Thèse de l'université de Provence, soutenue le 2 avril 2008.
[Jacob08b] S. Jacob et al., « Integration of CVD silicon nanocrystals in a 32 Mb NOR flash memory », *Solid State Electronics* 52 (2008), pp. 1452-1459
- [Kim05]** K. Kim, "Technology for sub-50 nm DRAM and NAND flash manufacturing", *Proc. Of International Electron Device Meeting 2005*, pp. 323-326
- [Lee11]** S.H. Lee et al. "Highly productive PCRAM technology platform and full chip operation : Based on 4F (84nm pitch) cell scheme for 1Gb and beyond", *Proc. Of IEDM 2001*
- [Likharev98]** K.K. Likharev, "Layered tunnel barriers for nonvolatile memory devices", *Applied Physics Letters*, Vol. 73, Iss. 15, pp. 2137-2139, 1998.
- [Lu09]** C.-Y. Lu, H. Kuan, « Nonvolatile semiconductor memory revolutionizing information storage », *IEEE Nanotechnology Magazine*, vol.3, Issue 4, pp.4-9
- [Masoero11]** L. Masoero et al., "Scalability of split-gate charge trap memories down to 20nm for low-power embedded memories", *Proc of IEDM 2011*.
- [Mazen03]** F. Mazen, "Etude de la nucleation et de la croissance de nanocristaux de silicium élaborés par dépôt chimique en phase vapeur pour dispositifs nanoélectroniques", Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, 2003.
- [Mazen04]** F. Mazen, T. Baron, J.-M. Hartmann, M.-N. Semeria, "Method for manufacturing of uniformly sized and controlled semi-conductor nanostructures by CVD process on dielectrics", *US Patent US20040147098A1*
- [Molas04]** G. Molas, B. De Salvo, D. Mariolle, G. Ghibaudo, A. Toffoli, N. Buffet, S. Deleonibus, "Single Electron Effects ad structural Effects in ultra-scaled silicon nano-crystal floating-gate memories", *IEEE Trans. On Nanotech.*, vol. 3, No. 1, pp. 42-48, Mars 2004
- [Molas07]** G. Molas et al. "Thorough investigation of Si-nanocrystal memories with high-k interpoly dielectrics for sub-45nm node Flash NAND applications", *Proc of IEDM 2007*
- [Muralidhar'03]** R. Muralidhar, R.F. Steimle, M. Sadd, R.Rao, C.T. Swift, E.J. Prinz, J. Yater, L. Grieve, K. Hradsky, S. Straub, B. Acred, W. Paulson, W. Chen, L. Parker, S.G.H. Anderson, M. Rossow, M. Paransky, T. Huynh, D.Hadad, KO-Min Chang, B.E. White Jr., "A 6V Embedded 90nm Silicon Nanocrystal Nonvolatile Memory", *IEEE IEDM Tech. Dig.*, p.26.2.1, 2003.
- [Prejbeanu04]** I. Prejbeanu, W. Kula, K. Ounadjela, R.C. Sousa, O. Redon, B. Dieny, J.-P. Nozières, « Thermally Assisted Switching in Exchange-Biased Storage Layer Magnetic Tunnel Junctions », *IEEE Trans. On Magnetics*, vol.40, no.4, 2004.
- [She03]** M. She, T.-J. King, "Impact of Crystal Size and Tunnel Dielectric on Semiconductor Nanocrystal Memory Performance", *IEEE Transactions on Electron Devices*, **50** (9), pp. 1934-1940, 2003.
- [Tiwari96]** S. Tiwari, F. Rana, H. Hanafi, A. Hartstein, E. F. Crabbé, K. Chan, 'A silicon nanocrystals based memory', *Applied Physics Letters* **68**, p. 1377, 1996.
- [Toshiba]** "Toshiba NAND vs. NOR Flash Memory Technology Overview", www.chips.toshiba.com

- [Yater11]** J. Yater et al., “Highly optimized nanocrystal-based split gate flash for high performance and low power microcontroller applications”, Proc of NVSMW 2011
- [Yun00]** S. Hatatani, S.Oda, Q.X. Zhao, M. Willander., “Study of structural and optical properties of ion embedded in SiO₂”, vol. 375, p.137, 2000.

Chapitre II

Caractérisation électrique de mémoires non-volatiles à double couche de nanocristaux en silicium

Comme présenté dans le chapitre I, l'élargissement de la fenêtre mémoire est nécessaire afin de (i) supprimer les bits erratiques dans les matrices mémoires et (ii) permettre le fonctionnement en mode multi niveaux. Nous proposons dans ce chapitre d'utiliser une double couche de nanocristaux en tant que grille flottante afin d'augmenter la capacité de stockage de la mémoire. C'est un moyen d'augmenter la fenêtre mémoire sans introduire de nouveaux procédés technologiques dans la fabrication du dispositif mémoire. Cette approche est conservative comparée à d'autres techniques visant à augmenter la fenêtre mémoire, comme par exemple l'utilisation de nanocristaux métalliques, car elle n'introduit pas de nouveaux matériaux dans l'empilement mémoire. Après une présentation de l'état de l'art des mémoires à double couche de nanocristaux, le procédé de fabrication des dispositifs mémoires est présenté. Puis, leurs performances électriques sont détaillées, démontrant une nette amélioration de la fenêtre mémoire grâce à la seconde couche de nanocristaux. Les performances et la fiabilité des dispositifs à double couche de nanocristaux sont ensuite étudiées en détail. Enfin, une explication physique de l'amélioration de la fenêtre mémoire est présentée dans la dernière partie. Deux modèles sont utilisés afin d'expliquer l'élargissement de la fenêtre mémoire et le comportement de chargement et de déchargement de la double couche de nanocristaux.

Sommaire

II.1. Etat de l'art des dispositifs mémoires à multicouches de nanocristaux en silicium	40
II.2. Fabrication des mémoires à double couche de nanocristaux.....	42
II.2.1. Présentation des couches de nanocristaux étudiés	42
II.2.2. Présentation des empilements de grille utilisés.....	45

II.3. Caractérisation électrique des dispositifs.....	46
II.3.1. Comparaison des dispositifs à simple et double couche de ncs-Si	46
II.3.2. Etude des performances des mémoires à couches de nanocristaux hybrides.	52
II.4. Modélisation des caractéristiques d'écriture et d'effacement	65
II.4.1. Modélisation des courants dans la structure.....	65
II.4.2. Modélisation de l'écriture par un modèle de type grille flottante continue ...	73
II.4.3. Modélisation de l'effacement avec prise en compte des électrons de valence	76
II.5. Conclusions du chapitre II	83
Références du chapitre 2	84

II.1. Etat de l'art des dispositifs mémoires à multicouches de nanocristaux en silicium

Des études purement théoriques portant sur la *simulation* et la *modélisation* de multicouches de nanocristaux sont décrites dans [Yu07] et [Hou07]. Les auteurs mettent en évidence un phénomène de blocage de Coulomb dans la couche inférieure de nanocristaux, permettant d'améliorer la rétention des électrons stockés dans la couche supérieure de nanocristaux. Cependant, ces simulations considèrent un cas idéal où les deux couches de nanocristaux sont auto-alignées, ce qui n'est pas forcément le cas dans les dispositifs fabriqués. Par conséquent, ces travaux ont essentiellement un intérêt d'un point de vue fondamental. Plusieurs démonstrations d'intégration de double couche de nanocristaux dans des dispositifs à *capacité MOS* sont décrites dans la littérature [Lu05] [Wang07] [Theodoropoulou08] [Henan09]. La multicouche (jusqu'à trois) de nanocristaux en silicium est obtenue grâce à la technique de précipitation de silicium en excès décrite dans le paragraphe I.4.2. Malgré l'obtention d'une multicouche de nanocristaux, les performances et la fiabilité des dispositifs mémoires sont médiocres. En effet, à l'exception de [Lu05] la fenêtre mémoire ne dépasse pas 1V, ce qui est loin de répondre aux besoins industriels. L'intérêt de ces travaux est donc plutôt de (i) démontrer d'un point de vue matériau la fabrication de multicouches de nanocristaux en silicium et (ii) étudier l'effet de la deuxième couche sur les cinétiques de chargement et de déchargement des nanocristaux (constantes de temps multiples).

Deux travaux seulement dans la littérature présentent l'intégration de doubles couches de nanocristaux dans un *dispositif mémoire MOSFET*. La démonstration faite par Ng et al. [Ng06] (Figure II-1-a) est la plus avancée. Cependant, malgré de bonnes caractéristiques de rétention et de cyclage, la fenêtre mémoire est faible (<1V) et les temps d'écriture et d'effacement sont longs (de l'ordre de la seconde). Ceci s'explique par la forte épaisseur de l'oxyde tunnel (7nm) et le mauvais couplage entre la grille de contrôle et les nanocristaux. D'autre part, l'oxyde de contrôle est un oxyde déposé, donc non-stœchiométrique par rapport à un oxyde thermique et pour lequel les courants de fuite sont importants. Par conséquent, des électrons peuvent s'échapper des nanocristaux par l'oxyde de contrôle durant l'écriture. De même, durant l'effacement, des électrons de la grille de contrôle sont injectés dans les nanocristaux à travers l'oxyde de contrôle, ce qui limite fortement l'efficacité de l'effacement. La seconde démonstration d'intégration d'une double couche de nanocristaux en silicium dans

un dispositif mémoire MOSFET est décrite dans [Ohba02] (Figure II-1-b). Ces travaux sont originaux car (i) ils utilisent une approche mixte de fabrication de la double couche de nanocristaux, la première couche étant créée par oxydation d'une couche de silicium et la seconde par dépôt CVD (ii) ils permettent la formation de deux couches de nanocristaux auto-alignés (la seconde couche de nanocristaux, déposée par CVD sert de masque à l'oxydation de la première couche, ce qui crée des îlots en silicium dans la couche de SiO_2 , en-dessous du nanocristal CVD). Le principal intérêt de cette réalisation est la démonstration de la possibilité de fabriquer un tel empilement de nanocristaux auto-alignés. Il est également montré une amélioration de la rétention de charge des nanocristaux. Un phénomène de blocage de Coulomb dans la couche inférieure de nanocristaux est invoqué pour expliquer ce gain. Cependant, les caractérisations de ces dispositifs n'ont pas démontré de réelle augmentation de la fenêtre mémoire, probablement à cause d'une mauvaise qualité de l'empilement mémoire, avec une fois de plus un mauvais couplage entre la grille de contrôle et les nanocristaux.

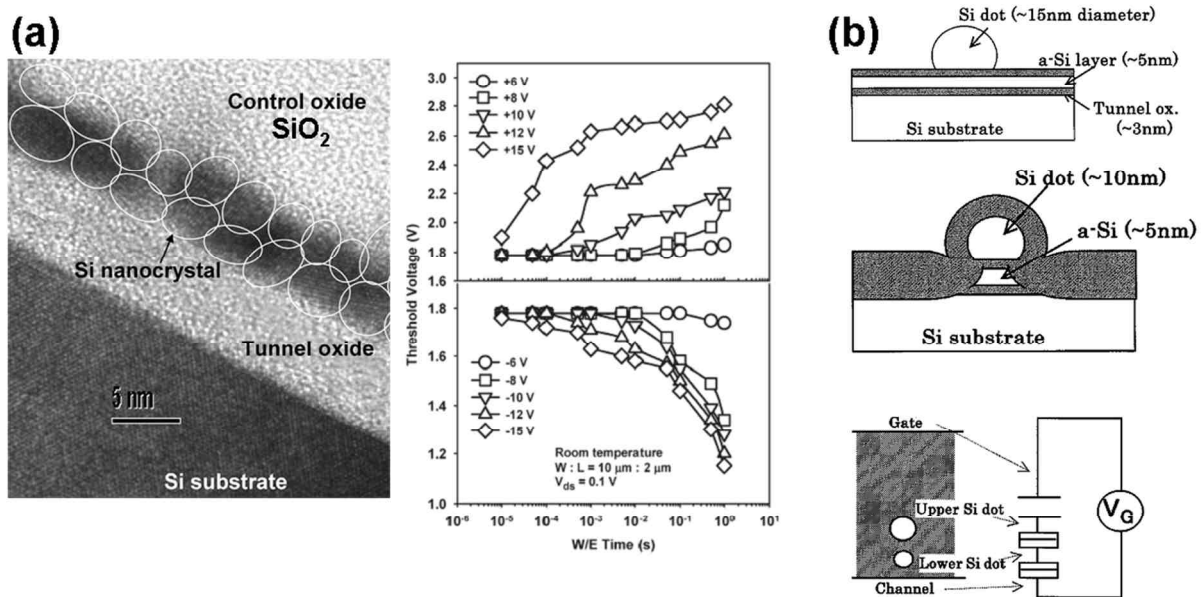


Figure II-1 : (a) [Ng06] gauche : Observation TEM d'une double couche de nanocristaux obtenu par implantation ionique basse énergie dans une couche d'oxyde suivi d'un recuit de précipitation du silicium - droite : Cinétique d'écriture et d'effacement des dispositifs (b) [Ohba02] Illustration du procédé de fabrication des deux couches de nanocristaux auto-alignés.

De ces exemples trouvés dans la littérature, nous voyons que la réalisation de dispositifs à double couche de nanocristaux fonctionnels n'est pas aisée car les mêmes problématiques rencontrées dans le cas d'une simple couche de nanocristaux se retrouvent ici : la principale limitation des dispositifs présentés jusqu'ici ne réside pas dans la grille flottante à nanocristaux, mais dans le choix de la structure mémoire qui les accueille. En effet,

nanocristaux ainsi créés, ayant un cœur en silicium et une coquille en SiN (Figure II-3), sont appelés nanocristaux hybrides et notés par la suite *ncs-Si/SiN*. L'intérêt de la couche additionnelle de SiN est double : (i) elle agit comme barrière de diffusion pour l'oxygène, protégeant ainsi les nanocristaux de l'oxydation durant le reste du procédé de fabrication du dispositif mémoire et (ii) elle sert de couche supplémentaire de piégeage permettant une augmentation potentielle de la fenêtre mémoire. En effet le SiN est le matériau employé comme couche de piégeage dans les mémoires de type SONOS, matériau alternatif aux nanocristaux en silicium comme grille flottante discrète.

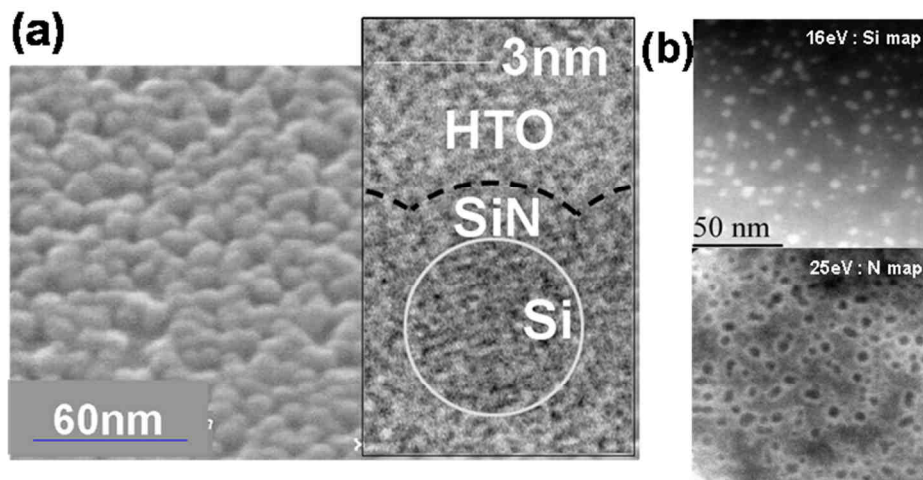


Figure II-3 : (a) *gauche* - Observation MEB en vue plane (tilt de 40°) des nanocristaux hybrides Si-ncs/SiN - *droite* - Observation HRTEM en coupe où l'on distingue les plans cristallins du silicium (b) Observations TEM en mode énergie filtrée, centrée sur le silicium et l'azote. La structure cœur/coquille est ici clairement identifiée.

Ces deux types de nanocristaux *ncs-Si* et *ncs-Si/SiN* sont intégrés en tant que grille flottante discrète dans les dispositifs de notre étude, décrits sur la Figure II-2. Les substrats utilisés sont des plaques de silicium dopé p. On procède tout d'abord à la croissance d'un oxyde thermique de 3,5 nm (W1, W2, W3) ou 5,5 nm (W4, W5) d'épaisseur qui sera l'oxyde tunnel du dispositif mémoire à travers lequel les charges seront injectées. La couche de piégeage à base de nanocristaux est ensuite déposée sur cet oxyde thermique afin de constituer la grille flottante. Les variantes technologiques suivantes sont introduites à ce niveau :

- Simple couche *ncs-Si* : dispositif noté **W1**
- Double couche *ncs-Si* // HTO 2 nm // *ncs-Si* donnant lieu à une double couche de nanocristaux de silicium. Le procédé d'obtention de cette couche est schématisé sur la Figure II-4-d. Il concerne les dispositifs notés **W2 et W3**.
- Simple couche *ncs-Si/SiN* : dispositif noté **W4**

- Double couche *ncs-Si // HTO 2nm // ncs-Si/SiN* : dispositif noté **W5**

Les simple et double couches de nanocristaux sont observées au MEB sur la Figure II-4 a et b. Les deux couches de nanocristaux sont bien identifiées sur l'image MEB de la Figure II-4-b. Sur la simple couche de nanocristaux, l'espace du canal entre les nanocristaux n'est pas couvert par la grille flottante. Au contraire, sur les dispositifs à double couche de nanocristaux, on observe que la deuxième couche permet de combler les espaces vides entre les nanocristaux de la première couche, permettant ainsi d'obtenir un meilleur taux de couverture de la grille flottante sur le canal du transistor. Les deux couches de nanocristaux sont également mises en évidence sur l'image TEM en énergie filtrée de la Figure II-4-c où les tâches claires correspondent à la présence d'atomes de silicium. On observe par endroit les deux couches de ncs superposés. Cependant il est difficile de distinguer plus précisément leur présence, à cause d'un signal fortement écranté par la matrice d'oxyde de silicium (SiO_2).

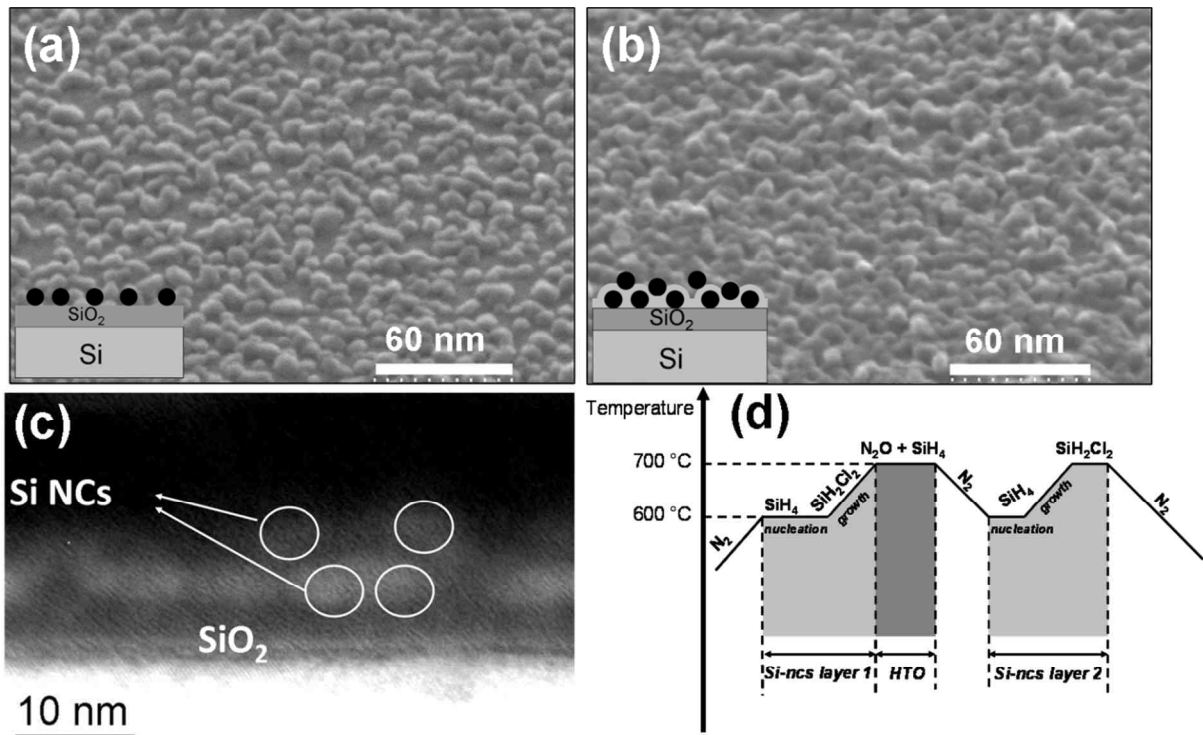


Figure II-4 : (a) Image MEB en vue de dessus (tilt 40°) d'une simple couche de nanocristaux de silicium (b) Image MEB en vue de dessus (tilt 40°) d'une double couche de nanocristaux de silicium (c) Observation en coupe en énergie filtrée (EFTEM) centrée sur le plasmon du silicium d'une double couche de nanocristaux de silicium. (d) Schéma descriptif du procédé de déposition d'une double couche de nanocristaux séparés par 2nm d'HTO. Les deux couches sont déposées dans le même équipement en une seule séquence de dépôt.

II.2.2. Présentation des empilements de grille utilisés

Les schémas des empilements de grille et leurs variantes technologiques sont visibles sur la Figure II-2-a. Deux paramètres ont été pris en compte afin que les dispositifs mémoires puissent être programmés et effacés efficacement : (i) un oxyde de contrôle à haute permittivité (High-k) afin d'avoir un bon couplage entre la grille de contrôle et les couches de nanocristaux et (ii) une grille de contrôle métallique afin de limiter le courant d'injection d'électrons dans les nanocristaux à travers l'oxyde de contrôle durant l'effacement.

Plusieurs variantes technologiques sont introduites lors du recouvrement des nanocristaux par l'oxyde de contrôle :

- Une tri-couche HTO 4nm // HfAlO 8nm // HTO 4nm accompagné d'une grille de contrôle en polysilicium : dispositifs **W1** et **W2**. Une vue HRTEM en coupe de l'empilement W1 obtenu est présenté Figure II-2-b. La présence des nanocristaux n'est pas directement observable mais est déduite de la forte rugosité de la couche HTO au-dessus des ncs.

- Une bicouche HTO (high température oxide) 4nm // HfAlO 8nm accompagné d'une grille de contrôle en nitrure de titane (TiN) épaisse de 10nm : **W3**, **W4** et **W5**. L'utilisation d'une grille de contrôle en TiN dont le travail de sortie est supérieur au polysilicium limite l'injection d'électrons à travers l'oxyde de contrôle lors de l'effacement, ce qui permet de déposer directement le TiN sur l'HfAlO sans la barrière en HTO nécessaire lorsqu'une grille en PolySi est utilisée. Un meilleur couplage entre les nanocristaux et la grille de contrôle est ainsi obtenu.

La grille du transistor est ensuite définie par photolithographie e-beam. Des longueurs de grille de 150nm sont ainsi obtenues. L'empilement de grille est ensuite gravé par gravure sèche RIE (Reactive Ion Etching). Les sources et drains du transistor sont définis par implantation ionique. Le niveau contact est enfin réalisé afin de pouvoir tester les dispositifs grâce à une station sous pointes.

II.3. Caractérisation électrique des dispositifs

Dans ce paragraphe, nous nous intéressons aux performances des dispositifs mémoires présentés dans le paragraphe précédent. Ce paragraphe se compose de deux parties bien distinctes. Dans un premier temps nous nous intéresserons aux dispositifs à *ncs-Si*, c'est-à-dire sans coquille de nitrure, principalement afin de quantifier les gains de performances apportés par la seconde couche de *ncs-Si*. Dans un second temps, nous étudierons plus en détail les performances des dispositifs utilisant des nanocristaux hybrides *ncs-Si/SiN*.

II.3.1. Comparaison des dispositifs à simple et double couche de *ncs-Si*

Cette première partie est consacrée à évaluer les avantages de l'ajout d'une seconde couche de nanocristaux en silicium dans la grille flottante en terme de fenêtre de programmation. Nous examinerons également l'impact de cette seconde couche sur l'endurance et la dispersion des caractéristiques électriques des dispositifs mémoires ainsi obtenus.

II.3.1.1. Amélioration de la fenêtre de programmation grâce à la seconde couche de nanocristaux

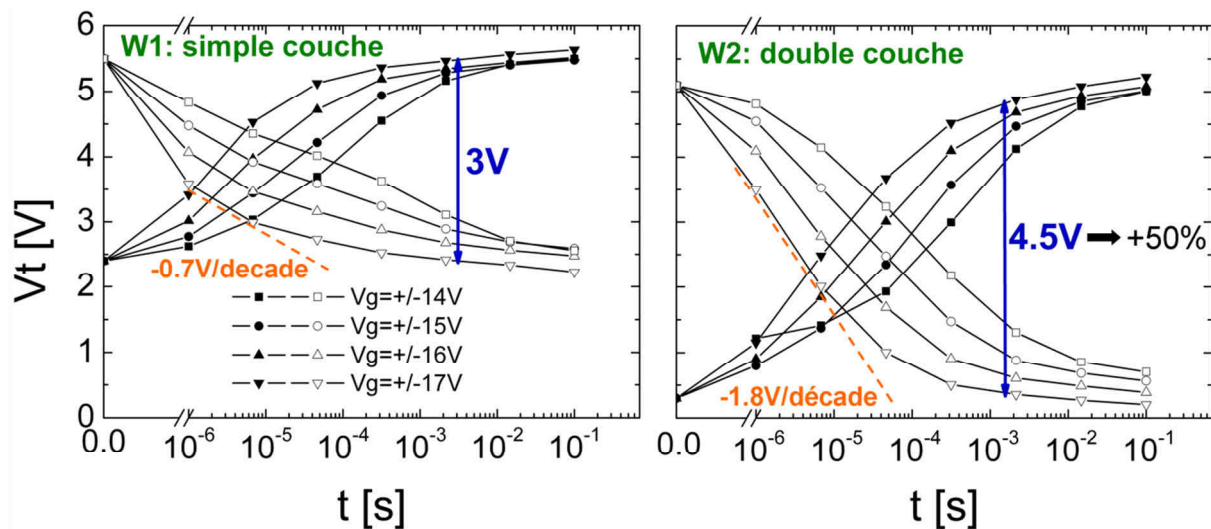


Figure II-5 : Courbes d'écriture et d'effacement des dispositifs mémoires à simple et double couche de nanocristaux en silicium

Les performances en écriture et effacement des dispositifs à simple (W1) ou double couche (W2) de nanocristaux sont présentées et comparées sur la Figure II-5. Les améliorations apportées par l'introduction d'une seconde couche de nanocristaux sont :

- amélioration de 50 % de la fenêtre mémoire des dispositifs. En effet, après 2ms d'écriture/effacement à $V_g = \pm 17V$, le dispositif à simple couche de ncs présente une fenêtre mémoire de 3V tandis que celui à double couche de nanocristaux permet d'obtenir une fenêtre mémoire de 4,5V. La deuxième couche de nanocristaux apporte donc une amélioration de 50% de la fenêtre de programmation.
- Amélioration des vitesses d'écriture et d'effacement. Dans l'intervalle [$10^{-6}s$; $10^{-7}s$] à $V_g = -17V$ la pente de la courbe d'effacement est de -0,7V par décade de temps pour les dispositifs à simple couche de nanocristaux tandis qu'elle est de -1,8V pour les dispositifs à double couche de nanocristaux. Ce gain en vitesse d'effacement sera expliqué grâce à un modèle dans le paragraphe II.4.3.

II.3.1.2. Caractéristiques d'endurance des mémoires à double couche de ncs-Si

Le dispositif à double couche de ncs-Si W2 est soumis à des cycles d'écriture et effacement. A intervalle de cycles régulier, les tensions de seuil des états écrits et effacés du dispositif sont mesurées. Les caractéristiques de cyclage de ces dispositifs sont correctes, avec un faible décalage des tensions de seuil de l'état écrit et effacé. La fenêtre mémoire reste ouverte et ne s'élargit que de 300mV. La bonne performance d'endurance de ce dispositif est attribuée à une faible épaisseur de l'oxyde tunnel et à un bon couplage de l'oxyde de contrôle. De ce fait, les champs électriques appliqués lors de l'écriture et de l'effacement sont modérés, ce qui permet de limiter la dégradation de l'empilement. En effet, on n'observe pas de détérioration de la pente sous le seuil sur les courbes I_d - V_g de la Figure II-6-b, ce qui indique l'absence de dégradation de l'interface Si/SiO₂. L'augmentation des tensions de seuil au cours du cyclage est due à un décalage des courbes I_d - V_g vers les tensions positives. Ce décalage est attribué à l'injection de charges fixes dans l'empilement de grille, probablement dans la couche d'HfAlO qui, bien qu'optimisée, comporte tout de même des sites de piégeage. Ces pièges profonds, une fois occupés par des électrons, jouent le rôle de charges fixes qui ne peuvent être évacuées par effet de champ. Ce phénomène est appelé piégeage parasite.

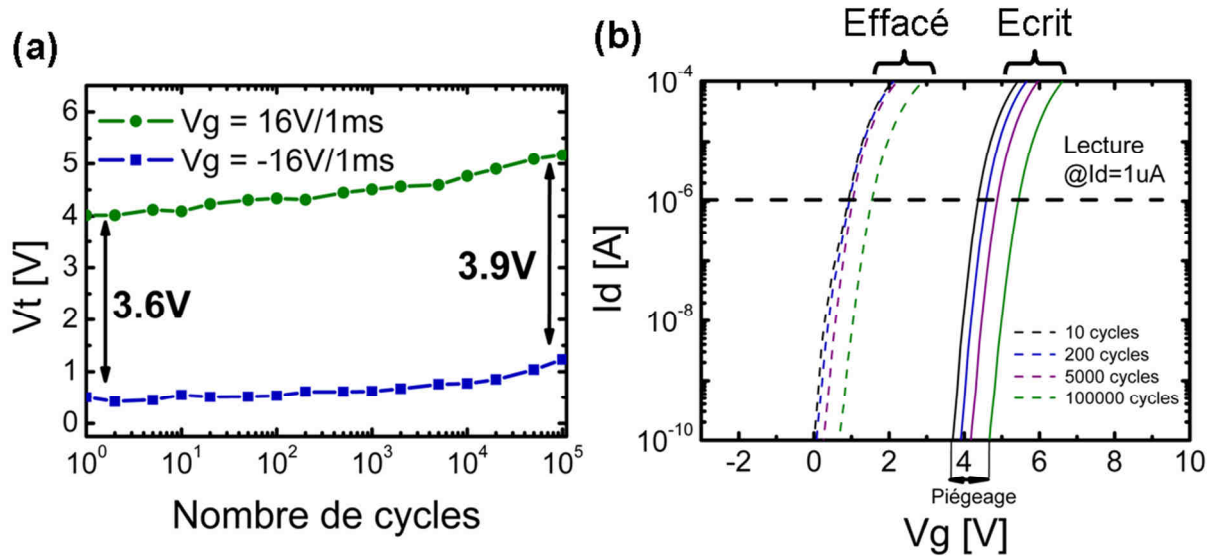


Figure II-6 : (a) Tension de seuil des états écrits et effacés du dispositif W2 (b) Evolution des courbes I_d - V_g des états écrit et effacé au cours du cyclage

II.3.1.3. Influence de la deuxième couche de nanocristaux sur la dispersion des caractéristiques électriques

- Sources de variabilité introduites par la seconde couche de nanocristaux

Le fait d'introduire une seconde couche de nanocristaux est une source de variabilité sur l'épaisseur tunnel que doivent traverser les électrons pour atteindre le nanocristal. Cette variabilité se retrouve potentiellement sur les caractéristiques électriques des dispositifs mémoires. Le schéma de la Figure II-7-a décrit les trois scénarios possibles de transport d'un électron :

1. Le nanocristal se trouve sur l'oxyde thermique. L'électron parcourt la distance T_1 (constante de temps associée σ_1)
2. Le nanocristal se trouve sur l'HTO au-dessus d'un nanocristal de la première couche. Le transfert tunnel de l'électron se fait en deux étapes, à travers T_1 (constante de temps σ_1) puis T_2 (constante de temps σ_2).
3. Le nanocristal se trouve sur l'HTO sans nanocristal en dessous. L'électron parcourt T_1+T_2 en une fois (constante de temps σ_3).

Nous allons étudier l'impact de cette variabilité du chemin de conduction sur la fenêtre de programmation et sur la cinétique de chargement des dispositifs.

- **Impact sur la fenêtre de programmation**

[Chang04] et [Lu05] ont observé, sur des dispositifs à plusieurs couches de nanocristaux (jusqu'à 3), le chargement successif de chaque couche en fonction de la tension de grille. Cela se caractérise par des paliers sur la courbe de la tension de seuil en fonction de la tension de programmation. Comme l'atteste la Figure II-7-b, ce phénomène n'est pas observé sur nos dispositifs. En effet, la tension de seuil est linéaire par rapport à la tension de programmation et aucun palier n'est observé. La couche d'isolation entre les deux couches de ncs est suffisamment fine pour que le chargement des ncs soit contrôlé principalement par l'injection des électrons à travers l'oxyde tunnel (T_1).

- **Impact sur la cinétique de chargement**

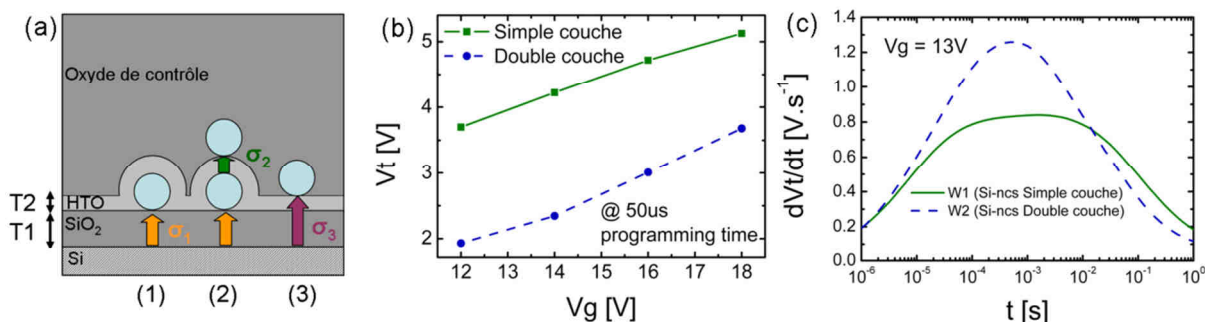


Figure II-7 : (a) Schéma décrivant les sources de dispersion introduites par l'ajout d'une seconde couche de nanocristaux (b) Tension de seuil de la mémoire en fonction de la tension de grille à temps de programmation fixé ($t=50\mu s$) (c) Dérivée de la courbe d'écriture des dispositifs à simple et double couches de nanocristaux.

Afin d'étudier les constantes de temps de chargement de la couche de piégeage à double couche de nanocristaux, les dérivées des cinétiques de chargement des dispositifs à simple et double couche de nanocristaux sont comparées sur la Figure II-7-c. Dans les deux cas, on observe une unique cloche sur la courbe de la dérivée. Cela signifie que la courbe de chargement n'a qu'un seul point d'inflexion et pas de plateau. Par conséquent, la variabilité sur les constantes de temps introduite par la seconde couche de nanocristaux n'est pas visible sur les courbes d'écriture. En ce qui concerne la cinétique de chargement, la double couche de nanocristaux se comporte donc de la même manière qu'une couche unique de nanocristaux.

On peut d'ailleurs calculer les constantes de temps associées à chaque mécanisme de chargement [Clerc02] [Molas04] :

$$\sigma_1 = \frac{q}{J_1 S_{dot}} = \frac{1}{F_{imp}(Vg) Tsub(E, V_{SiO2}) n(Vg) S_{dot}} \quad \text{Équation II-1}$$

$$\sigma_2 = \frac{1}{f_{dot} T_{dot}(E, V_{HTO})}$$

Équation II-2

Où J_1 est le courant de chargement des nanocristaux, $F_{imp}(Vg)$ et f_{dot} sont les fréquences d'impact dans le substrat et le nanocristal, T_{sub} et T_{dot} sont les transparences respectivement de l'oxyde entre le substrat et le nanocristal du bas et de l'oxyde entre les deux couches de nanocristaux, $n(Vg)$ est la densité d'électrons dans le substrat. Tous ces termes sont décrits dans le paragraphe II.4.1. S_{dot} est la surface de capture d'un nanocristal ($S_{dot} \approx \pi R^2$). Notons qu'un calcul similaire à σ_1 permet de calculer σ_3 .

Pour $Vg=16V$ et une quantité de charges initiale nulle stockée dans les nanocristaux, nous obtenons $\sigma_1=2,8 \mu s$, $\sigma_2=0,5 \mu s$ et $\sigma_3 = 92 \mu s$. Par conséquent, $\sigma_3 \gg \sigma_1 > \sigma_2$. On peut alors analyser les 3 mécanismes de chargement des nanocristaux (Figure II-7-a).

1. Les électrons sont injectés dans la première couche de nanocristaux. La constante de temps associée à ce mécanisme est σ_1 .

2. Un électron est injecté dans la première couche de nanocristaux (σ_1) puis est transféré dans la seconde couche de nanocristaux (σ_2) avant qu'un autre électron soit injecté dans la première couche de nanocristaux. La première couche de nanocristaux sert donc de relais pour le chargement de la seconde couche de nanocristaux. Par conséquent, le mécanisme limitant le chargement de la grille flottante est le transport tunnel des électrons du substrat vers la première couche de nanocristaux. La constante de temps globale de chargement est donc σ_1 , comme dans le mécanisme (1). Notons cependant que V_{HTO} diminuant au fur et à mesure que la couche supérieure de nanocristaux se charge, $T(E, V_{HTO})$ diminue également. Ceci entraîne une augmentation de σ_2 jusqu'à ce que $\sigma_1 = \sigma_2$. La couche inférieure de nanocristaux commence alors à stocker des électrons. La constante de temps globale de chargement reste dominée par σ_1 .

3. Les électrons sont injectés directement dans la seconde couche de nanocristaux (σ_3). La constante de temps associée à ce mécanisme est bien supérieure à σ_1 . D'autre part, il ne concerne que les nanocristaux étant directement en regard du canal, sans nanocristaux de la première couche entre le canal et la seconde couche. Pour ces deux raisons, ce mécanisme n'est pas dominant et n'est donc pas observé sur la cinétique d'écriture.

II.3.1.4. Diminution des tensions de fonctionnement

Afin de réduire la consommation, il est souhaitable de diminuer les tensions d'écriture et d'effacement des dispositifs mémoires. Nous montrons ici qu'en améliorant le couplage entre la double couche de nanocristaux et la grille de contrôle, les tensions de programmation sont significativement réduites.

La tension appliquée aux bornes de l'oxyde tunnel, entre le nanocristal et le substrat, est proportionnelle à la tension de grille :

$$V_{tunnel} = \frac{C_{IPD}}{C_{tunnel} + C_{IPD}} Vg \quad \text{Équation II-3}$$

Afin d'augmenter le couplage entre les nanocristaux situés sur l'oxyde tunnel et la grille de contrôlé, il est nécessaire d'augmenter V_{tunnel} tout en conservant Vg constante. Il faut donc maximiser $C_{ipd} = \frac{\epsilon_{IPD} S}{t_{IPD}}$ tout en conservant une isolation suffisante entre les nanocristaux et la grille. L'épaisseur de la grille de contrôle est diminuée en supprimant l'oxyde HTO par-dessus l'HfAlO. Cependant, l'injection de charges à travers l'oxyde de contrôle est alors augmentée durant l'effacement. Pour cette raison, la grille de contrôle en polysilicium est remplacée par une grille métallique TiN. La hauteur de barrière entre la grille de contrôle et l'oxyde de contrôle est ainsi augmentée, ce qui limite l'injection de charges dans les nanocristaux lors de l'effacement de la mémoire.

Les courbes d'écriture et d'effacement sont tracées sur la Figure II-8. Alors qu'il faut appliquer une tension de 17V pour obtenir une fenêtre de programmation de 4,5V après 2 ms dans le cas du dispositif W2, le dispositif W3 ne nécessite une tension de seulement 14V pour obtenir la même fenêtre mémoire après 2 ms.

Par conséquent, l'utilisation d'une grille métallique couplée à un oxyde de grille d'épaisseur diminuée permet de diminuer les tensions d'écriture efficacement de 3V, ce qui est un avantage non négligeable pour une potentielle application dans un produit mémoire.

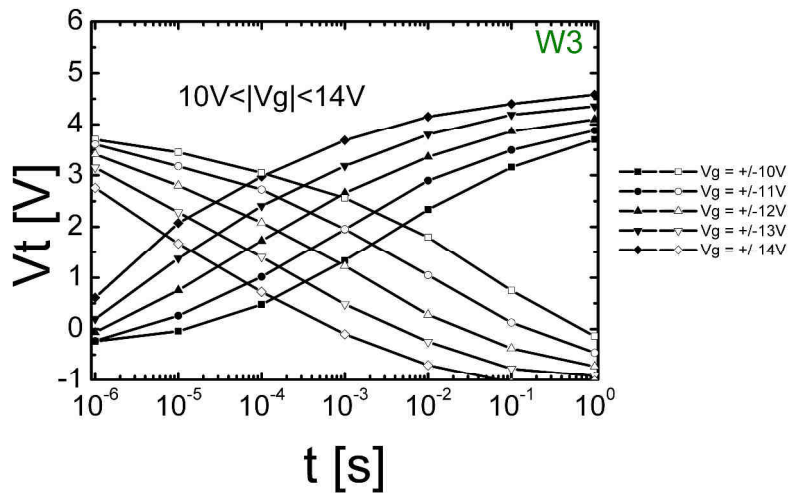


Figure II-8 : Courbes d'écriture/effacement de W3 (double couche de nanocristaux en silicium couplé à un oxyde de contrôle bicouche HfO₂/HfAlO et une grille en TiN)

II.3.2. Etude des performances des mémoires à couches de nanocristaux hybrides

Cette seconde partie est consacrée aux performances et à la fiabilité des mémoires à couches de piégeage en nanocristaux hybrides ncs-SiN (W4 et W5). Des mesures en mode FN/FN d'écriture/effacement, de rétention de charge à hautes températures et de cyclages sont présentées et analysées. Puis, la programmation par porteurs chauds permet de démontrer le caractère discret de la grille flottante et donc la bonne isolation entre les nanocristaux.

II.3.2.1. Caractérisations des dispositifs en mode FN/FN

II.3.2.1.a. Caractéristiques d'écriture/effacement des mémoires hybrides

Les caractéristiques d'écriture/effacement des dispositifs avec des nanocristaux hybrides ncs-Si/SiN sont présentées sur la Figure II-9. Comme dans le cas des ncs-Si non encapsulés par du SiN, on remarque une amélioration de la fenêtre de programmation. L'amélioration est cette fois-ci de 100% après une écriture/effacement à +/-17V pendant 1ms.

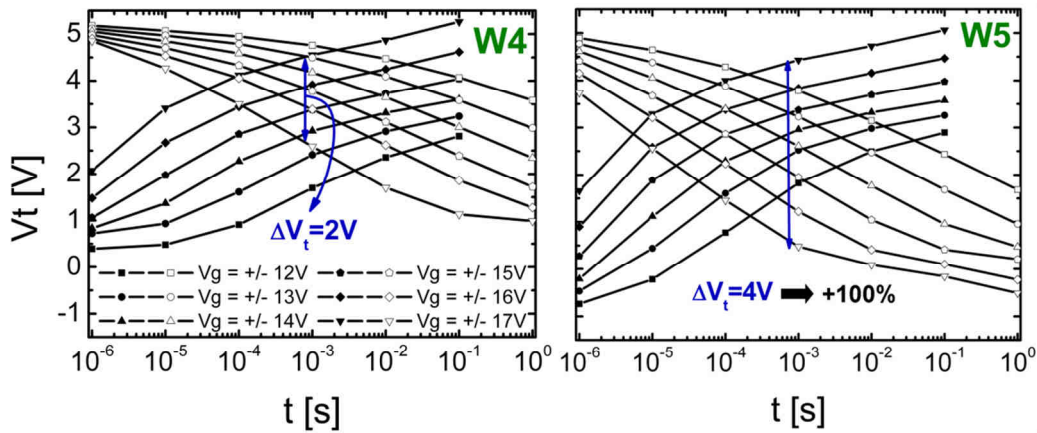


Figure II-9 : Courbes d'écriture et d'effacement des dispositifs à simple couche de nanocristaux hybrides ncs-Si/SiN (W4) et des dispositifs à double couche ncs-Si // HTO // ncs-Si/SiN (W5)

II.3.2.1.b. Caractéristiques de rétention des dispositifs à double couche de nanocristaux

- **Rétention à température ambiante**

Les dispositifs à double couche de nanocristaux (W5) sont testés en rétention, c'est-à-dire qu'on mesure la tension de seuil du dispositif mémoire en fonction du temps écoulé après l'écriture ou l'effacement de la cellule. Les résultats sont tracés sur la Figure II-10 où les tensions de seuil écrites et effacées sont tracées en fonction du temps de rétention. On note un très faible taux de perte de charge à la fois pour l'état écrit (79mV/décade) et l'état effacé (55mV/décade). En extrapolant cette perte de charge sur 10 ans, une fenêtre mémoire résiduelle de 3,2V après 10 ans de rétention est prévue, ce qui est suffisant pour assurer une conservation des données. Cette faible perte de charge s'explique (i) par l'oxyde tunnel de 5,5 nm assez épais pour limiter la fuite des électrons par effet tunnel direct (ii) la discrétisation de la charge qui immunise le dispositif vis-à-vis des défauts dans l'oxyde tunnel.

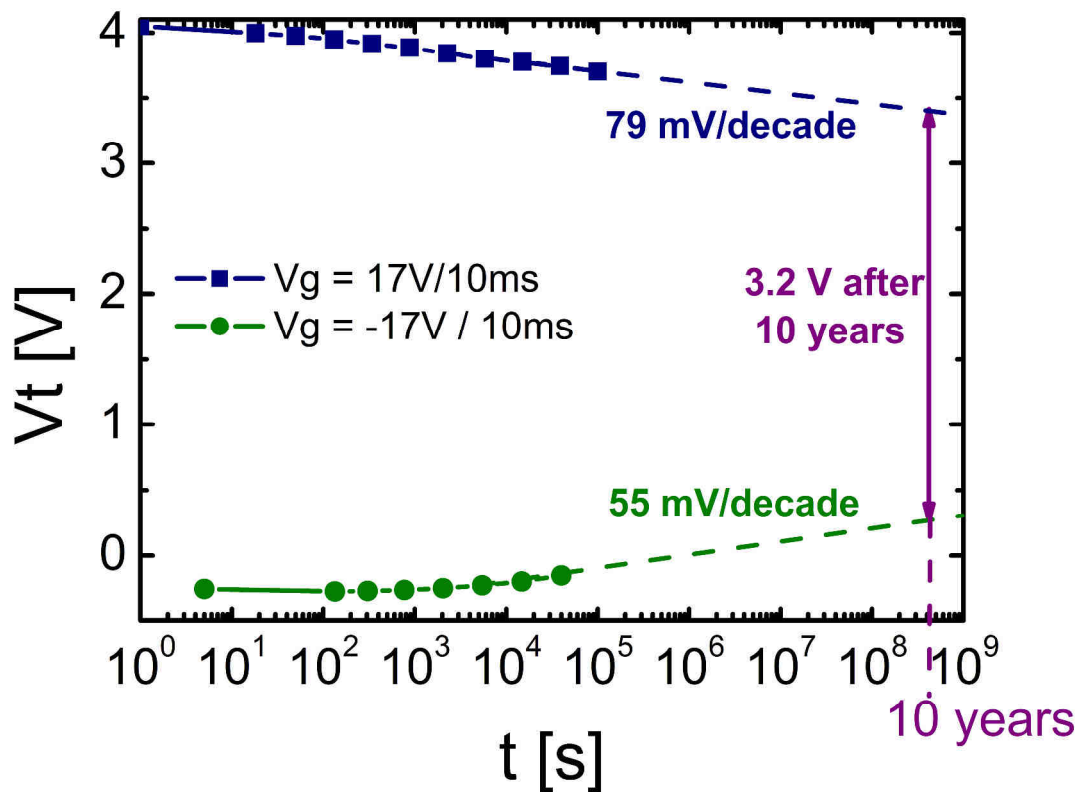


Figure II-10 : Rétention à température ambiante des états écrit et effacé du dispositif à double couche de nanocristaux

- **Rétention à haute température**

Afin d'étudier plus en profondeur les caractéristiques de rétention du dispositif W5, des mesures de rétention à haute température sont effectuées. Les mesures des tensions de seuil écrites et effacées sont tracées sur la Figure II-11-a. La perte de charge augmente avec la température car les électrons piégés dans la couche de nanocristaux hybrides sont activés thermiquement. En utilisant une extrapolation exponentielle de la perte de charge en fonction du temps de rétention, la tension de seuil après 10 ans peut être estimée (Figure II-11-b). Ces extrapolations sont particulièrement utiles pour les applications automobiles dans lesquelles les mémoires non-volatiles doivent conserver l'information à 150°C pendant au moins 10 ans. Dans le cas des mémoires à double couche de nanocristaux hybrides, l'extrapolation de la courbe de rétention à 150°C prévoit une conservation de 50% de la charge initialement stockée après 10 ans. On peut donc considérer la fiabilité en rétention suffisante pour ces applications.

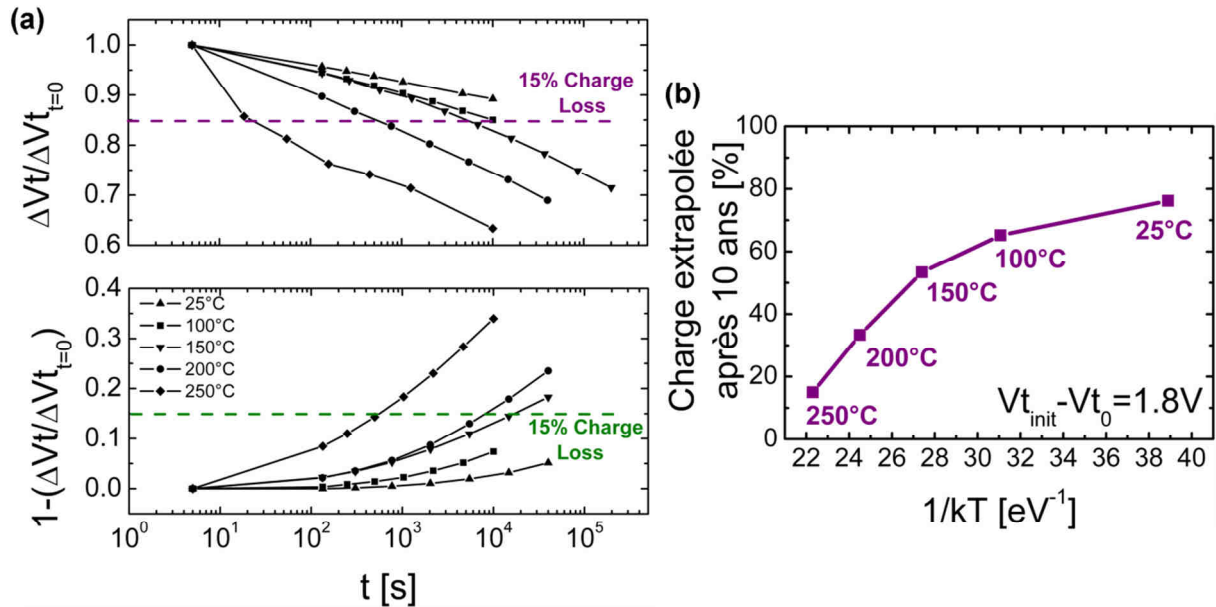


Figure II-11 : (a) Rétention de l'état écrit et programmé pour des températures comprises entre 25°C et 250°C (b) Extrapolation du pourcentage de charge restant dans les nanocristaux après 10 ans de rétention en fonction de la température de stockage.

En utilisant une loi d'Arrhénius, il est également possible d'extraire une énergie d'activation de la couche de piégeage. La perte de charge est modélisée par l'équation empirique suivante :

$$T_{ret} = T_0 \exp\left(\frac{E_a}{kT}\right) \quad \text{Équation II-4}$$

Le temps de rétention T_{ret} correspond à un critère arbitraire de perte de charge. Dans cette étude, nous définissons le temps de rétention comme le temps nécessaire pour atteindre un niveau de charge correspondant à 85% de la charge initialement injectée dans la couche de piégeage de la mémoire. T_0 est une constante correspondant au temps de rétention à température infini. Afin d'extraire l'énergie d'activation de la couche de piégeage ncs-Si //HTO//ncs-Si/SiN, le temps de rétention, extrait à partir des données de la Figure II-11-a, est tracé en fonction de $1/kT$ sur la Figure II-12-a (où k est la constante de Boltzmann et T est la température de mesure de la rétention en Kelvin). En extrapolant la courbe, on remarque que la courbe obtenue comporte deux domaines : $20^\circ\text{C} < T < 200^\circ\text{C}$ et $200^\circ\text{C} < T < 250^\circ\text{C}$. Ces deux domaines sont interprétés comme correspondant à deux mécanismes différents de perte de charge. L'énergie d'activation de chaque domaine est extraite d'après l'équation II-4, en calculant la pente de la droite extrapolée. Pour des températures inférieures à 200°C , l'énergie

d'activation est de 0,3eV tandis que pour des températures comprises entre 200°C et 250°C, elle est de 1,15eV. Deux mécanismes de perte de charge sont donc identifiés grâce à ces mesures de rétention en température. Ceux-ci sont décrits sur la Figure II-12-b :

- Perte de charge par l'oxyde tunnel (mécanisme **(1)**). La hauteur de barrière entre la bande de conduction des nanocristaux de silicium et l'oxyde de silicium est grande (3,1eV), ce qui explique une faible énergie d'activation pour les électrons stockés dans les nanocristaux.

- Perte de charge à travers l'oxyde bloquant (mécanisme **(3)**). Dans ce cas, les électrons piégés dans le nitrure sont activés thermiquement et passent à travers la barrière de l'oxyde bloquant. Ce mécanisme est fortement activé en température car la hauteur de barrière entre les pièges du nitrure et l'oxyde bloquant du dessus est de seulement 2,1eV. L'énergie d'activation de 1,15eV extraite sur la Figure II-12-a correspondrait donc à ce mécanisme.

Notons la possibilité d'un troisième mécanisme. Des électrons de la coquille de nitrure encapsulant le nanocristal, activés en température, sont dépiégés et se retrouvent dans la bande de conduction du nanocristal du dessous (mécanisme **(3)**). Une fois dans le nanocristal de silicium, leur comportement en rétention est alors régi par le mécanisme **(1)** et sont faiblement activés en température car piégés profondément. Ce mécanisme explique que le mécanisme **(3)** ne soit pas observé à basse température et que l'on distingue ainsi deux énergies d'activation sur la Figure II-12-a. Le déchargement du nitrure serait donc dicté par deux mécanismes : **(2)+(1)** serait favorisé pour $T < 200^\circ\text{C}$ tandis que **(3)** prendrait le dessus à des températures $T > 200^\circ\text{C}$.

La faible énergie d'activation pour des températures $< 200^\circ\text{C}$ est un gros avantage pour les applications automobiles. En effet, les dispositifs électroniques embarqués dans le bloc moteur d'une automobile doivent pouvoir supporter une température de 150°C sans aucune dégradation défaillance [Johnson04]. Les mémoires à base de ncs-Si/SiN sont donc particulièrement bien adaptées pour assurer le rôle de stockage d'information (code, données de mesures) dans ce type de circuit électronique.

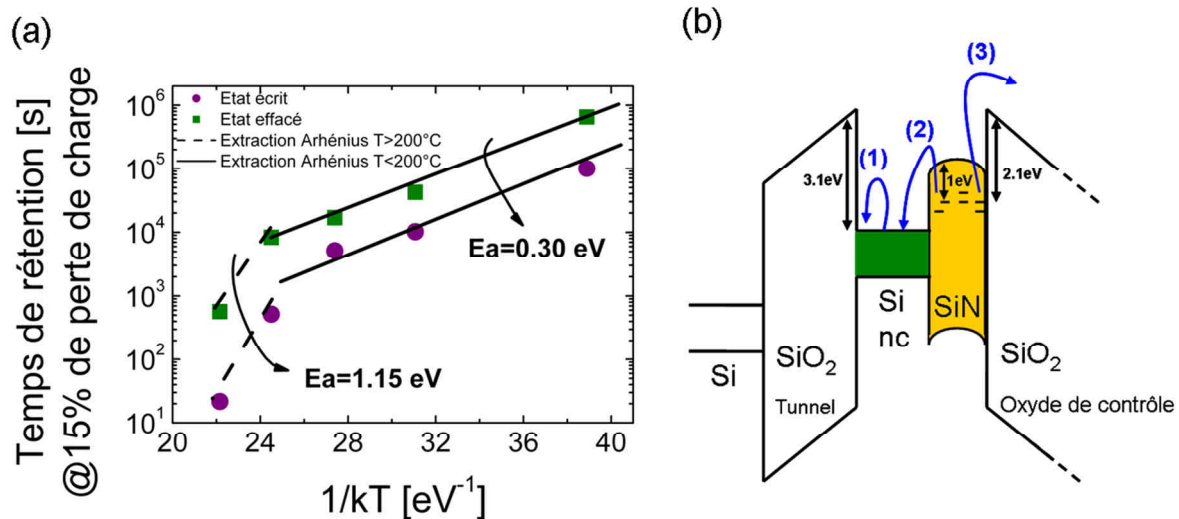


Figure II-12 : (a) Temps de rétention de l'état effacé et écrit en fonction de la température pour l'état écrit et effacé extrait d'après la Figure II-11-a. Le temps de rétention est défini comme le temps pendant lequel la grille flottante possède plus de 85% de la charge initiale. Les énergies d'activation sont extraites à partir de ces courbes (b) Illustration des différents mécanismes de déchargement de la grille flottante.

II.3.2.1.c. Endurance des dispositifs à double couche de nanocristaux

- **Cyclage avec impulsions constantes de tension d'écriture/effacement**

Des impulsions de tension d'écriture et d'effacement sont appliquées de façon répétitive sur la grille du dispositif W5. Au cours du cyclage, on mesure l'évolution de la tension de seuil du dispositif écrit et effacé. Celle-ci est tracée sur la Figure II-13-a. On remarque une forte dérive (3V) de la tension de seuil des états écrit et programmé des dispositifs. Cependant, malgré ce décalage, la fenêtre mémoire ne se referme pas et ne diminue que de 100mV après 10^5 cycles. Par conséquent, malgré la forte dérive de la tension de seuil du dispositif, deux états sont encore définis dans cette mémoire et il est envisageable d'utiliser ces dispositifs dans une matrice mémoire en utilisant un algorithme de correction de la lecture. Afin de comprendre les mécanismes de dégradation de la mémoire, les courants de drain en fonction de la tension de grille (I_d - V_g) au cours du cyclage sont tracés sur la Figure II-13-b. Deux évolutions sont observées sur ces courbes :

1. Les courbes I_d - V_g de l'état écrit et effacé se décalent vers les tensions positives. Cela est dû au piégeage parasite de charges négatives dans l'empilement mémoire. Ce phénomène contribue pour 1,7V au décalage total de la tension de seuil. Les électrons sont probablement piégés dans la coquille de nitrure encapsulant les nanocristaux et dans l'oxyde

de contrôle en HfAlO. En effet, en dépit du traitement thermique NH_3 permettant de limiter la cristallinité de l'HfAlO, ce dernier piège quand même des charges fixes [Bocquet07].

2. La pente sous le seuil des courbes I_d - V_g se dégrade à partir de 10000 cycles. Ceci indique une dégradation de l'interface Si/SiO₂. Cette dégradation est due au transport tunnel Fowler Nordheim répété de porteurs à travers l'oxyde tunnel. Ce phénomène contribue pour 1,3V au décalage total de la tension de seuil.

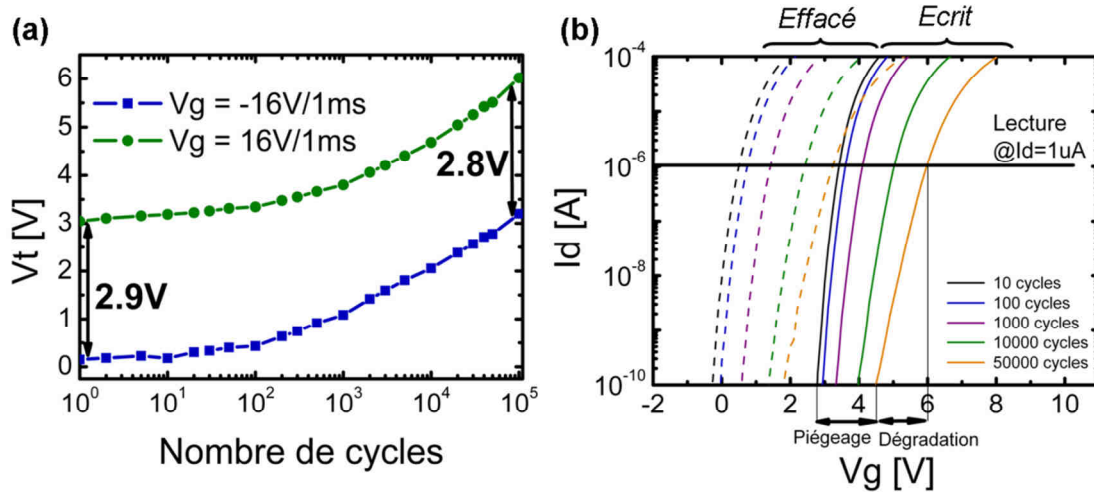


Figure II-13 : (a) Courbe de cyclage du dispositif W5 (b) Evolution des courbes I_d - V_g des états écrit et effacé au cours du cyclage

Les caractéristiques de cyclage sont nettement moins bonnes que celles du dispositif W2 (Figure II-6). Plusieurs raisons expliquent cette différence. Tout d'abord, la dégradation de l'interface Si/SiO₂ observée sur W5 est probablement due au champ électrique plus intense appliqué sur l'empilement mémoire. En effet, l'oxyde tunnel de W5 étant plus épais de 2nm (5,5nm pour W5 et 3,5nm pour W2) le champ électrique doit être plus important afin d'assurer le même courant tunnel à travers l'oxyde. L'oxyde tunnel étant en SiO₂, le champ électrique dans celui-ci est donné par la formule suivante :

$$E_{W2} = \frac{V_g}{EOT_{W2}} = 9,1MV.cm^{-1} \quad E_{W5} = \frac{V_g}{EOT_{W5}} = 11MV.cm^{-1}$$

On remarque donc qu'à $V_g=16V$, le champ électrique dans l'oxyde tunnel du dispositif W5 est plus important que dans celui du dispositif W2, ce qui provoque une dégradation plus importante de l'interface Si/SiO₂.

La deuxième explication de la différence de cyclage entre les deux dispositifs est la présence du nitrure autour des nanocristaux qui est une source de piégeage parasite supplémentaire.

- **Optimisation du cyclage**

Afin d'obtenir de meilleures caractéristiques de cyclage, un algorithme de correction est utilisé lors du cyclage afin d'adapter les tensions d'écriture et d'effacement. A chaque décade de cycles d'écriture/effacement, les durées d'écriture et d'effacement sont ajustées afin d'atteindre la tension de seuil ciblée. Les résultats de ce cyclage intelligent sont tracés sur la Figure II-14. Le cyclage intelligent permet de conserver une tension de seuil effacée constante grâce à l'augmentation de la durée des impulsions d'effacement à partir de 2000 cycles (Figure II-14-b). Par contre, cet algorithme ne peut pas diminuer la durée de l'impulsion d'écriture. Par conséquent, la courbe de la tension de seuil de la mémoire écrite ne peut pas être corrigée. Du fait que la tension de seuil effacée est constante tandis que la tension de seuil écrite augmente, la fenêtre mémoire augmente au cours du cyclage. Bien qu'imparfaites, les caractéristiques d'endurance des dispositifs sont tout de même améliorées par rapport à celles présentées sur la Figure II-13. La principale amélioration qui pourrait être apportée à nos dispositifs en vue d'obtenir de meilleures caractéristiques d'endurance serait d'optimiser l'épaisseur ou la nature de l'oxyde tunnel en vue de diminuer les champs électriques d'écriture et d'effacement.

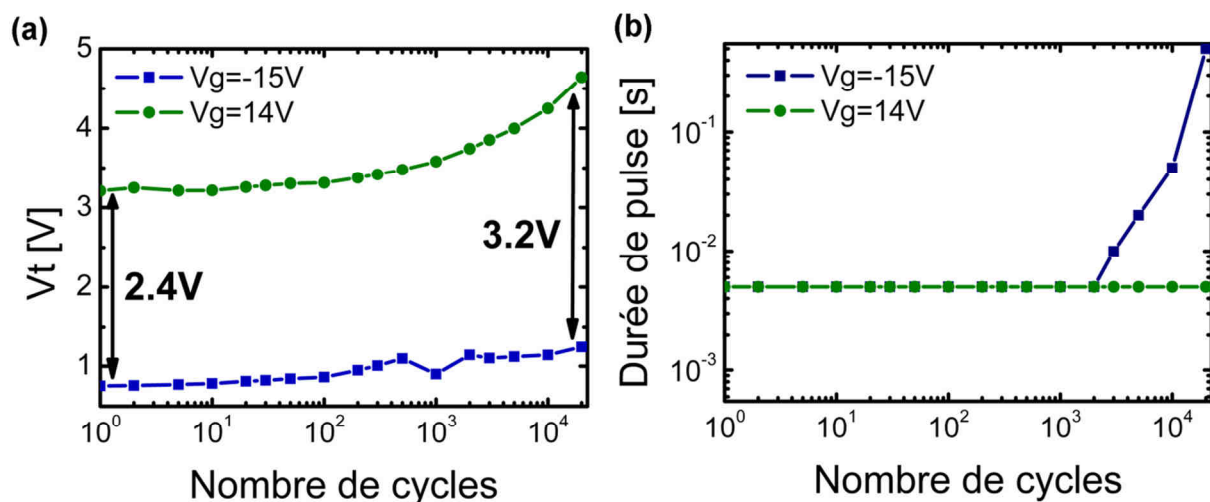


Figure II-14 : (a) Cyclage intelligent de W5 (b) Durée des impulsions d'écriture et d'effacement de la mémoire. L'impulsion d'effacement est adaptée à partir de 2000 cycles afin de conserver un V_t effacé constant.

- **Effets de la dégradation des dispositifs sur la rétention**

Afin d'étudier le SILC (Stress Induced Leakage Current) [DiMaria95][Moazzami92], des mesures de rétention sont effectuées avant et après cyclage. Malgré une détérioration l'interface Si/SiO₂ (dégradation de la pente sous le seuil sur la Figure II-15-b), on ne remarque pas de dégradation de la rétention suite au cyclage du dispositif (Figure II-15-a).

Cela montre que, tout comme avec une simple couche de nanocristaux, les mémoires à double couche de nanocristaux de silicium sont robustes vis-à-vis des défauts de l'oxyde tunnel.

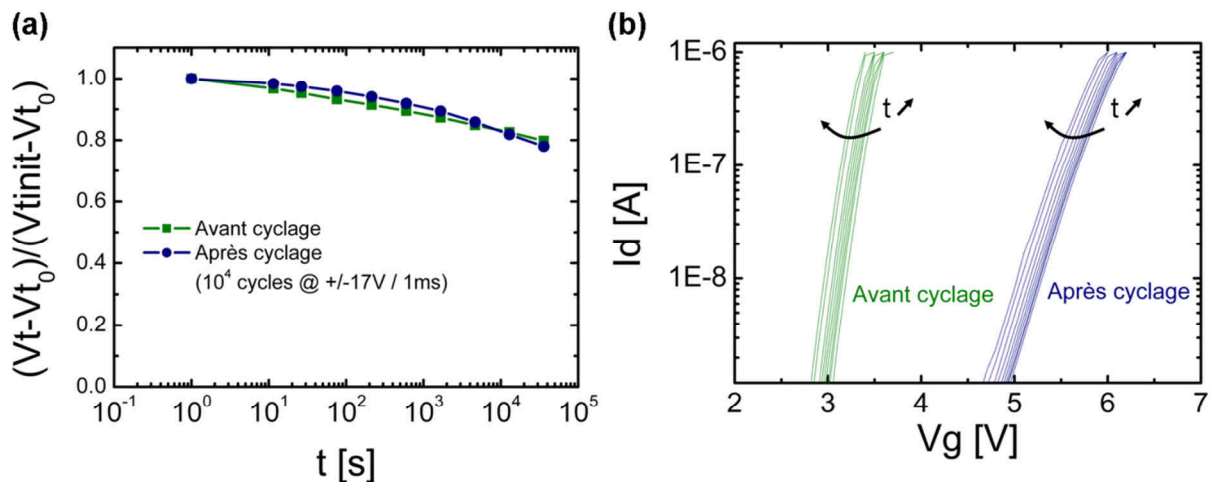


Figure II-15 : (a) Rétention du dispositif à double couche de nanocristaux avant et après cyclage (b) Courbes I_d - V_g mesurées lors de la rétention avant et après cyclage.

II.3.2.2. Caractérisation des dispositifs en mode CHE/FN

Dans ce paragraphe nous allons étudier le fonctionnement des dispositifs W4 et W5 en mode CHE/FN (Channel Hot Electron). Ces mesures sont effectuées d'une part pour démontrer le fonctionnement des dispositifs dans ce mode de programmation, et d'autre part pour vérifier que les deux couches de nanocristaux sont isolées l'une par rapport à l'autre.

II.3.2.2.a. Performances d'écriture/effacement

Dans ce mode de fonctionnement, les nanocristaux sont chargés par injection d'électrons chauds (CHE) [Lusky01] et déchargés par effet tunnel Fowler-Nordheim en appliquant une forte tension négative sur la grille de contrôle. Des électrons chauds sont générés dans le canal grâce au fort champ électrique appliqué entre la source et le drain du transistor. Les électrons chauds ayant acquis une énergie cinétique suffisante pour sauter la barrière Si/SiO₂ sont ensuite transportés à travers l'oxyde tunnel grâce au champ électrique

transversal puis se relaxent dans la bande de conduction des nanocristaux. Sur la Figure II-16 est tracée la tension de seuil du transistor pour plusieurs valeurs de tension de drain. La génération d'électrons chauds se fait pour $V_{ds} \geq 6V$. Cette tension est plus élevée que dans le cas de dispositifs mémoires dédiés spécifiquement aux applications NOR [Jacob08], où les valeurs de V_{ds} sont plutôt de l'ordre de 4V. Nos dispositifs ayant été fabriqués pour une application NAND, c'est-à-dire pour un fonctionnement par injection tunnel Fowler Nordheim, les jonctions source et drain ne sont pas optimisées pour l'écriture par porteur chaud. En vue d'une application NOR, il serait possible d'adapter le profil de jonction afin de diminuer les tensions de programmation. D'autre part, la tension V_{ds} pourrait aussi être réduite en appliquant une tension négative sur la face arrière V_{Bulk} , ce qui favorise la génération de porteurs chauds au niveau du canal.

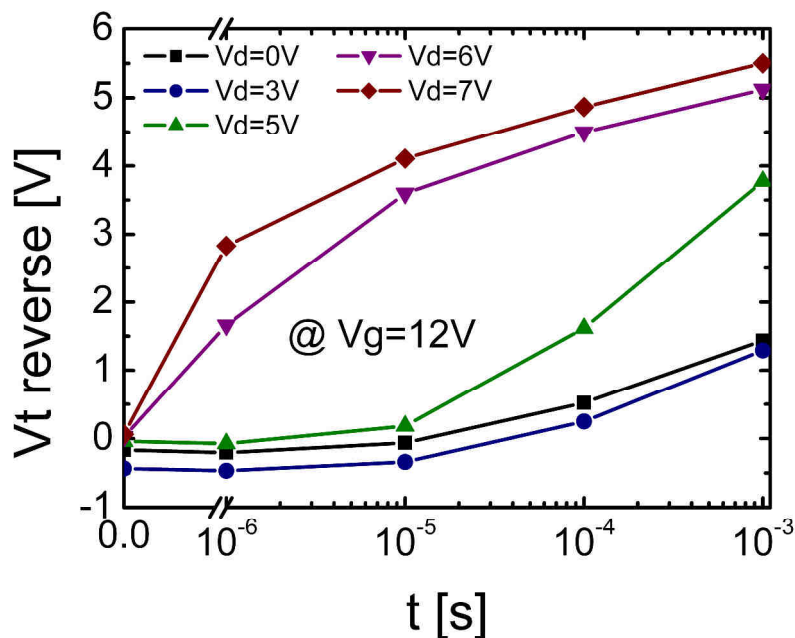


Figure II-16 : Courbes d'écriture à V_g constant (12V) et V_d variable

Ce mode de programmation permet de stocker deux bits par cellule puisque les électrons peuvent être injectés soit au niveau de la source, soit au niveau du drain. Comme les nanocristaux sont isolés électriquement, les électrons restent localisés au-dessus de la source ou du drain. Prenons le cas où les électrons sont injectés du côté du drain comme sur la Figure II-17-a. Lors de la lecture, si le drain est polarisé avec une tension positive (lecture forward), celle-ci écran la charge de la grille flottante qui a alors un impact moindre sur le canal. Par conséquent, la tension de seuil lue en mode forward ($V_{t_{fwd}}$) est inférieure à la tension de seuil lue en mode reverse ($V_{t_{rev}}$) [Bloom01][Larcher02][Perniola05].

Sur la Figure II-17-b, les $V_{t_{fwd}}$ et $V_{t_{rev}}$ sont reportés pour différentes valeurs de tension entre le drain et la source. La lecture reverse est peu dépendante de V_{ds} . Au contraire, la tension de seuil mesurée en mode forward décroît fortement avec l'augmentation de V_{ds} car plus V_{ds} est important, plus les charges situées au dessus du drain sont écrantées par V_{ds} . Comme indiqué sur la Figure II-17-c, la différence entre le $V_{t_{fwd}}$ et le $V_{t_{rev}}$ atteint 2V lorsque $V_{ds}=3V$.

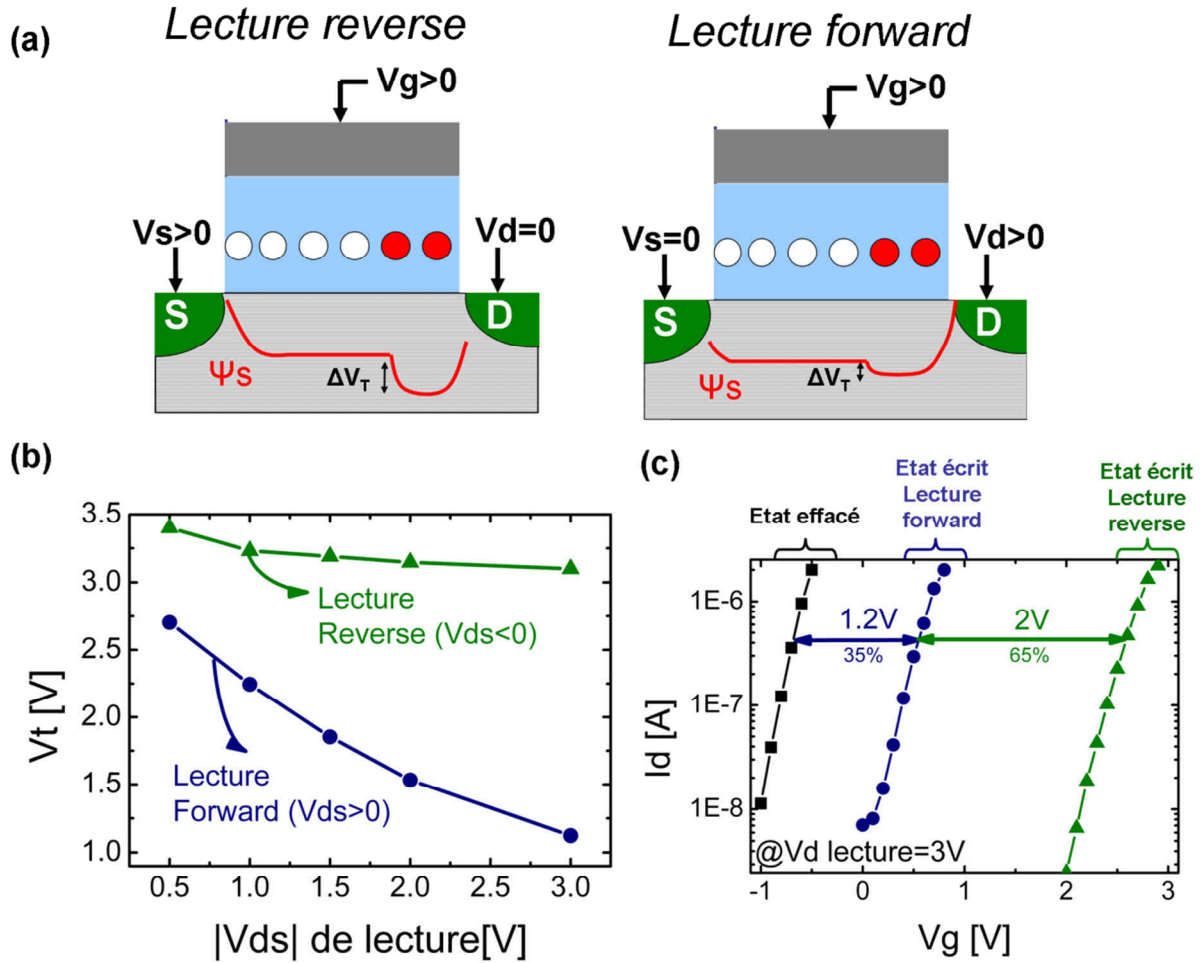


Figure II-17 : (a) Principe de fonctionnement en double bit par cellule (b) Tension de seuil lue en mode forward et reverse du dispositif écrit en fonction de la tension de drain de lecture. (c) Courbes I_d - V_g du dispositif en mode de lecture forward et reverse.

Les caractéristiques d'écriture CHE des dispositifs à simple et double couche de nanocristaux sont comparées sur la Figure II-18-a. Comme dans le cas du chargement par effet tunnel FN, la fenêtre mémoire est améliorée grâce à la seconde couche de nanocristaux (+70%). Ceci s'explique, comme dans le cas d'une injection Fowler-Nordheim, par un plus grand nombre de charges injectées localement en bord de grille flottante qui provoque un plus fort décalage de la tension de seuil du dispositif mémoire. L'avantage de ce mode de programmation est la vitesse d'écriture. En effet, alors qu'il faut 20 ms pour obtenir une

fenêtre mémoire de 4,4V en programmation FN, 10 μ s sont suffisantes pour obtenir la même fenêtre mémoire en mode CHE. Ce mécanisme d'écriture permet donc une écriture 1000 fois plus rapide, au prix d'une consommation supérieure (courant I_d plus important).

L'effacement Fowler-Nordheim des dispositifs écrits par CHE est tracé sur la Figure II-18-b. Comme dans le cas d'un mode de fonctionnement FN/FN, l'effacement est plus rapide pour les dispositifs à double couche de nanocristaux.

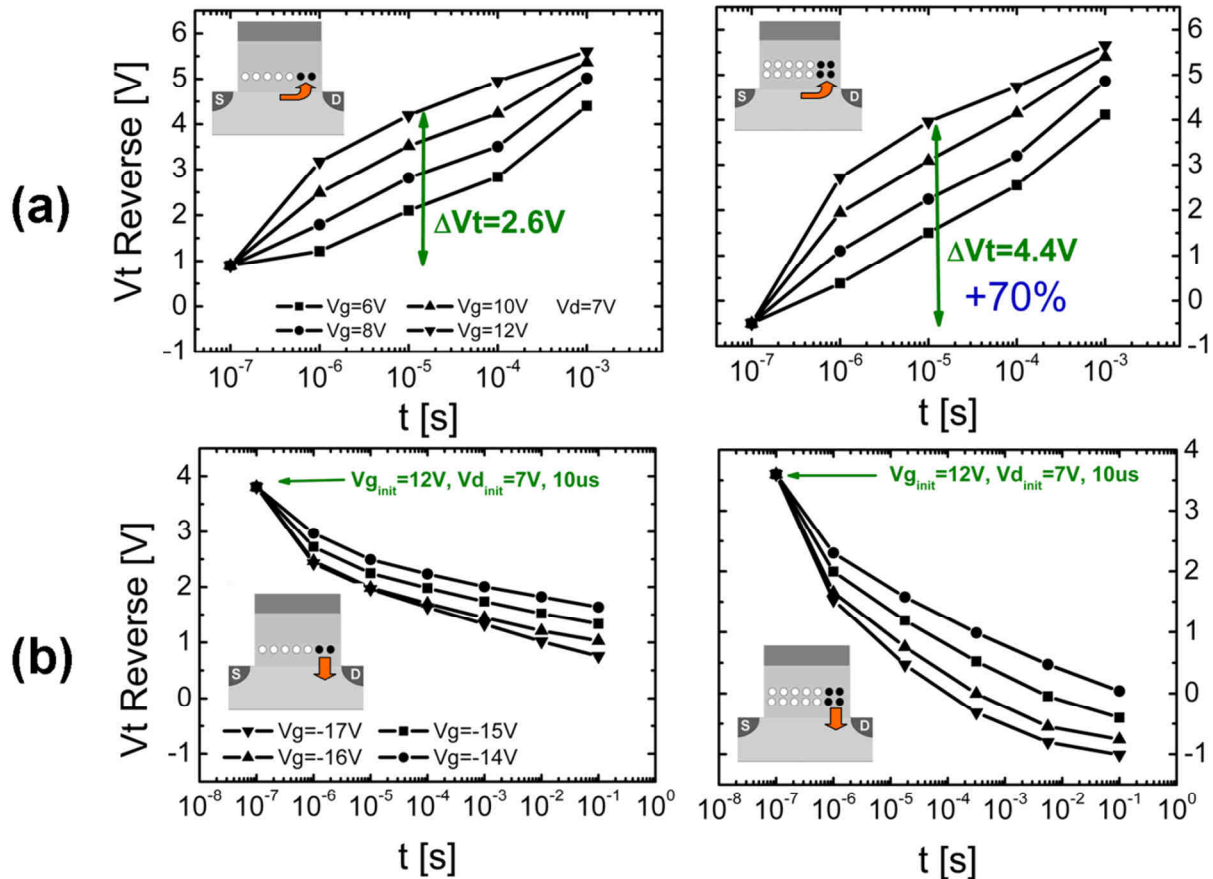


Figure II-18 : (a) Ecriture par porteur chaud des dispositifs à simple et double couche de nanocristaux. (b) Effacement par effet tunnel Fowler Nordheim

II.3.2.3. Mise en évidence de l'isolation entre les deux couches de nanocristaux

Afin de confirmer ou infirmer l'isolation entre les nanocristaux, des mesures de rétention sont réalisées sur des dispositifs chargés par électrons chauds. L'évolution du V_{t_fwd} et du V_{t_rev} permet de caractériser la redistribution latérale de charge dans la couche de nanocristaux. En effet, si la charge se délocalise au cours du temps, les tensions de seuil en mode reverse et forward auront tendance à converger tandis que si les charges restent

localisées, les tensions de seuil reverse et forward décroissent à la même vitesse au cours du temps et les courbes de rétention correspondantes sont alors parallèles. Les tensions de seuil en mode reverse et forward sont tracées sur la Figure II-19-a. Afin d'étudier plus précisément la redistribution de charge, l'évolution de la différence entre le $V_{t_{fwd}}$ et le $V_{t_{rev}}$ en fonction du temps de rétention est tracé sur la Figure II-19-b. Cette différence diminue légèrement plus rapidement dans le cas de la double couche de nanocristaux. Ceci est probablement dû à la faible épaisseur d'oxyde entre les deux couches de nanocristaux. Cependant, la différence entre les deux dispositifs est très faible. L'isolation entre les deux couches de nanocristaux est ainsi démontrée. Par conséquent, la perte de charge est gouvernée par les fuites à travers l'oxyde de contrôle et l'oxyde tunnel, à la fois pour les simple et double couches de nanocristaux. Les dispositifs à double couche de nanocristaux sont donc tout aussi aptes à être utilisés en fonctionnement deux bits par cellule que les dispositifs à simple couche.

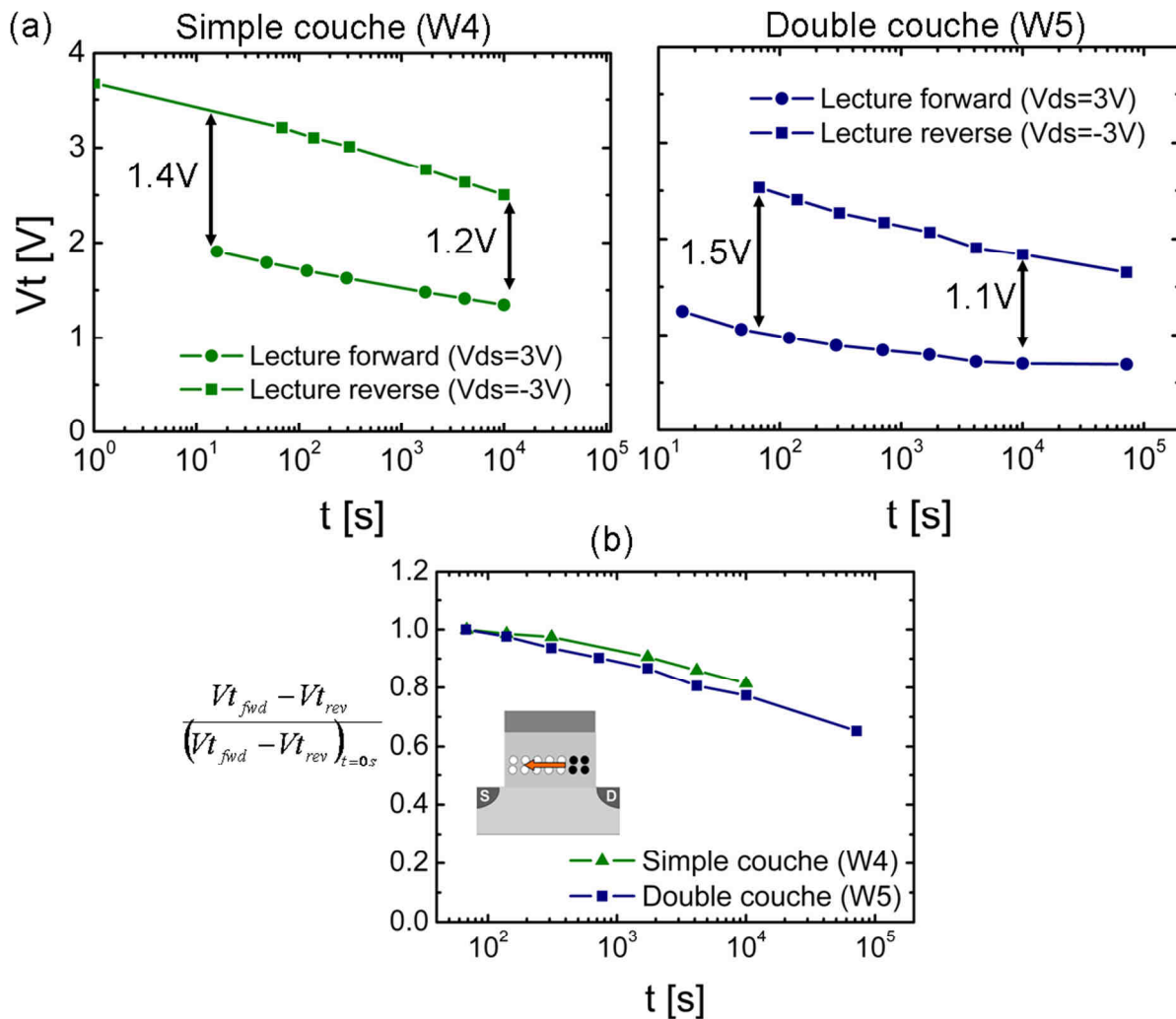


Figure II-19 : (a) Tension de seuil lue en mode forward et reverse des dispositifs à simple et double couche de nanocristaux (b) Evolution de la différence entre la tension de seuil lue en mode forward et reverse au cours du temps

II.4. Modélisation des caractéristiques d'écriture et d'effacement

Dans ce chapitre, nous allons modéliser le gain en fenêtre mémoire apporté par la seconde couche de nanocristaux. Deux approches complémentaires sont étudiées dans ce paragraphe. La première utilise un modèle « floating gate like » permettant d'expliquer le gain en efficacité de chargement [DeSalvo01] tandis que la seconde explique le sur-effacement du dispositif mémoire par le transport tunnel d'électrons de la bande de valence du nanocristal supérieur.

II.4.1. Modélisation des courants dans la structure

Afin de modéliser le fonctionnement de la cellule mémoire, il est nécessaire de calculer les courants intervenant durant les mécanismes d'écriture et d'effacement des nanocristaux.

II.4.1.1. Courants tunnel direct et Fowler Nordheim

II.4.1.1.a. Expression générique des courants tunnels

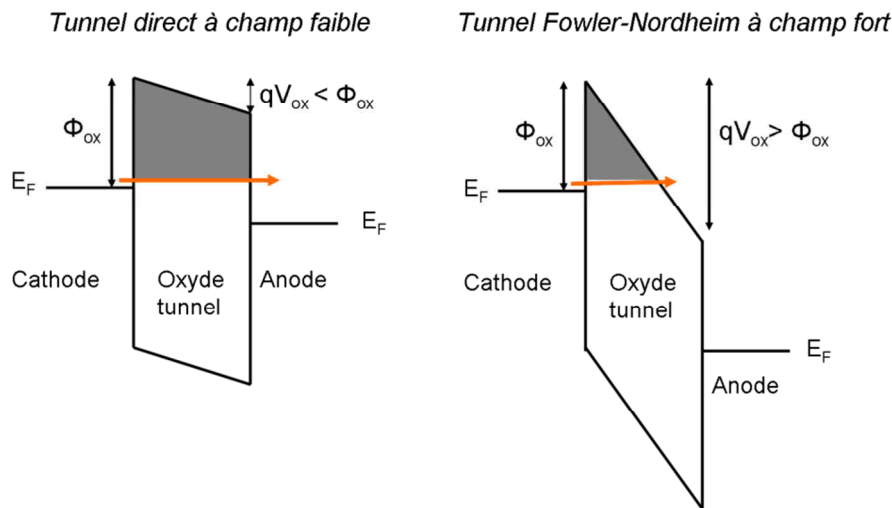


Figure II-20 : Illustration de la conduction par tunnel direct et par tunnel Fowler-Nordheim

Selon le champ appliqué dans l'oxyde tunnel, on distingue deux régimes de courant tunnel (Figure II-20) :

- $qV_{ox} < \Phi_{ox}$: régime *tunnel direct*. La barrière vue par les électrons est trapézoïdale. Les électrons sont injectés directement dans la bande de conduction de l'anode.

- $qV_{ox} > \Phi_{ox}$: régime *tunnel Fowler-Nordheim*. La barrière vue par les électrons est triangulaire. Les électrons sont d'abord injectés dans la bande de conduction de l'oxyde où ils se relaxent avant d'être transporté dans l'anode

En considérant que la densité d'état dans l'anode est infinie, l'expression du courant tunnel à travers une barrière diélectrique est la suivante :

$$J_{tunnel} = \int_0^{\Phi_{ox}} qT(E)N(E)dE \quad \text{Équation II-5}$$

Où E est l'énergie des électrons

N(E) est la distribution de densité d'états électroniques à l'interface entre l'électrode et le diélectrique. Celle-ci sera calculée dans la suite du manuscrit.

T(E) est la transparence, correspondant à la probabilité de passage d'un électron d'énergie E à travers la barrière diélectrique. Elle peut être calculée analytiquement grâce à l'approximation WKB (Wentzel-Kramers-Brillouin). Cette approximation suppose que les longueurs d'onde associées aux fonctions d'onde des porteurs sont petites devant la dimension caractéristique des variations de la barrière de potentiel à traverser $\left(\frac{d\lambda}{dx} \ll 1\right)$.

C'est-à-dire que le potentiel dans le diélectrique varie lentement dans l'espace.

La transparence du diélectrique est exprimée par

$$T(E, V_{ox}) = \exp\left(-\frac{2\sqrt{2}}{\hbar}U(E, V_{ox})\right) \quad \text{Équation II-6}$$

Où U(E, V_{ox}) vaut :

$$U(E, V_{ox}) = \frac{2\sqrt{m_{ox}}t_{ox}}{3V_{ox}} \left[(\phi_b - E)^{\frac{3}{2}} H(\phi_b - E) - (\phi_b - qV_{ox} - E)^{3/2} H(\phi_b - qV_{ox} - E) \right] \quad \text{Équation II-7}$$

Avec E l'énergie des porteurs en J, V_{ox} la chute de potentiel dans l'oxyde tunnel en V, m_{ox} la masse effective des électrons dans l'oxyde en kg, t_{ox} l'épaisseur de l'oxyde tunnel en m, Φ_b la hauteur de barrière entre le silicium et l'oxyde en J, H la fonction de Heaviside aussi appelée fonction créneau $H(x) = 0$ si $x < 0$ et $H(x) = 1$ si $x \geq 0$. Cette dernière fonction permet de décrire les courants tunnels Fowler-Nordheim et direct grâce à une formule unique.

II.4.1.1.b. Calcul de la densité d'états dans le substrat $N(E)$

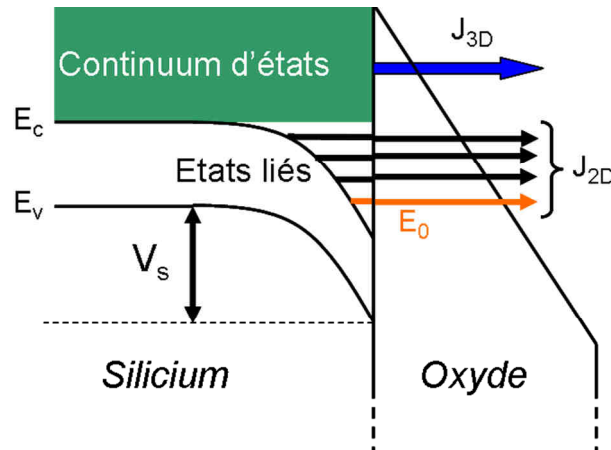


Figure II-21 : Courants tunnel du substrat silicium en inversion forte

Lors de la programmation des dispositifs mémoires, des tensions élevées sont appliquées sur la grille, bien au-delà de la tension de seuil du transistor. Par conséquent le substrat de silicium est en inversion forte. Il se crée un puits de potentiel à l'interface Si/SiO₂ qui induit une quantification des états électroniques, appelés états liés. La distribution d'états électroniques à l'interface peut donc être décomposée en deux composantes, $N_{cont}(E)$ correspondant au continuum d'états au dessus du puits et $N_{liés}(E)$ correspondant aux états liés dans le puits de potentiel. Pour le *continuum d'état*, dans le cadre d'une approximation de courbure de bande parabolique et une distribution de Fermi Dirac, on peut écrire :

$$N_{cont}(E) = \frac{4\pi m_{Si}}{h^3} kT \ln \left[1 + \exp \left(-\frac{E - E_F}{kT} \right) \right] \quad \text{Équation II-8}$$

Avec E_F en Joule l'énergie du niveau de Fermi de l'électrode, m_{Si} en kg la masse effective des électrons dans l'électrode, E en Joule l'énergie des électrons perpendiculairement au sens de propagation du courant.

En ce qui concerne *les états liés*, on peut associer à chaque état lié une sous-bande distincte comme schématisé sur la Figure II-21-a. La densité d'état lié est la somme des états de chaque sous-bande [Shih98][Yan99]:

$$N_{liés}(E) = \sum_i n(E_i) F_{imp}(E_i) \quad \text{Équation II-9}$$

Où $n(E_i)$ en m⁻² est la densité de porteurs sur la bande d'énergie E_i .

$F_{imp}(E_i)$ en Hz est la fréquence d'impact des porteurs sur la bande d'énergie E_i .

II.4.1.2. Calcul des courants dans la structure

Dans ce paragraphe nous allons décrire les courants qui nous seront utiles par la suite pour modéliser l'écriture et l'effacement des dispositifs.

II.4.1.2.a. Courant d'injection du substrat vers les nanocristaux

- **Expression du courant en fonction de la charge d'inversion**

En inversion forte, la charge totale de l'électrode est principalement portée par le premier niveau quantifié, qui correspond au niveau de plus basse énergie aussi appelé niveau fondamental [Mathieu04] L'énergie du niveau fondamental E_0 peut être calculée grâce à une approche variationnelle pour laquelle la fonction d'onde associée aux électrons est approchée par une expression analytique unique associée à toute la charge électronique d'inversion [Clerc01][Garros04].

$$E_0 = \frac{3h}{4\pi} \left[\frac{q^2}{4\hbar \epsilon_{Si}^2 m_{Si}} (Q_{SC} + 2Q_{dep})^2 \right]^{\frac{1}{3}} \quad \text{Équation II-10}$$

Q_{dep} est la charge de désertion dans le silicium $Q_{dep} = -qN_A W_d = -\sqrt{2\epsilon_{Si} q N_A \phi_f}$ avec N_A le nombre de dopants en m^{-3} , $\phi_f = \frac{kT}{q} \ln\left(\frac{N_A}{n_i}\right)$ est l'énergie du niveau de Fermi, n_i la concentration intrinsèque de porteurs et W_d la profondeur de désertion.

Q_{SC} est la charge totale dans la cathode (i.e. dans le substrat de silicium) $Q_{SC} = Q_{dep} + Q_{inv}$, où Q_{inv} est la charge d'inversion dans le canal.

La fréquence d'impact de ce niveau d'énergie fondamental E_0 est calculé par :

$$F_{imp}^0 = \frac{4E_0}{3h} \quad \text{Équation II-11}$$

On peut alors calculer le courant J_{2D} associé à ce niveau fondamental :

$$J_{2D} = Q_{inv} F_{imp}^0 T(E_0) \quad \text{Équation II-12}$$

Comme nous considérons que l'essentiel de la charge est portée par le niveau fondamental, le courant du continuum d'états est pris nul dans le modèle ($J_{3D}=0$)

- **Calcul de la charge dans le silicium**

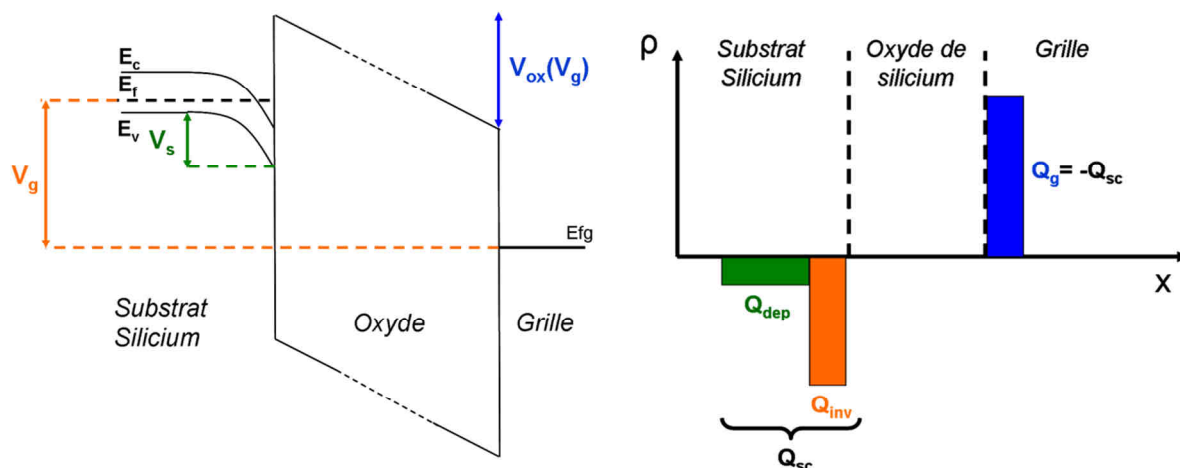


Figure II-22 : Schéma illustrant la répartition des charges et du potentiel dans l'empilement de grille lors de l'application d'une forte tension positive sur la grille de contrôle

Afin de calculer la chute de potentiel à travers l'oxyde de grille V_{ox} et le potentiel de surface V_s dans le substrat (Figure II-22), nous utilisons la relation suivante :

$$V_{ox} = V_g - V_s - V_{fb} \quad \text{Équation II-13}$$

Où V_{fb} est la tension de bande plate égale à $V_{fb} = \frac{E_F - E_{FG}}{q}$ où E_F et E_{FG} sont les niveaux de Fermi respectivement du substrat et de la grille.

La chute de potentiel dans l'oxyde est aussi exprimée en fonction de la charge dans le substrat de silicium par:

$$V_{ox} = -\frac{Q_{sc}}{C_{ox}} \quad \text{Équation II-14}$$

Où C_{ox} correspond à la capacité de l'oxyde de grille.

Nous calculons ici la charge dans le substrat Q_{sc} en fonction du potentiel de surface V_s . La statistique de Fermi est utilisée pour la répartition des porteurs libres, car il a été montré dans [Garros04] et [Buckley07] qu'elle permet un calcul plus précis de la charge d'inversion forte. Les densités de porteurs libres sont données par

$$p_0 = N_v \frac{2}{\sqrt{\pi}} F_{1/2} \left(\frac{E_v - E_F}{kT} \right) \quad n_0 = N_c \frac{2}{\sqrt{\pi}} F_{1/2} \left(\frac{E_F - E_c}{kT} \right) \quad \text{Équation II-15}$$

$F_{1/2}(\eta)$ est l'intégrale de Fermi Dirac approximée grâce à [Aymeric83] :

$$F_{1/2}(\eta) = \int_0^{\infty} \frac{\sqrt{x}}{\exp(x-\eta)+1} dx \approx \left[\frac{3\sqrt{2}}{\left[b + \eta + (|\eta - b|^c + a^{1/c})^{\frac{1}{2}+1} \right]} + \frac{\exp(-\eta)}{\Gamma(\frac{1}{2}+1)} \right]^{-1} \quad \begin{array}{l} a = 2,585 \\ b = 2,105 \\ c = 2,414 \end{array} \quad \text{Équation II-16}$$

Les calculs permettent d'exprimer la charge dans le substrat de silicium en fonction du potentiel de surface :

$$Q_{SC}(V_s) = -\text{sign}(V_s) \frac{\epsilon_{Si} kT}{qL_D} \sqrt{\frac{N_V}{p_0} \frac{2}{\sqrt{\pi}} FI1(V_s) + \frac{qV_s}{kT} + \frac{n_0}{p_0} \left(\frac{N_C}{n_0} \frac{2}{\sqrt{\pi}} FI2(V_s) - \frac{qV_s}{kT} \right)} \quad \text{Équation II-17}$$

Avec :

$$FI1(V_s) = FI\left(\frac{E_v - E_f - qV_s}{kT}\right) - FI\left(\frac{E_v - E_f}{kT}\right) \quad FI2(V_s) = FI\left(\frac{E_f - E_c + qV_s}{kT}\right) - FI\left(\frac{E_f - E_c}{kT}\right)$$

$$L_D = \sqrt{\frac{kT\epsilon_{Si}}{2q^2 p_0}} \text{ est la longueur de Debye du silicium}$$

Reporter $Q_{SC}(V_s)$ dans les équations 13 et 14 permet d'obtenir une expression de V_s en fonction de V_g et donc d'une expression de Q_{SC} en fonction de V_g .

- **Courant de déchargement d'un nanocristal**

Aucun phénomène de confinement dans les nanocristaux de silicium n'est pris en compte dans ce modèle. On associe donc aux nanocristaux une bande de conduction et une bande de valence. Lorsque des électrons sont injectés dans les nanocristaux, ils se relaxent dans la bande de conduction. Le nanocristal étant encapsulé d'une matrice isolante, les électrons sont alors piégés dans la bande de conduction du silicium. Le déchargement des nanocristaux s'opère par effet tunnel à travers l'oxyde tunnel sous l'effet d'un champ électrique négatif. Nous utilisons donc la formule de courant tunnel appliquée à une distribution d'un continuum d'états. Les nanocristaux étant non dopés, une distribution de Boltzmann est considérée pour les électrons :

$$N(E) = kT \exp\left(\frac{E_{Fdot} - E}{kT}\right) \text{ reportée dans l'équation 5 :}$$

$$J_{outdot}(V_{dot}) = \frac{4\pi q m_{Si} (kT)^2}{h^3} \exp\left(\frac{E_{Fdot} - E_{cdot}}{kT}\right) T(E_{cdot}, V_{ox}) \quad \text{Équation II-18}$$

On pose alors $f_{dot} = \frac{4\pi m_{Si} (kT)^2}{h^3 \phi_{dot} N_C}$ où $n_{dot} = N_C \exp\left(\frac{E_{Fdot}}{kT}\right)$, N_C étant la densité d'état dans la bande de conduction du nanocristal. On peut également considérer que la charge dans le nanocristal est égale à $Q_{nc} = -qn_{dot} \Phi_{dot}$ où Φ_{dot} correspond au volume du nanocristal.

L'expression du courant de déchargement s'exprime alors par la relation suivante :

$$J_{outdot}(V_{dot}) = f_{dot} |Q_{nc}| T(E_{cdot}, V_{ox}) \quad \text{Équation II-19}$$

On retrouve donc une équation similaire à l'équation 11, le courant de déchargement s'exprimant ici en fonction de la charge stockée dans le nanocristal et d'une fréquence d'impact caractéristique du nanocristal.

- **Courant tunnel des électrons de la bande de valence**

Grâce à la faible épaisseur de la couche d'oxyde entre les nanocristaux (2nm), le transport tunnel d'électrons de la bande de valence entre la première couche de nanocristaux et la seconde couche de nanocristaux est rendu possible [Cai01][Yang04][Shanware99][Wu07].

La distribution des électrons de la bande de valence du silicium est considérée comme un continuum d'états. Le courant tunnel est ici décrit en utilisant l'approximation basse température du courant tunnel direct [Schuegraf'92] :

$$J_{vb}(V_{ox}) = (V_{ox} > E_g) \frac{AV_{ox}^2}{t_{ox}^2 \left[1 - \sqrt{\frac{\phi_0 - V_{ox}}{\phi_0}} \right]} \exp \left[-\frac{Bt_{ox} \phi_0^{3/2} - (\phi_0 - qV_{ox})^{3/2}}{V_{ox} \phi_0^{3/2}} \right] \quad \text{Équation II-20}$$

Avec V_{ox} la tension entre l'anode et la cathode, E_g la largeur de bande interdite du silicium et Φ_0 la hauteur de barrière entre la bande de valence des nanocristaux en silicium et la bande de conduction de l'oxyde.

- **Courant de fuite à travers l'oxyde d'interpoly**

Le courant tunnel à travers plusieurs diélectriques est plus complexe à modéliser qu'à travers un oxyde composé d'un unique diélectrique. En effet, les interfaces entre les diélectriques provoquent des phénomènes de réflexion des électrons ainsi qu'une variation abrupte du potentiel. Par conséquent l'approximation WKB $\left(\frac{d\lambda}{dx} \ll 1\right)$ n'est plus valable.

D'autre part, la conduction à travers les oxydes métalliques n'est pas uniquement gérée par le mécanisme tunnel. D'autres mécanismes tels que les courants de Poole Frenkel ou TAT (Trap assisted tunneling) peuvent entrer en vigueur et donc modifier sensiblement le courant de fuite.

Une solution à la fois précise et simple à mettre en œuvre est d'utiliser le courant expérimental à travers la tricouche. Celui-ci est mesuré aux bornes de l'empilement similaire à celui utilisé dans les dispositifs : HTO/ Al_2O_3 /HTO. Le courant de fuite en fonction de la tension de grille normalisée en EOT est tracé sur la Figure II-23.

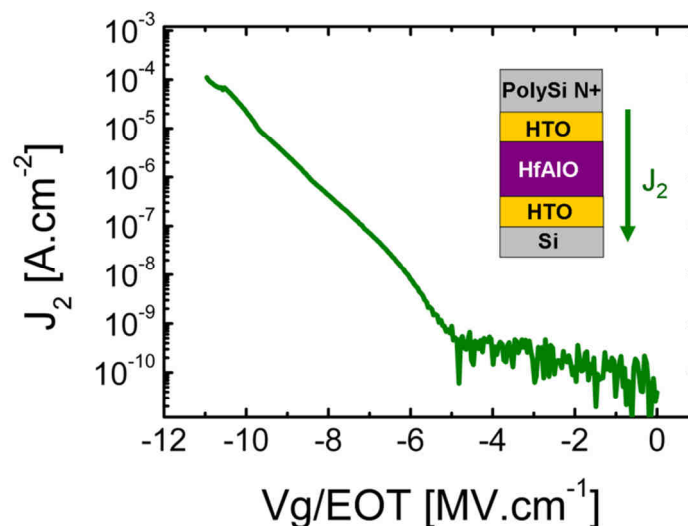


Figure II-23 : Courant de fuite mesuré à travers l'empilement tri-couche HTO/HfAlO/HTO utilisé en tant qu'oxyde d'interpoly

II.4.2. Modélisation de l'écriture par un modèle de type grille flottante continue

II.4.2.1. Description du modèle

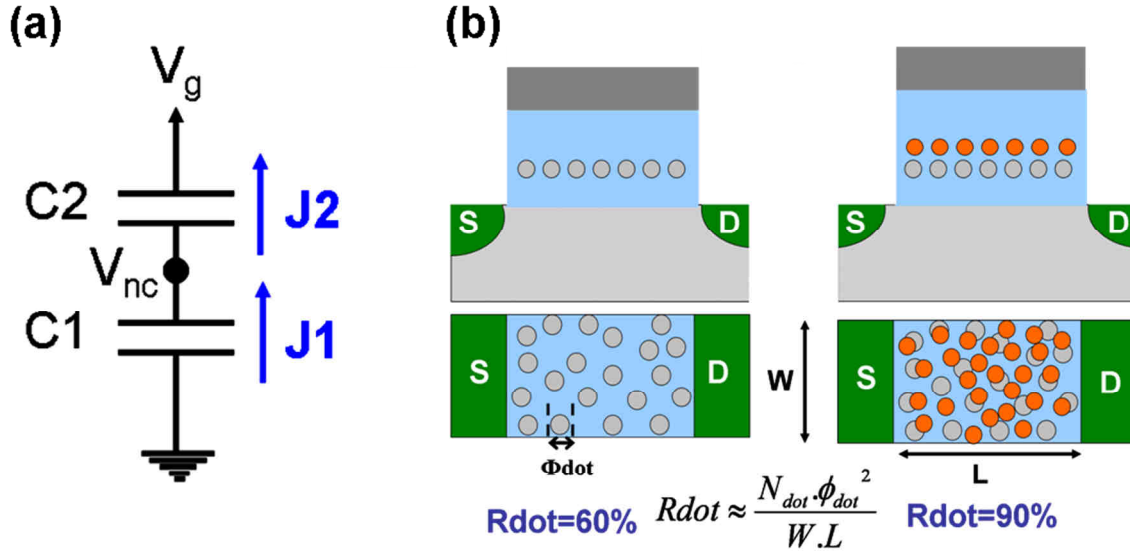


Figure II-24 : (a) Schéma électrique équivalent utilisé pour la modélisation des caractéristiques électriques (b) Illustration de l'augmentation du R_{dot} avec l'ajout d'une seconde couche de nanocristaux (N_{dot} est la densité surfacique de nanocristaux)

Dans ce modèle [DeSalvo01], l'influence électrostatique des nanocristaux sur le canal est considérée comme étant équivalente, à un facteur près nommé R_{dot} , à celle d'une grille flottante continue. Le décalage de tension de seuil résultant du chargement des nanocristaux est décrit par l'équation suivante :

$$\Delta V_t = -\frac{Q_{nc} R_{dot}}{C_2} \quad \text{Équation II-21}$$

Où Q_{nc} est la charge dans le nanocristal, C_2 est la capacité de l'oxyde de contrôle, et $0 < R_{dot} < 1$ est un facteur permettant de modéliser la portion du canal couverte par les nanocristaux. En première approximation, ce facteur est égal au taux de couverture des nanocristaux au-dessus du canal.

La charge dans les nanocristaux Q_{nc} est calculée en résolvant l'équation différentielle suivante :

$$\frac{dQ_{nc}}{dt} = J_2 - J_1 \quad \text{Équation II-22}$$

Où J_1 et J_2 sont définis sur la Figure II-24-a. J_1 est calculé d'après l'équation 12 et J_2 correspond au courant de fuite à travers l'oxyde bloquant HTO/HfAlO/HTO. La modélisation de la conduction dans ce type d'empilement étant complexe, le courant expérimental mesuré sur une capacité MOS constitué du même empilement HTO/HfAlO/HTO est utilisé dans le modèle.

II.4.2.2. Modélisation des caractéristiques d'écriture

Afin de modéliser les dispositifs à double couche de nanocristaux, nous considérons dans un premier temps que l'ajout d'une seconde couche de nanocristaux est équivalent à augmenter le taux de couverture de la grille flottante sur le canal, c'est-à-dire à augmenter R_{dot} , comme schématisé sur la Figure II-24-b.

Les courbes d'écriture théoriques sont calculées grâce à ce modèle et corrélées avec les courbes expérimentales d'écriture effacement présentées précédemment. Les résultats sont tracés sur la Figure II-25. Deux paramètres uniquement sont modifiés entre les dispositifs à simple et double couche de ncs :

- Le taux de couverture des nanocristaux R_{dot}
- La capacité C_2 , plus faible pour le dispositif à double couche de nanocristaux à cause de la fine couche d'HTO entre les deux couches de nanocristaux. Le couplage entre la grille flottante et les nanocristaux est donc dégradé.

Tous les autres paramètres tels que l'épaisseur d'oxyde tunnel, les masses effectives et les hauteurs de barrière sont les mêmes entre les deux simulations.

Le modèle reproduit convenablement les mesures expérimentales pour une plage de tension de programmation de 14V à 17V. Le taux de couverture des nanocristaux extrait pour le dispositif à simple couche est de 60% tandis qu'il est de 90% pour le dispositif à double couche. On en conclue donc que l'ajout d'une seconde couche de nanocristaux revient à augmenter le taux de couverture de la grille flottante sur le canal. La valeur de 90% extraite correspond à un taux de couverture quasiment égal à celui d'une grille flottante continue en polysilicium pour laquelle R_{dot} vaut 100%. Cela signifie que l'on cumule (i) l'avantage de discrétisation de la charge apportée par les nanocristaux (ii) le fort taux de couverture d'une grille flottante continue.

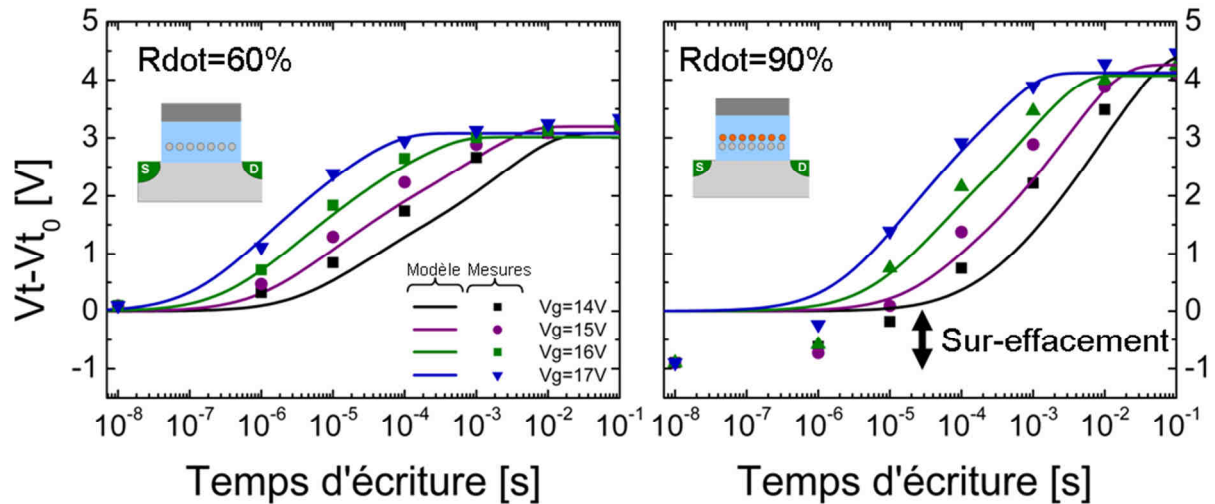


Figure II-25 : Superposition des courbes d'écritures expérimentales et modélisées des dispositifs à simple et double couche de nanocristaux. Le taux de couverture R_{dot} , unique paramètre variant entre les deux modélisations (avec C_2), est ainsi extrait.

Cependant, comme montré sur la Figure II-25, ce modèle ne permet pas d'expliquer le sur-effacement mesuré sur les dispositifs à double couche de nanocristaux. En effet, toutes les courbes d'écriture simulées partent d'un dispositif avec des nanocristaux sans aucune charge ($Q_{nc}=0$). Or, on mesure sur les dispositifs à double couche de nanocristaux une tension de seuil effacée inférieure à la tension de seuil du dispositif vierge. Ce phénomène participe donc à l'augmentation de fenêtre apportée par la seconde couche et fait l'objet d'une amélioration du modèle décrite dans le paragraphe suivant.

II.4.3. Modélisation de l'effacement avec prise en compte des électrons de valence

II.4.3.1. Explication qualitative du phénomène

Grâce au modèle développé dans ce paragraphe, nous proposons d'expliquer le sur-effacement observé sur les dispositifs à double couche de nanocristaux. Nous étudions le cas où les nanocristaux de la seconde couche sont situés au-dessus d'un nanocristal de la seconde couche (deux nanocristaux dont les sections de capture sont superposés).

La Figure II-26-a compare la transparence des électrons de la bande de valence de la seconde couche de nanocristaux à travers l'oxyde HTO ($T_{vb_dot_dot}$) avec la transparence des électrons piégés dans la bande de conduction de la première couche à travers l'oxyde tunnel ($T_{cb_dot_sub}$).

On remarque que dans la gamme de tension d'effacement $-12V < V_g < -20V$, $T_{vb_dot_dot}$ est supérieure à $T_{cb_dot_sub}$. En effet, la transparence de la barrière tunnel dépend à la fois de la hauteur de barrière (différence d'énergie entre les électrons et la bande de conduction de l'oxyde) mais aussi de l'épaisseur de l'oxyde. Par conséquent, lors de l'application d'une tension négative sur la grille de contrôle, la probabilité de transport d'un électron de la bande de valence du nanocristal du haut à travers l'oxyde HTO est supérieure à la probabilité de déchargement d'un électron de la bande de conduction du nanocristal du bas à travers l'oxyde tunnel. Par conséquent ce courant d'électron ne doit pas être négligé dans le calcul du déchargement des dispositifs à double couche de nanocristaux. Un électron transporté dans la bande de conduction du nanocristal du bas laisse un trou dans la bande de valence du nanocristal du haut et se relaxe dans la bande de conduction du nanocristal du bas (Figure II-26-b). Par la suite, cet électron subit un deuxième transport tunnel à travers l'oxyde tunnel jusque dans le substrat. En résumé, ce mécanisme permet l'extraction d'un électron de la bande de valence du nanocristal du haut, ce qui génère un trou dans le nanocristal du haut et contribue au décalage de la tension de seuil en dessous de la tension de seuil du dispositif vierge (sur-effacement). Au contraire, dans le cas d'une seule couche de nanocristaux, la transparence de l'oxyde tunnel vis-à-vis des électrons de la bande de valence est trop importante pour générer un courant susceptible de générer une quantité suffisante d'électrons (Figure II-26-b). Ceci explique que le sur-effacement soit mesuré sur les dispositifs à double couches de nanocristaux et ne le soit pas sur les dispositifs à simple couche de nanocristaux.

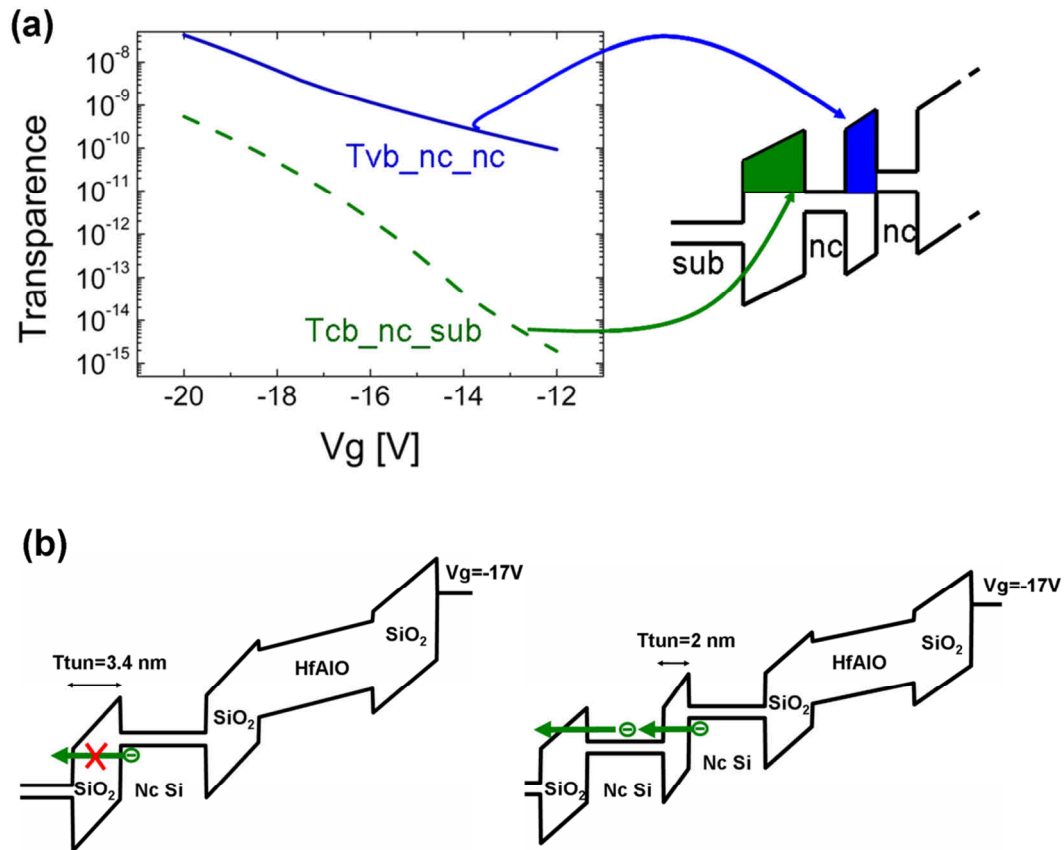


Figure II-26 : (a) Comparaison des transparences tunnel des électrons de la bande de valence d'un nanocristal de la seconde couche et des électrons de la bande de conduction de la première couche. (b) Mécanisme de génération de trou dans le dispositif à double couche de nanocristaux

II.4.3.2. Mise en équation du phénomène

Afin de quantifier le phénomène de sur-effacement, le modèle de type grille flottante décrit précédemment est utilisé, dans lequel la contribution des électrons de la bande de valence du nanocristal du haut est prise en compte. Pour cela, la charge dans les nanocristaux est décomposée en (i) la charge des électrons injectés durant l'écriture depuis le substrat dans la bande de conduction des nanocristaux ($Q_{cb_bas} < 0$ et $Q_{cb_haut} < 0$ respectivement pour les nanocristaux du haut et ceux du bas) (ii) la charge due aux trous générés par le transport tunnel d'électrons de la bande de valence ($Q_{vb_bas} > 0$ et $Q_{vb_haut} > 0$) respectivement pour les nanocristaux du haut et du bas).

$$\begin{aligned}
 \frac{dQcb_{haut}(t)}{dt} &= Jcb_{haut \rightarrow bas}(X) & Qcb_{haut}(t) &= Q_{haut_0} \\
 \frac{dQvb_{haut}(t)}{dt} &= Jvb_{haut \rightarrow bas}(X) & Qcb_{bas}(t) &= Q_{bas_0} \\
 \frac{dQcb_{bas}(t)}{dt} &= -Jvb_{haut \rightarrow bas}(X) - Jcb_{haut \rightarrow bas}(X) + Jcb_{bas \rightarrow sub}(Y) & Qvb_{haut}(0) &= 0 \\
 \frac{dQvb_{bas}(t)}{dt} &= Jvb_{bas \rightarrow sub}(Y) & Qvb_{bas}(0) &= 0
 \end{aligned}$$

Avec :

$$X = Vg, Qcb_d(t), Qvb_d(t), Qcb_up(t), Qvb_up(t)$$

$$Y = Vg, Qcb_d(t), Qvb_d(t)$$

Les courants de déchargement des électrons stockés dans la bande de conduction des nanocristaux ($Jcb_{haut \rightarrow bas}$ et $Jcb_{bas \rightarrow sub}$) sont calculés d'après l'équation 19. Les courants tunnel des électrons de la bande de valence des nanocristaux ($Jvb_{haut \rightarrow bas}$ et $Jvb_{bas \rightarrow sub}$) sont eux calculés grâce à l'équation 20.

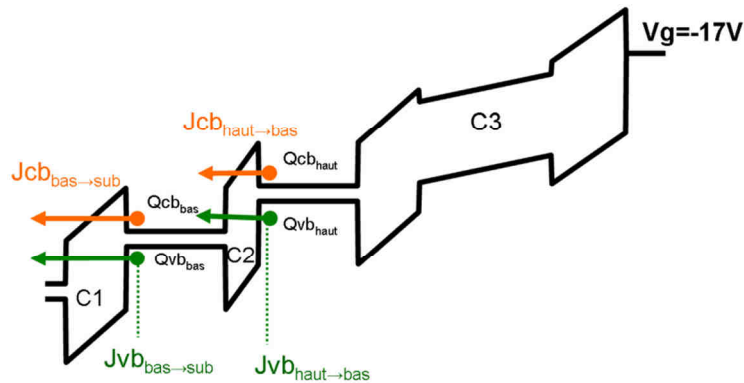


Figure II-27 : Courants tunnel d'électrons pris en compte dans le modèle

Après résolution de cette équation différentielle, le décalage de la tension de seuil est exprimé par:

$$Vt - Vt_0 = -\frac{(Qcb_{bas} + Qvb_{bas})}{\frac{C_2 C_3}{C_2 + C_3}} Rdot_{bas} - \frac{(Qcb_{haut} + Qvb_{haut})}{C_3} Rdot_{haut} \quad \text{Équation II-23}$$

Où $Rdot_{haut}$ et $Rdot_{bas}$ correspondent au taux de couverture de la couche de nanocristaux du haut et du bas respectivement ($Rdot = Rdot_{haut} + Rdot_{bas}$). D'après l'extraction du $Rdot$ au paragraphe II.4.2.2, nous avons $Rdot_{haut} = 30\%$ et $Rdot_{bas} = 60\%$.

II.4.3.3. Résultats du modèle pour un état initial vierge

En premier lieu, afin d'avoir une meilleure compréhension du phénomène, l'équation différentielle est résolue pour un dispositif vierge, sans aucune charge dans les nanocristaux ($Q_{haut_0} = Q_{bas_0} = 0$). Après résolution de l'équation différentielle, l'évolution de la charge dans les nanocristaux en fonction du temps de déchargement est obtenue et tracée sur la Figure II-28-a. On distingue trois étapes dans la cinétique de chargement :

- **$t = [0, 2 \mu s] : J_{vb_{haut \rightarrow bas}} > J_{cb_{bas \rightarrow sub}}$**

Des électrons de la bande de valence du nanocristal du haut passent par effet tunnel à travers l'oxyde HTO et sont piégés dans la bande de conduction du nanocristal du bas ($Q_{cb_{bas}} \downarrow$). Ce transport d'électrons de la bande de valence génère des trous dans la bande de valence du nanocristal du haut ($Q_{vb_{haut}} \uparrow$). Lors de cette étape, le potentiel du nanocristal du haut diminue tandis que le potentiel du nanocristal du bas augmente.

- **$t = [2 \mu s, 10 ms] : J_{vb_{haut \rightarrow bas}} < J_{cb_{bas \rightarrow sub}}$**

Lorsque le niveau du haut de la bande de valence du nanocristal du haut ($E_{vb_{haut}}$) devient inférieur au niveau du bas de la bande de conduction du nanocristal du bas ($E_{cb_{bas}}$) ce dernier se retrouve en face de la bande interdite (E_g) du nanocristal du bas. $J_{vb_{haut \rightarrow bas}}$ devient alors nul car il n'y a pas d'état disponible dans la bande interdite, condition nécessaire au transport tunnel. Cependant, les électrons stockés dans la bande de conduction du nanocristal du bas continuent à être transportés dans le substrat par effet tunnel ($J_{cb_{bas \rightarrow sub}}$), ce qui entraîne une diminution du potentiel du nanocristal du bas ($Q_{cb_{bas}} \uparrow$). Lorsque $E_{cb_{bas}} < E_{vb_{haut}}$, les électrons de la bande de valence du nanocristal du haut peuvent à nouveau passer par effet tunnel dans le nanocristal du bas jusqu'à ce que $E_{cb_{bas}} > E_{vb_{haut}}$. Le courant $J_{vb_{haut \rightarrow bas}}$ s'annule donc alternativement au gré du déchargement du nanocristal du bas, ce qui explique les paliers observés sur la courbe de $Q_{cb_{bas}}$ de la Figure II-28-a.

- **$t = [10 ms, 10 s] : J_{vb_{haut \rightarrow bas}} = J_{cb_{bas \rightarrow sub}} = 0$**

Le système a atteint son équilibre. La bande de conduction du nanocristal du bas est vide ($Q_{cb_{bas}}=0$) et $E_{cb_{bas}} > E_{vb_{haut}}$. Il n'y a donc plus possibilité de transport tunnel des électrons de la bande de valence du nanocristal du haut et la quantité de trous reste constante.

Le décalage de la tension de seuil dû à ces charges est tracé sur la Figure II-28-b. Elle est calculée grâce à l'équation 23. A titre de comparaison, la caractéristique d'effacement d'un dispositif à simple couche de nanocristaux est également tracée. Alors que le sur-effacement est rapide (début à 1 μ s) et relativement important (1,1V) pour les dispositifs à double couche de nanocristaux, il est beaucoup plus lent et de faible intensité pour les dispositifs à simple couche de nanocristaux à cause d'une épaisseur d'oxyde tunnel plus importante. Bien que la comparaison avec les mesures expérimentales fasse l'objet du prochain paragraphe, on peut d'ores et déjà remarquer que le sur-effacement de 1,1V obtenu par le modèle est dans l'ordre de grandeur de celui mesuré sur les dispositifs (cf. Figure II-25).

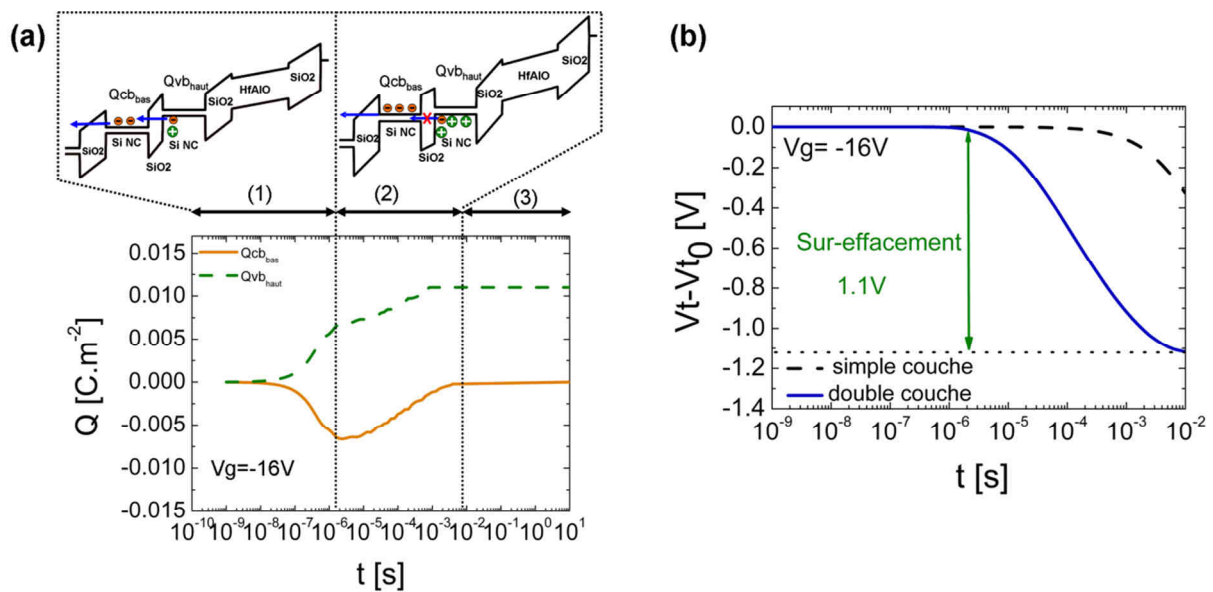


Figure II-28 : (a) Evolution de la charge dans les nanocristaux au cours du temps d'effacement à $V_g = -16V$ (b) Evolution de la fenêtre de programmation au cours du temps d'effacement pour les dispositifs à simple et double couche de nanocristaux

II.4.3.4. Comparaison avec les données expérimentales

Afin de valider le modèle, l'effacement d'un dispositif chargé est modélisé. Pour cela, une répartition arbitraire de charges dans la première et la seconde couche de nanocristaux est choisie ($Q_{cb_{bas}}$ et $Q_{cb_{haut}}$). Afin de simplifier le calcul, on choisit de stocker tous les électrons dans la couche inférieure de nanocristaux. Cette hypothèse se justifie par le fait que la constante de temps de déchargement d'un électron du nanocristal du haut vers le nanocristal du bas est bien inférieure à celle d'un électron du nanocristal du bas vers le substrat. En effet, d'après les équations 1 et 2, $\sigma_{haut_bas} = 1,8 \mu s$ et $\sigma_{bas_sub} = 220 \mu s$ pour un état initial dans lequel la charge est répartie à moitié dans la nanocristal du haut et l'autre moitié dans le nanocristal

du bas. Par conséquent, les électrons du nanocristal supérieur se retrouvent très rapidement dans le nanocristal inférieur. L'évolution de la tension de seuil en fonction de la durée d'écriture est présentée sur la Figure II-29. La courbe d'effacement modélisée avec le modèle de type grille flottante continue ne permet pas d'expliquer le sur-effacement. En revanche, en prenant en compte la génération de trous dans le nanocristal supérieur, le modèle explique le sur-effacement de 1V mesuré.

Concernant l'écriture, le modèle de type grille flottante continu est suffisant pour expliquer la cinétique mesurée sur les dispositifs, même en partant d'une tension initiale inférieure à la tension de seuil du dispositif vierge.

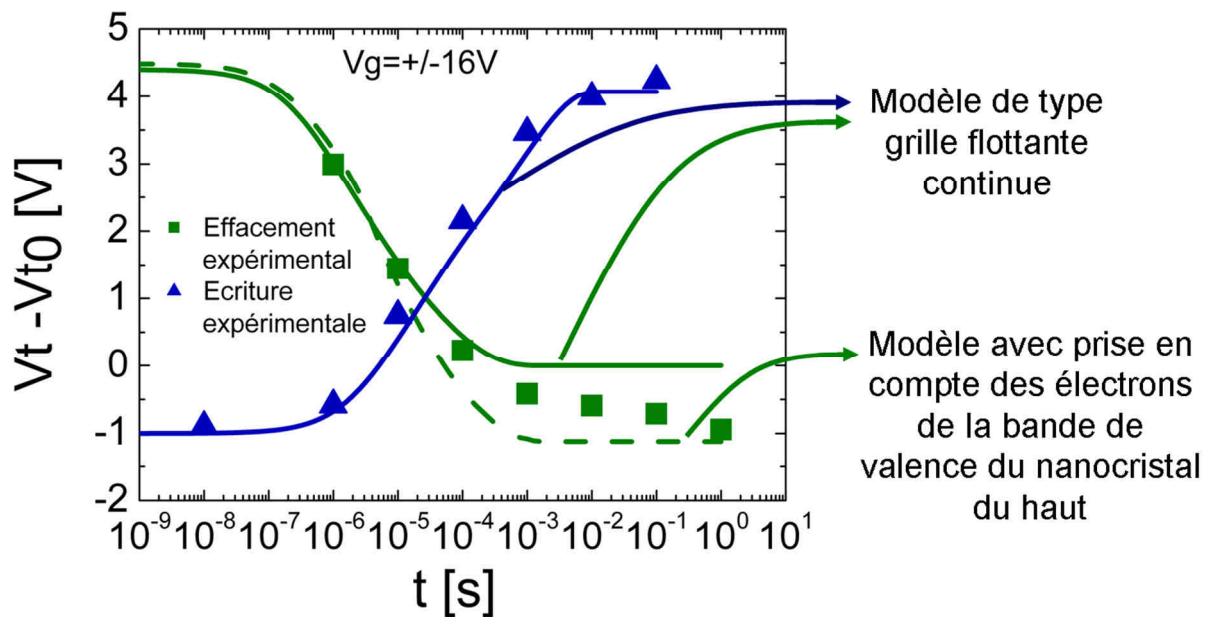


Figure II-29 : Cinétiques d'écriture (bleue) et d'effacement (vert) expérimentales comparées au modèle de type grille flottante et au modèle prenant en compte les électrons de la bande de valence du nanocristal supérieur.

II.4.3.5. Conclusion sur la modélisation du gain en fenêtre mémoire

La modélisation de la programmation et de l'effacement des mémoires à double couche de nanocristaux, validée par les données expérimentales, permet d'expliquer l'augmentation de 50% de la fenêtre mémoire en comparaison des dispositifs à simple couche de nanocristaux par:

- **Une couverture plus importante du canal par la grille flottante.** Ainsi, en modélisant les courbes d'écriture des dispositifs grâce à un modèle de type grille flottante

continue, une couverture de 60% est extraite pour les dispositifs à simple couche tandis qu'elle est de 90% pour les dispositifs à double couche.

- **Une génération de trous dans la seconde couche de nanocristaux** lors de l'effacement. Un sur-effacement de 1,1V, observé expérimentalement, est expliqué par le transport par effet tunnel d'électrons de la bande de valence du nanocristal de la couche supérieure vers le substrat, en passant par la bande de conduction du nanocristal de la couche inférieure.

II.5. Synthèse du chapitre II

Dans un premier temps, nous avons étudié l'intérêt de dispositifs mémoires à stockage de charges dans une double couche de nanocristaux en silicium. Un gain de 50% sur la fenêtre mémoire est obtenu grâce à la seconde couche de nanocristaux sans dispersion des constantes de temps d'écriture et d'effacement. Afin d'améliorer encore les performances de ces dispositifs, des nanocristaux hybrides composés de nanocristaux de silicium encapsulés par une coquille en nitrure sont utilisés dans la seconde couche, et permettent d'augmenter encore plus la fenêtre mémoire (6V). Les performances et la fiabilité de ces dispositifs est bonne, avec une fenêtre mémoire de 3,2V après 10 ans, une faible activation en température ($E_a=0,35\text{eV}$), et une conservation de la fenêtre mémoire jusqu'à 10^5 cycles.

Dans un second temps, nous avons cherché les raisons de l'augmentation de la fenêtre mémoire en nous appuyant sur une modélisation du fonctionnement des dispositifs. Deux phénomènes ont été mis en évidence. Tout d'abord, la seconde couche de nanocristaux permet d'augmenter le taux de couverture du canal par la grille flottante et explique 50% de l'augmentation de la fenêtre mémoire. D'autre part, nous avons montré que le transport tunnel d'électrons de la bande de valence du nanocristal de la couche supérieure vers le substrat explique le phénomène de sur-effacement observé sur les dispositifs à double couche de nanocristaux et est responsable des 50% restants d'augmentation de la fenêtre mémoire.

En conclusion, les dispositifs à double couche de nanocristaux sont des candidats prometteurs pour les futures générations de mémoires embarquées, notamment pour les applications automobiles grâce à leurs bonnes performances de rétention à haute température. Dans cette perspective, le cyclage qui est le point faible de ces dispositifs devra être amélioré en optimisant la couche d'oxyde tunnel afin de diminuer les tensions de fonctionnement. L'évolution naturelle de ces dispositifs est l'utilisation de plus d'une couche de nanocristaux ou le remplacement des nanocristaux en silicium par des nanocristaux métalliques afin d'augmenter encore la fenêtre mémoire. Ce sera l'objet du prochain chapitre.

Références du chapitre 2

- [Aymerich83] X. Aymerich-Humet, F. Serra-Mestres, and J. Millian, “A generalized approximation of the Fermi-Dirac integrals”, *J. Appl. Phys.*, vol. 54, no.5, 1983
- [Bloom01] I. Bloom, P. Pavan and B. Eitan, “NROM- a new non-volatile memory technology: from device to technology”, *Microelectron. Eng.*, vol. 22, no.11, Nov. 2001
- [Bocquet07] M. Bocquet, G. Molas, E. Martinez, H. Grampeix, F. Martin, J.P. Colonna, J. Buckley, C. Licitra, N. Rochat, T. Veyron, A. M. Papon, F. Aussenac, V. Delaye, M. Gely, G. Pananakakis, B. De Salvo, G. Ghibaudo and S. Deleonibus, “NH₃ treatments of Hf-based layers for application as NVM active dielectrics”, *Proc. Of 38th IEEE Semiconductor Interface Specialists Conference*, 2007.
- [Buckley07] J. Buckley, “Etude de mémoires Flash intégrant des diélectriques high-k en tant qu’oxyde tunnel ou couche de stockage”, Thèse de doctorat, INP Grenoble, 2007.
- [Cai01] L. Cai and C. Sah, “Gate tunneling currents in ultrathin oxide metal-oxide-silicon transistors”, *J. Appl. Phys.*, Vol.89, No.4, 15 February 2001.
- [Chang04] T. C. Chang, S. T. Yan, P. T. Liu, C. W. Chen, H. H. Wu and S. M. Sze “Quasisuperlattice storage : A concept of multilevel charge storage”, *Journal of the electrochemical society*, vol. 151, n°12, pp. G805-G808, 2004.
- [Clerc01] R. Clerc, “Etude des effets quantiques dans les composants CMOS à oxides de grille ultra-minces – modélisation et caractérisation”, Thèse de doctorat, Institut National Polytechnique de Grenoble, 2001.
- [Clerc02] R. Clerc, A. Spinelli, G. Ghibaudo, G. Pananakakis, “Theory of direct tunnelling current in metal-oxide-semiconductor structures”, *J. Appl. Phys.*, 91, 3, pp.1400-1409, 2002.
- [Colonna08] J.-P. Colonna, G. Molas, M. W. Gely, M. Bocquet, E. Jalaguier, B. De Salvo, H. Grampeix, P. Brianceau, K. Yekache, A.-M. Papon, G. Auvert, C. Bongiorno and S. Lombardo “Realization of Hybrid Silicon core/silicon Nitride Shell Nanodots by LPCVD for NVM Application”, *Mater. Res. Soc. Symp. Proc. Vol. 1071*, Warrendale, PA, 2008, 1071-F02-02.
- [DeSalvo01] B. De Salvo, G. Ghibaudo, G. Pananakakis, P. Masson, T. Baron, N. Buffet, A. Fernandes, and B. Guillaumot, “Experimental and Theoretical Investigation of Nano-Crystal and Nitride-Trap Memory Devices”, *IEEE Trans. Elect. Dev.*, vol.48, no.8, pp.1789-1799, 2001
- [DiMaria95] D. J. Di Maria and E. Cartier, “Mechanism for stress-induced leakage currents in thin silicon dioxide films”, *J. Appl. Phys.*, vol. 78, pp. 3883-3894, 1995.
- [Garros04] X. Garros, “Caractérisation et modélisation de l’oxyde d’hafnium comme alternative à la silice pour les futures technologies CMOS submicroniques”, Thèse de doctorat, Université de Provence-Aix-Marseille I, 2004.
- [Henan09] H. Henan, W. Liangvai, S. Zhitang and H. Chun “Memory characteristics of an MOS capacitor structure with double-layer semiconductor and metal heterogeneous nanocrystals”, *Journal of Semiconductors*, vol. 30, no.11, November 2009.
- [Hou07] T.-H. Hou, C. Lee, E. C. Kan, “Modeling of Multi-layer Nanocrystal Memory”, *Proc. Of 65th Device Research Conference*, pp.221-222, 2007.
- [Jacob08] S. Jacob, B. De Salvo, L. Perniola, G. Festes, S. Bodnar, R. Coppard, J.F. Thiery, T. Pate-Cazal, C. Bongiorno, S. Lombardo, J. Dufourcq, E. Jalaguier, T. Pedron, F. Boulanger, S. Deleonibus, “Integration of CVD silicon nanocrystals in a 32 Mb NOR flash memory”, *Solid State Electron.*, vol. 52, Issue 9, pp. 1452-1459, September 2008.

- [Johnson04]** R.W. Johnson, J.L. Evans, P. Jacobsen, J.R. Thompson, M. Christoferr “The changing automotive environment: high-temperature electronics”, IEEE Trans. Electron. Packag. Manuf., vol. 27, no.3, July 2004
- [Larcher02]** L. Larcher, G. Verzellesi, P. Pavan, E. Lusky, I. Bloom and B. Eitan, “Impact of programming charge distribution on threshold voltage and subthreshold slope of NROM memory cells”, IEEE Trans. Elect. Devices, vol. 49, no.9, nov.2002
- [Lu05]** T. Z. Lu, M. Alexe, R. Scholz, V. Talelaey and M. Zacharias, “Multilevel charge storage in silicon nanocrystal multilayers”, Appl. Phys. Lett., 87, 202110, 2005.
- [Lusky01]** E. Lusky, Y. S. Diamand, I. Bloom, and B. Eitan, “Characterization of channel hot electron injection by the subthreshold slope of NROM device”, IEEE Electron Devices Lett. , vol .22, no.11, Nov. 2001.
- [Mathieu04]** H. Mathieu, “Physique des semiconducteurs et des composants électroniques”, 5^{ième} édition, Dunod, Paris, 2004.
- [Moazzami92]** R. Moazzami and C. Hu, “Stress-induced current in thin silicon dioxide films”, in IEEE Int. Electron Device Meeting Tech. Dig., San Francisco CA, pp. 139-142, 1992.
- [Molas04]** G. Molas, “Fabrication, caractérisation et modélisation de dispositifs mémoire décanométriques à nanocristaux de silicium sur substrat SOI”, Thèse de doctorat, Institut National Polytechnique de Grenoble, 2004.
- [Molas07]** G. Molas et al. “Thorough investigation of Si-nanocrystal memories with high-k interpoly dielectrics for sub-45nm node Flash NAND applications”, Proc of IEDM 2007
- [Ng06]** C.Y. Ng, T.P. Chen, L. Ding, S. Fung “Memory characteristics of MOSFETs with densely stacked silicon nanocrystal layers in the gate oxide synthesized by low-energy ion beam”, IEEE Electron Device Lett., vol. 27, no.4, April 2006.
- [Ohba02]** R. Ohba, N. Sugiyama, K. Uchida, J. Koga, and A. Toriumi, “Nonvolatile Si Quantum Memory With Self-Aligned Doubly-Stacked Dots”, IEEE Trans. Elect. Dev., vol. 49, no.8, 2002
- [Ostraat01]** M. Ostraat, J. De Blauwe, “Future Silicon Nanocrystal Nonvolatile Memory Technology”, Materials Research Society Proceedings, vol. 686, 2001.
- [Perniola05]** L. Perniola, S. Bernardini, G. Iannaccone, P. Masson, B. De Salvo, G. Ghibaud and C. Gerardi, “Analytical model of the effects of a non uniform distribution of stored charge on the electrical characteristics of discrete-trap non-volatile memories.”, IEEE Trans. nanotechnology, vol. 4, no.3, May 2005.
- [Schuegraf92]** K. Schuegraf, C. King, C. Hu, “Ultra thin silicon dioxide leakage current and scaling limit,” in Symp. VLSI Technol. Dig. Tech. Papers, pp. 18–19, 1992.
- [Shanware99]** A. Shanware, H. Z. Massoud, E. Vogel, K. Henson, J.R. Hauser, and J.J. Wortman, “Modeling the Trends in Valence-Band Electron Tunneling in NMOSFETS with Ultra-Thin SiO₂ and SiO₂/Ta₂O₃ Dielectrics with Oxide Scaling”, Microelectronic Engineering 48, pp. 295-298, 1999.
- [Shih98]** W.-K. Shih, E.X. Wang, S.Jallepalli, F.Leon, C.M. Maziar et A.F. Tashjr, “Modeling gate leakage current in nMOS structures due to tunneling through an ultra-thin oxide, Solid State Electron.” 420, pp.97-106, 1998.
- [Swihart03]** M.T. Swihart, “Vapor phase synthesis of nanoparticles”, Current Opinion in colloid and interface science, 8, pp.127-133, 2003.

- [Theodoropoulou08]** M. Theodoropoulou, A.G. Nassiopoulou, “Multilevel charge storage in Si nanocrystals arranged in double-dot-layers within SiO₂” *Microelectron. Eng.* 85, pp. 2362-2365, 2008.
- [Wang07]** J. Wang, L. Wu, K. Chen, L. Yu, X. Wang, J. Song and X. Huang “Charge storage in self-aligned doubly stacked Si nanocrystals in SiN_x dielectric” *J. Appl. Phys.* 101, 014325, 2007.
- [Wu07]** W. Wu, X. Li, G. Gildenblat, G. O. Workman, S. Veeraraghavan, C. C. McAndrew, R. van Langevelde, G. D. J. Smit, A. J. Scholten, and D. B. M. Klaassen, “A Compact Model for Valence-Band Electron Tunneling Current in Partially Depleted SOI MOSFETs” *Trans. On Elec. Dev.*, vol. 54, n°2, pp. 316-322, 2007.
- [Yan99]** N. Yang, W.K. Henson, J. Hauser et J.J. Wortman, “Modeling study of ultrathin gate using direct tunneling current and capacitance-voltage measurements in MOS devices”, *IEEE Trans. on Electron Devices* 46, 1464-1471, 1999.
- [Yang04]** J. Yang, J. G. Fossum, G. O. Workman, C. Huang, “A physical model for gate –to-body tunneling current and its effect on floating-body PD/SOI CMOS devices and circuits”, *Solid-State Electronics* 48, pp.259-270, 2004.
- [Yu07]** L. W. Yu, K. J. Chen, H. L. Ding, J. Xu, K. Liu, W. Li, X. Wang, and X. F. Huang, “Modeling and simulation for the enhancement of electron storage in a stacked multilayer nanocrystallite silicon floating gate memory” *J. Appl. Phys.* 102, 014501, 2007.

Chapitre III

Mémoires à nanocristaux métalliques

Ce chapitre présente les travaux effectués sur les nanocristaux métalliques durant la thèse. Dans un premier temps, nous présenterons en détail leurs atouts pour être utilisés en tant que grille flottante. Nous étudierons ensuite la stabilité thermodynamique théorique de plusieurs métaux, qui constitue la principale difficulté d'intégration. Puis, nous décrirons les procédés d'obtention et de passivation de réseaux de nanocristaux en tungstène (W) et nitrure de titane (TiN). L'efficacité de la passivation de ces nanocristaux durant la fabrication de la cellule mémoire est vérifiée grâce à des analyses XPS permettant de déterminer le degré d'oxydation du métal selon les recuits subis par les nanocristaux. Enfin, les caractérisations électriques de dispositifs mémoires à piégeage de charges dans des nanocristaux en TiN seront présentées.

Sommaire

III.1. Avantages des nanocristaux métalliques pour les applications mémoires	89
III.1.1. Forte densité d'états autour du niveau de Fermi	89
III.1.2. Fort travail de sortie	90
III.1.3. Absence de discrétisation des niveaux électroniques.....	92
III.1.4. Augmentation du champ électrique.....	97
III.2. Stabilité thermodynamique des métaux	98
III.2.1. Comportement à l'atmosphère	98
III.2.2. Stabilité des métaux sur SiO ₂	99
III.3. Intégration de nanocristaux métalliques dans un empilement mémoire	102
III.3.1. Etat de l'art	102

III.3.2. Tentatives d'intégration de nanocristaux en platine dans un dispositif mémoire	105
III.3.3. Dépôt et passivation de nanocristaux métalliques par CVD.....	110
III.3.4. Intégration de nanocristaux en TiN dans un dispositif mémoire MOSFET.	130
III.4. Conclusion du chapitre III.....	138
ANNEXE : Diagrammes d'Ellingham.....	139
Références du chapitre III.....	140

III.1. Avantages des nanocristaux métalliques pour les applications mémoires

Les nanocristaux métalliques ont potentiellement plusieurs avantages par rapport aux nanocristaux en silicium :

1. Une *forte densité d'états* autour du niveau de Fermi permettant de stocker plus d'électrons.
2. Un *fort travail de sortie* permettant de piéger profondément les charges et donc d'améliorer la rétention. Une large palette de métaux étant disponibles, il est également possible d'adapter la profondeur de piège selon les caractéristiques électriques souhaitées pour la mémoire (durée de rétention, vitesse d'effacement,...).
3. Une *absence de discrétisation des niveaux électroniques* dans le nanocristal, permettant d'obtenir un travail de sortie indépendant de la taille du nanocristal
4. Une permittivité diélectrique infinie qui conduit à une *augmentation du champ électrique* sous les nanocristaux.

Dans la suite de ce paragraphe, nous allons décrire en détail chacun de ces avantages listés ci-dessus.

III.1.1. Forte densité d'états autour du niveau de Fermi

Dans le silicium la densité d'états est nulle autour du niveau de Fermi car celui-ci se situe dans la bande interdite ; les électrons sont donc stockés dans le bas de la bande de conduction où la densité d'états est faible. Au contraire, la densité d'état d'un métal est forte autour du niveau de Fermi car ce dernier se situe dans la bande de conduction (Figure III-1).

L'intérêt d'avoir une forte densité d'états autour du niveau de Fermi est, tout d'abord, qu'elle permet d'éviter la discrétisation des niveaux électroniques, ce point sera développé dans le paragraphe III.1.3. D'autre part, la densité d'électrons libres au niveau de Fermi est forte. Les nanocristaux métalliques peuvent donc céder des électrons de la bande de conduction lors de l'application d'une tension négative sur la grille de contrôle de la mémoire, c'est-à-dire lors de l'effacement. Ce phénomène conduit à la création d'une charge positive délocalisée dans le réseau du métal. On parle alors de sur-effacement de la mémoire car la tension de seuil de la mémoire à l'état effacé est inférieure à la tension de seuil du dispositif vierge. Ce sur-effacement participe à l'augmentation de la fenêtre mémoire du dispositif.

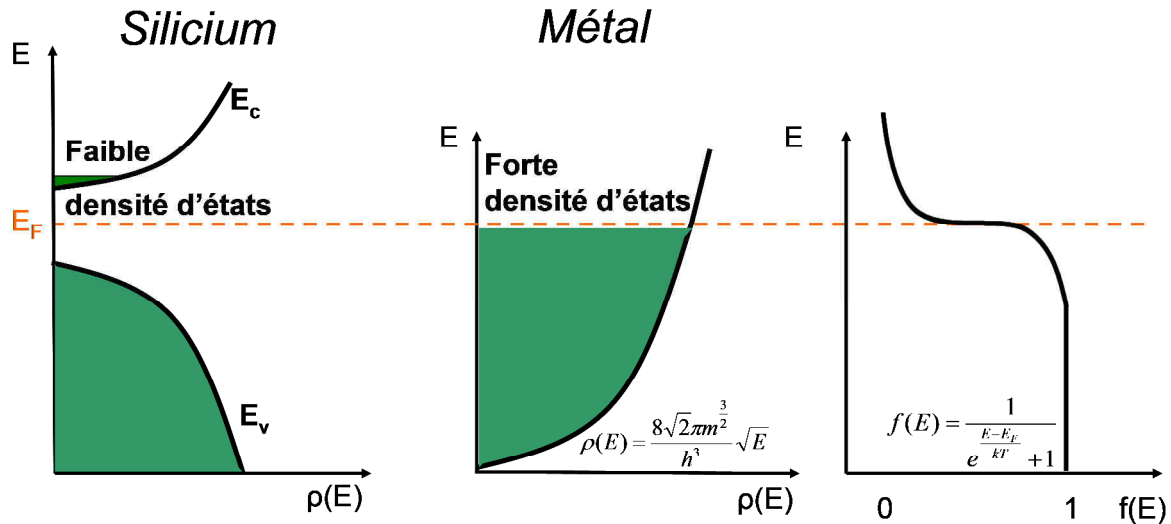


Figure III-1 : Densité d'états dans la bande de conduction d'un métal et du silicium. La probabilité d'occupation $f(E)$ en fonction de l'énergie des électrons est également représentée.

III.1.2. Fort travail de sortie

Le travail de sortie d'un métal correspond à l'énergie entre le niveau de Fermi du métal et le vide. Par comparaison, l'affinité électronique du silicium, c'est-à-dire la différence d'énergie entre le vide et la bande de conduction du silicium, est de 4 eV (Figure III-2-a). Par conséquent, des électrons piégés dans un métal, quel qu'il soit (Figure III-2-b), sont piégés plus profondément que dans du silicium. La rétention de charge dans un nanocristal métallique est donc potentiellement meilleure que dans un nanocristal en silicium.

Les métaux présentent une large gamme de travaux de sorties. Les travaux de sortie de quelques métaux choisis sont indiqués dans le tableau de la Figure III-2-b. Le travail de sortie du métal est directement lié à la profondeur de piège du nanocristal. Le métal est choisi selon les caractéristiques électriques souhaitées. Un fort travail de sortie permet d'obtenir une bonne rétention de charge tandis qu'une valeur plus faible permet un effacement plus rapide au détriment de la rétention. C'est ce qui est appelé « work function engineering » [Yeh07]

Notons toutefois un phénomène susceptible de diminuer la profondeur effective de piégeage des charges dans le nanocristal métallique, décrit par Hou et al. [Hou07] et représenté sur la Figure III-2-c. A l'interface d'un diélectrique, des états d'interface sont présents, pouvant être occupés ou vacants. Le niveau de charge neutre (CNL comme Charge Neutrality level), spécifique à chaque diélectrique, peut être considéré comme le niveau de Fermi de ces états d'interface. Lorsque le métal et le diélectrique sont mis en contact, le niveau de Fermi du métal s'aligne avec le CNL du diélectrique grâce à un transport

d'électrons du diélectrique vers le métal (si $CNL > E_{F\text{métal}}$), créant ainsi un dipôle à l'interface. Ce phénomène est appelé ancrage du niveau de Fermi [Hobbs4] (plus connu sous le nom de « Fermi level pinning » en anglais) car quel que soit le travail de sortie du métal, son niveau de Fermi se retrouve, à l'équilibre et si la densité d'états à l'interface est suffisante, aligné au CNL du diélectrique. Un pic de potentiel est alors créé dans le diélectrique à l'interface avec le métal mais il a une très faible étendue spatiale (égale à la largeur du dipôle) et est donc transparent vis-à-vis du transport des électrons à travers le diélectrique. Cela est donc équivalent à une diminution de la hauteur de barrière entre le métal et le diélectrique de contrôle. En conclusion, afin de limiter le phénomène d'ancrage du niveau de Fermi, il est souhaitable d'encapsuler les nanocristaux dans des diélectriques ayant peu d'états d'interface (et donc un CNL plus bas). L'apparition d'un dipôle à l'interface avec le nanocristal métallique peut ainsi être évitée.

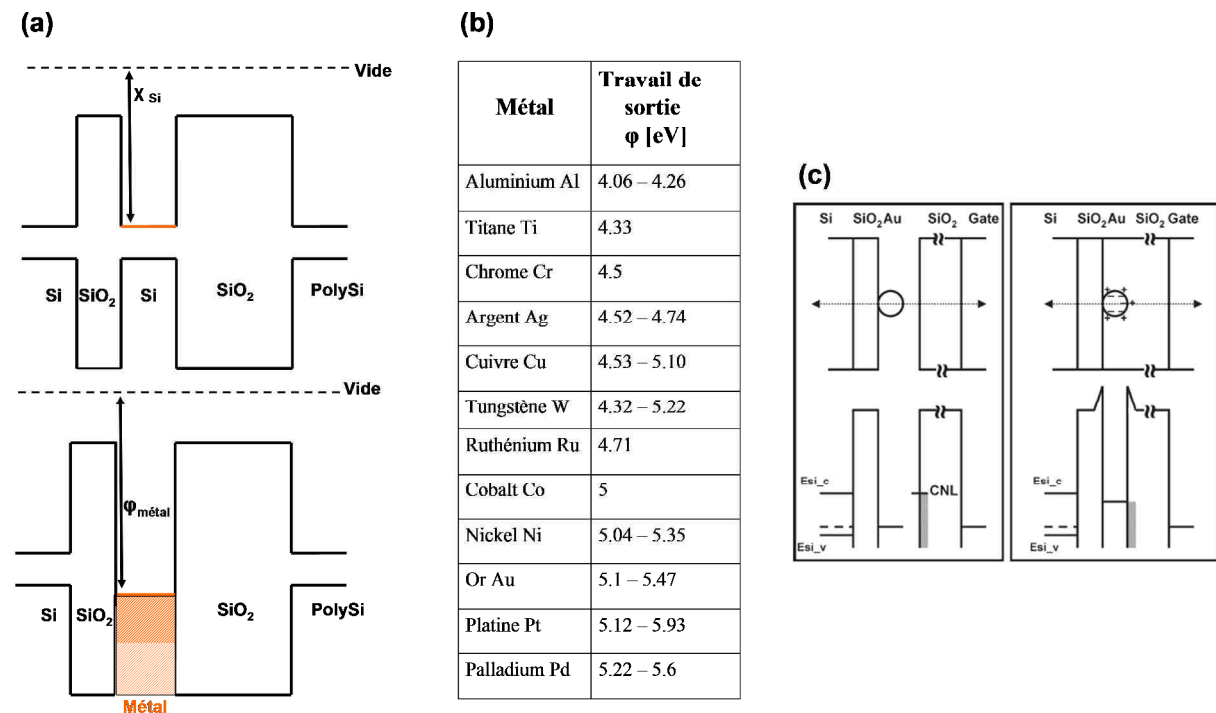


Figure III-2 : (a) Schéma de bande d'un empilement mémoire à nanocristaux de silicium (*haut*) et à nanocristaux métalliques (*bas*) (b) Tableau résumant les travaux de sortie de différents métaux[CRC08] (c) Formation de dipôles à l'interface Métal/diélectrique : phénomène d'ancrage du niveau de Fermi provoquant une diminution de la profondeur de piège du nanocristal [Hou07]

III.1.3. Absence de discrétisation des niveaux électroniques

L'absence de discrétisation des niveaux électroniques dans les nanocristaux métalliques est discutée dans ce paragraphe. Une explication théorique est tout d'abord présentée, suivie d'une mise en évidence expérimentale grâce à des mesures KFM.

III.1.3.1. Explication théorique

Le confinement des électrons dans les nanocristaux produit une séparation des niveaux énergétiques dans la bande de conduction. D'après [Kubo62] et [Guan07], la séparation entre les niveaux électroniques vaut :

$$\delta = \frac{4E_F}{3N} \quad \text{Équation III-1}$$

Où E_F est l'énergie de Fermi du métal considéré correspondant à l'énergie maximale occupée par les électrons dans le métal (valeurs données dans la Figure III-3-a), N est le nombre total d'électrons présents dans la bande de conduction du métal.

D'autre part, il est possible de calculer la population totale d'électrons par unité de volume dans le métal, n , grâce à la relation suivante :

$$n = \int_0^{\infty} \rho(E) f(E) dE \quad \text{Équation III-2}$$

Où $\rho(E)$ est la fonction de densité d'électrons dans la bande de conduction, et $f(E)$ est la fonction de distribution de Fermi-Dirac. Toutes deux sont tracées sur la **Figure III-1**.

En faisant l'approximation $T=0K$, tous les électrons se trouvent en dessous du niveau de Fermi, $f(E)=1$ pour $E < E_F$ et $f(E)=0$ pour $E > E_F$, ce qui permet de simplifier l'expression par :

$$n = \int_0^{E_F} \rho(E) dE = \int_0^{E_F} \frac{8\sqrt{2}\pi m^2}{h^3} \sqrt{E} dE = \frac{16\sqrt{2}\pi m^3}{3h^3} E_F^{3/2} \quad \text{Équation III-3}$$

En considérant un nanocristal sphérique, $N = n \frac{4}{3} \pi \left(\frac{d}{2}\right)^3$ où d est le diamètre du nanocristal.

Grâce aux équations III-1 et III-3, nous pouvons extraire une expression de $\delta_{\text{métal}}$ en eV en fonction du diamètre du nanocristal et de l'énergie de Fermi du métal correspondant:

$$\delta_{\text{m\u00e9tal}}(d) = \frac{3h^3}{(2em)^{3/2} \pi^2} \frac{1}{\sqrt{E_F} d^3} \quad \text{\u00c9quation III-4}$$

Les valeurs num\u00e9riques des \u00e9nergies de Fermi sont calcul\u00e9es dans [Ashcroft76][Halas98] et certaines sont report\u00e9es dans le tableau de la Figure III-3-a. Gr\u00e2ce \u00e0 ces donn\u00e9es, l'\u00e9volution de δ en fonction de la dimension du nanocristal peut \u00eatre trac\u00e9e (Figure III-3-b). On constate qu'il n'y a pas de discr\u00e9tisation des niveaux \u00e9nerg\u00e9tiques pour des nanocristaux utilis\u00e9s dans les m\u00e9moires non-volatiles, c'est-\u00e0-dire dont le diam\u00e8tre appartient \u00e0 la gamme $3\text{nm} < d < 7\text{nm}$. La discr\u00e9tisation des niveaux \u00e9nerg\u00e9tiques devient non n\u00e9gligeable pour des nanocristaux dont le diam\u00e8tre est inf\u00e9rieur \u00e0 1,5nm. D'autre part, cette discr\u00e9tisation est tr\u00e8s peu d\u00e9pendante du m\u00e9tal consid\u00e9r\u00e9. En effet, des valeurs extr\u00eames d'\u00e9nergie de Fermi prises dans le tableau de la Figure III-3-a, \u00e0 savoir 7,69eV pour le palladium et 11,47eV pour le tungst\u00e8ne donnent sur la Figure III-3-b deux courbes quasiment superpos\u00e9es.

Afin de comparer ce comportement avec celui de nanocristaux en silicium, l'\u00e9cart entre niveaux \u00e9nerg\u00e9tiques dans le cas de nanocristaux en silicium est calcul\u00e9 gr\u00e2ce \u00e0 l'\u00e9quation 5, issue de [Niquet00] :

$$\delta_{\text{Si}}(d) = \frac{K_c}{d^2 + a_c d + b_c} \quad \text{\u00c9quation III-5}$$

O\u00f9 K_c , a_c et b_c sont des param\u00e8tres d\u00e9pendants de la g\u00e9om\u00e9trie du nanocristal. Dans le cas d'un nanocristal sph\u00e9rique, $K_c=5,844 \text{ eV}\cdot\text{nm}^{-2}$, $a_c=1,274 \text{ nm}$, $b_c=0,905 \text{ nm}^2$.

δ_{Si} en fonction du diam\u00e8tre du nanocristal est trac\u00e9 sur la Figure III-3-b. On remarque, contrairement aux nanocristaux m\u00e9talliques, une forte discr\u00e9tisation des niveaux \u00e9lectroniques dans le cas des nanocristaux en silicium. En effet, pour $3\text{nm} < d < 7\text{nm}$, la s\u00e9paration des niveaux \u00e9lectroniques varie de 0,42 eV \u00e0 0,01eV. Ces valeurs ne sont pas n\u00e9gligeables car par exemple, dans le cas d'un isolant en SiO_2 , la hauteur de barri\u00e8re entre le nanocristal et l'isolant est r\u00e9duite de 3,65 eV \u00e0 3,23 eV, ce qui augmente les fuites de charges \u00e0 travers l'oxyde durant la r\u00e9tention. Le confinement quantique est donc pr\u00e9judiciable dans le cas de m\u00e9moires \u00e0 nanocristaux en silicium tandis qu'il est n\u00e9gligeable pour les m\u00e9moires \u00e0 nanocristaux m\u00e9talliques.

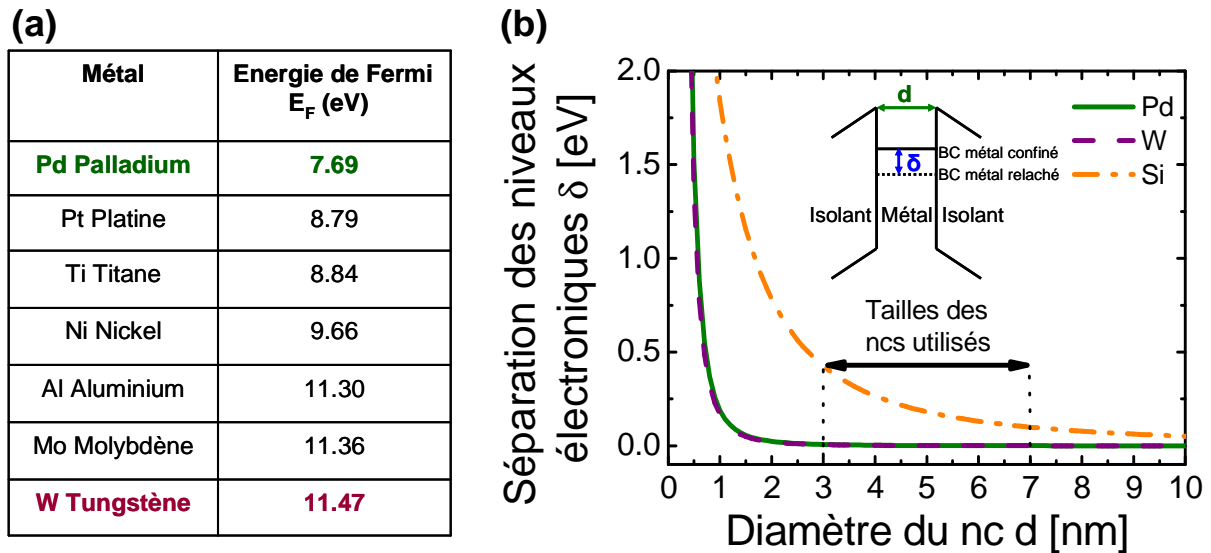


Figure III-3 : (a) Tableau des énergies de Fermi pour différents métaux [Guan07] (b) Séparation entre les niveaux électroniques (δ) en fonction du diamètre du nanocristal, calculée grâce à l'équation 4.

III.1.3.2. Mise en évidence expérimentale

III.1.3.2.a. Présentation de la technique de microscopie KFM

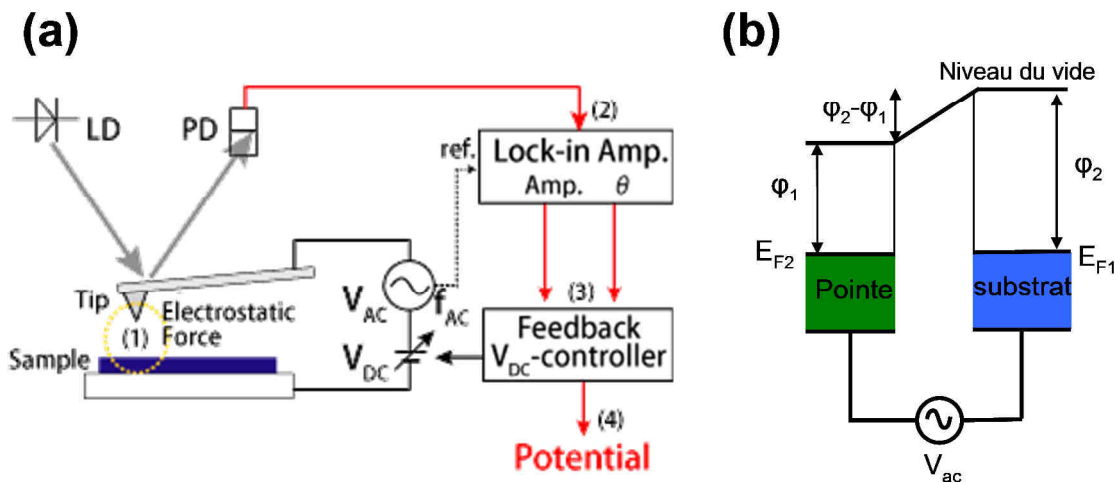


Figure III-4 : (a) Schéma descriptif du banc de mesure KFM sous vide (b) Schéma de bande du dispositif KFM

Afin d'étudier expérimentalement l'effet du confinement sur le travail de sortie du platine, des mesures KFM (Kelvin probe Force Microscopy) sous vide ont été effectuées sur des réseaux de nanocristaux métalliques.

La microscopie KFM [Nonnenmacher91] est identique sur de nombreux points à la microscopie AFM (Atomic Force Microscopy). Elle utilise une pointe de dimension nanométrique pour sonder la surface du matériau à analyser (Figure III-4-a). Cependant, alors

que l'AFM permet d'obtenir des images de la topographie de surface, le KFM permet d'obtenir, en plus, des images du potentiel de surface. Lorsque la pointe et le substrat sont mis en contact, un échange d'électrons a lieu jusqu'à atteindre l'équilibre thermodynamique pour lequel les niveaux de Fermi sont alignés. Une différence de potentiel est alors créée entre la pointe et la surface du substrat, égale à la différence entre les travaux de sortie de la pointe et du substrat (Figure III-4-b). Lors de la mesure, une tension alternative V_{AC} ainsi qu'une tension continue V_{DC} sont appliquées entre la pointe et le substrat. Cette tension génère une force électrostatique provoquant la déflexion de la pointe et s'exprimant par :

$$F = F_{DC} + F_{\omega_2} + F_{2\omega_2}$$

Où :

$$F_{DC} = -\frac{dC}{dz} \left[\frac{1}{2} (V_{DC} - (\varphi_2 - \varphi_1))^2 + \frac{1}{4} V_{AC}^2 \right]$$

$$F_{\omega_2} = -\frac{dC}{dz} [V_{DC} - (\varphi_2 - \varphi_1)] V_{AC} \sin(\omega_2 t) \quad F_{2\omega_2} = \frac{1}{4} \frac{dC}{dz} V_{AC}^2 \cos(2\omega_2 t)$$

φ_1 et φ_2 correspondent respectivement aux travaux de sortie de la pointe et de la surface du substrat, C est la capacité entre la pointe et le substrat, z est la distance entre la pointe et le substrat.

La force a donc une composante continue et deux composantes alternatives de pulsations ω_2 et $2\omega_2$. La composante F_{ω_2} s'annule lorsque la tension V_{DC} appliquée est égale à la différence de travail de sortie entre la pointe et le substrat. Par conséquent, celle-ci est directement donnée par la valeur de V_{DC} pour laquelle la composante F_{ω_2} est rendue nulle.

En résumé, la technique KFM permet de mesurer la différence de travail de sortie entre la pointe et la surface de l'échantillon.

III.1.3.2.b. Mesures KFM sur des nanocristaux en platine de tailles diverses

Afin d'étudier le confinement quantique dans les nanocristaux métalliques, 4 échantillons contenant des nanocristaux de platine en surface sont utilisés ainsi que 3 références ayant une couche continue de métal en surface. Les nanocristaux de Pt sont obtenus grâce au démouillage (assisté par recuit) d'une fine couche de platine déposée par

PVD (Physical Vapour Deposition) [Dufourcq08a]. La densité ainsi que la taille des nanocristaux sont contrôlées en ajustant les paramètres de dépôt de la couche continue (puissance, temps), et du recuit de démouillage (durée, température, atmosphère). D'autre part, l'influence de la couche sous-jacente est également étudiée grâce à un dépôt de nanocristaux sur HfO_2 (oxyde d'hafnium). Les observations MEB des nanocristaux utilisés lors des mesures KFM sont rassemblées sur la Figure III-5-a. Les échantillons de référence sont constitués de couches continues de platine (déposées dans le même équipement que les nanocristaux), d'aluminium et de ruthénium.

Les résultats sont reportés sur la Figure III-5-b où la différence de travail de sortie entre la pointe et la surface du substrat est tracée pour chaque échantillon. 7 séries de mesures, chacune étant effectuée après divers traitements non détaillés ici (nettoyages, recuits,...) ont été effectuées afin de vérifier la reproductibilité de la mesure. Cette dernière est bonne, du moins en ce qui concerne les valeurs relatives entre les échantillons. On note tout d'abord que la différence de travail de sortie entre la pointe et la surface des échantillons de platine est proche de zéro. Cela s'explique par le fait que la pointe KFM utilisée est composée d'un alliage de platine/iridium. On note également que le travail de sortie de la pointe est constant quelle que soit la nature de la couche de platine. Notamment, il n'y a pas de différence entre une couche continue de platine et une couche de nanocristaux de platine. D'autre part, les valeurs mesurées sur le platine sont inférieures de 1eV aux valeurs mesurées sur la référence en aluminium, ce qui est corrélé aux valeurs données dans le tableau de la Figure III-2-b. Enfin, le travail de sortie est indépendant de l'environnement chimique des nanocristaux puisque les nanocristaux déposés sur HfO_2 ont le même travail de sortie que les nanocristaux déposés sur SiO_2 . C'est donc une preuve que (i) l'on mesure bien le travail de sortie du métal et non de la couche isolante sous-jacente (ii) le travail de sortie du métal est indépendant de la couche sur laquelle il est déposé.

Par conséquent, l'absence de variation du travail de sortie des nanocristaux signifie qu'il n'y a pas de discrétisation des niveaux électroniques dans les nanocristaux en platine, du moins pour des diamètres utilisés en tant que grille flottante dans les mémoires non-volatiles ($d > 3\text{nm}$).

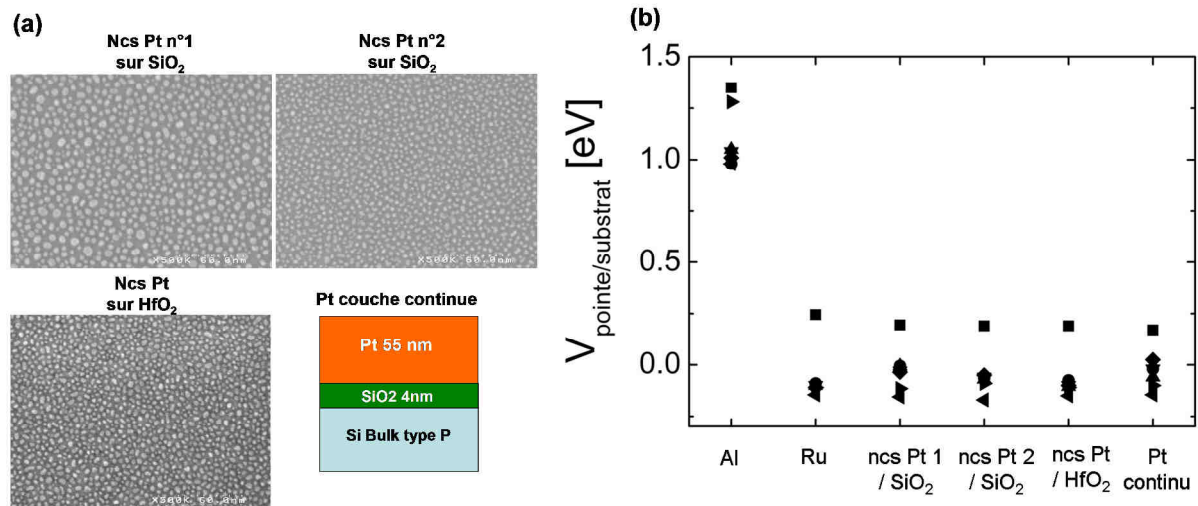


Figure III-5 : (a) Images MEB des nanocristaux utilisés pour l'étude du confinement quantique dans les nanocristaux (b) Différence de travail de sortie entre la pointe en Pt/Ir et la surface du substrat.

III.1.4. Augmentation du champ électrique

La forme sphérique du nanocristal et l'absence de chute de potentiel dans le nanocristal métallique induit un rapprochement des lignes équipotentiellles autour du nanocristal [Lee05a][Nainani07]. Comme illustré sur la Figure III-6, à tension de grille de contrôle identique, la chute de potentiel entre le nanocristal et le substrat est plus importante dans le cas d'un nanocristal en or que dans le cas d'un nanocristal en silicium. Le couplage entre la grille flottante et le nanocristal en métal est ainsi amélioré, ce qui permet de réduire les tensions de fonctionnement de la mémoire.

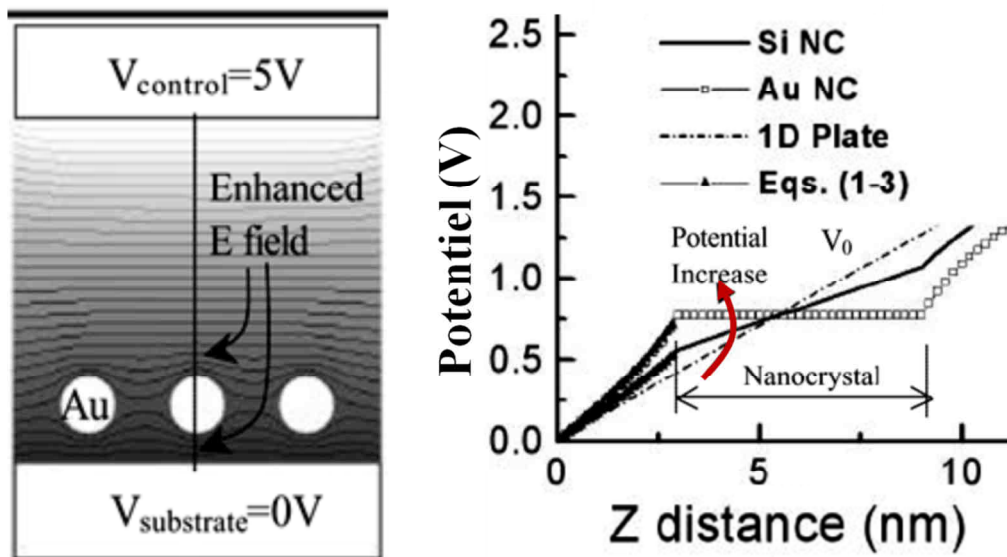


Figure III-6 : Potentiel dans l'empilement de grille en cas de présence de nanocristaux en silicium ou en métal et en leur absence. Le potentiel est plus important dans le cas de nanocristaux métalliques car la chute de potentiel entre leurs bornes est nulle. Les figures sont tirées de [Lee05a]

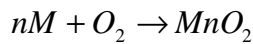
III.2. Stabilité thermodynamique des métaux

Les avantages des nanocristaux métalliques pour les applications mémoires, décrits dans le paragraphe précédent, ne sont valables que si les métaux conservent leur caractère métallique lors du procédé de fabrication. En particulier, il est nécessaire que les nanocristaux soient stables thermodynamiquement et robustes vis-à-vis de l'oxydation.

III.2.1. Comportement à l'atmosphère

III.2.1.1. Considérations thermodynamiques

Notons la réaction d'oxydation d'un métal M par le dioxygène O_2 de la manière suivante :



L'énergie libre de Gibbs est la variable thermodynamique permettant de déterminer le sens de la réaction pour une température et une pression d'oxygène données. Sa variation ΔG au cours de la formation de l'oxyde métallique M_nO_2 est exprimée par :

$$\Delta G_{MnO_2} = \Delta G^0_{MnO_2} + RT \ln \left(\frac{P_{O_2}}{P_0} \right)$$

où P_{O_2} est la pression partielle de dioxygène exprimée en atmosphères (elle vaut 0.2 dans l'atmosphère terrestre), P_0 est la pression pour laquelle est définie $\Delta G^0_{MnO_2}$ (1 atmosphère), $\Delta G^0_{MnO_2}$ est la variation d'énergie libre lorsque $P_{O_2} = P_0$, R est la constante des gaz parfaits et T est la température absolue exprimée en kelvin (K).

La réaction d'oxydation a lieu si l'enthalpie libre diminue ($\Delta G_{MnO_2} < 0$), c'est-à-dire lorsque $\Delta G^0_{MnO_2} < -RT \ln \left(\frac{P_{O_2}}{P_0} \right)$. Le domaine de stabilité de l'oxyde métallique peut ainsi être visualisé sur un diagramme d'Ellingham-Richardson sur lequel est tracé, pour un couple métal-oxyde donné, la variation de $\Delta G^0_{MnO_2}$ et de $-RT \ln \left(\frac{P_{O_2}}{P_0} \right)$ en fonction de la température (cf. annexe) lors de la réaction d'oxydation d'un métal par une mole d'oxygène. On constate alors qu'à l'atmosphère ambiante, tous les métaux à l'exception des métaux nobles (Pt et Au)

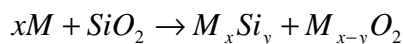
sont thermodynamiquement stables sous la forme oxydée M_nO_2 , qui est d'ailleurs celle sous laquelle on les trouve dans la nature.

III.2.1.2. Considérations cinétiques

Lors de l'exposition à l'atmosphère d'un métal non noble, la couche atomique en surface du métal s'oxyde. Le métal sous-jacent n'est alors plus en contact direct avec l'air ambiant. Afin que l'oxydation se poursuive, l'oxygène doit diffuser dans la couche d'oxyde jusqu'à atteindre l'interface métal/oxyde, où l'oxydation a lieu. Une épaisseur critique est ensuite atteinte pour laquelle la couche d'oxyde est suffisamment épaisse afin de bloquer l'oxydation du métal. Cette couche est appelée couche de passivation. Son épaisseur dépend des métaux mais son épaisseur est dans tous les cas supérieure à 2nm. Par conséquent, si l'on considère un nanocristal métallique de 4nm diamètre, la couche de passivation consomme la totalité du métal contenu dans le nanocristal. Les nanocristaux métalliques sont donc vulnérables vis-à-vis de l'oxydation à l'atmosphère et il est donc nécessaire de les passiver avant leur remise à l'air.

III.2.2. Stabilité des métaux sur SiO_2

Lors des différents recuits nécessaires à la fabrication des dispositifs mémoires, les nanocristaux peuvent potentiellement réagir avec les matériaux avec lesquels ils sont en contact. En particulier, la réaction d'une couche métallique avec une couche d'oxyde de silicium s'écrit selon la réaction [Pretorius78][Fu07] :



Tout comme dans le cas de l'oxydation d'un métal à l'atmosphère, cette réaction se produit si la variation de l'énergie libre de Gibbs ΔG est négative.

$$\Delta G = \Delta H - T\Delta S$$

Où T est la température de réaction, ΔH est l'enthalpie de réaction et ΔS est l'entropie de réaction. La réaction se déroulant en phase solide, la variation d'entropie au cours de celle-ci est négligeable : $\Delta S \approx 0$. A partir d'une couche de métal et d'une couche de SiO_2 , la réaction produit donc une couche de siliciure M_xSi_y ainsi qu'une couche d'oxyde métallique $M_{x-y}O_2$.

Un premier moyen de déterminer la stabilité d'un métal avec le SiO_2 est de considérer le cas de l'oxydation complète du métal, sans création d'un siliciure ($y=0$). On trace le

diagramme d'Ellingham des couples mis en jeu lors de la réaction, à savoir M/MO₂ et Si/SiO₂. Le diagramme d'Ellingham de l'aluminium, du titane, du silicium, du tungstène et du nickel sont ainsi tracés à titre d'exemple sur la Figure III-7. Pour une température donnée, le métal considéré est stable si sa courbe d'Ellingham se trouve au-dessus de celle du silicium. Dans notre exemple, l'Al et le Ti ne sont pas stables sur SiO₂ tandis que le W et le Ni le sont. Cette méthode permet donc de juger rapidement de la stabilité d'un métal sur l'oxyde de silicium.

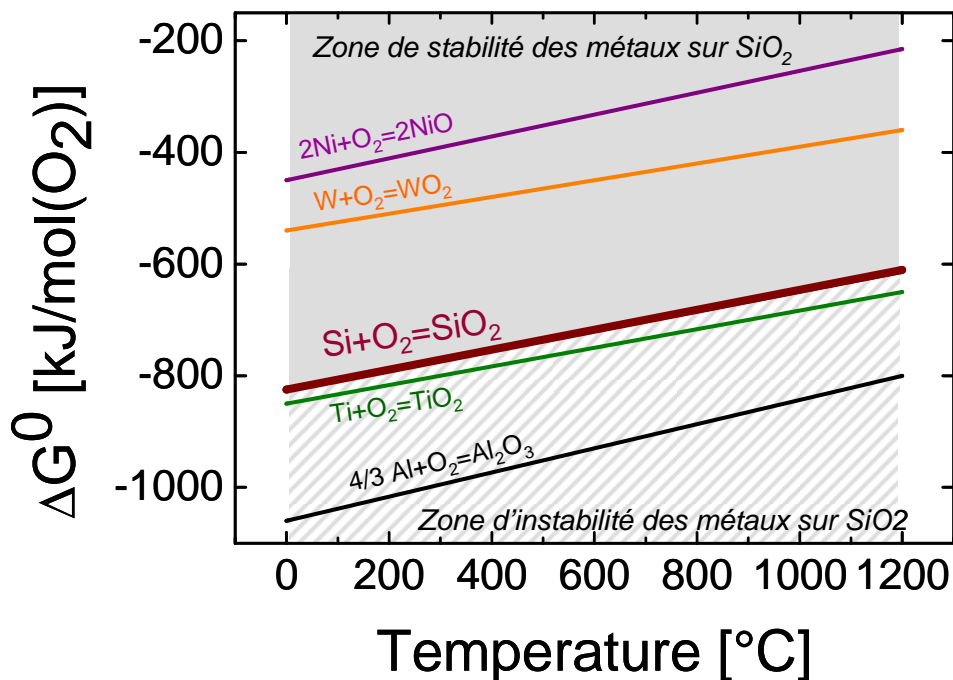


Figure III-7 : Diagramme d'Ellingham du silicium et des métaux aluminium, titane, tungstène et nickel.

Une seconde méthode plus rigoureuse consiste à envisager toutes les réactions possibles entre le métal et l'oxyde de silicium, conduisant à la formation d'une famille de composés M_xSi_y et M_{x-y}O₂. Pour chaque mécanisme réactionnel, la variation d'enthalpie ΔH est calculée à partir des enthalpies standards de formation de chaque composé. Si $\Delta H < 0$, alors le métal considéré n'est pas stable sur SiO₂. Un condensé des valeurs de ΔH pour divers métaux sur SiO₂ est présenté dans le tableau de la Figure III-8-a. Ces données sont issues des travaux de Ndwandwe et al. [Ndwandwe05] qui dresse une liste de métaux stables sur SiO₂ à partir de données expérimentales et théoriques issues de la littérature. Ces résultats peuvent également être représentés sous forme d'un diagramme de phase ternaire comme sur la Figure III-8-b. Chaque coin du triangle représente un élément du système ternaire *Métal-Silicium-Oxygène*. Les composés de ces éléments sont placés sur les côtés du triangle. Lorsqu'un composé est stable au contact d'un autre composé, un segment les relie. Par exemple, le

tungstène W est stable sur SiO_2 , tout comme ses oxydes WO_x et ses siliciures WSi_y . Au contraire, le titane Ti réagit avec SiO_2 pour donner différents oxydes et siliciures. Ces prévisions, issues de la thermodynamique, ont été corrélées à l'expérience sur une large gamme de métaux par [Liehr84][Dallaporta90] [Ndwandwe05].

(a)

	ΔH (kJ.mol ⁻¹)	Réaction avec SiO_2
Hf	[-77.9 ; -60.2]	oui
Ti	[-58.2 ; -28.1]	oui
Ta	[-7.7 ; 8.5]	oui
Cu	[45.6 ; 70.6]	non
Mn	[0.8 ; 156.7]	non
Cr	[0 ; 114.8]	non
Mo	[28.5 ; 81.8]	non
W	[47.4 ; 70.9]	non
Fe	[32.3 ; 64.1]	non
Co	[44.3 ; 68.0]	non
Ni	[34.2 ; 110.3]	non
Pd	[55.8 ; 113.4]	non
Ir	[78.5 ; 149.2]	non
Pt	[76.7 ; 134.4]	non

(b)

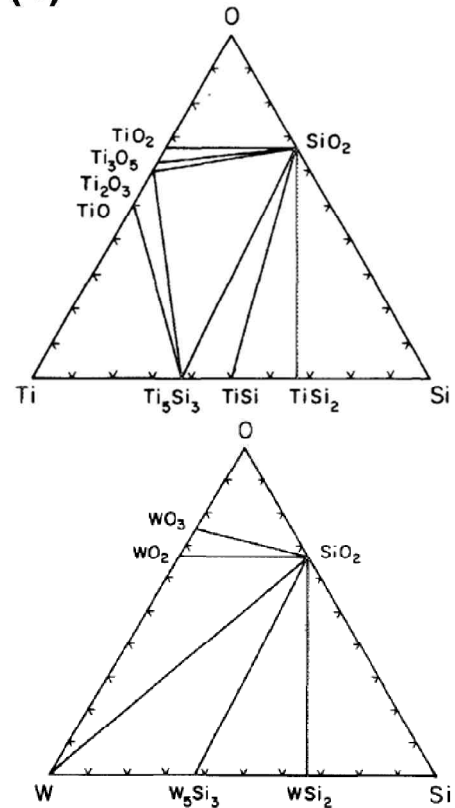


Figure III-8 : (a) Résumé des enthalpies de réaction de divers métaux avec SiO_2 [Ndwandwe05] (b) diagrammes de phase des systèmes Ti-Si-O et W-Si-O valable pour $700^\circ\text{C} < T < 1000^\circ\text{C}$ [Beyers84]

III.3. Intégration de nanocristaux métalliques dans un empilement mémoire

L'étude thermodynamique décrite dans le chapitre précédent a montré la nécessité (i) d'utiliser des métaux nobles ou de passiver les nanocristaux métalliques, (ii) de choisir des métaux stables sur l'oxyde de silicium afin d'éviter toute réaction entre les nanocristaux et la couche sur laquelle ils sont déposés.

III.3.1. Etat de l'art

Plusieurs démonstrations d'élaboration et d'intégration de réseaux de nanocristaux métalliques dans des dispositifs mémoires de type capacitifs ont été démontrés. Les principaux métaux testés sont l'or (Au), l'argent (Ag), le nickel (Ni), le tungstène (W), le titane (Ti), le platine (Pt). Nous ne traiterons ici que les techniques se basant sur des procédés classiques de la microélectronique. Les techniques plus « amont » de dépôt à base de copolymères et de colloïdes seront détaillées dans le chapitre IV.

III.3.1.1. Dépôt des nanocristaux

Vu le nombre très élevé de références bibliographiques sur le sujet, nous ne ferons pas une présentation exhaustive de tous les travaux présentant l'élaboration de réseaux de nanocristaux métalliques. Des exemples significatifs ont été choisis pour illustrer chaque grande famille de procédé.

La majeure partie des réalisations présentées dans la littérature sont obtenues grâce à des procédés d'agglomération du métal à partir d'une couche continue. Le plus répandue est le *démouillage d'une couche mince métallique*. Ce procédé fonctionne également très bien pour le silicium et le germanium. Le procédé se déroule en deux étapes. Dans un premier temps, une couche mince de métal est déposée par pulvérisation cathodique (PVD) ou par évaporation sur l'oxyde tunnel. Cette couche, continue ou non, subit ensuite un recuit. Elle s'agglomère alors en nanocristaux afin de minimiser sa tension de surface. La durée et la température du recuit sont ajustées selon le métal utilisé, l'épaisseur de la couche initiale et la densité souhaitée du réseau de nanocristaux. Des nanocristaux en or (Au) [Wang07], argent (Ag) [Wang03], platine [Hofmann08] [Dufourcq08a] [Sargentis06] [Singh09], nickel (Ni) [Lee05b], tungstène W [Samanta05] ont ainsi été obtenus. Une autre technique est l'*oxydation sélective d'un siliciure métallique*. Une couche mince de siliciure métallique est

déposée puis recuite sous atmosphère oxydante. Le silicium s'oxyde alors, tandis que le métal se démixe et s'agglomère en nanocristaux. Il est bien entendu nécessaire que le métal soit plus noble que le silicium afin qu'il ne soit pas lui aussi oxydé durant le procédé. Des nanocristaux en W [Chang05] [Chen10] et Ni [Chen05] ont ainsi été élaborés. Dans le même esprit, on peut également citer un procédé appelé *décomposition spinodale*. Il permet d'obtenir, à partir d'une couche composée d'un mélange de Si et de Ti et après un recuit sous azote, des nanocristaux de TiN dans une matrice de SiN [Zhang06] [Wu09].

La seconde famille de procédé de fabrication de nanocristaux métalliques, est le dépôt des nanocristaux par voie chimique en phase vapeur (CVD). Un précurseur gazeux contenant l'élément métallique à déposer s'adsorbe et se décompose sur le substrat isolant afin de former des nucléii qui, par la suite, croissent et forment des nanocristaux. Ce procédé de dépôt a potentiellement de nombreux avantages comme le contrôle de la taille et de la densité des nanocristaux (comme dans le cas du dépôt de nanocristaux en silicium par LPCVD), mais peu de travaux sont rapportés dans la littérature, principalement car les équipements CVD sont moins répandus et plus coûteux que les bâtis de dépôt PVD et d'évaporation utilisés pour le procédé de démouillage d'un film métallique décrit plus haut. Des nanocristaux en ruthénium (Ru) ont ainsi été obtenus par Zhang et al. [Zhang07] par ALD (Atomic Layer Deposition, technique de dépôt de la famille CVD où le dépôt se fait par cycles). L'avantage du ruthénium est sa stabilité thermique (lorsque toutefois il n'est pas mis en présence d'O₂) et son fort travail de sortie (5,3eV). Des nanocristaux en TiN ont également été déposés par ALD par Maikap et al. [Maikap08]. Enfin, des nanocristaux en WN ont été élaborés grâce à une technique de CVD très spécifique nommée PNL (Pulsed Nucleation Layer) [Lim05].

III.3.1.2. Intégration de nanocristaux dans des dispositifs mémoires

Comme nous l'avons décrit dans le paragraphe précédent, les techniques d'élaboration d'un réseau de nanocristaux métalliques sont très nombreuses. Lorsqu'un réseau original de nanocristaux métalliques est obtenu, il est très souvent intégré comme site de piégeage dans un empilement mémoire MOS capacitif. L'avantage d'un tel dispositif est qu'il est facilement réalisable et permet de mesurer la plupart des performances d'une mémoire. Parmi les nombreuses études de ce genre, nous citerons par exemple [Sargentis06]. Plus récemment, Singh et al. [Singh09] ont démontré d'excellentes performances en mode FN/FN sur ce type de dispositifs intégrant des simples et double couches de nanocristaux obtenues par

démouillage d'une couche continue de platine. Il faut cependant noter que le budget thermique de ce type de dispositifs est très réduit, c'est-à-dire que la température maximale subie par les nanocristaux est de 450°C. Nous verrons d'ailleurs dans le paragraphe suivant que pour des températures supérieures, il y a diffusion du platine dans l'empilement de grille ce qui détériore la fiabilité de la mémoire. Il est de ce fait plus rare de trouver des démonstrations d'intégration de nanocristaux métalliques dans des dispositifs MOSFETs complets, pour lesquels le budget thermique est bien plus important à cause des recuits d'activation des sources et drains du transistor. En effet une température élevée augmente le risque de diffusion du métal dans l'empilement de grille et donc de défektivité de la mémoire. Les seuls métaux pour lesquelles de telles intégrations ont été réalisées avec succès sont les métaux réfractaires (i.e. dont la température de fusion est très élevée, supérieure à 1800°C), à l'exception toutefois de la toute première démonstration de la fabrication d'un dispositif mémoire MOSFET, attribuée à Liu et al. [Liu02a&b]. Des nanocristaux de Pt, Au et Ag sont intégrés en tant que grille flottante dans un transistor mémoire dont la fabrication nécessite une température maximale de 800°C. Les dispositifs mémoires sont fonctionnels mais il faut toutefois noter que les performances ne sont pas exceptionnelles à cause d'un empilement de grille non optimisé, mais probablement aussi à cause du problème de diffusion du métal dans l'oxyde tunnel. La première démonstration réellement convaincante est présentée dans les travaux de Lim et al. [Lim05] où des nanocristaux en WN sont intégrés dans un dispositif mémoire complet aux performances électriques honorables. Ainsi, une fenêtre mémoire de 3,5V est obtenue, une rétention de 10⁵ secondes et un fonctionnement jusqu'à 10⁵ cycles. Aucune diffusion du tungstène n'est observée malgré un recuit d'activation des dopants source/drain (température non précisée). Ces mêmes nanocristaux en WN furent par la suite intégrés dans des dispositifs Flash à architecture FinFET [Choe06]. Les dispositifs sont là aussi fonctionnels mais il est dans ce cas nécessaire d'intercaler une couche de SiN entre les nanocristaux et l'oxyde tunnel afin d'empêcher la diffusion du W. En l'absence de cette couche, la rétention des dispositifs est fortement dégradée. Ceci est attribué à une qualité inférieure de l'oxyde tunnel dans le cas d'un FinFET par rapport à un oxyde plan utilisé dans les dispositifs MOSFETs standards. On voit donc que même avec des métaux réfractaires, la stabilité thermique n'est pas assurée. D'autres travaux ont proposé d'utiliser des nanocristaux en W obtenus par démouillage sur HfAlO [Samanta05]. Cependant, bien que les dispositifs mémoires soient fonctionnels, les performances électriques sont inférieures à celles obtenues par Lim et al. La rétention de charge n'est en effet pas très bonne et la fenêtre mémoire petite (1,8V). D'autres travaux réalisés par Maikap et al. [Maikap08] proposent d'utiliser des

multicouches de nanocristaux en TiN obtenus par dépôt ALD et encapsulés dans de l'alumine Al_2O_3 . La vitesse d'écriture est rapide (100 μs), l'effacement est correct, la fenêtre mémoire atteint jusqu'à 8,8V et la rétention est bonne avec une fenêtre mémoire de 5,5V extrapolée à 10 ans. C'est sans doute les dispositifs à nanocristaux métalliques ayant les meilleures performances électriques à ce jour.

En conclusion, cet état de l'art nous montre que les possibilités d'obtention d'un réseau de nanocristaux métalliques sont très nombreuses au vu de la diversité des études menées sur le sujet. De même, l'intégration de ces nanocristaux en tant que sites de stockage dans des dispositifs mémoires capacitifs, au budget thermique limité, a été largement décrite. Par contre, leur intégration dans des dispositifs mémoires MOSFETs est beaucoup moins répandue, principalement à cause du fort budget thermique nécessité pour leur fabrication, qui provoque la diffusion des métaux dans l'empilement de grille et induit une forte défektivité. Parmi les quelques publications décrivant des dispositifs mémoires fonctionnels, les nanocristaux utilisés sont faits de métaux réfractaires tels que le W et le Ti. Ceux-ci sont en effet moins sensibles aux phénomènes de diffusion, et donc plus stables vis-à-vis des recuits subis lors du procédé de fabrication des dispositifs MOSFETs. Dans la suite de ce chapitre, nous verrons que cette tendance perçue dans la littérature s'est confirmée expérimentalement sur nos dispositifs. En effet les nanocristaux en Pt qui donnent de bons résultats électriques tant que le budget thermique est faible, ont montré une forte instabilité dès lors que des recuits sont effectués. Au contraire, des nanocristaux en TiN et W se sont avérés être robustes lors de recuits jusqu'à 1050°C, et ceux en TiN ont même pu être intégrés avec succès dans des dispositifs mémoires MOSFETs.

III.3.2. Tentatives d'intégration de nanocristaux en platine dans un dispositif mémoire

III.3.2.1. Procédé basse température

Au premier abord, le platine présente de nombreux avantages. Tout d'abord, son caractère noble lui procure une excellente stabilité thermodynamique et l'immunise contre l'oxydation. D'autre part, il possède un fort travail de sortie (Figure III-2-b), ce qui est un avantage pour le stockage de charges. Une précédente étude a montré la possibilité d'obtention d'un réseau dense de nanocristaux de platine par démouillage d'une fine couche continue de métal déposée par PVD [Dufourcq08b]. Des prémices d'intégration du réseau de nanocristaux obtenus ont également été présentées dans ces travaux. Les nanocristaux de

platine sont déposés sur un oxyde de silicium thermique, puis encapsulés par l'oxyde de contrôle qui est un oxyde PECVD (Plasma Enhanced Chemical Vapor Deposition) déposé à basse température (550°C) par oxydation du précurseur TEOS (TetraEthylOrthoSilane). Une grille de contrôle en aluminium est ensuite déposée par évaporation et des électrodes sont enfin définies par lithographie optique. Des capacités MOS (Metal Oxide Silicon) sont ainsi obtenues, ce qui permet de tester les propriétés de piégeage des nanocristaux tout en conservant un budget thermique limité, car les températures de fabrication de la mémoire restent inférieures à 550°C. Les dispositifs mémoires sont testés par mesure de la capacité dans l'empilement. Les hystérésis observées lors des balayages de la tension de grille (Figure III-9-a) sont dues au stockage de charges dans les nanocristaux. La rétention de ces dispositifs est bonne, sans toutefois être suffisante pour conserver l'information pendant 10 ans. Ce comportement médiocre s'explique par la mauvaise qualité de l'oxyde TEOS de contrôle à travers lequel les électrons peuvent aisément se décharger.

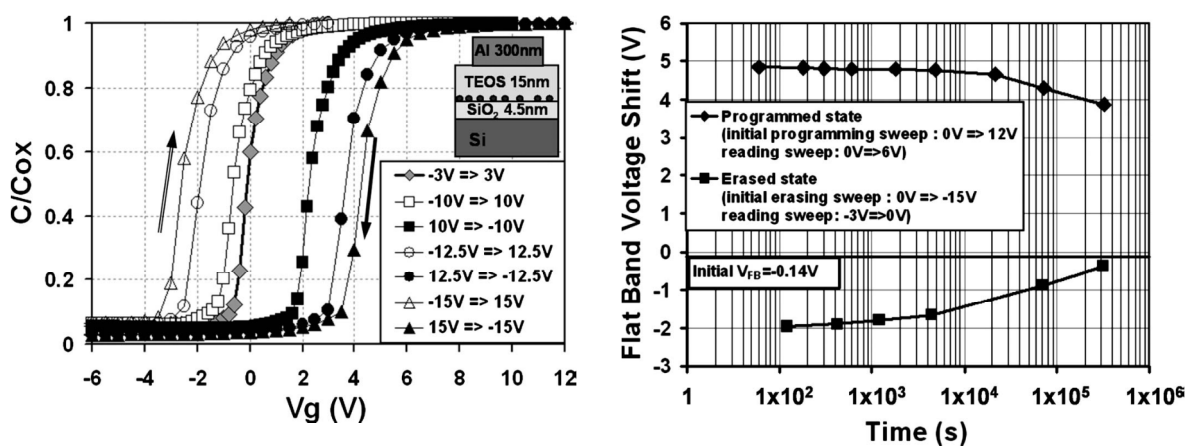


Figure III-9 : Performance des mémoires à capacité MOS intégrant une couche de piégeage à nanocristaux de platine (a) Hystérésis CV mettant en évidence le stockage de charges dans les nanocristaux (b) Rétention des états écrits et effacés. [Dufourcq08]

III.3.2.2. Etude de l'effet du budget thermique

Les nanocristaux de platine ont démontré des capacités de piégeage de charge dans une structure capacité MOS basse température. Il est donc intéressant d'étudier leur stabilité thermique, étape nécessaire avant l'intégration dans une structure transistor MOS. Pour ce faire, des capacités MOS sont fabriquées avec différents budgets thermiques, résumés sur la Figure III-10-a :

- (1) $100^{\circ}C < T < 450^{\circ}C$
- (2) $400^{\circ}C < T < 580^{\circ}C$

(3) $100^{\circ}\text{C} < T < 730^{\circ}\text{C}$

(4) $450^{\circ}\text{C} < T < 730^{\circ}\text{C}$

Les nanocristaux de platine doivent être compatibles avec les procédés «front-end» que sont par exemple le dépôt d'un oxyde de contrôle en HTO (High Temperature Oxide). Pour cela, un flux de silane (SiH_4) à basse température (400°C) permet de déposer sélectivement du silicium sur les nanocristaux de platine [Dufourcq09]. Le métal joue ici le rôle d'un catalyseur de la dissociation silane SiH_4 , permettant le dépôt d'une couche de silicium en surface du nanocristal. Il a été démontré [Dufourcq08b] que cette technique de passivation permet de déposer un oxyde HTO à 730°C sans dégradation du réseau de nanocristaux ni contamination du four de dépôt.

Sur chaque plaque, des mesures de claquage de l'empilement sont effectuées sur l'intégralité des puces de la plaque, c'est-à-dire 70 puces. La Figure III-10-b représente la répartition des champs de claquage en pourcentage cumulé des dispositifs. Les champs au claquage sont identiques pour les dispositifs de référence sans nanocristaux et les dispositifs à nanocristaux de platine ayant un faible budget thermique $T < 450^{\circ}\text{C}$ (1). Ces deux dispositifs claquent pour un champ électrique moyen de $11.5 \text{ MV}\cdot\text{cm}^{-1}$ (valeur calculée en utilisant l'EOT), ce qui correspond au champ de claquage de l'oxyde de silicium reporté dans la littérature [Salomon77]. Lorsque le budget thermique est porté à 580°C , (dispositifs 2), le champ de claquage médian est réduit à $10,5 \text{ MV}\cdot\text{cm}^{-1}$, mais la dispersion sur cette valeur est faible. Lors de l'utilisation d'un oxyde de contrôle en HTO, le budget thermique est porté à 730°C . Dans ce cas (dispositifs 3 et 4), le champ de claquage des dispositifs est fortement réduit. Il vaut en effet $5,9 \text{ MV}\cdot\text{cm}^{-1}$ et $4,9 \text{ MV}\cdot\text{cm}^{-1}$ respectivement pour les dispositifs à grille en PolySi et AlCu. D'autre part, la dispersion de cette valeur est très forte puisqu'elle s'étend de $1,9$ à $7,9 \text{ MV}\cdot\text{cm}^{-1}$. Il y a donc une corrélation entre la température de recuit et la défektivité des empilements mémoires. Celle-ci peut s'expliquer par une diffusion du platine dans l'oxyde de silicium lors des recuits de fabrication de la mémoire. En effet, la présence de défauts dans l'oxyde de silicium, en particulier de contaminants métalliques, est connue pour engendrer une défektivité des transistors MOS [Verhaverbeke91].

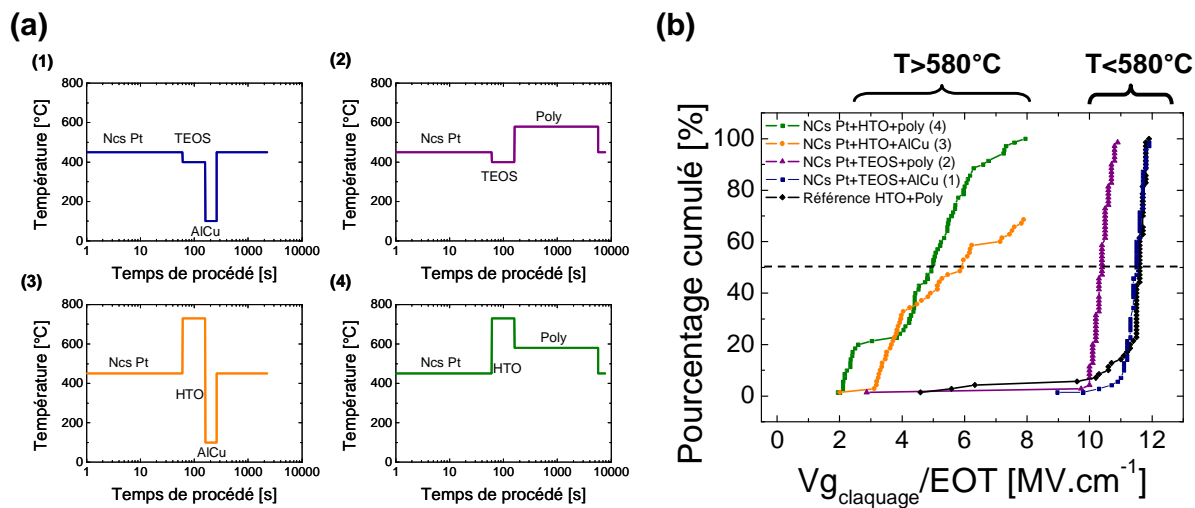


Figure III-10 : (a) Budget thermique des différentes mémoires à capacités MOS à nanocristaux métalliques (b) Pourcentages cumulés (issus de mesures sur 70 puces d'une plaque 200mm) des tensions de claquage des empilements mémoires pour plusieurs budgets thermiques

Afin d'étudier l'effet de la morphologie de la couche de nanocristaux sur les valeurs de champ de claquage des dispositifs, des nanocristaux de tailles et densités variées sont intégrés dans la structure (4). Comme mis en évidence sur la Figure III-11, le champ de claquage du dispositif est corrélé à la quantité de platine dans la grille flottante. Plus la source de métal est grande, plus le nombre d'atomes métalliques susceptibles de contaminer l'oxyde est important.

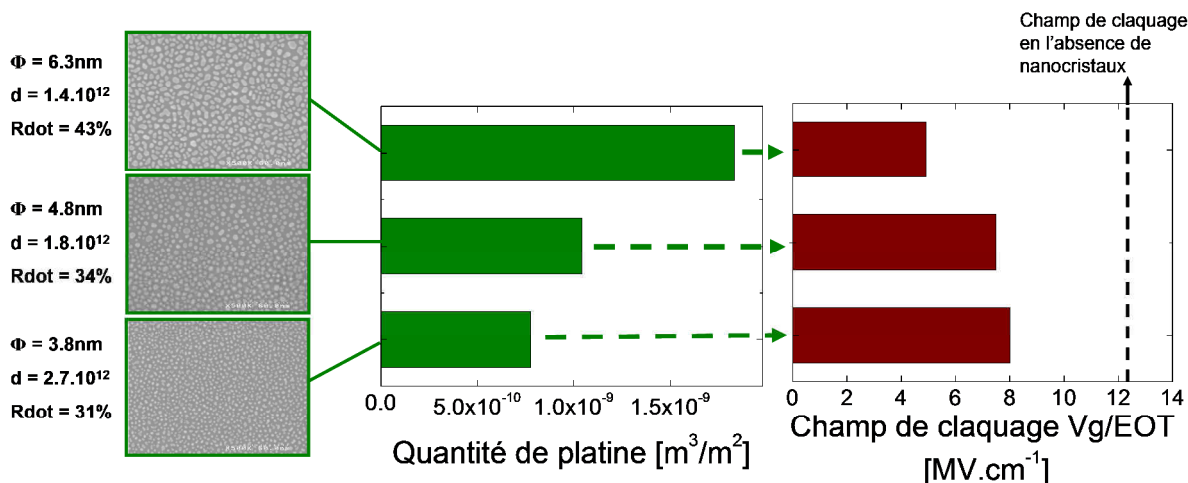


Figure III-11 : Corrélation entre la quantité de platine dans la grille flottante du dispositif et le champ de claquage

Cette contamination métallique dans l'oxyde de silicium est confirmée par les mauvaises performances en rétention des dispositifs mémoires. On observe en effet sur la Figure III-12 que malgré le chargement des nanocristaux, qui se manifeste par une hystérésis

de la courbe $C(V)$ lors d'un balayage en tension sur la grille de contrôle (Figure III-12-a), le décalage de la tension de bande plate de la capacité MOS décroît fortement dans le temps. Celui-ci diminue en effet de 3,7V à 0,8V en seulement 10^3 secondes.

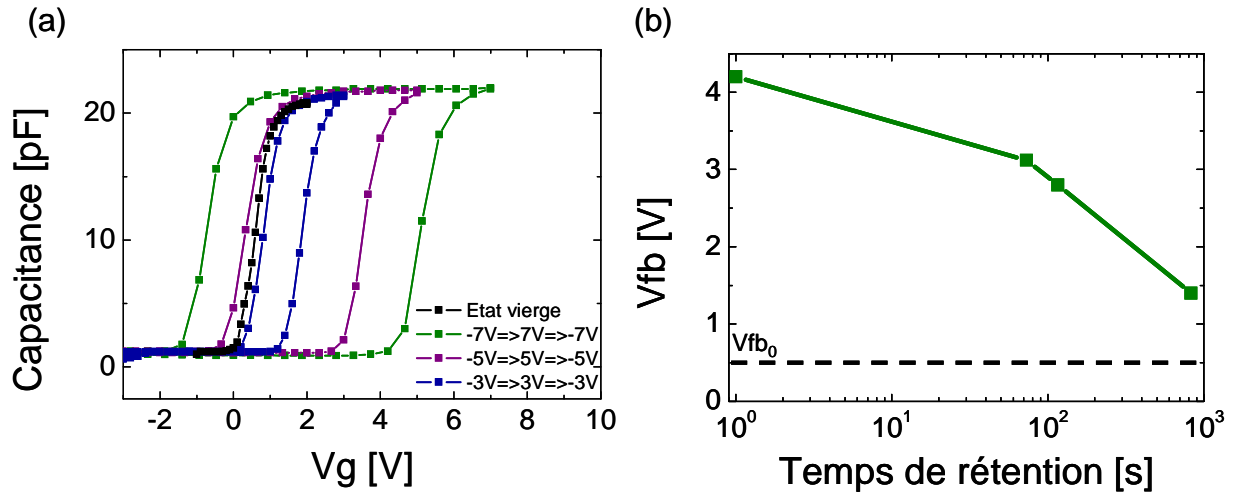


Figure III-12 : (a) Hystérésis de la courbe de capacité d'un empilement mémoire à grille flottante en nanocristaux de platine lors d'un balayage de la tension de grille (b) Courbe de rétention de la mémoire mettant en évidence la forte perte de charge à travers l'empilement

Des observations EFTEM sur les capacités MOS (Figure III-13) ont permis de mettre en évidence la diffusion du platine dans l'oxyde de silicium. Deux épaisseurs d'oxyde tunnel sont comparées dans cette étude. En plus des dispositifs avec 4nm d'oxyde tunnel dont les caractéristiques ont été présentées précédemment, des dispositifs ayant un oxyde tunnel de 2,5nm sont également observés. Ces derniers n'ont pas donné de résultats électriques satisfaisants à cause de fuites trop importantes à travers l'empilement. Aucune caractéristique $C(V)$ (zones d'accumulation et d'inversion) n'a ainsi pu être mesurée sur ces dispositifs. Dans le cas d'un oxyde tunnel de 4 nm d'épaisseur (Figure III-13-a), on observe en HRTEM (High Resolution Transmission Electron Microscopy) la présence de zones sombres dans l'oxyde tunnel. Une observation en mode énergie filtrée EFTEM (Energy Filtered Transmission Electron Microscopy) centrée sur l'élément platine, permet de déterminer que ces zones sont contaminées en platine. Dans le cas d'un oxyde tunnel de 2,5nm (Figure III-13-b), on note la présence de platine à l'interface Si/SiO₂. A cause de l'oxyde plus fin, le platine a dans ce cas pu diffuser jusqu'au substrat en silicium, créant des poches en siliciure de platine. La forme triangulaire de la zone siliciurée sur la Figure III-13-b est un signe de diffusion des atomes de platine dans le réseau cristallin du silicium.

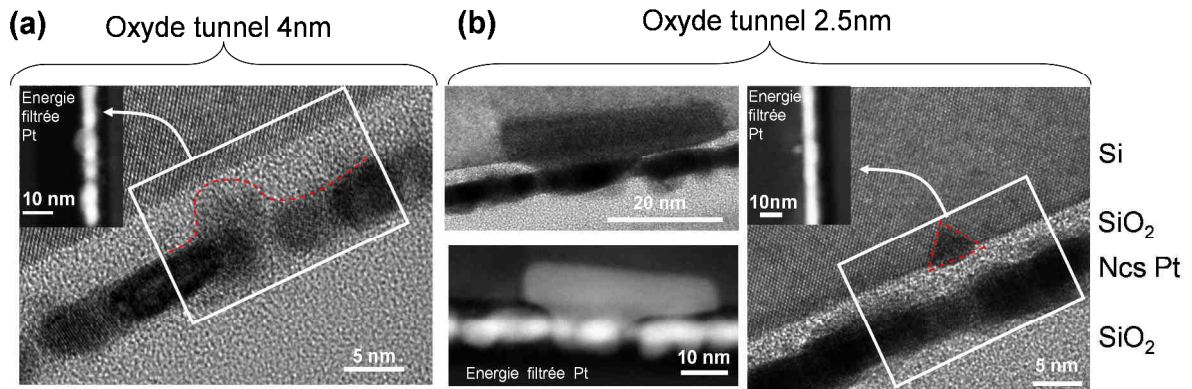


Figure III-13 : Microscopie HRTEM et en énergie filtrée EFTEM des dispositifs à nanocristaux de platine **(a)** oxyde tunnel de 4nm : diffusion du platine dans l'oxyde **(b)** oxyde tunnel de 2.5nm : diffusion du platine jusque dans le substrat en silicium et formation d'un siliciure de platine à l'interface Si/SiO₂

Au vu de l'instabilité thermique des nanocristaux de platine ainsi que de la forte incompatibilité de ce métal avec les procédés de microélectronique à cause de la contamination métallique qu'il peut engendrer, il apparaît que le platine n'est pas un matériau de choix pour être intégré en tant que grille flottante dans un empilement mémoire. Il semble plus avantageux de se tourner vers des métaux compatibles CMOS et qui ont déjà été étudiés et utilisés en tant que grille de contrôle dans les transistors MOS. Nous avons ainsi décidé d'étudier la fabrication et l'intégration de nanocristaux en nitrure de titane (TiN) et en tungstène (W), tous deux déposés par dépôt chimique en phase vapeur CVD (Chemical Vapor Deposition).

III.3.3. Dépôt et passivation de nanocristaux métalliques par CVD

III.3.3.1. Présentation du réacteur de dépôt

Le réacteur de dépôt CVD utilisé est décrit sur la Figure III-14-a. Il comporte trois chambres, chacune dédiée à un dépôt spécifique et dont nous utiliserons et exploiterons les caractéristiques pour, dans un premier temps, déposer les nanocristaux, puis, dans un second temps, les passiver *in-situ*.

La technique CVD est largement utilisée en microélectronique pour le dépôt conforme de couches minces. Dans un procédé CVD typique, le substrat est exposé à un ou plusieurs précurseurs en phase gazeuse, qui réagissent et se décomposent à la surface du substrat pour générer le dépôt désiré. Fréquemment, des sous-produits de réactions, eux-mêmes en phase gazeuse, sont produits et évacués par le flux gazeux qui traverse en continu la chambre de réaction. La conformité du dépôt CVD est notamment très utile pour réaliser les

interconnexions métalliques. En effet, les différents niveaux d'interconnexions, séparés par une couche isolante de diélectrique, sont reliés entre eux grâce à des vias. Ces vias sont gravés dans le diélectrique et ont un fort rapport d'aspect. Afin de les remplir, il est nécessaire d'utiliser un dépôt conforme, c'est-à-dire un dépôt se produisant indifféremment sur les flancs du via et en fond de via.

Un dépôt CVD standard se déroule en deux étapes (Figure III-14-b) :

1. **Nucléation** : les espèces s'adsorbent en surface et créent des îlots de matière appelés nuclei
2. **Croissance** : les nuclei croissent par apport de matière des précurseurs gazeux jusqu'à coalescence de la couche, créant ainsi une couche continue de matière.

Si l'on souhaite obtenir un réseau de nanocristaux, il est nécessaire de stopper le dépôt avant la coalescence de la couche métallique. De ce fait, seule l'étape de nucléation est effectuée. Cette étape est donc optimisée afin d'obtenir une densité et un taux maximal de couverture des nanocristaux sur l'oxyde tunnel. Nous détaillerons dans la suite du chapitre les procédés de dépôts de nanocristaux en nitrure de titane TiN et en tungstène W.

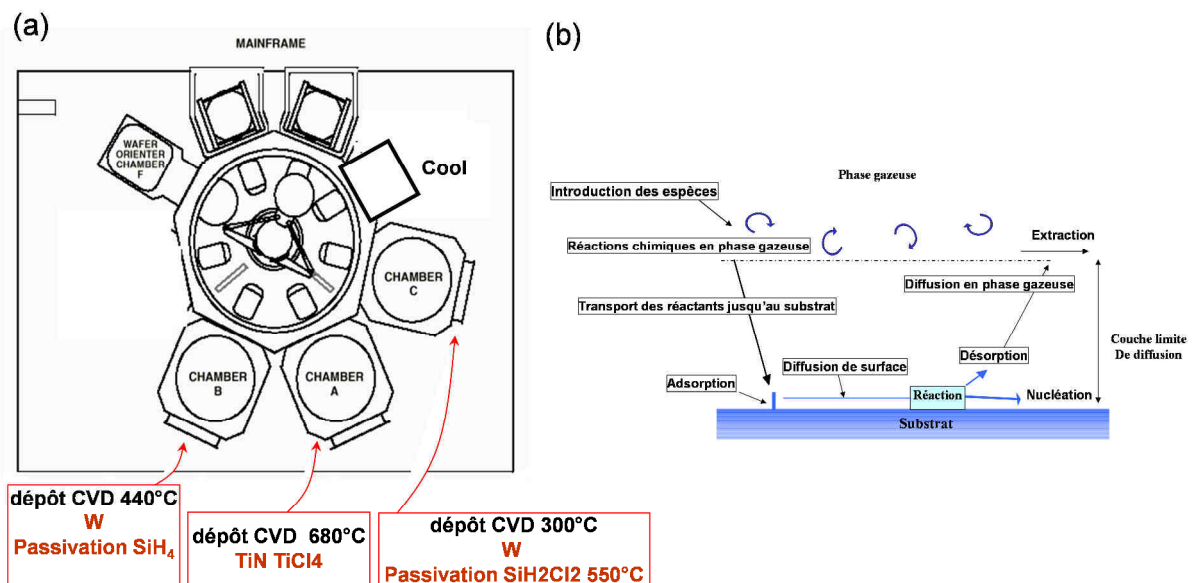


Figure III-14 : (a) Réacteur de dépôt chimique en phase vapeur utilisé pour le dépôt et la passivation de nanocristaux en tungstène et en nitrure de titane (b) Principe du dépôt par réaction chimique en phase vapeur

III.3.3.2. Dépôt et passivation de nanocristaux en TiN

III.3.3.2.a. Dépôt des nanocristaux sur SiO₂

Les nanocristaux en TiN sont déposés par CVD à 680°C en présence des précurseurs tétrachlorure de titane TiCl_4 et ammoniac NH_3 (Figure III-15). La réaction chimique ayant lieu lors du dépôt est résumée par l'équation chimique suivante :

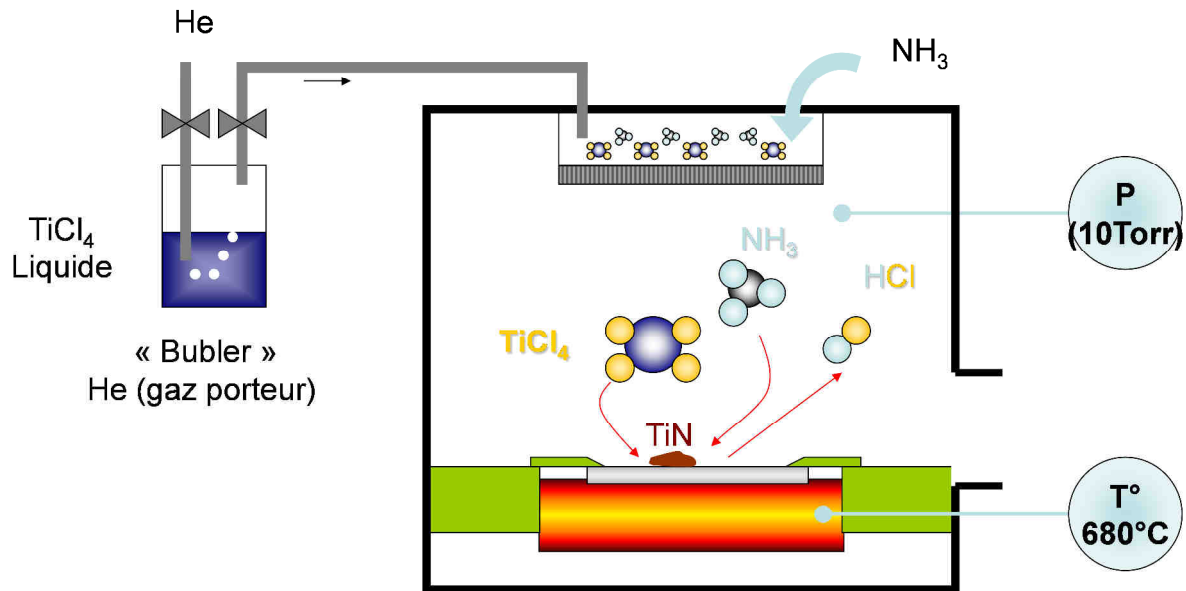
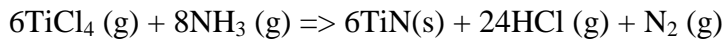


Figure III-15 : Schéma descriptif du dépôt de nanocristaux en TiN

Suite au dépôt, l'observation de la surface de l'oxyde tunnel au microscope électronique à balayage (MEB) révèle la présence d'un réseau très dense de nanocristaux (Figure III-16-a). Une couche de 2nm d'oxyde HTO (High Temperature Oxyde) est ensuite déposée par-dessus les nanocristaux. Cette couche d'HTO simule le dépôt de l'oxyde de contrôle dans un empilement de grille mémoire. Cette couche d'oxyde est suffisamment fine pour que les nanocristaux puissent être par la suite sondés par XPS. En effet les mesures XPS permettent de sonder la surface sur une épaisseur d'environ 5nm. Au-delà, le signal est trop faible pour être détecté. Les mesures XPS sont ainsi effectuées sur les nanocristaux. Le doublet caractéristique du niveau électronique 2p du titane est tracé sur la Figure III-16-b. D'après les tables XPS [**Handbook**], la valeur d'énergie de liaison mesurée correspond à une liaison entre un atome de titane et un atome d'oxygène dans un cristal de type TiO_2 . Par conséquent, les nanocristaux sont oxydés et ne sont donc pas sous forme métallique comme souhaité. Afin de conserver les nanocristaux métalliques, il est nécessaire de développer une technique de passivation apte à protéger les nanocristaux de l'oxydation.

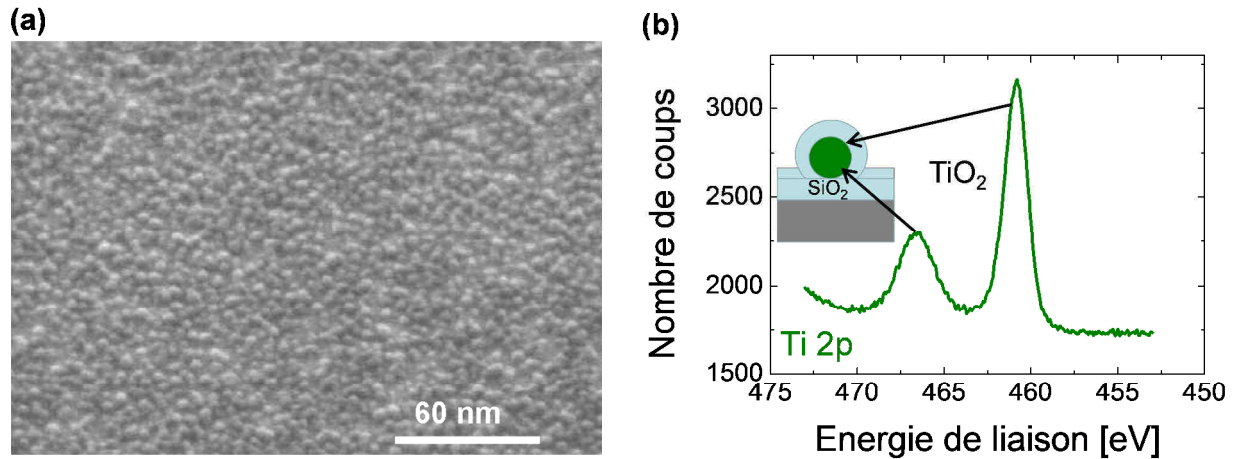


Figure III-16 : (a) Observation MEB des nanocristaux déposés sur SiO₂ (b) Mesure XPS de la raie 2p du titane démontrant une oxydation totale des nanocristaux

III.3.3.2.b. Passivation des nanocristaux en TiN

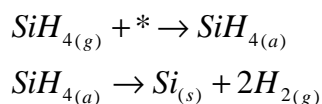
Afin d'empêcher l'oxydation des nanocristaux en TiN, deux solutions sont mises en œuvre :

1. Dépôt sélectif *in-situ* d'une coquille de silicium autour des nanocristaux afin d'empêcher l'oxydation du TiN à l'air ambiant.
2. Dépôt des nanocristaux sur du nitrure de silicium SiN et encapsulation par du SiN afin d'empêcher la réaction entre le TiN et le SiO₂ lors des recuits thermiques.

- **Passivation des nanocristaux par dépôt d'une coquille en silicium**

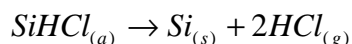
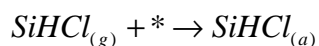
Afin d'isoler les nanocristaux de l'air ambiant lors de la sortie des plaques de l'équipement de dépôt, les nanocristaux sont encapsulés dans du silicium. Une coquille de silicium amorphe enrobe les nanocristaux (Figure III-17-a). Deux précurseurs du silicium, au choix, peuvent être utilisés : le silane SiH₄ ou le dichlorosilane (DCS) SiH₂Cl₂.

Il est admis que le SiH₄ se décompose comme suit [Mazen03]:



Dans la gamme de température (T<550°C) et de pression (P>300mT) étudiées le silicium déposé est amorphe [Jou87].

Le dichlorosilane SiH₂Cl₂ se décompose quant à lui de la manière suivante [Reg89] :



Où le signe * désigne un site d'adsorption de la molécule précurseur, qui est, dans notre cas, situé en surface des nanocristaux métalliques.

Le DCS est connu pour permettre un dépôt sélectif sur le silicium par rapport au SiO₂. Par conséquent, l'utilisation du DCS comme précurseur lors de la passivation des nanocristaux nous assure de ne pas déposer de silicium sur l'oxyde de silicium entre les nanocristaux. Le phénomène contraire risquerait de court-circuiter les nanocristaux, ce qui rendrait la grille flottante continue. Le précurseur DCS possède donc un avantage de taille pour la passivation des nanocristaux.

- **Mise en évidence de la passivation des nanocristaux**

Une révélation chimique de la coquille de silicium est mise en œuvre. Trois échantillons avec des nanocristaux de TiN sont préparés : (1) aucune passivation (2) passivation SiH₄ (3) passivation DCS.

Les 3 échantillons sont ensuite trempés dans un bain contenant un mélange SC1 (Standard Clean 1). Ce bain est composé de 0,25(NH₄OH)/1(H₂O₂)/20(eau DI) et attaque le TiN dix fois plus rapidement que le silicium et 25 fois plus vite que l'oxyde de silicium thermique. On effectue ainsi une gravure sélective du TiN par rapport au silicium et à l'oxyde de silicium. Les observations MEB montrent que les nanocristaux non passivés ont été gravés lors du bain SC1 tandis que les nanocristaux passivés par le DCS ou le SiH₄ sont intacts. On en conclue qu'une coquille en silicium s'est déposée sur les nanocristaux en TiN lors de la passivation. Cette coquille protège les nanocristaux de l'attaque SC1, ce qui explique qu'ils ne sont pas gravés.

Par conséquent, la passivation des nanocristaux en TiN par le DCS ou le SiH₄ est efficace puisqu'elle permet de les recouvrir d'une couche continue de silicium.

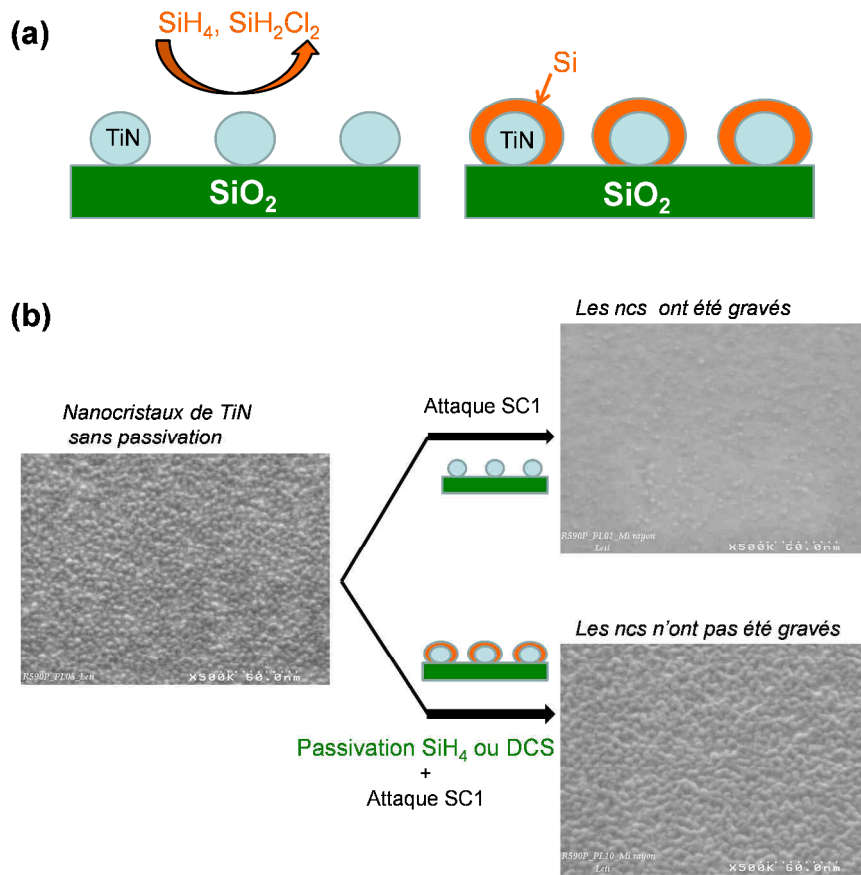


Figure III-17 : (a) Schéma de principe de la passivation silicium des nanocristaux en TiN (b) Mise en évidence de la présence d'une couche de silicium en surface des nanocristaux de TiN

- **Etude de l'efficacité de la passivation des nanocristaux en TiN**

Le paragraphe précédent a permis de démontrer que les passivations à l'aide des précurseurs SiH₄ et DCS permettent toutes deux de déposer une coquille de silicium en surface des nanocristaux. Nous allons maintenant étudier l'efficacité de chacune de ces passivations, c'est-à-dire la capacité à empêcher l'oxydation du TiN lors de l'exposition des nanocristaux à l'atmosphère et lors des recuits nécessaires à la fabrication d'un empilement mémoire complet. La raie 2p de l'élément titane est tracée sur la Figure III-18. Chaque liaison chimique du titane se caractérise par un doublet électronique sur le spectre XPS. Afin de reproduire les mesures du spectre du titane, il est nécessaire de superposer trois doublets comme tracé sur la Figure III-18. Chaque doublet correspond à une liaison chimique entre le titane et un autre élément. D'après les tables de la littérature [**Handbook**], l'énergie de liaison la plus basse est attribuée au TiN, la plus haute au TiO₂ et l'énergie intermédiaire à un composé intermédiaire TiON. Ainsi, une forte dominante du doublet TiN est observée dans le cas des nanocristaux en TiN passivés avec du DCS. Au contraire, dans le cas d'une

passivation SiH_4 , il n'y a pas de pic dominant et le signal possède une forte composante attribuée au TiO_2 et au TiON . En intégrant chaque composante, une approximation quantitative de la composition des nanocristaux est obtenue. Cette composition est tracée sous forme d'un diagramme cumulé sur la Figure III-18. On observe ainsi que dans le cas d'une passivation SiH_4 , seulement 30% du nanocristal se trouve sous la forme métallique TiN . Au contraire, la passivation DCS permet de conserver 50% du nanocristal sous forme TiN . On en conclue que la passivation des nanocristaux en TiN avec le précurseur DCS à 550°C est la plus efficace pour protéger les nanocristaux de l'oxydation. Les états oxydés TiO_2 et TiON sont probablement dus à la réaction entre le TiN et le SiO_2 pendant le dépôt des nanocristaux.

Par conséquent, seule la passivation DCS est retenue dans la suite de l'étude.

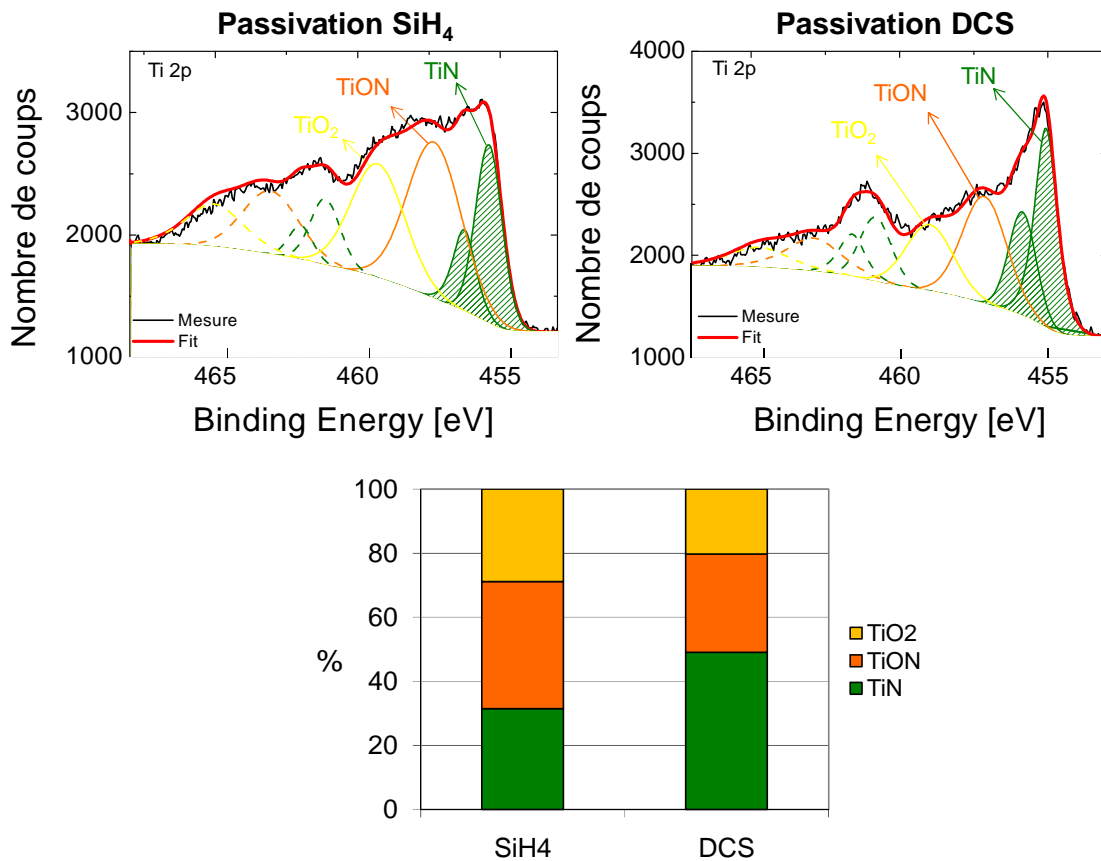


Figure III-18 : Comparaison des résultats des mesures XPS sur des nanocristaux en TiN déposés sur SiO_2 et passivés par du silane ou du dichlorosilane

- **Nature de la coquille de silicium déposée sur les nanocristaux en chimie DCS**

Les spectres du silicium Si 2p et de l'azote N 1s sont tracés sur la Figure III-19. Sur le spectre du silicium, plusieurs degrés d'oxydation sont observés:

- Si^{4+} provenant de l'oxyde thermique SiO_2 sur lequel sont déposés les nanocristaux
- Si^0 provenant du substrat en silicium cristallin. Notons que le doublet Si 2p est ici séparé.
- Des états de liaison intermédiaires pour des énergies de liaisons entre 100 et 102 eV. Ils correspondent à des degrés d'oxydation Si^+ , Si^{2+} et Si^{3+} [Rochet97]. Ces états de liaison intermédiaires correspondent à des oxydes sous-stœchiométriques que l'on peut rencontrer dans la coquille de silicium amorphe autour des nanocristaux. Elle est également probablement due à des liaisons Si-N. En effet, d'après [Peden93] ainsi que les tables de données XPS [Handbook], la liaison Si-N possède des énergies de liaison comprises entre 100 et 102 eV. On suspecte donc des liaisons entre le silicium et le nitrure du TiN à l'interface entre le métal et le silicium. Ces dernières se retrouvent également sur le spectre de l'azote. Effectivement, outre la composante due aux liaisons Ti-N, on note sur ce spectre la présence d'une composante supplémentaire qui pourrait être attribuée aux liaisons Si-N.

En conclusion, la présence de liaisons Si-N à l'interface entre le métal et la coquille de silicium est supposée grâce aux interprétations des spectres du silicium et de l'azote. Les atomes de nitrure seraient ainsi des sites d'adsorption du DCS lors du procédé de passivation.

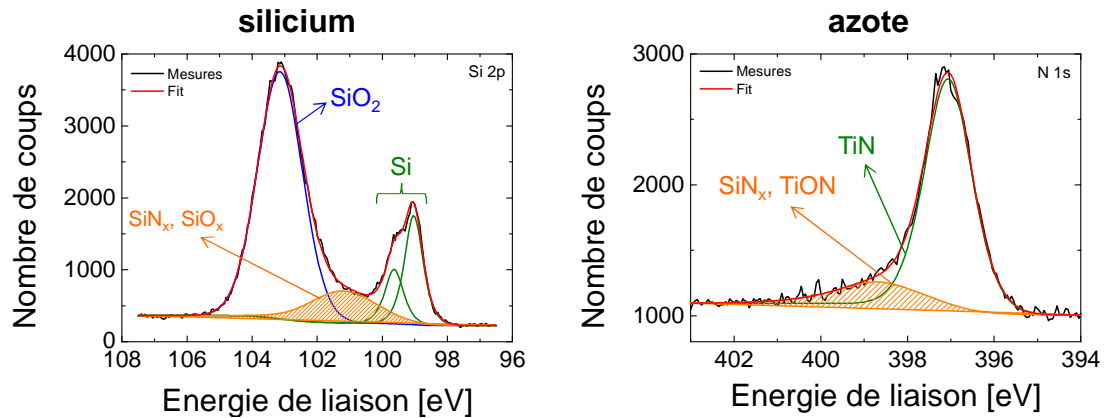


Figure III-19 : Spectre XPS du silicium et de l'azote mesuré sur un réseau de nanocristaux en TiN passivés par du DCS. La présence de liaisons SiN est mise en évidence

- **Effet du budget thermique sur l'oxydation des nanocristaux en TiN**

Nous avons montré dans le paragraphe III.3.3.2.a que les nanocristaux en TiN déposés sur SiO_2 et encapsulés dans un oxyde HTO s'oxydent. Dans ce paragraphe, nous étudions la stabilité thermique des nanocristaux passivés par du dichlorosilane. Plusieurs empilements et budgets thermiques sont étudiés (Figure III-20) :

a) Nanocristaux déposés sur le SiO_2 thermique et encapsulés par 2nm d'HTO à 730°C . La totalité des nanocristaux est oxydée sous forme TiO_2 . Le spectre du titane est en effet similaire à celui obtenu avec un nanocrystal non passivé (Figure III-16-b). On en conclue que la passivation DCS n'est pas suffisante pour protéger les nanocristaux de l'oxydation provoquée par le dépôt HTO.

b) Nanocristaux déposés sur une fine couche de nitrure de silicium (SiN) et encapsulés par 2nm d'HTO. La majorité du nanocrystal est sous forme oxydé TiO_2 . Cependant, une partie est restée sous la forme TiN . On en conclue que le fait de déposer les nanocristaux sur du SiN empêche la réaction du TiN avec le SiO_2 comme c'est le cas lors d'un dépôt des nanocristaux sur l'oxyde tunnel (cas (a))

c) Nanocristaux déposés sur une fine couche de SiN et encapsulés par 2nm de SiN . Dans ce cas, le nanocrystal n'est en contact direct avec aucun oxyde. Ceci empêche donc toute réaction entre le TiN et le SiO_2 , ce qui pourrait être le cas puisque le titane n'est pas thermodynamiquement stable sur SiO_2 (§III.2.2). La déconvolution du spectre montre un pic dominant correspondant à la liaison TiN , ainsi que des liaisons TiON et TiO_2 . Une hypothèse de structure des nanocristaux peut être proposée à partir de ces mesures. Le cœur du nanocrystal serait constitué de TiN , entouré d'une coquille composée d'oxydes sous-stœchiométriques. Le titane se serait oxydé à cause de la présence d'atomes d'oxygène présents dans la couche de silicium passivante (oxyde natif créé sur la coquille de silicium issue du DCS). Lors du dépôt SiN à 650°C , les atomes d'oxygène auraient migré jusqu'aux atomes de titane. Le titane ayant une affinité plus forte pour l'oxygène que le silicium, il se serait alors oxydé.

d) Nanocristaux déposés sur une fine couche de SiN et encapsulés par 2nm de SiN suivi d'un recuit sous N_2 à 1050°C pendant une minute. Cette température est la température maximale que devront endurer les nanocristaux lors de la fabrication d'une mémoire à base de transistor MOS. L'état de liaison n'a pas évolué lors du recuit. Les nanocristaux sont donc stables thermiquement et le procédé permet de conserver un cœur métallique sous forme TiN .

- **Conclusion sur la passivation des nanocristaux en TiN**

Ce paragraphe a permis de définir un procédé de passivation efficace pour l'intégration de nanocristaux en TiN dans un empilement mémoire. Les nanocristaux doivent (i) être déposés sur SiN afin d'éviter toute réaction du TiN avec le substrat (ii) être recouvert d'une fine couche de silicium grâce au précurseur DCS afin de limiter l'oxydation lors de la mise à l'air (iii) être encapsulés dans du SiN afin d'éliminer toute présence d'oxygène autour

des nanocristaux. Ce procédé a été utilisé afin d'intégrer des nanocristaux en TiN dans des dispositifs tests de type transistor MOS dont les caractéristiques électriques seront présentées dans le §III.3.4.

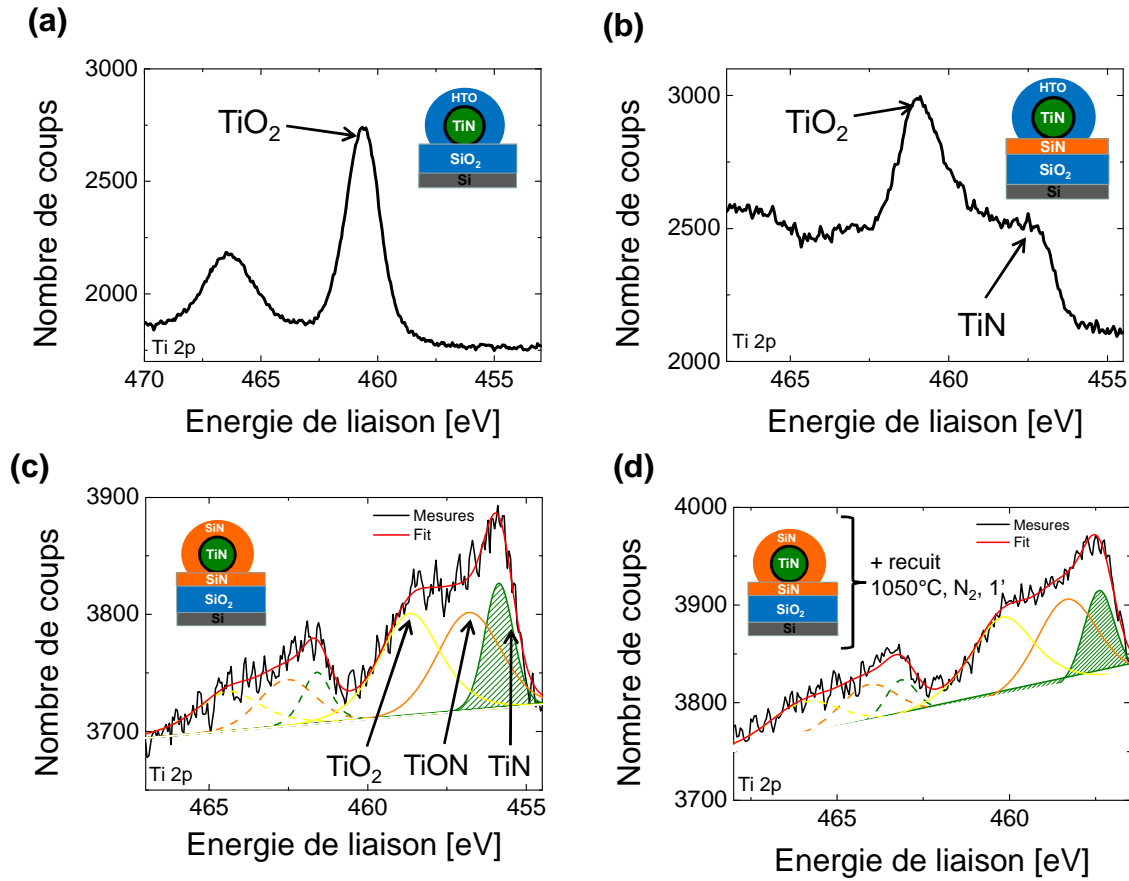


Figure III-20 : Spectres XPS du titane. Tous les nanocristaux en TiN sont passivés à l'aide du DCS **(a)** Dépôt des ncs sur SiO₂ et encapsulation HTO **(b)** Dépôt des ncs sur SiN et encapsulation HTO **(c)** Dépôt des ncs sur SiN et encapsulation SiN **(d)** dépôt des ncs sur SiN, encapsulation SiN et recuit à 1050°C sous N₂ pendant une minute

III.3.3.3. Dépôt et passivation de nanocristaux en tungstène

III.3.3.3.a. Description du dépôt CVD des nanocristaux

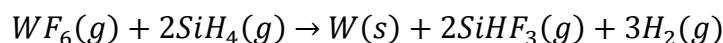
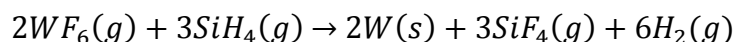
Le dépôt CVD conforme de tungstène (W) est largement utilisé pour le remplissage de vias reliant les différents niveaux d'interconnexions métalliques [Kajikawa04][Kim07]. Ce dépôt, utilisant les précurseurs WF_6 et SiH_4 , est connu pour être sélectif sur le silicium et le tungstène par rapport au SiO_2 [Kobayashi91][Groenen94]. Ce dernier point est potentiellement problématique pour les applications mémoires dans lesquelles les nanocristaux doivent être déposés sur l'oxyde tunnel généralement en SiO_2 . Malgré la sélectivité du dépôt sur le silicium, il est toutefois possible de déposer du W par CVD sur du SiO_2 à condition de créer, avant le dépôt, une fine couche de silicium en surface de l'oxyde. C'est ce qui est, par exemple, démontré dans [Noma99] où l'oxyde est réduit en surface grâce à un plasma d'hélium, permettant ainsi un dépôt CVD de tungstène sur le SiO_2 . Dans notre cas, le dépôt des nanocristaux de tungstène sur SiO_2 se réalise de la manière suivante (Figure III-21) :

1. Etape de pré-nucléation

La surface de l'oxyde de silicium est soumise à un flux de silane à $440^\circ C$. Une fine couche de silicium est ainsi adsorbée en surface, composée de silicium amorphe, de SiH_2 et de SiH_4 . Ces molécules à base de silicium permettent par la suite le dépôt de tungstène à partir du précurseur WF_6 .

2. Etape de nucléation du W

Lors de cette étape, les nanocristaux de tungstène sont déposés sur l'oxyde de silicium par réduction de l'hexafluorure de tungstène WF_6 par le silane SiH_4 à $440^\circ C$. Deux mécanismes réactionnels permettant de décrire ce dépôt sont proposés dans la littérature [Yu89]:



Dans les deux cas, le fluor est extrait du milieu réactionnel sous forme de composés gazeux SiF_4 et $SiHF_3$. Il n'y a pas ainsi de production de HF, qui attaquerait l'oxyde de silicium.

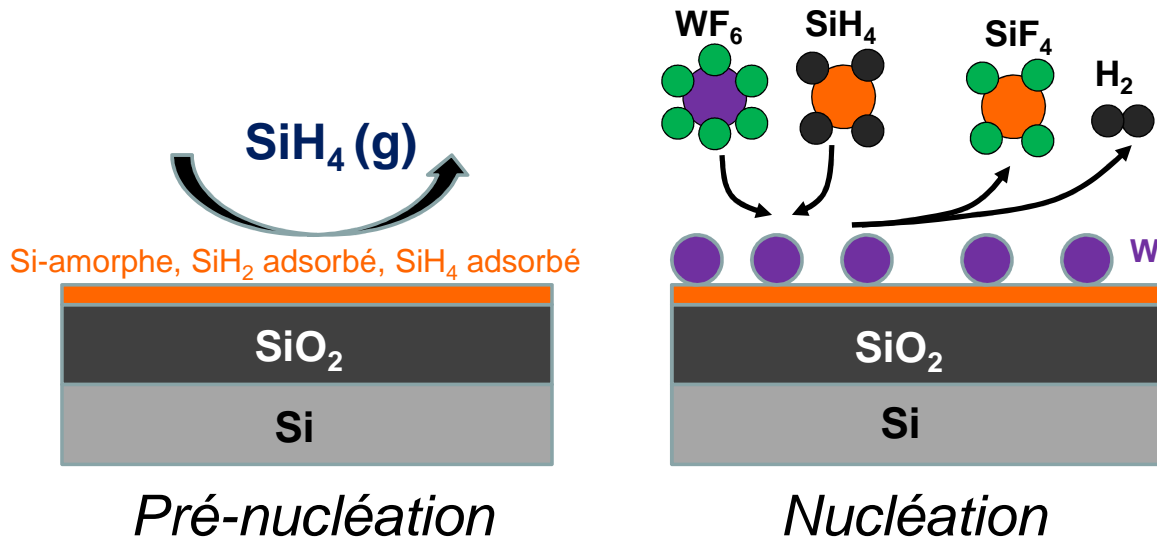
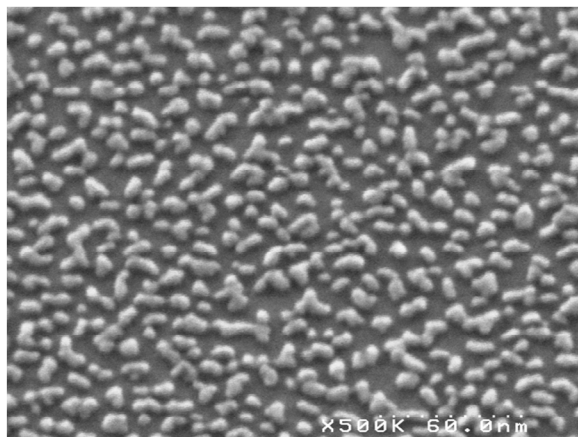


Figure III-21 : Schéma décrivant le procédé de dépôt CVD de nanocristaux en W à partir des précurseurs WF_6 et SiH_4

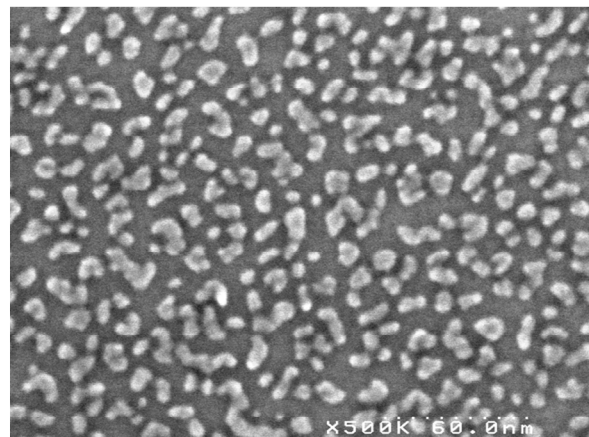
III.3.3.3.b. Morphologie des nanocristaux de W

Le réseau de nanocristaux optimal obtenus par dépôt CVD est présenté sur la Figure III-22. Une densité de $7.10^{11} \text{ cm}^{-2}$ et une taille moyenne de 6 nm sont obtenues. Ces valeurs sont un bon compromis entre (i) un espacement suffisant entre nanocristaux afin d'assurer une bonne isolation électrique et (ii) un taux de couverture de l'oxyde tunnel convenable (20%) afin d'obtenir une bonne fenêtre mémoire. Les paramètres de dépôt sont les suivants :

- **Pré-nucléation** : $T=440^\circ\text{C}$, $P=60\text{Torr}$, $P_{SiH_4}=5.3\text{T}$, $t=10\text{s}$
- **Nucléation** : $T=440^\circ\text{C}$, $P=30\text{Torr}$, $P_{WF_6}/P_{SiH_4}= 14/6$, $t=1\text{s}$



Observation avec tilt de 40°



Observation de dessus

Figure III-22 : Observations MEB des nanocristaux de W obtenus par dépôt CVD

III.3.3.3.c. Optimisation du procédé de dépôt des nanocristaux

Afin d'obtenir le résultat présenté dans le paragraphe précédent, plusieurs paramètres de dépôts ont été optimisés :

- **Influence du nettoyage chimique de l'oxyde tunnel avant le dépôt des nanocristaux :**

Dans le cas du dépôt de nanocristaux en silicium [Mazen03], le nettoyage de la surface de l'oxyde tunnel joue un rôle essentiel sur la densité de nucléation. Cette dernière s'effectue en effet sur les liaisons hydroxyles Si-OH créées grâce à un nettoyage chimique approprié. Dans le cas des nanocristaux en tungstène, nous n'avons pas observé d'influence des nettoyages chimiques sur la densité de nucléation. Ceci probablement car la nucléation du W ne se fait pas directement sur la surface du SiO₂ mais sur le silicium adsorbé en surface lors de la pré-nucléation.

- **Influence de la pré-nucléation :**

L'effet de la pression partielle de SiH₄ dans le réacteur est étudié à pression constante (P=90Torr). L'existence d'un optimum est démontrée, à P_{SiH₄}=5.3Torr, pour lequel la densité de nanocristaux est maximale. On en déduit que dans ces conditions, la couche de silicium amorphe adsorbée sur l'oxyde de silicium est la plus favorable à la nucléation du tungstène.

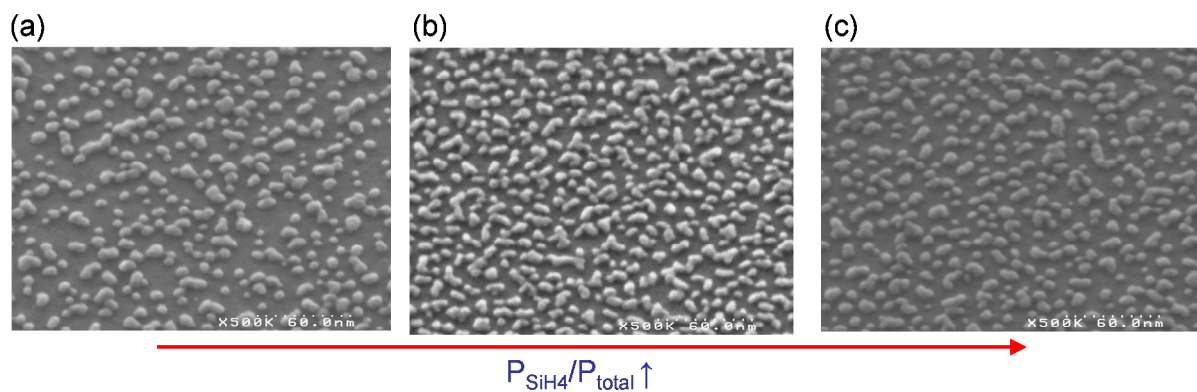


Figure III-23 : Observations MEB des nanocristaux de W obtenus pour différentes pressions partielles de silane durant la pré-nucléation (a) P_{SiH₄}=2.6Torr (b) P_{SiH₄}=5.3Torr (c) P_{SiH₄}=15.4Torr

- **Influence des pressions partielles durant la nucléation**

L'effet du rapport des pressions partielles entre les flux de SiH₄ et de WF₆ lors de la nucléation est décrit sur la Figure III-24. Ce paramètre a une forte influence sur la densité de nanocristaux obtenus qui est optimale pour un rapport de 14/6.

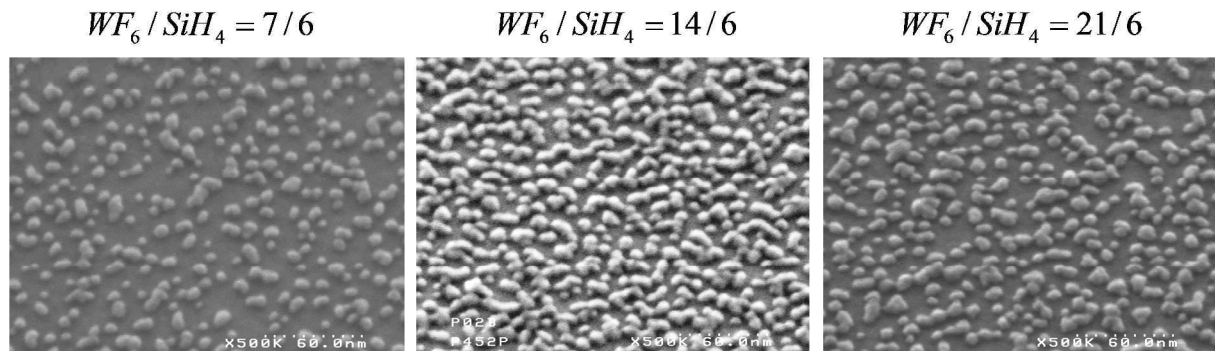


Figure III-24 : Observations MEB des nanocristaux de W obtenus pour différentes valeurs de rapport entre les flux de WF_6 et de SiH_4

- **Influence de la pression totale dans le réacteur**

Pour une pression de 30 Torr, des temps de nucléation supérieurs à 1s mènent à la coalescence des nanocristaux. Afin d'augmenter le temps de nucléation très court, une option étudiée est de diminuer la concentration de précurseurs dans la chambre de dépôt. Ceci peut s'obtenir en diminuant la pression totale tout en conservant les mêmes flux de gaz. Des essais à une pression totale de 5Torr ont donc été réalisés (Figure III-25). Un temps de nucléation de 3s permet ainsi d'obtenir un réseau de nanocristaux isolés (Figure III-25-b) alors que pour une pression de 30T, ce même temps de nucléation conduit à une couche continue. Un début de coalescence est observé pour un temps de nucléation de 5s (Figure III-25-c). Notons toutefois que la densité de nanocristaux est inférieure à celle obtenue pour une pression de 30 Torr, ce qui explique que ce procédé n'a pas été retenu dans la suite de l'étude. Cependant, cette possibilité d'augmentation du temps de nucléation permettrait en théorie d'augmenter la reproductibilité du procédé de dépôt, point très important dans le cadre d'un potentiel transfert industriel.

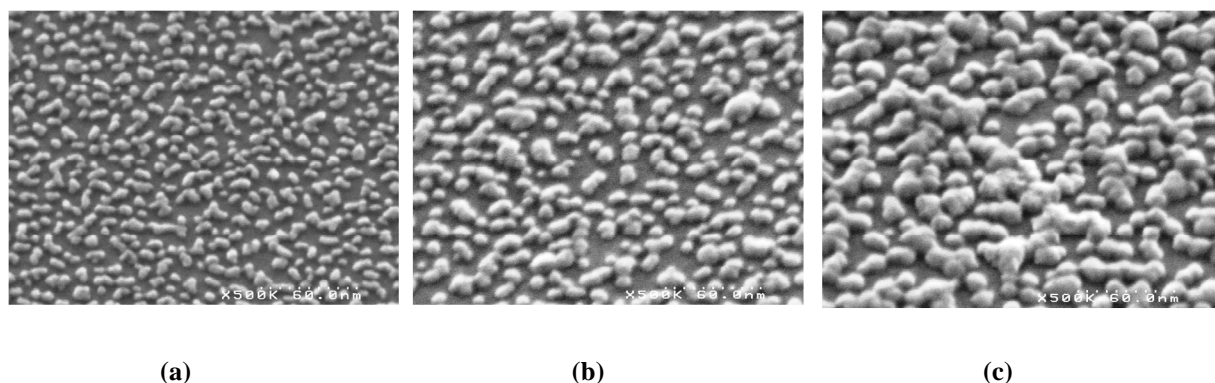


Figure III-25 : Observations MEB des nanocristaux de W obtenus à (a) P=30Torr, 1 seconde (b) P=5Torr, 3 secondes (c) P=5Torr, 5 secondes

III.3.3.3.d. Passivation des nanocristaux en W

III.3.3.3.d.1. Oxydation des nanocristaux à l'atmosphère ambiante

Afin de connaître l'état de liaison et donc notamment l'oxydation du tungstène dans les nanocristaux, des mesures XPS sont effectuées. Le spectre XPS du W sur des nanocristaux exposés à l'air ambiant pendant une semaine est tracé sur la Figure III-26-a. Dans la gamme d'énergie de liaison représentée, les électrons de la bande 4f et 5p sont sondés. La déconvolution du spectre permet de mettre en évidence les différents états de liaison du tungstène dans les nanocristaux. Chaque état de liaison est caractérisé par un doublet électronique constitué de deux pics séparés de 2,2eV. On met ainsi en évidence 4 doublets électroniques de type 4f correspondant, en ordre croissant d'énergie, aux liaisons W, WO₂, W₂O₅ et WO₃. Il faut noter également la présence dans cette gamme d'énergie de la bande 5p du W (à E=37,1 eV), qu'il faut prendre en compte dans la déconvolution. En calculant l'intégrale de chaque contribution, il est possible d'évaluer la proportion de chaque état de liaison du tungstène dans les nanocristaux. Ainsi, on observe sur la Figure III-26-b que près de trois-quarts du nanocristal est sous forme oxydée. Ce phénomène d'oxydation est connu [Pelissier08][McCarroll67] et peut d'ailleurs être prédit d'après le diagramme d'Ellingham (cf. annexe 1 et §III.2.1) puisque la courbe d'Ellingham du couple W/WO₂ se trouve en-dessous de la courbe $-RT\ln(P_{O_2})$, ce qui indique une oxydation du tungstène à l'air ambiant.

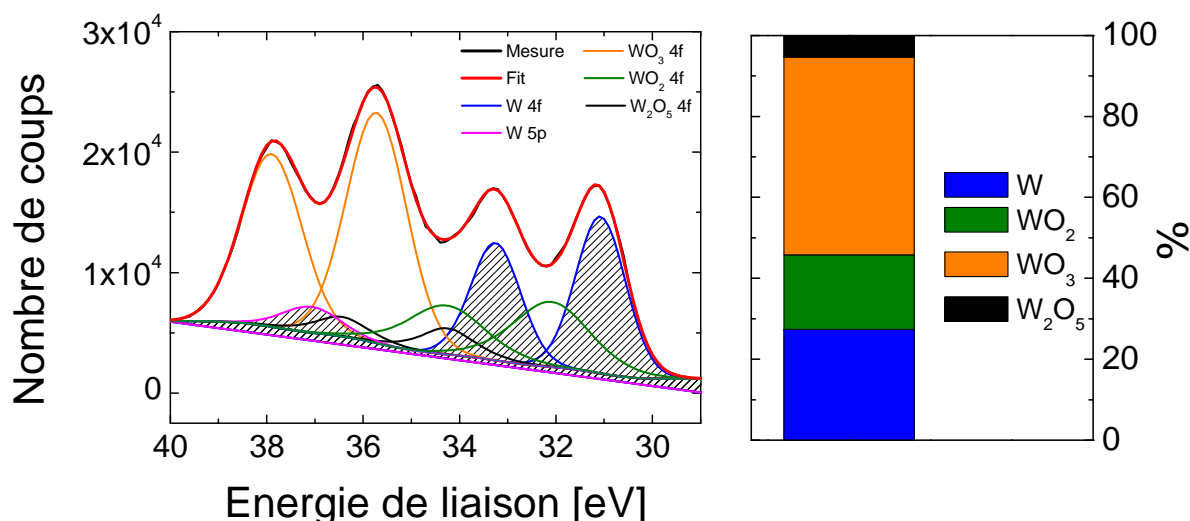
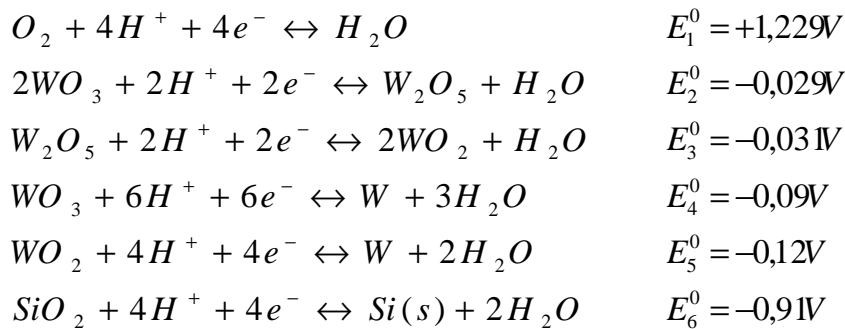


Figure III-26 : (a) Spectre XPS et déconvolution des raies 4f et 5p de nanocristaux de tungstène non passivés après une semaine d'exposition à l'air ambiant. Les pics hachurés correspondent à la contribution du W métallique (b) Extraction des proportions de chaque composé du tungstène d'après les mesures XPS

Afin d'étudier plus finement le phénomène d'oxydation des nanocristaux en tungstène, des mesures XPS sur une même couche de nanocristaux ont été effectuées à temps croissant d'exposition à l'air ambiant (Figure III-27). On observe alors que dès 5 minutes d'exposition à l'atmosphère, seulement 60% du nanocristal est sous forme oxydée. Cette valeur croît lentement au cours du temps pour atteindre plus de 70% après une semaine. On remarque également que les états oxydés WO_2 et WO_3 évoluent de manière opposé. Alors que le WO_2 est majoritaire après 5 minutes d'exposition, il décroît au cours du temps au profit de la phase WO_3 qui devient majoritaire après 1 semaine. Ces résultats concordent avec ceux obtenus par [Pelissier08] sur des couches continues de tungstène. Ce phénomène peut être expliqué en étudiant les potentiels électrochimiques des différents couples redox mis en jeu dans ces réactions :



Tout d'abord, on note que $E_1^0 - E_5^0 > E_1^0 - E_4^0$ ce qui explique que le WO_2 se forme préférentiellement par rapport au WO_3 . D'autre part, on note que le WO_2 peut ensuite se transformer en WO_3 en passant par la phase W_2O_5 , ce qui explique qu'après une semaine, la quantité de WO_2 ait diminué au profit de la phase WO_3 .

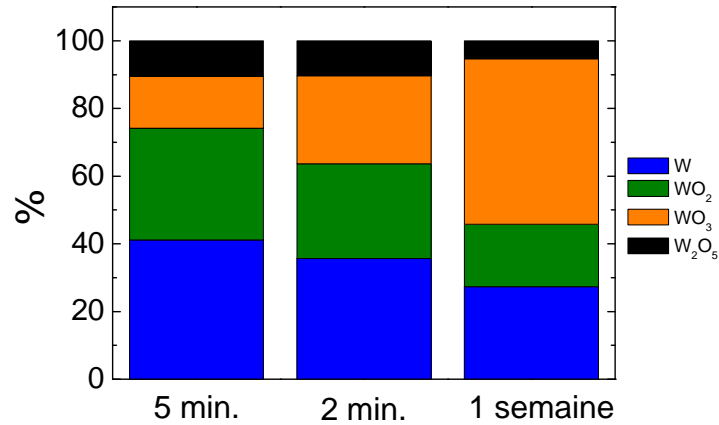


Figure III-27 : Répartition de l'état de liaison du tungstène dans les nanocristaux pour des temps croissant d'exposition à l'air ambiant

Puisque les nanocristaux de tungstène s'oxydent très rapidement lors de l'exposition à l'air, il n'est pas envisageable de les intégrer tels quels en tant que grille flottante d'une mémoire. En effet, le tungstène oxydé perd son caractère métallique et donc son intérêt. Il est donc nécessaire de passiver les nanocristaux *in-situ* après dépôt.

III.3.3.3.d.2. Procédé de passivation des nanocristaux de W

Les nanocristaux de W sont passivés grâce au dépôt d'une coquille de silicium, de la même manière que les nanocristaux en TiN. Afin de prédire le comportement du tungstène et du silicium à l'atmosphère, nous comparons leurs potentiels redox d'oxydation respectifs (cf. paragraphe précédent). On note ainsi que $E_1^0 - E_6^0 > E_1^0 - E_5^0$, ce qui indique que l'oxydation du silicium est thermodynamiquement plus favorable que l'oxydation du tungstène. On en déduit donc que le silicium est adapté à la passivation des nanocristaux en tungstène.

D'autre part, le diagramme d'Ellingham de l'annexe 1 permet de prédire que le tungstène est stable sur SiO₂ à toute température. En conséquence, l'encapsulation des nanocristaux dans du SiO₂ devrait permettre d'éviter l'oxydation du tungstène lors des différents recuits du procédé de fabrication des dispositifs mémoires.

Comme dans le cas du TiN, deux précurseurs du silicium sont disponibles : le silane SiH₄ et le dichlorosilane SiH₂Cl₂. Ces deux passivations ont été testées et comparées.

- **Comparaison de la passivation silane et de la passivation DCS**

Le diagramme de la Figure III-28 compare les états de liaison du W des nanocristaux passivés et non passivés. On note tout d'abord un effet significatif de la passivation qui permet de limiter fortement l'oxydation des nanocristaux. Ainsi, la passivation à l'aide du précurseur silane permet de conserver 80% du nanocristal à l'état métallique après exposition à l'atmosphère, et ce même après une longue attente à l'air libre. D'autre part, la passivation à l'aide du précurseur dichlorosilane permet une passivation encore plus efficace puisque dans ce cas, le nanocristal est entièrement préservé de l'oxydation à l'air ambiant, et cet état est stable dans le temps. C'est par conséquent cette passivation qui est retenue pour la suite de l'étude de stabilité thermique des nanocristaux en W.

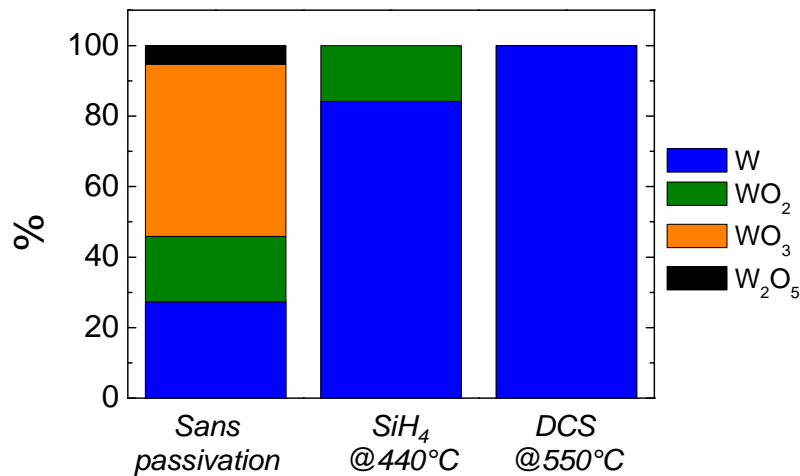


Figure III-28 : Comparaison de l'oxydation des nanocristaux selon le précurseur du silicium utilisé lors de la passivation

- **Efficacité de la passivation DCS vis-à-vis du budget thermique de fabrication de la mémoire**

Dans la suite du procédé de fabrication, les nanocristaux doivent être encapsulés dans un oxyde de contrôle. Deux options sont ici discutées. La première option consiste à utiliser un oxyde déposé à haute température (HTO) en milieu fortement oxydant (N₂O). La seconde option consiste à utiliser un oxyde haute permittivité, l'alumine, déposé à basse température (300°C) par ALD (Atomic Layer Deposition). Afin de pouvoir mesurer l'état d'oxydation des nanocristaux grâce à l'XPS, une couche d'épaisseur 2nm est déposée, inférieure à la couche de l'oxyde de contrôle qui sera déposée lors de la fabrication du dispositif mémoire. Enfin, le budget thermique maximal du procédé de fabrication de la mémoire est simulé (1050°C durant une minute sous N₂). Les mesures XPS de l'état de liaison du tungstène (Figure III-29) révèlent que les nanocristaux encapsulés dans le HTO n'ont pas résisté à l'oxydation et se

retrouvent majoritairement sous forme WO_3 . Au contraire, les nanocristaux encapsulés dans de l' Al_2O_3 ont bien mieux résisté à l'oxydation puisque plus de 70% du nanocristal est sous forme métallique après le recuit à $1050^\circ C$. Ce dernier point est donc en accord avec le diagramme d'Ellingham qui ne prévoit de réaction du tungstène ni avec le SiO_2 , ni avec l' Al_2O_3 ($\Delta G^0_{WO_2} > \Delta G^0_{SiO_2} > \Delta G^0_{Al_2O_3}$).

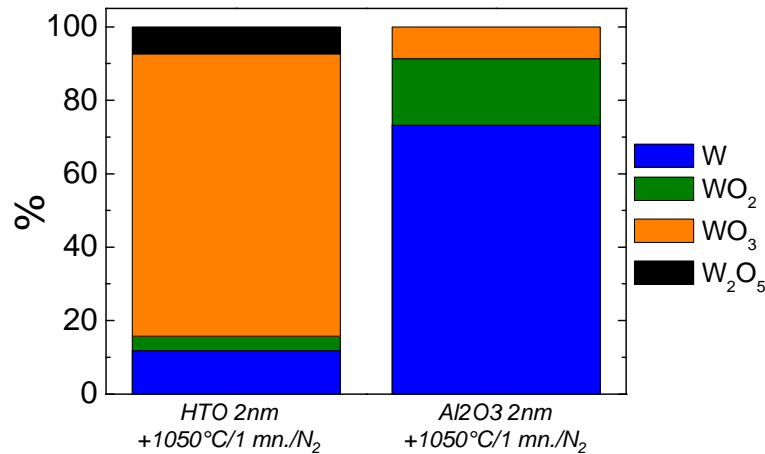


Figure III-29 : Etat de liaison du tungstène après simulation de dépôt d'un oxyde de grille en HTO ou en Al_2O_3 sur des nanocristaux en W passivés DCS, suivi d'un recuit $1050^\circ C$ sous N_2 pendant une minute.

- **Encapsulation des nanocristaux dans du nitrure**

Les précédentes mesures ont montré que les nanocristaux en W, bien que passivés par du dichlorosilane, sont oxydés lors du dépôt HTO. Afin de pouvoir tout de même utiliser ce type de grille de contrôle dans les dispositifs mémoires, nous avons étudié l'efficacité d'une barrière en nitrure de silicium, identique à celle utilisée pour les nanocristaux en TiN. Les nanocristaux sont dans ce cas déposés sur une fine couche de SiN (3nm), passivés *in-situ* par du silicium (DCS) puis encapsulés par une seconde couche de SiN. On procède ensuite aux mêmes étapes que précédemment, à savoir un dépôt de 2 nm d'HTO ou d' Al_2O_3 suivi du recuit à $1050^\circ C$. On note alors que les nanocristaux résistent très bien au budget thermique à la fois dans le cas d'un oxyde de contrôle en HTO et en Al_2O_3 . On en déduit donc que la couche de SiN est une barrière efficace à la diffusion des espèces oxydantes et permet donc de protéger efficacement les nanocristaux lors du dépôt HTO, ce qui n'était pas le cas avec la simple utilisation de la coquille en silicium.

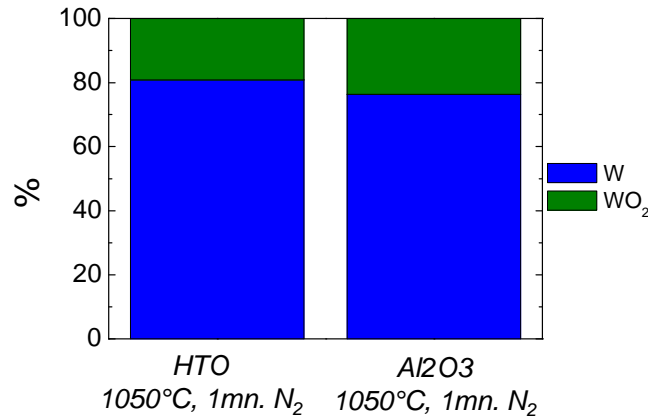


Figure III-30 : Etat de liaison du tungstène après simulation de dépôt d'un oxyde de grille en HTO ou en Al₂O₃ sur des nanocristaux en W passivés DCS et encapsulés dans du nitrure, suivi d'un recuit 1050°C sous N₂ pendant une minute.

- **Conclusion sur la passivation des nanocristaux en W**

En l'absence de passivation, les nanocristaux en tungstène s'oxydent lors de leur exposition à l'atmosphère ambiante. Nous avons démontré que le dépôt *in-situ* d'une coquille de silicium autour du nanocristal permet de limiter efficacement l'oxydation des nanocristaux lors de la remise à l'air. Cette passivation s'est montrée suffisamment robuste pour protéger les nanocristaux d'une oxydation lors d'un dépôt d'un oxyde de contrôle en Al₂O₃ suivi d'un recuit à 1050°C sous N₂ pendant une minute. Cependant, dans le cas de l'utilisation d'un oxyde de contrôle en HTO, la passivation silicium n'est pas efficace. Il est dans ce cas nécessaire d'encapsuler les nanocristaux dans une couche de nitrure afin d'éviter l'oxydation totale des nanocristaux.

III.3.4. Intégration de nanocristaux en TiN dans un dispositif mémoire MOSFET

III.3.4.1. Présentation des dispositifs

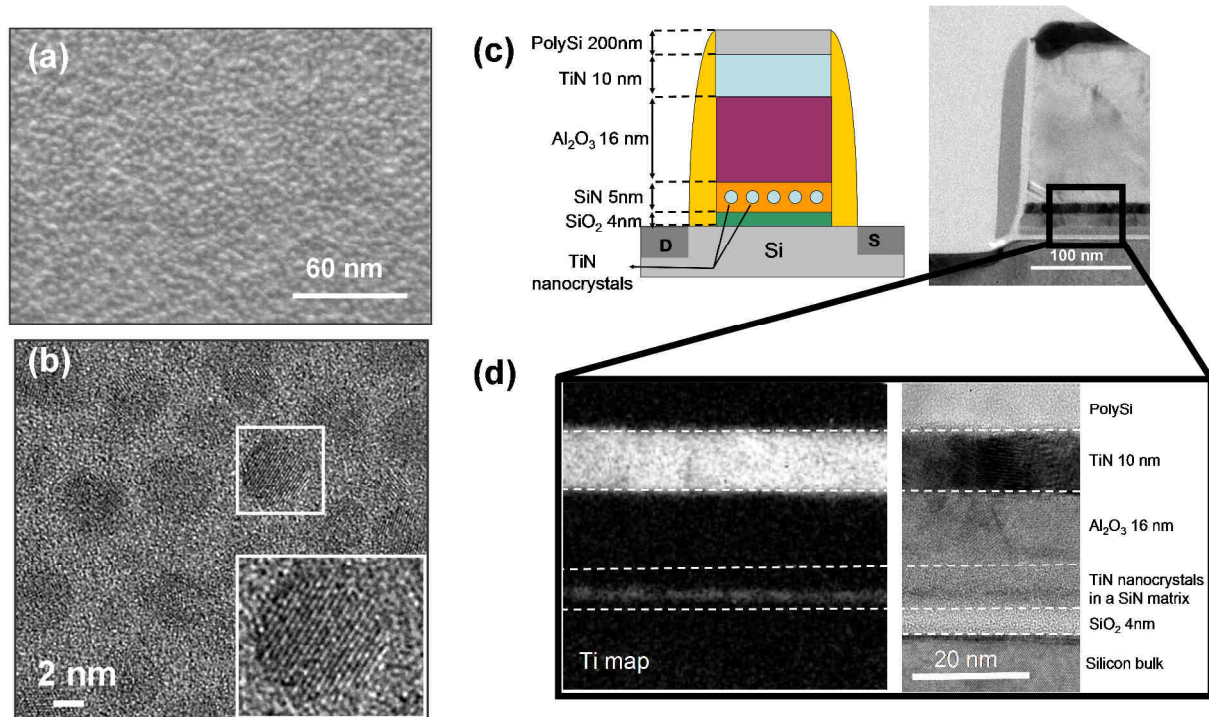


Figure III-31 : (a) Observation MEB (tilt de 40°) des nanocristaux en TiN intégrés dans les dispositifs (b) Observation plane en HRTEM des nanocristaux en TiN (c) Schéma et observation TEM en coupe des dispositifs fabriqués et caractérisés (d) Observation en coupe de l'empilement de grille en EFTEM et HRTEM mettant en évidence la présence des nanocristaux en TiN dans la couche de nitrure

Une fois les isolations des zones actives définies (procédé non détaillé ici), on procède à la croissance d'un oxyde thermique de 4nm qui constituera l'oxyde tunnel de la mémoire. La grille flottante de la mémoire est alors déposée. Une couche de 3nm de nitrure est tout d'abord déposée afin d'isoler les nanocristaux de l'oxyde de silicium. Les nanocristaux en TiN sont alors déposés sur cette couche de SiN. A ce stade trois variantes technologiques sont réalisées :

- Ncs en TiN passivés par du dichlorosilane selon le procédé décrit dans le paragraphe précédent.
- Ncs en TiO₂ obtenu grâce au dépôt de nanocristaux en TiN non passivés
- Absence de nanocristaux, le dispositif final correspondant alors à une mémoire de type SONOS.

Un réseau dense de nanocristaux est ainsi obtenu comme observé sur les images MEB de la Figure III-31-a. Les ncs, bien que très proches les uns des autres, sont physiquement isolés comme le montre l'image HRTEM de la Figure III-31-b. Des mesures faites sur cette observation TEM permettent d'estimer la densité des ncs à $3.10^{12} \text{ cm}^{-2}$ et un diamètre moyen de 3,5nm, ce qui correspond à un taux de couverture surfacique de 30%. Une couche de 2nm de nitrure est ensuite déposée par-dessus les ncs. Au final, la grille flottante est donc constituée d'une couche de 5nm de nitrure avec des nanocristaux en TiN dans son volume. Elle peut donc être désignée par « grille flottante hybride ncs TiN/SiN ».

Un oxyde de contrôle de 16nm en alumine (Al_2O_3) est ensuite déposé par ALD (Atomic Layer Deposition). L' Al_2O_3 est un oxyde à haute permittivité diélectrique, permettant d'obtenir un bon couplage électrostatique entre la grille de contrôle et la grille flottante de la mémoire. L' Al_2O_3 est déposé sous forme amorphe. Afin d'éviter toute réaction chimique avec la grille de contrôle en TiN qui sera déposée par-dessus, l' Al_2O_3 est cristallisé grâce à un recuit à 1050°C durant une minute sous N_2 . Enfin, la grille de contrôle est déposée par dépôt de 10nm de TiN en PVD suivi d'un dépôt de 200nm de polysilicium dopé fortement N. L'empilement est alors gravé en RIE (Reactive Ion Etching), les sources et drains sont définis par implantation ionique et sont siliciurés afin d'obtenir un bon contact sur lequel poser les pointes de mesure électrique.

III.3.4.2. Mesure des performances mémoires

III.3.4.2.a. Caractéristiques d'écriture/effacement

- Mesures expérimentales

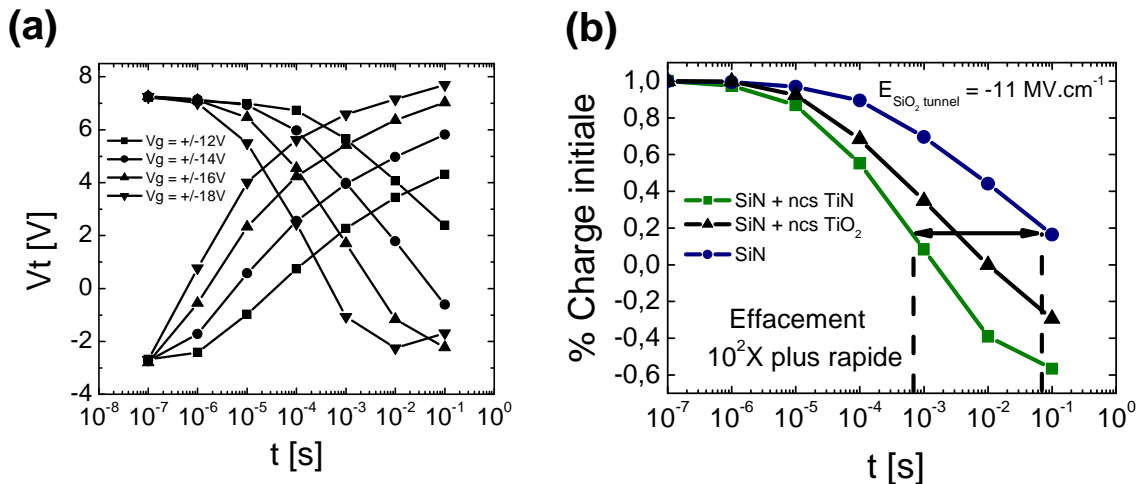


Figure III-32 : (a) Caractéristique d'écriture effacement du dispositif à grille flottante hybride ncs TiN/SiN (b) Comparaison des caractéristiques d'effacement des dispositifs avec ncs en TiN, en TiO₂ et sans ncs. L'effacement est effectué à champ constant $E = 11 \text{ MV.cm}^{-2}$.

Les caractéristiques d'écriture et d'effacement en mode Fowler-Nordheim de la mémoire à grille flottante en ncs TiN / SiN pour V_g sont présentées sur la Figure III-32-a. Les tensions de grille varient de $V_g = +/-12\text{V}$ à $V_g = +/-18\text{V}$. Ces mémoires sont écrites et effacées efficacement car la fenêtre mémoire, correspondant à la différence de tension de seuil entre l'état écrit et effacé, atteint 8V pour des tensions d'écriture/effacement de $V_g = +/-18\text{V}$ pendant une milliseconde. Cette valeur est suffisamment importante pour envisager des applications de stockage multi niveaux.

Sur la Figure III-32-b, les caractéristiques d'effacement des trois dispositifs sont comparées : grille flottante en (i) ncs TiN/SiN (ii) ncs TiO₂/SiN (iii) SiN. Les caractéristiques sont tracées à champ constant dans l'oxyde tunnel, c'est-à-dire à V_g/EOT constant (EOT : Equivalent Oxide Thickness). Comme reporté dans [Park06], les dispositifs de référence de type SONOS s'effacent lentement. Au contraire, les dispositifs à ncs TiN/SiN s'effacent beaucoup plus vite, d'un facteur 100. Ainsi, alors qu'il faut 100 ms au dispositif de référence pour se décharger à 90%, seulement 1ms sont nécessaires pour les dispositifs à nanocristaux en TiN. On note également que les dispositifs à nanocristaux en TiO₂ ont un comportement intermédiaire, c'est-à-dire qu'ils s'effacent plus vite que les dispositifs de référence mais moins rapidement que ceux à nanocristaux en TiN.

On note également que les dispositifs à nanocristaux en TiN ou en TiO₂ sont sur-effacés, c'est-à-dire que la tension de seuil effacée atteint des valeurs négatives qui mettent en évidence la présence de charges positives dans l'empilement. Ce phénomène de sur-effacement n'est pas observé sur les dispositifs de référence.

- **Explication physique**

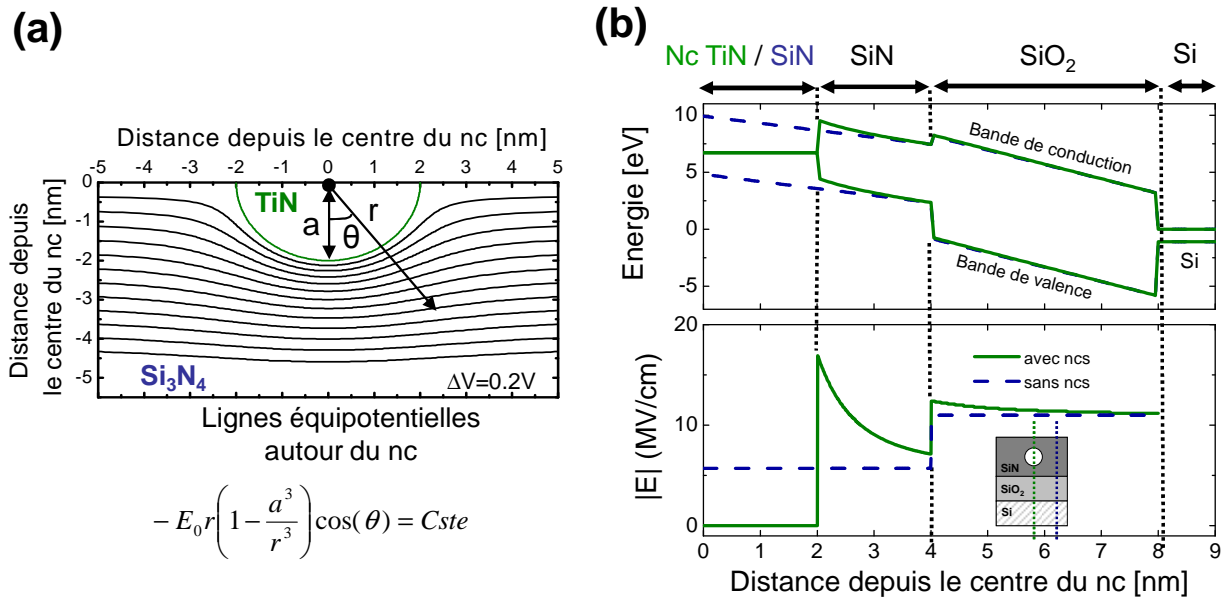


Figure III-33 : (a) Lignes équipotentielles autour du nanocristal tracées à $E_0 = -5.7 \text{ MV}\cdot\text{cm}^{-1}$. (b) Diagramme de bande et champs électrique dans la structure en présence ou non de nanocristaux en TiN dans le nitrure. Le champ électrique est amélioré localement dans la couche de nitrure située sous les nanocristaux, expliquant l'effacement plus rapide.

Les bonnes performances d'effacement des dispositifs à nanocristaux peuvent être expliquées par une augmentation du champ électrostatique dans la couche de nitrure sous les nanocristaux. En effet, le champ électrique est nul dans les nanocristaux à cause de la forte permittivité diélectrique du nitrure de titane et de l'oxyde de titane ($\epsilon_{\text{TiN}} = \infty$, $\epsilon_{\text{TiO}_2} \approx 80$). En conséquence, les lignes équipotentielles s'incurvent sous les nanocristaux et se rapprochent donc les unes des autres. Afin d'illustrer ce dernier point, les lignes équipotentielles sous un nanocristal métallique [Lee05][Ganguly05][Godin88] sont tracées sur la Figure III-33-a d'après la formule suivante, exprimée en coordonnées radiales :

$$-E_0 r \left(1 - \frac{a^3}{r^3} \right) \cos \theta = Constante$$

Où E_0 est la valeur du champ électrique dans le nitrure en l'absence de nanocristal, a est le rayon du nanocristal, r et θ sont les coordonnées radiales depuis le centre du nanocristal définies sur la Figure III-33-a.

Le rapprochement des lignes équipotentiellles entraîne une augmentation locale du champ électrique en dessous les nanocristaux. L'expression de ce champ électrique est dérivée de la formule du potentiel électrique à $\theta=0$:

$$E(r) = -E_0 \left(1 + \frac{2a^3}{r^3} \right)$$

Grâce à cette formule, le champ électrique sous le nanocristal est comparé au champ électrique en l'absence de nanocristal sur la Figure III-33-b. On observe ainsi que le champ électrique dans la couche de nitrure sous le nanocristal est amélioré et atteint la valeur maximale de 17 MV.cm^{-1} à l'interface entre le nanocristal et le nitrure. En l'absence de nanocristaux, le champ électrique a une valeur constante de $5,7 \text{ MV.cm}^{-1}$ à travers toute la couche de nitrure. Cette augmentation du champ électrique produit une courbure de bande du nitrure sur le diagramme de bande de la Figure III-33-b. Cette dernière permet une accélération de l'effacement en favorisant la migration des électrons dans la couche de nitrure qui atteint plus aisément l'interface SiN/SiO₂.

Enfin, le meilleur effacement mesuré sur les dispositifs à nanocristaux en TiN par rapport aux nanocristaux en TiO₂ peut s'expliquer par la forte densité d'états autour du niveau de Fermi du TiN. L'extraction de ces électrons par transport à travers l'oxyde tunnel laissent une charge positive (cf. § III.1.1) dans le nanocristal. Ce phénomène n'est pas possible dans le cas des nanocristaux en TiO₂ qui est un semi-conducteur à grand gap et ne possède donc qu'une très faible quantité d'électrons dans la bande de conduction.

III.3.4.2.b. Rétention des dispositifs à nanocristaux en TiN

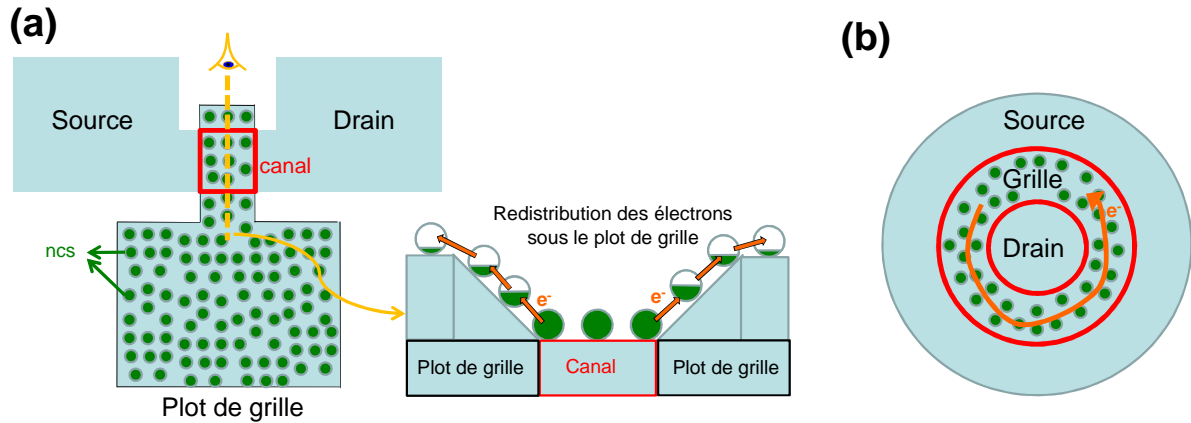


Figure III-34 : (a) Schéma illustrant la fuite de charge à travers la grille flottante débordant sous le plot de grille (b) Schéma d'un transistor MOS circulaire utilisé afin de mesurer la rétention. L'effet de la fuite latérale de charge est ainsi éliminé.

Une rapide décroissance de la tension de seuil est mesurée suite à la programmation des dispositifs dont la grille flottante n'est pas isolée. Ces dispositifs n'ont en effet pas subi de gravure de la grille flottante. Cette dernière déborde donc sur l'isolation, et est présente sous le plot de contact de grille (cf. Figure III-34-a). La portion de grille flottante positionnée au-dessus du plot de grille ne participe pas à l'effet mémoire. Au contraire, lors de mesures sur des dispositifs pour lesquels la totalité de la grille flottante se situe au-dessus du canal, tels que des transistors MOS circulaires (Figure III-34-b), les caractéristiques de rétention sont bien meilleures. L'évolution des états écrits et effacés des dispositifs est tracée sur la Figure III-35. Une fenêtre mémoire de 7V est conservée après $2 \cdot 10^4$ s.

De cette différence de rétention observée entre les dispositifs MOS circulaires et les dispositifs MOS classique, on déduit l'existence d'une fuite latérale de charges dans la grille flottante. Celle-ci est due à la très forte densité de nanocristaux qui s'accompagne d'une faible épaisseur d'oxyde entre chaque nanocristaux (≤ 2 nm comme observé sur la Figure III-31-b). Le transport tunnel direct d'électrons entre nanocristaux voisins est alors rendu possible. La charge injectée dans les nanocristaux situés au-dessus du canal se redistribue alors dans l'intégralité de la grille flottante sous le plot de grille. La surface de ce dernier, $\sim 10^4 \mu\text{m}^2$, est bien plus importante que la surface du canal du transistor ($\sim 1 \mu\text{m}^2$). Par conséquent, la charge surfacique dans la grille flottante est fortement réduite et donc la tension de seuil également.

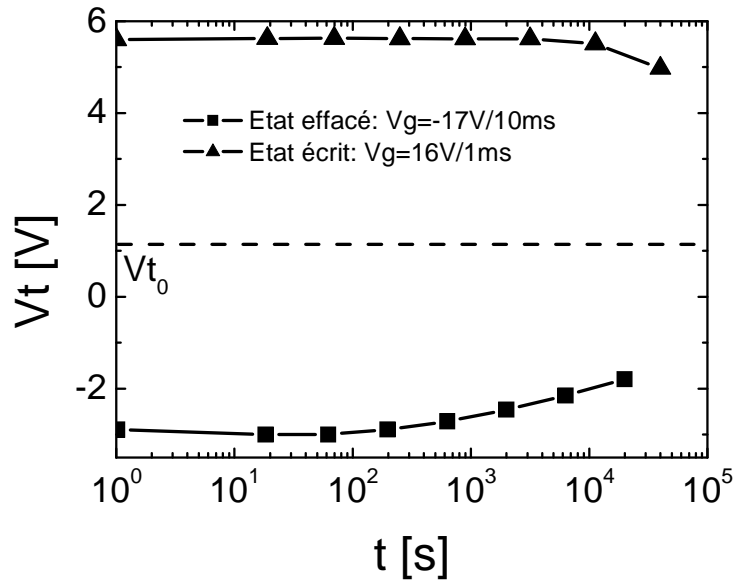


Figure III-35 : Rétention du dispositif à nanocristaux en TiN mesuré sur un transistor MOS circulaire

III.3.4.2.c. Endurance des dispositifs à nanocristaux en TiN

Les dispositifs sont testés en cyclage en appliquant des tensions d'écriture et d'effacement répétés sur la grille de la mémoire. Les valeurs des tensions de seuil écrites et effacées en fonction du nombre de cycles sont tracées sur la Figure III-36-a. Notons qu'afin de corriger la dérive de la tension de seuil au cours du cyclage provoqué par la dégradation de l'empilement mémoire ainsi que par le piégeage de charges fixes, un algorithme de correction des durée d'écriture et d'effacement est utilisé. Ce dernier permet de conserver des valeurs constantes des tensions de seuil écrites et effacées au cours du cyclage. La Figure III-36-b indique les durées des pulses d'écriture et d'effacement au cours du cyclage.

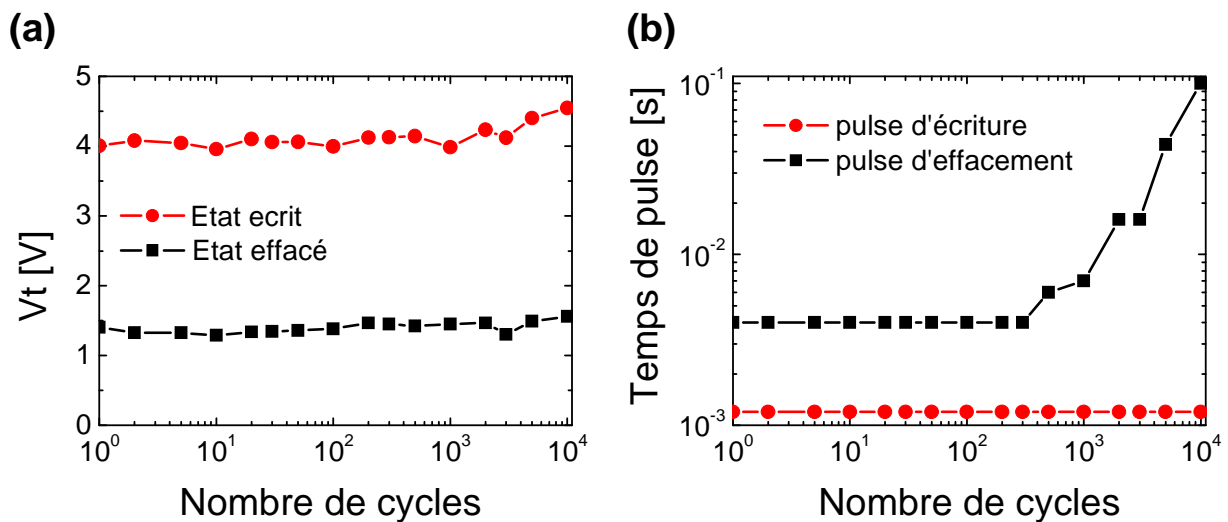


Figure III-36 : (a) cyclage intelligent des dispositifs à nanocristaux en TiN (b) Algorithme utilisé pour le calcul des durées de pulse d'écriture et d'effacement

III.3.4.2.d. Conclusion sur les performances mémoires des dispositifs à nanocristaux en TiN

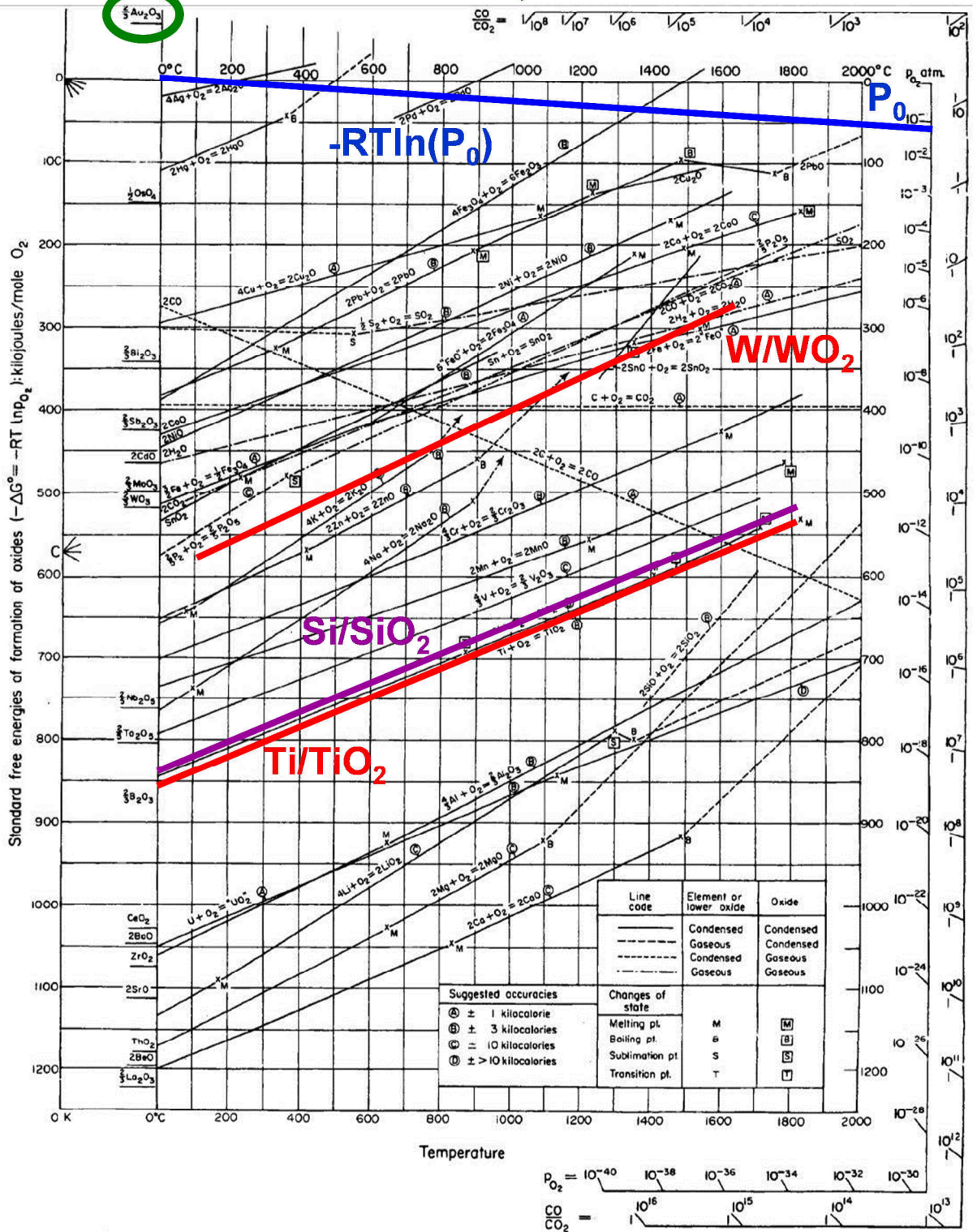
L'ajout de nanocristaux en TiN dans une couche continue de nitrure permet d'améliorer les vitesses d'effacement tout en conservant une rétention et un cyclage corrects. Une augmentation du champ électrique dans l'oxyde tunnel dû à la forme sphérique et à la permittivité diélectrique infinie du nanocristal permet d'expliquer ce gain en vitesse d'effacement. Cependant, aucune nette augmentation de la fenêtre mémoire n'a été constatée. D'autre part, bien qu'il n'ait pas été constaté de fuite de charge à travers l'oxyde tunnel, une fuite latérale de charge entre les nanocristaux a été mise en évidence. Elle est attribuée à une densité trop importante des nanocristaux en TiN. Il serait donc intéressant de réaliser les mêmes dispositifs avec des nanocristaux en W dont la densité est inférieure (cf. III.3.3.3.b.).

III.4. Synthèse du chapitre III

Dans ce chapitre nous avons étudié les propriétés des nanocristaux métalliques en vue de leur intégration en tant que grille flottante dans des mémoires non-volatiles. Par rapport à des nanocristaux en silicium, leur principal atout est l'augmentation potentielle de la fenêtre mémoire et de la rétention de charge grâce à des pièges plus nombreux et plus profonds. Cependant, leur intégration dans des dispositifs mémoires n'est pas immédiat car ils ne sont pas stables à haute température et ont tendance à diffuser ou à s'oxyder lors des recuits nécessaires à la fabrication des mémoires. Ainsi, des nanocristaux de platine ont tout d'abord été intégrés dans des dispositifs et on démontré de bonnes performances mémoires dans des dispositifs capacitifs MOS. Cependant, il s'est avéré que lorsque la température augmente au-delà de 450°C, ce qui est le cas lors d'un procédé CMOS classique, ils diffusent dans l'empilement de grille et dégradent considérablement les performances électriques. Par la suite des réseaux de nanocristaux en TiN et en W ont été déposés par CVD. Ces métaux étant très sensibles à l'oxydation, un procédé de passivation a été développé. Il se base sur le dépôt d'une fine couche de silicium déposée in-situ afin de protéger les nanocristaux de l'oxydation à l'air ambiant. Dans un second temps, une couche de SiN peut être déposée par-dessus afin de protéger plus fortement les nanocristaux lors de recuits à haute température. Cette dernière couche s'est avérée nécessaire dans le cas de nanocristaux en TiN mais optionnelle pour les nanocristaux en tungstène naturellement plus robustes vis-à-vis de l'oxydation. L'efficacité de cette passivation a été démontrée par des mesures XPS pour l'ensemble des recuits nécessaires à la fabrication d'un transistor MOSFET. Par conséquent, des dispositifs mémoires intégrant une couche de nanocristaux en TiN encapsulés dans une couche de nitrure ont pu être fabriqués. Les caractérisations électriques de ces dispositifs ont démontré une amélioration de l'effacement de la grille flottante par rapport aux dispositifs intégrant une simple couche de nitrure (de type SONOS). Ce dernier point est très intéressant puisqu'un des points faibles des mémoires SONOS est leur faible efficacité d'effacement. Afin de compléter cette étude il serait intéressant de poursuivre les caractérisations électriques sur des dispositifs intégrant des multicouches de nanocristaux métalliques, ainsi que des nanocristaux en tungstène dans la grille flottante. Ceci permettrait d'optimiser les paramètres de dépôt des nanocristaux (taille, densités, épaisseur de la couche de passivation) et de déterminer quel métal est le plus compatible avec la fabrication d'un dispositif mémoire.

ANNEXE : Diagrammes d'Ellingham

Métaux nobles: Au, Pt



Références du chapitre III

- [Ashcroft76] N. W. Ashcroft and N. D. Mermin, Solid State Physics, Saunders, 1976.
- [Beyers84] R. Beyers, “Thermodynamic considerations in refractory metal-silicon-oxygen systems”, J. Appl. Phys. 56(1), 1 July 1984
- [Chang05] T.C. Chang, P.T. Liu, S.T. Yan, S. M. Sze, “Electron Charging and discharging effects of tungsten nanocrystals embedded in silicon dioxide for low voltage non-volatile memory technology”, Electrochemical and solid-state Letters, 8(3) G71-G73 (2005)
- [Chen08] C.H. Chen, T.C. Chang, I.H. Liao, P.B. Xi, J. Hsieh, J. Chen, T. Huang, S.M. Sze, U.S. Chen, J.R. Chen, “Tungsten oxide/tungsten nanocrystals for non-volatile memory devices”, Applied Physics Letters, **92**, p 013114, 2008.
- [Chen10] S.-C. Chen, T.-C. Chang, W.-R. Chen, Y.-C. Lo, K.-T. Wu, S.M. Sze, J. Chen, I.H. Liao, F.-S. Yeh(Huang), “Nonvolatile memory effect of tungsten nanocrystals under oxygen plasma treatments”, Thin Solid Films, vol. 518, no.24, Octobre 2010, pp. 7339-7342
- [Choe06] J.-D. Choe, J. J. Lee, Y. J. Ahn, S.-H. Lee, B. Y. Choi, S. K. Sung, E. S. Cho, S. B. Kim, S. H. Cheong, X.-H. Lee, H. Chung, K. Park, D. Park, B.I. Ryu, “Charge trapping WN nano-dots with /or without nitride syb-layer for FinFET FLASH Memory”, Proc. Of Device Research Conference 2006, pp. 273-274
- [CRC08] CRC Handbook on Chemistry and Physics 2008
- [Dallaporta90] H. Dallaporta, M. Liehr and J. E. Lewis, “Silicon dioxide defects induced by metal impurities”, Physical Review B, vol. 41, Issue 8, 1990
- [Dufourcq08a] J. Dufourcq, S. Bodnar, G. Gay, D. Lafond, P. Mur, G. Molas, J. P. Nieto, L. Vandroux, L. Jodin, F. Gustavo, and T. Baron High density platinum nanocrystals for non-volatile memory application, Appl. Phys. Lett. **92**, 073102, 2008
- [Dufourcq08b] J. Dufourcq, “Elaboration et caractérisation microscopique de materiaux à l'échelle nanométrique en vue de l'application aux memoires non volatiles”, Thèse de doctorat de l'université Joseph Fourier, soutenue le 25 juin 2008
- [Dufourcq09] J. Dufourcq, L. Vandroux, P. Mur, S. Bodnar “Metallic nanocrystals encapsulation”, Brevet d'invention US2009243048
- [Fit93] J. T. Fitch, Journal of the electrochemical society 141,1046 (1993)
- [Fu07] Q. Fu, T. Wagner, “Interaction of nanostructured metal overlayers with oxide surfaces”, Surface Science Reports 62,pp. 431-498, 2007
- [Ganguly06] « 3D analytical modeling of nanocrystal memory electrostatics », Journal of applied physics 99, 114516 (2006)
- [Godin88] Yu. A. Godin “Electrostatics problem of a conducting sphere in the field of a plane capacitor”, Sov. Phys. Tech. Phys. 33(6), June 1988
- [Groenen94] P. A. C. Groenen, O. F. Tekcan, J. G. A. Holscher and H. H. Brongersma, “Loss of selectivity during W chemical vapour deposition on Si using the WF₆/SiH₄ process” J. Vac. Sci. Technol. A 12(3), May/June 1994
- [Guan07] W. Guan, S. Long, M. Liu, Q. Liu, Y. Hu, Z. li, R. Jia “Modeling of retention characteristics for metal and semiconductor nanocrystal memories”, Solid State Electron., vol. 51, pp. 806-811, 2007

- [Halas98]** S. Halas and T. Durakiewicz, “Work functions of elements in terms of the Fermi energy and the density of free electrons”, *J. Phys. Condens. Matter*, vol.10, pp.1815-10826, 1998
- [Handbook]** Handbook of X-Ray Photoelectron Spectroscopy, Perkin–Elmer Corporation.
- [Hobbs04]** C. C. Hobbs, L. R. C. Fonseca, A. Knizhnik, V. Dhandapani, S. B. Samavedam, W. J. Taylor, J. M. Grant, L. G. Dip, D. H. Triyoso, R. I. Hedge, D. C. Gilmer, R. Garcia, D. Roan, M. L. Lovejoy, R. S. Rai, E. A. Hebert, H.-H. Tseng, S. G. H. Anderson, B. E. White P. J. Tobin “Fermi-Level pinning at the polysilicon/metal oxide interface – Part I”, *IEEE Trans. Elec. Dev.* Vol.51, no.6, **2004**
- [Hofmann08]** R. Hofmann, N. Krishna, “Self-assembled metallic nanocrystal structures for advanced non-volatile memory applications”, *Microelectronics engineering*, vol.85, no.10, octobre 2008.
- [Hou07]** T.-H. Hou, U. Ganguly and E. C. Kan, “Fermi Level Pinning in Nanocrystal Memories”, *IEEE Elec. Dev. Lett.*, vol.28, no.2, **2007**
- [Jou87]** P. Joubert, B. Loisel, Y. Chouan, L. Haji. *Journal of the Electrochemical Society* 134, 2541 (1987)
- [Kubo62]** K. Ryogo “Electronic properties of metallic fine particles” *J. Phys. Soc. Jpn.*, vol. 17, pp.975-986, **1962**
- [Kajikawa04]** Y. Kajikawa, T. Tsumura, S. Noda, H. Komiyama and Y. Shimogaki, “Nucleation of W during chemical vapour deposition from WF_6 and SiH_4 ”, *Japanese Journal of Applied Physics*, vol. 43, No. 6B, 2004, pp. 3945-3950
- [Kobayashi91]** N. Kobayashi, H. Goto, M. Suzuki “Study of selective chemical vapour deposition of tungsten using in situ infrared spectroscopy and Auger electron spectroscopy”, *J. Appl. Phys.* 69(2), 15 january 1991
- [Kim07]** S.-H. Kim, J.-T. Kim, N. Kwak, J. Kim, T.-S. Yoon, H. Sohn, “Effects of phase of underlying W film on chemical vapour deposited-W film growth and applications to contact-plug and bit line processes for memory devices”, *J. Vac. Sci. Technol. B* 25(5), sept/oct 2007
- [Lee05a]** C. Lee, U. Ganguly, V. Narayanan, T.-H. Hou, J. Kim and E. C. Kan, “Asymmetric electrical field enhancement in nanocrystal memories”, *IEEE Elect. Dev. Lett.*, vol. 26, no.12, 2005
- [Lee05b]** J. J. Lee, Y. Harada, J. W. Pyun, D.-L. Kwong, “Nickel nanocrystal formation on HfO_2 dielectric for non-volatile memory device applications”, *AIP Appl. Phys. Lett.* 86, 103505 2005
- [Liehr84]** M. Liehr, F. K. Legoues, G. W. Rubloff, and P. S. Ho, “Chemical reactions at Pt/oxide/Si and Ti/oxide/Si interfaces”, *J. Vac. Sci. Technol. A*, vol. 3, Issue 3, 1985
- [Lim05]** S.-H. Lim, K. H. Joo; J.-H. Park; S.-W. Lee; W. H. Sohn; C. Lee; G. H. Choi; I.-S. Yeo, U.-I. Chung, J. T. Moon; B.-I. Ryu, “Nonvolatile MOSFET memory based on high density WN nanocrystal layer fabricated by novel PNL (pulsed nucleation layer) method”, *Proc. Of VLSI Technology Symposium* 2005.
- [Liu02a]** Z. Liu, C. Lee, V. Narayanan, G. Pei, E. C. Kan, “Metal nanocrystal memories – Part I: Device Design and Fabrication”, *IEEE Trans. On Elec. Dev.* Vol. 49, no., septembre 2002
- [Liu02b]** Z. Liu, C. Lee, V. Narayanan, G. Pei, E. C. Kan, “Metal nanocrystal memories – Part II :Electrical Characteristics”, *IEEE Trans. On elec. Dev.*, vol.49, no.9, septembre 2002.

- [Maikap08]** S. Maikap, S.Z. Rahaman, W. Banerjee, C.H. Lin, P.J. Tzeng, C. C. Wang, L. S. Lee, M. J. Tsai, “Enhanced flash memory device characteristics using ALD TiN/Al₂O₃ nanolaminate charge storage layers”, Proc. Of Solid-State and Integrated Circuit Technology 2008, pp. 958-961.
- [Mazen03]** F. Mazen, “Etude de la nucleation et de la croissance de nanocristaux de silicium élaborés par dépôt chimique en phase vapeur pour dispositifs nanoélectroniques », Thèse de doctorat de l’INSA Lyon, 2003
- [McCarroll67]** B. McCarroll, Chemisorption and oxidation : Oxygen and Tungsten”, The journal of chemical physics, vol.46, no.3, 1 february 1967
- [Nainani07]** A. Nainani, A. Roy, P.K. Singh, G. Mukhopadhyay, J. Vasi, “Electrostatics and its effects on spatial distribution of tunnel current in metal nanocrystal flash memories”, Proc. Of ICMTD 2007, pp.251-254
- [Ndwandwe05]** O.M. Ndwandwe, Q.Y. Hlatshwayo, R. Pretorius, “Thermodynamic stability of SiO₂ in contact with thin metal films”, Materials Chemistry and Physics 92, pp.487–491 (2005)
- [Niquet00]** Y. M. Niquet, C. Delerue, G. Allan and M. Lannoo “Method for tight-binding parametrization: Application to silicon nanostructures”, Phys. Rev. B, vol. 62, no.8, 2000
- [Noma99]** T. Noma, K. S. Seol, M. Fujimaki, Y. Ohki “Direct deposition of a blanket tungsten layer on SiO₂ by preexposure of helium plasma” J. Appl. Phys., vol. 85, no.12, 15 june 1999
- [Nonnenmacher91]** M. Nonnenmacher, M. P. O’Boyle and H. K. Wickramasinghe "Kelvin probe force microscopy", Appl. Phys. Lett. **58**, 2921 (1991).
- [Park06]** Y. Park, J. Choi, C. Kang, C. Lee, Y. Shin, B. Choi, J. Kim, S. Jeon, J. Sel, J. Park, K. Choi, Y. Yoo, J. Sim, K. Kim, “Highly manufacturable 32 Gb multi-level NAND flash memory with 0.0098 mm² cell size using TANOS (Si-oxide-Al₂O₃-TaN) cell technology”, IEEE Tech. Dig. Of IEDM 2006
- [Peden93]** C.H.F. Peden, J.W. Rogers, N.D. Shinn, K.B. Kidd, K.L. Tsang, “Thermally grown Si₃N₄ thin films on Si(100): Surface and interfacial composition”, Physical Review B, **47** (23), pp. 15622-15629, 1993.
- [Pelissier08]** “Parallel angle resolved XPS investigations on 12 in. wafers for the study of W and WSi_x oxidation in air”, B. Pelissier et al., Microelectron. Eng. (2008)
- [Pourbaix74]** M. Pourbaix, Atlas of Electrochemical Equilibria in Aqueous Solutions, second 340 English ed. National Association of Corrosion Engineers, 1974
- [Pretorius78]** R. Pretorius, J. M. Harris and M-A. Nicolet, “Reaction of thin metal films with SiO₂ substrates”, Solid State Electron., vol. 21, pp. 667-675, 1978
- [Reg89]** J.L. Regolini, D. Bensahel, E. Scheid, J. Mercier, Journal of Crystal Growth 96, 505 (1989)
- [Rochet-97]** F. Rochet, Ch. Poncey, G. Dufour, H. Roulet, C. Guillot, F. Sirotti “Suboxides at the Si/SiO₂ interface: a Si2p core level study with synchrotron radiation”, Journal of Non-Crystalline solids, **216**, pp. 148-155, 1997.
- [Salomon77]** P. Salmon, “Breakdown in silicon dioxide: A review”, J. Vac. Sci. Technol., vol. 14, no.5, sept./oct. 1977
- [Samanta05]** S. K. Samanta, Z. Y. L. Tan, >. J. Yoo, G. Samudra, S. Lee, L. K. Bera, N. Balasubramanian, “Self-assembled tungsten nanocrystals in high-k dielectric for nonvolatile memory application”, J. Vac. Sci. Technol. B 23(6), 2005.

- [Sargentis06] Ch. Sargentis, K. Giannakopoulos, A. Travlos, N. Boukos, D. Tsamakidis, "Simple method for the fabrication of a high dielectric constant metal-oxide-semiconductor capacitor embedded with Pt nanoparticles", *Appl. Phys. Lett.* 88, 073106 (2006)
- [Singh09] P.K., Singh, R. Hofmann, K.K. Singh, N. Krishna, S. Mahapatra, "Performance and reliability of Au and Pt single-layer metal nanocrystal flash memory under NAND (FN/FN) operation", *IEEE Elect. Dev. Lett.*, vol. 56, no.9, pp.2065-2072
- [Verhaverbeke91] S. Verhaverbeke, M. Meuris, P.W. Mertens, M. M. Heyns, A. Philipossian, D. Graf and A. Schnegg "The effect of metallic impurities on the dielectric breakdown of oxides and some ways of avoiding them", *Proc. of IEDM 1991*, pp.71-74
- [Wang04] Q. Wang, Z.T. Song, W.L. Liu, C.L. Lin, T. H. Wang, "Synthesis and electron storage characteristics of isolated silver nanodots on/embedded in Al₂O₃ gate dielectric", *Appl. Surf. Sc.* 230 (2004) 8-11.
- [Wang07] C.C. Wang, J.-Y. Wu, Y.-K. Chiou, C.-H. Chang, T.-B. Wu, "Charge storage characteristics of Au nanocrystals embedded in high-k gate dielectrics on Si", *Appl. Phys. Lett.* 91, 202110 (2007)
- [Yeh07] P.H. Yeh, L.J. Chen, P.T. Liu, D.Y. Wang, T.C. Chang "Metal nanocrystals as charge storage nodes for non-volatile memory devices", *Electrochimica Acta* vol. 52, pp. 2920-2926, 2007
- [Wu09] Y.-H. Wu, L.-L. Chen, Y.-S. Lin, C.-H. Chang, J.-H. Huang, G.-P. Yu, "Nonvolatile memory with TiN nanocrystals three-dimensionally embedded in Si₃N₄ formed by spinodal phase segregation", *IEEE Elect. Dev. Lett.*, vol.30, no.6, Juin 2009
- [Yu89] M. L. Yu and B.N. Eldridge, *J. Vac. Sci. Technol. A* 7, 625 (1989)
- [Zhang06] R. F. Shang, S. Veprek, "On the spinodal nature of the phase segregation and formation of stable nanostructure in the Ti-Si-N system", *Mater. Sci. Eng. A*, vol. 424, no.1/2, pp. 128-137, Mai 2006
- [Zhang07] M. Zhang, W. Chen, S.-J. Ding, Z.-Y. Liu, Y. Huang, Z.-W. Liao, D. W. Zhang, « Physical and electrical characterization of atomic layer deposited Ru nanocrystals embedded into Al₂O₃ for memory applications », *J. Phys. D: Appl. Phys.* 41 (2008) 032007

Chapitre IV

Organisation de nanocristaux à l'aide de copolymères diblocs

L'utilisation de nanocristaux en remplacement d'une grille flottante continue dans les mémoires de type Flash présente un réel intérêt afin de surmonter les difficultés liées à la réduction des dimensions des dispositifs. Cependant, la discrétisation de la grille flottante entraîne de nouvelles problématiques. En particulier, l'intégration de nanocristaux dans la grille flottante s'accompagne d'une dispersion sur les dimensions du réseau de nanocristaux, ce qui entraîne une dispersion sur la quantité de matière disponible pour le stockage de charges et donc sur la quantité de charges piégées. Il apparaît donc intéressant de pouvoir contrôler les caractéristiques des nanocristaux, à savoir leur diamètre et leur espacement. C'est l'objet de ce dernier chapitre, portant sur l'auto-organisation de nanocristaux pour les applications mémoires. Dans un premier temps, une étude bibliographique présente un état de l'art des différentes techniques permettant d'obtenir un réseau auto-organisé de nanocristaux. De cette étude bibliographique, il apparaît que parmi toutes ces techniques existantes, l'utilisation de copolymères diblocs, et plus particulièrement du système Ps-b-PMMA, est la plus adaptée pour l'auto-organisation de nanocristaux dans un dispositif mémoire. Afin d'être utilisés dans un procédé de fabrication de type MOSFET, une stratégie de transfert du réseau de nanocristaux compatible avec les procédés de la microélectronique est développée. Enfin, des perspectives d'utilisation de cette technique dans un empilement mémoire sont présentées.

Sommaire

IV.1. Techniques d'auto-organisation de nanocristaux pour applications mémoires : état de l'art.....	146
IV.1.1. Auto-organisation directe des nanocristaux	146
IV.1.2. Utilisation d'un masque auto-organisé.....	153
IV.2. Utilisation de copolymères diblocs pour l'auto-organisation de nanocristaux.....	159
IV.2.1. Choix d'un copolymère dibloc	159
IV.2.2. Procédé d'obtention du masque de copolymère dibloc.....	161
IV.2.3. Obtention d'un réseau de nanocristaux à l'aide du masque de polystyrène : état de l'art	163
IV.3. Développement d'une technique compatible avec les procédés de la microélectronique.....	167
IV.3.1. Choix et principe de la technique de transfert.....	167
IV.3.2. Transfert du masque en PS dans un masque d' Al_2O_3	168
IV.3.3. Gravure de nano-piliers	174
IV.3.4. Conclusion sur le procédé de transfert	180
IV.4. Perspectives : Utilisation du procédé de transfert pour application dans un dispositif mémoire	182
IV.4.1. Organisation du film de copolymère dans une zone active de transistor mémoire.	182
IV.4.2. Utilisation du procédé pour l'obtention de nanocristaux	185
IV.5. Conclusion du chapitre IV	190
Références du chapitre IV	191

IV.1. Techniques d'auto-organisation de nanocristaux pour applications mémoires : état de l'art

Dans ce paragraphe, nous détaillons les principales techniques d'auto-organisation permettant d'obtenir un réseau dense de nanocristaux auto-organisés. Ces techniques ont été classées en deux grandes familles : l'auto-organisation directe des nanocristaux et l'auto-organisation grâce à un masque. La première famille concerne les techniques pour lesquelles les nano-objets sont auto-organisés durant leur synthèse. C'est le cas de l'auto-organisation de nanocristaux par LPCVD, par une solution colloïdale ou par des protéines. La seconde famille concerne les techniques pour lesquelles l'auto-organisation s'effectue en deux temps : la fabrication d'un masque suivi de son transfert dans le matériau souhaité. Cette étude bibliographique permet de dégager les avantages et inconvénients de chaque technique pour les applications mémoires afin de justifier du choix de l'une d'entre elles.

IV.1.1. Auto-organisation directe des nanocristaux

IV.1.1.1. Dépôt LPCVD en deux étapes

Comme présenté dans le chapitre 2, la technique de dépôt chimique en phase vapeur sous pression réduite (LPCVD) est un bon moyen d'obtenir un réseau de nanocristaux en silicium pour application mémoire car c'est un procédé totalement compatible avec les filières MOSFET. Il a été démontré que le réseau dense de nanocristaux (10^{12} cm^{-2}) peut être partiellement organisé grâce à un procédé de dépôt en deux étapes [Mazen04]. Dans cette technique, les étapes de nucléation et de croissance des nanocristaux sont séparées, ce qui permet de réduire significativement leur dispersion en taille. Afin d'étudier l'impact de cette dispersion sur les caractéristiques électriques des dispositifs mémoires, des nanocristaux obtenus par des dépôts en une et deux étapes ont été intégrés dans une matrice de dispositifs mémoires. Le tracé de la distribution des tensions de seuil écrites et effacées des cellules mémoires sur la Figure IV-1 montre que la dispersion des tensions de seuil est réduite dans le cas de nanocristaux déposés en deux étapes.

Cette technique permet donc une auto-organisation partielle des nanocristaux en silicium n'ajoutant qu'une seule étape dans le procédé de fabrication. Cependant, elle ne permet ni de localiser les nanocristaux, ni de contrôler leur espacement. La dispersion sur l'espacement entre nanocristaux voisins n'est donc pas contrôlée, ce qui est un désavantage indéniable pour les applications mémoires.

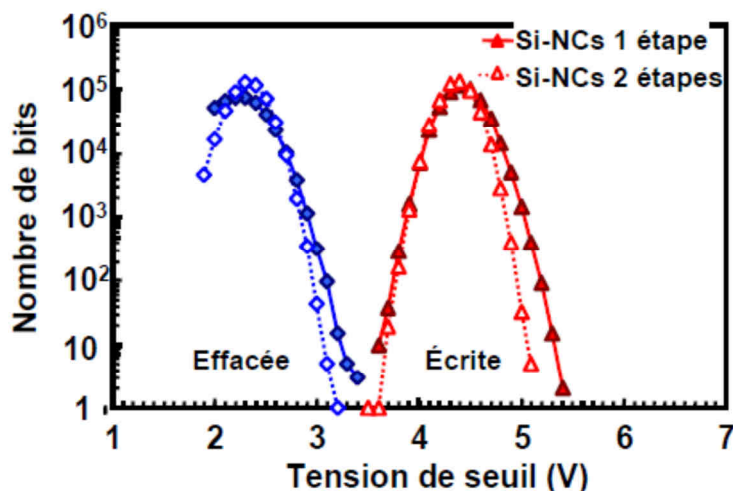


Figure IV-1 : Comparaison de la dispersion des tensions de seuils écrites et effacées (programmation en porteur chaud et effacement par tunnel Fowler/Nordheim) sur des matrices mémoires de 512 kb utilisant des nanocristaux déposés grâce à un procédé CVD en une étape et en deux étapes dans la grille flottante. La dispersion des tensions de seuil est moins importante dans le cas du procédé en deux étapes. [Jacob08]

IV.1.1.2. Dépôt à partir d'une solution colloïdale

Un réseau auto-organisé de nanocristaux peut être obtenu par évaporation d'une solution colloïdale, aussi appelée colloïde.

- **Synthèse d'une solution colloïdale**

Un colloïde est constitué de nanocristaux inorganiques de taille comprise entre 1 et 100 nanomètres, en suspension dans un solvant et stabilisés par une couche de surfactants organiques en surface [Yin05]. La synthèse classique d'un colloïde nécessite trois composants : des précurseurs du nanocristal souhaité (molécules organométalliques par exemple), des surfactants organiques et un solvant. Sous des conditions spécifiques de température et de composition du mélange réactionnel, les précurseurs réagissent pour former des monomères ou des atomes réactifs. La formation des nanocristaux se fait alors en deux étapes : nucléation d'un germe inorganique puis croissance par incorporation d'atomes supplémentaires à partir des monomères présents dans le milieu réactionnel. Les régimes de nucléation et de croissance peuvent être séparés en adaptant les paramètres de réaction tels que la température et les concentrations en précurseurs et surfactants [Murray01]. Il est d'autre part possible de contrôler la forme des nanocristaux en jouant sur la différence d'affinité des surfactants selon les plans cristallins des nanocristaux [Manna00]. Toutefois, pour les applications mémoires, une forme sphérique est suffisante.

Une fois la synthèse effectuée et en vue de l'utilisation des nanocristaux obtenus, il est nécessaire de les déposer sur la surface concernée.

- **Dépôt des nanocristaux sur une surface**

Une monocouche de la solution colloïdale peut être déposée sur une surface par évaporation contrôlée du solvant [Wang98]. Il a été observé que la qualité d'organisation du réseau de nanocristaux est alors déterminée par la composition du solvant [Lin01][Petroski01] et sa vitesse d'évaporation [Narayanan04]. Comme la dispersion en taille des nanocristaux est très faible, ceux-ci s'organisent en un réseau hexagonal compact durant l'évaporation du solvant. Cependant, il est très difficile d'obtenir une monocouche continue sur toute la surface de l'échantillon, ce qui fait que certaines zones ne sont pas recouvertes par le réseau de nanocristaux. On observe par exemple sur l'image TEM de la Figure IV-2-a que les nanocristaux sont localement organisés en monocouche, mais qu'il subsiste des zones sans aucun nanocristal ou, au contraire, avec une double couche de nanocristaux. Afin de localiser le dépôt de nanocristaux sur une surface, une solution consiste à graver des cavités là où l'on souhaite déposer les nanocristaux. Ces cavités sont définies au préalable par lithographie optique. Lors de l'évaporation de la solution colloïdale, la force capillaire déplace les nanocristaux au fond des cavités [Cui04]. On observe ainsi sur la Figure IV-2-b que les nanocristaux sont localisés dans les motifs. En vue d'application dans des dispositifs mémoires, on pourrait ainsi localiser les nanocristaux dans les zones actives.

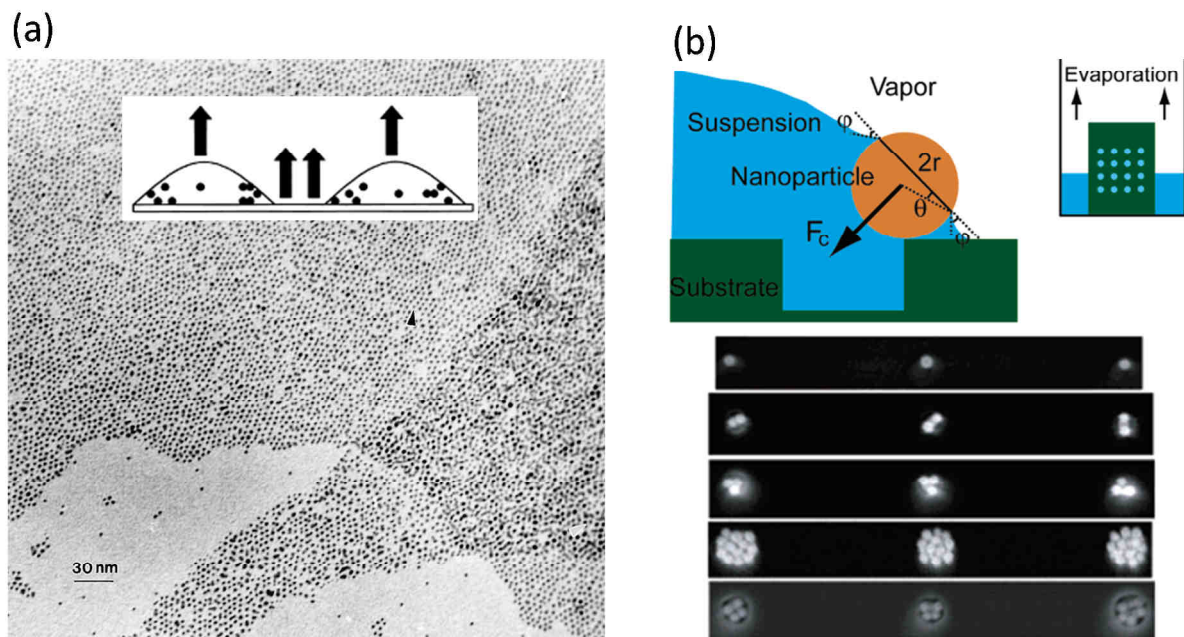


Figure IV-2 : (a) Image TEM d'un réseau de nanocristaux d'or obtenu par évaporation d'une solution colloïdale sur une surface plane [Wang98]. Les nanocristaux s'organisent localement en monocouche, mais on observe également des zones non recouvertes de nanocristaux et des zones où une bicouche est présente (b) Schéma de principe d'évaporation d'une solution colloïdale sur une surface comportant des cavités. La force capillaire entraîne les nanocristaux dans les cavités. En bas, image MEB de nanocristaux auto-organisés dans des cavités cylindriques après évaporation d'une solution colloïdale [Cui04].

- **Utilisation de colloïdes pour les applications mémoires**

On notera tout d'abord qu'une technique de synthèse de colloïdes en masse et donc de façon économique, a été démontrée par Park et al. [Park04]. Ceci laisse présager la possibilité d'utilisation de colloïdes dans des applications industrielles. Nous allons dans ce paragraphe montrer quelques exemples d'applications des colloïdes pour les mémoires non-volatiles. La possibilité de déposer localement des dépôts auto-organisés de nanocristaux métalliques ou semi-conducteurs a permis leur utilisation en tant que site de stockage dans un empilement mémoire. De nombreuses démonstrations de chargement de nanocristaux métalliques intégrés en tant que grille flottante dans une capacité MOS sont présentes dans la littérature. On peut notamment citer des nanocristaux en nickel [Seol07], cobalt [Lee07], palladium [Seol06], or [Wang08] et silicium [Nayfeh07]. Dans toutes ces démonstrations, les dispositifs présentés démontrent des caractéristiques de chargement des nanocristaux. Cependant, seuls les dispositifs présentés par Seol et al. [Seol06] présentent une véritable fonctionnalité mémoire, à savoir non seulement une excellente fenêtre mémoire de 13V mais également des temps d'écriture et d'effacement acceptables (1ms), une bonne rétention (fenêtre mémoire de 4V extrapolée à 10 ans) et de bonnes performances en cyclage (10^5 cycles d'écriture effacement). Une seule démonstration d'intégration de colloïdes dans un empilement MOSFET est décrite dans la littérature. Il s'agit des travaux de Ryu et al. [Ryu08] démontrant l'intégration de nanocristaux en argent dans un dispositif mémoire MOSFET Figure IV-3-a. Cela est rendu possible par l'utilisation d'un procédé appelé « gate-last » pour lequel l'empilement de grille est déposé après la fabrication des sources et drain. Le budget thermique subi par l'empilement de grille, et donc par les nanocristaux métallique sensibles à la diffusion, est ainsi réduit. Ces dispositifs démontrent des temps d'écriture et d'effacement corrects (100 μ s) à des tensions basses (9V) ainsi que de bonnes caractéristiques de cyclage avec un fonctionnement allant jusqu'à 10^7 cycles. La rétention est par contre moins convaincante et est attribuée à une fuite latérale dans la grille flottante due à une trop forte densité de nanocristaux.

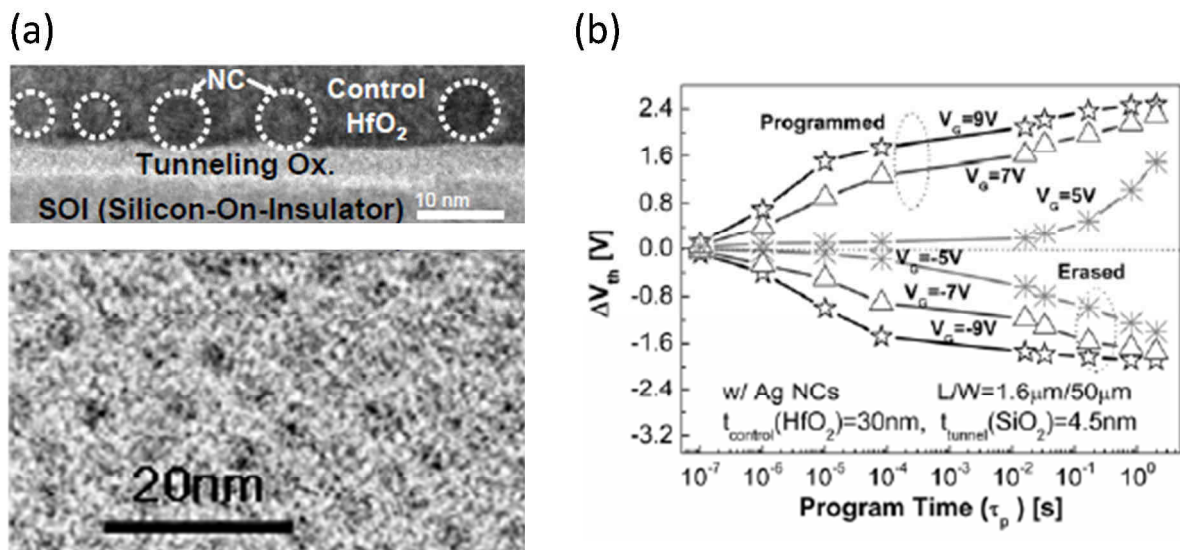


Figure IV-3 : (a) *Haut* – Image TEM en coupe de l’empilement mémoire contenant des ncs en argent. *Bas* – Image TEM des ncs en Ag organisés à l’aide d’une solution colloïdale (b) Courbes d’écriture et d’effacement des dispositifs mémoires à ncs en Ag pour plusieurs tensions de grille. La fenêtre mémoire est supérieure à 3V après 100 μ s.

Les solutions colloïdales apportent : (i) un large choix de matériaux métalliques ou semi-conducteurs, (ii) une large gamme de densités et dimensions de nanocristaux, (iii) des réseaux de nanocristaux très peu dispersés en taille et en espacement. Tous ces avantages en font une technique prometteuse pour l’intégration de nanocristaux en tant que grille flottante dans les mémoires non-volatiles. Le frein à l’intégration dans des filières mémoires industrielles est la maîtrise de tous ces paramètres disponibles et la fabrication à grande échelle de solutions colloïdales. C’est dans cette optique que des techniques de synthèse de colloïdes en masse sont développées, telle que celle proposée par Park et al. [Park04]. A terme, les colloïdes sont donc des candidats de choix pour l’auto-organisation de réseaux de nanocristaux faiblement dispersés.

IV.1.1.3. Synthèse de nanocristaux dans des protéines

Deux protéines naturelles sont utilisées dans la littérature comme technique d’auto-organisation de nanocristaux : la ferritine et la chapéronine. Ces protéines ont la particularité d’avoir une forme permettant de servir de nano-réacteur dans lesquelles la synthèse de nanocristaux peut être effectuée. On peut considérer ces protéines comme des « moules à nanocristaux » dont les dimensions sont très peu dispersées car définies par le génome des êtres vivants dont elles sont issues.

- **La ferritine**

Yamashita et al. travaillent depuis 2001 sur l'utilisation de la ferritine comme technique d'organisation d'un réseau de nanocristaux [Yamashita01]. La ferritine est une protéine servant au stockage du fer dans l'organisme sous forme d'oxyde fer ($5\text{Fe}_2\text{O}_3, 9\text{H}_2\text{O}$). Des nanocristaux d'oxyde de fer sont présents dans la cavité au centre de la protéine, de diamètre 6nm (Figure IV-4-a). En utilisant la technique de dépôt Langmuir-Blodgett, c'est-à-dire en compressant les molécules de ferritine à l'interface air-liquide [Furuno89], un réseau hexagonal de nanocristaux en Fe_2O_3 est obtenu (Figure IV-4-b). Afin de réduire l'oxyde de fer et d'obtenir un matériau conducteur, un recuit « foaming gas » peut être effectué et donne lieu à l'obtention d'un réseau auto-organisé de nanocristaux en fer Fe [Yamada06].

Si le fer est retiré de la molécule, la protéine a alors la forme d'une cage et est appelée apoferritine. Chaque molécule d'apoferritine peut alors être utilisée comme un nano-réacteur dans lequel sont synthétisés des matériaux tels que le cobalt (Co) [Miura06] ou l'alliage Cadmium-Sélénium (CdSe) [Yamashita04]. L'apoferritine joue ainsi le double rôle de nanoréacteur et de moyen d'organisation des nanocristaux.

Une fois le réseau de nanocristaux obtenu, il est nécessaire de retirer la protéine ayant servi à l'auto-organisation des nanocristaux. Deux méthodes peuvent être utilisées pour cela : un traitement UV/ozone ou un traitement RTA (500°C , 5minutes). Cette dernière solution est la meilleure car elle permet de conserver l'ordre du réseau en évitant l'agglomération des nanocristaux [Yamada06]. Des exemples d'intégration de nanocristaux de fer [Hikono06] et de cobalt [Miura06] en tant que grille flottante de mémoires non-volatiles (capacité MOS et transistors MOSFET) ont été démontrés dans la littérature. Ces dispositifs présentent toutefois des fenêtres mémoires limitées comme reporté sur la Figure IV-4-c (moins de 4V).

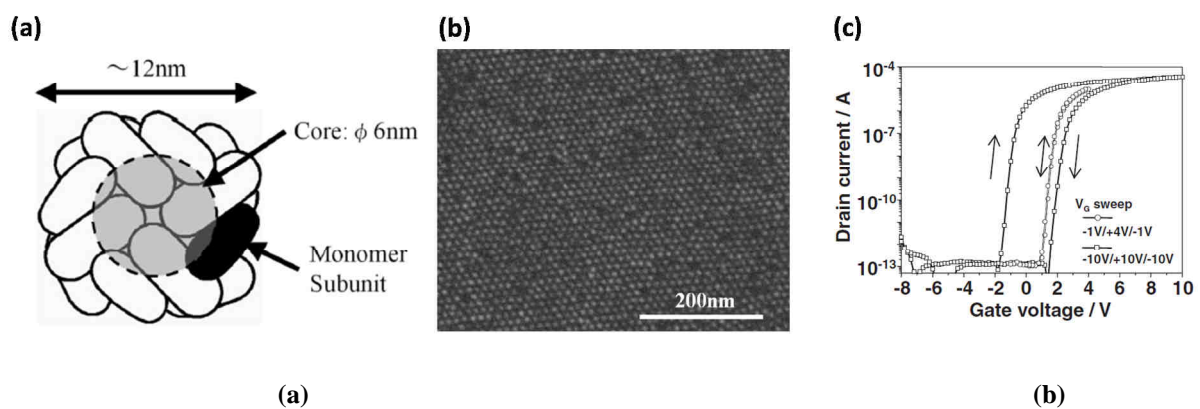


Figure IV-4 : (a) Schéma d'une molécule de ferritine (b) Images MEB de molécules de ferritine adsorbées sur le substrat [Yamashita01] (c) Hystérésis sur les caractéristiques I_d - V_g d'une mémoire MOSFET utilisant une couche de nanocristaux de Co, auto-organisés par l'apoferritine, comme couche de piégeage de charges [Miura06].

- **La chapéronine**

La chapéronine, en forme de double anneau comme représenté sur la Figure IV-5-a, peut également être utilisée pour organiser une solution colloïdale de nanocristaux sur une surface [McMillan02]. Contrairement au cas de la ferritine, il n'y a pas de démonstration dans la littérature de synthèse directe de nanocristaux au sein de la chapéronine avant leur déposition sur le substrat. L'organisation des nanocristaux se fait donc en deux étapes. Les molécules de chapéronine sont tout d'abord ancrées sur la surface, puis une solution colloïdale de nanocristaux est déposée par-dessus. Les nanocristaux se positionnent alors dans l'anneau de la chapéronine, assurant ainsi leur organisation parfaite en un réseau hexagonal peu dispersé en taille (Figure IV-5-b). Des réseaux de nanocristaux en PbSe [Sarkar07a], en SiGe [Sarkar07b] et en Co [Tang07] ont ainsi été fabriqués et intégrés en tant que site de stockage d'un dispositif mémoire non-volatile MOSFET. Les fenêtres mémoires obtenues ne sont pas très élevées comme en atteste la Figure IV-5-c, mais les caractéristiques de rétention semblent convenables. Le principal intérêt de cette technique est donc qu'elle permet de contrôler précisément l'espacement entre les nanocristaux.

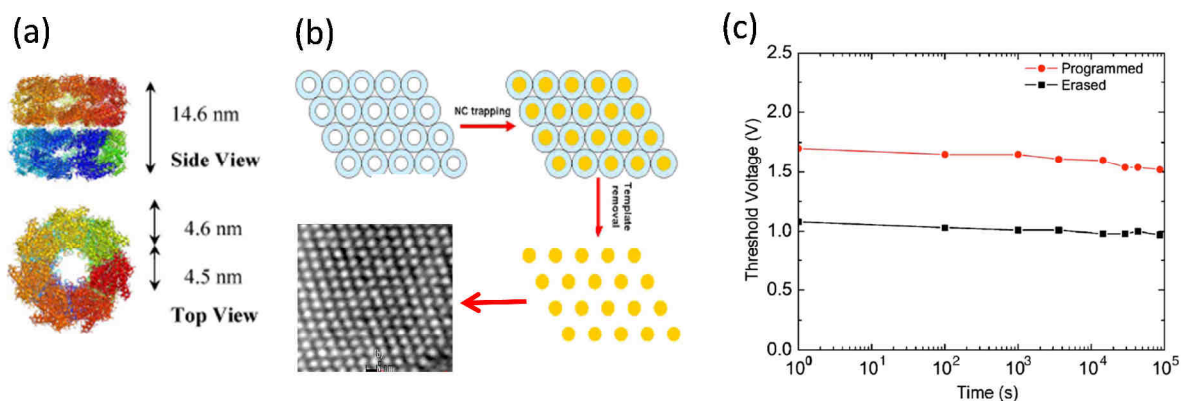


Figure IV-5 : (a) Structure de la chapéronine, en forme de double anneau (b) Procédé d'obtention d'un réseau auto-organisé de nanocristaux de 4.5nm de diamètre à partir d'un réseau hexagonal de chapéronine (c) Caractéristique de rétention de la fenêtre mémoire d'une mémoire à structure MOS ayant une grille flottante composé de nanocristaux en PbSe [Sarkar07a]

L'utilisation de protéine pour l'auto-organisation de nanocristaux procure un excellent contrôle sur les caractéristiques du réseau obtenu. Cependant, ce n'est pas un moyen générique d'obtention d'un réseau de nanocristaux puisque la taille des nanocristaux ainsi que leur densité sont propres à chaque protéine. A chaque protéine est associée une densité et une taille de nanocristaux. Par conséquent, l'auto-organisation à l'aide de protéines n'est pas le

meilleur choix pour les applications mémoires pour lesquelles ces caractéristiques doivent pouvoir être paramétrées aisément.

IV.1.1.4. Conclusion sur les techniques d'auto-organisation directes

Parmi les trois techniques présentées, la LPCVD est la plus réaliste et la plus compatible actuellement avec les procédés technologiques de fabrication d'une mémoire Flash. Cependant, elle ne permet qu'une organisation partielle des nanocristaux. Le dépôt d'une solution colloïdale de nanocristaux a de nombreux atouts pour l'organisation de nanocristaux. Par contre, lors d'un changement de matériau du nanocristal, une nouvelle recette de synthèse du colloïde doit être développée, ce qui en complique l'utilisation. On retrouve les mêmes facteurs limitant pour les protéines, avec en plus les dimensions spécifiques imposées par la taille de la molécule. Ces techniques ne sont donc pas génériques, ce qui est un réel désavantage pour leur utilisation dans des mémoires non volatiles où l'on souhaite comparer des réseaux de nanocristaux aux propriétés électroniques différentes, et donc de dimensions et de natures variées. Dans cette optique, il semble plus propice d'utiliser une technique d'auto-organisation la plus générique possible. Pour cela, l'utilisation d'un masque auto-organisé est une technique adaptée puisqu'elle permet de séparer l'auto-organisation de la synthèse des nanocristaux. Ce sera l'objet du prochain paragraphe

IV.1.2. Utilisation d'un masque auto-organisé

Deux techniques de fabrication d'un masque auto-organisé sont présentées dans ce paragraphe : l'alumine poreuse et les copolymères diblocs. Toutes deux permettent d'obtenir un masque pour l'organisation de nanocristaux en un réseau hexagonal mais nous verrons que les copolymères diblocs sont plus adaptés aux applications mémoires.

IV.1.2.1. Alumine poreuse

Il est possible d'obtenir un réseau de pores nanométriques dans une matrice d'alumine Al_2O_3 (Figure IV-6-a). Ceci s'obtient grâce à un procédé d'anodisation (oxydation anodique) d'une couche d'aluminium dans une solution d'acide sulfurique en deux étapes [Masuda97][Shingubara03] :

- Première anodisation suivie d'un retrait de la première couche d'alumine formée car celle-ci est de mauvaise qualité (réseau de pores non régulier)

- Deuxième anodisation permettant d'obtenir une fine membrane d'environ 300 nm d'alumine poreuse.

Les résultats de la littérature montrent que les diamètres des pores d'alumine obtenus sont de l'ordre de 50 nm (Figure IV-6-b). Il semble difficile d'obtenir des densités supérieures à $5.10^{10} \text{ cm}^{-2}$ sans perdre l'organisation spatiale des trous.

Cette couche d'alumine poreuse peut ensuite être utilisée pour nanostructurer la surface d'un matériau. Pour cela, il faut au préalable déposer le masque d'alumine sur le substrat. Deux méthodes peuvent être utilisées [Lei03]:

- Evaporation d'une couche d'aluminium (1-12 μm d'épaisseur) sur la surface du silicium. Cependant, pour des applications mémoires, la tension d'anodisation nécessaire étant de 40V, cela entraînerait une dégradation de l'oxyde tunnel. Cette méthode est donc à proscrire.
- Obtention du masque sur un matériau organique, tel que le PMMA et report par collage sur le wafer.

Ce masque peut alors être utilisé comme (i) masque de gravure permettant de graver le substrat sous-jacent ou (ii) masque de dépôt d'un matériau permettant d'obtenir un réseau auto-organisé de nanocristaux (Figure IV-6-c). Il suffit, pour cette seconde application, de déposer le matériau souhaité dans les trous puis de retirer le masque d'alumine. Des réseaux de nanocristaux de silicium [Liang02], de nickel [Lei03], de GaN [Wang06a] et de InGaN [Wang06b] ont été obtenus. Des structures mémoires MIS intégrant des nanocristaux de germanium comme sites de piégeage ont par ailleurs été fabriquées par Chen et al. [Chen04a]. Un piégeage de charges dans ces dispositifs a ainsi pu être mis en évidence, démontrant la possible application de cette technique d'organisation de nanocristaux pour les applications mémoires. Cependant, aucune démonstration n'a été faite à ce jour sur des substrats 200mm. Il apparaît en effet difficile d'utiliser cette technique pour l'élaboration de nanocristaux dans un procédé transistor MOS classique du fait de la complexité d'obtenir une membrane circulaire de quelques centaines de nanomètres d'épaisseur et de 200 mm de diamètre.

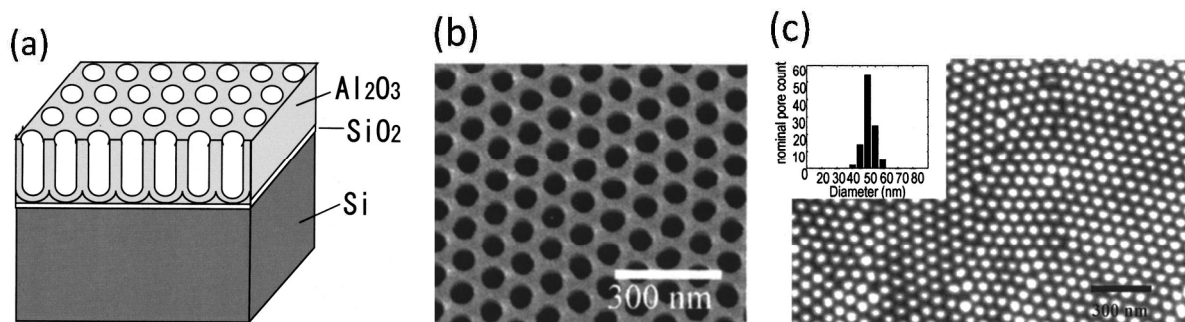


Figure IV-6 : (a) Schéma d'une couche d'alumine poreuse [Shingubara01] (b) Image MEB vue de dessus d'une couche d'alumine poreuse présentant un réseau de pores cylindriques dans une matrice d'alumine [Lian02] (c) Image MEB d'un réseau de nanocristaux de nickel obtenu à partir du masque d'alumine poreux. Un réseau très peu dispersé de diamètre moyen 50 nm est ainsi obtenu.

D'après cette étude bibliographique, deux principaux obstacles s'opposent à l'utilisation de l'alumine poreuse comme technique d'auto-organisation de nanocristaux dans une grille flottante de mémoire non-volatile : (i) la densité et la taille des nanocristaux sont trop importantes (ii) le procédé de dépôt du masque d'alumine poreuse sur le substrat est technologiquement complexe. Pour ces raisons, l'alumine poreuse n'est pas retenue pour nos applications mémoires. Nous allons montrer que l'utilisation d'un masque obtenu par l'auto-organisation de copolymères diblocs permet d'obtenir des masques ayant la même qualité d'auto-organisation que l'alumine poreuse mais permettant de s'affranchir des limitations de celle-ci.

IV.1.2.2. Copolymères diblocs

- **Principe d'auto-organisation des copolymères diblocs**

Un copolymère dibloc est un polymère composé de deux blocs A et B de natures chimiques différentes reliés entre eux par une liaison covalente. Sous l'action de la température, la mobilité des chaînes augmente. Grâce à ce gain de mobilité, les chaînes se ségrèguent afin de minimiser les "hétérocontacts" entre les segments de natures chimiques différentes (Figure IV-7-a). Une séparation de phase se produit alors dans la couche de copolymères diblocs, créant ainsi des structures parfaitement organisées en un réseau lamellaire, gyroidal, hexagonal ou cubique centré (Figure IV-7-b) [Park03][Förster02]. Les différentes phases d'un copolymère dibloc sont représentées sur la **Figure IV-8-a** en fonction des deux paramètres déterminant la structure du réseau : le paramètre d'incompatibilité χ_N et la fraction volumique de chaque bloc f . Deux informations sur l'organisation des copolymères diblocs peuvent être tirées de ce diagramme :

1. Une condition nécessaire à la séparation de phase des copolymères diblocs est $\chi N > 10,6$. χ est une caractéristique du copolymère utilisé et est d'autant plus grand que la répulsion entre les deux blocs est forte. N correspond au nombre total de monomères constituant le copolymère. Pour des valeurs de $\chi N < 10,6$, la répulsion entre chacun des blocs n'est pas suffisante pour que la séparation de phase se produise. Une phase désordonnée est donc obtenue.

2. Selon la fraction volumique de chaque bloc, f , la séparation de phase produit des domaines de morphologies différentes. Pour des fractions volumiques proches de 0.5 ($0,35 < f < 0,75$), une phase lamellaire est obtenue. Lorsqu'un des deux blocs devient minoritaire, c'est-à-dire pour $f < 0,35$ ou $f > 0,75$, ses chaînes seraient contraintes de s'étirer afin de conserver une disposition lamellaire. Il est alors énergétiquement plus favorable que l'interface entre les deux blocs se courbe. Des structures gyroidales (cylindres interconnectés) ou hexagonales (cylindres parallèles) sont ainsi créées. Pour des valeurs encore inférieures de f , et donc des copolymères encore plus asymétriques, des sphères sont obtenues, organisées dans un réseau cubique centré (BCC).

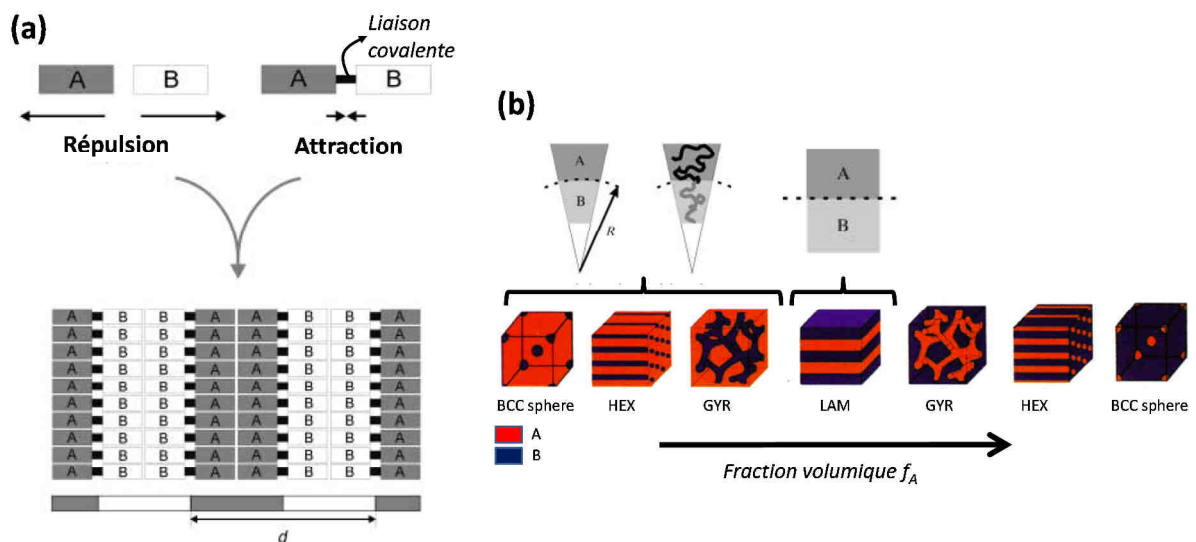


Figure IV-7 : (a) Illustration du principe d'auto-organisation des chaînes de copolymères diblocs par séparation de phase [Förster02] (b) Différentes morphologies obtenues selon la fraction volumique de chaque bloc [Marencic10]. Légende : BCC = body-centered cubic (cubique centré), HEX = hexagonale, GYR = gyroïdale, LAM = lamellaire

Xu et al. [Xu01] ont montré expérimentalement que la taille des domaines dépend linéairement du poids moléculaire du copolymère dibloc, c'est-à-dire du nombre N de monomères constituant le copolymère (Figure IV-8-b). Ainsi, pour obtenir une densité de motifs maximale, il faut minimiser N et maximiser χ .

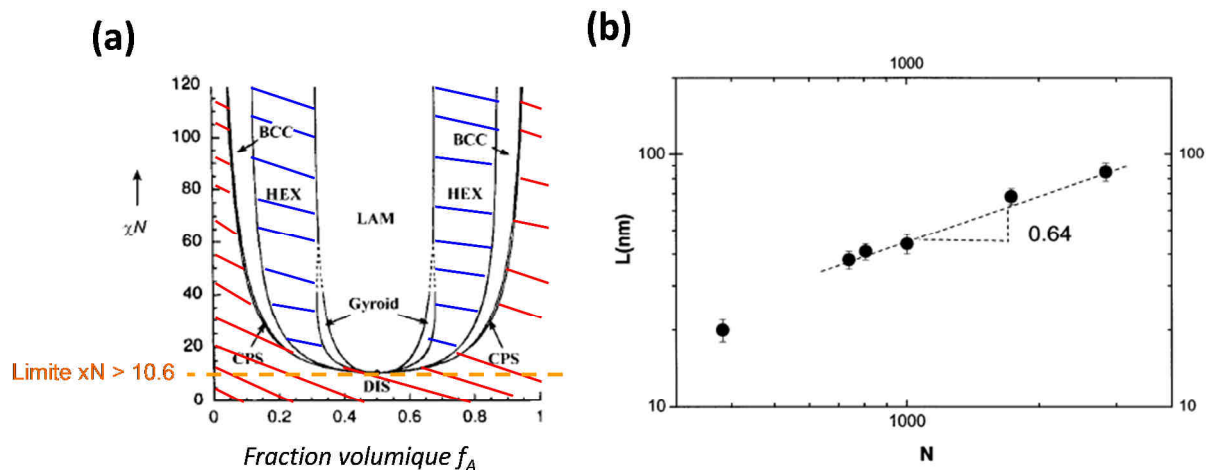


Figure IV-8 : (a) Diagramme de phase théorique [Matsen96] représentant les phases stables d'auto-organisation des copolymères diblocs en fonction de la fraction volumique de chaque bloc et du paramètre d'incompatibilité χN . La zone hachée en rouge, notée DIS, est une région pour laquelle aucune phase ordonnée n'existe et seule la phase désordonnée, notée DIS, est présente. En dehors de cette zone, plusieurs phases existent et sont représentées sur la Figure IV-7-b. (b) Période du réseau obtenu en fonction du nombre de monomère N de chaque copolymère [Xu01].

Il a d'autre part été démontré qu'en combinant l'approche bottom-up des copolymères diblocs à une approche top-down, il est possible de localiser l'organisation des copolymères et d'améliorer la qualité d'organisation [Poelma10] [Cheng06]. Cela consiste à définir des motifs en surface du substrat qui servent à guider la séparation de phase dans le film de copolymère déposé par-dessus. Ces motifs peuvent être définis sur la surface par un changement de topographie (graphoépitaxie) ou de nature chimique. Il est par exemple possible de guider l'auto-organisation de copolymères diblocs en les confinant dans des cavités dans lesquelles s'organisent les copolymères [Kim03] [Sundrani04] [Darling07]. Ceci permet par exemple d'aligner des cylindres verticaux le long des flancs d'une tranchée (Figure IV-9-a) [Jeong09] et de réduire considérablement les défauts du réseau de nanocristaux. Des piliers gravés dans le substrat en un réseau hexagonal peuvent également participer à l'organisation du film de copolymère diblocs dans une direction choisie [Bita08]. Des cylindres couchés ont aussi été organisés grâce à cette méthode [Yang10], permettant d'obtenir des formes asymétriques. Un changement de nature chimique en surface permet également de guider l'auto-organisation [Ruiz08]. Une résine est déposée sur le substrat puis sa nature chimique de surface est modifiée localement par un plasma oxygène à travers un masque constitué d'un réseau hexagonal de trous obtenu par lithographie électronique. Le

film de copolymère dibloc déposé par-dessus s'organise alors selon la même direction que le masque [Ruiz08].

Il existe donc de nombreuses techniques pour localiser et orienter les réseaux de copolymères diblocs. Cet excellent contrôle spatial de l'organisation en fait une technique de choix pour être utilisée dans l'auto-organisation de la grille flottante d'un dispositif mémoire non-volatile. Nous allons maintenant définir quel copolymère est le plus adapté pour cette application.

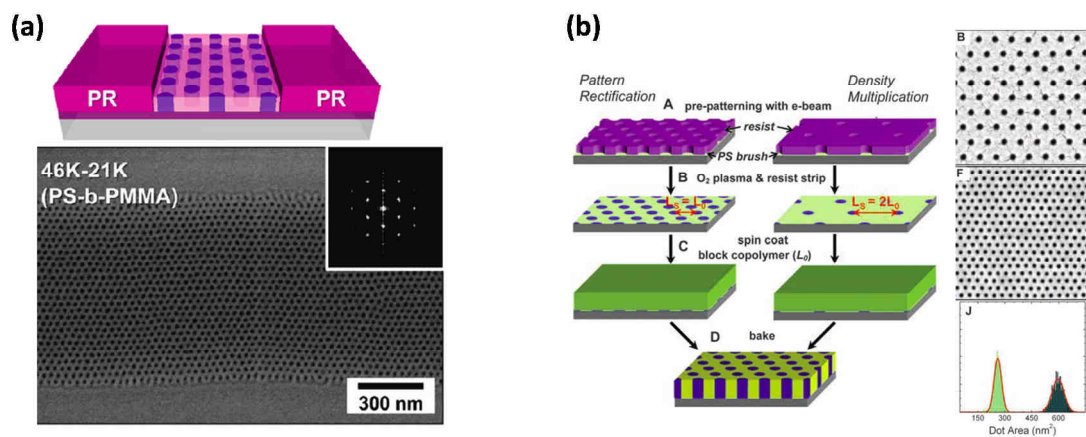


Figure IV-9 : (a) Schéma et image MEB de la graphoépitaxie de copolymères diblocs Ps-b-PMMA dans une tranchée [Jeong09]. L'organisation est confinée dans la tranchée et l'orientation du réseau hexagonal de cylindres verticaux est contrôlée dans une direction parallèle au flanc de la tranchée. (b) Illustration du contrôle de l'organisation par modification chimique locale du substrat [Ruiz08]. Le réseau hexagonal de cylindres verticaux obtenu présente très peu de défauts

En conclusion, cette étude bibliographique nous montre que l'utilisation de copolymères diblocs est une technique d'auto-organisation générique permettant (i) d'ajuster les dimensions des motifs en faisant varier soit le poids moléculaire, soit la nature du copolymère (ii) de contrôler les directions d'organisation grâce à des techniques « top-down ». Par conséquent, c'est cette approche que nous avons choisi pour l'organisation de nanocristaux en tant que grille flottante dans un dispositif mémoire.

Les stratégies de transfert du masque auto-organisé ainsi que les perspectives d'intégration dans un dispositif mémoire feront l'objet de la suite de ce chapitre.

IV.2. Utilisation de copolymères diblocs pour l'auto-organisation de nanocristaux

IV.2.1. Choix d'un copolymère dibloc

Pour les applications mémoires, le copolymère dibloc choisi doit répondre à deux critères principaux : (i) un des deux blocs doit pouvoir être retiré sélectivement par rapport à l'autre bloc. (ii) sa morphologie doit permettre l'obtention d'un réseau auto-organisé de nanocristaux.

- **Critère de retrait d'un des blocs.** Nous énumérons ici les systèmes de copolymères dont il a été prouvé que le retrait d'un des deux blocs est possible. Thurn-Albrecht et al. [Thurn00] ont montré que le bloc PMMA peut être sélectivement retiré par rapport au bloc PS sous rayonnement UV. Park et al. [Park97] ont mis en évidence le retrait sélectif du polyisoprène (PI) et du polybutadiène (PB) par rapport au PS ou au contraire du bloc PS par rapport au PI et au PB dans les systèmes PS-b-PI et PS-b-PB. Enfin, le PS peut également être sélectivement gravé par rapport au polydiméthylsiloxane (PDMS) grâce à un plasma CF₄ suivi d'un plasma O₂ dans le système PS-b-PDMS [Jung07].

- **Critère morphologique.** Parmi les morphologies décrites sur la Figure IV-7-b, la morphologie cylindrique est la plus adaptée pour l'obtention d'un réseau de nanocristaux, à condition toutefois de réussir à orienter les cylindres perpendiculairement par rapport au substrat. Pour cela, il est nécessaire que la surface sur laquelle est déposée la couche de copolymère dibloc soit neutre vis-à-vis des deux blocs. En d'autres termes, il faut que les affinités de chacun des blocs avec la surface soient égales, faute de quoi une couche continue d'un des blocs se forme à la surface et les cylindres s'orientent parallèlement à la surface (Figure IV-10). Une solution pour neutraliser la surface consiste à déposer une couche de copolymère statistique, c'est-à-dire un copolymère constitué d'une alternance aléatoire des deux blocs constituant le copolymère dibloc que l'on souhaite organiser. Il a été démontré par Mansky et al. [Mansky97][Huang98] que le dépôt du copolymère dibloc Ps-b-PMMA (copolymère dibloc) sur une couche de copolymère statistique PS-s-PMMA de composition en PS proche de 0,6, mène à l'organisation du Ps-b-PMMA en un réseau de cylindres organisés verticalement en un réseau hexagonal. Cette technique permet de neutraliser de nombreux types de surfaces telles que des métaux, des oxydes métalliques, du silicium ou des polymères [Ryu05].

D'après l'état de l'art, il apparaît que le copolymère dibloc PS-b-PMMA répond aux deux critères cités plus haut. C'est également le système de copolymère le mieux décrit dans la littérature. D'autre part, le travail de thèse effectué par K. Aissou [Aissou08a] au sein du LTM sur ce copolymère dibloc a permis de démontrer que ce système est particulièrement adapté à la microélectronique puisqu'un procédé d'organisation de PS-b-PMMA a été développé sur des plaquettes de silicium de diamètre 200mm. Tous ces avantages font que notre choix s'est tourné vers l'utilisation du système de copolymère dibloc PS-b-PMMA pour l'organisation de nanocristaux dans une grille flottante mémoire. Plus précisément, un copolymère dibloc ayant une fraction volumique de PMMA par rapport au PS $f_{PS/PMMA} < 0,35$ est nécessaire afin de (i) obtenir un réseau de cylindres de PMMA dans une matrice de PS (ii) pouvoir retirer sélectivement les cylindres et obtenir un masque poreux pour le dépôt ou la gravure de nanocristaux. Nous allons maintenant détailler le procédé d'obtention de ce masque.

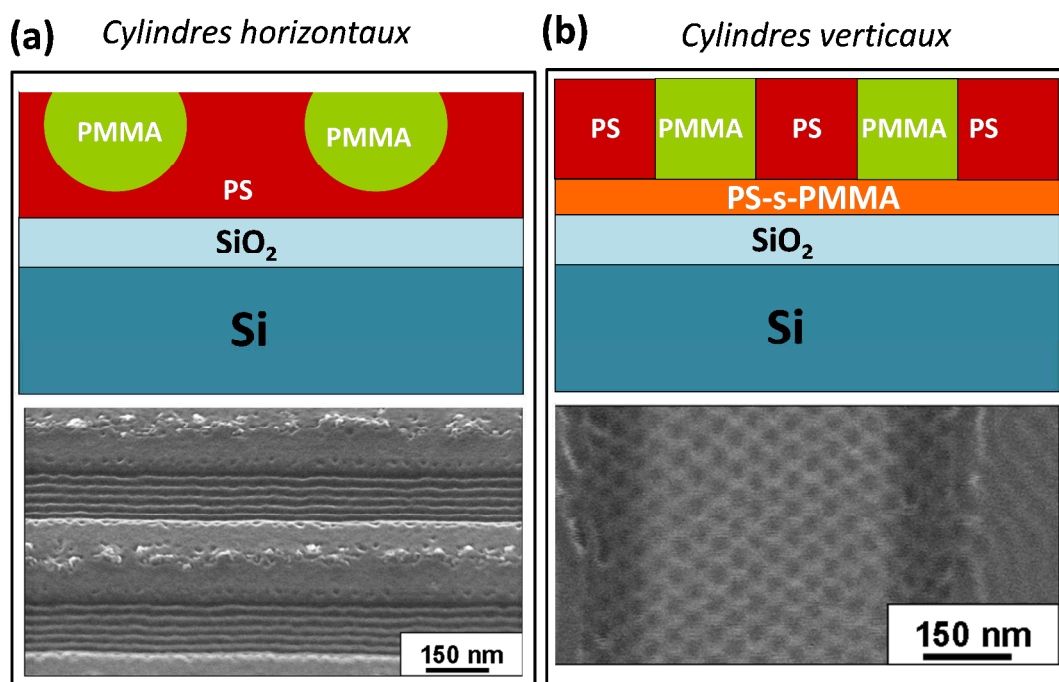


Figure IV-10 : Auto-organisation de copolymères diblocs PS-b-PMMA en (a) des cylindres de PMMA alignés à l'horizontale lorsque la surface de SiO₂ n'est pas neutralisée (b) un réseau hexagonal de cylindres verticaux de PMMA dans une matrice de PS lorsque la surface de SiO₂ est neutralisée grâce à un copolymère statistique PS-s-PMMA. Des images MEB en vue plane du masque de polystyrène après retrait du PMMA sont montrées en dessous des schémas. Sur ces images, les copolymères sont organisés dans des tranchées afin d'orienter et d'améliorer le phénomène d'auto-organisation (graphoépitaxie).

IV.2.2. Procédé d'obtention du masque de copolymère dibloc

Pour les raisons expliquées dans le paragraphe précédent, nous avons choisi d'utiliser le copolymère dibloc Ps-b-PMMA. Dans ce paragraphe, nous décrivons le procédé permettant d'obtenir un masque constitué d'un réseau de cylindres creux dans une matrice de PMMA. Ce procédé, développé par Aissou et al. [Aissou07], est réalisé sur des plaquettes de silicium de diamètre 200mm et repose sur trois étapes : (i) neutralisation de la surface, (ii) organisation du film de copolymère PS-b-PMMA, (iii) retrait des cylindres en PMMA.

IV.2.2.1. Neutralisation de la surface d'oxyde de silicium

Tout d'abord, une croissance de 4nm d'oxyde thermique est réalisée dans un four d'oxydation. Afin de passiver la surface vis-à-vis du PS et du PMMA, une couche de copolymère statistique Ps-s-PMMA est déposée en surface (copolymère constitué d'une alternance aléatoire des monomères PS et PMMA). Le copolymère est acheté sous forme de poudre auprès de Polymer Source, il présente un indice de polymolécularité de 1,49, une masse molaire de 13100 g.mol^{-1} et une proportion de 59,4% en mole de PS ce qui, d'après [Mansky97] permet d'assurer une neutralité vis-à-vis du PS et du PMMA. Chaque chaîne de copolymère statistique possède en extrémité un groupement hydroxyle -OH. C'est ce groupement qui est exploité pour fixer les chaînes de copolymère à la surface du SiO_2 . Un traitement CARO (mélange d'acide sulfurique et de peroxyde d'hydrogène) de la plaque de silicium permet de casser les ponts siloxanes en surface du SiO_2 et de créer des liaisons hydroxyles. Le PS-s-PMMA est dilué à 1% en masse dans du toluène puis étalé à la tournette (2500 tr/min) sur la surface de SiO_2 rendue hydrophile par le traitement CARO. Le film de copolymère ainsi créé est recuit sous vide (5.10^{-2} mbar) dans une étuve pendant 48h à 170°C . Lors de ce recuit, les chaînes de copolymère statistique se greffent au SiO_2 par une réaction de condensation entre les deux liaisons hydroxyles du copolymère et du SiO_2 . Suite à ce recuit, la plaque de silicium est trempée dans un bain de toluène afin de retirer les chaînes de copolymère statistique non greffées au substrat. Une couche de 7nm de PS-b-PMMA est alors obtenue, ce qui rend la surface neutre vis-à-vis du PS et du PMMA. Le copolymère dibloc peut alors être déposé par-dessus.

IV.2.2.2. Organisation du film de PS-b-PMMA

Nous avons utilisé un copolymère fourni par Polymer Source, ayant un indice de polymolécularité de 1,09 et une masse molaire de 46100 g.mol⁻¹ pour le bloc PS et de 21000 g.mol⁻¹ pour le bloc PMMA. Ce copolymère est dilué à 1% en masse dans du toluène puis étalé à la tournette sur le film de copolymère statistique (3000 tr/min pendant 30 secondes). Le film ainsi déposé est recuit pendant 24 heures sous vide afin de promouvoir la mobilité des chaînes de copolymère et de favoriser la formation des domaines cylindriques. Un réseau hexagonal de cylindres de PMMA orientés verticalement dans une matrice de PS est ainsi obtenu.

IV.2.2.3. Retrait des cylindres de PMMA

Ne disposant pas d'un insoleur UV 200mm, une technique alternative de retrait du PMMA est utilisée [Aissou08]. Nous ne détaillerons pas ici les mécanismes entrant en jeu lors de cette technique mais nous limitons à décrire les trois étapes du procédé : (i) bain d'acide acétique pendant 3 minutes permettant de faire gonfler le bloc PMMA (ii) plasma d'argon (Ar) permettant de réticuler les chaînes de PS (iii) plasma argon/oxygène (Ar/O₂) afin de retirer le PMMA et le PS-b-PMMA en fond de cavité.

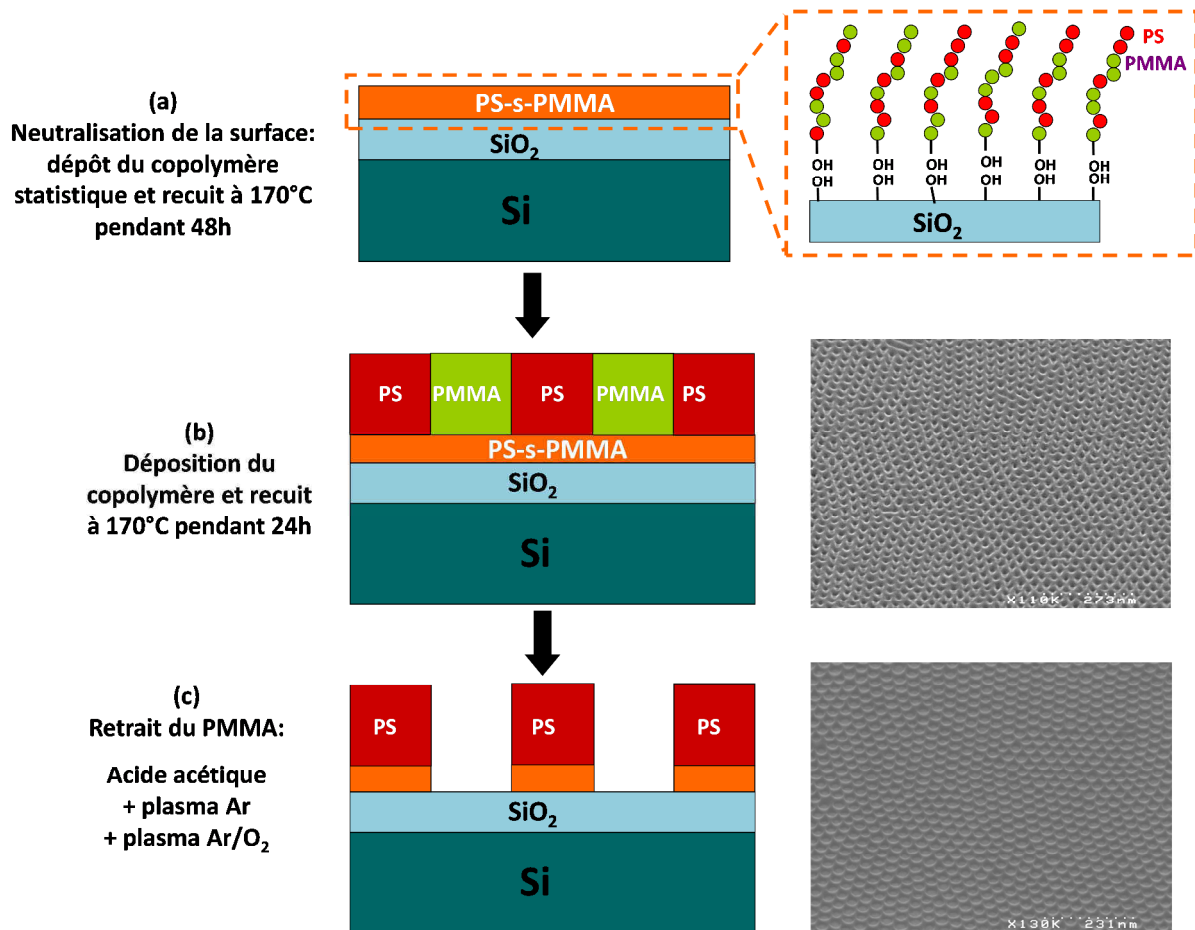


Figure IV-11 : Illustration du procédé d'obtention du masque de polystyrène poreux (a) Obtention d'une couche de copolymère statistique afin de neutraliser la surface vis-à-vis du PS et du PMMA (b) Dépôt du copolymère dibloc et auto-organisation en un réseau hexagonal de cylindres verticaux (c) Retrait des cylindres en PMMA et ouverture des pores jusqu'au SiO₂. Une couche de polystyrène poreux est alors obtenue.

Une fois ces trois étapes réalisées, une couche de PS comportant un réseau hexagonal de trous est obtenue, comme présenté sur la **Figure IV-10-c**. Ce masque peut alors être utilisé comme masque pour la fabrication d'un réseau de nanocristaux métalliques.

IV.2.3. Obtention d'un réseau de nanocristaux à l'aide du masque de polystyrène : état de l'art

Afin d'obtenir un réseau de nanocristaux, le masque poreux de polymère, tel que le PS, peut être utilisé comme :

- Masque de gravure d'une couche sous-jacente
- Masque de dépôt des nanocristaux

Nous allons présenter brièvement ces deux procédés afin d'en dégager les avantages et inconvénients pour une utilisation dans un procédé de microélectronique.

IV.2.3.1. Utilisation du masque de PS comme masque de gravure

Il est possible d'utiliser directement le masque de PS pour graver des nanostructures, telles que des plots en silicium [Liu07] [Jeong08]. Cependant, la sélectivité de gravure du silicium par rapport au PS n'étant pas élevée, il est difficile d'obtenir des nanostructures à fort facteur de forme¹. Afin de pouvoir transférer plus profondément les motifs, il est alors nécessaire de transférer le masque en PS dans un masque dur. Pour cela, Guarini et al. [Guarini02] (Figure IV-12) proposent, dans un premier temps, de graver la couche sous-jacente de SiO₂ afin d'obtenir une couche poreuse. Dans un second temps, un dépôt conforme par CVD d'une couche de nitrure (SiN) est effectué par-dessus la couche poreuse de SiO₂. Une gravure RIE permet ensuite de retirer le SiN déposé sur le masque en SiO₂. Ce dernier est enfin gravé par attaque chimique. Un réseau de plots en SiN est ainsi obtenu, permettant par la suite de graver des nanopiliers de silicium. Afin d'éviter toutes ces étapes de transfert, il a également été proposé d'utiliser le système inversé de copolymère où le PMMA est majoritaire par rapport au PS [Zschech07]. Dans ce cas, des plots de PS sont obtenus après le retrait du PMMA, ce qui permet de transférer directement les motifs dans la couche de SiO₂ qui sert alors de masque à la gravure du Si. Grâce à cela, 3 étapes sont économisées.

Dans le cas où l'on souhaite obtenir des plots en silicium, le dépôt de SiN peut être remplacé par un dépôt de silicium amorphe, ce qui permet d'obtenir directement les motifs souhaités, sans utilisation de masque dur en SiN. Ces plots en Si peuvent ensuite être intégrés en tant que grille flottante dans une mémoire flash, comme démontré dans [Black06] et dans le brevet associé [Black04].

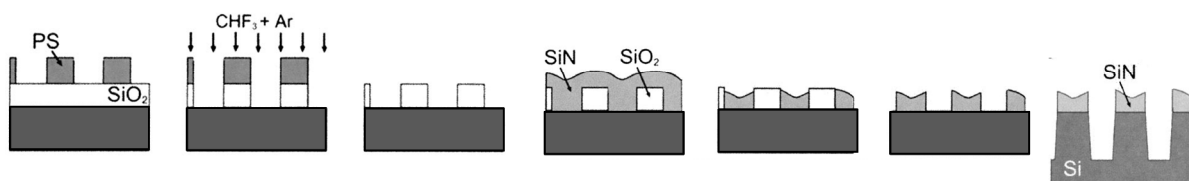


Figure IV-12 : Schéma descriptif du procédé décrit dans [Guarini02] permettant de transférer le masque de PS dans un masque dur afin de graver des nanopiliers en silicium.

Cette technique de transfert présente l'avantage d'être compatible avec les procédés de la microélectronique. Cependant, elle nécessite de nombreuses étapes qui sont autant de sources de variabilité sur la taille finale des nanocristaux. Nous détaillerons ce point dans le dernier paragraphe de ce chapitre.

¹ Appelé « Aspect ratio » en anglais

IV.2.3.2. Utilisation du masque de PS comme masque de dépôt des nanocristaux

Une seconde technique, démontrée pour la première fois par Shin et al. [Shin02] et illustrée sur la Figure IV-13, consiste à déposer un matériau par-dessus le masque en PS puis à retirer le masque par une étape de Lift-off. Le Lift-off s'opère en deux étapes. Tout d'abord le matériau déposé sur le masque est retiré grâce à une pulvérisation d'un plasma d'argon. Ensuite, le masque et les résidus de matériau sont retirés par voie humide en trempant le substrat dans un solvant du PS (toluène, acétone) ou par voie sèche en utilisant un plasma O₂ qui grave le PS. Deux critères décident du choix du matériau :

1. La température du dépôt doit être inférieure 240°C, température de fusion du PS. Ceci afin de ne pas dégrader le masque en polymère.
2. Le dépôt doit être non-conforme, c'est-à-dire que l'épaisseur de matériau déposé sur les flancs des motifs est bien inférieure à celle déposée sur les surfaces horizontales (dessus du masque et fond des pores). Ceci afin de rendre possible le lift-off.

Ces deux critères excluent donc le dépôt chimique en phase vapeur (CVD) qui nécessite des températures supérieures à 400°C. Au contraire, les techniques de déposition physique en phase vapeur (PVD) telles que l'évaporation sous vide ou la pulvérisation cathodique sont tout à fait compatibles avec ce procédé puisqu'elles se déroulent à basse température, typiquement inférieures à 100°C. Il a ainsi été démontré la fabrication de nanocristaux en Au, en Pt [Aissou07], en Ni [Shahrjerdi07], en Ta [Yang04] et en Cr [Gowrish06] [Hong10].

Ces réseaux de nanocristaux métalliques peuvent être utilisés tels quels, par exemple comme sites de stockage dans une mémoire flash, ou alors servir comme masque de gravure des couches de matériau sous-jacentes. Il est ainsi possible d'obtenir des réseaux de nanopiliers verticaux. Il a par exemple été démontré par Aissou et al. [Aissou08b] qu'un réseau auto-organisé de nanocristaux en platine permet de graver des piliers de silicium contenant des nanoplots de SiGe à partir de multicouches épitaxiées de Si et de SiGe. D'autre part,

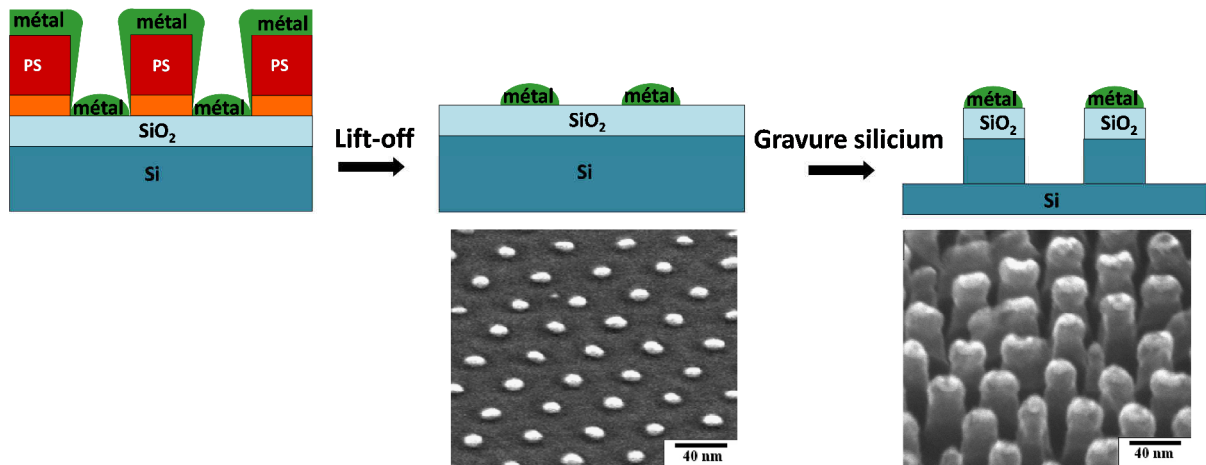


Figure IV-13 : Technique d'obtention d'un réseau auto-organisé de nanocristaux métalliques à partir d'un masque poreux de PS. Un métal est déposé par PVD puis le masque en PS est retiré par Lift-off, ce qui conduit à un réseau auto-organisé de nanocristaux métalliques. Le réseau ainsi obtenu peut ensuite être utilisé pour graver des nanopiliers en silicium. Les images MEB montrant un réseau de nanocristaux en Au et les nanopiliers obtenus grâce à ce réseau sont issues de [Aissou07]

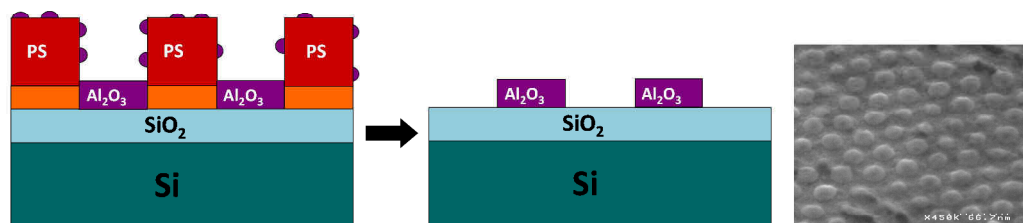
Cette technique de Lift-off est un moyen simple d'obtenir un réseau auto-organisé de nanocristaux métalliques. Elle permet également de transférer les motifs dans les couches sous-jacentes et d'atteindre des facteurs d'aspect importants. Toutefois, l'introduction de matériaux métalliques contaminants dans une filière microélectronique de type CMOS n'est pas envisageable à cause des défauts que ceux-ci peuvent engendrer dans les dispositifs. C'est pourquoi nous avons choisi de développer une technique de transfert innovante à la fois compatible CMOS, générique et comportant un nombre limité d'étapes. Ce sera l'objet du prochain paragraphe.

IV.3. Développement d'une technique compatible avec les procédés de la microélectronique

IV.3.1. Choix et principe de la technique de transfert

Le principe de la technique de transfert est détaillé sur la Figure IV-14. Elle consiste à déposer sélectivement une couche d'alumine (Al_2O_3) sur le SiO_2 au fond des pores. La forte sélectivité du dépôt fait que très peu d' Al_2O_3 est déposé sur le PS. Un Lift-off plasma est alors effectué, conduisant à l'obtention d'un réseau auto-organisé de plots d' Al_2O_3 (Figure IV-14-a). Ce procédé nécessite un nombre limité d'étapes et est entièrement compatible avec les procédés microélectroniques. Il est proche de celui décrit dans le paragraphe IV.2.3.2, à la différence qu'il est compatible avec les procédés de fabrication de la microélectronique, en particulier d'un transistor MOSFET. D'autre part, un avantage important de l' Al_2O_3 est qu'il est un excellent masque de gravure pour le silicium, c'est-à-dire qu'il existe des procédés permettant de graver sélectivement le silicium par rapport au PS [Tegen05] [Grigoras07] [Kolari08]. Nous verrons ainsi que cela permet de transférer efficacement les motifs dans le substrat (Figure IV-14-b).

(a) Obtention du masque dur en Al_2O_3



(b) Gravure des piliers en silicium

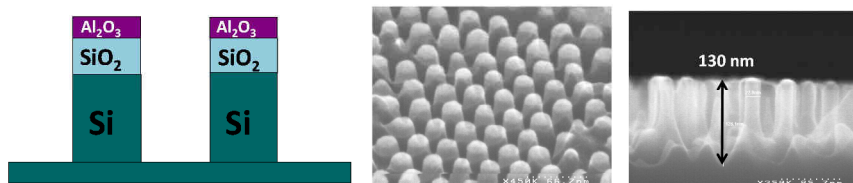


Figure IV-14 : (a) dépôt sélectif d' Al_2O_3 sur le SiO_2 , suivi d'un retrait du masque de PS (b) Gravure de nanopiliers en silicium à partir de ce masque

IV.3.2. Transfert du masque en PS dans un masque d' Al_2O_3

IV.3.2.1. Dépôt ALD d' Al_2O_3

La technique de dépôt utilisée est l'ALD (Atomic Layer Deposition) [Puurunen97] [Leskela02]. Elle est aussi appelée ALCVD (Atomic Layer Chemical Vapor Deposition) car dérivée de la CVD (Chemical Vapor Deposition) dans le sens où la croissance de matière résulte de la réaction chimique entre deux précurseurs gazeux. Alors que les précurseurs sont introduits simultanément dans le réacteur lors d'un dépôt CVD, ils sont au contraire introduits alternativement dans le cas d'un dépôt ALD. Tout d'abord, le premier précurseur est injecté dans la chambre et sature la surface. La chambre est alors purgée avant d'y injecter le second précurseur qui réagit avec le premier précurseur. La croissance du film est ainsi contrôlée à la couche atomique près, ce qui permet d'obtenir un dépôt conforme d'un film très fin (1nm). L'ALD est notamment très utilisé pour la croissance d'oxydes métalliques à forte permittivité diélectrique (high-k) tels que l' Al_2O_3 ou le HfO_2 . Des couches fines de ces oxydes métalliques sont en particulier intégrées en tant qu'oxyde de grille dans les transistors MOSFET.

Nous décrivons ici le dépôt ALD d'oxyde d'aluminium (Al_2O_3), aussi appelé alumine, [Groner02] qui sera utilisé dans le procédé de transfert du masque de PS. Le dépôt se fait à partir des précurseurs eau (H_2O) et Trimethylaluminium (TMA) de formule $\text{Al}(\text{CH}_3)_3$. Le réacteur utilisé est le modèle Pulsar2000 de chez ASM. La température est fixée à 150°C afin de ne pas dégrader le masque en PS. Les étapes du dépôt, décrites sur la Figure IV-15 sont les suivantes :

- Etat initial de la surface : des liaisons hydroxyles (-OH) sont présentes en surface.
- Etape 1 : le précurseur TMA est injecté dans le réacteur. Les groupements CH_3 réagissent avec les liaisons OH pour former du méthane CH_4 et une liaison chimique entre le TMA et la surface.
- Etape 2 : la chambre de dépôt est purgée avec des gaz inertes afin de retirer le CH_4 et toutes les molécules de TMA ne s'étant pas fixées sur la surface.
- Etape 3 : le précurseur H_2O est injecté dans le réacteur et réagissent avec les groupements CH_3 des molécules de TMA fixés à la surface. Du méthane est alors formé tandis que les groupements CH_3 sont remplacés par des groupements OH.

- Etape 4 : la chambre de dépôt est purgée avec des gaz neutres afin de retirer le CH_4 et toutes les molécules d' H_2O n'ayant pas réagi.

L'ensemble de ces 4 étapes constitue un cycle. A la fin de chaque cycle, on recommence un nouveau cycle jusqu'à atteindre l'épaisseur de matériau souhaitée. L'épaisseur déposée lors de chaque cycle est de 0.5nm.

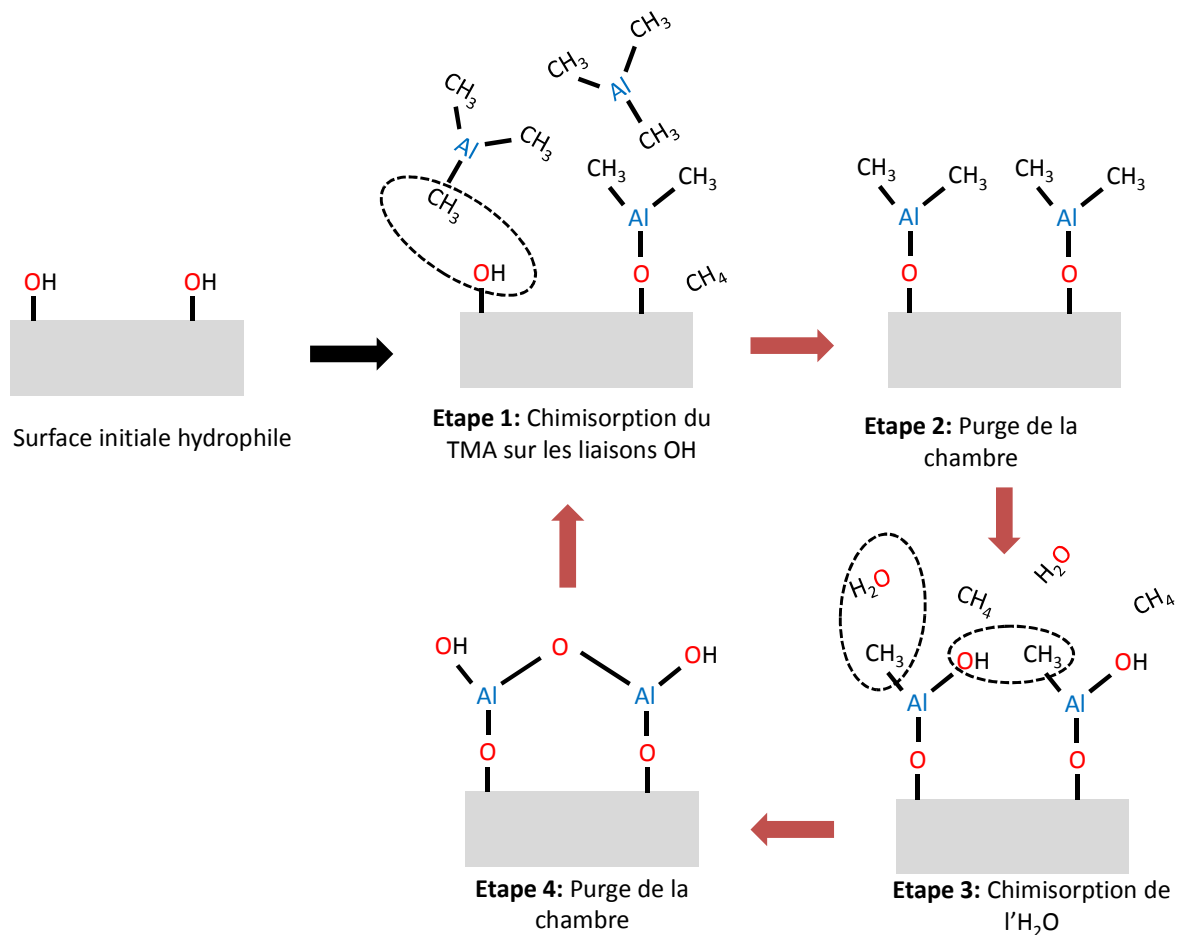


Figure IV-15 : Schéma décrivant les différentes étapes d'un dépôt ALD d' Al_2O_3 à partir des précurseurs $\text{Al}(\text{CH}_3)_3$ et H_2O . L'exposition de la surface alternativement à chacun de ces gaz mène à un dépôt d' Al_2O_3 .

IV.3.2.2. Dépôt sélectif par ALD

IV.3.2.2.a. Principe du dépôt sélectif

La technique de dépôt ALD sélective consiste à déposer localement un matériau sur une surface en tirant profit de la différence d'hydrophobicité sur cette surface. En effet, d'après la Figure IV-15, la nucléation de la couche n'est possible que si des liaisons hydroxyles sont présentes en surface. Par conséquent, si une surface est constituée d'une première zone comportant des liaisons hydroxyles et d'une seconde zone ne comportant pas

de liaisons hydroxyles, la croissance ne pourra se faire que sur la première zone. Un dépôt sélectif est alors obtenu. On trouve dans la littérature des exemples de dépôt sélectifs par ALD obtenus en masquant une partie de la surface hydrophile par une surface hydrophobe. Il est par exemple possible d'utiliser des couches organiques auto-assemblées (SAM : Self-assembled monolayer) déposées sur le substrat par impression par microcontact (« microcontact printing »). Cette SAM étant hydrophobe, la croissance ALD ne se fait que dans les zones où la SAM n'a pas été déposée (Figure IV-16). Cette technique a été utilisée pour la croissance sélective de TiO_2 [Masuda01] [Park04], de ZrO_2 [Chen04b], d' HfO_2 [Chen05] et de Pt [Chen06]. Sinha et al. [Sinha06] ont également ainsi démontré qu'une couche de PMMA dans laquelle sont gravés des motifs permet de déposer sélectivement du TiO_2 dans ces motifs par ALD. Plus récemment, Färm et al. [Färm08] ont démontré que cette technique de masque en PMMA est également utilisable pour le dépôt sélectif d' Al_2O_3 , de Pt et de Ru. Il faut toutefois noter que ces démonstrations ont été effectuées sur de larges motifs de plusieurs micromètres de large. Nous allons démontrer dans la suite de ce chapitre que l'ALD sélective (i) peut être utilisé pour le transfert de motif défini par copolymère dibloc et donc pour des dimensions inférieures à 30nm (ii) est compatible avec les procédés de la micro-électronique.

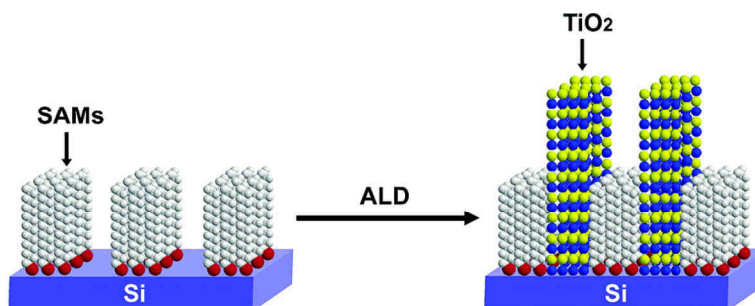


Figure IV-16 : Exemple de croissance sélective de TiO_2 par ALD. La SAM inhibe la croissance du TiO_2 qui ne se fait alors que sur les zones de Si non recouvertes par la SAM.

IV.3.2.2.b. Mise en évidence expérimentale du dépôt sélectif de l' Al_2O_3 sur SiO_2 par rapport au PS

Comme décrit sur la Figure IV-15, la nucléation de la couche d' Al_2O_3 par ALD nécessite des liaisons hydroxyles en surface sur lesquelles les molécules de TMA se fixent. Les liaisons hydroxyles sont présentes en surface du SiO_2 et un dépôt d' Al_2O_3 est donc possible. Au contraire, le PS, comme le montre sa formule chimique représentée sur la Figure IV-17-c, est uniquement composé d'atomes de carbone et ne possède donc pas de liaisons

hydroxyles en surface. Par conséquent, le TMA ne peut se fixer dessus et la croissance n'a pas lieu. On en déduit qu'un dépôt sélectif d' Al_2O_3 sur le SiO_2 au fond des pores est possible, sans aucun dépôt sur le masque de PS.

Afin de mettre en évidence expérimentalement cette sélectivité, des croissances ALD ont été réalisées sur des couches continues de PS et de SiO_2 , ce qui permet de mesurer par ellipsométrie l'épaisseur de la couche d' Al_2O_3 déposée. Les deux types d'échantillons utilisés dans cette étude sont représentés sur la Figure IV-17-c. D'une part des échantillons en silicium recouverts d'une couche d'oxyde thermique de 6 nm d'épaisseur. D'autre part, des échantillons constitués d'une couche d'oxyde thermique de 6 nm et d'une couche continue de PS de 5,5nm. Les chaînes de PS utilisées pour cette étude sont terminées par une liaison hydroxyle. Après dilution à 1% en masse dans du toluène et étalement à la tournette sur l'échantillon, un recuit sous vide à 170°C permet aux chaînes de PS de se fixer à la surface du SiO_2 par une réaction de condensation entre sa liaison hydroxyle terminale et une liaison hydroxyle de la surface du SiO_2 qui a subi au préalable un nettoyage CARO (cf. IV.2.2.1). Un nettoyage dans un bain de toluène permet enfin de retirer les chaînes de PS ne s'étant pas fixées à la surface. L' Al_2O_3 est ensuite déposé à 150°C sur 5 échantillons de chaque type avec un nombre croissant de cycles de dépôt (5, 10, 30 et 54 cycles). Chaque cycle correspond à une exposition successive aux précurseurs H_2O et TMA, comme décrit sur la Figure IV-15. Les épaisseurs d' Al_2O_3 déposé sont ensuite mesurées par ellipsométrie, et reportées sur la Figure IV-17-a en fonction du nombre de cycles effectués. Lors d'un dépôt sur SiO_2 , la croissance démarre dès les premiers cycles puis se poursuit de façon linéaire lors des cycles suivant. La vitesse de croissance est d'environ 0,07 nm par cycle, ce qui concorde avec la croissance mesurée sur les témoins de calibration de l'équipement. Au contraire, lors d'un dépôt sur PS, un retard à la nucléation de 5 cycles est mesuré. D'autre part, la vitesse de croissance, de 0,03 nm par cycle, est inférieure à celle mesurée sur SiO_2 . Afin de comprendre ce phénomène, la surface est observée en microscopie électronique après 54 cycles de dépôt (Figure IV-17-c). La couche n'est pas continue mais constituée de nuclei d' Al_2O_3 . La croissance n'est donc pas une croissance couche par couche comme dans le cas d'un dépôt ALD classique, mais une croissance par îlot, ce qui explique la différence de vitesse de croissance mesurée entre les échantillons. Cette croissance d' Al_2O_3 n'était pas attendue puisque le PS est hydrophobe. Plusieurs hypothèses peuvent être formulées pour expliquer cette croissance de nuclei sur le PS : (i) présence de liaisons -OH due à une oxydation en

surface du PS (ii) purge de la chambre insuffisante entre deux étapes de dépôt laissant des précurseurs adsorbés en surface.

Malgré une croissance d' Al_2O_3 non nulle sur le PS, nous avons démontré un retard à la nucléation ainsi qu'une vitesse de croissance moins élevée que sur le SiO_2 . Par conséquent, l'utilisation de cette technique de dépôt pour un transfert du masque de PS est toujours envisageable et fera l'objet du paragraphe suivant.

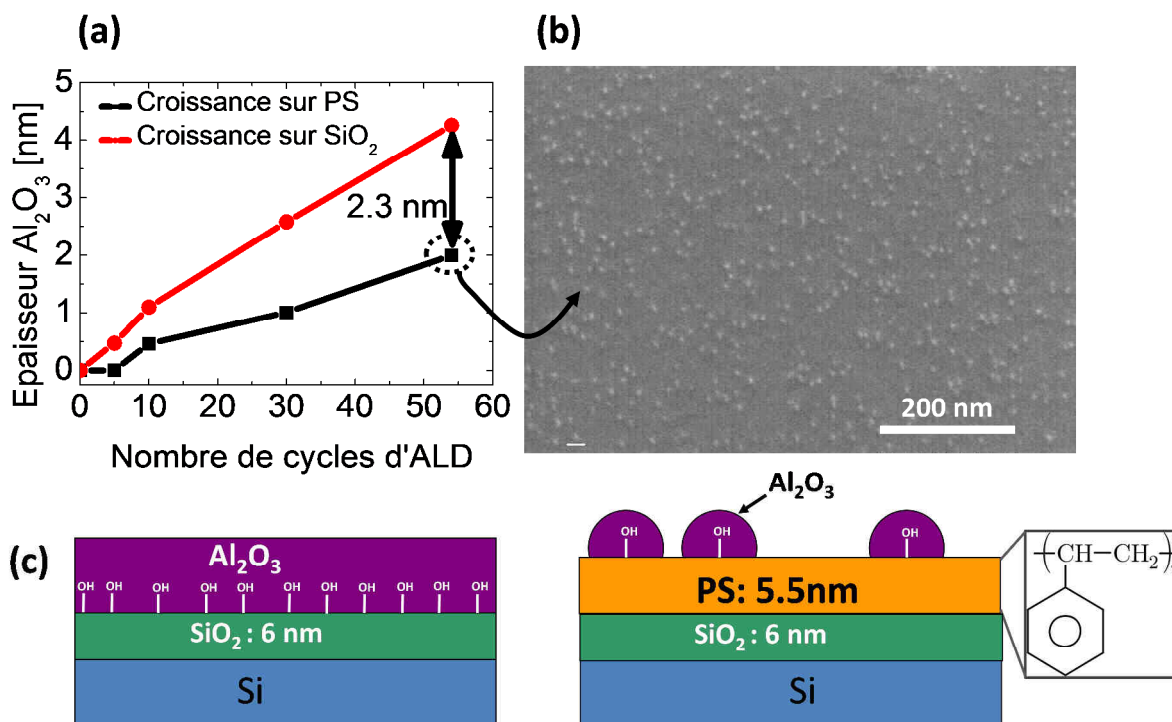


Figure IV-17 : (a) Cinétique de croissance de l' Al_2O_3 sur du SiO_2 et sur du PS en fonction du nombre de cycles de croissance ALD. Un retard à la nucléation est observé sur PS (b) Image MEB de la surface du polystyrène après 54 cycles de croissance. Plusieurs nuclei sont observés mais la couche n'est pas continue (c) Illustration de la formation de nuclei sur le polystyrène dû à une faible concentration de liaisons hydroxyles.

IV.3.2.3. Retrait du masque en PS

Après l'étape d'ouverture du masque en PS présentée au paragraphe IV.2.2.3, celui-ci va être transféré dans un masque d' Al_2O_3 . Pour cela, un masque de 5 nm d' Al_2O_3 est déposé par ALD, comme expliqué dans le paragraphe précédent. Des essais de retrait direct de la couche de PS par un plasma d'oxygène ont été menés sans succès. Cela signifie donc que le PS n'est pas à nu et qu'une couche continue d' Al_2O_3 est présente en surface. C'est d'ailleurs ce qu'on observe sur les images MEB de la Figure IV-18-a après croissance de l' Al_2O_3 où on ne distingue pas de nuclei comme c'était le cas sur une couche continue de PS (Figure IV-17-b). On en déduit donc que le PS issu du copolymère dibloc est différent de celui utilisé pour

l'étude de la sélectivité du dépôt. Ceci peut s'expliquer par les traitements plasma qu'a enduré le masque de PS. En effet, lors de l'ouverture du masque sur le SiO₂ (retrait du PMMA et gravure du copolymère statistique sous-jacent), le PS a été exposé à un plasma d'Ar, puis à un plasma d'Ar/O₂. Or, il a été démontré dans la littérature que ces traitements plasma provoquent une oxydation du PS et une diminution de son hydrophobicité. Le plasma d'Ar, bien que ne contenant pas d'atome d'oxygène, crée des radicaux dans les chaînes de PS, ce qui a pour effet de favoriser leur oxydation lors de la remise à l'air [Davies00]. Au contraire, dans le cas d'un plasma contenant de l'O₂, une partie de l'oxydation se déroule durant le procédé [Shard92] [Guruvenket04]. Par conséquent, à la suite de l'ouverture du masque de copolymère dibloc PS-b-PMMA et avant le dépôt d'Al₂O₃, la surface du PS est fort probablement oxydée, et donc plus hydrophile qu'une couche de PS n'ayant pas subi le traitement plasma, ce qui favorise la nucléation de l'Al₂O₃ lors du dépôt ALD. Notons qu'il serait possible de rendre à nouveau la surface du PS hydrophobe grâce à un traitement plasma à base de tetrafluoromethane CF₄ [Sigurdsson97], mais sur les essais qui furent menés sur nos échantillons ce traitement plasma n'a pas provoqué l'effet escompté puisque nous n'avons pu stopper totalement la croissance d'Al₂O₃ sur le PS.

Afin de retirer le masque de PS, un procédé similaire au « lift-off » d'un masque métallique déposé par PVD (§IV.2.3.2) est utilisé : la couche d'Al₂O₃ déposée par-dessus le PS est pulvérisée par un plasma Ar puis le PS est gravé à l'aide d'un plasma Ar/O₂. Le lift-off est ici rendu possible, malgré la conformité du dépôt ALD, par la plus faible épaisseur d'Al₂O₃ déposée sur le masque en PS que sur le SiO₂ au fond de pores. D'autre part, la pulvérisation étant d'autant plus efficace que l'angle d'incidence² des ions Ar⁺ est important [Sigmund69] [Harafuji08]. Par conséquent, les flancs du masque, pour lesquels l'angle d'incidence est proche de 90°, sont gravés beaucoup plus rapidement que le dessus du masque et le fond des pores, pour lesquels l'angle d'incidence est de 0°. Une fois les flancs à nu, le dessus du masque est rapidement consommé.

² L'angle d'incidence est l'angle entre la trajectoire des ions Ar⁺ et la normale à la surface.

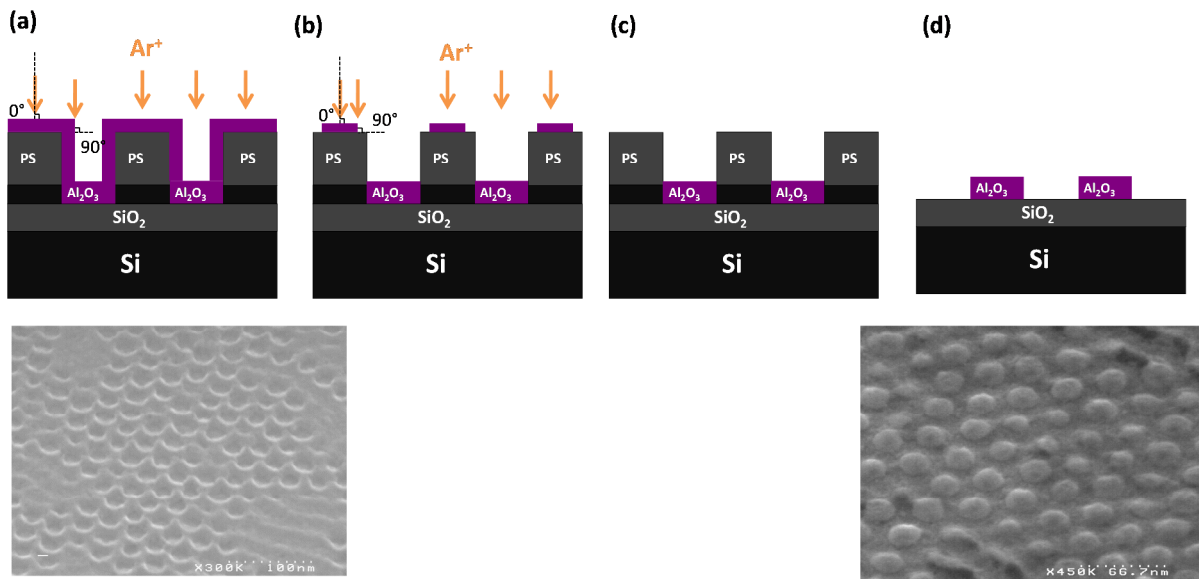


Figure IV-18 : (a) Schéma en coupe et image MEB vue de dessus du masque de PS après croissance du masque d' Al_2O_3 par ALD. (b) Schéma en coupe du masque lors de la pulvérisation par le plasma d'argon. La pulvérisation est maximale sur les flancs (c) Schéma du masque après retrait de toute la couche d' Al_2O_3 en surface du PS (d) Schéma et image MEB des plots d' Al_2O_3 obtenu après retrait du PS.

IV.3.3. Gravure de nano-piliers

Après obtention du masque d' Al_2O_3 , celui-ci est utilisé pour graver des nanopiliers dans le silicium. La gravure plasma réactive RIE³ est utilisée afin de graver le substrat de manière isotrope et d'obtenir des nanostructures à partir du masque d' Al_2O_3 . Bien que pour les applications mémoires, des profondeurs de gravure de l'ordre de 20 nm sont suffisantes, nous avons poussé au maximum les possibilités offertes par ce nouveau masque afin d'obtenir des nano-piliers à fort facteur de forme. Deux chimies de gravure différentes ont été utilisées, l'une utilisant des gaz fluorés et l'autre l'HBr et le Cl_2 , chacune permettant d'obtenir une morphologie particulière des nano-piliers. Ces recettes de gravure ont été choisies car elles sont largement utilisées pour la gravure de la grille flottante des transistors MOSFET et parce qu'elles permettent une bonne sélectivité de gravure du silicium par rapport au SiO_2 . Nous détaillerons dans un premier temps les résultats obtenus grâce à deux chimies différentes de gravure du silicium. Dans un second temps, nous analyserons les propriétés des réseaux de nano-piliers obtenus par cette technique.

³ RIE : Reactive Ion Etching.

IV.3.3.1. Gravure du SiO₂

Le masque étant déposé sur une couche d'oxyde thermique de 4 nm d'épaisseur, il faut la graver afin d'atteindre le silicium. Pour cela, un plasma à base de CF₄ est utilisé. Les paramètres de gravure sont résumés dans le Tableau 1.

	<i>Flux de gaz (sccm)</i>	<i>Pression (mTorr)</i>	<i>Puissance source (W)</i>	Puissance bias (W)
Gravure du SiO₂	CF ₄ (50)	4	300	90

Tableau 1 : Paramètres de gravure utilisés pour graver la couche d'oxyde thermique

IV.3.3.2. Gravure du silicium grâce à un plasma SF₆/CH₂F₂/He-O₂

La première recette de gravure, dont les paramètres sont indiqués sur le Tableau 2, utilise les gaz SF₆, CH₂F₂ et Ar. L'anisotropie de gravure est dans ce cas assurée par la formation d'une couche de passivation fluorocarbonée de type Si_xF_yC_z sur les flancs des piliers [Standaert03]. Cette couche de passivation empêche l'attaque du silicium sur les flancs par les atomes de fluor. Des flancs très verticaux sont obtenus comme observé sur la Figure IV-19. Les hauteurs des nano-piliers obtenus pour des temps de gravure croissants sont reportées sur la Figure IV-20-a. On observe ainsi que leur hauteur augmente linéairement par rapport au temps de gravure, jusqu'à atteindre la hauteur maximale de 130 nm pour laquelle le masque d'Al₂O₃ a été totalement consommé. D'autre part, le diamètre des nanopiliers diminue avec le temps de gravure, comme on peut l'observer sur les images MEB intégrés dans la Figure IV-20-a, à cause de la gravure latérale du masque. En effet, malgré la forte sélectivité de gravure du silicium par rapport à l'Al₂O₃, la pulvérisation du masque a toujours lieu, notamment par les ions Ar⁺. La pulvérisation étant d'autant plus importante en bord de masque qu'au-dessus à cause d'un angle d'incidence plus favorable, le diamètre des plots diminue, ce qui provoque un amincissement des nano-piliers. L'impact de la composition du plasma est enfin étudié sur la Figure IV-20-b. Lorsque le ratio $\frac{SF_6}{CH_2F_2}$ augmente et que tous les autres paramètres sont constants, le diamètre des nano-piliers diminue, ce qui s'explique par une gravure latérale. Cette perte d'anisotropie de la gravure peut s'interpréter par une épaisseur plus faible de la couche de passivation lorsque la concentration en CH₂F₂ diminue. En effet, le CH₂F₂ est nécessaire à la formation de la couche de passivation fluorocarbonée Si_xF_yC_z. La modification du ratio $\frac{SF_6}{CH_2F_2}$ permet donc d'ajuster le diamètre des nanopiliers,

tandis que la durée de gravure permet de contrôler leur hauteur. Un facteur de forme maximal de 13 :1 est ainsi obtenu, supérieur à celui reporté par *Zschech et al.* [Zschech07] qui a obtenu un facteur de forme de 5 :1, qui plus est en utilisant une technique de transfert du masque de copolymère comportant un nombre supérieur d'étapes.

	<i>Flux de gaz (sccm)</i>	<i>Pression (mTorr)</i>	<i>Puissance source (W)</i>	<i>Puissance bias (W)</i>
Gravure du silicium	SF ₆ (18) CH ₂ F ₂ (22) Ar (90)	5	450	30

Tableau 2 : Paramètres de gravure utilisés pour graver le silicium à l'aide des gaz SF₆, CH₂F₂ et Ar.

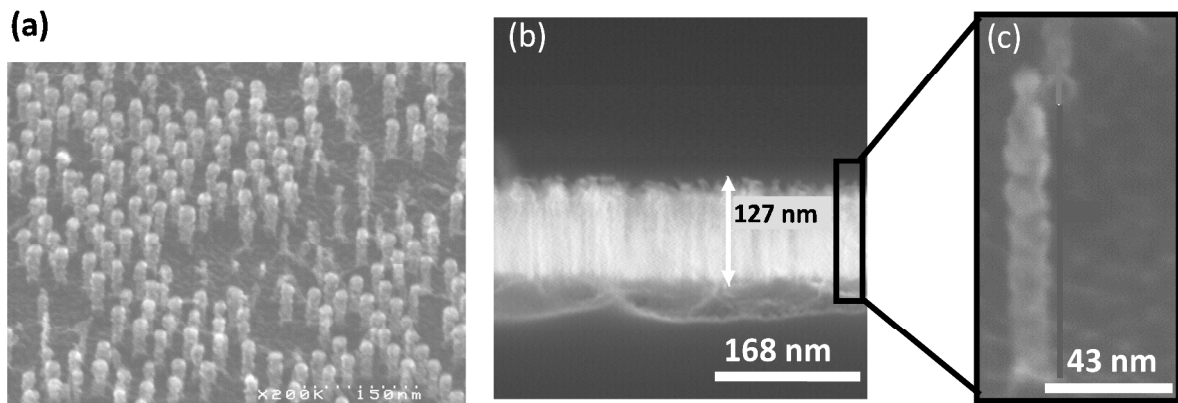


Figure IV-19 : Images MEB de nano-piliers en silicium obtenu après gravure plasma avec la chimie SF₆, CH₂F₂, He/O₂. **(a)** Observation en vue planaire avec un tilt de 40° des nano-piliers après 60 secondes de gravure **(b)** Observation en coupe des nano-piliers après 90 secondes de gravure **(c)** Agrandissement sur un nano-pilier de silicium montrant les flancs très droits des nano-piliers obtenus et le fort facteur d'aspect.

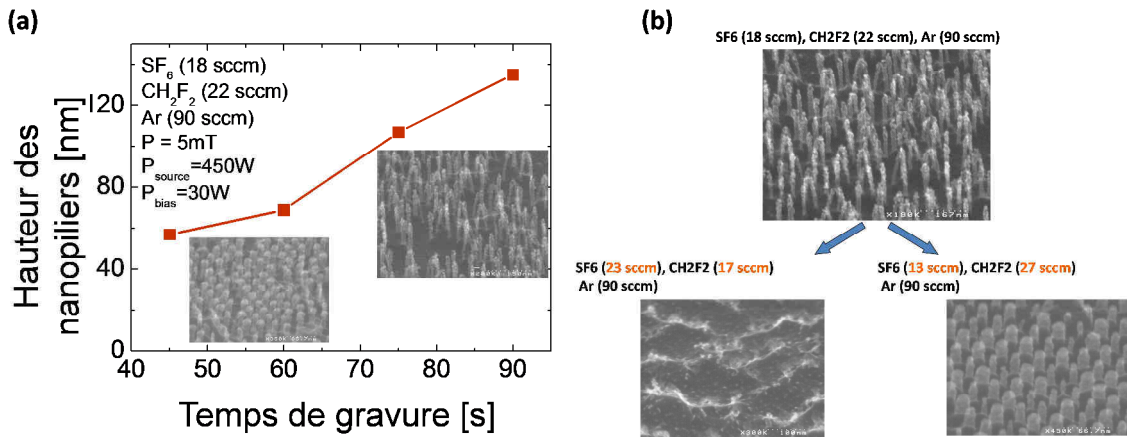


Figure IV-20 : (a) Taille des nano-piliers en fonction du temps de gravure (b) Effet de la composition du plasma sur la morphologie des nano-piliers obtenus. La variation de la quantité de CH₂F₂ influence l'épaisseur de la couche de passivation fluorocarbonée.

IV.3.3.3. Gravure du silicium grâce à un plasma en HBr/Cl₂/O₂

La gravure du silicium à l'aide de gaz halogènes HBr et Cl₂ est largement utilisée pour la gravure de la grille en polysilicium des transistors MOSFET [Detter03] [Kogelschhatz04]. L'ajout de dioxygène dans le plasma permet en outre de déposer une couche d'oxyhalogénure SiO_xCl_y sur les flancs des nanopiliers [Bell96] [Bell97]. Cette couche de passivation rend la gravure du silicium anisotrope, en empêchant la gravure latérale. La composition du plasma joue un rôle très important sur le profil de gravure obtenu [Tuda01]. Pour la gravure de nos nano-piliers, nous avons utilisé une recette standard optimisée pour la gravure d'une grille de MOSFET en polysilicium. Comme montré sur la

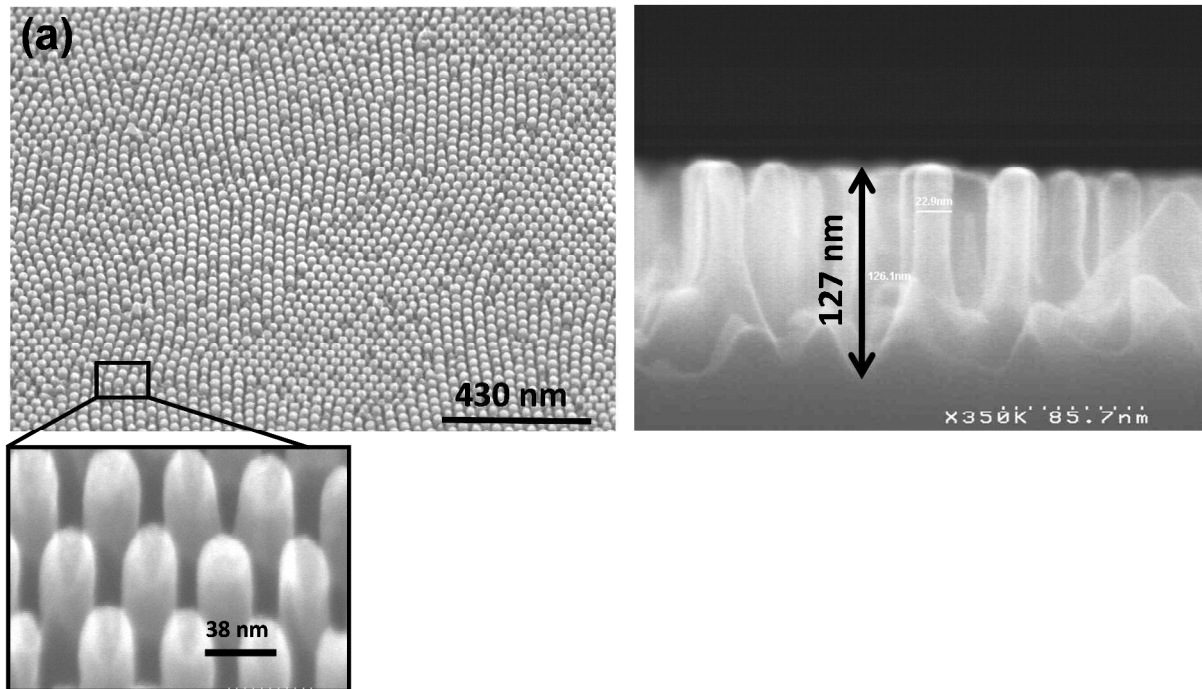


Figure IV-21, les nano-piliers obtenus grâce à cette chimie de gravure ont des flancs verticaux très réguliers et peu rugueux. Afin d'obtenir une hauteur maximale de nano-piliers, il faut limiter au maximum la dégradation du masque de gravure. Pour cela, la puissance bias

est diminuée afin de limiter la pulvérisation du masque tout en conservant l'anisotropie de gravure. Sur la Figure IV-22-a, la hauteur des nano-piliers après 45 secondes de gravure est tracée pour trois valeurs de puissances bias. Les images MEB des nano-piliers obtenus sont accolées à chaque point du graphique. Pour $P_{\text{bias}}=90\text{W}$, les nano-piliers ne font que 35nm de haut et on ne distingue plus de masque en Al_2O_3 à leur sommet. Au contraire, pour $P_{\text{bias}}=30\text{W}$, le masque est encore présent et les nano-piliers mesurent 50nm de haut. Le choix est donc fait d'utiliser cette valeur de puissance bias, et de continuer la gravure. Ces résultats sont illustrés sur la Figure IV-22-b, où la hauteur des nano-piliers est tracé en fonction du temps de gravure à $P_{\text{bias}}=30\text{W}$. On note alors que le masque d' Al_2O_3 ne disparaît qu'après 120 secondes de gravure, alors que les nano-piliers ont atteint une hauteur de 127 nm. Il est très important d'arrêter la gravure une fois que le masque a disparu car le sommet des nano-piliers, possédant un plus fort angle solide vis-à-vis du plasma que leur bas, est alors soumis à un plus grand flux de radicaux. Les nano-piliers sont donc gravés plus rapidement que le substrat, ce qui entraîne une diminution de leur taille et finalement une planarisation de la surface [Martin08].

	<i>Flux de gaz (sccm)</i>	<i>P ression (mT)</i>	<i>Puissance source (W)</i>	<i>Puissan ce bias (W)</i>
Gravure du silicium	HBr (120) Cl ₂ (40) He-O ₂ (5)	4	250	30

Tableau 3 : Paramètres de gravure utilisés pour graver le silicium à l'aide des gaz HBr, Cl₂, He-O₂⁴

⁴ Le dioxygène est dilué dans l'hélium afin de s'affranchir de la limitation de débit de la ligne de gaz. De faibles concentrations en O₂ sont ainsi possibles.

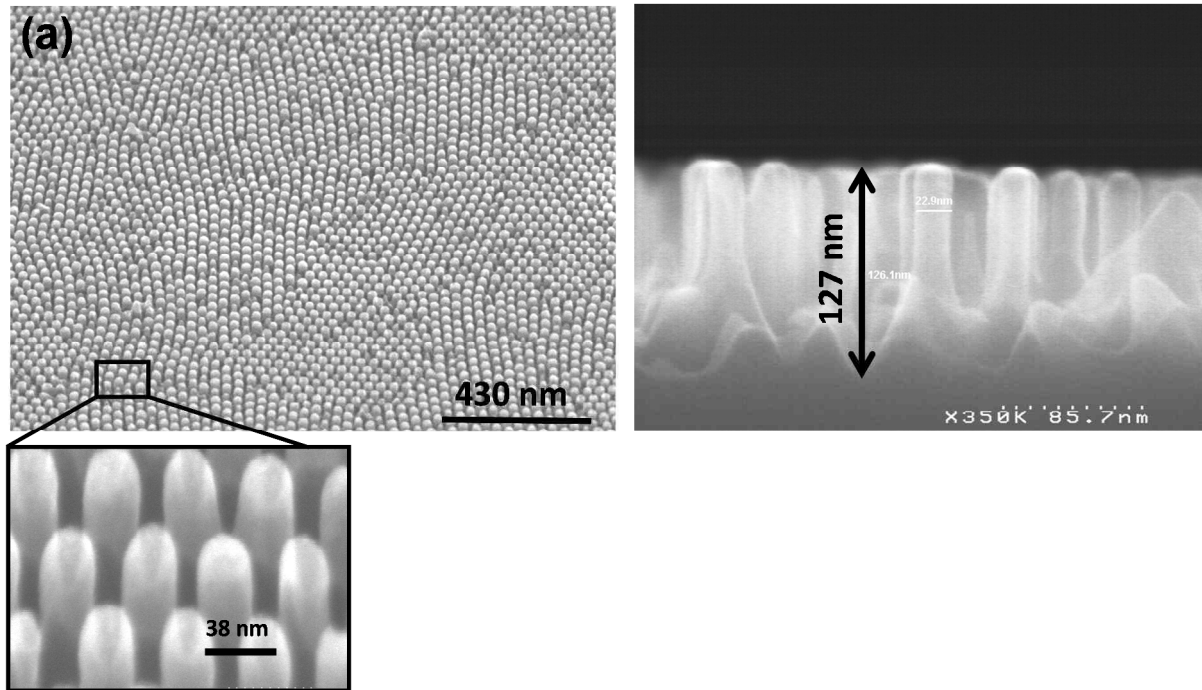


Figure IV-21 : (a) Image MEB, vue de dessus avec une inclinaison de 40°, d'un réseau organisé hexagonal de nano-piliers de silicium gravé à l'aide d'un plasma en HBr/Cl₂/He-O₂. On distingue le masque au sommet de chaque plot (b) Image MEB en coupe des nano-piliers en silicium après 120 secondes de gravure. Les flancs des nano-piliers sont verticaux et réguliers.

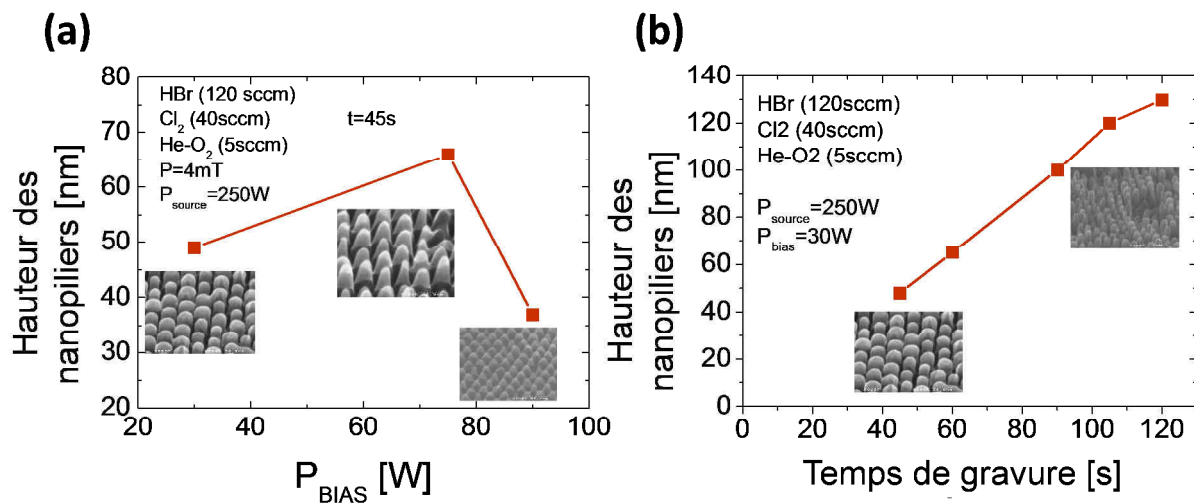


Figure IV-22 : Hauteur des nano-piliers en fonction (a) de la puissance bias du plasma. (b) du temps de gravure

IV.3.3.4. Dispersion en taille du réseau de nano-piliers obtenu

Afin de mesurer les distributions en taille des nano-piliers obtenus, ceux-ci sont observés au MEB en vue planaire, sans aucune inclinaison (Figure IV-23-a). On observe les sommets des nano-piliers en clair, très contrasté par rapport au substrat car le masque d'Al₂O₃ n'a pas été retiré. Ce fort contraste permet de binariser l'image afin d'en extraire les distributions de diamètre des nano-piliers (Figure IV-23-b) et de leur espacement (Figure

IV-23-c). Un ajustement Gaussien de ces diagrammes de distribution donne accès aux valeurs moyennes et écarts types de ces valeurs. Un diamètre moyen de 25 nm associé à un écart type de 2,7 nm est obtenu. L'espacement moyen est quant à lui de 36 nm avec un écart type de 2,1nm. Par comparaison, le diamètre moyen des pores du masque de PS avant le dépôt ALD d' Al_2O_3 était de 26nm avec une déviation standard de 2nm, tandis que l'espacement entre les pores était exactement le même que celui mesuré sur les nano-piliers. On en déduit donc que le procédé de transfert du masque de PS dans le silicium n'introduit qu'une très faible dispersion sur les dimensions des nano-piliers par rapport à la dispersion initiale présente sur le masque de PS. Le procédé présenté permet donc de conserver les propriétés d'organisation du masque de copolymère dibloc.

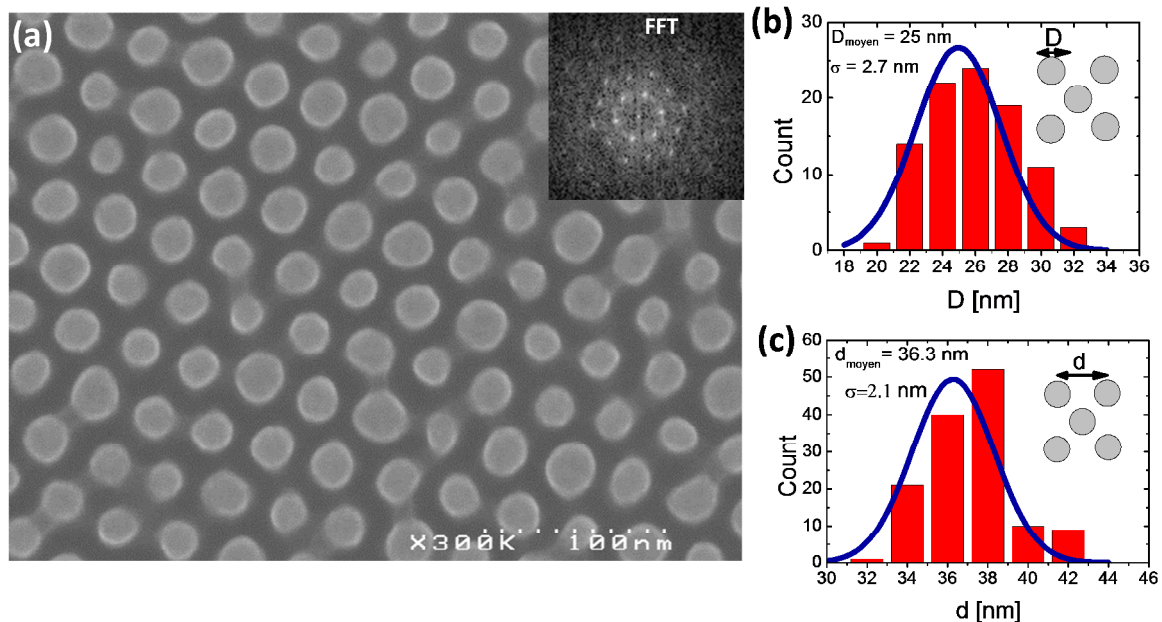


Figure IV-23 : (a) Image MEB vue de dessus des nano-piliers en silicium gravés grâce à un plasma d' $\text{HBr}/\text{Cl}_2/\text{He-O}_2$. Les plots clairs correspondent aux sommets des nano-piliers sur lesquels subsiste le masque d' Al_2O_3 . La transformée de Fourier de cette image est tracée dans le coin supérieur droit afin de montrer la périodicité du réseau. (b) Distribution du diamètre des nano-piliers de silicium extraits de l'image MEB (c) Distribution de l'espacement entre deux nano-piliers de silicium extraits de l'image MEB

IV.3.4. Conclusion sur le procédé de transfert

Nous avons présenté une technique de transfert d'un masque de copolymères diblocs PS-b-PMMA dans un masque dur non contaminant en Al_2O_3 déposé par ALD. Ce transfert a été rendu possible d'une part grâce à la faible température de dépôt et d'autre part grâce à la sélectivité du dépôt sur l' Al_2O_3 . La robustesse du masque obtenu a permis de graver des nano-piliers à fort facteur de forme dans le substrat en silicium. La dernière partie de ce chapitre

traite de l'intégration de ces nano-piliers en tant que site de stockage dans une grille flottante de mémoire non-volatile de type Flash.

IV.4.Perspectives : Utilisation du procédé de transfert pour application dans un dispositif mémoire

IV.4.1. Organisation du film de copolymère dans une zone active de transistor mémoire

Afin d'utiliser les copolymères pour l'organisation de nanocristaux dans des mémoires non-volatiles de type flash, il est nécessaire d'étudier leur organisation dans la zone active de transistors. Les zones actives des structures utilisées dans cette étude sont délimitées par des cavités isolées entre elles par une couche d'oxyde de silicium. Cette isolation est obtenue grâce à une oxydation locale du silicium (oxyde LOCOS : Local oxidation of silicon) d'une épaisseur de 250nm. Une fois le masque dur retiré, des cavités dans l'oxyde de silicium débouchant sur le silicium du substrat sont obtenues. Ces cavités, délimitant la zone active du dispositif mémoire, ont une profondeur de 125nm. Cette forte topographie du substrat rend plus difficile l'organisation des copolymères au sein des cavités.

Le dépôt du film de copolymère diblocs se déroule en 2 étapes : l'étalage à la tournette suivi du recuit sous vide. Lors de l'*étalage* de la solution de copolymère diblocs, le solvant (toluène) s'évapore, conduisant à la formation d'un film de copolymère. Cette étape est un dépôt non conforme, ou planarisant, car une épaisseur plus importante de polymère est déposée en fond de cavité que sur l'isolation (Figure IV-24-a). En ce qui concerne l'étape de *recuit*, plusieurs cas se présentent selon l'état du film après étalage à la tournette. Si la cavité est remplie, la topographie du film est faible et il y a donc peu de migration de matière dans le film durant le recuit. Au contraire, si les cavités ne sont pas totalement remplies, il se produit un phénomène de fluage du polymère pendant le recuit, qui se caractérise par une migration des chaînes de polymère déposées sur l'isolation vers le fond de la cavité [Fitzgerald09]. L'épaisseur au fond de la cavité augmente donc au cours du recuit. On en conclue qu'à la fois lors de l'étalage du film de copolymère et de son recuit, l'épaisseur de la couche de copolymère a tendance à augmenter dans les cavités et à diminuer sur les isolations. Or, il a été démontré qu'un des critères déterminant pour obtenir des cylindres verticaux est que l'épaisseur de la couche de copolymère h_{copo} soit égale à la période du réseau de cylindres (h_0) [Aissou08a]. En effet, pour des épaisseurs de film supérieures à cette valeur ($h_{\text{copo}} > h_0$), le temps d'organisation est très élevé (>48h) ce qui est rédhitoire pour une application en microélectronique du fait de l'importance du temps de fabrication. Pour des épaisseurs inférieures $h_{\text{copo}} < h_0$, le film est soit dans une phase non-organisée, soit démouille et s'organise

en terrasses créant un film non uniforme avec des régions organisées en cylindres verticaux et d'autres en phase non-organisée.

Afin de nous affranchir de cette limitation due à la topographie du substrat, deux solutions ont été envisagées et étudiées. Dans un premier temps, nous avons essayé d'utiliser un mélange de chaînes de copolymères diblocs PS-b-PMMA et d'homopolymère PMMA. Il a en effet été démontré dans la littérature que ce type de mélange permet d'améliorer l'auto-organisation en cylindres verticaux [Jeong04] [Chen07]. En particulier, les cylindres verticaux de PMMA s'organisent sur une plus grande épaisseur dans le cas d'un mélange du copolymère avec l'homopolymère. Cependant, alors que des cylindres verticaux de PMMA d'une hauteur de 330nm ont ainsi été obtenus par Jong et al. [Jeong04], nous n'avons pas obtenu de résultats similaires. Malgré les essais de différentes dilutions de PMMA par rapport au PS-b-PMMA, nous n'avons pas observé d'amélioration significative de la qualité d'organisation du film de copolymère dans les cavités.

Dans un deuxième temps, nous avons réduit la profondeur de la cavité grâce à une attaque chimique de l'oxyde LOCOS. Une épaisseur de 85 nm a ainsi été retirée, réduisant la profondeur à 40nm, ce qui correspond à la période du réseau de cylindres. La vitesse de rotation de la tournette lors du dépôt a ensuite été ajustée afin d'obtenir un film dans la configuration de la Figure IV-24-c. Dans ce cas là, le copolymère s'organise en cylindres verticaux à l'intérieur des cavités. C'est ce que montre la Figure IV-25 où les motifs de transistors sont observés au MEB après gravure des cylindres de PMMA, comme expliqué dans le paragraphe IV.2.2.3. Pour des dimensions allant jusqu'à 250nm, qui est la plus petite dimension de cavités dessinées sur ces plaques de lot, les copolymères sont bien organisés en cylindre dans les zones actives.

Nous allons dans le prochain paragraphe traiter des perspectives d'applications ouvertes par ce procédé d'organisation de copolymères diblocs dans des zones actives de dispositifs mémoires.

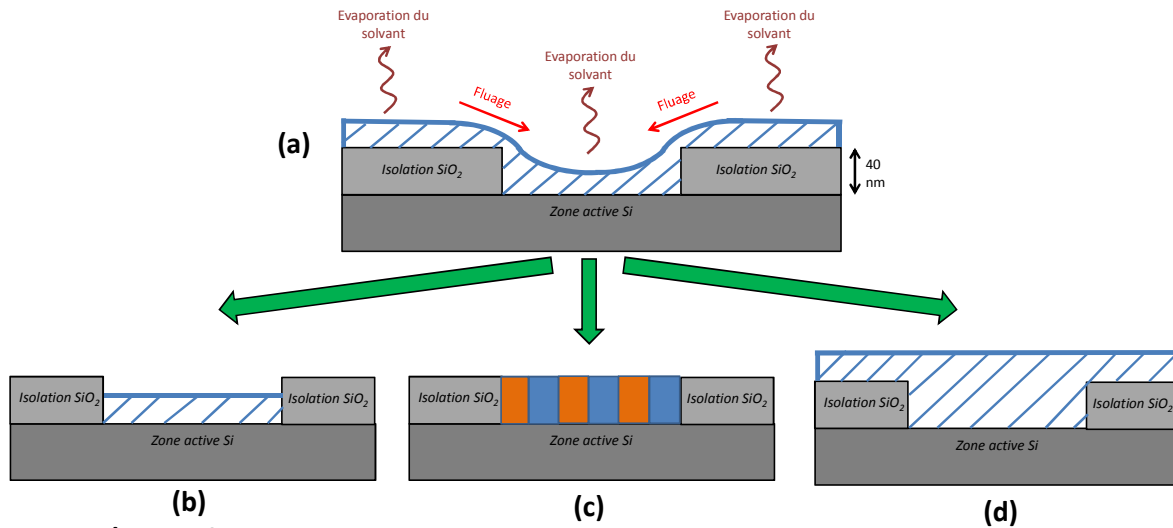


Figure IV-24 : (a) Photographie MEB du film après l'étalage de la solution de copolymère à la tournette. Le dépôt est conforme (b) $h_{\text{copo}} < 40 \text{ nm}$, le film de copolymère ne s'organise pas (c) $h_{\text{copo}} = 40 \text{ nm}$, le film de copolymère s'organise en cylindres verticaux de PMMA dans une matrice de PS (d) $h_{\text{copo}} > 40 \text{ nm}$, la phase obtenue est indéterminée.

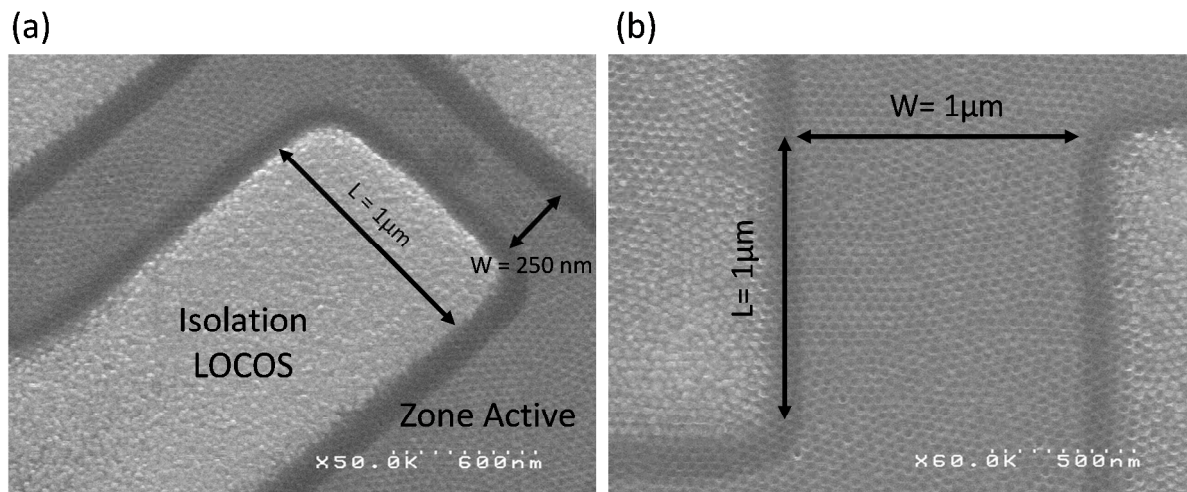


Figure IV-25 : Observations MEB de motifs transistors après organisation du film de PS-b-PMMA dans la zone active et gravure des cylindres de PMMA (a) transistor de dimension $W=250\text{nm}$ et $L=1\mu\text{m}$. (b) transistor de dimension $W=1\mu\text{m}$ et $L=1\mu\text{m}$

IV.4.2. Utilisation du procédé pour l'obtention de nanocristaux

Dans ce paragraphe nous expliquons les possibilités offertes par l'organisation des copolymères dans une zone active de transistor. Nous montrons que les motifs obtenus grâce aux copolymères diblocs permettraient de fabriquer des réseaux de nanocristaux en polysilicium et en siliciure.

IV.4.2.1. Gravure d'une couche continue de polysilicium

Le procédé est décrit sur la Figure IV-26-a. Dans un premier temps une couche continue de polysilicium de 20 nm d'épaisseur est déposée par LPCVD. Une couche de 2nm d'oxyde HTO est ensuite déposée par-dessus. Les copolymères diblocs sont alors organisés sur cette couche d'oxyde selon le procédé décrit dans le paragraphe IV.2.2. Un réseau de trous dans une matrice de PS est ainsi obtenu, lequel est ensuite transposé en un réseau de nanoplots d' Al_2O_3 comme décrit dans le paragraphe IV.3.2. Ceux-ci sont alors utilisés en tant que masque de gravure, ce qui permet d'obtenir des plots circulaires de PolySi, qui peuvent alors être utilisés comme sites de stockage dans un empilement mémoire.

De façon similaire, il peut être envisagé de superposer deux couches de PolySi séparées par une fine couche d'oxyde HTO, puis de graver l'empilement ainsi obtenu, comme schématisé sur la Figure IV-26-b. Cette gravure permettrait une double couche de nanocristaux auto-alignés, chaque nanocristal se trouvant au-dessus de l'autre. Il serait alors intéressant de comparer le chargement de ces nanocristaux avec celui obtenu avec les dispositifs à double couche de nanocristaux déposés par CVD où les deux couches ne peuvent être alignées.

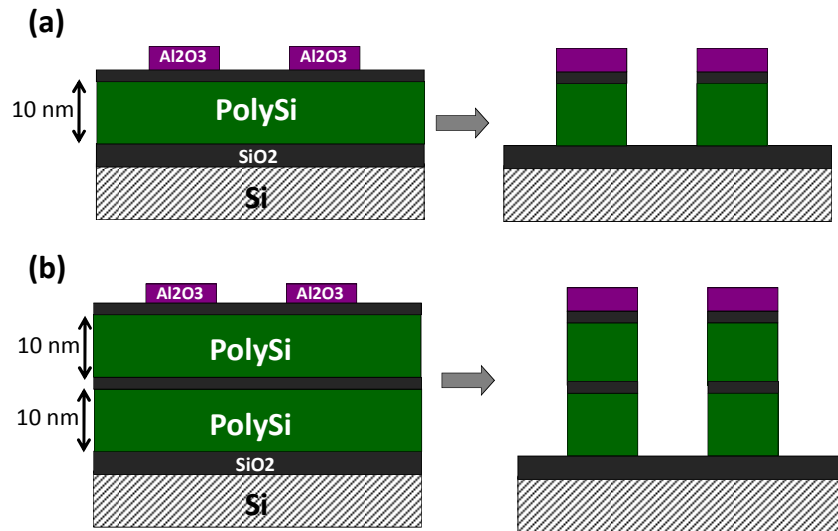


Figure IV-26 : (a) Schéma descriptif d'obtention de nano-plots de PolySi organisés à partir d'une couche continue de PolySi. (b) Schéma descriptif d'obtention d'une double couche de nanoplots en polysilicium. Des nano-plots auto-alignés sont ainsi obtenus.

IV.4.2.2. Siliciuration de nanocristaux

Afin d'allier la stabilité thermique du silicium et les propriétés intéressantes du métal pour le stockage de charge (décrites dans le chapitre 3), il serait intéressant d'obtenir des nanocristaux siliciurés. Une façon d'en obtenir est de siliciurer des nanocristaux de silicium en déposant une couche de métal par-dessus, puis en réalisant un recuit à la température de formation du siliciure souhaité. Cependant, nous allons voir que ce procédé n'est pas réalisable lorsque la dispersion en taille des nanocristaux est importante. Par conséquent l'utilisation d'un réseau de nanocristaux faiblement dispersé en tailles, tels que ceux obtenus grâce aux copolymères diblocs, est plus avantageux.

IV.4.2.2.a. Difficultés de la siliciuration de nanocristaux de silicium obtenus par nucléation LPCVD

La dispersion en taille des nanocristaux obtenus par LPCVD rend difficile le contrôle du procédé de siliciuration. En effet, afin d'atteindre la phase visée du siliciure, il est nécessaire de déposer la quantité adéquate et contrôlée de métal. Hors la quantité de métal à déposer dépend de la taille des nanocristaux à siliciurer. Par conséquent, selon la taille initiale des nanocristaux, le siliciure formé ne sera pas identique. Prenons l'exemple d'un métal Me possédant deux phases de siliciures Me_2Si et MeSi . Si l'on ajuste la quantité de métal déposé en fonction du volume moyen des nanocristaux, ceux dont la taille est inférieure à la taille moyenne seront en Me_2Si (excès de métal) tandis que les nanocristaux de taille supérieure à la moyenne posséderont un cœur non siliciuré et une coquille en MSi (excès de silicium). Hors,

les différentes phases de siliciures ne possèdent pas les mêmes caractéristiques électriques (travail de sortie notamment). Cela pose donc un problème potentiel de variabilité supplémentaire sur les dispositifs (en plus de la variabilité dû à la taille des nanocristaux).

Nous donnons ici l'exemple du platine. Il existe deux phases du siliciure de platine : PtSi et Pt₂Si. La Figure IV-27 décrit le procédé de siliciuration des plots de silicium. Le retrait à l'eau régale du platine résiduel entre les plots est sélectif vis-à-vis de la phase PtSi mais pas par rapport à la phase Pt₂Si. Il en résulte que les nanocristaux les plus petits sont attaqués lors du retrait sélectif, comme observé sur la photo MEB.

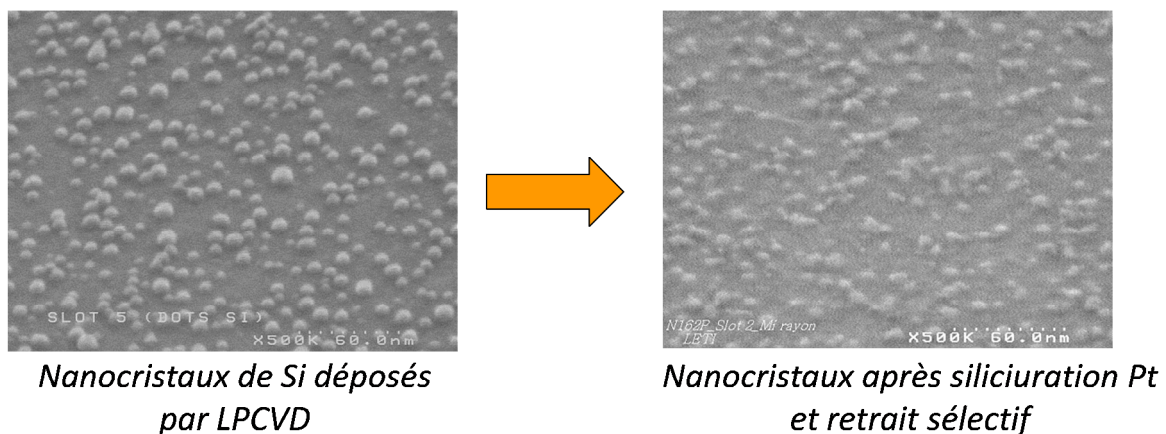


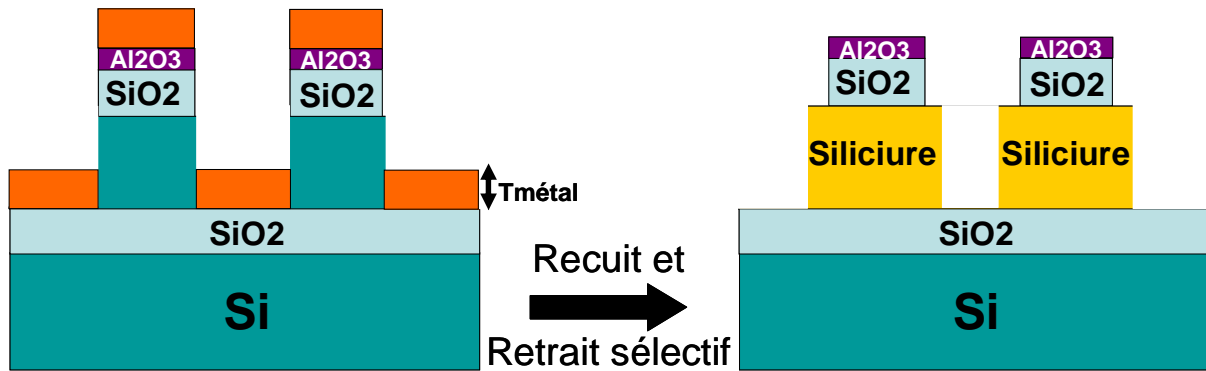
Figure IV-27 : Observation MEB de nanocristaux en silicium déposés par LPCVD avant et après siliciuration platine. La dispersion en taille des nanocristaux provoque une siliciuration différente selon la taille des nanocristaux et donc un retrait sélectif non maîtrisé du métal non consommé. Les images MEB montrées ici sont celles obtenues avec le platine.

Par conséquent, une solution pour fabriquer les nanocristaux de siliciure serait d'obtenir au préalable un réseau auto-organisé de nanocristaux de silicium, possédant une très faible dispersion sur la taille et l'espacement des nanocristaux. C'est ce qui est rendu possible par le procédé décrit dans le paragraphe précédent IV.4.2.1 qui permet d'obtenir un réseau auto-organisé de nanocristaux en polysilicium.

IV.4.2.2.b. Siliciuration de nanocristaux en PolySi obtenus grâce aux copolymères diblocs

Grâce à la technique présentée précédemment, nous avons obtenu des plots de PolySi très peu dispersés en tailles. La quantité de silicium à siliciurer étant maîtrisée, il est possible d'ajuster précisément la quantité de métal correspondante selon la phase du siliciure souhaitée. Les relations existant entre les épaisseurs de métal déposé, de silicium consommé et de siliciure formé doivent pour cela être connues. Les deux métaux choisis comme exemple

sont le platine et le nickel dont les changements volumiques dans le cas d'une couche continue sont reportés dans le tableau de la Figure IV-28.

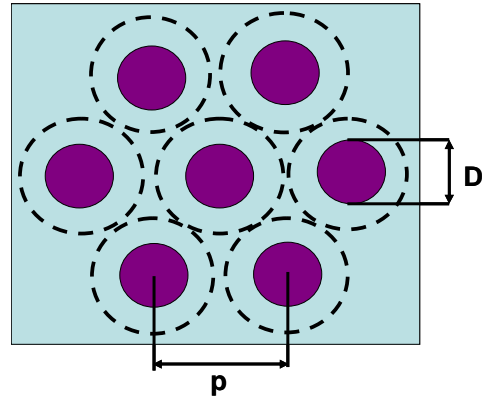


MÉTAL	SILICIUM	Phase du Siliciure	Retrait sélectif du métal par rapport au siliciure
Ni : 1	Si : 1.84	NiSi : 2.2	Oui
Ni : 1	Si : 0.9	Ni ₂ Si : 1.5	Oui
Pt : 1	Si : 1.3	PtSi : 2	Oui
Pt : 1	Si : 0.66	Pt ₂ Si : 1.51	Non

Figure IV-28 : Siliciuration de nanocristaux de PolySi auto-organisés. Dans le tableau, les changements volumiques lors de la siliciuration du platine et du nickel sont indiqués.

Avant le dépôt de métal, le nanoplot subi un nettoyage afin de retirer l'oxyde natif et les polymères résiduels de la gravure sèche qui seraient une barrière à la siliciuration. La quantité de métal à déposer sur les plots est proportionnelle au volume des nanocristaux de PolySi. Dans le cas d'un dépôt par PVD (Physical Vapor Deposition) non-conforme, le métal utile pour la siliciuration est un anneau de diamètre p (période du réseau hexagonal) et d'épaisseur $T_{\text{métal}}$ car il n'y a quasiment pas de dépôt sur les flancs du nanoplot en silicium. Cette épaisseur de métal à déposer est donc donnée par la formule suivante :

$$T_{metal} = \frac{T_{poly} \pi \left(\frac{D}{2} \right)^2}{\pi \left(\frac{d}{2} \right)^2 - \pi \left(\frac{D}{2} \right)^2}$$



Où T_{poly} est la hauteur des nanoplots de PolySi, p est la période du réseau hexagonal de nanoplots, et D est le diamètre des nanoplots.

Ainsi, il est possible de calculer les épaisseurs de métal à déposer connaissant la largeur et la hauteur des nanoplots de PolySi. Les valeurs obtenues dans le cas du PtSi et du NiSi avec $D=20\text{nm}$, $p=40\text{nm}$, $T_{poly}=15\text{nm}$ sont reportées dans le Tableau 4.

Phase visée	PtSi	Pt ₂ Si	NiSi	Ni ₂ Si
Épaisseur de métal à déposer ($T_{m\acute{e}tal}$)	3.8 nm	7.6 nm	2.7 nm	5.7 nm

Tableau 4: Épaisseur de métal à déposer afin d'obtenir la phase visée pour des plots de PolySi de 20nm de diamètre et 10nm de haut

Dans le cas d'un dépôt de métal par CVD, la totalité du flanc du nanodot de PolySi est recouvert de métal, il faut donc utiliser une autre méthode de calcul de l'épaisseur à déposer, mais le raisonnement est similaire

Une fois le métal déposé par PVD (Physical Vapor Deposition) ou par CVD. Un recuit de siliciuration sous vide est réalisé. Dans le cas du platine et du nickel, un recuit à 400°C pendant une minute sous vide permet d'atteindre l'équilibre de siliciuration (consommation totale d'un des deux réactants, à savoir le silicium ou le métal). Le métal n'ayant pas totalement réagi avec le silicium est retiré par gravure humide grâce à une chimie sélective adaptée. Dans le cas du Pt et du Ni, on pourra employer l'eau régale (acide nitrique HNO₃, acide hypochlorhydrique HCl et eau H₂O).

En conclusion de ce paragraphe IV.4.2, ce type de structure offre la possibilité de réaliser des réseaux de nanoplots poly-Si, siliciure en simple couche ou double couche auto-alignée.

IV.5.Synthèse du chapitre IV

Une étude bibliographique a tout d'abord permis de définir l'utilisation de copolymère diblocs comme étant la technique d'auto-organisation la mieux adaptée pour l'obtention d'un réseau dense de nanocristaux en tant que grille flottante d'un dispositif mémoire. Ils permettent en effet d'obtenir aisément un réseau hexagonal de trous dans une matrice de polystyrène. Une stratégie originale de transfert de ce masque organique dans un masque dur a ensuite été démontrée. Elle consiste en un dépôt ALD sélectif d' Al_2O_3 dans les trous de ce masque et son principal avantage est qu'il n'introduit aucun matériau contaminant, le rendant donc totalement compatible avec la filière de fabrication standard d'un transistor mémoire de type MOSFET. Le masque dur ainsi créé a démontré une forte résistance à la gravure, permettant d'obtenir des nanopiliers en silicium à fort aspect de forme (>20). Ensuite, les copolymères ont pu être organisés dans des zones actives de dispositifs mémoires malgré la topographie du substrat. Enfin, en perspective, il est envisagé, grâce à ce procédé de transfert de masque, d'intégrer des réseaux de nanocristaux en PolySi faiblement dispersés à simple ou double couches, en tant que grille flottante d'un dispositif mémoire MOSFET. Il serait également possible d'obtenir des nanocristaux siliciurés, car la faible dispersion en taille des nanocristaux permet de maîtriser le procédé de siliciuration. Cette dernière solution serait le meilleur compromis entre stabilité thermique et performance mémoire de la grille flottante.

Références du chapitre IV

- [Aissou07] K. Aissou, M. Kogelschatz, T. Baron, P. Gentile, « Self-assembled polymer templates as high resolution lithographic masks », *Surface Science* 601, pp. 2611-2614, 2007
- [Aissou08a] K. Aissou, "Étude de l'auto-organisation de films minces de copolymères diblocs en vue d'applications pour la microélectronique", Thèse de doctorat de l'université Joseph Fourier soutenue le 10 janvier 2007
- [Aissou08b] K. Aissou, T. Baron, M. Kogelschatz, M. D. Hertog, J. L. Rouvière,; J.-M. Hartman, B. Pelissier, "Fabrication of well-organized and densely packed Si nanopillars containing SiGe nanodots by using block copolymer templates", *Chem. Mater.* 202, pp.6183-6188, 2008
- [Bita08] Bitá, J.K.W. Yang, Y. S. Jung, C. A. Ross, E. L. Thomas, K. K. Berggren, "Graphoepitaxy of self-assembled block copolymers on two-dimensional periodic patterned templates"
- [Bell96] F. H. Bell, O. Joubert, "Polysilicon gate etching in high density plasmas. III. X-ray photoelectron spectroscopy investigation of sidewall passivation of silicon trenches using an oxide hard mask", *J. Vac. Sci. Technol. B* 14(4), Jul/Aug 1996
- [Bell97] F. H. Bell, O. Joubert, "Polysilicon gate etching in high density plasmas. V. Comparison between quantitative chemical analysis of photoresist and oxide masked polysilicon gates etched in HBr/Cl₂/O₂ plasmas", *J. Vac. Sci. Technol. B* 15, 88 (1997)
- [Black04] C. T. Black, K. W. Guarini, "Nonvolatile memory device using semiconductor nanocrystals and method of forming same", United States Patent Application Publication, US2004/0256662 A1, 23 Dec. 2004
- [Black06] C. T. Black, K. W. Guarini, R. Ruiz, E. M. Sikorski, I. V. Babich, R. L. Sandstrom, Y. Zhang, "Polymer self assembly in semiconductor microelectronics", *IEEE Tech Dig. Of IEDM* 2006,
- [Chen04a] Z. Chen, Y. Lei, H.G. Chew, L.W. Teo, W.K. Choi, W.K. Chim, "Synthesis of germanium nanodots on silicon using an anodic alumina membrane mask", *Journal of Crystal Growth* 268 (2004), 560-563
- [Chen04b] R. Chen, H. Kim, P.C. McIntyre, S. F. Bent, "Self-assembled monolayer resist for atomic layer deposition of HfO₂ and ZrO₂ high-k gate dielectrics", *Appl. Phys. Lett.*, vol. 84, no.20, pp.4017-4019, 2004
- [Chen05] R. Chen, H. Kim, P.C. McIntyre, D.W. Porter, S. F. Bent, "Achieving area-selective atomic layer deposition on patterned substrates by selective surface modification", *Appl. Phys. Lett.* 86, 191910 (2005)
- [Chen06] R. Chen, S. F. Bent, "Chemistry for positive pattern transfer using area-selective atomic layer deposition", *Adv. Mater.* 2006, 18, 1086-1090
- [Chen07] F. Chen, S. Akasaka, T. Inoue, M. Takenaka, H. Hasegawa, H. Yoshida, "Ordering cylindrical microdomains for binary blends of block copolymers with graphoepitaxy", *Macromol. Rapid Commun.* 2007, 28, 2137-2144.
- [Cheng06] J.Y. Cheng, C. A. Ross, H. I. Smith, E. L. Thomas, "Templated self-assembly of block copolymers: top-down holds bottom-up", *Adv. Mater.* 2006, 18, 2505-2521
- [Cui04] Y. Cui, M. T. Bjork, A. Liddle, C. Sönnichsen, B. Boussert, A. P. Alivisatos, "Integration of colloidal nanocrystals into lithographically patterned devices", *Nano Letters* 2004, vol.4, no.6, pp.1093-1098.
- [Darling07] S. Darling, "Directing the self-assembly of block copolymers", *Prog. Polym. Sci.* 32 (2007), 1152-1204

- [Davies00]** J. Davies, C. S. Nunnerley, A. C. Brisley, R. F. Sunderland, J. C. Edwards, P. Krüger, R. Knes, A. J. Paul, S. Hibbert, "Argon plasma treatment of polystyrene microtiter wells. Chemical and physical characterization by contact angle, ToF-SIMS, XPS and STM", *Colloids and Surfaces A: Physicochemical and Engineering Aspects* (2000) 287-295
- [Detter03]** X. Detter, R. Palla, I. Thomas-Boutherin, E. Pargon, G. Cunge, O. Joubert, L. Vallier, "Impact of chemistry on profile control of resist masked silicon gates etched in high density halogen-based plasmas", *J. Vac. Sci. Technol. B* 21(5), 2003
- [Färm08]** Färm, M. Kemell, M. Ritala, M. Leskela, "Selective-area atomic layer deposition using Poly(methyl methacrylate) films as mask layers", *J. Phys. Chem. C* 2008, 112, 15791-15795
- [Fitzgerald09]** T. G. Fitzgerald, R. A. Farrell, N. Petkov, C. T. Bolger, M. T. Shaw, J. P. F. Charpin, J. P. Gleeson, J. D. Holmes, and M. A. Morris, "Study on the Combined Effects of Solvent Evaporation and Polymer Flow upon Block Copolymer Self-Assembly and Alignment on Topographic Patterns", *Langmuir* 2009, 25(23), 13551-13560.
- [Förster02]** S. Förster, T. Plantenberg, "From Self-organizing polymers to nanohybrid and biomaterials", *Angew. Chem. Int. Ed.* 2002, 41, 688-714
- [Furuno89]** T. Furuno, H. Sasabe, K.M. Ulmer, « Binding of ferritin molecules to a charged polypeptide layer of poly-L-benzyl-L-histidine », *Thin Solid Films* 180 (1989), 23-30
- [Gowrish06]** V. Gowrishankar, N. Miller, M. D. McGehee, M. J. Misner, D. Y. Ryu, T. P. Russell, E. Drockenmuller, C. J. Hawker, "Fabrication of densely packed, well-ordered, high-aspect-ratio silicon nanopillars over large areas using block copolymer lithography", *Thin Solid Films* 513 (2006) 289-294
- [Grigoras07]** K. Grigoras, L. Sainemi, J. Tiilikainen, V.-M. Airaksinen, S. Franssila, "Application of ultra-thin aluminium oxide etch mask made by atomic layer deposition technique", *Journal of Physics: Conference Series* 61 (2007)n 369-373
- [Groner02]** M. D. Groner, J. W. Elam, F. H. Fabreguette, S. M. George, "Electrical characterization of thin Al₂O₃ films grown by atomic layer deposition on silicon and various metal substrates", *Thin Solid Films* 413 (2002), 186-197
- [Guarini02]** K.W. Guarini, C. T. Black, Y. Shang, H. Kim, E. M. Sikorski, I. V. Babich, « Process integration of self-assembled polymer templates into nanofabrication », *J. Vac. Sci. Technol. B* 20, 2788-2792
- [Guruvenket04]** S. Guruvenket, G. M. Rao, M. Komath, A. M. Raichur, "Plasma surface modification of polystyrene and polyethylene", *Applied Surface Science* 236 (2004), 278-284
- [Harafuji08]** K. Harafuji, K. Kawamura, "Sputtering yield as a function of incident ion energy and angle in Wurtzite-type GaN crystal", *Japanese Journal of applied physics*, vol. 47, no.3, 2008, pp.1536-1540.
- [Hikono06]** T. Hikono, T. Matsumura, A. Miura, Y. Uraoka, T. Fuyuki, M. Takeguchi, S. Yoshii, I. Yamashita, « Electron confinement in a metal nanodot monolayer embedded in silicon dioxide produced using ferritin protein » *Appl. Phys. Lett.* 88, 023108, 2006
- [Hong10]** A. J. Hong, C.-C. Liu, Y. Wang, J. Kim, F. Xiu, S. Ji, J. Zou, P. F. Nealey, K. L. Wang, "Metal nanodot memory by self-assembled block copolymer lift-off", *Nano Lett.*, 10, 224-229, 2010
- [Huang98]** E. Huang, L. Rockford, T. P. Russell, C. J. Hawker, « Nanodomain control in copolymer thin films », *Nature*, vol. 395, pp.757-758, 22 october 1998
- [Jacob08]** S. Jacob, « Intégration, caractérisation et modélisation des mémoires non volatiles à nanocristaux de silicium », Thèse de doctorat de l'université de Marseille

- [Jeong04]** U. Jeong, D. Y. K. Kim, J. T. Goldbach, D. H. Kim, T.P. Russell, "Enhancement in the orientation of the microdomain in block copolymer thin films upon the addition of homopolymer", *Adv. Mater.* 2004, vol. 16, no., March 18.
- [Jeong08]** S.-J. Jeong, G. Xia, B. H. Kim, D. O. Shin, S.-H. Kwon, "Universal block copolymer lithography for metals, semiconductors, ceramics and polymers", *Adv. Mater.* 20, 1898-1904, 2008
- [Jeong09]** S.-J. Jeong, J. E. Kim, H.-S. Moon, B. H. Kim, S. M. Kim, J. B. Kim, S. O. Kim, "Soft graphoepitaxy of block copolymer assembly with disposable photoresist confinement", *Nano Letters*, vol.9, no.6, 2300-2305, 2009
- [Jung07]** Y. S. Jung, C. A. Ross, "Orientation-controlled self-assembled nanolithography using a polystyrene-polydimethylsiloxane block copolymer", *Nano Letters*, 7(7), pp. 2046-2050, 2007
- [Kim03]** S. O. Kim, H. H. Solak, M. P. Stoykovich, N. J. Ferrier, J. J. De Pablo, P. F. Nealey, "Epitaxial self-assembly of block copolymers on lithographically defined nanopatterned substrates", *Nature* 424, 411-414 (2003)
- [Kogelschatz04]** M. Kogelschatz, "Etude des interactions plasma-surface pendant la gravure du silicium dans des plasmas HBr/Cl₂/O₂", Thèse de doctorat, Université Joseph Fourier-Grenoble 1, soutenue le 6 décembre 2004.
- [Kolari08]** K. Kolari, "High etch selectivity for plasma etching SiO₂ with AlN and Al₂O₃ masks", *Microelectronic engineering* 85 (2008), 985-987.
- [Lee07]** C. Lee, J.-H. Kwon, J.-S. Lee, Y.-M. Kim, Y. Choi, H. Shin, J. Lee, B.-H. Sohn, "Nonvolatile nanocrystal charge trap flash memory devices using a micellar route to ordered arrays of cobalt nanocrystals", *Appl. Phys. Lett.* 91, 153506 (2007)
- [Lei03]** Y. Lei, L. W. Teo, K. S. Yeong, Y. H. See, W. K. Chim, W. K. Choi, J. T. L. Thong "Fabrication of highly ordered nanoparticle arrays using thin porous alumina masks", *Proceedings of Advanced Materials for micro and nano systems 2003*
- [Leskela02]** M. Leskela, M. Ritala, "Atomic layer deposition (ALD): from precursors to thin film structures", *Thin Solid Films* 409 (2002), 138-146
- [Liang02]** Liang et al., "Two-dimensional lateral superlattices of nanostructures: Nonlithographic formation by anodic membrane template", *Journal of applied physics*, vol. 91, no. 4, 2002
- [Lin01]** X.M. Lin, H.M. Jaeger, C.M. Sorensen, K.J. Klabunde, "Formation of long-range-ordered nanocrystal superlattices on silicon nitride substrates", *J. Phys. Chem. B* 2001, 105, 3353-3357
- [Liu07]** C.-C. Liu, P. F. Nealey, Y. H. Ting, A. E. Wendt, "Pattern transfer using polystyrene-block-methylmethacrylate copolymer films and reactive ion etching", *J. Vac. Sci. Technol, B*, 20, 2788-2792.
- [Maikap08]** S. Maikap, S.Z. Rahaman, W. Banerjee, C.-H. Lin, P.-J. Tzeng, C.-C. Wang, M.-J. Kao, M.-J. Tsai, "Enhanced flash memory device characteristics using ALD TiN/Al₂O₃ nanolaminate charge storage layers", *Proc. Of Solid State and Integrated Circuit Technology 2008*, pp. 958-961
- [Manna00]** L. Manna, E.C. Scher, A.P. Alivisatos, "Synthesis of soluble and processable rod-, arrow-, teardrop-, and tetrapod-shaped CdSe nanocrystals"? *J. Am. Chem. Soc.* 122, 12700-12706 (2000)
- [Mansky97]** P. Mansky, Y. Liu, E. Huang, T. P. Russel, C. Hawker, "Controlling Polymer-Surface Interactions with random copolymer brushes", *Science*, vol. 275, 7 March 1997

- [Marencic10]** A.P. Marencic, R.A. Register, "Controlling order in block copolymer thin films for nanopatterning applications", *Ann. Rev. Chem. Biomol. Eng.* 2010,1:277-97
- [Martin08]** M. Martin, G. Cunge, "Surface roughness generated by plasma etching processes of silicon", *J. Vac. Sci. Technol. B* 26, 1281-1288, 2008
- [Masuda97]** H. Masuda, F. Hasegawa, S. Ono, "Self_Ordering of cell arrangement of anodic porous alumina formed in sulfuric acid solution", *J. Electrochem. Soc.*, vol. 144, no.5, May 1997
- [Masuda01]** Y. Masuda, T. Sugiyama, H. Lin, W. S. Seo, K. Koumoto, "Selective deposition and micropatterning of titanium dioxide thin film on self-assembled monolayers", *Thin Solid Films* 382 (2001) 153-157
- [Matsen96]** M.W. Matsen, F. S. Bates, "Unifying weak and strong segregation block copolymer theories", *Macromolecules*, 1996, 29(4), pp.1091-1098
- [Mazen04]** F. Mazen, T. Baron, J.-M. Hartmann, M.-N. Semeria, "Method for manufacturing of uniformly sized and controlled semi-conductor nanostructures by CVD process on dielectrics", US Patent US20040147098A1
- [McMillan02]** R. A. McMillan, C. D. Paavola, J. Howard, S. L. Chan, N. J. Zaluzec, J. D. Trent, "Ordered nanoparticle arrays formed on engineered chaperonin protein templates", *Nature Materials*, Vol. 1, Dec. 2002
- [Miura06]** A. Miura, T. Hikono, T. Matsumara, H. Yano, T. Hatayama, Y. Uraoka, T. Fuyuki, S. Yoshii and I. Yamashita « Floating gate memory devices based on biomineralized inorganic nanodot array as a storage node", *Japanese Journal of Applied Physics*, vol.45, no.1, 2006, L1-L3
- [Murray01]** C. B. Murray, S. Sun, W. Gaschler, H. Doyle, T. A. Betley, C. R. Kagan, "Colloidal synthesis of nanocrystals and nanocrystal superlattice", *IBM Res. And Dev.*, vol. 45, no.1, January 2001
- [Narayanan04]** S. Narayanamical Self-assembly of Nanocrystal Superlattices during colloidal droplet evaporation by in-situ small angle X-ray scattering", *Physical Review Letter*, vol.93, no.13, 24 september 2004
- [Nayfeh07]** O. M. Nayfeh, D. A. Antoniadis, K. Mantey, M. H. Nayfeh, "Memory effects in metal-oxide-semiconductor capacitors incorporating dispensed highly monodisperse 1 nm silicon nanoparticles", *Appl. Phys. Lett.* 90, 153105 (2007)
- [Park97]** M. Park, C. Harrison, P.M. Chaikin, A.A. Register, D. H. Adamson, "Block copolymer lithography: periodic arrays of 10^{11} holes in 1 square centimetre", *Science* 276, 30 may 1997, pp. 1401-1404
- [Park03]** C. Park J. Yoon, E. Thomas, "Enabling nanotechnology with self-assembled block copolymer patterns", *Polymer* 44 (2003), 6725-6760
- [Park04]** J. Park, K. An, Y. Hwang, J.-G. Park, H.-J. Noh, J.-Y. Kim, J.-H. Park, N.-M. Hwang, T. Hyeon, "Ultra-large-scale syntheses of monodisperse nanocrystals", *Nature Materials*, vol. 3, December 2004
- [Petroski01]** J. M. Petroski, C. Travis, C. Green, M. A. El-Sayed, "Self-assembly of platinum nanoparticles of various size and shape", *J. Phys. Chem. A*, 105, 5542-5547, 2001
- [Poelma10]** J. E. Poelma, C. J. Hawker, "With a little help from above", vol.5, April 2010, pp.243-244
- [Puurunen97]** R. L. Puurunen, "Surface chemistry of atomic layer deposition: a case study for the trimethylaluminium/water process", *Journal of applied physics* 97, 121301 (2005)
- [Ruiz08]** R. Ruiz, H. Kang, F. A. Detcheverry, E. Dobisz, D. S. Kercher, T. R. Albrecht, J. J. De Pablo, P. F. Nealey, "Density multiplication and improved lithography by directed block copolymer assembly", *Science*, vol. 321, 15 august 2008, pp. 936-939

- [Ryu05]** D. Y. Ryu, K. Shin, E. Drockenmuller, C. J. Hawker, T. P. Russell, "A generalized approach to the modification of solid surfaces", *Science* 308, 236-239, 2005
- [Ryu08]** S.-W. Ryu, C. B. Mo, S. H. Hong, Y.-K. Choi, "Nonvolatile memory characteristics of NMOSFET with Ag nanocrystals synthesized via a thermal decomposition process for uniform device distribution", *IEEE Transactions On Nanotechnology*, vol.7, no.2, pp.145-150, March 2008
- [Sarkar07a]** J. Sarkar, S. Tang, D. Shahrjerdi, S. K. Banerjee « Vertical flash memory with protein-mediated assembly of nanocrystal floating gate », *Applied physics letters* 90, 103512 (2007)
- [Sarkar07b]** J. Sarkar, S. Dey, D. Shahrjerdi, S. K. Banerjee, « Vertical flash memory cell with nanocrystals floating gate for ultradense integration and good retention », *electron device letters*, vol.28, no.5, May 2007
- [Seol06]** K. S. Seol, S. J. Choi, J.-Y. Choi, E.-J. Jang, B.-K. Kim, S.-J. Park, D.-G. Cha, I.-Y. Song, J.-B. Park, Y. Park, S.-H. Choi, "Pd-nanocrystal-based nonvolatile memory structures with asymmetric SiO₂/HfO₂ tunnel barrier", *Appl. Phys. Lett.* 89, 083109 (2006).
- [Seol07]** K. S. Seol, K. S. Cho, B.-K. Kim, J.-Y. Choi, E.-K. Lee, Y.-S. Min, J.-B. Park, S.-H. Choi "Nonvolatile memory devices fabricated by using colloidal Ni nanocrystals", *Journal of Korean Physical Society*, vol. 50, no.1, January 2007, pp.49-52
- [Shahrjerdi07]** D. Shahrjerdi, D. I. Garcia-Gutierrez, S. K. Banerjee, « fabrication of Ni nanocrystal flash memories using a polymeric self-assembly approach », *electron device letters*, vol.28, no.9, September 2007-11-20
- [Shard92]** G. Shard, J. P. S. Badyal, "Surface oxidation of polyethylene, polystyrene, and PEEK: the synthon approach", *Macromolecules*, 1992, 25(7), 2053-2054
- [Shin02]** K. Shin, K. A. Leach, J. T. Goldbach, D. H. Kim, J. Y. Jho, M. Tuominen, C. J. Hawker, T. P. Russell, "A simple route to metal nanodots and nanoporous metal films", *Nano Lett.* 2002, 2(9) pp.933-936
- [Shingubara01]** S. Shingubara, O. Okino, Y. Murakami, H. SSakae, T. Takahagi "Fabrication of nanohole array on Si using self-organized porous alumina mask", *J. Vac. Sci. Technol. B* 19(5), Sept/Oct 2001
- [Shingubara03]** S. Shingubara, "Fabrication of nanomaterials using porous alumina templates", *Journal of Nanoparticle Research* 5, 17-30, 2003
- [Sigmund69]** P. Sigmund, "Theory of sputtering. I. Sputtering yield of amorphous and polycrystalline targets", *Physical review* vol. 184, no.2, 1969.
- [Sigurdsson97]** S. Sigurdsson, R. Shishoo, "Surface properties of polymers treated with tetrafluoromethane plasma", *Journal of Applied Polymer Science*, vol. 66, 1591-1601 (1997)
- [Sinha06]** A. Sinha, D. W. Hess, C. L. Henderson, "Area-selective ALD of titanium dioxide using lithographically defined poly(methyl methacrylate) films", *Journal of the electrochemical society*, 153(5) G465-G469 (2006)
- [Standaert03]** T. E. F. M. Standaert, C. Hedlund, E. A. Joseph, G. S. Oehrlein, T. J. Dalton, "Role of fluorocarbon film formation in the etching of silicon, silicon dioxide, silicon nitride, and amorphous hydrogenated silicon carbide", *J. Vac. Sci. Technol. A* 22(1), Jan/Feb 2004
- [Sundrani04]** D. Sundrani, S. B. Darling, S. J. Sibener, "Guiding polymers to perfection: macroscopic alignment of nanoscale domains", *Nano Letters*, 2004, vol. 4, no.2, 273-276
- [Tang07]** S. Tang, C. Mao, Y. Liu, D. Q. Kelly, S. K. Banerjee, "Protein-mediated nanocrystal assembly for Flash Memory Fabrication", *IEEE Trans On Electron Dev.*, vol.54, no.3, March 2007

- [Tegen05]** S. Tegen, P. Moll, "Etch characteristics of Al₂O₃ in ICP and MERIE plasma etchers", *Journal of the electrochemical society*, 152(4), G271-G276 (2005)
- [Thurn00]** T. Thurn-Albrecht, R. Steiner, J. DeRouchey, C. M. Stafford, E. Huang, M. Bal, M. Tuominen, C. J. Hawker, T. P. Russel, "Ultrahigh-density nanowire arrays grown in self-assembled diblock copolymer templates" *Science* 290, 2126 (2000)
- [Tuda01]** M. Tuda, K. Shintani, H. Ootera, "Profile evolution during polysilicon gate etching with low-pressure high-density Cl₂/HBr/O₂ plasma chemistries", *J. Vac. Sci. Technol. A* 19(3), 2001
- [Wang98]** Z. L. Wang "Structural analysis of self-assembling nanocrystal superlattices", *Adv. Mater.* 1998, vol.10, no1
- [Wang06a]** Y.D. Wang, K. Y. Zang, S. J. Chua « Nonlithographic nanopatterning through anodic aluminium oxide template and selective growth of highly ordered GaN nanostructures », *Journal of applied physics* 100, 054306 (2006)
- [Wang06b]** Y.D. Wang, K. Zang, S. Chua, M. S. Sander, S. Tripathy, C. G. Fonstad « High-Density Arrays of InGaN Nanorings, Nanodots, and Nanoarrows Fabricated by a Template-Assisted Approach », *J. Phys. Chem. B*, 110, 11081-11087, 2006
- [Wang08]** Q. Wang, R. Jia, W. Guan, W. Li, Q. Liu, Y. Hu, S. Long, B. Chen, M. Liu, T. Ye, W. Lu, L. Jiang, "Comparison of discrete-storage non-volatile memories: advantage of hybrid method for fabrication of Au nanocrystal non-volatile memory", *J. Phys. D: Appl. Phys.* 41, 035109, 2008
- [Xu01]** T. Xu, H.-C. Kim, J. Derouchey, C. Seney, C. Levesque, P. Martin, C. M. Stafford, T. P. Russell, "The influence of molecular weight on nanoporous polymer films", *Polymer* 42 9091-9095, 2001
- [Yamada06]** K. Yamada, S. Yoshii, S. Kumaga, A. Miura, Y. Uraoka, T. Fuyuki, I. Yamashita, "Floating gate metal-oxide-semiconductor capacitor employing array of high-density nanodots produced by protein supramolecule", *Japanese Journal of Applied Physics*, vol.45, no.11, pp.8946-8951, 2006
- [Yamashita01]** I. Yamashita, "Fabrication of a two-dimensional array of nano-particles using ferritin molecule", *Thin Solid Films* 393 (2001) 12-18
- [Yamashita04]** Ichiro Yamashita, J. Hayashi, M. Hara « Bio-template Synthesis of uniform CdSe nanoparticles using cage-shaped protein, apoferritin », *Chemistry letters* vol.33, no.9 (2004)
- [Yang04]** X. Yang, S. Xiao, C. Liu, K. Pelhos, K. Minor, "Nanoscopic templates using self-assembled cylindrical diblock copolymers for patterned media", *J. Vac. Sci. Technol. B* 22(6), Nov./Dec. 2004
- [Yin05]** Y. Yin, A. P. Alivisatos, "Colloidal nanocrystal synthesis and the organic-inorganic interface", *Nature*, vol.437, no.29, September 2005
- [Zschech07]** D. Zschech, D. H. Kim, A. P. Milenin, R. Scholz, R. Hillebrand, C. J. Hawker, T. P. Russel, M. Steinhart, U. Gösele, "Ordered arrays of {100} oriented silicon nanorods by CMOS-compatible block copolymer lithography, *Nano Lett.* 7, 1516-1520, 2007

Conclusion Générale

Ce travail de thèse a porté sur l'étude de mémoires non-volatiles flash à nanocristaux en vue d'améliorer leurs performances. Les efforts se sont concentrés sur l'amélioration de la grille flottante à nanocristaux grâce à plusieurs techniques, certaines conservatives comme l'emploi d'une double couche de nanocristaux en silicium, et d'autres plus amonts intégrant de nouveaux matériaux comme les nanocristaux métalliques, ou les copolymères diblocs pour l'organisation des nanocristaux.

Dans le chapitre I nous avons situé le contexte des mémoires flash, et présenté leur mode de fonctionnement. Nous avons montré que la miniaturisation de ces dispositifs doit faire face à plusieurs limitations physiques, parmi lesquelles l'épaisseur minimale de l'oxyde tunnel et le couplage inter-cellules sont les plus problématiques. Celles-ci peuvent être surmontées soit en adoptant une rupture technologique par le développement de dispositifs innovant au fonctionnement nouveau tels que les mémoires résistives, soit en poursuivant l'optimisation des dispositifs flash. Notre travail s'inscrit dans la seconde alternative. L'une des solutions pour continuer à diminuer la taille des mémoires flash est l'emploi d'une grille flottante discrète composée de nanocristaux en silicium. Cependant, bien qu'ils permettent de réduire l'épaisseur d'oxyde tunnel et de réduire le couplage entre cellules mémoires voisines, ces dispositifs souffrent d'une faible fenêtre mémoire, ce qui exclue leur utilisation dans des mémoires à stockage multi-niveaux. D'autre part, la dispersion des caractéristiques électriques, due à la dispersion sur la taille des nanocristaux, dégrade la fiabilité des dispositifs mémoires à cause de l'apparition de bits erratiques. Dans ce contexte, nous nous sommes intéressés à l'amélioration des propriétés des réseaux de nanocristaux par l'étude de trois solutions présentées dans les chapitres suivants : l'utilisation d'une double couche de nanocristaux en silicium, l'utilisation de nanocristaux métalliques, l'organisation des nanocristaux grâce à un masque obtenu par auto-organisation de copolymères diblocs.

Le chapitre II est consacré aux mémoires à double couche de nanocristaux en silicium. Des dispositifs mémoires intégrant une double couche de nanocristaux en silicium, couplée à la grille par un oxyde haute permittivité diélectrique, sont caractérisés électriquement. Il s'est avéré que l'ajout d'une seconde couche de nanocristaux, superposée à la première couche, permet d'augmenter la fenêtre mémoire de 50% en mode FN/FN sans introduire de dispersion

supplémentaire sur les cinétiques de chargement et de déchargement par rapport aux dispositifs à simple couche. Les performances mémoires des meilleurs dispositifs, ceux dont la seconde couche de nanocristaux est composée de nanocristaux hybrides (coquille de nitrure autour du nanocristal), sont ensuite présentées. La rétention de charge est excellente, avec une fenêtre mémoire extrapolée à 10 ans extrapolée à 3,2V. Ces dispositifs sont très peu activés en température (0,35eV pour $T < 200^{\circ}\text{C}$), ce qui les rend attractifs pour les applications embarquées. Le point faible de ces dispositifs est le cyclage car bien que la fenêtre mémoire reste constante au cours des cycles d'écriture et d'effacement, un fort décalage des tensions de seuil a lieu à cause du piégeage parasite de charges dans l'empilement de grille et de la dégradation de l'interface entre le canal et l'oxyde tunnel. Ceci pourrait être corrigé par l'optimisation des épaisseurs de l'empilement mémoire afin de réduire les champs électriques appliqués durant l'écriture et l'effacement de la mémoire. Pour finir, le fonctionnement des dispositifs en mode CHE/FN a été étudié. La redistribution de charges dans la grille flottante est très faible lorsque les électrons sont injectés par la source ou le drain, ce qui prouve la bonne isolation entre les nanocristaux. Dans la seconde partie de ce chapitre, nous avons donné une explication physique de l'amélioration de la fenêtre mémoire observée sur les dispositifs à double couche de nanocristaux. Deux phénomènes ont été mis en évidence. Tout d'abord, la seconde couche de nanocristaux permet d'augmenter le taux de couverture du canal par la grille flottante et explique 50% de l'augmentation de la fenêtre mémoire. D'autre part, nous avons montré que le transport tunnel d'électrons de la bande de valence du nanocristal de la couche supérieure vers le substrat explique le phénomène de sur-effacement observé sur les dispositifs à double couche de nanocristaux et est responsable des 50% restants d'augmentation de la fenêtre mémoire.

Dans le chapitre III, nous avons traité des mémoires à nanocristaux métalliques qui ont de nombreux atouts par rapport aux nanocristaux en silicium, mais qui ne sont pas facilement intégrables dans un dispositif MOSFET à cause de leurs instabilités thermiques (diffusion et oxydation). Nous avons dans un premier temps donné l'exemple des nanocristaux en platine obtenus par démouillage qui donnent de bonnes performances mémoires lorsqu'ils sont intégrés dans un dispositif mémoire capacitif MOS à faible budget thermique, mais qui provoquent la défektivité de dispositifs MOSFETS à cause de leur instabilité au-delà de 450°C . Par la suite des réseaux de nanocristaux en TiN et en W ont été déposés par CVD. Un procédé de passivation a été développé, basé sur le dépôt in-situ d'une coquille de silicium. Ces métaux étant très sensibles à l'oxydation, un procédé de passivation a été développé. Il se

base sur le dépôt d'une fine couche de silicium déposée in-situ afin de protéger les nanocristaux de l'oxydation à l'air ambiant. Dans un second temps, une couche de SiN peut être déposée par-dessus afin de protéger plus fortement les nanocristaux lors de recuits ultérieurs à haute température. Cette dernière couche s'est avérée nécessaire dans le cas de nanocristaux en TiN mais optionnelle pour les nanocristaux en tungstène naturellement plus robustes vis-à-vis de l'oxydation. L'efficacité de cette passivation a été démontrée par des mesures XPS pour l'ensemble des recuits nécessaires à la fabrication d'un transistor MOSFET. Des dispositifs mémoires intégrant une couche de nanocristaux en TiN encapsulés dans une couche de nitrure ont enfin été fabriqués. Les caractérisations électriques de ces dispositifs a démontré une amélioration de l'effacement de la grille flottante par rapport aux dispositifs intégrant une simple couche de nitrure (de type SONOS).

Le chapitre IV est dédié à la diminution de la dispersion en taille des réseaux de nanocristaux. Parmi les nombreuses méthodes d'obtention d'un réseau organisé de nanocristaux, nous avons choisi d'utiliser un masque de copolymère diblocs Ps-b-PMMA dont le procédé d'auto-organisation sur des plaquettes 200mm a été l'objet de recherches préalablement à cette thèse. Il permet d'obtenir un masque constitué d'un réseau hexagonal de trous dans une matrices de polystyrène. Nous avons repris ce procédé et développé un procédé de transfert de ce masque en polymère dans un masque dur en alumine (Al_2O_3) résistant à la gravure. Des nanoplots en polysilicium ont pu ensuite être fabriqués. Le gros avantage de ce procédé est la totale compatibilité avec les procédés de la microélectronique et l'absence de matériaux contaminants. Enfin, les copolymères ont pu être organisés dans des zones actives de dispositifs mémoires malgré la topographie du substrat.

Plusieurs perspectives de ce travail se présentent. Tout d'abord, il serait intéressant de tester des dispositifs mémoires à triple couche de nanocristaux en silicium afin d'augmenter encore la fenêtre mémoire des dispositifs. Il faut cependant s'attendre à une amélioration moins significative car plus les nanocristaux s'éloignent du canal, moins leur influence électrostatique est importante. Concernant les nanocristaux métalliques, il faudrait pouvoir tester des mémoires à nanocristaux en tungstène, moins denses que ceux en TiN et qui par conséquent ne devraient pas avoir le problème de migration latérale de charges observé sur les dispositifs à nanocristaux en TiN. D'autre part, les nanocristaux en W ne nécessitant pas d'être encapsulés dans du nitrure, il serait plus aisé d'étudier le piégeage dans ce type de dispositifs. Des mémoires intégrant des multi-couches de nanocristaux métalliques seraient également intéressantes à étudier. A propos de l'organisation des réseaux de nanocristaux, il

reste encore à obtenir un dispositif MOSFET complet et surtout une matrice mémoire intégrant des nanocristaux organisés afin de mesurer les dispersions des tensions de seuils. D'autre part, plusieurs procédés de gravure de couches autres que le silicium pourraient être étudiés afin d'obtenir par exemple des réseaux organisés de nanocristaux métalliques par gravure de couches continues de TiN et W. Cela permettrait de comparer ces dispositifs avec ceux intégrant des nanocristaux déposés par CVD dans le chapitre II. Enfin, pour satisfaire les exigences de la miniaturisation des dispositifs mémoires, il sera nécessaire de réduire les dimensions du masque de copolymère. Pour cela, il faudra utiliser des copolymères ayant des chaînes plus courtes, soit en conservant le PS-b-PMMA mais avec un poids moléculaire inférieur, soit en changeant la nature du copolymère en utilisant un système différent du PS-b-PMMA.

Bibliographie de l'auteur

Articles de revues

G. Gay, T. Baron, C. Agrafeuil, B. Salhi, T. Chevolleau, G. Cunge, H. Grampeix, J.-H. Tortai, F. Martin, E. Jalaguier and B. De Salvo "CMOS compatible strategy based on the selective atomic layer deposition of a hard mask for transferring block copolymer lithography patterns", *IOP Nanotechnology* 21 (2010) 435301

G. Gay, D. Belhachemi, J. P. Colonna, S. Minoret, P. Brianceau, D. Lafond, T. Baron, G. Molas, E. Jalaguier, A. Beaurain, B. Pelissier, V. Vidal, B. De Salvo "Passivated TiN nanocrystals / SiN trapping layer for enhanced erasing in MOSFET non-volatile memory", *AIP Appl. Phys. Lett.* 97, 152112 (2010)

G. Gay, T. Baron, E. Jalaguier, C. Agrafeuil, B. Salhi, T. Chevolleau, G. Cunge, K. Aissou, B. De Salvo "Strategies for patterning silicon nanostructures with diblock copolymers, in view of application to microelectronics and optoelectronics", *Science of Advanced Materials*, Vol.3, no.3, June 2011, pp.490-495(6).

G. Gay, G. Molas, M. Bocquet, E. Jalaguier, M. Gely, L. Masarotto, J.P. Colonna, H. Grampeix, F. Martin, P. Brianceau, V. Vidal, R. Kies, T. Baron, G. Ghibaudo, B. De Salvo "Performance, reliability and modeling of Si-nanocrystal double layer memory devices with high-k control dielectrics", *IEEE Trans. on Elect. Dev.* vol.59, no.4, 2012

L. Masarotto, G. Molas, E. Jalaguier, **G. Gay**, J.P. Colonna, J. M. Hartmann and K. Yckache, "Double Si nanocrystals layers grown by RPCVD for non-volatile memory applications", *IOP Semicond. Sci. Technol.* 26 025008.

J. Dufourcq, S. Bodnar, **G. Gay**, D. Lafond, P. Mur, G. Molas, J. P. Nieto, L. Vandroux, L. Jodin, F. Gustavo, T. Baron, "High density platinum nanocrystals for non-volatile memory applications", *AIP Appl. Phys. Lett.* 92, 073102 (2008)

Conférences

G. Gay, L. Perniola, A. Nainani, J. Buckley, G. Molas, S. Jacob, E. Jalaguier, T. Baron*, B. De Salvo and S. Deleonibus "Modeling of Fowler-Nordheim Program/Erase Characteristics of Metal Nanocrystal memories", *Transalpnano 2008*, Lyon, Poster

G. Gay, G. Molas, M. Bocquet, E. Jalaguier, M. Gely, L. Masarotto, J.P. Colonna, H. Grampeix, F. Martin, P. Brianceau, V. Vidal, R. Kies, K. Yckache, B. De Salvo, G. Ghibaudo, T. Baron, C. Bongiorno, S. Lombardo, "Performance and reliability of Si-nanocrystal double layer memory devices with high-k control dielectrics", *IEEE International Memory Workshop (IMW) 2009*, Monterey, Présentation orale

G. Gay, D. Belhachemi, J.-P. Colonna, S. Minoret, A. Beaurain, B. Pelissier, M.-C. Roure, E. Jalaguier, G. Molas, T. Baron and B. De Salvo, "CVD Growth and Passivation of W and TiN Nanocrystals for Non-volatile Memory Applications", *Proceedings of Materials Research Society (MRS) Spring Meeting*, San Francisco 2010, Poster

G. Gay, G. Molas, M. Bocquet, E. Jalaguier, M. Gely, L. Masarotto, J.P. Colonna, H. Grampeix, F. Martin, P. Brianceau, V. Vidal, R. Kies, C. Bongiorno, S. Lombardo, T. Baron, G. Ghibaudo, B. De Salvo, "Hybrid silicon nanocrystals/SiN charge trapping layer with high-k dielectrics for FN and CHE programming", IEEE International symposium in VLSI Technology systems and applications (VLSI-TSA) 2010, Hsinchu, Présentation orale

C. Agrafeuil, T. Baron, **G. Gay**, B. Salhi, B. Salem, T. Chevolleau, G. Cunge, L. Montes "Strategy to Transfer Pattern Diblock Copolymer on Silicon Substrate using Etching Plasma", 35th International Conference on MNE (Micro and Nano engineering), 2009, Poster

C. Agrafeuil, **G. Gay**, T. Baron, B. Salhi, M. Kogelschatz, G. Cunge, T. Chevolleau, B. Salem, L. Montès, M. Den Hertog, J.L. Rouvière, K. Aissou, L. Cucco-Porto, I. Otsuka, R. Borsali "Formation and study of organized nanodots and nanowires through copolymer diblock technology" 217th ECS (Electro Chemical Society) Meeting, General Nanotechnology Session, 2010, Vancouver, Présentation orale

T. Baron, B. De Salvo, G. Molas, P. Mur, A. Souifi, B. Salem, K. Aissou, R. Borsali and **G. Gay** "Nanocrystal memories", Materials Research Society (MRS) Spring Meeting, San Francisco 2010, Présentation Orale Invitée

C. Agrafeuil, T. Baron, **G. Gay**, B. Salhi, T. Chevolleau, G. Cunge, B. Salem, L. Montes "Diblock Copolymers Technology for Silicon Nanowires/Nanodots Elaboration" 55th International conference on Electron, ion and photon beam technology (EIPBN) 2010, Poster

J.-P. Colonna, D. Belhachemi, **G. Gay**, S. Minoret, M.-C. Roure, E. Jalaguier and G. Molas, « Silicon and Metallic Nanocrystals Passivation and Integration as Trapping Layer in Non-Volatile Memories », 219th ECS meeting, Nanocrystal embedded dielectrics for electronic and photonic device Session, 2011, Montréal, Présentation orale.

Brevet d'invention

Brevet EP2487708 « Procédé d'obtention d'un réseau de nanocristaux », **Guillaume Gay**, Thierry Baron, Eric Jalaguier.